



HAL
open science

Modélisation des Transistors MOS de puissance pour l'électronique de commutation

Laurent Aubard

► **To cite this version:**

Laurent Aubard. Modélisation des Transistors MOS de puissance pour l'électronique de commutation. Energie électrique. Institut National Polytechnique de Grenoble - INPG, 1999. Français. NNT : . tel-00763815

HAL Id: tel-00763815

<https://theses.hal.science/tel-00763815v1>

Submitted on 11 Dec 2012

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Institut National Polytechnique de Grenoble

THESE

Pour obtenir le grade de

DOCTEUR DE L'INSTITUT NATIONAL POLYTECHNIQUE DE GRENOBLE

Discipline : **Génie Electrique**

présentée et soutenue publiquement

par

Laurent AUBARD

le 22 janvier 1999

Titre :

**Modélisation des Transistors MOS de puissance pour
l'électronique de commutation**

Directeur de thèse :

Jean-Paul FERRIEUX

JURY

Mme	Nadine GUILLEMOT	Examinatrice
Mr	Pierre MERLE	Rapporteur
Mr	Michel THOLOMIER	Rapporteur
Mr	Jacques ARNOULD	Examineur
Mr	Jean-Paul FERRIEUX	Examineur
Mr	Christian SCHAEFFER	Examineur

Si je m'en tiens à la chronologie des événements qui m'ont conduit à la rédaction de ce manuscrit puis à la soutenance de cette thèse (je ne mentionnerai ni ma famille, ni mes proches qui font partie de mon jardin secret que je compte bien continuer à cultiver), il me faut d'abord exprimer toute ma reconnaissance à Jean-Louis BIANCHI, Marie-Michèle LEBIHAN, Bernard SANNIER et Annie BUISSON, et plus généralement à toute l'équipe pédagogique du lycée Jules Ferry de Versailles qui a su m'initier au génie électrique puis me faire partager les joies et les peines de l'enseignement de l'électrotechnique en général et de l'électronique de puissance en particulier.

Je tiens ensuite à remercier :

Jean-Claude SABONNADIÈRE et Robert PERRET pour leur accueil au sein du Laboratoire d'Electrotechnique de Grenoble,

Jean-Paul FERRIEUX pour l'intérêt qu'il a su porter à mon travail, ses conseils avisés ; sa gentillesse, son calme et sa confiance, qualités sans lesquelles il m'eût été impossible d'achever ce travail,

Christian SCHAEFFER dont le pouvoir surnaturel est de remotiver le moindre scientifico-dépressif en dix minutes chrono (et j'en ai eu besoin),

Jacques ARNOULD qui m'a été d'une aide sans faille pour la rédaction de ce manuscrit et avec qui la moindre discussion s'élève vite au-dessus des nuages (d'électrons bien sûr).

Enfin, pour l'honneur et le plaisir qu'ils m'ont fait de participer au jury de cette thèse, je remercie :

Nadine GUILLEMOT qui a bien voulu le présider,

Pierre MERLE et Michel THOLOMIER qui ont bien voulu en être les rapporteurs.

Les relations d'amitié que j'ai pu entretenir avec Yvon, Parice, Laure-Line, Jérôme, Orphée, Eric, Yves, Nordine, Pierre-Alain, Yves-André, Stéphane, Jean-Yves, Stéphane, Demba, Tata, Till, Gilles et Nathalie seront sans conteste les meilleurs bénéfiques que je tirerai de cette période passée au LEG.

Je terminerai sans citer tous ceux qui, par leur aide permanente et leur complicité, rendent le travail et la vie au laboratoire agréables ; je veux parler des techniciens, ingénieurs et administratifs. Merci à tous.

SOMMAIRE

<u>INTRODUCTION GENERALE</u>	5
<u>CHAPITRE I :</u>	
<u>MODELE STATIQUE DU TRANSISTOR MOS DE PUISSANCE</u>	7
I.1. INTRODUCTION	9
I.2. RAPPELS	10
I.2.1. Principaux résultats sur l'étude des capacités MOS	10
I.2.1.1. Capacité MOS idéale	10
I.2.1.2. Capacité MOS réelle	14
I.2.2. Le transistor MOS de signal	15
I.2.2.1. Présentation	16
I.2.2.2. Expressions du courant de drain	16
I.2.2.3. Tension de seuil	19
I.2.2.4. Equations simplifiées	19
I.2.2.5. Mobilité des porteurs libres dans le canal	19
I.3. MODELE STATIQUE POUR LE TRANSISTOR MOS DE PUISSANCE	21
I.3.1. Généralités	21
I.3.2. Réalisation du canal par double diffusion	24
I.3.2.1. Principe de la diffusion	24
I.3.2.2. Réalisation du canal	25
I.3.3. Expressions du courant	27
I.3.3.1. Résolution numérique	28
I.3.3.2. Solutions analytiques	34
I.4. RESISTANCE DE LA ZONE v D'ACCES AU CANAL	37
I.5. EXTRACTION DES PARAMETRES	41
I.5.1. Mesures à faible V_D	41
I.5.1.1. Description de la méthode d'extraction des paramètres dans le cas d'un canal uniformément dopé	41
I.5.1.2. Application au cas du canal diffusé	42
I.5.1.3. Mesures et commentaires	43
I.5.2. Mesures à fort V_D	45
I.6. CONCLUSION	48

CHAPITRE II :
MODELE DYNAMIQUE

II.1. INTRODUCTION	51
II.2. LOCALISATION DES CHARGES PENDANT LA COMMUTATION	52
II.3. MODELE DE CHARGE DE L'ELECTRODE DE GRILLE COMPOSANT BLOQUE	57
II.3.1.Charges Q_{DG} de la capacité de réaction C_{DG}	57
II.3.1.1.Charges par unité de surface Q_{DG}^* pour $V_D > V_G - V_{FBv}$	58
II.3.1.2.Charges par unité de surface Q_{DG}^* pour $V_D < V_G - V_{FBv}$	59
II.3.1.3.Capacité totale C_{DG}	59
II.3.1.4.Inversion de la zone intercellulaire	61
II.3.2.Capacité grille-source C_{GS}	62
II.4. INFLUENCE DU COURANT PRINCIPAL I_D SUR LA REPARTITION DES CHARGES DE GRILLE ENTRE C_{DG} ET C_{GS}	65
II.4.1.Modèle final pour C_{DG}	68
II.4.2.Modèle final pour C_{GS}	68
II.5. DIODE DE STRUCTURE ET CAPACITE C_{DS}	70
II.6. MESURES ET EXTRACTION DES PARAMETRES	73
II.6.1.Introduction	73
II.6.2.Systèmes de mesure	73
II.6.2.1.Banc de mesure pour des essais en commutation.....	73
II.6.2.2.Mesure de la tension de seuil V_{Tv} de la zone intercellulaire à l'aide du pont HP4194A.....	77
II.6.2.3.Mesure des capacités interélectrodes composant bloqué à l'aide du pont HP4194A.....	81
II.6.3.Extraction des paramètres pour C_{DG}	84
II.6.4.Extraction des paramètres pour C_{GS}	87
II.6.4.1.Mesure de C_{GS} lors de la montée du courant	87
II.6.4.2.Identification des paramètres du modèle de C_{GS}	90
II.6.5.Comparaison des résultats obtenus pour différents composants du marché et commentaires	92
II.7. CONCLUSION	95

CHAPITRE III :

<u>IMPLANTATION DU MODELE DANS PSpICE</u>	97
III.1. INTRODUCTION	99
III.2. MISE EN OEUVRE DU MODELE DANS PSpICE	101
III.2.1. L'outil PSpice	101
III.2.1.1. Généralités	101
III.2.1.2. Modélisation de la diode dans PSpice	102
III.2.1.3. Modèles de TMOS dans PSpice	103
III.2.2. Macro-modèle du VDMOS	104
III.2.2.1. Description du modèle de niveau 3 de PSpice	105
III.2.2.2. Macro-modèle complet	106
III.2.3. Implantation du nouveau modèle dans Pspice	108
III.2.3.1. Description générale	108
III.2.3.2. Capacités non linéaires	109
III.2.3.3. Validation du modèle	111
III.3. CONFRONTATION DES DIFFERENTS MODELES DECRITS	117
III.2.3. Cas du BUZ338 de chez SIEMENS	117
III.2.3. Cas de transistors MOTOROLA	122
III.4. CONCLUSION	126
<u>CONCLUSION GENERALE</u>	127
<u>REFERENCES BIBLIOGRAPHIQUES</u>	129
<u>ANNEXE 1 : Données constructeur</u>	135
<u>ANNEXE 2 : Modèles Pspice proposés par les constructeurs</u>	143
- Transistors MOS de puissance MTW14N50E et MTW7N80 de chez MOTOROLA	143
- Transistor MOS de puissance BUZ338 de chez SIEMENS	151
- Diode Schottky MBR10100 de chez MOTOROLA	152

I INTRODUCTION

L'électronique de puissance connaît un développement important grâce à ses qualités intrinsèques qui sont, entre autres, un rendement théorique unitaire et une réduction du poids et du volume liée à la montée en fréquence. Les applications concernent un nombre important de secteurs industriels et domestiques pour une plage de puissance étendue.

Les performances actuelles ont été obtenues grâce, d'une part, à une réflexion sur les topologies de convertisseurs [FER] et sur leur commande [MERI], et d'autre part à l'amélioration continue des composants [ARN1]. Ce dernier point concerne aussi bien les composants semi-conducteurs que les composants passifs - transformateurs - inductances - condensateurs et la qualité de ces composants a autorisé la montée en fréquence tout en limitant le niveau de pertes.

A ces qualités se sont adjoints des inconvénients qu'il est nécessaire de maîtriser. L'augmentation de la vitesse de commutation des semi-conducteurs, associée au principe même de découpage, entraîne des perturbations électriques sur les sources et les charges et la compatibilité électromagnétique d'un convertisseur est devenu un sujet d'étude à part entière [TEU].

Par ailleurs, même si le rendement d'une structure s'améliore, la miniaturisation implique une augmentation de la densité volumique des pertes rendant délicate l'évacuation de celles-ci.

Dans ce contexte, la modélisation des composants et la simulation sont devenues une aide précieuse pour la conception et la prédétermination du comportement d'un convertisseur.

Les travaux présentés dans ce mémoire sont relatifs à la modélisation du transistor MOS de puissance. L'objectif essentiel a été de maîtriser le fonctionnement de ce transistor en commutation, en vue de le modéliser, pour mieux répondre aux contraintes de l'électronique de puissance.

Divers aspects ont pour cela été abordés : la commande et l'influence du circuit de puissance sur cette commande pendant les phases de commutation, les gradients de courant et tension et le comportement en régime de conduction.

Ce mémoire comporte trois chapitres. Le premier traite du comportement statique des VDMOS. Après avoir rappelé le principe de fonctionnement des transistors MOS latéraux, une description détaillée de la structure des dispositifs de puissance et particulièrement de leurs zones actives de canal est présentée. Celle-ci met en évidence un certain nombre de

particularités de ces structures qui font qu'elles ne peuvent pas être simplement décrites par les expressions simplifiées couramment utilisées pour les TMOS latéraux. Une tentative de résolution analytique du problème est présentée, celle-ci étant possible moyennant certaines approximations. Le modèle simplifié qui en découle fait apparaître un nombre limité de paramètres dont les méthodes d'extraction sont décrites en fin de chapitre.

Le second chapitre traite du comportement dynamique du transistor MOS de puissance au sein de sa cellule de commutation. Après avoir étudié de façon détaillée son comportement interne durant les différentes étapes régissant une commutation, un modèle empirique est proposé. Les méthodes d'extraction des paramètres dynamiques sont ensuite exposées.

Le dernier chapitre traite de l'implantation des modèles statique et dynamique précédemment décrits dans un simulateur électrique (PSpice). Ce macro-modèle une fois validé expérimentalement est confronté à ceux fournis par certains fabricants de semi-conducteurs.

CHAPITRE I

MODELE STATIQUE DU TRANSISTOR MOS DE PUISSANCE

I.1. INTRODUCTION	9
I.2. RAPPELS	10
I.2.1. Principaux résultats sur l'étude des capacités MOS	10
I.2.1.1. Capacité MOS idéale	10
I.2.1.2. Capacité MOS réelle	14
I.2.2. Le transistor MOS de signal	15
I.2.2.1. Présentation	16
I.2.2.2. Expressions du courant de drain	16
I.2.2.3. Tension de seuil	19
I.2.2.4. Equations simplifiées	19
I.2.2.5. Mobilité des porteurs libres dans le canal	19
I.3. MODELE STATIQUE POUR LE TRANSISTOR MOS DE PUISSANCE	21
I.3.1. Généralités	21
I.3.2. Réalisation du canal par double diffusion	24
I.3.2.1. Principe de la diffusion	24
I.3.2.2. Réalisation du canal	25
I.3.3. Expressions du courant	27
I.3.3.1. Résolution numérique	28
I.3.3.2. Solutions analytiques	34
I.4. RESISTANCE DE LA ZONE v D'ACCES AU CANAL	37
I.5. EXTRACTION DES PARAMETRES	41
I.5.1. Mesures à faible V_D	41
I.5.1.1. Description de la méthode d'extraction des paramètres dans le cas d'un canal uniformément dopé	41
I.5.1.2. Application au cas du canal diffusé	42
I.5.1.3. Mesures et commentaires	43
I.5.2. Mesures à fort V_D	45
I.6. CONCLUSION	48

I.1 INTRODUCTION

Ce chapitre concerne l'élaboration d'un modèle statique pour transistor de puissance. L'objectif est d'aboutir à un modèle utilisable par des simulateurs électriques tels que PSPICE ou ELDO afin de prédire le comportement des « VDMOS » dans une cellule de commutation et plus généralement dans les convertisseurs de l'électronique de puissance.

Une première partie concerne des rappels sur les « capacités MOS » (notions qui seront réutilisées chapitre II) et les transistors MOS de signaux [MAT].

Une seconde partie traite en détail du comportement d'un canal diffusé (un parallèle est fait avec le canal homogène). Cette étude valide un modèle empirique qui sera utilisé chapitre III. Enfin les méthodes d'extraction des paramètres du modèle sont présentées.

I.2 RAPPELS

I.2.1 Principaux résultats sur l'étude des capacités MOS

I.2.1.1 Capacité MOS idéale

La structure MIS (Métal-Isolant-Semiconducteur) appelée aussi capacité MOS lorsque l'isolant est un oxyde (oxyde de silicium dans notre cas) est l'élément de base constitutif des transistors MOS en général et des DMOS en particulier [MAT], [SZE].

En partant d'un substrat en silicium dopé p, on fait croître un oxyde thermique SiO₂ de façon contrôlée (épaisseur pouvant aller de 50nm à 100nm pour les dispositifs de puissance). Puis on dépose un matériau conducteur pour l'électrode de grille pouvant être de l'aluminium ou plus couramment du silicium polycristallin dopé P+ ou N+.

Les résultats suivants concernent une capacité MOS dont le substrat est de type P mais ceux-ci sont facilement transposables au cas d'un semiconducteur de type N en changeant les signes des tensions et des charges.

Soit une structure MIS (figure 1) de section unitaire et d'épaisseur W dont la grille est connectée à un potentiel V_G référencé au potentiel de substrat (potentiel régnant dans la zone de silicium opposée à la grille). Supposons W assez grand pour que l'on puisse négliger le champ électrique et le potentiel régnant dans la zone de substrat. La résolution de l'équation de Poisson unidimensionnelle permet d'exprimer la charge par unité de surface Q_{SC} dans le semiconducteur à l'équilibre en fonction du potentiel de surface V_S pour différents niveaux de polarisation V_G de la structure :

$$Q_{SC} = -\text{Sign}(V_S) \cdot \sqrt{2 \epsilon_{si} k T N_a} \cdot \sqrt{\frac{q V_S}{k T} + \exp\left(-\frac{q V_S}{k T}\right) - 1} \cdot \left[-\exp\left(\frac{-2 q \Phi_{Fi}}{k T}\right) \left[\frac{q V_S}{k T} - \exp\left(\frac{q V_S}{k T}\right) + 1 \right] \right] \quad (I.1)$$

avec Q_{SC} quantité de charge par unité de surface (C.cm⁻²),

V_S potentiel de surface (V),

N_a dopage de substrat (cm⁻³),

T température absolue (°K),

n_i concentration intrinsèque du silicium (cm⁻³) donnée par :

$$n_i = 3,87 \cdot 10^{16} T^{1.5} \exp\left(\frac{-7018}{T}\right) \quad (I.2)$$

Φ_{Fi} potentiel de Fermi (par rapport au potentiel de Fermi intrinsèque) (V) :

$$\Phi_{Fi} = \frac{k T}{q} \text{Ln}\left(\frac{N_a}{n_i}\right) \quad (I.3)$$

Remarque : Seule la connaissance d'une des deux grandeurs N_a ou Φ_{Fi} est nécessaire.

Une variation dV_s (engendrée par une variation dV_G) induit une variation de charge dQ_{SC} dans le semiconducteur de sorte qu'il est pratique de définir une capacité dynamique par unité de surface :

$$C_{SC} = -\frac{dQ_{SC}}{dV_s} \quad (I.4)$$

Dans la structure complète, les charges dans le semiconducteur Q_{SC} seront équilibrées par les charges de grille. L'oxyde de grille étant un très bon isolant, on peut l'assimiler à un condensateur plan dont la capacité est donnée par :

$$C_{OX} = \frac{\epsilon_{\text{SiO}_2}}{e_{OX}} \quad (I.5)$$

La structure complète sera équivalente à la mise en série de 2 capacités, l'une constante correspondant à l'oxyde de grille, l'autre dépendante de V_s :

$$\frac{1}{C} = \frac{1}{C_{OX}} + \frac{1}{C_{SC}} \quad (I.6)$$

On peut faire apparaître les différents régimes de fonctionnement d'une telle structure en fonction du niveau du potentiel de surface :

✎ **Régime d'accumulation** : dans ce cas, V_s est négatif et Q_{SC} positif. L'exponentielle dont l'exposant est négatif devient le terme prépondérant dans l'expression complète (I.1) de Q_{SC} , et :

$$Q_{SC} \approx \sqrt{2 \epsilon_{\text{Si}} k T N_a} \exp\left(-\frac{q V_s}{2 k T}\right) \quad (I.7)$$

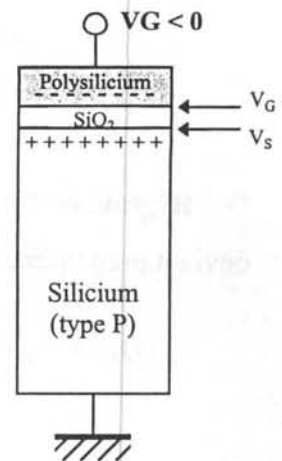


Figure 1

La capacité dynamique vaut :

$$C_{SC} \approx \sqrt{\frac{q^2 \epsilon_{si} N_a}{2 k T}} \exp\left(-\frac{q V_s}{2 k T}\right) \quad (I.8)$$

Les porteurs libres (trous) forment une couche d'épaisseur très faible dans le semiconducteur de sorte que dans ce régime $C_{SC} \gg C_{OX}$. La capacité complète peut être assimilée à la capacité d'oxyde C_{OX} .

☞ **Régime de déplétion puis de faible inversion** : dans ce cas $0 < V_s < 2 \Phi_{Fi}$ et Q_{SC} est négatif. L'expression de Q_{SC} se simplifie comme suit :

$$Q_{SC} \approx -\sqrt{2 q N_a \epsilon_{si} V_s} \quad (I.9)$$

Cette charge est due aux ions accepteurs, son extension dans le volume est importante. Pour $\Phi_{Fi} < V_s < 2 \Phi_{Fi}$ une couche d'électrons libre commence à apparaître en surface. Mais leur densité restant inférieure à la densité de trous, les ions accepteurs constituent l'essentiel de la charge d'espace (de densité N_a). Ce ne sera plus le cas en régime de forte inversion.

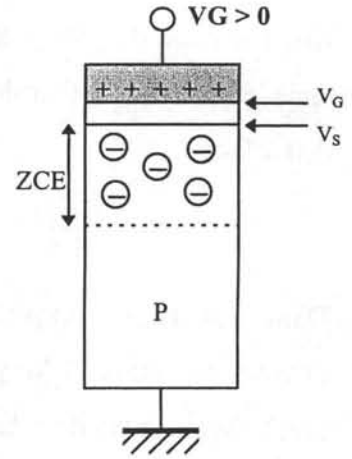


Figure 2

Les capacités dynamiques par unité de surface respectivement du semiconducteur et de la structure complète s'expriment de la façon suivante :

$$C_{SC} = \sqrt{\frac{q \epsilon_{si} N_a}{2 V_s}} \quad (I.10)$$

$$C = \frac{C_{OX}}{1 + \sqrt{\frac{2 C_{OX}^2 V_s}{q \epsilon_{si} N_a}}} \quad (I.11)$$

☞ **Régime de forte inversion** : $V_s > 2 \Phi_{Fi}$ l'exponentielle positive dans l'expression de Q_{SC} devient prépondérante :

$$Q_{SC} \approx -\sqrt{2 \epsilon_{si} k T N_a} \exp\left(\frac{q (V_s - 2 \Phi_{Fi})}{2 k T}\right) \quad (I.12)$$

Une couche d'électrons libre dite couche d'inversion d'épaisseur très faible s'ajoute à la charge de déplétion qui elle ne varie pratiquement plus.

Cette couche d'inversion se constitue par génération thermique de paires électrons-trous, ce phénomène étant très lent. Cependant, dans un transistor MOS les caissons de type N+ que sont source et drain se comportent comme des réserves d'électrons libres. Dans ce cas, l'apparition de la couche d'inversion se fait de manière quasi instantanée pourvu que le régime de polarisation de la structure l'y autorise. La capacité dynamique par unité de surface du semiconducteur dans ce régime de fonctionnement vaut :

$$C_{sc} = \sqrt{\frac{q^2 \epsilon_{si} N_a}{2 k T}} \exp\left(\frac{q(V_s - 2 \Phi_{fi})}{2 k T}\right) \quad (I.13)$$

Comme dans le cas du régime d'accumulation, $C_{sc} \gg C_{ox}$ et la capacité complète peut être assimilée à la capacité d'oxyde C_{ox} .

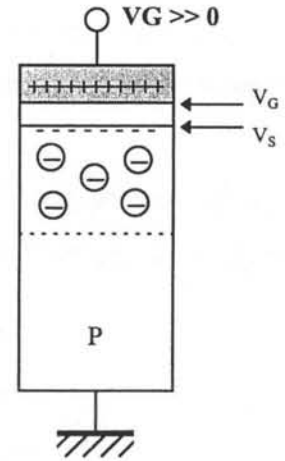


Figure 3

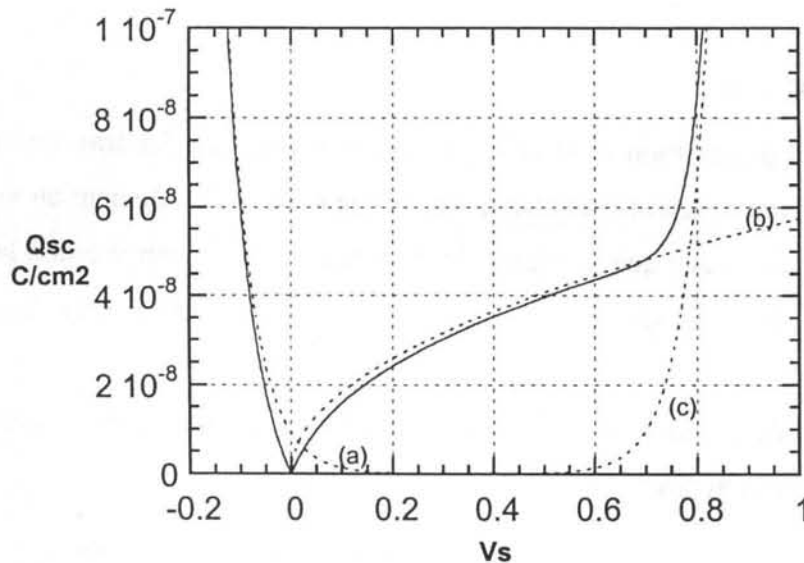


Figure 4

$Q_{sc}(V_s)$ d'après l'expression complète (I.1) en trait plein. Les tracés (a), (b) et (c) correspondent respectivement aux expressions simplifiées (I.7) pour le régime d'accumulation, (I.9) pour le régime de déplétion et (I.12) pour le régime de forte inversion.

La figure 4 représente les tracés des différentes expressions (simplifiées ou non) de la charge par unité de surface Q_{SC} en fonction du potentiel de surface V_S dans le cas d'un dopage de type P (pour cet exemple $N_a=10^{16} \text{ cm}^{-3}$).

La figure 5 représente le rapport C/C_{OX} en fonction du potentiel de grille V_G pour un même dopage N_a et pour 2 valeurs d'épaisseur d'oxyde de grille.

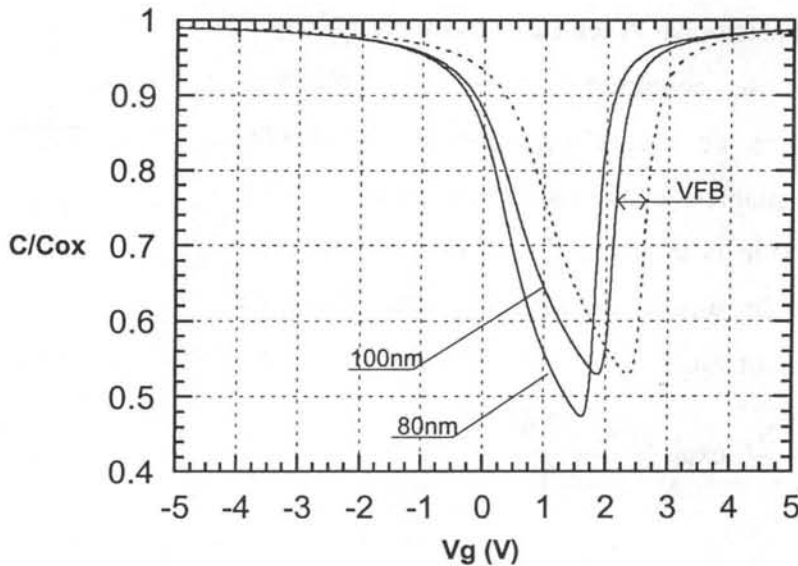


Figure 5

C/C_{OX} en fonction du potentiel de grille V_G .

En traits forts : cas d'une structure idéale où $N_a=10^{16} \text{ cm}^{-3}$ pour 2 épaisseurs d'oxyde de grille (100nm et 80nm). En pointillés : cas où V_{FB} ne serait pas nul (e_{OX} 100nm).

I.2.1.2 Capacité MOS réelle

Même lorsque aucune polarisation n'est appliquée à notre structure, les travaux de sortie du métal et du silicium étant différents, un champ électrique s'établit localement au voisinage de l'interface Si/SiO₂. Il en résulte que le régime dit de bande plate correspondant à la limite des régimes d'accumulation et de déplétion ne sera atteint que pour une tension $V_G = \phi_{ms}$ non nulle.

Cette tension dépend de la nature des matériaux de grille et de substrat utilisés. Dans le cas de substrats en silicium nous avons :

Nature de la grille	Aluminium	Polysilicium N+	Polysilicium P+
ϕ_{ms} (V)	-0,41	-0,56	+0,56

Il existe différents types de charges fixes ou mobiles piégées dans l'oxyde de silicium et en particulier des charges localisées proches de l'interface silicium/oxyde dues à la réalisation de ce dernier (l'expérience montre que celles-ci sont toujours positives et de l'ordre de $10^{10} \text{ c}^{-\text{m}^{-2}}$).

Ces charges ont elles aussi leur influence sur le régime de bande plate.

Remarque : Il est aussi à noter qu'à l'interface Si/SiO₂ il y a rupture de la périodicité du réseau d'où la présence de charges d'état d'interface dépendant des niveaux de polarisation appliqués. Ces charges restent cependant faibles devant les charges d'oxyde (d'un rapport 10).

Le potentiel de bande plate s'exprime donc :

$$V_{\text{FB}} = \phi_{\text{ms}} - \frac{Q_{\text{OX}}}{C_{\text{OX}}} \tag{I.14}$$

Tous les résultats concernant l'étude des capacités MOS idéales restent valables dans le cas d'une structure réelle à condition de remplacer dans toutes les expressions V_G par $V_G - V_{\text{FB}}$. Cette tension de bande plate a en particulier pour effet de décaler les caractéristiques de $C/C_{\text{OX}} = f(V_G)$ comme le montre la figure 5.

I.2.2 Le transistor MOS de signal

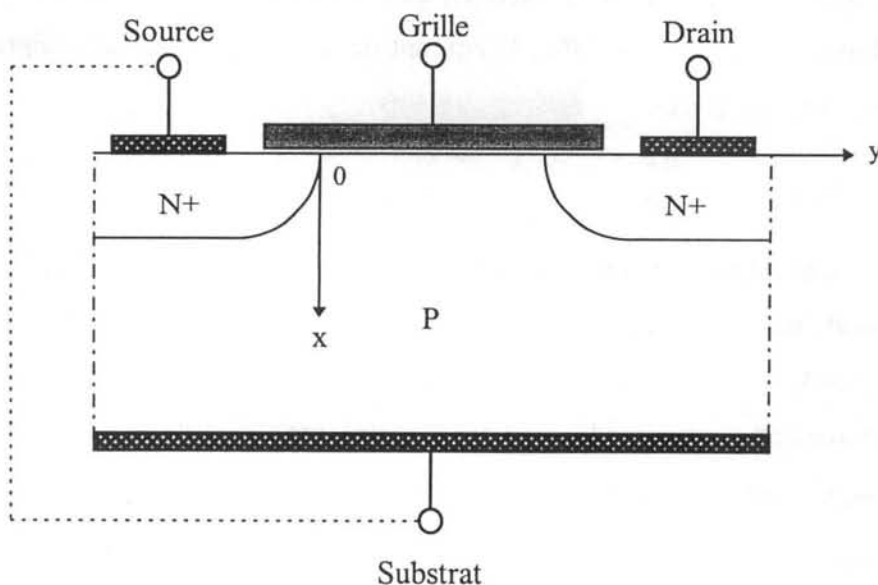


Figure 6
Transistor MOS de signal à canal N

I.2.2.1 Présentation

Le transistor à effet de champs à grille isolée MOS (Métal Oxyde Semiconducteur) à canal N est un dispositif à quatre électrodes (figure 6) [MAT], [VAP]:

- L'électrode de source est généralement reliée à la masse (on gardera ce potentiel comme référence).
- Le Drain est polarisé positivement (le courant principal y circulant sera compté positif entrant dans le drain).
- Le Substrat est connecté systématiquement à la source (nous verrons que ceci est réalisé par défaut dans les dispositifs de puissance).
- Enfin, l'électrode de grille nous permet de moduler le courant de drain en jouant sur le potentiel V_G qu'on lui applique.

Le principe de fonctionnement et le calcul du courant circulant dans un tel dispositif utilisent les résultats précédents concernant l'étude des structures MIS.

I.2.2.2 Expressions du courant de drain

Dans un TMOS, la zone de canal étant une structure MIS, l'application d'un potentiel de grille suffisant permet l'apparition de charges d'inversion localisées le long de l'interface Si/SiO₂. Lorsque ces porteurs libres sont soumis à un champ électrique longitudinal (application d'une tension de drain), ils se déplacent pour engendrer le courant principal (courant de drain I_D).

En utilisant l'approximation du canal graduel, c'est à dire en considérant toutes les lignes de courant parallèles à l'interface Si/SiO, le courant de drain se calcule en intégrant l'équation différentielle le long du canal :

$$I_D = -\mu_{\text{neff}} Q_{\text{inv}} Z \frac{dV}{dy} \quad (\text{I.15})$$

avec Q_{INV} charges d'inversion correspondant à Q_{SC} dans l'expression (I.12) (C.cm⁻²),
 Z largeur équivalente de canal (cm),

μ_{neff} mobilité effective des électrons dans celui-ci (elle dépend des différents niveaux de polarisation comme on le verra par la suite) (cm².V⁻¹.s⁻¹),

y position dans le canal (les bornes d'intégration étant 0 et L comme l'illustre la figure 6) (cm),

V potentiel le long du canal (les bornes d'intégration étant $V_S=0$ coté source et V_{drain} coté drain) (V).

L'expression de la charge d'inversion par unité de surface en un point quelconque d'abscisse y du canal lorsque l'on suppose la couche d'inversion dans le semiconducteur infiniment fine s'exprime par :

$$Q_{INV}(y) = -C_{OX} (V_G - V_{FB} - V(y) - 2\Phi_{Fi}) + \sqrt{2qN_a\epsilon_{si}(V(y) - 2\Phi_{Fi})} \quad (I.16)$$

☞ - Régime saturé :

Si le potentiel de grille est assez élevé pour qu'il y ait forte inversion en tout point du canal, les expressions (I.15) et (I.16) permettent le calcul du courant de drain :

$$I_d = \frac{Z}{L} \mu_{eff} C_{OX} \left\{ \begin{array}{l} \left(V_G - V_{FB} - 2\Phi_{Fi} - \frac{V_d}{2} \right) V_d \\ - \frac{2\sqrt{2qN_a\epsilon_{si}}}{3C_{OX}} \left[(V_d + 2\Phi_{Fi})^{3/2} - (2\Phi_{Fi})^{3/2} \right] \end{array} \right\} \quad (I.17)$$

☞ - Régime de désaturation :

En partant du fonctionnement précédent et en faisant croître le potentiel de drain, la zone du canal se situant coté drain en $y=L$ verra sa densité superficielle de porteurs libres décroître jusqu'à tendre vers 0. On dit qu'il y a pincement du canal et le régime de désaturation est atteint.

L'expression (I.16) permet alors le calcul de V_{Dsat} :

$$V_{Dsat} = V_G - V_{FB} - 2\Phi_{Fi} + \frac{qN_a\epsilon_{si}}{C_{OX}^2} \left(1 - \sqrt{1 + \frac{2C_{OX}^2}{qN_a\epsilon_{si}} V_G} \right) \quad (I.18)$$

L'expression de I_{Dsat} s'obtient simplement en remplaçant V_D par V_{Dsat} dans l'équation (I.17).

Lorsque le potentiel de drain augmente au-delà de V_{Dsat} , le lieu du pincement du canal se déplace vers la source créant entre celui-ci et le drain une zone déplétée de longueur ΔL . Cette zone déplétée va croître en même temps que $V_D - V_{Dsat}$. La partie du canal non pincée voit sa longueur effective L_{EFF} décroître tout en supportant la tension constante V_{Dsat} puisque le dopage P du substrat est supposé uniforme. Il y a alors modulation de la longueur du canal (cf figure 7).

Si la longueur du canal est grande (supérieure au μm , ce qui sera le cas nous le verrons dans les dispositifs de puissance), cet effet n'aura pas d'influence notable sur les réseaux de caractéristiques. Mais pour gagner en performances et en encombrement, on cherche aujourd'hui systématiquement à diminuer au maximum la longueur de canal. Il est donc souvent nécessaire de prendre en compte cet effet de modulation de longueur de canal dans le cas des MOSFET petits signaux. Ceci se traduit dans la zone de saturation des caractéristiques statiques de ceux-ci par une augmentation du courant de drain lorsque le potentiel de drain augmente (cf. figure 7), puisque les expressions du courant sont en $1/L$ (cf. équation I.17).

Remarque : Les porteurs libres présents dans la zone pincée du canal sont des charges dues à de la faible inversion. Par définition, la concentration de celles-ci est plus faible que la concentration en impuretés ionisées. Cette zone peut donc être considérée comme une simple zone de charges d'espace dont la longueur croît comme $(V_d - V_{dsat})$. Les porteurs libres présents dans cette région étant peu nombreux, leur vitesse sera bien supérieure à ceux présents dans la zone de forte inversion. Cependant, la vitesse atteinte doit généralement rester inférieure à la vitesse de saturation v_{max} des porteurs sauf dans le cas particulier de canaux ultra courts utilisés en très haute intégration (problèmes de porteurs chauds).

I.2.2.3 Tension de seuil

On définit la tension de seuil d'un TMOS la tension grille-substrat nécessaire à

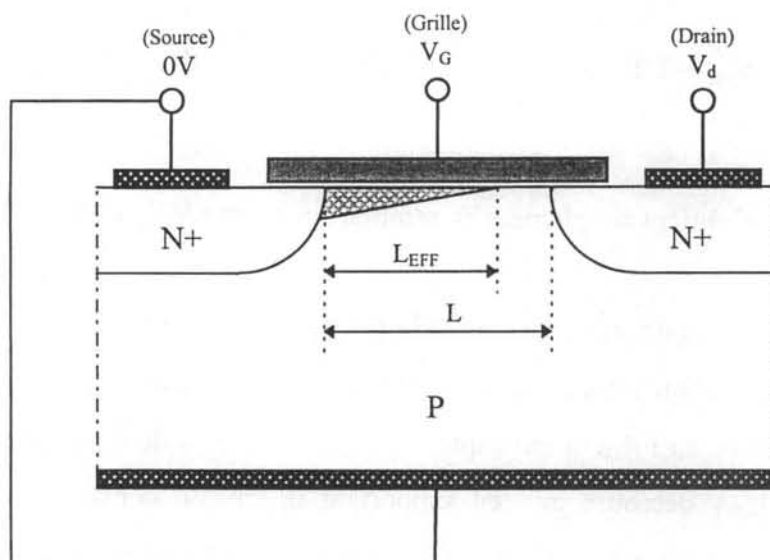


Figure 7

Illustration du phénomène de modulation de largeur de canal (les charges dues au régime de forte inversion se cantonnent à la région de longueur L_{EFF})

l'établissement du régime de forte inversion coté source. Cette limite correspond donc à la limite de V_G en dessous de laquelle aucune partie du canal ne se trouve dans un régime de forte inversion. Dans la zone de canal se situant coté source, le substrat est relié à la masse et le potentiel de surface vaut $V_S = 2 \Phi_{Fi}$. D'où l'expression de la tension de seuil :

$$V_T = V_{FB} + 2 \Phi_{Fi} + \frac{\sqrt{4 q N_a \epsilon_{si} \Phi_{Fi}}}{C_{OX}} \quad (I.19)$$

I.2.2.4 Equations simplifiées

Dans l'hypothèse simplificatrice d'un oxyde de grille très fin (hypothèse couramment adoptée pour les TMOS de signaux), la capacité C_{OX} devient très grande. La tension de seuil et le courant de drain deviennent :

$$V_T \approx V_{FB} + 2 \Phi_{Fi} \quad (I.20)$$

- I_D en régime saturé :

$$I_d \approx \frac{W}{L} \mu_{eff} C_{OX} \left\{ \left(V_G - V_T - \frac{V_d}{2} \right) V_d \right\} \quad (I.21)$$

- I_D régime de désaturation :

$$I_d \approx \frac{W}{2 L_{eff}} \mu_{eff} C_{OX} (V_G - V_T)^2 \quad (I.22)$$

où $L_{eff} = L - \Delta L$, ΔL augmentant avec $V_d - V_{dSAT}$.

La figure 8 donne l'allure du réseau de caractéristiques de sortie du transistor MOS.

I.2.2.5 Mobilité des porteurs libres dans le canal

Les performances des MOSFET sont fortement liées à la qualité de l'oxyde de grille et à celle de l'interface Si/SiO₂ qui influence beaucoup le déplacement des porteurs. Ainsi, la mobilité des électrons dans le canal d'inversion dépend du champ transversal (c'est à dire perpendiculaire à l'interface Si/SiO₂) régnant dans le canal donc du potentiel de grille V_G [DAR]. Nous avons vu précédemment l'influence du champ longitudinal sur la vitesse des porteurs.

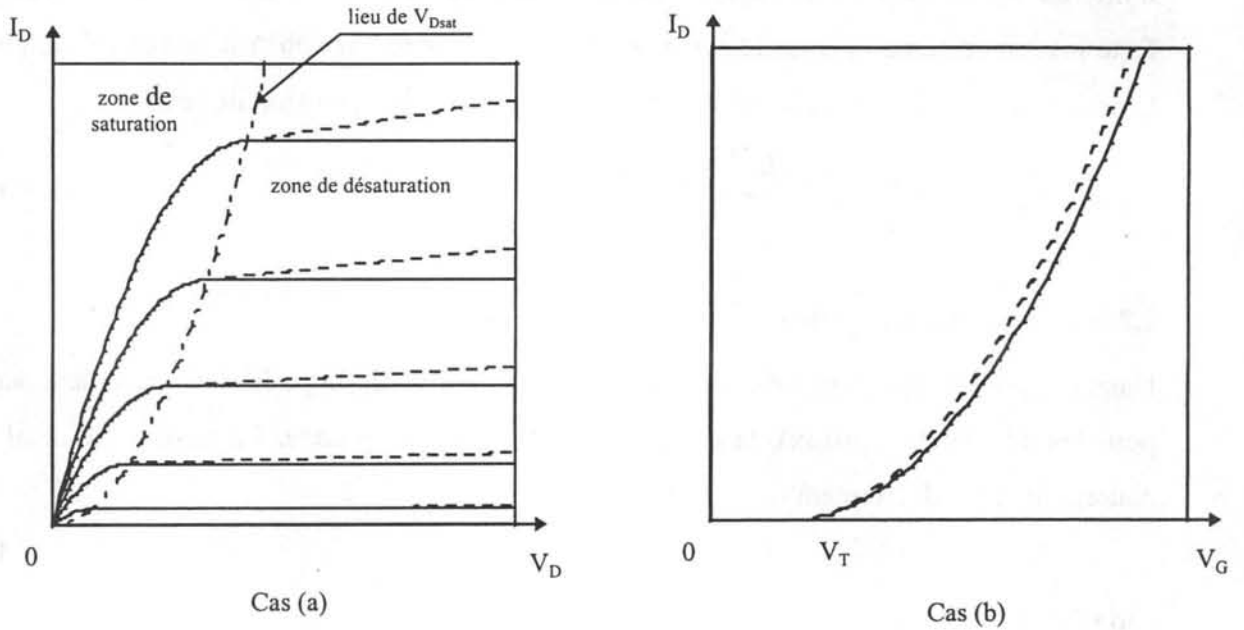


Figure 8

En traits forts : pas de modulation de longueur de canal ($\Delta L \ll L$).

En pointillés : modulation de longueur de canal (ΔL non négligeable devant L).

Cas (a) : tracé de $I_D = f(V_D)$ paramétré en V_G . Cas (b) : tracé de $I_D = f(V_G)$ pour $V_D > V_{Dsat}$.

On tient généralement compte de ces effets en exprimant l'atténuation de mobilité suivant la loi empirique :

$$\mu_{\text{eff}} \approx \frac{\mu_0}{1 + \theta \cdot (V_G - V_T) + \frac{E_y}{E_c}} \quad (\text{I.23})$$

où μ_0 mobilité à champ faible,

θ coefficient d'atténuation de mobilité dû au champ électrique (V^{-1}),

E_y champ électrique longitudinal (V/cm),

E_c coefficient d'atténuation de mobilité due à la saturation de la vitesse des porteurs à fort champ longitudinal (V/cm).

I. 3. MODELE STATIQUE POUR LE TRANSISTOR MOS DE PUISSANCE

I. 3. 1. Généralités

Les transistors MOS de puissance sont apparus vers 1978. Bien que leur principe de fonctionnement et leurs techniques de fabrication soient les mêmes que ceux des MOSFET latéraux, leurs structures sont très différentes (figure 9) [ANT1], [ARN1], [ARN3], [BAL].

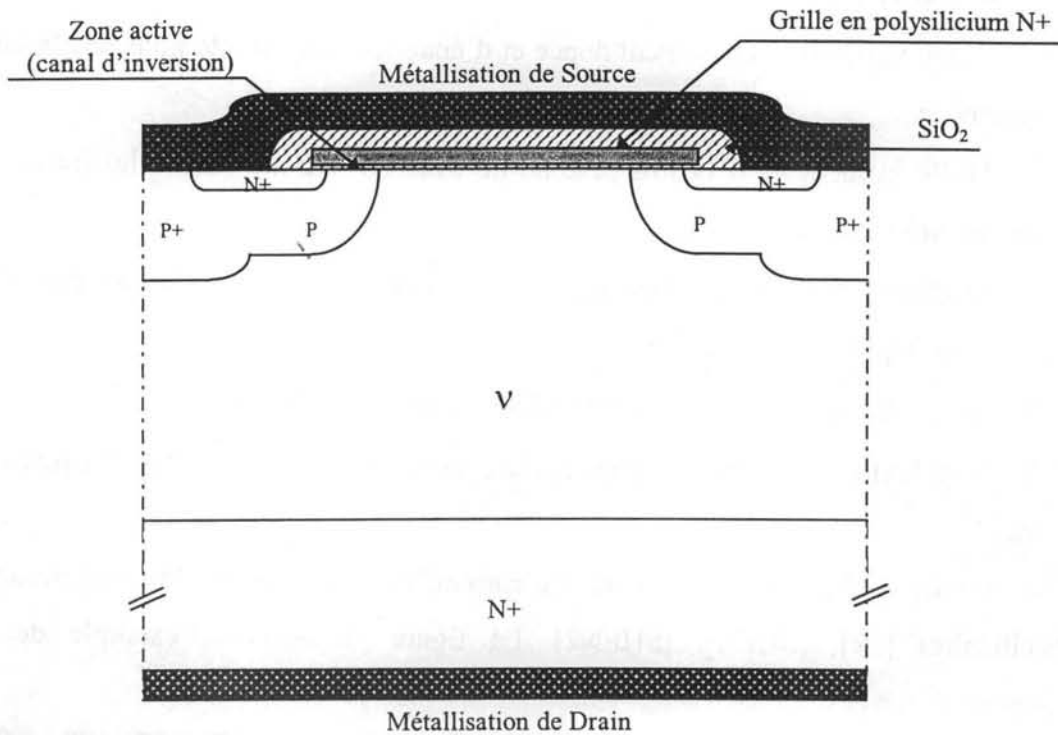


Figure 9
Coupe d'une demie cellule de VDMOS.

La technique de double diffusion permettant la réalisation de la zone active (zone de canal) semble la seule viable puisque la quasi-totalité des composants du marché sont réalisés de cette façon, d'où le nom de transistor DMOS (ou VDMOST : "Vertical Double diffused MOS Transistor"). La nécessité de tenir une tension élevée impose une zone v épaisse et faiblement dopée réalisée par épitaxie (figure 9) [ARN2], [MERC]. La jonction Pv ainsi réalisée et polarisée en inverse lorsque le composant est bloqué voit donc sa zone de charges d'espace s'étendre principalement côté v. Cette zone tiendra donc la quasi-totalité de la tension Drain

Source appliquée au dispositif, le canal n'ayant à supporter qu'une faible partie de cette tension. La longueur du canal est alors relativement faible ce qui permet de concevoir des composants ayant de bons calibres en courant.

Lorsque le transistor conduit, les lignes de courant issues de la source traversent le canal le long de l'interface Si/SiO₂, tournent pour traverser verticalement la zone v en s'évasant puis se resserrent pour ressortir par l'électrode de drain via le substrat N⁺ (figure 9). Les particularités d'un transistor DMOS par rapport à un transistor MOS latéral classique sont donc :

- ✎ Asymétrie source drain,
- ✎ Région verticale v faiblement dopée et d'épaisseur importante pour une bonne tenue en tension,
- ✎ Grille influençant à la fois la zone de canal et la zone intercellulaire (zone v se situant entre les caissons P),
- ✎ Métallisation de source court-circuitant la jonction N⁺/P, ce qui annihile l'effet du transistor bipolaire parasite N⁺/P/v,
- ✎ Canal à dopage variable puisque réalisé par double diffusion,
- ✎ Complexité des géométries en surface pour augmenter la largeur équivalente de canal.

Sur ce dernier point, on peut noter qu'aujourd'hui la plupart des composants sont multicellulaires [IR], [SHER], [SHEN2]. La figure 10 montre l'exemple de cellules hexagonales et carrées.

Figure 10

Grossissement d'un dispositif de chez MOTOROLA au voisinage de la périphérie. Les cellules sont carrées. Les anneaux de garde apparaissant en sombre permettent la tenue en tension du dispositif.

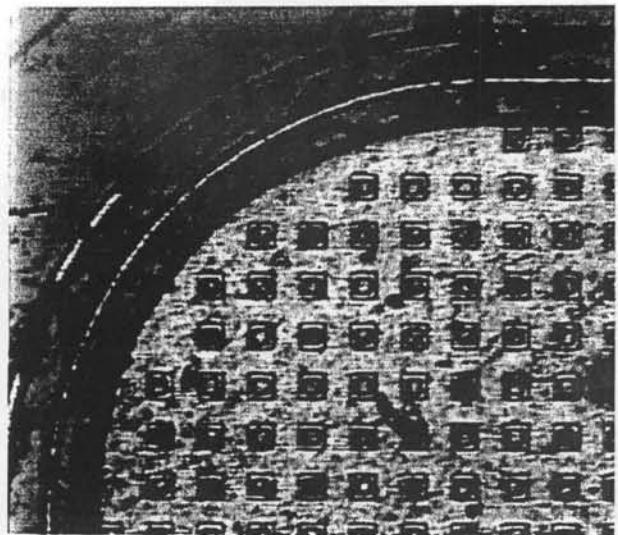
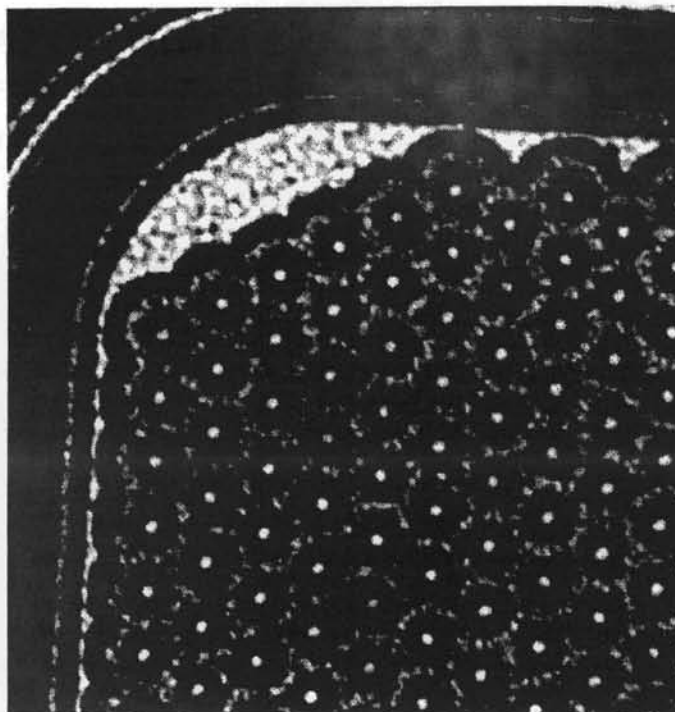


Figure 11

Dispositif de chez International Rectifier (IRF430). Les cellules sont cette fois hexagonales. Cette vue représente approximativement le soixantième de la surface totale de la puce. On peut de nouveau noter les anneaux de garde en périphérie.



Le constructeur APT (Advanced Power Technology) a la particularité d'avoir opté pour une structure en doigts comparable à celle couramment utilisée dans la fabrication des Transistors à Grilles Bipolaires ou IGBT pour les anglo-saxons.

On peut d'ores et déjà remarquer sur ces exemples l'importance de la surface de la grille en regard de la zone v. Elle sera responsable d'une capacité inter-électrodes grille/drain importante étudiée au chapitre II.

La tendance est de diminuer au maximum la distance intercellulaire afin d'augmenter la largeur équivalente de canal pour une surface de silicium donnée (pas actuellement d'environ quelques $10\mu\text{m}$). Ceci permet d'améliorer les caractéristiques en conduction mais accentue l'effet de pincement (effet JFET parasite) dans cette zone intercellulaire. Tous les efforts d'optimisation des géométries des cellules en surface ont moins d'effets sur les composants de forts calibres en tension. De plus, la zone v est d'autant plus résistive que la tenue en tension du dispositif est élevée. Ceci limite l'intérêt de ces transistors à des tensions inférieures à 800V si l'on veut des performances intéressantes (forts courants, faibles pertes). Au-delà de ces niveaux de tension on préférera l'IGBT ("Insulated Gate Bipolar Transistor" ou en français TGB pour "Transistor à Grille Bipolaire").

La détermination d'un modèle statique passe par une étude détaillée de la zone de canal ainsi que de la zone v [GRA], [BEY]. En ce qui concerne la zone active de canal, à partir du profil de dopage obtenu après diffusion du canal et à l'aide des résultats concernant les capacités MOS, nous allons tenter de donner des expressions analytiques du courant dans le dispositif. Nous discuterons des hypothèses possibles permettant d'aboutir à des relations simples. Nous aborderons ensuite le problème de la résistance du drain v apparaissant en série avec le canal. Enfin nous terminerons en présentant des méthodes permettant d'extraire les paramètres électriques nécessaires au modèle statique et commenterons des résultats de mesures.

I. 3. 2. Réalisation du canal par double diffusion

I. 3. 2. 1. Principe de la diffusion

Le phénomène de diffusion dans un cristal semi-conducteur correspond à un mouvement d'atomes dopants résultant de leur gradient de concentration, ces dopants ou impuretés diffusant des zones de forte concentration vers les zones de faible concentration (ce phénomène a lieu pour des températures supérieures à 800°C et se trouve, le plus souvent, négligeable pour des températures inférieures à 650°C).

Pour réaliser ces diffusions, on commence par introduire des atomes dopants en surface par prédéposition (à l'aide d'un gaz porteur, en utilisant les propriétés de solubilité des dopants dans le silicium) ou par implantation ionique (en bombardant le silicium d'ions triés et accélérés). Cela conduit à une concentration en atomes dopants quasi superficielle connue et ajustable. Il suffit alors de chauffer le dispositif pour faire diffuser ces impuretés dans le volume du semiconducteur.

On montre qu'après diffusion, le profil obtenu est gaussien :

$$C(x) = CS \exp\left(-\frac{x^2}{4 D t}\right) \quad (I.24)$$

$$\text{avec } CS = \frac{Q^*}{\sqrt{\pi D t}}$$

Où Q^* est la quantité d'impuretés introduite en surface (en atomes/cm²), D le coefficient de diffusion dépendant de la nature du dopant et de la température de diffusion (en $\mu\text{m}^2/\text{heure}$), t le temps de diffusion en heures, x la distance à partir de la surface (en μm), CS la

concentration en surface après diffusion (en atomes/cm³) et C(x) la concentration à une distance x de la surface après diffusion (en atomes/cm³).

I. 3. 2. 2. Réalisation du canal

Dans les structures de puissance, le processus de diffusion permet de réaliser les zones actives de canal d'inversion par avancée latérale sous l'oxyde de grille [PAN]. Pour cela, en partant d'un substrat n+ sur lequel on fait croître une couche épitaxiée v (d'épaisseur et de concentration suffisante pour permettre la tenue en tension du composant), on fait croître un oxyde fin puis une grille en polysilicium par dépôt chimique en phase vapeur. Après ouverture du polysilicium par gravure, on réalise 2 diffusions successives ;

- l'une de type P (Bore) qui pour la réalisation de la zone active de canal par avancée latérale sous l'oxyde de grille,

- l'autre de type n (Phosphore) beaucoup moins profonde permettant le contact de source.

L'avantage de cette technique de double diffusion est que la largeur de canal ne dépend pas de la précision de la photomicrolithographie mais du contrôle des 2 avancées successives sous l'oxyde de grille. Ceci permet une bonne maîtrise de la longueur du canal sans problème de précision pour la réalisation des masques.

Pour exemple, nous avons choisi un canal de longueur approximative 2µm réalisé sur substrat dopé Nd=10¹⁴ atomes/cm³, le dopage maximum dans le canal étant de Na=6,6 10¹⁶ atomes/cm³ (cf. figure 12.a). La figure 12.b représente le profil net de concentration en impuretés le long de l'axe Oy.

En considérant un élément de longueur dy du canal, les équations (I.14) et (I.19) permettent d'exprimer le potentiel de grille correspondant à la forte inversion dans le canal en l'absence de polarisation du drain :

$$V_{\text{seuil}}(y) = 2 \Phi_{\text{Fi}} + \phi_{\text{ms}} - \frac{Q_{\text{OX}}}{C_{\text{OX}}} + \frac{\sqrt{4 q N_a \epsilon_{\text{si}} \Phi_{\text{Fi}}}}{C_{\text{OX}}} \quad (\text{I.25})$$

où $\phi_{\text{ms}} = \phi_{\text{m}} - \phi_{\text{s}}$

($\phi_{\text{s}} = \Phi_{\text{Fi}}$ dans le cas d'une grille en polysilicium).

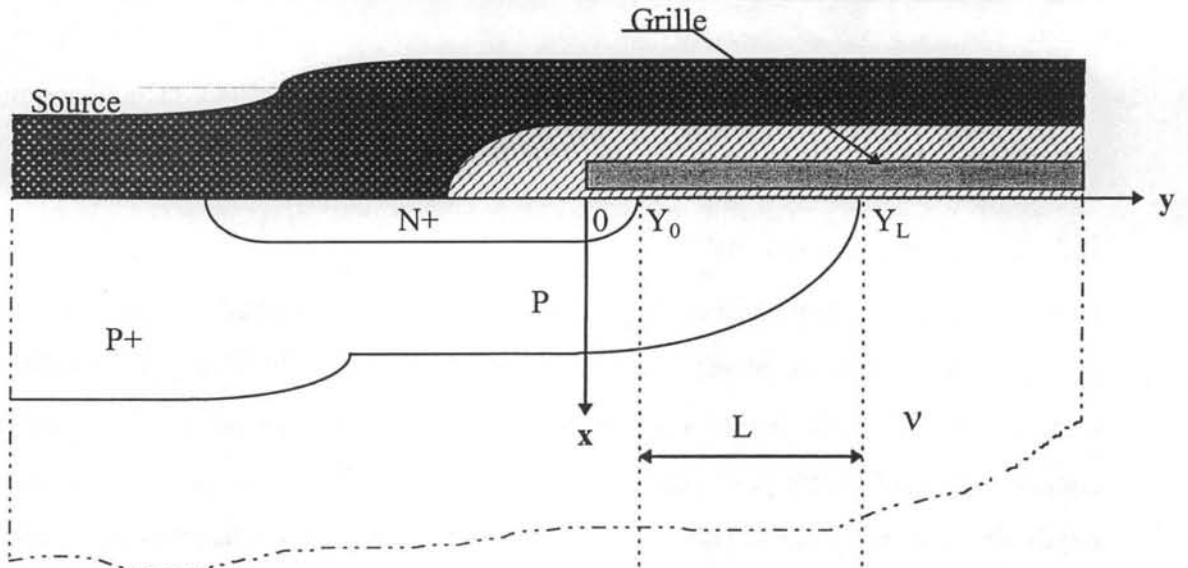


Figure 12 (a)

Figure 12b
Evolution du profil de dopage du silicium N le long du canal en $x \approx 0$ dans le cas d'un canal de longueur $L \approx 2 \mu\text{m}$ et de dopage maximum côté source de $N_{aMAX} \approx 8 \cdot 10^{16} \text{ cm}^{-3}$.

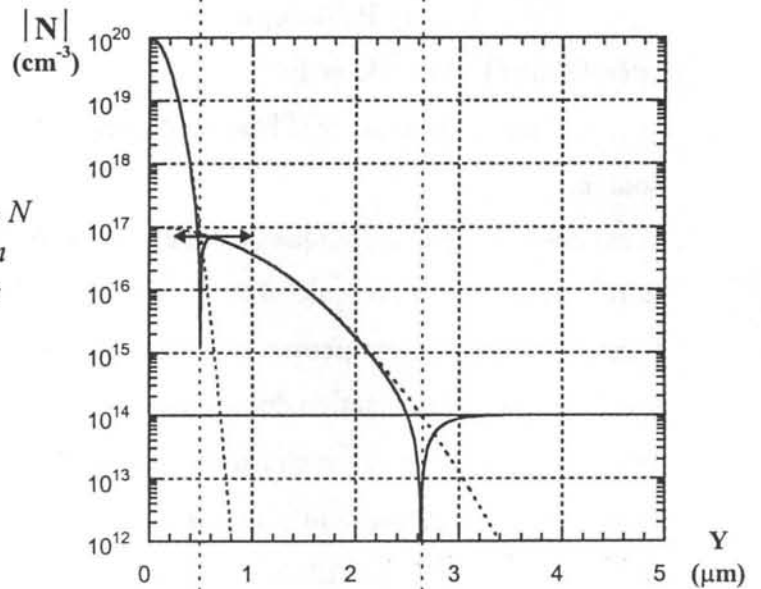
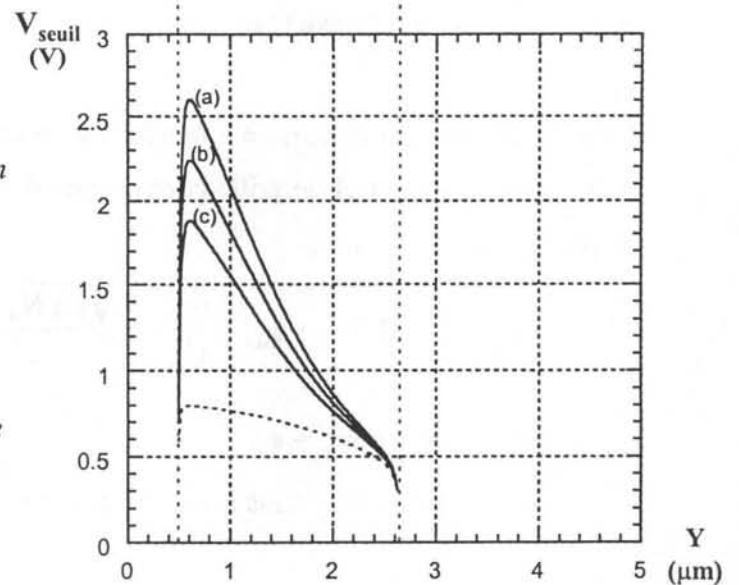


Figure 12c
Evolution du potentiel de grille V_{seuil} correspondant à la limite de forte inversion le long du canal.

- En traits pleins, cas de différentes épaisseurs d'oxyde de grille :
 - (a) $e_{OX} = 100 \text{ nm}$,
 - (b) $e_{OX} = 80 \text{ nm}$,
 - (c) $e_{OX} = 60 \text{ nm}$.
- En pointillé cas d'une épaisseur de grille supposée infiniment fine (hypothèse, on le voit pour cet exemple, non réaliste).



Nous avons donc un terme indépendant du dopage (donc de la position y) :

$$V_{\text{seuil0}} = \phi_m - \frac{Q_{\text{OX}}}{C_{\text{OX}}} \quad (\text{I.26})$$

et un terme dépendant du dopage :

$$V_{\text{seuil}}(y) = \Phi_{\text{Fi}}(y) + \frac{\sqrt{4q N_a(y) \epsilon_{\text{si}} \Phi_{\text{Fi}}}}{C_{\text{OX}}} \quad (\text{I.27})$$

La figure 12.c correspond au tracé de V_{seuil} dans le cas de notre exemple pour différentes épaisseurs d'oxyde de grille. Dans cet exemple, nous voyons que le seuil dépend beaucoup de C_{OX} côté source. En effet, bien que l'oxyde de grille soit fin, dans cette zone N_a est assez élevé pour que le dernier terme de l'expression (I.27) correspondant au coefficient de substrat ne soit pas négligeable. A contrario, côté drain N_a devient assez faible pour que l'on puisse confondre V_{seuil} et Φ_{Fi} .

I. 3. 3. EXPRESSIONS DU COURANT

Les VDMOS étant presque exclusivement des composants multicellulaires, nous avons une grande disparité quant aux formes géométriques de surface adoptées par les différents constructeurs.

De plus, les avancées latérales lors des diffusions ne se font pas de la même façon que celles dans le volume. Nous nous retrouvons donc après nos 2 diffusions avec des jonctions quasi cylindriques par endroits et quasi sphériques en d'autres et partout des profils de dopage loin d'être uniformes.

Il est donc évident qu'un modèle fin du dispositif ainsi réalisé ne peut être obtenu que par description puis simulation 2D, voire 3D, étape longue mais indispensable au concepteur [TSA]. Un modèle analytique est cependant nécessaire à l'utilisateur pour qu'il puisse étudier le comportement du composant en situation à l'aide de simulateurs électriques tels que SPICE ou ELDO. Quelle que soit la précision de celui-ci, il devra nécessairement reposer sur un grand nombre d'hypothèses simplificatrices, la difficulté résidant dans le choix des phénomènes à prendre en considération compte tenu du niveau de précision que l'on souhaite atteindre. Avant de présenter des solutions possibles pour le modèle analytique, nous allons commencer par résoudre numériquement l'équation (I.15) permettant le calcul du courant principal dans le cas d'un canal diffusé.

I. 3. 3. 1. Résolution numérique

Gardons l'hypothèse d'un canal double diffusé et d'un profil de concentration en impuretés gaussien (figure 12). Le calcul direct utilisant l'expression (I.25) ne permet pas d'aboutir à une expression analytique du courant I_D . Ainsi, sans hypothèse supplémentaire, seule une résolution numérique est envisageable, ce que l'on se propose de faire ici.

Dans l'hypothèse de la forte inversion, le problème consiste à résoudre l'équation (I.15) connaissant l'expression des charges d'inversion (I.16) ; d'où l'équation différentielle :

$$\frac{dV}{dy} = \frac{I_D}{\mu Z C_{OX} \left[V_G - V_{FB} - V(y) - 2 \Phi_{Fi}(y) - \frac{1}{C_{OX}} \sqrt{2 q N_a \epsilon_{si} (V(y) + 2 \Phi_{Fi}(y))} \right]} \quad (I.28)$$

Les bornes d'intégration pour y sont respectivement Y_0 côté source et Y_L côté drain (voir figure 12a). Il est à noter que les grandeurs N_a et Φ_{Fi} apparaissant dans l'équation (I.28) sont toutes deux dépendantes de la position y dans le canal. Celui-ci étant diffusé, d'après §I.3.2 on peut écrire :

$$N_a(y) = N_{A0} \exp\left(-\frac{y^2}{\alpha_A}\right) \quad (I.29)$$

N_{A0} (cm^{-3}) est le dopage en $y=0$ et α_A (μm^{-2}) le produit coefficient de diffusion par temps de diffusion.

Les valeurs numériques utilisées pour les résolutions qui suivent sont celles précisées figure 12b. Le détail du canal est donné figure 13. Il est à noter que :

- Il ne faut pas confondre N_{A0} et le dopage maximum N_{Amax} dans le canal plus faible et situé légèrement au-delà de Y_0 ,
- Le contact ohmique de source est permis grâce à la diffusion N+ définie comme pour $N_a(y)$ par deux paramètres (dopage en $y=0$ et en surface dans la zone de contact de 10^{20}cm^{-3}),
- Le dopage du substrat est $N_{dv}=4 \cdot 10^{14} \text{cm}^{-3}$ et correspond à un composant dont la tenue en tension est d'environ 500V,
- L'épaisseur d'oxyde est de 80nm,
- La longueur de canal ainsi obtenue est de $1,5 \mu\text{m}$ et la tension de seuil de 4,2V (à la tension de bande plate V_{FB} près supposée ici nulle).

Dans les résultats de simulation donnés ci-après, la mobilité des porteurs dans le canal est considérée indépendante du champ électrique régnant dans le canal (on prend usuellement une

mobilité moyenne de $300\text{cm}^2.\text{V}^{-1}.\text{s}^{-1}$). Cependant il est tout à fait possible de tenir compte de la réduction de mobilité des électrons dans le canal due au champ électrique transversal et/ou au champ électrique longitudinal. Il serait par exemple possible d'utiliser le modèle de mobilité explicité équation (I.23) pour résoudre numériquement l'équation (I.28) sans que cela pose de problème particulier. Néanmoins, ce modèle de mobilité comme la plupart de ceux proposés dans la littérature sont des modèles empiriques dont les paramètres sont mesurés sur des TMOS latéraux à canaux homogènes. On verra par la suite que dans le cas de TMOS diffusés, il est impossible de séparer l'effet de réduction de mobilité de celui de la résistance série forcément importante.

Nous avons enfin choisi pour ces simulations une largeur de canal Z telle que :

$$K_P = \frac{Z}{L} \mu C_{OX} = 5 \text{ A} / \text{V}^2 \quad (\text{I.30})$$

Figure 13
Profil de dopage le long du canal et évolution du potentiel de grille correspondant à la limite de forte inversion en l'absence de champ électrique longitudinal (pour $e_{OX}=80\text{nm}$).

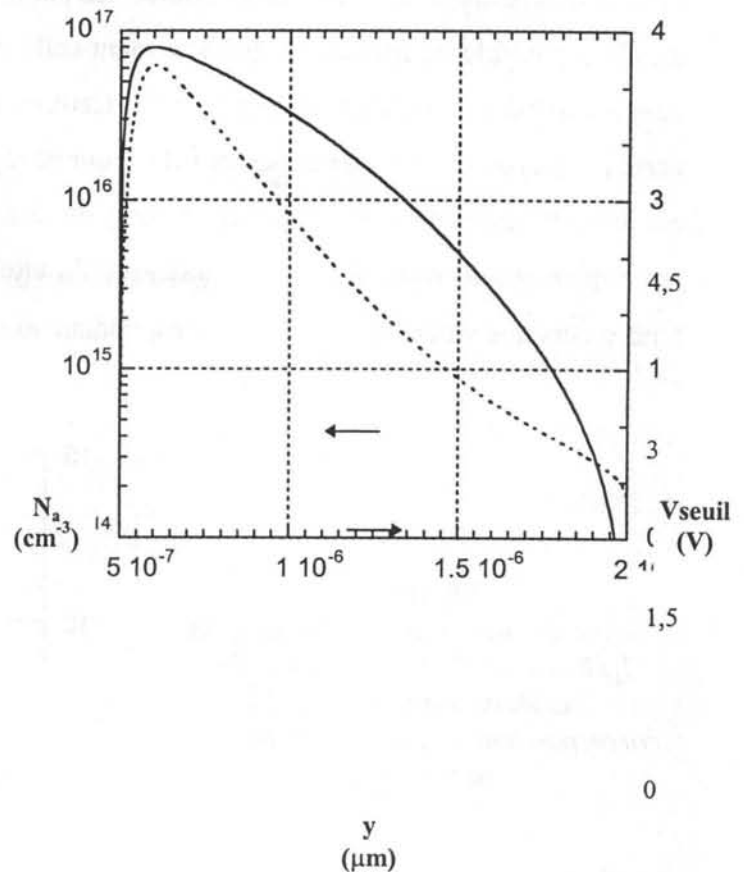
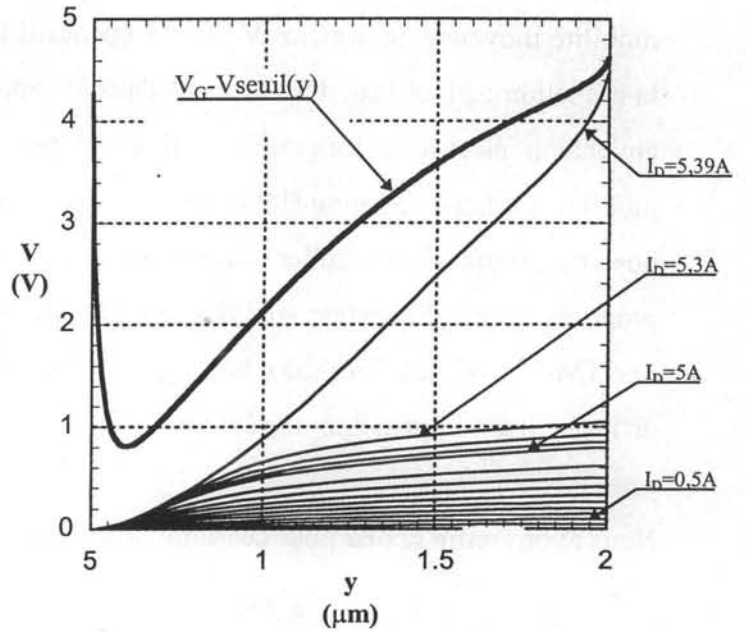


Figure 14

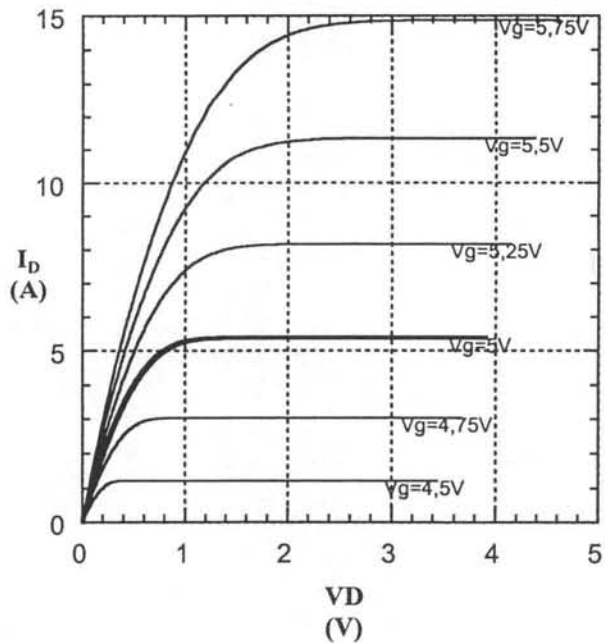
Evolution du potentiel le long du canal pour différentes valeurs de courant I_D et pour $V_G=5V$. La limite $V_G-V_{seuil}(y)$ au-dessus de laquelle il n'y a plus forte inversion est tracée en trait gras. On vérifie sur cet exemple que le pincement a bien lieu en $y=2\mu m$, c'est à dire à l'extrémité du canal se situant côté drain pour $I_D \cong 5,39A$.



Les caractéristiques du canal étant définies, les paramètres de l'équation (I.28) le sont aussi. Il est alors possible de résoudre numériquement celle-ci pour chaque couple de valeurs (V_G, I_D), ce qui conduit aux résultats de la figure 14. Ceux-ci concernent le cas où V_G vaut 5V et où I_D varie par pas de 0,5A puis par pas de 0,1A pour se rapprocher du pincement. On observera sur ces tracés l'évolution du potentiel le long du canal pour chaque valeur de courant pour remarquer que lorsque I_D croît, le potentiel V_D atteint en bout de canal croît lui aussi pour tendre vers une valeur limite V_{Dsat} correspondant au pincement : $V_{Dsat} \cong V_G - V_{seuil}(Y_L) \cong V_G$.

Figure 15

Tracé du réseau de caractéristiques $I_D(V_D)$ avec V_G en paramètre. Les résultats donnés figure 14 correspondent au cas $V_G=5V$ tracé ici en trait gras.

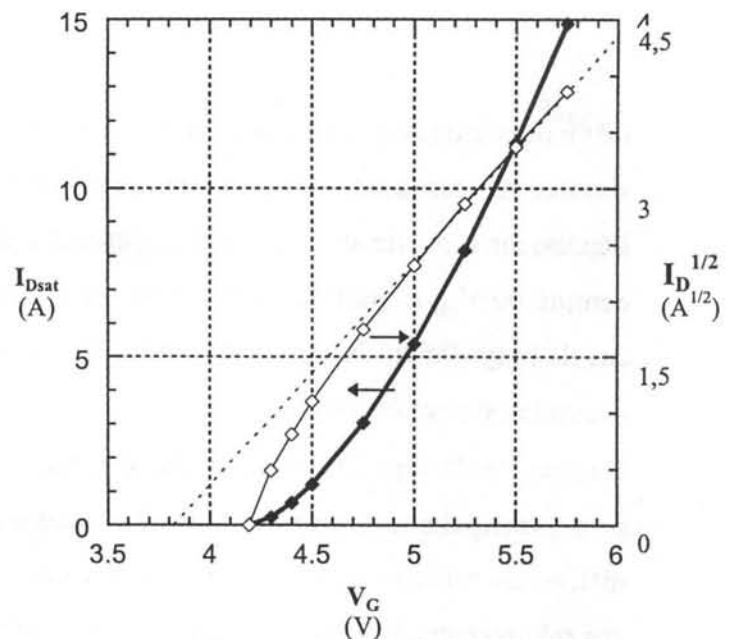


Il est alors possible de tracer le réseau de caractéristiques statiques $I_D(V_D)$ paramétré en V_G (figure 15). Sur ce dernier tracé on retrouve en trait gras le cas $V_G=5V$ du tracé précédent de la figure 14.

☞ *Comportement à fort V_D*

La structure décrite étant une structure de puissance, il est important de connaître son comportement en régime de désaturation (canal pincé) car cela permettra l'étude du composant en commutation. Pour ce type de transistor, l'effet de modulation de longueur de canal décrit en §I.2.2.2 est négligeable. En effet, on verra chapitre II qu'à fort V_D la jonction Pv voit sa zone de charges d'espace s'étendre essentiellement côté v puisque celle-ci est bien plus faiblement dopée que la zone de canal. Le courant de drain I_D est donc pratiquement indépendant de V_D en régime de désaturation, soit $I_D=I_{Dsat}$.

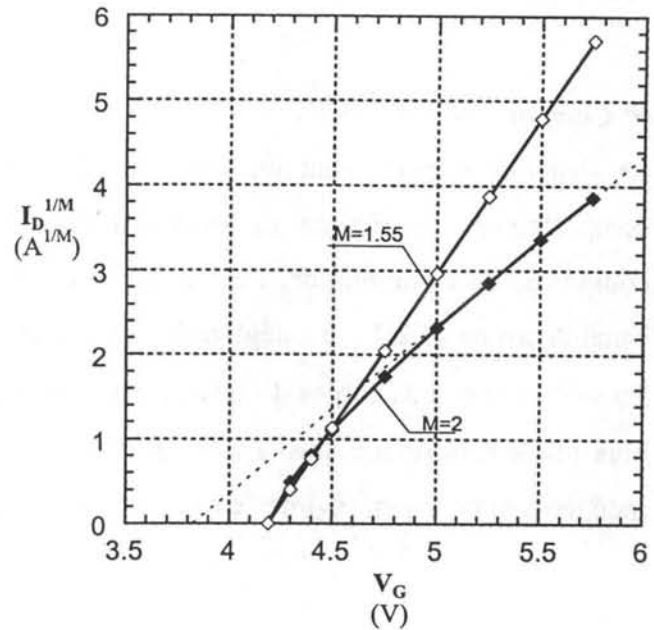
Figure 16
 Tracé de $I_D(V_G)$ dans la zone de désaturation correspondant à $I_D=I_{Dsat}$ dans le cas du canal décrit figure 13 (avec l'hypothèse de non-dépendance du courant et de V_D).
 Tracé de $I_D^{1/2}(V_G)$ et tentative d'extrapolation de V_{TM} à partir des valeurs élevées de courant (pointillés).



Les tracés de $I_{Dsat}(V_G)$ et plus particulièrement de $\sqrt{I_{Dsat}} = f(V_G)$ figure 16 montrent que les résultats de simulation ne correspondent pas tout à fait au modèle quadratique classique (rappelé §I.2.2.4). Conserver ce dernier nécessiterait d'assimiler la mesure et le tracé de $\sqrt{I_{Dsat}}(V_G)$ à une droite. L'exemple montre ici que cela introduirait une erreur importante sur V_T extrapolée (3,8V au lieu de 4,2V d'après la figure 16). Le tracé donné figure 17 montre que

dans notre exemple un exposant $M=1,55$ conviendrait bien mieux que l'exposant 2 de l'expression (I.22) (avec un seuil de 4,2V cohérent par rapport au tracé de la figure 13).

Figure 17
Tracé de $I_D^{1/M}(V_G)$ pour $M=2$
(cas du modèle classique)
et pour $M=1,55$
(valeur convenant bien mieux dans le cas
du canal diffusé étudié).



Les tensions de seuil mesurées sur les VDMOS du marché sont souvent inférieures à la valeur simulée ci-dessus de 4,2V (couramment 3,2V). Trois raisons peuvent expliquer cet écart : l'épaisseur d'oxyde de grille des composants du marché peut être plus faible ; il faut tenir compte de V_{FB} et particulièrement du travail de sortie du matériau de grille (négatif dans le cas de polysilicium N+ comme indiqué §I.2.1.2) ; enfin la valeur de N_{aMax} choisie dans notre exemple est peut-être optimiste.

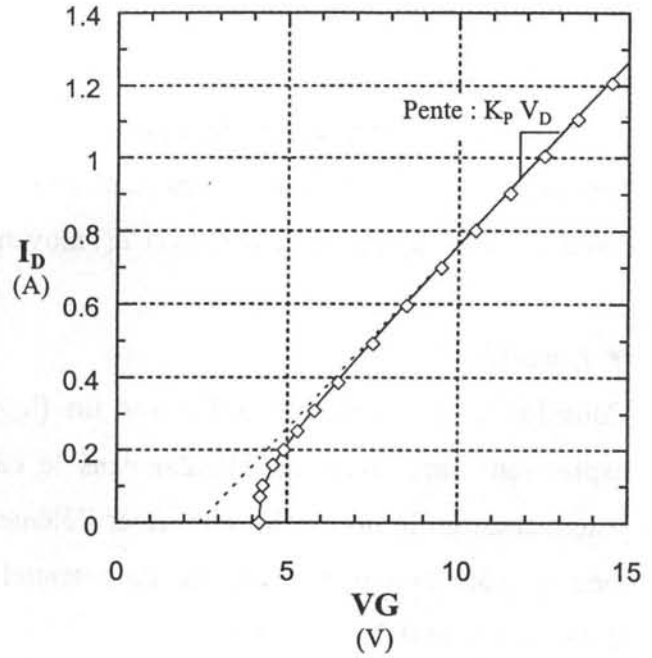
De plus, le dopage N_v est généralement plus élevé que dans notre exemple car les VDMOS sont principalement utilisés dans des gammes de tensions inférieures à 500V. Pour ces différentes raisons, nous pouvons estimer que ces résultats de simulation correspondent à un cas relativement extrême et qu'un modèle quadratique peut rester acceptable, bien que moins précis.

☞ Comportement à faible V_D

En dehors des instants de commutation, lorsque le transistor conduit il est de nouveau le siège de pertes. C'est pourquoi il est important de connaître son comportement à faible V_D lorsque V_G est élevé (comportement en saturation).

Figure 18

Tracé de $I_D(V_G)$ à $V_D=20mV$.
 On voit que pour V_G suffisamment élevé, on tend vers une droite de pente $K_p V_D$ mais pour laquelle on ne retrouve pas la tension de seuil par extrapolation.
 Les plots correspondent aux valeurs calculées à l'aide du modèle proposé paragraphe suivant.



Le tracé de la figure 18 montre le comportement de notre canal diffusé en régime de saturation. On voit que dans ce régime de fonctionnement et à V_G élevé, la conductance du canal est proportionnelle à $(V_G - V_T)$; le coefficient de proportionnalité étant K_p (coefficient déjà défini et valant 5 A.V^{-2} dans notre exemple). Mais il est important de noter que ce comportement linéaire à V_G élevé ne permettra pas lors de mesures d'extrapoler V_T (cf tracé en pointillé figure 18).

Ces résultats numériques n'ont pas la prétention de décrire très finement le comportement des structures réelles. Pour cela il faudrait introduire des modèles de mobilité des couches inversées sophistiqués [DAR], tenir compte de la complexité des géométries de surface conduisant à des jonctions quasi cylindriques ou quasi sphériques en certains endroits du dispositif (modèle 3D) et surtout connaître les caractéristiques physiques et géométriques des composants étudiés (ce que les fabricants ne donnent pas et qu'il est très difficile voire impossible à mesurer) [VIC]. Ne fabricant pas nos propres dispositifs, nous ne pouvons donc pas exploiter d'avantage ces résultats de simulation. Ils nous ont néanmoins permis de justifier le modèle simplifié en désaturation :

$$I_D = K_{PD} (V_G - V_{TD})^M \tag{I.31}$$

Ce modèle introduisant 3 paramètres K_{PD} , V_{TD} et M donne de bons résultats comme nous le verrons par la suite.

I. 3. 3. 2. Solutions analytiques

D'un point de vue utilisateur, nous avons besoin d'un modèle ne faisant pas intervenir de paramètres géométriques ou physiques car ceux-ci sont pour nous non mesurables. Compte tenu des ordres de grandeurs et des résultats de simulations précédents, nous allons tenter de résoudre analytiquement l'équation (I.28) moyennant des hypothèses simplificatrices.

☞ Hypothèse 1 :

Considérons un oxyde de grille très fin (hypothèse équivalente à celle conduisant aux expressions simplifiées du §I.2.2.4 dans le cas des TMOS de signaux). Soit $V_{seuil}(y)$ le potentiel de grille nécessaire à inverser l'élément de canal se situant à une distance y de la jonction côté source en l'absence de potentiel de drain. Compte tenu des équations (I.3), (I.24), (I.26) et (I.27) il vient :

$$V_{seuil}(y) = \phi_m - \frac{Q_{OX}}{C_{OX}} + \frac{k T}{q} \ln\left(\frac{N_{A \max}}{n_i}\right) - \frac{k T}{4 q D t} \cdot y^2 \quad (I.32)$$

et l'équation à résoudre (I.15) devient :

$$I_D \cdot dy = Z \mu C_{OX} \left(V_G - V(y) - \phi_m + \frac{Q_{OX}}{C_{OX}} - \frac{k T}{q} \ln\left(\frac{N_{A \max}}{n_i}\right) + \frac{k T}{4 q D t} y^2 \right) dV \quad (I.33)$$

Cette équation de Riccati n'a cependant pas de solution analytique dans le cas général. Seule une résolution analytique est possible sauf dans le cas particulier où le potentiel de drain est très faible (fonctionnement du transistor dans sa zone ohmique).

Dans ce cas pour V_D faible :

$$I_D = \frac{(V_G - \Phi_0) Z \mu C_{OX} \sqrt{\frac{\alpha}{V_G - \Phi_0}}}{\text{Arctg}\left(\sqrt{\frac{\alpha}{V_G - \Phi_0}} L\right) - \text{Arctg}\left(\sqrt{\frac{\alpha}{V_G - \Phi_0}} y_0\right)} V_D \quad (I.34)$$

$$\text{où } \Phi_0 = \phi_m - \frac{Q_{OX}}{C_{OX}} + \frac{k T}{q} \ln\left(\frac{N_{A \max}}{n_i}\right)$$

$$\alpha = \frac{k T}{4 q D t}$$

y_0 et L étant définis figure 12.

Aujourd'hui, tous les composants du marché ont des oxydes de grille assez épais pour que leurs influences sur la tension de seuil soit significative voire prépondérante (on relève en effet des valeurs pour V_T toujours très grandes devant le volt !). Cette hypothèse simplificatrice n'est donc aujourd'hui pas vérifiée pour les composants de puissance (cf figure 12). Cela montre que le modèle classique rappelé §I.2.2.4 est en toute rigueur non valable.

☞ *Hypothèse 2 :*

Nous avons vu figure 12 que le potentiel de grille V_{seuil} dépend beaucoup de la position y dans le canal et que le coefficient de substrat est d'autant moins négligeable que l'on se rapproche de la source. Les hypothèses que nous faisons ici consistent à supposer une variation linéaire de la tension V_{seuil} le long du canal.

$$V_{\text{seuil}}(y) \approx V_T - \frac{\Delta V_T}{L} y \quad (\text{I.35})$$

où V_T est la valeur du seuil côté source (valeur maximale),
 $V_T - \Delta V_T$ la valeur du seuil côté drain.

Ce qui nous donne pour résultat la relation implicite liant I_D , V_G et V_D :

$$\left(V_G - V_T - \frac{I_D}{K_P \Delta V_T} \right) \cdot \left(\exp\left(\frac{K_P \Delta V_T}{I_D} V_D \right) - 1 \right) + V_D - \Delta V_T = 0 \quad (\text{I.36})$$

$$\text{avec } K_P = \frac{Z}{L} \mu C_{\text{ox}}$$

Trois paramètres indépendants au lieu de deux sont alors à déterminer : K_P , V_T et ΔV_T .

Remarque : Dans le cas particulier où ΔV_T devient négligeable, on retrouve bien l'expression

$$I_D = K_P (V_G - V_T) V_D \quad (\text{I.37})$$

A fort V_D , il n'est pas possible de négliger l'évolution du seuil d'inversion V_{seuil} due à l'augmentation du potentiel de volume côté drain. Cette expression n'est alors plus utilisable.

A faible V_D , c'est à dire en régime ohmique l'expression se simplifie comme suit :

$$I_D \approx \frac{\Delta V_T K_P}{\ln\left(\frac{\Delta V_T}{V_G - V_T} + 1 \right)} V_D \quad (\text{I.38})$$

Cette relation est validée sur l'exemple précédent. La figure 12c a permis d'estimer les paramètres (dans notre exemple $V_T=4.2V$, $\Delta V_T=3.7V$ et $K_p=5AV^{-2}$). La représentation de $I_D(V_G)$ à faible V_D utilisant l'équation (I.38) est superposée à la solution issue de la résolution numérique figure 18. Les résultats se superposent parfaitement.

I. 4. RESISTANCE DE LA ZONE v D'ACCES AU CANAL

L'étude du comportement statique du VDMOS ne peut pas se limiter celle de la zone P. En effet, les électrons issus du canal ont encore à traverser tout le volume du semi-conducteur (zone v de tenue en tension) pour ressortir par l'électrode de drain via la métallisation de la face inférieure (cf. figure 9). Cette zone faiblement dopée est à l'origine d'une résistance série prépondérante devant les diverses résistances de contact [ANT1], [ARN2]. Elle peut même l'être devant la résistance de canal pour les dispositifs tenant plusieurs centaines de volts et sera donc critique pour l'estimation des pertes en conduction.

L'enjeu pour les fabricants est donc d'optimiser les géométries des cellules (tailles et pas) de façon à minimiser cette résistance série pour un calibre en tension donné [IR]. Il faut noter que le dopage et l'épaisseur de la zone v sont imposés par la tenue en tension souhaitée. L'optimisation des géométries en surface sera donc d'autant plus importante que le calibre en tension sera bas puisque la résistance de canal deviendra alors prépondérante devant la résistance du volume v (ainsi Harris propose aujourd'hui des transistors MOS dont la résistance à l'état passant $R_{\text{DS(ON)}}$ vaut $7\text{m}\Omega$ pour une tenue en tension 55V et un courant nominal de 75A : ref. HUF75345).

De nombreux travaux cherchant à estimer la résistance série à partir des géométries et des dopages ont été publiés, certains reposant sur des résolutions numériques, d'autres sur des approximations conduisant à des expressions analytiques donnant dans l'ensemble de bons résultats. L'objectif de notre travail n'étant pas la conception de dispositifs de puissance, nous nous contentons ici de rappeler les principaux phénomènes que l'on peut observer dans la zone de l'intercellule en expliquant l'approche souvent adoptée pour estimer cette résistance série. En régime ohmique, nous montrerons que cette résistance peut être simplement approximée par une valeur fixe indépendante des grandeurs de polarisation.

Dans le cas d'un canal diffusé et compte tenu des hypothèses déjà faites le concernant, en régime de saturation l'expression (I.38) liant I_D à V_D permet de définir la résistance de canal :

$$R_{\text{Canal}} = \frac{\ln\left(\frac{\Delta V_T}{V_G - V_T} + 1\right)}{\Delta V_T K_p} \quad (\text{I.39})$$

Cette expression se simplifie dans le cas d'un canal homogène :

$$R_{\text{Canal}} = \frac{1}{K_P (V_G - V_T)} \quad (\text{I.40})$$

Remarque : Pour la suite de cet exposé, pour éviter toute confusion nous noterons V_D le potentiel de drain référencé par rapport à la source (potentiel effectivement appliqué sur l'électrode de drain). Du fait de la présence de la zone v , le potentiel régnant à l'extrémité du canal sera forcément plus faible que le potentiel appliqué sur l'électrode de drain. Il sera noté par la suite V_D' .

En ce qui concerne la résistance de la zone v (notée R_D), elle est généralement décomposée en deux parties :

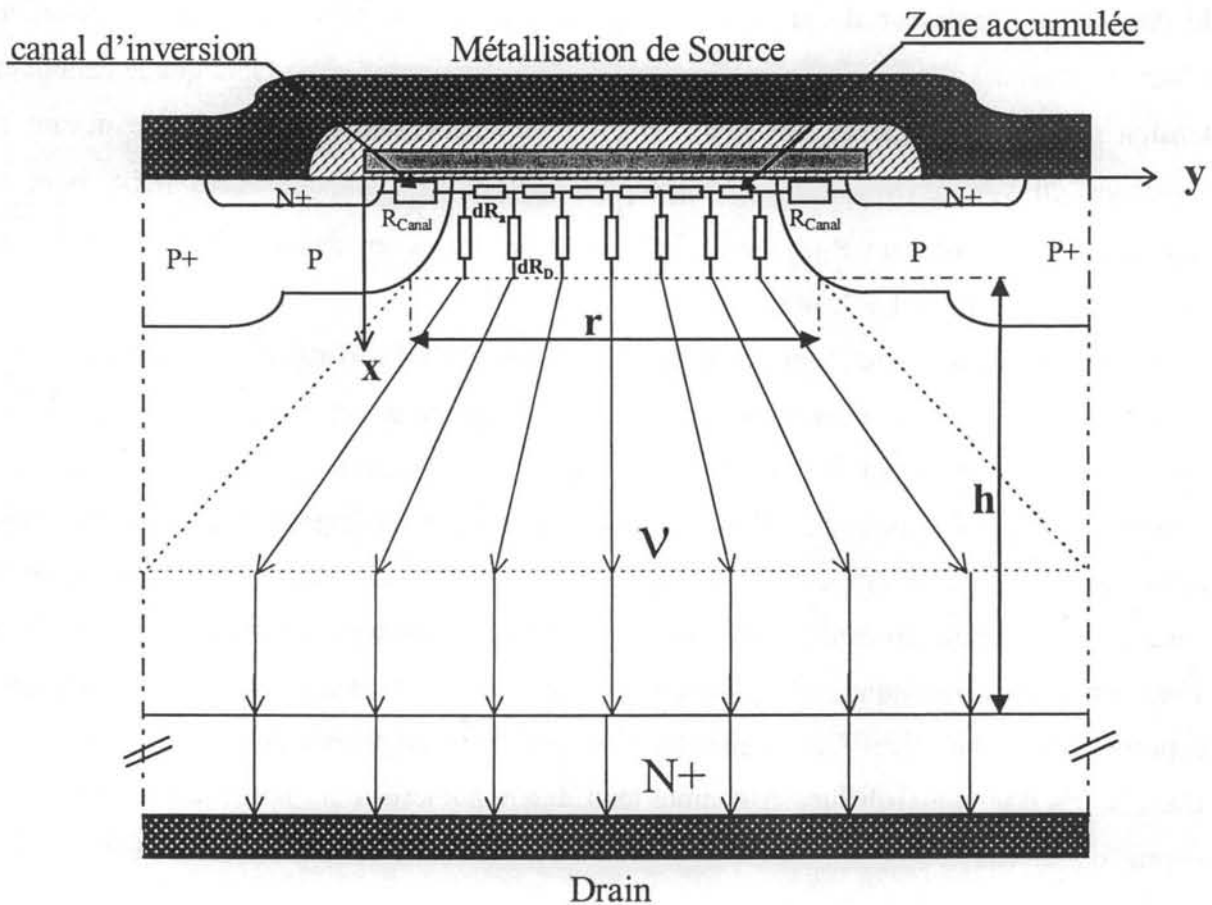


Figure 19
Modèle simplifié permettant d'estimer la résistance totale de la zone v .

☞ La résistance d'accès R_{acc} :

La zone intercellulaire est une zone accumulée dans laquelle circule le courant le long de l'interface avant de tourner pour rejoindre le drain via la zone v. Sous la couche accumulée, les tubes de courant verticaux tendent vers une répartition quasi-uniforme le long de l'interface dans la zone intercellulaire. En plus de calculs précis qu'il est possible d'effectuer à l'aide de simulateurs de type éléments (ou différences) finies, des approximations faisant intervenir des éléments distribués donnent de bons résultats pour l'estimation de R_{acc} dans le cas où V_D est faible [ANT1]. Selon cette approche, la figure 19 montre comment R_{acc} peut être calculée à l'aide de résistances distribuées dR_a (résistance de la couche accumulée par unité de longueur suivant l'axe y) et dR_d (résistance d'accès au volume de longueur h par unité de longueur suivant y).

☞ La résistance de volume R_v :

Celle-ci intègre toute la zone v restante. Elle se décompose elle-même en deux parties ; l'une trapézoïdale dans laquelle les tubes de courant s'élargissent, l'autre rectangulaire de densité de courant uniforme. [ref 15] propose la relation empirique suivante conduisant à des résultats dont l'erreur est inférieure à 5% :

$$\alpha = \begin{cases} 28^\circ - \frac{h}{r} & \text{si } h \geq r \\ 28^\circ - \frac{r}{h} & \text{si } h < r \end{cases} \quad (I.41)$$

Dans le cas général, la résistance d'accès dépend du potentiel de grille par l'intermédiaire de la couche accumulée (dR_a). Cependant, dans le cas qui nous intéresse i.e. lorsque le composant est saturé, le potentiel de grille est élevé (couramment autour de 15V) alors que le potentiel régnant tout au long de l'interface Si/SiO₂ est très faible. Il s'ensuit que la couche accumulée est assez fournie en porteurs libres pour que l'influence de dR_a ne soit pas prépondérante devant dR_d et surtout devant R_v . La résistance totale d'accès au canal :

$$R_D = R_{acc} + R_v \quad (I.42)$$

peut donc raisonnablement être considérée indépendante de la tension de grille, et cela d'autant plus que le calibre en tension du composant considéré sera élevé.

Nous noterons R_{DSON} la résistance totale des dispositifs considérés à l'état passant (valeur en général spécifiée pour un potentiel de grille donné) :

$$R_{DSON} = R_{canal} + R_D \quad (I.43)$$

Remarque : Il est souvent fait mention d'un effet JFET parasite localisé entre les caissons P dans la zone d'accès au canal. Il existe en effet une zone de charges d'espace s'étendant au droit de la jonction P-v de chaque côté de l'intercellule ayant tendance à éloigner les lignes de courant de cette jonction et à les concentrer vers le centre de l'intercellule à la manière d'un JFET. Cet effet semble cependant secondaire sur les dispositifs du marché dans le cas du régime ohmique puisque les R_{DSon} mesurés sont peu dépendants du niveau de courant. On peut donc penser que les largeurs de ces ZCE sont alors faibles devant la dimension r de l'intercellule.

Dans la suite de cet exposé, nous considérerons qu'en saturation la résistance totale de la zone v est indépendante des niveaux de polarisation. Aussi, sa valeur R_D sera supposée constante.

I.5 EXTRACTION DES PARAMETRES

I.5.1 Mesures à faible V_D

Il a été montré que l'hypothèse d'un canal uniforme est très discutable dans le cas des VDMOS. Néanmoins, cette hypothèse peut s'avérer suffisante si l'on en reste à un modèle approché ou que le gradient de concentration en impuretés le long du canal reste faible (ce qui est d'autant plus le cas que le calibre en tension du composant est faible) [MAI]. De plus, de nouvelles filières technologiques permettant de fabrication de composants à grilles en tranchées apparaissent [UDR], [ZEN], [MOR]. Ces nouveaux composants ont entre autre la particularité de posséder des canaux homogènes.

C'est pourquoi la suite traite tout d'abord d'un rappel de méthode d'extraction classique (utilisée pour les TMOS latéraux à canaux homogènes). Cette méthode sera ensuite adaptée au cas de canaux diffusés. Enfin, des résultats de mesures seront commentés.

I.5.1.1 Description de la méthode d'extraction des paramètres dans le cas d'un canal uniformément dopé

Les paramètres permettant de décrire le comportement statique des transistors MOS sont habituellement extraits de mesures effectuées en régime ohmique, c'est à dire de relevés de caractéristiques $I_D(V_G)$ à V_D fixé et de faible valeur (50mV ou 100mV par exemple) [BAU], [FIF]. En effet, dans ces conditions et dans le cas d'un canal uniforme, on peut écrire :

$$I_D = \frac{Z}{L} \mu_{\text{eff}} Q_i V_D \quad (\text{I.44})$$

où Q_i sont les charges d'inversion données par (I.16) et μ_{eff} la mobilité effective des électrons dans le canal (celle-ci étant sensible au champ électrique régnant dans le canal et en particulier au champ transversal : cf. §I.2.2). Lorsque V_D est suffisamment faible et que le potentiel de grille est assez élevé pour qu'il y ait forte inversion, le potentiel de surface dans le canal tend vers $2 \Phi_{\text{Fi}}$. Les charges d'inversion deviennent alors une fonction linéaire de la tension de grille (§I.2.1.1) et dans le cas d'un canal uniforme :

$$Q_i = C_{\text{ox}} (V_G - V_T) \quad (\text{I.45})$$

Si l'on veut tenir compte de la réduction de mobilité des électrons due au champ transverse (quasiment le seul existant à V_D faible), on peut faire apparaître le coefficient de réduction de mobilité θ (cf. §I.2.2). Le courant de drain s'écrit alors :

$$I_D = K_P V_D \frac{(V_G - V_T)}{1 + (\theta + K_P R_D)(V_G - V_T)} \quad (I.46)$$

V_D n'étant plus simplement la tension appliquée aux bornes du canal mais la tension appliquée effectivement sur l'électrode de drain et englobant la résistance série R_D .

Il est alors possible d'exprimer les relations qui suivent :

$$\left. \frac{\partial I_D}{\partial V_G} \right|_{V_D = \text{cste}} \approx \frac{K_P V_D}{[1 + (\theta + K_P R_D)(V_G - V_T)]^2} \quad (I.47)$$

$$Y = \left. \frac{I_D}{\sqrt{\frac{\partial I_D}{\partial V_G}}} \right|_{V_D = \text{cste}} \approx \sqrt{K_P V_D} (V_G - V_T) \quad (I.48)$$

L'intérêt du calcul et du tracé de $Y(V_G)$ plutôt que de $I_D(V_G)$ est qu'il permet la détermination des paramètres du canal V_T et K_P indépendamment des valeurs de θ et R_D . On peut ainsi caractériser notre canal sans se soucier de la résistance série très élevée des VDMOS (cf. §I.3.4). La détermination du terme $(\theta + K_P R_D)$ se fait alors en estimant la pente du tracé :

$$\frac{1}{\sqrt{\left(\frac{\partial I_D}{\partial V_G}\right)_{V_D = \text{cste}}}} \approx \frac{1 + (\theta + K_P R_D)(V_G - V_T)}{K_P V_D} \quad (I.49)$$

I.5.1.2 Application au cas du canal diffusé

Il a été montré qu'à faible V_D et pour un canal diffusé, l'expression du courant I_D peut être approximée par (I.38). Contrairement au cas du canal homogène, à faible V_D le champ électrique transverse ainsi que la mobilité évoluent le long du canal comme la tension de seuil. Il n'est donc plus évident de rendre compte de l'effet de réduction de mobilité avec un simple coefficient comme précédemment. Mais la méthode précédente montre d'une part que θ et R_D ont même effet sur le comportement global du composant et qu'il est impossible par de telles mesures de séparer l'effet de θ de celui de R_D . Dans le VDMOS R_D est prépondérant devant l'effet de θ [PRI]. La suite de notre démarche ne fera donc apparaître qu'un coefficient R_{DS} englobant les deux paramètres θ et R_D .

V_D étant la tension effective de drain (englobant R_{DS}), l'équation (I.38) devient :

$$I_D = K_P V_D \frac{\Delta V_T K_P V_D}{\ln\left(\frac{\Delta V_T}{(V_G - V_T)} + 1\right) + \Delta V_T K_P R_{DS}} \quad (I.50)$$

d'où :

$$Y = \frac{I_D}{\sqrt{\frac{\partial I_D}{\partial V_G}}} \Bigg|_{V_D = \text{cste}} \approx \sqrt{K_P V_D} (V_G - V_T) \sqrt{\frac{\Delta V_T}{(V_G - V_T)} + 1} \quad (I.51)$$

Lorsque $V_G - V_T \gg \Delta V_T$, on retrouve bien le comportement du canal uniforme de l'équation (I.48).

I.5.1.3 Mesures et commentaires

Les résultats de mesure donnés figure 20 concernent différents composants du marché (3 calibres en tension : 100V, 500V et 800V).

Les caractéristiques $I_D(V_G)$ à faible V_D sont loin d'être des droites puisqu'elles s'incurvent franchement dès que V_G dépasse de quelques volts la tension de seuil. Ceci est du à l'effet de la résistance série R_D devenant prépondérante devant la résistance du canal d'inversion (phénomène d'autant plus marqué que le calibre en tension du composant est élevé : cf. §I.3.4). Le tracé de $Y(V_G)$ nécessitant le calcul de la dérivée du courant I_D par rapport à V_G , l'erreur relative faite sur Y devient très vite importante à V_G élevé. Les mesures de courant doivent donc être très soignées (4 à 5 chiffres significatifs nécessaires) si l'on veut être précis dans la détermination du paramètre principal du canal K_P , surtout dans le cas de composants de forts calibres en tension.

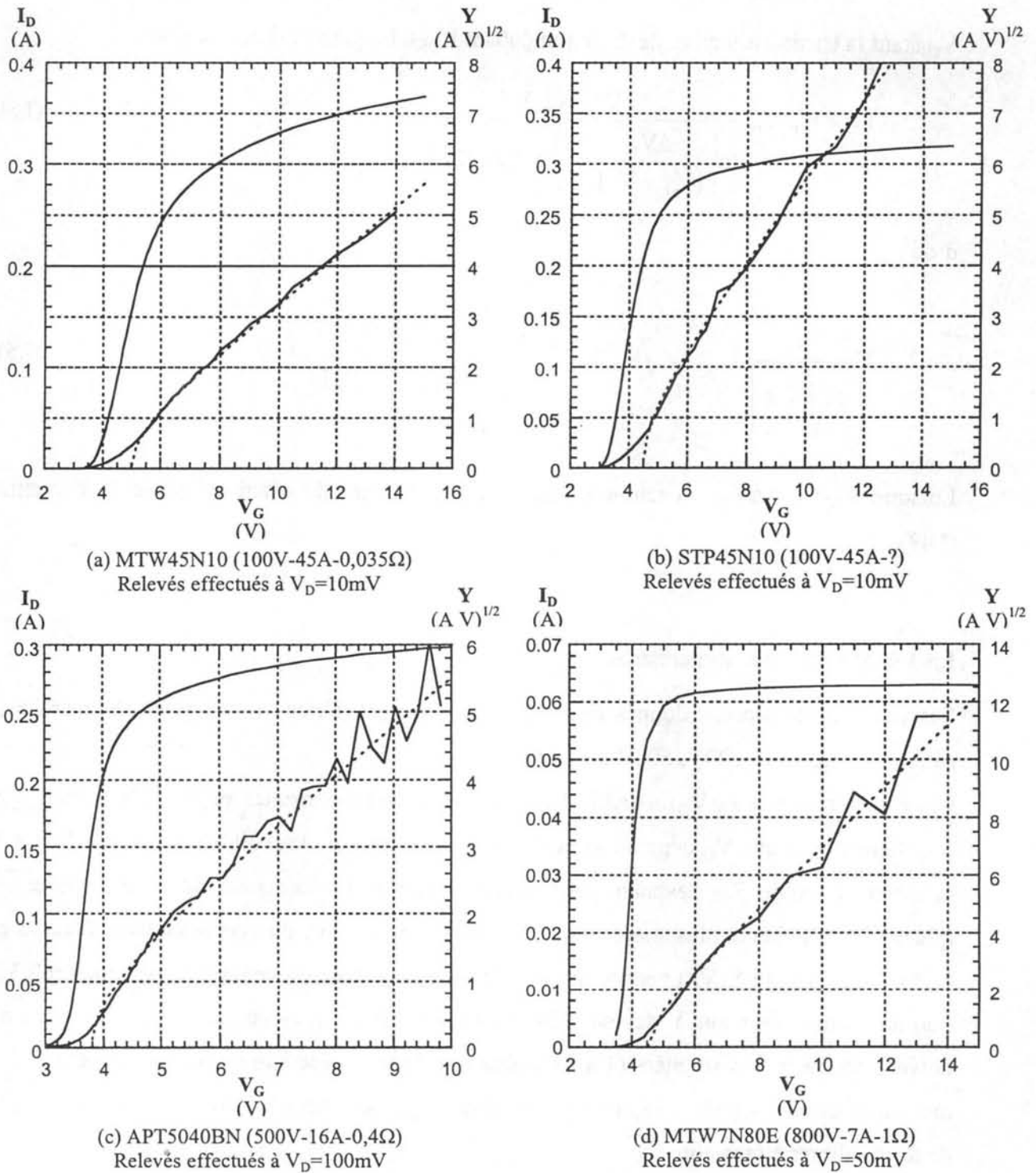


Figure 20
Tracé des caractéristiques $I_D(V_G)$ et $Y(V_G)$ à V_D fixé pour 4 composants du marché.

Ces mesures à faible V_D ont pour but d'estimer les pertes en conduction. Le canal étant modélisé, le paramètre essentiel restant à extraire de ces mesures est R_D . La résistance totale à l'état passant que les constructeurs nomment souvent $R_{\text{DS(ON)}}$ est composé pour l'essentiel de R_D et pour une faible part de la résistance du canal :

$$R_D = \frac{V_D}{I_D} - \frac{\ln\left(\frac{\Delta V_T}{V_G - V_T} + 1\right)}{\Delta V_T K_P} \quad (I.52)$$

Pour V_G suffisamment élevé devant V_T , cette expression devient :

$$R_D = \frac{V_D}{I_D} - \frac{1}{K_P (V_G - V_T)} \quad (I.53)$$

Le tableau suivant donne la valeur des paramètres estimés et utilisés dans les tracé de Y en pointillé figure 20. Il y est aussi reporté la valeur de la résistance série estimée à $V_G=10V$ ainsi que le R_{DSON} constructeur.

	MTW45N10	STP45N10	APT5040BN	MTW7N80E
V_T (V)	5	4,5	3,8	4,5
ΔV_T (V)	5	4,5	3,8	2,5
K_P (A.V ⁻²)	21	59	4,7	22
R_D (mΩ)	25,2	30,7	335	794
R_{DSON} (mΩ) Calculé à $V_G=10V$	30,2	32,5	348	788
R_{DSON} (Ω) Donnée constructeur	35	-	400	1000

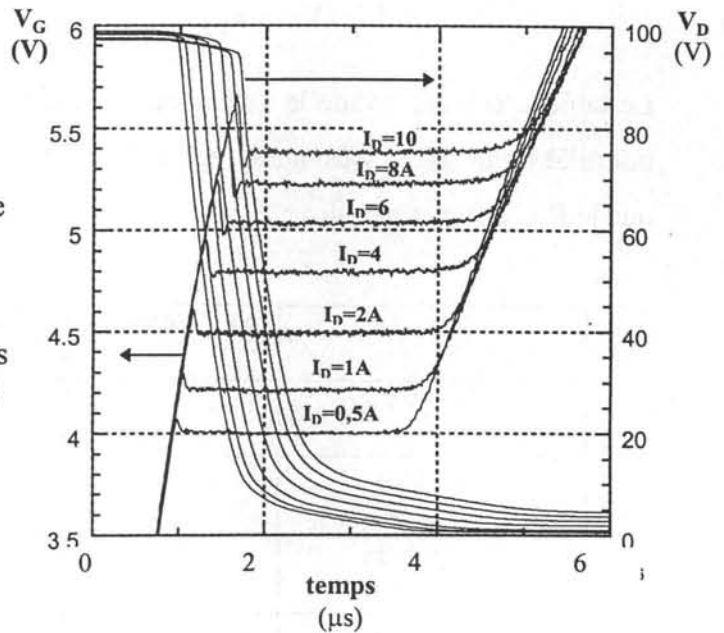
I.5.2 Mesures à fort V_D

Les mesures à faible V_D ont pour but de modéliser le composant en commutation. En effet, c'est dans cette phase que celui-ci aura à supporter à la fois un courant I_D et une tension à ses bornes élevés. La caractérisation du composant en régime statique pose ici problème car les puissances mises en jeu provoquent très vite des échauffements. Or, si l'on veut s'affranchir dans un premier temps des problèmes de sensibilité des paramètres à la température, il est indispensable d'effectuer ces mesures en impulsionnel. Ces impulsions devront être de durée suffisantes pour que tout régime transitoire ait disparu à l'instant de la mesure et assez courte pour que l'échauffement du composant testé soit négligeable.

Les résultats qui suivent sont issus d'un banc de mesure plaçant le composant en situation, c'est à dire au sein d'une cellule de commutation, travaillant en mono-coup et commutant

lentement (voir la description de ce banc de mesure chapitre II). Les deux grandeurs intéressantes I_D et V_G sont mesurées pendant la phase de décroissance de la tension de drain. Le régime de plateau est atteint et les deux grandeurs mesurées sont alors parfaitement stabilisées ce qui annihile l'effet éventuel d'inductances parasites. La figure 21 rapporte les mesures effectuées sur un MTW14N50 (500V-14A-32m Ω) paramétré en courant.

Figure 21
Evolution de la tension grille en régime de plateau lors des commutations pour différents niveaux de courants (0,5A à 10A).
La tension de drain est représentée en traits fins et montre l'indépendance de V_G donc de I_D vis à vis d'elle.

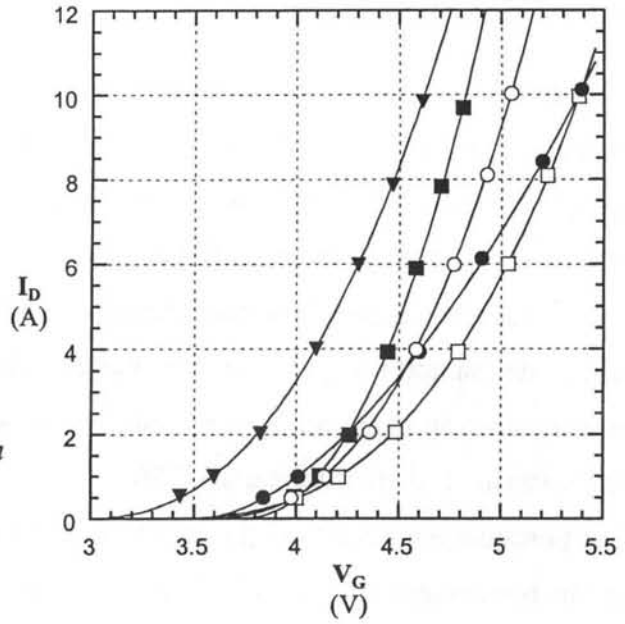


Ces séries de mesures permettent les tracés $I_D(V_G)$ à fort V_D . La figure 22 l'illustre pour différents VDMOS du marché de mêmes calibres en tension (500V). Le tableau qui suit (les paramètres sont ceux relatifs à l'équation I.31) récapitule les résultats obtenus concernant ces différents transistors de 500V. Il montre que dans tous les cas, l'évolution de $I_D(V_G)$ dans la zone de désaturation n'est pas tout à fait parabolique.

Figure 22
 Tracé de $I_D(V_G)$ à fort V_D pour différents transistors de 500V :

- ▼ BUZ338
- APT5040BN
- W15NA50
- APT5024BVRX
- MTW14N50

Les 7 points de mesure sont reportés.
 L'équation théorique utilisant les paramètres du tableau qui suit est tracée en pointillés.



	BUZ338	APT5040BN	W15NA50	APT5024BVRX	MTW14N50
V_{TD} (V)	2,96	3,54	3,53	3,74	3,33
M	2,38	1,70	2,53	2,16	2,74
K_{PD} (A.V ^{-M_D})	2,99	3,55	3,52	8,29	1,39

Il est intéressant de noter la dispersion des paramètres, notamment pour ce qui concerne le paramètre M qui reste dans tous les cas proche de 2. Les simulations faites en §I.3.3.1 nous laissaient espérer des coefficients M plutôt inférieurs à 2 ce que seul le composant APT5040BN vérifie. Ceci peut s'expliquer par la structure en doigt de ce transistor se prêtant mieux à une modélisation 2D, les composants multicellulaires dont les géométries sont plus complexes nécessitant une approche 3D.

I.6 CONCLUSION

Ce premier chapitre a permis de mettre en évidence les particularités des transistors MOS de puissance fabriqués par double diffusion (VDMOS) par rapport au transistor classique à canal homogène. L'objectif initial était d'aboutir à un modèle fin caractérisant le comportement statique de structures à canaux diffusés.

Deux fonctionnements nous intéressent particulièrement en électronique de puissance ; le régime de saturation générant les pertes dites de conduction et le régime désaturé correspondant au canal pincé et aux phases de commutations génératrices de pertes dites de commutations et de perturbations CEM.

C'est pourquoi nous nous orientons vers un modèle de type 2 segments précisant :

- le fonctionnement en désaturé faisant intervenir 3 paramètres K_{pD} , M et V_{TD} (M étant proche mais différent de 2 comme nous avons pu le montrer),
- le fonctionnement en régime ohmique ou saturé, faisant intervenir quatre paramètres : K_p , V_T , ΔV_T et R_D .

La prise en compte de ΔV_T en régime ohmique est discutable lorsque V_G est suffisamment élevé mais la méthode décrite I.5.1.2 est à utiliser absolument pour la détermination de K_p . On pourra assimiler V_T à V_{TD} (les valeurs mesurées étant très proches) mais non K_p à K_{pD} . Ce qui nous conduit au minimum à un modèle statique comprenant cinq paramètres.

Ce modèle complété de paramètres caractérisant le comportement dynamique des VDMOS (cf. chapitre II) sera intégré dans un simulateur électrique (cf. chapitre III).

CHAPITRE II MODELE DYNAMIQUE

II.1. INTRODUCTION	51
II.2. LOCALISATION DES CHARGES PENDANT LA COMMUTATION	52
II.3. MODELE DE CHARGE DE L'ELECTRODE DE GRILLE COMPOSANT BLOQUE	57
II.3.1.Charges Q_{DG} de la capacité de réaction C_{DG}	57
II.3.1.1.Charges par unité de surface Q_{DG}^* pour $V_D > V_G - V_{FBV}$	58
II.3.1.2.Charges par unité de surface Q_{DG}^* pour $V_D < V_G - V_{FBV}$	59
II.3.1.3.Capacité totale C_{DG}	59
II.3.1.4.Inversion de la zone intercellulaire	61
II.3.2.Capacité grille-source C_{GS}.....	62
II.4. INFLUENCE DU COURANT PRINCIPAL I_D SUR LA REPARTITION DES CHARGES DE GRILLE ENTRE C_{DG} ET C_{GS}	65
II.4.1.Modèle final pour C_{DG}	68
II.4.2.Modèle final pour C_{GS}.....	68
II.5. DIODE DE STRUCTURE ET CAPACITE C_{DS}	70
II.6. MESURES ET EXTRACTION DES PARAMETRES	73
II.6.1.Introduction	73
II.6.2.Systèmes de mesure	73
II.6.2.1.Banc de mesure pour des essais en commutation	73
II.6.2.2.Mesure de la tension de seuil V_{Tv} de la zone intercellulaire à l'aide du pont HP4194A	77
II.6.2.3.Mesure des capacités interélectrodes composant bloqué à l'aide du pont HP4194A.....	81
II.6.3.Extraction des paramètres pour C_{DG}	84
II.6.4.Extraction des paramètres pour C_{GS}	87
II.6.4.1.Mesure de C_{GS} lors de la montée du courant	87
II.6.4.2.Identification des paramètres du modèle de C_{GS}	91
II.6.5.Comparaison des résultats obtenus pour différents composants du marché et commentaires	92
II.7. CONCLUSION	95

II.1 INTRODUCTION

Pour rendre compte du comportement dynamique du VDMOS dans sa cellule de commutation, on utilise couramment un modèle en Π faisant intervenir trois capacités : C_{GS} , C_{DG} et C_{DS} (cf figure 23) [FAR]. Ces capacités sont pour certaines fortement non linéaires et leurs valeurs dépendent des différents niveaux de potentiels appliqués sur chacune des trois électrodes (dans notre cas deux potentiels indépendants V_D et V_G si l'on prend $V_S=0V$ comme potentiel de référence). Sans modèle analytique (expressions de chacune des 3 capacités en fonction des deux potentiels indépendants), son implantation dans un

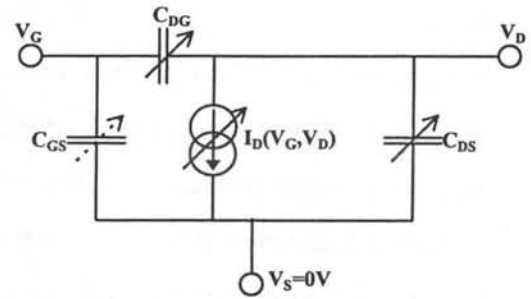


Figure 23

simulateur électrique de type PSPICE nécessite la mesure d'un nombre très vite important de valeurs de capacités si l'on veut une bonne adéquation entre commutations observées et résultats simulés [LEM]. De plus, un tel modèle de type « boîte noire » ne permet pas une compréhension des phénomènes observés lors d'une commutation.

L'analyse du comportement d'une cellule élémentaire de VDMOS permet la localisation des charges dans le volume du semiconducteur. Moyennant certaines approximations, elle permet aussi d'exprimer ces charges (apportées par chacune des électrodes) en fonction des deux potentiels indépendants V_D et V_G . En remarquant que lors d'une commutation « dure » un seul des deux potentiels indépendants n'évolue à la fois, il est possible de déduire de ces expressions les capacités dynamiques correspondantes.

Des mesures effectuées sur divers composants du marché valideront l'approche théorique moyennant l'introduction de paramètres empiriques.

II.2 LOCALISATION DES CHARGES PENDANT LA COMMUTATION

L'objectif de ce paragraphe est de comprendre et de prédire le comportement dynamique grands signaux du VDMOS dans sa cellule de commutation (figure 24) [IR]. Dans une telle structure, les $\frac{di}{dt}$ élevés engendrent des problèmes de mesure des potentiels effectifs de grille, de drain et de source. En effet, les connexions internes reliant la puce aux broches du composant, et les connexions externes au boîtier, sont autant d'inductances directes ou mutuelles parasites, sièges de forces électromotrices couramment supérieures à plusieurs volts voire à plusieurs dizaines de volts. L'étude porte ici sur le seul interrupteur et pour pallier ce problème ainsi que celui de trop fort courant de recouvrement de la diode de roue libre, toutes les mesures en commutation faites et présentées dans ce chapitre sont suffisamment lentes pour limiter ces effets annexes. Le banc de mesure sera détaillé plus loin et des résultats d'essais plus proches des conditions habituelles de fonctionnement (commutations plus rapides) seront décrits dans le chapitre III.

L'analyse qualitative d'une commutation « dure » fait apparaître 7 phases pendant lesquelles une ou plusieurs grandeurs électriques caractéristiques varient [BUD]. L'exemple en est donné figure 25 par un APT5024BVRX commutant 8A sous 100V.

On a vu chapitre I qu'une structure MIS pouvait être accumulée, déplétée ou inversée suivant les niveaux de tension appliqués sur ses armatures. Or en regard de l'électrode de grille d'un VDMOS, sous l'oxyde très fin, se trouvent du silicium dopé P dans la zone de canal et du silicium dopé N dans la zone intercellulaire. Lors d'une commutation, les potentiels de grille V_G et de drain V_D évoluent (le potentiel de référence reste $V_S=0V$). Il en est de même pour les charges présentes sur l'électrode de grille qui dépendent donc des deux potentiels indépendants. Pour décrire qualitativement et de façon détaillée la commutation, il est pratique dans un premier temps de simplifier le problème en considérant séparément la zone porte-canal N (structure MIS dont le « substrat diffusé P » est relié au potentiel de référence

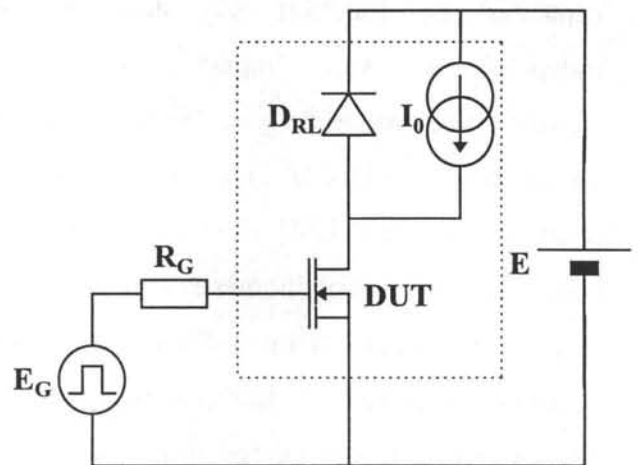


Figure 24
Cellule de commutation.

V_S) et la zone intercellulaire v . Cette dernière peut être vue comme un canal de type P (structure MIS dont le « substrat v » est relié non plus au potentiel de référence mais au potentiel de drain) dont les pseudo-source et le drain seraient tous deux soumis au même potentiel, celui régnant à l'extrémité du canal N (cf. figure 9).

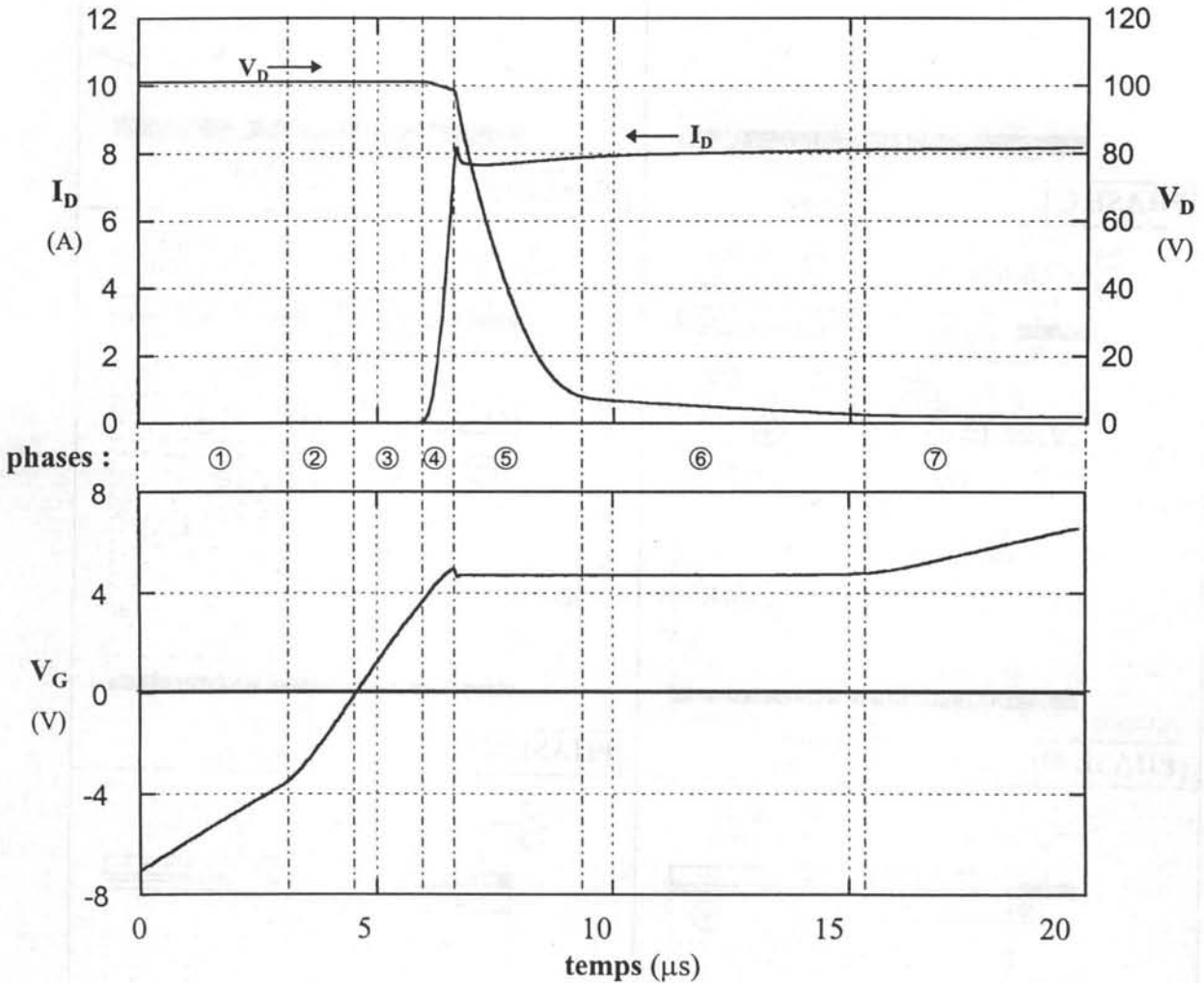


Figure 25
APT5024BVRX commutant 8A sous 100V : cas de la mise en conduction.

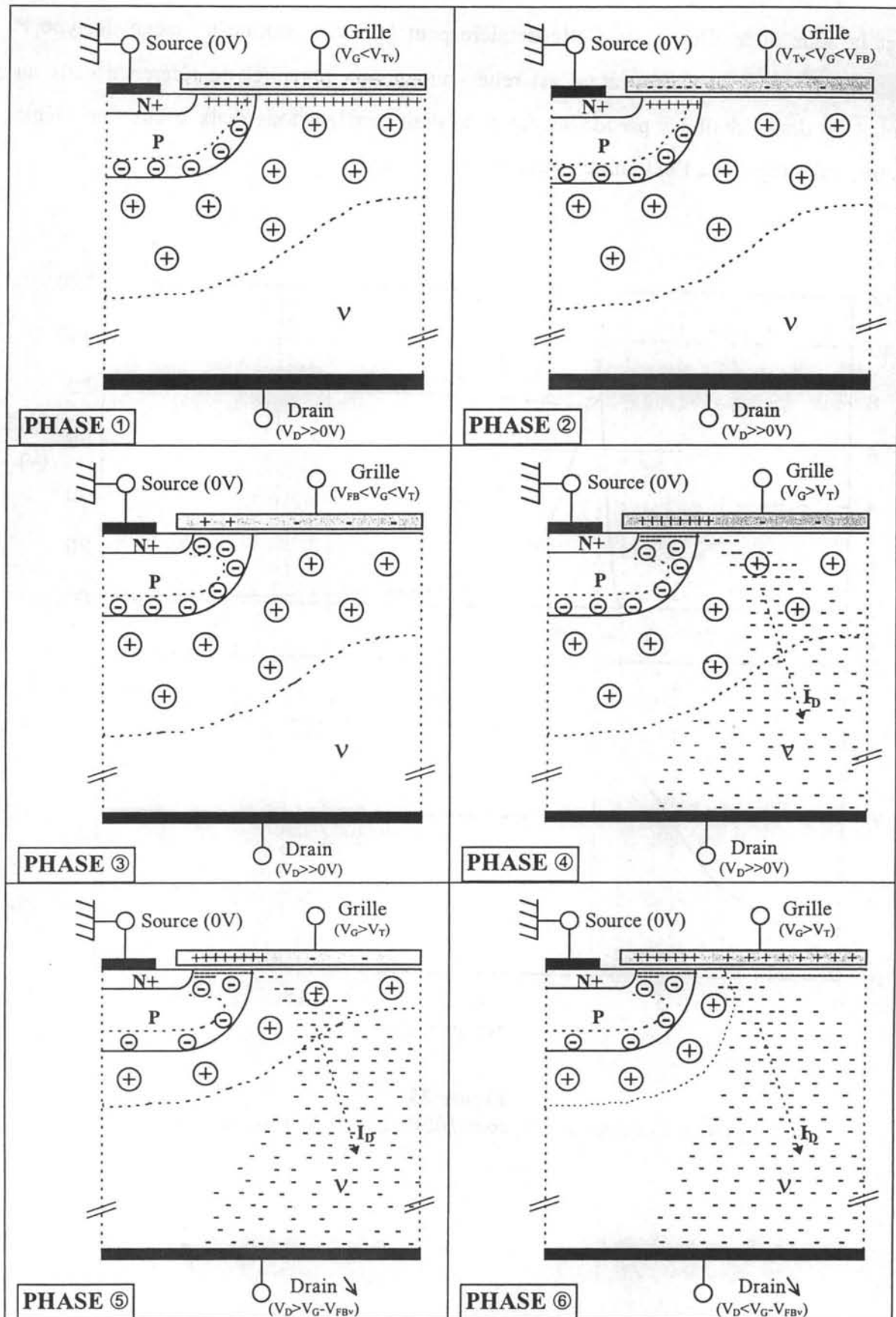


Figure 26 : \oplus \ominus : ions fixes, + - : porteurs libres.

Cette simplification a pour effet de négliger l'effet bidimensionnel du problème à proximité de la jonction Pv sous l'oxyde de grille. Elle ne sera bien évidemment pas viable pour le modèle final (cf paragraphe suivant).

Notons V_{FB} , V_{FBv} les tensions de bande plate respectivement dans la zone P porte canal et dans la zone intercellulaire v et V_T , V_{Tv} les tensions de seuil dans ces mêmes zones (nous verrons que V_{Tv} dépend de V_D). Une commutation bloqué-saturé se fait de la façon suivante (cf figures 25 et 26) :

☛ Phase ① : $V_G < V_{Tv}$ et $V_D \gg 0V$, la zone P porte canal est accumulée et la zone intercellulaire v inversée. La capacité d'entrée est alors maximale.

☛ Phase ② : $V_{Tv} < V_G < V_{FB}$ et $V_D \gg 0V$, la zone P porte canal est accumulée et la zone intercellulaire v passe de l'inversion à la déplétion. La capacité d'entrée est alors beaucoup plus faible que lors de la phase ①.

☛ Phase ③ : $V_{FB} < V_G < V_T$ et $V_D \gg V_G - V_{FBv}$, la zone P porte canal passe de l'accumulation à la déplétion. La zone intercellulaire v reste déplétée. La capacité d'entrée décroît faiblement.

☛ Phase ④ : $V_G > V_T$ et $V_D \gg V_G - V_{FBv}$, la zone P porte canal passe en régime d'inversion. Il y a croissance du courant principal I_D (donc de V_G) jusqu'à la valeur du courant que l'on cherche à commuter : I_0 .

☛ Phase ⑤ : $V_G > V_T$ et $V_D > V_G - V_{FBv}$, la zone P porte canal est inversée et la zone intercellulaire v déplétée. Dans cette phase le potentiel de drain décroît rapidement car la capacité de réaction est faible. Le courant principal $I_D = I_0$ n'évolue plus, ainsi que le potentiel de grille V_G .

☛ Phase ⑥ : $V_G > V_T$ et $V_D < V_G - V_{FBv}$, la zone P porte canal est inversée et la zone intercellulaire v passe en régime d'accumulation d'où une augmentation de la capacité de réaction. La capacité vue de l'entrée redevient alors importante et on observe un ralentissement de la décroissance de V_D . I_D et V_G restent constants.

☛ Phase ⑦ : $V_G > V_T$ et V_D devient très faible, la zone P porte canal est inversée et on évolue dans la zone de saturation du réseau de caractéristiques statiques. Le potentiel de grille peut donc de nouveau évoluer. La capacité d'entrée est de nouveau maximale (même valeur que lors de la phase ①).

Remarques :

☞ Pendant les phases ④, ⑤ et ⑥, V_D est élevé et I_D ne dépend quasiment que de V_G (zone de désaturation sur le réseau de caractéristiques statiques). Ces phases génèrent les pertes dites de commutation.

☞ Pendant la montée du courant I_D , V_D est quasiment constant et la capacité d'entrée varie peu (nous verrons que C_{GD} devient très faible à fort V_D et que la capacité d'entrée est alors assimilable à C_{GS}).

☞ Pendant les phases ⑤ et ⑥, le courant I_D est quasiment constant ainsi que V_G (tension de plateau). Le courant de grille contrôle donc toute la décroissance de la tension V_D car c'est lui qui modifie l'état de charge de la capacité de réaction C_{GD} .

Pour prédire les pertes avec une précision acceptable, il est important de soigner le modèle et les mesures de C_{GS} à fort V_D (dont dépendront les dynamiques de V_G et de I_D lors de la phase ④) et surtout de la capacité de réaction C_{GD} qui régira toute la phase de décroissance de V_D (phases ⑤ et ⑥). C'est ce que nous nous proposons de faire dans la suite de ce chapitre.

Nous allons dans un premier temps (§II.3) traiter le problème des capacités C_{GS} et C_{DG} (ayant toutes deux la grille comme électrode commune) d'un point de vue purement électrostatique, c'est à dire composant bloqué. Puis nous verrons (§II.4) l'influence d'un courant principal I_D sur les valeurs de ces capacités.

II.3 MODELE DE CHARGE DE L'ELECTRODE DE GRILLE COMPOSANT BLOQUE

L'armature de grille est commune aux deux capacités C_{GS} et C_{DG} . Les charges amenées sur la grille via l'électrode et le courant de grille peuvent être équilibrées soit par des charges $-Q_{DG}$ issues de l'électrode de drain (courant de charge de C_{GD}), soit par des charges $-Q_{GS}$ issues de la source (courant de charge de C_{GS}) [BUD]. La figure 27 montre l'hypothèse consistant à séparer les charges du polysilicium en deux parties délimitées par la frontière située à une distance y_D de la jonction métallurgique Pv. L'oxyde de grille est aussi fin dans la zone intercellulaire que dans la zone de canal et y_D est la position de l'équipotentielle limite au-delà de laquelle les charges présentes équilibrent Q_{DG} et en dessous de laquelle les charges présentes équilibrent Q_{GS} .

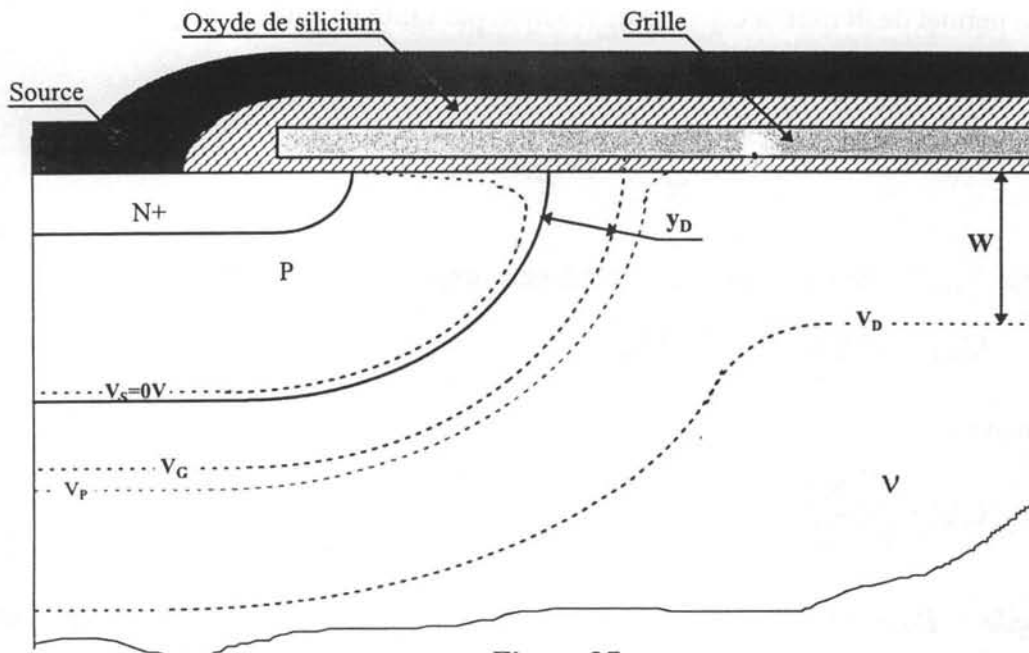


Figure 27
Cas où $V_D > V_G - V_{FBV}$ (phase ⑤)

II.3.1 Charges Q_{DG} de la capacité de réaction C_{DG}

La limite y_D séparant nos charges dépend dans le cas général des deux potentiels V_G et V_D . Deux cas sont à considérer :

-cas où $V_D > V_G - V_{FBv}$ (traité §II.3.1.1),

-cas où $V_D < V_G - V_{FBv}$ (traité §II.3.1.2).

II.3.1.1 Charges par unité de surface Q_{DG}^* pour $V_D > V_G - V_{FBv}$

Dans ce cas, comme le montre la figure 27, la zone intercellulaire est déplétée. Tant que l'on est loin des diffusions latérales, le phénomène est quasiment unidimensionnel et les résultats du chapitre I concernant les capacités MOS sont utilisables. L'extension de la zone de déplétion W (cf. figure 27) vaut :

$$W = \frac{\epsilon_{si}}{C_{OX}^*} \left(-1 + \sqrt{1 + \frac{2 C_{OX}^{*2}}{q N_v \epsilon_{si}} (V_D - V_G + V_{FBv})} \right) \quad (II.1)$$

L'expression des charges par unité de surface correspondante est :

$$Q_{DG}^* = \frac{q N_v \epsilon_{si}}{C_{CX}^*} \left(-1 + \sqrt{1 + \frac{2 C_{OX}^{*2}}{q N_v \epsilon_{si}} (V_D - V_G + V_{FBv})} \right) \quad (II.2)$$

Ce qui permet de définir la capacité de réaction par unité de surface C_{DG}^* :

$$C_{DG}^* = \frac{\partial Q_{DG}^*}{\partial V_{DG}} = \frac{C_{OX}^*}{\sqrt{1 + \frac{2 C_{OX}^{*2}}{q N_v \epsilon_{si}} (V_{DG} + V_{FBv})}} \quad (II.3)$$

Lorsque V_{DG} devient suffisamment grand, cette expression se simplifie :

$$Q_{DG}^* = \sqrt{2 q N_v \epsilon_{si}} (V_D - V_G) \quad (II.4)$$

et donne :

$$C_{DG}^* = \sqrt{\frac{q N_v \epsilon_{si}}{2 V_{DG}}} \quad (II.5)$$

Exemple : Pour une épaisseur d'oxyde de grille $e_{OX}=80\text{nm}$ et un dopage de la zone intercellulaire $N_v=5 \cdot 10^{14} \text{cm}^{-3}$ (correspondant à une tenue en tension d'environ 500V), on

*obtient $\frac{2 C_{OX}^{*2}}{q N_v \epsilon_{si}} \approx 45 \text{V}^{-1}$. Les expressions (II.4) et (II.5) deviennent valables lorsque le*

potentiel de drain s'approche du calibre en tension du composant.

Lorsque $V_D - V_G$ devient très faible, un développement limité de l'expression (II.2) permet de retrouver le résultat espéré (capacité par unité de surface C_{OX}^*) :

$$Q_{DG}^* = C_{OX}^* (V_D - V_G + V_{FBV}) \quad (II.6)$$

II.3.1.2 Charges par unité de surface Q_{DG}^* pour $V_D < V_G - V_{FBV}$

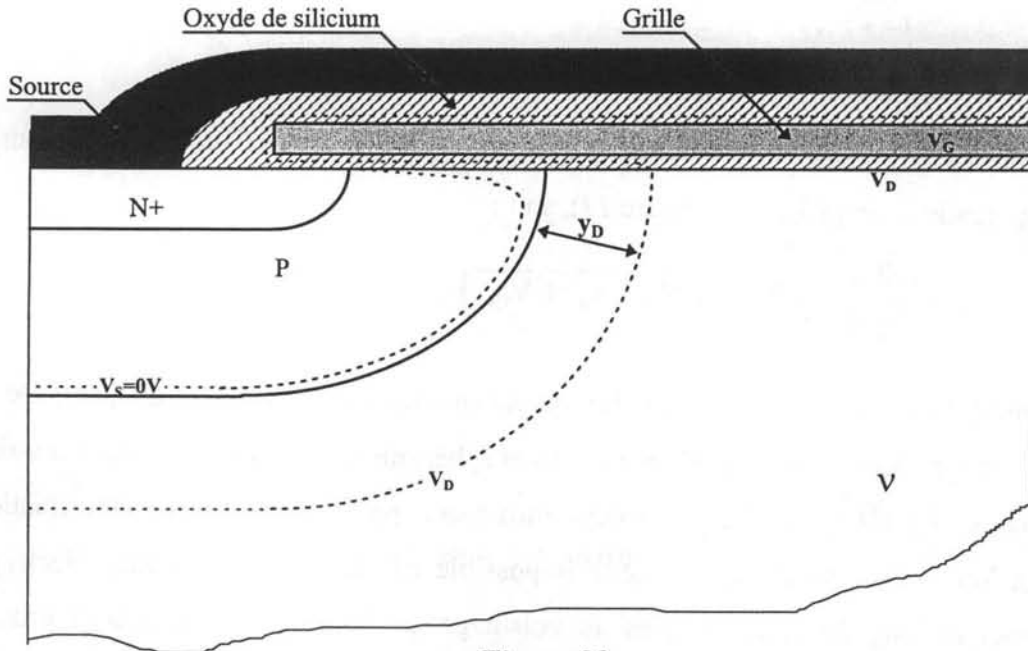


Figure 28
Cas où $V_D < V_G - V_{FBV}$ (phase ⑥)

Dans ce cas, il y a accumulation dans la zone intercellulaire (voir figure 28). L'épaisseur de la couche accumulée étant négligeable, l'expression des charges par unité de surface associées à la capacité de réaction est donnée par (II.6). La capacité par unité de surface vaut C_{OX}^* .

II.3.1.3 Capacité totale C_{DG}

Pour en déduire l'expression de la capacité totale de réaction C_{DG} , il reste à estimer sa surface équivalente.

Quelle que soit la forme des cellules en surface (carrées, hexagonales, en doigts, etc) on montre que la surface cherchée peut s'écrire :

$$S = S_0 (1 - \alpha y_D - \beta y_D^2) \quad (II.7)$$

où S_0 est la surface de toute la zone intercellulaire délimitée par la jonction métallurgique Pv et α , β deux paramètres ne dépendant que de la forme des cellules. Seul y_D est fonction des grandeurs de polarisation.

Dans l'hypothèse simpliste d'une jonction Pv plane, abrupte et fortement dissymétrique en dopage, on peut calculer y_D . Deux cas sont à considérer :

☞ Pour $V_D < V_G - V_{FBv}$, y_D est donné par l'extension de la zone de charge d'espace comptée à partir de la jonction métallurgique (voir figure 28) soit :

$$y_D = \sqrt{\frac{2 \epsilon_{si}}{q N_v} V_D} \quad (II.8)$$

☞ Pour $V_D > V_G - V_{FBv}$, y_D est donné par la distance séparant la jonction métallurgique de l'équipotentielle de grille (voir figure 27), soit :

$$y_D = \sqrt{\frac{2 \epsilon_{si}}{q N_v} \left(\sqrt{V_D} - \sqrt{V_D - V_G + V_{FBv}} \right)} \quad (II.9)$$

En réalité, la jonction Pv n'est pas abrupte puisque les caissons P sont diffusés. De plus, son profil est cylindrique dans certaines régions et sphérique dans d'autres. Enfin, au voisinage de l'interface Si/SiO₂, elle est fortement influencée par la grille. La détermination d'une expression analytique de y_D est donc impossible car le calcul du champ électrique et du potentiel le long de cette jonction au voisinage de l'interface nécessiterait une approche bidimensionnelle, voire tridimensionnelle. Simples utilisateurs, nous ne disposons pas de données géométriques ou physiques des composants du commerce. Il nous est donc impossible d'envisager des résolutions numériques de type éléments finis ou différences finies.

De nombreuses mesures effectuées sur des transistors en situation (cf §II.6.3) montreront que dans le cas où $V_D < V_G - V_{FBv}$, la capacité de réaction est élevée (phase ⑥ de la figure 26) et varie de façon quasi-linéaire avec V_D ce qui nous permettra d'approximer S en introduisant un paramètre empirique χ :

$$S = S_0 (1 - \chi V_D) \quad (II.10)$$

Les expressions (II.8) et (II.10) permettent, par identification, de simplifier (II.7). On trouve

$$\alpha = 0 \text{ et } \chi = \beta \frac{2 \epsilon_{si}}{q N_v}.$$

Remarque : Il est à noter que la capacité de réaction dépend de deux potentiels indépendants (V_D et V_G). En grands signaux, la notion de capacité variable est acceptable si l'un des deux potentiels indépendants est fixé. Dans le cas particulier d'une commutation « dure », la phase de décroissance de la tension de drain se fait à V_G constant (tension de plateau de grille dépendant du niveau de courant commuté). On calculera donc C_{DG} à partir de l'expression de la charge Q_{DG} par :

$$C_{GD} = \left. \frac{\partial Q_{DG}}{\partial V_D} \right|_{V_G = \text{cste}} \quad (\text{II.11})$$

Pour des raisons pratiques (liées au simulateur électrique utilisé par la suite), il est indispensable de passer du modèle de charges aux capacités dynamiques.

Les expressions de C_{GD} qui en découlent sont les suivantes :

☞ Pour $V_D < V_G - V_{FBv}$:

$$C_{DG} = S_0 (1 - \chi V_D) C_{OX}^* \quad (\text{II.12})$$

☞ Pour $V_D > V_G - V_{FBv}$:

$$C_{DG} \cong \frac{S_0 \left[1 - 2 \chi V_D + \chi (V_G - V_{FBv}) + 2 \chi \sqrt{V_D (V_D - V_G + V_{FBv})} \right] C_{OX}^*}{\sqrt{1 + \frac{2 C_{OX}^{*2}}{q N_v \epsilon_{si}} (V_D - V_G + V_{FBv})}} \quad (\text{II.13})$$

Ce modèle s'appuie sur l'expression (II.8). Bien que celle-ci soit issue d'hypothèses simplificatrices très grossières, elle permet un modèle empirique acceptable. Pour V_D faible, on identifiera aux résultats de mesure en introduisant le coefficient empirique χ défini plus haut (cf équation II.10). Pour V_D élevé on tend vers une capacité MOS classique de faible valeur (zone v déplétée) et de section constante ($S \approx S_0$). La continuité du modèle est bien vérifiée puisque pour $V_D = V_G - V_{FBv}$ on a équivalence des expressions (II.11) et (II.12)).

II.3.1.4 Inversion de la zone intercellulaire

Lorsque le composant est bloqué et que $V_{GS} < V_{Tv}$ (cf figures 25 & 26 phase ①), il y a inversion dans la zone intercellulaire [BUD]. Ces charges d'inversion apparaissent quasiment instantanément puisque les caissons P se comportent alors comme de formidables réservoirs de trous libres.

Contrairement aux charges de déplétion, les trous d'inversion sont issus des caissons P donc de l'électrode de source. Une décroissance de V_G à partir de V_{Tv} traduit donc un courant de source et non un courant de drain. Cela signifie que Q_{DG} n'évolue plus et que la capacité de réaction s'annule purement et simplement. Par contre, toutes ces charges inversées traduisent une augmentation brutale de C_{GS} .

Pour $V_G < V_{Tv}$ ces charges d'inversion Q_{INVv} s'expriment comme étant la différence entre les charges totales développées dans le semiconducteur moins celles de déplétion. Soit V_v le potentiel de surface dans cette zone, dans l'hypothèse de la forte inversion on peut écrire :

$$V_v = -2 \Phi_{Fiv} \quad (II.14)$$

$$\text{où } \Phi_{Fiv} = \frac{k T}{q} \text{Ln} \left(\frac{N_v}{n_i} \right) \quad (II.15)$$

Les charges d'inversion s'écrivent :

$$Q_{INVv}^* = C_{OX}^* (-2 \Phi_{Fiv} - V_G + V_{FBv}) - \sqrt{2 q N_v \epsilon_{si} (V_D + 2 \Phi_{Fiv})} \quad (II.16)$$

La limite d'inversion correspond à $Q_{INVv} = 0$. D'après l'expression (II.16), elle a lieu pour $V_G = V_{Tv}$, soit :

$$V_{Tv} = V_{FBv} - 2 \Phi_{Fiv} - \frac{\sqrt{2 q N_v \epsilon_{si}}}{C_{OX}^*} \sqrt{V_D + 2 \Phi_{Fiv}} \quad (II.17)$$

Les mesures de V_{Tv} en fonction de V_D permettront de déterminer certains des paramètres cherchés (voir §II.6.2.2 puis §II.6.3).

II.3.2 Capacité grille-source C_{GS}

La précision du modèle de C_{GS} est critique pour la phase ④ si l'on souhaite une bonne prédiction des pertes et des contraintes CEM liées à la montée du courant. De plus, sa connaissance lors des phases ①, ② et ③ précédent la mise en conduction permettra d'estimer le retard existant entre l'impulsion de commande et le début de la conduction (critère important pour la commande des convertisseurs de l'électronique de puissance). Ce paragraphe traite de C_{GS} composant bloqué. Nous verrons §II.4 ce qu'il advient lorsque celui-ci conduit.

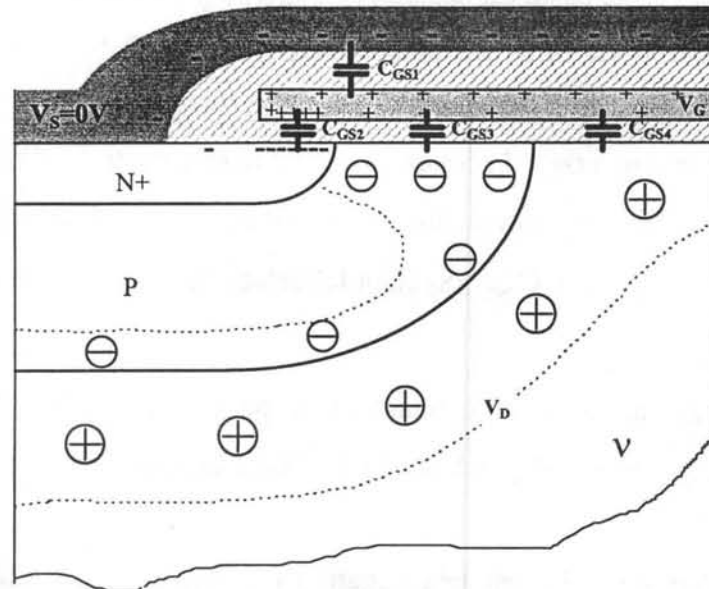


Figure 29
Cas de la phase ③

La figure 29 montre comment se répartissent les charges attribuables à la capacité C_{GS} dans le cas de la phase ③ précédant la mise en conduction.

On voit que la capacité de grille C_{GS} peut se décomposer en plusieurs parties :

☞ C_{GS1} due à la métallisation de source. En raison de sa nature (une armature correspondant à la source métallisée, l'autre au polysilicium de grille), elle est indépendante des grandeurs de polarisation. Bien que l'oxyde séparant ses armatures soit beaucoup plus épais que celui présent à l'interface du canal et de l'intercellule, cette capacité est loin d'être négligeable car les surfaces concernées sont importantes (la métallisation de source implique presque toute la surface de la puce).

☞ C_{GS2} due à l'avancée N+ sous l'oxyde de grille. Cette zone correspond à la deuxième diffusion permettant la réalisation du contact de source. La concentration en dopants est très importante côté source pour une bonne qualité du contact métal-semiconducteur. Le silicium est dit dégénéré et de faible résistivité (ordre de grandeur : $10\text{m}\Omega\text{cm}$). La capacité C_{GS2} est donc assimilable à une capacité d'oxyde (dont la valeur par unité de surface est proche de C_{OX}^*) indépendante de V_G .

☞ C_{GS3} correspondant à la zone de canal. Trois cas sont à considérer :

- Cas où $V_{TV} < V_G < V_{FBV}$: le canal N est accumulé et C_{GS3} est maximale, indépendante de V_G et vaut : $C_{GS3} \cong C_{OX}^* L Z$ où L est la longueur du canal et Z sa largeur.

- Cas où $V_{FBv} < V_G < V_T$: le canal est déplété, ce qui rend C_{GS3} dépendant de V_G mais faible par rapport au cas précédent du canal accumulé. L étant a priori faible, C_{GS3} le sera aussi devant C_{GS1} et C_{GS2} tant que l'on n'aura pas atteint le seuil d'inversion.

- Cas où $V_G > V_T$ (canal inversé) : le composant conduit (cas traité §II.4).

☛ Lorsque $V_G < V_{Tv}$, la zone intercellulaire est inversée (vu §II.3.1.4). La capacité qui en résulte vaut : $C_{GS4} = S_0 C_{OX}^* = C_{DG0}$, S_0 étant la surface de toute la zone v située à l'interface.

En définitive, avant la mise en conduction et pour $V_{Tv} < V_G < V_T$, la capacité de grille $C_{GS} = C_{GS1} + C_{GS2} + C_{GS3}$ est peu dépendante de V_G . Nous la supposerons constante par la suite et la noterons C_{GS0} .

Lorsque le potentiel de grille est très négatif ($V_G < V_{FBv}$), la capacité grille-source vaut :

$$C_{GS} = C_{GS0} + C_{DG0} = C_{INMax}.$$

C_{DG0} et C_{INMax} (capacité maximale mesurable entre grille et source) seront les deux paramètres mesurés dont on déduira C_{GS0} .

II.4 INFLUENCE DU COURANT PRINCIPAL I_D SUR LA REPARTITION DES CHARGES DE GRILLE ENTRE C_{DG} ET C_{GS}

L'étude électrostatique qui vient d'être présentée supposait l'absence de courant de drain, le composant étant bloqué. Or les charges inversées de la zone porte canal P responsables du courant principal de drain traversent la zone intercellulaire en modifiant nécessairement la répartition des équipotentielles et du champ électrique qui y règne.

De nombreuses mesures effectuées et présentées plus loin montrent que qualitativement le modèle de C_{DG} décrit précédemment reste acceptable lorsque le composant conduit. Mais elles montrent aussi que la variation de C_{GS} en fonction du niveau de courant est assez importante pour que l'on soit contraint d'en tenir compte dans le modèle final.

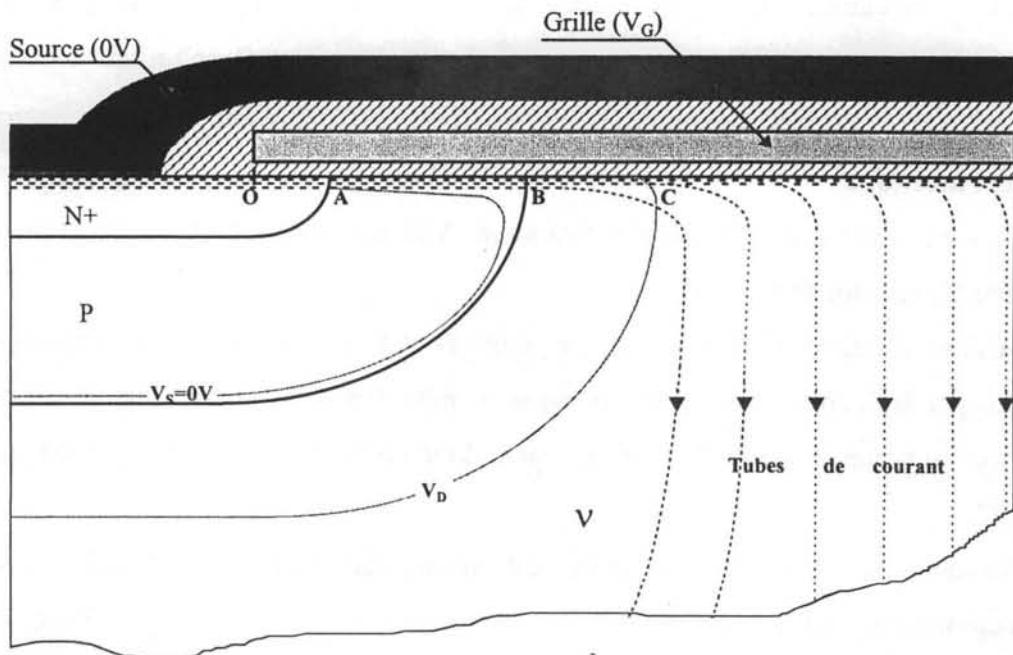


Figure 30

Cas où $V_D < V_G - V_{FB}$. Le potentiel de grille est supérieur à celui régnant en tout point de l'interface Si/SiO₂, d'où une couche d'électrons libres présente tout au long de celle-ci.

Considérons la coupe d'une demi cellule (figure 30) polarisée à $V_G > V_T$ et revenons sur quelques résultats du chapitre I. L'étude du canal diffusé alors menée a montré que le potentiel régnant à l'extrémité de la zone P (point B sur la figure 30) en limite de pincement

est relativement élevé. En effet, dans cette zone de canal le dopage ainsi que le seuil d'inversion sont tous deux très faibles et tendent en toute rigueur à s'annuler en B. Le potentiel V_B permettant d'atteindre le pincement du canal en B tend donc en théorie vers V_G . Or la diffusion P étant réalisée sur un substrat v faiblement dopé, la jonction qui en résulte est très fortement dissymétrique de sorte que la tension effective de drain est presque exclusivement tenue par la zone v . On atteindra donc effectivement le pincement en B si V_D est suffisamment élevé pour engendrer un potentiel V_B proche de V_G . Ce sera probablement le cas pour des composants de faibles calibres en tension (N_v élevé) mais pas nécessairement pour des composants de fortes tensions de claquage (N_v faible). Sans données physiques et géométriques concernant les composants testés, il est de nouveau impossible de conclure mais il est clair qu'une tension de drain supérieure à V_G n'implique pas forcément un pincement en bout de canal B.

Reprenons les deux cas traités en statique de la zone intercellulaire déplétée puis accumulée.

Le premier cas $V_D < V_G - V_{FBv}$ est illustrée figure 30. Le point C délimitant l'extension de la zone de charges d'espace est au potentiel de drain (aux chutes ohmiques de la zone v près).

On peut noter que :

- ☞ La zone porte-canal diffusée P (segment AB) est inversée et en principe non pincée puisque V_B est plus faible que V_G .
- ☞ La zone d'interface située entre les points B et C est accumulée d'électrons plaqués en surface par influence de la grille puisque le potentiel régnant le long de ce segment est inférieur au potentiel de grille. Tout se passe donc comme si le canal se prolongeait jusqu'au point C.
- ☞ Au-delà du point C, l'interface est accumulée. Grâce à ce matelas de charges d'accumulation, les lignes de courant peuvent donc se répartir le long de la zone intercellulaire avant de traverser le substrat v (alors simple matériau ohmique) pour rejoindre l'électrode de drain.

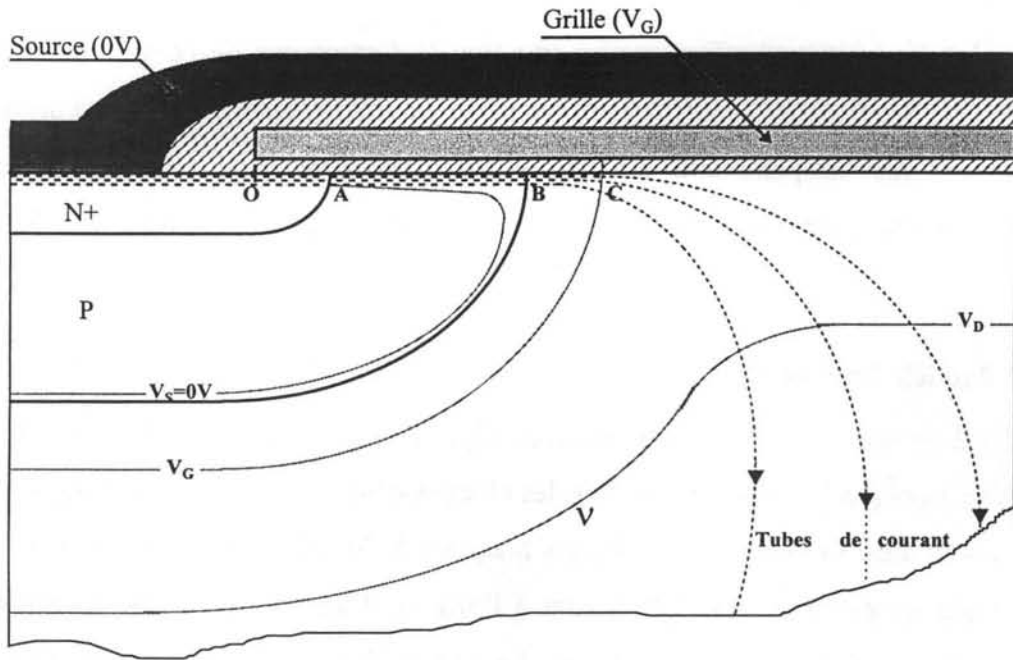


Figure 31

Cas où $V_D > V_G - V_{FBV}$. Compte tenu de la répartition des équipotentielles, les charges sont plaquées en surface jusqu'au point C et sont éjectées au-delà (changement de signe de la composante transversale du champ électrique régnant à l'interface).

La configuration correspondant au cas $V_D > V_G - V_{FBV}$ est illustrée figure 31. Le point C précise maintenant le lieu pour lequel la composante du champ électrique perpendiculaire à l'interface change de signe, conduisant au plaquage ou non des électrons à l'interface. Ce potentiel limite vaut $V_G - V_{FBV}$. On peut dans ce cas noter :

- ☛ L'inversion du canal N dopé P (segment AB) non forcément pincé si V_D n'est pas suffisant pour ramener le point C en B.
- ☛ Les électrons plaqués à l'interface le long du segment BC.
- ☛ Au-delà de C, une zone déplétée dans laquelle les électrons issus de C sont repoussés dans le volume.

Finalement, le point C est la limite en dessous de laquelle les charges en regard de la grille peuvent être attribuées à C_{GS} et au-delà de laquelle elles sont attribuables à C_{DG} . Cette limite était estimée par les expressions (II.8) et (II.9) dans l'hypothèse du problème purement électrostatique.

II.4.1 Modèle final pour C_{DG}

De nombreuses mesures effectuées en situation (à fort niveau de courant) montrent que le modèle déjà décrit pour C_{DG} faisant intervenir un paramètre empirique χ reste utilisable. Nous montrerons que ce paramètre est peu sensible au niveau de courant commuté. Nous conserverons donc ce modèle (décrit par les équations II.12 et II.13) tel quel à fort niveau de courant.

II.4.2 Modèle final pour C_{GS}

Le §II.3.2 ne traitait que de l'estimation de C_{GS} composant bloqué ; il peut maintenant être complété. Lorsque le transistor conduit, les charges d'inversion du canal d'une part (segment [AB] des figures 30 et 31) et les charges plaquées à l'interface prolongeant ce canal dans la zone v d'autre part (segment [BC]) sont à l'origine d'une augmentation significative de la capacité C_{GS} à fort niveau de courant. Le potentiel le long du segment [AC] évoluant nécessairement (de $V_A=0V$ à $V_C \in [0; V_G - V_{FBv}]$), la capacité dynamique équivalente est plus faible que le simple produit surface équivalente par C_{OX}^* . Une fois de plus, l'approche analytique du problème étant impossible, nous nous contenterons d'introduire un paramètre empirique supplémentaire χ_G rendant compte de nombreuses mesures effectuées en situation. Ces mesures (effectuées à fort V_D , voir §II.6.4) justifieront l'approximation linéaire proposée pour le modèle lorsque $V_G > V_T$: voir équation (II.21).

Lors des phases ⑤ et ⑥ de décroissance du potentiel de drain, le principe du modèle étant d'attribuer à C_{DG} la totalité du courant de grille, nous n'avons aucune variation de charge de la capacité C_{GS} (tension V_G constante à ses bornes et courant nul la traversant). Donc lorsque V_D décroît et en particulier pour $V_D < V_G - V_{FBv}$, nous n'avons pas de mesure possible de la capacité de grille car elle n'a aucune influence sur la commutation. La seule contrainte supplémentaire pour notre modèle est de garantir une valeur de capacité d'entrée C_{INMax} vers laquelle on tend en fin de commutation, d'où la valeur C_{GS0} de C_{GS} correspondant au transistor saturé :

$$C_{GS0} \cong C_{INMax} - C_{DG0} \quad (II.18)$$

En définitive, le modèle proposé pour C_{GS} fait intervenir 4 paramètres (C_{GS0} , χ_G , C_{DG0} et V_T) dont deux seulement sont nouveaux et propres à C_{GS} (C_{GS0} et χ_G). Il est décrit par les équations suivantes :

☞ A fort V_D :

- Pour $V_G < V_{Tv}$:

$$C_{GS} = C_{GS0} + C_{DG0} \quad (\text{II.19})$$

• Pour $V_{Tv} < V_G < V_T$:

$$C_{GS} = C_{GS0} \quad (\text{II.20})$$

• Pour $V_G > V_T$:

$$C_{GS} = C_{GS0} (1 + \chi_G (V_G - V_T)) \quad (\text{II.21})$$

☛ A fort V_D , nous retrouvons :

$$C_{GS} = C_{GS0} \quad (\text{II.22})$$

II.5 DIODE DE STRUCTURE ET CAPACITE C_{DS}

Pour compléter le modèle dynamique du transistor VDMOS, il faut considérer la diode de structure P_v présente en antiparallèle entre les électrodes de drain et de source. Celle-ci étant généralement polarisée en inverse, son comportement statique nous importe rarement. Cependant, certaines structures de convertisseurs nécessitent un interrupteur bidirectionnel en courant. Dans ce cas et si les contraintes en rapidité ne sont pas critiques, on pourra utiliser des transistors VDMOS dont les paramètres liés aux performances de la diode de structure ont été optimisés (ex : FREDFET).

La modélisation fine des diodes en commutation reste un problème ouvert et particulièrement délicat pour ce qui concerne le recouvrement inverse. Dans la cellule de commutation que nous étudions et plus généralement lors des commutations du transistor de puissance, le problème du recouvrement de la diode de structure ne se pose pas puisque celle-ci est polarisée en inverse. Pour la modéliser, on se contentera donc du modèle classique faisant intervenir trois éléments (cf figure 32) [BEY].

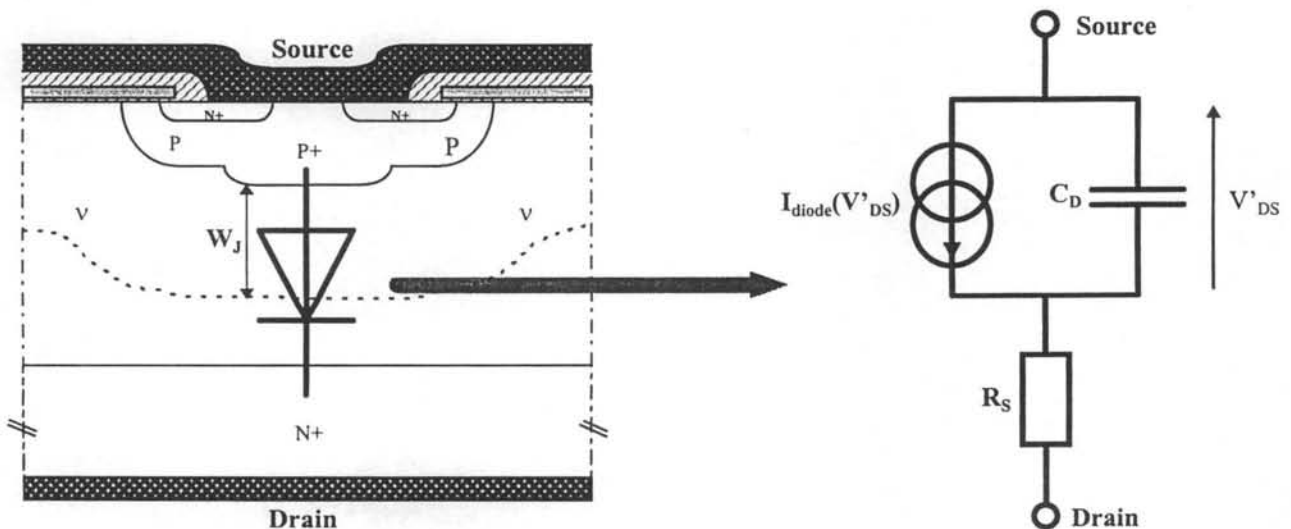


Figure 32
Modèle de la diode de structure

Le comportement statique de la diode est décrit par :

$$I_{\text{Diode}} = I_S \left[\exp\left(\frac{V'_{DS}}{n U_T}\right) - 1 \right] \quad (\text{II.23})$$

où I_S est le courant de saturation inverse et n un facteur d'idéalité.

Le comportement dynamique est caractérisé par la capacité de jonction C_{DS} :

$$C_{DS} = C_D + C_T \quad (\text{II.24})$$

C_D est la capacité de diffusion traduisant le retard du courant sur la tension dû au phénomène de diffusion. Elle est proportionnelle à la durée de vie des porteurs minoritaires τ_p et au courant direct :

$$C_D = \frac{q}{kT} \tau_p I_S \exp\left(\frac{V'_{DS}}{n U_T}\right) \quad (\text{II.25})$$

C_T est la capacité de transition due à l'extension W_J de la zone de charge d'espace lorsque la jonction est polarisée en inverse. Dans l'hypothèse d'une jonction P+v plane, abrupte et fortement dissymétrique, W_J s'exprime ainsi :

$$W_J = \sqrt{\frac{2 \epsilon_{Si}}{q N_v} (V_d + V'_{DS})} \quad (\text{II.26})$$

où V_d est le potentiel de diffusion donné par :

$$V_d = \frac{k T}{q} \text{Ln}\left(\frac{N_v N_a}{n_i^2}\right) \quad (\text{II.27})$$

Ce qui conduit à une capacité théorique C_T :

$$C_T = \sqrt{\frac{\epsilon_{Si} q N_v}{2}} \frac{1}{\sqrt{V_d + V'_{DS}}} \quad (\text{II.28})$$

La jonction P+v n'étant en réalité ni plane ni abrupte, en pratique on utilisera le modèle empirique :

$$C_T \approx \frac{C_{J0}}{\left(1 - \frac{V'_{DS}}{V_d}\right)^m} \quad (\text{II.29})$$

C_{J0} est la capacité de jonction en l'absence de polarisation et m le facteur de gradualité usuellement compris entre 0,3 et 0,5.

Dans notre cellule de commutation, le potentiel de drain appliqué étant toujours positif, nous aurons $C_{DS} \approx C_T$. Il faut noter que cette capacité n'a quasiment pas d'influence sur les formes

d'ondes lors de commutations lentes et que l'énergie électrostatique emmagasinée à l'état bloqué est intégralement dissipée par effet joule dans l'interrupteur lorsque celui-ci devient passant.

II.6 MESURES ET EXTRACTION DES PARAMETRES

II.6.1 Introduction

Les capacités interélectrodes dépendent beaucoup des niveaux de polarisation et particulièrement du potentiel de grille. Or, le modèle cherché doit être le plus précis possible lors des phases dissipatives de la commutation (voir figure 25, phases ④, ⑤ et ⑥). Pendant ces phases, $V_G > V_T$ et il est impossible d'effectuer les mesures de capacités directement à l'aide d'un pont de mesure car on ne peut pas imposer à la fois un courant important et une tension élevée, le temps de la mesure, sans détruire le composant testé.

La solution proposée est d'exploiter les mesures effectuées sur le composant en situation, c'est à dire dans sa cellule de commutation (cf. figure 24, §II.2). Pour que les résultats de mesure soient exploitables, les commutations doivent être suffisamment lentes pour limiter les effets des inductances et mutuelles parasites liées au câblage. En effectuant plusieurs essais paramétrés en fonction des différents niveaux de courant commuté et de la tension d'alimentation, il est possible en plus de la détermination des paramètres statiques de déterminer la plupart des paramètres nécessaires au modèle dynamique.

Pour toutes les mesures de capacités pouvant être effectuées composant bloqué et en particulier pour la détermination du seuil d'inversion V_{TV} de la zone intercellulaire, l'utilisation du pont de mesure HP4194A donne très rapidement des résultats bien plus précis. Ces mesures au pont compléteront donc très efficacement celles issues du banc.

II.6.2 Systèmes de mesure

II.6.2.1 Banc de mesure pour des essais en commutation

Ce banc de mesure est composé de deux interrupteurs câblés en parallèle (voir schéma figure 33).

Une carte électronique permettant de générer une série d'impulsions de fréquence et de rapport cyclique ajustables commande l'interrupteur pilote via un circuit de commande rapprochée. Une impulsion sur 1024 est inhibée sur la commande du pilote et générée sur la commande de l'interrupteur testé. Celui-ci chauffe donc très peu. De plus, étant monté sur un radiateur de bonne dimension, la température moyenne de son boîtier est parfaitement maîtrisée.

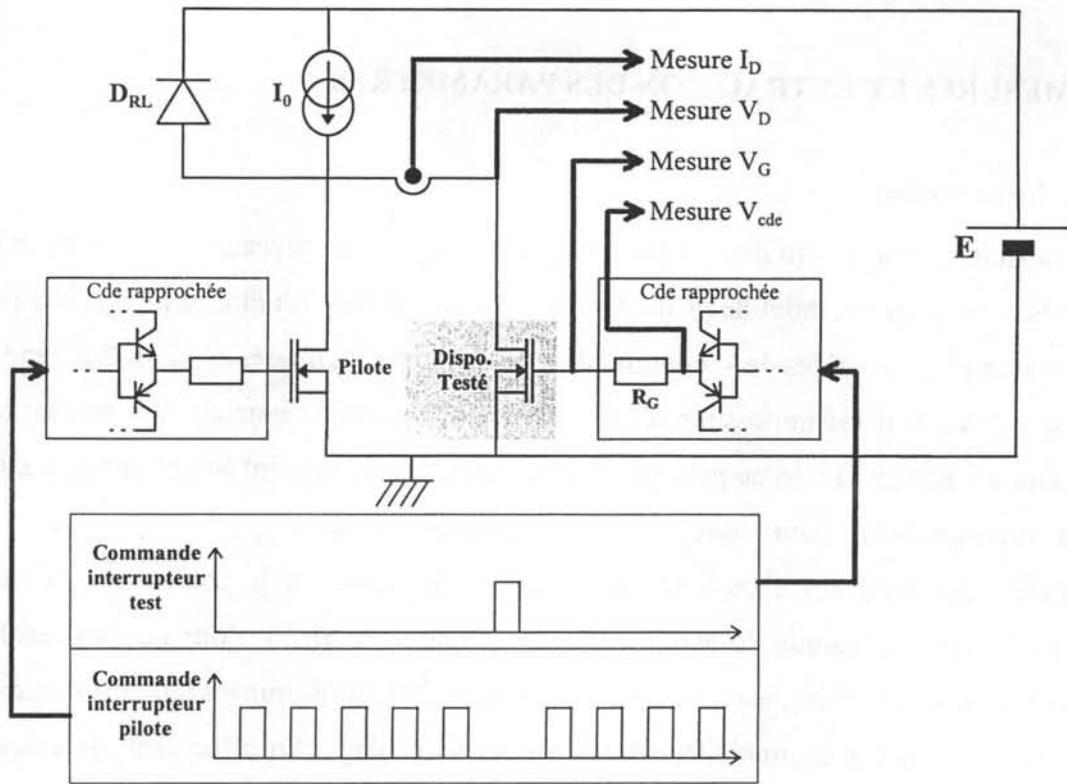


Figure 33
Banc de mesure

Les mesures des différentes grandeurs électriques sont effectuées à l'aide d'un oscilloscope TEKTRONIX de type DSA602 dont les sondes de courant ont une bande passante de 50MHz et les sondes de tension de 400MHz.

L'avantage de travailler en mode répétitif plutôt qu'en monocoup est qu'il est possible d'utiliser la fonction moyennage du DSA602. Les bruits de mesure sont ainsi suffisamment atténués pour que l'on puisse effectuer tous les calculs nécessaires sur les données issues des fichiers résultats.

La résistance R_G est volontairement élevée (de l'ordre du $k\Omega$) pour que la commutation du transistor testé soit lente. La mesure de V_{cde} permet le calcul du courant de grille et des charges amenées par l'électrode de grille.

Certains résultats issus de ce banc ont déjà été donnés précédemment. Ils concernaient deux VDMOS de calibre en tension 500V, à savoir un MTW14N50 (cf figure 21, §I.5.2) et un APT5024BVRX (figure 25).

L'exemple du transistor STP45N10 de calibre en tension 100V de la société THOMSON, commutant 10A sous 50V est donné figure 34.

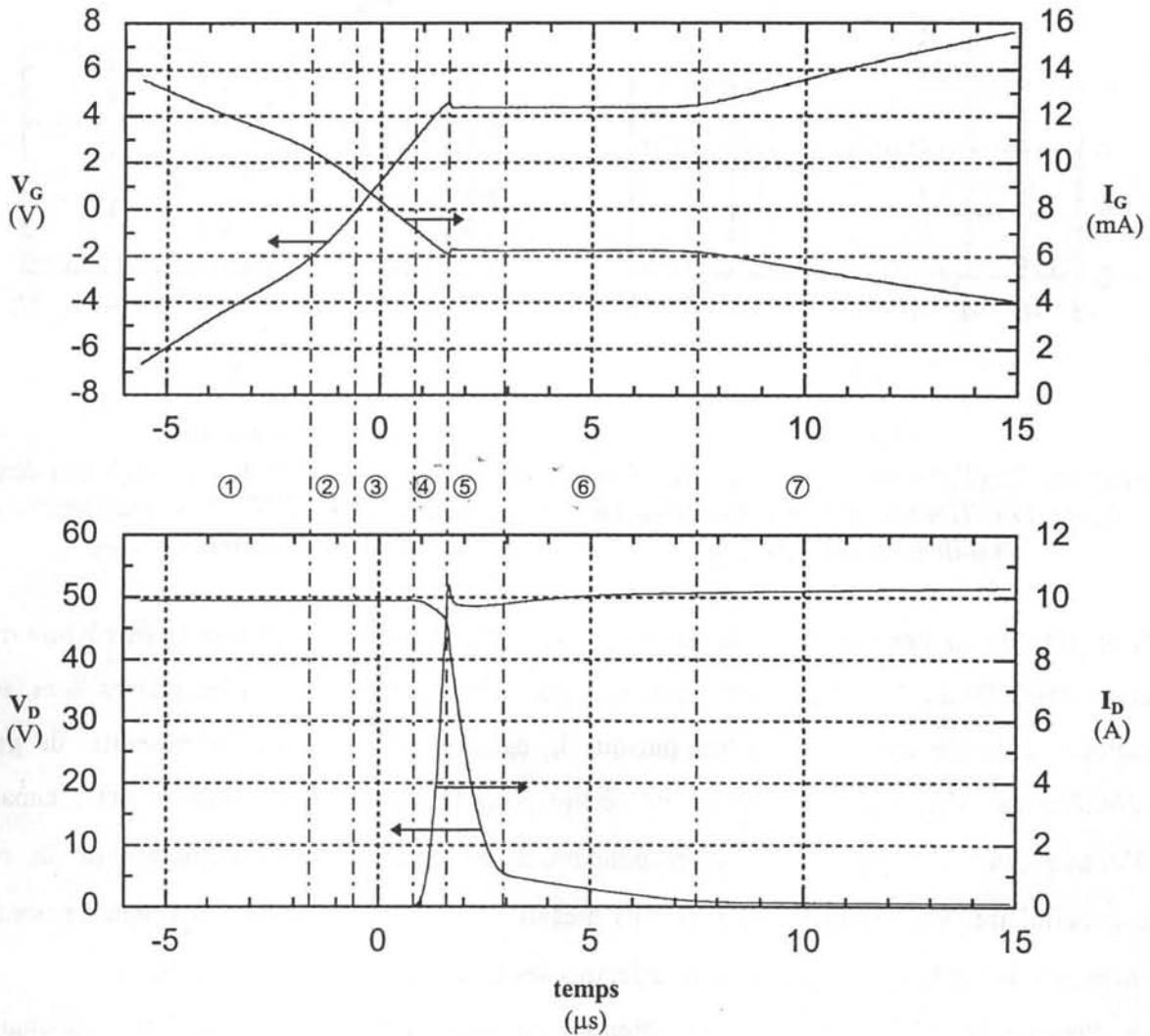


Figure 34

Commutation lente : cas d'un STP45N10 commutant 10A sous 50V

L'exploitation de ces mesures pour en extraire les paramètres dynamiques du VDMOS se fera essentiellement à travers deux type de tracés :

☛ Pendant les phases ①, ② et ③ $V_G < V_T$ et le potentiel de drain est fixe. Il est donc possible de calculer et de tracer la capacité vue de l'électrode de grille $C_E = \frac{i_G}{\left. \frac{dV_G}{dt} \right|_{V_D = \text{cste}}}$ en fonction

du potentiel de grille (cf figure 35).

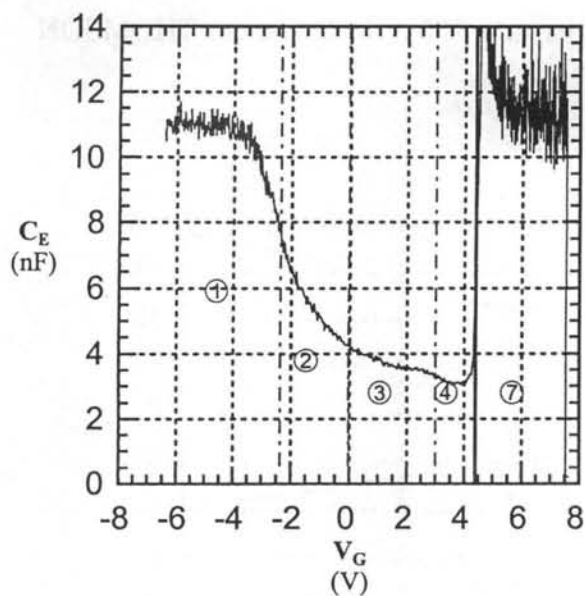


Figure 35

Tracé de $C_{IN}(V_G)$ dans le cas de l'essai donné figure 34 (STP45N10). Cet essai servira à établir le modèle de C_{GS} .

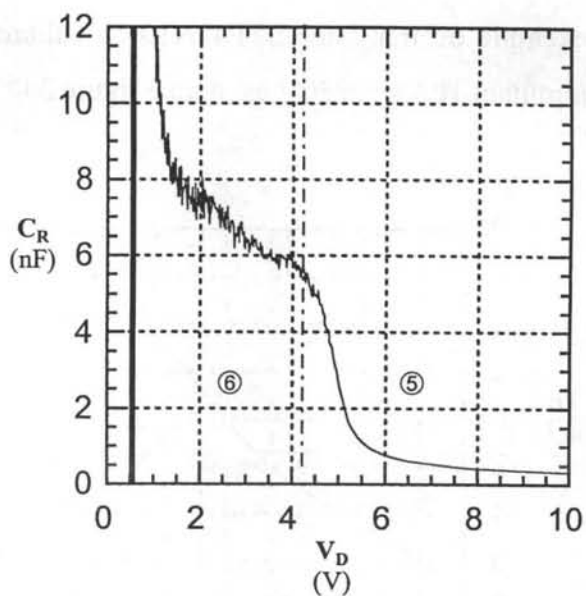


Figure 36

Tracé de $C_R(V_G)$ dans le cas de l'essai donné figure 34 (STP45N10). Cet essai servira à établir le modèle de C_{DG} .

Nous retrouvons une valeur élevée de capacité d'entrée pendant les phases ① (inversion de la zone intercellulaire) et ⑦ (accumulation de cette même zone). Pendant les phases ⑤ et ⑥, la capacité d'entrée tend vers l'infini puisque i_G est non nul alors que le potentiel de grille n'évolue pas ($V_G = V_{plateau}$). Enfin on vérifie bien la variation brusque de cette capacité d'entrée pour $V_G = V_{Tv}$ négatif correspondant à la limite inversion/déplétion de la zone intercellulaire, V_{Tv} évoluant avec V_D (les mesures à $V_G < 0$ s'effectuant très bien au pont de mesure, nous utiliserons celui-ci pour effectuer les tracés de $V_{Tv}(V_D)$; cf §II.6.2.2).

☞ Pendant les phases ⑤ et ⑥, le potentiel de grille a la particularité d'être constant et supérieur à V_T ($V_G = V_{plateau}$ ne dépend que du niveau de courant commuté I_0). Pendant ces deux phases, le courant principal I_D est peu différent du courant commuté I_0 car la commutation est suffisamment lente pour que le courant capacitif lié à la décharge de C_{DS} soit négligeable. Le courant comme les charges inversées du canal et la capacité C_{GS} de grille ne varient pas. Le courant de grille I_G correspond alors uniquement au courant de décharge de la capacité de réaction C_{DG} . Pendant les phases ⑤ et ⑥, cette capacité de réaction est égale à C_R

défini par $C_R = \frac{i_G}{\left. \frac{dV_D}{dt} \right|_{V_G = cste}}$ (cf tracé de la figure 36).

On vérifie sur ce tracé que lors de la phase ⑥ (zone intercellulaire accumulée), la capacité de réaction n'est pas constante. Ceci valide donc l'hypothèse conduisant à l'expression (II.10) du §II.3.1.3. La limite de passage de la zone ⑤ (déplétion) à la zone et ⑥ (accumulation) a lieu pour V_D proche de V_G (à V_{FBV} près).

En aucune manière le pont de mesure ne donne accès à ce type de résultat, ce qui fait un des principaux atouts du banc présenté.

II.6.2.2 Mesure de la tension de seuil V_{Tv} de la zone intercellulaire à l'aide du pont HP4194A

Si l'on veut pouvoir ajuster le potentiel de drain V_D , les mesures pouvant être faites à l'aide du pont de mesure HP4194A se limitent à celles correspondant au composant bloqué $V_G < V_T$. Dans ces conditions deux type de mesures seront intéressantes pour la détermination des paramètres dynamiques de notre modèle :

- ☛ La détermination du potentiel de grille correspondant à la limite d'inversion de la zone intercellulaire lorsque V_D évolue : $V_{Tv} = f(V_D)$,
- ☛ La mesure directe des capacités interélectrodes C_{DS} et C_{GS} (cf. §II.6.2.3).

Le montage réalisé est celui de la figure 37.

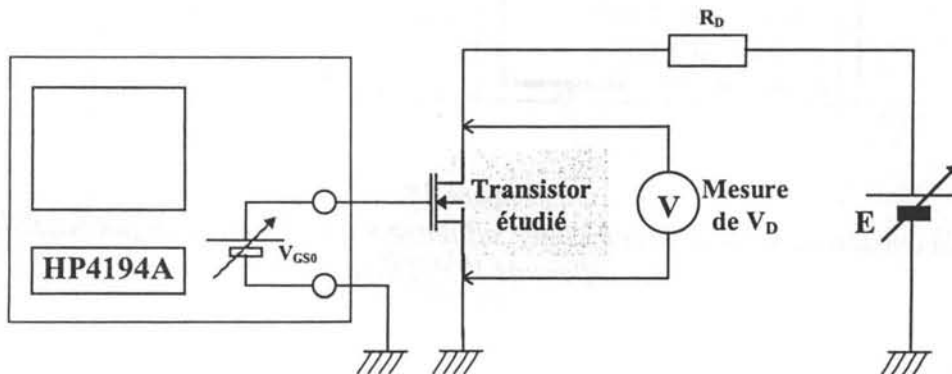


Figure 37

Le pont HP4194A est configuré pour des mesures d'impédances et de capacités à 10kHz .

R_D est une résistance de protection et limite le courant en cas de mise en conduction intempestive du transistor (on doit pouvoir tester les VDMOS jusqu'à leurs tensions de claquage annoncées, soit V_D allant de 60V à 800V). On mesure une capacité d'entrée dynamique (oscillateur interne programmé à 10mV d'amplitude et une fréquence de 10kHz),

la tension d'offset étant ajustable (programmation du balayage de V_{G0} de -15V à V_T). La mesure consiste à relever la valeur de la tension de grille correspondant à une variation brusque de la valeur de la capacité d'entrée. On répète l'opération pour différentes valeurs de V_D .

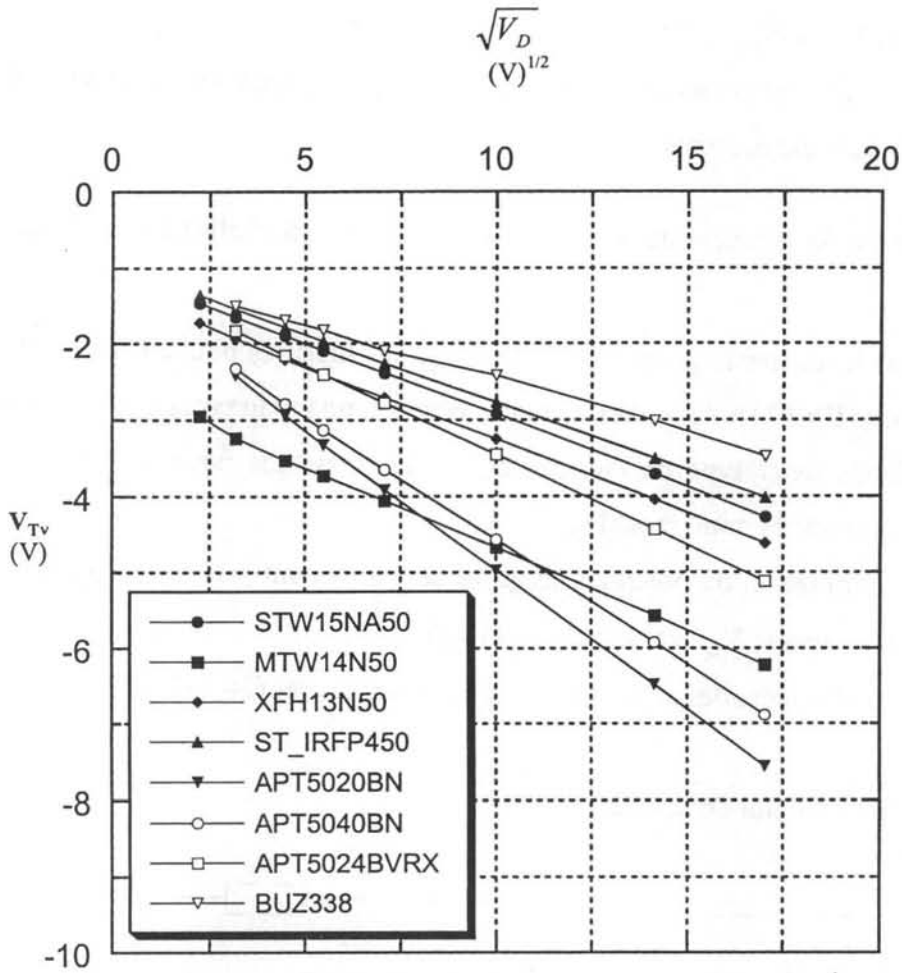


Figure 38

Tracé de la tension de seuil de la zone intercellulaire V_{Tv} en fonction du potentiel de drain V_D pour différents VDMOS de 500V.

Les résultats donnés figures 38, 39 et 40 correspondent à des mesures effectuées sur des composants de diverses marques et de mêmes calibres en tension (respectivement 500V, 800V et 60V).

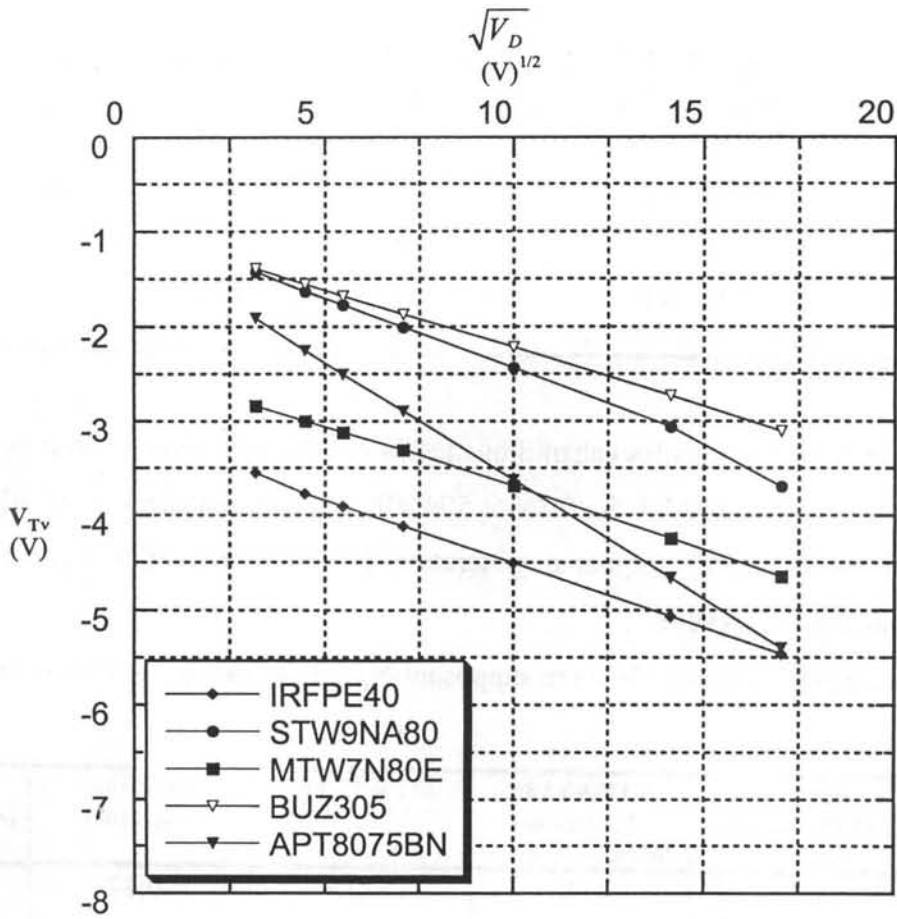


Figure 39

Tracé de $V_{Tv}(V_D)$ pour différents VDMOS de 800V.

Sur ces différents tracés, V_{Tv} est représenté en fonction de la racine carrée de V_D . D'après l'expression (II.17), les pentes correspondantes permettent, par identification, de déterminer la valeur de $\frac{\sqrt{2 q N_v \epsilon_{si}}}{C_{OX}^*}$. Nous avons alors une relation liant C_{OX}^* (ou e_{OX}) et N_v .

Nous verrons que la détermination des paramètres dynamiques ne nécessite pas la connaissance des deux grandeurs e_{OX} et N_v . Il est cependant intéressant de tenter de quantifier ces deux grandeurs.

Si l'on fait l'hypothèse d'un couple N_v - W optimisé de façon à minimiser la résistance à l'état passant pour une tenue en tension donnée (cf théorie sur les jonctions P+vN+), N_v peut être supposé connu. Il est alors possible d'estimer les valeurs d'épaisseurs d'oxyde. Dans le cas des VDMOS de 500V (en supposant $N_v = 5 \cdot 10^{14} \text{ cm}^{-3}$), nous obtenons :

	STW15NA50 (ST)	MTW14NA50 (Motorola)	XFH13N50 (IXYS)	ST_IRFP450 (ST)	APT5020BN (APT)	APT5040BN (APT)	APT5024BVRX (APT)	BUZ338 (SIEMENS)
Pente (V) ^{1/2}	-0,19	-0,21	-0,19	-0,18	-0,37	-0,32	-0,24	-0,14
e _{OX} (nm)	51	57	51	48	98	87	64	38
V _{FBv} (V)	-0,47	-2,06	-0,84	-0,45	-0,78	-0,8	-0,52	-0,49

Hormis les composants APT, tous les échantillons testés ont des épaisseurs d'oxydes proches des 50nm. Il est à noter que les APT 5020BN et 5040BN sont de quatrième génération alors que l'APT 5024BVRX est de cinquième génération (l'évolution semble aller vers une diminution des épaisseurs d'oxyde).

En ce qui concerne les composants 800V (en supposant $N_v = 2 \cdot 10^{14} \text{ cm}^{-3}$), nous obtenons :

	IRFPE40 (International Rectifier)	STW9NA80 (Thomson Semiconducteur)	MTW7N80E (Motorola)	BUZ305 (Siemens)	APT8075BN (Advanced Power Technology)
pen _t e (V) ^{1/2}	-0,13	-0,15	-0,13	-0,12	-0,25
e _{OX} (nm)	51	57	49	47	95
V _{FBv} (V)	-2,7	-0,45	-1,9	-0,49	-0,59

Pour $V_D=0$, l'expression (II.17) devient :

$$V_{T_v} \Big|_{V_D=0V} = V_{FBv} - 2 \Phi_{Fiv} - \frac{\sqrt{2 q N_v \epsilon_{si}}}{C_{OX}} \sqrt{2 \Phi_{Fiv}} \quad (\text{II.30})$$

N_v étant fixé, Φ_{Fiv} l'est aussi. Cela signifie que pour des composants de même calibre en tension, les différences de valeur à l'origine ne peuvent être dues qu'à des écarts sur la tension de bande plate V_{FBv} . En reprenant l'hypothèse précédente sur N_v , il est aisé de calculer les tensions de bande plate (voir les deux tableaux précédents). On constate que tous les transistors testés ont une tension de bande plate proche de 0,4V à l'exception des composants MOTOROLA et IR pour lesquels les valeurs mesurées sont bien plus élevées (matériaux de grille différents ou légère implantation en surface de la zone v !).

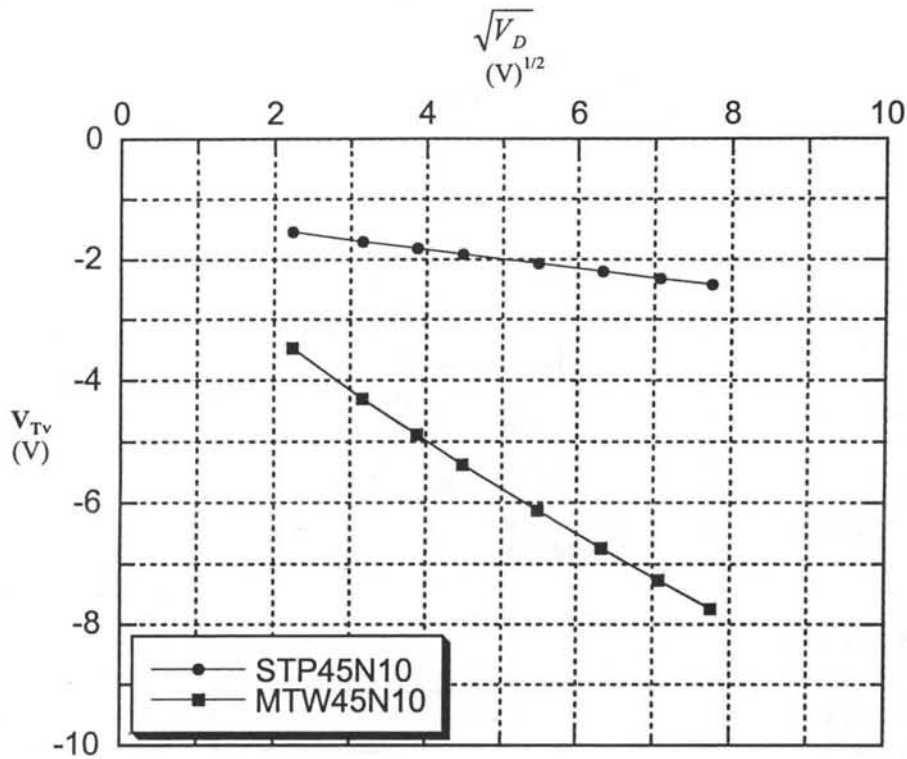


Figure 40

Tracé de $V_{Tv}(V_D)$ pour différents VDMOS de 100V.

II.6.2.3 Mesure des capacités interélectrodes composant bloqué à l'aide du pont HP4194A

Il est possible d'effectuer les mesures nécessaires à la détermination des trois capacités du modèle classique en Π de la figure 23 directement à l'aide du pont de mesure HP. Ce modèle petits signaux n'est valable que pour de très faibles variations autour d'un point de fonctionnement (V_{G0} , V_{D0}). Il est habituellement obtenu à l'aide de trois mesures de capacités, l'une d'entrée C_{iss} mesurée entre grille et source, une de réaction C_{rss} mesurée entre drain et grille et une capacité de sortie C_{oss} mesurée entre drain et source. La connaissance de ces trois valeurs permet le calcul des trois capacités du modèle en Π : C_{GS} , C_{DG} et C_{DS} [LEM].

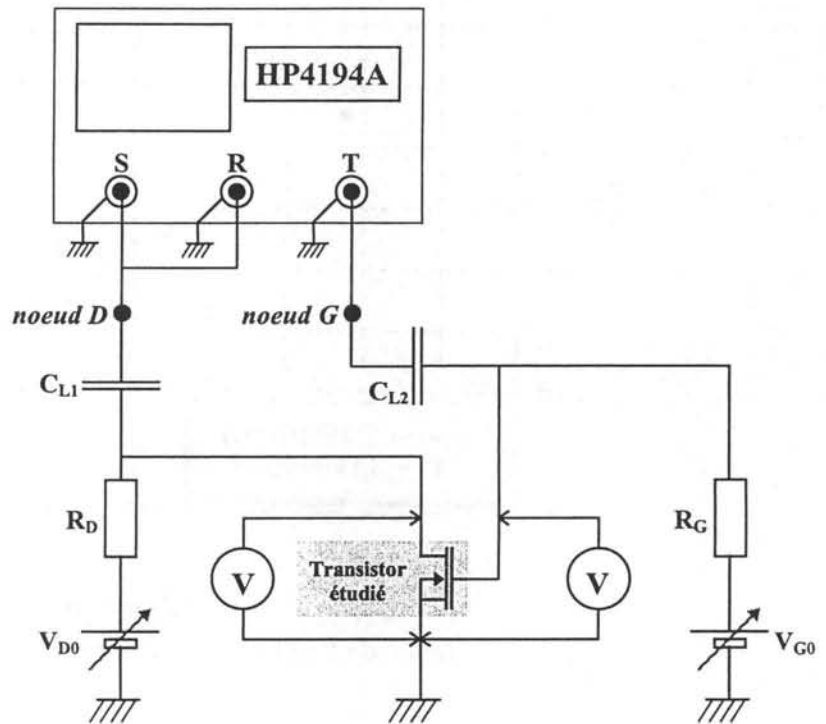
En général (voir documents constructeurs en complément de l'annexe 1), ces mesures sont paramétrées en V_D (potentiel de drain autour duquel la mesure en régime de faibles variations est effectuée) et faite à $V_G=0V$. Or lors d'une commutation, le potentiel de drain n'évolue que lorsque V_G a atteint la tension de plateau de grille, celle-ci étant supérieure à V_T . Le composant conduisant, les charges d'inversion présentes dans le canal induisent une valeur de C_{GS} plus élevée qu'à l'état bloqué (cf §II.3.2).

De plus, nous avons montré que la capacité de réaction C_{DG} dépend fortement du potentiel de grille, donc du niveau de courant commuté.

Figure 41

S est une source sinusoïdale d'amplitude 10mV et de fréquence variable (balayage de 1kHz à 1MHz). La mesure consiste à relever le diagramme gain-phase V_T/V_R et à mesurer fréquence de coupure et gain correspondants.

Les impédances des entrées **T** et **R** sont de $Z_E = 1M\Omega$. C_{L1} et C_{L2} sont des capacités de liaison de valeurs suffisantes pour que leurs impédances soient négligeables aux fréquences qui nous intéressent (quelques dizaines de kHz).



Le montage présenté figure 41 permet la mesure des capacités C_{GS} et C_{DG} paramétrées en V_{D0} et V_{G0} [LEM]. Les mesures de C_{DS} et de C_{DG} se font de la même façon en intervertissant simplement les noeuds *D* et *G*. Ces mesures se faisant composant bloqué, elles ne permettent pas de déterminer la valeur de C_{GS} à $V_G > V_T$ (phases dissipatives de la commutation). Mais elles ont malgré tout certains intérêts :

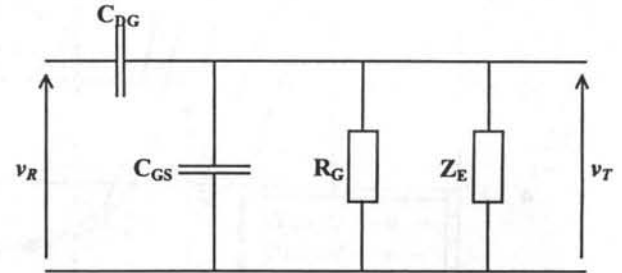
- ☞ Vérifier et affiner les mesures de $V_{T_V}(V_D)$ présentées §II.6.2.2.
- ☞ Montrer l'annulation de C_{DG} pour $V_G < V_{T_V}$,
- ☞ Déterminer les paramètres de C_{DS} qui se trouve être la seule des trois capacités cherchées que l'on ne puisse pas extraire des mesures effectuées à l'aide du banc et de sa cellule de commutation.

Le principe de la mesure est le suivant. D'abord on travaille à des fréquences inférieures à quelques mégahertz pour pouvoir négliger l'influence des inductances de boîtiers (quelques dizaines de nanohenrys) sur la mesure. Ensuite pour de faibles variations autour des grandeurs de polarisation V_{G0} et V_{D0} , le montage réalisé figure 41 équivalent à un simple filtre passe haut (cf figure 42) possède un gain maximum et une fréquence de coupure de :

$$G_M = \frac{V_T}{V_R} \Big|_{\text{Max}} = \frac{C_{DG}}{C_{DG} + C_{GS}} \quad (\text{II.31})$$

$$f_c = \frac{1}{2\pi (Z_E // R_G) (C_{DG} + C_{GS})} \quad (\text{II.32})$$

Figure 42
Schéma équivalent petits signaux du montage de la figure 41 correspondant à un filtre passe haut.



Les mesures de la fréquence de coupure f_c et du gain haute fréquence G_M relevé à $f \gg f_c$ (en pratique autour du mégahertz) permettent le calcul des deux capacités :

$$C_{DG} = \frac{G_M}{2\pi f_c (Z_E // R_G)} \quad (\text{II.33})$$

$$C_{GS} = \frac{1 - G_M}{2\pi f_c (Z_E // R_G)} \quad (\text{II.34})$$

En intervertissant les noeuds G et D de la figure 41, la mesure donne C_{DS} (même expression que l'équation (II.34) donnant C_{GS}).

Les figures 43 et 44 concernent des relevés effectués sur un STW15NA50. Le tracé de $C_{GS}(V_G)$ confirme la variation brutale de C_{GS} autour de la tension de seuil V_{Tv} de la zone v , ainsi que la dépendance de ce seuil vis à vis de V_D . On vérifie bien la concordance entre le tracé de la figure 43 et celui donné figure 38. La figure 44 montre l'annulation complète de C_{DG} pour $V_G < V_{Tv}$ ce qui a pour conséquence positive d'isoler complètement la commande (côté grille) de la puissance (côté drain). La tension négative généralement appliquée sur l'électrode de grille lorsque le composant est bloqué a pour intérêt de limiter l'interaction puissance-commande et ainsi d'éviter une mise en conduction intempestive lors de la présence sur l'électrode de drain de forts dV/dt . Les résultats précédents montrent qu'il n'est pas nécessaire de descendre à des potentiels de grille très bas pour s'affranchir de tels dangers.

Par exemple : -4,2V sont suffisants pour un BUZ338 alors que -9,6V seront nécessaires pour un APT5020BN (cf figure 38 en extrapolant à 500V).

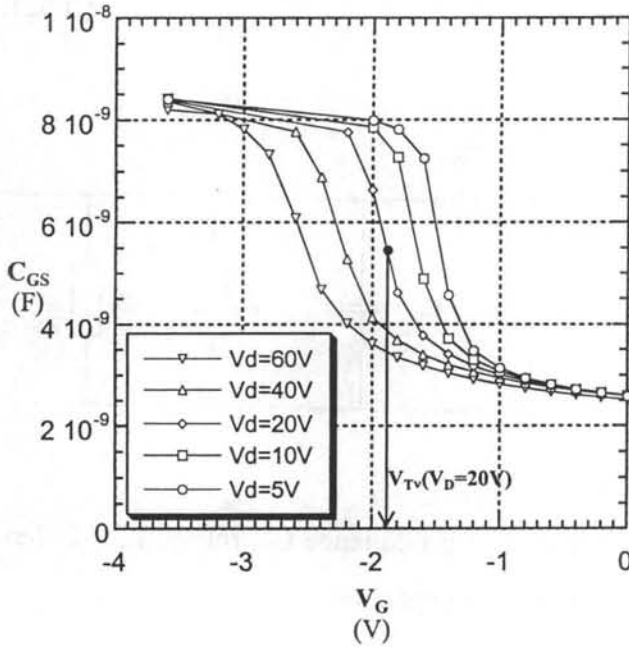


Figure 43

Tracé de $C_{GS}(V_G)$ à V_D constant pour un STW15NA50. La variation brusque de la valeur de la capacité correspond à la limite d'inversion de la zone intercellulaire (on relève V_{Tv} en notant la demie somme des capacités maximum et minimum d'entrée, ce qui nous donne $V_{Tv} \cong 2.1V$ dans le cas $V_D = 20V$).

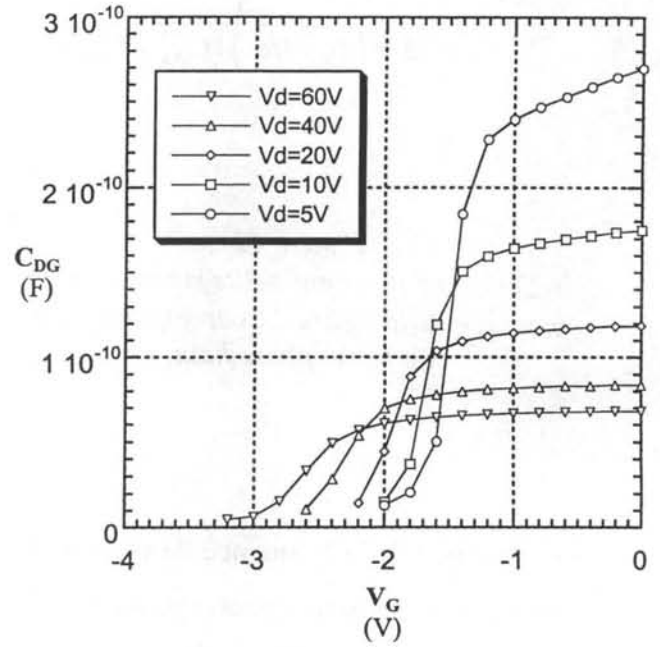


Figure 44

Tracé de $C_{DG}(V_G)$ à V_D constant pour un STW15NA50. On voit que la capacité de réaction s'annule lorsque la zone intercellulaire v est inversée (ie $V_G < V_{Tv}$).

II.6.3 Extraction des paramètres pour C_{DG}

Le modèle de C_{DG} décrit § II.3.1 et § II.4 fait intervenir 4 paramètres.

Les mesures et les tracés de $V_{Tv} = f(\sqrt{V_D})$ présentés §II.6.2.2 permettent la détermination de deux de ces paramètres :

- V_{FBv} (en supposant N_v ou Φ_{Fiv} connus),
- la pente que nous noterons $\sigma = \frac{\sqrt{2qN_v\epsilon_{Si}}}{C_{ox}^*}$ (voir équation II.17 et figures 38, 39 et 40).

Dans le cas du transistor STW15NA50, nous obtenons : $V_{FBv} = -0,47V$
 $\sigma = 0,19 V^{1/2}$.

Remarque : Nous garderons l'exemple de ce transistor pour la suite de ce paragraphe et récapitulerons les résultats extraits pour d'autres composants du marché § II.6.5.

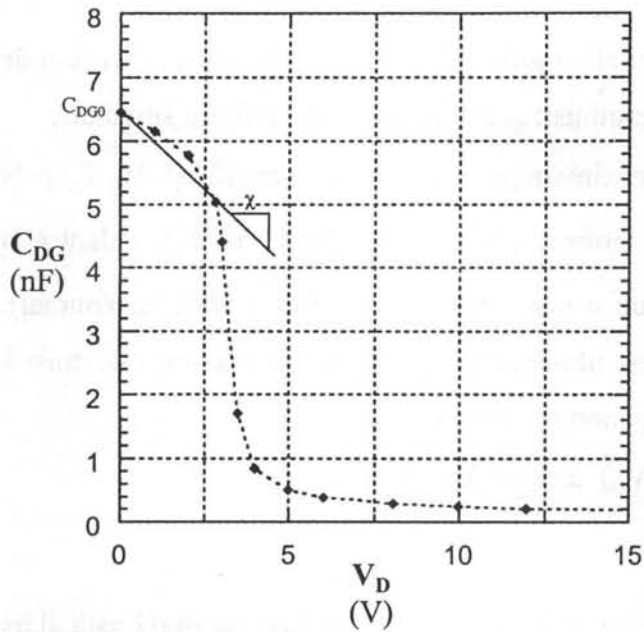


Figure 45

Mesure directe au pont HP4194A de la capacité de réaction composant bloqué et $V_G=3V$ (ie $V_G < V_T$) pour un STW15N50.

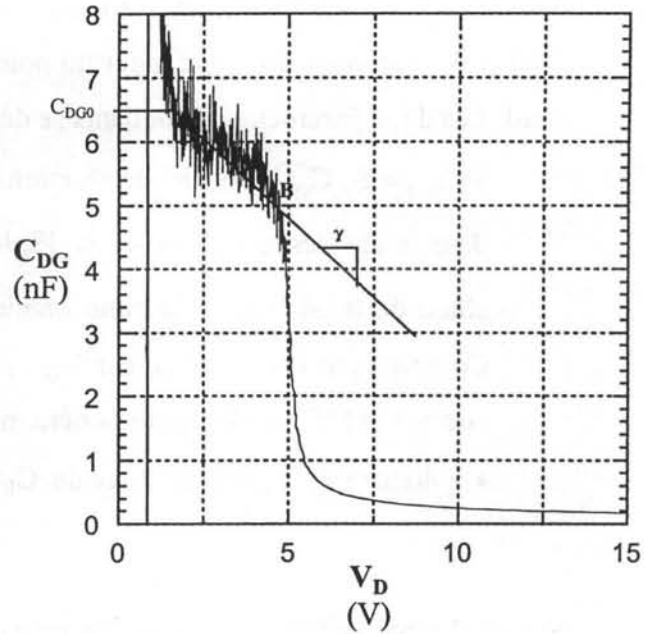


Figure 46

Détermination de la capacité de réaction à l'aide de la mesure de $C_R(V_D)$ au banc, relevée à $I_D=1A$ pour un STW15N50.

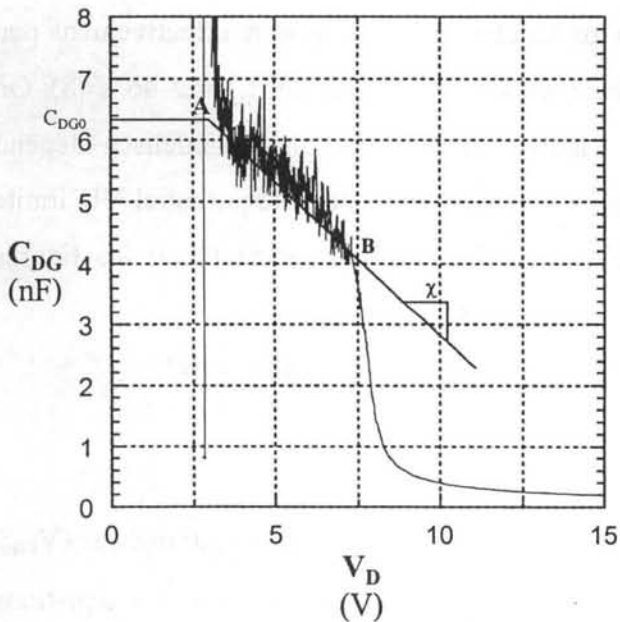


Figure 47

Détermination de la capacité de réaction à l'aide de la mesure de $C_R(V_D)$ au banc, relevée à $I_D=6A$ pour un STW15N50.

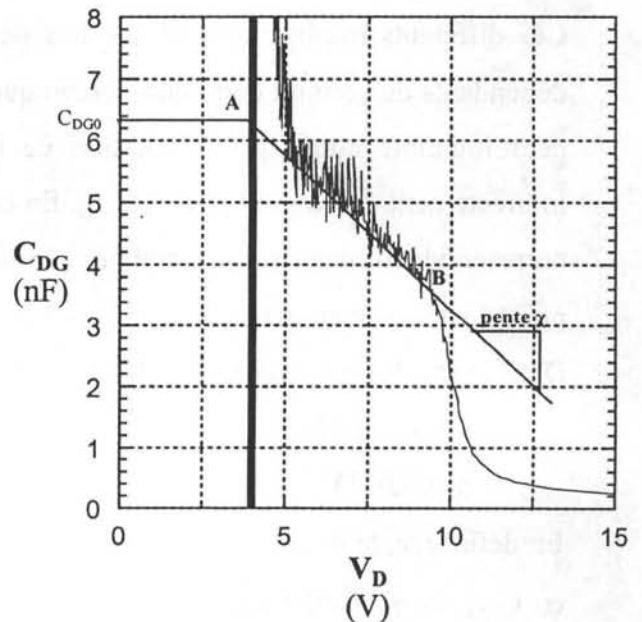


Figure 48

Détermination de la capacité de réaction à l'aide de la mesure de $C_R(V_D)$ au banc, relevée à $I_D=10A$ pour un STW15N50.

☞ Les mesures donnant $C_R = f(V_D)$ effectuées à l'aide du banc de mesure de la figure 33 permettent d'extraire les 2 autres paramètres : $C_{DG0} = S_0 C_{OX}^*$ et χ (cf §II.6.2.1). De telles mesures concernant un STW15NA50 sont données figures 46, 47 et 48 pour différents niveaux de courant commutés. La figure 45 est une mesure directe effectuée à l'aide du pont HP4194A, composant bloqué, pour un potentiel de grille légèrement inférieur à la tension de seuil. Les deux paramètres manquants se déterminent graphiquement de la façon suivante :

- $C_{DG0} = S_0 C_{OX}^*$ capacité de réaction maximale pour V_D tendant vers 0V (à $R_D I_D$ près dans le cas des tracés 46, 47 et 48, le terme supplémentaire $R_D I_D$ correspondant à la chute de tension dans la zone ohmique v non négligeable à fort niveau de courant). Compte tenu du décalage sur V_D , il est plus pratique d'utiliser la mesure effectuée à courant nul (figure 45) pour la détermination de ce paramètre.
- χ donné par la pente du tracé de $C_R(V_D)$ à $V_D < V_G - V_{FBv}$.

Sur les 3 tracés effectués au banc, on note qu'en A la capacité de réaction est maximale alors que la tension de drain n'est pas nulle. En effet, cette dernière tend en fin de commutation vers la tension de déchet $R_{DS(on)} I_D$. De même, en B l'intercellule passe de l'accumulation à la déplétion pour un potentiel de drain valant : $V_D = V_G - V_{FBv} + R_D I_D$.

Ces différents tracés montrent que nos deux paramètres C_{DG0} et χ sont effectivement peu dépendants du courant commuté pourvu que celui-ci soit significatif (cf. figures 46 à 48). On peut toutefois noter que l'évolution de la capacité de réaction ainsi modélisée dépend indirectement du courant principal I_D . En effet, V_G croît avec I_D , donc le potentiel V_D limite correspondant au passage accumulation-déplétion de l'intercellule (point B sur les figures précédentes correspondant à $V_D = V_G - V_{FBv}$) croît lui aussi.

Dans le cas de notre transistor STW15NA50, après identification nous obtenons :

$$C_{DG0} = 6,45\text{nF}$$

$$\chi = 0,075\text{V}^{-1}$$

En définitive, le modèle semi empirique proposé pour C_{DG} fait intervenir 4 paramètres (V_{FBv} , σ , C_{DG0} et χ) facilement identifiables. En faisant intervenir ces paramètres, les équations (II.12) et (II.13) deviennent :

☞ Pour $V_D < V_G - V_{FBv}$:

$$C_{DG} = C_{DG0} (1 - \chi V_D) \tag{II.35}$$

☞ Pour $V_D > V_G - V_{FBv}$:

$$C_{DG} = \frac{C_{DG0} \left[1 - 2\chi V_D + \chi(V_G - V_{FBv}) + 2\chi \sqrt{V_D} (V_D - V_G + V_{FBv}) \right]}{\sqrt{1 + \frac{4}{\sigma^2} (V_D - V_G + V_{FBv})}} \quad (\text{II.36})$$

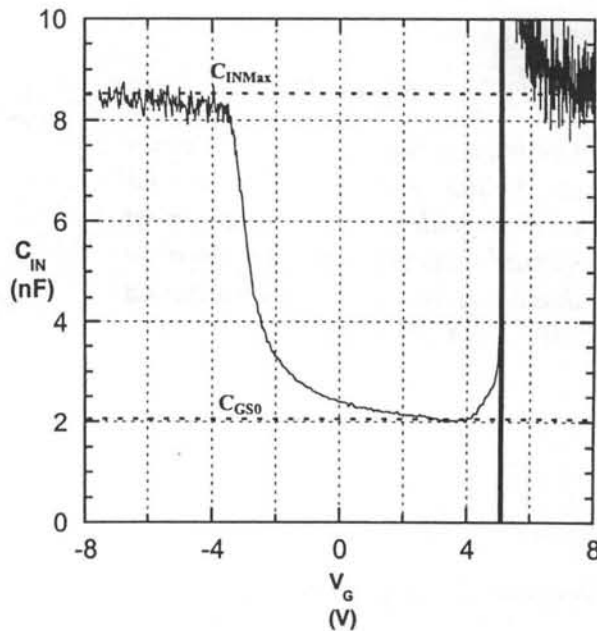
II.6.4 Extraction des paramètres pour C_{GS}

II.6.4.1 Mesure de C_{GS} lors de la montée du courant

La détermination de C_{GS} peut se faire en deux phases. La première consiste à mesurer la capacité vue de la grille avant apparition de la couche d'inversion dans la zone P porte canal, donc du courant principal I_D . Pour cela il suffit d'exploiter les relevés de $C_{IN}(V_{GS})$ effectués à l'aide du banc (voir §II.6.2.1 pour le principe de la mesure et la figure 49 pour le tracé dans le cas d'un STW15NA50). Il est important lors de cette mesure de veiller à ce que V_D soit suffisamment élevé pour que la capacité de réaction soit négligeable devant C_{GS} . La valeur minimale relevée que l'on assimilera à C_{GS0} correspond à la fin de la phase ③ de la commutation (zone de canal déplétée).

Figure 49

Tracé de $C_{IN}(V_G)$ dans le cas d'un STW15N50 dans l'essai à 10A. On relève la valeur de $C_{INMax} \approx 8,4nF$ et on note que C_{GS0} est proche de $2,1nF$. On peut remarquer que la capacité d'entrée tend vers sa valeur maximale C_{INMax} pour V_G très faible (intercellule inversée) et pour V_G très élevé (composant saturé).



La détermination de C_{GS} à fort niveau de courant est plus délicate car elle nécessite une correction sur V_G lors de la croissance du courant (phase ④ de la commutation). En effet, bien que tous ces relevés soient issus de commutations lentes, les performances des VDMOS font que la croissance du courant lors de cette phase reste suffisamment rapide pour engendrer une fem parasite aux bornes de l'inductance commune forcément présente (connexion de source entre puce et boîtier). Ceci vient perturber la mesure de V_G . La détermination de la capacité C_{GS} lors de cette phase se fera donc en plusieurs étapes :

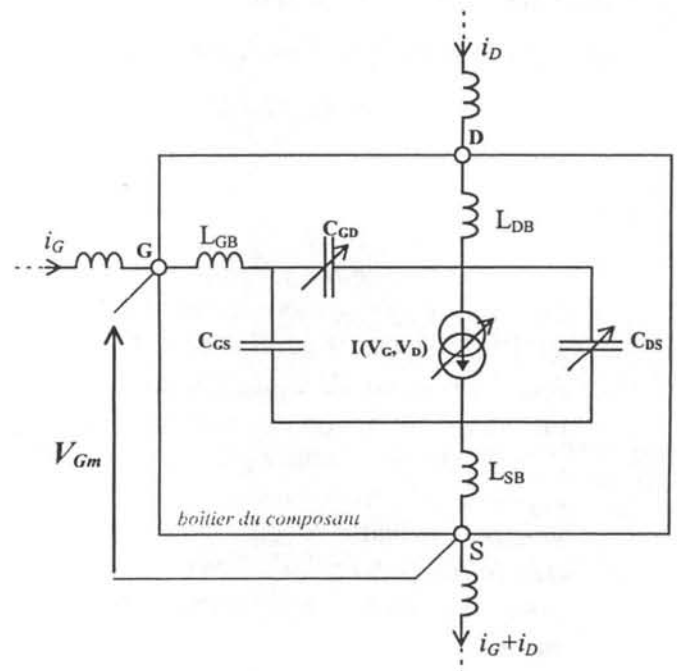
- Estimation de la fraction de l'inductance commune L_{SB} englobée lors de la mesure de V_G ,
- Correction de V_G mesuré connaissant L_{SB} ,
- Calcul de C_{GS} pour différents niveaux de courant atteints.

☞ Détermination de L_{SB} :

Si l'on se contente d'un modèle à constantes localisées pour rendre compte de l'effet inductif des interconnexions, on aboutit au schéma de la figure 50. Le potentiel de grille évolue assez lentement pour que, compte tenu de la valeur élevée de la résistance de grille, on n'ait pas à tenir compte de l'effet de L_{GB} .

Figure 50

Les inductances parasites internes au boîtier sont indiquées B. La tension grille source effectivement mesurée intègre une fem parasite due à L_{SB} bien que la commutation soit relativement lente.



On suppose le comportement statique du transistor connu et en particulier la loi $V_G(I_D)$ à fort V_D (zone de désaturation), ces mesures ayant été faites à l'aide du banc (cf. §I.5.3). Considérons un essai effectué à l'aide du banc à fort niveau de courant et choisissons un instant quelconque de la phase ④ de cette commutation (si possible un instant correspondant à une variation rapide du courant, c'est à dire plutôt en fin de phase ④). En plus de la valeur de

la tension de grille V_{Gm} mesurée à cet instant, il est possible de déterminer la valeur de V_G correspondant au niveau de courant atteint (d'après les résultats de l'étude en statique), ainsi que la variation instantanée du courant correspondant. Il est alors aisé de calculer L_{SB} :

$$L_{SB} = \frac{V_{Gm} - V_G}{\frac{d(i_D + i_G)}{dt}} \quad (II.37)$$

Dans le cas du transistor STW15NA50 on obtient $L_{SB} \cong 12nH$.

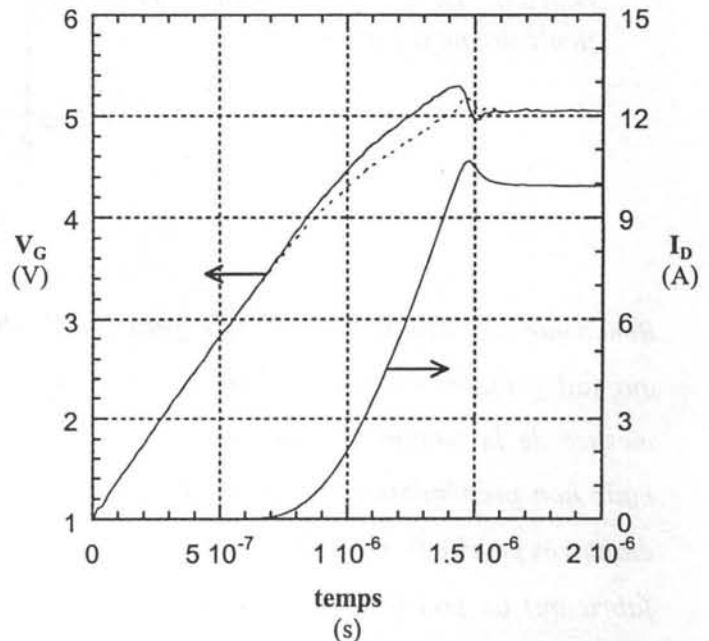
Remarque : Le nombre de couples de valeurs (V_G, I_D) relevés à l'aide du banc (cf. §I.5.3) est limité au nombre d'essais (paramétrés en I_D). Il est donc impossible de déterminer l'évolution de V_G à chaque instant à partir de la simple connaissance de l'évolution de I_D pendant la phase ④. L'étape suivante est donc indispensable.

☞ Correction de V_G mesuré :

A partir du fichier résultat enregistré (phase ④ de la commutation), on calcule l'évolution du potentiel de grille en tenant compte de la valeur de L_{SB} précédemment mesurée :

$$V_G = V_{Gm} - L_{SB} \frac{d(i_G + i_D)}{dt} \quad (II.38)$$

Figure 51
Evolution du potentiel de grille lors de la montée du courant. La correction à apporter due à la présence de L_{SB} est significative. Le courant de grille n'est pas constant mais évolue assez lentement. On peut noter la brusque augmentation de C_{GS} lorsque le composant se met à conduire.



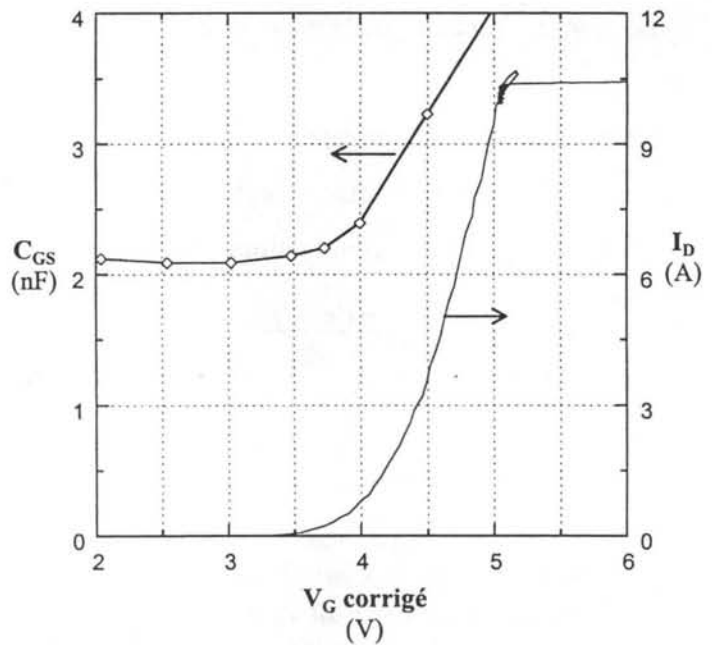
Le potentiel de grille ainsi corrigé est tracé en pointillé figure 51 dans le cas d'un STW15NA50 commutant 10A.

☞ Pendant toute cette phase ④, V_D étant très élevé, la capacité de réaction est très faible devant la capacité d'entrée et on peut assimiler C_{IN} à C_{GS} . Le calcul de l'évolution de C_{GS} se fait de la façon suivante :

$$C_{GS} = \frac{I_G}{\frac{dV_{Gm}}{dt} - L_{SB} \frac{d^2(i_G + i_D)}{dt^2}} \quad (II.39)$$

Les résultats concernant le STW15NA50 sont donnés figure 52. Ceux-ci montrent que l'évolution de C_{GS} est assez importante pour qu'il soit nécessaire d'en tenir compte dans le modèle. Dans la phase ④, on constate que C_{GS} croît à peu près linéairement avec V_G , ce qui confirme ce qui a été dit §II.4.2 et justifie l'introduction du paramètre empirique χ_G .

Figure 52
Tracé de $C_{GS}(V_G)$ pour un STW15N50 commutant 10A sous 100V.
L'évolution de C_{GS} est très nette lors de la phase de montée du courant. On observe ici un rapport 2 entre sa valeur initiale (C_{GS0}) et celle de fin de commutation en courant. Dans cet intervalle, la pente donne le paramètre χ_G .



Remarque : Le dénominateur de l'expression (II.39) a un second terme en dérivée seconde, ce qui fait pressentir des problèmes de précision de mesure. Il faut effectivement soigner la mesure de la montée du courant. Cependant, l'erreur apportée par L_{SB} étant significative mais non prépondérante dans le cas d'une commutation lente, et la valeur calculée de L_{SB} étant très proche de celle donnée par le constructeur (12nH mesuré pour 13nH proposé par le fabricant) on pourra utiliser cette dernière et s'affranchir de la première étape sans pour autant introduire une erreur importante sur la mesure de C_{GS} . Il faudra alors prendre soin de placer le point froid de la sonde de tension au plus près du boîtier du composant.

II.6.4.2 Identification des paramètres du modèle de C_{GS}

Le modèle retenu pour C_{GS} et décrit §II.4.2 est représenté par les équations (II.19) à (II.22). Il nécessite quatre paramètres (C_{GS0} , C_{DG0} , χ_G et V_{FBV}) dont deux sont déjà connus et mesurés par ailleurs (C_{DG0} et V_{FBV}). Deux paramètres restent à estimer :

☛ C_{GS0} peut être obtenu de deux façons :

- mesure directe à partir du tracé $C_{IN}(V_D)$ (voir exemple du STW15NA50 figure 49).
- Par différence en calculant : $C_{GS0} = C_{INMax} - C_{DG0}$.

On obtient dans le cas du STW15NA50 sensiblement le même résultat dans les deux cas :

$$C_{GS0} \cong 2,1nF.$$

☛ χ_G se détermine à partir d'un essai en commutation tel que celui montré figure 52. La pente du tracé de $C_{GS}(V_G)$ pour $V_G > V_T$ donne le paramètre cherché. Pour notre STW15NA50, nous obtenons :

$$\chi_G \cong 0,48V^{-1}.$$

La détermination des capacités lors de l'essai en commutation est très délicate car elle demande le calcul de dérivées temporelles de signaux mesurés plus ou moins bruités. Pour s'affranchir de ce type de problème et obtenir des résultats bien plus précis, il est plus judicieux de travailler sur la charge de grille : $Q_G = \int i_G dt$ (on prendra soin de choisir un pas de temps suffisamment fin lors de l'enregistrement des signaux). La figure 53 montre l'évolution de la charge en fonction de V_G (valeur corrigée). Si l'on note Q_0 la charge de grille correspondant à $V_G = V_T$ et Q_1 la charge atteinte pour $V_G = V_{G1}$ en fin de phase ④ de montée de courant, l'expression (II.21) permet d'écrire :

$$Q_1 - Q_0 = \int_{V_T}^{V_{G1}} C_{GS} (1 + \chi_G (V_G - V_T)) dV_G \quad (II.41)$$

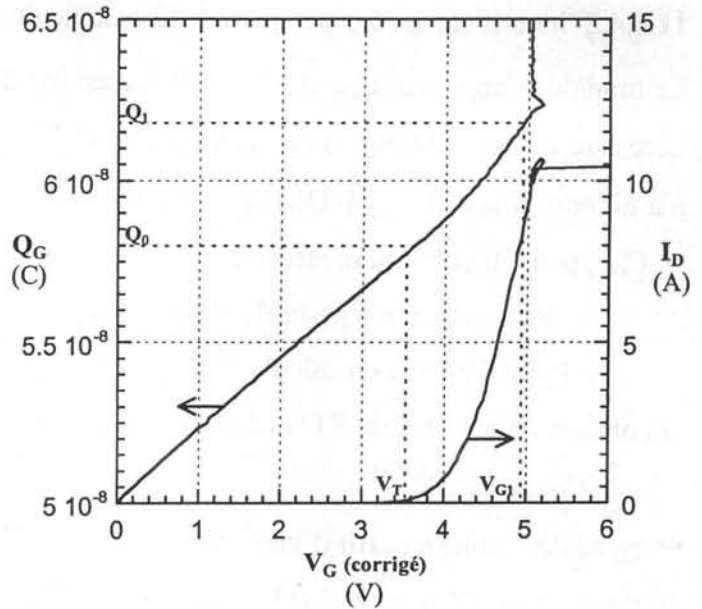
d'où l'on déduit :

$$\chi_G = \frac{2}{V_{G1} - V_T} \left(\frac{Q_1 - Q_0}{C_{GS0} (V_{G1} - V_T)} - 1 \right) \quad (II.42)$$

Figure 53

Evolution de la charge de grille Q_G lors de la phase de montée du courant pour un STW15NA50 commutant 10A.

Les valeurs de $Q_0=Q_G(V_T)$ et de $Q_1=Q_G(V_{G1})$ permettent le calcul du paramètre χ_G . Cette méthode a l'avantage d'être beaucoup moins sensible au bruit de mesure que celle nécessitant le calcul de C_{IN} .



La détermination préalable de C_{GS0} est ici nécessaire et les résultats obtenus ont une bonne précision (ceux récapitulés dans les tableaux du paragraphe suivant ont été déterminés de cette manière).

II.6.5 Comparaison des résultats obtenus pour différents composants du marché et commentaires

Le tableau suivant récapitule les résultats obtenus pour différents VDMOS du marché. Les calibres en courant sont différents et certains composants sont de conception plus récente que d'autres. Il ne s'agit donc pas de comparer leurs performances.

Pour des tenues en tension de 500V, nous obtenons :

	STW15NA50 (ST)	MTW14N50 (Motorola)	BUZ338 (Siemens)	APT5040BN (APT)	APT5024BVRX (APT)
Calibre en courant (A) <i>(Donnée constructeur)</i>	15	14	13,5	16	22
V_T (V)	3,53	3,33	2,96	3,54	3,74
V_{FBv} (V)	-0,47	-2,06	-0,49	-0,8	-0,52
C_{INMax} (nF)	8,8	4,9	11,9	5,5	11,3
C_{DG0} (nF)	6,7	2,5	9,8	4,1	8,3
χ (V ⁻¹)	0,075	0,053	0,061	0,056	0,05
C_{GS0} (nF)	2,1	2,4	2,1	1,4	3,0
χ_G (V ⁻¹)	0,48	0,16	0,42	0,57	0,60

Pour d'autres calibres en tension (100V et 800V) on obtient :

	STP45N10 (ST)	MTW45N10 (Motorola)	STW9NA80 (ST)	MTW7N80E (Motorola)
Calibre en tension (V) <i>(Donnée constructeur)</i>	100	100	800	800
Calibre en courant (A) <i>(Donnée constructeur)</i>	45	45	9	7
V_T (V)	3,2	3,6	3,4	3,81
V_{FBv} (V)	-0,39	-0,94	-0,45	-1,9
C_{INMax} (nF)	11,3	8,2	8,9	5,7
C_{DG0} (nF)	7,9	5,1	6,6	3,1
χ (V ⁻¹)	0,087	0,064	0,054	0,049
C_{GS0} (nF)	3,4	3,1	2,3	2,6
χ_G (V ⁻¹)	0,45	0,18	0,41	0,26

Commentaires sur ces paramètres relevés :

- La disparité des valeurs de capacité et des paramètres obtenus est frappante.

- Nous avons déjà vu que la tension de bande plate de la zone intercellulaire V_{FBv} est beaucoup plus élevée (en valeur absolue) sur les composants Motorola que sur les autres composants testés. Or plus cette valeur est importante, plus la capacité maximale de réaction semble être faible.

Le tableau qui suit précise certaines valeurs atteintes lors de l'essai au banc dans le cas des composants 500V commutant 10A sous 100V:

	STW15NA50 (ST)	MTW14N50 (Motorola)	BUZ338 (Siemens)	APT5040BN (APT)	APT5024BVRX (APT)
V_T (V)	3,53	3,33	2,96	3,54	3,74
V_G plateau pour $I_D=10A$ (V)	5,02	5,39	4,61	5,38	4,8
V_G-V_{FBv} (V)	5,49	7,45	5,1	6,18	5,32
C_{GS} atteinte pour $I_D=10A$ (nF)	4,1	3,2	3,5	2,8	4,9
Augmentation relative de C_{GS} correspondante	+95%	+34%	+69%	+105%	+63%

La valeur de V_G-V_{FBv} donne la limite pour laquelle V_D variera brutalement (limite accumulation-déplétion de la zone intercellulaire). Donc plus cette limite sera élevée (cas par exemple des transistors Motorola) et plus la phase de décroissance lente de V_D (phase © figure 24) sera longue. Cette valeur aura donc son importance dans la détermination des pertes comme celle de C_{DG0} . En ce qui concerne C_{GS} , on notera l'importance de sa variation lors de la commutation en courant, sa valeur pouvant couramment doubler.

II.7 CONCLUSION

Dans ce chapitre, après avoir qualitativement présenté les phénomènes physiques apparaissant dans les VDMOS lors d'une commutation, nous avons tenté de localiser les charges le long de la grille du composant et dans le volume du semiconducteur. De nombreux essais effectués sur des composants du commerce corroborent l'hypothèse d'un canal se prolongeant le long de l'interface dans la zone intercellulaire. Une étude physique plus fine des phénomènes par utilisation de simulateurs 3D n'a cependant pas été retenue dans notre étude car, simples utilisateurs, nous n'avons pu disposer que de composants du commerce dont les paramètres physiques et géométriques nous étaient inconnus. Néanmoins, cette étude qualitative permet de proposer un modèle fidèle aux mesures effectuées sur nos composants en situation et conforme aux phénomènes physiques mis en jeu dans le semiconducteur.

Il reste bien entendu à valider ce modèle, ce que nous nous proposons de faire dans le troisième et dernier chapitre de ce travail à l'aide du logiciel PSPICE.

<p>CHAPITRE III IMPLANTATION DU MODELE DANS PSPICE</p>

III.1. INTRODUCTION	99
III.2. MISE EN OEUVRE DU MODELE DANS PSPICE	101
III.2.1. L'outil PSpice	101
III.2.1.1. Généralités	101
III.2.1.2. Modélisation de la diode dans PSpice	102
III.2.1.3. Modèles de TMOS dans PSpice	103
III.2.2. Macro-modèle de VDMOS	104
III.2.2.1. Description du modèle de niveau 3 dans PSpice	105
III.2.2.2. Macro-modèle complet	106
III.2.3. Implantation du nouveau modèle proposé dans Pspice	108
III.2.3.1. Description générale	108
III.2.3.2. Capacités non linéaires	109
III.2.3.3. Validation du modèle	111
III.3. CONFRONTATION DES DIFFERENTS MODELES DECRITS	117
III.3.1. Cas du BUZ338 de chez SIEMENS	117
III.3.2. Cas de transistors MOTOROLA	122
III.4. CONCLUSION	126

III IMPLANTATION DU MODELE DANS PSPICE

III.1 INTRODUCTION

Le premier chapitre de ce rapport a montré qu'il est possible de décrire le comportement statique du VDMOS dans les deux régions qui nous préoccupent. Dans la zone désaturée (i.e. à fort V_D) nous avons suggéré une loi empirique faisant intervenir trois paramètres K_{PD} , V_{TD} et M , alors qu'en saturation nous avons retenu un modèle de type résistif composé d'une résistance série R_D (englobant la résistance de la zone v supposée constante à très faible V_D , l'effet éventuel de réduction de mobilité des porteurs dans le canal d'inversion caractérisé par le paramètre θ et les diverses résistances de contact et d'accès) en série avec la résistance de canal, beaucoup plus faible, dépendant de la tension de grille et décrite par la loi (I.11) faisant intervenir le paramètre K_p .

L'objet du second chapitre a été de proposer un modèle précis des capacités C_{DG} et C_{GS} , celles-ci étant essentielles pour prédire l'évolution des grandeurs électriques observables lors d'une commutation. Le modèle fin de ces deux capacités nous a conduit à définir 6 paramètres supplémentaires ($2 \Phi_{Fiv}$, V_{FBv} , C_{DG0} , χ , C_{GS0} et χ_G) auxquels il faut ajouter les paramètres de la diode de structure complétant le modèle pour C_{DS} ainsi que les inductances parasites de boîtiers.

Il convient maintenant de valider ce modèle à l'aide d'un simulateur électrique, ce que l'on se propose de faire dans ce troisième chapitre.

Pour des raisons de disponibilité et d'universalité, le choix du simulateur retenu a été Pspice [MIC]. L'implantation d'un tel modèle dans PSpice a été possible grâce aux améliorations apportées sur les dernières versions de ce logiciel, celui-ci permettant aujourd'hui une grande souplesse dans la description des modèles. Il est en effet possible de décrire ceux-ci à l'aide de blocs fonctionnels dans lesquels tout type d'équation liant les grandeurs d'entrée à la sortie est envisageable.

La validation du modèle consistera à simuler les commutations dans les mêmes conditions que celles effectuées à l'aide du banc de mesure décrit figure 32, c'est à dire pour des commutations lentes. Ces mesures permettront de vérifier la précision du modèle du VDMOS indépendamment du problème du recouvrement de la diode de roue libre.

L'objectif étant de montrer la validité du modèle dans des conditions d'utilisation plus proches des réalités industrielles, il conviendra de soigner les mesures des diverses

inductances parasites du montage (particulièrement de L_S et L_M). De plus, ne possédant pas de modèle fiable décrivant le comportement des diodes de puissance fonctionnant en commutation (phénomène de recouvrement des charges), pour ces essais nous choisiront d'utiliser dans notre cellule de commutation une diode Schottky comme diode de roue libre (voir figures 23 et 32).

III.2 MISE EN OEUVRE DU MODELE DANS PSPICE

III.2.1 L'outil PSpice

III.2.1.1 Généralités

Le choix de l'outil de simulation s'est porté sur PSpice pour des raisons de disponibilité dans le laboratoire. Il n'existe aucune contrainte forte imposant ce choix, et bien d'autres simulateurs auraient pu être utilisés.

PSpice est une des nombreuses versions commerciales dérivant du simulateur de circuits Spice2G6 développé à l'université de Berkeley dans les années 70 et tombé aujourd'hui dans le domaine public. Il contient des outils assez généraux pour être utilisé dans de nombreux domaines du génie électrique. De nombreux modèles de composants semi-conducteurs et en particulier de transistors MOS y sont proposés (pour certains des modèles très sophistiqués faisant intervenir les paramètres issus du processus de fabrication) [ANT2]. Mais comme son nom l'indique (PSpice pour « Simulation Program with Integrated Circuit Emphasis », soit « programme de simulation orienté vers les circuits intégrés »), ce programme a été développé pour la micro-électronique et évolué (ainsi que la multitude de modèles toujours plus précis proposés) principalement dans ce sens.

Il n'existe donc pas dans PSpice de modèle spécifique du VDMOS. Il faut donc construire celui-ci à l'aide des outils généraux disponibles (sources liées, capacités constantes ou variables, TMOS, diodes, etc...) [MAI]. Heureusement, les dernières versions de PSpice permettent une description des modèles sous forme de schéma-bloc (modules « ABM ») dans lesquels il est possible d'entrer tout type d'équation liant grandeurs d'entrées et de sortie [MIC], [RIV]. Ces outils vont nous permettre d'implanter facilement notre modèle de VDMOS dans le simulateur et en particulier de décrire nos capacités non linéaires comme nous le verrons plus loin.

Les modèles de VDMOS proposés dans la littérature utilisent souvent les mêmes équations que celles proposées dans le simulateur pour des TMOS latéraux sans prendre en compte les particularités des composants de puissance (liée à leurs géométries particulières, cf. chapitre I) [SHEN1] et ce que cela implique sur leur comportement statique. Un des modèles les plus abouti (bon compromis simplicité précision) est celui proposé par le LAAS et MOTOROLA [MAI], [DJE], [BEY]. Il utilise en plus d'éléments discrets, les modèles intégrés de la diode et du TMOS (celui de « niveau 3 ») que nous nous proposons d'explicitier par la suite.

III.2.1.2 Modélisation de la diode dans PSpice

Le comportement statique des diodes est décrit dans PSpice par l'équation de Shockley [ANT2], [TUI]:

$$I_D = I_S \left[\exp\left(\frac{V_D}{N U_T}\right) - 1 \right] \quad (\text{III.1})$$

où V_D tension directe appliquée aux bornes de la diode,
 N coefficient d'idéalité,
 U_T potentiel thermodynamique,
 I_S courant inverse de saturation.

Les effets de courant forts sont modélisés grossièrement par ajout d'une résistance série R_S destinée à combiner l'effet de la résistance de volume et l'effet d'injection à fort niveau.

Dans les jonctions réelles, le bilan de génération-recombinaison des paires électron-trou dans la zone de transition donne un courant supplémentaire non négligeable :

$$I_{\text{REC}} = I_{\text{SR}} \left[\exp\left(\frac{V_D}{NR U_T}\right) - 1 \right] \quad (\text{III.2})$$

D'où un courant direct total :

$$I_F = I_D + I_{\text{REC}} \quad (\text{III.3})$$

Remarque : contrairement au cas du germanium, dans le cas du silicium I_S est faible devant I_{SR} .

I_S est habituellement trop faible pour modéliser le comportement en inverse. Pour pallier cet inconvénient, une conductance minimale G_{MIN} est branchée en parallèle avec la source de courant principale de la jonction.

Un modèle simplifié peut rendre compte d'un courant inverse d'avalanche par l'intermédiaire de trois paramètres : IBV , BV et $NBVV$. Celui-ci vaut :

$$I_{\text{REV}} = IBV \exp\left(-\frac{V_D + BV}{NBVV U_T}\right) \quad (\text{III.4})$$

Les effets capacitifs sont modélisés par un condensateur branché en parallèle sur la source de courant du modèle statique et dont la valeur dépend de la tension à ses bornes. En polarisation inverse, l'hypothèse d'une jonction abrupte ou linéaire et d'une zone de charges d'espace

dépeuplée de porteurs libres conduit au modèle simplifié de la capacité de transition (ou capacité de jonction) :

$$C_T = \frac{CJO}{\left(1 - \frac{V_D}{VJ}\right)^M} \quad (III.5)$$

avec **CJO** : capacité de transition à polarisation nulle,

VJ : potentiel de contact (Φ_F),

M : coefficient de dopage variant généralement entre 0,5 (jonction abrupte) et 0,33 (jonction dopée linéairement).

Pour une jonction réelle polarisée en direct, la capacité ne devient pas infinie lorsque V_D tend vers **VJ**. C'est pourquoi PSpice propose, au-delà d'une fraction de **VJ**, d'assimiler l'expression de C_T à sa tangente en ce point, ce qui conduit à l'expression suivante :

$$C_T(V_D) = CT0 (1 - FC)^{-(1+M)} \left[1 - FC (1 + M) + M \frac{V_D}{VJ} \right] \quad (III.6)$$

En polarisation directe, la capacité de diffusion est prépondérante. Dépendant du courant direct, elle est modélisée par le temps de transit **TT** nécessaire aux porteurs de charges pour traverser la région de diffusion de la jonction.

Les charges stockées valent :

$$Q_S = I_D TT \quad (III.7)$$

d'où la capacité de diffusion :

$$C_D = \frac{\partial Q_S}{\partial V_D} = TT \frac{I_S}{N U_T} \exp\left(\frac{V_D}{N U_T}\right) \quad (III.8)$$

Le temps de déstockage t_π est spécifié comme étant le temps nécessaire à évacuer la majeure partie des charges initialement stockées (typiquement 10%).

On montre que :

$$TT = \frac{t_\pi}{\ln\left(\frac{I_F - I_R}{-I_R}\right)} \quad (III.9)$$

III.2.1.3 Modèles de TMOS dans PSpice

Les quatre principaux modèles de transistors MOS proposés par PSpice sont les suivants [ANT2]:

Niveau 1 : Modèle de base utilisant les équations classiques rappelées en I.2.2 des TMOS latéraux (8 paramètres pour I_D).

Niveau 2 : Modèle utilisant les paramètres de fabrication et la géométrie du transistor (23 paramètres pour I_D).

Niveau 3 : Modèle semi-empirique basé sur les relevés expérimentaux des caractéristiques du transistor (21 paramètres pour I_D).

Niveau 4 ou modèle BSIM (« Berkeley Short-channel IGFET Model ») utilisé en micro-électronique pour les transistors à canaux ultracourts (67 paramètres pour I_D).

Remarque : Tous les paramètres ne sont pas indépendants. Certains paramètres électriques s'expriment en fonction de paramètres physiques. Si par exemple tous les paramètres physiques sont donnés, les paramètres électriques correspondants sont calculés. Suivant les paramètres introduits, PSpice utilisera les équations issues du modèle correspondant. Le modèle adopté peut donc utiliser une combinaison des équations des quatre niveaux précédemment mentionnés, certains paramètres électriques ou géométriques pouvant être mesuré, d'autres connus...

La description détaillée de ces différents modèles n'a pas d'intérêt ici (si ce n'est quelques détails concernant la source de courant du modèle de niveau 3 que nous donnerons plus loin), car ils ne sont pas directement utilisables pour les VDMOS. De plus, de nombreux ouvrages proposent des descriptions très complètes de ce logiciel.

Les VDMOS ayant des géométries et des comportements assez différents des TMOS latéraux, les modèles proposés dans la littérature utilisent souvent la source de courant d'un des modèles de base en inhibant les paramètres liés aux capacités. L'ajout de trois capacités interélectrodes externes au TMOS (cf. figure 23) et de résistances (résistances d'accès et de zone v, résistance de grille) complète ensuite la description du macro-modèle. Celui proposé par le LAAS en est un exemple.

III.2.2 Macro-modèle du VDMOS

Différents constructeurs, dont MOTOROLA et SIEMENS, proposent des modèles dont la topologie est proche de celle du LAAS décrite en détail ci-après [MAI].

Ce modèle utilise le générateur de courant du modèle de niveau 3 de la bibliothèque de PSpice autour duquel sont ramenés des éléments permettant la description du comportement dynamique.

III.2.2.1 Description du modèle de niveau 3 dans PSpice

Pour celui-ci, le courant principal I_D en régime saturé vaut [TUI], [ANT2]:

$$I_D = \mu_{\text{eff}} \frac{W}{L} C_{\text{OX}} \left[(V_G - V_T) V_D - (1 + F_B) \frac{V_D^2}{2} \right] \quad (\text{III.10})$$

avec μ_{eff} mobilité effective des porteurs libre du canal inversé

L longueur de canal

W largeur de canal

F_B coefficient rendant compte de l'effet des petites dimensions du canal sur le modèle (supposé nul dans le macro-modèle proposé).

Le régime de désaturation correspondant au pincement à l'extrémité du canal est atteint pour :

$$V_{\text{Dsat}} = V_G - V_{\text{FB}} - 2 \phi_{\text{Fi}} + \gamma \left[1 - \sqrt{1 + \frac{2}{\gamma^2} (V_G - V_{\text{FB}})} \right] \quad (\text{III.11})$$

Le courant correspondant (indépendant de V_D) est donné par l'expression (III.10) dans laquelle V_D vaut V_{Dsat} .

Dans le macro-modèle proposé, le paramètre γ sera lui aussi considéré nul, ce qui nous ramène aux expressions simplifiées bien connues pour lesquelles le pincement du canal a lieu pour $V_{\text{Dsat}} = V_G - V_T$. On retrouve alors la forme quadratique du courant (voir équation I.22) en régime désaturé.

L'utilisation du modèle de niveau 3 plutôt que celui de niveau 1 est justifiée par la nécessité de prendre en compte d'une part la dépendance de la mobilité en surface de la couche inversée vis à vis du champ électrique transversal :

$$\mu_s = \frac{\mu_0}{1 + \theta (V_G - V_T)} \quad (\text{III.12})$$

Ainsi que le champ critique longitudinal et la vitesse limite des porteurs dans le canal :

$$\mu_{\text{eff}} = \frac{\mu_s}{1 + \frac{\mu_s V_D}{v_{\text{max}} L_{\text{eff}}}} \quad (\text{III.13})$$

Dans ces expressions nous avons $v_{\max} = \mu_0 E_C$ vitesse limite des porteurs dans le canal, les autres grandeurs étant déjà définies §I.2.2.5. θ étant faible et v_{\max} élevé, on peut noter l'équivalence des expressions (III.12) et (III.13) avec (I.23).

Dans les MOS à canaux courts, la tension de pincement est fixée par la vitesse limite des porteurs dans le canal. Si v_{\max} n'est pas donnée, le pincement est alors déterminé par la modulation de largeur du canal. Sa prise en compte est donc importante.

Les paramètres retenus pour la source de courant décrite par le modèle de niveau 3 sont donc au nombre de cinq :

V_T tension de seuil,

K_P facteur de pente

v_{\max} vitesse limite des porteurs dans le canal inversé,

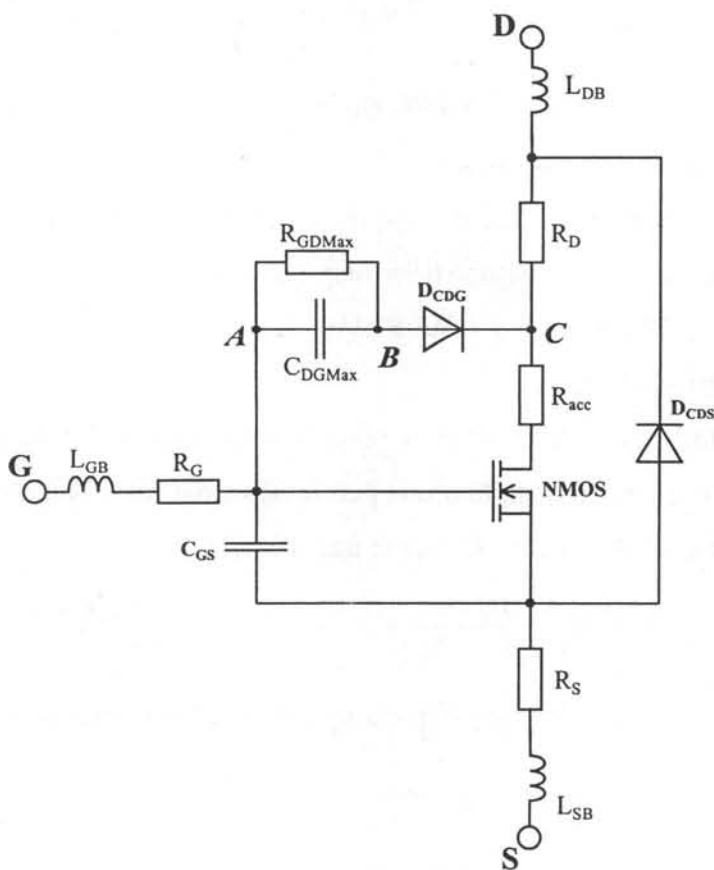
θ coefficient d'atténuation de la mobilité dû au champ électrique transversal,

R_D comprenant la résistance d'accès au canal et la résistance de la zone v (non dissociables par la mesure).

III.2.2.2 Macro-modèle complet

Figure 54

Topologie des modèles de VDMOS proposés par le LAAS inspirant les modèles et paramètres proposés par certains constructeurs dont MOTOROLA et SIEMENS. La capacité C_{DG} est ici modélisée par une capacité de jonction (D_{CDG}) placée en série avec une capacité fixe due à l'oxyde ($C_{DGM_{ax}}$), ce qui nécessite l'initialisation préalable du noeud B avant chaque simulation.



Le modèle proposé ici dit « à contrôle de charge » est adapté à l'étude des commutations. Il traduit les principaux phénomènes physiques observables dans une structure verticale en simplifiant la formulation des éléments linéaires essentiels (générateur de courant, capacités...) et en négligeant les éléments dont les effets sont du second ordre.

La topologie du modèle est représentée figure 54. Chacun des éléments apparaissant dans ce modèle est localisable dans une cellule en coupe (voir figures 19 et 29) et sont :

☞ pour les paramètres statiques :

- le générateur de courant du NMOS (modèle de niveau 3) traduisant le comportement statique du VDMOS (hors résistance série) et faisant intervenir quatre paramètres (K_p , V_T , v_{max} et θ),
- les résistances d'accès R_{acc} et de volume R_D (déjà mentionnées §I.4),
- éventuellement les résistances de contact de source, drain et d'accès à la grille (voir annexe 2 : modèles PSpice proposés par MOTOROLA et SIEMENS).

☞ pour les paramètres dynamiques :

- la capacité entre grille et source (C_{GS}) supposée constante,
- la capacité entre drain et grille (C_{DG}) formée par la mise en série d'une capacité fixe liée à l'oxyde de grille ($C_{DGM_{max}}$) et d'une capacité de transition de jonction PN liée à la déplétion de la zone v sous l'intercellule,
- les inductances de connexions de la puce au boîtier (L_{SB} , L_{DB} et L_{GB}).

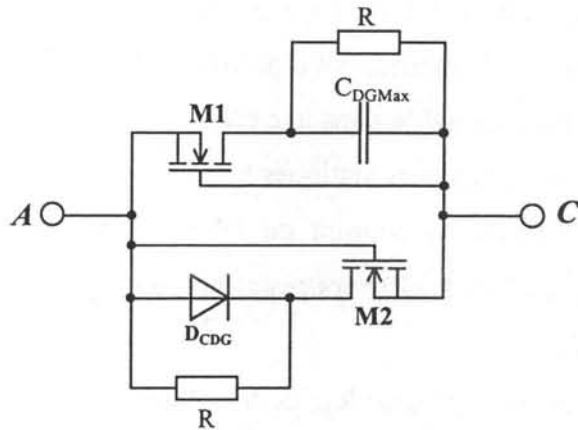
C_{DG} étant obtenue par la mise en série de deux capacités, l'une étant constante et l'autre non linéaire, la détermination du potentiel initial du noeud B (cf figure 54) est nécessaire avant chaque simulation. Ce noeud étant flottant, il est en plus nécessaire, pour des problèmes liés au simulateur, de compléter le modèle par l'adjonction d'une résistance de forte valeur ($R_{GDM_{max}}$).

Une autre solution proposée pour C_{DG} est un « modèle à interrupteurs ». Celui-ci repose sur l'hypothèse d'une capacité C_{DG} maximale et constante, de valeur $C_{DGM_{max}}$ lorsque $V_G > V_D$ (accumulation de la zone intercellulaire) et assimilable à une simple capacité de jonction inverse (D_{CGD}) lorsque $V_G < V_D$. Il faut alors prendre soins de donner des valeurs convenables aux paramètres de la diode D_{CGD} de sorte que la capacité de celle-ci vaille $C_{DGM_{max}}$ pour une tension nulle à ses bornes (correspondant à $V_G \cong V_D$ à la tension de Bande plate V_{FBV} près). Ceci conduit à la topologie de la figure 55 pour la description de notre capacité de réaction

(branche AC de la figure 54), les TMOS M1 et M2 étant assimilables à des interrupteurs parfaits (facteurs de pente élevés et tensions de seuil nulles).

Figure 55

Cas du modèle à interrupteurs pour la modélisation de C_{DG} . Pour ce modèle il suffit de remplacer la branche AC du schéma de la figure 54 par la branche ci-contre. Les TMOS M1 et M2 sont assimilables à des interrupteurs parfaits. Les résistances R sont de fortes valeurs ($10M\Omega$ peuvent convenir).



Nous verrons plus loin des résultats de simulation obtenus pour des modèles et des paramètres fournis par deux constructeurs : MOTOROLA proposant des « modèles à initialisation », SIEMENS proposant des « modèles à interrupteurs » (ou plutôt une sorte de combinaison des deux modèles présentés plus haut).

Les fichiers source de description des ces différents modèles utilisables dans PSpice sont donnés en annexe 2.

III.2.3 Implantation du nouveau modèle proposé dans PSpice

Le modèle proposé et implanté dans PSpice utilisant les résultats des deux premiers chapitres est assez différent de celui qui vient d'être décrit.

III.2.3.1 Description générale

Le comportement statique n'est plus décrit par un modèle interne au simulateur comme dans le cas précédant mais par les expressions simplifiées établies chapitre I : (I.31) pour ce qui concerne le régime désaturé et (I.38) pour le régime saturé (le paramètre ΔVT pouvant être omis comme cela a déjà été dit, ce qui nous laisse en tout cinq paramètres : K_P , V_T , K_{PD} , M et R_D). L'implantation de ce modèle dans PSpice ne pose aucun problème sur les versions récentes de ce logiciel, ces dernières ayant intégré la possibilité de décrire tout problème sous forme de schéma-bloc, ce qui permet d'intégrer toute expression analytique pour préciser la

dépendance d'une grandeur vis à vis d'une ou de plusieurs autres (utilisation des modules « ABM » dans le logiciel).

Le comportement dynamique est décrit par le schéma classique des trois capacités interélectrodes (cf. figure 23), à la différence ici par rapport au schéma habituel que toutes sont supposées non linéaires. On reste cependant proche du macro-modèle déjà présenté, si ce n'est que d'une part la capacité de réaction n'est pas supposée constante lorsque $V_D < V_G$ i.e. que la zone intercellulaire est accumulée (paramètre χ rendant compte de la variation de celle-ci vis à vis du potentiel de grille et donc du courant principal), et d'autre part la capacité C_{GS} est elle aussi supposée dépendante de V_{GS} (par l'intermédiaire du paramètre χ_G du modèle proposé). Ce dernier point est le gage d'une bonne précision du modèle dans la phase de croissance du courant. En définitive, nous avons donc six paramètres supplémentaires pour rendre compte des effets capacitifs : $2 \Phi_{Fiv}$, V_{FBv} , C_{DG0} , χ , C_{GS0} et χ_G .

Il faudra bien entendu compléter ce nouveau macro-modèle par l'adjonction des trois inductances de boîtier : L_{GB} , L_{SB} et L_{DB} qui auront leur influence lors des variations rapides du courant commuté, et éventuellement par une résistance d'accès à la grille ou de contact de source.

III.2.3.2 Capacités non linéaires

Les capacités non linéaires sont intégrées dans PSpice sous forme de schéma-bloc dont le principe est décrit figure 56.

Le simulateur calcule alors à chaque pas de temps la valeur v_{12} correspondant au courant d'entrée i_{12} , soit macroscopiquement :

$$v_{12} = \int \frac{i_{12}}{C(v_1, v_2)} dt \quad (\text{III.14})$$

Les capacités C_{GS} et C_{DG} sont toutes deux modélisées ainsi, ce qui donne :

$$\begin{aligned} \Rightarrow \text{Pour } C_{GS} : \quad & V_1 = V_G, \\ & V_2 = V_S, \\ & V_3 = V_D, \end{aligned}$$

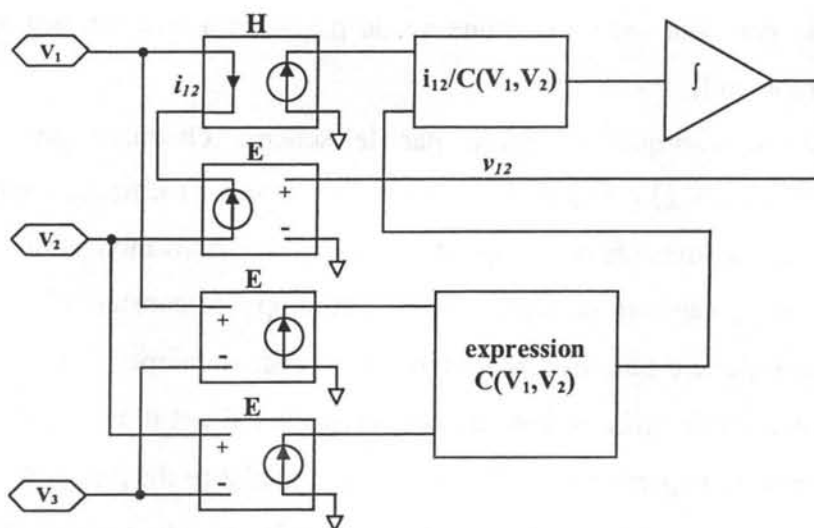


Figure 56

Modélisations des capacités non linéaires sous Pspice.

H est une source de tension commandée par un courant de gain unitaire.

E est une source de tension commandée par une tension de gain unitaire.

La valeur de cette capacité est donnée par l'expression $C(V_1, V_2)$ dans notre cas puisque les capacités C_{GS} et C_{DG} que l'on cherche à modéliser dépendent chacune de deux potentiels indépendants.

et l'expression de la capacité C (issue du chapitre II et des expressions II.19 à II.21) est :

$$C_{GS} = C_{GS0} (1 + \chi_G \max[0; V_G - V_S - V_T]) + C_{DG0} \min[0; V_G - V_S - V_{Tv}] \quad (\text{III.15})$$

où V_{Tv} issu de l'expression (II.17) vaut :

$$V_{FBv} = V_{FBv} - \phi_{Fiv} - \sigma \sqrt{V_D - V_S + \phi_{Fiv}} \quad (\text{III.16})$$

☛ Pour C_{DG} :

$$\begin{aligned} V_1 &= V_D, \\ V_2 &= V_G, \\ V_3 &= V_S, \end{aligned}$$

et l'expression de la capacité C (issue du chapitre II et correspondant aux expressions II.12 et II.13) se résume à :

$$C_{DG} = \frac{C_{DG0} \left(1 - 2\chi (V_D - V_S) + \chi \min[(V_D - V_S); V_G - V_S - V_{FBv}] + 2\chi \sqrt{V_D - V_S} \max[0; V_D - V_G + V_{FBv}] \right)}{\sqrt{1 + \frac{4}{\sigma^2} \max[0; V_D - V_G + V_{FBv}]}} \quad (\text{III.17})$$

III.2.3.3 Validation du modèle

Les mesures qui suivent sont effectuées de la façon suivante. Le dispositif testé est placé dans une cellule de commutation comme celle décrite figure 24, la diode de roue libre étant une diode Schottky de puissance dont le modèle PSpice utilisé est celui donné en annexe 2 (MBR10100 de chez MOTOROLA). Les commutations effectuées sont volontairement lentes (résistance de grille de 1500Ω) de façon à limiter l'effet des inductances parasites de boîtier. Le type de diode de roue libre retenu (diode Schottky) évite d'avoir à se préoccuper du problème de recouvrement de la diode.

Les figures 57, 58 et 59 concernent un transistor de chez ST (STW15NA50). La figure 57 donne le détail de la mise en conduction du transistor (grandeurs commutées 9A sous 85V) ; les tracés en traits pleins correspondent à la mesure alors que ceux en traits pointillés concernent la simulation. La figure 58 correspond au même essai que le précédent dans le cas du blocage (10A commutés sous 85V). Dans les deux cas on constate une très bonne correspondance entre les grandeurs mesurés et celles simulées. La figure 59 montre que, pour ce même transistor, les résultats restent satisfaisants pour d'autres conditions d'essai (courant commuté de 2A sous 60V).

Les figures 60 et 61 complètent ces premières mesures en montrant les résultats obtenus pour différents transistors. La figure 60 concerne un MTW45N10 de chez MOTOROLA, composant de calibres en courant et en tension très différents du précédent (voir annexe 1). La figure 61 concerne un APT5040BN de chez Advanced Power Technology dont la géométrie des cellules « en doigt » est particulière. Dans tous les cas nous constatons une bonne adéquation entre modèle et simulation.

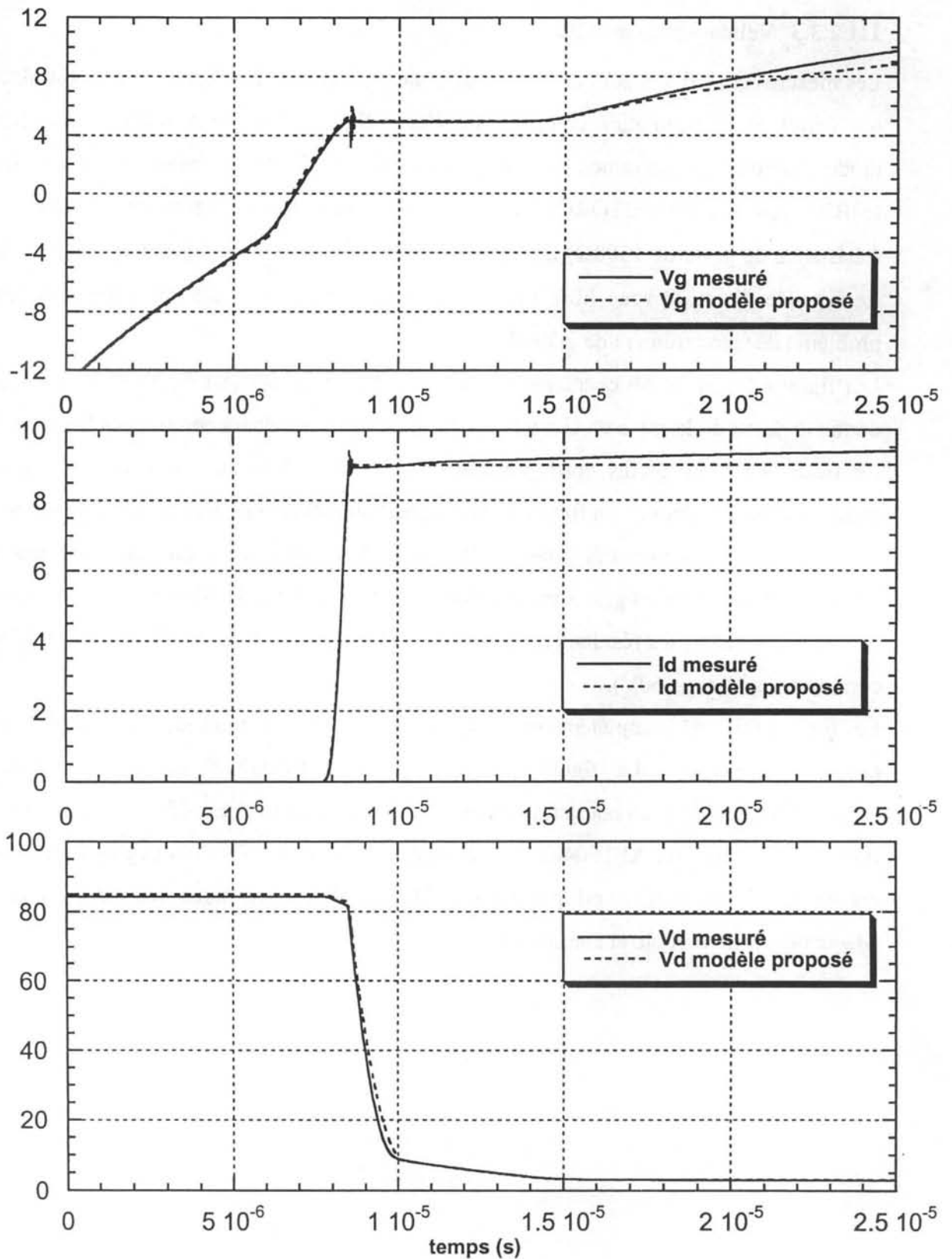
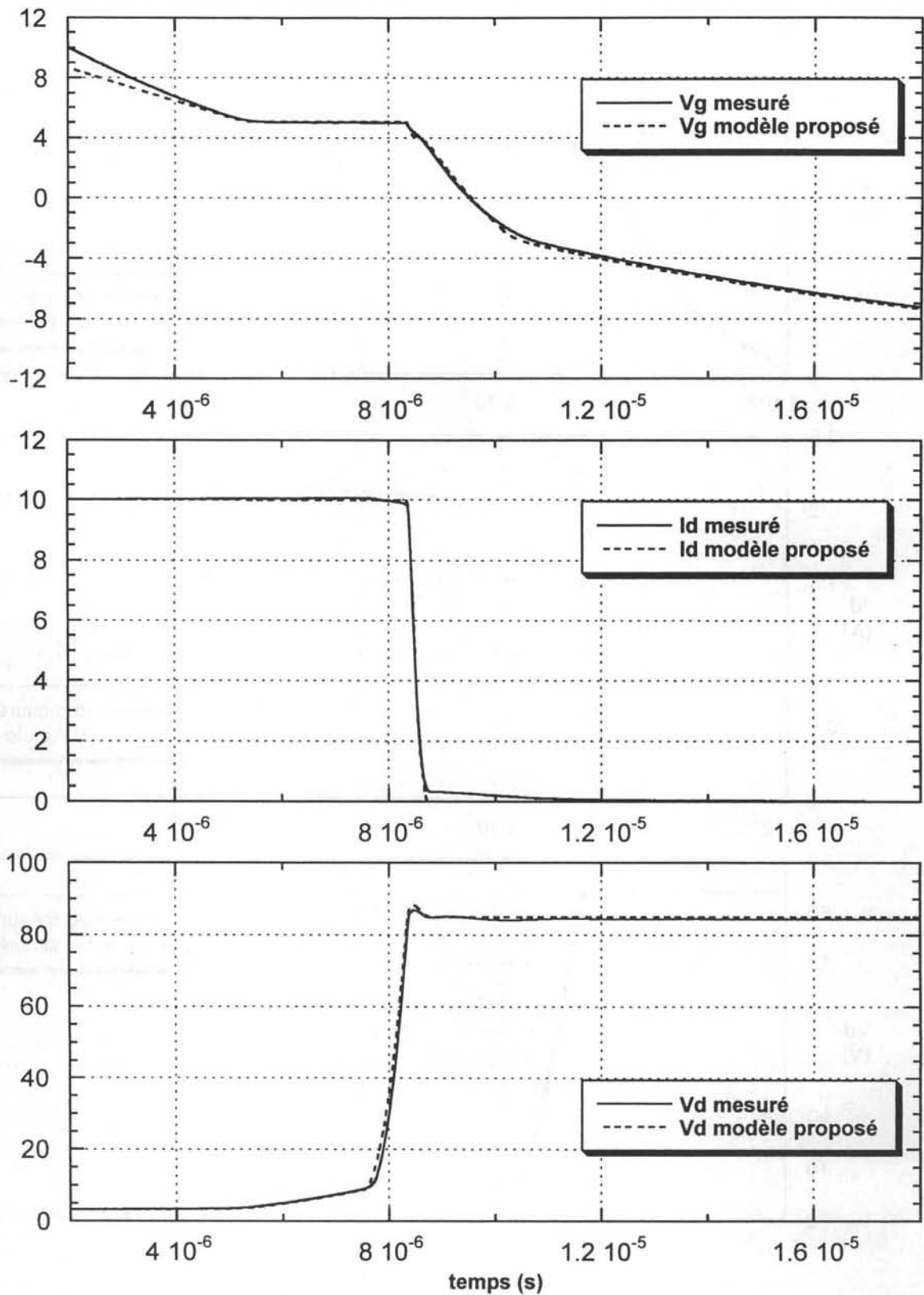


Figure 57

Comparaison entre les mesures effectuées sur un STW15NA50 commutant 9A sous 85V et les résultats de simulation dans le cas de notre modèle dans les mêmes conditions de fonctionnement. Ces commutations sont lentes car le courant de grille est faible ($R_G=1,5k\Omega$). On constate une très bonne concordance entre simulation et mesure.



temps (s)

Figure 58

Comparaison entre les mesures effectuées sur un STW15NA50 commutant 10A sous 85V et les résultats de simulation dans le cas de notre modèle dans les mêmes conditions de fonctionnement. Cas du blocage du transistor. On constate toujours une parfaite concordance entre mesure et simulation.

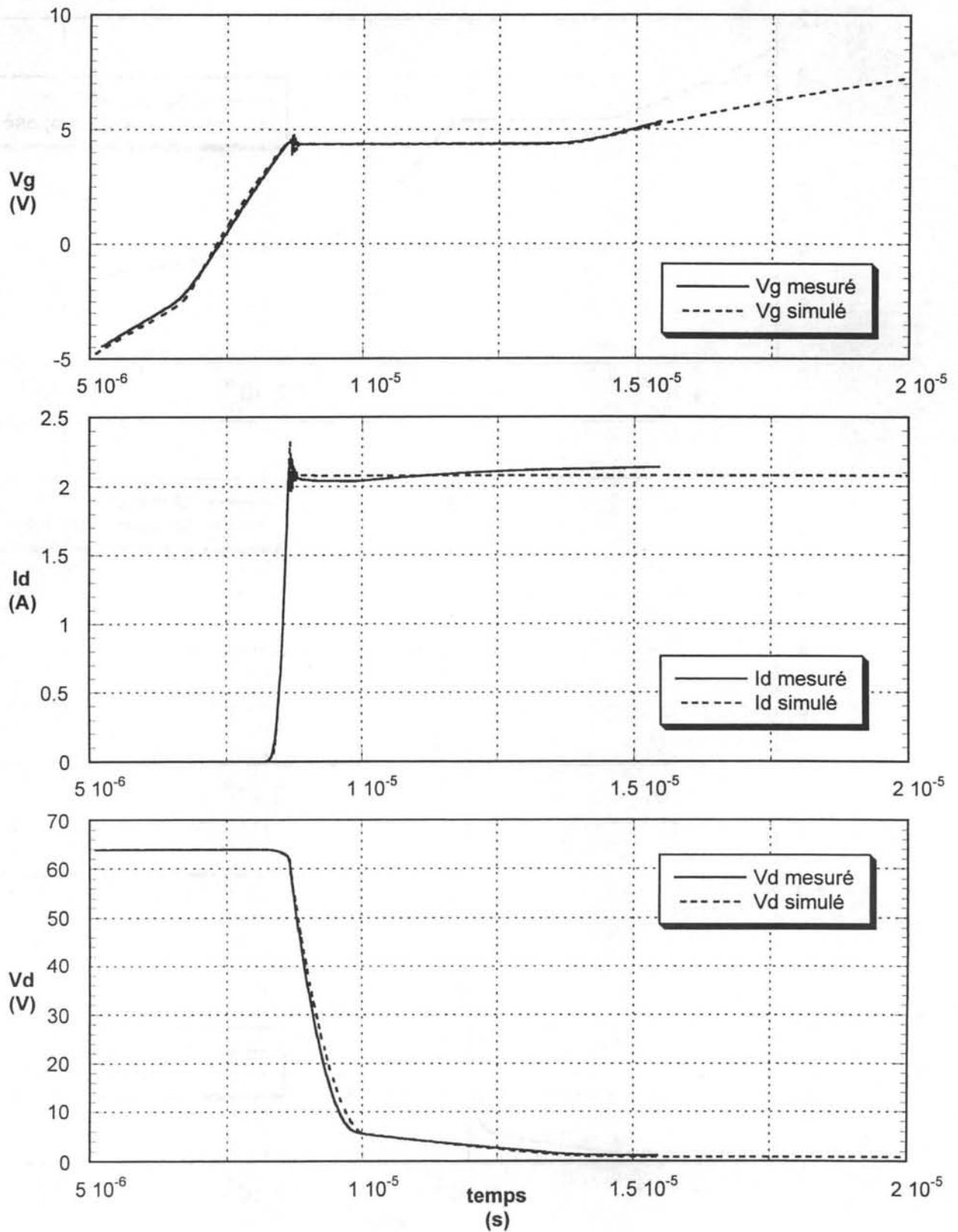


Figure 59

Comparaison entre les mesures effectuées sur un STW15NA50 commutant 2A sous 65V et les résultats de simulation dans le cas de notre modèle. On constate de nouveau une très bonne concordance entre simulation et mesure.

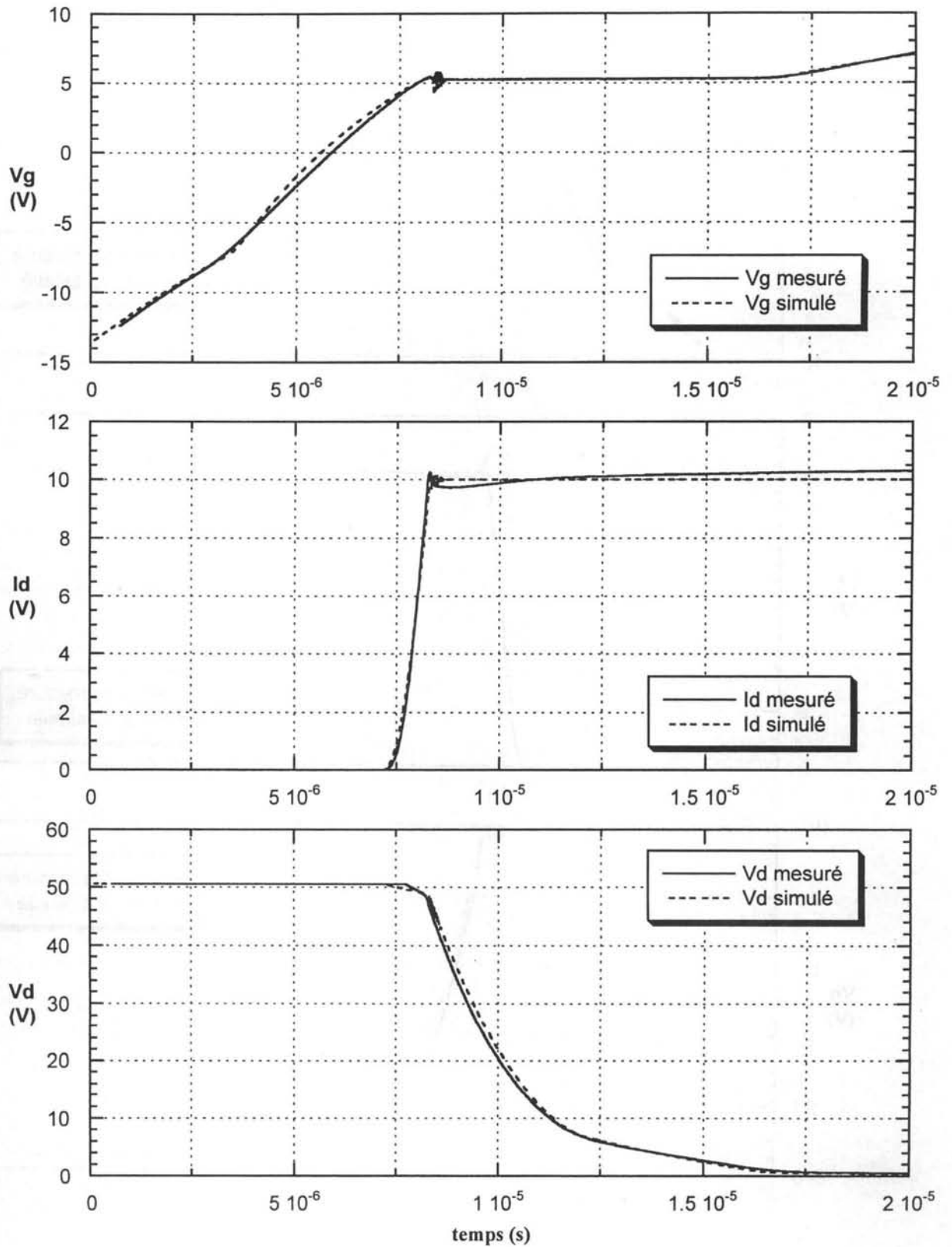


Figure 60

Comparaison entre les mesures effectuées sur un MTW45N10 commutant 10A sous 100V et les résultats de simulation dans le cas de notre modèle.

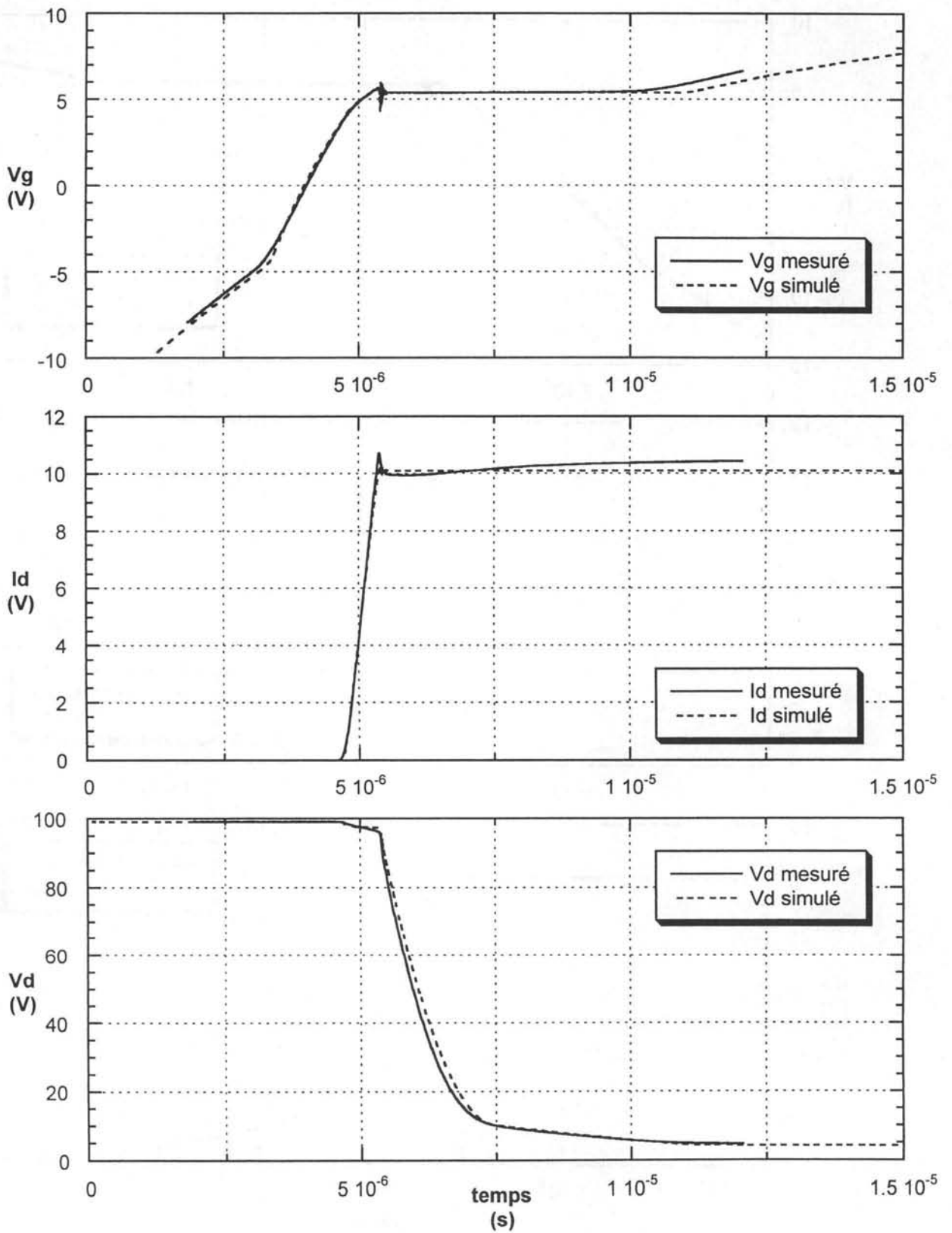


Figure 61
 Mesures et simulations concernant un APT5040BN commutant 10A sous 100V.

III.3 CONFRONTATION DES DIFFERENTS MODELES DECRITS

Le premier modèle présenté a, par l'intermédiaire des librairies PSpice proposées par certains fabricants dont SIEMENS et MOTOROLA, été confronté au nouveau modèle que nous proposons. Nous commencerons par examiner les écarts observables sur le transistor BUZ338 de chez SIEMENS. Nous verrons ensuite ce qu'il en est pour deux dispositifs de chez MOTOROLA. Le dispositif testé est comme précédemment placé dans sa cellule de commutation avec sa diode Schottky en diode de roue libre.

III.3.1 Cas du BUZ338 de chez SIEMENS

Le fichier PSpice concernant ce transistor est donné en annexe 2. Il est issu d'une des bibliothèques de modèles disponible sur le site internet du constructeur.

Ce modèle est proche du « modèle à interrupteurs » décrit précédemment (cf. § III.2.2.2) ; les interrupteurs parfaits M2 et M3 court-circuitant soit COX, soit DCDG (voir l'annexe 2).

Les résultats donnés figures 62 et 63 concernent à nouveau une mise en conduction lente (résistance de grille élevée, 8A commuté sous 100V).

Plusieurs points sont à remarquer :

- En premier lieu, il est important de noter qu'il y a forcément dispersion sur les valeurs des paramètres fournis par le constructeur, ce qui n'est évidemment pas le cas pour nous puisqu'en ce qui concerne notre modèle, mesures et extraction des paramètres ont été effectuées sur le même composant. Ceci peut expliquer des écarts un peu plus importants entre le modèle SIEMENS et la mesure par rapport au modèle proposé.
- L'inversion de la zone intercellulaire conduisant à une capacité d'entrée élevée lorsque V_G est fortement négatif n'est pas pris en compte sur le modèle SIEMENS. Cela se traduit par un écart très important du retard de la commutation sur la commande dans le cas courant (et intéressant pour des problèmes d'immunité comme nous l'avons déjà vu) où l'on polarise négativement la grille composant bloqué.

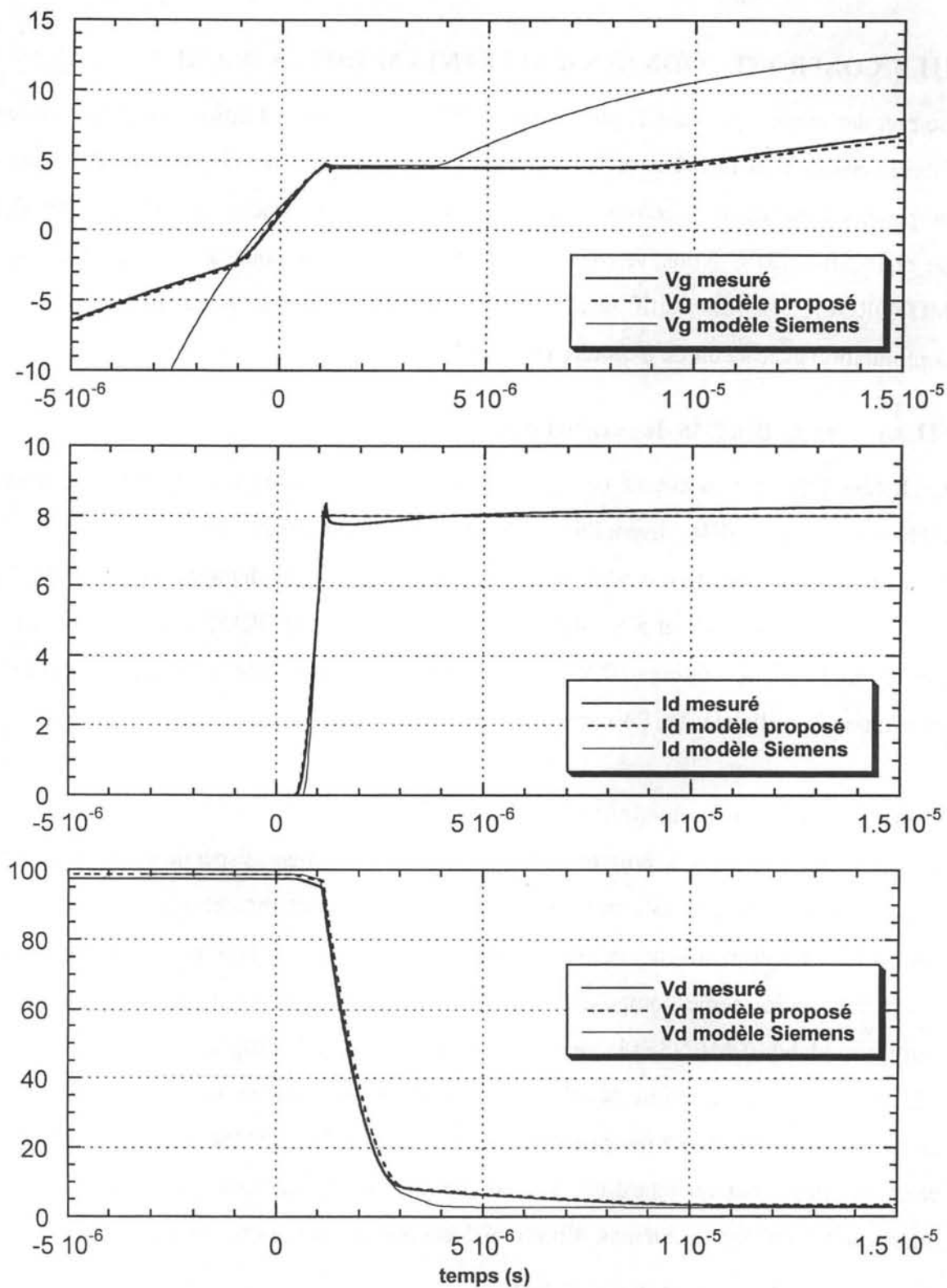


Figure 62

Cas d'un BUZ338 de chez SIEMENS commutant 8A sous 100V. Comparaison des mesures effectuées aux modèles PSpice ; le « modèle proposé » est celui du §III.3 alors que le « modèle Siemens » est celui proposé par le fabricant.

- La phase de décroissance de la tension est correctement modélisée dans les deux cas, sauf en ce qui concerne le queue de tension pour le modèle SIEMENS. Cet écart ne provient pas du modèle, mais de la valeur très faible de C_{OX} (1,3nF) proposée par le constructeur (voir annexe 2) correspondant à C_{DG0} mesurée à 9.8nF dans notre cas. Il s'ensuit une sous-estimation importante de la durée de la phase de décroissance de tension correspondant au plateau de tension de grille.
- Enfin, la phase de montée de courant, détaillée figure 63, semble optimiste pour le modèle SIEMENS. La capacité de grille est probablement sous-estimée lors de cette phase. Celle proposée dans le modèle constructeur de 2,5nF est cependant plus élevée que celle mesurée composant bloqué (paramètre C_{GS0} de notre modèle) de 2,1nF. On voit bien ici l'intérêt du paramètre χ_G de notre modèle rendant compte de l'augmentation de la capacité de grille lors de la phase de montée du courant.

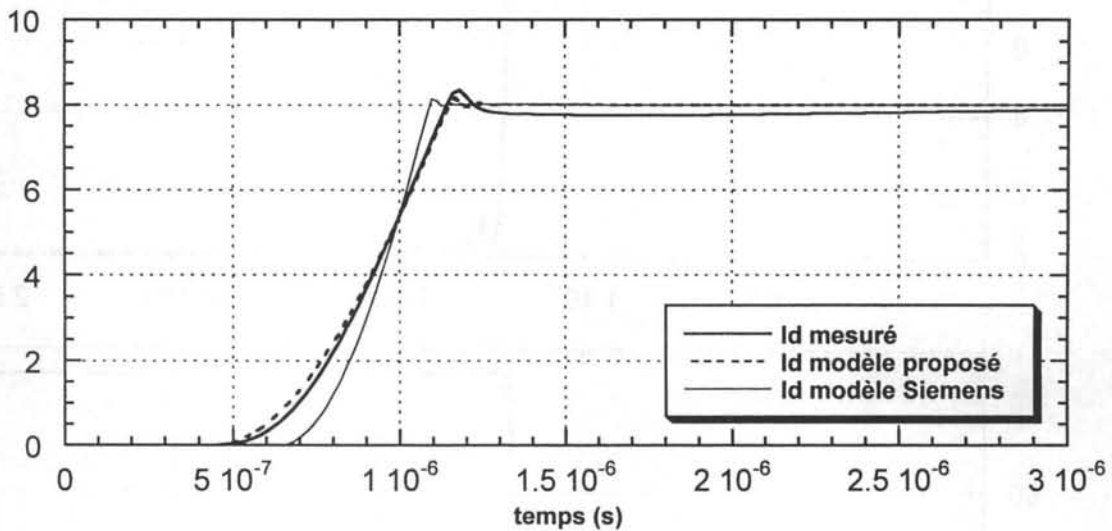


Figure 63

Détaille de la commutation du BUZ338 présentée figure 62 : phase de montée de courant.

Si l'on compare les énergies dissipées pendant les phases de montée du courant et de décroissance de la tension, on obtient les résultats récapitulés dans le tableau suivant :

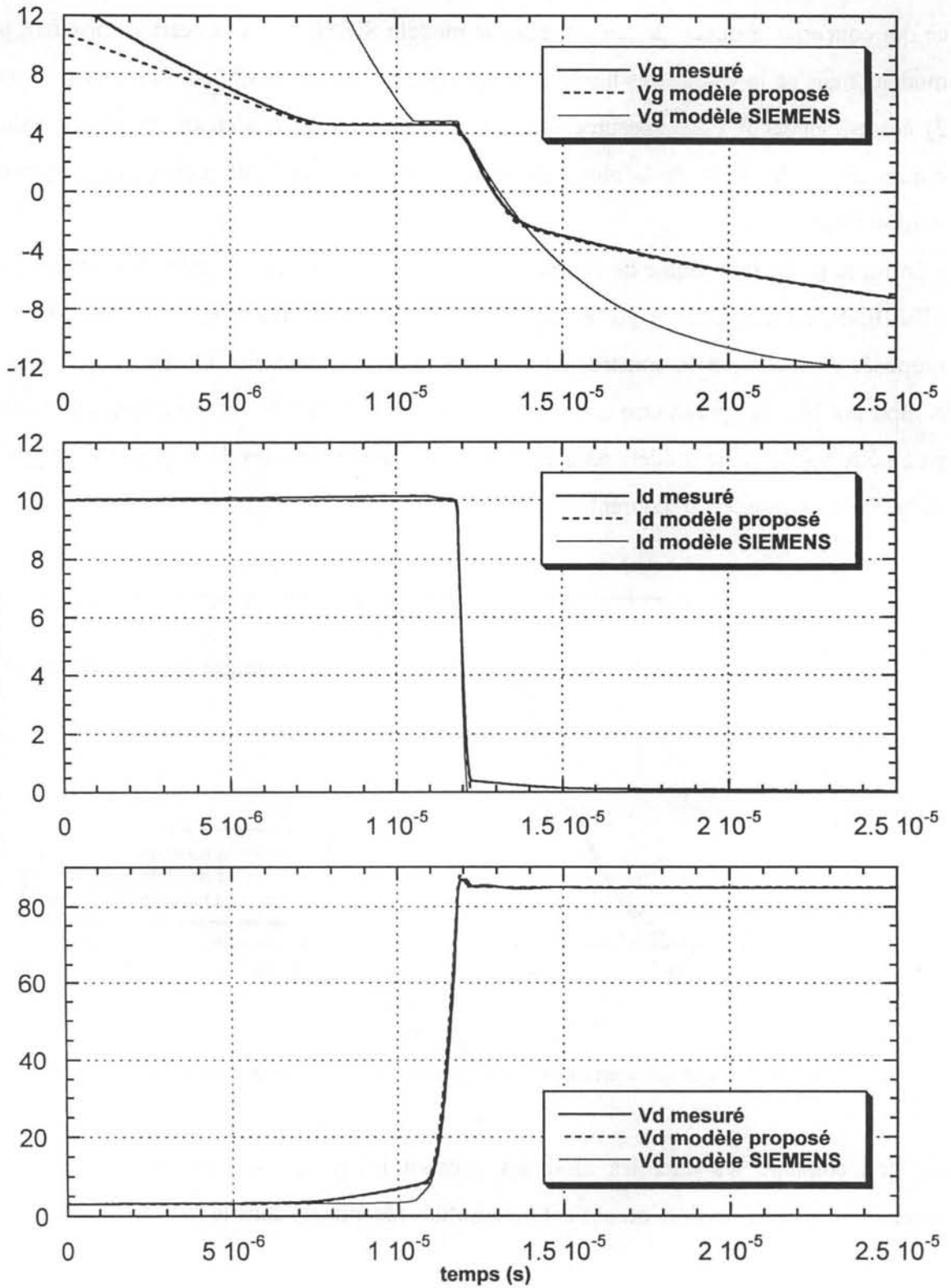


Figure 64
 Cas d'une commutation au blocage pour un BUZ338 de chez SIEMENS.
 Les grandeurs commutées sont de 10A sous 85V.

	Energie dissipée lors de la phase de montée du courant (écart en % par rapport à la mesure)	Energie dissipée lors de la phase de décroissance de la tension : (écart en % par rapport à la mesure)	Total
Mesure	96µJ	411µJ	507µJ
Modèle SIEMENS	67µJ (30%)	306µJ (26%)	373µJ (27%)
Modèle proposé	104µJ (8%)	445µJ (8%)	549µJ (8%)

Les figure 64 et 65 concernent les mêmes relevés que précédemment pour un blocage du transistor BUZ338. Les remarques précédentes restent valables. La figure 65 est un agrandissement de la décroissance du courant lors de cette phase d'extinction.

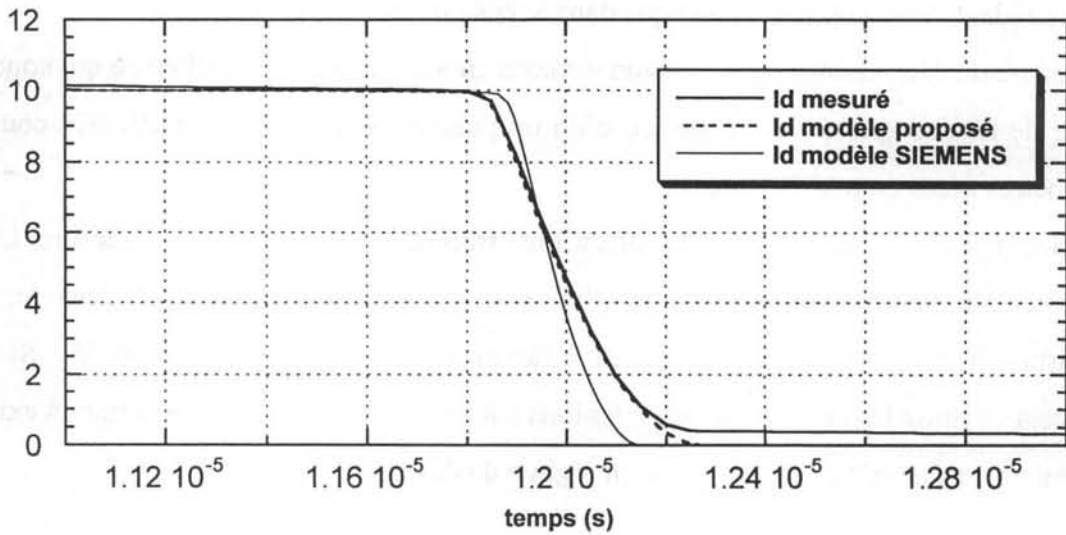


Figure 65
Détaille de la commutation du BUZ338 présentée figure 64 : décroissance du courant.

Les énergies perdues sont alors pour cette phase :

	Energie dissipée lors de la phase de décroissance du courant (écart en % par rapport à la mesure)	Energie dissipée lors de la phase de croissance de la tension : (écart en % par rapport à la mesure)	Total
Mesure	68µJ	265µJ	333µJ
Modèle SIEMENS	51µJ (25%)	186µJ (30%)	237µJ (29%)
Modèle proposé	73µJ (8%)	265µJ (0.4%)	339µJ (2%)

III.3.1 Cas de transistors MOTOROLA

La même démarche a été effectuée pour des transistors de chez MOTOROLA.

Les figure 66 et 67 correspondent aux même types d'essais que précédemment pour respectivement un MTW45N210 et un MTW7N80 (voir spécifications constructeur en annexe 1) commutant tous deux 10A sous 100V. La description du modèle PSpice fourni par le constructeur (voir annexe 2) est proche du « modèle à initialisation » proposé par le LAAS (cf. § III.2.2.2).

Plusieurs constatations peuvent être faites pour ce qui concerne les modèles proposés par MOTOROLA, celles-ci pouvant s'appliquer aux deux transistors considérés :

- L'inversion de la zone intercellulaire conduisant à une capacité d'entrée élevée lorsque V_G est fortement négatif n'est toujours pas pris en compte, d'où à nouveau une mauvaise estimation du retard de la commutation sur la commande (la variation de la capacité d'entrée est cependant beaucoup plus faible que dans le cas précédent).
- La phase de décroissance de la tension est correctement modélisée sauf en ce qui concerne le queue de tension quasi inexistante ici, d'où un plateau de potentiel de grille très court). Les paramètres nécessitent d'être ajustés.
- Enfin, la phase de montée de courant est bien trop rapide par rapport à la mesure. Cet écart entre simulation et mesure provient d'un paramètre K_p trop important dans le modèle constructeur, celui-ci étant probablement déterminé à partir d'essais à faible V_D . Si c'est le cas, cela conforte la position que nous tenions dans le premier chapitre consistant à extraire ce paramètre ce paramètre à fort V_D , i.e. en régime de désaturation.

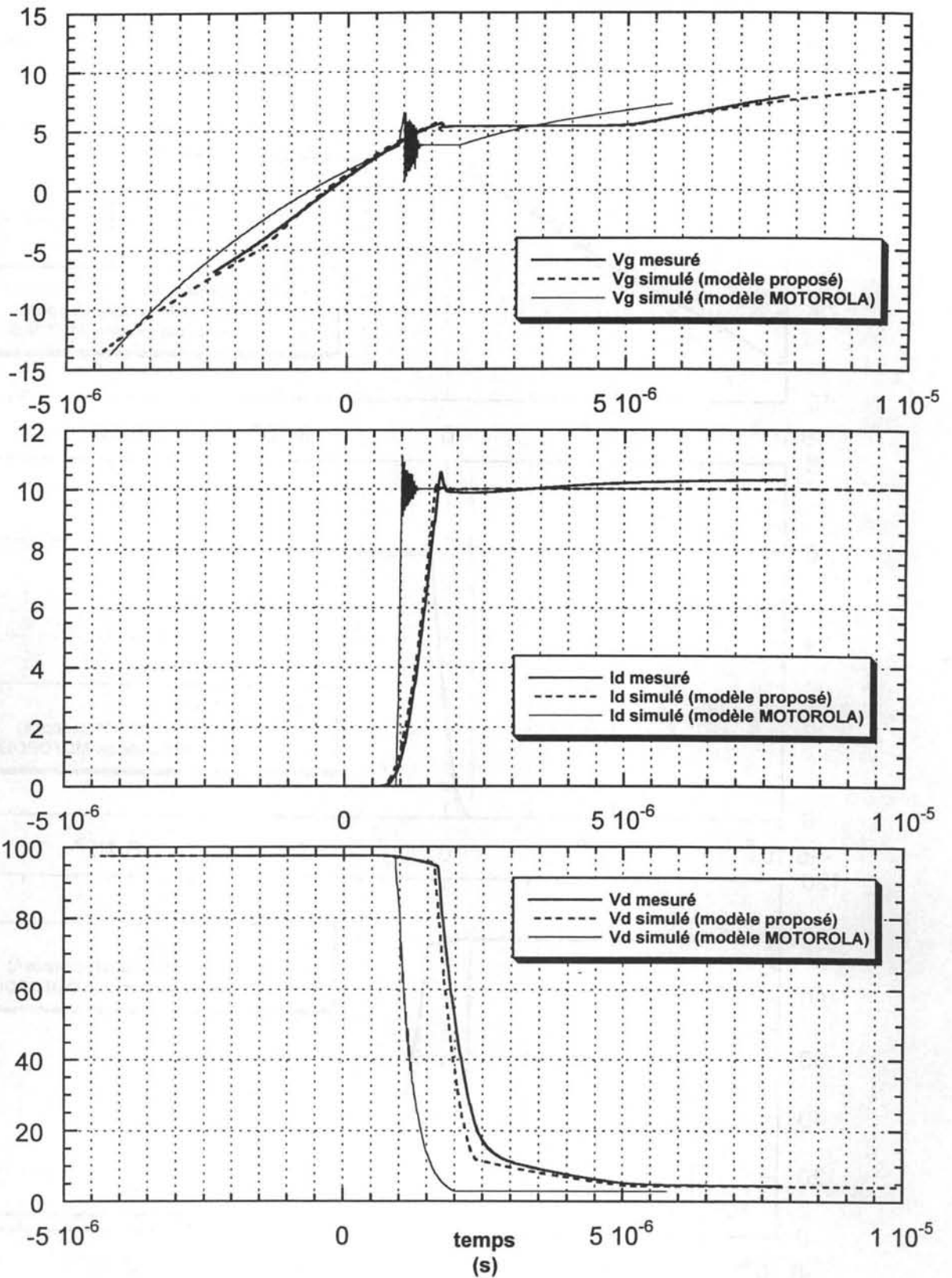


Figure 66
 Cas du STW14N50 commutant 10A sous 100V. Confrontation du modèle mis en oeuvre ici et du modèle proposé par MOTOROLA à la mesure.

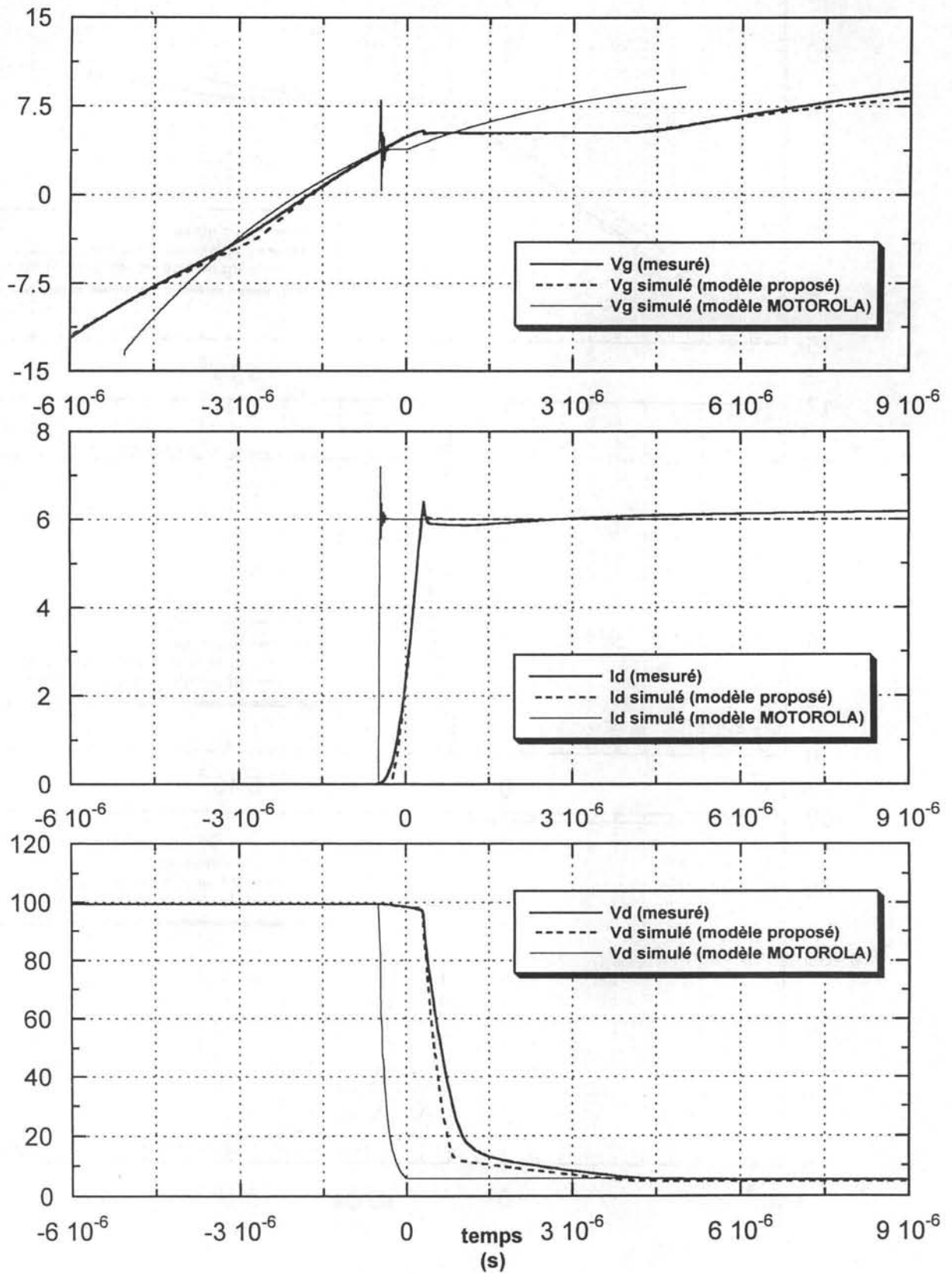


Figure 67
Cas du STW7N80 commutant 6A sous 100V.

Il est à noter que sur tous les essais effectués, les deux derniers relevés présentés sont ceux pour lesquels il a été constaté l'écart le plus significatif entre le modèle issu de cette étude et la mesure dans la phase de décroissance de la tension de drain. Ces écarts proviennent certainement de l'hypothèse faite consistant à considérer la zone v uniformément dopée, que ce soit dans la région de l'intercellule ou dans le volume du semiconducteur. Il semble en effet très probable que ces composants soient légèrement plus dopés en surface dans la région de l'intercellule. Il faudrait alors dans ce cas modifier la formulation de C_{DG} lorsque $V_D > V_G$ (cf. équation III.17) en faisant apparaître un exposant au dénominateur non exactement égale à $\frac{1}{2}$ (à l'image du modèle d'une capacité de jonction non plane pour lequel on introduit le paramètre M ; voir §III.2.1.2).

III.4 CONCLUSION

Ce dernier chapitre a traité de la mise en oeuvre d'un modèle complet utilisant les résultats du premier chapitre pour ce qui concerne le comportement statique des VDMOS et du second chapitre pour l'aspect dynamique. L'objectif d'une prédiction fine du comportement du VDMOS pendant les phases de commutation est atteint, au moins dans le cas de commutations lentes.

Le modèle PSpice proposé par SIEMENS est relativement précis, tandis que celui de MOTOROLA peu utilisable directement comporte des paramètres qui nécessiteraient d'être ajustés pour une meilleure précision.

Il est donc difficile de comparer directement ces modèles à celui proposé à l'issue de ce travail. Il ressort malgré tout que ce dernier donne satisfaction et laisse espérer une estimation à moins de 10% sur l'énergie perdue lors de chaque commutation. Il permet par ailleurs une bonne représentation des gradients de courant et de tension, caractéristique importante pour aborder l'étude d'un convertisseur.

CONCLUSION GENERALE

L'objectif principal de ce travail était de comprendre les principaux phénomènes physiques mis en jeu dans le transistor MOS de puissance afin d'expliquer et de prédire son comportement en commutation.

Le premier chapitre a permis de montrer la particularité du canal des VDMOS et a montré que celui-ci ne pouvait pas simplement être modélisé par les équations classiques des TMOS latéraux. Dans cette partie, l'étude est restée qualitative car, simples utilisateurs de ces composants, nous manquions de données précises concernant les structures étudiées (composants du marché) et particulièrement de données sur les géométries des cellules élémentaires ainsi que sur les dopages. Des travaux entrepris récemment au laboratoire nous permettront bientôt de concevoir des dispositifs dont nous maîtriserons tous les paramètres physiques. Il sera alors envisageable de vérifier la possibilité d'intégrer au modèle final l'équation différentielle du §I.3.3.1 pour décrire plus finement le comportement du transistor.

La sensibilité à la température n'a pas été abordée ici. Il conviendrait donc de compléter cette étude par l'analyse de la sensibilité des paramètres introduits dans le modèle vis-à-vis de la température [HEP]. Son influence sur la tension de seuil apparaît de façon explicite dans les expressions données et ne pose donc a priori pas de difficultés pour sa prise en compte. Par contre, son influence sur la mobilité des porteurs, que ce soit dans la zone inversée de canal ou dans le volume reste à quantifier dans le modèle final. Macroscopiquement, si l'on en reste à une description empirique comme celle retenue dans ce travail, il conviendrait alors d'introduire un ou plusieurs paramètres empiriques supplémentaires rendant compte de la sensibilité des paramètres vis-à-vis de la température. Si l'on fait évoluer le modèle pour le décrire par des paramètres internes, il resterait alors à choisir l'un parmi les nombreux modèles de mobilité de porteurs existant dans la littérature. Enfin, si l'on souhaite pouvoir prédire le comportement des VDMOS en régime de court-circuit, il conviendrait d'intégrer au modèle statique proposé les éléments nécessaires à la modélisation du phénomène de quasi-saturation [BLI], [CAQ], [LIU1], [LIU2].

Le second chapitre a montré qu'il est possible d'améliorer le modèle dynamique couramment adopté en introduisant deux paramètres supplémentaires. Le premier (baptisé χ_G dans nos travaux) a permis d'affiner le modèle de la capacité grille-source lors de la mise en conduction

du transistor. Il s'ensuit une bien meilleure prédiction du comportement du transistor lors de la première phase dissipative de montée du courant. Le second (noté χ dans le texte et dont l'influence est moins significative sur la commutation) a permis de rendre compte de la variation de la capacité de réaction en fonction des potentiels de drain et de source appliqués, ceci même en régime d'accumulation de la zone intercellulaire correspondant à la fin de la seconde phase dissipative de décroissance du potentiel de drain (queue de tension). Une méthode de détermination de ces paramètres a été décrite.

Enfin, le dernier chapitre de ce travail a permis la mise en oeuvre d'un modèle complet dans le logiciel PSpice s'appuyant sur les résultats des deux premiers chapitres. Celui-ci donne entière satisfaction et nous permet d'envisager de l'utiliser dans diverses structures d'alimentations à découpage. Il reste cependant à modéliser convenablement la diode de roue libre nécessairement associée à notre interrupteur. En effet, il n'existe pas aujourd'hui de modélisation fiable du recouvrement de celle-ci, or ce phénomène prend toute son ampleur dès que l'on cherche à accélérer les commutations (tendance forte permettant la diminution de la puissance massique des convertisseurs et leur intégration).

A l'issue de ce travail, deux perspectives s'offrent donc à nous :

Compléter nos investigations dans la physique du semi-conducteur et contribuer à la conception de ces composants en apportant les contraintes de l'électronique de puissance, Garder un oeil de circuitier et faire évoluer et utiliser le macro-modèle proposé pour travailler sur l'optimisation des circuits de commande [MERI], [MUS] et l'étude des perturbations engendrées dans les convertisseurs de l'électronique de puissance (CEM) [TEU].

REFERENCES BIBLIOGRAPHIQUES

[ANT1] « POWER INTEGRATED CIRCUITS : Physics, Design and applications»

P. ANTOGNETTI

McGRAW-HILL Book Compagny

[ANT2] « Semiconductor device modelling with SPICE »

P. ANTOGNETTI Giuseppe MASSOBRIO

McGraw-Hill Book Compagny 1993

[ARN1] « DISPOSITIFS DE L'ELECTRONIQUE DE PUISSANCE»

Volumes 1 & 2

J. ARNOULD et P. MERLE

Traité des Nouvelles Technologies, Electronique, HERMES

[ARN2] « CAO pour DEP »

J. ARNOULD et P. MERLE

Polycopié de l'Ecole Supérieure d'Ingénieurs de Marseille 1995-1996

[ARN3] « Contrôle des charges dans les dispositifs de l'électronique de puissance »

J. ARNOULD, J.M. LI, D. LAFORE

RGE n°5/92, mai 1992

[BAL] « Modern Power Device »

B. J. BALIGA

Wiley, New-York, 1987

[BAU] « MOSFET parameter extraction from static, dynamic and transient current measurements »

D. BAUSA and G. GHIBAUDO

Microelectronics Journal, 25, 1994

[BEY] « Simulation et conception des transistors M.O.S. de puissance »

B. BEYDOUN

Thèse de 3ème cycle, n°1780, Université Paul Sabatier, TOULOUSE, 1994

[BLI] « Le transistor VDMOS en régime de quasi-saturation : étude analytique et modélisation »

A. BLIEK, J. GUERIN, M. K. EL CHEIKH et M. THOLOMIER

Journal de Physique III France 7, 1997

[BUD] « The Lump-Charge Power MOSFET Model, Including Parameter Extraction »

I. BUDIHARJO, P. O. LAURITZEN

IEEE TRANSACTIONS ON POWER ELECTRONICS, vol. 10, n°3, May 1995

[CAQ] «Phénomène de quasi-saturation dans les transistors M.O.S. »

E. CAQUOT, G. GUEGAN, M. GAMBOA, H. TRANDUC et P. ROSSEL

Revue de Physique Appliquée 15 (1980)

[DAR] « An Improved Electron and Hole Mobility Model for general Purpose Device Simulation »

M. N. DARWISH, J. L. LENTZ, M. R. PINTO, P. M. ZEITZOFF, T. J. KRUTSICK and H. H. VUONG

IEEE TRANSACTION ON ELECTRON DEVICES, n°9, september 1997

[DJE] « Modèles du transistor MOS de puissance »

K. DJELLABI, M. NAPIERALSKA, H. TRANDUC, P. ROSSEL et K. KASSMI

Revue Générale d'Electricité - n°6/92 - juin 1992

[FAR] « Etude comportementale de la commutation d'un transistor M.O.S.F.E.T. de puissance »

E. FARJAH, J. ROUDET, J.L. SCHANEN

Journal de Physique III, France 4 (1994)

[FER] « Alimentations à découpage »

J. P. FERRIEUX, F. FOREST

MASSON

[FIF] « Method for extracting deep submicrometre MOSFET parameters »

W. FIFRY, G. GHIBAUDO, H. HADDARA, S. CRISTOLOVEANU, M. DUTOIT

ELECTRONICS LETTERS 27th April 1995 vol. 31 n°9

[GRA] « Evolution des structures des transistors M.O.S. de puissance vers le domaine des petites dimensions »

P. GRANADEL

Thèse du LAAS n°3392, TOULOUSE, 1987

[HEP] « A new Pspice subcircuit for the power MOSFET featuring global temperature options »

W.J. HEPP, C.F. WHEATLEY Jr

Harris semiconductor AN9210 february 1994

[IR] « A new gate charge factor leads to easy drive design for power MOSFET circuits »

International Rectifier, AN944A

[LEM] « Métrologie de la Commutation de Puissance Rapide. Contribution à la Caractérisation et à la Recherche d'un Modèle d'I.G.B.T.. »

Y. LEMBEYE

Thèse de l'Institut National Polytechnique de Grenoble (1997)

[LIU1] « 77K Versus 300K Operation : The quasi-saturation Behavior of a DMOS Device and Its Fully Analytical Model »

CM. LIU, KH. LOU, JB. KUO

IEEE TRANSACTIONS ON ELECTRON DEVICES vol 40, n°9, 1993

[LIU2] « An Analytical Quasi-Saturation Model Considering Heat Flow for a DMOS Device »

C.M. LIU, J.B. KUO, Y.P. WU

IEEE TRANSACTIONS ON ELECTRON DEVICES vol 41, n°6, 1994

[MAI] « Modèle universel du transistor de puissance MOS pour le logiciel SPICE »

R. MAIMOUNI, P. ROSSEL, D. ALAIN, M. NAPIERALSKA, H. TRANDUC et C. E. CORDONNIER

Revue Générale d'électricité 1, 1990

[MAT] « Physique des semiconducteurs et des composants électroniques »

H. MATHIEU

3ème édition, MASSON, Enseignement de la Physique

[MERC] « Conception et réalisation d'un composant de commande de dispositif de puissance : utilisation d'une filière DMOS »

B. MERCIER

Mémoire CNAM, Paris, 1988

[MERI] « Influence de l'interaction Puissance-commande sur le fonctionnement des convertisseurs de puissance : Simulation fine - Recherche de règles de Conception. »

F. MERIENNE

Thèse de l'Institut National Polytechnique de Grenoble (1996)

[MIC] « Circuits Analysis User's Guide »

Microsim Corporation

Version 6.2 avril 1995

[MOR] « Propriétés statiques et dynamiques du transistor MOS de puissance à tranchées (UMOS) "basse tension" »

F. MORANCHO, P. ROSSEL and H. TRANDUC

Journal de Physique III, France 6, 1996

[MUS] « A New Adaptative Driving Technique for Higt Current Gate Controlles Devices »

S. MUSUMECI, A. RACITI, A. TESTA, A. GALLUZZO, M. MELITO

APEC 94 (IEEE)

[PAN] « Process design and optimization of the channel doping profile in power VDMOSFETs »

D. PANTIC, Z. PRIJIC and Z. PAVLOVIC

Microelectronics Journal 27, 1996

[PRI] « Simple method for the extraction of power VDMOS transistor parameters »

Z. PRIJIC, P. IGIC, Z. PAVLOVIC, N. STOJADINOVIC

Microelectronics Journal 27 (1996)

[RIV] « Logiciel de simulation analogique Pspice 5.30 »

Alain RIVAT

DUNOD TECH 1994

[SHEN1] « A Circuit Simulation Model for High-Frequency Power MOSFET's »

K. SHENAI

IEEE TRANSACTIONS ON POWER ELECTRONICS, vol. 6, n°3, july 1991

[SHEN2] « A High-Density, Self-Aligned Power MOSFET Structure Fabricated Using Sacrificial Spacer Technologie »

K. SHENAI

IEEE TRANSACTIONS ON ELECTRON DEVICES, vol.39, n°5, may1992

[SHER] « Power MOSFET Silicon and Packaging Technology »

G. SHERIDAN, G. DOKOPOLOUS

PCIM Europe july/august 1995

[SZE]« Physics of Semiconductor Devices »

S. M. SZE

WILEY INTERNATIONAL EDITION

[TEU] « Prise en Compte du Câblage dans la Conception et la Simulation des Convertisseurs de Puissance : Performances CEM »

W. TEULINGS

Thèse de l'Institut National Polytechnique de Grenoble (1997)

[TSA] « Physical Modeling of the Power VDMOST for Computer-Aided Design of Integrated Circuit »

C. -Y. TSAI, D. E. BURK and K. D. T. NGO

IEEE TRANSACTION ON ELECTRON DEVICES, vol. 44, n°3, march 1997

[TUI] « SPICE guide pour l'analyse et de la simulation de circuits avec PSpice »

Paul W. TUINENGA (Microsim Corporation)

Traduit par R.BRENDEL

MASSON / PRENTICE HALL 1994

[UDR] « Theoretical and Numerical Comparison between DMOS and Trench Technologies for Insulated Gate Bipolar Transistor »

F. UDREA and G.A.J. AMARATUNGA

IEEE TRANSACTIONS ON ELECTRON DEVICES, vol.42, n°7, 1995

[VAP] « Dispositifs et circuits intégrés semiconducteurs »

A. VAPAILLE, R. CASTAGNE

DUNOD, 1990

[VIC] « A Static, Physical VDMOS Model Based on the Charge-Sheet Model »

J. J. VICTORY, J. J. SANCHEZ, T. A. DEMASSA and B. D. WELFERT

IEEE TRANSACTIONS ON ELECTRON DEVICES, vol 43, n°1, january 1996

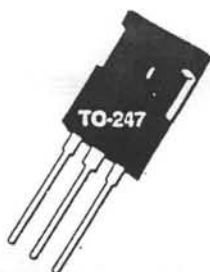
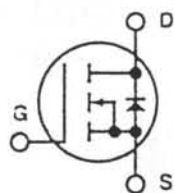
[ZEN] « Numerical Analysis of a trench VDMOST structure with no quasi-saturation »

J. ZENG, P.A. MAWBY, M.S. TOWERS and K. BOARD

Solid-State Electronics vol.38, n°4, 1995

ANNEXE 1 :

Données constructeurs



**ADVANCED
POWER
TECHNOLOGY®**

APT5040BN	500V	16.0A	0.40Ω
APT4540BN	450V	16.0A	0.40Ω
APT5050BN	500V	14.0A	0.50Ω
APT4550BN	450V	14.0A	0.50Ω

POWER MOS IV®

N-CHANNEL ENHANCEMENT MODE HIGH VOLTAGE POWER MOSFETS

MAXIMUM RATINGS

All Ratings: $T_C = 25^\circ\text{C}$ unless otherwise specified.

Symbol	Parameter	APT				UNIT
		4540BN	5040BN	4550BN	5050BN	
V_{DSS}	Drain-Source Voltage	450	500	450	500	Volts
I_D	Continuous Drain Current	16		14		Amps
I_{DM}	Pulsed Drain Current ^①	64		56		Amps
V_{GS}	Gate-Source Voltage	±30				Volts
P_D	Total Power Dissipation @ $T_C = 25^\circ\text{C}$, Derate Above 25°C	240				Watts
T_J, T_{STG}	Operating and Storage Junction Temperature Range	- 55 to 150				$^\circ\text{C}$

STATIC ELECTRICAL CHARACTERISTICS

Symbol	Characteristic / Test Conditions / Part Number	MIN	TYP	MAX	UNIT
BV_{DSS}	Drain-Source Breakdown Voltage ($V_{GS} = 0V, I_D = 250 \mu\text{A}$)	APT5040BN / APT5050BN		500	Volts
		APT4540BN / APT4550BN		450	Volts
I_{DSS}	Zero Gate Voltage Drain Current ($V_{DS} = V_{DSS}, V_{GS} = 0V$) ($V_{DS} = 0.8 V_{DSS}, V_{GS} = 0V, T_C = 125^\circ\text{C}$)			250	μA
				1000	
I_{GSS}	Gate-Source Leakage Current ($V_{GS} = \pm 30V, V_{DS} = 0V$)			±100	nA
$I_{D(ON)}$	On State Drain Current ^② ($V_{DS} > I_{D(ON)} \times R_{DS(ON)}$ Max, $V_{GS} = 10V$)	APT5040BN / APT4540BN		16	Amps
		APT5050BN / APT4550BN		14	Amps
$V_{GS(TH)}$	Gate Threshold Voltage ($V_{DS} = V_{GS}, I_D = 1\text{mA}$)	2		4	Volts
$R_{DS(ON)}$	Static Drain-Source On-State Resistance ^② ($V_{GS} = 10V, I_D = 0.5 I_D$ [Cont.])	APT5040BN / APT4540BN		0.40	Ohms
		APT5050BN / APT4550BN		0.50	Ohms

THERMAL CHARACTERISTICS

Symbol	Characteristic	MIN	TYP	MAX	UNIT
$R_{\theta JC}$	Junction to Case			0.51	$^\circ\text{C/W}$
$R_{\theta JA}$	Junction to Ambient			40	$^\circ\text{C/W}$
T_L	Max. Lead Temp. for Soldering Conditions: 0.063" from Case for 10 Sec.			300	$^\circ\text{C}$

CAUTION: These Devices are Sensitive to Electrostatic Discharge. Proper Handling Procedures Should Be Followed.

USA
405 S.W. Columbia Street

Bend, Oregon 97702-1035 Phone: (503) 382-8028 FAX: (503) 388-0364

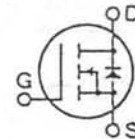
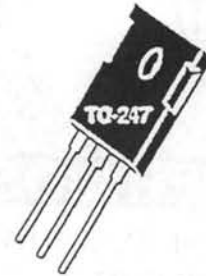
EUROPE

Avenue J.F. Kennedy Bât B4 Parc Cadéra Nord F-33700 Merignac - France Phone: (33) 56 34 34 71 FAX: (33) 56 47 97 61

POWER MOS V

Power MOS V is a new generation of high voltage N-Channel enhancement mode power MOSFETs. This new technology minimizes the JFET effect, increases packing density and reduces the on-resistance. Power MOS V also achieves faster switching speeds through optimized gate layout.

- Faster Switching
- Lower Leakage
- 100% Avalanche Tested
- Popular TO-247 Package



MAXIMUM RATINGS

All Ratings: $T_C = 25^\circ\text{C}$ unless otherwise specified.

Symbol	Parameter	APT5024BVR	UNIT
V_{OSS}	Drain-Source Voltage	500	Volts
I_D	Continuous Drain Current @ $T_C = 25^\circ\text{C}$	22	Amps
I_{DM}	Pulsed Drain Current ^①	88	
V_{GS}	Gate-Source Voltage Continuous	± 20	Volts
V_{GSM}	Gate-Source Voltage Transient	± 30	
P_D	Total Power Dissipation @ $T_C = 25^\circ\text{C}$	280	Watts
	Linear Derating Factor	2.24	W/ $^\circ\text{C}$
T_J, T_{STG}	Operating and Storage Junction Temperature Range	-55 to 150	$^\circ\text{C}$
T_L	Lead Temperature: 0.063" from Case for 10 Sec.	300	
I_{AR}	Avalanche Current ^① (Repetitive and Non-Repetitive)	22	Amps
E_{AR}	Repetitive Avalanche Energy ^①	30	mJ
E_{AS}	Single Pulse Avalanche Energy ^④	1210	

STATIC ELECTRICAL CHARACTERISTICS

Symbol	Characteristic / Test Conditions	MIN	TYP	MAX	UNIT
BV_{OSS}	Drain-Source Breakdown Voltage ($V_{GS} = 0V, I_D = 250\mu\text{A}$)	500			Volts
$I_{D(on)}$	On State Drain Current ^② ($V_{DS} > I_{D(on)} \times R_{DS(on)}$ Max, $V_{GS} = 10V$)	22			Amps
$R_{DS(on)}$	Drain-Source On-State Resistance ^② ($V_{GS} = 10V, 0.5 I_{D(Cont.)}$)			0.24	Ohms
I_{DSS}	Zero Gate Voltage Drain Current ($V_{DS} = V_{OSS}, V_{GS} = 0V$)			25	μA
	Zero Gate Voltage Drain Current ($V_{DS} = 0.8 V_{OSS}, V_{GS} = 0V, T_C = 125^\circ\text{C}$)			250	
I_{GSS}	Gate-Source Leakage Current ($V_{GS} = \pm 20V, V_{DS} = 0V$)			± 100	nA
$V_{GS(th)}$	Gate Threshold Voltage ($V_{DS} = V_{GS}, I_D = 1.0\text{mA}$)	2		4	Volts

 CAUTION: These Devices are Sensitive to Electrostatic Discharge. Proper Handling Procedures Should Be Followed.

USA

405 S.W. Columbia Street

EUROPE

Avenue J.F. Kennedy Bât B4 Parc Cadéra Nord

Bend, Oregon 97702-1035

F-33700 Merignac - France

Phone: (541) 382-8028

Phone: (33) 5 57 92 15 15

FAX: (541) 388-0364

FAX: (33) 5 56 47 97 61

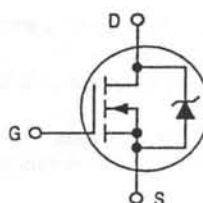
MOTOROLA
 SEMICONDUCTOR TECHNICAL DATA

 Order this document
 by MTW45N10E/D

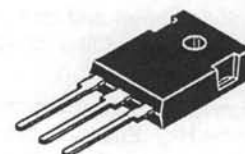
Designer's™ Data Sheet
TMOS E-FET™
Power Field Effect Transistor
TO-247 with Isolated Mounting Hole
N-Channel Enhancement-Mode Silicon Gate

This advanced TMOS E-FET is designed to withstand high energy in the avalanche and commutation modes. The new energy efficient design also offers a drain-to-source diode with a fast recovery time. Designed for low voltage, high speed switching applications in power supplies, converters and PWM motor controls, these devices are particularly well suited for bridge circuits where diode speed and commutating safe operating areas are critical and offer additional safety margin against unexpected voltage transients.

- Avalanche Energy Specified
- Source-to-Drain Diode Recovery Time Comparable to a Discrete Fast Recovery Diode
- Diode is Characterized for Use in Bridge Circuits
- I_{DSS} and $V_{DS(on)}$ Specified at Elevated Temperature
- Isolated Mounting Hole Reduces Mounting Hardware


MTW45N10E

Motorola Preferred Device

 TMOS POWER FET
 45 AMPERES
 100 VOLTS
 $R_{DS(on)} = 0.035 \text{ OHM}$

 CASE 340K-01, Style 1
 TO-247AE

MAXIMUM RATINGS ($T_C = 25^\circ\text{C}$ unless otherwise noted)

Rating	Symbol	Value	Unit
Drain-Source Voltage	V_{DSS}	100	Vdc
Drain-Gate Voltage ($R_{GS} = 1.0 \text{ M}\Omega$)	V_{DGR}	100	Vdc
Gate-Source Voltage — Continuous	V_{GS}	± 20	Vdc
— Non-Repetitive ($t_p \leq 10 \text{ ms}$)	V_{GSM}	± 40	Vpk
Drain Current — Continuous	I_D	45	Adc
— Continuous @ 100°C	I_D	34.6	
— Single Pulse ($t_p \leq 10 \mu\text{s}$)	I_{DM}	135	Apk
Total Power Dissipation	P_D	180	Watts
Derate above 25°C		1.44	W/ $^\circ\text{C}$
Operating and Storage Temperature Range	T_J, T_{stg}	-55 to 150	$^\circ\text{C}$
Single Pulse Drain-to-Source Avalanche Energy — Starting $T_J = 25^\circ\text{C}$ ($V_{DD} = 25 \text{ Vdc}$, $V_{GS} = 10 \text{ Vdc}$, $I_L = 45 \text{ Apk}$, $L = 0.8 \text{ mH}$, $R_G = 25 \Omega$)	E_{AS}	810	mJ
Thermal Resistance — Junction to Case	$R_{\theta JC}$	0.70	$^\circ\text{C/W}$
— Junction to Ambient	$R_{\theta JA}$	62.5	
Maximum Lead Temperature for Soldering Purposes, 1/8" from case for 10 seconds	T_L	260	$^\circ\text{C}$

Designer's Data for "Worst Case" Conditions — The Designer's Data Sheet permits the design of most circuits entirely from the information presented. SOA Limit curves — representing boundaries on device characteristics — are given to facilitate "worst case" design.

E-FET and Designer's are trademarks of Motorola, Inc. TMOS is a registered trademark of Motorola, Inc.

Preferred devices are Motorola recommended choices for future use and best overall value.

REV 2

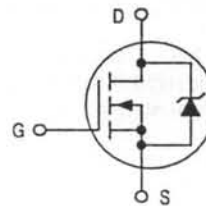
MOTOROLA
SEMICONDUCTOR TECHNICAL DATA

 Order this document
 by MTW14N50E/D

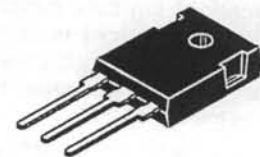
Designer's™ Data Sheet
TMOS E-FET™
Power Field Effect Transistor
TO-247 with Isolated Mounting Hole
N-Channel Enhancement-Mode Silicon Gate

This advanced TMOS E-FET is designed to withstand high energy in the avalanche and commutation modes. The new energy efficient design also offers a drain-to-source diode with a fast recovery time. Designed for high voltage, high speed switching applications in power supplies, converters and PWM motor controls, these devices are particularly well suited for bridge circuits where diode speed and commutating safe operating areas are critical and offer additional safety margin against unexpected voltage transients.

- Designed to Replace External Zener Transient Suppressor — Absorbs High Energy in the Avalanche Mode
- Source-to-Drain Diode Recovery Time Comparable to a Discrete Fast Recovery Diode
- Diode is Characterized for Use in Bridge Circuits
- I_{DSS} and $V_{DS(on)}$ Specified at Elevated Temperature


MTW14N50E

Motorola Preferred Device

 TMOS POWER FET
 14 AMPERES
 500 VOLTS
 $R_{DS(on)} = 0.40 \text{ OHM}$

 CASE 340K-01, Style 1
 TO-247AE

MAXIMUM RATINGS ($T_C = 25^\circ\text{C}$ unless otherwise noted)

Rating	Symbol	Value	Unit
Drain-Source Voltage	V_{DSS}	500	Vdc
Drain-Gate Voltage ($R_{GS} = 1.0 \text{ M}\Omega$)	V_{DGR}	500	Vdc
Gate-Source Voltage — Continuous	V_{GS}	± 20	Vdc
Drain Current — Continuous	I_D	14	Adc
— Continuous @ 100°C	I_D	9.0	
— Single Pulse ($t_p \leq 10 \mu\text{s}$)	I_{DM}	60	Apk
Total Power Dissipation	P_D	180	Watts
Derate above 25°C		1.44	W/ $^\circ\text{C}$
Operating and Storage Temperature Range	T_J, T_{stg}	-55 to 150	$^\circ\text{C}$
Single Pulse Drain-to-Source Avalanche Energy — STARTING $T_J = 25^\circ\text{C}$ ($V_{DD} = 50 \text{ Vdc}$, $V_{GS} = 10 \text{ Vpk}$, $I_L = 14 \text{ Apk}$, $L = 8.8 \text{ mH}$, $R_G = 25 \Omega$)	E_{AS}	860	mJ
Thermal Resistance — Junction to Case	$R_{\theta JC}$	0.7	$^\circ\text{C/W}$
— Junction to Ambient	$R_{\theta JA}$	40	
Maximum Lead Temperature for Soldering Purposes, 1/8" from case for 10 seconds	T_L	260	$^\circ\text{C}$

Designer's Data for "Worst Case" Conditions — The Designer's Data Sheet permits the design of most circuits entirely from the information presented. SOA Limit curves — representing boundaries on device characteristics — are given to facilitate "worst case" design.

E-FET and Designer's are trademarks of Motorola, Inc. TMOS is a registered trademark of Motorola, Inc.

Preferred devices are Motorola recommended choices for future use and best overall value.

REV 4



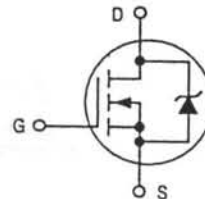
MOTOROLA
 SEMICONDUCTOR TECHNICAL DATA

 Order this document
 by MTW7N80E/D

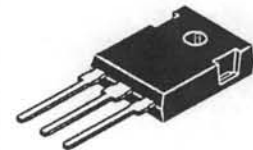
Designer's™ Data Sheet
TMOS E-FET™
**Power Field Effect Transistor
 TO-247 With Isolated Mounting Hole
 N-Channel Enhancement-Mode Silicon Gate**

This high voltage MOSFET uses an advanced termination scheme to provide enhanced voltage-blocking capability without degrading performance over time. In addition, this advanced TMOS E-FET is designed to withstand high energy in the avalanche and commutation modes. The new energy efficient design also offers a drain-to-source diode with a fast recovery time. Designed for high voltage, high speed switching applications in power supplies, converters and PWM motor controls, these devices are particularly well suited for bridge circuits where diode speed and commutating safe operating areas are critical and offer additional safety margin against unexpected voltage transients.

- Robust High Voltage Termination
- Avalanche Energy Specified
- Source-to-Drain Diode Recovery Time Comparable to a Discrete Fast Recovery Diode
- Diode is Characterized for Use in Bridge Circuits
- I_{DSS} and $V_{DS(on)}$ Specified at Elevated Temperature
- Isolated Mounting Hole Reduces Mounting Hardware


MTW7N80E

Motorola Preferred Device

 TMOS POWER FET
 7.0 AMPERES
 800 VOLTS
 $R_{DS(on)} = 1.0 \text{ OHM}$

 CASE 340K-01, Style 1
 TO-247AE

MAXIMUM RATINGS ($T_C = 25^\circ\text{C}$ unless otherwise noted)

Rating	Symbol	Value	Unit
Drain-Source Voltage	V_{DSS}	800	Vdc
Drain-Gate Voltage ($R_{GS} = 1.0 \text{ M}\Omega$)	V_{DGR}	800	Vdc
Gate-Source Voltage — Continuous	V_{GS}	± 20	Vdc
— Non-Repetitive ($t_p \leq 10 \text{ ms}$)	V_{GSM}	± 40	Vpk
Drain Current — Continuous	I_D	7.0	Adc
— Continuous @ 100°C	I_D	5.1	
— Single Pulse ($t_p \leq 10 \mu\text{s}$)	I_{DM}	21	Apk
Total Power Dissipation	P_D	180	Watts
Derate above 25°C		1.43	$\text{W}/^\circ\text{C}$
Operating and Storage Temperature Range	T_J, T_{stg}	-55 to 150	$^\circ\text{C}$
Single Pulse Drain-to-Source Avalanche Energy — Starting $T_J = 25^\circ\text{C}$ ($V_{DD} = 100 \text{ Vdc}$, $V_{GS} = 10 \text{ Vdc}$, $I_L = 21 \text{ Apk}$, $L = 3.0 \text{ mH}$, $R_G = 25 \Omega$)	E_{AS}	661	mJ
Thermal Resistance — Junction to Case	$R_{\theta JC}$	0.70	$^\circ\text{C}/\text{W}$
— Junction to Ambient	$R_{\theta JA}$	62.5	
Maximum Lead Temperature for Soldering Purposes, 1/8" from case for 10 seconds	T_L	260	$^\circ\text{C}$

Designer's Data for "Worst Case" Conditions — The Designer's Data Sheet permits the design of most circuits entirely from the information presented. SOA Limit curves — representing boundaries on device characteristics — are given to facilitate "worst case" design.

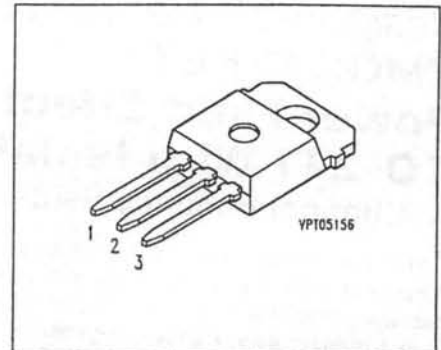
E-FET and Designer's are trademarks of Motorola, Inc. TMOS is a registered trademark of Motorola, Inc.

Preferred devices are Motorola recommended choices for future use and best overall value.

REV 3

SIEMENS**BUZ 338****SIPMOS[®] Power Transistor**

- N channel
- Enhancement mode
- Avalanche-rated



Pin 1	Pin 2	Pin 3
G	D	S

Type	V_{DS}	I_D	$R_{DS(on)}$	Package	Ordering Code
BUZ 338	500 V	13.5 A	0.4 Ω	TO-218 AA	C67078-S3126-A2

Maximum Ratings

Parameter	Symbol	Values	Unit
Continuous drain current $T_C = 28\text{ }^\circ\text{C}$	I_D	13.5	A
Pulsed drain current $T_C = 25\text{ }^\circ\text{C}$	I_{Dpuls}	54	
Avalanche current, limited by T_{jmax}	I_{AR}	13.5	
Avalanche energy, periodic limited by T_{jmax}	E_{AR}	18	mJ
Avalanche energy, single pulse $I_D = 13.5\text{ A}$, $V_{DD} = 50\text{ V}$, $R_{GS} = 25\text{ }\Omega$ $L = 9.18\text{ mH}$, $T_j = 25\text{ }^\circ\text{C}$	E_{AS}	930	
Gate source voltage	V_{GS}	± 20	V
Power dissipation $T_C = 25\text{ }^\circ\text{C}$	P_{tot}	180	W
Operating temperature	T_j	-55 ... + 150	$^\circ\text{C}$
Storage temperature	T_{stg}	-55 ... + 150	
Thermal resistance, chip case	R_{thJC}	≤ 0.7	K/W^{\sim}
Thermal resistance, chip to ambient	R_{thJA}	75	
DIN humidity category, DIN 40 040		E	
IEC climatic category, DIN IEC 68-1		55 / 150 / 56	



STW7NA80 STH7NA80FI

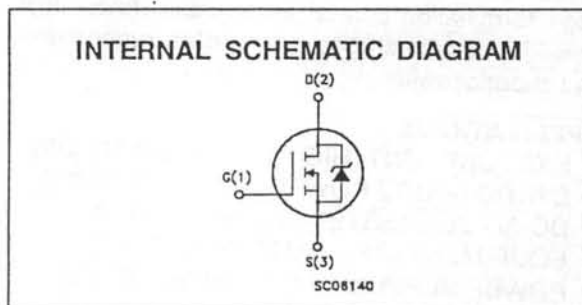
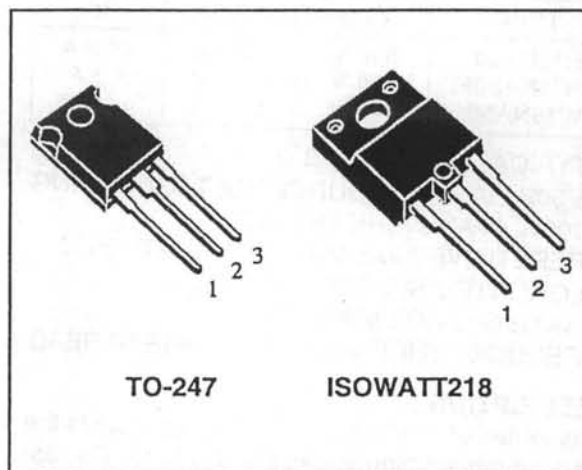
N - CHANNEL ENHANCEMENT MODE FAST POWER MOS TRANSISTOR

TYPE	V _{DSS}	R _{DS(on)}	I _D
STW7NA80	800 V	< 1.9 Ω	6.5 A
STH7NA80FI	800 V	< 1.9 Ω	4 A

- TYPICAL R_{DS(on)} = 1.68 Ω
- ± 30V GATE TO SOURCE VOLTAGE RATING
- 100% AVALANCHE TESTED
- REPETITIVE AVALANCHE DATA AT 100°C
- LOW INTRINSIC CAPACITANCES
- GATE CHARGE MINIMIZED
- REDUCED THRESHOLD VOLTAGE SPREAD

APPLICATIONS

- HIGH CURRENT, HIGH SPEED SWITCHING
- SWITCH MODE POWER SUPPLIES (SMPS)
- DC-AC CONVERTERS FOR WELDING EQUIPMENT AND UNINTERRUPTIBLE POWER SUPPLIES AND MOTOR DRIVE



ABSOLUTE MAXIMUM RATINGS

Symbol	Parameter	Value		Unit
		STW7NA80	STH7NA80FI	
V _{DS}	Drain-source Voltage (V _{GS} = 0)	800		V
V _{DGR}	Drain- gate Voltage (R _{GS} = 20 kΩ)	800		V
V _{GS}	Gate-source Voltage	± 30		V
I _D	Drain Current (continuous) at T _c = 25 °C	6.5	4	A
I _D	Drain Current (continuous) at T _c = 100 °C	4	2.5	A
I _{DM} (*)	Drain Current (pulsed)	26	26	A
P _{tot}	Total Dissipation at T _c = 25 °C	150	60	W
	Derating Factor	1.2	0.48	W/°C
V _{ISO}	Insulation Withstand Voltage (DC)	—	4000	V
T _{stg}	Storage Temperature	-65 to 150		°C
T _J	Max. Operating Junction Temperature	150		°C

(*) Pulse width limited by safe operating area

**N - CHANNEL ENHANCEMENT MODE
FAST POWER MOS TRANSISTOR**

TYPE	V _{DSS}	R _{DS(on)}	I _D
STH15NA50	500 V	< 0.4 Ω	14.6 A
STH15NA50FI	500 V	< 0.4 Ω	9.3 A
STW15NA50	500 V	< 0.4 Ω	14.6 A

- TYPICAL R_{DS(on)} = 0.33 Ω
- ± 30V GATE TO SOURCE VOLTAGE RATING
- 100% AVALANCHE TESTED
- REPETITIVE AVALANCHE DATA AT 100°C
- LOW INTRINSIC CAPACITANCES
- GATE CHARGE MINIMIZED
- REDUCED THRESHOLD VOLTAGE SPREAD

DESCRIPTION

This series of POWER MOSFETS represents the most advanced high voltage technology. The optimized cell layout coupled with a new proprietary edge termination concur to give the device low R_{DS(on)} and gate charge, unequalled ruggedness and superior switching performance.

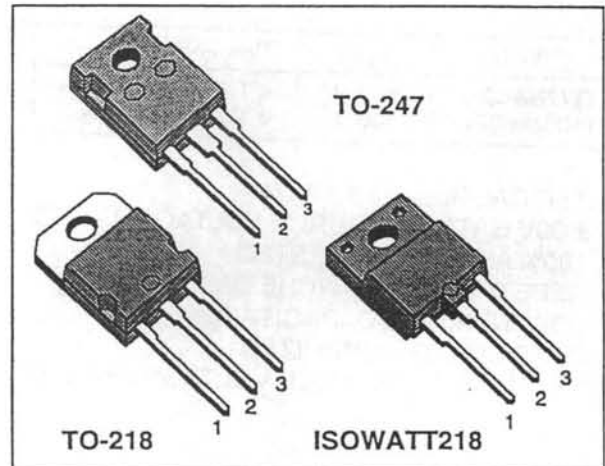
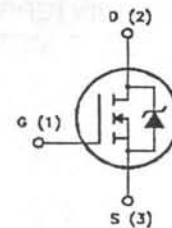
APPLICATIONS

- HIGH CURRENT, HIGH SPEED SWITCHING
- SWITCH MODE POWER SUPPLIES (SMPS)
- DC-AC CONVERTERS FOR WELDING EQUIPMENT AND UNINTERRUPTIBLE POWER SUPPLIES AND MOTOR DRIVE

ABSOLUTE MAXIMUM RATINGS

Symbol	Parameter	Value		Unit
		STH/STW15NA50	STH15NA50FI	
V _{DS}	Drain-source Voltage (V _{GS} = 0)	500		V
V _{DGR}	Drain- gate Voltage (R _{GS} = 20 kΩ)	500		V
V _{GS}	Gate-source Voltage	± 30		V
I _D	Drain Current (continuous) at T _c = 25 °C	14.6	9.3	A
I _D	Drain Current (continuous) at T _c = 100 °C	9.2	5.5	A
I _{DM} (*)	Drain Current (pulsed)	58.4	58.4	A
P _{tot}	Total Dissipation at T _c = 25 °C	190	80	W
	Derating Factor	1.52	0.64	W/°C
V _{ISO}	Insulation Withstand Voltage (DC)	—	4000	V
T _{stg}	Storage Temperature	-65 to 150		°C
T _j	Max. Operating Junction Temperature	150		°C

(*) Pulse width limited by safe operating area


INTERNAL SCHEMATIC DIAGRAM


ANNEXE 2

Modèles Pspice proposés par les constructeurs :

- Transistors MOS de puissance MTW14N50E et MTW7N80 de chez MOTOROLA,
- Transistor MOS de puissance BUZ338 de chez SIEMENS,
- Diode Schottky MBR10100 de chez MOTOROLA.


```

*****
*
*
*
* #####
* #
* #           MTW14N50E
* #
* #           Motorola TMOS Power FET
* #           14 AMPERES
* #           500 VOLTS
* #           RDS(on) = .4 OHMS
* #           Package = TO-220AB
* #
* #           This model was developed by
* #           Analogy, Inc.
* #           9205 SW Gemini Dr.
* #           Beaverton, OR 97005
* #           Copyright 1994 Analogy, Inc.
* #           All Rights Reserved
* #
* #           The content of this model is subject to change
* #           without notice and may not be modified or altered
* #           without permission from Motorola, Inc. This model
* #           has been carefully checked and is believed to be
* #           accurate, however neither Analogy nor Motorola
* #           assume liability for the use of this model or the
* #           results obtained from using it.
* #
* #           For more information regarding modeling services,
* #           model libraries or simulation products, please
* #           Analogy, Inc. (503) 626-9700.
* #
* #####
*
*
*
*****
* There are four simulation models provided on this disk for the MTW14N50E
* power mosfet. Three of the models are for use with SPICE based simulators
* and the fourth model is for use with the SABER(TM) simulator from Analogy.
*
* The three SPICE models have identical parameter values and model structure
* however the syntax is slightly modified in each model to support a variety
* of SPICE simulators. The SPICE model is based on the available elements
* in SPICE based electrical simulators and may have limited accuracy and
* convergence capabilities due to fundamental limitations in SPICE based
* simulators. Specifically, this model DOES NOT produce an accurate prediction
* of some non-linear capacitance effects, non-linear leakage characteristics,
* soft-knee breakdown, weak inversion characteristics, body diode forward and
* reverse recovery mechanisms, and maximum device ratings.
*
* The SABER model is a more accurate model that includes all non-linear
* capacitances, non-linear leakage characteristics, soft-knee breakdown, weak
* inversion characteristics, body diode forward and reverse recovery mechanisms,
* and maximum stress ratings. The model is available for use with the SABER(tm)
* simulator from Analogy and is written in MAST(tm), an Analog Hardware
* Description Language (AHDL). The SABER model is well suited for power circuit

```



```

* simulation.
*****
**
*
*****
**
*
* The model for this device is a subcircuit and can be used in the one of the
* following formats in any spice compatible simulator.
*
* This model file contains 3 subcircuits with correct syntax for SPICE2G.6,
* SPICE3C/D.X, HSPICE(tm) and PSPICE(tm). The user must call the proper subcircuit
* in their netlist depending on the simulator they are using, e.g.:
*
* X<name> Nodes<N1, N2, N3> Model_Name
*
* where X<name> is the circuit specific name, Nodes<N1, N2, N3> are the
* connection points for the device and Model_Name is the name of the model
* provided in this model file.
*
* There are 3 nodes for this device.
* The first is the Drain, the second is the Gate, and the third is the Source.
* The Model_Name is: mtw14n50eG for Berkley 2G.6 and compatible simulators.
*           mtw14n50eD for Berkley 3C.X, 3D.X and HSPICE(tm) simulators.
*           mtw14n50eP for Microsim PSPICE(tm) simulator.
* Example: X1 1 2 3 mtw14n50eX
*
***** MICROSIM PSPICE(tm) SIMULATORS
*****
***** INSTANTIATION *****
.subckt mtw14n50eP 10 20 30
*
* 10 = Drain 20 = Gate 30 = Source
*
*****
*----- EXTERNAL PARASITICS -----
* PACKAGE INDUCTANCE
*
LDRAIN 10 11 5e-09
LGATE 20 21 1.3e-08
LSOURCE 30 31 1.3e-08
*
* RESISTANCES
*
RDRAIN1 4 11 RDRAIN 0.277675
RDRAIN2 4 5 RDRAIN 1e-06
RSOURCE 31 6 RSOURCE 0.007018
RDBODY 8 30 RDBODY 0.012
*
RGATE 21 2 5
*
*-----
*----- CAPACITANCES AND BODY DIODE -----
*
DBODY 8 11 DBODY
DGD 3 11 DGD

```

```
CGDMAX 2 3 4.5e-09
RGDMAX 2 3 1e+08
CGS 2 6 2.95e-09
```

```
*
```

```
*-----
```

```
*
```

```
*----- CORE MOSFET -----
```

```
*
```

```
M1 5 2 6 6 MAIN
```

```
*
```

```
*-----
```

```
*
```

```
.MODEL RDRAIN RES (
```

```
+TC1 = 0.00996674
```

```
+TC2 = 3.28146e-05)
```

```
*
```

```
.MODEL RSOURCE RES (
```

```
+TC1 = -0.0100682
```

```
+TC2 = 2.51753e-05)
```

```
*
```

```
.MODEL RDBODY RES (
```

```
+TC1 = 0.003666
```

```
+TC2 = 1.83381e-06)
```

```
*
```

```
*
```

```
.MODEL MAIN NMOS (
```

```
+LEVEL = 3
```

```
+VTO = 3.7
```

```
+KP = 20
```

```
+GAMMA = 2.5
```

```
+PHI = 0.6
```

```
+LAMBDA = 0.001474
```

```
+RD = 0
```

```
+RS = 0
```

```
+CBD = 0
```

```
+CBS = 0
```

```
+IS = 1e-14
```

```
+PB = 0.8
```

```
+CGSO = 0
```

```
+CGDO = 0
```

```
+CGBO = 0
```

```
+RSH = 0
```

```
+CJ = 0
```

```
+MJ = 0.5
```

```
+CJSW = 0
```

```
+MJSW = 0.33
```

```
+JS = 1e-14
```

```
+TOX = 1e-07
```

```
+NSUB = 1e+15
```

```
+NSS = 0
```

```
+NFS = 6.6e+11
```

```
+TPG = 1
```

```
+XJ = 0
```

```
+LD = 0
```

```
+UO = 600
```

```
+UCRIT = 1000
```

```
+UEXP = 0
```

```
+UTRA = 0
```

```
+VMAX = 0
+NEFF = 1
+KF = 0
+AF = 1
+FC = 0.5
+DELTA = 0
+THETA = 0
+ETA = 0
+KAPPA = 0.2)
```

```
*
```

```
-----
```

```
*
```

```
.MODEL DGD D (
+IS = 1e-15
+RS = 0
+N = 1000
+TT = 0
+CJO = 2.604e-09
+VJ = 0.4628
+M = 0.906
+EG = 1.11
+XTI = 3
+KF = 0
+AF = 1
+FC = 0.5
+BV = 10000
+IBV = 0.001)
```

```
*
```

```
-----
```

```
*
```

```
.MODEL DBODY D (
+IS = 1.923e-11
+RS = 0
+N = 1.044
+TT = 3.6e-07
+CJO = 2.095e-09
+VJ = 1.12
+M = 0.6523
+EG = 1.11
+XTI = 3
+KF = 0
+AF = 1
+FC = 0.5
+BV = 579
+IBV = 0.00025)
.ENDS
```

```

*****
*
*
*
* #####
* #
* #           MTW7N80E
* #
* #           Motorola TMOS Power FET
* #           7 AMPERES
* #           800 VOLTS
* #           RDS(on) = 1.4 OHMS
* #           Package = 340F-03
* #
* #           This model was developed by
* #           Analogy, Inc.
* #           9205 SW Gemini Dr.
* #           Beaverton, OR 97005
* #           Copyright 1994 Analogy, Inc.
* #           All Rights Reserved
* #
* #           The content of this model is subject to change
* #           without notice and may not be modified or altered
* #           without permission from Motorola, Inc. This model
* #           has been carefully checked and is believed to be
* #           accurate, however neither Analogy nor Motorola
* #           assume liability for the use of this model or the
* #           results obtained from using it.
* #
* #           For more information regarding modeling services,
* #           model libraries or simulation products, please
* #           contact Analogy, Inc. (503) 626-9700.
* #
* #####
*
*
*
*****

```

* There are four simulation models provided on this disk for the MTW7N80E power mosfet. Three of the models are for use with SPICE based simulators and the fourth model is for use with the SABER(TM) simulator from Analogy.

* The three SPICE models have identical parameter values and model structure however the syntax is slightly modified in each model to support a variety of SPICE simulators. The SPICE model is based on the available elements in SPICE based electrical simulators and may have limited accuracy and convergence capabilities due to fundamental limitations in SPICE based simulators. Specifically, this model DOES NOT produce an accurate prediction of some non-linear capacitance effects, non-linear leakage characteristics, soft-knee breakdown, weak inversion characteristics, body diode forward and reverse recovery mechanisms, and maximum device ratings.

* The SABER model is a more accurate model that includes all non-linear capacitances, non-linear leakage characteristics, soft-knee breakdown, weak inversion characteristics, body diode forward and reverse recovery mechanisms, and maximum stress ratings. The model is available for use with the SABER(tm) simulator from Analogy and is written in MAST(tm), an Analog Hardware Description Language (AHDL). The SABER model is well suited for power circuit

```

* simulation.
*****
**
*
*****
**
*
* The model for this device is a subcircuit and can be used in the one of the
* following formats in any spice compatible simulator.
*
* This model file contains 3 subcircuits with correct syntax for SPICE2G.6,
* SPICE3C/D.X, HSPICE(tm) and PSPICE(tm). The user must call the proper subcircuit
* in their netlist depending on the simulator they are using, e.g.:
*
* X<name> Nodes<N1, N2, N3> Model_Name
*
* where X<name> is the circuit specific name, Nodes<N1, N2, N3> are the
* connection points for the device and Model_Name is the name of the model
* provided in this model file.
*
* There are 3 nodes for this device.
* The first is the Drain, the second is the Gate, and the third is the Source.
* The Model_Name is: mtw7n80eG for Berkley 2G.6 and compatible simulators.
*           mtw7n80eD for Berkley 3C.X, 3D.X and HSPICE(tm) simulators.
*           mtw7n80eP for Microsim PSPICE(tm) simulator.
* Example: X1 1 2 3 mtw7n80eX
*
**** MICROSIM PSPICE(tm) SIMULATORS
*****
***** INSTANTIATION *****
.subckt mtw7n80eP 10 20 30
*
* 10 = Drain 20 = Gate 30 = Source
*
*****
*----- EXTERNAL PARASITICS -----
* PACKAGE INDUCTANCE
*
LDRAIN 10 11 4.5e-09
LGATE 20 21 7.5e-09
LSOURCE 30 31 7.5e-09
*
* RESISTANCES
*
RDRAIN1 4 11 RDRAIN 0.9716
RDRAIN2 4 5 RDRAIN 0.001
RSOURCE 31 6 RSOURCE 0.01138
RDBODY 8 30 RDBODY 0.01554
*
RGATE 21 27
*
*-----
*----- CAPACITANCES AND BODY DIODE -----
*
DBODY 8 11 DBODY
DGD 3 11 DGD

```

```
CGDMAX 2 3 3.5e-09
RGDMAX 2 3 1e+08
CGS 2 6 2.642e-09
```

```
*
```

```
*-----
```

```
*
```

```
*----- CORE MOSFET -----
```

```
*
```

```
M1 5 2 6 6 MAIN
```

```
*
```

```
*-----
```

```
*
```

```
.MODEL RDRAIN RES (
```

```
+TC1 = 0.009478
```

```
+TC2 = 2.757e-05)
```

```
*
```

```
.MODEL RSOURCE RES (
```

```
+TC1 = 0.007887
```

```
+TC2 = 0)
```

```
*
```

```
.MODEL RDBODY RES (
```

```
+TC1 = 0.002749
```

```
+TC2 = 2.947e-07)
```

```
*
```

```
*
```

```
.MODEL MAIN NMOS (
```

```
+LEVEL = 3
```

```
+VTO = 3.622
```

```
+KP = 15.55
```

```
+GAMMA = 3.185
```

```
+PHI = 0.6
```

```
+LAMBDA = 0.0005952
```

```
+RD = 0
```

```
+RS = 0
```

```
+CBD = 0
```

```
+CBS = 0
```

```
+IS = 1e-14
```

```
+PB = 0.8
```

```
+CGSO = 0
```

```
+CGDO = 0
```

```
+CGBO = 0
```

```
+RSH = 0
```

```
+CJ = 0
```

```
+MJ = 0.5
```

```
+CJSW = 0
```

```
+MJSW = 0.33
```

```
+JS = 1e-14
```

```
+TOX = 1e-07
```

```
+NSUB = 1e+15
```

```
+NSS = 0
```

```
+NFS = 6.684e+11
```

```
+TPG = 1
```

```
+XJ = 0
```

```
+LD = 0
```

```
+UO = 600
```

```
+UCRIT = 10000
```

```
+UEXP = 0
```

```
+UTRA = 0
```

+VMAX = 1e+06
+NEFF = 1
+KF = 0
+AF = 1
+FC = 0.5
+DELTA = 0
+THETA = 0
+ETA = 0
+KAPPA = 0.2)

*

*-----

*

.MODEL DGD D (

+IS = 1e-15
+RS = 0
+N = 1000
+TT = 0
+CJO = 2.672e-09
+VJ = 1.234
+M = 1.443
+EG = 1.11
+XTI = 3
+KF = 0
+AF = 1
+FC = 0.5
+BV = 10000
+IBV = 0.001)

*

*-----

*

.MODEL DBODY D (

+IS = 2.046e-11
+RS = 0
+N = 1.045
+TT = 3.869e-07
+CJO = 1.976e-09
+VJ = 0.6107
+M = 0.6118
+EG = 1.11
+XTI = 2.486
+KF = 0
+AF = 1
+FC = 0.5
+BV = 880
+IBV = 0.00025)

.ENDS


```

*****
* SIEMENS SIPMOS Power Transistors *
* SPICE Library Version 1.0 *
* *
* Models provided by SIEMENS are not warranted by SIEMENS as *
* fully representing all of the specifications and operating *
* characteristics of the semiconductor product to which the *
* model relates. The model describe the characteristics of a *
* typical device. *
* In all cases, the current data sheet information for a given *
* device is the final design guideline and the only actual *
* performance specification. *
* Although models can be a useful tool in evaluating device *
* performance, they cannot model exact device performance under *
* all conditions, nor are they intended to replace bread- *
* boarding for final verification. SIEMENS reserves the right *
* to change models without prior notice. *
* *
* *
* ----- *
* connections: gate *
* | source *
* || drain *
* ||| *
*.subckt BUZ-342 1 2 3 *
* ----- *

```

```

*****
.SUBCKT BUZ-338 1 2 3
LS 5 2 7N
LD 95 3 5N
RG 4 11 5.5M
RS 5 76 14M
D338 76 95 DREV
.MODEL DREV D CJO=0.65N RS=20M TT=500N IS=300P BV=500
M338 86 11 76 76 MBUZ
.MODEL MBUZ NMOS VTO=3.53 KP=15.731
M2 11 86 8 8 MSW
.MODEL MSW NMOS VTO=0.001 KP=5
M3 86 11 8 8 MSW
COX 11 8 1.3N
DGD 8 86 DCGD
.MODEL DCGD D CJO=0.867N M=0.578 VJ=1.016
CGS 76 11 2.5N
MRDR 86 86 95 86 MVRD
.MODEL MVRD NMOS VTO=-19.18 KP=0.175
LG 4 1 7N
.ENDS
*****

```

```

#####
# #
# #
# #
# #####
# # # #
# # MBR10100 # #
# # # #
# # # #
# # Motorola Power Rectifier # #
# # 10 AMPERES # #
# # 100 VOLTS # #
# # # #
# # This model was developed by # #
# # Analogy, Inc. # #
# # 9205 SW Gemini Dr. # #
# # Beaverton, OR 97005 # #
# # Copyright 1994 Analogy, Inc. # #
# # All Rights Reserved # #
# # # #
# # The content of this model is subject to change # #
# # without notice and may not be modified or altered # #
# # without permission from Motorola, Inc. This model # #
# # has been carefully checked and is believed to be # #
# # accurate, however neither Analogy nor Motorola # #
# # assume liability for the use of this model or the # #
# # results obtained from using it. # #
# # # #
# # For more information regarding modeling services, # #
# # model libraries or simulation products, please # #
# # call Analogy, Inc. (503) 626-9700. # #
# # # #
# #####
# #
# #
#####
.model MBR10100 d
+ is= 1.567e-07
+ rs= 0.01853
+ n= 1.031
+ tt= 2e-08
+ cjo= 1.22e-09
+ vj= 0.5408
+ m= 0.4941
+ eg= 0.6
+ xti= 8
+ fc= 0.5
+ bv= 122
+ ibv= 0.001
+ kf= 0
+ af= 1

```

Résumé : Modélisation des transistors MOS de puissance pour l'électronique de commutation.

Le rendement théorique unitaire des convertisseurs à découpage rend ceux-ci attrayants dès qu'il s'agit de traiter l'énergie électrique. Mais les contraintes de coût et d'encombrement imposent des fréquences de commutation toujours plus élevées (ce qui entraîne des contraintes CEM) et l'utilisation de supports modernes permettant la miniaturisation (SMI, Hybride, Silicium). Dans ce contexte, la simulation est devenue une étape indispensable à la conception de convertisseurs et la modélisation fine des éléments qui les constitue (dont les transistors MOS de puissance font souvent partie à faible tension) une nécessité.

Ce travail traite de la modélisation du transistor VDMOS et se partage en trois parties. La première aborde le cas de son comportement statique en intégrant la particularité de son canal réalisé par double diffusion. Le modèle simplifié qui en découle se limite à 5 paramètres dont les méthodes d'extraction utilisées sont décrites. La seconde partie de ce travail est une étude fine du comportement dynamique du VDMOS dans sa cellule de commutation. Elle complète le modèle statique et permet un modèle fiable rendant compte de l'influence du niveau de courant sur les commutations moyennant 6 paramètres supplémentaires. Les différentes méthodes de mesure permettant de déterminer les valeurs de ces paramètres sont détaillées. Enfin, la troisième et dernière partie valide le modèle à l'aide de l'outil de simulation Pspice. Une comparaison est faite avec d'autres modèles proposés dans la littérature.

Digest : Modelling of Power MOSFET Transistor for Switching Applications.

The theoretical efficiency of switching converters is 100 %, which makes them very attractive for their use in energy conversion applications. However, their cost and size imply the use of ever higher commutation frequencies (leading to EMC problems) and their integration into modern substrates (SMI, hybride, Si). Simulation of the converter structure has therefore become a vital step in the design process, as has the fine modelling of its components (including power MOSFETs which are often used at low voltages). The present work deals with the modelling of the VDMOS transistor. It comprises of three chapters. In the first chapter, the static behaviour of the VDMOS is analysed, taking into account the specificity of its double-diffused canal. The simplified model developed only needs 5 parameters. In the second chapter, the dynamical behaviour of the VDMOS within its commutation cell is studied in detail. This study introduces 6 extra parameters which, by describing the influence of currents levels on the commutations, make the model more accurate thus complementing the static analysis. The methods used for extracting the parameters from measurements are described in each chapter. The third chapter validates the model using the simulation software Pspice. A comparative study is carried out against the literature.

Mots clés : Electronique de puissance
Modélisation
Simulation Pspice

Transistor VDMOS
Cellule de commutation

Laboratoire d'Electrotechnique de Grenoble - ENSIEG - INPG -961 rue de la Houille
Blanche - Domaine universitaire - B.P.46 - 38402 Saint-Martin d'Hères Cedex -
Tel : 04 76 82 63 90 - Fax : 04 76 82 63 00

cmg