



HAL
open science

Le transistor MOSFET en Commutation : Application aux Associations Série et Parallèle de Composants à grille isolée.

Pierre-Olivier Jeannin

► **To cite this version:**

Pierre-Olivier Jeannin. Le transistor MOSFET en Commutation : Application aux Associations Série et Parallèle de Composants à grille isolée.. Energie électrique. Institut National Polytechnique de Grenoble - INPG, 2001. Français. NNT: . tel-00092429

HAL Id: tel-00092429

<https://theses.hal.science/tel-00092429v1>

Submitted on 11 Sep 2006

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THESE

pour obtenir le grade de

DOCTEUR DE L'INPG

Spécialité : « Génie électrique »

préparée au **Laboratoire d'Electrotechnique de Grenoble (LEG)**

dans le cadre de **l'Ecole Doctorale « E.E.A.T.S. »**

présentée et soutenue publiquement

par

Pierre-Olivier JEANNIN

Ingénieur ENSAIS, Agrégé de Génie Electrique.

le 29 mai 2001

Titre :

**Le transistor MOSFET en commutation :
Application aux associations série et parallèle
de composants à grille isolée.**

Directeur de thèse : Robert PERRET

Jury

M. Jean JALADE	Président
M. Gérard ROJAT	Rapporteur
M. François COSTA	Rapporteur
M. Robert PERRET	Directeur de thèse
M. Jean-Luc SCHANEN	Co-encadrant
M. José SAIZ	Examineur

Remerciements :

Tout d'abord, merci aux membres de l'équipe électronique de puissance du Laboratoire d'Electrotechnique de Grenoble qui m'ont accueilli et soutenu au long de ces années passées en leur compagnie. Je pense bien sur à Jean-Luc SCHANEN qui a été le véritable fil directeur de ce travail, par lequel tant d'énergie a été fournie. Il y a également Robert PERRET et James ROUDET qui m'ont accueilli au Laboratoire d'Electrotechnique de Grenoble et qui ont toujours été là pour me conseiller dans mes choix. Sans oublier Christian SCHAEFFER, Jean-Paul FERRIEUX et les autres qui m'ont apporté leurs compétences, leurs conseils et leur enthousiasme de chercheur.

Je tiens à exprimer mes sincères remerciements à MM. Gérard ROJAT et François COSTA pour l'honneur qu'ils m'ont fait d'accepter d'être rapporteurs de ce travail de thèse et pour les nombreuses critiques constructives qu'ils ont émis. Merci aussi à M. Jean JALADE d'avoir présidé la soutenance de la thèse.

Merci à Luc MEYSENC, José SAIZ, et les autres membres d'Altom Tarbes pour leur coopération lors de ce travail.

Merci également à toutes les personnes qui assurent le bon fonctionnement du laboratoire, la direction, les personnels administratifs et techniques ainsi que les enseignants.

Enfin, je tiens à terminer par les jeunes chercheurs du laboratoire pour leur soutien, leur aide, leur amitié et les bons moments que l'on a passé ensemble. Je pense en particulier aux membres de l'équipe électronique de puissance et aux utilisateurs de la salle EPTE : David, Yvan, Jimmy, Max, Guillaume, Martin, Seb, Ludo, Raph, Jean-Michel, Corinne, Pat, Ambroise, Beber, Gwen, Cécile, Karim, Goubs, Grain...

Enfin un merci particulier à ma famille pour m'avoir soutenu tout au long de ces années d'études et à Adi pour m'avoir supporté pendant la fin de la rédaction du mémoire.

Sommaire

<i>Introduction générale</i>	<u>1</u>
<i>Chapitre I : Une cellule de commutation bien définie</i>	<u>4</u>
<i>I.1. Introduction.</i>	<u>5</u>
<i>I.2. De l'onduleur triphasé à la cellule de commutation [SCHANEN-00].</i>	<u>5</u>
<i>I.3. Le Transistor MOS de puissance :structure physique.</i>	<u>6</u>
I.3.1. Préambule : Principe de fonctionnement de la structure Métal Oxyde Semiconducteur, effet de champ.	<u>7</u>
I.3.2. Tenue en tension statique.	<u>8</u>
I.3.3. Résistance à l'état passant.	<u>9</u>
I.3.4. Eléments parasites.	<u>12</u>
I.3.4.1 Eléments de type semiconducteurs.	<u>12</u>
I.3.4.2 Les capacités parasites.	<u>12</u>
I.3.4.2.1 Mise en évidence des capacités parasites.	<u>12</u>
I.3.4.2.2 Identification des capacités parasites.	<u>14</u>
I.3.5. Le MOSFET de puissance en commutation.	<u>16</u>
<i>I.4. La diode PIN de puissance.</i>	<u>18</u>
I.4.1. Structure physique.	<u>18</u>
I.4.2. Modèles de la diode de puissance.	<u>20</u>
I.4.2.1 Préambule : Modèle "constructeur".	<u>20</u>
I.4.2.2 Macro-modèle.	<u>21</u>
I.4.2.3 Modèle dérivé de la physique du semiconducteur.	<u>23</u>
<i>I.5. Modèles Informatiques d'une cellule de commutation.</i>	<u>27</u>
I.5.1. Modélisation du câblage : Méthode PEEC et rôle des mutuelles inductances.	<u>27</u>
I.5.2. Utilisation d'un macro-modèle pour la diode.	<u>28</u>
I.5.2.1 Fermeture du MOSFET.	<u>29</u>
I.5.2.2 Ouverture du MOSFET.	<u>30</u>
I.5.3. Utilisation du modèle physique de la diode PIN	<u>32</u>
<i>I.6. Dispositif expérimental.</i>	<u>34</u>

I.7. Conclusion.	35
Chapitre II : Les acteurs de la commutation, formulations analytiques.	37
II.1. Introduction.	38
II.2. Influence de la diode.	39
II.2.1. Lors de la phase de fermeture du MOSFET.	39
II.2.1.1. Zones respectives d'influence de la diode et du MOSFET.	39
II.2.1.2. Influence des paramètres de la diode sur la commutation.	41
II.2.2. Lors de la phase d'ouverture du MOSFET.	44
II.3. Influence du MOSFET.	44
II.3.1. Influence des capacités du MOSFET (étude réalisée en simulation) [LAUZIER-99].	45
II.3.2. Influence de la source de courant du MOSFET.	47
II.4. Influence du câblage et du circuit de commande.	50
II.4.1. Influence de l'inductance L_G.	50
II.4.2. Influences de l'inductance de commutation et de la résistance de grille (lors de la fermeture du MOSFET).	51
II.4.3. Influences de l'inductance de commutation et de la résistance de grille (lors de l'ouverture du MOSFET).	55
II.4.4. Importance du courant commuté.	56
II.5. Synthèse.	57
II.6. Formulations analytiques des vitesses de commutation.	57
II.6.1. Commutation en courant.	57
II.6.2. Commutation en tension (ouverture et fermeture du MOSFET).	60
II.7. Conclusion, formes d'ondes idéalisées.	62
II.7.1. Fermeture du MOSFET.	62
II.7.2. Ouverture du MOSFET.	63
II.7.3. Conclusion.	65
Chapitre III : Mise en parallèle de composants à grille isolée.	66
III.1. Introduction.	67

III.2. Etude du rôle du câblage lors de la mise en parallèle de n semiconducteurs.	68
III.2.1. Présentation de la structure étudiée.	68
III.2.2. Etude théorique du partage du courant entre n semiconducteurs en régime harmonique.	70
III.2.2.1. Conditions d'équilibre dynamique des courants.	70
III.2.2.2. Analyse des déséquilibres.	71
III.2.2.3. Analyse des surtensions à l'ouverture.	72
III.3. Etude détaillée de la mise en parallèle de 2 MOSFET	74
III.3.1. Présentation de la structure et notations	74
III.3.2. Etude de l'influence du câblage dans la répartition des courants.	75
III.3.3. Etude de l'influence du semiconducteur dans la répartition des courants.	76
III.3.3.1. Mise en évidence d'un courant de circulation lors de l'ouverture.	76
III.3.3.2. Mise en équation du courant de circulation lors de l'ouverture.	77
III.3.3.3. Solutions pour réduire le courant de circulation lors de l'ouverture.	81
III.3.4. Etude du déséquilibre des tensions aux bornes des deux composants.	82
III.4. Applications.	84
III.4.1. Etude du courant de circulation dans un module (IRFK2D450).	84
III.4.1.1. Le module IRFK2D450.	84
III.5. Simulation et résultats expérimentaux.	86
III.5.1. Simulations.	87
III.5.2. La phase de fermeture.	88
III.5.3. Phase d'ouverture.	89
III.6. Conclusion.	91
Chapitre IV : Mise en série de composants a grille isolée	93
IV.1. Introduction.	94
IV.2. Outil d'analyse, de simulation et d'expérimentation.	94
IV.2.1. Outil de Simulation sous MATLAB.	95
IV.2.2. Dispositif expérimental.	96
IV.3. Analyse des causes des déséquilibres.	97
IV.3.1. Effet des temps de retard.	98

IV.3.2.	Effet des non linéarités des capacités du MOSFET.	99
IV.3.3.	Effet des capacités de mode commun (capacités parasites avec l'environnement).[FREY-00 et GUIDINI-95]	100
IV.3.3.1.	Durant la commutation (ouverture).	101
IV.3.3.2.	Durant la phase statique (bloquée).	103
IV.3.4.	Effet des différences de vitesse de croissance de la tension.	103
IV.3.5.	Calculs des ΔV finaux.	104
IV.3.6.	Conclusion sur les causes des déséquilibres.	106
IV.4.	Dispositifs d'équilibrage.	107
IV.4.1.	Etat de l'art.	107
IV.4.2.	Analyse de solutions capacitives.	108
IV.4.2.1.	Capacité extérieur entre drain et source : $C_{DS_extérieur}$.	109
IV.4.2.2.	Condensateur extérieure entre grille et drain : $C_{GD_extérieur}$.	112
IV.4.3.	Dispositif de protection et d'équilibrage à base de diodes transil.	115
IV.4.4.	Etude d'un écrêteur actif combinant les fonctions de protection et d'équilibrage.	118
IV.4.4.1.	Présentation du système.	118
IV.4.4.2.	Résultats expérimentaux.	121
IV.4.4.3.	Conclusion sur le circuit d'écrêtage actif.	125
IV.5.	Conclusion.	125
	Conclusion Générale	126
	Références Bibliographiques	129
	Annexes	135

Chapitre I

Une cellule de commutation bien définie.

<i>I.1. Introduction.</i>	<i>10</i>
<i>I.2. Modélisation des semiconducteurs et du câblage.</i>	<i>10</i>
<i>I.3. Mise en œuvre informatiques de la cellule de commutation MOS-diode-câblage.</i>	<i>24</i>
<i>I.4. Dispositif expérimental.</i>	<i>32</i>
<i>I.5. Conclusion.</i>	<i>32</i>

I.1. Introduction.

L'objectif de ce chapitre est de décrire les outils que nous mettrons en œuvre pour comprendre au mieux les mécanismes intervenant dans la commutation. Le support de l'étude sera une cellule commutation à base d'une diode PIN et d'un MOSFET de puissance. Cette cellule sera la brique élémentaire pour la réalisation de la plupart des convertisseurs plus complexes.

Tout au long de cette étude, la simulation sera pour nous un outil essentiel qui nous permettra de nous affranchir des imprécisions dues aux mesures, d'obtenir des valeurs très difficilement accessibles autrement (tensions apparaissant réellement aux bornes des puces de silicium par exemple), et de faire varier aisément les paramètres intervenant au cours des phases de commutation (inductances et capacités parasites notamment). Ainsi cela nous apportera une meilleure compréhension de la commutation en nous permettant d'évaluer la sensibilité des formes d'ondes par rapports aux divers paramètres intervenant au cours de ces phases. Cependant pour réaliser des simulations fiables et représentatives, les modèles de semiconducteurs ne sont pas suffisants : il est essentiel de prendre en compte tout l'environnement des composants. Le chapitre II nous montrera notamment que les éléments parasites du câblage peuvent avoir une influence importante sur les vitesses de commutation des divers semiconducteurs, et de ce fait sur les équilibres des contraintes tant en courant qu'en tension dans le cadre d'association de composants en série ou en parallèle. Les aspects inductifs seront particulièrement important pour la mise en parallèle. Pour ce qui concerne la mise en série, les capacités (de mode commun) auront quand à elles un impact prépondérant.

Nous présenterons, dans un premier temps, les modélisations précises des semiconducteurs (MOSFET et diode PIN) et du câblage ainsi que l'implantation de ces modèles sous l'environnement Matlab qui a été réalisé par M. Akhbari. Deux logiciels distincts ont été développés utilisant 2 modélisations différentes pour la diode PIN. Nous présenterons également les paramètres à fournir aux deux logiciels précédents.

Nous terminerons par le dispositif expérimental utilisé parallèlement aux modélisations informatiques de la cellule de commutations.

I.2. Modélisation des semiconducteurs et du câblage.

I.2.1. Le Transistor MOS de puissance.

Le transistor Métal-Oxyde-Semiconducteur (MOS) de puissance est apparu sur le marché des composants discrets en 1976. Depuis, son utilisation dans le domaine de l'électronique de puissance, a fortement progressée. Les transistors MOS utilisés en commutation (Electronique de puissance) sont principalement à structures verticales. Contrairement au transistor bipolaire où la conduction est assurée par des porteurs minoritaires, le MOS est un dispositif unipolaire où la conduction se fait par porteurs

majoritaires, ce qui en fait un composant plus rapide. Actuellement le domaine d'utilisation des MOSFET s'étend jusqu'à une tension d'environ 1000V et un courant d'une centaine d'Ampère.

Ce dispositif présente de nombreuses qualités :

- Impédance d'entrée élevée et donc une facilité de commande par la grille isolée.
- Grande vitesse de commutation liée à l'absence de stockage des porteurs minoritaires.
- Comportement électrothermique positif (augmentation de la résistance à l'état passant lorsque la température augmente) qui empêche l'emballement thermique. Par conséquent, sur un plan statique, la mise en parallèle de ce type de composant présentera que peu de problèmes grâce à cette autorégulation thermique.

Cependant ce composant est généralement cantonné à des applications relativement basse tension car plus son calibre en tension est important, plus sa résistance à l'état passant augmente.

I.2.1.1 Schéma électrique équivalent.

Le fonctionnement du MOSFET en commutation est plus particulièrement basé sur la charge et la décharge de ses capacités parasites. Le modèle communément retenu est présenté figure I-1. Le symbole du MOSFET au milieu du circuit équivalent représente la source de courant modélisant la fonction du dispositif. La résistance R_a ne représente qu'une faible part dans la résistance du MOSFET à l'état passant R_{DSon} , on la négligera donc.

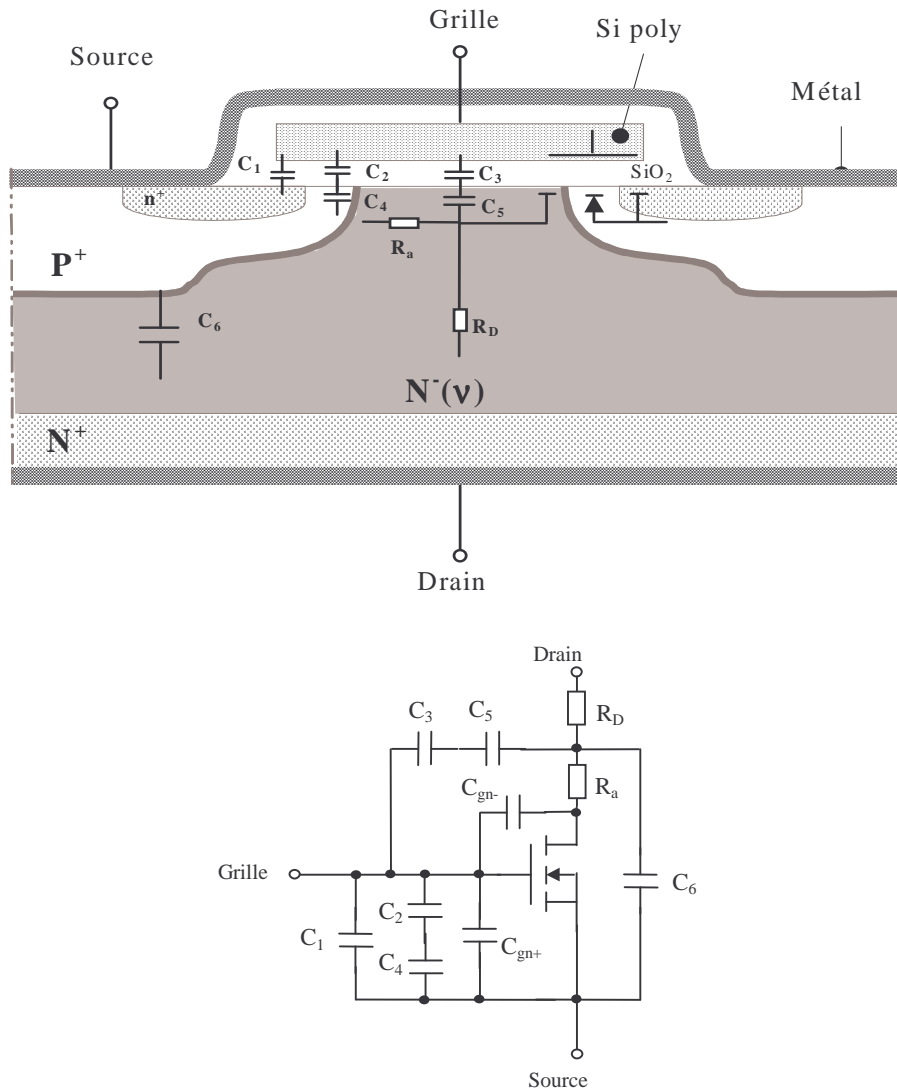


Fig.I- 1 : Coupe d'une cellule de MOSFET de puissance et son circuit équivalent.

On a les paramètres suivants :

1. C_1 représente la capacité entre la grille et la source N^+ (y compris toute la métallisation de la source). Cette capacité est déterminée par la structure et sa valeur est fixe.
2. $C_2 + C_4$ représente les capacités supplémentaires de grille-source dans la région P. C_2 est la capacité diélectrique, donc fixe alors que C_4 est due à la région de déplétion entre la source et le drain, elle varie avec la tension de grille.
3. $C_3 + C_5$ est aussi composée de deux parties, l'une fixe et l'autre variable. C_3 est une capacité diélectrique et C_5 varie significativement lorsque la tension drain-grille change de polarité.
4. C_6 est la capacité drain-source, elle varie avec la tension de drain.
5. Pour les tensions grille-source et grille-drain supérieures à la tension de seuil, le canal se forme sur le substrat et au-dessous de l'oxyde entre la source et la zone N^- . Dans ce cas la capacité grille-substrat peut être modélisée par deux capacités C_{gn+} et C_{gn-} qui dépendent des tensions appliquées.

Les capacités parasites peuvent alors être regroupées, et on obtient le modèle classique du MOSFET dans sa zone active, figure I-2.

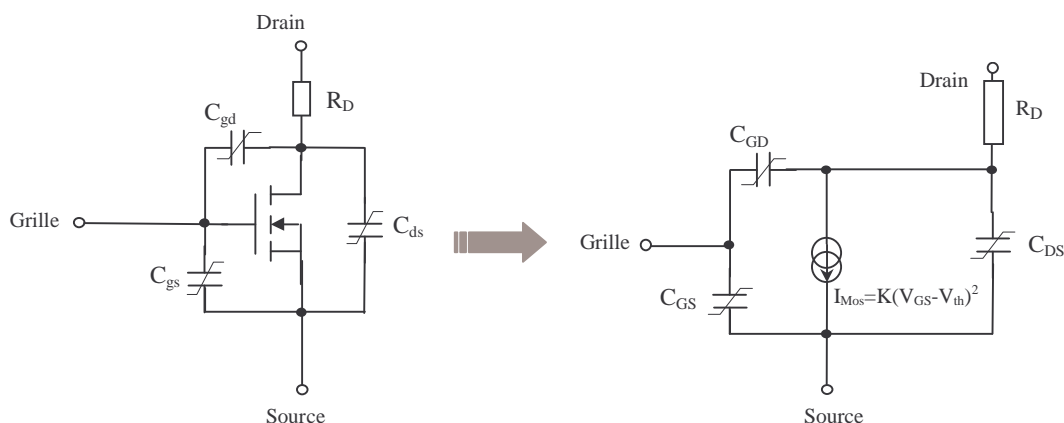


Fig.I- 2 : Schéma équivalent du MOSFET dans la zone active.

Le fonctionnement du MOSFET de puissance durant les commutations est fortement dépendant de la charge et la décharge de ses capacités parasites; un modèle précis doit donc les prendre en compte de manière rigoureuse. Les fabricants fournissent des données concernant ces capacités parasites dans les documentations techniques (datasheets). Elles sont malheureusement insuffisantes, ce qui rend nécessaire de les mesurer précisément.

I.2.1.2 Identification des capacités parasites.

En considérant le MOSFET comme un quadripôle électrostatique non linéaire (figure I-3), [LEMBEYE-97] a démontré qu'il était symétrique ($C_{GD} = C_{DG}$), et qu'a priori les trois capacités C_{DS} , C_{GD} et C_{GS} sont non linéaires en fonction des deux potentiels V_{DS} et V_{GS} .

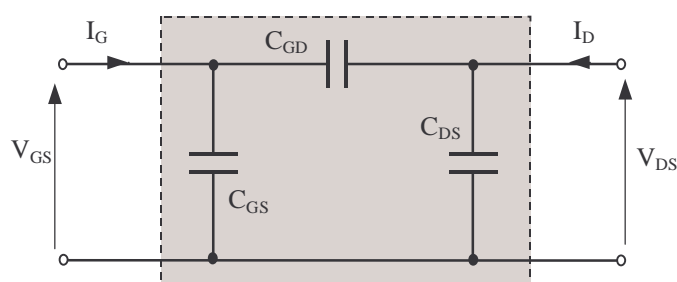


Fig.I- 3 : Représentation capacitive du MOSFET.

Les données du constructeur sont largement insuffisantes pour obtenir les variations de ces capacités. En effet, les courbes C_{iss} , C_{oss} , C_{rss} ¹ ne sont souvent tracées que pour une seule tension grille source (figure I-4).

¹ C_{iss} : capacité d'entrée; vue entre grille et source quand drain et source sont dynamiquement connectés.

C_{oss} : capacité de sortie; vue entre drain et source quand grille et source sont dynamiquement connectés.

C_{rss} : capacité miller; capacité entre grille et drain.

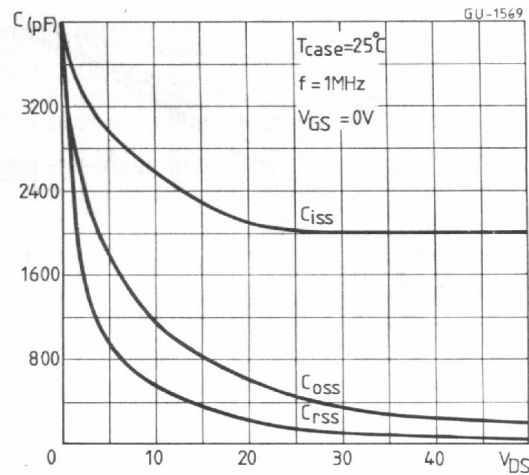


Fig.I- 4 : Capacités du MOSFET en fonction de V_{DS} (IRFP450FI) données dans les abaques du constructeur.

En polarisant le composant par des capacités externes, on peut déterminer des réseaux de courbes plus complets, à l'aide d'un pont de mesures d'impédances.

Malheureusement, les tensions grille-source sont limitées au dessous du seuil, afin de ne pas rendre brusquement passant le composant polarisé sous quelques dizaines de volts. Or, toutes les commutations se passent justement quand la tension grille-source est au dessus de V_{GSth} . L'utilisation de commutations traitées numériquement permet alors de compléter le réseau précédent, en utilisant des relations comme l'équation suivante [AKHBARI-00] et [AUBARD-99].

$$C_{iss} = \left. \frac{I_g}{\frac{dV_{gs}}{dt}} \right|_{V_{ds}=cste}, \quad C_{rss} = \frac{I_g}{\frac{d(V_{gs} - V_{ds})}{dt}} = - \left. \frac{I_g}{\frac{dV_{ds}}{dt}} \right|_{V_{gs}=\text{const}} \quad (I-1)$$

Les capacités du modèle de la figure I-3 sont alors obtenues avec les relations suivantes.

$$C_{GS} = C_{iss} - C_{rss}.$$

$$C_{GD} = C_{rss}.$$

$$C_{DS} = C_{oss} - C_{rss}.$$

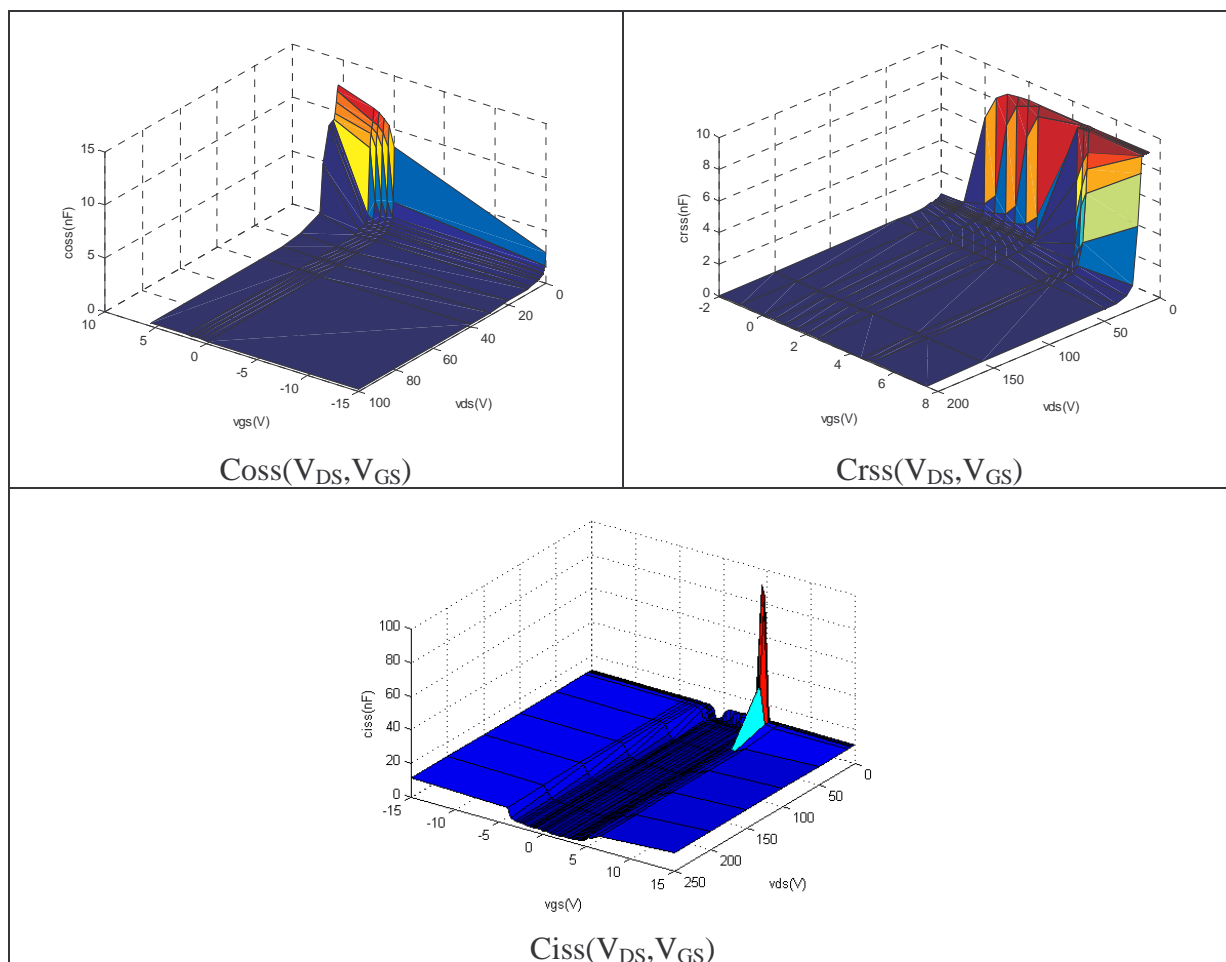


Fig.I- 5 : Evolution (mesurée) des capacités d'un MOSFET IRFP450FI en fonction de V_{DS} et V_{GS} .

I.2.1.3 La source de courant du MOSFET de puissance.

La source de courant définissant la partie active du MOSFET de puissance (figure I-2) peut être définie à l'aide d'une caractéristique statique. Dans la zone active, la caractéristique statique $I_D(V_{GS})$ peut être considérée comme linéaire au delà d'un certain niveau de courant (zone C-D de la figure I-6). En dessous de ce niveau, la modélisation la plus simple est quadratique:

$$I_D = K(V_{GS} - V_{GSth})^2 \quad (I-2)$$

Les données constructeur résument cette variation par une fonction $I_D = gm(V_{GS} - V_{GSth})$ avec gm non constant (dépendant de V_{GS}).

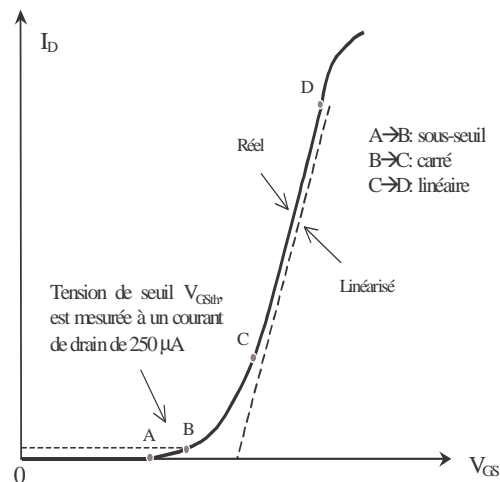


Fig.I- 6 : Caractéristiques de transfert du MOSFET de puissance.

I.2.1.4 Le MOSFET de puissance en commutation.

Le modèle utilisé pour représenter le MOSFET est un modèle phénoménologique. En fait, il s'agit ici, à partir du modèle classique de MOSFET en linéaire (dans la zone active du dispositif), de représenter la totalité des commutations. Pour cela, nous les avons décomposées en phases, chacune étant représentée par des schémas électriques équivalents [FARJAH-94, MERIENNE-96].

Trois phases peuvent être distinguées, correspondant à deux schémas électriques équivalents. Les phases "sous seuil" et "sur seuil", où le MOSFET voit ses circuits de grille et de puissance découplés (état passant ou bloqué); le schéma électrique est alors extrêmement simple (charge ou décharge de la capacité d'entrée du composant). Le troisième état est la phase "active", où le schéma équivalent est celui de la figure I-2. Les conditions de passage d'une phase à l'autre sont détaillées ci-après, et illustrées par la figure I-7.

- Fermeture du MOSFET

1. Phase "sous seuil". Les circuits de grille et de puissance sont indépendants, la tension grille source croît jusqu'à la tension de seuil $V_{GS(th)}$.
2. Le MOSFET passe en zone active. Nous allons avoir ici les commutations en courant et en tension.
3. Quand la tension V_{DS} atteint la tension $V_{DS(on)} = I_D \times R_{DS(on)}$, les circuits de grille et de puissance sont à nouveau découplés, et la tension V_{GS} évolue vers son niveau final.

- Ouverture du MOSFET
 1. Les circuits de grille et de puissance sont indépendants, la tension grille source décroît jusqu'à un niveau imposé par le courant du MOSFET : $V_{GS} = V_{GSth} + I_D/gm$ (ici gm est constant car I_D est grand).
 2. Le MOSFET passe en zone active, de même que lors de la fermeture, nous allons avoir alors les commutations en tension puis en courant.
 3. Quand le courant MOSFET s'annule, les circuits de grille et de puissance sont à nouveau découplés, et la tension V_{GS} évolue vers son niveau final.

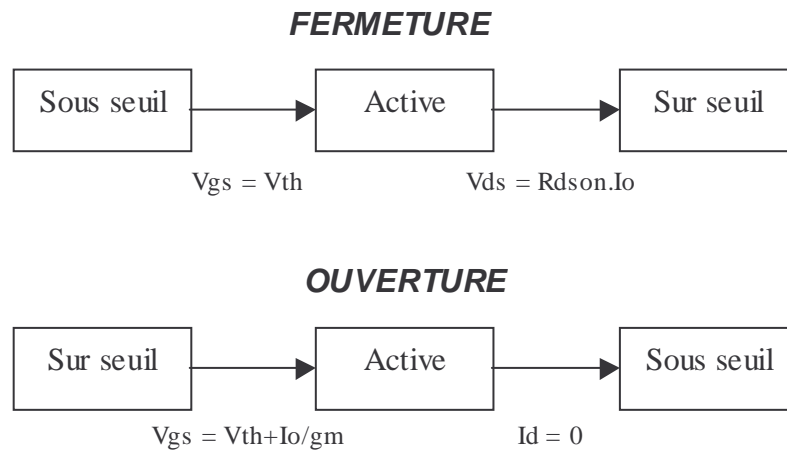


Fig.I- 7 : Enchaînement des différentes phases du MOSFET.

1.2.2. La diode PIN de puissance.

Les diodes de puissance sont caractérisées par leur densité de courant élevée en polarisation directe et leur haute tenue en tension inverse.

Le profil du dopage de la diode *PIN* de puissance, suivant les technologies de fabrication utilisées, est déterminé par la tension de claquage V_{BR} ; en haute tension ($V_{BR} > 1500$ V) on utilise la technologie toute diffusée (on part d'un substrat ν , d'un côté on diffuse en N^+ , et de l'autre en P^+) et pour les basses et moyennes tensions les diodes sont épi-diffusées (on part d'un substrat N^+ , on fait croître par épitaxie la zone ν , et l'on diffuse ensuite la zone P^+ dans cette dernière). La figure I-8 montre le profil du dopage d'une diode fabriquée par la technologie toute diffusée. Le matériau de départ est un substrat homogène faiblement dopé N dans lequel des diffusions sur chaque face sont réalisées [ARNOULD-92].

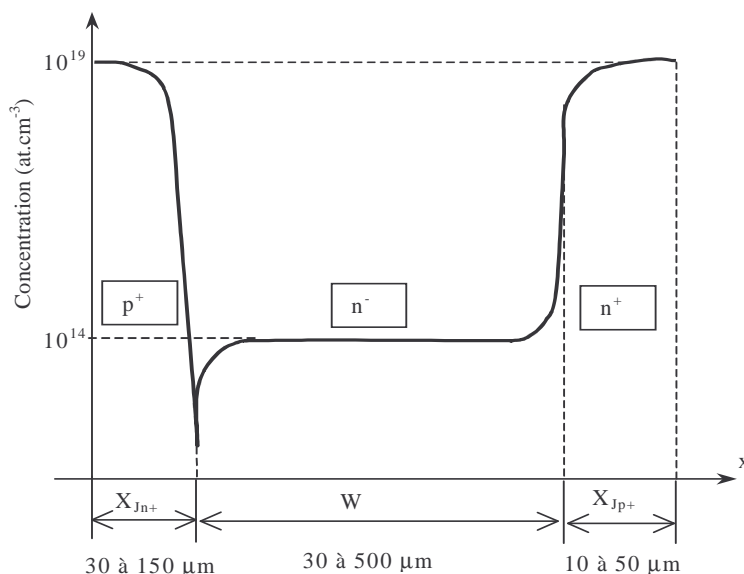


Fig.I- 8 : Profil de dopage d'une diode *PIN*, technologie toute diffusée.

Différents types de modèles peuvent être utilisés pour simuler le comportement d'une telle diode. On peut utiliser un modèle comportemental qui reproduit le comportement d'un composant vu de l'extérieur. C'est ce type de modèle qui est présenté dans les "databooks". Cependant cela est peu pratique pour la diode de puissance, car dans ce cas, il est nécessaire d'adapter les paramètres aux points de fonctionnement. Outre ce type de « macro-modèle » (qui devra donc être adapté au point de fonctionnement simulé), nous utiliserons un modèle basé sur la physique du composant qui reproduira assez fidèlement le comportement de la diode indépendamment du point de fonctionnement. L'intérêt de l'utilisation de ces deux types de modèles est d'évaluer l'influence de la diode lors des commutations dans une cellule MOSFET Diode *PIN*.

I.2.2.1 Modèle comportemental.

I.2.2.1.1 Préambule : Modèle "constructeur".

Ce type de modèle est basé sur une méthode analogue à celle consistant à enregistrer des formes d'ondes dans un grand nombre de configurations. Un certain nombre de caractéristiques (recouvrement, surtension...) sont tabulées en fonction des conditions de commutation. Le modèle fourni ici se base pour partie sur la note d'application de [RIVET-94]. La documentation de STMicroélectronique donne d'une part le niveau de courant de recouvrement (IRM) de la diode en fonction du dI/dt qui lui est appliqué (à température fixée) et d'autre part un paramètre S ("softness") qui fixe le temps de décroissance (t_b) du courant en fonction du temps de recouvrement t_a . Ce paramètre S dépend également du dI/dt appliqué à la diode.

$$S = t_b/t_a \quad (I-3)$$

Les différentes notations sont portées sur la figure suivante.

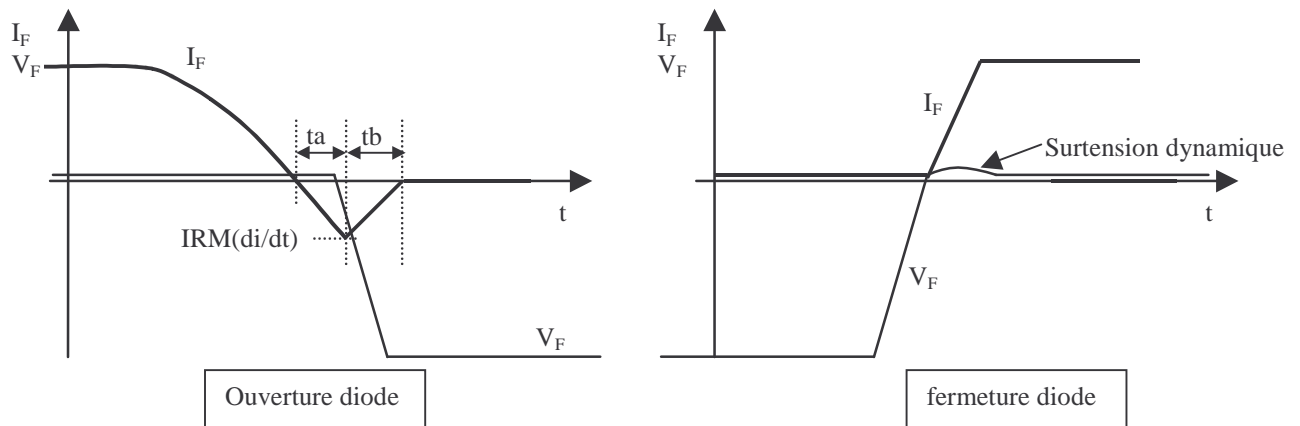


Fig.I- 9 : Modèle simplifié pour la diode.

En ce qui concerne la tension, on considère qu'elle est entièrement imposée par le circuit extérieur (MOSFET), hormis pour ce qui est de la surtension dynamique à la fermeture (résistance modulée), qui est également donnée dans ces types de documentation. Enfin, la diode est considérée comme commutant en tension (avec une vitesse imposée par le MOSFET) lorsque le courant inverse atteint le pic de recouvrement.

I.2.2.1.2 Macro-modèle.

Nous utiliserons un macro-modèle basé sur les données constructeur vues au paragraphe précédent. Pour implanter ce modèle, il sera décomposé en plusieurs phases, une approche analogue a déjà été conduite pour le MOSFET (figure I-7).

Par rapport au modèle "constructeur" présenté précédemment, la phase de recombinaison des charges entraîne ici un courant de type exponentiel décroissant, ce qui est plus proche des formes d'ondes réelles. Notons également que [LABOURE-95] a proposé une implantation d'un modèle semblable pour des simulateurs électriques.

Ouverture de la diode (fermeture du MOSFET) : figure I-10.

- 1) Lors de la phase 1, la diode est considérée comme passive, et elle sera représentée comme un court-circuit. Durant cette phase, le MOSFET est dans son état bloqué (la tension V_{GS} de commande n'a pas encore atteint le seuil V_{GSth}).
- 2) Ensuite commence la phase (2) de commutation en courant; durant cette phase la tension reste constante. Le courant circule donc dans la maille composée de la diode d'une part et de la charge d'autre part. Le courant atteint à la fin de cette phase la valeur $-I_{rrm}$, cela explique la représentation choisie pour la diode durant cette phase : une diode idéale pour maintenir la tension nulle à ces bornes tant qu'elle est traversée par un courant, avec en parallèle une source de courant débitant un courant I_{rrm}

venant s'ajouter au courant de charge. Cette source permet de modéliser le recouvrement de la diode.

- 3) La dernière phase (3) représente la commutation en tension. Durant cette phase la source de courant évolue en exponentielle décroissante afin d'atteindre une valeur nulle (cela diffère du modèle présenté au paragraphe I.2.2.1), et l'évolution de la tension est modélisée par la charge d'un condensateur (qui peut être considérée non linéaire).

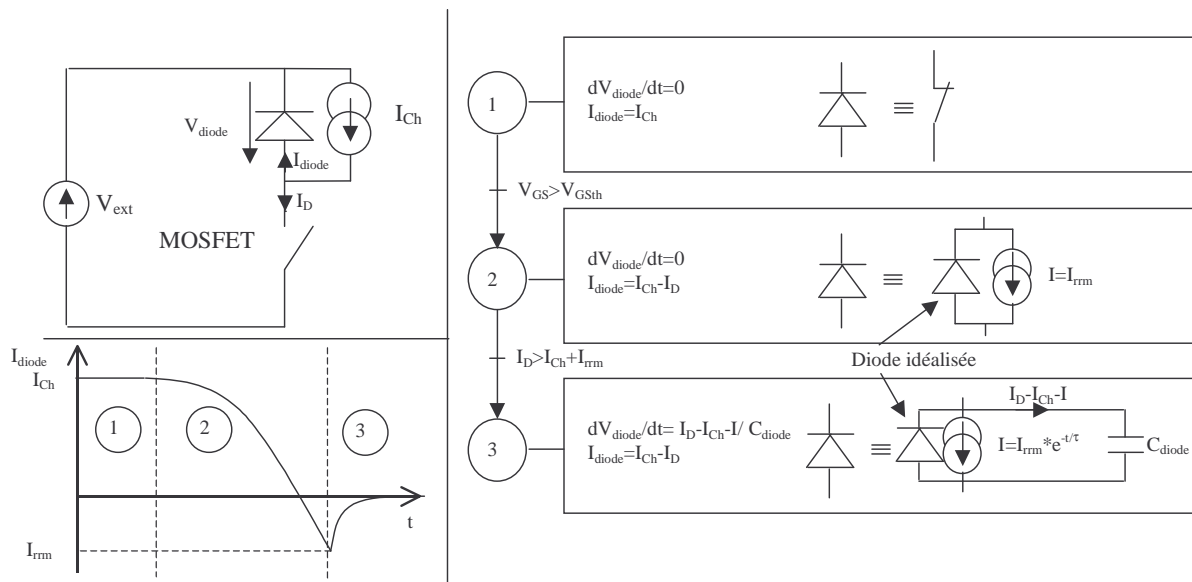


Fig.I- 10 : Fonctionnement du modèle simplifié de la diode lors de la phase de fermeture du MOSFET dans une cellule de commutation MOSFET Diode.

Lors de la phase d'ouverture du MOSFET, la diode est simplement représentée par une capacité C_{diode} pour modéliser l'évolution de la tension à ses bornes. Pour ce qui concerne le courant il est imposé par les éléments extérieurs.

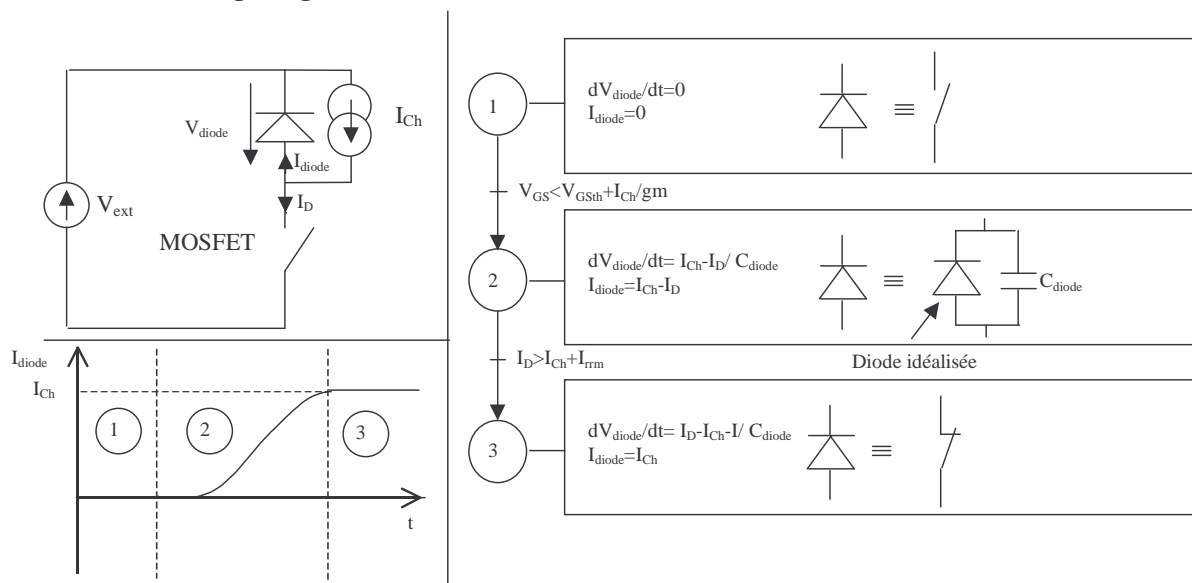


Fig.I- 11 : Fonctionnement du modèle simplifié de la diode lors de la phase d'ouverture du MOSFET dans une cellule de commutation MOSFET Diode.

Le modèle précédent n'est valable qu'à un point de fonctionnement donné (nécessité d'entrer la valeur du courant de recouvrement notamment). Notons également qu'il ne prend pas en compte la surtension dynamique lors de la fermeture de la diode (ouverture du MOSFET) qui est délicate à intégrer [KOLESSAR 00], et dont l'influence sera faible sur l'étude des déséquilibres (en courant et en tension) entre des composants associés en série ou en parallèle.

Ce modèle sera utile pour estimer l'influence relative de la diode durant certaines phases de la commutation. Cela notamment en comparant les formes d'ondes fournies par ce modèle, à d'autres qui seront soit expérimentales soit simulées grâce à un autre type de modèle, présenté dans le paragraphe suivant.

I.2.2.2 Modèle dérivé de la physique du semiconducteur.

Un macro-modèle comportemental n'est pas capable de prévoir correctement le comportement de la diode *PIN* de puissance durant le recouvrement inverse. Les modèles basés sur la physique de la diode donnent de meilleurs résultats, ils présentent cependant aussi des inconvénients. Ils ont notamment besoin d'un certain nombre de paramètres physiques, qui ne sont pas donnés par les constructeurs, tels que les caractéristiques géométriques et les niveaux de dopage. Ces paramètres ne sont parfois pas mesurables sur un composant sous boîtier; ceci nécessite alors des essais spécifiques.

Ici, nous utiliserons le modèle proposé par Philippe Leturcq [LETURCQ-96] du LAAS et implanté par Mahdi AKHBARI sous Matlab.

Le principal problème de modélisation des composants bipolaires de puissance est la représentation de la dynamique des charges dans la zone peu dopée (injection). L'équation de base régissant ce processus de diffusion, connue sous le nom d'équation ambipolaire, est donnée ci dessous (I-4).

$$D \frac{\partial^2 P(x,t)}{\partial x^2} = \frac{P(x,t)}{\tau} + \frac{\partial P(x,t)}{\partial t} \quad (I-4)$$

$P(x,t)$ représente la distribution instantanée des porteurs (trous ou électrons), D la constante de diffusion ambipolaire et τ la durée de vie des porteurs; les conditions aux limites de la zone injectée s'expriment en fonction du courant par :

$$\left. \frac{\partial P}{\partial x} \right|_{x=x_1} = f(t), \quad \left. \frac{\partial P}{\partial x} \right|_{x=x_2} = g(t) \quad (I-5)$$

Les fonctions f et g dépendent du courant de la diode. Pour résoudre l'équation aux dérivées partielles (I-4), Leturcq a proposé de décomposer la densité des porteurs en série de Fourier, ce qui permet de transformer le problème en un système de n équations différentielles du premier ordre. Deux cas de figure sont distingué suivant qu'une zone de charge espace (ZCE) est présente ou pas, la tenue en tension de la diode étant majoritairement définie par la

largeur de cette ZCE. (voir [AKHBARI-00] pour plus des explications détaillées de la mise en œuvre de ce modèle).

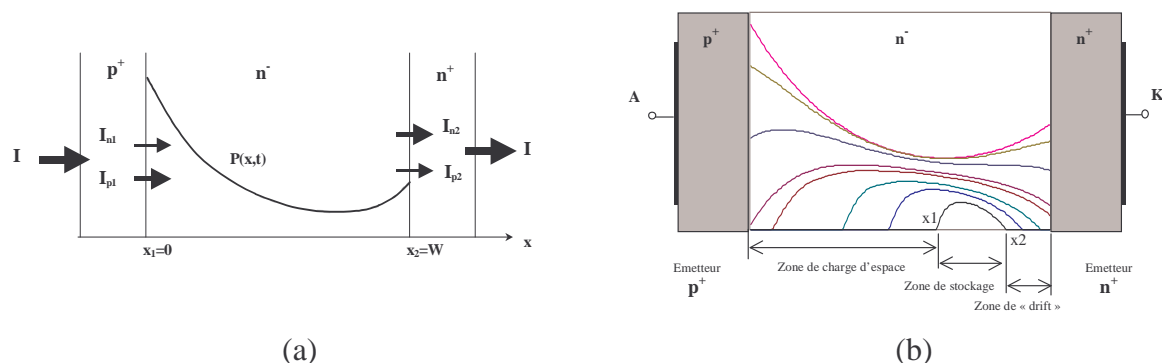


Fig.I- 12 : Les courants des électrons et des trous aux limites de la zone centrale d’une diode PIN lors de la phase de conduction (a). Différentes régions dans le cas d’une diode pin en recouvrement inverse (b).

Le modèle de diode ainsi constitué se comporte comme un élément non linéaire, qui nécessite le courant comme variable d’entrée, et donne la tension comme variable de sortie. Ce modèle à besoin d’un certain nombre de paramètres dépendant du silicium qui seront présenté dans les paragraphes suivants.

1.2.3. Modélisation du câblage : Méthode PEEC et rôle des mutuelles inductances.

Un préalable indispensable à l’utilisation des modèles de semiconducteur présenté précédemment dans un environnement de simulation, est de modéliser l’ensemble du câblage.

L’électronicien de puissance est depuis relativement longtemps familiarisé avec le concept "d’inductance de câblage". Il est donc tout naturel que la première représentation adoptée soit à base d’inductances. Le principe est très simple et a été repris récemment [SCHNUR-98] : la portion de circuit comprise entre deux points quelconques et parcourus par un courant crée une chute de tension inductive que l’on peut attribuer à un simple $L.di/dt$. Il suffit donc de mettre autant d’inductances que de points d’observation désirés, et de calculer les valeurs de ces inductances selon cette définition.

Selon la méthode PEEC [RUEHLI-74], qui, outre les inductances partielles, définit également des mutuelles partielles, la tension mesurée entre deux points d’un circuit n’est pas simplement $V_{mesure}=L_b.di/dt$ mais fait intervenir la somme de l’inductance partielle et des mutuelles avec le reste du circuit comme illustré sur cet exemple, figure I-13; si $i_2=i_4=i$ nous avons $V_{mesure}=(L_2-M_{24}).di/dt$, et $L_b=L_2-M_{24}$. On peut donc tout à fait définir des inductances découplées pour modéliser un circuit unique. Ces inductances tiennent compte des mutuelles.

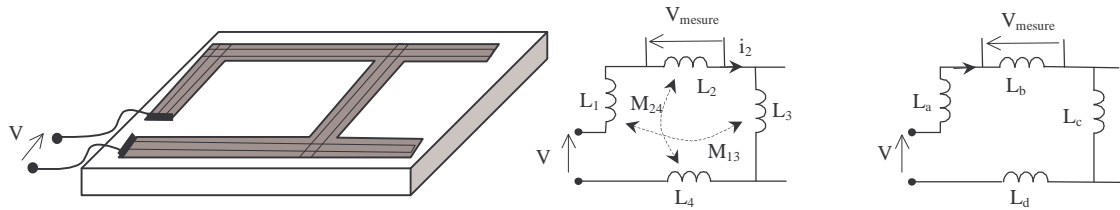


Fig.I- 13 : Représentation d'un circuit par la méthode PEEC et par inductances seules.[SCHANEN-00]

L'approche "inductance seule" ne permet pas une généralisation à plusieurs circuits, dont des portions sont parcourues par des courants différents comme cela sera le cas dans l'association en parallèle de semiconducteurs traitée au chapitre III.

Dans le cas d'une cellule de commutation MOSFET-diode (figure I-14), nous pouvons alors définir une matrice inductance. Cette matrice a été définie de manière à garder une certaine "mémoire géométrique", et ainsi permettre une certaine corrélation entre la géométrie et les valeurs des termes de cette matrice. Par exemple un allongement de la maille de puissance aboutira certainement à une augmentation de L_D . Nous avons également séparé les inductances provenant des boîtiers des composants et celles du câblage proprement dit. Les inductances du boîtier du MOSFET sont représentées par l_d , l_g et l_s . Nous arrivons alors à une matrice 6x6 comprenant sur sa diagonale les inductances propres, et aux autres emplacements les mutuelles entre ces différents éléments. Cette matrice est la suivante :

L_D	M_{D-G}	M_{D-dio}	M_{D-d}	M_{D-s}	M_{D-g}
M_{D-G}	L_G	M_{G-dio}	M_{G-d}	M_{G-s}	M_{G-g}
M_{D-dio}	M_{G-dio}	l_{dio}	M_{dio-d}	M_{dio-s}	M_{dio-g}
M_{D-d}	M_{G-d}	M_{dio-d}	l_d	M_{d-s}	M_{d-g}
M_{D-s}	M_{G-s}	M_{dio-s}	M_{d-s}	l_s	M_{s-g}
M_{D-g}	M_{G-g}	M_{dio-g}	M_{d-g}	M_{s-g}	L_g

Nous constatons que cette matrice est symétrique, par la suite nous représenterons uniquement la diagonale et les termes situés au-dessus de cette diagonale.

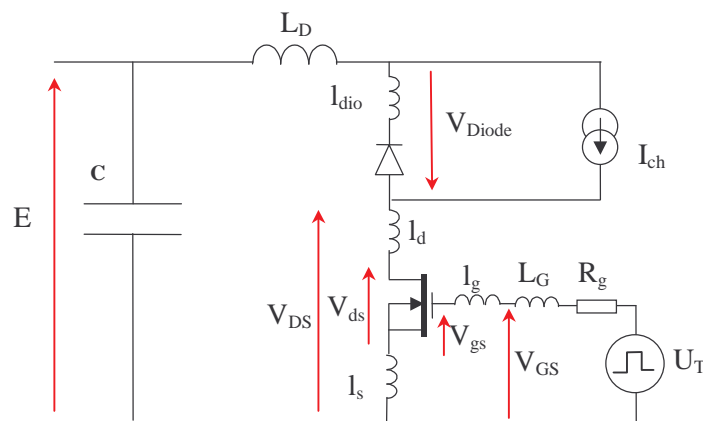


Fig.I- 14 : Représentation d'une cellule de commutation et de son câblage.

I.3. Mise en œuvre informatiques de la cellule de commutation MOS-diode-cablage.

Deux modélisations différentes ont été adoptées pour la cellule de commutation. L'implantation a été faite sous Matlab par Akhbari. Dans tous les cas les inductances et mutuelles inductances ont été prises en compte, elles ont été identifiées à l'aide du logiciel InCa [CLAVEL2-96]. La première modélisation utilise le modèle de diode présenté au paragraphe I.2.2.1.2. La seconde utilise le modèle de diode basé sur la physique du semiconducteur (paragraphe I.2.2.2). Dans les deux cas le MOSFET a été modélisé par le modèle phénoménologique du paragraphe I.2.1.4.

Les capacités du MOSFET ont été tabulées, ces capacités, contrairement à de nombreux autres paramètres du MOSFET (gm notamment [AUBARD-99]), sont pratiquement indépendantes de la température [MOHAN-95]. La transconductance a également été tabulé, en fait c'est la caractéristique statique $I_{Drain}(V_{GS})$ qui a été tabulé. Ici, la variation de cette transconductance en fonction de la température n'a pas été prise en compte, car notre objectif est de donner un modèle simple afin de simuler une commutation (ouverture ou fermeture), et dans ce contexte, on peut considérer la température comme constante durant la commutation.

Se référant au circuit équivalent de la figure I-2, les équations du MOSFET durant les phases actives (intermédiaires) de l'amorçage ainsi que du blocage se résument sous la forme suivante:

$$\begin{bmatrix} \frac{dV_{DS}}{dt} \\ \frac{dV_{GS}}{dt} \end{bmatrix} = \frac{1}{C_{DS}C_{GS} + C_{DS}C_{GD} + C_{GD}C_{GS}} \begin{bmatrix} C_{GS} + C_{GD} & C_{GD} \\ C_{GD} & C_{DS} + C_{GD} \end{bmatrix} \begin{bmatrix} I_D - I_{MOS} \\ I_G \end{bmatrix} \quad (I-6)$$

Avec $I_{MOS}(V_{GS})$ tabulé (caractéristique statique). Dans cette expression les grandeurs V_{DS} , V_{GS} , I_D et I_G sont les variables d'état.

I.3.1. Utilisation d'un modèle comportemental pour la diode.

Au cours du paragraphe I.2.1.4 nous avons vu que la commutation du MOSFET (tant à l'amorçage qu'au blocage) se décompose en 3 étapes. La commutation de la diode elle même se décompose en plusieurs étapes (paragraphe I.2.2.1.2), ainsi la description de la commutation de l'ensemble diode-MOSFET se décompose en 4 étapes distinctes. Cette décomposition de la commutation en 4 phases a déjà été utilisée par Farjah [FARJAH-94] qui l'a implantée en Fortran pour étudier les pertes au cours de la commutation. Ensuite Merienne [MERIENNE-96] l'a reprise en Matrixx dans un but d'étude CEM, et notamment du couplage commande-puissance par impédance commune. Enfin cette cellule de commutation a été

programmée en Matlab par Akhbari [AKHBARI-00] afin de la comparer avec une cellule intégrant un modèle de diode plus évolué (voir paragraphe I.3.2). Ici nous allons nous placer en utilisateur avec pour but d'isoler les paramètres clés de la commutation. De plus nous reprendrons une décomposition similaire pour l'implantation de cellules de commutation comprenant des composants associés en parallèle et en série dans les deux chapitres suivants.

I.3.1.1 Fermeture du MOSFET.

Lors de la fermeture du MOSFET, les 4 phases sont décrites sur la figure I-15. Elles sont associées aux formes d'ondes de la figure I-16.

1. Durant la phase 1, les circuits de grille et de puissance sont indépendants, la tension grille source croît jusqu'à la tension de seuil V_{GSth} . Nous pouvons voir que cette phase sera fortement dépendante de la charge de la capacité d'entrée C_{iss} . Il est donc important de bien prendre en compte l'évolution de sa valeur en fonction des deux potentiels V_{GS} et V_{DS} [LEMBEYE-97].
2. Le MOSFET passe en régime linéaire, la diode étant toujours conductrice. Le schéma équivalent du MOSFET est alors celui de la figure I-2. Le courant drain évolue alors via la grille, dans la mesure où la source de courant évolue suivant la relation $I_{MOS} = gm(V_{GS}) \cdot (V_{GS} - V_{GSth})$. C'est la phase de commutation en courant. Durant cette phase, l'évolution des capacités en fonction de V_{GS} et V_{DS} est toujours capitale à prendre en compte, mais la connaissance précise du gain gm est également importante (fonction de V_{GS} , V_{GSth} et de la température).
3. Dans l'étape suivante, on considère que la décroissance du courant après le pic de recouvrement est exponentielle. Le modèle du MOSFET reste identique à celui dans la phase précédente.
4. Quand la tension V_{DS} atteint la tension $V_{DS(on)} = I_D \times R_D$, les circuits de grille et de puissance sont à nouveau découplés, et la tension V_{GS} évolue vers son niveau final (15V couramment).

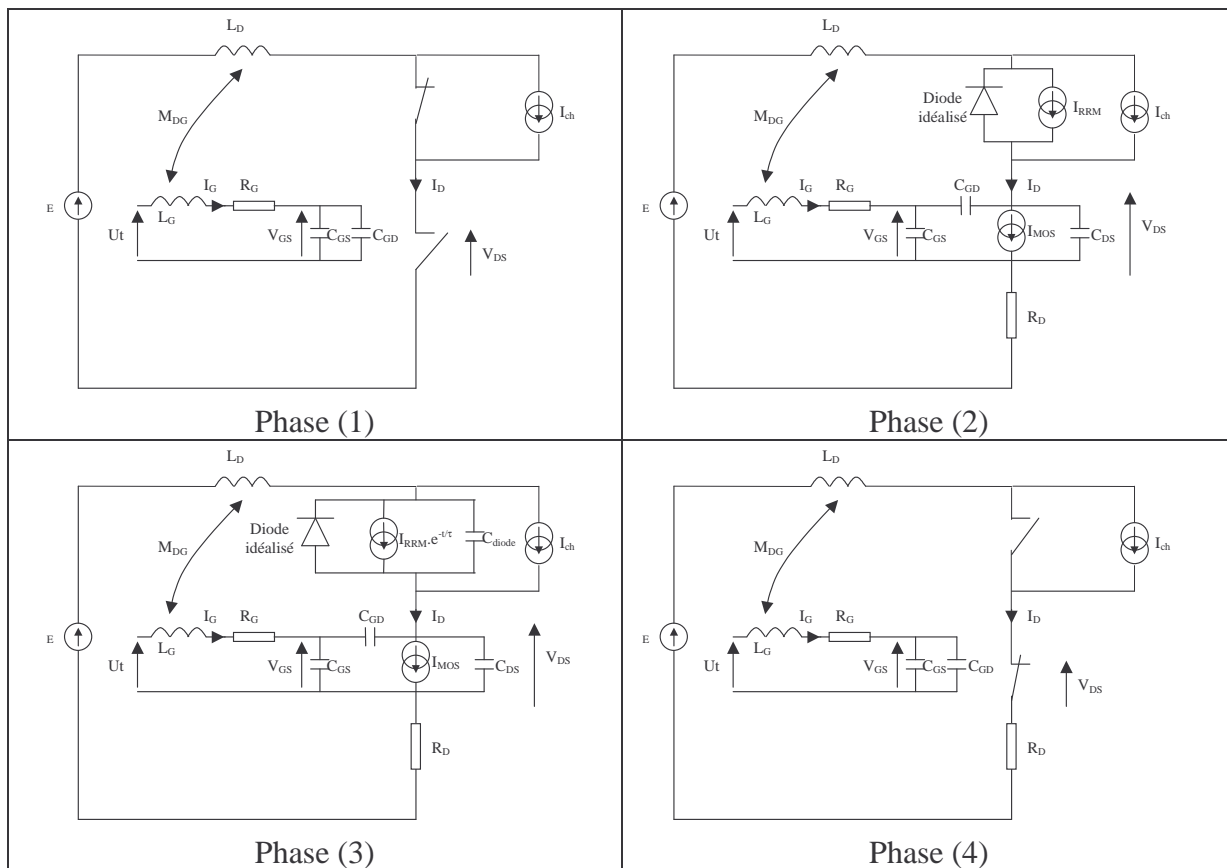


Fig.I- 15 : Les différentes phases lors de la commutation à la fermeture.

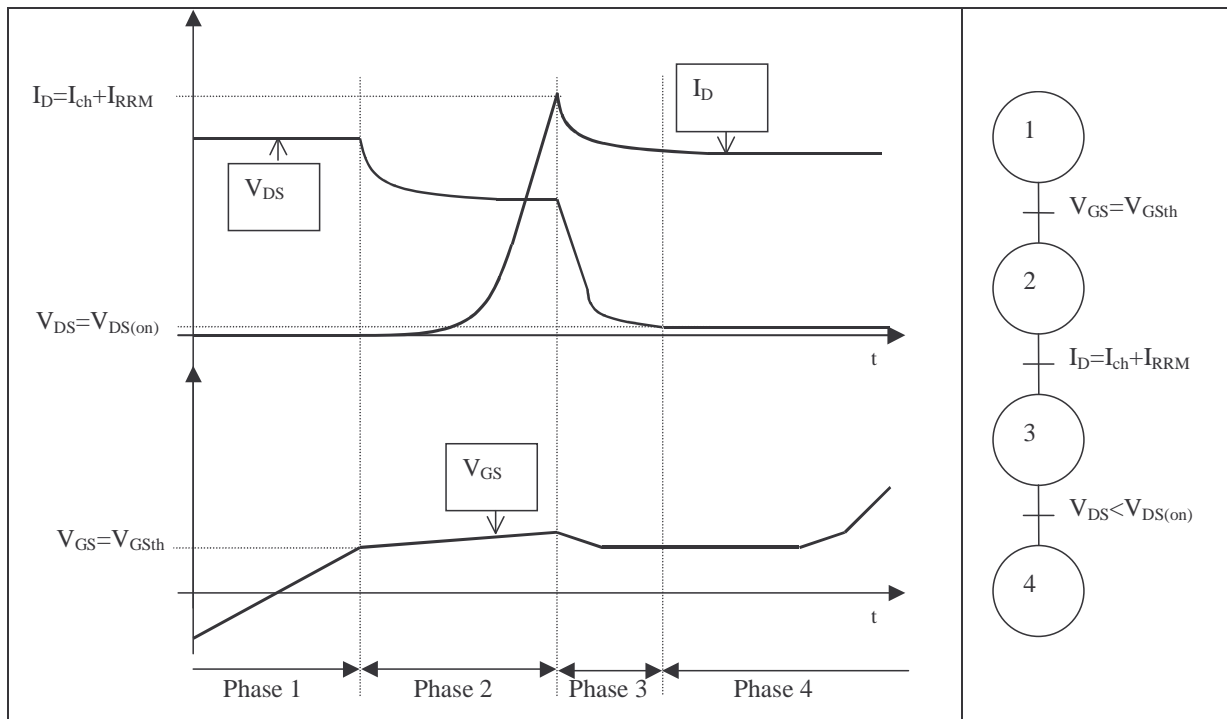


Fig.I- 16 : Commutation à la fermeture.

I.3.1.2 Ouverture du MOSFET.

Selon un principe similaire à la phase de fermeture, l'ouverture est également divisée en 4 phases. Ces phases sont reliées aux formes d'onde de la figure I-18.

1. Les circuits de grille et de puissance sont indépendants, la tension grille source décroît jusqu'à un niveau imposé par le courant du MOSFET : $V_{GS} = V_{GSth} + I_{ch}/gm$. Durant cette phase, il est capital de bien prendre en compte l'évolution de la capacité d'entrée C_{iss} en fonction des deux potentiels V_{GS} et V_{DS} .
2. Le MOSFET passe en régime linéaire, la diode étant toujours bloquée. C'est la phase de commutation en tension.
3. A partir du moment où la diode devient conductrice, on entre dans la phase de commutation en courant. Les circuits de grille et de puissance sont sollicités ensemble. Le modèle de diode n'est pas vraiment critique dans cette phase, puisque celle-ci est conductrice.
4. Quand le courant MOSFET s'annule (en fait devient inférieur au courant de fuite du MOSFET), les circuits de grille et de puissance sont à nouveau découplés, et la tension V_{GS} évolue vers son niveau final.

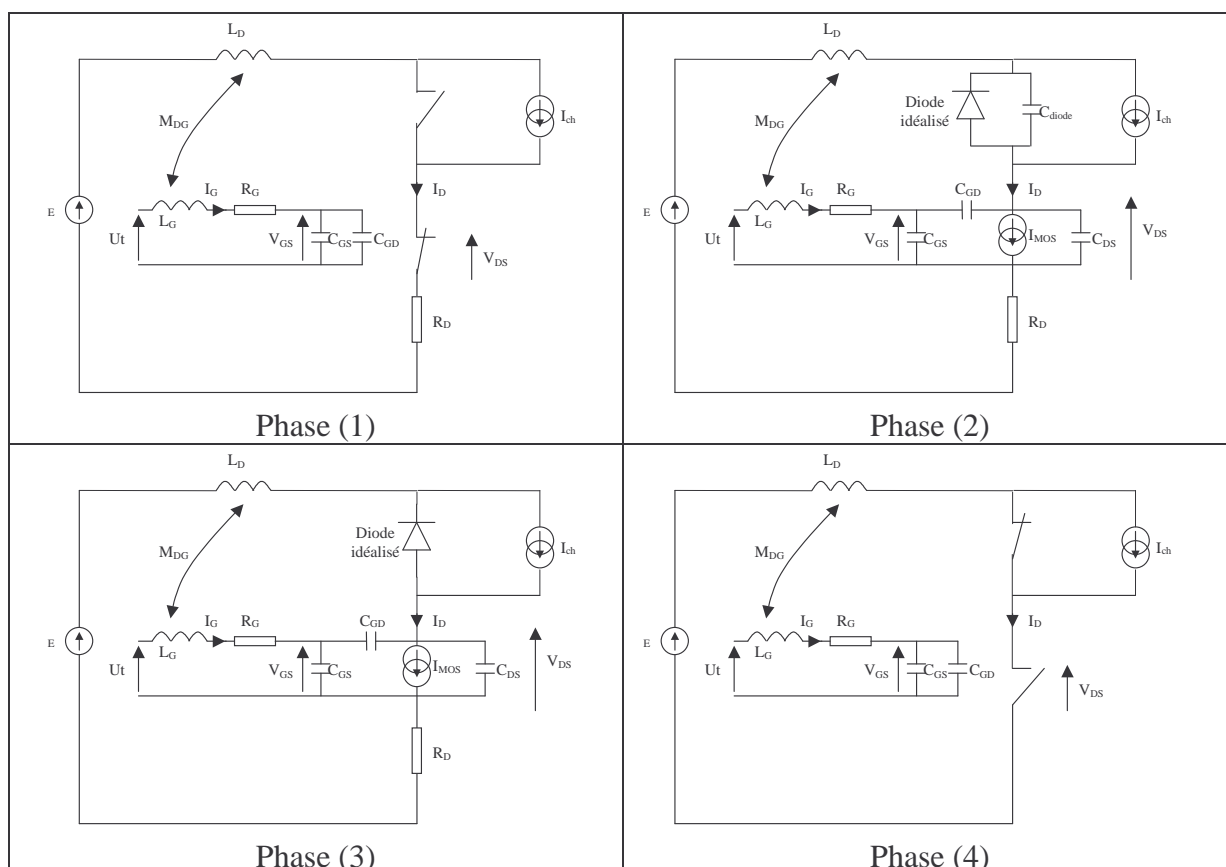


Fig.I- 17 : Les différentes phases lors de la commutation à l'ouverture.

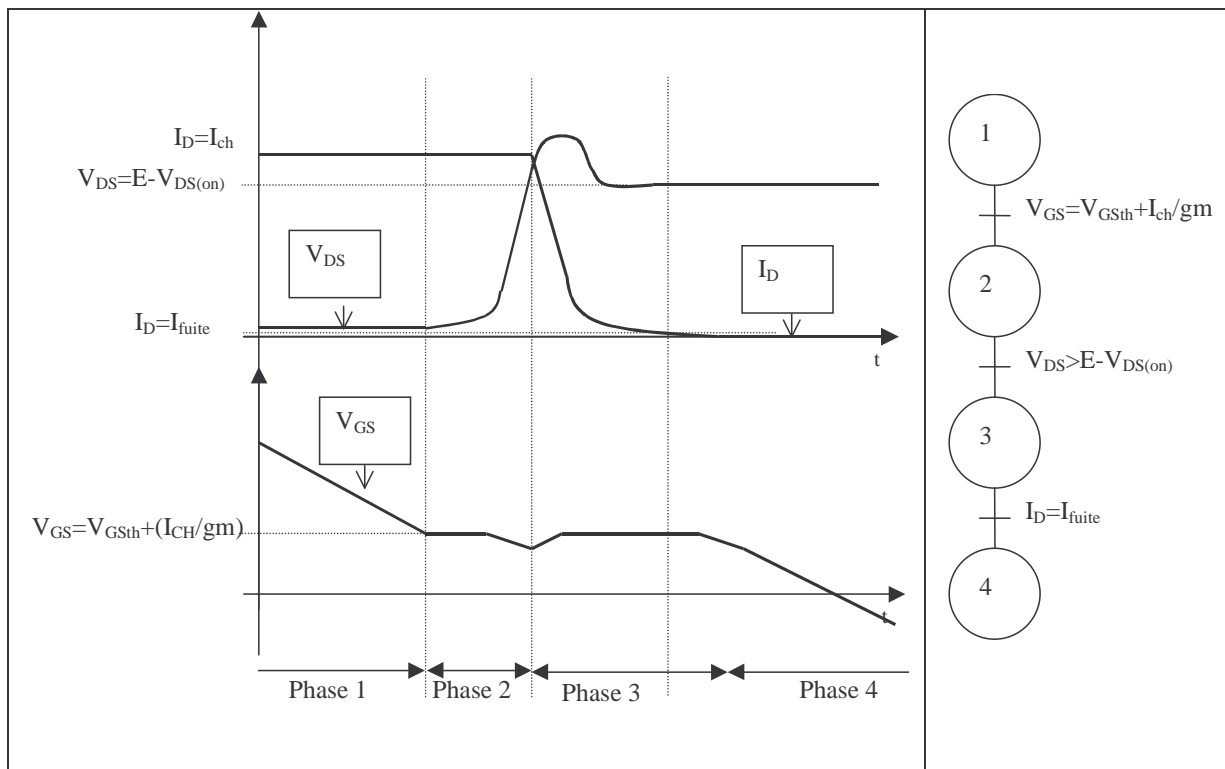


Fig.I- 18 : Commutation à l'ouverture.

Ce modèle doit prendre en compte le point de fonctionnement simulé (nécessité d'introduire la valeur de I_{RRM} notamment), ainsi nous nous affranchirons de ces contraintes en utilisant le modèle présenté dans le paragraphe suivant.

1.3.2. Utilisation du modèle physique de la diode PIN.

Ici nous retrouvons les trois phases de fonctionnement du MOSFET (figure I-7) tant à l'ouverture qu'à la fermeture. Pour ce qui est de la diode, c'est celle décrite au paragraphe I.2.2.2. L'organigramme de son fonctionnement est décrit sur la figure I-19. Les formes d'ondes expérimentales sont rappelées sur les figures I-20 et I-21, sur cette même figure on peut distinguer les trois phases utilisées par le logiciel de simulation (correspondant aux trois phases de fonctionnement du MOSFET de la figure I-7). Par rapport au modèle présenté au paragraphe précédent, nous n'avons ici plus que trois phases, car le modèle de la diode n'est plus ici divisé en phases, mais il reste identique tout au long de la commutation.

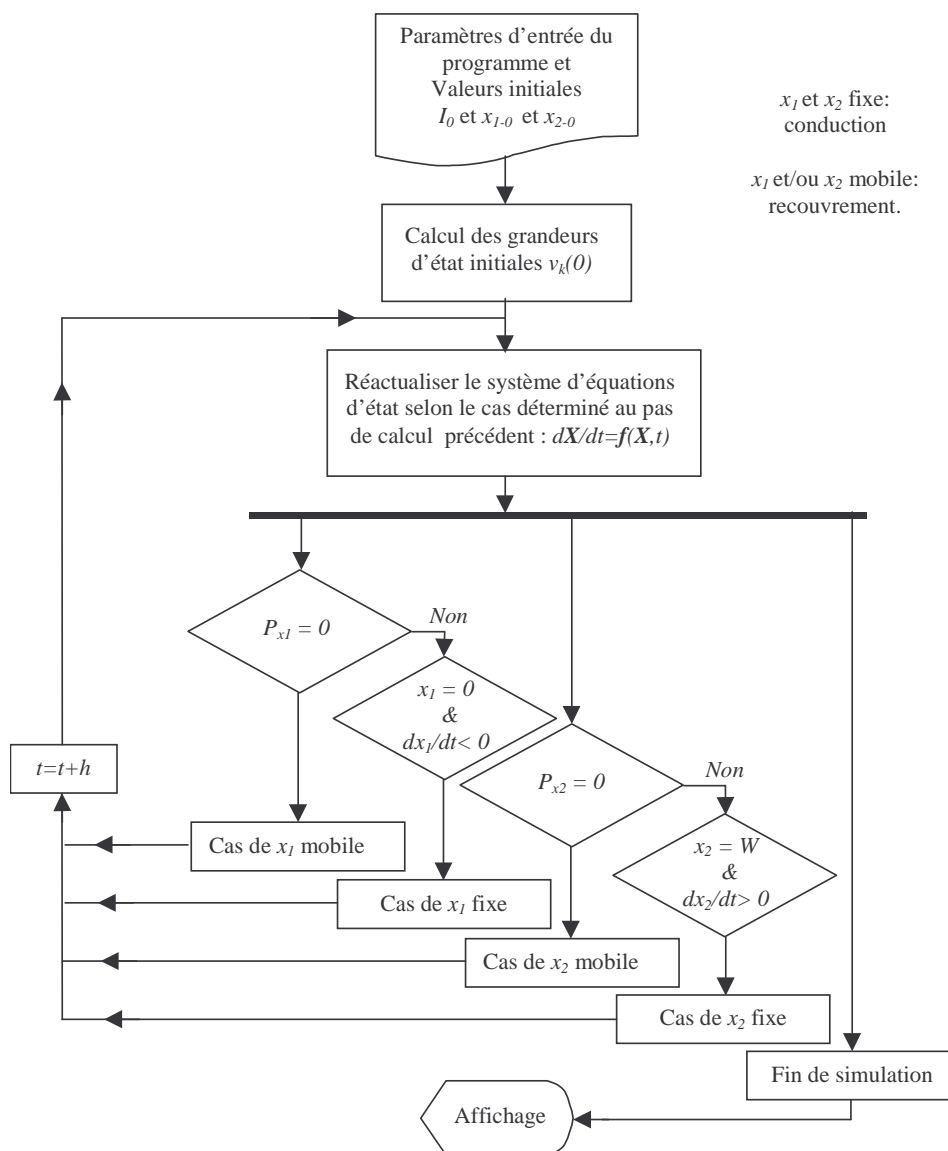


Fig.I- 19 : Organigramme du programme réalisé pour la dynamique des charges.

Les entrées du programme se divisent en trois sous groupes.

- les paramètres de la diode sont :

$$W, S_a, \tau, N_{DB}, N_{DJ}, L_D, h_n, h_p, \mu_n, \mu_p.$$

Où N_{DJ} , N_{DB} et L_D sont des paramètres représentant le profil de diffusion, v_l est la vitesse limite des porteurs.

L'influence de ces divers paramètres sur les formes d'ondes en commutation (recouvrement, vitesse de croissance et de décroissance des courant et tension, ...) sera étudiée dans la partie II-2.

Paramètre	W	Sa	τ	N_{DJ}, N_{DB}, L_D	hn, hp	μ_n, μ_p
Signification physique	Largeur de la base	Section efficace	Durée de vie des porteurs	Dopage & profil de dopage de la zone v	Recombinaison	Mobilités Porteurs
Facilité d'obtention	Moyenne	Moyenne	Délicate	Moyenne	Moyenne	moyenne
Méthode	Spreading resistance ou caractéristique c(v)	Spreading resistance ou caractéristique c(v)	OCVD ¹ ou double/triple impulsion	Spreading resistance ou caractéristique c(v)	Ordre de grandeur connu	Ordre de grandeur connu

Tableau I- 1 : Paramètres nécessaires au modèle de zone de tenue en tension (diode).

La détermination de ces paramètres est tout à fait possible, en utilisant par exemple les travaux d'Hervé MOREL au Cegely (qui a proposé un modèle basé sur une approche semblable à celle de P. LETURCQ [MOREL-94]), en comparant des mesures effectuées dans des conditions spécifiques (polarisation inverse – caractéristique capacité tension c(v) [GHEDIRA-98] -, méthode OCVD¹ pour estimer la durée de vie ambipolaire τ) à des modèles également spécifiques, extrêmement précis pour les états de la diode concernés (polarisation inverse ou état passant).

- Les paramètres du circuit environnant (dans cet exemple, un circuit simple RL) :

E : Tension d'alimentation.

L : Inductance du circuit du dispositif.

R : Résistance du circuit du dispositif.

- Les valeurs initiales :

I_0 : Courant initial du dispositif dans le cas où la diode est initialement passante.

$x_{1,0}$ et $x_{2,0}$: Largeurs de la zone de charge d'espace et de la zone de « drift », dans le cas où la diode est initialement bloquée.

¹ Open Circuit Voltage Decay: il s'agit d'observer la chute de tension directe d'une diode quand on interrompt brutalement un courant (faible) qui la traverse. L'allure de cette tension dépend de τ .

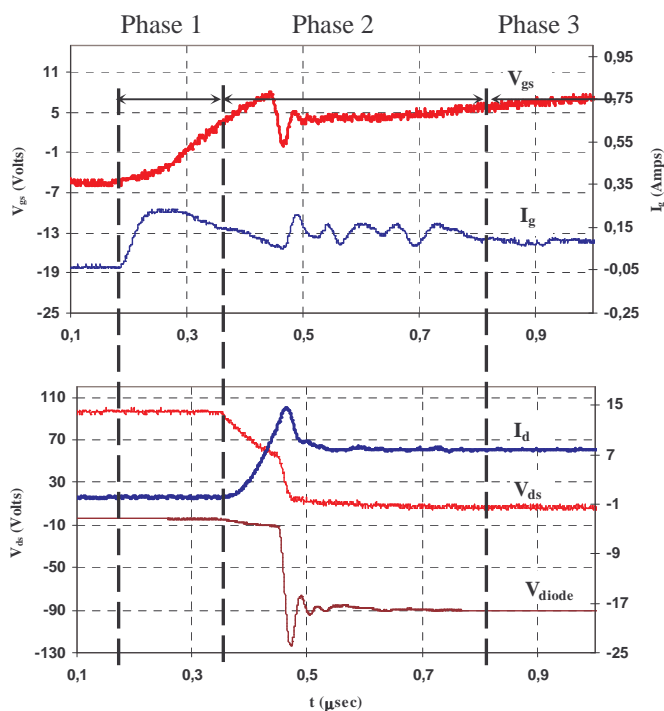


Fig.I- 20 : Commutation à la fermeture (formes d'ondes mesurées).

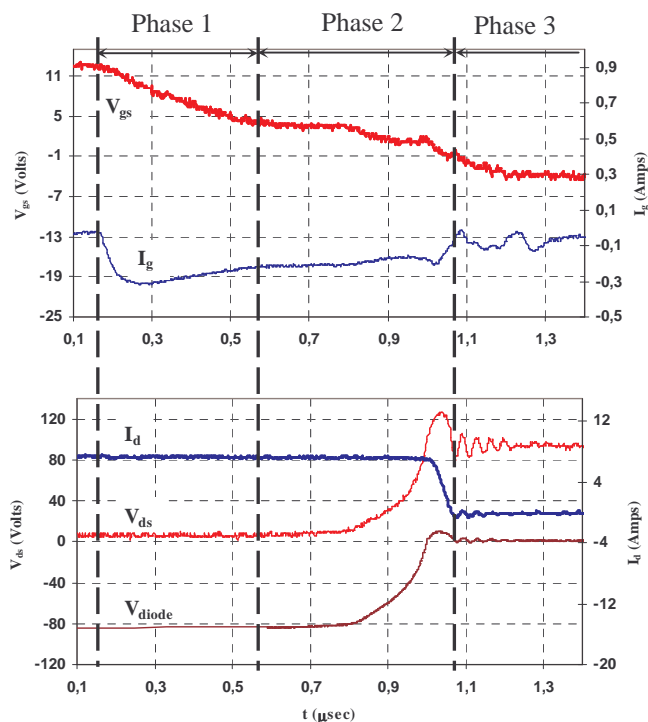


Fig.I- 21 : Commutation à l'ouverture (formes d'ondes mesurées).

Ce dispositif de simulation a été largement validé par M.Akhbari au cours de sa thèse (voir figures IV-27 à IV-42 de [AKHBARI-00]).

I.4. Dispositif expérimental.

Nous avons également utilisé en complément à la simulation un hacheur série (figure I-22).

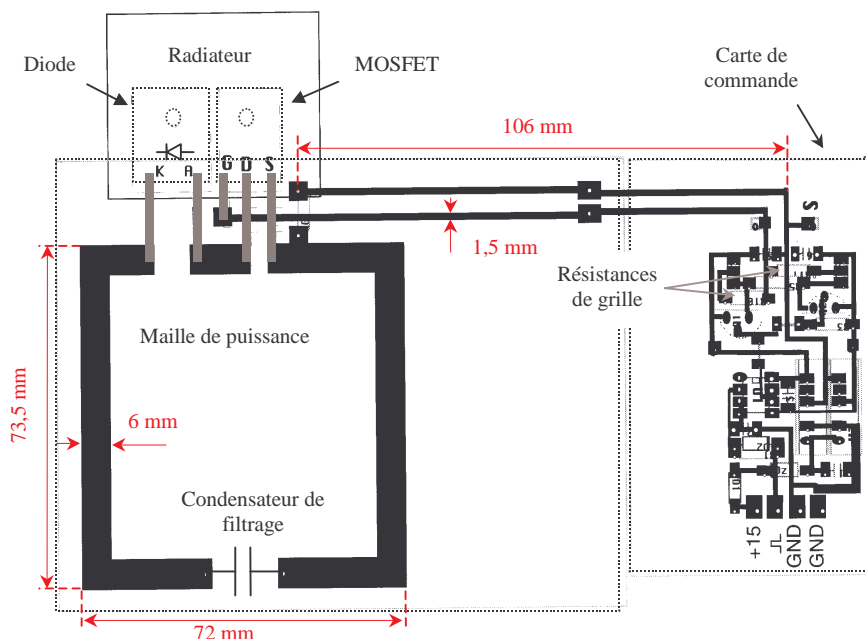


Fig.I- 22 : Pistes du circuit imprimé et disposition des composants sur la maquette.

Les inductances (propres et mutuelles) correspondant à notre maquette ont été identifiés à l’aide du logiciel InCa qui se base sur la méthode PEEC (voir paragraphe I.2.3). La matrice inductance correspondant à la figure I-14 est alors disponible dans le tableau I-2.

[nH]	L_D	L_G	l_{dio}	l_d	l_s	l_g
L_D	140	-5.36	0.52	-0.10	0.35	0.09
L_G		124	-0.19	1.51	-1.99	0.76
L_{dio}			18.40	-0.67	0.46	-0.72
l_d				12.20	-4.76	3.24
l_s					12.20	-2.03
l_g						7.02

Tableau I- 2 : Matrice d'inductance de la maquette réalisée.

Le MOSFET utilisé est un IRFP450FI, pour ce qui concerne la diode, différents modèles ont été utilisés (voir paragraphe II-2.1.1.).

I.5. Conclusion.

Au cours de ce chapitre nous avons rappelé les modèles nécessaires à la simulation d'une cellule de commutation (MOSFET-diode-câblge) et présenté leur mise en œuvre

informatique. Celle-ci a été réalisée par M.Akhbari se présente sous forme d'application Matlab. Deux programmes ont été développés, sur la base du même modèle de MOSFET, en changeant celui de la diode. Les paramètres d'entrée de ces programmes ont été clairement identifiés. Par ailleurs, un dispositif expérimental a été entièrement caractérisé sur le plan du câblage.

La comparaison des deux résultats de simulation et de l'expérimentation permettra de dégager les acteurs principaux de la commutation. Par ailleurs, une étude de sensibilité portant sur les paramètres de ces modèles pourra être menée. Les résultats seront synthétisés sous formes d'expressions analytiques. C'est l'objet du chapitre suivant.

<i>I.1. Introduction.</i>	10
<i>I.2. Modélisation des semiconducteurs et du câblage.</i>	10
I.2.1. Le Transistor MOS de puissance.	10
I.2.1.1 Schéma électrique équivalent.	11
I.2.1.2 Identification des capacités parasites.	13
I.2.1.3 La source de courant du MOSFET de puissance.	15
I.2.1.4 Le MOSFET de puissance en commutation.	16
I.2.2. La diode PIN de puissance.	17
I.2.2.1 Modèle comportemental.	18
I.2.2.1.1 Préambule : Modèle "constructeur".	18
I.2.2.1.2 Macro-modèle.	19
I.2.2.2 Modèle dérivé de la physique du semiconducteur.	21
I.2.3. Modélisation du câblage : Méthode PEEC et rôle des mutuelles inductances.	22
<i>I.3. Mise en œuvre informatiques de la cellule de commutation MOS-diode-câblage.</i>	24
I.3.1. Utilisation d'un modèle comportemental pour la diode.	24
I.3.1.1 Fermeture du MOSFET.	25
I.3.1.2 Ouverture du MOSFET.	27
I.3.2. Utilisation du modèle physique de la diode PIN.	28
<i>I.4. Dispositif expérimental.</i>	32
<i>I.5. Conclusion.</i>	32

Chapitre II

Les acteurs de la commutation, formulations analytiques.

<i>II.1. Introduction.</i>	<i>36</i>
<i>II.2. Influence de la diode.</i>	<i>37</i>
<i>II.3. Influence du MOSFET.</i>	<i>42</i>
<i>II.4. Influence du câblage et du circuit de commande.</i>	<i>48</i>
<i>II.5. Synthèse.</i>	<i>55</i>
<i>II.6. Formulations analytiques des vitesses de commutation.</i>	<i>56</i>
<i>II.7. Conclusion, formes d'ondes idéalisées.</i>	<i>60</i>

II.1. Introduction.

Avant d'aborder l'association directe de composants (en série ou en parallèle), nous mènerons dans un premier temps l'étude approfondie d'une cellule de commutation comportant un MOSFET et une diode PIN. Il est en effet crucial de savoir sur quels paramètres il faut intervenir pour équilibrer au mieux les courants et les tensions commutés.

Au cours de ce chapitre nous allons évaluer successivement l'influence des éléments suivants :

- La diode PIN.
- Le MOSFET et son circuit de commande.
- Les imperfections du câblage.

Notre but est de savoir qui du MOSFET, de la diode, des inductances de câblage, ou des capacités parasites influe de manière prépondérante à tel ou tel instant de la commutation; afin d'en déduire des formulations analytiques pour les vitesses de commutation en courant et en tension.

Pour cette étude, nous avons largement fait appel à la simulation. Nous avons utilisé une diode spécifique (600V/12A) dont de nombreux paramètres tels que le profil de dopage sont disponibles. Le fonctionnement de ce modèle de cellule de commutation a été largement validé par Mahdi AKHBARI au cours de sa thèse. L'utilisation de la simulation a été rendue indispensable par le besoin d'étudier l'influence de grandeurs délicates voire impossibles à faire varier en pratique, telles que les paramètres physiques de la diode (dopages, durée de vie des porteurs, surface active), les capacités parasites du MOSFET ou encore les inductances de câblage. De plus la simulation nous permet également d'obtenir les tensions directement aux bornes des puces de puissance et non observées au travers des boîtiers.

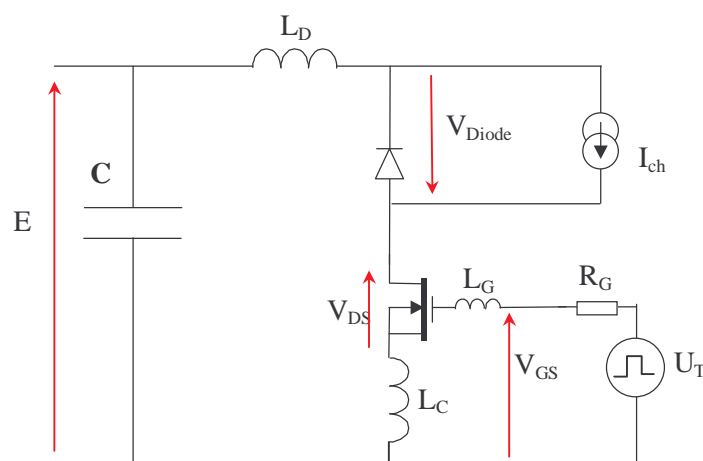


Fig.II- 1 : Cellule de commutation.

Note : Le schéma de la figure I-14 qui comprend six inductances couplées peut être ramené à celui de la figure II-1 qui ne comprend plus que trois inductances découplées

[AKHBARI-98]. Ainsi nous nous intéresserons à l'influence des inductances L_G et L_D . Le cas de l'inductance L_C ayant déjà largement été traité dans [MERIENNE-96] et [AKHBARI-00].

II.2. Influence de la diode.

Nous évaluerons ici l'influence de la diode sur les formes d'ondes en commutation lors des phases de fermeture et d'ouverture du MOSFET.

II.2.1. Lors de la phase de fermeture du MOSFET.

Nous allons d'abord distinguer les zones de prépondérance (vis à vis des formes d'ondes en commutation) de la diode et du MOSFET. Ensuite, dans la zone où la diode joue un rôle important sur les formes d'ondes en commutation, nous étudierons l'influence des paramètres du modèle présenté dans le paragraphe I.2.2.2.

II.2.1.1. Zones d'influence respectives de la diode et du MOSFET.

Afin d'évaluer l'influence de la diode sur la commutation lors de la phase de fermeture du MOSFET, plusieurs mesures ont été effectuées. Pour ces mesures, nous avons utilisé la cellule de commutation décrite dans le chapitre précédent, avec un MOSFET unique, et plusieurs types de diodes. Nous avons ensuite analysé ces différentes courbes (figure II-3) afin de déterminer le domaine d'influence de la diode.

Dans un premier temps, nous avons vérifié que la chute de tension lors de la phase de fermeture du MOSFET est bien de nature inductive ($-L \cdot dI_D/dt$ avec $L=L_D+L_C$) et donc que la tension reste nulle aux bornes de la diode. Ceci est confirmé par la figure II-2.

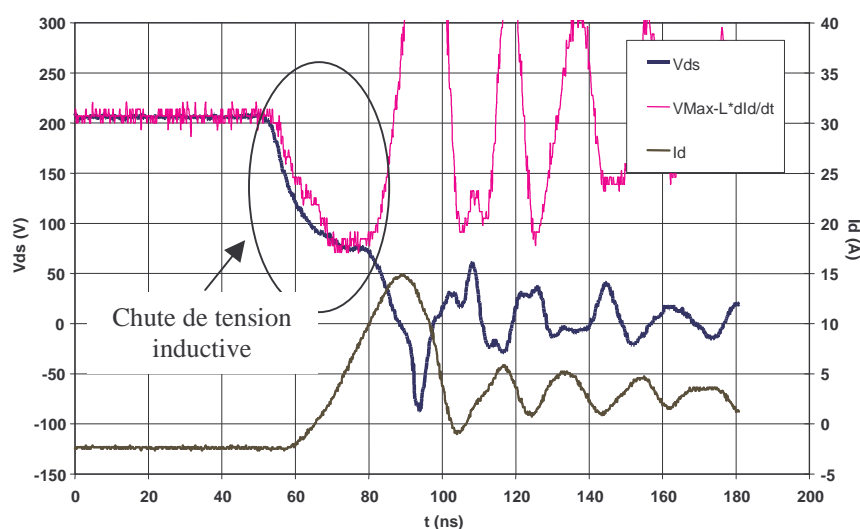


Fig.II- 2 : Formes d'ondes expérimentales à la fermeture du MOSFET.

La figure suivante nous confirme que durant une première partie de la commutation seul le MOSFET intervient. Ici plusieurs types de diodes ont été utilisés. Une diode FRED (Fast Recovery Epitaxial Diode) [LOONIS-00], une BYW81 PI200 (qui recouvre peu) et une

STTA5 06F qui recouvre davantage. Quelle que soit la diode utilisée dans la cellule de commutation, une partie de la montée du courant (et de la chute de tension de nature inductive qui lui est associée) reste identique.

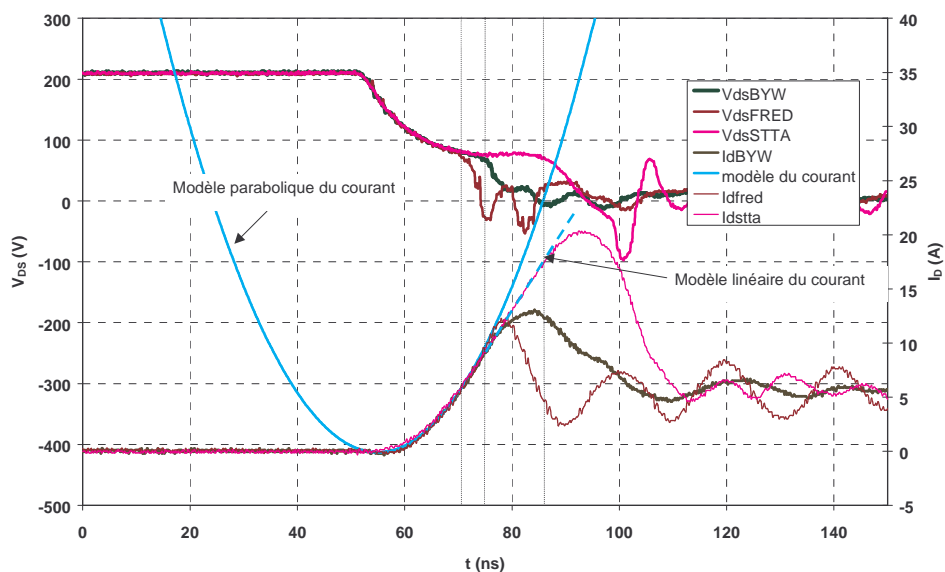


Fig.II- 3 : Comparaison de la fermeture d'un MOSFET sur différentes diodes (formes d'ondes expérimentales).

Lors du paragraphe I.2.1.3 (figure I-6) nous avons constaté qu'en fonctionnement statique, le courant drain est proportionnel au carré de la tension grille-source pour des valeurs de courant I_D suffisamment faible. Durant la commutation en courant, la tension V_{GS} évolue peu (on a $V_{GS} \# V_{GSth}$), par analogie avec la caractéristique statique il paraît donc judicieux de modéliser l'évolution du courant I_D par une parabole pour de faibles niveaux de courant. Cette hypothèse est vérifiée (figure II-3). Ensuite la montée du courant apparaît comme plus linéaire (ce qui est également le cas pour la caractéristique statique d'un MOSFET).

Les formes d'ondes de la figure II-4 indiquent que le MOSFET est l'acteur principal de la commutation dans les zones 2 et 3. En effet, les formes d'ondes de la figure suivante ont été obtenues par simulation, en utilisant soit le modèle complet de la diode (basé sur la résolution de l'équation de diffusion ambipolaire), soit en utilisant le modèle simplifié qui n'intervient absolument pas lors de la phase d'accroissement du courant. Or, les formes d'ondes des courants sont pratiquement identiques dans les zones 2 et 3 (figure II-4). Nous pouvons donc en déduire que dans ces zones, seul le MOSFET et les composants qui lui sont associés (inductances de câblage, résistance de grille, ...) interviennent. La modélisation analytique de ces phases de commutation (formule donnant la vitesse d'évolution du courant) est disponible dans le paragraphe II.6.

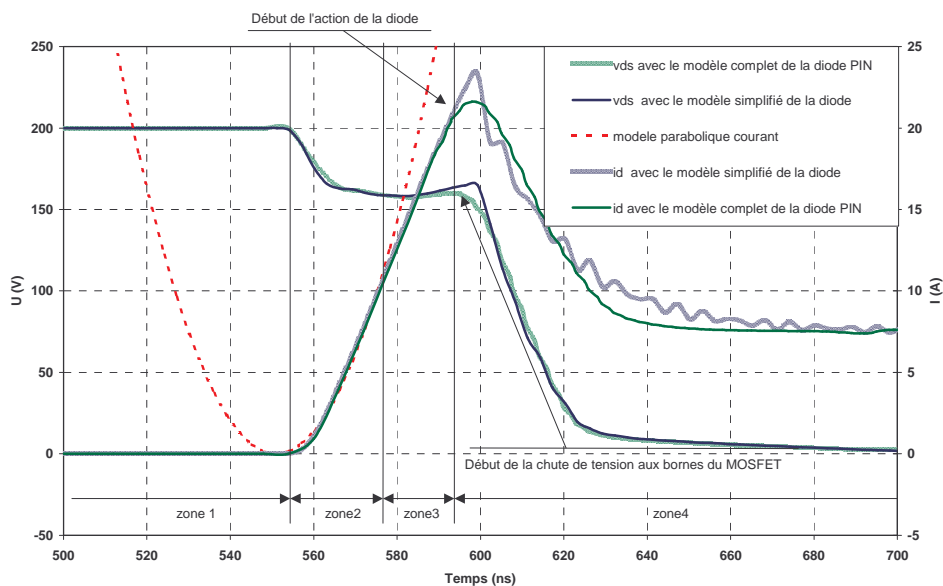


Fig.II- 4 : Comparaison de deux simulations, même MOSFET avec un modèle de diode *PIN* et un modèle très simplifié de diode.

Par contre, dans la zone 4, la commutation semble plus fortement dépendante de la diode, nous allons donc nous intéresser principalement à cette zone dans le paragraphe suivant.

II.2.1.2. Influence des paramètres de la diode sur la commutation.

Nous allons voir ici l'influence des paramètres τ (durée de vie des porteurs), W (épaisseur de la zone v faiblement dopée) et de S_a (section active de la diode).

La figure II-5 montre l'évolution des courants et des tensions en fonction du paramètre τ . Par rapport à une valeur de référence (correspondant à une diode réelle), nous l'avons augmenté de 10 et 50%.

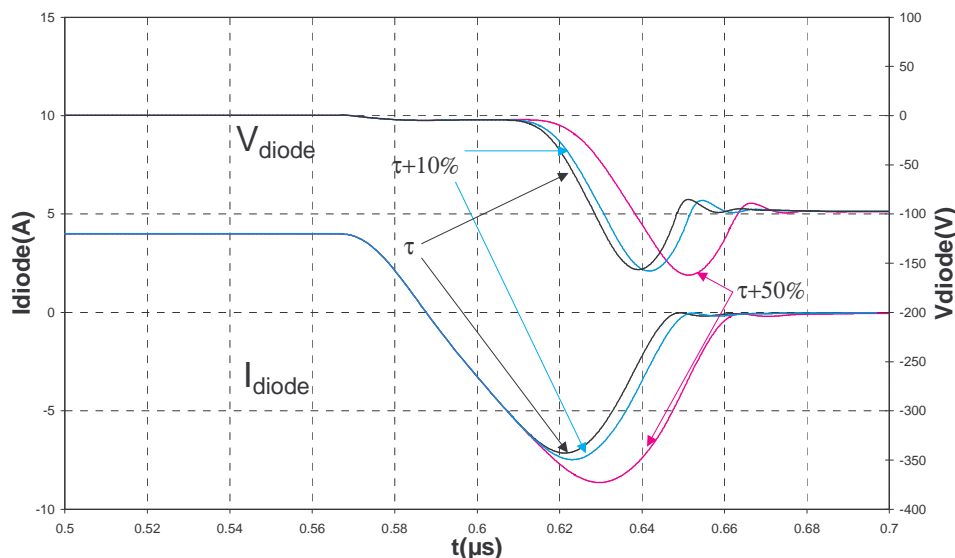


Fig.II- 5 : Influence du paramètre τ .

Les pertes par commutation augmentent de 4% (respectivement 20%) et la valeur du courant de recouvrement de 3% (respectivement 13%) quand la durée de vie des porteurs augmente de 10% (respectivement 50%).

Nous constatons que la durée de vie des porteurs τ influe fortement sur le niveau de courant de recouvrement (figure II-5), et donc sur les pertes, par contre l'influence sur la vitesse d'évolution de la tension reste négligeable. Le paramètre τ est un paramètre délicat à estimer (méthode OCVD [GHEDIRA-98]), mais comme son influence sur le courant de recouvrement est importante, il sera relativement aisé de le déterminer en superposant des formes d'ondes expérimentales et des formes d'ondes simulées.

Par une procédure semblable à celle de l'étude de l'influence de τ , nous constatons que l'épaisseur W de la zone faiblement dopée (zone v) influe quant à elle plus particulièrement sur la vitesse de commutation en tension. D'après la figure II-6, une augmentation de W entraîne une augmentation de la vitesse de commutation. Notons aussi que dans notre cas, l'augmentation de W crée également une légère diminution du courant de recouvrement, cependant cela n'est pas généralisable. En effet en fonction de la durée de vie ambipolaire τ , la charge stockée peut augmenter ou diminuer avec une augmentation de W . Dans les cas d'une durée de vie importante (diode de redressement par exemple), une augmentation de W aurait entraîné une augmentation de la charge stockée, et donc du courant de recouvrement.

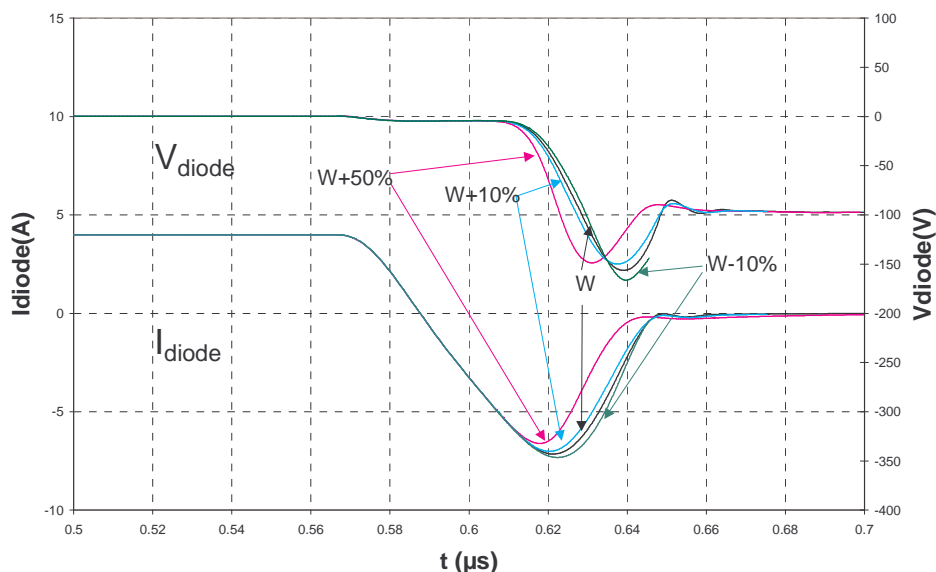


Fig.II- 6 : Influence de W (largeur de la zone faiblement dopée).

Nous avons ensuite étudié l'influence de Sa , la surface active de la diode. Nous constatons que le fait de l'augmenter (figure II-7) n'influe que peu sur les formes d'ondes en commutation.

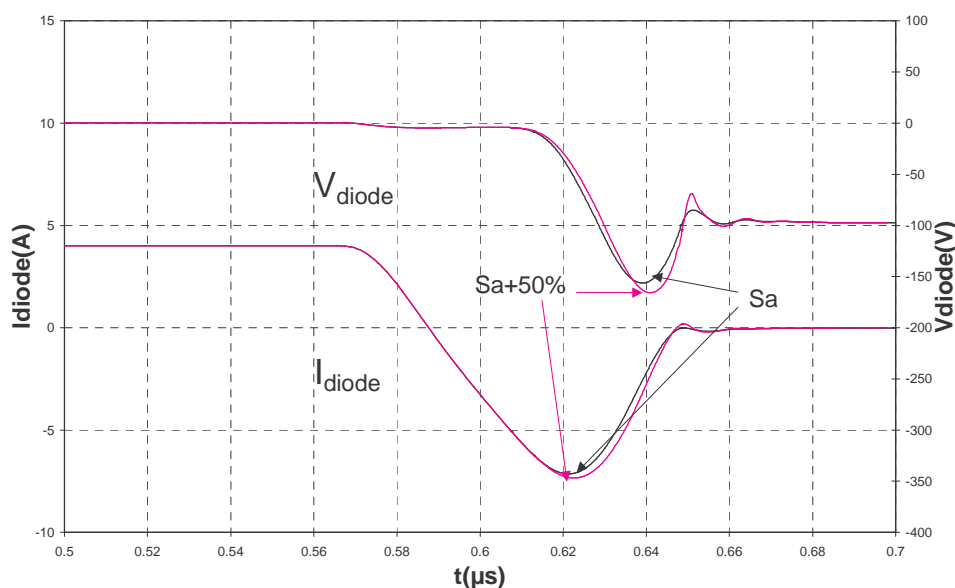


Fig.II- 7 : Influence de Sa (surface active de la diode).

Nous avons donc trouvé un certain nombre de paramètres intervenant sur la fermeture de la diode. Les mobilités ainsi que les paramètres de recombinaison des porteurs sont des grandeurs variant peu d'un composant à l'autre, de plus les formes d'onde en commutation n'y sont que peu sensibles. Les paramètres géométriques (W et Sa) sont relativement faciles à identifier par des techniques de type spreading resistance ou caractéristique capacité – tension $c(v)$ [GHEDIRA-98]. Ces techniques d'identification nous fourniront également le profil de dopage de la zone v . En conclusion nous pourrions utiliser les formes d'ondes à la fermeture

du MOSFET pour bien identifier la valeur de la durée de vie des porteurs τ , ce paramètre qui est influant pendant la phase de recouvrement pourra être identifié par comparaison simulation-mesure.

II.2.2. Lors de la phase d'ouverture du MOSFET.

La diode intervient peu. La figure II-8 indique les variations des formes d'ondes du courant et de la tension pour des variations de 50% des paramètres τ , Sa et W .

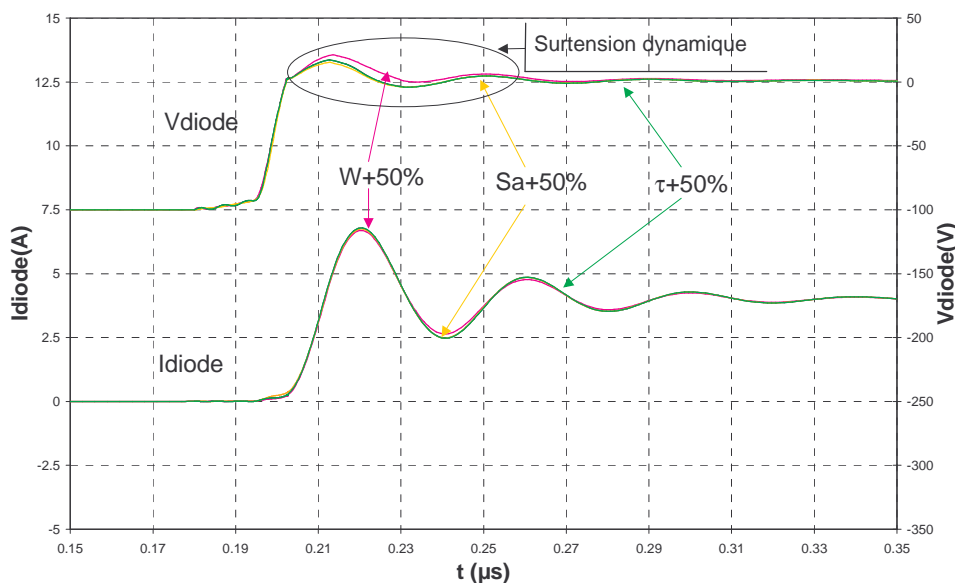


Fig.II- 8 : Influence de la diode lors de l'ouverture du MOSFET.

Ces faibles variations lors des modifications du modèle de la diode indiquent que c'est le MOSFET qui pilote le dV_{DS}/dt durant cette phase. En fait, lors de la fermeture de la diode, seule la surtension dynamique est sensible à la modélisation de la diode [KOLESSAR-00].

II.3. Influence du MOSFET.

Nous allons maintenant nous focaliser sur l'influence du MOSFET (en référence au modèle décrit au paragraphe I.2.1.), et plus particulièrement de ses capacités parasites et de sa source de courant. Cette étude fait suite aux travaux de [FARJAH-94] et de [MERIENNE-96]. Cependant ici, nous avons utilisé un modèle plus précis pour la diode qui se trouve associée au MOSFET (paragraphe I.2.2.2).

II.3.1. Influence des capacités du MOSFET (étude réalisée en simulation) [LAUZIER-99].

Dans le chapitre précédent nous avons vu que la commutation du MOSFET se base largement sur la charge et la décharge de ses capacités.

Tout d'abord, rappelons la nécessité de prendre en compte les non-linéarités de ces capacités, notamment pour de faibles valeurs de V_{DS} [FARJAH-94]. Nous avons ici réalisé

deux simulations, la première (fig.II-9 a) prend en compte le phénomène de capacités variables, la seconde non. Nous constatons, sur la figure II-9 (a), que la tension évolue de manière non constante, alors que sur la figure II-9 (b) l'évolution est quasiment linéaire pendant la plus grande partie de la commutation.

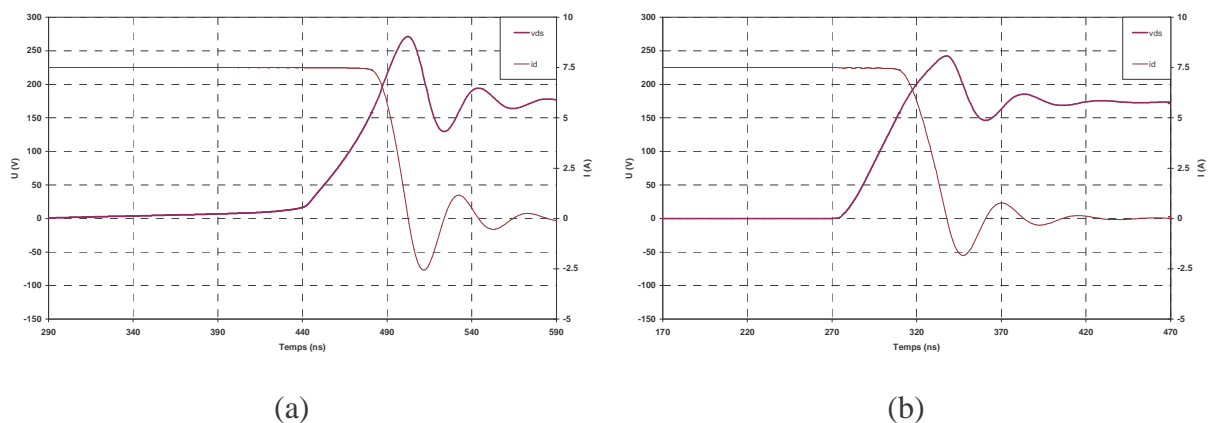


Fig.II- 9 : Formes d'ondes simulées, ouverture d'un MOSFET.

(a) : avec prise en compte des non linéarités dans les capacités parasites.

(b) : sans prise en compte des non linéarités dans les capacités parasites.

Cela est particulièrement sensible sur l'évaluation des pertes en commutation, en effet on note une différence de près de 15% entre les deux approches (45.7 μ Joule dans le cas de la prise en compte des non linéarités, 39.8 μ Joule dans l'autre cas).

Nous allons maintenant confirmer l'influence de telle ou telle capacité. A partir de valeurs de référence correspondant aux capacités identifiées sur un MOSFET (l'IRF450FI du dispositif expérimental du paragraphe I.4.), nous les avons multiplié par un coefficient. Cette méthode permet de garder des évolutions cohérentes.

Nous avons recensé l'impact de ces modifications sur la commutation en courant, et notamment l'évolution du $(dI_D/dt)_{max}$ (vitesse de commutation en courant), et l'influence sur l'instant de la commutation (apparition d'un temps de retard éventuel). La vitesse d'évolution des tensions n'a pas été étudiée de manière aussi systématique. En effet [MERIENNE-96] a déjà mis en évidence le rôle prépondérant de la capacité C_{GD} . Par ailleurs, nous reviendrons sur la prise en compte de la capacité drain source C_{DS} au paragraphe II.6.

Nous retrouvons que C_{GS} et C_{GD} ont une forte influence sur l'instant de début de la commutation. Cela est cohérent avec le modèle présenté sur les figures I-15 et I-16 (paragraphe I.3.1.1.). En effet, la première phase de la commutation, avant que ne débute l'évolution du courant ou de la tension, est constituée de la charge de la capacité C_{iss} ($C_{GS}+C_{GD}$). Notons cependant que lors de la phase de fermeture, l'influence de C_{GD} (C_{rss}), sur l'instant du début de la commutation, semble ici peu évidente. Cela est dû au fait que lors

du début de la fermeture, la tension V_{DS} est importante, et les valeurs de C_{rSS} sont faibles lorsque V_{DS} est grande (voir figures I-4 et I-5) par rapport à celles de C_{iSS} .

Pour ce qui concerne la vitesse d'évolution du courant dI_D/dt , seul C_{GD} semble être prépondérant. Cela s'explique par le fait que durant ces phases, les tensions de commande (V_{GS}) et de puissance (V_{DS}) sont pratiquement constantes. Cependant, en toute rigueur V_{GS} et V_{DS} ne sont pas constantes, il est donc normal que les capacités associées (C_{GS} et C_{DS}) aient une influence sur la vitesse du courant commuté.

– Ouverture :

	Valeur du $\left(\frac{dI_D}{dt}\right)_{\max}$ A/ns	Instant du $\left(\frac{dI_D}{dt}\right)_{\max}$ ns	Variations du $\left(\frac{dI_D}{dt}\right)_{\max}$
$C_{GS} * 0.25$	-1.78	147	14%
$C_{GS} * 0.5$	-1.74	151	12%
$C_{GS} * 2$	-1.58	167	-2%
$C_{GS} * 4$	-1.4	181	-10%

Tableau II- 1 : Influence de C_{GS} sur l'évolution du courant I_D (ouverture du MOSFET).

	Valeur du $\left(\frac{dI_D}{dt}\right)_{\max}$ A/ns	Instant du $\left(\frac{dI_D}{dt}\right)_{\max}$ ns	Variations du $\left(\frac{dI_D}{dt}\right)_{\max}$
$C_{DS} * 0.25$	-1.97	153	27%
$C_{DS} * 0.5$	-1.93	154	24%
$C_{DS} * 2$	-1.37	163	-12%
$C_{DS} * 4$	-0.956	173	-38%

Tableau II- 2 : Influence de C_{DS} sur l'évolution du courant I_D (ouverture du MOSFET).

	Valeur du $\left(\frac{dI_D}{dt}\right)_{\max}$ A/ns	Instant du $\left(\frac{dI_D}{dt}\right)_{\max}$ ns	Variations du $\left(\frac{dI_D}{dt}\right)_{\max}$
$C_{GD} * 0.5$	-1.72	131	10%
$C_{GD} * 0.8$	-1.69	147	8%
$C_{GD} * 1.2$	-1.56	168	-1%
$C_{GD} * 1.5$	-1.47	183	-8%

Tableau II- 3 : Influence de C_{GD} sur l'évolution du courant I_D (ouverture du MOSFET).

– Fermeture :

	Valeur du $\left(\frac{dI_D}{dt}\right)_{\max}$ A/ns	Instant du $\left(\frac{dI_D}{dt}\right)_{\max}$ ns	Variations du $\left(\frac{dI_D}{dt}\right)_{\max}$
$C_{GS} * 0.25$	1.44	32	17%
$C_{GS} * 0.5$	1.32	46	7%
$C_{GS} * 2$	1.21	74.3	-2%
$C_{GS} * 4$	0.9	100	-27%

Tableau II- 4 : Influence de C_{GS} sur l'évolution du courant I_D (fermeture du MOSFET).

	Valeur du $\left(\frac{dI_D}{dt}\right)_{\max}$ A/ns	Instant du $\left(\frac{dI_D}{dt}\right)_{\max}$ ns	Variations du $\left(\frac{dI_D}{dt}\right)_{\max}$
$C_{DS} * 0.25$	1.12	56	-9%
$C_{DS} * 0.5$	1.19	59	-4%
$C_{DS} * 2$	1.37	61	11%
$C_{DS} * 4$	1.55	62.5	26%

Tableau II- 5 : Influence de C_{DS} sur l'évolution du courant I_D (fermeture du MOSFET).

	Valeur du $\left(\frac{dI_D}{dt}\right)_{\max}$ A/ns	Instant du $\left(\frac{dI_D}{dt}\right)_{\max}$ ns	Variations du $\left(\frac{dI_D}{dt}\right)_{\max}$
$C_{GD} * 0.25$	2.12	57.5	72%
$C_{GD} * 0.5$	1.71	57.5	39%
$C_{GD} * 2$	1.14	57.5	-8%
$C_{GD} * 4$	0.88	58	-29%

Tableau II- 6 : Influence de C_{GD} sur l'évolution du courant I_D (fermeture du MOSFET).

En conclusion, dans l'optique de l'association de composants (en série ou en parallèle) nous retiendrons que:

- A l'ouverture l'instant du début de la commutation est fortement dépendant de C_{GS} et C_{GD} , alors que lors de la phase de fermeture, C_{GS} est prépondérant.
- Pour ce qui concerne les vitesses d'évolution du courant, on notera la prépondérance de C_{GD} .

II.3.2. Influence de la source de courant du MOSFET.

Nous nous sommes intéressés à deux caractéristiques de la source de courant du MOSFET. Comme dans le cas des capacités, nous avons d'abord confirmé la nécessité de prendre en compte le caractère non constant du gain gm (rappel : $I_D = gm.(V_{GS} - V_{GSth})$) avec

gm non constant) de la source de courant en fonction de V_{GS} . Nous nous sommes ensuite intéressés à l'importance de la valeur du gain k sur la vitesse de commutation en courant. Dans notre cas, la modélisation quadratique ($I_D = k(V_{GS} - V_{GSth})^2$) est valable pour des I_D inférieur à 25A environs (voir figure II-10), nous n'avons donc pris garde à ne pas dépasser cette valeur lors des simulations utilisant différentes valeurs de k .

L'influence de la non linéarité dans la modélisation de la source de courant est mis en évidence sur la figure II-11. Les gains $I_D = gm(V_{GS})$ utilisés sont représentés ci-dessous. Les conditions de simulation sont les suivantes : $rg=10\Omega$, $L_D=40nH$, $L_{dio}=10nH$, $L_G=20nH$, $E=200V$ et $I_{commuté}=7.5A$.

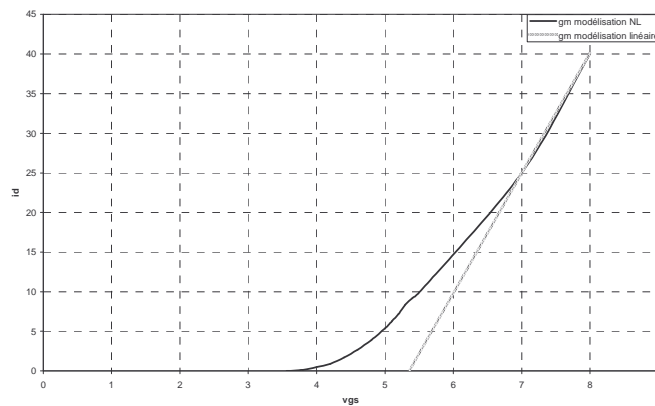


Fig.II- 10 : Les deux modèles utilisés pour la source de courant du MOSFET.

Note: nous constatons que pour des courants important (au delà de 25 A dans notre cas) gm est constant.

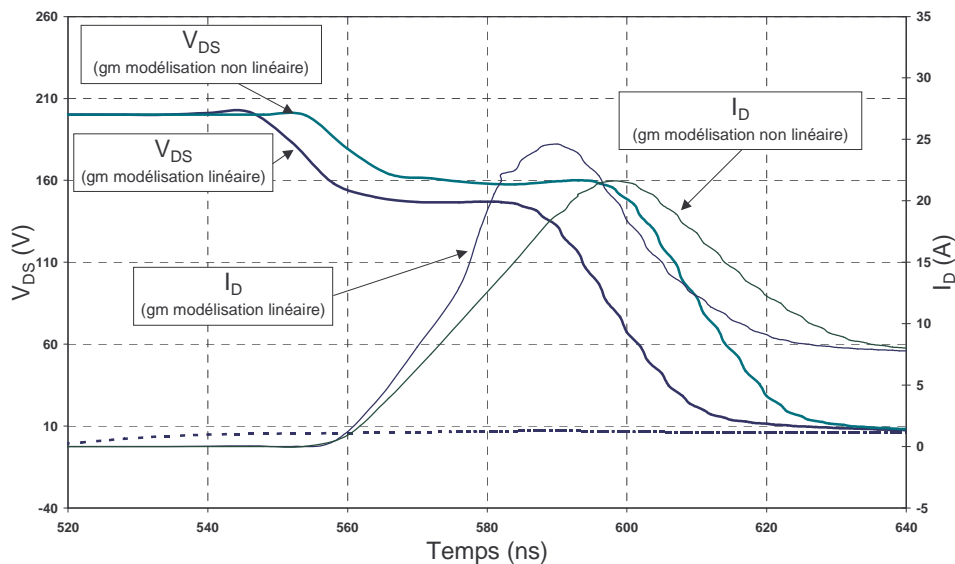


Fig.II- 11: Influence de la modélisation de la source de courant du MOSFET.

La non linéarité de la source de courant (gain gm variable) est naturellement visible lors de la commutation en courant.

Pour ce qui concerne l'influence du coefficient k , il est nécessaire de distinguer la fermeture de l'ouverture du MOSFET :

- Lors de la phase de fermeture on peut considérer que le courant I_{MOS} est pratiquement égal au courant I_D (on néglige le courant qui passe dans C_{DS} car V_{DS} est pratiquement constante), or I_{MOS} dépend de V_{GS} , d'où l'influence forte du gain k . Notons que ce raisonnement est valable uniquement si la chute de tension inductive $L_D \cdot dI_D/dt$ n'est pas trop importante, c'est à dire si la tension V_{DS} ne tend pas vers 0, dans ce cas le courant serait imposé uniquement par l'équation de maille ($E = L_D \cdot dI_D/dt$).
- Dans le cas de l'ouverture, la situation est différente : le tableau II-8 montre la faible influence du gain k . On peut attribuer ce phénomène à une concurrence entre la rapidité du circuit de grille et celle du circuit de puissance. le courant de commande I_G traverse C_{GD} et impose la tension V_{DS} , le courant I_D est alors imposé par la loi des mailles ($E = V_{DS} + L_D \cdot dI_D/dt$). La vitesse d'évolution de ce courant est donc le résultats d'un compromis entre l'équation de la maille de puissance et celle du circuit de grille.

Les résultats de simulation sont disponibles dans les tableaux suivants (II-7 et II-8) :

- Fermeture :

	Valeur du $\left(\frac{dI_D}{dt}\right)_{\max}$ A/ns	Instant du $\left(\frac{dI_D}{dt}\right)_{\max}$ ns	Variations du $\left(\frac{dI_D}{dt}\right)_{\max}$
k=3.5	1.33	57	8%
k=5	1.47	57	20%
k=7.5	1.62	56.5	31%
k=10	1.74	56.5	41%

Tableau II- 7 : Influence du gain k sur l'évolution du courant I_D (fermeture du MOSFET).

- Ouverture :

	Valeur du $\left(\frac{dI_D}{dt}\right)_{\max}$ A/ns	Instant du $\left(\frac{dI_D}{dt}\right)_{\max}$ ns	Variations du $\left(\frac{dI_D}{dt}\right)_{\max}$
k=3.5	-1.58	151	0.4%
k=5	-1.61	148	2.5%
k=7.5	-1.64	147	4.4%
k=10	-1.67	146	6.3%

Tableau II- 8 : Influence du gain k sur l'évolution du courant I_D (ouverture du MOSFET).

Le gain k de la source de courant commandée fait partie des paramètres influençant fortement la vitesse de commutation en courant lors de la fermeture du MOSFET. La caractéristique statique du MOSFET (et sa variation en fonction de la température) sera donc

à prendre en compte lors des associations de composants, et plus particulièrement pour l'équilibre des courants lors de la mise en parallèle.

II.4. Influence du câblage et du circuit de commande.

II.4.1. Influence de l'inductance L_G .

Des simulations ont montré que l'inductance de grille L_G (inductance parasite de câblage) n'intervient pratiquement pas sur les vitesses de commutation. Cela s'explique par le fait que durant la commutation, les tensions V_{GS} et U_t sont pratiquement constantes. De ce fait le courant de grille ne subit pas de variations importantes.

Par contre, L_G provoque un décalage temporel de la commutation. En effet, lors de la charge de la grille (fermeture du MOSFET), les circuits de puissance et de commande peuvent être considérés comme découplés (voir paragraphe I.2.1.4.). Nous avons alors un circuit RLC série.

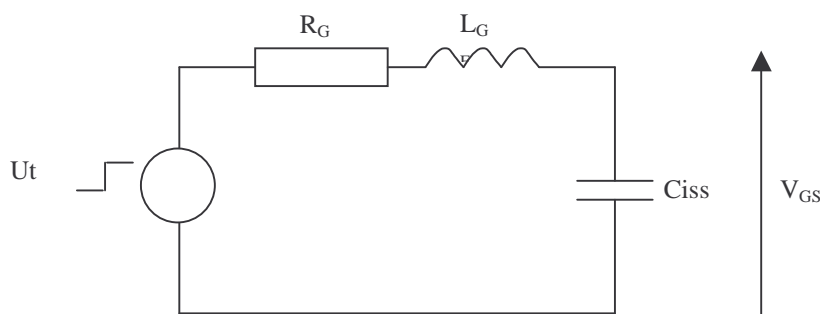


Fig.II- 12 : Circuit équivalent à la charge de la grille.

$$\text{Nous avons } V_{GS} = \frac{\frac{1}{C_{iss} \cdot p}}{\frac{1}{C_{iss} \cdot p} + L_G \cdot p + R} \cdot \frac{U_t}{p}.$$

Nous avons alors évalué le temps de

retard supplémentaire dû à une différence d'inductance de grille (pour une résistance de grille R_G donnée). La figure II-13 montre l'accroissement du temps de retard (temps entre l'ordre de commande du MOSFET, et l'instant où la tension V_{GS} atteint V_{GSth}) lorsque l'inductance de grille augmente pour une résistance de grille déterminée. Ici les applications numériques ont été faites avec différentes valeurs pour R_G (2Ω , 10Ω , 50Ω). Nous avons choisi 50nH comme valeur de base pour L_G , et 1nF pour C_{iss} . Sur cette même figure nous constatons que, pour des valeurs importantes de R_G (50Ω ici) la variation de td est très faible. Par contre pour des valeurs plus faibles de R_G cette variation est importante (en valeur relative), elle est environ deux fois plus faible que celle de L_G (pour une variation de 20% de L_G , nous constatons une variation de 10% de td).

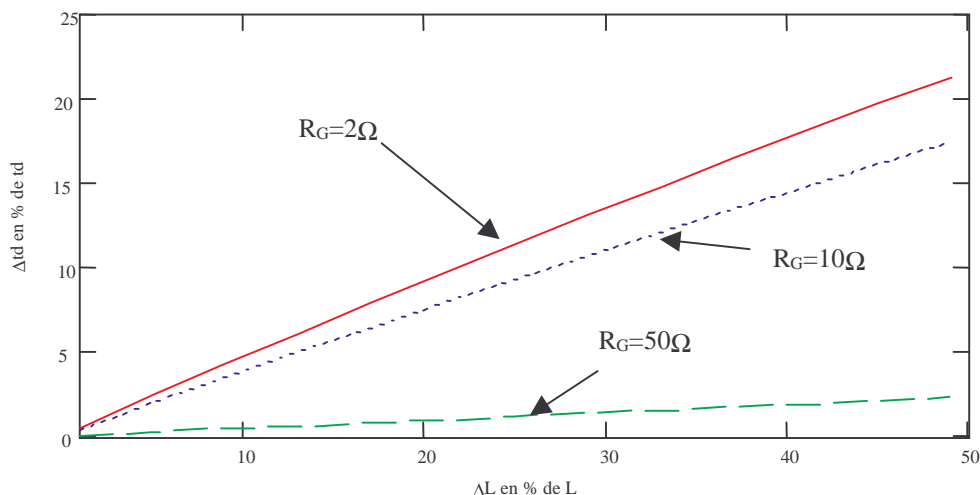


Fig.II- 13 : Temps de retard supplémentaire dû à une différence d'inductance de grille.

Dans le cadre de l'association de composants, on prête particulièrement attention à l'apparition de temps de retard d'un composant par rapport à l'autre (qui sont une cause de déséquilibre). On notera donc que la sensibilité des temps de retard vis à vis de l'inductance de grille sera d'autant plus importante que la résistance de grille sera faible.

II.4.2. Influences de l'inductance de commutation et de la résistance de grille (lors de la fermeture du MOSFET).

Ici la simulation a permis de faire varier facilement l'inductance de maille L_D , et ainsi d'évaluer l'influence de ce paramètre pour différentes résistances de grille. Cela nous permettra notamment de nous affranchir de tous les problèmes de couplage, et ainsi d'évaluer l'influence de l'inductance de maille seule.

Nous avons réalisé plusieurs séries de simulations (figures II-14, II-15 et II-16). A l'intérieur de chaque série, nous avons gardé constantes les valeurs des composants (résistance et inductance) de la grille, et nous avons fait varier la valeur de l'inductance de maille. Dans tous les cas nous avons commuté le même courant de 7.5A sous une tension de 200V.

1. La première série de simulations a été effectuée avec une résistance de grille de valeur $R_G = 2\Omega$.

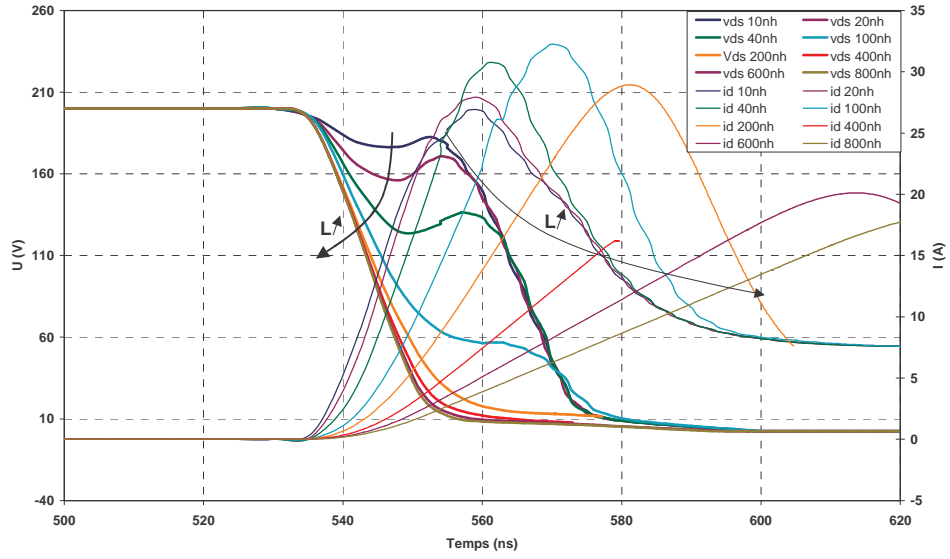


Fig.II- 14 : Effet de l'inductance L_D pour un R_G faible (2Ω).

2. Une seconde série de simulations a ensuite été réalisée avec une résistance de grille de plus grande de valeur $R_G = 10\Omega$.

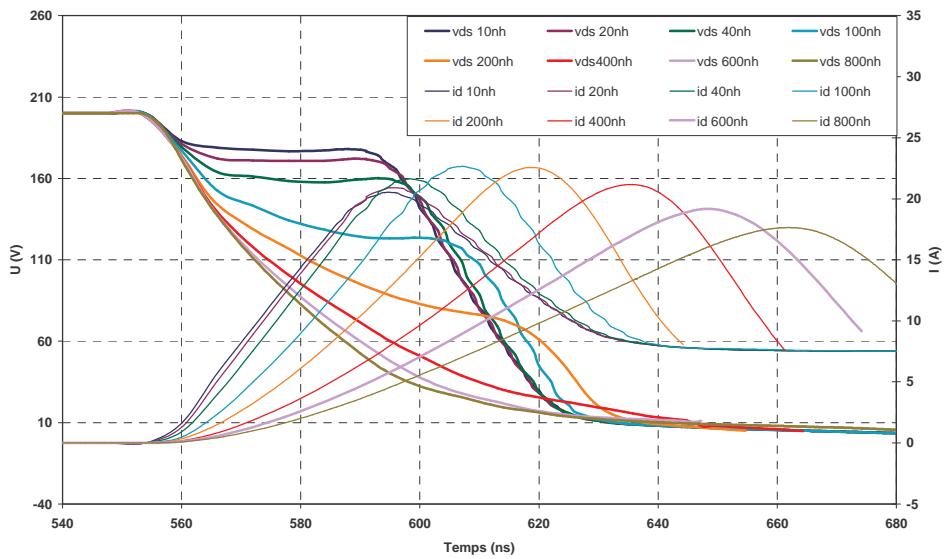


Fig.II- 15 : Effet de l'inductance L_D pour un R_G moyen (10Ω).

3. Enfin une dernière série de simulations a été faite avec une résistance de grille encore plus importante ($R_G = 50\Omega$).

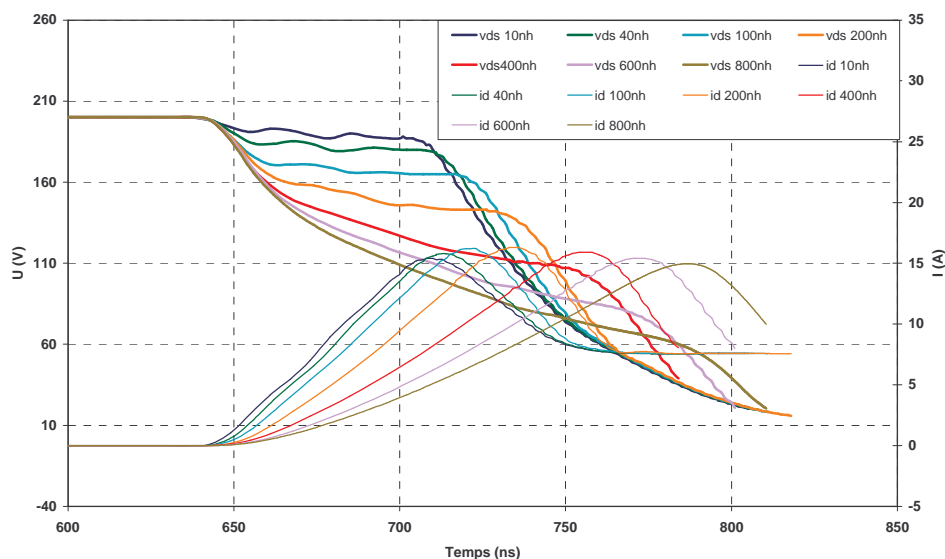


Fig.II- 16 : Effet de l'inductance L_D pour un R_G grand (50Ω).

Sur la première série de simulations on constate que l'on arrive rapidement (lorsque l'on augmente la valeur de l'inductance L_D) à une chute de tension inductive égale à la tension commutée (E), et donc à une limitation du di_D/dt à E/L_D . Pour des valeurs de R_G plus importantes on constate que la chute de tension n'atteint jamais la valeur E (cela est particulièrement visible sur la figure II-16). Ceci peut s'expliquer par le fait qu'il faut décharger totalement la capacité C_{DS} pour avoir une chute de tension équivalente à la tension commutée. Nous avons $V_{GS}=V_{GD}+V_{DS}$, or durant la commutation V_{GS} est constante, pour faire varier V_{DS} , il faut donc faire varier V_{GD} , et donc il faut décharger la capacité C_{GD} . Or cette décharge sera d'autant plus rapide que la résistance de grille R_G sera faible (et donc le courant de grille I_G important).

A partir des courbes précédentes (figures II-14, II-15 et II-16) nous avons tracé les évolutions des di_D/dt en fonction de L_D (figure II-17), en nous plaçant dans la zone où le di_D/dt est constant (zone 2 sur la figure II-25). Cela nous donne les résultats suivants :

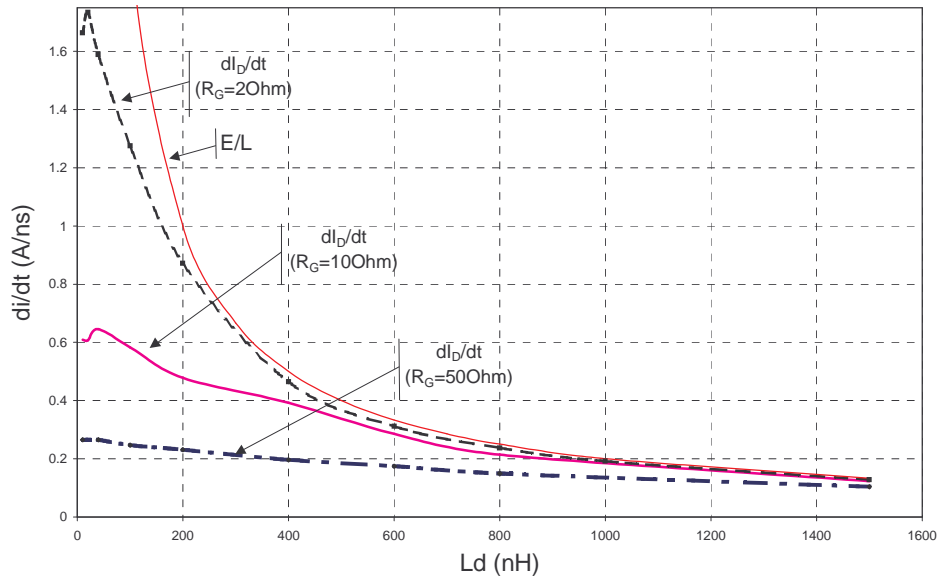


Fig.II-17 : Evolution du di_D/dt lors de la phase de fermeture.

Nous constatons que, pour les valeurs importantes de L_D , et pour les valeurs faibles de R_G , la vitesse de commutation tend vers E/L_D : seul le câblage limite alors la vitesse de commutation.

Pour des valeurs importantes de R_G , la vitesse de commutation sera totalement dépendante du circuit de commande et du MOSFET.

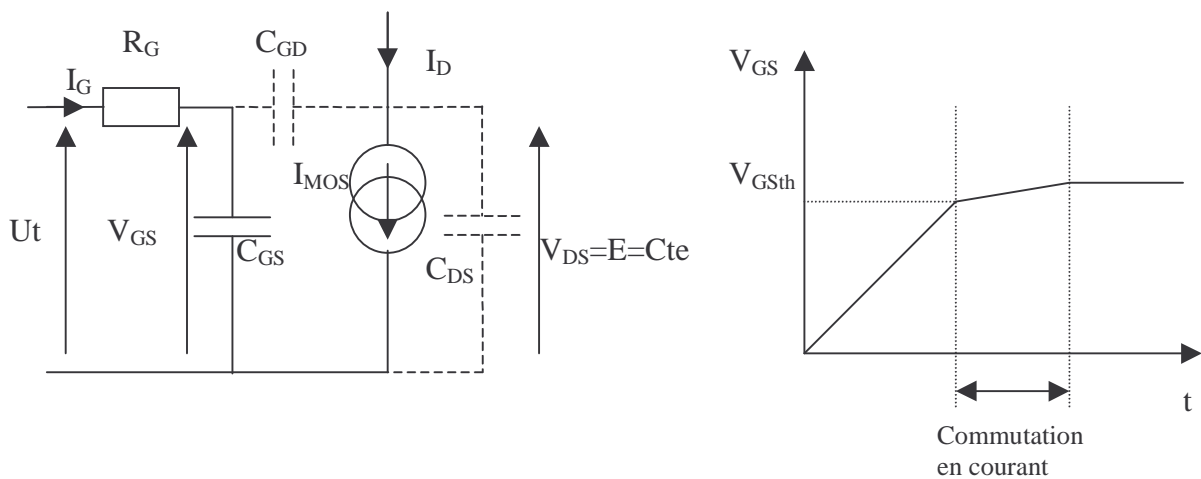


Fig.II-18 : Modèle du MOSFET pour la commutation en courant lorsque L_D est faible et R_G grand.

Durant la commutation en courant, vis à vis du courant de grille, nous considérerons que la tension V_{GS} varie faiblement et vaut quasiment V_{GSth} , nous considérerons donc que le courant I_G est constant et vaut $I_G = (U_t - V_{GSth}) / R_G$.

C_{GS} étant très supérieure à C_{GD} , nous considérerons que tout le courant I_G passe dans C_{GS} . Ainsi nous aurons $V_{GS} = V_{GSth} + \frac{I_G}{C_{GS}} \cdot t$.

De plus, L_D étant faible (en fait dI_D/dt faible), la tension V_{DS} sera considérée comme constante égale à E (pas de chute de tension inductive $L \cdot dI_D/dt$). Ainsi le courant traversant C_{DS} sera nul et donc nous avons alors $I_{MOS}=I_D$. Or $I_{MOS}=gm(V_{GS}-V_{GSth})$. Donc nous avons $\frac{dI_D}{dt} = \frac{dI_{MOS}}{dt} = gm \cdot \left(\frac{U_t - V_{GSth}}{R_G \cdot C_{GS}} \right)$.

Nous constatons que pour les faibles valeurs de L_D , dI_D/dt varie en $1/R_G$ en faisant l'approximation $gm \#cte$, qui est valable si l'on se place à un niveau de courant commuté suffisant. La formulation précédente ne sera donc valable que pour les courants importants.

Pour les valeurs de L_D plus importantes (ou de R_G plus faibles), il y a une certaine "concurrence" entre les deux influences précédentes, ainsi nous verrons au paragraphe II.6.1 que la vitesse de commutation en courant sera en $1/\sqrt{L_D \cdot R_G}$. La formule analytique de dI_D/dt au cours de cette phase est disponible dans ce même paragraphe.

De là, nous pouvons décomposer l'évolution du dI_D/dt en trois zones en fonction de l'inductance de maille L_D . Les frontières de ces trois zones sont dépendantes de la résistance de grille R_G . Elles sont résumées par la figure II-19 :

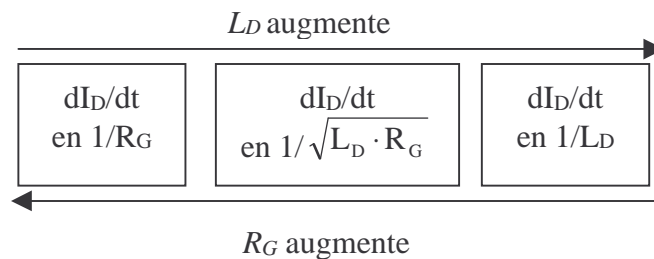


Fig.II- 19 : Evolution de la vitesse de commutation en courant en fonction de R_G et L_D .

II.4.3. Influences de l'inductance de commutation et de la résistance de grille (lors de l'ouverture du MOSFET).

Lors de l'ouverture, c'est l'équation de la maille de puissance ($E=V_{DS}+L_D \cdot dI_D/dt$) qui limite la vitesse de commutation en courant (dI_D/dt) par l'intermédiaire de la valeur de la surtension observable aux bornes du MOSFET ($L_D \cdot dI_D/dt$). Cette surtension est limitée par le MOSFET (en fait c'est la vitesse d'évolution de la tension qui est limitée). Il y a deux facteurs pouvant limiter cette vitesse de croissance de la tension :

- Pour de faibles valeurs de résistances de grille, la capacité C_{DS} limite la vitesse d'évolution de la tension (dV_{DS}/dt), ce qui limite la surtension observable aux bornes du MOSFET ($L_D \cdot dI_D/dt$) et donc la valeur de dI_D/dt . C'est le cas que l'on trouvera en pratique lorsque l'on voudra utiliser les MOSFET pour leur vitesse de commutation élevée. Dans ce cas la vitesse de commutation en courant est indépendante de la résistance de grille R_G .
- Pour des valeurs plus importantes de R_G , la vitesse d'évolution de la tension (dV_{DS}/dt) est alors limitée par la résistance de grille (qui limite la charge de C_{GD}).

Donc, comme pour le cas précédent le dI_D/dt est alors limité par l'intermédiaire de l'équation de maille ($E=V_{DS}+L_D \cdot dI_D/dt$).

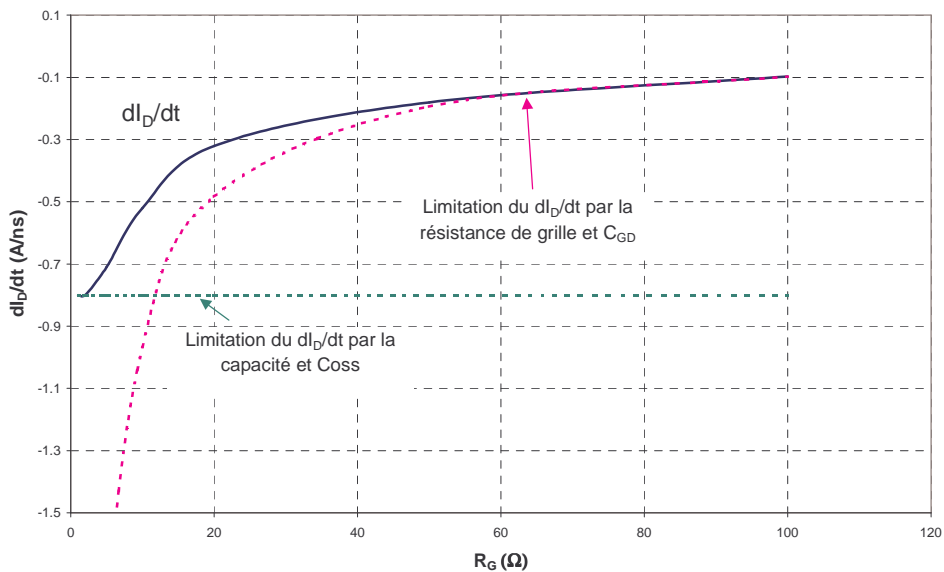


Fig.II- 20 : Evolution du dI_D/dt à l'ouverture en fonction de la résistance de grille R_G .

II.4.4. Importance du courant commuté.

Nous avons ensuite regardé l'influence de la valeur du courant commuté sur la vitesse de croissance du courant.

Pour cela nous avons réalisé une série de simulations (figure II-21) dans les conditions suivantes : $R_G=100\Omega$, $L_D=40\text{nH}$, $L_{dio}=10\text{nH}$, $l_G=20\text{nH}$, $E=200\text{V}$.

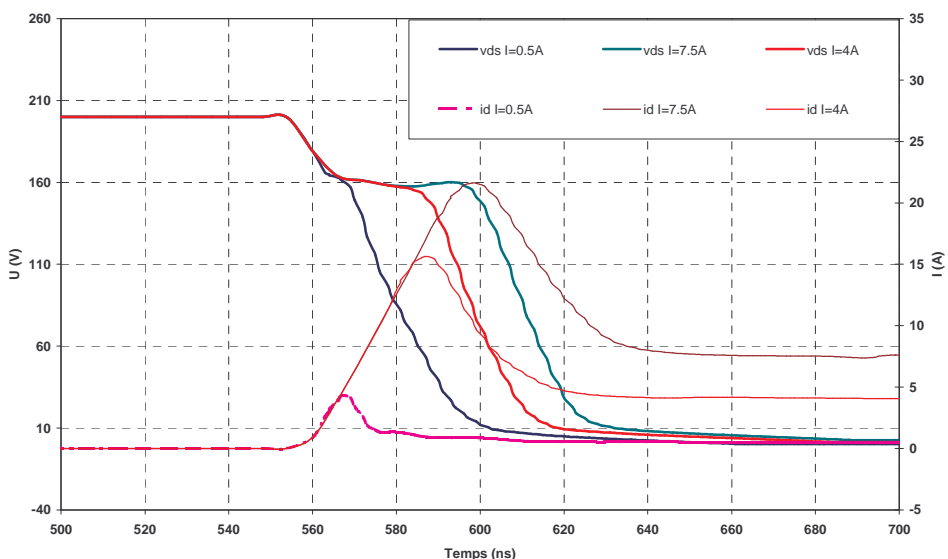


Fig.II- 21 : Influence du courant commuté à la fermeture.

La valeur du courant commuté n'influe pas sur la vitesse d'évolution du courant (dI_D/dt). Pour ce qui est du dV_{DS}/dt son influence semble limité.

Par contre le courant de recouvrement évolue de manière significative avec le niveau de courant commuté. En fait, la charge stockée dans la jonction (dans la zone ν) est dépendante du courant commuté, plus le courant commuté sera important, plus il faudra évacuer de porteurs, et donc plus le courant de recouvrement sera important.

II.5. Synthèse.

A partir des résultats précédents, on peut établir un tableau résumant les influences relatives des différents éléments analysés (0= nulle, + = peu importante, ++ = importante, +++ = très importante). Ce tableau a été complété au niveau des dV_{DS}/dt par les résultats de [MERIENNE-96], et ceux qui seront également développés au paragraphe suivant.

- Lors de la fermeture du MOSFET

	C_{GD}	C_{DS}	C_{GS}	L_G	L_D	k ou gm	Icharge
dI_D/dt	+++	++	++	0	+++	+++	0
Instant de commutation	0	+	+++	++	0	0	0
dV_{DS}/dt	+++	++	+	0	0	+	+

- Lors de l'ouverture du MOSFET

	C_{GD}	C_{DS}	C_{GS}	L_G	L_D	k ou gm
dI_D/dt	++	+++	+	0	+++	+
Instant de commutation	++	+	+++	++	0	0
dV_{DS}/dt	+++	++	+	0	0	+

Les paramètres Ut et V_{GSth} conditionneront la valeur du courant I_G par l'intermédiaire de la résistance de grille R_G , ces trois paramètres influenceront donc les charges et décharges des capacités C_{GD} et C_{GS} , et donc par là même aussi bien les instants du début de la commutation que les vitesses de commutation.

Notons également que les capacités des MOSFET influencent les vitesses de commutation en tension. Durant ces phases, la tension V_{GS} est pratiquement constante, ainsi l'influence de la capacité C_{GS} sera faible. La charge (ou la décharge) de la capacité C_{GD} conditionne presque en totalité l'évolution de la tension, son influence sera donc très importante. Dans certains cas particuliers, la capacité C_{DS} limitera le dV_{DS}/dt par l'intermédiaire du courant de charge à I_{charge}/C_{DS} . Son influence pourra donc être importante.

Jusqu'à maintenant, nous nous sommes basés principalement sur des simulations ou sur des formes d'ondes expérimentales. Grâce à l'identification des zones de prépondérances

(de la diode, du MOSFET et du câblage), nous allons maintenant établir des formulations analytiques pour les vitesses d'évolution de la tension et du courant.

II.6. Formulations analytiques des vitesses de commutation.

II.6.1. Commutation en courant (fermeture du MOSFET).

Pour la zone intermédiaire de l'évolution du dI_D/dt (figure II-19), nous reprendrons les formulations développées par [LAUZIER-99]. Nous nous sommes intéressé à la fermeture du MOSFET, car c'est durant cette phase qu'il est crucial de contrôler les courants lors des associations en parallèle de composants. Soit une cellule de commutation à trois inductances découplées, ce qui en terme de variables d'état est juste suffisant [AKHBARI 98]. La diode étant passante dans cette commutation en courant, le schéma électrique est alors celui décrit par la figure II-22.

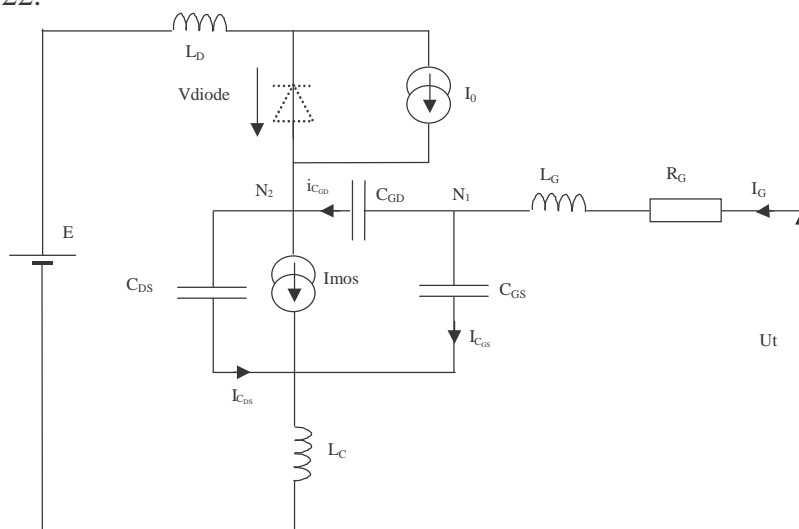


Fig.II- 22 : Schéma électrique équivalent lors de la commutation en courant du MOSFET.

Les équations génériques du système sont alors les suivantes.

On a l'équation relative à la source de courant du MOSFET :

$$I_{mos} = k(V_{GS} - V_{GSth})^2 \quad (II-1)$$

L'équation de la maille du circuit de puissance, quand la diode conduit ($V_{diode} = 0$) est :

$$E - (L_D + L_C) \frac{dI_D}{dt} - V_{DS} - L_C \frac{dI_G}{dt} = 0 \quad (II-2)$$

L'équation de la maille du circuit de grille est :

$$U_t - (L_G + L_C) \frac{dI_G}{dt} - R_G I_G - V_{GS} - L_C \frac{dI_D}{dt} = 0 \quad (II-3)$$

L'équation des courants au nœud N₁ s'écrit :

$$I_G = C_{GS} \frac{dV_{GS}}{dt} + C_{GD} \frac{d}{dt}(V_{GS} - V_{DS}) \quad (II-4)$$

L'équation des courants au nœud N₂ s'écrit :

$$I_{C_{GD}} + I_D - I_{C_{DS}} = I_{mos} \quad (II-5)$$

ce qui peut encore s'écrire :

$$I_D = I_{mos} + C_{DS} \frac{dV_{DS}}{dt} - C_{GD} \frac{d}{dt}(V_{GS} - V_{DS}) \quad (II-6)$$

Hypothèses :

La première hypothèse simplificatrice a été de négliger l'inductance L_G , placée dans le circuit de commande. En effet, durant la commutation, la tension V_{GS} est relativement constante et proche de V_{GSth} . Par ailleurs, la tension Ut est fixe, de ce fait le courant de grille ne subit pas de variation importante. La deuxième hypothèse est de négliger le courant de grille I_G , ainsi que ses variations dI_G/dt , devant le courant de drain I_D , et ses variations dI_D/dt . On supposera donc le courant constant dans la capacité C_{GD} . Les variations des capacités en fonction des tensions V_{DS} et V_{GS} (figure I-5) ne seront pas non plus prises en compte à ce stade.

Avec ces hypothèses, le système d'équations (II-1) à (II-6) est à résoudre. Une première idée est issue de la constatation suivante : on parle beaucoup de dI_D/dt , ce qui n'a en toute rigueur de sens que si le courant est linéaire. Malheureusement, injecter un courant I_D linéaire dans ce système d'équations aboutit à de nombreuses incohérences. Les figures II-3 et II-4 semblent nous montrer que l'on peut utiliser un modèle quadratique pour le courant au moins pour une certaine zone. On a donc :

$$I_D = \alpha t^2 \quad (II-7)$$

On obtient une équation du second degré en dI_D/dt , dont la résolution pour le cas particulier de la fin de commutation, dans le cas de la fermeture, nous permet de déterminer la valeur maximale du $(dI_D/dt)_{max}$, au moyen de l'équation suivante :

$$\left(\frac{dI_D}{dt} \right)_{max} = \pm \frac{-b + \sqrt{\delta}}{a} \sqrt{I} \quad (II-8)$$

avec: $a = 2(L_D + L_C)$, $b = (2 \frac{L_C}{R_G C_{GD}} \sqrt{I})$, $c = -\frac{Ut - V_{GSth}}{R_G C_{GD}}$, $\delta = b^2 - 4ac$ et $I = \min(I_{limite}, I_0 + I_{rrm})$.

$I_0 + I_{rrm}$).

Note : Le développement de l'ensemble de ce calcul est disponible en Annexe I.

Le I_{limite} est défini sur la figure II-25, il correspond à la valeur de courant au delà de laquelle la modélisation quadratique ne s'applique plus. On constate alors que les éléments qui influent sur la rapidité de croissance du courant sont le câblage (on note les rôles distincts de l'inductance de maille L_D et de l'inductance commune de source L_C), le circuit de grille (paramètres Ut et R_G), le MOSFET (capacité C_{GD} , tension de seuil V_{GSth}), le courant commuté, et dans une moindre mesure la diode, via son courant de recouvrement I_{rrm} (uniquement dans le cas où le courant commuté est très inférieur au calibre du MOSFET, et donc quand $I_0 + I_{rrm} < I_{limite}$).

On constate également qu'en négligeant l'inductance commune de source L_C , on retrouve alors l'expression proposée par Merienne [MERIENNE-96] au cours de sa thèse :

$$\frac{dI_D}{dt} = \sqrt{\frac{2 \cdot I_{ch} \cdot (U_t - V_{th})}{R_G \cdot C_{GD} \cdot L_D}} \quad (\text{II-9})$$

Nous avons fait une comparaison entre les deux formules précédentes (II-8 et II-9) :

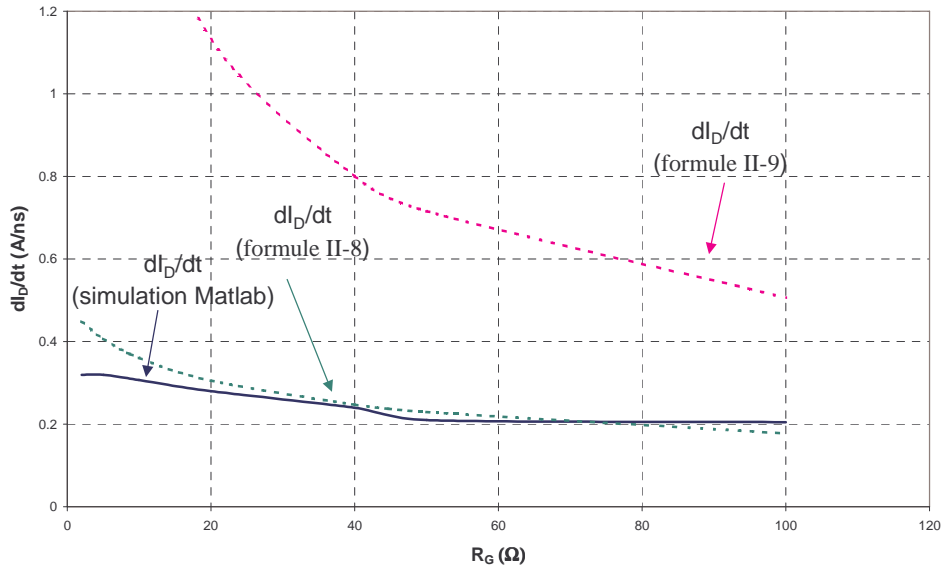


Fig.II- 23 : Comparaison des vitesses de commutation obtenue par différentes formules analytiques et en simulation lors de la fermeture du MOSFET.

Nous constatons sur la figure ci dessus que la prise en compte de l'inductance commune de source et l'introduction de la modélisation quadratique du courant, et ainsi la notion de I_{limite} , améliore sensiblement la précision du dI_D/dt .

II.6.2. Commutation en tension (ouverture et fermeture du MOSFET).

Voyons maintenant la modélisation des commutations en tension. Durant ces phases la tension V_{GS} est pratiquement constante, ce qui permet de négliger la capacité C_{GS} et ainsi d'obtenir le modèle de la figure II-24. Notons également que nous avons pris pour hypothèse des capacités de valeurs constantes. Cette hypothèse se justifie car à partir d'une certaine valeur de V_{DS} les capacités parasites du MOSFET peuvent être considérées comme constantes. Ainsi lors de la phase d'ouverture du MOSFET, dans des conditions de commutation classiques (i.e. tension commutée proche du calibre en tension du MOSFET), nous connaissons facilement le dV_{DS}/dt final.

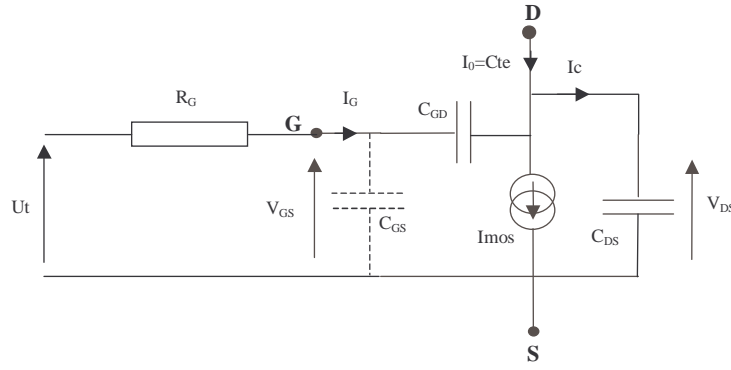


Fig.II- 24 : Schéma équivalent du MOSFET pendant la phase de commutation en tension.

Ce modèle peut alors se traduire par les 6 équations différentielles suivantes :

$$I_0 = I_C + I_{mos} - I_G \quad (\text{II-10})$$

$$I_C = (C_{DS}) \cdot \frac{dV_{DS}}{dt} \quad (\text{II-11})$$

$$I_G = \frac{(U_t - V_{GS})}{R_G} \quad (\text{II-12})$$

$$V_{GS} = \frac{I_{mos}}{gm} + V_{GSth} \quad (\text{II-13})$$

$$V_{GS} - V_{GD} - V_{DS} = 0 \quad (\text{II-14})$$

$$\frac{dV_{GD}}{dt} = \frac{I_G}{C_{GD}} \quad (\text{II-15})$$

En considérant gm constant (ce qui est valable tant que la commutation en tension se déroule sous fort courant), nous intégrons ce système différentiel grâce à la transformée de Laplace. Ainsi nous obtenons pour V_{DS} l'expression suivante :

$$V_{DS}(p) = \frac{(I_0 + gm \cdot (V_{GSth} - U_t)) \cdot (gm - p \cdot C_{GD})}{p^2 \cdot gm \cdot (C_{GD} \cdot (1 + R_G \cdot gm + p \cdot R_G \cdot C_{DS}) + C_{DS})}$$

Nous appliquons alors le théorème de la valeur finale et cela nous donne :

$$\frac{dV_{DS}}{dt} = \lim_{p \rightarrow 0} (p \cdot V_{DS}(p)) = \lim_{t \rightarrow \infty} \left(\frac{dV_{DS}(t)}{dt} \right)$$

On obtiens alors :

$$\frac{dV_{DS}}{dt} = \frac{(I_0 + gm \cdot (V_{GSth} - Ut))}{(C_{GD} \cdot (1 + R_G \cdot gm) + C_{DS})} \quad (\text{II-16})$$

Cette relation est valable uniquement si le courant I_{mos} est supérieur à I_G . Dans le cas où le courant I_{mos} devient égal à I_G (ce qui signifie que tout le courant commuté passe dans le condensateur C_{DS}), le modèle équivalent du MOSFET, vis à vis de la maille de puissance, est simplement le condensateur C_{DS} . Nous avons alors la relation suivante :

$$\frac{dV_{DS}}{dt} = \frac{I_0}{C_{DS}} \quad (\text{II-17})$$

Note : En considérant que $R_G \cdot gm$ est grand, c'est à dire que $R_G \cdot gm \gg I$, et que $R_G \cdot gm \cdot C_{GD} \gg C_{DS}$, on retrouve la formule établie dans [MERIENNE-96] :

$$\frac{dV_{DS}}{dt} = \frac{V_{th} + I_0/gm - Ut}{C_{GD} \cdot R_G} \quad (\text{II-18})$$

II.7. Conclusion, formes d'ondes idéalisées.

II.7.1. Fermeture du MOSFET.

A partir de l'observation de l'ensemble des courbes précédentes, nous définissons des formes d'ondes idéalisées qui serviront de base à nos analyses.

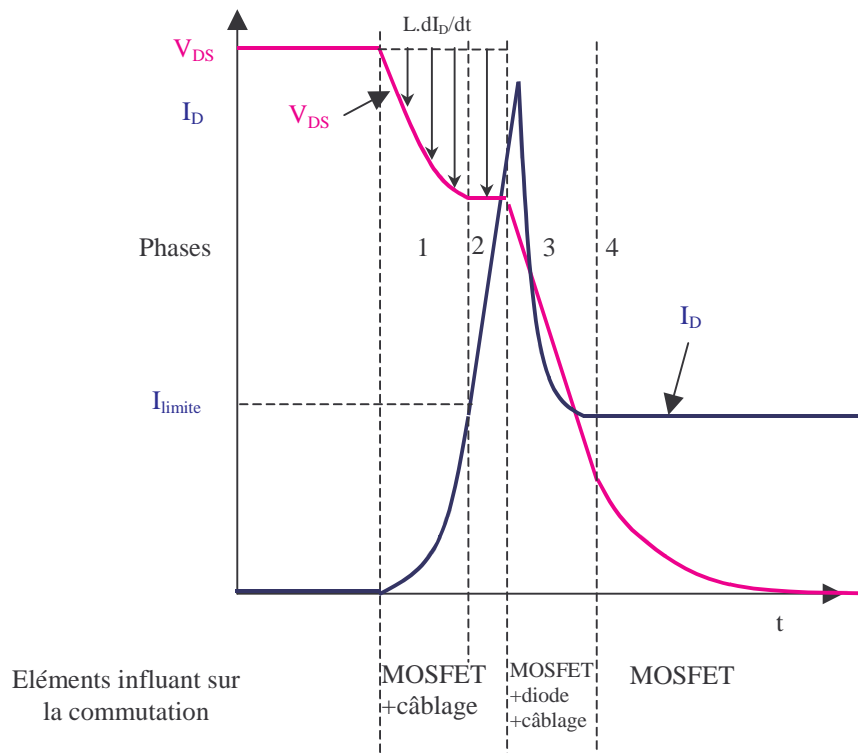


Fig.II- 25 : Commutation à la fermeture (formes d'ondes idéalisées).

Notons que nous avons décomposé la fermeture en 4 phases.

Dans La phase n°1, le courant I_D est modélisé par une parabole (voir paragraphe II.2.1.1, Fig.II- 3). Cette phase se termine quand le courant atteint une valeur que nous avons noté I_{limite} . A la fin de cette phase la pente du courant atteint sa valeur maximum que nous noterons $(di_{on}/dt)_{max}$. L'étude détaillée de l'évolution de cette valeur en fonction des inductances et de la résistance de grille a été présentée sur la figure II-17.

Ensuite il y a la phase 2 au cours de laquelle le courant augmente de manière linéaire avec la pente atteinte à la fin de la phase précédente. Cela se traduit par une chute de tension inductive constante (voir figures II-14, II-15 et II-16).

Durant la phase 3, la tension aux bornes du MOSFET chute linéairement, c'est la commutation en tension du MOSFET. Pour ce qui est du courant, il atteint son maximum, puis commence à chuter jusqu'à sa valeur nominale. Notons que cette phase ne commence pas à l'instant où le courant inverse est maximum dans la diode [FARJAH-94, MERIENNE-96] mais un peu avant.

Enfin, lors de la phase 4, la tension chute plus lentement, cela est dû aux non linéarités des capacités du modèle du MOSFET (Voir figure II-26).

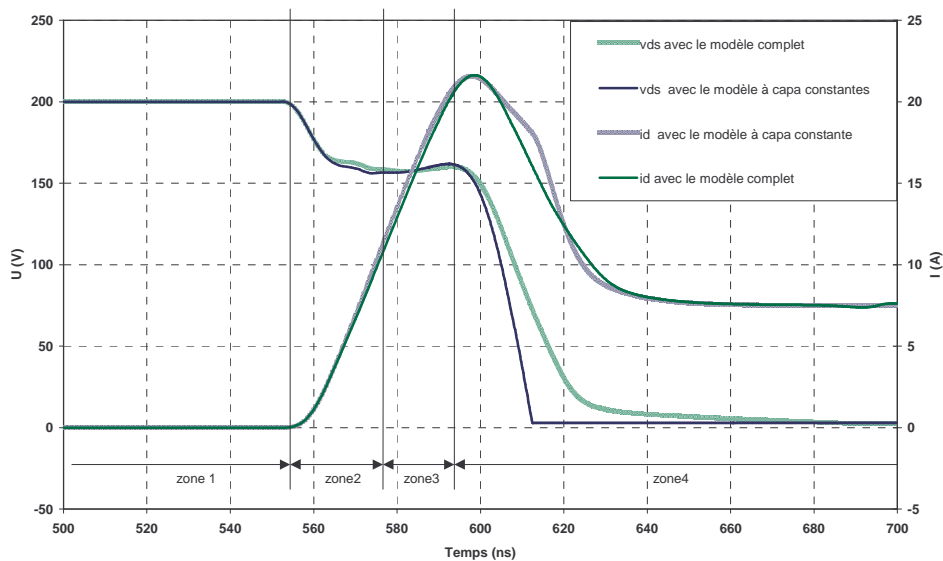


Fig.II- 26 : Effet des non linéarités des capacités du MOSFET.

Sur la figure II-26, il apparaît clairement que la prise en compte ou non des variations des capacités du MOSFET a une faible influence dans les zones 1, 2 et 3. Par contre l'influence est grande sur la commutation en tension, et notamment sur le "traînage" (phase 4 sur la figure II-25). Lors du calcul des pertes, cela aboutit à une erreur d'environ 12% dans notre cas de figure. Pour ce qui concerne les associations de composants, ce traînage n'est pas "critique", en effet dans le cas de l'association en série, il intervient lorsque les tensions sont en train de chuter aux bornes des différents composants, il ne risque donc pas de faire sortir un composant de sa SOA (Safe Operating Area).

II.7.2. Ouverture du MOSFET.

Dans le paragraphe II.2.2, nous avons constaté qu'un changement de diode (ou une variation des paramètres du modèle dans le cas de la simulation) n'influe quasiment pas sur les formes d'ondes lors de la phase d'ouverture du MOSFET. En fait cela signifie que la tension V_{diode} (et donc sa zone de charge espace) peut évoluer beaucoup plus rapidement que la tension V_{DS} , ainsi donc la diode ne sera pas le facteur limitant, il n'y a donc pas de zone où son influence est prépondérante durant cette phase.

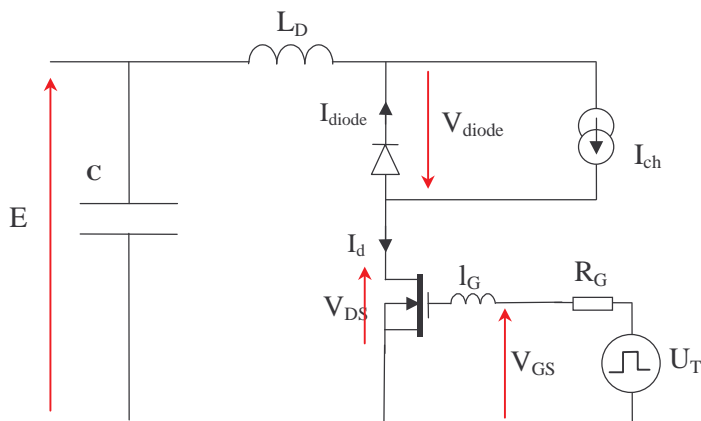


Fig.II- 27: Schéma simplifié de la cellule de commutation.

Les éléments intervenant lors de cette phase seront donc uniquement le MOSFET et le câblage. L'évolution en tension est gouvernée par le MOSFET, la vitesse de croissance de la tension est donnée soit par la formule (II-16) soit par la formule (II-17). Nous observons un phénomène de traînage dû à la valeur importante de C_{DS} pour de faibles tensions (voir paragraphe I.2.1.2.). Ensuite nous retrouvons la surtension d'origine inductive durant la décroissance du courant.

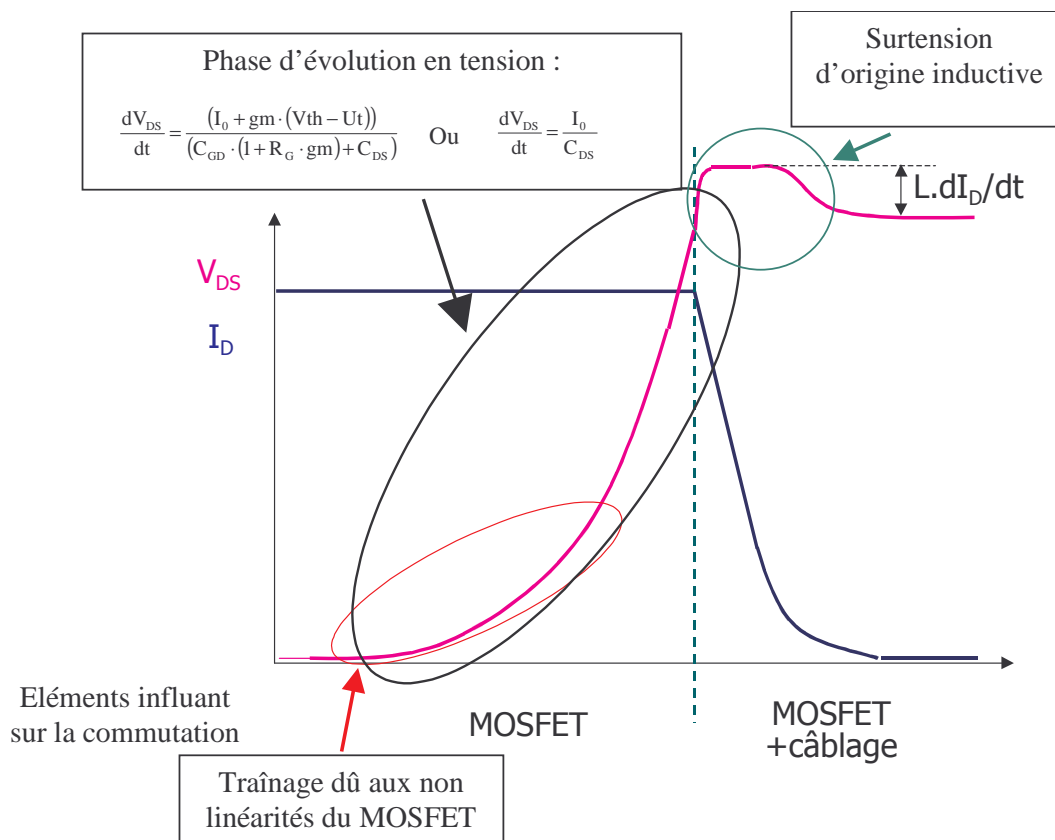


Fig.II- 28 : Formes d'ondes idéalisées (ouverture du MOSFET).

Notons que l'on pourrait rajouter une légère diminution de I_D lors de la croissance de la tension, cela est dû à la décharge de la capacité de charge espace de la diode (cette capacité avait été chargée lors du recouvrement à la fermeture du MOSFET).

II.7.3. Conclusion.

Au cours de ce chapitre nous avons recensé les paramètres associés aux différents acteurs de la commutation (le MOSFET, la diode et le câblage), et leur influences sur les formes d'ondes. Cela nous a permis de délimiter les zones d'influence de chaque composant. Nous avons alors pu développer des formulations analytiques (inversibles) pour les vitesses de commutation en courant et en tension. Elles permettront notamment de savoir sur quels paramètres agir (tension de grille U_t par exemple) afin d'obtenir les formes d'ondes souhaitées (comme par exemple des formes de courant infiniment dérivables [MAGNON-00]).

Lors des associations de composants, la principale contrainte sera de maintenir les semiconducteurs dans leur aire de sécurité (SOA) et donc de ne pas dépasser leurs courant et tension maximale admissibles. La phase "critique" concernant l'équilibre en courant (Chapitre III) sera la fermeture dans le cas de l'association en parallèle. Pour ce qui est de l'association en série (Chapitre IV), l'ouverture sera quant à elle "critique" concernant l'équilibre des tensions. Dans ces deux cas les formulations analytiques développées au cours de ce chapitre seront particulièrement utiles et elles permettront, notamment, de quantifier les déséquilibres. De plus elles donneront la possibilité de savoir sur quels paramètres agir afin de réduire ces déséquilibres.

Chapitre II	35
II.1. Introduction.	36
II.2. Influence de la diode.	37
II.2.1. Lors de la phase de fermeture du MOSFET.	37
II.2.1.1. Zones d'influence respectives de la diode et du MOSFET.	37
II.2.1.2. Influence des paramètres de la diode sur la commutation.	39
II.2.2. Lors de la phase d'ouverture du MOSFET.	42
II.3. Influence du MOSFET.	42
II.3.1. Influence des capacités du MOSFET (étude réalisée en simulation) [LAUZIÉ-99].	42
II.3.2. Influence de la source de courant du MOSFET.	45
II.4. Influence du câblage et du circuit de commande.	48
II.4.1. Influence de l'inductance L_G.	48
II.4.2. Influences de l'inductance de commutation et de la résistance de grille (lors de la fermeture du MOSFET).	49
II.4.3. Influences de l'inductance de commutation et de la résistance de grille (lors de l'ouverture du MOSFET).	53
II.4.4. Importance du courant commuté.	54
II.5. Synthèse.	55
II.6. Formulations analytiques des vitesses de commutation.	56
II.6.1. Commutation en courant (fermeture du MOSFET).	56
II.6.2. Commutation en tension (ouverture et fermeture du MOSFET).	58
II.7. Conclusion, formes d'ondes idéalisées.	60
II.7.1. Fermeture du MOSFET.	60
II.7.2. Ouverture du MOSFET.	62
II.7.3. Conclusion.	64

Chapitre III

Mise en parallèle de composants à grille isolée.

<i>III.1. Introduction.</i>	<i>66</i>
<i>III.2. Etude du rôle du câblage lors de la mise en parallèle de n semiconducteurs.</i>	<i>67</i>
<i>III.3. Etude détaillée de la mise en parallèle de 2 MOSFET.</i>	<i>73</i>
<i>III.4. Applications.</i>	<i>82</i>
<i>III.5. Conclusion.</i>	<i>89</i>

III.1. Introduction.

L'étude de la mise en parallèle a depuis longtemps été menée afin de résoudre les problèmes d'équilibrage des courants entre les différents composants de l'association. Sur un plan « historique » la mise en parallèle a d'abord concerné des composants qui présentaient une nature *non autoéquilibrante* qui ne facilitait pas la chose ! Des montages ont été réalisés avec des thyristors, en tenant compte du peu de degrés de liberté donnés par la commande, mais surtout avec des transistors bipolaires dont la petite taille a nécessité des associations en parallèle pour atteindre des puissances raisonnables.

Aujourd'hui, la mise en parallèle de composants à grille isolée reste un problème d'actualité. L'augmentation des densités de courant en électronique de puissance entraîne tout naturellement la mise en parallèle de composants élémentaires. Les contraintes technologiques et la standardisation conduisent à des tailles de puces de silicium données qui sont alors les éléments de base de composants de plus forts calibres. L'augmentation de la capacité en courant s'obtient ainsi par l'association en parallèle d'unités élémentaires.

Les modules MOSFET et bien sûr IGBT de puissance ont ainsi pu voir leurs courants nominaux augmenter ces dernières années. Le module IGBT de traction affiche classiquement 1200 Ampère [XING-98], et plusieurs de ces modules peuvent être associés au moyen de « busbarres », pour augmenter encore cette capacité.

Il a été montré que, compte tenu des couplages électrothermiques, l'association de MOSFET et d'IGBT – contrairement à celle de diodes par exemple- ne pose pas de problèmes particuliers sur le plan statique [RAEL-96]. En effet, le comportement électrothermique positif (augmentation de la résistance à l'état passant lorsque la température augmente) de ces composants (pour l'IGBT, en fonction de la technologie, au delà d'un certain courant) est favorable à la mise en parallèle par le fait qu'il atténue un éventuel déséquilibre initial.

En revanche, ces études menées en régime statique, ne considéraient pas les disparités éventuelles entre les composants en régime dynamique. Ainsi, les différences de vitesse de commutation, les surtensions apparaissant à l'ouverture, ou tout autre phénomène transitoire pouvant conduire à un vieillissement prématuré d'un des composants de l'association, sont pour l'heure inconnus.

L'objectif de ce chapitre est de faire le point sur tous ces phénomènes, en soulignant notamment l'influence du câblage sur les aspects dynamiques.

Les principaux paramètres à prendre en compte pour cette étude sont :

- Les caractéristiques des semiconducteurs.
- Les caractéristiques du circuit de commande.
- La conception (routage) du circuit de puissance afin d'évaluer les imperfections du câblage.

Tous ces paramètres jouent un rôle, parfois déterminant, dans les phénomènes transitoires intervenant dans une association en parallèle. Nous en proposons ici une analyse, qui débouchera le plus souvent possible sur des règles de conception, afin d'améliorer les dispositifs ainsi réalisés. Nous mettrons en évidence le rôle des inductances mutuelles qui est souvent négligé par les électroniciens de puissance.

Dans un premier temps nous allons présenter l'association en parallèle de n semiconducteurs. Puis nous restreindrons cette étude à deux MOSFET, en analysant les particularités de ce type d'association.

Nous illustrerons alors la partie précédente par deux cas pratiques :

- L'association en parallèle de deux puces au sein d'un module MOSFET de puissance.
- L'association en parallèle de deux modules MOSFET de puissance.

III.2. Etude du rôle du câblage lors de la mise en parallèle de n semiconducteurs.

III.2.1. Présentation de la structure étudiée.

La figure III-1 représente le circuit électrique équivalent pour l'étude de la mise en parallèle de n semiconducteurs [JEANNIN-01]. La modélisation de ce circuit est basée sur la méthode PEEC [RUEHLI-74] qui attribue à chaque portion de circuit une part de l'inductance totale. Toutes les inductances sont donc couplées.

Pour équilibrer les contraintes électriques entre les semiconducteurs, le courant i_0 doit se partager de manière égale entre chaque interrupteur (K_1, K_2, \dots, K_n). Nous nous fixerons donc comme but d'atteindre $i_1=i_2=\dots=i_n=i_0/n$, tant en conduction que dans les phases de commutation.

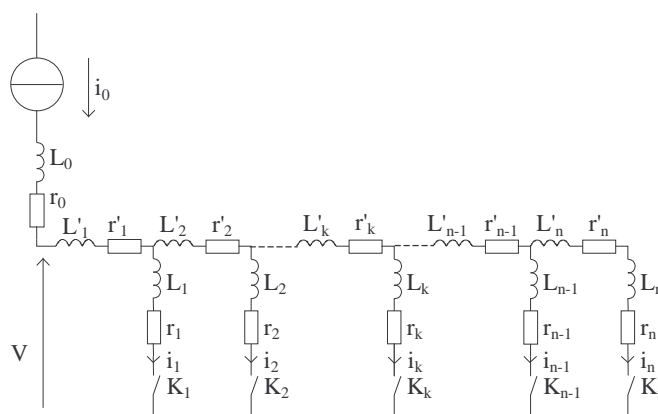


Fig.III- 1 : Modèle utilisé pour l'étude de l'association de n semiconducteurs en parallèle.

Dans le cas de l'association de composants en parallèle à l'aide d'une structure de type « busbarre », le câblage se modélisera plus facilement par une structure du type de celle de la

figure III-2 (a) [BESACIER-00]. Le passage du schéma de la figure III-1 à celui de la figure III-2 (a) est relativement évident, il suffit de considérer $L_0, r_0, L'_1, r'_1, \dots, L'_n, r'_n$ et les inductances mutuelles associées comme nulles dans la figure III-1 pour retrouver le schéma de la figure III-2 (a). Le schéma de la figure III-1 est donc plus général que celui de la figure III-2 (a).

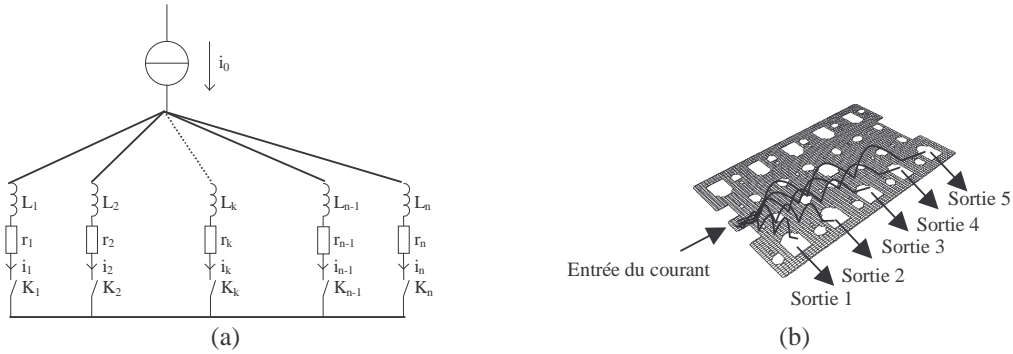


Fig.III- 2 : Modèle de câblage pour une structure de type « busbarre » (a) et exemple d'une structure de type « busbarre » à une entrée et cinq sorties(b).

Note - Le lien entre la géométrie d'un « busbarre » (figure III-2 b) et le modèle électrique équivalent (figure III-2 a) est délicat. Le logiciel InCa permet de modéliser une géométrie, et ainsi d'obtenir un schéma électrique équivalent, par contre, la réciproque (à partir d'un schéma électrique, définir une géométrie) est particulièrement délicate à obtenir dans le cas d'utilisation de « busbarre ».

III.2.2. Etude théorique du partage du courant entre n semiconducteurs en régime harmonique.

III.2.2.1. Conditions d'équilibre dynamique des courants.

Observons tout d'abord uniquement l'influence du câblage. Les semiconducteurs sont considérés comme passants (court-circuit idéal). Les différentes équations régissant la figure III-1 peuvent être traduites par la relation matricielle suivante :

$$\begin{bmatrix} V \\ \dots \\ V \end{bmatrix} = [Z] \cdot \begin{bmatrix} i_1 \\ \dots \\ i_n \end{bmatrix} + [Z'] \cdot \begin{bmatrix} \sum_{k=1}^n i_k \\ \dots \\ i_n \end{bmatrix} + [M] \cdot \begin{bmatrix} i_0 \\ \dots \\ i_0 \end{bmatrix} + [M'] \cdot \begin{bmatrix} i_0 \\ \dots \\ i_0 \end{bmatrix} \quad (\text{III-1})$$

En accord avec la figure III-1 : $i_1 \dots i_n$ sont les différents courants dans les branches et i_0 est le courant total. $[Z]$ représente la matrice des impédances de branches, $[Z']$ celle des

impédances interbranches, $[M]$ et $[M']$ représentent respectivement les inductances mutuelles des branches et des interbranches avec le reste du circuit. Les expressions des matrices $[Z]$, $[Z']$, $[M]$ et $[M']$ se trouvent dans l'annexe II. Une autre présentation possible de la relation (III-1) est :

$$\begin{bmatrix} V \\ \dots \\ V \end{bmatrix} = [Z_{eq}] \cdot \begin{bmatrix} i_1 \\ \dots \\ i_n \end{bmatrix} + [M_{eq}] \cdot \begin{bmatrix} i_0 \\ \dots \\ i_0 \end{bmatrix} \quad (III-2)$$

Avec $[Z_{eq}] = [Z] + [Z'] \cdot [P]$, et $[M_{eq}] = [M] + [M']$. La matrice $[P]$ est définie en annexe II.

En remplaçant i_k par i_0/n (égale répartition des courants) on obtient la relation suivante :

$$\begin{bmatrix} V \\ \dots \\ V \end{bmatrix} = [Z_0] \cdot \begin{bmatrix} i_0 \\ \dots \\ i_0 \end{bmatrix} \quad (III-3)$$

$$\text{Avec } [Z_0] = \frac{1}{n} [Z_{eq}] + [M_{eq}]$$

On a alors n fois la même égalité. Chaque ligne de l'expression matricielle (III-3) doit donc être respectée. La matrice $[Z_0]$ doit donc respecter les n-1 conditions d'équilibre, qui peuvent s'écrire comme suit :

$$\forall \alpha, \beta \in [1, n]^2, \left(\frac{1}{n} \cdot \sum_{i=1}^n Z_{eq_{\alpha i}} \right) + M_{eq_{\alpha\alpha}} = \left(\frac{1}{n} \cdot \sum_{i=1}^n Z_{eq_{\beta i}} \right) + M_{eq_{\beta\beta}} \quad (III-4)$$

Cette formule traduit le fait que la somme des éléments de chaque ligne de la matrice $[Z_0]$ doit être égale.

Notons que **ces conditions sont nécessaires pour que le câblage n'induit aucun déséquilibre. Elles ne préjugent pas des possibles disparités entre les semiconducteurs.**

III.2.2.2. Analyse des déséquilibres.

Une étude similaire à celle menée lors du paragraphe précédent peut également conduire à l'analyse des déséquilibres en courant d'une géométrie de câblage donnée.

En extrayant la matrice courant de la relation (III-2), on obtient :

$$\begin{bmatrix} i_1 \\ \dots \\ i_n \end{bmatrix} = [Z_{eq}^{-1}] \cdot \begin{bmatrix} V \\ \dots \\ V \end{bmatrix} - [Z_{eq}^{-1}] \cdot [M_{eq}] \cdot \begin{bmatrix} i_0 \\ \dots \\ i_0 \end{bmatrix} \quad (\text{III-5})$$

En notant y_{ij} et a_{ij} les éléments de $[Z_{eq}^{-1}]$ et de $[Z_{eq}^{-1}] \cdot [M_{eq}]$, et en posant $\frac{V}{i_0} = Z_0 eq$, on a :

$$\begin{bmatrix} \frac{i_1}{i_0} \\ \dots \\ \frac{i_n}{i_0} \end{bmatrix} = \begin{bmatrix} \sum_{j=1}^n y_{1j} \\ \dots \\ \sum_{j=1}^n y_{nj} \end{bmatrix} \cdot Z_0 eq - \begin{bmatrix} \sum_{j=1}^n a_{1j} \\ \dots \\ \sum_{j=1}^n a_{nj} \end{bmatrix} \quad (\text{III-6})$$

Cette relation est intéressante pour l'analyse d'une structure de puissance donnée. Elle permet de quantifier les déséquilibres.

Par exemple, en considérant une association de 2 semiconducteurs (figure III-5), ces relations permettent de déterminer le déséquilibre prévisible entre les courants i_1 et i_2 à partir du déséquilibre de la matrice inductance. Soient les inductances suivantes :

- $L_0=85nH$
- $L_1=L_2=60nH$
- $M_{01}=M_{02}=5nH$
- $M_{12}=10nH$.

Ici nous avons une géométrie complètement symétrique, i_1 et i_2 sont parfaitement équilibrés.

Si les coefficients de la branche 2 augmentent de 5%, soit $L_2=63nH$ et $M_{02}=5.25nH$, alors la relation (III-5) permet de dire que i_1 sera supérieur de 7% à i_2 .

Nous observons ici l'influence importante du câblage sur l'équilibrage des courants.

III.2.2.3. Analyse des surtensions à l'ouverture.

Lors de l'ouverture des interrupteurs, nous considérerons que la commutation se déroule en deux phases (figure III-3).

La première correspond à un accroissement de la tension aux bornes de chaque semiconducteur (phase1 : tension). Durant cette phase, chaque semiconducteur sera assimilé à une source de tension indépendante, les paramètres principaux régissant l'évolution de la tension pour un MOSFET donné étant la capacité C_{GD} et le circuit de commande de grille (chapitre II).

La deuxième correspond à la diminution du courant i_k (phase2 : courant) durant laquelle le MOSFET se comporte comme une source de courant.

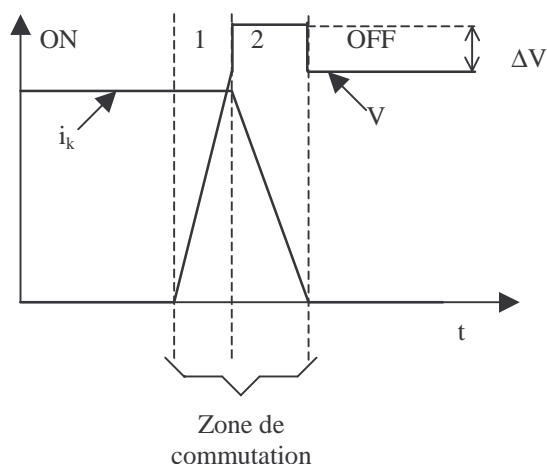


Fig.III- 3 : Les différentes zones de fonctionnement de l'interrupteur à l'ouverture.

Lors de la phase courant (figure III-4) la diode est dans l'état passant, des surtensions apparaissent alors aux bornes des interrupteurs.

Dans un souci de simplification de l'écriture, nous conserverons la notion de matrice impédance, alors qu'il s'agit d'évaluer des surtensions (suite à un échelon de courant).

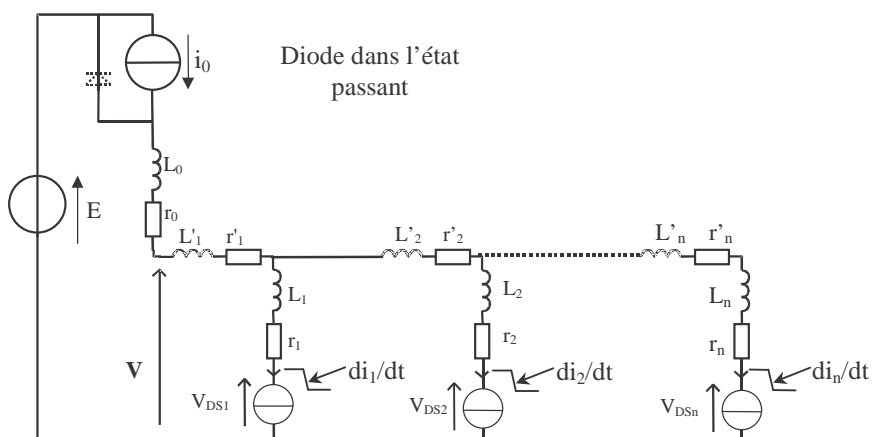


Fig.III- 4 : Circuit équivalent lors de la phase courant d'ouverture de l'interrupteur.

En utilisant les notations matricielles suivantes :

$$[\Delta V] = \begin{bmatrix} V \\ \dots \\ V \end{bmatrix} - \begin{bmatrix} V_{DS1} \\ \dots \\ V_{DSn} \end{bmatrix} \quad \text{et} \quad [\Delta I] = \begin{bmatrix} i_0 / n \\ \dots \\ i_0 / n \end{bmatrix} - \begin{bmatrix} i_1 \\ \dots \\ i_1 \end{bmatrix}$$

En tenant compte des tension V_{DSk} des interrupteurs, la relation (III-2) s'écrit :

$$\begin{bmatrix} \mathbf{V} \\ \dots \\ \mathbf{V} \end{bmatrix} = \begin{bmatrix} \mathbf{V}_{DS1} \\ \dots \\ \mathbf{V}_{DSn} \end{bmatrix} + [\mathbf{Z}_{eq}] \cdot \begin{bmatrix} \mathbf{i}_1 \\ \dots \\ \mathbf{i}_n \end{bmatrix} + [\mathbf{M}_{eq}] \cdot \begin{bmatrix} \mathbf{i}_0 \\ \dots \\ \mathbf{i}_0 \end{bmatrix}$$

Soit
$$[\Delta \mathbf{V}] = [\mathbf{Z}_{eq}] \cdot \left(\frac{1}{n} \cdot \begin{bmatrix} \mathbf{i}_0 \\ \dots \\ \mathbf{i}_0 \end{bmatrix} - [\Delta \mathbf{I}] \right) + [\mathbf{M}_{eq}] \cdot \begin{bmatrix} \mathbf{i}_0 \\ \dots \\ \mathbf{i}_0 \end{bmatrix}$$

Soit
$$[\Delta \mathbf{V}] = \left(\frac{1}{n} \cdot [\mathbf{Z}_{eq}] + [\mathbf{M}_{eq}] \right) \cdot \begin{bmatrix} \mathbf{i}_0 \\ \dots \\ \mathbf{i}_0 \end{bmatrix} - [\mathbf{Z}_{eq}] \cdot [\Delta \mathbf{I}]$$

Et comme $[\mathbf{Z}_0] = \frac{1}{n} \cdot [\mathbf{Z}_{eq}] + [\mathbf{M}_{eq}]$, on obtient finalement :

$$[\Delta \mathbf{V}] = [\mathbf{Z}_0] \cdot \begin{bmatrix} \mathbf{i}_0 \\ \dots \\ \mathbf{i}_0 \end{bmatrix} - [\mathbf{Z}_{eq}] \cdot [\Delta \mathbf{I}] \quad (\text{III-7})$$

Les différences entre 2 lignes quelconques du vecteur $[\Delta \mathbf{V}]$, c'est-à-dire les différences de tension V_{DS} entre 2 interrupteurs, dépendent donc de 2 termes :

- D'une part la différence entre la somme des termes des lignes de la matrice $[\mathbf{Z}_0]$.
- D'autre part la différence entre les 2 lignes du produit $[\mathbf{Z}_{eq}] \times [\Delta \mathbf{I}]$.

Pour annuler les écarts de surtension, il faut donc annuler ces 2 contributions. On retrouve alors la condition (III-4), qui rappelons-le, assure l'égalité de la somme de chaque ligne de la matrice $[\mathbf{Z}_0]$. De plus, il est nécessaire que les lignes du produit $[\mathbf{Z}_{eq}] \times [\Delta \mathbf{I}]$ soient égales. Pour cela, on doit assurer soit une condition sur $[\mathbf{Z}_{eq}]$, soit une égalité des courants dans chaque branche durant la commutation ($[\Delta \mathbf{I}] = 0$).

Il est à noter que la condition sur la matrice $[\mathbf{Z}_{eq}]$ ne fait pas intervenir les mutuelles avec le reste du circuit (contenues dans $[\mathbf{M}_{eq}]$). Par conséquent, elle n'est pas redondante avec la condition (III-4).

Donc pour résumer il y a deux cas permettant d'avoir des surtensions égales aux bornes de tous les semiconducteurs associés en parallèle : soit on respecte **deux types de conditions de câblage**, soit on respecte **la condition de câblage (III-4) et on assure également l'égalité des courants dans les différents semiconducteurs (durant la commutation, $[\Delta \mathbf{I}] = 0$)**.

Nous allons voir maintenant comment s'applique l'étude précédente au cas particulier de la mise en parallèle de deux MOSFET.

III.3. Etude détaillée de la mise en parallèle de 2 MOSFET.

L'étude précédente est assez théorique, nous allons maintenant l'illustrer en prenant l'exemple de la mise en parallèle de deux MOSFET dans une cellule hacheur incluant une diode unique.

III.3.1. Présentation de la structure et notations.

Le schéma de la figure III-1 se transforme comme indiqué figure III-5 dans le cas de la mise en parallèle de deux interrupteurs.

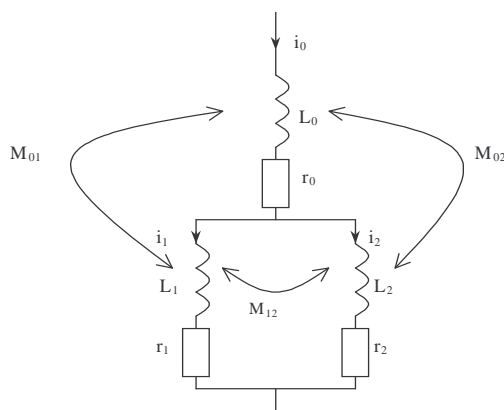


Fig.III- 5 : Modélisation du câblage pour l'évaluation du déséquilibre en courant entre deux MOSFET en parallèle.

Par rapport au schéma de la figure III-1, les impédances interbranches (L'_1 et L'_2) se confondent avec L_1 et L_2 .

III.3.2. Etude de l'influence du câblage dans la répartition des courants.

Idéalement, le courant i_0 devrait se partager de manière égale entre i_1 et i_2 , donc l'objectif est d'obtenir $i_1=i_2=i_0/2$ indépendamment de la fréquence.

La mise en équation du circuit de la figure III-5 conduit à la fonction de transfert suivante:

$$\frac{i_1}{i_0} = \frac{r_2 + (L_2 + M_{02} - M_{01} - M_{12}) \cdot p}{r_1 + r_2 + (L_1 + L_2 - 2 \cdot M_{12}) \cdot p} \quad (\text{III-8})$$

- L'approximation aux basses fréquences de l'équation (III-8) est $\frac{i_1}{i_0} = \frac{r_2}{r_1 + r_2}$, ce qui nous conduit à la condition évidente :

$$r_1 = r_2. \quad (\text{III-9})$$

- L'approximation aux hautes fréquences de l'équation (III-8) est $\frac{i_1}{i_0} = \frac{L_2 + M_{02} - M_{01} - M_{12}}{L_1 + L_2 - 2 \cdot M_{12}}$, ce qui conduit à la condition suivante.

$$\frac{L_1 - L_2}{2} = M_{02} - M_{01} \quad (\text{III-10})$$

Notons que ces conditions (III-9) et (III-10) peuvent également être déduites de l'expression générique (III-4) en séparant la partie réelle et imaginaire (voir annexe III). Nous proposons ici une autre expression de l'équation (III-8) qui met en évidence les conditions d'équilibre des courants i_1 et i_2 :

$$\frac{i_1}{i_0} = \frac{1}{2} + \frac{r_2/2 - r_1/2 + (L_2/2 - L_1/2 + M_{02} - M_{01}) \cdot p}{r_1 + r_2 + (L_1 + L_2 - 2 \cdot M_{12}) \cdot p} \quad (\text{III-11})$$

En effet la deuxième partie de cette expression (III-11) est nulle indépendamment de la variable p (et donc de la fréquence) si les conditions (III-9) et (III-10) sont respectées. On voit donc que le respect des conditions (III-9) et (III-10) est suffisant pour assurer l'équilibre des courants i_1 et i_2 si les semiconducteurs présentent des caractéristiques identiques. S'il n'est pas possible d'annuler totalement le numérateur du second membre de l'équation (III-11), il peut être intéressant d'en augmenter au maximum le dénominateur, pour ce faire nous retiendrons qu'il faut chercher à avoir $|M_{12}|$ aussi grand que possible et négatif (le cas le plus favorable est $M_{12} = -\sqrt{L_1 \cdot L_2}$).

Il est rassurant de voir que si la géométrie est totalement symétrique ($r_1=r_2$, $L_1=L_2$, $M_{01}=M_{02}$) les conditions (III-9) et (III-10) sont respectées. Ceci a déjà été traité dans de nombreux articles [MIYASHITA-98], [CLAVEL-96], [PAICE-75]. **Mais ce qui est montré ici c'est qu'il n'est pas nécessaire d'avoir une structure symétrique, ce qui n'est pas toujours possible, pour avoir des courants i_1 et i_2 identiques. Il est seulement nécessaire**

de respecter les conditions (III-9) et (III-10). Notons également que ces conditions sont toujours indépendantes de la nature du semiconducteur.

L'observation des formes d'ondes simulées et expérimentales montre encore des déséquilibres bien que les conditions (III-9) et (III-10) aient été respectées. Nous allons maintenant tenter d'expliquer ce phénomène en analysant le rôle du semiconducteur dans la mise en parallèle.

III.3.3. Etude de l'influence du semiconducteur dans la répartition des courants.

III.3.3.1. Mise en évidence d'un courant de circulation lors de l'ouverture.

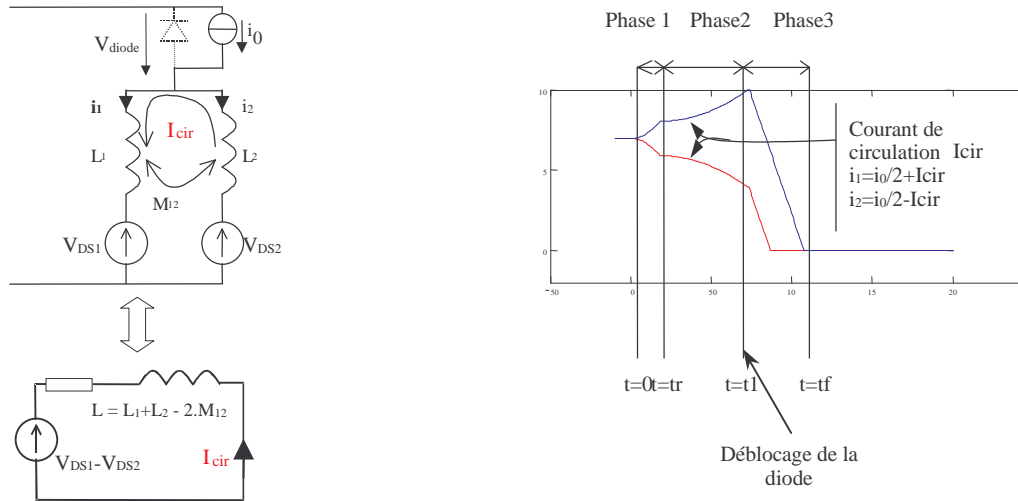
Bien que l'étude du câblage nous fournisse des règles de conception intéressantes, une étude plus précise des phénomènes apparaissant durant les commutations est nécessaire pour expliquer l'allure des formes d'ondes. Cette étude, en plus des règles de câblage définies précédemment, nous fournira des règles sur la commande des semiconducteurs. Le MOSFET sera pris comme composant de base pour cette étude, mais le même type de raisonnement pourra être appliqué aux IGBT.

Nous allons ici faire une étude des phénomènes apparaissant lors des commutations de 2 MOSFET en parallèle dans une structure hacheur série avec une diode unique (figure III-6). Cette structure est supposée avoir une géométrie respectant les conditions (III-9) et (III-10) concernant l'équilibre des courants.

Dans notre cellule comportant deux MOSFET en parallèle, lors de l'ouverture un courant de circulation peut apparaître (figure III-6). En effet, si les 2 tensions V_{DS1} et V_{DS2} sont différentes, dans la mesure où le courant total i_0 extérieur est imposé, un courant de circulation apparaît. Nous considérerons qu'il y a principalement deux causes qui sont à l'origine des différences des tensions V_{DS} :

1. Un décalage temporel du début de l'ouverture d'un MOSFET par rapport à l'autre. Ce décalage peut être dû à une dissymétrie des circuits de commande ou des semiconducteurs (différence de V_{th}). Le MOSFET 1 commence à s'ouvrir à $t=0$, et le MOSFET 2 à $t=t_r$.
2. Une évolution différente de la tension aux bornes de chaque MOSFET.

Cela nous conduit à une différence de tension entre les deux MOSFET (figure III-6), et à des formes d'ondes du type de celle de la figure III-6 (b).



(a) : schéma équivalent vis a vis du courant de circulation (b) : Formes d'ondes théoriques des courants \$i_1\$ et \$i_2\$ à l'ouverture.

Fig.III- 6 : Le courant de circulation à l'ouverture.

III.3.3.2. Mise en équation du courant de circulation lors de l'ouverture.

Dans la **phase 1** (de \$t=0\$ à \$t=tr\$) nous avons :

- La diode qui est encore bloquée, donc \$i_1+i_2=i_0\$.
- Le MOSFET2 qui est encore passant, donc \$V_{DS2}=0\$.
- Le MOSFET1 commence à se bloquer. Donc \$V_{DS1}(t) = \int_0^t dV_{DS1}\$ (rem : si on fait l'hypothèse d'un \$\frac{dV_{DS1}}{dt}\$ constant, on a \$V_{DS1}(t) = t \cdot \frac{dV_{DS1}}{dt}\$).

Nous faisons l'hypothèse qu'il n'y a pas de déséquilibre statique, donc que à \$t=0\$, \$i_1=i_2=i_0/2\$. A partir de \$t=0\$, nous avons donc \$i_1=i_0/2+I_{cir}\$, et \$i_2=i_0/2-I_{cir}\$. On a donc \$V_{DS1} = (L_1 + L_2 - 2 \cdot M_{12}) \cdot \frac{dI_{cir}}{dt}\$, et en prenant l'hypothèse d'un \$\frac{dV_{DS1}}{dt}\$ constant cela nous conduit à :

$$I_{cir} = -\frac{dV_{DS1}/dt}{2 \cdot (L_1 + L_2 - 2 \cdot M_{12})} \cdot t^2 \text{ pour } t < tr. \quad (\text{III-12})$$

Dans la **phase 2** (de \$t=tr\$ jusqu'au déblocage de la diode, c'est à dire à \$t=t1\$) nous avons :

- La diode qui est toujours bloquée, donc nous avons toujours \$i_1+i_2=i_0\$.
- Le MOSFET2 commence à se bloquer.
- Le MOSFET1 continue de se bloquer.

Les conditions initiales de cette phase nous sont fournies par la phase précédente. Le courant de circulation pourra être obtenu comme une fonction de la différence entre \$dV_{DS1}/dt\$ et \$dV_{DS2}/dt\$. Par contre il n'est plus possible de considérer comme linéaire l'évolution des

tensions V_{DS1} et V_{DS2} car le courant de circulation I_{cir} a un effet sur la vitesse d'évolution de ces tensions. Cela est illustré par la figure suivante :

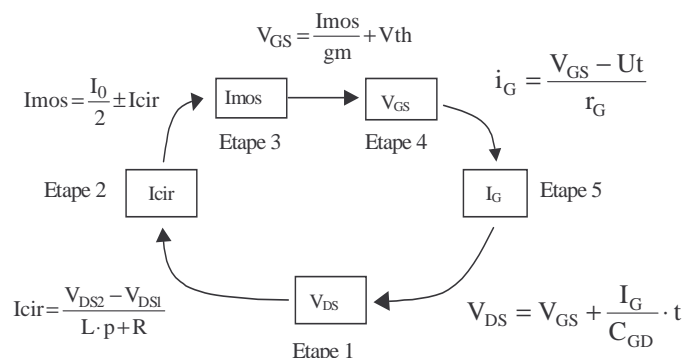


Fig.III- 7 : Diagramme d'évolution de I_{cir} et de V_{DS} .

Par exemple, une différence de V_{DS} -étape 1- avec $V_{DS2} > V_{DS1}$ va entraîner l'apparition d'un courant de circulation -étape 2-, ce courant de circulation va entraîner une augmentation du courant I_{mos2} (respectivement une diminution de I_{mos1}) -étape 3-. Ceci va provoquer une augmentation de V_{GS2} (respectivement une diminution de V_{GS1}) -étape 4-, cela aura pour conséquence une augmentation de I_{G1} (respectivement une diminution de I_{G2}), et donc le résultat final sera une augmentation de V_{DS1} et une diminution de V_{DS2} , soit une réduction de la différence des V_{DS} et donc du courant de circulation lui même.

Dans le cas où la différence de V_{DS} -étape 1- aurait eu pour origine $V_{DS1} > V_{DS2}$ on aurait eu également apparition d'un courant de circulation -étape 2- (qui serait alors dans le sens inverse du précédent, soit donc négatif), ce courant de circulation entraînerait une augmentation du courant I_{mos1} et une diminution de I_{mos2} -étape 3-. Ceci provoquerait une augmentation de V_{GS1} et une diminution de V_{GS2} -étape 4-, cela aurait pour conséquence une augmentation de I_{G2} et une diminution de I_{G1} , et donc le résultat final serait une augmentation de V_{DS2} et une diminution de V_{DS1} , soit une réduction de la différence des V_{DS} et donc du courant de circulation lui même.

On voit donc que ce courant de circulation, bien réel, a tendance à "s'autolimiter" (voir figure III-8) puisqu'il s'oppose à la cause qui lui a donné naissance. De ce fait, contrairement à ce que pourrait donner à penser la simulation de la figure III-6, l'inductance "inter MOSFET" (ie : L), ne limite pas ce courant de circulation. En fait, pour $L=0$, on a $V_{DS1}=V_{DS2}$ et donc $I_{cir}=0$. L représente l'inductance de la maille vis à vis du courant de circulation, c'est à dire en reprenant les notations de la figure III-5 : $L = L_1 + L_2 - 2 \cdot M_{12}$.

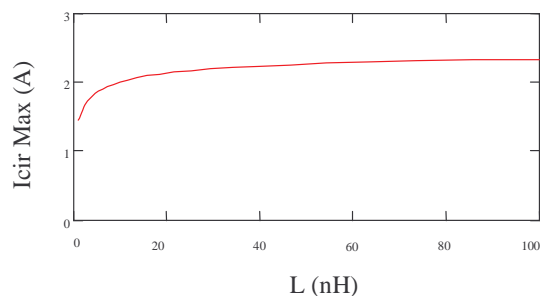


Fig.III- 8 : Evolution de la valeur maximale du courant de circulation en fonction de la valeur de L ,avec $r_{G1}=9.9\Omega$, $r_{G2}=10.1\Omega$, $Cr_{ss1}=130pF$ et $Cr_{ss2}=140pF$.

Le schéma de la figure III-9 a été utilisé pour la mise en équation du courant de circulation durant la phase 2. Notons que, dans ce schéma, nous n'avons pas pris en compte les inductances communes de source afin de simplifier la mise en équation.

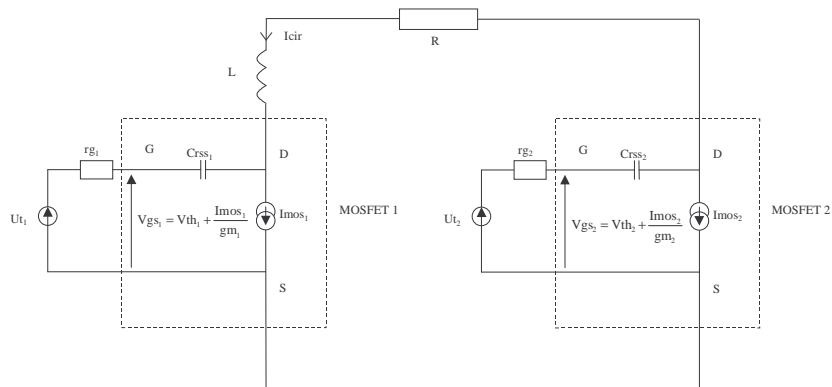


Fig.III- 9 : Circuit équivalent pour l'étude des courants de circulation.

De la figure III-9 on déduit le système différentiel suivant :

$$\begin{aligned}
 V_{GS1} &= V_{th1} + \frac{I_{mos1}}{g_{m1}} \\
 V_{GS2} &= V_{th2} + \frac{I_{mos2}}{g_{m2}} \\
 L \cdot \frac{dI_{cir}}{dt} &= V_{DS2} - V_{DS1} - R \cdot I_{cir} \\
 \frac{dV_{DS1}}{dt} &= \frac{dV_{GS1}}{dt} + \frac{U_{t1} - V_{GS1}}{C_{GD1} \cdot r_{G1}} \\
 \frac{dV_{DS2}}{dt} &= \frac{dV_{GS2}}{dt} + \frac{U_{t2} - V_{GS2}}{C_{GD2} \cdot r_{G2}} \\
 I_{mos1} &= I_{cir} + \frac{U_{t1} - V_{GS1}}{r_{G1}} \\
 I_{mos2} &= -I_{cir} + \frac{U_{t2} - V_{GS2}}{r_{G2}}
 \end{aligned} \tag{ III-13 }$$

La résolution du système différentiel va nous fournir une expression du courant de circulation I_{cir} . La transformée de Laplace de I_{cir} peut s'exprimer de la manière suivante :

$$I_{cir} = \frac{I_{cir_fin}}{p} \cdot \left(\frac{1 + \tau \cdot p}{1 + 2 \cdot \frac{z}{\omega n} \cdot p + \frac{p^2}{\omega n^2}} \right) \quad (\text{III-14})$$

Moyennant quelques approximations, les expressions des différents termes intervenant dans cette expression peuvent être exprimées en fonction des différences entre les paramètres des deux interrupteurs. Avec $\Delta r_G = r_{G2} - r_{G1}$, $\Delta C_{GD} = C_{GD2} - C_{GD1}$, ... on a alors :

$$I_{cir_fin} = gm \cdot \frac{\left(\frac{\Delta r_G}{r_G} + \frac{\Delta C_{GD}}{C_{GD}} \right) \cdot (U_t - V_{th}) + \Delta V_{th}}{2 - \frac{\Delta r_G}{r_G} - \frac{\Delta C_{GD}}{C_{GD}} - \frac{\Delta gm}{gm}} \quad (\text{III-15})$$

$$z = \frac{R \cdot gm + 2 - \frac{\Delta gm}{gm}}{2} \cdot \sqrt{\frac{r_G \cdot C_{GD}}{2 \cdot L \cdot gm}} \cdot \left(1 + \frac{\Delta r_G}{4 \cdot r_G} + \frac{\Delta C_{GD}}{4 \cdot C_{GD}} + \frac{\Delta gm}{4 \cdot gm} \right)$$

$$\omega = \sqrt{\frac{2}{L \cdot C_{GD} \cdot r_G \cdot gm}} \cdot \left(1 - \frac{\Delta r_G}{4 \cdot r_G} - \frac{\Delta C_{GD}}{4 \cdot C_{GD}} - \frac{\Delta gm}{4 \cdot gm} \right)$$

Notons que nous retrouvons dans les relations précédentes l'effet prépondérant de C_{GD} et de r_G qui sont des paramètres influençant fortement la vitesse de commutation (voir chapitre II).

Durant la **phase 3**, on considère que ce sont les MOSFET qui imposent les di/dt , et donc les courants décroissent dans les MOSFET avec une pente imposés jusqu'à 0 ($t = t_f$).

En conclusion, notons que, puisqu'il s'autolimité, le courant de circulation ne peut rendre instable l'association. Il est néanmoins à l'origine d'un déséquilibre des contraintes électriques (et donc aussi thermiques) entre les composants.

III.3.3.3. Solutions pour réduire le courant de circulation lors de l'ouverture.

Nous allons maintenant voir sur quels paramètres agir pour réduire la valeur du courant de circulation. Il a déjà été montré que le câblage n'intervenait pas; il apparaît nécessaire de pouvoir agir indépendamment sur chaque composant : il faut donc avoir un circuit de commande par composant.

Comme l'a montré [HOFER-NOSER-99] il est possible d'agir sur les circuits de commande en imposant un temps de retard d'un composant par rapport à l'autre. Ceci peut être réalisé par un asservissement. En fait le courant de circulation est dû à la différence des tensions instantanées aux bornes des deux composants (voir figure III-6). En réduisant cette

différence on le réduit donc; il faut que **le composant qui a le plus fort dV/dt soit le plus en retard**. Ceci est illustré par les figures III-10.

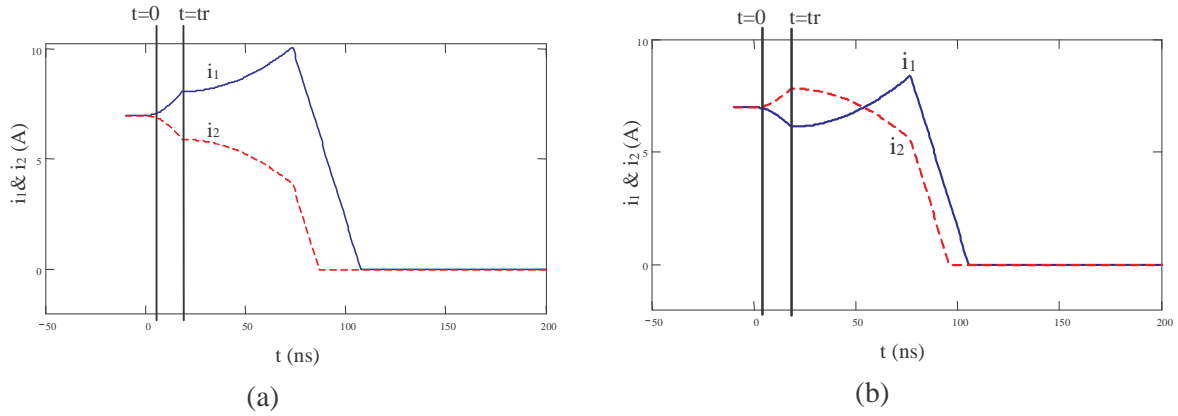


Fig.III- 10 : Deux cas de figures possibles pour l'évolution du courant de circulation.

Dans le cas de la figure III-10 (a) le MOSFET qui est le plus en retard (MOSFET 1) est également celui qui a le plus fort dV/dt . Dans un premier temps le courant de circulation croît à cause du retard (de $t=0$ à $t=tr$), puis il continue à croître à cause de la différence des dV/dt . Par contre dans le cas de la figure III-10 (b) le MOSFET qui est le plus en retard (MOSFET 2) est celui qui a le plus faible dV/dt . Le courant de circulation commence à croître (de $t=0$ à $t=tr$), puis il diminue à cause de la diminution de la différence des V_{DS} .

Si l'on se réfère à l'équation (III-14), la valeur finale du courant de circulation $I_{cir-fin}$

$$\text{vaut } I_{cir_fin} = gm \cdot \frac{\left(\frac{\Delta r_G}{r_G} + \frac{\Delta C_{GD}}{C_{GD}} \right) \cdot (U_t - V_{th}) + \Delta V_{th}}{2 - \frac{\Delta r_G}{r_G} - \frac{\Delta C_{GD}}{C_{GD}} - \frac{\Delta gm}{gm}}. \text{ Notons que seules les tensions } U_t \text{ des}$$

deux drivers ont été considérées comme identiques. Pour un MOSFET de type IRFK2D450 ($V_{DSmax}=500V$ et $I_{Dmax}=22A$), avec des Δ de 5%, on obtient un $I_{cir-fin}$ de 11. Pour un IGBT de forte puissance (Module EUPEC FF800R16 KF6-B2, $V_{CEmax}=1600V$ et $I_{Cmax}=800A$), dans les mêmes conditions on obtient un $I_{cir-fin}$ de 125. Notons au passage que le courant de circulation sera plus important pour un composant de fort calibre que pour un « petit » MOSFET. Il représentera donc toujours un certain pourcentage du courant commuté, et non une valeur absolue.

Il est possible de réduire la valeur finale $I_{cir-fin}$ du courant de circulation, en agissant sur les résistances de grille. En effet si $\frac{\Delta r_G}{r_G} + \frac{\Delta C_{GD}}{C_{GD}} = 0$, cette valeur est réduite, et donc le courant de circulation aussi. En fait, nous avons vu que le courant de circulation est dû à une différence de tension entre les deux composants (figure III-6 a), donc si $V_{DS1}=V_{DS2}$, il va disparaître. Pour cela il est donc nécessaire que la condition $V_{DS1}=V_{DS2}$ soit respectée à tout

instant, et donc que $dV_{DS1}/dt = dV_{DS2}/dt$. Or la différence de vitesse de croissance du courant dans les deux composants est essentiellement due à la différence des C_{GD} (car $\frac{dV_{DS}}{dt}$ varie en $\frac{I}{r_G \cdot C_{GD}}$). En assurant $\frac{\Delta r_G}{r_G} + \frac{\Delta C_{GD}}{C_{GD}} = 0$, on compense les différences de C_{GD} par une différence de r_G .

En conclusion, il nous est possible d'agir sur deux paramètres afin de réduire le courant de circulation :

- Les temps de retard entre les ordres de commande.
- La résistance de grille de chaque composant.

Une action sur le circuit de commande (de grille) permet donc de compenser en grande partie les effets des disparités entre les paramètres intrinsèques à chaque MOSFET, et donc leurs effets en terme de courant de circulation.

III.3.4. Etude du déséquilibre des tensions aux bornes des deux composants.

Nous allons maintenant étudier les surtensions apparaissant aux bornes des deux interrupteurs lors de l'ouverture. Elles sont d'origine inductive. Nous allons voir comment symétriser les contraintes en tension aux bornes de chaque semiconducteur. Les notations (L_0 , L_1 , L_2 , M_{01} , ...) utilisées dans cette partie sont celles de la figure III-5.

Les tensions V_{DS} ont pour expression (III-16) et (III-17) entre t_1 et t_f (en négligeant les résistances).

Aux bornes du MOSFET 1 :

$$V_{DS1} = E + \frac{di_1}{dt} \cdot (L_0 + L_1 + 2 \cdot M_{01}) + \frac{di_2}{dt} \cdot (L_0 + M_{01} + M_{02} + M_{12}) \quad (\text{III-16})$$

Aux bornes du MOSFET 2 :

$$V_{DS2} = E + \frac{di_1}{dt} \cdot (L_0 + M_{01} + M_{02} + M_{12}) + \frac{di_2}{dt} \cdot (L_0 + L_2 + 2 \cdot M_{02}) \quad (\text{III-17})$$

En posant $\frac{di_2}{dt} = \frac{di_1}{dt} \cdot \left(1 + \frac{\Delta di}{dt}\right)$ et $\Delta V_{DS} = V_{DS1} - V_{DS2}$, la soustraction des équations (III-16) et (III-17) donne :

$$\Delta V_{DS} = \frac{di_1}{dt} \cdot (L_1 - L_2 + 2 \cdot M_{01} - 2 \cdot M_{02}) - \frac{di_1}{dt} \cdot \Delta \frac{di}{dt} \cdot (L_2 + M_{02} - M_{01} - M_{12}) \quad (\text{III-18})$$

On remarque que si la condition de câblage (III-10) est respectée, l'équation précédente devient :

$$\Delta V_{DS} = \frac{di_1}{dt} \cdot \Delta \frac{di}{dt} \cdot \left(\frac{L_1 + L_2}{2} - M_{12} \right) \quad (\text{III-19})$$

Pour que les surtensions soient égales lors de l'ouverture, il faut donc que la condition de câblage (III-10) soit respectée. Il faut aussi en plus que soit respectée la condition de câblage $(L_1 + L_2)/2 = M_{12}$, soit avoir des courants i_1 et i_2 identiques durant cette phase. On retrouve donc bien les résultats de l'étude générale, où deux conditions de câblage étaient nécessaires, ou alors une condition de câblage et l'équilibre des di/dt . Ceci est illustré sur la figure III-11.

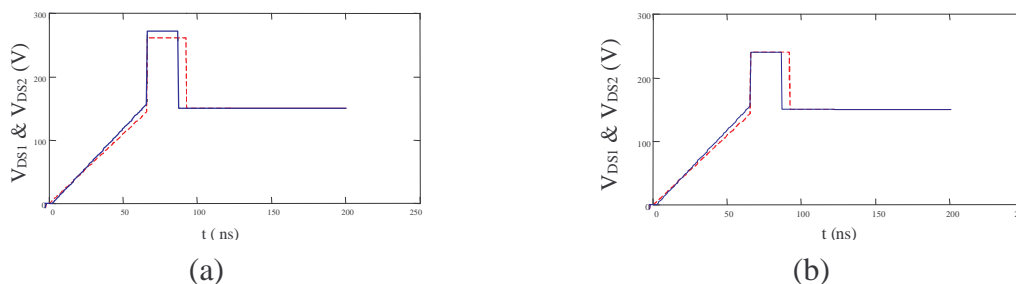


Fig.III- 11 : Exemple de formes d'ondes théoriques de surtensions à l'ouverture.

Dans le cas de la figure III-11 (a) les conditions de câblage n'ont pas été respectées (matrice inductance de la figure III-16 a), les surtensions ont donc des valeurs différentes. Les formes d'ondes de la figure III-11 (b) ont été obtenues en respectant les conditions de câblage (matrice inductance de la figure III-16 b), ce qui nous conduit à des surtensions de valeurs identiques. Cependant, même dans le cas défavorable présenté ultérieurement (figure III-16 b), la différence de tension entre V_{DS1} et V_{DS2} reste faible.

III.4. Applications.

Notre étude a un double domaine d'application :

- L'association en parallèle de composants discrets (modules de puissance principalement).
- L'association en parallèle de puces au sein d'un module de puissance.

Nous allons présenter ici ces deux types d'applications, avec l'étude du courant de circulation au sein d'un module de puissance du commerce, et l'étude de l'influence du câblage dans l'association de deux modules de puissance.

III.4.1. Association en parallèle de puces à l'intérieur d'un module (IRFK2D450).

Le module IRFK2D450 est réalisé par la mise en parallèle de deux puces de type MOSFET (figure III-12). Nous l'avons choisi pour illustrer le phénomène du courant de circulation pouvant intervenir au sein d'un module de puissance.

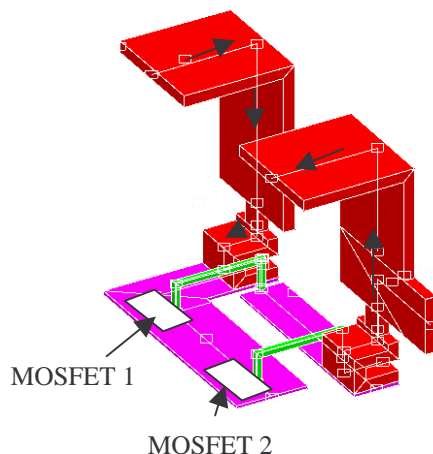


Fig.III- 12 : Description de la connectique interne d'un module de MOSFET IRFK2D450.

Si l'on se réfère au schéma de la figure III-5, les différentes inductances parasites de câblage ont été identifiées à l'aide du logiciel InCa. Leurs valeurs sont récapitulées dans le tableau suivant.

[nH]	L_0	L_1	L_2
L_0	21.2	0.49	0.435
L_1		16.5	0.335
L_2			13.2

Tableau III- 1 : Matrice inductance associée au module IRFK2D450.

A partir de là nous obtenons les formes d'ondes suivantes :

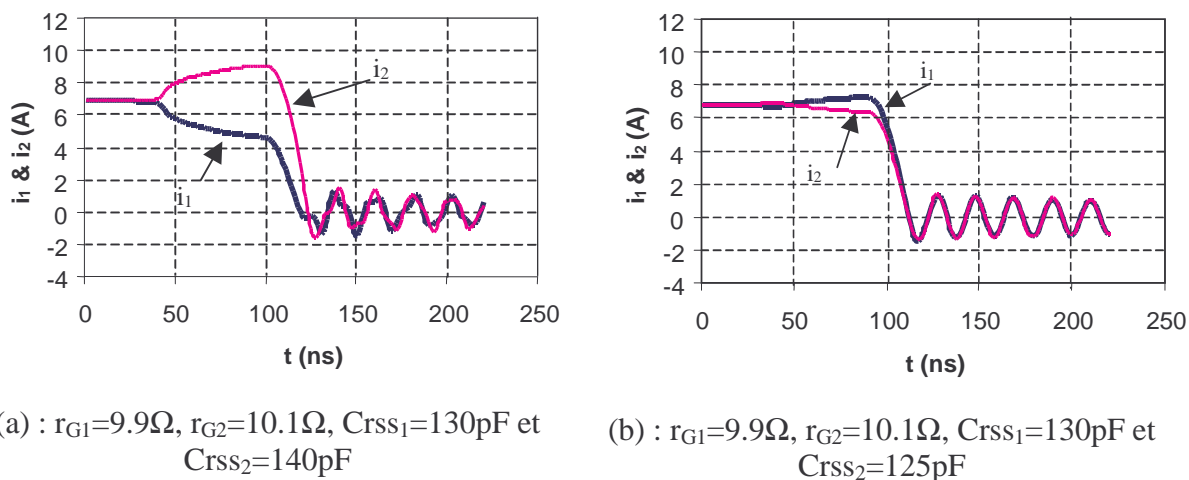


Fig.III- 13 : Formes d'ondes simulées des courants i_1 et i_2 dans un module IRFK2D450

On note une différence entre les 2 courants. Bien évidemment la confirmation par la mesure est délicate, mais ces simulation laisse à penser que des différences de pertes au niveau des puces peuvent être observées dans des modules de ce type. D'autre part nous notons que la différence est moindre dans le cas (b). En effet, dans ce cas nous avons $r_{G2}-r_{G1}$ qui est positif, et $Cr_{ss2}-Cr_{ss1}$ qui est négatif, nous vérifions donc bien qu'une des solutions proposée au paragraphe II.3.3.3 ($\frac{\Delta r_G}{r_G} + \frac{\Delta C_{GD}}{C_{GD}} = 0$) pour réduire le courant de circulation à une certaine efficacité.

III.4.2. Association en parallèle de modules de puissance.

Deux maquettes associant deux MOSFET et une diode unique dans une structure de type hacheur série ont été réalisées (figure III-14).

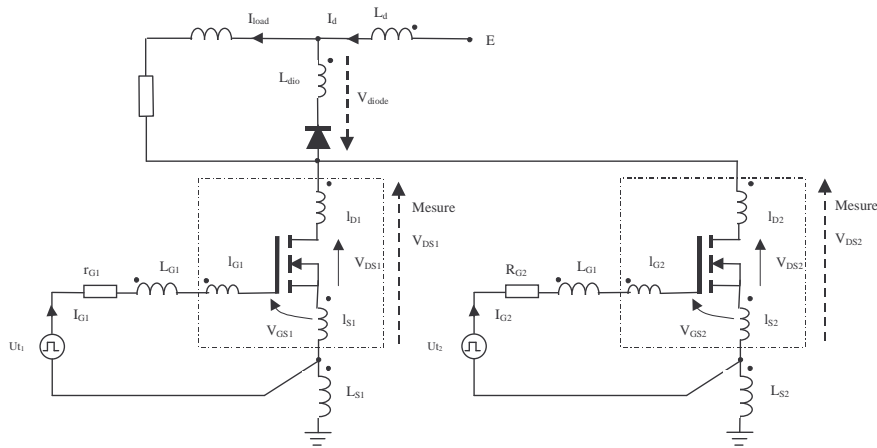


Fig.III- 14 : Structure simulée et réalisée.

Les MOSFET utilisés sont des modules de type IRFK2D450. Nous avons utilisé un MOSFET dans chaque module, une structure de type « busbarre » assurant la mise en parallèle (figure suivante).

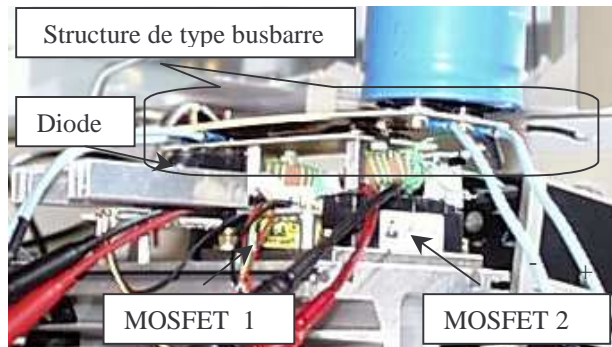


Fig.III- 15 : . photo du dispositif expérimental.

La figure III-16 (a) représente une structure non équilibrante, la condition de câblage (III-10) n'est pas respectée (tableau III-2). Dans le cas de la figure III-16 (b) cette même condition de câblage est respectée. En effet les barres supérieures d'amenée de courant sont

juste au-dessus des barres inférieures, ce qui permet de créer un coefficient de couplage négatif entre ces conducteurs (tableau III-3). La valeur du coefficient de couplage peut alors être réglée en faisant varier la longueur d'une paire de barres par rapport à l'autre.



(a) Structure conduisant à des courants déséquilibrés.

(b) Structure conduisant à des courants équilibrés.

Fig.III- 16 : Les deux structures simulées et réalisées.

A l'aide de simulations avec le logiciel InCa, nous avons obtenu les valeurs d'inductances suivantes :

[nH]	L_0	L_1	L_2
L_0	110	0.5	2
L_1		135	2
L_2			166

Soit $(L_1-L_2)/2 = -15.5\text{nH}$
et $M_{02}-M_{01} = 1.5\text{nH}$

Tableau III-2 : Matrice inductance pour la géométrie de la figure III-16 (a).

[nH]	L_0	L_1	L_2
L_0	85	-0.2	-16.2
L_1		135	2
L_2			166

Soit $(L_1-L_2)/2 = -15.5\text{nH}$
et $M_{02}-M_{01} = -16\text{nH}$

Tableau III-3 : Matrice inductance pour la géométrie de la figure III-16 (b).

Pour passer de la figure III-16 (a) à la figure III-16 (b), la structure d'amenée de courant n'a pas été modifiée, seules les barres supérieures ont été retournées. Notons que toutes les inductances ont été prises en compte, et notamment les inductances des boîtiers et des « bondings ». Les notations L_0 , L_1 , L_2 font référence à la figure III-5 .

Par rapport au schéma de la figure III-14, L_0 correspond à l'impédance de L_d et L_{dio} , L_1 à l_{D1} , l_{S1} et L_{S1} , L_2 à l_{D2} , l_{S2} et L_{S2} . Ces inductances ont été introduites pour des raisons de simulation, et notamment pour avoir accès aux tensions mesurables aux bornes des boîtiers afin de comparer mesures et simulations. (Note – ces inductances sont bien évidemment couplées).

Nous avons ensuite procédé à des simulations temporelles, en utilisant un outil similaire à celui présenté dans le chapitre I de ce mémoire [JEANNIN-99]. Nous avons également procédé à des mesure sur les dispositifs expérimentaux (figures III-15 et III-16).

III.4.2.1. La phase de fermeture.

Dans un premier temps, regardons les formes d'ondes des courants lors de la phase de fermeture des MOSFET pour la structure de la figure III-16 (a) i.e. structure non équilibrante. Des temps de retard ont été introduits dans les circuits de commande afin d'obtenir des courants maximum égaux au moment du pic de recouvrement de la diode. Le câblage ne jouant pleinement que lorsque les deux MOSFET sont passants, son influence se fait surtout sentir après ce pic. Sur la figure III-17 il apparaît clairement que les courants i_1 et i_2 ne sont pas équilibrés après le pic de recouvrement de la diode. Ceci cause un déséquilibre des pertes entre les deux composants, ce qui se traduira par un déséquilibre thermique, et donc un déséquilibre des contraintes.

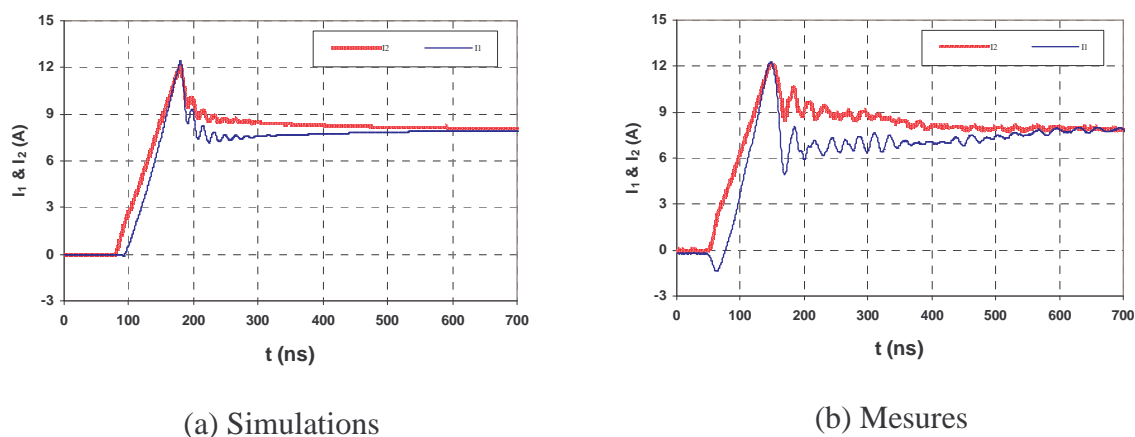


Fig.III- 17 : Formes d'ondes simulées et expérimentales montrant le partage des courants entre deux modules de MOSFET pour une géométrie non équilibrante.

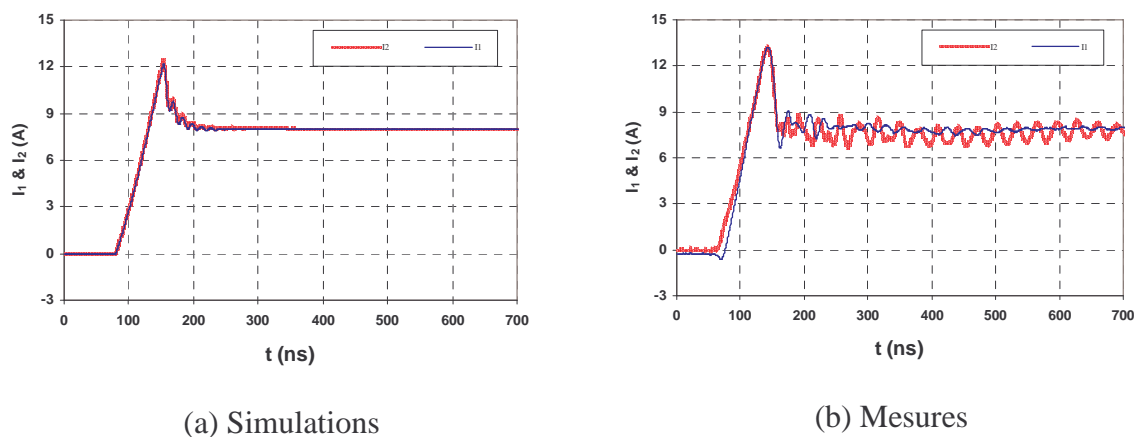


Fig.III- 18 : Formes d'ondes simulées et expérimentales montrant le partage des courants entre deux modules de MOSFET pour une géométrie équilibrante.

Par contre dans le cas de la figure III-18, nous voyons que les courants i_1 et i_2 sont parfaitement équilibrés après le pic de recouvrement de la diode. Ceci valide notre structure et

nos conditions de câblage. De plus nous remarquons qu'il n'est pratiquement pas nécessaire d'introduire de temps de retard sur la commande d'un MOSFET par rapport à l'autre. Il apparaîtrait donc que notre structure a également un rôle à jouer pour l'équilibrage des courants durant les commutations. Ceci est illustré par la figure III-19.

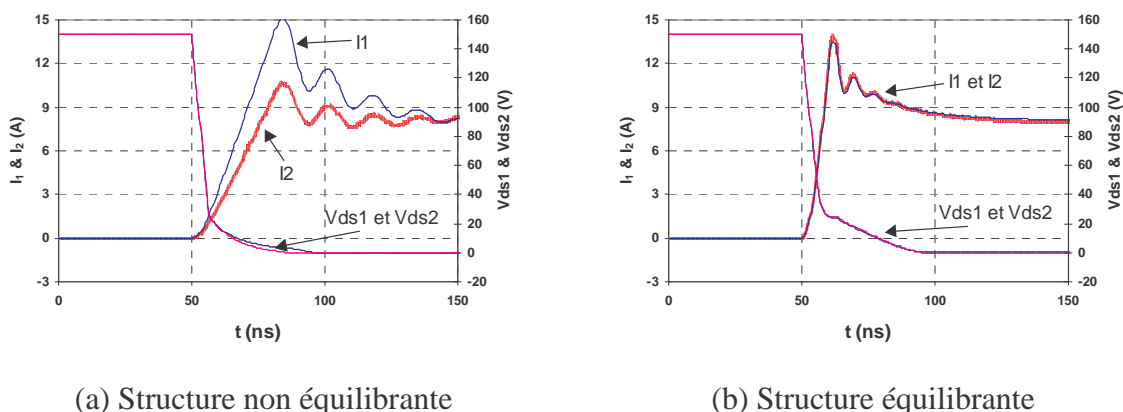


Fig.III- 19 : Formes d'ondes simulées montrant le partage des courants entre deux modules de MOSFET pour deux type de géométries.

Sur la figure III-19(a) nous avons effectué une simulation sans retard entre les composants. Nous observons un déséquilibre tant lors de la commutation que durant la phase statique qui lui succède, alors que sur la figure III-19(b) les courants sont parfaitement équilibrés dans ces deux phases. Pour ce qui concerne la phase statique l'explication a été donnée précédemment, par contre pour la phase dynamique, le déséquilibre (respectivement l'équilibre) vient du fait que la vitesse de commutation du composant est ici limitée uniquement par le câblage (une chute de tension $L \cdot di/dt$ égale à la tension commutée est observée aux bornes du semiconducteur durant toute la phase de montée du courant, nous nous trouvons donc dans le cas d'application de la formule II-17). Une évaluation du déséquilibre des pertes par commutation a été faite : dans le cas (a) ce déséquilibre atteint 140% alors que dans le cas (b) il est limité à 5%. Une géométrie ne respectant pas les critères d'équilibre des courants conduit ainsi à des niveaux de pertes en commutation très différents d'un composant à l'autre, ce qui peut provoquer le vieillissement prématuré de l'un des deux composants.

III.4.2.2. Phase d'ouverture.

Les deux principaux problèmes rencontrés lors de la phase d'ouverture des MOSFET sont l'apparition d'un courant de circulation et d'une surtension.

1. Courant de circulation :

Nous présentons ici des formes d'ondes simulées. Dans notre cas le MOSFET 1 a le plus fort dv/dt . On appellera temps de retard td le retard du MOSFET 2 par rapport au

MOSFET 1. C'est à dire que dans le cas (a) le MOSFET 1 commence à commuter le premier, et dans le cas (b) c'est le MOSFET 2 qui commence à commuter le premier.

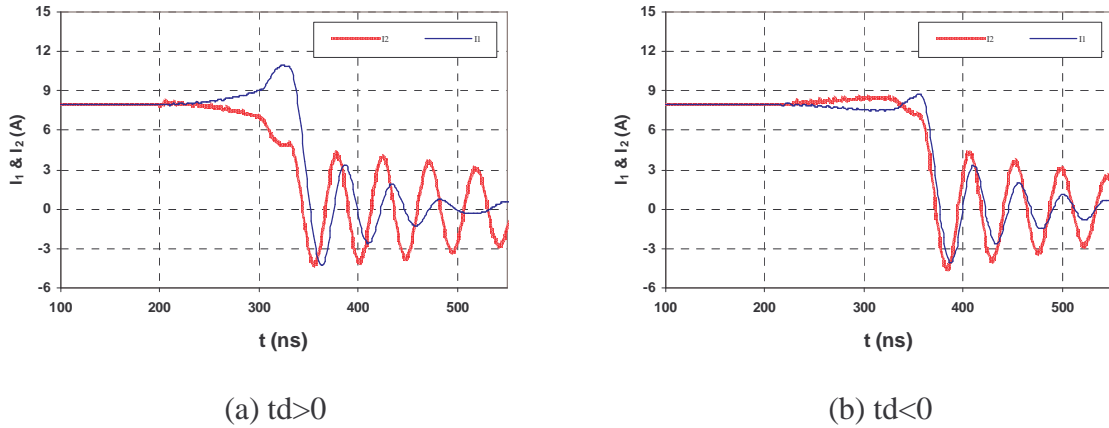


Fig.III- 20 : Formes d'ondes de courants simulées à l'ouverture avec $(dv1/dt - dv2/dt) > 0$.

La figure III-20 permet de constater le phénomène de courant de circulation lors de l'ouverture de deux MOSFET en parallèle. Elle permet également de valider la règle suivante : pour diminuer les courants de circulation, il faut que le composant qui a le plus fort dv/dt soit en retard.

2. Surtensions :

Les figures III-21 et III-22 montrent des formes d'ondes simulées et expérimentales mettant en évidence l'influence du câblage sur les surtensions lors de l'ouverture des MOSFET.

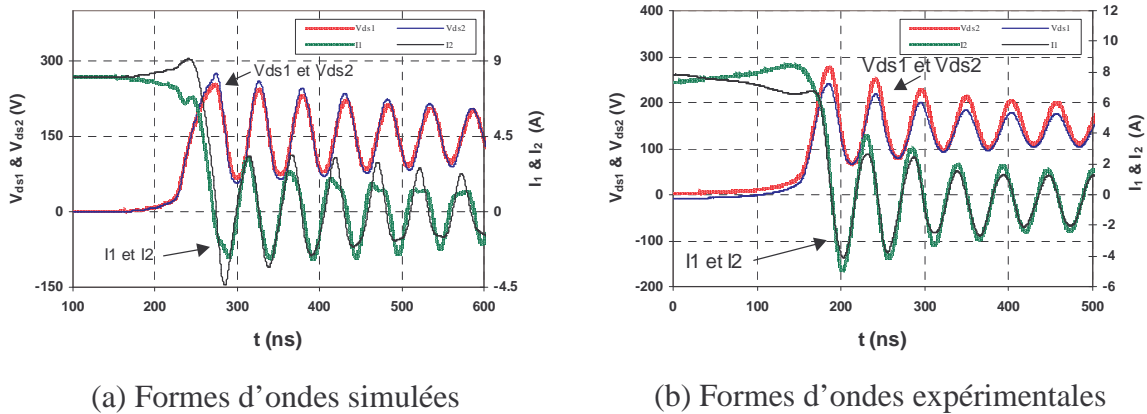
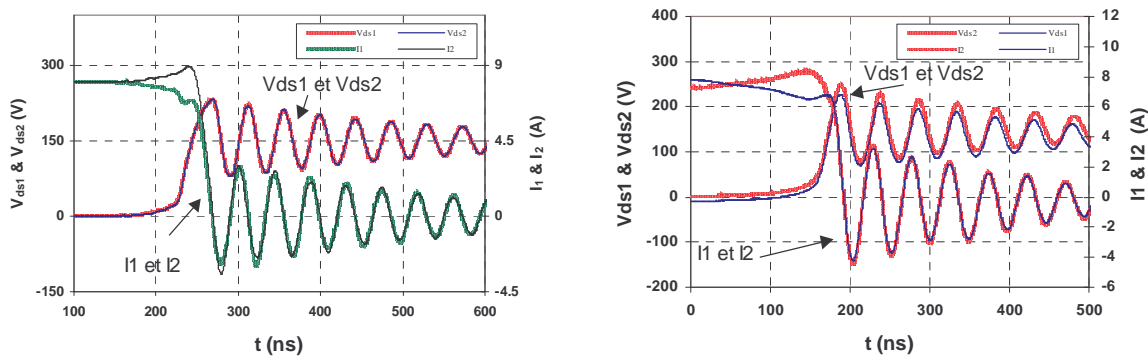


Fig.III- 21 : Formes d'ondes simulées et expérimentales montrant les différences de surtensions à l'ouverture entre deux MOSFET en parallèle pour une géométrie non équilibrante.



(a) Formes d'ondes simulées

(b) Formes d'ondes expérimentales

Fig.III- 22 : Formes d'ondes simulées et expérimentales montrant les différences de surtensions à l'ouverture entre deux MOSFET en parallèle pour une géométrie équilibrante.

Les valeurs des surtensions peu visibles sur les deux figures précédentes sont présentées dans le tableau suivant :

		Géométrie équilibrante	Géométrie non équilibrante
Mesures	V_{ds1}	240.5 V	251.2V
	V_{ds2}	245.9V	273.8V
	ΔV_{ds}	5.4V	22.6V
Simulations	V_{ds1}	233.0V	252.0V
	V_{ds2}	233.0V	275.0V
	ΔV_{ds}	0.0V	23.0V

Tableau III-4 : Comparaison des surtensions pour une géométrie «équilibrante», et pour une géométrie «non équilibrante».

Cela valide donc les règles de câblage concernant les surtensions.

III.5. Conclusion.

L'association en parallèle de semiconducteurs est utilisée industriellement depuis de nombreuses années, avec une fiabilité satisfaisante. Nous sommes maintenant en mesure de quantifier les déséquilibres des contraintes électriques appliquées aux composants. Ces déséquilibres sont dus aux effets conjugués du câblage et des semiconducteurs. Dans ce chapitre, une analyse des problèmes de répartition des contraintes électriques entre les différents interrupteurs de puissance (principalement des MOSFET et des IGBT) lors de leur mise en parallèle a été menée.

De là, nous avons déduit des règles de conception pour la mise en parallèle de n semiconducteurs (III-4). Ces règles ont été appliquées et validées expérimentalement dans le cas de la mise en parallèle de deux MOSFET (règles III-9, III-10, figures III-17 et III-18 pour la validation expérimentale).

Ces règles, nécessaires pour que le câblage n'induisse pas de déséquilibre, ne sont pas nécessairement suffisantes. En effet, le comportement des semiconducteurs peut également être à l'origine de différences de courant. Toutefois, il a été observé qu'une structure vérifiant ces règles conduit à équilibrer naturellement les semiconducteurs, même en phase de commutation. Cela, nous confirme donc que le câblage a un rôle important à jouer sur l'équilibre des contraintes électriques, y compris lors des commutations (formules II-8, II-9, II-16 et II-17).

Dans le cas de la commutation à l'ouverture, nous avons été confrontés au problème des courants de circulation. Une analyse précise de ce phénomène a été menée dans le cas de la mise en parallèle de deux MOSFET; nous avons identifié les paramètres influençant la valeur de ce courant (III-14). Nous avons alors proposé des stratégies pour le réduire.

Pour ce qui est de l'équilibrage des tensions, le principal problème se situe au niveau des surtensions durant la phase d'ouverture. Une analyse a été menée dans le cas générique de la mise en parallèle de n semiconducteurs (paragraphe III-2.2.3). Cette analyse nous a conduit à la conclusion suivante : pour que les surtensions soient équilibrées lors de la phase d'ouverture, il faut respecter les règles de câblage (III-4) et de surcroît il faut, soit respecter d'autres règles de câblage (III-7), soit rendre les courants strictement égaux dans les semiconducteurs. Cette étude a été validée par la réalisation d'une cellule de commutation comportant 2 MOSFET en parallèle.

Chapitre III	65
Mise en parallèle de composants à grille isolée.	65
III.1. Introduction.	66
III.2. Etude du rôle du câblage lors de la mise en parallèle de n semiconducteurs.	67
III.2.1. Présentation de la structure étudiée.	67
III.2.2. Etude théorique du partage du courant entre n semiconducteurs en régime harmonique.	68
III.2.2.1. Conditions d'équilibre dynamique des courants.	68
III.2.2.2. Analyse des déséquilibres.	69
III.2.2.3. Analyse des surtensions à l'ouverture.	70
III.3. Etude détaillée de la mise en parallèle de 2 MOSFET.	73
III.3.1. Présentation de la structure et notations.	73
III.3.2. Etude de l'influence du câblage dans la répartition des courants.	73
III.3.3. Etude de l'influence du semiconducteur dans la répartition des courants.	75
III.3.3.1. Mise en évidence d'un courant de circulation lors de l'ouverture.	75
III.3.3.2. Mise en équation du courant de circulation lors de l'ouverture.	76
III.3.3.3. Solutions pour réduire le courant de circulation lors de l'ouverture.	79
III.3.4. Etude du déséquilibre des tensions aux bornes des deux composants.	81
III.4. Applications.	82
III.4.1. Association en parallèle de puces à l'intérieur d'un module (IRFK2D450).	83
III.4.2. Association en parallèle de modules de puissance.	84
III.4.2.1. La phase de fermeture.	86
III.4.2.2. Phase d'ouverture.	87
III.5. Conclusion.	89

Chapitre IV

Mise en série de composants à grille isolée.

<i>IV.1. Introduction.</i>	92
<i>IV.2. Outils d'analyse, de simulation et d'expérimentation.</i>	92
<i>IV.3. Analyse des causes des déséquilibres.</i>	95
<i>IV.4. Dispositifs d'équilibrage.</i>	105
<i>IV.5. Conclusion.</i>	125

IV.1. Introduction.

Après avoir étudié l'association en parallèle lors du chapitre précédent, une autre voie pour augmenter la puissance commutée est l'association en série. L'étude menée au cours de ce chapitre est née d'une demande industrielle dans le cadre du contrat européen HIPO. Les besoins en termes de puissance commutée sont importants (quelques MW) et les exigences au niveau intégration également.

Dans un premier temps, nous nous sommes plus particulièrement intéressés à la mise en série de MOSFET de puissance, essentiellement pour des raisons de simplicité de modélisation. En effet, à l'exception du phénomène de courant de queue, le comportement de l'IGBT en commutation est tout à fait comparable à celui du MOSFET.

Cette mise en série est pratiquement obligatoire pour les applications haute-tension/haute-fréquence (machine de gravure à plasma, alimentation laser...). Compte tenu de la technologie, il peut-être plus rentable d'associer plusieurs MOSFET en série plutôt que d'utiliser un composant haute-tension unique (1000V), qui présente une résistance à l'état passant trop importante (voir paragraphe I.3.3. et [RAULET-90]).

Ce type d'association met en évidence différents types de problèmes qui peuvent mener à la destruction ou tout au moins à un vieillissement prématuré d'un composant. La principale difficulté est d'assurer une égale répartition des tensions aux bornes des composants en série ou au minimum de limiter les tensions à leurs bornes afin de rester dans leur aire de sécurité (SOA).

Ce chapitre synthétise divers aspects de la mise en série de MOSFET de puissance. Dans une première partie, nous allons présenter les différents outils permettant d'analyser ce type d'association. Ensuite, nous nous focaliserons sur le compromis entre l'équilibrage des tensions supportées par chaque semiconducteur de l'association et l'augmentation des pertes durant les phases de commutation. L'accent est porté sur l'analyse des commutations dans le but de proposer des solutions simples pouvant être facilement intégrées : capacités extérieures, diode zener... Chacun de ces moyens d'équilibrage est analysé individuellement, avant d'être associé dans une solution complète, présentée en fin de chapitre.

IV.2. Outils d'analyse, de simulation et d'expérimentation.

Nous avons dans un premier temps travaillé plus spécifiquement sur la mise en série de deux MOSFET en nous basant sur le schéma de la figure IV-1. Le but sera donc de commuter une tension supérieure au calibre maximal d'un composant individuel (idéalement égale à deux fois son calibre).

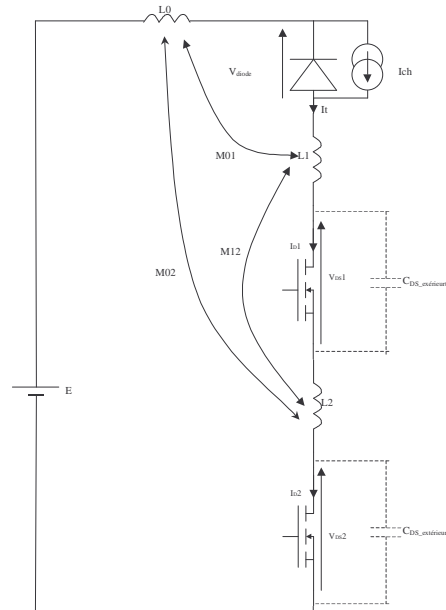


Fig.IV-1 : Circuit d'étude pour la mise en série de MOSFET.

A partir de ce schéma, nous avons mis en place un Outil de Simulation et un dispositif expérimental.

IV.2.1. Outil de Simulation sous MATLAB.

Une cellule de commutation comportant deux MOSFET en série et une diode unique a été implantée sous l'environnement de développement MATLAB, en utilisant le modèle de commutation du MOSFET présenté dans le paragraphe I.3.5.

Nous nous sommes principalement intéressés à la phase de blocage des MOSFET, lors de laquelle la tension aux bornes des composants croît. C'est la phase critique concernant l'équilibre des tensions (cette phase peut être considérée comme la phase duale de la fermeture des MOSFET lors de l'association en parallèle). Un déséquilibre durant cette phase conduit à un déséquilibre statique durant la phase bloquée. Ce n'était pas le cas pour les courants lors de l'association en parallèle où les effets statiques (résistances) finissaient par prendre le pas sur la commutation. Lors de cette phase l'influence des paramètres de la diode est négligeable (paragraphe II.2.2.), nous utiliserons donc le modèle simplifié (macro modèle) présenté au paragraphe I 4.2.2 pour la réalisation de l'outil de simulation.

Cette modélisation prend en compte les éléments parasites du câblage (notamment les inductances parasites et les couplages inductifs qui leur sont associés). Ces éléments parasites ont été calculés à l'aide du logiciel InCa. L'évolution de phases de commutation est présentée sur schéma de la figure IV-2.

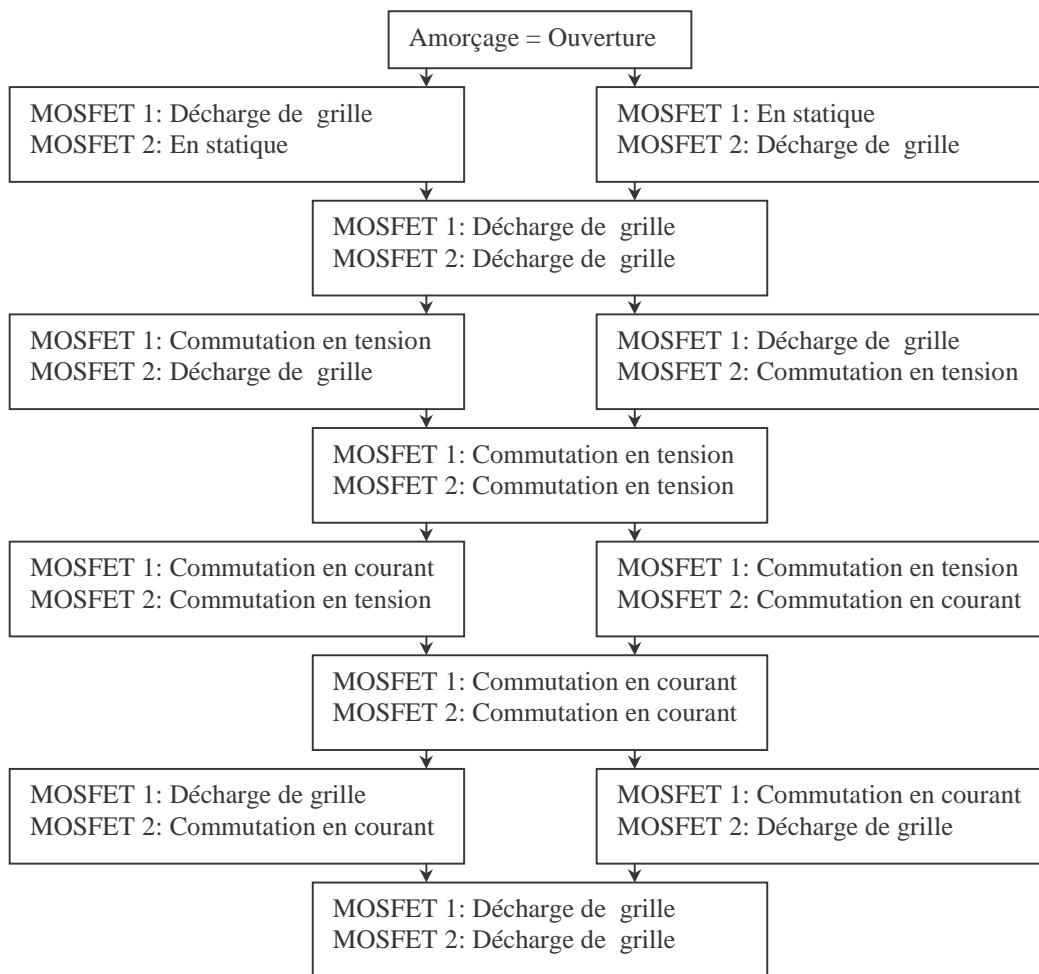


Fig.IV- 2 : Les différentes phases lors de l’association en série de MOSFET.

Il est à noter que notre outil de simulation a été réalisé pour étudier l’équilibrage des tensions aux bornes des composants dans le cadre d’un fonctionnement avec des temps de retard d’un MOSFET par rapport à l’autre relativement faibles (par rapport aux temps de commutation). Le cas de figure où le MOSFET 1 termine sa commutation avant que le MOSFET 2 n’ait commencé la sienne n’a pas été étudié.

IV.2.2. Dispositif expérimental.

Parallèlement à l’outil de simulation présenté précédemment, nous avons mis en place un dispositif expérimental associant deux MOSFET IRFK2D450 (500V 22A) en série au sein d’un même module. Nous avons prévu sur cette maquette la possibilité d’ajouter des condensateurs externes d’aide à la commutation, entre drain et source : $C_{DS_extérieur}$.

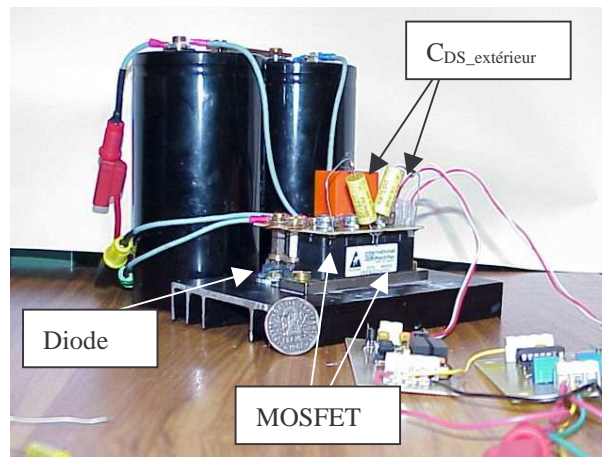
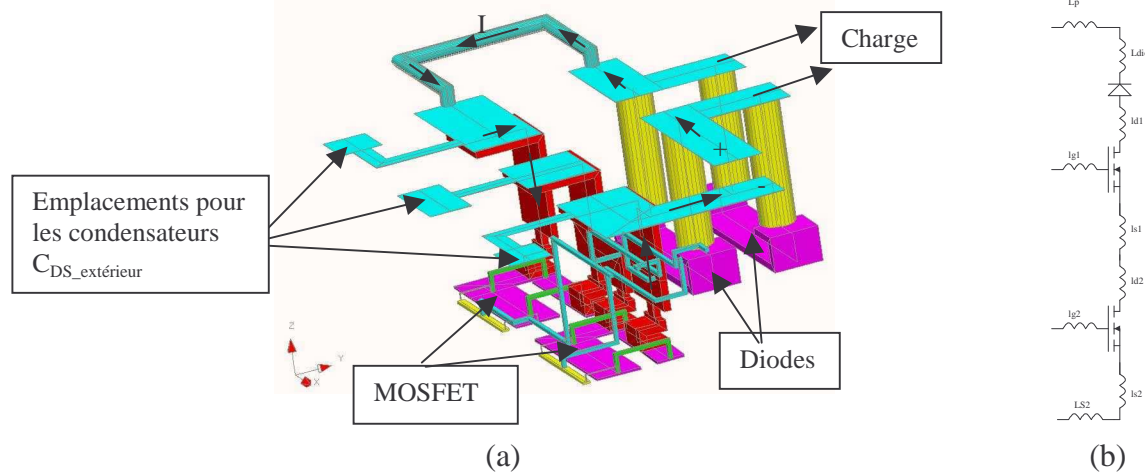


Fig.IV- 3 : Photo du dispositif expérimental.

Ce dispositif a alors été modélisé sous InCa, afin de déterminer les différentes inductances, et de procéder aux simulations sous Matlab (voir paragraphe précédent).



	Lp	ldio	ld1	ld2	ls1	ls2	LS2	lg1	lg2
Lp	7.26E-08	-7.70E-10	-9.59E-11	-9.33E-12	6.52E-12	2.48E-10	-1.10E-09	-3.94E-11	4.77E-10
ldio		6.19E-08	-5.22E-10	-1.23E-10	2.22E-10	1.85E-10	2.04E-10	3.69E-10	-5.24E-10
ld1			1.25E-08	5.17E-10	-3.29E-11	-5.53E-10	-7.67E-10	6.32E-10	-4.14E-12
ld2				3.30E-09	-5.02E-10	-6.86E-10	-4.50E-10	4.34E-10	6.47E-10
ls1					1.64E-08	4.19E-10	2.21E-10	-8.53E-10	-6.89E-10
ls2						1.81E-08	1.02E-09	-3.56E-09	-7.91E-09
LS2							5.09E-09	-4.65E-10	-3.49E-10
lg1								7.86E-08	2.03E-08
lg2									1.88E-07

(c)

Fig.IV- 4 : (a) Modélisation de la maquette sous InCa, (b) Schéma électrique équivalent, (c) matrice inductance correspondante (H).

IV.3. Analyse des causes des déséquilibres.

Pendant les phases de commutations, différents phénomènes sont à l'origine des différences de tensions observées aux bornes de chaque semiconducteur :

- Des dispersions entre les instants de début de commutation de chaque composant (retard d'un composant par rapport à l'autre).
- Des vitesses de croissance de la tension V_{DS} différentes entre les composants.

Il faut noter que les deux phénomènes agissent souvent ensemble. En effet, le retard d'un composant par rapport à l'autre provoque alors une différence de tension entre ces deux composants. Les capacités des MOSFET étant non linéaires, cela crée alors une différence de dV_{DS}/dt d'un composant par rapport à l'autre. Plus la tension est élevée aux bornes d'un MOSFET, plus ses capacités sont faibles (voir chapitre II), donc la variation de tension à ses bornes est d'autant plus rapide, ce qui conduit à l'augmentation du déséquilibre en tension. Cela sera analysé dans le paragraphe IV.3.2.

Il est également à noter que le déséquilibre obtenu lors de l'état final de la phase d'ouverture des MOSFET est alors conservé durant la phase statique, contrairement à ce qui se passait pour les courants lors de l'association en parallèle (chapitre III). Nous constatons ici que lors de l'ouverture le composant le plus en avance est le plus contraint en tension, c'est le cas dual de la mise en parallèle où lors de la fermeture, le composant le plus en avance était le plus contraint en courant.

IV.3.1. Effet des temps de retard.

Le retard d'un MOSFET par rapport aux autres provoque un déséquilibre en tension comme indiqué sur les schémas simplifiés ci-dessous (par simplicité, la non linéarité des capacités n'a pas été prise en compte).

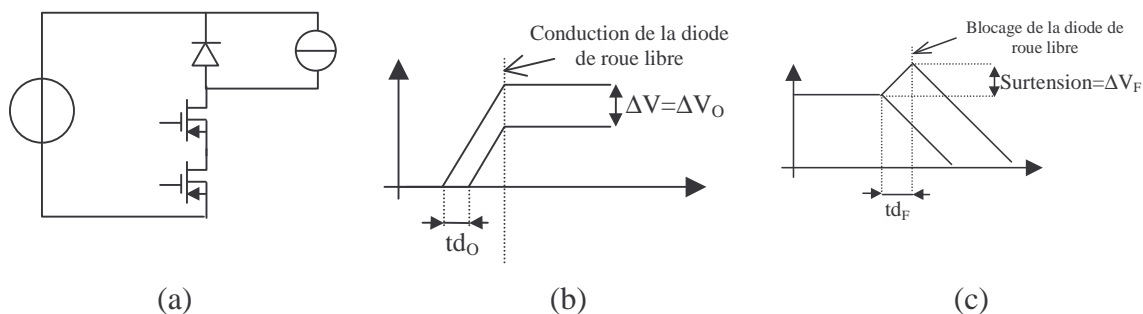


Fig.IV- 5 : a) Cellule hacheur série - b) Effet d'un retard d'un composant par rapport à l'autre lors de l'ouverture - c) Effet d'un retard d'un composant par rapport à l'autre lors de la fermeture.

Deux cas sont à distinguer selon que l'on se trouve à l'ouverture ou à la fermeture du MOSFET. La figure IV-5 illustre le cas de l'association en série de deux MOSFET, mais les remarques suivantes sont également valables dans le cas d'une association d'un nombre plus important de composants.

- A l'ouverture, le MOSFET qui s'ouvre en premier est celui qui supporte le plus de tension (figure IV-5-b).
- Lors de la fermeture, la chute de tension sur le MOSFET qui commence à commuter en premier entraîne une surtension sur les autres composants (figure IV-5-c), ce phénomène est à rapprocher du phénomène de « courant de circulation » intervenant lors de l'ouverture de deux MOSFET en parallèle, étudié dans le chapitre précédent.

A partir des deux cas précédents, nous pouvons donner des expressions théoriques pour les surtensions lors de l'ouverture et de la fermeture en prenant comme hypothèse des dV/dt constants et égaux pour tous les composants.

$$\text{On a alors } \Delta V_O = td_O \cdot \frac{dV}{dt} \text{ et } \Delta V_F = td_F \cdot \frac{dV}{dt} .$$

Les temps de retard d'un composant par rapport à l'autre peuvent avoir différentes origines. Par exemple, diverses dispersions sur les circuits de commande (l'inductance de grille L_G) ou sur les composants et notamment sur les capacités C_{GS} (voir chapitre II).

Il est à remarquer que lors de la fermeture de composants associés en série nous obtenons des formes d'ondes en tension du même type que les formes d'ondes en courant lors de l'ouverture de composants associés en parallèle (courant de circulation dans le chapitre précédent).

IV.3.2. Effet des non linéarités des capacités du MOSFET.

Un facteur complémentaire à prendre en compte est la non linéarité des capacités du MOSFET, et notamment de C_{GD} et C_{DS} qui ont un effet important sur la vitesse de commutation en tension (chapitre II). En fait, globalement plus la tension V_{DS} est élevée aux bornes d'un composant, plus il commute rapidement. Donc les non linéarités des condensateurs ont tendance à augmenter les déséquilibres initiaux (dûs à des temps de retard) ou à aggraver les effets d'une différence de vitesse de commutation.

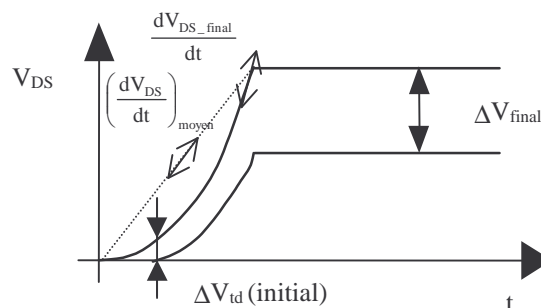


Fig.IV- 6 : Effet des non linéarités sur une commutation avec temps de retard.

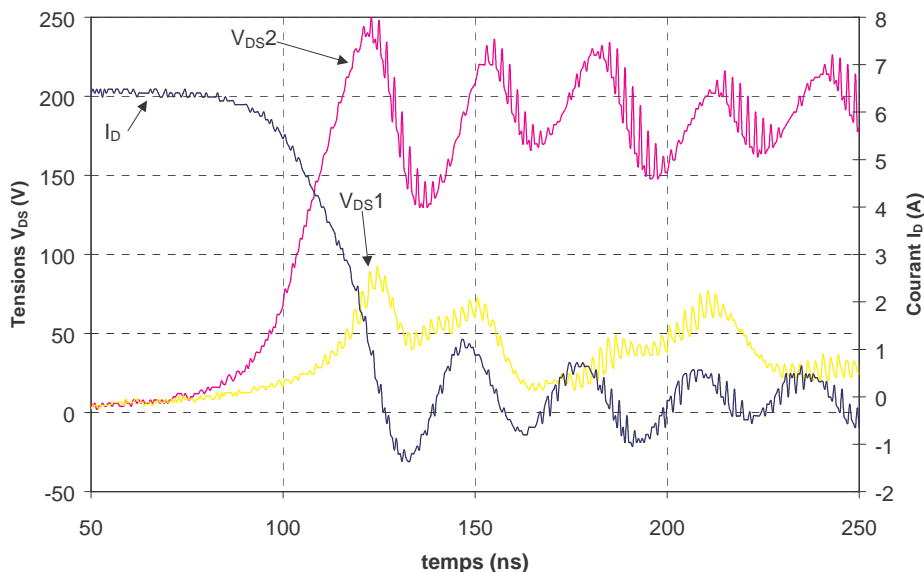


Fig.IV- 7 : Formes d'ondes expérimentales de deux MOSFET associés en série avec un temps de retard de 10 ns.

Dans le cas des figures précédentes, on constate que le ΔV_{final} est plus important que le ΔV_{td} . Les non linéarités des capacités du MOSFET, et donc la non linéarité de l'évolution de la tension V_{DS} a causé un accroissement du déséquilibre entre les composants. Cependant, dans le chapitre I nous avons vu que les capacités parasites du MOSFET variaient peu lorsque la tension V_{DS} était importante (environ $1/5^{ème}$ du calibre en tension du composant), et donc nous pouvons facilement évaluer le dV_{DS}/dt dans ce cas, nous le nommerons dV_{DS_final}/dt . Le déséquilibre en tension s'exprimera comme suit :

$$\Delta V_{final} = td \cdot \frac{dV_{DS_final}}{dt}$$

Comme le dV_{DS_final}/dt est supérieur au $(dV_{DS}/dt)_{moyen}$ (défini figure IV-6) on peut effectivement conclure que le caractère non linéaire des capacités parasites du MOSFET est un facteur aggravant pour ce qui est du déséquilibre en tension.

IV.3.3.Effet des capacités de mode commun (capacités parasites avec l'environnement) [FREY-00 et GUIDINI-95].

Un certain nombre de capacités parasites apparaissent entre les drains des MOSFET et la masse de référence (voir figure IV-9). Ces capacités ont des origines diverses (les circuits de commandes, les capacités entre les composants avec leur dissipateur thermique et la terre, ...).

Nous avons ici pris l'exemple de deux MOSFET associés en série avec une diode unique. Dans notre cas, les capacités parasites des circuits de commande sont prépondérantes.

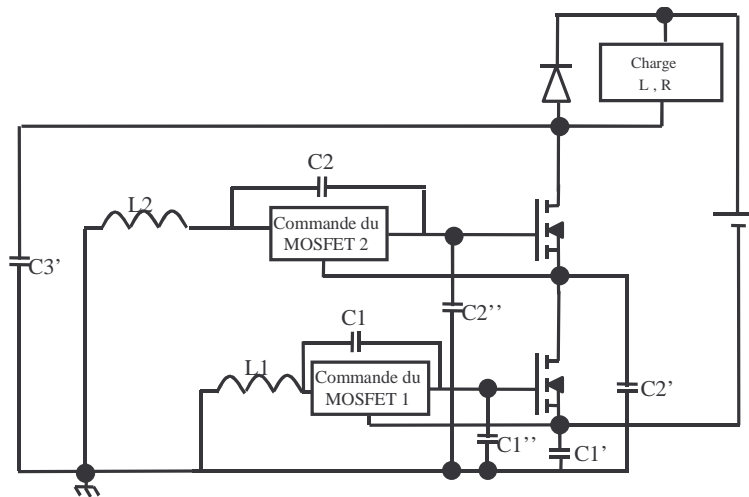


Fig.IV- 8 : Capacités parasites dans une cellule de commutation mettant en œuvre deux MOSFET.

Sur la figure précédente, $C1$, $C1'$, $C1''$, $C2$, $C2'$, $C2''$ et $C3'$ représentent les différentes capacités parasites des circuit de commande et de puissance des MOSFET.

- $C3'$ correspond à la capacité entre la piste qui est située entre le drain du MOSFET supérieur et la masse de référence.
- $C2$ est la capacité parasite de l'alimentation de la commande du MOSFET supérieur. La capacité $C2'$ est la capacité parasite entre la piste qui est située entre le drain du MOSFET inférieur avec la masse de référence. $C2''$ est la capacité parasite entre la piste qui est située entre la grille du MOSFET supérieur et la masse précédemment citée.
- $C1$ correspond à la capacité parasite de la carte de commande du MOSFET inférieur. La capacité $C1'$ se situe entre le moins de l'alimentation et la masse de référence. En pratique, cette capacité sera généralement très supérieure aux autres et pourra ainsi être remplacée par un court-circuit. $C1''$ est la capacité parasite entre la piste qui est située entre la grille du MOSFET inférieur et la masse précédemment citée.

Ces capacités vont être à l'origine de deux types de déséquilibres, durant les phases dynamiques (de commutations) et également durant les phases statiques.

Note - $L1$ et $L2$ représentent des inductances intentionnelles (filtre de mode commun) ou des parasites.

IV.3.3.1. Durant la commutation (ouverture).

Lors des commutations, les actions des capacités parasites peuvent encore être décomposées en deux types de perturbations distinctes : sur le circuit de puissance et sur le circuit de commande.

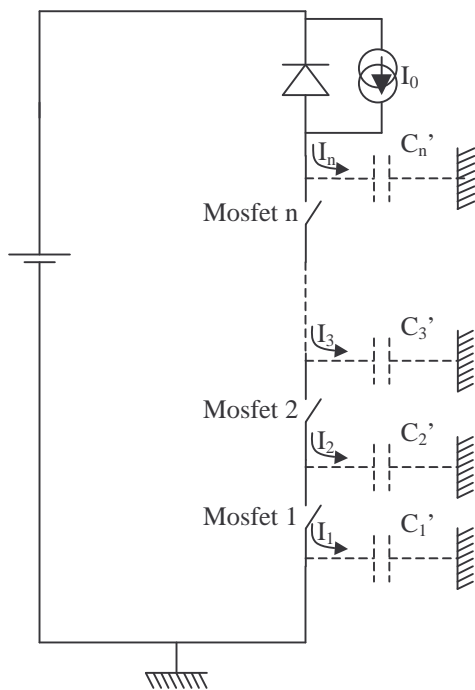


Fig.IV- 9 : Capacités parasites des MOSFET avec la terre.

Ici, les courants qui traversent les capacités C_1', \dots, C_n' (courants de mode commun) sont induits par les fortes variations de potentiels (dues à la mise en série des MOSFET) au sein de la structure. Ils se rebouclent par le circuit de puissance, et viennent donc s'ajouter aux courants des interrupteurs.

Notons que dans le cas de courant (I_0) commuté relativement faible, les courants de mode commun peuvent devenir aussi importants que le courant de puissance (I_0) et ainsi aboutir au dysfonctionnement du convertisseur.

Ainsi, plus un MOSFET sera placé haut, plus il commutera un courant important, et donc plus il sera rapide (formule II-16). Cette constatation avait déjà été effectuée par [GUIDINI-95].

De plus, ce comportement est accru par une action complémentaire sur les cartes de commande. Si l'on se reporte à la figure IV-8, on constate que la carte de commande du MOSFET1 sera peu perturbée. Par contre dans la carte de commande du MOSFET2, le courant I_G sera modifié par l'injection d'un courant $C''_2 \cdot d(V_{DS1})/dt$, et donc la vitesse de charge de C_{iss2} sera accrue. La vitesse de commutation du MOSFET 1 étant inchangée, on voit apparaître un déséquilibre sur la vitesse de croissance de la tension.

$$\Delta \frac{dV_{DS}}{dt} = K \cdot \frac{C''_2}{C_{GD2}} \cdot \frac{dV_{DS1}}{dt} \tag{IV- 1}$$

K étant un coefficient dépendant du circuit de grille (carte de commande et câblage interne d'accès à la puce) [FREY-00].

IV.3.3.2. Durant la phase statique (bloquée).

On se placera ici dans le cas de la figure IV-8. L'inductance L_2 limite la vitesse de charge de C_2 . Ainsi la tension aux bornes de C_2 (qui se trouve en parallèle sur le MOSFET1) est inférieure à V_{DS1} . Il va en résulter une décroissance de la tension V_{DS1} durant la phase bloquée (figure suivante).

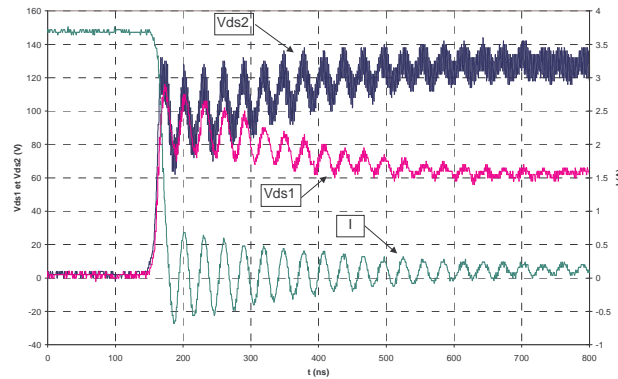


Fig.IV- 10 : Effet des inductances et des capacités parasites durant la phase statique (formes d'ondes expérimentales).

Donc, si l'inductance L_2 est suffisamment faible pour ne pas ralentir trop la charge de C_2 (et donc pour que la tension aux bornes de C_2 puisse atteindre V_{DS1}), il n'y a plus de déséquilibre supplémentaire durant la phase statique dû aux capacités parasites.

IV.3.4. Effet des différences de vitesse de croissance de la tension.

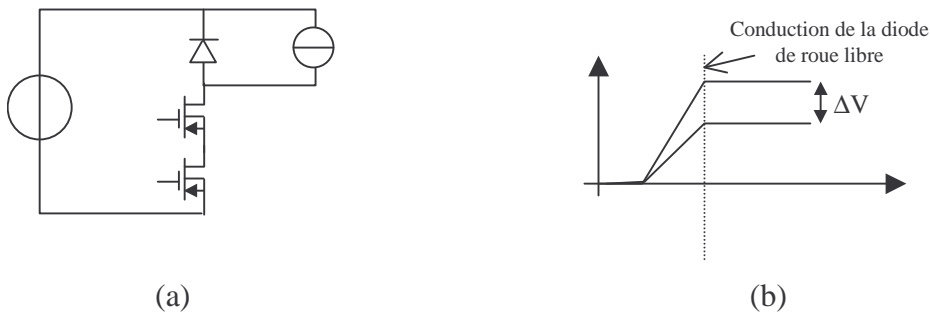


Fig.IV- 11: a) Cellule hacheur série
b) Effet d'une différence de dV/dt entre composants lors de l'ouverture.

Nous avons vu précédemment que les capacités parasites pouvaient créer des différences de vitesses de commutation entre les composants. Cependant il peut également avoir d'autres causes de déséquilibre entre les dV_{DS}/dt comme les dispersions entre les composants eux mêmes (C_{GD} , C_{DS} , gm , V_{th}), ou de leur circuit de commande associé (R_G , U_t), qui peuvent influencer fortement sur les vitesses de commutation.

IV.3.5. Calculs des ΔV finaux.

A partir des expressions du dV_{DS}/dt présentées dans le chapitre II, nous obtenons des expressions de l'écart de tension aux bornes de deux MOSFET en série. Dans tous les cas nous avons pris l'hypothèse d'une croissance linéaire de la tension et de capacités constantes (figure IV-13).

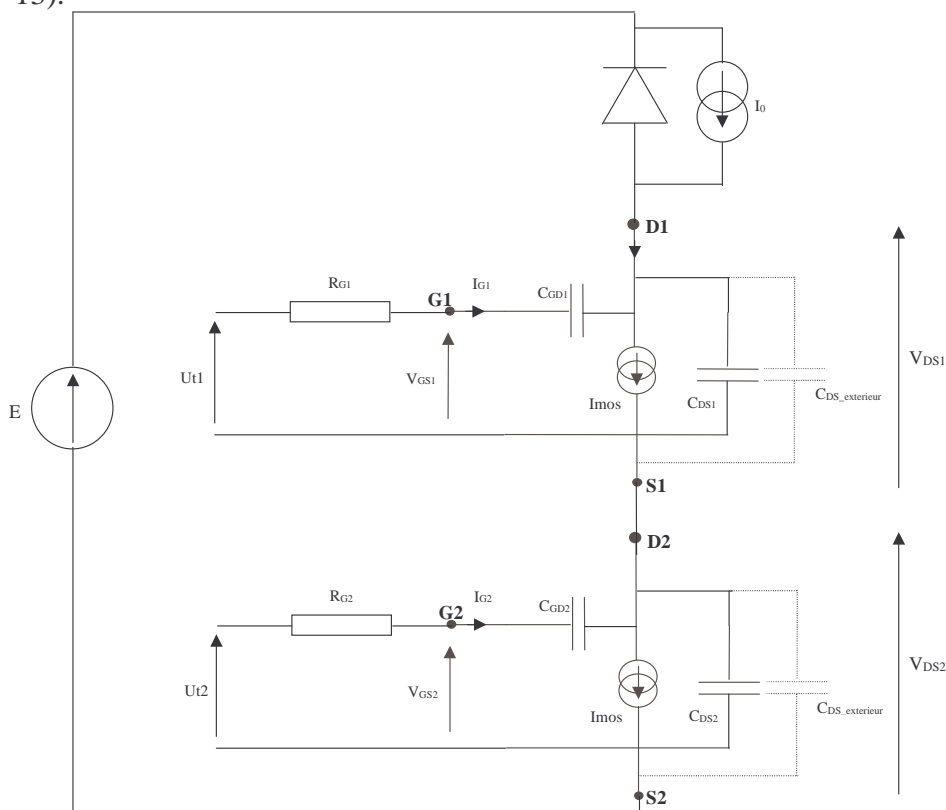
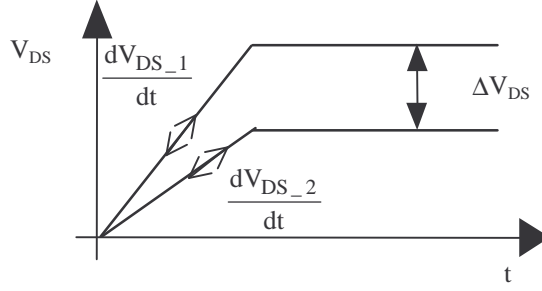


Fig.IV- 12 : Schéma d'étude de l'évolution du ΔV_{DS} final en fonction des paramètres des MOSFET.

Pour notre dispositif (figure IV-12), les deux expressions établies pour les dV_{DS}/dt dans le chapitre II se transforment comme suit :

$$\frac{dV_{DS}}{dt} = \frac{(I_0 + g_m \cdot (V_{th} - U_t))}{(C_{GD} \cdot (1 + R_G \cdot g_m) + C_{DS} + C_{DS_exterieur})} \quad (\text{II-16})$$

$$\frac{dV_{DS}}{dt} = \frac{I_0}{C_{DS} + C_{DS_exterieur}} \quad (\text{II-17})$$


 Fig.IV- 13 : Evaluation du ΔV_{DS} final en fonction des paramètres des MOSFET.

Nous avons mené une étude de sensibilité de ΔV en fonction des différents paramètres du MOSFET et du circuit de commande (R_G , U_t , g_m , V_{th} , C_{GD} et C_{DS}). Nous distinguerons deux cas selon la valeur de $C_{DS_extérieur}$.

- Dans le cas d'application de la formule II-17 (présence d'un condensateur $C_{DS_extérieur}$ d'une valeur suffisante, voir paragraphe IV.4.2.1), seul le paramètre C_{DS} intervient. Dans ce cas nous avons alors (i.e. $C_{DS2}=C_{DS1}+\Delta C_{DS}$) :

$$\Delta V_{DS} = E \cdot \frac{\Delta C_{DS}}{2 \cdot C_{DS1} + 2 \cdot C_{DS_extérieur} + \Delta C_{DS}} \quad (IV-2)$$

Nous constatons que plus $C_{DS_extérieur}$ et C_{DS} seront importants, plus l'écart de tension ΔV_{DS} sera faible.

- Dans le cas d'application de la formule II-16 (nous considérerons ici qu'il n'y a pas de condensateur $C_{DS_extérieur}$), les expressions de ΔV_{DS} sont les suivantes :

1. Par rapport à une différence de C_{GD} (i.e. $C_{GD1}=C_{GD}$ & $C_{GD2}=C_{GD}+\Delta C_{GD}$, les autres valeurs étant égales) :

$$\Delta V_{DS} = E \cdot \frac{(1 + R_G \cdot g_m) \cdot \Delta C_{GD}}{2 \cdot (C_{GD} + R_G \cdot g_m \cdot C_{GD} + C_{DS}) + (1 + R_G \cdot g_m) \cdot \Delta C_{GD}} \quad (IV-3)$$

Deux cas sont à distinguer. Si $R_G \cdot g_m \cdot C_{GD}$ est grand par rapport à C_{DS} , ΔV_{DS} sera proportionnel à $\Delta C_{GD}/C_{GD}$. Sinon, le rapport C_{DS}/C_{GD} intervient.

2. Par rapport à une différence de C_{DS} (i.e. $C_{DS1}=C_{DS}$ & $C_{DS2}=C_{DS}+\Delta C_{DS}$) :

$$\Delta V_{DS} = E \cdot \frac{\Delta C_{DS}}{2 \cdot (C_{GD} + R_G \cdot g_m \cdot C_{GD} + C_{DS}) + \Delta C_{DS}} \quad (IV-4)$$

Si $R_G \cdot g_m \cdot C_{GD}$ est grand par rapport à C_{DS} , alors ΔV_{DS} sera très faible. Sinon, ΔV_{DS} sera proportionnel à $\Delta C_{DS}/C_{GD}$.

3. Par rapport à une différence de g_m (i.e. $g_{m1}=g_m$ & $g_{m2}=g_m+\Delta g_m$) :

$$\Delta V_{DS} = E \cdot \frac{I_0 \cdot R_G \cdot C_{GD} + (V_{th} - U_t) \cdot (C_{GD} + C_{DS})}{(I_0 \cdot R_G \cdot C_{GD} + (V_{th} - U_t) \cdot (2 \cdot g_m \cdot C_{GD} \cdot R_G + C_{GD} + C_{DS})) \cdot \Delta g_m + 2 \cdot (g_m \cdot V_{th} + I_0 - g_m \cdot U_t) \cdot (C_{GD} \cdot R_G \cdot g_m + C_{GD} + C_{DS})} \quad (IV-5)$$

L'influence de Δgm est faible. Par exemple, en considérant $I_0=10A$, $C_{GD}=100pF$, $C_{DS}=280pF$, $U_t=15V$, $V_{th}=4V$, $gm=4$ un écart de 10% sur le gm créera une différence de V_{DS} de 1.7% .

4. Par rapport à une différence de V_{th} (i.e. $V_{th1}=V_{th}$ & $V_{th2}=V_{th}+\Delta V_{th}$) :

$$\Delta V_{DS} = E \cdot \frac{gm \cdot \Delta V_{th}}{2 \cdot (gm \cdot U_t - gm \cdot V_{th} - I_0) - gm \cdot \Delta V_{th}} \quad (IV-6)$$

ΔV_{DS} sera d'autant plus faible que U_t sera grand par rapport à V_{th} .

5. Par rapport à une différence de U_t (i.e. $U_{t1}=U_t$ & $U_{t2}=U_t+\Delta U_t$) :

$$\Delta V_{DS} = E \cdot \frac{-gm \cdot \Delta U_t}{2 \cdot (gm \cdot U_t - gm \cdot V_{th} - I_0) + gm \cdot \Delta U_t} \quad (IV-7)$$

Nous retrouvons ici le même type d'expression que dans le cas de variations de V_{th} , cela s'explique car V_{th} et U_t ont des rôles symétriques dans l'expression (II-16).

6. Par rapport à une différence de R_G (i.e. $R_{G1}=R_G$ & $R_{G2}=R_G+\Delta R_G$) :

$$\Delta V_{DS} = E \cdot \frac{C_{GD} \cdot gm \cdot \Delta R_G}{2 \cdot (C_{GD} \cdot gm \cdot R_G + C_{GD} + C_{DS}) + C_{GD} \cdot gm \cdot \Delta R_G} \quad (IV-8)$$

Le paramètre R_G est important, au même titre que C_{GD} , car il conditionne l'évolution du courant de grille, et, par là même l'évolution de V_{DS} . Nous retrouvons deux cas à distinguer. Si $R_G \cdot gm \cdot C_{GD}$ est grand (par rapport à C_{DS}), ΔV_{DS} sera proportionnel à $\Delta R_G / (R_G \cdot C_{GD})$. Sinon, le rapport C_{DS}/C_{GD} intervient.

Conclusion :

Les expressions (IV-3) et (IV-4) indiquent que plus les valeurs des capacités C_{DS} et C_{GD} seront importantes, moins les dispersions sur ces mêmes capacités auront de conséquences. Nous constatons également qu'une grande valeur de C_{DS} (par rapport à C_{GD}) minimise les effets d'une dispersion sur les résistances de grille (IV-8).

Les expressions (IV-6) et (IV-7) seront d'autant plus faibles que le terme $U_t - V_{th} - I_0/gm$ sera grand.

Globalement, un ralentissement des commutations au moyen d'une augmentation de C_{DS} (effet Snubber), de C_{GD} ou de R_G améliore l'équilibrage des tensions. Malheureusement, cela se fait au détriment des pertes. Cependant nous verrons par la suite qu'il est possible de trouver des compromis intéressants pertes/équilibre des tensions, notamment en agissant sur C_{DS} .

IV.3.6. Conclusion sur les causes des déséquilibres.

Nous avons donc identifié principalement trois causes de déséquilibres :

1. Des différences intrinsèques aux composants (des différences de capacités parasites et du gain de la source de courant du MOSFET).
2. Des imperfections du circuit de commande, et notamment des temps de retard entre deux signaux de commande et des imperfections des résistances de grille.
3. Des éléments extérieurs apportés par les circuits de puissance et de commande, et notamment les capacités de mode commun [GUIDINI-95] et [FREY-00].

Dans la suite nous étudierons différentes gammes de solutions envisageables pour limiter les déséquilibres en tension.

IV.4. Dispositifs d'équilibrage.

Ici nous avons un double objectif :

- Protéger le composant contre des surtensions destructrices.
- Equilibrer au mieux les contraintes électriques (les tensions principalement) pour assurer un vieillissement identique des différents semiconducteurs.

Les solutions permettant d'assurer un équilibrage des tensions aux bornes de MOSFET associés en série sont de plusieurs types :

- On peut vouloir atténuer les différences entre les MOSFET (et leur circuit de commande). Dans ce type de solution, on va ajouter des éléments capacitifs entre les bornes des MOSFET.
- Un autre type de solution est de ne travailler que sur un élément (le circuit de commande par exemple) pour essayer de compenser les déséquilibres apportés par le MOSFET et les capacités de mode commun. Nous trouverons ici plutôt des solutions actives nécessitant un capteur de tension et une rétroaction.

IV.4.1. Etat de l'art.

Nous résumerons les différentes techniques d'équilibrage par le schéma suivant :

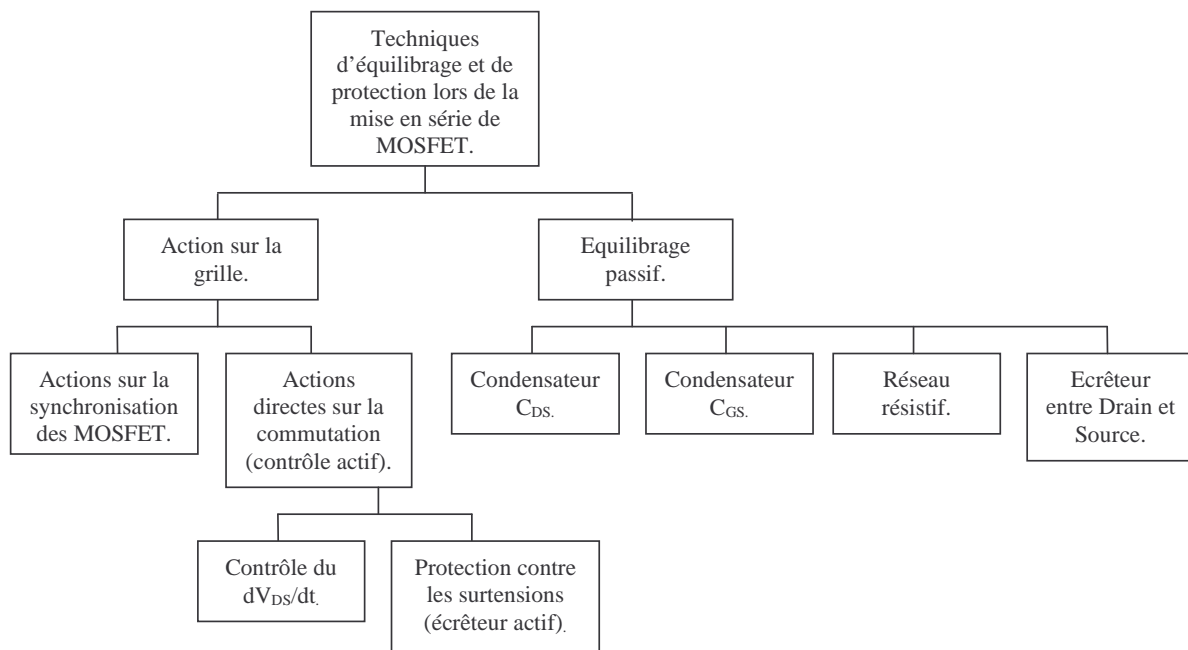


Fig.IV- 14 : Les différentes techniques d'équilibrage de la tension lors de la mise en série de MOSFET.

Il existe de nombreux dispositifs permettant d'assurer un équilibrage de la tension lors de la mise en série de composants à grille isolée.

Nous ferons tout d'abord la distinction entre les dispositifs agissant sur la commande du composant (Action sur la grille, figure IV-14) et directement sur le composant indépendamment de sa commande (Equilibrage passif).

Pour ce qui concerne les actions sur la grille, nous trouvons des dispositifs qui agissent en imposant les instants du début de la commutation et en les décalant entre les différents composants de manière à ce que tous atteignent la même tension en fin de commutation [GERSTER-94]. Nous trouvons également des dispositifs qui vont agir directement sur la vitesse de commutation par l'intermédiaire de la tension (Ut) appliquée à la grille (et donc aussi du courant I_G). Ces dispositifs peuvent alors être soit des dispositifs de contrôle de la vitesse de commutation, soit de protection afin de « stopper » l'évolution de la tension lorsqu'elle a atteint un certain seuil.

Dans la suite, nous étudierons en détail les dispositifs qui ne font pas intervenir une commande complexe. Nous éviterons les dispositifs faisant intervenir des boucles d'asservissement durant la commutation ou d'une commutation à l'autre. Cela a déjà été largement traité dans la thèse de C. Gerster [GERSTER-95]. De plus, nous nous situons dans une problématique de forte puissance/forte tension, tout en imposant un niveau d'intégration élevé. Dans ce cadre, des commandes "intelligentes" utilisant des boucles d'asservissements et

des capteurs risquent d'être sensibles aux perturbations électromagnétiques importantes dues aux forts dV/dt .

Dans un premier temps, nous allons nous intéresser aux solutions d'équilibrage capacitif (Equilibrage passif), puis nous étudierons l'action d'un circuit de protection à base d'une diode transil entre drain et grille. Enfin nous terminerons par un circuit combinant les deux approches précédentes.

IV.4.2. Analyse de solutions capacitives.

Une solution pour équilibrer les tensions est d'atténuer les différences entre les composants. Pour ce faire, on associe des capacités en parallèle sur les capacités du MOSFET (figure IV-15). Ces capacités seront placées soit entre le drain et la source, soit entre le drain et la grille. Durant les phases de commutation, la tension entre la grille et la source est pratiquement constante, donc l'ajout d'une capacité entre ces deux bornes ne serait pas d'une grande utilité.

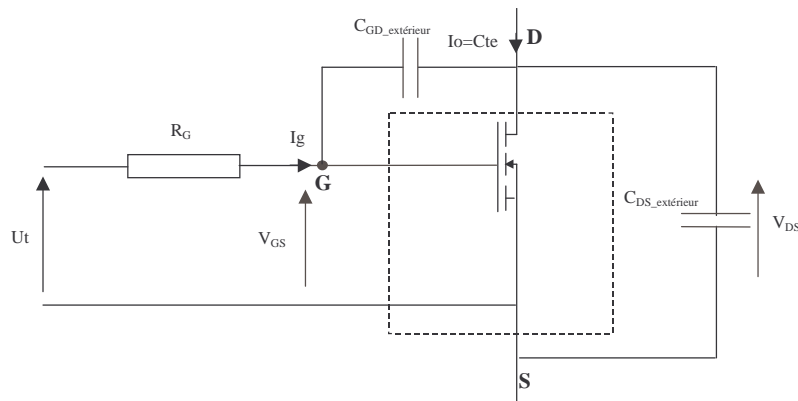


Fig.IV- 15 : Ajout de capacités d'équilibrage extérieures sur un MOSFET.

IV.4.2.1. Capacité extérieure entre drain et source : $C_{DS_extérieur}$.

Le schéma équivalent d'un MOSFET de puissance incluant un condensateur $C_{DS_extérieur}$ "snubber" en parallèle présenté sur la figure suivante. Le modèle utilisé est le modèle classique du MOSFET (chapitre I). La capacité C_{GS} a été retirée car cette modélisation est valable lors de la phase de « plateau » de la tension V_{GS} et donc cette capacité n'a alors pas d'effet (tension constante).

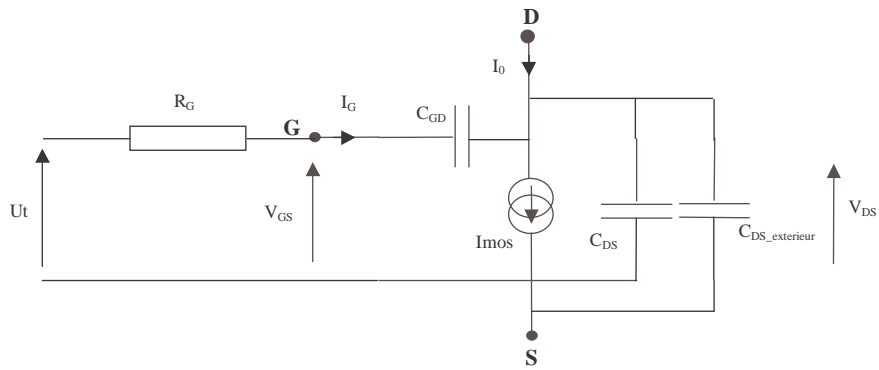


Fig.IV- 16 : Modèle d'un MOSFET en commutation avec une capacité $C_{DS_exterieur}$.

A partir des formulations proposées dans le paragraphe II.6.2, nous obtenons les formulations suivantes pour le dV_{DS}/dt en fonction des différents paramètres du modèle.

Pour $I_{mos} > 0$, nous avons :

$$\frac{dV_{DS}}{dt} = \frac{(I_0 + g_m \cdot (V_{th} - U_t))}{(C_{GD} \cdot (1 + R_G \cdot g_m) + C_{DS} + C_{DS_exterieur})} \quad (IV- 9)$$

Si le condensateur $C_{DS_exterieur}$ est suffisamment grand pour imposer $I_{mos}=0$, la vitesse de croissance de V_{DS} est alors totalement contrôlée par le couple C_{DS} et $C_{DS_exterieur}$:

$$\frac{dV_{DS}}{dt} = \frac{I_0}{C_{DS} + C_{DS_exterieur}} \quad (IV- 10)$$

Le point clé est de déterminer la valeur minimale de $C_{DS_exterieur}$ afin d'être dans le cas d'application de la formule (IV- 10) et donc de contrôler totalement dV_{DS}/dt indépendamment des paramètres intrinsèques du composant (à l'exception de C_{DS}). Cette valeur limite est fournie par l'équation suivante.

$$C_{DS_exterieur\ lim} = \frac{(V_{th} - U_t) \cdot (C_{GD} + C_{DS}) - C_{GD} \cdot R_G \cdot I_0}{U_t - V_{th}} \quad (IV- 11)$$

Si $C_{DS_exterieur}$ est supérieur à $C_{DS_exterieur\ lim}$, le dV_{DS}/dt est contrôlé exclusivement par les condensateurs C_{DS} et $C_{DS_exterieur}$; en dessous, les disparités des composants (différence de g_m , de C_{GD} et de C_{DS}) peuvent conduire à des déséquilibres.

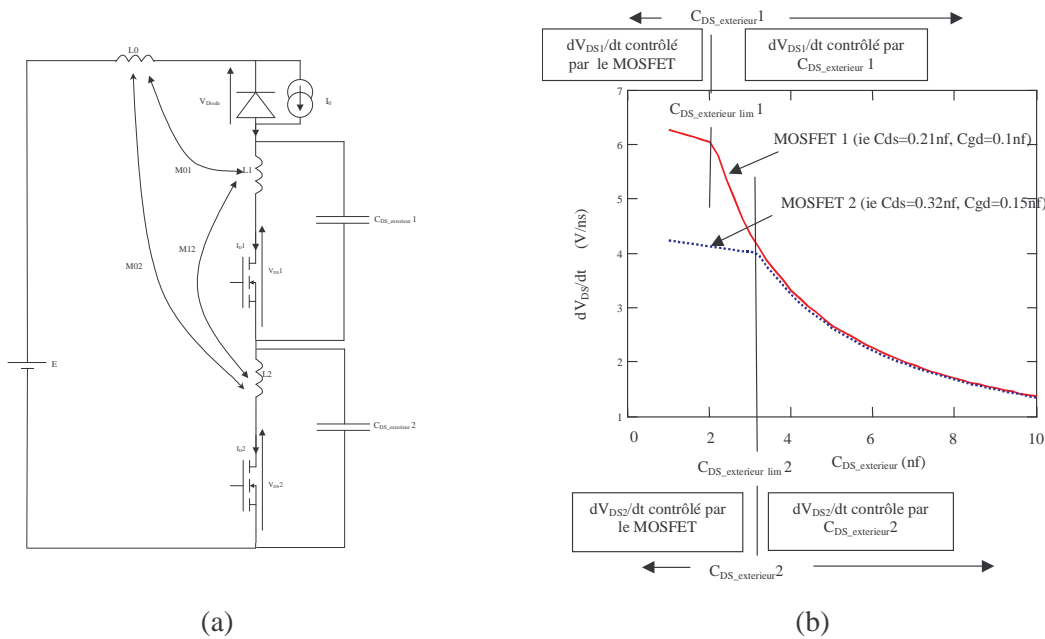


Fig.IV- 17 : (a) Circuit d'étude pour la mise en série de 2 MOSFET avec des condensateurs $C_{DS_exterieur}$ d'équilibrage.

(b) Evolution du dV_{DS}/dt en fonction de $C_{DS_exterieur}$ pour deux MOSFET présentant des différences.

Dans le cas de l'exemple de la figure IV-17, les deux MOSFET ont des capacités de valeurs différentes (dans les tolérances définies par un fabricant de composants), et donc des dV_{DS}/dt différents. Ne sachant pas a priori quel composant est le plus rapide, nous proposons pour équilibrer la vitesse d'évolution des tensions (et donc les tensions elles même) de placer des $C_{DS_exterieur}$ identiques aux bornes de ces composants. Dans le cas de la figure IV-17-b, il est évident que la valeur de $C_{DS_exterieur}$ doit être supérieure au plus grand des $C_{DS_exterieur\ lim}$ ($C_{DS_exterieur\ lim\ 2}$ dans notre cas).

Dans un premier temps, nous avons testé cette méthode de dimensionnement à l'aide de l'outil de simulation présenté au paragraphe IV.2.1. Cela nous a permis d'avoir des composants présentant un certain déséquilibre de leurs caractéristiques pour ce qui concerne g_m , C_{GD} et C_{DS} (et donc d'être dans un cas défavorable pour ce qui est de la mise en série). La figure IV-18 montre les déséquilibres obtenus. Sur la figure IV-18 (b) des condensateurs $C_{DS_exterieur}$ de 2.2nF ont été ajoutés en parallèle sur les MOSFET. On constate une amélioration de l'équilibre des tensions due à la réduction de l'écart entre les vitesses de croissance de ces dernières. Cependant, on constate que sur la figure IV-18 (a) la commutation est plus rapide.

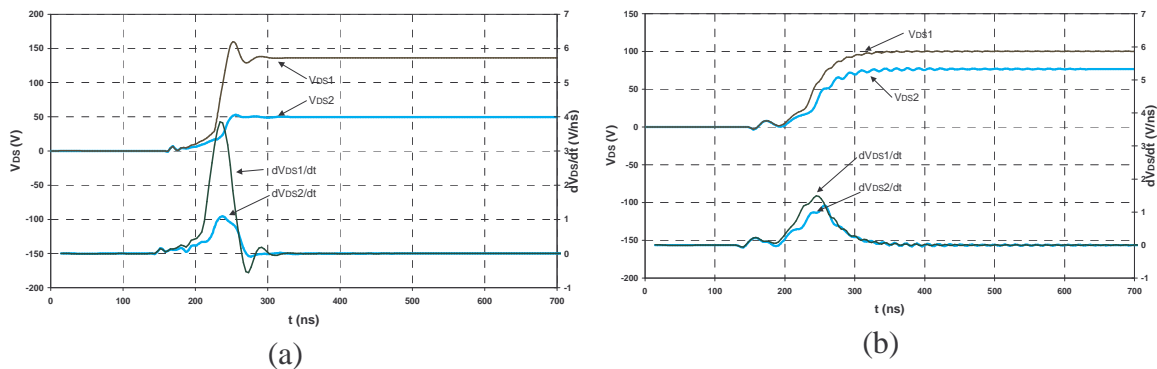


Fig.IV- 18 : (a) : Formes d’ondes simulées lors de la mise en série de deux MOSFET IRFKD2 450 sans condensateur $C_{DS_extérieur}$ et avec un déséquilibre de 10% sur les capacités parasites des MOSFET.

(b) : Formes d’ondes simulées lors de la mise en série de deux MOSFET IRFKD2 450 avec des condensateurs $C_{DS_extérieur}$ de 2.2nF et un déséquilibre de 10% sur les capacités parasites des MOSFET.

Les figures IV-19 (a) et (b) montrent les tensions V_{DS} et leurs dérivées pour les deux MOSFET. Ces tensions proviennent du dispositif expérimental présenté sur la figure IV-3. Nous avons ici évalué l’action d’une capacité $C_{DS_extérieur}$ pour limiter les effets d’un temps de retard. Les non linéarités des capacités des MOSFET (et plus particulièrement de C_{GD}) expliquent l’évolution des dV_{DS}/dt sans condensateur $C_{DS_extérieur}$ (figure IV-19-a). Avec un $C_{DS_extérieur}$ de 2.2 nF (figure IV-19-b), ce qui correspond à $C_{DS_extérieur\ lim}$ pour $V_{DS}=30\ V$ pour un IRFK2D450, on constate que les dérivées restent constantes après 30V (et sont donc imposées par le $C_{DS_extérieur}$). De ce fait, les tensions V_{DS1} et V_{DS2} en statique sont plus proches.

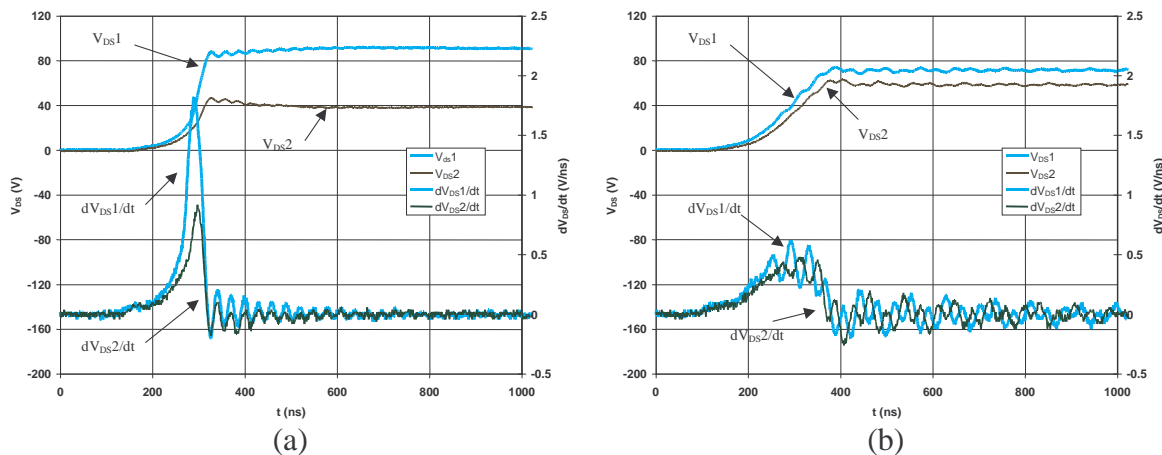


Fig.IV- 19 (a) : Formes d’ondes expérimentales lors de la mise en série de deux MOSFET IRFKD2 450 sans condensateur $C_{DS_extérieur}$ et avec un temps de retard de 25ns.

(b) : Formes d’ondes expérimentales lors de la mise en série de deux MOSFET IRFKD2 450 avec des condensateurs $C_{DS_extérieur}$ de 2.2nF en parallèle et un temps de retard de 25ns.

Dans ce paragraphe, nous avons analysé l’action d’une capacité supplémentaire placée entre le drain et la source d’un MOSFET: elle améliore l’équilibre en tension, mais augmente

le temps de commutation. Nous avons proposé une valeur ($C_{DS_extérieur\ lim}$) qui réalise un bon compromis. Cependant l'utilisation de cette capacité présente d'autres inconvénients, tout d'abord elle doit être dimensionnée pour supporter l'intégralité du courant commuté, cela peut induire un coût important, ensuite elle engendre un pic de courant qui peut être important lors de la phase de fermeture du MOSFET.

Tout cela nous conduit à étudier l'utilisation d'une capacité entre la grille et le drain.

IV.4.2.2. Condensateur extérieur entre grille et drain : $C_{GD_extérieur}$.

Tout comme la solution précédente ($C_{DS_extérieur}$), l'utilisation d'une capacité $C_{GD_extérieur}$ (figure IV-20) se base sur le principe de l'ajout d'un composant en parallèle sur les capacités parasites du MOSFET afin de réduire les différences relatives entre composants. Cette solution permet aussi bien de compenser des différences de dV_{DS}/dt dues au composant lui même (figure IV-21) qu'à des temps de retard dus aux imperfections des circuits de commande (figure IV-22).

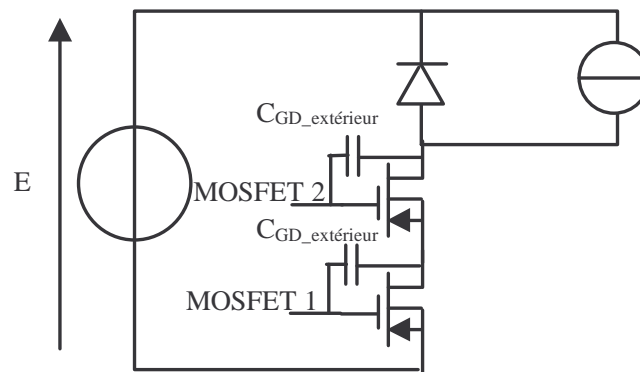


Fig.IV- 20 : Dispositif comprenant deux MOSFET en série et des capacités $C_{GD_extérieur}$.

Nous avons vérifié, dans un premier temps, l'aptitude à équilibrer les tensions aux bornes de composants présentant des différence de caractéristiques.

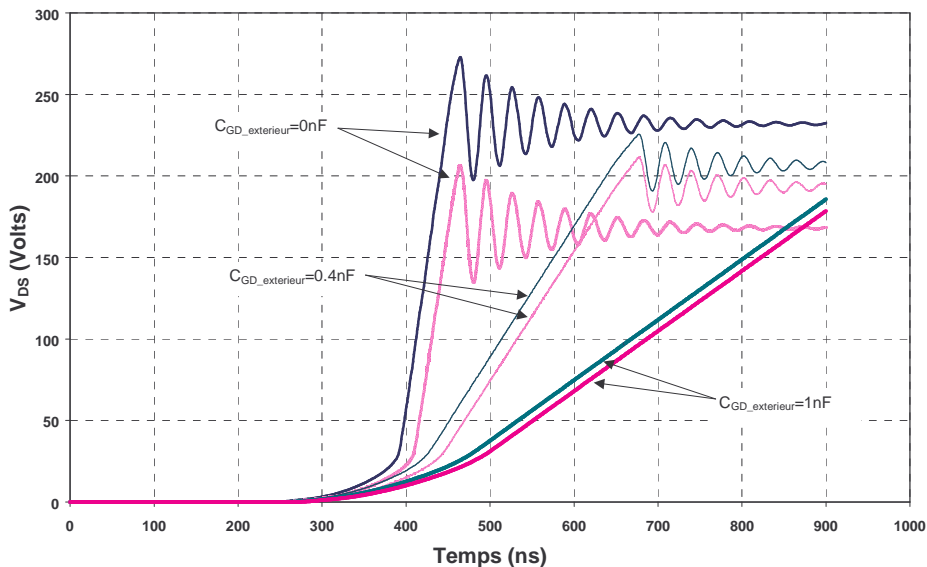


Fig.IV- 21 : Simulations : effet de l'utilisation d'un condensateur $C_{GD_extérieur}$ pour compenser un déséquilibre dû à des différences de caractéristiques entre les composants ($C_{xx2}=C_{xx1}+5\%$).

Nous constatons que l'utilisation d'un condensateur $C_{GD_extérieur}$ permet de réduire considérablement la différence entre les tensions des deux composants, mais par contre accroît de manière importante la durée de la commutation. Sans utilisation de $C_{GD_extérieur}$, une différence de 5% sur les capacités de nos composants conduit à un déséquilibre de 64V. Avec un $C_{GD_extérieur}$ de 0.4nF, le déséquilibre est réduit à 14V (soit une diminution de 78%) par contre le temps de commutation en tension passe alors de 211ns à 424ns (soit une augmentation de plus de 100%).

La figure IV-22 illustre l'effet de $C_{GD_extérieur}$ sur un déséquilibre causé par un décalage des instants de commutation entre les deux MOSFET. Le décalage était de 25ns ce qui dans notre cas aboutissait à une différence d'environ 90V entre les tensions V_{DS} des MOSFET. L'utilisation d'un condensateur de 0.4nF a permis de ramener ce déséquilibre à moins de 20V, par contre le temps de commutation a été multiplié par deux. Sous forte tension (V_{DS}) et avec une tension V_{GS} proche de V_{GSth} , la capacité C_{rss} du MOSFET utilisée en simulation (IRFK2D450) a été mesurée à environ 200pF, nous constatons donc qu'une capacité d'environ deux fois cette valeur en parallèle est un compromis raisonnable perte/équilibre des tensions.

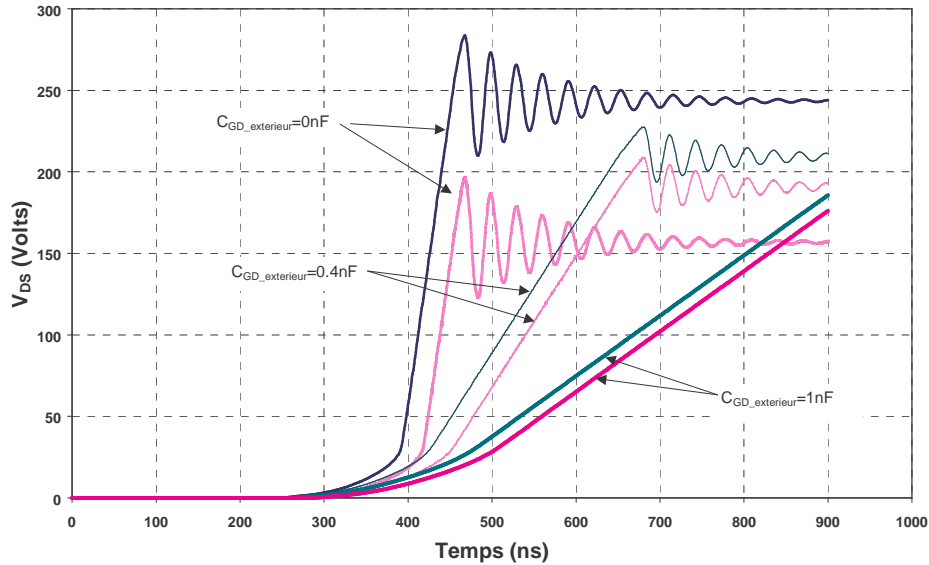


Fig.IV- 22 : Simulations : effet de l'utilisation d'un condensateur $C_{GD_extérieur}$ pour compenser un déséquilibre dû à un retard de 25ns du MOSFET 2 par rapport au MOSFET 1.

Les 2 figures précédentes montrent qu'en imposant le dV_{DS}/dt on peut réduire les écarts de tension dus soit à des retards, soit à des différences intrinsèques aux composants, comme les capacités (on rappelle que ces deux effets combinés – retard plus capacités non linéaires - donnent des écarts de tension importants) en jouant sur $C_{GD_extérieur}$, au détriment des pertes par commutations (allongement des durées de commutations).

Une expérimentation sur un hacheur série réalisé à base de deux MOSFET IFRP350LC en commutant 235V et 3A est donnée figure IV-23.

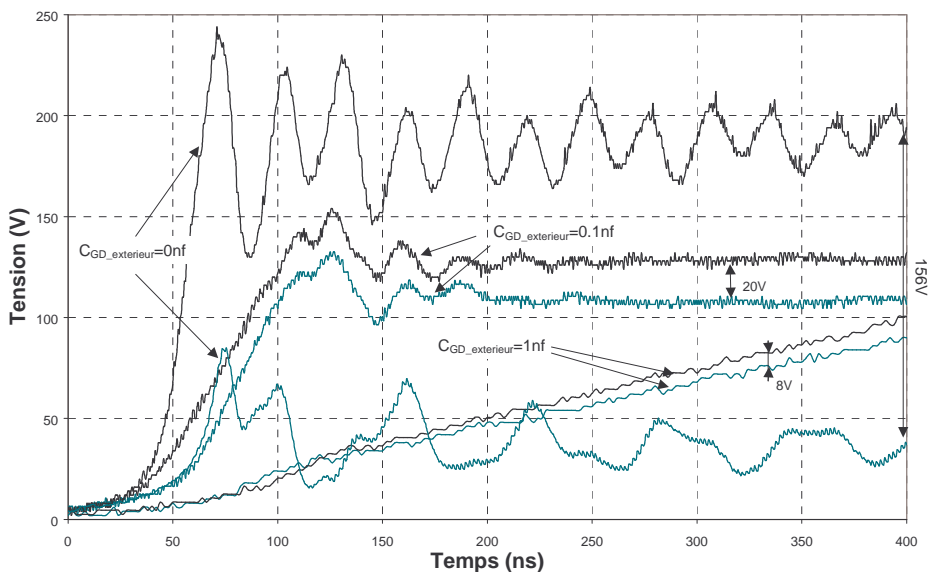


Fig.IV- 23 : Formes d’ondes expérimentales : effet d’une capacité $C_{GD_extérieur}$ sur l’ouverture de deux MOSFET en série.

Les résultats de cette expérimentation sont :

- Sans $C_{GD_extérieur}$, $\Delta V=156V$.
- Avec $C_{GD_extérieur}=100\text{ pF}$, $\Delta V=20V$.
- Avec $C_{GD_extérieur}=1\text{ nF}$, $\Delta V=8V$.

Par contre le temps de commutation passe de 72ns à 150ns avec l’ajout d’un condensateur $C_{GD_extérieur}$ de 100 pF (Une capacité $C_{GD_extérieur}$ de 100pF correspond à un peu plus de deux fois la capacité C_{rss} du MOSFET utilisé -IRFP350LC-).

Ce type de solution purement capacitive, bien qu’étant intéressant de par sa simplicité et son efficacité présente l’inconvénient d’augmenter de manière significative les durées de commutation. De plus, il ne garantit par la protection des composants. Nous allons alors présenter des dispositifs de protection et d’équilibrage à base de diodes transil.

IV.4.3. Dispositifs de protection et d’équilibrage à base de diodes transil.

Ce type de dispositifs est souvent présenté comme un dispositif de protection du composant contre les surtensions [GUIDINI-95]. L’utilisation d’un dispositif de protection est pratiquement inévitable dans le cadre de la mise en série de composants, afin d’assurer une bonne fiabilité. Notre but sera donc d’éviter que le MOSFET ne passe en régime d’avalanche. Il existe principalement deux types d’écrtage, soit de façon totalement externe au MOSFET (figure IV-24), soit par une rétroaction sur la grille (figure IV-25).

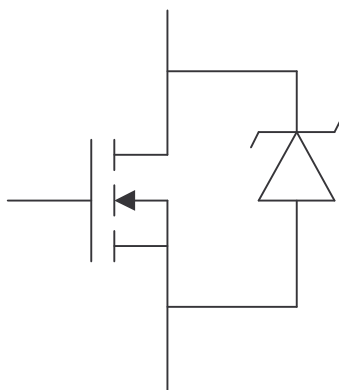


Fig.IV- 24 : Ecrêtage en parallèle sur la puissance.

Dans le premier cas, le courant de puissance est en totalité absorbé par la diode transil (qui va donc dissiper beaucoup d'énergie).

Dans le cas de la figure IV-25 (clamping actif), la diode transil assure un contrôle de la tension V_{DS} par rétroaction sur la grille du composant. Lors de son fonctionnement, ce type d'écrêteur va forcer le composant (MOSFET dans notre cas) à rester dans son domaine de fonctionnement dynamique (linéaire). Ainsi la tension aux bornes du composant sera limitée à la tension d'écrêtage. Il faut prendre en compte le courant traversant les diodes transil lors de la phase de limitation de la tension. En effet, ces diodes présentent une résistance série non négligeable. Cette résistance sera d'autant plus faible que le calibre en tension sera faible. Il faudra donc plutôt utiliser plusieurs transil de faible calibre en série plutôt qu'une seule diode de fort calibre [FAIRCHILD-2001].

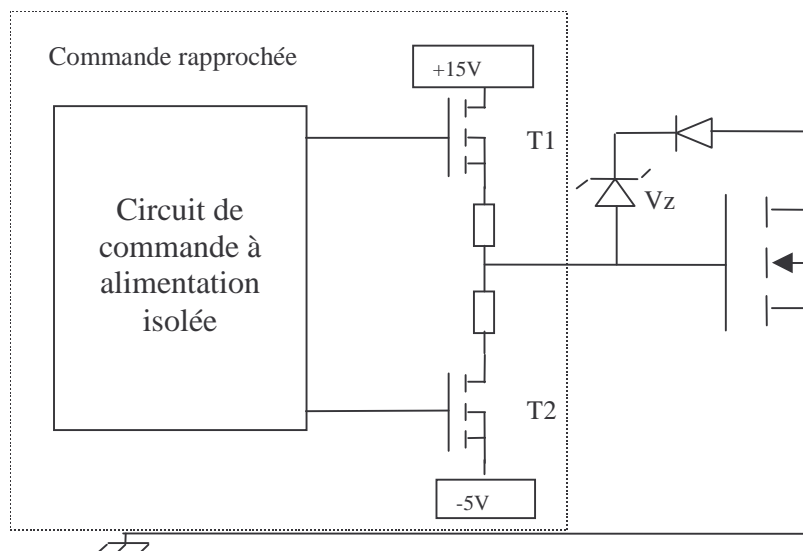


Fig.IV- 25 :Schéma d'un dispositif d'écrêtage à base de diode transil.

Le fonctionnement peut se décomposer en quatre phases (figure IV-26).

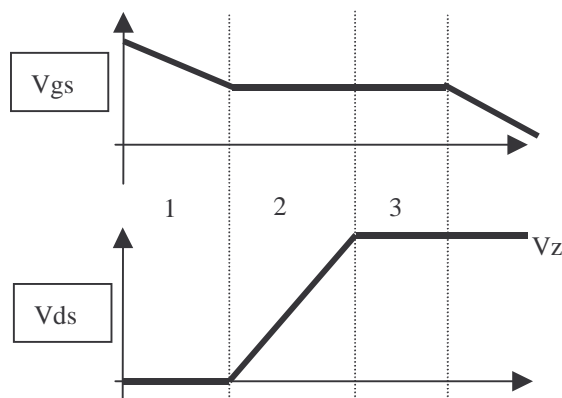


Fig.IV- 26 : Les différentes étapes du fonctionnement d'un écrêteur à diode transil.

1. Lorsque le signal de commande passe à l'état bas, le transistor T2 (figure IV-25) se ferme et T1 s'ouvre. La tension grille-source du MOSFET principal diminue jusqu'à atteindre la tension de plateau.
2. A partir de ce moment la tension V_{DS} du transistor de puissance augmente.
3. Lorsque la tension drain-source atteint la valeur de la somme de la tension transil et de la tension plateau, la diode transil se met en conduction, entraînant le passage d'un courant (figure IV-27). Il est à noter que durant cette phase (limitation de la tension V_{DS}), l'énergie sera dissipée dans le MOSFET.

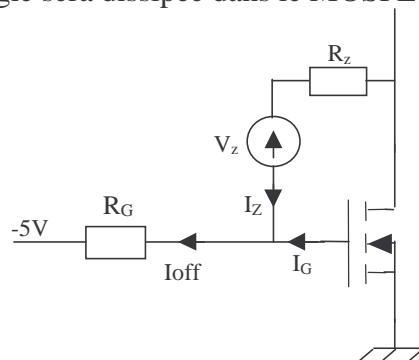


Fig.IV- 27 : Fonctionnement de l'écrêteur actif.

On a alors : $I_{off} = I_G + I_Z$

$$\text{Avec } I_Z = \frac{V_{DS} - V_z - V_{th}}{R_z} \text{ et } I_{off} = \frac{-U_t - V_{th}}{R_G}$$

Donc, I_{off} étant constant (imposé par le circuit de commande), l'augmentation de I_Z entraîne alors une diminution de I_G . L'évolution de la tension V_{DS} étant régie par le courant de grille I_G , celle-ci est donc réduite. On obtient ainsi une contre-réaction qui tend à maintenir la tension V_{DS} à une valeur proche de V_z .

Notons que la diode Transil agit également par sa capacité parasite qui se retrouve ainsi en parallèle sur la capacité C_{GD} du MOSFET.

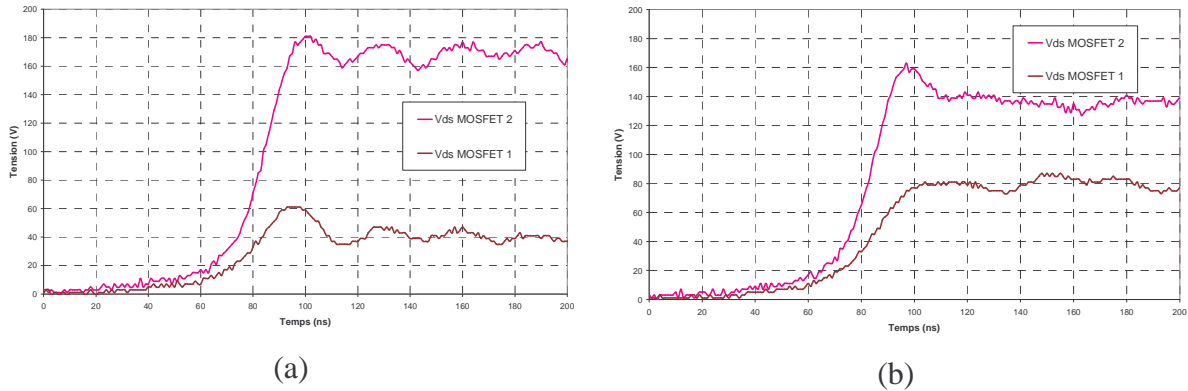


Fig.IV- 28 : Formes d'ondes expérimentales de la tension à l'ouverture de deux MOSFET en série.
 (a) Sans dispositif d'équilibrage. (b) Avec une diode transil.

Notons également que lors de la phase de fonctionnement de la diode transil, le courant I_{off} devra circuler dans la résistance de grille. Ce courant qui peut être relativement important va engendrer des pertes, non seulement dans la résistance, mais aussi dans la diode transil elle-même. Il ne faudra donc pas négliger le dimensionnement de cette dernière vis à vis du courant. Nous nous trouvons donc face à un compromis entre la rapidité du système (résistance R_G faible mais courant I_{off} important) et la limitation des pertes dans la diode transil et la résistance de grille (R_G de valeur élevée, mais temps de commutation important).

Cependant, le principal problème de ce système est, que durant toute la phase d'écrêtage actif, le MOSFET est à sa tension maximale, sans que le courant n'ait diminué. On aura donc une énergie perdue supplémentaire qui peut être importante. De plus, il n'est pas non plus possible de supprimer toutes les surtensions, surtout celles de très courte durée dues aux inductances de câblage, car, les diodes utilisées ne réagissent pas instantanément.

IV.4.4. Etude d'un écrêteur actif combinant les fonctions de protection et d'équilibrage.

IV.4.4.1. Présentation du système.

La solution suivante est une combinaison des actions d'un condensateur $C_{GD_exterieur}$ (paragraphe IV.4.2.2) et d'un écrêteur à base de diode transil (paragraphe IV.4.3). En effet, les deux dispositifs précédents présentent des inconvénients importants : l'utilisation d'un condensateur $C_{GD_exterieur}$ seul ralentit fortement la commutation, augmentant ainsi les pertes durant cette phase. L'utilisation d'un clamping par diode transil seul ne permet pas d'assurer en toute circonstance un bon équilibre des contraintes électriques. De plus, aucune des deux solutions précédentes n'assure un équilibrage correct durant la phase statique. Notons que ce dispositif a une structure identique à un dispositif de protection contre les surtensions utilisé par ALSTOM. Il a été inspiré par ce dernier.

Afin de ne pas trop affecter la vitesse de commutation, le dispositif suivant laisse le début de la commutation libre. Lorsque la valeur de la tension commutée atteint un certain seuil (V_{z1}), on ralentit alors volontairement la commutation par action d'une capacité $C_{GD_extérieur}$ (figure IV-29). Cela permet de n'augmenter que faiblement la durée totale de la commutation, tout en assurant un bon équilibrage des tensions.

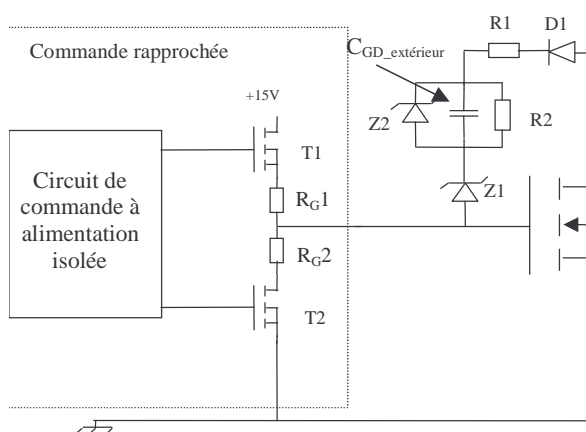


Fig.IV- 29 : Ensemble MOSFET, dispositif de clamping actif et carte de commande.

Détaillons l'action de chaque composant du montage :

- $D1$: Evite le court-circuit de l'alimentation de la commande lorsque le MOSFET est passant et limite l'action de $C_{GD_extérieur}$ à la fermeture.
- $C_{GD_extérieur}$: Capacité qui agit lors de l'ouverture (lorsque V_{DS} est supérieure à V_{z1}) pour limiter la vitesse de commutation du MOSFET.
- $R1$: Limite les oscillations dues à la capacité et aux inductances parasites. Si la valeur choisie est trop faible, cela peut conduire à une instabilité du système[LAUZENAZ-99].
- $R2$: Fixe la vitesse de décharge de la capacité $C_{GD_extérieur}$ ainsi que la constante de temps de l'équilibrage statique en tension des MOSFET de puissance. On choisira une valeur de $R2$ telle que la constante de temps soit égale à quelques dizaines (voire centaines) de μs .
- $Z1$: Fixe la tension à partir de laquelle la capacité $C_{GD_extérieur}$ va entrer en fonctionnement. On choisira cette valeur pour qu'en phase statique $Z1$ soit en limite de conduction.

- $Z2$: Fixe, conjointement avec $Z1$, la tension maximale que l'on peut atteindre aux bornes du MOSFET de puissance afin de le protéger contre les surtensions.

Cela aboutit à un fonctionnement en 4 phases :

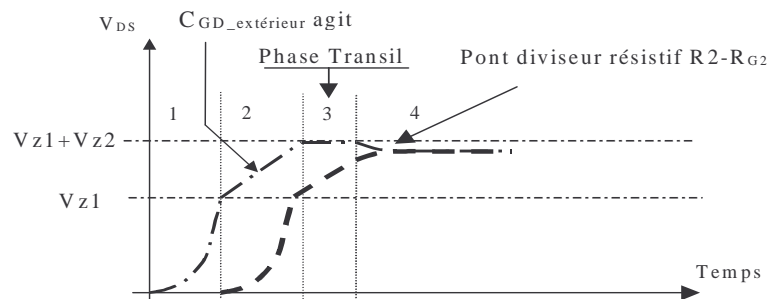


Fig.IV- 30 : Principe de fonctionnement de l'écrêteur, décomposition en 4 phases.

1^{ère} phase :

La tension entre drain et source reste inférieure à la tension V_{Z1} . Dans cette configuration, le seul courant qui passe est celui de charge des capacités des diodes transil. Celui-ci est très faible. On est donc dans une phase où le circuit d'équilibrage est totalement inactif.

2^{ème} phase :

Dès que la tension drain-source atteint une valeur d'environ la tension $V_{Z1} + V_{th}$, la diode $Z1$ passe en avalanche, $D1$ va conduire et la capacité $C_{GD_extérieur}$ commence à se charger. La constante de temps $C_{GD_extérieur} R2$ est très grande (quelques microsecondes), la constante de temps $R1 C_{GD_extérieur}$ étant très faible (quelques nanosecondes), la capacité $C_{GD_extérieur}$ se trouve donc en parallèle sur le MOSFET ceci entraînant un ralentissement du MOSFET.

3^{ème} phase :

Si la tension du transistor principal dépasse la somme des tensions des diodes transils ($V_{Z1} + V_{Z2}$), celles-ci vont se mettre en conduction entraînant alors un fonctionnement de type écrêteur à diode transil classique.

4^{ème} phase :

Lors de la phase statique, le MOSFET étant bloqué, on va décharger le condensateur $C_{GD_extérieur}$ par l'intermédiaire de la résistance $R2$, ceci afin de le préparer pour la commutation suivante.

De plus, la présence de la résistance R_2 et du circuit (R_1, D_1, Z_1, T_2, R_G2) engendre un fonctionnement équivalent à celui d'un pont diviseur résistif qui permettra un équilibrage statique de la tension entre les deux transistors de puissance.

IV.4.4.2. Résultats expérimentaux.

IV.4.4.2.1 Validation sur des MOSFET.

Les figures IV-31(a) et (b) présentent les résultats expérimentaux d'une mise en série de deux transistors MOSFET IRFP350LC (sous 200V et 6.5A dans notre cas) avec un temps de retard de 25ns entre les deux commandes. Dans le premier cas il n'y a pas de circuit d'équilibrage, dans le second cas il y a le circuit présenté précédemment. Le circuit d'équilibrage a été dimensionné pour équilibrer à une tension d'environ 140V (143V exactement), et obtenir en régime statique une tension de 100V par composant. Pour cela on utilisera des diodes transil ayant des tensions d'avalanche de 100V pour V_{z1} et de 43V pour V_{z2} . Pour ce qui est de $C_{GD_extérieur}$ on utilisera comme dans le paragraphe IV.4.2.2 une valeur de 100pF (ce qui correspond à un peu plus de 2 fois C_{rss}). La résistance R_2 est dimensionnée de manière à permettre une décharge de $C_{GD_extérieur}$ durant la phase de fonctionnement statique (on arrive pour une fréquence de fonctionnement de 20kHz et un rapport cyclique de 0.5 à une valeur maximale de 83kΩ). Il faut également calculer la puissance dissipée dans cette résistance dans le cas le plus défavorable. Ici on se placera à une puissance maximale de 0.25W, avec une tension de 40V, soit une résistance minimale de 6.4kΩ (et même de 3.2kΩ si l'on considère un rapport cyclique de 0.5). Dans notre cas, nous avons donc 3.2kΩ < R_2 < 83kΩ. Nous avons choisi 10kΩ pour R_2 , pour R_1 nous avons pris une valeur de 10Ω.

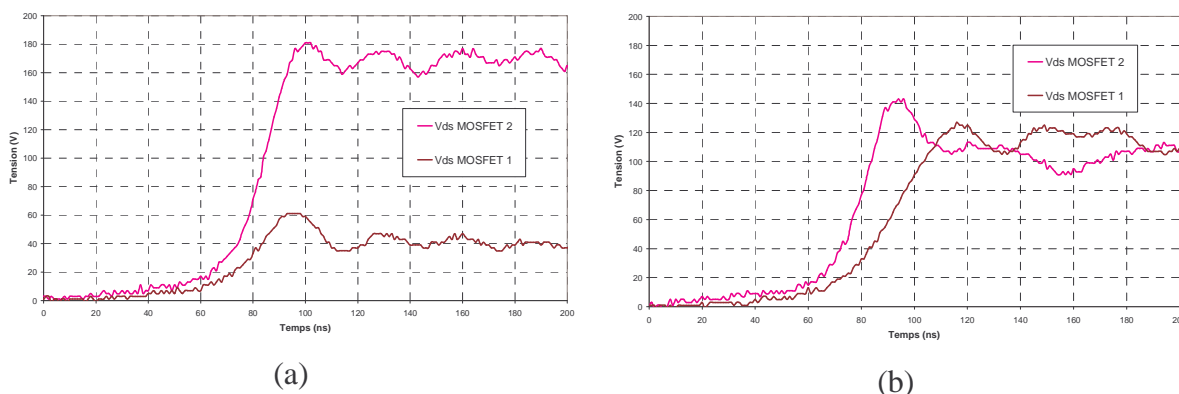


Fig.IV- 31 : Formes d'ondes expérimentales de la tension à l'ouverture de deux MOSFET en série.

(a) Sans dispositif d'équilibrage. (b) Avec le dispositif de la figure IV-29.

Le déséquilibre initial est de 130V, le circuit d'équilibrage permet de l'annuler quasiment en totalité. Le temps de commutation passe d'environ 80ns à 95ns, soit une augmentation de moins de 20%.

On constate que ce circuit assure un équilibrage tant sur le plan dynamique que sur le plan statique. De plus, la conception de ce circuit entraîne un ralentissement très faible de la commutation et donc limite les pertes par rapport à d'autres dispositifs d'équilibrage (paragraphe IV.4.2 et IV.4.3).

IV.4.4.2.2 Validation expérimentale sur des IGBT de forte puissance.

Dans le cadre du contrat européen HIPO, le dispositif précédent a été adapté à des IGBT de fortes puissances (module EUPEC 1700V-800A), et son fonctionnement a été validé par des essais monocoup (réalisé chez ALSTOM sur le site de Tarbes). Nous avons utilisé des cartes de commandes existantes auxquelles nous avons adjoint une carte additionnelle (voir figures IV-32 et IV-33). Cette carte comporte des diodes transil en série pour obtenir les V_{z1} et V_{z2} adapté, ainsi qu'une capacité $C_{GD_extérieur}$ et les résistances $R1$ et $R2$.

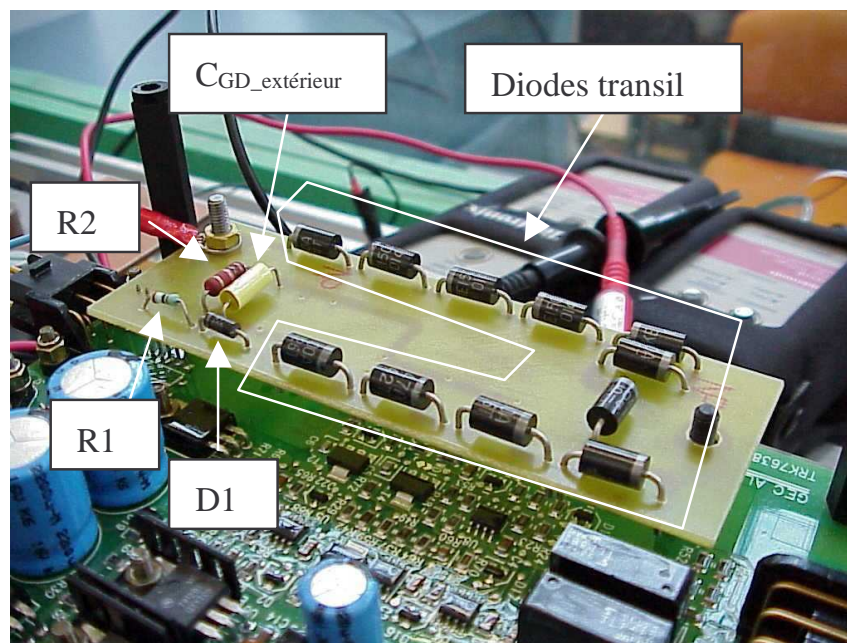


Fig.IV- 32 : Carte d'écrêtage (clamping actif).

La tension V_{z1} a été fixée à 1050V, afin de diviser la tension commutée de 3150V en trois parties égales. La tension V_{z2} à, quant à elle, été fixée à 300V pour limiter la tension aux bornes d'un composant à environ 1350V. Pour $C_{GD_extérieur}$ nous avons pris 6nF soit environ deux fois la valeur du C_{rSS} du module (2.7nF d'après les caractéristiques du constructeur). Etant donné que nous avons procédé uniquement à des essais monocoup, le choix de $R2$ n'était pas crucial; nous avons choisi ici une valeur de 10k Ω . Pour $R1$ nous avons pris 39 Ω .

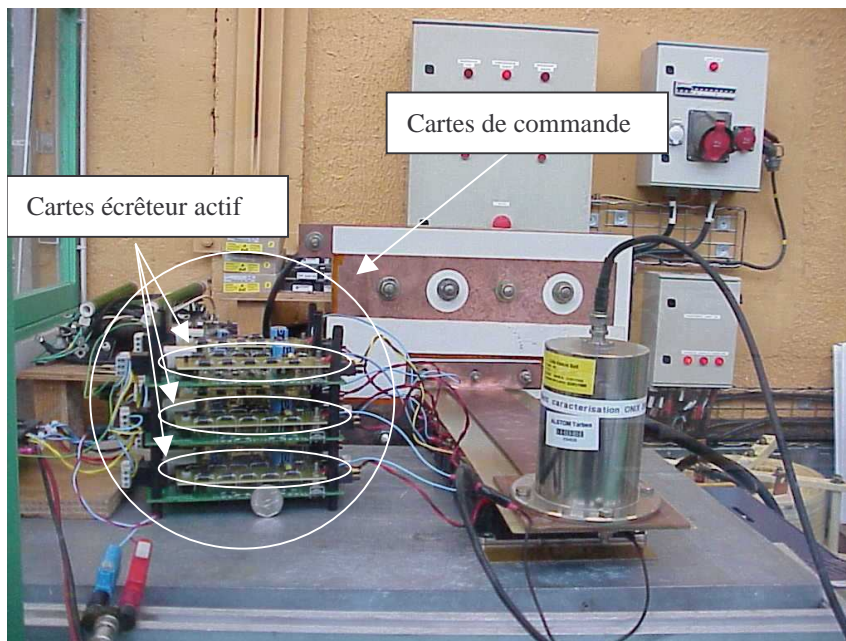


Fig.IV- 33 : Vue des cartes de commande modifiées par l'ajout d'une carte d'écrêtage.

Nous avons réalisé la mise en série de trois IGBT et de trois diodes dans une structure hacheur série (figures IV-34 et IV-35). Nous avons commuté jusqu'à 3150V et 400A.

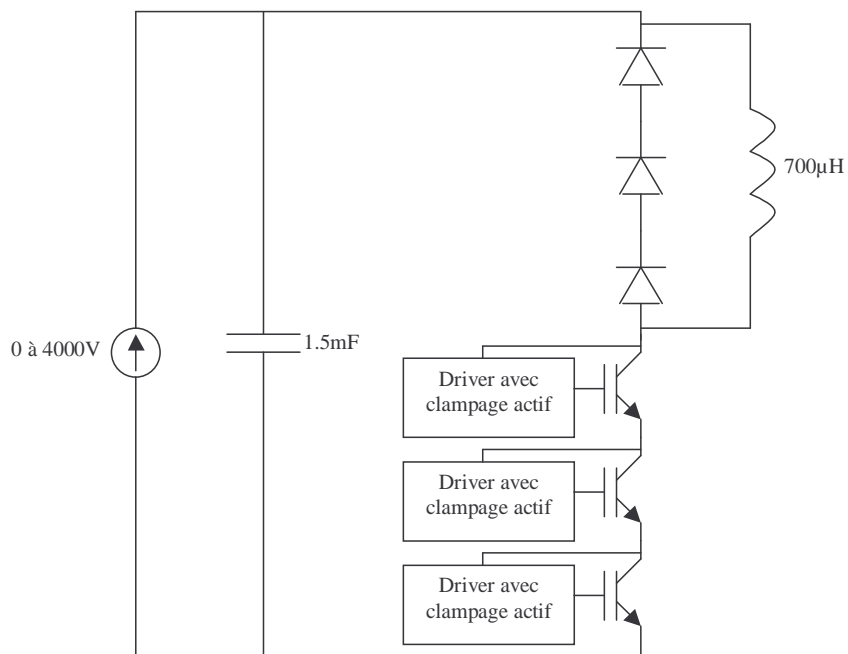


Fig.IV- 34 : Schéma de principe de la mise en série de 3 IGBT.

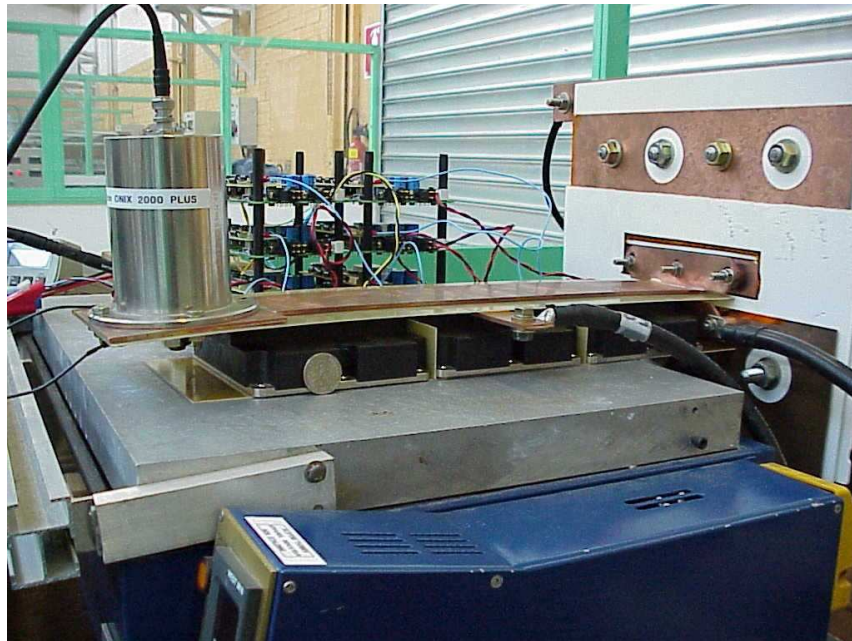


Fig.IV- 35 : L'ensemble du dispositif expérimental (3 IGBT de 1700V en série).

A partir du dispositif précédent, nous avons constaté le bon fonctionnement du montage en imposant un temps de retard de 400ns à l'IGBT 1 pour vérifier le bon fonctionnement du système.

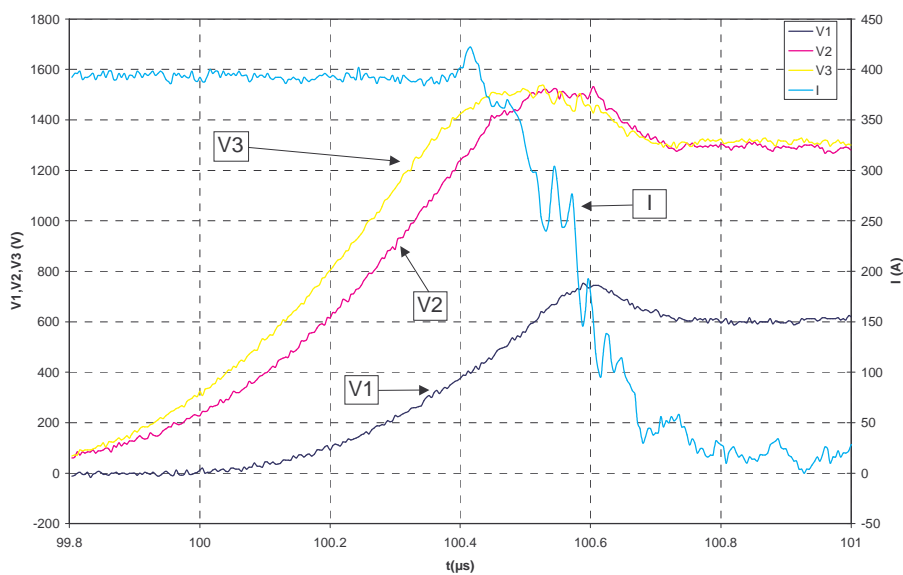


Fig.IV- 36 : Formes d'ondes expérimentales de la tension aux bornes de 3 IGBT en série, l'IGBT 1 étant retardé de 400ns.

Cependant, la tension maximale atteinte lors de la phase d'écrouissage n'est pas de 1350V comme prévu initialement mais plutôt d'environ 1500V. Cet écart de 150V s'explique par la tension de déchet des diodes transil. Ce phénomène n'avait pas été observé lors des mesures effectuées sur des MOSFET à des tensions et courants plus faibles.

Dans le cas des IGBT, le courant qui traverse les diodes transil est beaucoup plus important (de l'ordre de 5A ici), et deuxièmement l'emploi de diodes transil ayant une forte tension d'avalanche conduit à une résistance dynamique beaucoup plus importante (la résistance dynamique des diodes transil augmente proportionnellement plus vite que leur tension d'avalanche).

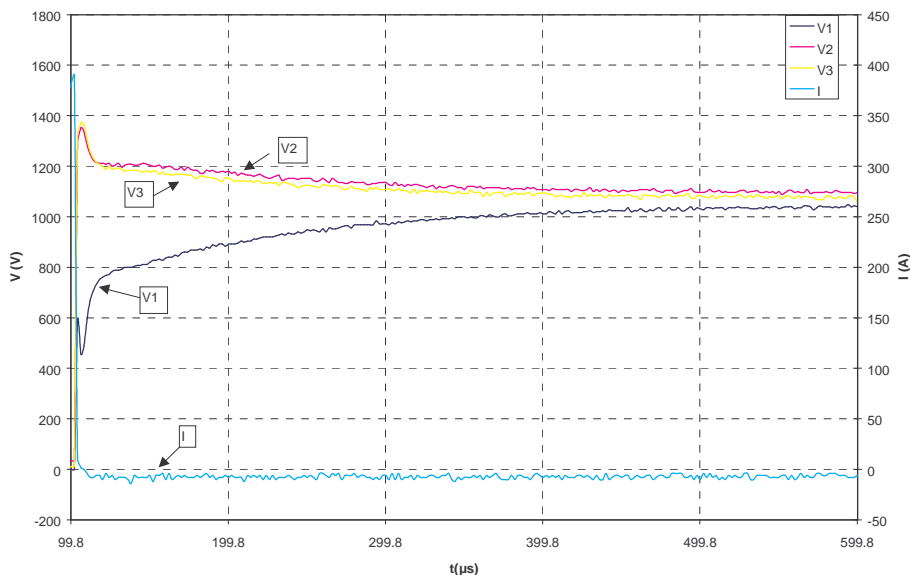


Fig.IV- 37 : Formes d’ondes expérimentales de la tension aux bornes de 3 IGBT en série, l’IGBT 1 étant retardé de 400ns.

La figure IV-37 nous montre l'action du circuit d'équilibrage durant la phase statique, nous constatons que les tensions atteignent des valeurs sensiblement égales après quelques centaines de µs. Ce temps pourra être réduit en diminuant la valeur de R2 (voir figure IV-29) mais au détriment des pertes dans cette même résistance.

IV.4.4.3. Conclusion sur le circuit d'écrêtage actif.

Ce circuit reposant uniquement sur des composants passifs (il n'a pas de chaîne de traitement de l'information ni d'asservissement), il est peu sensible aux problèmes de CEM. De plus, il ne nécessite pas de phases d'apprentissage comme les circuits basés sur des solutions actives. Un autre avantage de ce circuit est que les contraintes sur les composants passifs sont beaucoup moins importantes que dans le cas les circuits écrêteurs classiques. En effet, la capacité ne supporte pas toute la tension aux bornes de l'interrupteur de puissance, mais seulement une fraction de celle-ci (V_{z2}). il en est de même pour la résistance R2. De plus, vu sa configuration, il n'intervient pas à l'amorçage des transistors ce qui limite les pertes en commutation.

IV.5. Conclusion.

Ce chapitre fait une analyse des principales causes de déséquilibre lors de l'association en série de composants à grille isolée (et plus particulièrement de MOSFET). Nous proposons ensuite une gamme de solutions pour réduire les différences de tension entre les composants en nous basant sur des capacités à ajouter aux MOSFET. Nous décrivons également le fonctionnement d'un dispositif de protection à base d'une diode transil.

Dans le cadre du contrat européen HIPO, nous avons pour but de présenter un circuit d'équilibrage simple, facilement intégrable et permettant un bon compromis pertes/équilibrage des tensions. Nous avons alors adapté un dispositif prévu initialement pour la protection des composants contre les surtensions. Ce dispositif, à condition d'être dimensionné correctement, assure alors à la fois la fonction d'équilibrage (statique et dynamique) des tensions ainsi que la fonction de protection du composant.

Notons que les déséquilibres créés par le courant de queue n'ont pas été pris en compte. Ce courant est dû à l'évacuation des charges stockées dans la partie bipolaire de l'IGBT (et il est en ce sens très semblable au courant de recouvrement dans une diode PIN étudiée dans les chapitres I et II). Pour une étude plus approfondie sur la mise en série d'IGBT, il sera nécessaire de prendre ce phénomène en considération. Par exemple, sur un IGBT 3300V-1200A le courant de queue peut atteindre 200A pendant 5 μ s. Cela correspond à une charge stockée d'environ 500 μ C. Si l'on considère un déséquilibre de 100% d'un IGBT à l'autre, on peut avoir une surtension de $\Delta V = 500\mu C \times C_{CE} = 2200V$. Cette étude fait partie de la thèse de David FREY.

Chapitre IV	91
IV.1. Introduction.	92
IV.2. Outils d'analyse, de simulation et d'expérimentation.	92
IV.2.1. Outil de Simulation sous MATLAB.	93
IV.2.2. Dispositif expérimental.	94
IV.3. Analyse des causes des déséquilibres.	95
IV.3.1. Effet des temps de retard.	96
IV.3.2. Effet des non linéarités des capacités du MOSFET.	97
IV.3.3. Effet des capacités de mode commun (capacités parasites avec l'environnement) [FREY-00 et GUIDINI-95].	98
IV.3.3.1. Durant la commutation (ouverture).	99
IV.3.3.2. Durant la phase statique (bloquée).	101
IV.3.4. Effet des différences de vitesse de croissance de la tension.	101
IV.3.5. Calculs des ΔV finaux.	102
IV.3.6. Conclusion sur les causes des déséquilibres.	105
IV.4. Dispositifs d'équilibrage.	105
IV.4.1. Etat de l'art.	106
IV.4.2. Analyse de solutions capacitives.	107
IV.4.2.1. Capacité extérieure entre drain et source : $C_{DS_extérieur}$.	107
IV.4.2.2. Condensateur extérieur entre grille et drain : $C_{GD_extérieur}$.	111
IV.4.3. Dispositifs de protection et d'équilibrage à base de diodes transil.	114
IV.4.4. Etude d'un écrêteur actif combinant les fonctions de protection et d'équilibrage.	117
IV.4.4.1. Présentation du système.	117
IV.4.4.2. Résultats expérimentaux.	120
IV.4.4.2.1 Validation sur des MOSFET.	120
IV.4.4.2.2 Validation expérimentale sur des IGBT de forte puissance.	121
IV.4.4.3. Conclusion sur le circuit d'écrêtage actif.	124
IV.5. Conclusion.	125

Conclusion Générale

Conclusion Générale

Les travaux présentés dans ce mémoire s'inscrivent dans le cadre de l'association de composants de forte puissance. Ils concernent les associations de composants en parallèle et en série. Ils ont donné naissance à une étude exhaustive des phénomènes intervenant durant les commutations.

Les études concernant les associations de composants ne sont pas nouvelles, puisque de nombreux problèmes liés à l'association en série ou en parallèle ont déjà été rencontrés dans le passé. Notre but n'était pas de redécouvrir ces problèmes, ni leurs solutions, mais plutôt, par une étude systématique de la commutation, de mieux comprendre les phénomènes intervenant dans une association de composants à grille isolée. Nous nous sommes efforcés d'obtenir une égale répartition des contraintes électriques entre les différents composants de l'association. L'originalité de cette étude est qu'elle s'intéresse aux semiconducteurs dans leur environnement. Pour ce faire, le logiciel InCa qui permet une modélisation extrêmement précise de la connectique a été utilisé. Quelques aspects n'ont cependant pas été pris en compte au cours de cette étude, notamment ceux qui concernent la thermique. Cela est justifié car nous nous sommes intéressés essentiellement aux phases de commutation et à cette échelle temporelle, les variations de température restent faibles; cependant une étude de sensibilité des paramètres électriques en fonction de la température mériterait d'être menée.

L'étude concernant la mise en parallèle montre que, durant les phases de commutation, le câblage peut être responsable de déséquilibres entre les courants commutés dans les semiconducteurs de l'association. Des règles de câblage assurant une égale répartition des courants ont alors été établies. Ces règles font notamment intervenir les mutuelles inductances. Cependant le câblage seul ne permet pas une bonne répartition des courants, les interrupteurs ont également un rôle non négligeable qui a été analysé en détail.

L'association en série d'interrupteurs est plus délicate; en effet, les différences de tension entre les composants peuvent rapidement mener à des surtensions destructrices. Il est donc ici nécessaire d'utiliser des circuits annexes d'équilibrage des tensions. Après avoir analysé les causes des différences de tensions observées aux bornes des divers composants de l'association, nous avons recherché des solutions, tout en nous cantonnant à des dispositifs peu sensibles aux perturbations électromagnétiques, facilement intégrables et assurant la protection des MOSFET ou IGBT de l'association. Nous avons alors abouti à un dispositif déjà existant et utilisé industriellement par ALSTOM pour une autre fonction : la protection des composants. Ce dispositif a été adapté à l'équilibrage des contraintes

électriques lors de la mise en série de MOSFET de puissance. Il a également été testé sur des IGBT dans le même contexte. Il nous reste à le dimensionner pour une utilisation en commutations répétitives et à prendre en compte le phénomène de courant de queue de ce type de composants. Cela fait l'objet des travaux de thèse de David FREY [SAIZ-01].

Dans le cadre de l'association de composants, les perspectives de notre étude sont de deux types :

1) Elles concernent la conception de modules de forte puissance intégrés plus fiables, en garantissant une meilleure répartition des contraintes électriques (principalement lors de la mise en parallèle de puces élémentaires au sein de modules de type IGBT ou MOSFET).

2) Elles concernent également les associations de modules. Les applications sont alors de type réseau électrique ou traction ferroviaire. La thèse de David FREY doit finaliser l'étude concernant la mise en série d'IGBT pour la traction ferroviaire.

Les travaux présentés en première partie de ce mémoire (chapitre I et II), n'étaient initialement destiné qu'à l'étude d'associations de composants; ils sont pourtant intéressants pour d'autres applications et doivent être considérés comme des résultats à part entière. Nous avons souligné le rôle de chaque intervenant (MOSFET, Diode PIN, connectique, "driver" de commande) sur les formes d'ondes des courants et des tensions; cela nous a alors permis de mieux comprendre les phénomènes intervenant lors des commutations. Nous avons ensuite développé des formulations analytiques pour les vitesses de commutation en courant et en tension, qui nous ont été utiles pour la conception de cellules de commutation utilisant des composants associés en parallèle (chapitre 3) ou en série (chapitre 4). Ces formules ouvrent la possibilité d'une démarche globale de conception de l'interrupteur incluant le semiconducteur et son environnement électrique. Les perspectives sont alors nombreuses dans le domaine de l'intégration de puissance [COSTA-00]. Nous pouvons ici entrevoir des possibilités de dimensionnement technologique des composants afin d'adapter les formes d'ondes à l'application envisagée.

Références Bibliographiques

Références Bibliographiques

- [AUBARD-99] L. Aubard, "Modélisation des Transistors MOS de puissance pour l'électronique de commutation", Thèse de doctorat de l'INPG, janvier 1999.
- [AKHBARI-98] M. Akhbari, JL. Schanen, J. Roudet, JP. Keradec, "An original Design of MOSFET/IGBT Gate Circuit Layout to Suppress Power/Drive Interaction", *Proceedings of the fifth European Space Power Conference (ESPC)*, Tarragon, Spain, 21-25 September 1998.
- [AKHBARI-99] M. Akhbari, JL. Schanen, R. Perret, "Switching cell design with EMC and commutation losses criterion", *IEEE-IAS'99*, Octobre 1999, Phoenix, Arizona, USA.
- [AKHBARI-00] M. Akhbari, "Modèle de Cellule de Commutation pour les Etudes de Pertes et de Performances CEM", Thèse de doctorat de l'INPG, février 2000.
- [ARNOULD-92] J. Arnould, P. Merle, "Dispositifs de l'électronique de puissance", Volume I et II, Hermès, Paris, 1992.
- [BESACIER-00] M. Besacier, JL. Schanen, J. Roudet, P. Suau, JC. Crebier, "PSPICE-Compatible Electrical Equivalent Circuit for Busbars", *IEEE-APEC'00*, New Orleans, Louisiana, pp846-851.
- [CHATROUX-98] D. Chatroux, Y. Lausenaz, JF. Villard, L. Garnier, D. Lafore, JM. Li, « Fiabilité des commutateurs 25kV, 1600A utilisant 3500 MOS », *EPF'98* Belfort.
- [CLAVEL-96] E. Clavel, J. Roudet, JL. Schanen, "Influence of the Cabling Geometry on Paralleled Diodes in a High Power Rectifier", *IEEE-IAS'96*, San Diego, pp993-998.
- [CLAVEL2-96] E. Clavel, "Vers un Outil de Conception de Câblage : Le Logiciel InCa", Thèse de doctorat de l'INPG, septembre 1996.
- [COSTA-00] F. Costa, "Tendances récentes observées en électronique de puissance", *La lettre Electronique de puissance*, ECRIN, pp7-10, no 14, novembre 2000.
- [FARJAH-94] E. Farjah, "Contribution aux caractérisations électriques et thermiques des transistors de puissance à grille isolée", Thèse de doctorat de l'INPG, octobre 1994.
- [FREY-00] D. Frey, "Mise en série de transistors MOS de puissance", DEA de Génie Electric du Laboratoire d'Electrotechnique de Grenoble, juin 2000.

[FAIRCHILD-01] "Device for Bipolar Application, 1500 Watt Transient Voltage Suppressors", www.fairchildsemi.com.

[GERSTER-94] C. Gerster "Fast High-power, high-voltage switch using series-connected IGBTs with active gate-controlled voltage-balancing" *IEEE 1994*.

[GERSTER-95] C. Gerster "Reihenschaltung von Leistungshalbleiter mit steuerseitig geregelter Spannungsverteilung" Thèse de Doctorat de l'ETH de Zurich, 1995.

[GHEDIRA-98] S. Ghedira, "Contribution à l'estimation des paramètres technologiques de la diode PIN de puissance à partir de mesures en commutation", Thèse de doctorat de l'Institut National des Sciences Appliquées de Lyon, No 98-ISAL-0029, Lyon 1998.

[GUIDINI-95] R. Guidini, "Interrupteurs rapides haute tension réalisés par mise en série de composants semi-conducteurs pour convertisseur de forte énergies", Thèse de doctorat de l'académie de Montpellier, 1995.

[HOFER-NOSER-99] P. Hofer-Noser, N. Karrer, "Monitoring of Paralleled IGBT/Diode Modules", *IEEE Transactions on power electronics*, Vol. 14, no 3, May 1999

[JEANNIN-99] PO. Jeannin, M. Akhbari, JL Schanen, "Influence of Stray Inductances on Current Sharing during Switching Transitions in Paralleled Semiconductors" *EPE'99* Lausanne, 1999.

[JEANNIN-01] PO. Jeannin, JL Schanen, E. Clavel "Original Cabling Conditions to Insure Balanced Current During Switching Transitions Between Paralleled Semiconductors" *IEEE Transactions on IAS*, à paraître.

[KOLESSAR-00] R. Kolessar "Physical Study of the Power Diode Turn-On Process", *IEEE-IAS'00*, Rome, Italy, 2000.

[LABOURE-95] E. Labouré, "Contribution à l'étude des perturbation conduites dans les alimentations continu-continu isolées", Thèse de doctorat, Octobre 1995, ENS de Cachan, LESIR Paris.

[LAPASSAT-98] N. Lapassat, "Etude du comportement en commutation douce de semiconducteurs assemblés en série", Thèse de doctorat de l'académie de Montpellier, 1998.

[LAUSENAZ-99] Y. Lausenaz, D. Chatroux, JF. Villard, JM. Li, D. Lafore, L. Garnier, "Serial Connected Active Voltage Clamping", *EPE'99*, Lausanne.

[LAUZIER-99] N. Lauzier, "Comportement des transistors MOS en parallèle : rôle du semi-conducteur", rapport de DEA de l'INPG, juin 1999.

[LEMBEYE-97] Y. Lembeye, JL. Schanen, JP. Keradec "Experimental characterisation of insulated gate power components : Capacitive aspects", *IEEE-IAS'97*, New Orleans, 1997.

[LETURCQ-96] P. Leturcq, MO. Berraies, JL. Massol, "Implementation and validation of a new Diode Model for Circuit Simulation", *IEEE-PESC'96*, 1996.

[LOONIS-98] N. LOONIS, Ch. SCHAEFFER, R. PERRET, B. RIVET, A. LHORTE, "Optimisation de diodes rapides haute tension. Application à un convertisseur PFC." *EPF'98*, Belfort.

[MAGNON-00] D. Magnon, J. Jalade, N. Noirot, JC. Lebunetel, JP. Laur "Etude de la commande d'une structure MOS thyristor permettant de satisfaire les normes CEM", *EPF'2000*, pp111-116, Lille octobre 2000.

[MERIENNE-96] F. Mérienne, "Influence de l'interaction puissance-commande sur le fonctionnement des convertisseurs d'Électronique de puissance : Simulation fine - Recherches des règles de conception", Thèse de doctorat de l'INPG, janvier 1996.

[MIYASHITA-98] S. Miyashita, S. Yosshiwatari, S. Kobayashi, K. Sakurai, "Advanced Technology for a New NPT-IGBT Module Design", *IEEE-IAS'98*, St.Louis, pp1061-1066.

[MOHAN-95] Mohan, Underland, Robbins, "Power electronics, converters, applications and design", 2^{ème} édition, Wiley, 1995.

[MOREL-94] H. Morel, SH. Gamal, JP. Chante, "State Variable Modeling of the Power Pin Diode Using an Explicit Approximation of Semiconductor Device Equations : A novel Approach", *IEEE Transactions on Power Electronics*, Vol. 9, No. 1, January 1994, pp. 112-120.

[PAICE-75] DA. Paice, "Multiple Paralleling of Power Diodes" *IEEE Transactions on industrial electronics and control instrumentation*, Vol. IECI-22, n°2, may 1975, pp151-158.

[RAEL-96] S. Rael, "Méthodologie de conception des modules de puissance : étude électrothermique de l'association parallèle", Thèse de doctorat de l'INPG, Mai 1996.

[RIVET-94] B. Rivet, "New High Voltage Ultra-fast Diodes : The TurboswitchTM A and B séries", SGS-Thomson Microelectronics, Application Note, March 1994.

[RAULET-90] C. Raulet, G. Rojat, A. Kevorkian "Mise en série de transistors MOSFET de puissance", *EPF'90*, Toulouse.

[RUEHLI-74] AE. Ruehli, "Equivalent circuit models for three dimensional multiconductor systems" *IEEE Transactions on microwave theory and techniques*, Vol. MTT 22, N°3, March 1974, pp. 216-221.

[RUEHLI-87] AE. Ruehli, "Circuit Analysis, Simulation and Design-VLSI Circuit Analysis and Simulation", North-Holland Publisher 1987, Vol. 2.

[SAIZ-01] J. Saiz, M. Mermet, D. Frey, PO. Jeannin, JL. Schanen, P. Muszicki "Optimization and integration of an active clamping circuit for IGBT series association.", *IEEE-IAS'01*, Chicago. à paraître.

[SCHANEN-00] JL. Schanen, "Electronique de puissance : au cœur de la commutation", Habilitation à diriger des recherches, LEG/UJF, novembre 2000.

[SCHNUR-98] L. Schnur et al, "Low Inductance, Explosion Robust IGBT Modules in High Power Inverter Applications", *IEEE-IAS'98*.

[TEULINGS-97] W. Teulings, "Prise en compte du câblage dans la conception et la simulation des convertisseurs de puissance : Performances CEM", Thèse de doctorat de l'INPG, Avril 1997.

[XING-98] K.Xing, FC. Lee, D. Boroyevich, "Extraction of Parasitics within Wire-Bond IGBT Modules" *IEEE-APEC'98*. pp. 497-503.

ANNEXES

Annexe I : Etablissement de la formule donnant le dI_D/dt en prenant en compte l'inductance commune de source lors de la fermeture du MOSFET.

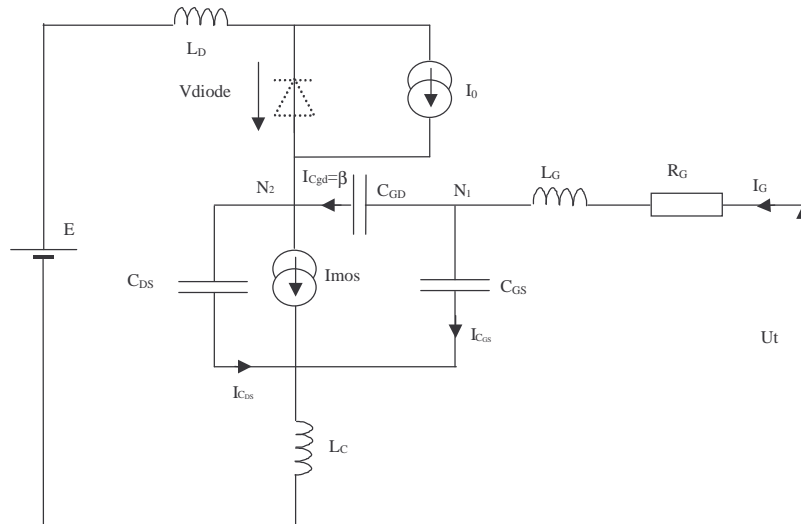


Fig a: Schéma électrique équivalent lors de la commutation en courant du MOSFET.

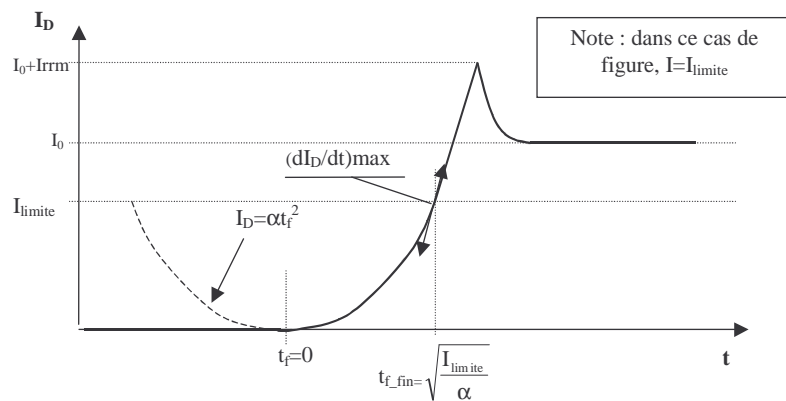


Fig b: Forme d'onde d'étude du courant I_D pour la détermination de $(dI_D/dt)_{max}$.

Les équations génériques du système sont alors les suivantes.

L'équation relative à la source de courant du MOSFET :

$$I_{mos} = k(V_{GS} - V_{GSth})^2 \quad (II-1)$$

L'équation de la maille du circuit de puissance, quand la diode conduit ($V_{DIODE} = 0$) est :

$$E - (L_D + L_C) \frac{dI_D}{dt} - V_{DS} - L_C \frac{dI_G}{dt} = 0 \quad (II-2)$$

L'équation de la maille du circuit de grille est :

$$U_t - (L_G + L_C) \frac{dI_G}{dt} - R_G I_G - V_{GS} - L_C \frac{dI_D}{dt} = 0 \quad (II-3)$$

L'équation des courants au nœud N_1 s'écrit :

$$I_G = C_{GS} \frac{dV_{GS}}{dt} + C_{GD} \frac{d}{dt} (V_{GS} - V_{DS}) \quad (\text{II-4})$$

L'équation des courants au nœud N_2 s'écrit :

$$I_{C_{GD}} + I_D - I_{C_{DS}} = I_{mos} \quad (\text{II-5})$$

Ce qui peut encore s'écrire :

$$I_D = I_{mos} + C_{DS} \frac{dV_{DS}}{dt} - C_{GD} \frac{d}{dt} (V_{GS} - V_{DS}) \quad (\text{II-6})$$

On suppose que l'on néglige $\frac{dI_G}{dt}$ devant $\frac{dI_D}{dt}$ et on pose : $I_{C_{gd}} = \beta = \text{cste}$ et $L_G \cong 0$.

On obtiens alors le système suivant:

$$E - (L_D + L_C) \frac{dI_D}{dt} - V_{DS} = 0$$

$$Ut - R_G (C_{GS} \frac{dV_{GS}}{dt} + \beta) - V_{GS} - L_C \frac{dI_D}{dt} = 0$$

$$I_D = k(V_{GS} - V_{GSth})^2 + C_{DS} \frac{dV_{DS}}{dt} - \beta$$

$$\beta = C_{GD} \cdot \frac{d}{dt} (V_{GS} - V_{DS})$$

La première et la dernière équation peuvent aussi s'écrire :

$$\frac{dV_{DS}}{dt} = -(L_D + L_C) \frac{d^2 I_D}{dt^2}$$

$$\frac{dV_{DS}}{dt} = -\frac{\beta}{C_{GD}} + \frac{dV_{GS}}{dt}$$

D'où :

$$(L_D + L_C) \frac{d^2 I_D}{dt^2} = \frac{\beta}{C_{GD}} - \frac{dV_{GS}}{dt}$$

$$Ut - R_G (C_{GS} \frac{dV_{GS}}{dt} + \beta) - V_{GS} - L_C \frac{dI_D}{dt} = 0$$

$$I_D = k(V_{GS} - V_{GSth})^2 - \beta \frac{C_{DS}}{C_{GD}} + C_{DS} \frac{dV_{GS}}{dt} - \beta$$

En dérivant cette dernière équation, on obtient : $\frac{dI_D}{dt} = 2k(V_{GS} - V_{GSth}) \frac{dV_{GS}}{dt}$ car on est sur la phase "plateau" de V_{GS} , ainsi on considère que $\frac{d^2 V_{GS}}{dt^2} = 0$.

On recherche le $(\frac{dI_D}{dt})_{\max}$, or durant la phase de commutation en courant le V_{GS} est proche de V_{GSth} . On considérera donc que $V_{GS} = V_{GSth} = \text{cte}$ pour les équations en tension.

Soit en remplaçant dans le système d'équations précédents :

$$Ut - R_G \cdot \beta - V_{GSth} - L_C \frac{dI_D}{dt} = 0$$

$$\frac{d^2 I_D}{dt^2} (L_D + L_C) = \frac{\beta}{C_{GD}}$$

A partir de cette dernière équation on peut exprimer la valeur de β :

$$\beta = C_{GD} (L_D + L_C) \frac{d^2 I_D}{dt^2}$$

$$D'où \boxed{Ut - R_G C_{GD} (L_D + L_C) \frac{d^2 I_D}{dt^2} - V_{GSth} - L_C \frac{dI_D}{dt} = 0}$$

On obtient donc une équation différentielle fonction du temps.

Soit le courant I_D parabolique. On pose donc $I_D = \alpha t^2$.

$$D'où \frac{dI_D}{dt} = 2\alpha t \text{ et } \frac{d^2 I_D}{dt^2} = 2\alpha$$

A la fin de la commutation (ou pour $I_D = I_{limite}$) $I_{limite} = \alpha \cdot t_{f_fin}^2$ soit $t_{f_fin} = \sqrt{\frac{I}{\alpha}}$.

$$-2(L_D + L_C)\alpha - 2 \frac{L_C}{R_G C_{GD}} \alpha t_{o_début} + \frac{Ut - V_{GSth}}{R_G C_{GD}} = 0$$

$$-2(L_D + L_C)\alpha + 2 \frac{L_C}{R_G C_{GD}} \sqrt{I} \sqrt{\alpha} + \frac{Ut - V_{GSth}}{R_G C_{GD}} = 0$$

On pose $\alpha = x^2$ et on obtient l'équation suivante :

$$\boxed{2(L_D + L_C)x^2 + (2 \frac{L_C}{R_G C_{GD}} \sqrt{I})x - \frac{Ut - V_{GSth}}{R_G C_{GD}} = 0}$$

On obtiens alors $\left(\frac{dI_D}{dt}\right)_{max} = 2\alpha t_{f_fin} = 2\sqrt{\alpha} \sqrt{I} = 2x\sqrt{I}$ et $x = \frac{-b + \sqrt{\delta}}{2 \cdot a}$ avec

$$a = 2(L_D + L_C), b = (2 \frac{L_C}{R_G C_{GD}} \sqrt{I}), c = -\frac{Ut - V_{GSth}}{R_G C_{GD}}, \delta = b^2 - 4ac.$$

ANNEXE II : Mise en parallèle de n semiconducteurs, notations.

$$[Z] = \begin{bmatrix} r_1 + (L_1 + M_1'1) \cdot s & \dots & (M_{1k} + M_1'k) \cdot s & \dots & (M_{1n} + M_1'n) \cdot s \\ \dots & \dots & \dots & \dots & \dots \\ (M_{k1} + \sum_{j=1}^k M_j'1) \cdot s & \dots & r_k + (L_k + \sum_{j=1}^k M_j'k) \cdot s & \dots & (M_{kn} + \sum_{j=1}^k M_j'n) \cdot s \\ \dots & \dots & \dots & \dots & \dots \\ (M_{n1} + \sum_{j=1}^n M_j'1) \cdot s & \dots & (M_{nk} + \sum_{j=1}^n M_j'k) \cdot s & \dots & r_n + (L_n + \sum_{j=1}^n M_j'n) \cdot s \end{bmatrix}$$

$$[Z'] = \begin{bmatrix} r_1' + (M_{11}'1 + L_1') \cdot s & \dots & (M_{1k}' + M_1'k') \cdot s & \dots & (M_{1n}' + M_1'n') \cdot s \\ \dots & \dots & \dots & \dots & \dots \\ r_1' + (M_{k1}' + \sum_{j=1}^k M_j'1') \cdot s & \dots & r_k' + (M_{kk}' + \sum_{j=1}^k M_j'k') \cdot s & \dots & (M_{kn}' + \sum_{j=1}^k M_j'n') \cdot s \\ \dots & \dots & \dots & \dots & \dots \\ r_1' + (M_{n1}' + \sum_{j=1}^n M_j'1') \cdot s & \dots & r_k' + (M_{nk}' + \sum_{j=1}^n M_j'k') \cdot s & \dots & r_n' + (M_{nn}' + \sum_{j=1}^n M_j'n') \cdot s \end{bmatrix}$$

$$[M] = \begin{bmatrix} M_{01} \cdot s & & & & \\ & \dots & & & 0 \\ & & M_{0k} \cdot s & & \\ & 0 & & \dots & \\ & & & & M_{0n} \cdot s \end{bmatrix}$$

$$[M'] = \begin{bmatrix} M_{01}' \cdot s & & & & \\ & \dots & & & 0 \\ M_{01}' \cdot s & \dots & M_{0k}' \cdot s & & \\ & \dots & & \dots & \\ M_{01}' \cdot s & \dots & M_{0k}' \cdot s & \dots & M_{0n}' \cdot s \end{bmatrix}$$

$$[P] \cdot \begin{bmatrix} i_1 \\ \dots \\ i_n \\ in \end{bmatrix} = \begin{bmatrix} \sum_{k=1}^n i_k \\ \dots \\ in \end{bmatrix}, \text{ donc } [P] = \begin{bmatrix} 1 & 1 & 1 & 1 & 1 \\ 0 & 1 & \dots & \dots & 1 \\ 0 & 0 & 1 & \dots & 1 \\ 0 & \dots & 0 & 1 & 1 \\ 0 & 0 & 0 & 0 & 1 \end{bmatrix}$$

Annexe III : Restriction des règles d'association de n semiconducteurs en parallèle dans le cas de l'association de deux semiconducteurs en parallèle.

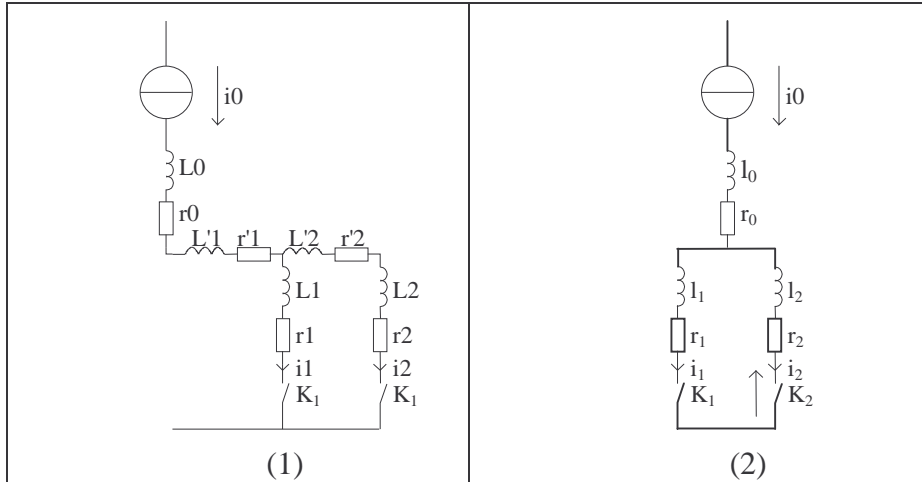


Fig c : Association de deux semiconducteurs (K_1 & K_2) en parallèle.

Dans le cas de l'association de deux semiconducteurs en parallèle, la figure III-1 se réduit à la figure c-1, après calculs, la matrice Z_0 s'écrit alors comme suit :

$$Z_0 = \begin{bmatrix} A & B \\ C & D \end{bmatrix} \text{ avec :}$$

$$A = \frac{1}{2} \cdot (r_1 + r_1') + \frac{1}{2} \cdot (L_1 + L_1') \cdot s + (M_1'1 + M_01 + M_01') \cdot s$$

$$B = \frac{1}{2} \cdot r_1' + \frac{1}{2} \cdot (L_1' + M_1'1 + M_12 + M_1'2 + M_2'1 + M_1'2') \cdot s$$

$$C = \frac{1}{2} \cdot r_1' + \frac{1}{2} \cdot (L_1' + M_1'1 + M_2'1 + M_21 + M_1'2 + M_1'2') \cdot s + M_01' \cdot s$$

$$D = \frac{1}{2} \cdot (r_1' + r_2' + r_2) + \frac{1}{2} \cdot (L_1' + L_2 + L_2') \cdot s + (M_1'2 + M_2'2 + M_1'2' + M_02 + M_02') \cdot s$$

En écrivant l'égalité de la somme des lignes de cette matrice et en séparant les termes réels et ceux en facteur avec s (la variable de Laplace) on obtient alors :

$$\frac{L_1 - L_2 - L_2'}{2} - M_2'2 = M_1'2 + M_1'2' + M_02 + M_02' - M_1'1 - M_01$$

Et

$$r_1 = r_2 + r_2'$$

Si pour simplifier l'écriture nous adoptons les notations de la figure c-2, nous avons alors :

$l_1=L1$, $l_2=L2+L'2+2.M2'2$, $m_{01}=M01+M1'1$, $m_{02}=M02+M02'+M1'2+M1'2'$, $r_1=r1$ et $r_2=r2+r'2$. Les équations précédentes se transforment alors comme suit :

$$\frac{l_1 - l_2}{2} = m_{02} - m_{01}$$

Et

$$r_1=r_2$$

On retrouve donc bien les conditions (III-9) et (III-10) obtenues directement par l'étude de l'association en parallèle de deux semiconducteurs (paragraphe III.3.).