Conception et réalisation de l'électronique frontale du détecteur de pied de gerbe et de l'unité de décision du système du premier niveau de déclenchement de l'expérience LHCb

Rémi Cornat

▶ **To cite this version:**

Rémi Cornat. Conception et réalisation de l'électronique frontale du détecteur de pied de gerbe et de l'unité de décision du système du premier niveau de déclenchement de l'expérience LHCb. Physique des Hautes Energies - Expérience [hep-ex]. Université Blaise Pascal - Clermont-Ferrand II, 2002. Français. NNT : . tel-00001997

HAL Id: tel-00001997
https://theses.hal.science/tel-00001997

Submitted on 21 Nov 2002

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

N° d'ordre : D.U. **1370**
EDSPIC : **255**

UNIVERSITÉ BLAISE PASCAL - CLERMONT II

ECOLE DOCTORALE
SCIENCES POUR L'INGÉNIEUR DE CLERMONT-FERRAND

THESE

Présentée par

Rémi CORNAT

Ingénieur de l'ENSPS
DEA de microélectronique et d'intrumentation, Université Louis PASTEUR

Pour obtenir le grade de

DOCTEUR D'UNIVERSITÉ
SPÉCIALITÉ : Matériaux et Composants pour l'Electronique

Conception et réalisation de l'électronique frontale du détecteur de pied de gerbe et de l'unité de décision du système du premier niveau de déclenchement de l'expérience LHCb

Soutenue publiquement le 11 octobre 2002 devant le Jury :

M. Jean-Paul GERMAIN	Président
M. Jorgen CHRISTIANSEN	Rapporteur
M. Jean-Marie MEYER	Rapporteur
M. Olivier CALLOT	Examinateur
M. Yannick HERVE	Examinateur
M. Bernard MICHEL	Examinateur
M. Pascal PERRET	Examinateur
M. Jacques LECOQ	Directeur de Thèse

A ma grand mère

Remerciements

Au travers de M. Bernard Michel je tiens à remercier l'ensemble des membres du Laboratoire de Physique Corpusculaire de Clermont-Ferrand et en particulier les membres de l'équipe LHCb, pour leur accueil et l'ambiance de travail motivante qu'ils savent préserver.

Je veux remercier les membres du Jury d'avoir accepté d'évaluer mon travail ; merci aux rapporteurs MM. CHRISTIANSEN et MEYER pour leurs critiques du manuscrit.

Je souhaite souligner les qualités humaines de M. Jacques Lecoq qui a su créer les conditions idéales à la réalisation de la thèse. Son encadrement m'a permis d'exprimer au mieux mes idées au sujet des problèmes posés. L'évantail des tâches abordées a été très enrichissant et m'a procuré beaucoup de plaisir. Je lui exprime toute ma gratitude.

Plusieurs personnes ont contribué directement aux réalisations présentées ici : Fréderic Rebibo, stagiaire de Maîtrise ; Hervé Pioche, Hervé Chanal, Laurent Bernard, stagiaires de deuxième année à l'ISIMA[1] ; Cédric Papon, stagiaire de troisième année à L'ESTE[2] ; Maxime Fiandino, stagiaire de troisième année à l'ISIMA. Sans leurs contributions les objectifs n'auraient pu être atteints en terme de technicité et de délai.

Les membres de l'équipe d'électronique, notamment Marie-Lise Mercier (routage des circuits imprimés), Christian Fayard (câblage des cartes), Roméo bonnefoy (tests et logiciels), Daniel Lambert (CAO) et Eric Sahuc (fournisseurs), disponibles et attentifs à la qualité de leur travail, m'ont apporté un soutien materiel précieux.

[1] Institut Supérieur d'informatique, de Modélisation et de leurs Applications
[2] Ecole Supérieure de Technologie Electronique

Résumé

Les expériences de physique des particules associées au collisionneur LHC devront traiter une collision toutes les 25 ns sur plusieurs centaines de milliers de voies de mesure. La quantité de données produites est considérable.

Sur l'expérience LHCb une unité de décision en effectue une première sélection. Nous proposons une solution pour sa réalisation. Il s'agit d'une électronique numérique pipelinée à 40 MHz et réalisée en composants programmables avec des interfaces LVDS. Une première version du banc de test est présentée afin de générer des stimuli à la cadence de 40 MHz pour des mots jusqu'à 512 bits.

Le preshower fait partie du système calorimétrique de LHCb. Il est composé de 6000 voies de mesure. Le signal physique est d'abord mis en forme grâce à des intégrations analogiques sur 25 ns sans temps mort (ASIC). Au bout de 20 m de câble, les valeurs d'intégrales (en tension) sont numérisées puis traitées sur une centaine de cartes frontales.

La réalisation de prototypes de la partie de traitement des données ont permis de mettre en concurrence une technologie programmable et une technologie ASIC (AMS 0,35 μm) et de prendre en compte les contraintes fortes en terme de nombre de voies de mesure par carte (128 demi-voies) et de résistance aux radiations.

Abstract

Particle physics experiments associated to the LHC will manage a collision every 25 ns. A dramatic amount of data will be produced for hundreds thousand of measurement channels.

The decision unit of the LHCb experiment aims to perform a first selection of interesting events. A prototype was developed. It is based on a fully synchronous pipelined fpga architecture and comes with a dedicated test bench which provides up to 512 LVDS test vectors at a frequency of 40 MHz.

The preshower, made up of 6000 cells, is a part of the calorimetric system. First the signal is integrated during 25 ns periods without any dead time on an ASIC. After a 20 m long cable, the output signal is digitised and processed on one hundred front-end boards.

The design of the data processing part prototypes has led us to take into account some stringent constraints (number of channels, radiation hardness). A programmable technology and an ASIC (AMS 0,35 μm) have been put into competition.

Table des matières

Liste des tableaux x

Liste des figures xii

Introduction 1

I L'expérience LHCb 3

1 Contexte et problème posé 5
1.1 Expériences de physique des particules . . . 5
1.2 L'expérience LHCb . . . 6
1.3 Le détecteur LHCb . . . 7

2 Structure de l'électronique 11
2.1 Importance de l'électronique . . . 11
2.2 Grandes lignes architecturales . . . 11
2.3 Moyens mobilisés . . . 16
2.4 Thèse . . . 17

II Electronique frontale du preshower 19

3 Le preshower 21
3.1 Le sous-détecteur « preshower » . . . 21
3.2 Les cellules de détection . . . 22
3.3 Le photomultiplicateur . . . 23
3.4 Etendue des mesures et précision . . . 24
3.5 La mise en forme analogique . . . 25
3.6 Prototype « mise en forme analogique » . . . 28
3.7 Echantillonnage et traitement numérique . . . 31
3.8 Architecture de l'électronique de traitement . . . 33

4 Traitement du signal 35
4.1 Réception et conversion du signal analogique . . . 35
4.2 Prototype « partie mixte » . . . 38
4.3 Mise en temps . . . 44
4.4 Dispersion des caractéristiques . . . 48
4.5 Correction de l'erreur systématique . . . 50
4.6 Codage . . . 53
4.7 Stockage des données . . . 55

4.8 Partie déclenchement . . . 55
4.9 Conclusion . . . 59

5 La carte frontale **61**
5.1 Contraintes externes . . . 61
5.2 Nombre de voies . . . 62
5.3 Solution pour la partie analogique et la numérisation . . . 63
5.4 Fonctions additionnelles . . . 64
5.5 Solutions technologiques pour le traitement numérique . . . 68
5.6 Interconnexions . . . 74
5.7 Mise en temps . . . 75
5.8 Contrôle . . . 78

6 Prototypes pour le preshower **79**
6.1 Prototype « traitement et acquisition » . . . 79
6.2 Prototype « circuit intégré » . . . 95
6.3 Prototype « recherche des voisins » . . . 103

III L'unité de décision 107

7 Le système L0DU **109**
7.1 Le déclenchement de premier niveau . . . 109
7.2 Tâches et caractéristiques . . . 111
7.3 Interfaces de l'unité . . . 115
7.4 Architecture . . . 122
7.5 Eléments d'algorithmes . . . 124
7.6 Eléments d'une solution . . . 127

8 Tests de l'unité de décision **131**
8.1 Banc de test . . . 131
8.2 Architecture du banc de test . . . 132
8.3 Carte Horloge . . . 133
8.4 Carte Mémoire . . . 136
8.5 Logiciel de commande . . . 143
8.6 Coût . . . 144
8.7 Versions futures . . . 145

9 Etude et premier prototype **147**
9.1 Objectif . . . 147
9.2 Architecture . . . 148
9.3 Algorithmes . . . 153
9.4 Tests . . . 158
9.5 Conclusions . . . 161

Conclusion 163

Bibliographie **168**

IV Annexes **169**

A Architecture du premier niveau de déclenchement **171**

B Schéma de la partie « réception de l'horloge et mize à zéro » du circuit spécifique analogique **173**

Liste des tableaux

4.1 Ecarts types des tensions parasites (bruit) . . . 41
4.2 Quantité de données en nombre de bits . . . 53
4.3 Datagramme pour la recherche des voisins . . . 59

5.1 Temps de propagation combinatoires pour un ACEX1K . . . 68
5.2 Nombre de paramètres pour une carte et nombre de bits pour 4 voies . . . 69
5.3 Technologies et coût . . . 73
5.4 Entrées et sorties de la carte frontale . . . 75

6.1 Paramètres du traitement des données . . . 84
6.2 Paramètres pour l'acquisition . . . 85
6.3 Résumé des performances . . . 87
6.4 Coût d'une carte prototype . . . 88
6.5 Paramètres du traitement pour un circuit . . . 97
6.6 Entrées et sorties du circuit . . . 98

7.1 Exemple d'utilisation de la latence disponible pour un algorithme de test . . . 112
7.2 Candidat pour les calorimètres . . . 117
7.3 Candidat pour le détecteur de muons . . . 118
7.4 Informations en provenance du detecteur de vertex . . . 118
7.5 Contenu de la décision envoyée au superviseur . . . 119
7.6 Exemple de contenu de la trame (L0Block) . . . 120
7.7 Bilan des entrées (E) et sorties (S) de l'unité . . . 121

8.1 Sorties de la carte horloge . . . 135
8.2 Temps pour l'émission de stimuli . . . 142
8.3 Temps pour la réception . . . 143
8.4 Coût d'un prototype carte horloge . . . 144
8.5 Coût d'un prototype carte mémoire . . . 145

9.1 Entrées pour l'algorithme de physique . . . 154
9.2 Conditions de réduction d'échelle et des taux . . . 155
9.3 Latence de l'unité de décision . . . 156
9.4 Candidat muon pour le deuxième algorithme de physique . . . 157
9.5 Cartes et circuits conçus au cours du doctorat . . . 165

Table des figures

1.1 Le collisionneur LHC . . . 6
1.2 Détecteur LHCb et ses sous détecteurs . . . 7
1.3 Disposition du calorimètre électromagnétique . . . 9
1.4 Vue générale de la caverne du détecteur . . . 10

2.1 Vue synthétique du DAQ pour l'expérience LHCb . . . 14
2.2 Premier niveau de déclenchement . . . 15
2.3 Place de l'unité de décision dans le système de déclenchement de niveau 0 . . . 16

3.1 Chaîne de mesure et de traitement des données . . . 21
3.2 Un bloc de scintillateur . . . 22
3.3 Les trois zones de résolution, sur un quart de détecteur . . . 23
3.4 Exemples d'impulsions issues du photomultiplicateur . . . 24
3.5 Signaux typiques[8] . . . 25
3.6 Architecture du circuit analogique[17] . . . 26
3.7 Schéma de principe de l'intégrateur [3] . . . 27
3.8 Linéarité et écarts à la linéarité avec le gabarit à respecter . . . 29
3.9 Histogramme des échantillons numériques pour une entrée nulle . . . 30
3.10 Dispersion des décalages et des gains . . . 30
3.11 Optimisation de la correction du gain . . . 31
3.12 Entrée et sortie du circuit analogique [8] . . . 32

4.1 Adaptations aux deux extrémités du câble . . . 35
4.2 Dynamique du signal analogique par rapport à la dynamique d'entrée admissible par le CAN 36
4.3 Opérations de mise en conformité . . . 37
4.4 Montage avec l'AD8138 . . . 38
4.5 Ecart à la droite de linéarité en fonction du code . . . 39
4.6 Banc de test de l'AD9203 . . . 40
4.7 Schéma final de la partie mixte . . . 41
4.8 Photographie du prototype 8 voies pour la partie mixte . . . 42
4.9 Bruit statique de l'AD9203 (proto1) . . . 43
4.10 Schéma de réception de l'horloge et de la mise à zéro . . . 44
4.11 Dessin des masques de la partie « réception de l'horloge et de la mise à zéro » du circuit analogique . . . 46
4.12 Chronogrammes pour la mise à zéro de l'horloge . . . 47
4.13 Chronogrammes pour la mise à zéro synchrone . . . 48
4.14 Exemple idéal pour la correction α . . . 50
4.15 Histogramme des valeurs de α pour des données expérimentales . . . 51
4.16 Correction α simple . . . 52
4.17 Schéma pour le codage 8 bits . . . 54
4.18 Linéarité et précision pour le codage 8 bits . . . 54
4.19 Regroupement par 64 des voies du preshower . . . 56

4.20 Voisins dans un bloc de 32 voies . . . 57
4.21 Multiplexage des cellules . . . 58
4.22 Systèmes interconnectés pour la recherche des voisins . . . 59

5.1 Placement des composants de la partie analogique . . . 63
5.2 Schéma de principe du DAQ . . . 64
5.3 Arbre pour le comptage des données SPD en cible ACEX1K . . . 67
5.4 Schéma de principe pour le traitement numérique . . . 69
5.5 Schéma de principe pour la mise en temps de la partie déclenchement . . . 76

6.1 Schéma synoptique du prototype « traitement et acquisition » . . . 81
6.2 Photographie de la carte « traitement et acquisition » . . . 82
6.3 Schéma synoptique d'un FPGA pour le traitement . . . 83
6.4 Schéma synoptique du FPGA interface VME . . . 86
6.5 Logiciel LabView . . . 89
6.6 Interconnexion des éléments pour le test en faisceau . . . 90
6.7 Génération du signal d'acceptation . . . 91
6.8 Architecture du circuit . . . 96
6.9 Circuit intégré . . . 98
6.10 Cœur du circuit numérique . . . 98
6.11 Photographie de la carte de test . . . 99
6.12 Architecture de la carte . . . 103

7.1 Architecture du premier niveau de déclenchement . . . 110
7.2 Architecture de l'unité de décision . . . 122
7.3 Cellule de base de l'arbre de recherche . . . 125
7.4 Arbre de recherche des 3 maxima . . . 125

8.1 Architecture générale du banc de test . . . 132
8.2 Principe de la carte horloge . . . 133
8.3 Photographie d'une carte horloge . . . 134
8.4 Interface côté système sous test . . . 137
8.5 Architecture de la carte mémoire . . . 140
8.6 Photographie d'une carte mémoire . . . 141
8.7 Envoi de stimuli . . . 142
8.8 Réception de stimuli . . . 143

9.1 Photographie du prototype de l'unité de décision . . . 150
9.2 Schéma synoptique du prototype de l'unité de décision . . . 151
9.3 Schéma pour la construction d'une trame . . . 152
9.4 Arbre d'opérateurs pour le calcule de la masse invariante . . . 158
9.5 Photographie du banc de test de l'unité de décision . . . 159

A.1 Architecture détaillée du système de déclenchement de premier niveau, partie calorimètres 172

B.1 Schéma de la partie « réception de l'horloge et mize à zéro » du circuit spécifique analogique174

Introduction

Les expériences de physique des particules associées au collisionneur LHC du CERN à Genève devront traiter une collision toutes les 25 ns sur plusieurs centaines de milliers de voies de mesure.

Le détecteur LHCb est composé de plusieurs sous-détecteurs. Le preshower fait partie du système calorimétrique et participe à l'identification des particules. Il est composé de 6000 cellules de scintillateur lues par des photomultiplicateurs multi-anode. L'électronique de traitement doit produire des données représentatives de l'énergie de la gerbe électromagnétique initiée par le passage de la particule dans le détecteur. L'impulsion de courant, délivrée par le photomultiplicateur, est d'abord mise en forme grâce à des ASIC analogiques. Ceux-ci effectuent des intégrations du signal sur 25 ns, sans temps mort. Dans ce but, deux demi-voies pour chaque canal de mesure effectuent alternativement les opérations d'intégration et de maintien du signal de sortie. Après la transmission du signal analogique sur 20 m de câble Ethernet CAT 5+, les valeurs des intégrales (en tension) sont numérisées puis traitées. Ce traitement a pour objectif de compenser les écarts de gain et de décalage entre les voies et de corriger le recouvrement des impulsions de courant en cas de collisions successives. Une centaine de cartes d'électronique frontale intègrent une partie mixte pour la numérisation, l'électronique de traitement de 128 demi-voies, la mémorisation des données en attendant les validations de premier et deuxième niveau et enfin divers éléments de contrôle de la carte.

Nous proposons une étude de la partie de traitement des données de la carte frontale du preshower. Les contraintes fortes en terme de nombre de voies de mesure par carte et de résistance aux radiations ont conduit à la réalisation de prototypes. Ceux-ci ont permis de mettre en concurrence une technologie programmable et une technologie ASIC (AMS 0,35 μm).

La quantité de données produites pour LHCb, de l'ordre de plusieurs milliards de CDROM par jour d'expérimentation, est considérable. Une sélection des événements intéressants s'avère indispensable et tient compte des caractéristiques de la physique étudiée. Sur l'expérience LHCb, au premier niveau de sélection, une unité de décision effectue le choix final (validation) avant l'application des critères des niveaux supérieurs.

Nous proposons une solution pour la réalisation de l'unité. Un premier prototype vient illustrer l'étude. Il s'agit d'une électronique numérique, pipe-linée à 40 MHz, réalisée en composants programmables. Les interfaces sont au format LVDS. Les tests de validation

de l'unité sont critiques, aussi une première version du banc de test est présentée afin de générer des vecteurs de test à la cadence de 40 MHz pour des mots comportant jusqu'à 512 bits.

D'autres études complémentaires viennent détailler des points particuliers du développement. Notamment la production des données à destination du système de déclenchement et le processus de réduction de leur volume avant leur transfert a donné lieu à la conception d'un prototype dédié.

Dans une première partie, le contexte de l'étude sera abordé du point de vue de l'expérience, de la place de l'électronique en son sein et des dispositifs s'adressant aux systèmes étudiés.

La partie suivante est consacrée à l'électronique de traitement des données du preshower. Le principe du traitement des données et une étude des cartes numériques précédent le chapitre réservé aux principaux prototypes du traitement numérique.

Enfin, la dernière partie est réservée à l'unité de décision depuis l'établissement du cahier des charges jusqu'à la réalisation de son premier prototype.

Première partie

L'expérience LHCb

Chapitre 1

Contexte et problème posé

1.1 Expériences de physique des particules

Le travail exposé ici entre dans le cadre d'une expérience de physique des particules. Ce domaine de la physique s'intéresse aux constituants de la matière, à leur propriétés et aux lois qui régissent leur comportement.

Des modèles ou théories expliquent le fonctionnement du monde des particules et sont proposés par les physiciens. Ils se basent sur des observations effectuées et l'interprétation qui en a été faite. De nouvelles observations permettent souvent de confirmer un point de vue mais parfois rendent compte de phénomènes peu ou mal expliqués. Depuis le début des années soixante, le Modèle Standard de la physique des particules décrit l'infiniment petit et rend compte de trois des quatres interactions fondamentales. Les résultats expérimentaux obtenus jusqu'à présent ont confirmé les prédictions du Modèle Standard à une précision de l'ordre de 0,1 % .

Ces observations (expériences) menées à bien par les expérimentateurs ne sont pas simples. Elles font appel à deux grands types de matériels : les accélérateurs de particules d'une part et les détecteurs d'autre part.

Les accélérateurs donnent de l'énergie cinétique aux particules organisées en faisceau. La valeur de cette énergie conditionne la nature des objets observés. Dans le cas de cette thèse, c'est un collisionneur circulaire, le Grand Collisionneur de Hadrons (ou *Large Hadron Collider* soit LHC), qui sera utilisé. En son sein deux faisceaux circulaires et de sens opposés se rencontrent ponctuellement. Aux points de rencontre, des collisions entre particules ont lieu et engendrent à leur tour de nouvelles particules élémentaires dans des configurations parfois exotiques.

D'autre part, dans le but de tester les prédictions théoriques, des expériences, généralement associées à des détecteurs spécifiques, sont chargées de reconstruire et d'analyser ce qui est advenu.

Ces expériences représentent le plus souvent un défi tant du point de vue de la phy-

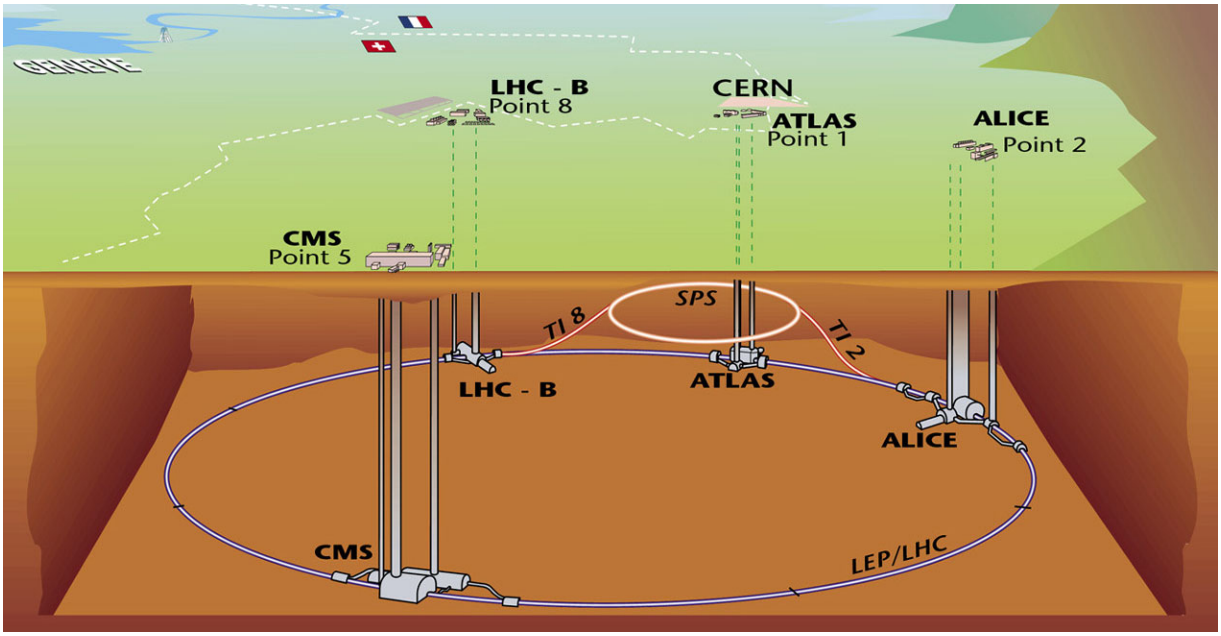


FIG. 1.1 – Le collisionneur LHC

sique que du point de vue technique pour la réalisation de l'accélérateur et des détecteurs. C'est pourquoi une organisation sous la forme de collaborations internationales est indispensable.

Le CERN, Organisation Européenne pour la Recherche Nucléaire, fournit aux collaborations les moyens pour la réalisation des expériences. Le projet LHC est pris en charge par le CERN qui met aussi à disposition un support technique et logistique.

La figure 1.1 montre un aperçu du LHC. Le collisionneur est souterrain (tunnel de 27 km de long) et des cavernes sont disposées pour accueillir les détecteurs. Il y a 4 expériences prévues notamment l'expérience LHCb dont une partie de l'électronique associée a été étudiée au cours du doctorat.

1.2 L'expérience LHCb

La violation de symétrie de conjugaison de charge-parité (CP) a été observée pour la première fois en 1964[15]. Son origine est encore l'un des mystères de la physique des particules, grains de matière élémentaires. Le Modèle Standard, la théorie utilisée jusqu'alors, peut prévoir la violation CP dans le cas d'interactions faibles. Mais il n'est pas exclu que des principes physiques non compris dans le Modèle Standard participent à ce phénomène.

La violation de CP joue aussi un rôle important en cosmologie. C'est l'un des trois ingrédients requis pour expliquer l'excès de matière par rapport à l'antimatière dans

notre univers. Le Modèle Standard n'est pas suffisant pour expliquer cette prédominance de matière. Il y a donc une nécessité de produire de nouvelles sources de violation de symétrie CP au delà de cette théorie[15].

Le système des mésons beaux (ensemble de particules dont l'un des constituants est un quark beau) est très attractif pour étudier la violation CP. L'expérience LHCb vise à produire des mésons beaux, à partir de collisions entre particules mères (proton contre proton), et à étudier leur désintégration.

1.3 Le détecteur LHCb

Sa fonction est de détecter les particules filles produites lors des collisions et de les caractériser par exemple en mesurant leur impulsion, leur énergie ou en déterminant leur direction.

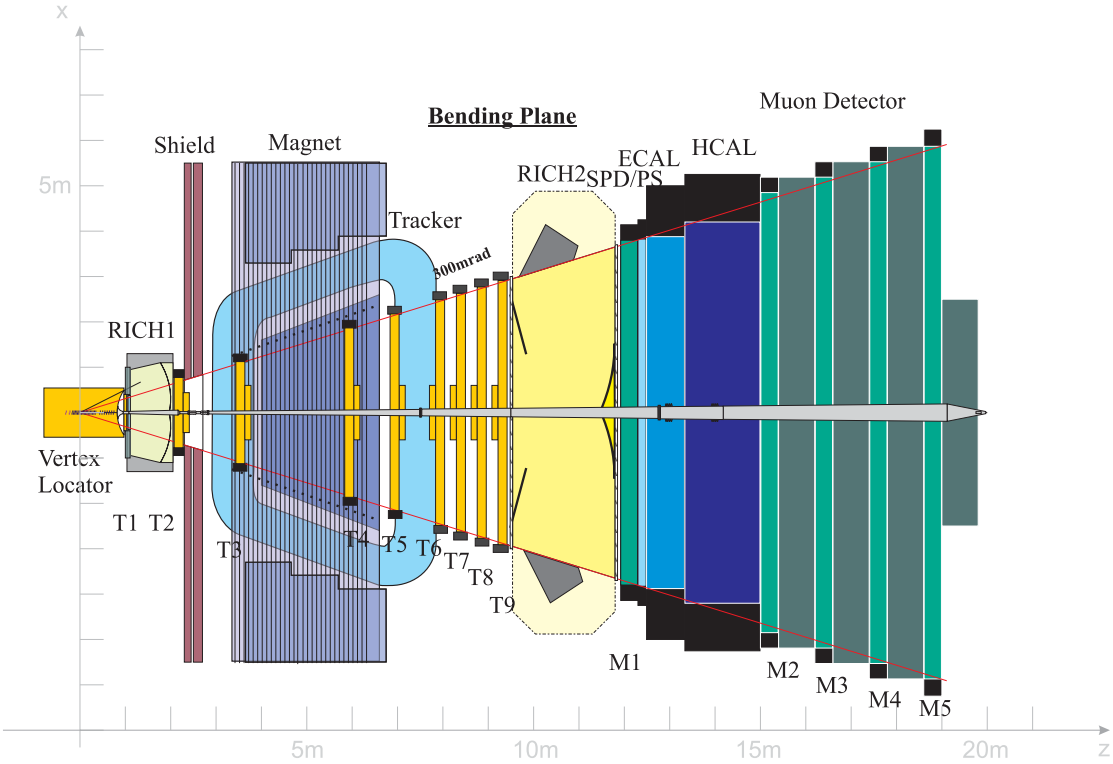


FIG. 1.2 – Détecteur LHCb et ses sous détecteurs

Trois aspects

Dans le collisionneur LHC circulent des faisceaux de protons de sens opposés. Le détecteur sera construit autour de l'axe du faisceau à partir de 2004, la mise en fonction est prévue pour l'année 2007.

L'aspect matériel d'un détecteur de l'envergure de ceux utilisés pour les expériences du LHC comporte trois grandes catégories [7, 6] :

- les capteurs (détecteurs) physiques proprement dits dans lesquels interagissent les particules ;
- le système d'acquisition des données ou DAQ, composé à la fois de dispositifs électroniques et d'une partie informatique ;
- le système de contrôle et de ressources (alimentations, refroidissement, régulation du faisceau de particules, etc.).

Architecture globale

Le détecteur est représenté figure 1.2. Le faisceau est confondu avec l'axe de symétrie du détecteur. La collision a lieu au point de côte $z = 0$. Les collisions intéressantes produisent des particules filles proches de l'axe du faisceau. C'est pourquoi l'étendue des sous-détecteurs est limitée à une zone peu éloignée du faisceau.

Grossièrement, les sous-détecteurs sont disposés en couches planes successives en fonction de leur sensibilité et de leur influence sur les particules. Un bouclier (*shield*) permet de se protéger du champ magnétique. Un aimant (*magnet*) courbe la trajectoire des particules chargées facilitant leur identification et la mesure de leur charge. La mesure du rayon de courbure de la trajectoire indique la quantité de mouvement.

Plusieurs éléments

Voici une présentation rapide des différents éléments qui composent LHCb :

- le détecteur de vertex (*vertex locator*) détermine l'origine des désintégrations. Il peut donc mettre en évidence un déplacement de l'origine ce qui constitue une signature expériementale forte de la « beauté ». Il donne aussi des informations sur le nombre de collisions et de désintégrations.
- le système de trajectographie (*tracker*) permet de reconstruire les traces des particules chargées et de mesurer précisement leur impulsion. Ces mesures ne sont utilisées que dans les niveaux élevés du dispositif de déclenchement.
- les détecteurs RICH permettent l'identification des particules.
- les calorimètres électromagnétique (ECAL) et hadronique (HCAL) ont pour but d'identifier les électrons, les photons et les hadrons ainsi que leurs énergies et positions. Ils sont essentiellement composés de couches successives de plomb ou de fer et de photoscintillateurs (matière émettant de la lumière au passage d'une particule).
- le détecteur de muons fournit une identification des muons (position et impulsion). Il est constitué de cinq chambres à damier ou *pad chamber* (feuilles de cuivre disposées en alternance avec des structures en nid d'abeille remplies de gaz : CO_2, Ar, CF_4).

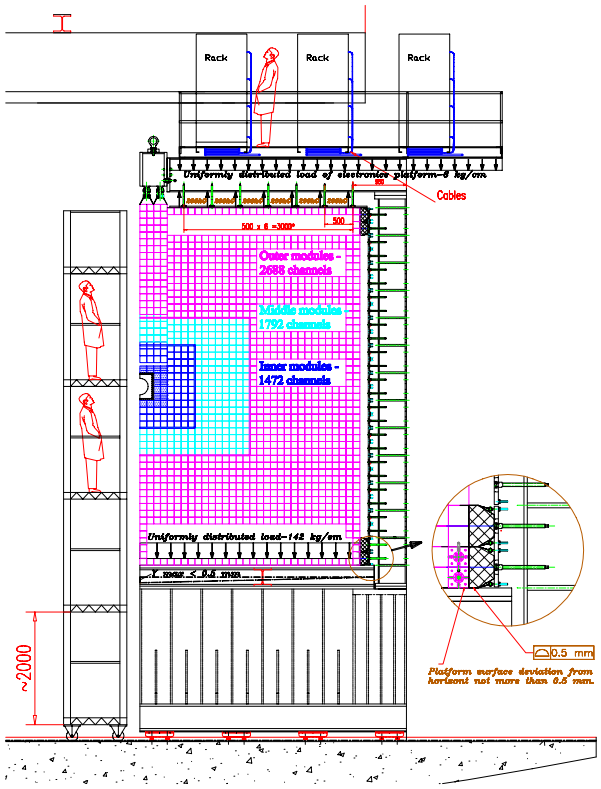


FIG. 1.3 – Disposition du calorimètre électromagnétique

Les calorimètres

Les calorimètres sont des sous-détecteurs dont l'objectif est de mesurer l'énergie déposée par les particules qui les traversent ou s'arrêtent dedans. Ils couvrent une couronne autour de l'axe du faisceau couvrant un champ angulaire de 30 à 300 mrad. Ils sont divisés en deux sortes :

- le calorimètre électromagnétique est segmenté en 5952 cellules. Il mesure l'énergie des électrons, des photons et des pions neutres.
- le calorimètre hadronique comporte quatre fois moins de cellules et mesure l'énergie des hadrons, particules composées de quarks.

Deux petits détecteurs spéciaux sont disposés immédiatement avant le calorimètre électromagnétique :

- le détecteur de pied de gerbe (PS pour PreShower) est composé d'une plaque de plomb suivi d'un plan de détection. Il possède la même segmentation en cellules que le calorimètre électromagnétique et sa tâche est d'identifier les électrons et les photons pour lesquels l'énergie déposée est suffisament importante.
- le SPD est identique au preshower (sans plomb) et participe aussi à l'identification des particules. Il est situé devant le preshower et possède la même granularité. Seules les particules chargées produisent un signal : il intervient dans la séparation

électron/photon.

La figure 1.3 montre la disposition des cellules du calorimètre électromagnétique dans le plan orthogonal au faisceau : le trou central pour le passage du faisceau de particules ainsi que les trois zones de densités de cellules différentes.

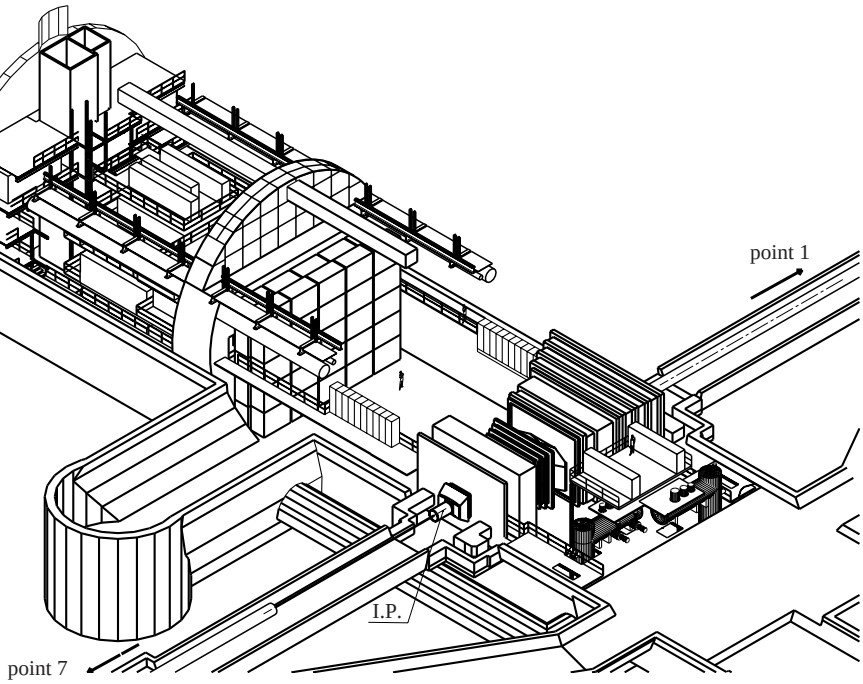


FIG. 1.4 – Vue générale de la caverne du détecteur

Le détecteur est enterré dans une caverne à environ 100 m de profondeur (figure 1.4). Il s'inscrit dans un parallélépipède de $10 \times 10 \times 20$ m^3. Le point d'interaction est indiqué (I.P.) et le détecteur de développe en aval. Les systèmes électroniques sont, dans la mesure du possible, protégés des radiations par un mur en béton dans une partie distincte de la caverne.

Chapitre 2

Structure de l'électronique

Cette section introduit la problématique d'une telle expérience et les choix de la collaboration ayant en charge la réalisation de l'expérience et place le sujet du doctorat dans ce contexte. Les principaux ordres de grandeur et leur justification seront mis en évidence.

2.1 Importance de l'électronique

L'électronique d'un détecteur de particules joue un rôle primordial : traitement des informations, contrôles externes de bon fonctionnement (eg. régulation de pompes à vide ou de circuit de refroidissement) ainsi que de nombreuses autres tâches.

Dans la suite, nous nous intéresserons à l'électronique de traitement des signaux issus des détecteurs.

Les technologies employées pour la réalisation des dispositifs doivent satisfaire un compromis coût/performance. Cependant les résultats de physique que l'on veut obtenir nécessitent des études de plus en plus fines et des observations d'autant plus rapides et fréquentes. L'électronique proche des capteurs est donc très sollicitée en fréquence, en temps de calcul et en résistance aux radiations.

2.2 Grandes lignes architecturales

Du point de vue physique, des collisions sont produites au cœur du détecteur. Il s'agit de mesurer leurs paramètres et de sélectionner les collisions intéressantes pour des analyses ultérieures.

Le but de l'expérience est d'analyser suffisamment de collisions pour obtenir des statistiques débouchant sur des conclusions ayant un sens physique.

On en déduit des objectifs essentiels :
– détecter : c'est le rôle des détecteurs cités précédemment ;

– produire des données : un imposant dispositif électronique en a la charge ;
– stocker les données (support exploitable par l'informatique) ;
– analyser ces données.

Le processus permettant d'effectuer le lien entre les deux points centraux constitue l'acquisition des données.

2.2.1 Production des Données

Les collisions entre particules se produisent de manière aléatoire. Néanmoins, le faisceau de particules est créé de façon à ce que des paquets de particules se croisent toutes les 25 ns. Des collisions peuvent se produire à ces instants là. Un paramètre dont l'ordre de grandeur conditionne fortement la conception du détecteur est la fréquence fixe, celle des collisions, qui correspond à la lecture des capteurs. Les données générées constituent, de notre point de vue, un *événement* pour l'étude physique qui sera effectuée et pour son traitement par le dispositif électronique.

Pour le LHC, un croisement de paquet de particules est prévu toutes les 25 ns[7]. Il y en a donc 40 millions par seconde ! En moyenne, un croisement sur trois conduit à une collision réelle.

La fréquence de lecture des données est contrainte par :
– la nécessité de produire des événements à une cadence suffisante afin de limiter la durée de fonctionnement du détecteur (de l'ordre de 10 ans) ;
– la surproduction d'événements « beaux ». En effet seul un certain type d'événements est considéré comme intéressant ;
– la probabilité d'occurence d'une collision générant les particules « belles » qui nous intéressent.

2.2.2 Analyse des données

Une première investigation permet de dégager deux possibilités pour l'analyse des données : soit une analyse en direct, au fur et à mesure de la production des données soit une analyse différée après stockage des données.

A ce moment interviennent les premières contraintes : d'une part la complexité des algorithmes de traitement en raison de la spécificité des études physiques menées et d'autre part la cadence de production des événements fixée à 40 MHz. A cette fréquence il n'est pas envisageable d'effectuer la totalité du traitement. De plus le transfert de l'ensemble des informations prendrait trop de temps.

En se basant sur des études effectuées pour d'autres expériences similaires et sur le coût probablement excessif de cette solution, la possibilité de l'analyse en direct doit être éliminée. De plus pour effectuer des analyses, le détecteur doit être parfaitement calibré. L'enregistrement des données permet de s'en assurer plus aisément qu'en direct. Les données seront donc stockées en attendant d'être analysées. Le support de stockage

imposé par le centre informatique du CERN est de type bande magnétique (pour des raisons de fiabilité, de faible coût, de dispositif déja existant).

Il faut alors prendre en compte la quantité de données produite par l'ensemble du détecteur. En effet, pour chaque collision, une quantité considérable d'informations est produite. Le débit d'information, en sortie de l'ensemble des capteurs du détecteur, atteint 40 Téra-octets par seconde[7] !

Ainsi pour chaque jour d'expérimentation 3 400 000 Téraoctets d'information sont produits, ce qui correspond à 4,6 milliards CéDé-ROM pour un jour complet d'expérimentation !

Vouloir tout stocker n'est pas réaliste (tout n'est pas utile pour la physique), aussi est-il indispensable de réduire la quantité de données destinées à être stockée.

Pour cela, trois options sont envisageables :
- réduire la précision des données : cela conduirait à une dégradation des performances inacceptable du point de vue de la Physique ;
- réduire le débit : la durée de l'expérience en serait augmentée d'autant d'où des répercussions sur le coût global (occupation des locaux, entretien, frais de fonctionnement, etc) ;
- sélection « au vol » des événements intéressants. Cette solution est le résultat d'un compromis entre les deux précédentes.

C'est cette dernière possibilité qui a été retenue par la collaboration. Elle est sommairement décrite dans la section suivante.

2.2.3 Acquisition des données

Pour permettre la sélection des événements, le dispositif est décomposé en deux voies, une voie pour l'acheminement et le stockage des données (DAQ) et une autre pour la sélection (déclenchement).

Voie « données » (DAQ)

Le système d'acquisition des données est une chaîne de transmission de données prenant en charge les signaux analogiques issus des capteurs jusqu'à leur stockage.

Comme le montre la figure 2.1, les données brutes sont prises en charge par l'électronique « frontale » (front-end) en sortie des détecteurs pour une mise en forme analogique et numérique [7, 6, 13]. Les données sont ensuite stockées dans des mémoires analogiques ou numériques pour un temps durant lequel le système de déclenchement des deux premiers niveaux sera chargé de statuer [13] sur leur validité. D'autres systèmes affinent ensuite la sélection (*event filter*) et prennent en charge le transport des données (*readout*). Une fois sélectionnées les données sont définitivement enregistrées (*storage*).

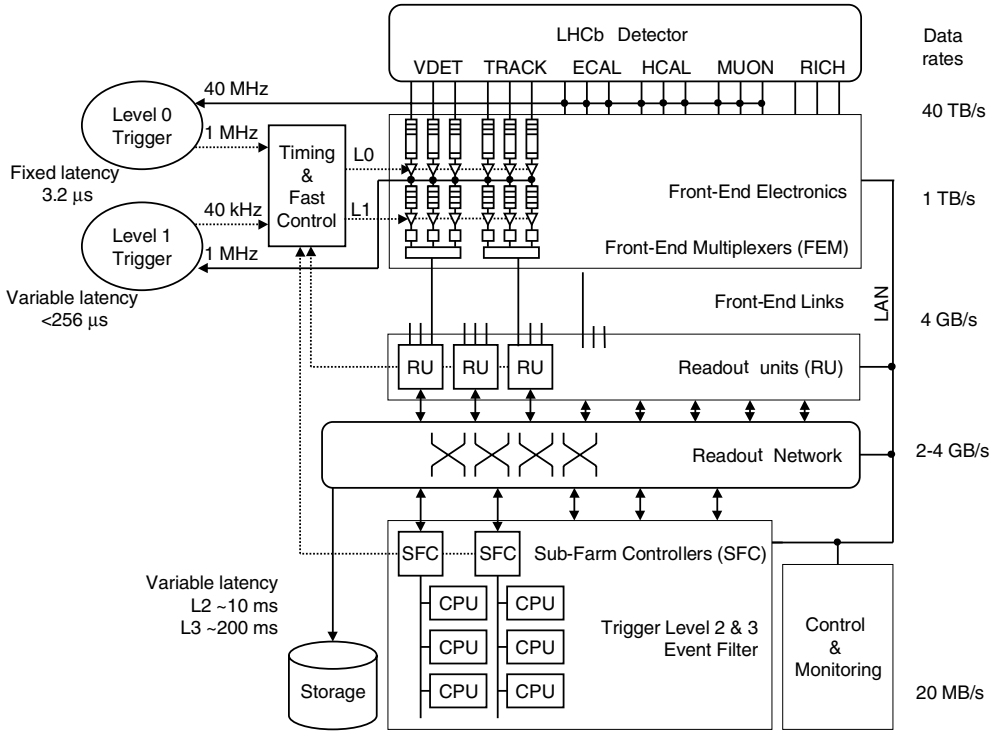


FIG. 2.1 – Vue synthétique du DAQ pour l'expérience LHCb

Système de déclenchement (trigger)

En raison du compromis production d'événement/réduction des données décrit auparavant, il est indispensable d'utiliser un déclenchement (ou *trigger*). C'est à dire un *processus de validation de l'événement selon des critères relativement simplifiés avant analyse fine*. Ce processus est progressif afin de permettre l'optimisation des transferts de données, la lecture de l'ensemble des détecteurs et de limiter la charge de l'électronique en réduisant les débits d'information et donc le nombre d'événements validés (dans l'optique d'effectuer des traitements de complexité croissante).

Le système de déclenchement fonctionne en parallèle du DAQ [13, 7, 6].

Une structure en niveaux a été retenue. Chaque niveau du dispositif de déclenchement va avoir une ou plusieurs des influences suivantes en divers points du DAQ :

- demande de transmission d'informations complètes i.e. avec la résolution maximale ;
- validation ou invalidation d'informations relatives à un événement ;
- activation, pour l'événement concerné, du niveau suivant de trigger.

La figure 2.2 montre la boucle de déclenchement de premier niveau : un condensé des informations produites par une collision permet au système de déclenchement, d'accepter ou non le transfert des données vers le niveau suivant. Au premier niveau, la décision est délivrée en un temps fixe. La taille des mémoires de stockage de la branche DAQ est elle aussi fixe. Il en va de même pour la production des données stockées et pour le

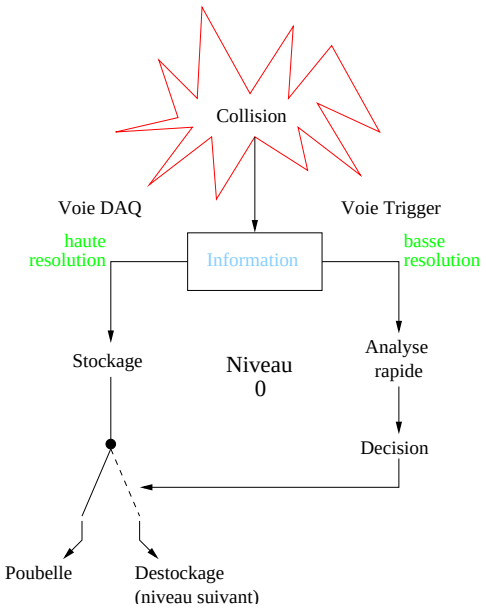


FIG. 2.2 – Premier niveau de déclenchement

processus d'extraction des données simplifiées pour le système de déclenchement qui ont tous deux une latence fixe. La lecture des données ne s'effectue qu'après les validations des deux premiers niveaux. Aussi doivent-elles être stockées, en attendant, sur les cartes électroniques où elles ont été produites.

Il est important de remarquer que la décision de valider ou de rejeter l'événement s'établit sur des critères de plus en plus fins (eg. augmentation de la précision des données, prise en compte de sous-détecteurs additionnels, etc.) en fonction des niveaux.

Par ailleurs, les données utilisées par les premiers étages du système de déclenchement sont numérisées avec une précision inférieure [13, 14] (8 bits au lieu de 12 pour LHCb) afin de diminuer les temps de calcul.

D'un niveau à l'autre, la complexité des traitements augmente tandis que le nombre d'événements traités diminue. L'objectif de chaque niveau est d'éliminer les collisions qui ne correspondent probablement pas aux études physiques motivant l'expérience. Il faut donc éviter de supprimer un événement conforme à priori quitte à en accepter des mauvais. Le système de déclenchement est conçu selon un compromis entre sélectivité des données et quantité d'informations à traiter pour chaque collision [10, 7, 1, 6].

2.2.4 L'unité de décision du premier niveau

Cette unité doit prendre une décision globale et finale pour le premier niveau (numéroté 0). La décision finale est prise à partir de décisions partielles provenant de calculateur de déclenchement associés à chaque sous-détecteur (PUVETO, SPD, preshower, ECAL, HCAL, MUON) et de l'exploitation d'informations fournies par ces mêmes calculateurs.

Le PuVeto permet de détecter les cas d'interactions multiples, il se base sur des éléments du détecteur de Vertex. Cette structure permet de confronter les informations provenant de détecteurs différents, en induisant ainsi une grande richesse décisionnelle.

Les critères utilisés au premier niveau pour statuer sur la validité d'un événement ne font pas appel à l'ensemble des sous-détecteurs de LHCb. Ce fait apporte l'avantage de limiter la quantité de données à traiter pour prendre la décision.

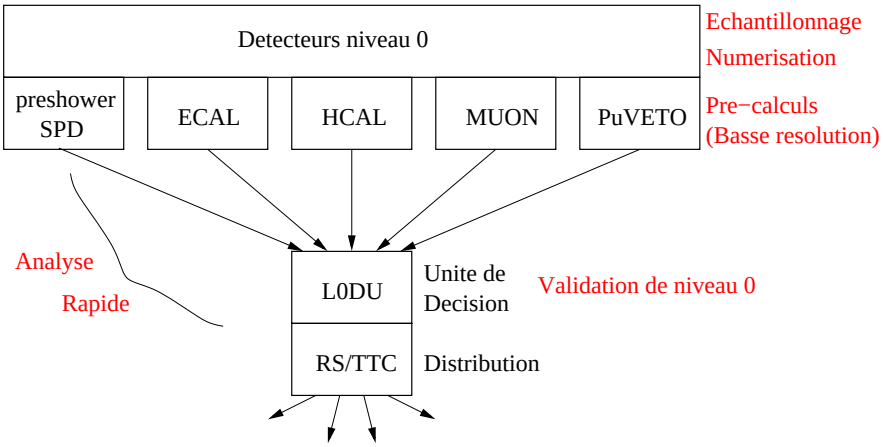


Fig. 2.3 – Place de l'unité de décision dans le système de déclenchement de niveau 0

La figure 2.3 montre l'architecture simplifiée du système de déclenchement du niveau 0. Une figure (A.1) plus détaillée est donnée en annexe. En amont de l'unité de décision les calculateurs de déclenchement (sous-trigger) envoient des données ; en aval un système de distribution (TTC) transmet la décision à l'ensemble du détecteur.

Le niveau 0 ne possède pas d'équivalent sur les expériences antérieures en raison de leur plus faible cadence d'événements. La particularité de l'expérience LHCb étant la possibilité d'accepter des déclenchements successifs, l'électronique du niveau 0 doit être capable de réagir à tous les événements sans induire de temps mort. Le niveau 0 utilise donc des algorithmes simples dont le temps d'exécution reste fixe quelle que soit la donnée d'entrée. Une fois découpé en tranches élémentaires dont la durée n'excède pas 25 ns, l'ensemble des algorithmes permet de concevoir le niveau 0 à l'image d'une chaîne de production taylorienne (architecture dite « pipe-line »). Composée d'étapes élémentaires de durées égales à la période d'arrivée des données entrantes, la chaîne permet de soutenir le débit d'entrée tandis que la durée du traitement pour chaque donnée est supérieur au temps séparant deux jeux de données.

2.3 Moyens mobilisés

Une telle expérience mobilise plusieurs centaines de chercheurs et d'ingénieurs à travers le monde entier. Pour les ingénieurs, de véritables défis techniques sont à relever en raison

des contraintes et des charges importantes réservées aux systèmes électroniques.

2.4 Thèse

La thèse porte sur deux points. D'une part la recherche et le développement d'une solution pour l'électronique de traitement de données issues des capteurs du preshower de LHCb et d'autre part la recherche et le développement d'une solution pour l'unité de décision du système de déclenchement de premier niveau de LHCb.

Chacun de ces points sera traité indépendamment dans une partie dédiée.

Deuxième partie

Electronique frontale du preshower

Chapitre 3

Le preshower

3.1 Le sous-détecteur « preshower »

Le preshower fait partie de l'ensemble calorimètrique. Utilisé conjointement avec le SPD (Scintillator Pad Detector), il est destiné à améliorer l'efficacité de l'identification des particules (électron, photon, ou hadron) traversant le dispositif.

Electrons et photons présentent la spécificité de développer dans la matière une gerbe électromagnétique caractéristique du matériau considéré. Des processus de base se répètent en cascade jusqu'à ce que la particule ait perdu la totalité de son énergie (pour une épaisseur de matériau de 26 longueurs de radiations X_0). Le preshower est le lieu de départ de la gerbe (épaisseur de plomb de 2 fois X_0). Il s'agit de mesurer l'énergie déposée par la gerbe initiée dans le plomb.

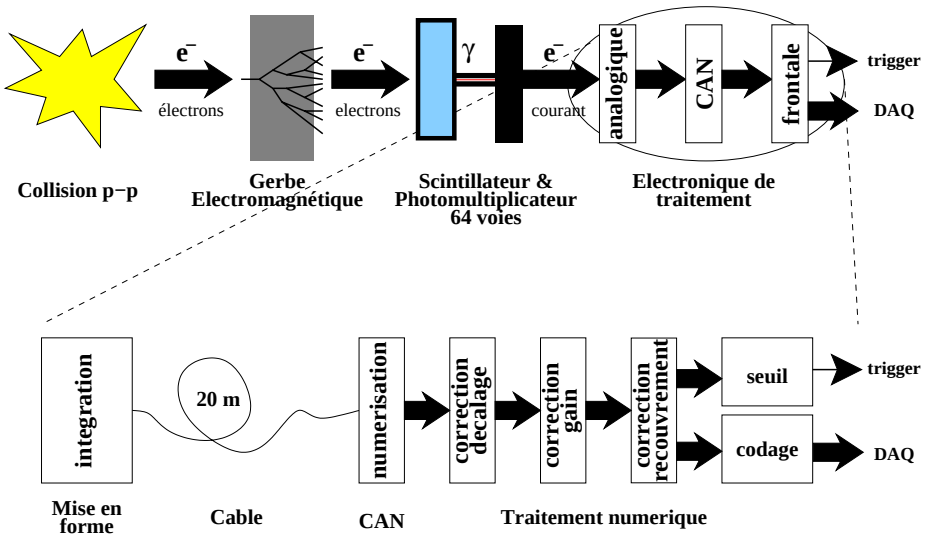


FIG. 3.1 – Chaîne de mesure et de traitement des données

La figure 3.1 montre une voie de mesure du preshower.

Le principe est de recueillir les électrons et les photons composant la gerbe électromagnétique puis de les convertir en lumière aux caractéristiques voulues au moyen d'un scintillateur. Le signal lumineux (un certain nombre de photons) est ensuite convertit en courant électronique exploitable. Cette conversion est assurée par un photomultiplicateur. A la suite, un système électronique prend le relais dans le but de fournir des données exploitables.

Le signal électronique est d'abord mis en forme de façon analogique puis est numérisé et enfin traité grâce à un système électronique numérique. Ce système de traitement est qualifié de « frontal » car c'est le premier dispositif rencontré par le signal tout au long de son exploitation. Il applique un ensemble de corrections au signal avant un codage final. On remarque la production des données simplifiées à destination du système de déclenchement (trigger).

Cet ensemble constitue une chaîne de traitement allant du passage d'une particule au travers d'un capteur jusqu'à la donnée numérique correspondante. Le preshower est constitué d'environ 6000 chaînes ou voies élémentaires.

3.2 Les cellules de détection

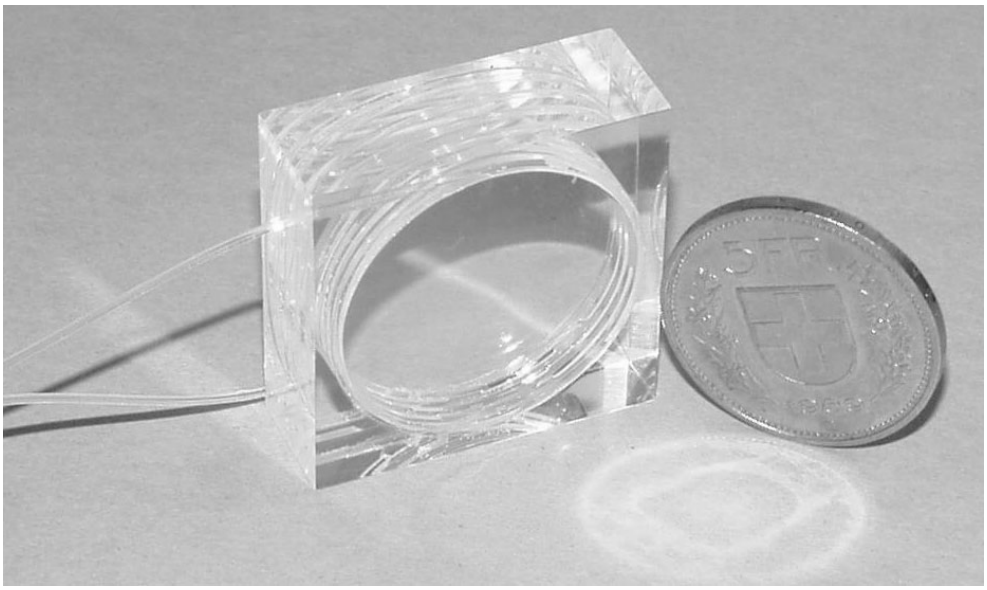


FIG. 3.2 – Un bloc de scintillateur

A chaque voie correspondent un bloc de scintillateur (cellule) et son dispositif d'acheminement de lumière vers le photomultiplicateur à base de fibres optiques. Ces cellules sont disposées sur un plan perpendiculaire au faisceau et forment, avec l'ossature mécanique

qui les supporte et la plaque de plomb, le preshower proprement dit. Le bloc de scintillateur [8] est de 15 mm d'épaisseur. Il recelle en son sein une fibre optique enroulée en spirale (voir figure 3.2) qui permet de recueillir le produit de la scintillation. Juste avant le preshower, un « mur » de plomb de 12 mm d'épaisseur permet d'initier la gerbe électromagnétique.

En fonction de leur localisation géographique sur le plan, les cellules sont de taille variable : 4×4 cm près du faisceau, 6×6 à mi-distance et 12×12 [11] sur la zone externe. Comme le montre la figure 3.3, on distingue ainsi trois zones correpondant à des résolutions spatiales différentes.

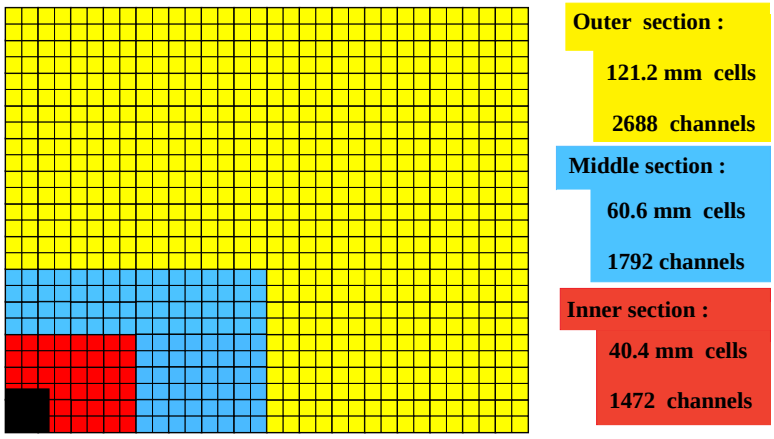


FIG. 3.3 – Les trois zones de résolution, sur un quart de détecteur

3.3 Le photomultiplicateur

Le photomultiplicateur permet de convertir un signal de lumière, c'est à dire composé de photons, en un courant électrique. Un photon pénétrant dans un photomultiplicateur touche une photocathode qui émet des électrons en retour par effet photoélectrique. Le faisceau d'électrons est ensuite amplifié par un jeu de rebonds successifs sur des électrodes polarisées. Le champ électrique, dû à la polarisation, ainsi que la nature des matériaux constituant les électrodes permet d'otenir un gain total du dispositif pouvant atteindre des valeurs comprises entre 10^5 et 10^7.

Pour le preshower, des photomultiplicateurs multianodes seront utilisés. Ils permettent de convertir et d'amplifier 64 signaux différents de façon simultanée. 64 blocs de scintillateur sont donc reliés à un seul photomultiplicateur.

Le passage d'une particule au travers du scintillateur provoque une impulsion de courant en sortie du photomultiplicateur. La figure 3.4 en donne quelques exemples obtenus à l'aide de rayons cosmiques. Au travers de la résistance de sortie du photomultiplicateur on obtient un pic de tension négatif.

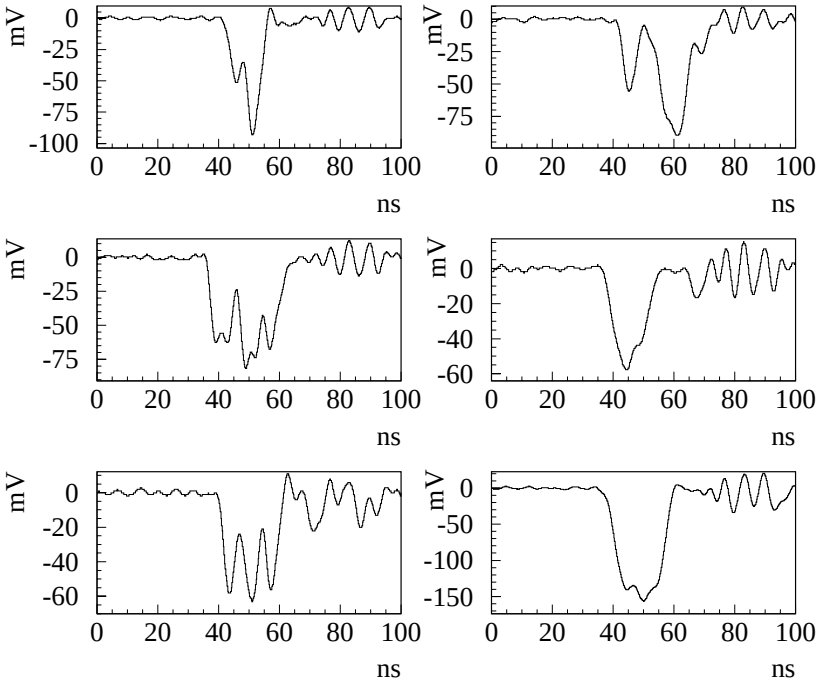


FIG. 3.4 – Exemples d'impulsions issues du photomultiplicateur

3.4 Etendue des mesures et précision

Pour la physique, on veut pouvoir mesurer des énergies allant de 0,1 MIP à 100 MIP. Le MIP est l'énergie déposée par une particule au minimum d'ionisation dans le scintillateur.

Le preshower produit aussi des données destinées au système de déclenchement décrit à la section 2.2.3. Dans ce but on veut pouvoir détecter une énergie de 5 MIP à la précision de 5 %

En codant les valeurs d'énergie sur 9 bits on devient précis à 0,2 MIP prés ($\frac{100}{2^9}$). La précision sur la valeur de 5 MIP est donc de $\frac{0,2}{5} \cdot 100 = 4\,\%$.

Pour prendre un facteur de sécurité et compenser les éventuelles pertes de précision après le traitement, on choisit de coder les énergies sur 10 bits c'est à dire à 0,1 MIP près et une précision de 2 % à 5 MIP. Pour les grandes valeurs d'énergies cette précision n'est pas nécessaire et l'on pourra admettre que la chaîne soit moins précise.

Le réglage des paramètres du traitement des données se basera essentiellement sur la détection de particules à 1 MIP. La fonction de transfert du détecteur sera extrapolée à partir de cette mesure. Les erreurs de non-linéarité pour ces valeurs d'énergies ne devront pas excéder 1 % [17].

3.5 La mise en forme analogique

Le rôle de la mise en forme analogique est de présenter au dispositif d'échantillonnage (en l'occurence un convertisseur analogique-numérique) un signal stable au moins durant la durée de l'échantillonnage et représentatif du phénomène physique qui en est la cause.

3.5.1 Le signal analogique

Le signal en sortie du photomultiplicateur n'est pas exploitable directement car l'information qu'il contient est étendue dans le temps. En effet la figure 3.4[8, 2] montre que le signal brut pour des particules au minimum d'ionisation est très irrégulier à cause des fluctuations statistiques liées à la nature du dépôt d'énergie et au processus d'émission des électrons par les électrodes du photomultiplicateur.

Or, on veut pouvoir échantillonner une valeur à un instant donné. Aucune mesure n'est possible car dans ce cas, la sensibilité due à l'instant où s'effectue l'échantillonnage est trop importante. Pour les hautes énergies, l'effet dominant est la saturation du photomultiplicateur : le signal n'est plus linéaire. La linéarité est importante si l'on veut pouvoir appliquer des opérations arithmétiques sur les valeurs du signal. Jusqu'au moment où l'on effectue le calcul, la chaîne de mesure doit rester linéaire pour la précision souhaitée.

Par contre, on constate que pour une valeur d'énergie donnée déposée par la particule incidente, la surface de la courbe est constante avec une précision satisfaisante. Cette surface donne une bonne image de la valeur de l'énergie déposée par la particule ayant traversée le scintillateur. Elle correspond à la charge électrique produite par le photomultiplicateur stimulé par un photon.

La figure 3.5 montre, de gauche à droite, l'impulsion moyenne, son modèle mathématique et le résultat de l'intégration. Au bout d'un temps suffisant, la valeur de l'intégrale se stabilise et devient exploitable.

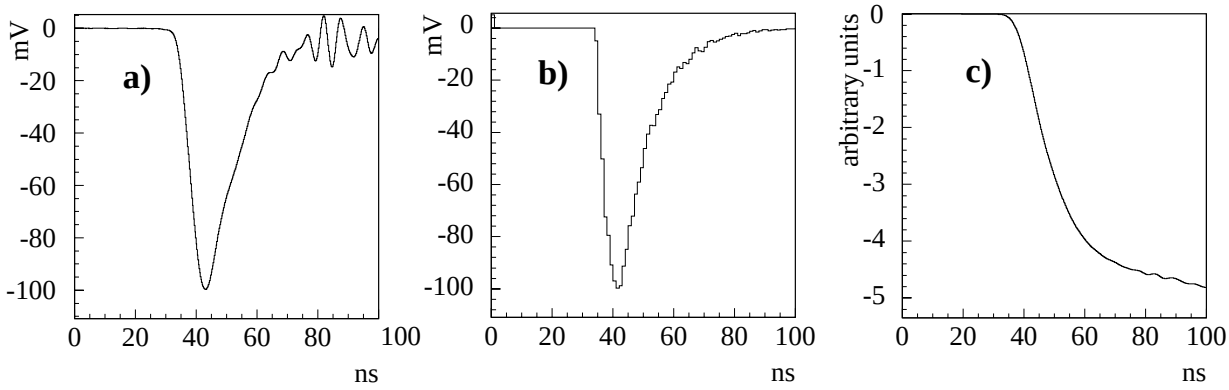


FIG. 3.5 – Signaux typiques[8]

Cette propriété est exploitée par la solution retenue pour l'électronique de traitement analogique.

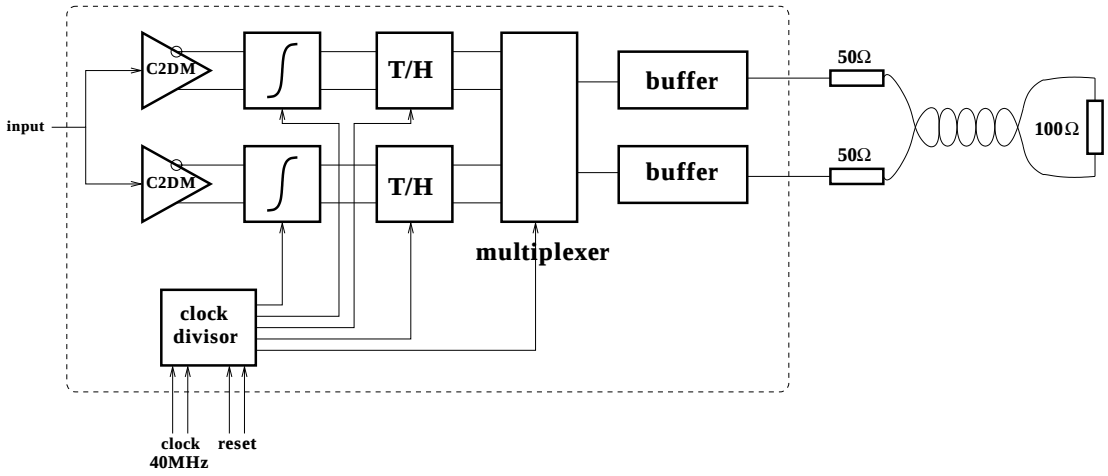


FIG. 3.6 – Architecture du circuit analogique[17]

Le circuit analogique doit être capable de traiter une nouvelle impulsion toutes les 25 ns (fréquence des intéractions au LHC).

Il est primordial de remarquer que l'impulsion de sortie du photomultiplicateur s'étend sur une durée supérieure à 25 ns. On observera donc un phénomème d'empilement dans le cas où plusieurs particules se succèdent : une partie de l'impulsion précédente se superpose à l'impulsion en cours. L'origine de ce phénomène est essentiellement liée au détecteur : c'est donc à l'électronique qu'il revient de corriger cet effet. Ce point conditionne beaucoup les solutions retenues.

3.5.2 Contraintes

On a vu que c'est la surface de l'impulsion qui est significative. La surface est accessible en effectuant l'intégrale du signal. Comme une nouvelle impulsion est susceptible d'arriver dans l'intervalle de 25 ns suivant, il est impossible d'intégrer plus lontemps que 25 ns. L'élément clef du traitement analogique est donc un intégrateur.

Si l'on veut décorréler deux mesures successives, il faut pouvoir remettre à zéro l'intégrateur. Cette opération coûte du temps, et si l'on désire réaliser une mesure significative, il est nécessaire d'intégrer sur une durée comprenant la majeure partie de l'impulsion. En outre, il faut maintenir le signal durant un temps suffisamment long pour qu'une numérisation soit possible dans les meilleures conditions. Et cela demande aussi du temps.

La solution retenue permet de surmonter les contraintes dues aux caractéristiques du signal.

3.5.3 Circuit analogique

Un circuit analogique entièrement développé par l'équipe de microélectronique du Laboratoire de Physique Corpusculaire de Clermont-Ferrand réalise la mise en forme du signal. Il a été conçu dans la technologie AustriaMicroSystem 0,8 μm BiCMOS.

Principe

Le circuit intègre 8 voies de traitement.

Chaque voie de mesure est divisée en deux demi-voies [3]. La figure 3.6 en fait état. Pour chaque demi-voie, un convertisseur de mode commun vers mode différentiel (C2DM) permet de donner un support différentiel au signal. Ce mode de transmission permet de s'affranchir des effets de la plupart des perturbations (sources de bruit).

Une demi-voie est composée d'un intégrateur (schéma donné figure 3.7) et d'un suiveur-bloqueur (T/H). Le suiveur-bloqueur permet de maintenir la valeur de l'intégrale du signal à un niveau constant pendant que l'autre demi-voie est en train d'intégrer et inversement.

Cette architecture permet l'intégration du signal d'entrée sur des plages successives de 25 ns, sans temps mort. Comme une impulsion peut durer plus longtemps que la plage d'intégration, la suite de la chaîne de mesure devra corriger les éventuels recouvrements.

En sortie, un multiplexeur choisit alternativement la demi-voie en train d'être maintenue pour envoyer le résultat de l'intégration en dehors du circuit juste après une dernière amplification (buffer). A ce stade le signal est toujours différentiel.

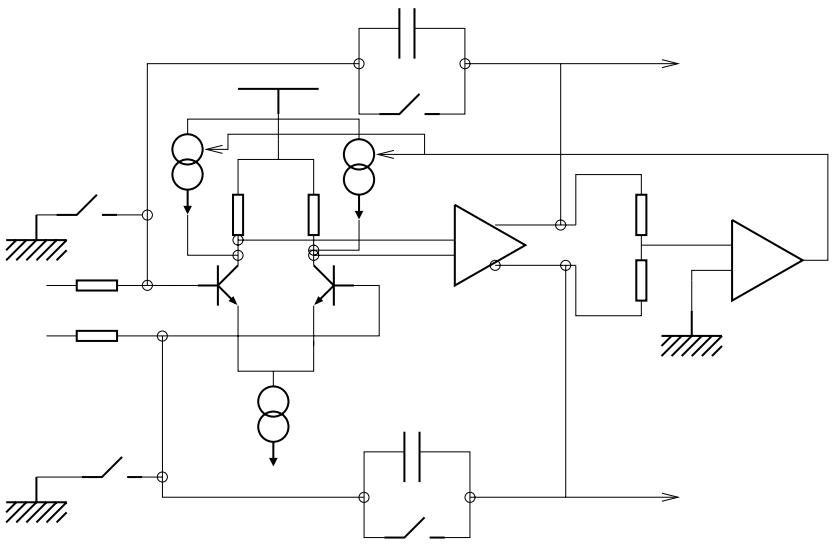


FIG. 3.7 – Schéma de principe de l'intégrateur [3]

Caractéristiques[2, 17]

Le circuit est alimenté en ±2,75 V. En entrée, des transistors bipolaires permettent de limiter les décalages. La circuiterie interne est réalisée avec des transistors MOS pour minimiser la consommation (100 mW par voie).

Le signal de sortie, en tension, possède une dynamique de 2 V en différentiel sur un support de mode commun de −300 mV.

3.5.4 Dispersion des caractéristiques

Bien que les circuits analogiques soient fabriqués de façon identique, de faibles variations technologiques introduisent des disparités d'un circuit à l'autre.

Au-delà de ce fait, à l'intérieur d'un circuit on observe des disparités entre les 8 voies de traitement et même entre deux demi-voies !

Au premier ordre, les différences portent sur le gain (une augmentation de la valeur d'entrée ne provoquera pas, proportionnellement, les mêmes augmentations selon les demi-voies et les circuits considérés) et sur la valeur de la tension de sortie au repos.

Il faut remarquer que les principales disparités de gain viennent du photomultiplicateur lui-même et non pas du circuit intégré analogique. La dispersion en gain est d'abord grossièrement compensée par le réglage des résistances de charge du photomultiplieur, avant le circuit analogique. Un ajustement plus fin est réalisé au niveau du traitement numérique des données, après la partie analogique de la carte frontale.

La dispersion des décalages est inférieure à 100 mV. La dispersion en gain, de l'ordre de quelques pour cent, est négligeable devant la dispersion en gain des voies d'un photomultiplicateur multianode comme ceux prévus pour le preshower.

3.6 Prototype « mise en forme analogique »

Cette section présente les résultats de tests effectués sur la version de présérie du circuit intégré spécifique de mise en forme analogique. Si le volume de travail effectué à propos de ce circuit est resté très modeste dans le cadre de la thèse, les caractéristiques du circuit analogique n'en restent pas moins des contraintes pour la partie numérique.

3.6.1 Linéarité

La figure 3.8 montre les résultats de tests de linéarité. La partie de gauche donne la réponse à un pic de courant constitué par l'écoulement d'une quantité de charges variable. La partie de droite donne les écarts à la doite des moindres carrée des données présentées à gauche. Pour des valeurs d'entrée inférieures à 100 pas de CAN la précision requise est

de ± 1 LSB ; au delà la précision demandée est de 1 % . Ces contraintes sont tracées sur la partie de droite. On constate que les mesures (moyenne sur huit voies) sont conformes aux attentes.

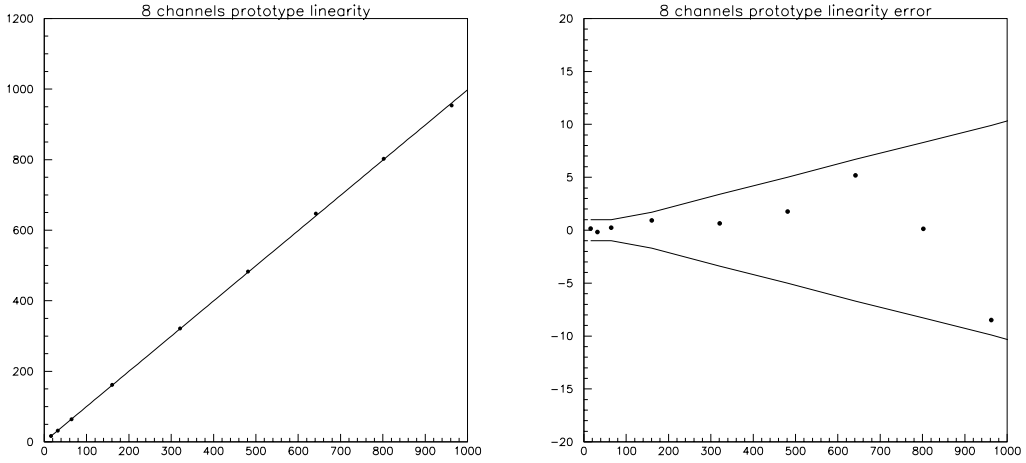


FIG. 3.8 – Linéarité et écarts à la linéarité avec le gabarit à respecter

3.6.2 Décalage

La figure 3.9 représente un histogramme des échantillons numérisés pour un signal d'entrée nul. La valeur moyenne n'est pas nulle car un décalage est artificiellement introduit au niveau de l'amplificateur opérationnel (voir section 4.1). On distingue deux pics qui correpondent aux échantillons provenant de l'une ou l'autre demi-voie composant un canal de mesure analogique. Une différence de décalage entre demi-voies est ainsi mise en évidence. La valeur de cette différence varie selon la voie considérée.

On remarque que pour les deux demi-voies l'écart type (σ) est largement inférieur à la valeur d'un pas de CAN.

3.6.3 Dispersion des caractéristiques

La figure 3.10 montre les résultats de mesures de dispersion des caractéristiques effectuées sur 72 voies (9 circuits intégrés).

Pour le décalage (histogramme de gauche) la valeur moyenne peut être considérée comme nulle. L'écart type est voisin de 12 ce qui signifie que si l'on veut être sûr de la compatibilité entre le circuit analogique et la partie numérique selon un critère de $2{,}5\,\sigma$ (environ 99 % des circuits à décalage négatif acceptés) il faut que le décalage introduit artificiellement sur la carte frontale soit de l'ordre de 30 pas de CAN. Cependant ce

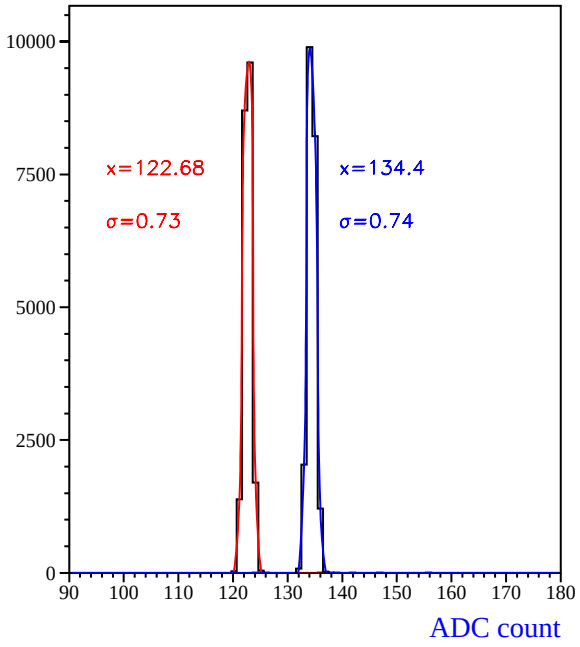


FIG. 3.9 – Histogramme des échantillons numériques pour une entrée nulle

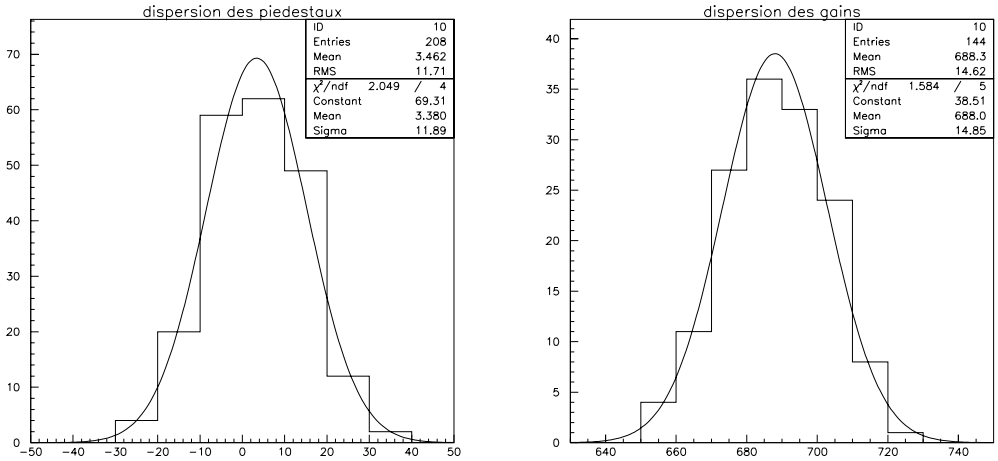


FIG. 3.10 – Dispersion des décalages et des gains

décalage ne différencie pas les demi-voies, une correction de décalage par demi-voie interne au circuit de traitement numérique reste donc nécessaire.

Pour le gain (histogramme de droite) on peut constater que la dispersion reste faible (l'écart type est égale à 2,2 % de la valeur moyenne). On peut donc légitimement penser qu'il n'est pas nécessaire de corriger de grands écarts de gain.

A titre d'exemple d'une simplification de l'électronique, en tenant compte de la précision souhaitée, le gain G par lequel on veux corriger une voie peut s'écrire sous la forme $G = 1 \pm \varepsilon$. Si l'on souhaite avoir une précision de $\frac{1}{256}$ LSB sur ε et $|\varepsilon| \leq \frac{1}{4}$ il faut coder ε sur 6 bits plus un pour le signe et décaler le résultat de la multiplication de 8 bits vers la droite (division par 256).

Avec U_n l'échantillon à corriger, la multiplication par le gain peut se réduire à une addition et une multiplication simple : $U_n * G = U_n \pm U_n * \varepsilon$. Dans ce cas le résultat $U_n * \varepsilon$ est codé sur 16 bits (au lieu de 18 pour la multiplication directe $U_n * G$ si G était codé sur 8 bits).

On peut remarquer que si U_n vaut 1 et que ε est à sa valeur maximale soit $\frac{63}{256}$, le résultat $U_n * \varepsilon$ est égale à 0,25 LSB ce qui n'est pas significatif. Il est donc possible de ne conserver que les 9 bits de poids les plus significatifs de U_n et de réduire ainsi la taille du multiplieur (15 bits de résultat). Un schéma optimisé est donné par la figure 3.11.

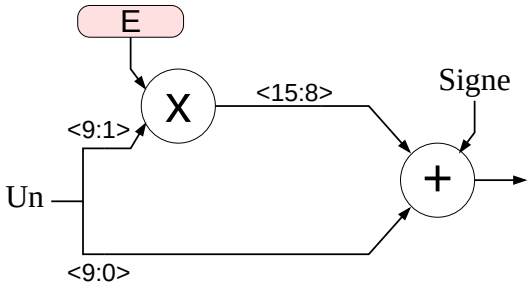


FIG. 3.11 – Optimisation de la correction du gain

Dans la suite et par souci de simplicité une multiplication directe sera utilisée (les contraintes en terme de fréquence de fonctionnement seront respectées). Comme pour la correction des décalages, la correction de gain s'effectue par demi-voie.

3.7 Echantillonnage et traitement numérique

3.7.1 Signal d'entrée

Le signal analogique différentiel délivré par le circuit analogique possède une forme « en escaliers ». Chaque « marche » doit être numérisée.

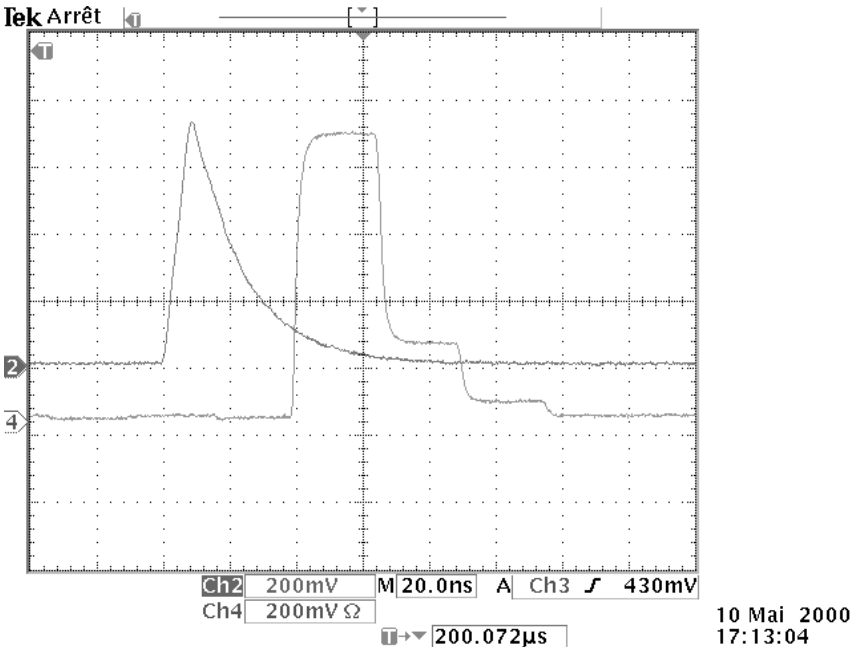


FIG. 3.12 – Entrée et sortie du circuit analogique [8]

La figure 3.12 montre une trace du signal de sortie du circuit intégré et le pulse d'entrée qui en est la cause. L'impulsion dure plus de 25 ns : en sortie on observe les valeurs successives de l'intégrale du signal d'entrée découpé en tranches de 25 ns.

La transformation du signal analogique en signal numérique est réalisée par un convertisseur analogique-numérique. La conversion doit être faite à la cadence de 40 MHz pour soutenir le flux moyen de particules.

En sortie du convertisseur, on obtient un nombre exprimé en binaire avec une précision correspondant au nombre de bits utilisés pour le codage. La précision doit être suffisante pour qu'à la fin du traitement numérique, la donnée de sortie ait la précision demandée par l'exploitation physique qui en sera faite. En l'occurence une précision de 1% sur toute l'échelle d'énergie est nécessaire.

3.7.2 Partie numérique

La correction des recouvrements est dévolue à la partie numérique. Le traitement numérique permet de corriger la dispersion des caractéristiques (gain et décalage) des divers circuits analogiques ainsi que des demi-voies élémentaires.

L'ensemble des fonctions confiées à la partie numérique sera développé au chapitre suivant.

3.8 Architecture de l'électronique de traitement

La partie analogique de mise en forme est située à proximité immédiate du photomultiplicateur correspondant. Les contraintes mécaniques n'accordent pas suffisamment de place à l'ensemble de l'électronique aussi environ 20 m de câbles relieront les circuits de mise en forme à la carte numérique.

Les cartes numériques seront ainsi enfichées dans des chassis situés dans une mezzanine au dessus du détecteur. Elles cotoieront les cartes d'électronique frontale du calorimètre électromagnétique. Elles supporteront le traitement de 64 voies en respectant des contraintes en terme de consommation, de rapidité et de résistance aux radiations.

Chapitre 4

Traitement du signal

Ce chapitre fait le bilan des tâches confiées à la carte de traitement numérique (carte frontale) dans l'ordre de leur apparition au fil du traitement et donne des solutions pour leur résolution. L'architecture générale de la carte sera ainsi établie du point de vue du traitement des données.

4.1 Réception et conversion du signal analogique

4.1.1 Le câble

Entre la carte de mise en forme analogique et la carte frontale il y a entre 15 et 20 mètres de câble. La présence de ce câble est loin d'être neutre pour le signal analogique qui y est transmis. Le câble doit être considéré comme un élément effectif de la chaîne de mesure.

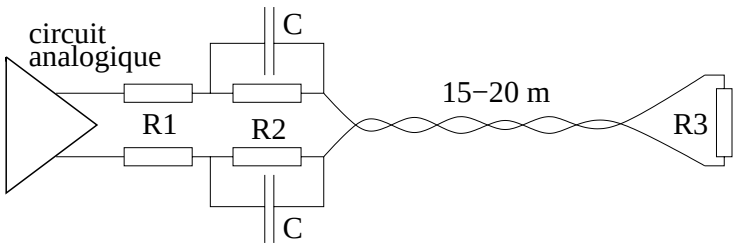


Fig. 4.1 – Adaptations aux deux extrémités du câble

Les effets sont de quatre ordres :
- atténuation du signal ;
- réflexions de l'onde constituée par le signal dues aux ruptures d'impédance ;
- effet de peau ;
- sensibilité aux parasites par défaut de compatibilité électro-magnétique.

Les importances respectives de ces effets dependent beaucoup du type de câble utilisé et de son adaptation. En raison de ses dimensions et de son rapport qualité prix, le câble ethernet catégorie 5+ a été retenu. Bien que dévolu au transport de signaux numériques, il offre des performances très satisfaisantes pour les signaux analogiques. Il comporte 4 paires différentielles non blindées individuellement. On évite ainsi une impédance caractéristique trop faible qui aurait nécesité l'emploi d'amplificateur de sortie trop volumineux et consommateurs. Par contre le cable est blindé globalement.

Le choix a été fait d'adapter le câble à ses deux extrémités comme le montre la figure 4.1. La résistance R2 est découplée pour les hautes fréquences afin de compenser l'effet de peau.

Après deux réflexions le signal n'est altéré qu'à moins de 0,1 % [2, 17] à cause des défauts d'adaptation, ce qui reste compatible avec la résolution de 10 bits demandée pour la physique en sortie de convertisseur. A cause de la double adaptation, la dynamique du signal est divisée par 2. Elle est donc de 1 V en sortie du câble.

Des mesures de la diaphonie entre les paires ont montré qu'il n'y avait pas de phénomène significatif pour la précision voulue dans le cas du cable choisi.

4.1.2 Adaptation des caractéristiques

Pour éviter les risques de perturbations dues à un signal d'entrée en mode commun, l'entrée du convertisseur analogique-numérique (CAN) est en différentiel sur une dynamique de 1 V et reste donc compatible avec le signal analogique.

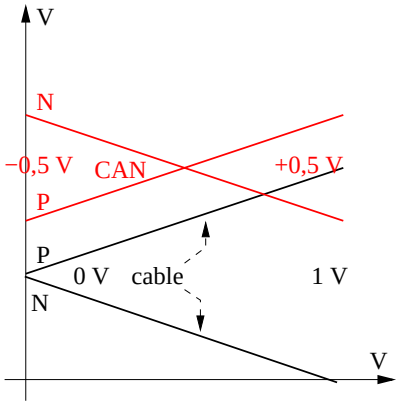


FIG. 4.2 – Dynamique du signal analogique par rapport à la dynamique d'entrée admissible par le CAN

Néanmoins pour le CAN, la dynamique différentielle s'étend de −500 mV à +500 mV alors que celle du signal analogique est unipolaire allant de 0 mV à +1 V. De plus les tensions de mode commun ne sont pas compatibles. Pour la plage de mesure d'énergie considérée autrement dit la dynamique du signal, la figure 4.2 montre shématiquement

(unités arbitraires) l'allure des tensions de mode commun entre les pôles positifs (P) ou négatifs (N) obtenues à la sortie du câble et celles admissibles à l'entrée du CAN ; les valeurs des tensions différentielles correspondantes sont indiquées.

Pour adapter les caractéristiques d'entrée du CAN à celles du signal de sortie du câble, on utilise un amplificateur opérationnel entièrement différentiel fabriqué par Analog Devices sous la référence AD8138. L'opération consiste en deux points (voir figure 4.3).

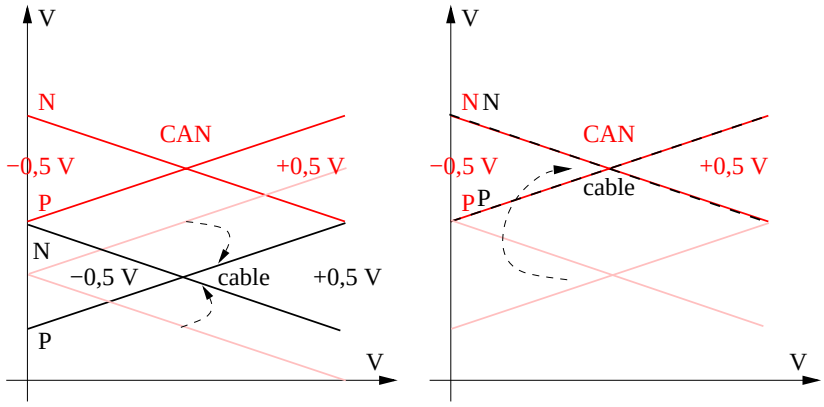


Fig. 4.3 – Opérations de mise en conformité

Premièrement un décalage différentiel de $-0{,}5\,\mathrm{V}$ est appliqué (partie gauche de la figure) : il permet d'obtenir une dynamique de $1\,\mathrm{V}$ bipolaire comme celle du CAN. Deuxièmement le mode commun est ajusté à la même valeur que celui admis par le CAN grâce à une entrée dédiée de l'amplificateur opérationnel reliée à la tension de référence de mode commun délivrée par le CAN.

Au final, le signal initialement produit par le circuit analogique de mise en forme est parfaitement adapté aux caractéristiques d'entrée du CAN. Le montage avec l'amplificateur opérationnel est donné figure 4.4. Les valeurs des résistances R sont soigneusement choisies pour introduire un décalage supplémentaire de 50 mV. Ce décalage constitue un facteur de sécurité permettant de s'assurer du bon fonctionnement du montage en dépit de la dispersion des caractéristiques des circuits analogiques.

4.1.3 La conversion

La conversion analogique numérique s'effectue à la cadence de 40 MHz. Le CAN retenu possède une résolution de 10 bits pour qu'à l'issue des calculs une précision suffisante soit conservée sur les données destinées aux analyses physiques.

Entre l'amplificateur opérationnel et le CAN, un filtre anti-repliement élimine les fréquences élevées (supérieures à 40 MHz). Bien qu'il ne soit pas directement nécessaire puisque le signal d'entrée possède une forme « en escaliers » (le CAN voit un signal fixe au voisinage d'un instant d'échantillonnage), le filtre permet d'améliorer le rapport signal

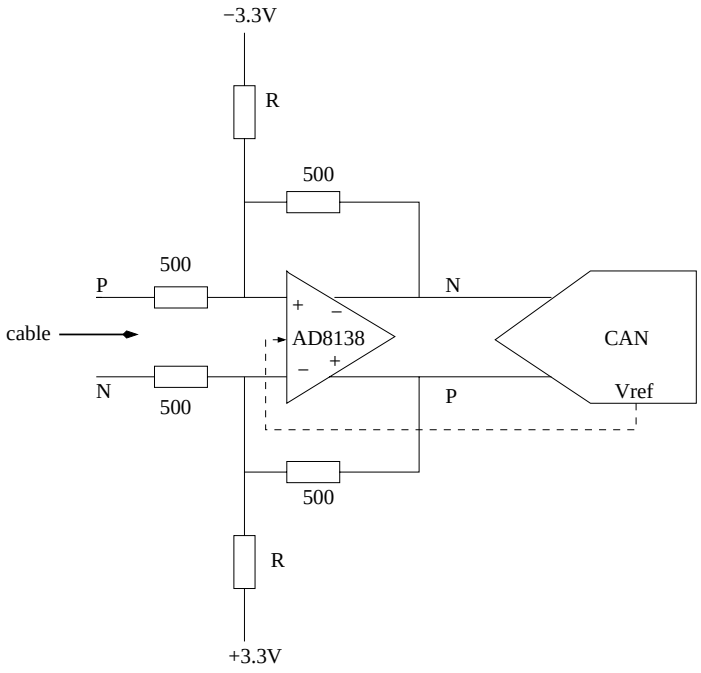


FIG. 4.4 – Montage avec l'AD8138

sur bruit (proportion des parasites polluant le signal).

4.2 Prototype « partie mixte »

Le signal analogique reçu par la carte frontale n'est pas immédiatement numérisé. La conception de l'enclave analogique sur la carte est critique. Il s'agit en effet de ne pas introduire de parasites entre le signal analogique et les signaux numériques mais aussi entre les voies analogiques elles-mêmes.

4.2.1 Schéma initial

Le schéma initial établi sur la base des considérations exposées à la section 4.1 peut se décomposer en trois ensembles :

- l'amplificateur opérationnel qui joue un rôle dans l'adaptation du câble et la mise en conformité électrique du signal analogique par rapport aux caractéristiques d'entrée du CAN ;
- la liaison amplificateur-CAN pouvant être constituée d'un filtre anti-repliement ;
- le CAN lui même. S'agissant d'un circuit du commerce, il est nécessaire de se plier à son mode d'emploi.

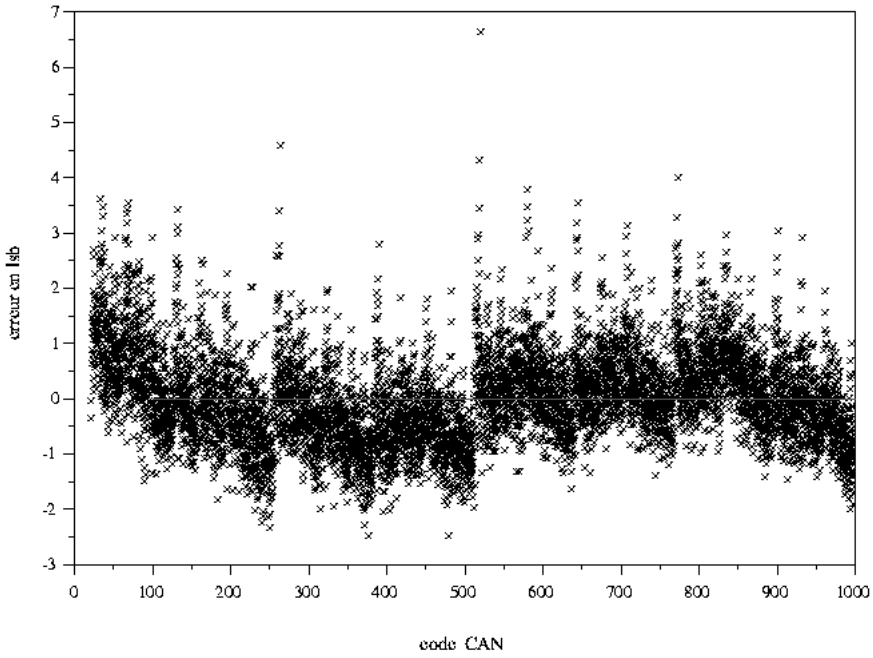


FIG. 4.5 – Ecart à la droite de linéarité en fonction du code

4.2.2 Etude prélimimaire

Une toute première carte implémentant le CAN retenu (AD9203) avec son amplificateur opérationnel différentiel AD8138 avait été réalisée dans le courant de l'été 2000. L'objectif était de conforter le choix des composants et d'établir une implantation satisfaisante en matière d'encombrement, de sensibilité aux perturbations et de performances à partir d'un premier jet naïf. Des mesures ont pu être faites et ont permis de proposer un certain nombre d'améliorations concernant la schématique et le placement/routage du circuit qui sera utilisé comme l'élément de base du prototype de la partie mixte de la carte frontale.

Les tests effectués sur ce prototype préliminaire ont porté sur la manière de réaliser un décalage différentiel au niveau de l'amplificateur d'entrée, l'utilité du filtre anti-repliement entre l'amplificateur et le CAN et les mesures de compatiblité électromagnétique à prendre en compte. Voici quelques résultats de mesures effectuées sur la première carte de test une fois le schéma final établi mais sans être placé et routé de façon optimale.

La figure 4.5 montre l'écart moyen, sur 16 mesures, des échantillons du CAN par rapport à une droite de linéarité idéale. Le signal appliqué en entrée du dispositif est une rampe. Les erreurs à la linéarité sont inférieures à 3 mV.

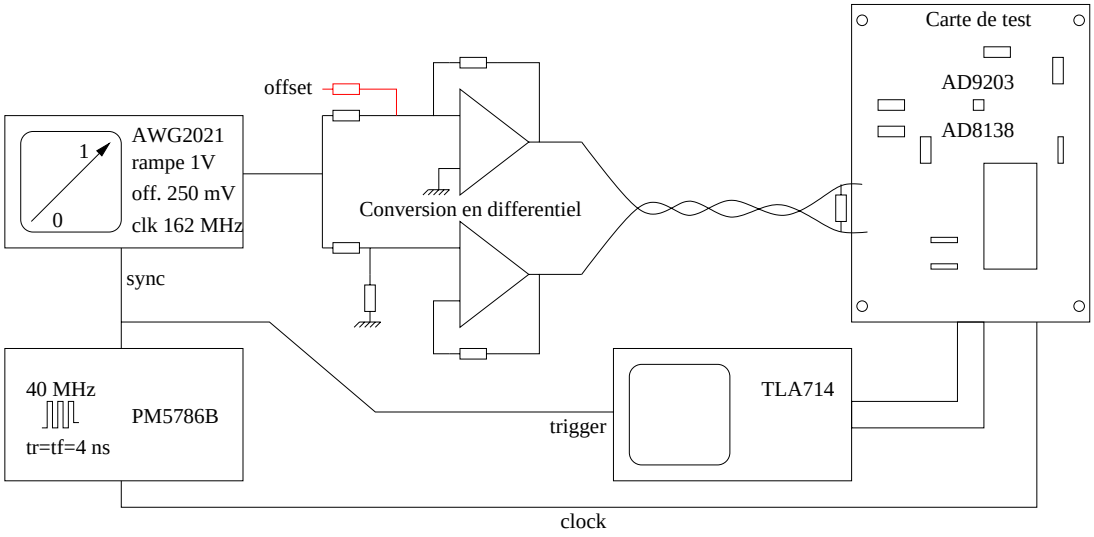


FIG. 4.6 – Banc de test de l'AD9203

Le filtre anti-repliement s'est montré indispensable pour filter une partie des parasites perturbant la numérisation. Sa fonction originelle, qui consiste à éviter les recouvrements fréquentiels, n'est pas exploitée puisque le signal d'entrée possède une forme en escaliers et que l'échantillonnage s'effectue au moment où le signal paraît statique (en fait il est déja échantillonné analogiquement).

La figure 4.6 montre le dispositif expérimental mis en œuvre pour réaliser les tests préliminaires. Un générateur du signaux arbitraire (AWG2021) fabrique une rampe. La sortie étant en mode commun, deux amplificateurs opérationnels CLC400 la convertissent en mode différentiel. Les données en sortie du CAN sont capturées par un analyseur logique (TLA714). L'ensemble du banc de test est synchronisé par un générateur d'impulsions (PM5768B).

D'ultimes tests, réalisés en connectant un prototype du circuit analogique de mise en forme et cette première carte prototype, ont permis de déterminer les ordres de grandeurs des parasites (« bruit ») des divers éléments du circuit (voir tableau 4.1).

La valeur des résistances déterminant le décalage à vide du dispositif a été réglée de façon à pouvoir numériser une tension différentielle d'entrée de -100 mV afin de rester compatible avec la dispersion en décalage des circuits numériques.

4.2.3 Schéma finalisé

Dessin

La figure 4.7 donne le schéma final utilisé pour un élément de hiérarchie d'une voie de mesure. On remarque l'amplificateur opérationnel monté en suiveur différentiel avec ses

Elément	Intensité du bruit
Circuit analogique (début 2001)	0,8 mV
Partie mixte (version 2000)	0,8 mV
Partie mixte (version 2001)	0,4 mV
Total 2000	1,1 mV
Total 2001	0,9 mV

TAB. 4.1 – Ecarts types des tensions parasites (bruit)

résistances de décalage (8,25 kΩ) en entrée et le filtre passe bas en sortie (résistances de 48,7 Ω et capacités de 22 pF). La fréquence de coupure du filtre est de l'ordre de 150 MHz.

L'entrée VOCM de l'amplificateur est reliée à la sortie VREF du CAN. L'ajustement de la tension de mode commun entre les deux composants est de ce fait automatique. Le CAN est alimenté par deux tensions positives : une pour l'analogique et l'autre pour la logique et les amplificateurs de sortie.

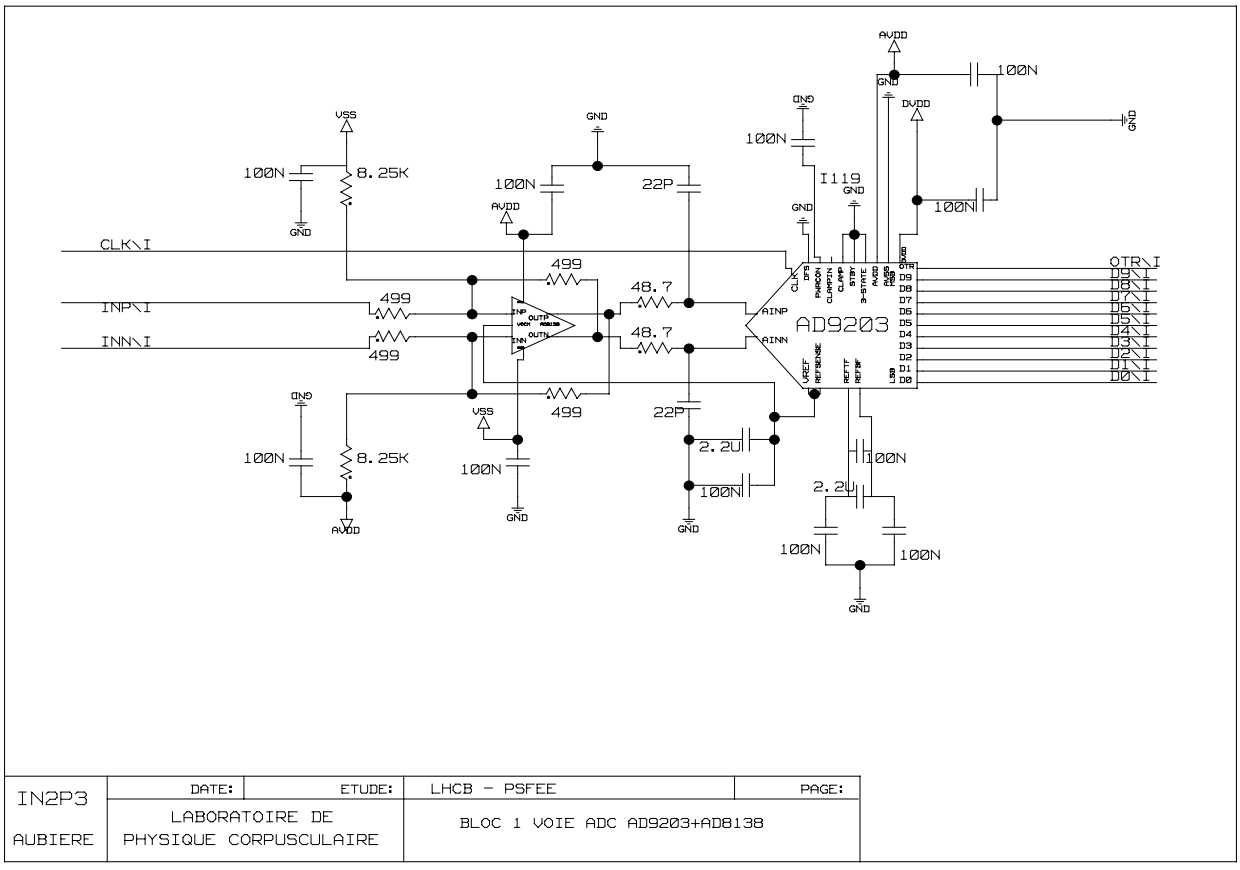


FIG. 4.7 – Schéma final de la partie mixte

Pour le placement des composants, la contrainte essentielle a été de respecter la lar-

gueur maximum de 1 cm par voie. L'ordre logique des composants tel qu'il apparaît dans le schéma de la figure 4.7 a été respecté. Les composants discrets ont été choisis en technologie montée en surface de la série 0805, plus petite que celle utilisée d'habitude au LPC. Ils ont été mis en place de façon à minimiser la distance amplificateur CAN. Comme les deux faces du circuit imprimé seront utilisées, les traversées permettant de relier un plan cuivré à un autre (circuit imprimé 6 couches) ont été placés asymétriquement pour éviter les superpositions malencontreuses.

Pour chaque signal différentiel, les deux pistes qui le supportent ont été tracées de façon à minimiser la surface qu'elles délimitent afin de respecter des notions de base de compatibilité électromagnétique.

Le décalage systématique réalisé au niveau de l'amplificateur opérationnel est différentiel (il était en mode commun sur la version préliminaire).

Un plan de masse global recouvre la surface remplie par les composants, il est renforcé par des plans d'alimentation. La partie analogique est couverte par le plan d'alimentation analogique. Les capacités de découplage sont placées aussi proche que possible des circuits. Un report local du plan de masse sous le CAN permet de diminuer l'influence des signaux numériques sur le côté analogique.

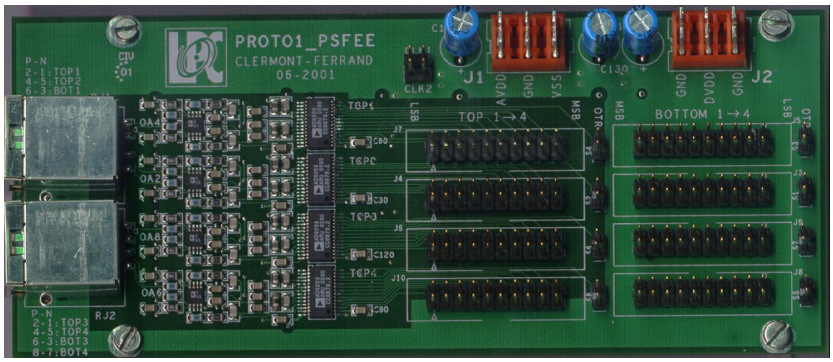


FIG. 4.8 – Photographie du prototype 8 voies pour la partie mixte

En outre, la piste qui supporte la tension de référence du CAN, est tracée de façon à rester proche des pistes de tension statiques et loin des sources de perturbation.

L'horloge est véhiculée aussi longtemps que possible au format différentiel (LVDS). La conversion ne s'effectue qu'au dernier moment. On limite ainsi les éventuels parasites. Les faibles dimentions du circuit permettent de limiter les effets de lignes (réflexions, etc.).

Bloc de 8 voies

Un élément supplémentaire de hiérarchie a été dessiné. Il inclut 2 connecteurs RJ45 et 8 voies de numérisation. La figure 4.8 représente le prototype 8 voies pour la partie mixte. On peut identifier les 2 connecteurs RJ45, sur la gauche, suivi de l'élément 8 voies puis

des connecteurs pour l'analyseur logique utilisé comme système d'acquisition des données pour les tests.

Le blindage des connecteurs permet de limiter la sensibilité aux parasites.

Résultats des tests

La nouvelle implantation des composants a permis d'optimiser les caractéristiques de cette portion de chaîne de mesure. La figure 4.9 donne l'écart type en pas de CAN en fonction du code de sortie (en LSB). Le bruit, pour des signaux d'entrée statiques, est compris entre 0,3 mV et 0,5 mV contre 0,8 mV en moyenne pour l'implantation initiale ce qui conforte les choix pris pour le dessin de la circuiterie définitive. Avec la partie analogique, le bruit total est sensiblement inférieur à l'équivalent d'un pas de CAN.

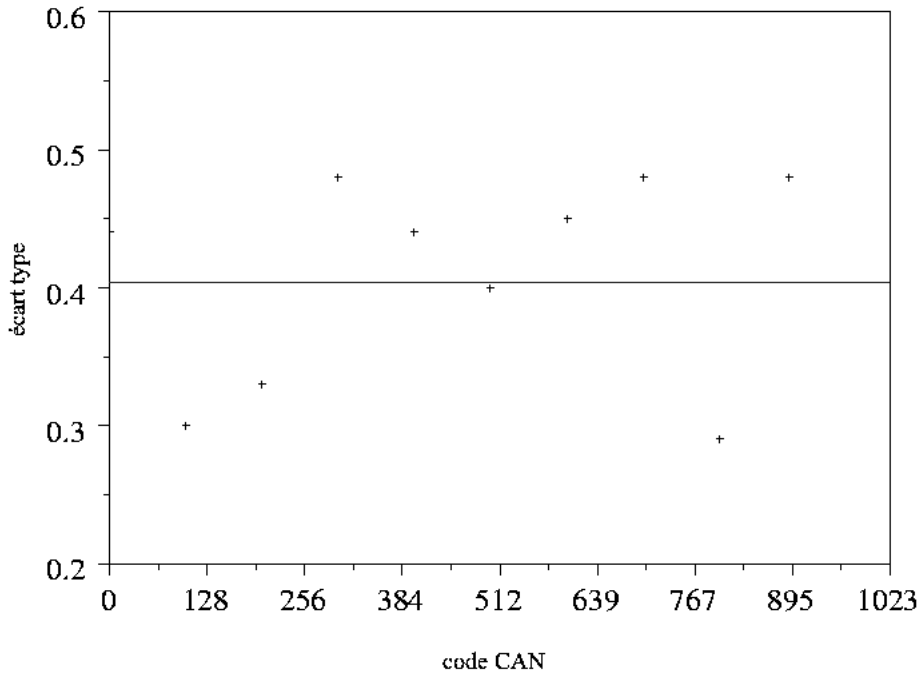


FIG. 4.9 – Bruit statique de l'AD9203 (proto1)

Du point de vue de la linéarité de l'ensemble, pour des signaux statiques, l'écart par rapport à la droite de linéarité est inférieur à 2 fois le poids du bit le moins significatif du CAN soit approximativement 2 mV sur toute la dynamique.

En ce qui concerne la diaphonie, aucun phénomène de cette nature n'a été mesuré au niveau des sorties numériques.

4.3 Mise en temps

4.3.1 Interface avec la partie analogique

Horloge CAN

Avant toute opération de traitement, il est très important de synchroniser en temps l'horloge d'échantillonnage qui commande le CAN avec le signal analogique. Il ne faut pas acquérir un échantillon à un instant où le signal varie. Le temps qui sépare l'arrivée de la nouvelle valeur de l'instant d'échantillonnage doit rester constant.

Si deux horloges différentes pilotent la partie numérique et la partie analogique, un phénomène de battement va apparaître. Il risque de perturber fortement la prise des données.

Au niveau de l'expérience LHCb, un système dédié (TTC) est chargé de la distribution d'une horloge unique en tout point du détecteur [4]. Malheureusement ce système nécessite l'ajout d'un circuit supplémentaire que ne permettent pas les contraintes mécaniques dues au volume disponible pour la partie analogique. En outre l'architecture interne du circuit analogique rend la précision des intégrations très dépendante du rapport cyclique du signal d'horloge.

C'est donc la carte frontale numérique qui fournira l'horloge de la partie analogique : un simple connecteur de petites dimensions suffit. Un circuit spécial disponible dans le commerce (par exemple un roboclock de CYPRESS) délivrera des signaux d'horloge de phase programmable afin d'ajuster finement l'instant d'échantillonnage.

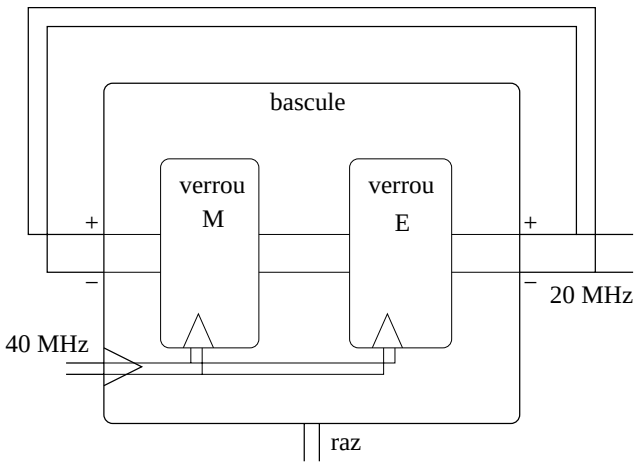


FIG. 4.10 – Schéma de réception de l'horloge et de la mise à zéro

Choix de la demi-voie

Au niveau des circuits de traitement des données, il est très important de connaître de quelle demi-voie provient la donnée en cours, en raison du décalage relatif de leurs valeurs.

C'est pourquoi un signal de mise à zéro est généré sur la carte frontale et transmis à la carte analogique. Ce signal permet la synchronisation des deux cartes en positionnant la demi-voie active après mise à zéro dans un état bien connu à la fois sur les parties analogiques et numériques.

Circuit analogique

Au niveau du circuit analogique, le basculement entre les demi-voies est commandé par un signal d'horloge à 20 MHz. Ce signal d'horloge est transmis depuis la carte frontale au travers de 20 m de câble. Or, la durée d'intégration dépend directement du rapport cyclique et doit être identique pour les deux demi-voies. Le transit, sur une telle longueur de câble, ne permet pas d'obtenir une bonne qualité du signal d'horloge (jitter, rapport cyclique, temps de montée).

C'est pourquoi il a été décidé de transmettre le signal d'horloge à 40 MHz. Ce signal est remis en forme puis divisé par un facteur 2 en fréquence à l'intérieur du circuit analogique lui-même. On assure ainsi un rapport cyclique de 50 % nécessaire à la précision des intégrations[17].

La réception des signaux d'horloge et de la mise à zéro est confiée à un élément du circuit intégré analogique. Le circuit est entièrement réalisé en transistor bipolaires.

Le diviseur par 2 est une bascule D rebouclée en inverse et composée de deux verrous en configuration maître-esclave (figure 4.10). Le schéma électronique équivalent est donné en annexe B. Toutes les opérations de ce bloc s'effectuent en différentiel. La bascule possède une entrée de mise à zéro directement reliée au signal de mise à zéro provenant de la carte frontale. Les niveaux logiques internes ont une faible dynamique (350 mV) pour éviter de perturber la partie analogique du circuit intégré. L'horloge à 20 MHz est remise en forme (dynamique, mode commun) au plus près de chaque élément qui l'utilise.

Le dessin du diviseur est donné par la figure 4.11 ($100 \times 300\,\mu m^2$).

Tests de la mise à zéro de l'horloge

Une campagne de test a permis de s'assurer que la mise à zéro fonctionne correctement sur le circuit analogique. Le signal de mise à zéro est au format ECL différentiel. Pour les tests il est généré par un dispositif extérieur qui envoie un signal périodique. La vérification du fonctionnement s'effectue par l'intermédiaire d'une patte du circuit analogique prévue à cet effet. Le niveau de départ de l'horloge doit rester le même après chaque synchronisation.

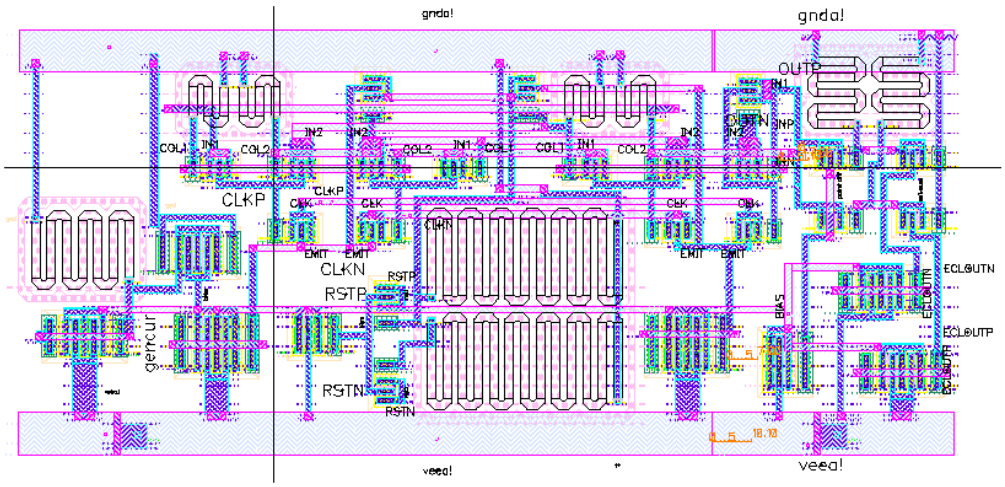


FIG. 4.11 – Dessin des masques de la partie « réception de l'horloge et de la mise à zéro » du circuit analogique

Le tests effectués en laboratoire ont été un succès. La figure 4.12 montre une mise à zéro asynchrone. Le signal de mise à zéro (en bas) arrive au moment où l'horloge du circuit est sur un niveau bas : le niveau de l'horloge est rapidement positionné au niveau de référence. Quand le signal de mise à zéro est enlevé, le premier front de l'horloge interne est descendant (signal du milieu). On peut constater que l'horloge interne possède bien une fréquence égale à la moitié de l'horloge de référence externe à 40 MHz (signal du haut).

La figure 4.13 montre une mise à zéro synchrone à l'horloge de référence. Après le retrait du signal de mise à zéro, l'horloge interne démarre toujours par un front descendant (stabilité du signal à l'oscilloscope).

4.3.2 Longueurs des câbles

La longueur des câbles reliant la partie analogique et la partie numérique est susceptible de varier. Seul un jeu précis comportant au maximum 4 longueurs différentes sera utilisé. Si l'on considère qu'un signal se propage à la vitesse de 0,2 m/ns, des longueurs multiples de 5 m sont vues par l'électronique comme autant de retard d'une période d'horloge (25 ns). Pour compenser les différences entre plusieures longueurs de câble, il suffit alors, connaissant la taille du câble utilisé pour une voie, de retarder les données du

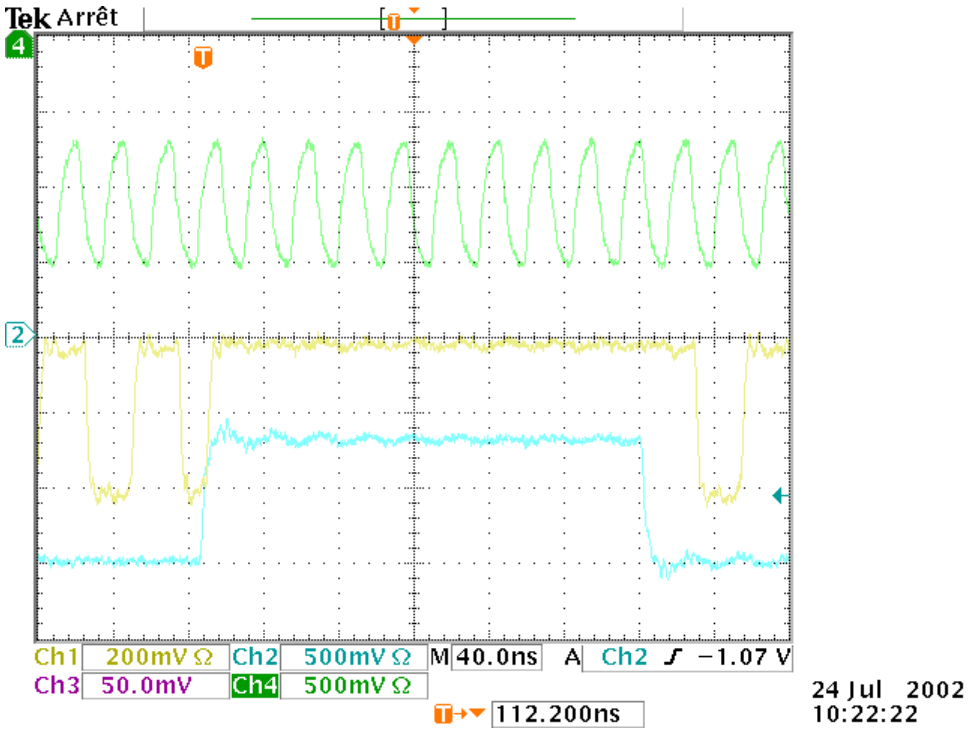


FIG. 4.12 – Chronogrammes pour la mise à zéro de l'horloge

nombre adéquat de périodes d'horloge.

Un registre à décalage de profondeur programmable permet de régler le retard introduit par pas de 25 ns.

4.3.3 Latence du CAN

Le convertisseur analogique-numérique possède une architecture incluant 3 convertisseurs FLASH plus petits. Entre le front d'horloge qui échantillonne la donnée d'entrée et la sortie de la valeur numérique correpondante, il s'écoule 5 périodes d'horloge.

4.3.4 Conséquences sur l'architecture

L'architecture proposée pour la carte frontale effectue la mise en temps de toutes les voies du preshower aussi tôt que possible. La partie effectuant le traitement des données devra prendre en compte le numéro de la demi-voie qui a produit l'échantillon à traiter. Dans ce but la partie analogique et la partie numérique sont synchronisées par la même horloge et mises en phase grâce à un signal de mise à zéro.

Les temps de propagation du circuit analogique et des câbles sont compensés grâce au

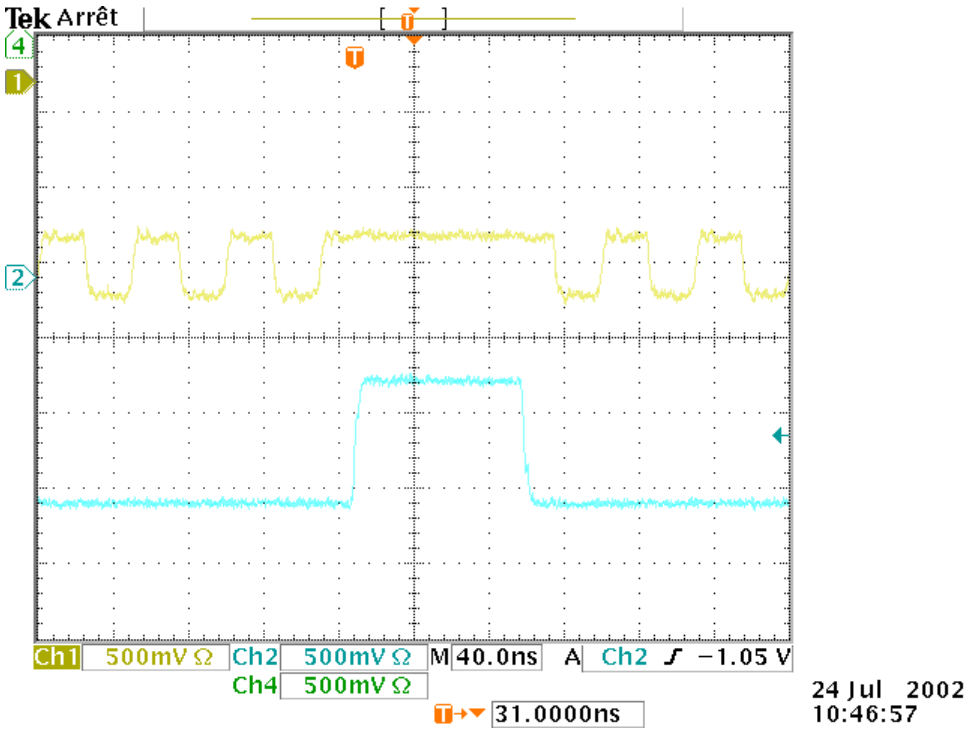


FIG. 4.13 – Chronogrammes pour la mise à zéro synchrone

réglage programmable du déphasage de l'horloge du CAN. Le CAN est en effet le premier élément qui échantillonne le signal sur la carte frontale.

4.4 Dispersion des caractéristiques

4.4.1 Ajustement du décalage

Le décalage en tension entre les voies et les demi-voies peut atteindre 50 mV au maximum [17]. Il s'agit alors pour corriger cette imperfection de soustraire une valeur fixe et égale au décalage de la demi-voie considérée. La soustraction peut s'effectuer après la numérisation pour des raisons de simplicité et pour éviter de risquer de perturber le signal analogique d'entrée.

4.4.2 Ajustement du gain

Le gain total de la partie précédante de la chaîne est aussi susceptible de varier. La correction consiste à multiplier la donnée par un facteur de normalisation. De cette façon, à l'issue des deux ajustements, une même valeur d'énergie de la particule incidente donne

en théorie la même valeur de donnée (au sens de la moyenne statistique) pour toutes les voies du détecteur.

4.4.3 Solutions techniques

Algorithme arithmétique

La solution la plus immédiate est d'utiliser des opérateurs arithmétiques électroniques à savoir une addition suivie d'une multiplication. Cette solution présente l'avantage de nécessiter le chargement de très peu de données pour configurer les opérations : une valeur du décalage et une valeur de gain. On se propose d'évaluer la quantité d'informations nécessaire pour décrire les opérations de traitement dans un cas particulier représentatif.

Si le décalage maximum est inférieur à 100 mV, un entier compris entre -128 et $+127$ est suffisant (un pas du CAN correspond à 1 mV de la dynamique d'entrée). 8 bits suffisent alors à coder la correction à apporter.

Dans le but d'évaluer les ressources nécessaires, supposons que l'on veuille pouvoir compenser des variations de gain de l'ordre de 10%. Il faut alors multiplier la donnée à corriger par un nombre compris entre 0,9 et 1,1. Il n'est utile que de coder l'écart à 1 du facteur correctif. Un entier compris entre -128 et +127 en $\frac{1}{1024}$ d'unité permet de regler la correction de gain au $\frac{1}{1024}$ prés autour de 1. 8 bits suffisent encore.

Pour l'ensemble des voies il faut donc $6000 \times 2 \times 2 \times 8 = 192$ kbits de données pour configurer ce type de corrections.

Table de conversion

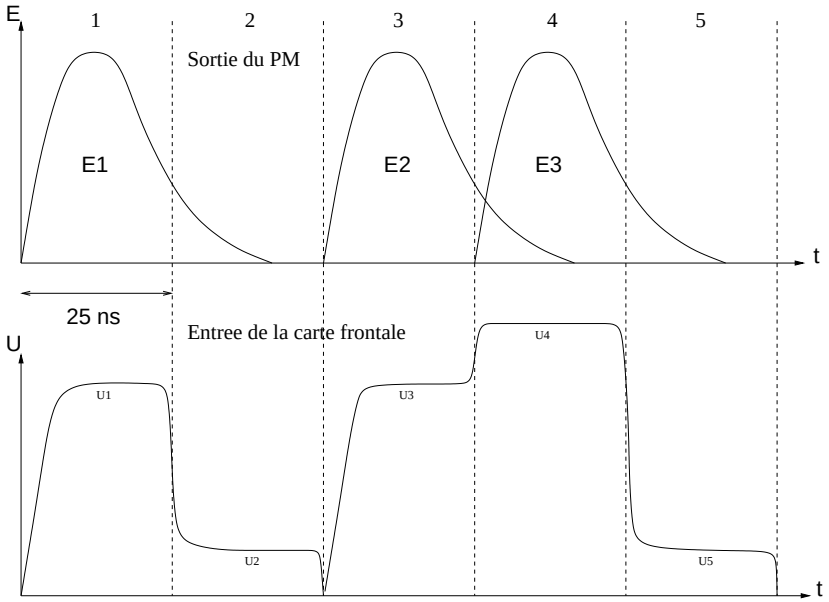
Une solution plus évoluée consiste à utiliser une table de conversion (ou LUT pour Look-Up-Table) qui associe, en sortie, une nouvelle valeur corrigée à chaque valeur de donnée d'entrée. Une table pour chaque demi-voie est nécessaire. Une table est constituée d'une mémoire dont l'adresse est donnée par la valeur à corriger. Les informations à charger dans la mémoire sont calculées au préalable à l'aide d'un outil informatique pour chaque demi-voie. Ce procédé permet en outre d'apporter toute autre correction utile y compris des corrections de non linéarité à condition que ces corrections ne dépendent que de la valeur de la donnée en cours (contrairement à l'erreur d'empilement vue au 3.5.1).

La taille minimum de mémoire nécessaire pour une table serait de 10 bits d'adresse pour des mots de 11 bits (au lieu de 10 bits en cas de gain uniquement inférieur à 1) soit un peu plus de 11 kbits. Donc pour tout le preshower il faut charger en mémoire 132 Mbits !

4.5 Correction de l'erreur systématique

4.5.1 Le problème

La figure 4.14 montre la sortie (idéale) du circuit analogique (courbe du bas) pour une suite d'impulsions délivrées par le photomultiplicateur (énergie totale de 900 unités arbitraires). Les périodes d'intégration successives sont représentées. L'impulsion E1 dure plus d'une période d'intégration et provoque les valeurs de sortie U1 et U2. U2 n'est pas significative car à ce moment là aucune particule ne provoquait d'impulsion en sortie du photomultiplicateur. Les impulsions E2 et E3 se suivent : la traîne de E2 recouvre le début de E3, l'échantillon U4 correspondant est erroné (valeur de 900 au lieu de 700).



	Sorties ADC de la carte Front−End (proportionnelles a Un)				
Un	700	200	700	900	200
	Valeurs corrigees ideales (proportionelles a En)				
En	500	0	500	500	0

FIG. 4.14 – Exemple idéal pour la correction α

En supposant que la forme de l'intégrale du signal est invariante, dans la cas présent, il s'agit d'une décroissance expotentielle, il devient possible de corriger l'échantillon en cours en lui soustrayant une fraction de l'échantillon précédent, une fois le signal numérisé. Ce point a été vérifié expérimentalement. La figure 4.15 donne la proportion de la partie de l'impulsion contenue dans la première période d'intégration par rapport à sa surface totale. On obtient une valeur moyenne de 85 %. La proportion restante du signal est notée α (environ 15 %). Elle est susceptible de varier avec la valeur de l'échantillon, c'est

à dire de l'énergie de la particule observée et de toute façon à cause des non linéarités du photomultiplicateur.

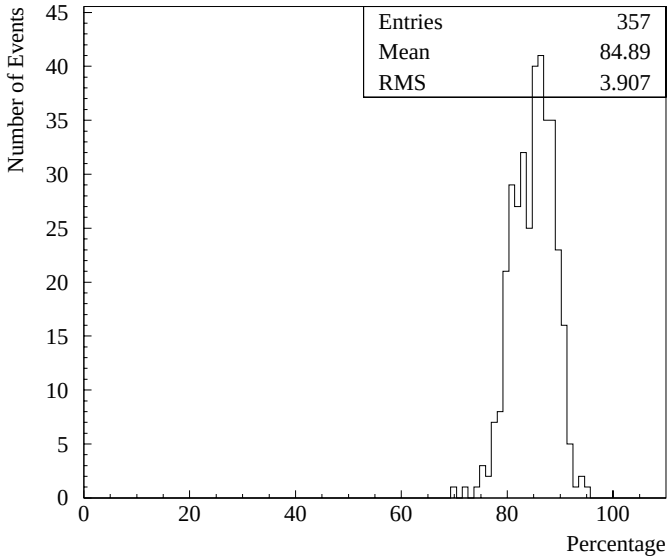


FIG. 4.15 – Histogramme des valeurs de α pour des données expérimentales

Du point de vue de l'électronique on se propose de réaliser l'algorithme suivant :

$$U_n^{corr} = U_n - \alpha * U_{n-1}$$

où U_n^{corr} est la valeur corrigée et U_n l'échantillon numéro n. Si α dépend de l'énergie, il faut écrire :

$$U_n^{corr} = U_n - \alpha(U_{n-1}) * U_{n-1}$$

4.5.2 Solutions techniques

Algorithme arithmétique

Sans tenir compte de la dépendance en énergie de α, il est possible de retarder d'une période d'horloge l'échantillon en cours, de multiplier cette valeur par un facteur α numérique et enfin de soustraire ce résultat à la valeur initiale de l'échantillon.

La figure 4.16 donne le schéma équivalent. On remarque les deux registres de synchronisation disposés en entrée du soustracteur. La seule difficulté technique sera d'utiliser un multiplieur dont le temps de propagation n'excède pas 25 ns (en pratique un peu moins pour tenir compte des contraintes en temps des bascules : temps de propagation dans le registre d'entrée et temps de setup du registre de sortie plus une marge de sécurité). Si ce n'est pas le cas il faudra le partager en plusieurs étapes pour maintenir l'architecture pipe-line et compenser cet ajout d'étages dans les autres branches de l'électronique afin de ne pas désynchroniser le système.

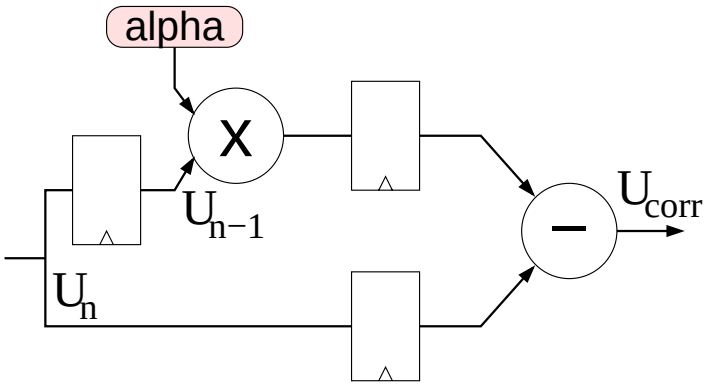


FIG. 4.16 – Correction α simple

Algorithme arithmétique amélioré

La valeur de α peut être choisie en fonction de domaines d'énergie où ce paramètre est considéré comme constant. On ajoute au schéma précédent des comparateurs permettant de connaître la plage d'énergie courante et de sélectionner la bonne valeur de α.

Table et addition

De même que pour les corrections de gain et de décalage, il est possible d'utiliser une table. Deux possibilités sont offertes :

- soit une table donne le résultat de la multiplication par α en fonction de la valeur de l'échantillon d'entrée puis un opérateur arithmétique effectue la soustraction ;
- soit une table donne directement la valeur corrigée en fonction d'un échantillon et du précédent.

Dans le premier cas il faut une mémoire de 10 bits d'adresse pour 10 bits de données soit 10 kbits de capacité. Dans le second il faut 20 bits d'adressse pour 10 bits de données ; la capacité est de 10 Mbits.

Pour la première possibilité, α peut dépendre de façon quelconque de l'énergie. Il en est de même pour l'autre cas mais cette fois on peut prendre en compte les effets dus aux différences de proportion entre les deux événements successifs ou nécessitant de prendre en compte les deux valeurs U_n et U_{n-1}.

Le tableau 4.2 donne le bilan des quantités de données (nombre de bits) nécessaires pour la configuration de chaque solution pour une voie et pour tout le preshower. Pour l'erreur systèmatique on suppose que α est codé sur 8 bits. Dans le cas de l'algorithme amélioré on prend 3 valeurs de α sur trois plages d'énergie définies par 2 seuils codés sur 10 bits chacun.

Type	1 voie	6000 voies
Décalage et gain		
Algorithme	32	192 k
100% table	22 k	132 M
Erreur systématique		
Algorithme	8	800
Algorithme amélioré	44	4,5 k
Table et addition	10 k	60 M
100% table	10 M	60 G

TAB. 4.2 – Quantité de données en nombre de bits

Ces données de configuration devront être téléchargées régulièrement au cours de l'expérience par un système de contrôle. Il est préférable de limiter fortement leur quantité pour limiter le temps pris par les opérations de chargement et le risque d'erreur.

4.6 Codage

Les données corrigées doivent être stockées dans l'attente de leur validation par le système de déclenchement puis leur transfert au niveau supérieur et finalement sur support non volatile.

Pour ce processus, on a tout intérêt à diminuer au maximum la quantité totale d'information à transférer.

Comme le besoin de précision est plus faible aux hautes énergies, on peut diminuer le nombre de bits utilisés pour coder l'énergie. L'algorithme suivant permet de passer de 10 bits à 8 bits sans pénaliser les petites valeurs (elles restent inchangées) du point de vue de la précision. Les grandes valeurs (supérieures à 128) ont une précision 8 fois moindre.

$$\text{Si } U_n^{corr} \geq 2^7 \text{ alors} \begin{cases} M_n = \left.\frac{U_n^{corr}}{8}\right|_{7\,bits} \\ G_n = 1 \end{cases} \text{ sinon} \begin{cases} M_n = \left.U_n^{corr}\right|_{7\,bits} \\ G_n = 0 \end{cases}$$

Autrement dit : si $U_n^{corr} \geq 2^7$ alors $U_n^{8bits} = 2^7 + \frac{U_n^{corr}}{8}$ sinon $U_n^{8bits} = U_n^{corr}$ où $2^7 = 128$ est la valeur d'énergie à partir de laquelle on accepte une précision moindre.

L'algorithme précédent correspond à un codage flottant avec 1 bit d'exposant (G_n) et 7 bits de mantisse (M_n). Le bit d'exposant code un gain unitaire ou de 8 tandis que la mantisse est à virgule fixe. Il possède l'avantage de pouvoir se traduire en terme de schéma d'électronique très simplement comme le montre la figure 4.17. Pour des données brutes sur 10 bits, la superiorité à 128 se teste par la présence d'un bit actif parmi les 3 bits de poids les plus forts : on obtient l'exposant. En fonction de ce résultat on sélectionne les 7 bits de poids faibles ou les 7 bits de poids forts pour la mantisse (la division par 8 est

obtenue par un simple décalage de 3 rangs).

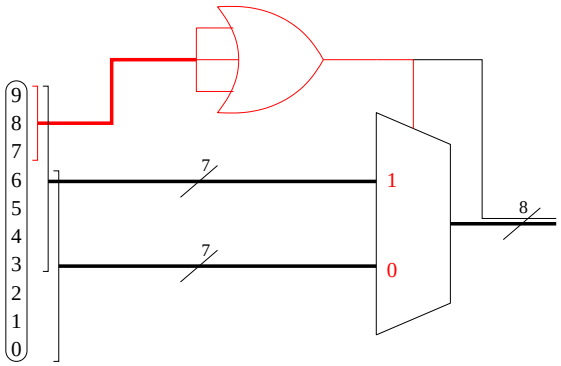


FIG. 4.17 – Schéma pour le codage 8 bits

La figure 4.18 donne l'énergie reconstruite à partir du code 8 bits (échelle de gauche) en fonction de la valeur de l'énergie avant le codage. Les énergies sont exprimées en dixièmes de MIP. La linéarité est bien entendu conservée pour les énergies. Les courbes en pointillés (échelle de droite) donnent en pour cent la précision relative sur la valeur.

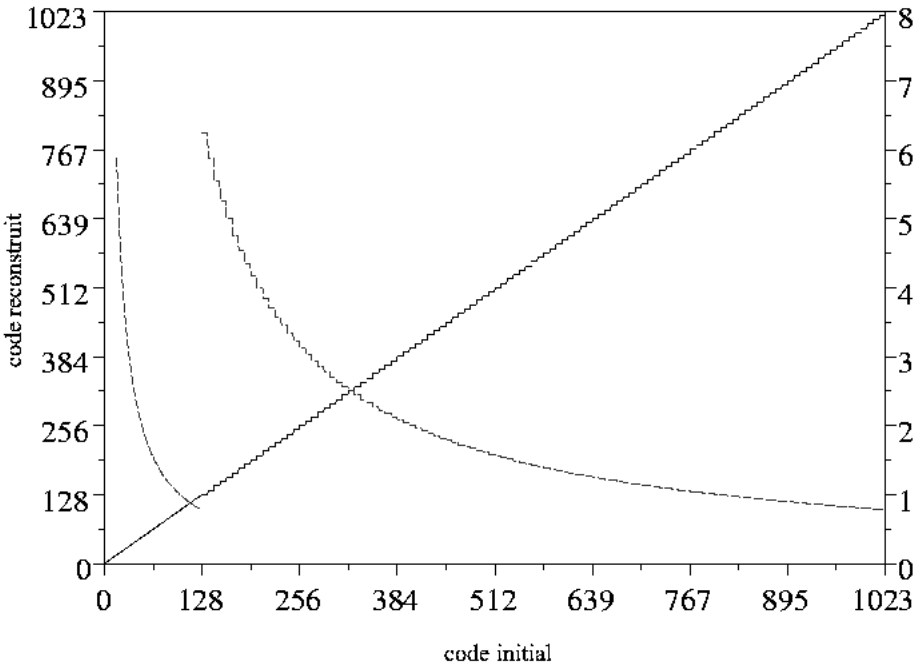


FIG. 4.18 – Linéarité et précision pour le codage 8 bits

4.7 Stockage des données

A l'issue du codage sur 8 bits, les données sont prêtes à être stockées en attendant la validation du premier niveau de déclenchement. Une série de mémoires le permet. L'étude développée ici ne porte pas sur ce point. Il est prévu d'utiliser le même système que pour le calorimètre électromagnétique. Ce système est sous la résponsabilité du Laboratoire de l'Accélérateur Linéaire d'Orsay qui en effectue le développement.

4.8 Partie déclenchement

Le système de déclenchement, qui fonctionne en parallèle de la production et de l'acquisition des données, a besoin de données simplifiées pour effectuer les calculs nécessaires à la prise de décision. Le preshower fait partie des détecteurs exploités au premier niveau de déclenchement et doit donc produire un jeu de données qui lui est destiné.

4.8.1 Données « déclenchement »

En l'occurence il s'agit de détecter si l'énergie a dépassé un seuil. Un unique bit qui indique le dépassement est produit pour chaque voie. Pour le preshower, l'ensemble des données pour le déclenchement est donc 8 fois plus petit que les données destinées à l'analyse physique.

Les informations ne sont pas transmises au système de déclenchement directement. Elles constituent une aide pour le calorimètre électromagnétique dans la production de ses propres données pour le déclenchement. Le calorimètre électromagnétique en a donc besoin toutes les 25 ns pour pouvoir examiner chaque collision.

Pour éviter de transmettre 6000 bits de données à 40 MHz entre des cartes qui ne sont pas situées dans les mêmes châssis et pour limiter le nombre de connexions sur chaque carte on décide de ne transférer que le strict minimum, c'est à dire seulement la partie qui intéresse le système de déclenchement du calorimètre électromagnétique.

4.8.2 La recherche des voisins

La « recherche des voisins » est le processus, précédemment décrit pour le preshower, de réduction des données à destination du système de déclenchement.

Le preshower est segmenté en 6000 cellules. Il en est de même pour le calorimètre électromagnétique (ECAL). Pour ce dernier détecteur les voies sont regroupées par 32. A un groupe de 32 correspond une carte frontale du calorimètre électromagnétique. En général, pour le preshower les voies sont regroupées par 64 pour une carte frontale à laquelle correspondent deux cartes frontales du calorimètre électromagnétique.

Il est possible d'identifier une voie par un nombre qui constitue son adresse.

Chaque carte frontale ECAL transmet une adresse (de 0 à 31) à la demi-carte frontale du preshower correpondante. En retour sont renvoyés les bits des données déclenchement de la voie adressée et de quelques unes de ses voisines. En réalité, la réponse est retournée à une troisième carte faisant partie du système de déclenchement de premier niveau : une carte de « validation ».

4.8.3 Segmentation, adresses et voisins

Segmentation du preshower

La figure 4.19 montre pour une moitié du preshower sa segmentation en blocs de 64 voies. Les gros numéros identifient les châssis et les petits les emplacements des la cartes en leur sein. A cause du nombre de voies et de leur répartition, il subsiste quelques blocs incomplets de 32 voies. On suppose que l'architecture de l'électronique rendra ce fait transparent du point de vue de la production des données pour la physique et le déclenchement. La surface de détecteur occupée par les capteurs associés à une carte frontale varie en fonction de la zone de granularité.

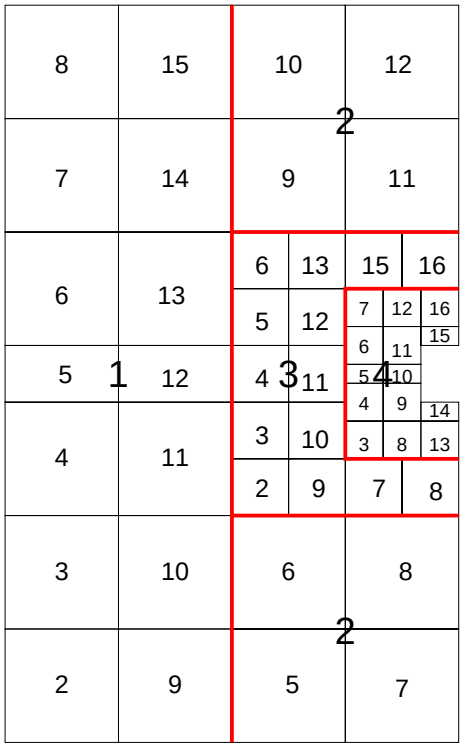


FIG. 4.19 – Regroupement par 64 des voies du preshower

Du point de vue de la recherche des voisins, les cartes frontales sont divisées en deux

demi-cartes pour rester compatible avec la structure du calorimètre électromagnétique.

Adresses dans une demi-carte

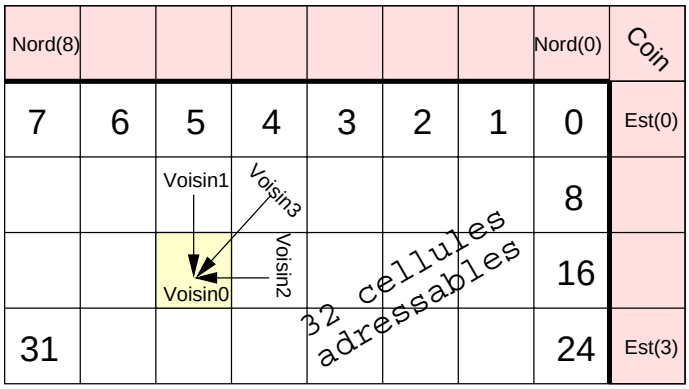


FIG. 4.20 – Voisins dans un bloc de 32 voies

La figure 4.20 propose une représentation des 32 voies d'une demi-carte frontale. Les 32 voies ou cellules sont susceptibles d'être adressées par le calorimètre électromagnétique. Dans ce cas la demi-carte frontale doit retourner le bit de déclenchement de la cellule adressée (voisin0 sur la figure) ; celui de la cellule du dessus (cellule « NORD », voisin1) ; celui de la cellule de droite (cellule « EST », voisin2) et enfin celui de la cellule du dessus à droite (cellule « COIN », voisin3).

Transmission des voisins

Pour pouvoir traiter les cellules des frontières NORD et EST du bloc, il faut avoir accès aux bits de déclenchement des blocs voisins au sens de la figure 4.19. Pour permettre à la recherche des voisins de s'accomplir quelle que soit l'adresse, les demi-cartes doivent transmettre entre elles les valeurs des bits de déclenchement correspondant à leurs frontières. Les cellules NORD, EST et COIN sont dupliquées au niveau du bloc concerné comme le montre la figure 4.20 (cellules grisées). Trois cas peuvent survenir :

- le bloc voisin est localisé sur la même carte frontale (bloc NORD uniquement) ;
- le bloc voisin est situé sur une autre carte frontale dans la même zone de granularité ;
- le bloc voisin appartient à un zone de granularité différente.

Dans le premier cas, le problème est simple : il suffit d'ajouter sur le circuit imprimé les connexions nécessaires au composant électronique effectuant la recherche. Dans le deuxième cas des liaisons filaires entre cartes frontales devront être prévues. Dans le troisème cas, aucun voisin n'est transmis car il n'y a pas de correspondance de cellule à cellule entre deux zones de granularités différentes et la matrice de la figure 4.20 ne peut alors pas être construite sans ambigüité (taille des blocs de scintillateur variable).

4.8.4 Solution matérielle

Du point de vue de l'électronique, la recherche des voisins peut se résoudre à extraire 4 bits d'une matrice de 9×5, voisins externes compris, sur présentation d'une adresse. Ce problème ressemble beaucoup à ce qui se déroule pour une mémoire traditionnelle. Cependant, étant donné le petit nombre de cellules, plutôt que de passer par un étage de décodage d'adresse de ligne et de colonne et des bus en logique à trois état, il est préférable de câbler directement l'extraction des données recherchées.

Une batterie de multiplexeurs permet de choisir la cellule adressée et ses voisines en même temps, comme le représente la figure 4.21.

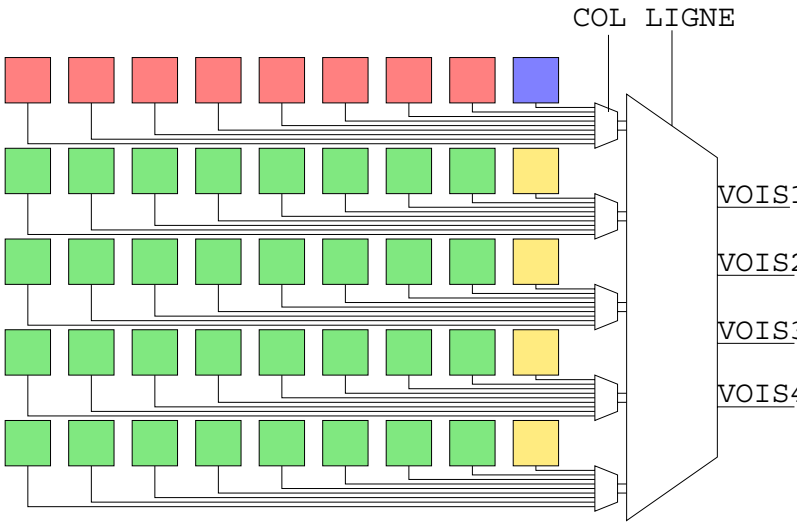


FIG. 4.21 – Multiplexage des cellules

La figure 4.20 propose un adressage des cellules tel que 3 bits peuvent coder une colonne et 2 autres une ligne. Il servent directement à commander les multiplexeurs. Une première couche de multiplexeurs sélectionne pour chaque ligne la colonne adressée et sa voisine de droite. La deuxième couche isole la bonne ligne et sa voisine du dessus. Finalement, les 4 bits « voisins » sont extraits.

4.8.5 Données du détecteur SPD

Le détecteur SPD est très similaire au preshower : il possède la même segmentation en cellules et donc en voies mais est sensible à d'autres types de particules. Il est situé en amont du preshower. La recherche des voisins doit aussi être menée à bien sur ses données pour le déclenchement. La carte frontale du preshower s'en chargera. Dans ce but le SPD transmet l'ensemble de ses données à chaque carte frontale du preshower. Après une mise en temps (le temps de propagation dans les capteurs, la durée du traitement des données, les longueurs de câbles, etc. sont différents du preshower) les données du SPD

sont synchronisées avec celles du preshower.

4.8.6 Datagramme

Numéro	7	6	5	4	3	2	1	0
Détecteur	SPD				preshower			
Donnée	coin	est	nord	cellule	coin	est	nord	cellule

TAB. 4.3 – Datagramme pour la recherche des voisins

Chaque demi-carte transmet au système de déclenchement 8 voisins dont 4 pour le preshower et 4 pour le SPD. Le tableau 4.3 dresse le bilan des données transmises.

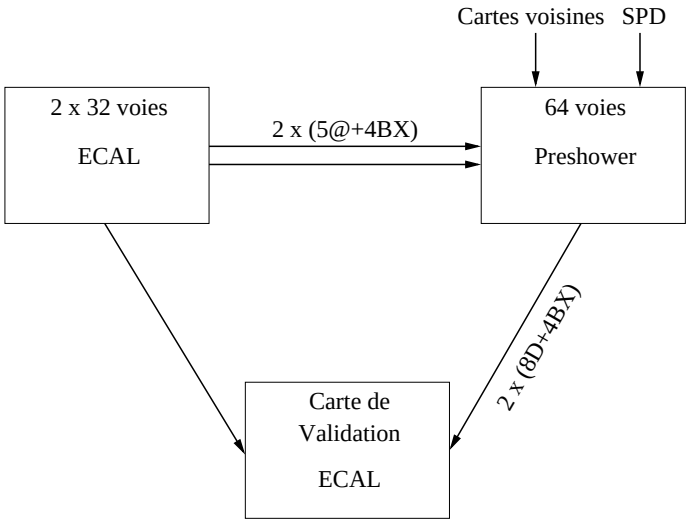


FIG. 4.22 – Systèmes interconnectés pour la recherche des voisins

La figure 4.22 montre le cheminement des données à travers les différents systèmes. L'adresse envoyée par les cartes frontales du calorimètre électromagnétique est accompagnée par un identifiant du numéro de collision sur 4 bits (BX). Il en est de même pour les voisins transmis à la « carte de validation » correspondante. On assure ainsi la possibilité de vérifier la mise en temps de façon permanente.

4.9 Conclusion

L'électronique frontale du preshower se décompose en deux parties : la mise en forme analogique d'une part et le traitement numérique d'autre part. Le traitement numérique

poursuit deux objectifs : premièrement la production de données corrigées de certains défauts de la chaîne de mesure et deuxièmement l'extraction de données simplifiées à destination du système de déclenchement statuant sur la validité des premières.

A ce stade, le principe du traitement numérique a été établi. La partie numérique de l'électronique frontale se répartit sur plusieures cartes afin de traiter les 6000 voies de mesure. Une étude est nécessaire pour concevoir ces cartes ; des prototypes permettront de valider les choix effectués.

Les choix sont de deux types. D'une part une étude prospective permettra d'évaluer différentes solutions technologiques ou architecturales dans le but de préciser l'idée de « carte frontale ». D'autre part pour la réalisation des prototypes il s'agit de définir un cadre plus simple afin de limiter les coûts et la durée de conception et d'obtenir des dispositifs souples adaptés à la mise au point.

Chapitre 5

La carte frontale

Il a été précédemment décrit comment le signal analogique mis en forme était réceptionné puis numérisé et enfin traité numériquement pour une voie de mesure. La carte frontale regroupe, sur un même circuit imprimé, l'électronique correspondant à 64 de voies de mesure ainsi que quelques fonctions additionnelles. Ce chapitre détaille des éléments concernant la carte définitive : contraintes, fonctions et étude technologique.

5.1 Contraintes externes

5.1.1 Mécanique

Les cartes frontales seront enfichées dans plusieurs châssis fournissant les sources d'alimentation utiles aux cartes, un système de ventilation pour évacuer la chaleur dissipée et surtout des interconnexions de fond de panier et de panneau arrière.

Pour des raisons d'économie, l'électronique frontale du preshower utilisera les châssis ainsi que leurs fonds de panier spécifiques conçus pour le calorimètre électromagnétique. Ceci impose les dimensions des cartes frontales : 36 cm de profondeur pour 34 cm de hauteur. Si l'on retranche l'espace nécessaire aux glissières, connecteurs de fond de panier et autres éléments mécaniques, l'espace reservé pour l'implantation des composants électroniques est réduit à 34 cm en profondeur pour 32 cm en hauteur.

5.1.2 Résistance aux radiations

La présence de particules produites par les collisions successives constitue un environement radiatif contraignant. La longueur des câbles véhiculant le signal analogique aurait été trop importante si l'électronique frontale avait été disposée à bonne distance du detecteur à l'abris d'un épais mur en béton. Cette partie de l'électronique du preshower sera installée au sommet du détecteur. Une telle position géographique, relativement éloignée

du point d'interaction, permet d'espérer un taux de radiation modéré d'autant plus que la masse du détecteur absorbera une partie des radiations.

Après simulation, la dose totale de radiations attendue est de l'ordre de 10 krad pour 10 ans d'exploitation du détecteur. Il s'agit d'une valeur faible mais supérieure ou proche de ce que peuvent tolérer la plupart des composants commerciaux. Ce flux est composé de particules d'énergies diverses pouvant provoquer plusieurs types de conséquences :

- effets de dose cumulée ;
- dépot de charge ;
- claquage, souvent destructif, des circuits.

Les effets de dose cumulée (ou dose totale) ont des conséquences au niveau des caractéristiques des transistors (dérive de la tension de seuil par exemple) ou la création de chemins de courants de fuite. Sur un circuit analogique, on observe une dégradation progressive des performances. Un composant numérique, moins sensible, fonctionnera tant que les niveaux logiques internes pourront être différenciés mais la consommation aura tendance à augmenter (courants de fuite et de commutation des portes logiques plus élevés). Etant donnée la faible valeur de la dose totale de radiation reçue sur la durée de l'expérimentation, peu de problèmes sont attendus de ce point de vue.

Par contre, les conséquences d'un dépot de charge causé par une particule énergétique et ionisante (événement singulier) constituent une menace pour le bon état de fonctionnement des systèmes électroniques.

En effet, ce phénomène peut conduire, s'il a lieu au niveau d'une zone sensible d'un circuit, à un changement de niveau logique. Si l'élément touché fait partie du chemin de données, les conséquences n'apparaissent que durant le temps nécessaire à l'évacuation des charges puis le circuit reprend sa fonction initiale. Par contre, si l'élément touché appartient à une structure de commande, de configuration ou de paramétrage qui n'est pas régulièrement rafraichie, l'erreur logique modifie la fonction du circuit jusqu'à réparation. C'est le cas par exemple d'un registre contenant la valeur d'un paramètre du traitement des données ayant été initialisé au démarrage et corrompu en cours de route par un dépot de charge. L'architecture, la technologie du circuit ou bien un système de contôle externe doit permettre d'assurer l'intégrité des paramètres dont découle la marche conforme d'un circuit. Pour l'électronique frontale du preshower, on ne s'attend pas à connaître les effets de dose cumulée ou dûs au taux de radiation. Ce sont les conséquences des dépots de charges (événements singuliers) qu'il faut contrer.

5.2 Nombre de voies

Pour le preshower, il y a environ 6000 voies de mesure. Afin de limiter le nombre de cartes frontales pour une raison de coût et d'encombrement, on souhaite intégrer 64 voies de mesure sur une seule carte.

Pour la partie analogique de réception du signal et la numérisation qui sont réalisées en composants discrets, on ne dispose que d'un centimètre en hauteur par voie à condition

d'utiliser les deux faces du circuit imprimé.

5.3 Solution pour la partie analogique et la numérisation

5.3.1 Placement des composants

Les composants réalisant les fonctions analogiques et la numérisation décrites à la section 3.5 peuvent s'inscrire dans un rectangle de 1 cm par 4 cm ce qui rend possible l'intégration de 64 voies sur une carte. Les boîtiers de tous les composants sont de type montés en surface (série 0805 pour les résistances et les capacités). La figure 5.1 montre la disposition des composants et le chevelu des interconnexions.

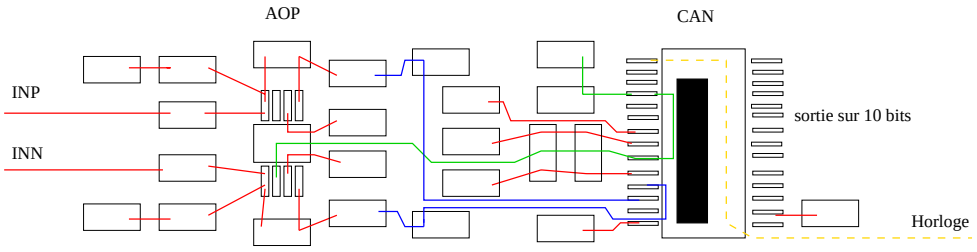


FIG. 5.1 – Placement des composants de la partie analogique

Le placement des composants prend en compte des contraintes en terme de compatibilité électromagnétique :

- un plan de masse couvre toute la surface occupée par les composants ;
- les capacités de découplage ont été rapprochées le plus possible des broches d'alimentations ;
- les signaux différentiels sont transmis sur des pistes proches l'une de l'autre afin de limiter l'influence du bruit ;
- un report local du plan de masse a été ajouté en surface sous le CAN afin d'isoler les signaux analogiques (sur la gauche du CAN) des signaux numériques et en particulier de l'horloge numérique (sur la droite) ;
- le tracé de la piste supportant la tension de référence de 0,5 V délivrée par le CAN évite les signaux dynamiques susceptibles de la perturber ;
- la distance entre l'AOP et le CAN a été réduite afin de limiter les phénomènes d'échos sur des pistes trop longues, bien que celles-ci soient à basse impédance.

Un élement de librairie de conception a été créé ce qui permet de dupliquer aisément le motif de circuit imprimé pour cette partie de la carte sans risques de disparité entre les voies. Le motif a été conçu pour un circuit imprimé sur 6 couches et de façon à pouvoir en superposer un second sur l'autre face de la carte.

L'élément de librairie a été utilisé pour la réalisation de prototypes de la carte frontale. Le premier des ces prototypes comportant 8 voies de numérisation a permis d'évaluer les

performances de cette solution en terme de bruit et de diaphonie. Les résultats apportent toute satisfaction.

5.3.2 câble et connecteurs

En raison de grand nombre de voies à équiper, le coût, la disponibilité et la fiabilité du câble et des connecteurs est critique. Des tests ont montré que les connecteurs RJ45 et le câble ethernet de catégorie 5+, très largement utilisés pour les réseaux informatiques (signaux numériques), convenaient au transport des signaux analogiques issus du circuit de mise en forme, pour la tolérance sur les effets du câble admise.

Le câble comporte 4 paires différentielles blindées par un feuillard (film d'aluminium) et un fil de masse hélicoïdal. Il est disponible chez de nombreux fournisseurs à un prix raisonnable.

5.4 Fonctions additionnelles

5.4.1 Acquisition des données

Principe

Une fois les données numériques produites et traitées il n'est pas possible de les envoyer vers un système de stockage externe en raison de leur trop grand nombre à l'échelle du détecteur. C'est pourquoi, sur les carte frontales, figurent des canaux de stockage à court terme en attendant les validations des systèmes de déclenchement des deux premiers niveaux. Seules les données ayant franchi ces deux validations sont transmises à l'extérieur des cartes frontales. Cette fonction s'appelle l'acquisition des données ou DAQ.

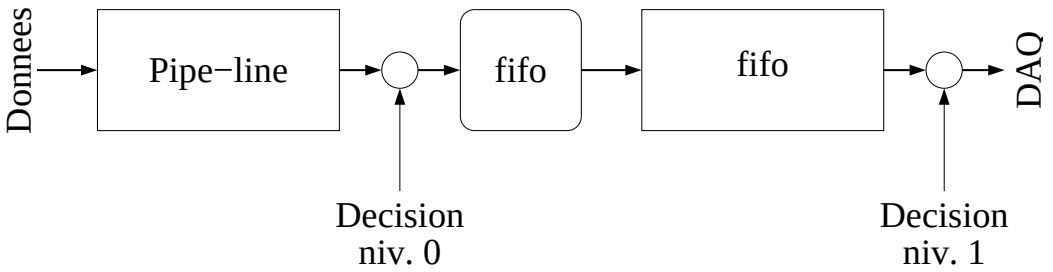


FIG. 5.2 – Schéma de principe du DAQ

Comme la décision du premier niveau de déclenchement est délivrée au bout d'un temps fixe par rapport à la collision correspondante, les données traitées sont d'abord introduites dans un grand registre à décalage (pipe-line). Agissant comme un tapis roulant sur lequel elles seraient déposées, ce registre permet d'une part de stocker toutes les

données entrantes et d'autre part de reporter la sortie des données d'un temps compensant exactement le retard du signal de validation par rapport à celles-ci [4].

En sortie, les événements validés sont placés dans une mémoire d'attente. En effet, la validation de second niveau n'est pas délivrée après un temps fixe par rapport à la collision correspondante, de plus les données validées par le premier niveau arrivent irrégulièrement puisque les critères de validation sont réalisés de façon aléatoire en fonction de la nature des collisions. Il s'agit donc de rendre compatible les rythmes de sortie et d'entrée des données entre les deux premiers niveaux de validation. Comme les décisions sont délivrées avec le même ordonnancement que les événements, il est possible d'utiliser le principe d'une file d'attente pour mener à bien cette tâche. Les décisions positives pour les niveaux 0 et 1 sont respectivement attendues à des fréquences moyennes de 1 MHz et 40 kHz.

La figure 5.2 montre un schéma simplifié du système d'acquisition pour les deux premiers niveaux de déclenchement. La file d'attente est divisée en deux parties pour une question de protocole de communication entre les deux niveaux. En sortie, avant d'atteindre le troisième niveau, les données transitent par d'autres systèmes intermédiaires. En particulier un dispositif de suppression de zéro qui élimine les données inutiles et un système de lecture à l'interface du niveaux supérieur [5].

Réalisation

Les cartes frontales utiliseront un développement du Laboratoire de l'Accélérateur Linéaire d'Orsay qui réalise la fonction du DAQ.

Le registre à décalage devrait avoir une profondeur maximale de 160 échantillons diminuée de la latence de la chaîne de mesure qui lui est raccordée (dépend du détecteur). Ainsi, à l'endroit où la décision est prise en compte sur les cartes frontales, l'ensemble des données de tout le détecteur est synchrone.

5.4.2 Système de Contrôle de l'Expérience (ECS)

Le système de contrôle de l'expérience a accès à chaque carte frontale, ce qui permet d'effectuer les tâches de première importance :

- l'initialisation des composants programmables ;
- le chargement des éléments mémorisants (tables, paramètres des algorithmes) ;
- l'accès à des indicateurs d'état de la carte (diagnostic des pannes) ;
- la lecture d'échantillons de données afin de réaliser une surveillance du bon fonctionnement des cartes (analyse statistique) ;
- divers autres contrôles (mise à zéro, température, alimentations, etc.).

Ce système doit être peu encombrant (il est dupliqué sur chaque carte). Il est en général lent par rapport au flot de données de physique (protocoles série pour limiter le nombre de câbles).

La conception des cartes doit prendre en compte l'ECS, notamment en terme de quantité de données de configuration nécessaire à chaque carte. En effet, ces données seront chargées à chaque démarrage de l'expérience, lors de réinitialisations mais aussi régulièrement en fonctionnement normal pour éviter une corruption due aux radiations. Le temps pris par de telles opérations peut devenir critique (plusieurs dizaines de minutes) car il constitue autant de temps mort pour l'expérience et peut dissuader des mises à zéro suffisamment fréquentes pour éviter les dysfonctionnements.

Plusieurs standards d'ECS sont proposés au niveau de l'expérience LHCb . Le système frontal du preshower utilisera un dispositif conçu par le Laboratoire de l'Accélérateur Linéaire d'Orsay.

5.4.3 Contrôle de la mise en temps et du déclenchement (TTC)

Il est primordial que l'ensemble du détecteur soit parfaitement synchronisé afin d'éviter des mélanges de données entre événements successifs rendant,de ce fait, vaine leur exploitation.

Le rôle du système de contrôle de la mise en temps et du déclenchement pour l'électronique frontale est de délivrer un signal d'horloge isochrone en tout point du détecteur, un numéro unique permettant d'identifier chaque événement et les signaux de déclenchement de premier et second niveaux.

Le système complet a été développé au CERN. Du point de vue des cartes frontale sa présence se traduira par l'implantation d'un circuit spécifique receveur « TTC-RX » pour chaque châssis. Les signaux de synchronisation (horloge à 40 MHz) et de contrôle (mises à zéro, déclenchement) seront distribués de façon isochrone sur l'ensembles des cartes enfichées dans le châssis par l'intermédiaire du cicuit imprimé de fond de panier.

Le système TTC distribue le même signal d'horloge en de nombreux points mais sans en garantir la phase. En interne, il comprend un dispositif d'ajustement de la phase commune au chassis. Sur chaque carte frontale il sera nécessaire de contrôler précisément la phase des horloges destinées à la partie de mise en forme analogique, aux convertisseurs analogique-numérique et aux circuits numériques. Dans ce but, les délais nécessaires seront introduits sur les signaux d'horloge respectifs.

5.4.4 Traitement des données SPD

A peu de choses prés, la carte frontale ne fait que reçevoir les données du SPD et leur applique l'algorithme de recherche des voisins. Néanmoins un traitement minime leur est appliqué : il s'agit de compter le nombre de bits actifs parmis les 64 qu'envoie le SPD à chaque carte frontale du preshower. On obtient ainsi le nombre de cellules du SPD touchées lors d'une collision. Ce nombre est exploité par le système de déclenchement. L'objectif est de réaliser cette opération le plus rapidement possible pour ne pas trop désynchroniser les données du SPD par rapport à celles du preshower.

Un solution naïve consiterait à balayer bit par bit les données et à incrémenter un compteur à chaque fois que le bit courant est à l'état actif. Réalisée de façon synchrone, cette solution nécessiterait un temps d'autant de coups d'horloge que de bits à traiter soit 64 !

En groupant les bits de données par deux et en les additionnant avec un additionneur de base, le problème se réduit à effectuer 32 additions de nombres compris entre 0 et 2. En utilisant l'entrée de retenue d'une cellule d'addition de base, il est possible de grouper les bits d'entrée par triplets et d'obtenir 22 nombres compris entre 0 et 3 (2 bits) à additionner. Si l'on utilise un seul additionneur 2 bits et une architecture séquentielle il faudrait 22 coups d'horloge pour réaliser cette opération. C'est toujours beaucoup trop !

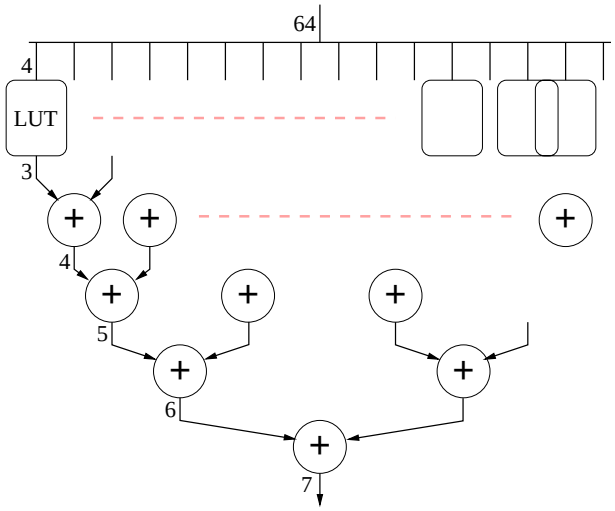


FIG. 5.3 – Arbre pour le comptage des données SPD en cible ACEX1K

Il faut se résoudre à utiliser un plus grand nombre d'additionneurs et à résoudre le problème de façon combinatoire en les organisant en arbre. Chaque étage de l'arbre comprend des additionneurs de taille croissante. Dans ce cas, le temps de propagation dans l'arbre dépend fortement de la technologie et des architectures des additionneurs. Il n'est pas possible de prédire le temps pris par l'opération avant d'avoir effectué une synthèse. De plus, si le temps de propagation s'avère supérieur à une période d'horloge, il sera indispensable d'introduire des étages de pipe-line afin de maintenir la capacité de traitement à un jeu de données toutes les 25 ns.

Un essai préliminaire de synthèse a été conduit sur une cible de composant programmable ACEX1K100 du fabriquant ALTERA. Pour tirer partie de l'architecture interne de ce composant, les additionneurs du premier étage de l'arbre ont été codés sous forme de tables à 4 bits d'entrée (LUT) . Elles délivrent un nombre compris entre 0 et 4 égal au nombre de bits positionnés parmi les 4. Les étages suivants effectuent l'addition arithmétique proprement dite. La figure 5.3 donne l'arbre d'additionneurs correpondant. Les couches successives sont respectivement constituées de 16 (LUT), 8, 4, 2 et enfin 1 éléments.

Plusieurs essais de modélisation des additionneurs ont été faits à partir du code VHDL. Le premier essai a consisté à modéliser l'addition par la voie arithmétique pure, le deuxième en utilisant les fonctions génériques proposées par ALTERA (LPM) et le troisième en décrivant une architecture à report de retenue (CSA). Le tableau 5.1 dresse le bilan des temps de propagation (t_p) estimés après placement-routage (P&R) du composant et les fréquences maximum de fonctionnement (on suppose que les données d'entrée et de sortie sont synchronisées par des bascules).

Architecture	t_p après P&R	f_{max}
« + » natif	16 ns	62 MHz
LPM	22 ns	46 MHz
CSA	26 ns	38 MHz

TAB. 5.1 – Temps de propagation combinatoires pour un ACEX1K

Pour cette cible matérielle, le couple logiciel de synthèse (SYNPLIFY PRO de SYNPLICITY) et placement-routeur d'ALTERA donne le meilleur résultat. Et il est possible de réaliser le comptage en une période d'horloge à 40 MHz seulement.

5.5 Solutions technologiques pour le traitement numérique

Dans cette section sont abordées différentes solutions technologiques pour la réalisation de l'électronique de traitement numérique (correction de décalage et de gain, correction α et codage). L'objectif est d'obtenir une comparaison entre composants programmables et circuits spécifiques.

Une solution de traitement entièrement basée sur un algorithme arithmétique a été retenue pour effectuer la comparaison entre technologies. La figure 5.4 donne le schéma de principe retenu pour le traitement des données. Les paramètres de gain et de décalage sont doubles pour correpondre aux demi-voies analogiques.

Le tableau 5.2 dresse le bilan du nombre de paramètres à définir pour une carte frontale de 128 demi-voies et le nombre de bits correpondants pour un circuit de traitement de 4 voies en supposant que chaque paramètre est stocké sur 8 bits. Les nombres entre parenthèses correpondent à une solution où α est défini constant sur trois plages d'énergie (2 seuils sur 10 bits).

5.5.1 FPGA classique avec vote

Pour l'étude avec un FPGA classique, le composant ACEX1K100 produit par ALTERA a été sélectionné. Il s'agit en effet de la solution « faible coût, gros volume » proposée

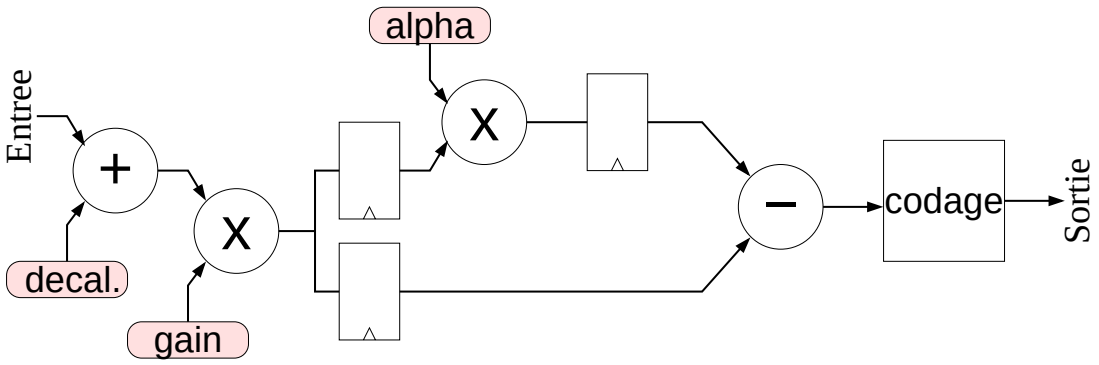


FIG. 5.4 – Schéma de principe pour le traitement numérique

Paramètre	Nombre pour une carte	Bits pour 4 voies
Gain	128	64
Décalage	128	64
Alpha Seuils	1 (3) (2)	8 (24) (20)
Seuil (décl.)	1	8
Total		144 (180)

TAB. 5.2 – Nombre de paramètres pour une carte et nombre de bits pour 4 voies

par ALTERA. Vendu pour fonctionner jusqu'à des fréquences de 200 MHz, ce composant est compatible avec l'horloge à 40 MHz de l'expérience. Il peut contenir un équivalent de 100 000 portes logiques et environ 5 000 registres.

Dans sa version en boîtier plastique à 208 pattes, on dispose d'environ 140 entrées ou sorties utilisateur. Si l'on réduit au strict minimum le nombre d'entrées-sorties nécessaires pour chaque voie, une voie utilise 20 pattes d'entrée-sortie (10 bits pour le CAN plus un bit de saturation et 8 bits de sortie plus un bit de donnée pour le système de déclenchement).

En réservant un accès pour le système de contrôle et de commande, il serait possible d'intégrer 6 voies dans un composant. Il s'agit alors de prendre en compte les contraintes dues aux radiations.

Dans ce cas la résistance aux radiations (pour les dépots de charge) ne vient pas de la technologie elle-même mais de l'architecture en terme de schéma. Il s'agit de multiplier physiquement les structures sensibles aux radiations puis d'effectuer un vote à la majorité pour départager les données corrompues des bonnes. On suppose que la probabilité pour qu'un incident se produise sur deux copies d'une même structure est très faible. En pratique, lorsque deux résultats sur trois sont identiques, on les déclare bons. Par ailleurs, en plus de la redondance au niveau de l'architecture, les données sensibles elles-mêmes

peuvent être codées avec un code auto-correcteur. La protection est ainsi maximale.

Lorsque la structure sensible appartient au chemin de données, la perturbation n'apparaît que temporairement et l'on peut admettre qu'il n'est pas absolument nécessaire de la dupliquer. Par contre si la structure sensible n'est pas régulièrement rafraichie, une perturbation peut avoir des conséquences durables. C'est le cas des registres qui paramètrent l'algorithme de traitement (en grisé sur la figure 5.4). Ceux-ci sont donc dupliqués par trois dans le cadre d'une architecture à vote triple, ce qui correpond à 540 bits de données de configuration. En plus du vote triple, les données de paramètrage peuvent être encodées avec un code auto-correcteur. Dans ce cas, la sécurité est accrue et il n'y a pas de besoin systématique de recharger les valeurs des paramètres en cas d'erreur due aux radiations.

Cependant l'architecture à vote triple ne règle pas le problème de la sensibilité des structures de programmation (cellules de mémoire volatile ou non pour programmer les interconnexions internes) aux radiations, le circuit pouvant alors se déprogrammer. On estime que ces composants ne sont pas suffisament fiables aussi est-il nécessaire de rechercher une solution technologiquement résistante aux radiations.

5.5.2 FPGA résistant aux radiations

Pour un composant programmable résistant aux radiations, deux type de structures doivent supporter les rayonnements : premièrement ce qui permet de programmer le composant et lui procure sa fonction deuxièmement les parties actives en terme de flot et de traitement des données.

Actel

Le fabricant ACTEL propose deux types de composants du point de vue de la résistance aux radiations : d'une part les composants en technologie standard avec programmation par fusible ou anti-fusibles et d'autre part les composants en technologie résistante aux radiations et programmation par fusible ou anti-fusibles.

La programmation par fusible ou anti-fusible consiste à modifier physiquement les connexions assurant la fonction du circuit par la rupture de fusibles ou la fonte d'anti-fusibles.

Dans le premier cas on est assuré que le circuit conserve sa fonction pour un large éventail de radiations. Par contre les parties actives (registres, portes, etc.) sont soumises aux effets des radiations comme pour un composant classique. En utilisant des architecture redondantes comme le vote triple, ce type de circuit peut s'avérer un bon compromis pour une solution tolérant les radiations. Des essais de synthèse et de placement routage sur un composant ACTEL SX ont donnés les résultats suivants :

- 29 % des ressources d'un composant ACTEL 54SX32 sont utilisées avec les structures de vote triple et une optimisation de la taille des opérateurs arithmétiques (une seule chaîne de traitement) ;

– la fréquence de fonctionnement estimée après les opérations de placement et de routage est très légèrement supérieure à 60 MHz.

La chaîne de traitement à elle seule utilise 28 % des ressources. On peut donc espérer intégrer au maximum 3 chaînes. En effet les résultats obtenus à l'issue du placement et du routage montrent que 88 % des ressources sont utilisées. Cependant il faut ajouter une interface avec l'ECS pour configurer les paramètres et une interface avec le DAQ. Il apparait donc plus raisonnable de ne considérer que seules deux chaînes de mesures peuvent être intégrées. La fréquence de fonctionnement diminue légèrement à cause des contraintes de routage plus importantes. Sa valeur estimée est de 57 MHz.

Dans le second cas la nature de la technologie assure la protection des données en dessous d'une certaine limite de radiations. On distingue les composants tolérant les radiations et les composants durcis aux radiations. Ces derniers sont les plus endurants vis à vis des radiations. Ils supportent jusqu'à 300 krad au lieu de 100 krad pour les premiers. Cependant, dans la plus part des cas, les fabricants ne considèrent que la dose totale de radiation absorbée et non pas les événements solitaires (inversion d'état ou claquage) qui sont les plus génants pour nous.

Les essais de synthèse effectués sur les composants en technologie tolèrant les radiations ont montré d'une part que les fréquences maximum de fonctionnement sont inférieures d'un facteur 2 environ par rapport à ce qui est demandé et d'autre part qu'il n'est pas toujours possible de faire tenir une voie complète dans un seul composant. Les prix atteignent l'ordre de grandeur de 3 000 EUR par voie !

Pour cette raison les composants Actel certifiés résistants aux radiations ont été éliminés de l'étude.

Xilinx

Le fabricant Xilinx propose des composants tolérant les radiations pour des doses totales allant de 60 à 100 krad. Le circuit XQVR300 de la famille Virtex QPro semble donner le meilleur rapport qualité/prix. Il est possible d'intégrer 8 voies de traitement (80 % des ressources logiques et 96 % des entrées-sorties) pour une fréquence de fonctionnement estimée après placement et routage supérieur à 40 MHz (41,7 MHz). Pour une commande à l'unité ce circuit coûte 1350 EUR.

Ce circuit est immunisé pour les inversions d'état logique jusqu'à 125 $\mathrm{MeV \cdot cm^2 \cdot mg^{-1}}$. Ce chiffre est à prendre avec précaution car il n'est pas fait état du type de particule pour lequel ce résultat a été établi. L'adoption d'une architecture à vote triple permet de contenir les effets des événements radiatifs solitaires.

5.5.3 Circuit intégré spécifique

Comme le montre l'étude du prototype circuit intégré (voir section 6.2), il est possible de réaliser un circuit intégré spécifique incluant 4 voies pour une surface de 10 $\mathrm{mm^2}$. Ce

circuit bénéficie d'une architecture à vote triple. C'est pourquoi on peut le considérer comme tolérant les radiations bien que la technologie (AMS CMOS 0,35 μm) ne le soit pas intrinsèquement.

Pour instrumenter 6000 voies il faut donc 1 500 circuits. En prévoyant 500 circuits additionnels et sur la base des tarifs pour une petite production à la charge du Centre Multi-Projets, le coût de la production serait de 91 000 EUR soit 11,5 EUR/voie pour 8 000 voies. Ce coût peut être réduit en bénéficiant des conditions de fabrication en « multi-projet » (partage des coûts entre les participants) au lieu d'une production dédiée.

5.5.4 Circuit intégré spécifique en technologie résistante

Il existe en plus des technologies accessibles pour le développement de circuits spécifiques qui sont résistantes aux radiations. Deux d'entre elles seraient envisageables pour l'étude menée ici.

UTSi 0,5 μm

Cette technologie est proposée par Peregrine Semiconductor. Elle utilise un substrat en saphir sur lequel est déposé du silicium en couche très fine (120 nm). Trois couches de métal et 2 couches de polysilicium peuvent être utilisées. Une bibliothèque de cellules standards est disponible.

Le substrat en saphir permet de diminuer très fortement les risques de claquage induits par le passage d'une particule ionisante.

Le coût et les contraintes du développement ne permettent pas d'envisager l'utilisation de cette technologie.

IBM 0,25 μm / CERN

Pour cette technologie, une librairie spécifique a été développée au CERN [16]. Cette librairie fournit des cellules standard utilisées comme briques de base par les outils de synthèse. Les cellules font appel à des transistors annulaires dont la forme les rend intrinsèquement tolérants aux radiations.

Cette technologie est également trop contraignante en terme de coûts et de développement.

5.5.5 Bilan

Le tableau 5.3 dresse le bilan en terme de coût pour les différentes technologies étudiées et uniquement pour les composants réalisant le traitement numérique. Pour les fpga ACEX1K, le coût du système de programmation n'est pas pris en compte dans la mesure où c'est le système d'ECS qui se charge de cette tâche.

La comparaison des technologies s'effectue sans les fonctionnalités de vote triple (dans le cas du circuit spécifique, deux versions existent. C'est la version sans vote triple qui a été fabriquée). Néanmoins, les structures implémentant le vote triple pour les paramètres de traitement ne font pas partie du flot de données. Dans le pire des cas, la logique combinatoire effectuant le vote, puis la correction de l'erreur, peut être pipe-linée. La fréquence de fonctionnement ne devrait pas en être affectée (au besoin on partitionne les données sensibles de façon à ne pas utiliser de comparateurs trop volumineux pour le vote).

En fonction de la technologie, des étapes de pipe-line supplémentaires ont dû être introduites pour maintenir le fréquence de traitement à 40 MHz.

Technologie	Nb. voies	Etapes	f_{max}	Coût	Coût/voie
FPGA Altera ACEX	6	6	40 MHz	49 EUR	8,2 EUR
FPGA Xilinx XQ	8	4	40 MHz	1350 EUR	170 EUR
FPGA Actel SX32	2	6	60 MHz	37 EUR	18,5 EUR
FPGA Actel RT	$\leq$2	$\geq$8	40 MHz	$\sim$6000 EUR	$\sim$3000 EUR
AMS 0,35 μm	8000	4	250 MHz	91000 EUR	11,5 EUR

TAB. 5.3 – Technologies et coût

L'avantage certain des composants programmables réside dans la possibilité de retoucher leur programmation y compris quelques années après le démarrage de l'expérience. Le gain en flexibilité est important. Cependant pour une électronique frontale, la flexibilité se résume souvant à modifier une valeur de paramètre mais rarement le principe de l'algorithme de traitement dans la mesure où la chaîne de détection en amont n'a pas subi de modifications importantes. Or un circuit spécifique répond très bien à cette demande : il n'est pas possible de changer l'algorithme mais ses paramètres peuvent être modifiés. Cette spécificité ne les distinguent pas des composants ACTEL dont les fusibles ne leur permettent pas d'être reprogrammés.

Dans le cas d'un circuit spécifique, l'alliance d'une technologie résistante aux radiations et d'une architecture durcie permet de répondre aux contraintes dans ce domaine tout en procurant le meilleur rapport performances/coût. De plus les besoins en terme d'ECS de ce type de circuit sont très réduits puisqu'il est inutile de les programmer. Par contre la durée du développement (prototypage, tests, fabrication) est plus élevée. Il faut compter 3 mois avant un retour de fonderie mais dans le cas d'une production de série, le fondeur peut effectuer le tri des puces défectueuses à l'aide de vecteurs de test fournis par les concepteurs.

Les composants programmables ne sont pas exempts de délais avant d'être fonctionnels. La programmation d'un grand volume de circuits puis de leurs tests est consommatrice de temps et d'argent d'autant plus que ces tâches ne sont généralement pas prises en charge par les fabricants. Pour les composants ACTEL, la programmation peut être sous-traitée, les délais sont alors du même ordre de grandeur que pour l'obtention d'un

circuit intégré spécifique. Le surcoût lié à d'éventuels bancs de test et aux fonctions d'ECS (programmation, tests) à implanter sur les cartes doit aussi être pris en compte.

Les deux solutions viables sont soit les FPGA ACTEL SX soit un circuit intégré spécifique. La balance penchera du côté du composant le plus facilement interfaçable avec le DAQ et l'ECS et autorisant un développement dans les prix et temps fixés par la collaboration (construction du détecteur à partir de 2004).

Pour la technologie ACTEL SX, si l'on arrive à pipe-liner les opérateurs de façon à obtenir une fréquence de fonctionnement de l'ordre de 80 MHz, il est possible de multiplexer les voies de traitement. On pourrait alors espérer d'intégrer 4 voies dans un ACTEL SX32 sous réserve que le surplus de ressources prises par le multiplexage des données et des paramètres le permette.

5.6 Interconnexions

Cette section se propose d'établir un bilan des entrées et sorties de la carte frontale et de proposer une connectique entre les cartes frontales pour la partie recherche des voisins, avec les cartes analogiques du preshower et avec le châssis supportant les cartes.

5.6.1 Au niveau carte

Le tableau 5.4 dresse la liste des entrées et des sorties de la carte frontale en précisant le nombre de point de connexion utilisés.

Pour des raison de commodité et de séparation des domaines analogique et numérique, seules les entrées des signaux analogiques sont présentes sur la face avant de la carte.

Les autres signaux transitent par le côté arrière de la carte. Il sera nécessaire de s'adapter aux formats définis par les concepteurs du fond de panier du châssis.

5.6.2 Au niveau preshower

Les seules interconnexions réalisées entre cartes frontales au niveau du preshower sont les liens pour la transmission des voisins. Le fond de panier du châssis comporte des bus point à point entre deux emplacements voisins qui peuvent être utilisés pour transmettre les voisins NORD et SUD. Ainsi deux cartes frontales voisines verticalement (voir figure 4.19) devront être placées côte à côte dans le châssis. Les voisins EST et OUEST sont transmis par le biais de câbles se connectant sur le panneau arrière du châssis.

Le résultat du processus de recherche des voisins est transmis à la carte de validation (une par châssis) par le biais d'autres bus point à point du fond de panier avec un format LVDS sérialisé.

Signal	Nb.	Format électrique	Points
Entrées analogiques	64	analog diff.	128
Données SPD	64	LVDS	128
Acquisition de données 40 kHz	1024	LVDS	8
Voisins NORD	9×2	GTL+	
Voisins EST	8×2	LVDS 21 :3	8
Déclenchement ECAL	9×2	LVDS 21 :3	12
Cartes de validation	17×2	LVDS 21 :3	16
Voisins SUD	9×2	GTL+	
Voisins OUEST	8×2	LVDS 21 :3	8
ECS	1	-	-
Alimentations analogique	1		
Horloge analogique	1	ECL	2
Synchronisation analogique	1	ECL	2
TTC	-	-	-

TAB. 5.4 – Entrées et sorties de la carte frontale

La diversité des formats électriques et du type de connexion rend la mise en temps délicate.

5.7 Mise en temps

Les cartes frontales s'insérent dans une chaîne de mesure composée de plusieurs éléments. Il est important de s'assurer de la bonne synchronisation des divers constituants. Des éléments de réponse à ce problème sont ici proposés.

La synchronisation avec la partie analogique a déja été traitée à la section 4.3. La synchronisation sera donc abordée du point du vue des échanges entre les différentes cartes frontales du preshower, les cartes frontales du SPD et du calorimètre électromagnétique ainsi que la carte de validation du système de déclenchement ECAL. C'est à dire essentiellement pour la fonctionnalité de la recherche des voisins.

Les horloges sont distribuées par l'intermédiaire du système TTC. La particularité de ce système est de distribuer, en arbre, une même horloge sur l'ensemble de l'expérience mais sans en assurer la phase. L'horloge est reçue par un circuit TTCrx. Si des systèmes cadancés par des horloges issues de TTCrx différents communiquent entre eux, il faut s'assurer que les données de l'un soient correctement échantillonnées par l'horloge de l'autre (position du front d'horloge par rapport à l'instant de changement des données). Cet aspect de la synchronisation est encore à l'étude (des solutions sont proposées dans la partie consacrée à l'unité de décision). Dans les paragraphes suivants, la mise en temps sera abordée du point du vue de la concordance des données par rapport à l'événement traité, c'est à dire de la compensation des latences des différentes branches du système.

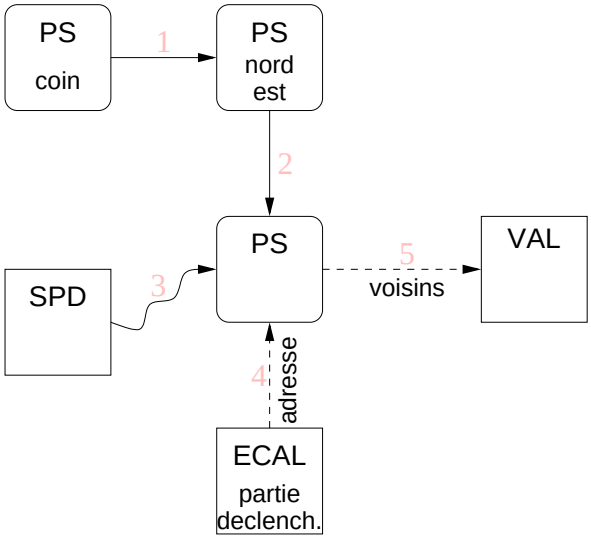


FIG. 5.5 – Schéma de principe pour la mise en temps de la partie déclenchement

La figure 5.5 montre les liaisons entre les différents systèmes communiquant avec une carte frontale du preshower pour la fonction de recherche des voisins. L'ensemble du dispositif est synchrone et basé sur une architecture pipe-line sous forme d'étapes délimitées par des étages de registres. Pour synchroniser l'ensemble, il suffit d'introduire des étapes « vides » pour retarder les données en avance par rapport à d'autres informations provenant de la même collision et devant être mises en rapport. Neanmoins, toutes les cartes ne sont pas pilotées par le même circuit TTC-RX puisque elles ne font pas partie du même chassis. Dans cette situation leurs horloges respectives ne sont pas en phase. C'est par exemple le cas des cartes frontales du SPD par rapport aux carte frontales du preshower mais aussi d'une carte frontale « NORD » par rapport à la carte de référence.

Pour les problèmes de phase, une solution globale pour le système calorimétrique est à l'étude au niveau du groupe « calorimètres ». Dans la suite le problème de la synchronisation est abordée du point de vue de l'architecture pipe-line. C'est à dire en terme des latences en nombre d'étape de pipe-line de chaque sous-système.

Les différents points à synchroniser sont les suivants :
- données déclenchement des cartes COIN, NORD et EST par rapport aux données déclenchement de la carte frontale considérée ;
- données SPD par rapport aux données déclenchement de la carte frontale considérée ;
- adresse envoyée par une carte frontale ECAL par rapport aux données SPD et déclenchement synchronisées de la carte frontale considérée ;

Le résultat de la recherche des voisins est transmis à la carte de validation du système de déclenchement ECAL correspondante qui se chargera de la synchronisation avec ses propres données.

Synchronisation des données PS

Les cartes frontales étant toutes identiques, il est possible de considérer que toutes les données du preshower sont disponibles en même temps pour un événement donné mais sur des cartes différentes. Il ne reste qu'à compenser les délais introduits par les liaisons entre cartes (numérotées 1 et 2 sur la figure 5.5). Or il n'est pas prévu d'accompagner les données avec un identifiant de la collision pour limiter le nombre de liaisons. Ce point rend impossible un contrôle de la mise en temps en cours de fonctionnement et impose que tout soit réglé *a priori*.

La disposition des cartes dans les châssis est telle que pour n'importe quelle carte les voisins NORD ne sont transmis qu'entre cartes du même châssis et sur des bus de fond de panier.

Par contre les voisins EST transitent par des câbles, éventuellement entre deux châssis différents. Si l'on ne veux pas être sensible aux disparités de longueurs de câbles (temps de propagation de l'ordre de 5 ns/m), il faut utiliser une longueur unique compatible avec l'ensemble des connexions à réaliser ou un ensemble de longueurs comprises entre deux multiples de 5 m successifs.

Le voisin COIN est aussi un voisin EST de la carte frontale située au nord de la carte de référence. La donnée coin transite donc par les deux types de liaisons pour la transmission des voisins et cumule les temps de propagation (liaison numéro 1 sur la figure 5.5).

Comme le système est synchrone dans sa globalité, les temps de propagation doivent se compter en nombre de périodes d'horloge. Il devient possible de la compenser en introduisant le nombre d'étages de pipeline adéquat au niveau de la réception des données voisins sur une carte frontale. On attend ainsi les données de latence la plus élevée (voisin COIN).

Synchronisation des données SPD

Pour synchroniser les données SPD avec celles du preshower il faut compenser la différence de latence des chaînes de mesure des deux détecteurs puis le temps de transit sur la liaison. Le problème est de même nature que précédemment (électronique synchrone) et se résoud de façon identique par l'introduction d'étages d'attente. Comme les électroniques frontales du preshower et du SPD ne seront pas cadencées par les mêmes TTCrx, la phase des données devra aussi être compensée.

Synchronisation de l'adresse ECAL

Le problème se pose de manière similaire pour mettre en regard l'adresse envoyée par une carte frontale ECAL avec les données de déclenchement correpondant au bon événement. Cette fois ci, l'adresse est accompagnée d'un identifiant du numéro de collision. Comme un identifiant similaire est présent sur chaque carte par le biais du système TTC, il devient possible d'effectuer la vérification de la mise en temps en permanence. Le

réglage de la mise en temps qui consiste toujours à introduire le nombre d'étapes d'attente nécessaires sur le chemin de données de moindre latence, peut être asservi sur le résultat de la comparaison des identifiants locaux et externes.

Cet asservissement est possible dans la mesure où les écarts relatifs de latence n'excèdent pas 2^5 périodes d'horloge puisque le numéro transmis avec les adresses est codé sur 5 bits. Afin d'éviter un effet néfaste en cas d'erreur sur l'un des identifiants, l'asservissement peut être soumis à une condition de stabilité temporelle (comparaisons sur plusieurs périodes d'horloge) ou à l'accord de l'ECS.

Transmission vers la carte de validation

A ce stade tous les résultats de recherche des voisins effectués sur l'ensembles des cartes frontales sont synchrones. C'est à dire qu'ils correspondent au même événement.

Le soin de vérifier, et le cas échéant de compenser la mise en temps, est laissé aux cartes de validation. Elles disposent pour cela des numéros d'identification des collisions transmis avec les données « voisins ».

5.8 Contrôle

La carte frontale doit être contrôlée de deux points de vue : premièrement la configuration des paramètres ou des données influençant ses fonctionnalités et deuxièmement la surveillance de son bon état de marche.

Le contrôle devra pouvoir être fait sur le site de l'expérience sans que la présence d'un faisceau de particules soit nécessaire. Pour cela des points d'injection de données seront prévus de même que les connexions adéquates entre les cartes.

Les dispositifs permettant d'effectuer les tests sont externes à la carte frontale qui ne dispose que des interfaces de communication. Ils ne sont pas conçus au sein du Laboratoire de Physique Corpusculaire. Leur étude n'a donc pas été abordée dans le cadre du présent travail.

Chapitre 6

Prototypes pour le preshower

Le cahier des charges de la carte frontale ayant été établi, au moins du point de vue du traitement des données, une étape de réalisation de prototypes permet de s'assurer de la faisabilité et de guider les choix technologiques et architecturaux.

L'étude de la carte frontale a fait l'objet de trois réalisations supplémentaires présentées dans ce chapitre. La première, dont la vocation dépasse le simple test fonctionnel, est une version simplifée souple, autonome et comportant un système de lecture des données. La seconde est un circuit intégré spécifique pour l'algorithme de traitement numérique. Enfin, un prototype de test de l'algorithme de recherche des voisins vient compléter l'étude de la carte frontale.

6.1 Prototype « traitement et acquisition »

Une fois le comportement et les caractéristiques de la partie mixte validés, il devient opportun de réaliser un prototype effectuant le traitement des données numérisées par le CAN. L'objectif principal est de valider les différentes étapes qui composent le traitement.

6.1.1 Contraintes et caractéristiques

Choix des composants

La validation des algorithmes de traitement ne devant s'effectuer qu'à un niveau fonctionnel, une solution à base de composants programmables a été retenue pour ce prototype.

Le choix des composants utilisés a été déterminé sur la base de critères de coût (certains composants ont un prix de plusieurs centaines d'euros), de facilité de test ou de réparation et de possibilité de câbler le prototype dans l'enceinte du laboratoire. La référence ACEX1K100QC208 d'ALTERA répond à ces exigences. Elle a déja été utilisée au laboratoire ce qui lui confère un aspect sécurisant du point de vue de l'utilisation.

Son type de boîtier lui permet d'être soudé au laboratoire et autorise les tests directs à l'oscilloscope.

Le nombre d'entrées et de sorties disponibles sur un composant, limite à 4 le nombre de voies qu'il est possible de traiter en son sein bien que les ressources internes (100 000 équivalent portes logiques) auraient permis d'en traiter plus. Par contre, chaque composant dispose d'environ 50 kbits de mémoire vive interne. Cette quantité de mémoire, bien que modeste, sera suffisante pour stocker les données que l'on veut acquerir.

Fonction d'acquisition de données

Pour le test fonctionnel : La quantité de mémoire interne disponible dans chaque composant permet d'envisager d'implanter une fonction d'acquisition de données sur le prototype. De la sorte, au lieu d'utiliser un appareillage encombrant et peu pratique pour effectuer des tests répétitifs (analyseur logique) il sera possible de stocker directement sur la carte un ensemble de données traitées.

Il devra bien entendu être possible de récupérer les données acquises pour leur exploitation à l'aide d'outil informatiques capables de diagnostiquer une panne éventuelle.

Pour le test global en faisceau et le test des photomulticateurs : Disposant d'une capacité de stockage sur le prototype, l'utilisation de la carte peut s'étendre à divers tests de laboratoire, une fois celui-ci validé. L'effort de conception du prototype porte alors sur un « produit fini » et non sur une carte à usage limité dans le temps.

En faisceau test, on reproduit en miniature le fonctionnement de l'expérience avec une chaîne des prototypes des divers éléments constitutifs du détecteur. Il est aussi nécessaire de disposer d'un système d'acquisition comparable à celui d'une expérience afin de prendre des données intéressantes (dues à une collision réelle) c'est à dire utilisant un signal de validation.

L'idée est de reproduire un équivalent de système d'acquisition de premier niveau. Un signal de déclenchement de premier niveau sera donc ajouté aux entrées de la carte. On suppose qu'il sera produit par un système externe de déclenchement (une détection de l'activité du faisceau). La mémoire de stockage des données sera organisée classiquement comme décrit précédemment pour le système d'acquisition : un registre à décalage pour l'attente de la décision suivi d'une mémoire conservant les données validées.

On dispose ainsi d'un véritable système d'acquisition de données miniature, aux performances modestes, avec échantillonnage à 40 MHz sur 10 bits et traitement des données complètement flexible puisque réalisé à partir de composants programmables.

Nombre de voies

En regard de son utilisation telle qu'envisagée au moment de sa conception, la carte supporte 16 voies de numérisation suivies de leur traitement numérique et de leur acqui-

sition. Ce nombre correspond à un quart des voies du photomultiplicateur et au nombre de cellules du prototype des capteurs (scintillateurs et fibres optiques).

Choix d'implantation

Pour le preshower, le système d'acquisition de données définitif n'est pas conçu par le laboratoire et est encore en cours de développement notamment au Laboratoire de l'Accelerateur Lineaire d'Orsay. Il nécessite un matériel (électronique, informatique) propriétaire conséquent qui n'est pas disponible car non finalisé.

Pour cette raison, il a été décidé d'utiliser un standard VME (largement utilisé au laboratoire et dans le domaine expérimental) pour exploiter les fonctionnalités de la carte à partir d'un système informatique. Le système informatique joue un double rôle : celui de commander et de configurer les cartes « traitement et acquisition » et celui d'exploiter et d'analyser les données récupérées.

Un composant programmable supplémentaire réalise l'interface entre le monde du VME et l'intérieur de la carte. Le système VME, composé notamment d'un châssis piloté par un contrôleur, permet de pouvoir utiliser plusieurs cartes en même temps. Un ordinateur de type PC est relié au contrôleur du châssis VME. Un logiciel spécialement développé permet d'envoyer ou de recevoir des cartes toute information utile. Les cartes enfichées dans le châssis communiquent avec le contrôleur et le PC par l'intermédiaire du bus VME, dispositif d'interconnexion de fond de panier.

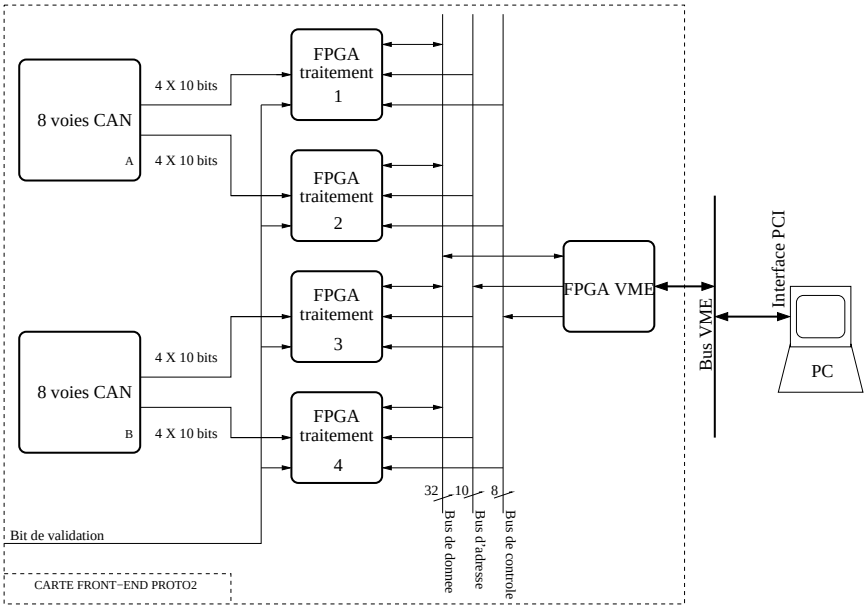


Fig. 6.1 – Schéma synoptique du prototype « traitement et acquisition »

La figure 6.1 établit l'architecture d'une carte connectée au PC au travers le bus VME. Deux éléments hiérarchiques de huit voies réceptionnent les signaux analogiques.

Numérisés, ils sont traités par 4 FPGA interconnectés à l'interface VME de la carte par un bus interne. L'interface est implantée dans un composant programmable dédié.

Le bus interne est décomposé en trois parties :
- un bus de données bidirectionnel de 40 bits ;
- un bus de contrôle de 8 bits ;
- un bus d'adresse de 10 bits.

Circuit imprimé

Le circuit imprimé comporte 6 couches de cuivre. Il est réalisé aux normes classe 5 pour une taille de 21 cm × 23,3 cm. La figure 6.2 montre une photographie du prototype.

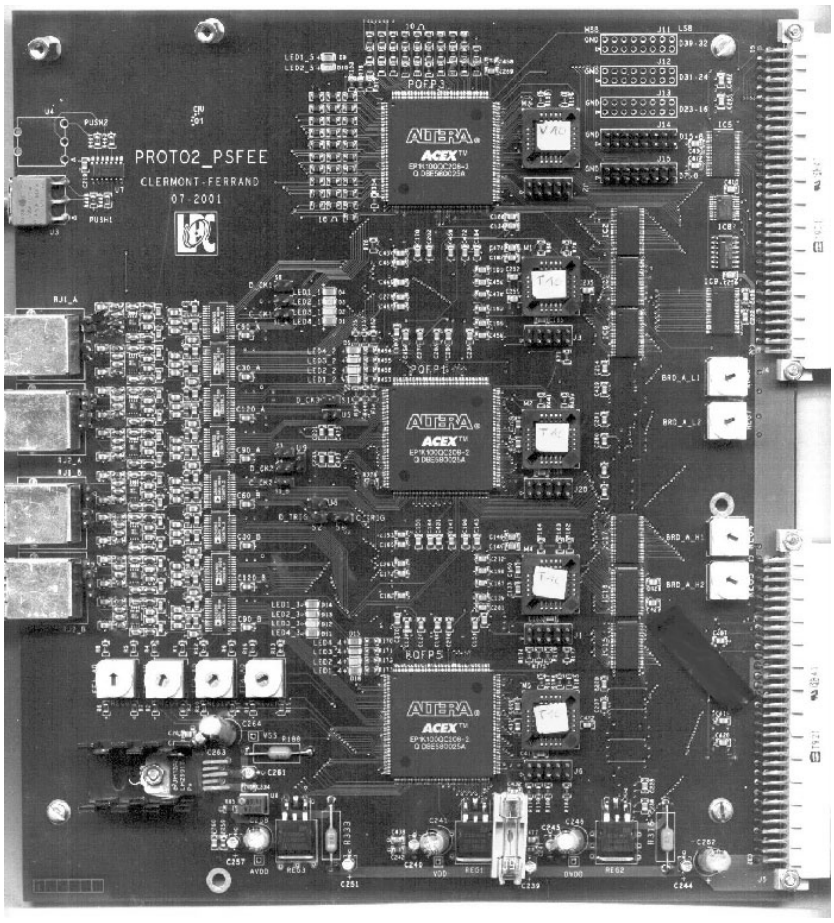


FIG. 6.2 – Photographie de la carte « traitement et acquisition »

On distingue sur la gauche de la carte l'élément de hiérarchie pour la partie mixte qui est instancié 2 fois. Deux des 4 FPGA de traitement numérique sont placés sur le verso de la carte. Des voyants (LED) et des connecteurs permettent de contrôler le bon fonctionnement du prototype. Deux interrupteurs avec système anti-rebonds sont disponibles

(mise à zéro, etc.).

Un plan de masse couvre l'intégralité de la carte. Les bus de grande longueur ont été adaptés avec des résistances série de quelques dizaines d'Ohms. Les régulateurs de tension ont été placés de façon à être proches des ventilateurs du châssis VME (bas de la carte).

6.1.2 Fonctionnalités

Traitement

Le traitement reprend, pour chaque voie, les étapes détaillées dans les chapitres qui précédent : correction de décalage, de gain, de recouvrement (α) et transcodage sur 8 bits. Chaque étape peut être sautée.

Si le transcodage n'est pas effectué, les données brutes sont codées sur 10 bits. L'architecture interne est compatible grâce au bus interne de données comportant 40 bits. Mais dans ce cas, la quantité de mémoires nécessaire est plus importante et pour des raisons d'organisation interne, le nombre d'échantillons mémorisable est divisé par deux.

Le traitement est configuré par les paramètres donnés par le tableau 6.1.

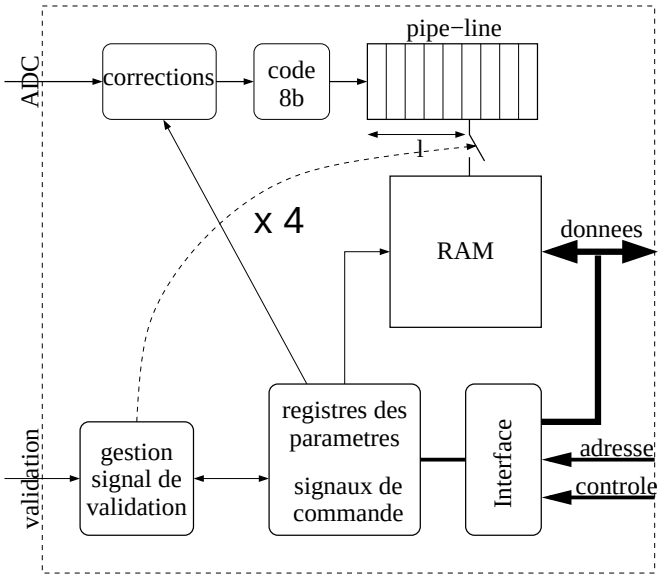


FIG. 6.3 – Schéma synoptique d'un FPGA pour le traitement

La figure 6.3 donne l'architecture d'un FPGA de traitement : algorithme de traitement, mémoires de stockage et interface avec le bus interne de la carte constituent les trois blocs principaux. Après le traitement numérique, les données sont placées dans un registre à décalage (pipe-line) dans l'attente du signal de validation arrivant à l'issue d'un temps fixe par rapport à la collision. Les données correpondantes sont alors stockées en mémoire RAM en cas de validation.

Paramètre	Portée	Nb. par FPGA
Décalage	demi-voie	8
Gain	demi-voie	8
Alpha	FPGA	1
Seuil trigger	FPGA	1

TAB. 6.1 – Paramètres du traitement des données

Gestion du signal de validation

Le signal de validation est constitué d'une impulsion de durée égale à une période d'horloge (40 MHz) ou plus en cas de validations successives. Dans le cas ou l'impulsion ne répond pas à ces spécifications temporelles, un mode spécial permet de la mettre en forme grâce à une détection de front. Dans ce cas les validations immédiatement successives sont interdites.

Pour les tests en faisceau, il est souvent nécessaire de conserver une image temporelle de ce qui est advenu autour d'un signal de validation. Dans ce cas, il faut pouvoir mémoriser un ensemble d'échantillons situés un peu avant et un peu après l'échantillon correspondant à l'événement validé. Un mode spécial de la carte permet d'accomplir cette tâche mais comme pour chaque validation on mémorise plus d'un échantillon, le nombre d'événements total mémorisable est diminué d'autant (la capacité de la mémoire est fixe en nombre d'échantillons). Dans ce mode, l'impulsion est mise en forme à travers un bistable programmable qui crée un signal de durée bien déterminée (en nombre de périodes d'horloge). Après ce traitement, elle est utilisée en lieu et place du signal de validation traditionnel.

Ainsi, sans modifier le comportement et le schéma établi pour le mode de fonctionnement traditionnel, la carte peut s'adapter aux contraintes de la prise de données en faisceau test.

Capacité d'acquisition

Pour chaque voie de mesure, il est possible de mémoriser jusqu'à 1024 échantillons sur 8 bits soit autant d'événements ayant été validées par le système de déclenchement externe. La mémoire saturée doit être transférée sur le système informatique avant la prochaine prise de données.

Il est possible de spécifier le nombre maximum d'événements retenus ou d'interrompre une campagne d'acquisition.

Dans le cas où l'on conserve plusieurs échantillons par événement validé, la capacité en terme du nombre d'événements mémorisables est divisée par le nombre d'échantillons par événement.

Le tableau 6.2 liste les principaux registres de configuration de l'acquisition des données.

Paramètre	Fonction
Law	Nombre d'échantillons par événement en mode temporel
Plen	Profondeur du pipe-line d'attente
Nevtmax	Nombre maximum d'événement
Trigdly	Délais sur le signal de déclenchement
Mode	Modes d'acquisition (classique ou temporel)

TAB. 6.2 – Paramètres pour l'acquisition

D'autres registres sont disponibles mais ne sont que marginalement utilisés, par exemple l'utilisateur peut remplacer les données de physique par des valeurs d'éléments internes du circuit (compteurs, machines d'état, etc.) en cas de problème de fonctionnement.

Mise en temps des signaux

Pour le stockage de l'événement validé en mémoire, le signal de validation doit être mis en correspondance avec les données traitées. Il est possible de jouer sur deux paramètres dans la version actuelle du prototype : le délai d'attente (256 périodes au maximum) pour les données au travers du réglage de la longueur du pipe-line d'une part (figure 6.3) et un délai en nombre de périodes d'horloge appliqué au signal de validation d'autre part (au maximum 16 périodes).

Dans le cas d'une expérience disposant d'un système de déclenchement, le signal de validation est long à calculer puis à transmettre (4 μs pour LHCb) et il faut faire attendre les données. Par contre en faisceau test le signal de validation est souvent disponible avant les données (il s'agit d'une détection de l'activité du faisceau) et les réglages seront inversés par rapport au cas précédant : un délai faible sur les données et important sur le signal de validation.

Si l'on cherche à acquérir une séquence temporelle, un réglage fin du délai sur les données permet de placer l'échantillon correspondant à la validation au rang souhaité au sein de la séquence.

La carte est donc adaptée aussi bien au cadre d'un faisceau test qu'au cadre d'une expérience plus complète et, bien entendu, à des tests basiques effectués en laboratoire.

Communication avec le système informatique

Dans un but de simplicité, les entrées et sorties sur le bus VME s'effectuent en mode registre sur 32 bits d'adresse et 32 bits de données. Chaque paramètre réglant le fonctionnement de la carte peut être accédé à la fois en écriture et en lecture de façon à pouvoir s'assurer de la réussite de l'opération d'écriture et vérifier l'état de configuration de la carte.

Un certain nombre de registres d'état rendent compte d'un diagnostique d'erreurs ou de pannes pouvant survenir durant le fonctionnement.

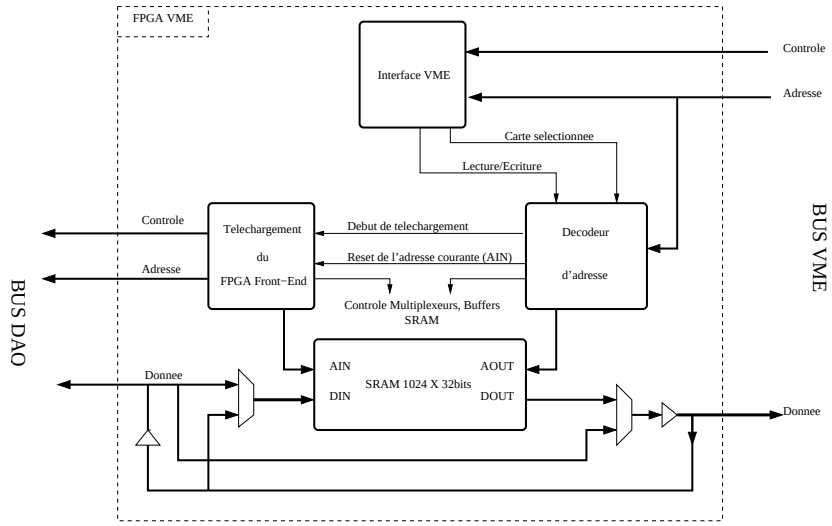


FIG. 6.4 – Schéma synoptique du FPGA interface VME

La figure 6.4 montre l'organisation interne du FPGA interface VME : autour d'une mémoire tampon, s'arrangent un bloc interface VME pour le protocole imposé par la norme et des blocs gérant les fonctionnalités de la carte. C'est à dire le décodage d'adresse (activation des éléments concernés en fonction de l'adresse VME), le chemin de données (registres, multiplexeurs,etc.) et le protocole de communication sur le bus interne de la carte pour l'accès aux composants du traitement des données.

Le transfert des données acquises s'effectue en deux temps. Premièrement la totalité des données contenues dans l'un des FPGA de traitement est transférée dans une mémoire tampon du FPGA d'interface VME ; deuxièmement la mémoire tampon est lue au travers du système VME.

Communication interne

Chaque FPGA de traitement est vu comme un périphérique du FPGA VME : c'est toujours ce dernier qui prend l'initiative d'un transfert interne. Pour la lecture de données un FPGA de traitement est considéré comme une mémoire RAM. Pour l'écriture, une fois adresse et données placées sur le bus interne, un signal de validité autorise l'écriture dans le FPGA de traitement sélectionné.

Avant le transfert sur le PC, les données sont recopiées depuis l'un des FPGA de traitement dans une mémoire tampon intégrée dans le FPGA d'interface VME. Cette recopie s'effectue de façon autonome (machine d'état indépendante). Les données sont transferée en rafale à 40 MHz en mode pipe-line.

6.1.3 Performances et coût

Le tableau 6.3 résume les perfomances atteintes par la carte prototype « traitement et acquisition ».

Caractéristique	Valeur
Nombre de voies	16
Précision d'entrée	10 bits
Fréquence des données	40 MHz
Période d'horloge	25 ns
Latence de la numérisation	6 périodes
Latence du traitement	6 périodes
Mémoire par voie 8 bits	1024 mots
Mémoire par voie 10 bits	512 mots
Capture temporelle	$\leq$32 échantillons
Durée transfert VME carte entière	0,1 s

TAB. 6.3 – Résumé des performances

La durée du transfert des données acquises de l'ensemble de la carte sur une station informatique dépend du matériel utilisé. Dans ce cas il s'agit d'un maître VME NATIONAL INSTRUMENT piloté au travers d'une interface PCI avec un ordinateur exploité sous LINUX avec un logiciel C++.

Le tableau 6.4 donne le coût en euros d'une carte prototype « traitement et acquisition ». Le prix indiqué pour le circuit imprimé est calculé pour une production de trois exemplaires, pour des productions plus importantes le prix par unité peut être nettement inférieur. Les prix des divers composants correspondent à des devis effectués sur les années 2001 et 2002.

On obtient un coût global de 1430 EUR hors main d'œuvre pour le câblage de la carte.

6.1.4 Logiciels

LabView

LABVIEW est un logiciel de NATIONAL INSTRUMENT facilitant le développement d'applications graphiques de commande d'appareillage. Disposant de la possibilité de s'adresser directement au bus VME, ce logiciel a été utilisé pour poursuivre deux objectifs : d'une part le développement rapide d'une application de test pour la validation des cartes en retour de fabrication et d'autre part le prototypage d'un logiciel finalisé dont la rédaction est prévue en langage C++.

L'application LABVIEW permet d'accéder aux fonctions de base de la carte, de télécharger les données et d'en proposer un affichage exploitable par l'utilisateur sous forme d'his-

Elément	Nb.	Prix (EUR)
FPGA, EEPROM, support	5	409
AD9203	16	100
AD8138	16	82
Autres circuits		37
Connecteurs RJ45	4	8
Connecteurs VME	2	10
Composants passifs	780	28
Circuit imprimé	1	432
Tests électriques	1	244
Pochoir pour le câblage	1	80
Câblage		2 h·j
Total		1430

TAB. 6.4 – Coût d'une carte prototype

togrammes et de chronogrammes.

La figure 6.5 montre une capture d'écran du logiciel. Les données des 4 voies traitées par un des FPGA de traitement choisi par l'utilisateur sont affichées. Dans cet exemple la carte fonctionne en mode temporel, les 8 chronogrammes du bas montrent 8 trains de 16 échantillons successifs. L'aquisition de chaque train est effectuée à chaque occurence d'un signal de validation. Les trois graphiques du haut montrent respectivement de gauche à droite, la moyenne des trains d'échantillons, l'écart type des échantillons de même rang sur tous les trains et enfin la distribution des valeurs des échantillons. Ici une voie est touchée (en rouge) et la présence de diaphonie est mise en évidence par l'activation de la voie tracée en vert.

Pour tester le bon fonctionnement d'une carte, une version de l'application permet de réaliser aléatoirement des accès VME à la carte. Le comportement de la carte testée est émulé et le contenu réel des registres et de la mémoire est régulièrement comparé aux valeurs théoriques. Si la carte fonctionne correctement, plusieurs millions d'ordres sont envoyés sans erreurs.

Des routines de test en mode texte existent en langage C sous la forme de petits outils indépendants. Elles ont été spécialement développées pour délivrer un diagnostique sur le bon comportement de certaines fonctions spécifiques, au nombre desquelles on peut compter les lectures et écritures de registres du FPGA d'interface VME et des FPGA de traitement. Les statistiques concernant les tests sont affichées à l'écran (taux d'erreur, types d'échecs, etc.).

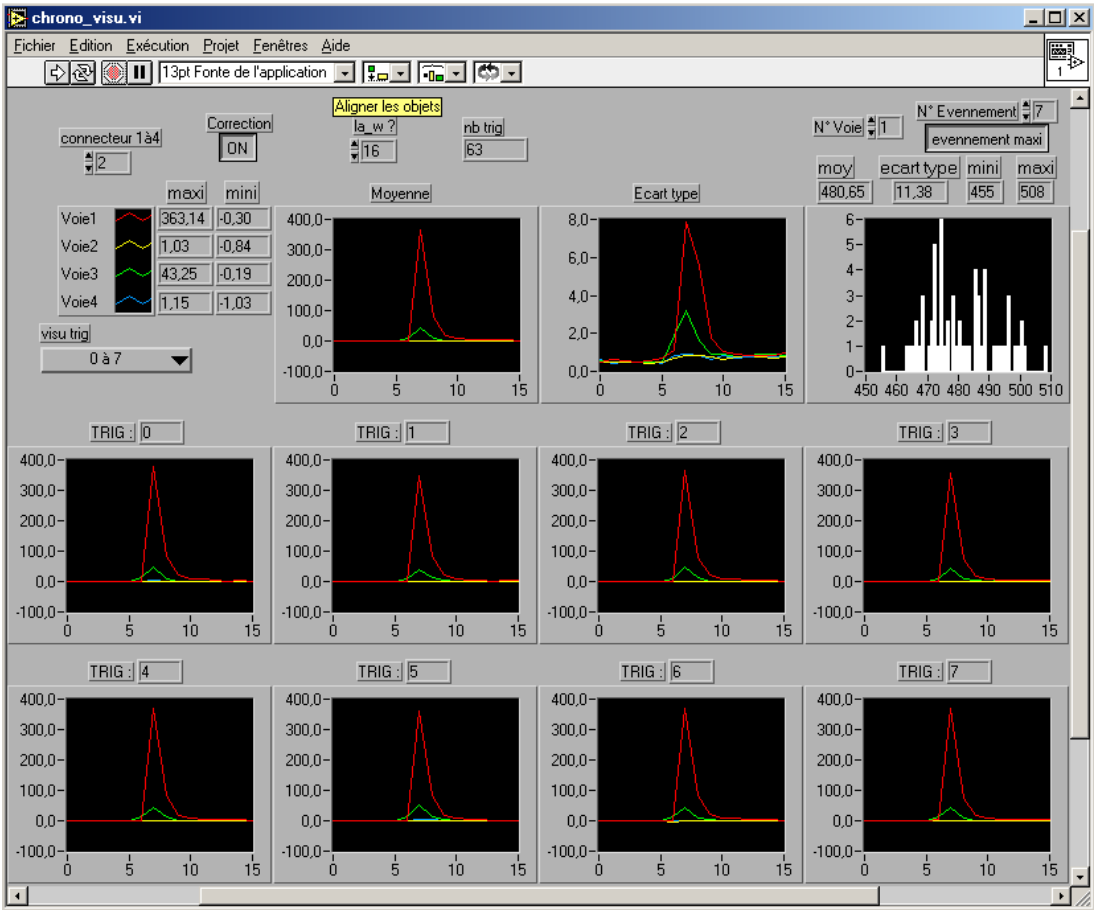


FIG. 6.5 – Logiciel LABVIEW

C++

Une bibliothèque des fonctions d'accès à des cartes frontales a été développée en langage C++. L'objectif est de créer une couche logicielle qui procure à l'utilisateur une vue de haut niveau plus pratique de la carte. Par ailleurs l'architecture des classes d'objets permet de définir d'autres interfaces que le bus VME pour la communication entre l'informatique et l'électronique. De la sorte on se rend relativement indépendant du média d'accès à la carte.

Le logiciel permet aussi de gérer plusieurs prototypes de cartes frontales.

Pour les expériences en faisceau test, une interface graphique est ajoutée. Elle procure un environnement agréable à l'utilisateur. Le code de l'interface fait appel à la bibliothèque ROOT développée au CERN. Elle met à disposition des éléments graphiques et des fonctions d'analyse des données (tracé d'histogrammes, calculs statistiques, etc.). Ainsi, pour le faisceau test, l'utilisateur peut contrôler les paramètres de la carte, effectuer des acquisitions de données selon des conditions définies, visualiser en direct les données pour

chaque voie de mesure et sauvegarder sur disque les informations.

Une première version a permis de mener à bien une campagne d'évaluation de l'ensemble de la chaîne de traitement. Les données acquises (équivalentes à plusieurs milliers de collisions) sont exploitées en particulier pour caractériser les photomultiplicateurs.

6.1.5 Dispositif expérimental pour le faisceau test

Le prototype de la carte frontale a été testé en tant qu'élément d'une chaîne prototype (figure 6.6) de mesure composée, en amont, de blocs de scintillateur accompagnés de leurs fibres optiques rejoignant un photomultiplicateur, lui-même fixé à une carte de mise en forme analogique.

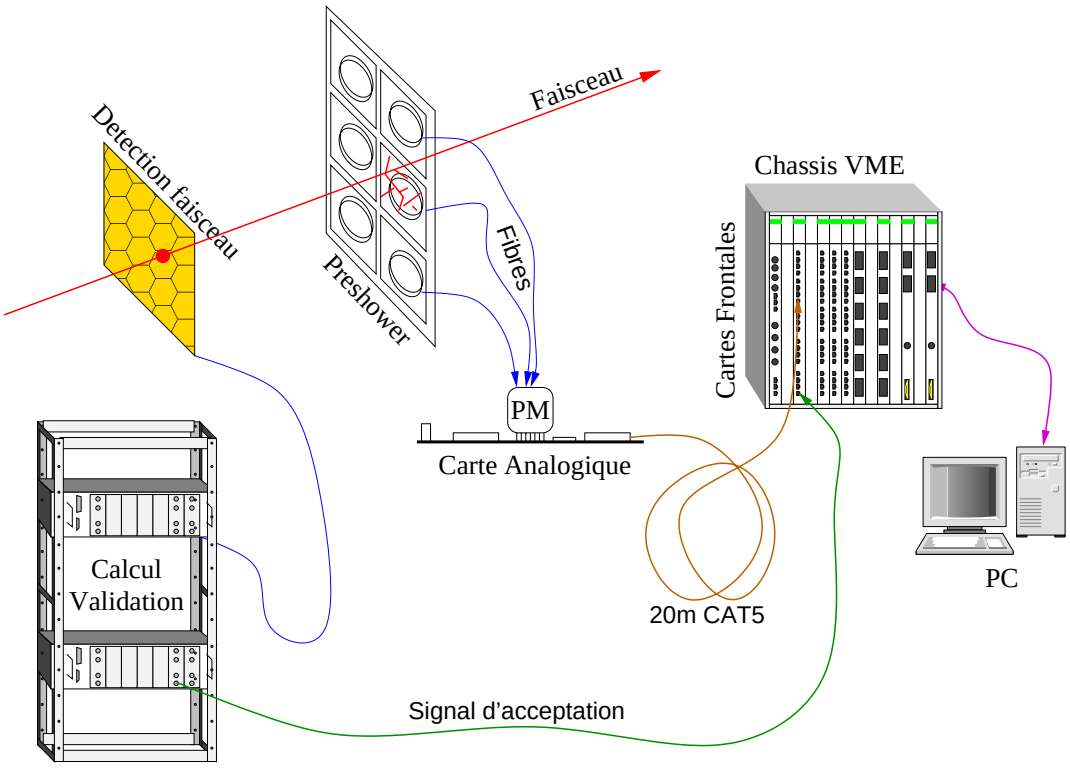


FIG. 6.6 – Interconnexion des éléments pour le test en faisceau

Stimulé avec un faisceau réel de particules, ce dispositif délivre des signaux d'entrée réalistes au prototype de la carte frontale reliée à son système informatique.

Un système de déclenchement externe permet de détecter le passage des particules et délivre un signal de validation calibré. Dans cette configuration on ne cherche pas à analyser les collisions mais à synchroniser la prise de données avec les collisions du faisceau de particules. Cette expérience miniature a permis notamment d'observer le comportement des cartes frontales dans des conditions proches de la réalité et de façon plus générale la

validité des développements menés à bien jusqu'à présent depuis les capteurs aux cartes de traitement numérique.

6.1.6 Tests de validation

Synchronisation des voies

Les voies sont naturellement synchronisées entre elles car elle sont constituées de manière identique. Ce point a été vérifié en constatant le bon alignement temporel des réponses aux stimuli sur plusieurs voies en simultané. Les horloges des CAN sont accessibles par des connecteurs indépendants (pour 8 voies). Il convient juste de régler la phase de l'horloge par rapport au signal analogique afin de réaliser l'échantillonnage au bon moment. Ce réglage s'effectue en modulant la longueur des câbles transmettant les signaux d'horloge vers la partie analogique et la carte frontale.

Signal de déclenchement

Le faisceau de particules disponible au moment des tests n'était pas de même nature que celui attendu sur l'expérience finale notamment du point de vue de sa synchronisation. Les particules étaient produites par paquets peu denses stimulant les capteurs sur quelques secondes environ deux fois par minute. De ce fait, les collisions produites sont complètement asynchrones par rapport à l'horloge de référence qui pilote la mise en forme numérique (début et durée des intégrations successives) et le traitement numérique.

Pour l'acquisition de données correctes il convenait donc de ne retenir que les collisions s'étant produites en temps avec l'horloge de référence et issue du faisceau de particules (le dispositif n'est pas à l'abri des rayons cosmiques actifs aussi sur les capteurs). Dans ce but, l'entrée de validation des événements de la carte a été détournée de sa fonction d'origine (sélection des collisions répondant à certains critères d'analyse physique), un signal d'acceptation lui ayant été appliqué.

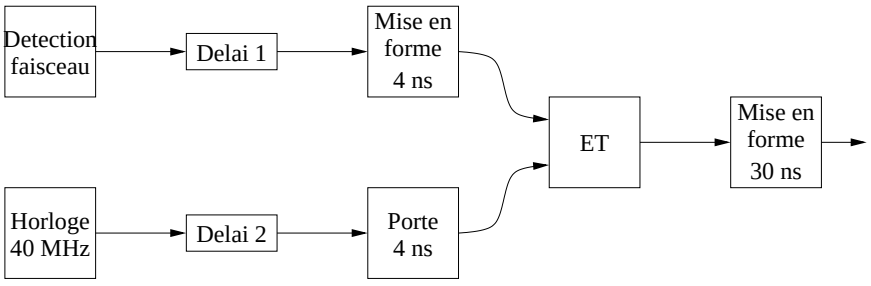


FIG. 6.7 – Génération du signal d'acceptation

Le signal d'acceptation (figure 6.7) est construit par la coincidence (fonction ET logique) entre une première impulsion indiquant le passage d'une particule dans l'axe du

faisceau et une deuxième impulsion encadrant un front de l'horloge de synchronisation (aussi appelée « porte »). De la sorte, seuls sont acquis les événements correspondant aux critères énoncés ci-dessus. Les deux impulsions ont été calibrées pour ne durer qu'environ 4 ns tandis que le signal d'acceptation dure approximativement 30 ns et est réglé pour encadrer un seul front de l'horloge de la carte frontale.

Après réglage des différents paramètres et en particulier la longueur du pipe-line de synchronisation des données avec le signal d'acceptation (figure 6.3), on constate que les données sont correctement acquises.

Réglage du début de l'intégration

Le circuit analogique intègre le signal d'entrée à partir de chaque front montant d'horloge. Le réglage du début de l'intégration est primordial si l'on veut obtenir des données significatives. Sur l'expérience définitive, une horloge synchrone avec les collisions sera délivrée au circuit. Le réglage de la phase permettra de positionner le début de l'intégration à la demi-nanoseconde prés.

En faisceau test les collisions sont aléatoires par rapport à l'horloge de référence : ce réglage n'est pas possible directement. Le délai numéro 2 de la figure 6.7 le permet indirectement. En effet, ce délai introduit un déphasage, par rapport à l'horloge, de la porte qui conditionne le signal d'acceptation. Tandis que le circuit analogique intègre sans se soucier de la validité des données au rythme de l'horloge, seules les collisions respectant un déphasage donné sont prises en compte par l'électronique d'acquisition.

Le bon déphasage est évalué de façon à maximiser le rapport entre les valeurs de l'échantillon correpondant à la collision et le suivant (queue de l'impulsion en sortie du photomultiplicateur) ce qui revient à minimiser α, le paramètre de recouvrement. Seules les impulsions issues du photomultiplicateur et intégrées dès leur début sont donc retenues.

Synchronisation du signal d'acceptation

La génération du signal d'acceptation est rapide. Le délai numéro 1 de la figure 6.7 permet de compenser le temps pris par la mise en forme analogique (2 périodes d'horloge), le temps de transit dans les câbles (20 m soit 4 périodes), la latence du CAN (5 périodes) et du traitement (2 périodes).

On a, en outre, le choix entre deux sources de stimulation physique : le faisceau de particules ou une diode électroluminescente. Deux valeurs pour le délai numéro 1 sont donc nécessaires. Un réglage grossier (800 ns ou 400 ns selon la source physique) est réalisé avant un réglage fin par l'intermédiaire des paramètres internes de la carte d'acquisition.

Mode temporel

Dans le fonctionnement en mode temporel, la carte acquiert une suite d'échantillons pour une même validation. Si plusieurs cellules sont touchées on vérifie que les données sont alignées pour les mêmes valeurs de paramètres internes. Ce fait confirme que toutes les voies sont bien synchronisées entre elles en mode temporel, on peut l'observer sur la figure 6.5 (les maxima sont de même rang dans les séquences temporelles).

Compensation des décalages

Ce point a été testé en laboratoire conjointement au test du signal de synchronisation avec la partie analogique.

Correction des empilements

La correction des empilements (correction α) a été testée en laboratoire.

Codage au format flottant

Le codage au format flottant a été testé en laboratoire. L'algorithme de codage est tel que tous les codes de sortie possibles ne sont pas utilisés. Ainsi est-il possible d'exploiter certains codes inutilisés pour signaler une saturation basse ou haute du CAN ou d'autres situations particulières (erreurs, etc.).

6.1.7 Conséquences pour la carte frontale

L'exploitation de ce prototype a montré que la partie analogique et mixte de la carte se comportait comme attendu en présence d'autres dispositifs numériques. Le délai de propagation au travers de l'amplificateur opérationnel pour l'adaptation du câble et des caractéristiques est de l'ordre de 1,5 ns.

L'utilisation en faisceau test du prototype avec la chaîne complète de mesure (détecteur, mise en forme, échantillonnage et traitement) n'a pas permis de détecter de défauts majeurs de la partie numérique. Le principe de la mise en temps de l'ensemble de dispositif est validé. La carte frontale devra faciliter les réglages en les rendant programmables (phase de l'horloge à destination du circuit analogique et des CAN).

Le principe des algorithmes de traitement des données a été validé. Les algorithmes de traitements actuels peuvent donc servir de ligne de base pour les développements futurs. Les mesures effectuées semblent montrer que la dépendance du paramètre α en fonction de l'énergie est de l'ordre de 1% . Il n'apparaît donc pas nécessaire de prévoir la variation de α en fonction de l'énergie.

La carte est exploitée dans le cadre d'un banc de test de photomultiplicateurs au laboratoire. Son utilisation quotidienne ne laisse pas entrevoir de défauts de fonctionnement. Cependant quelques améliorations peuvent encore être apportées :

- utilisation du mode de transfert par blocs du bus VME afin de raccourcir le temps de téléchargement ;
- écriture simultanée dans tous les FPGA de traitement.

La carte a aussi permis d'effectuer les premiers tests de série des circuits spécifiques de mise en forme analogique et d'établir les premières distributions de la dispersion des caractéristiques.

6.2 Prototype « circuit intégré »

Pour des questions de résistance aux radiations et d'encombrement, une solution basée sur un « circuit intégré spécifique » a été étudiée et mise en concurrence avec les composants programmables. Cette étude a conduit à la réalisation d'un circuit intégré spécifique dont la conception fait appel à des librairies de cellules précaractérisées d'éléments combinatoires ou séquentiels.

6.2.1 Technologie

Par l'intermédiaire du Centre Multi-Projet (CMP), le LPC a accès, pour de faibles coûts pour les prototypes, à des technologies relativement récentes pouvant donner lieu à comparaison avec les technologies utilisées pour les composants programmables.

Son coût étant modéré et les logiciels configurés pour son emploi, c'est la technologie CMOS 0,35 μm d'AustriaMicroSystem qui constitue la base du développement du circuit intégré prototype. Cette technologie offre 3 niveaux de métalisation pour réaliser les interconnexions.

Dans le cadre de ce développement, un code source VHDL très proche de celui utilisé pour la synthèse des composants programmables décrit le circuit intégré.

La synthèse se fonde sur des librairies de cellules prêtes à l'emploi, véritables briques de base grâce au logiciel Ambit/Builgates de Cadence. Ambit convertit le code VHDL en une interconnexion de cellules réalisant la fonction décrite au niveau électrique.

Une fois l'assemblage des cellules effectué, leur placement (la détermination de la localisation géographique sur la surface de silicium allouée) et les interconnexions (pistes de métal conducteur) entre cellules s'effectuent avec un outil de « placement et routage ». Le logiciel Silicon Ensemble de Cadence a été utilisé dans ce but tout en permettant l'automatisation du processus.

6.2.2 Fonctionnalités

Le circuit intègre 4 chaînes de traitement numérique frontal du preshower, c'est à dire 8 demi-voies. Les paramètres du traitement sont configurables à volonté et il est possible de court-circuiter chaque étape du traitement. Une interface permet de contrôler le circuit et de charger les paramètres des calculs. Des signaux de test permettent de s'assurer du bon déroulement des opérations.

Deux version existent, avec et sans structures de vote triple pour la protection contre les radiations. C'est la version sans vote triple qui a été fabriquée.

Traitement

L'algorithme de traitement des données est le même que celui utilisé pour le prototype à base de composants programmables : correction de la dispersion des décalages et des gains par demi-voies, correction α et codage sur 8 bits. La figure 6.8 montre l'architecture interne du circuit : la chaîne de traitement des données et l'interface de contrôle.

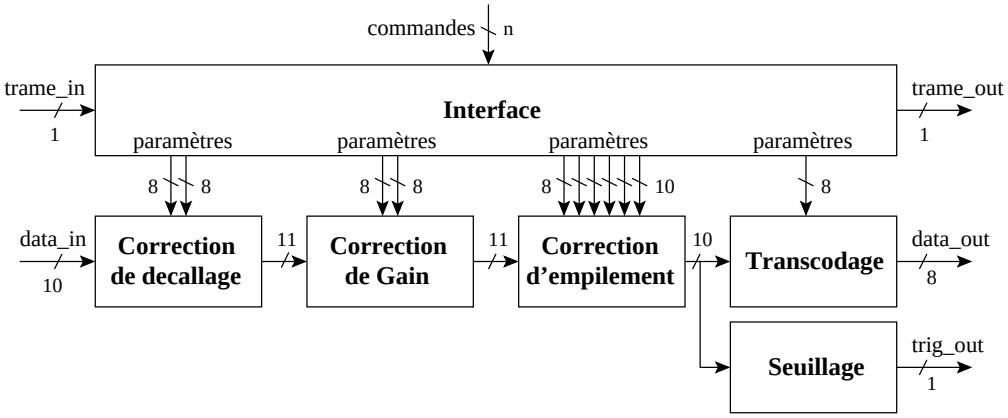


FIG. 6.8 – Architecture du circuit

Deux options sont possibles pour la correction α. Soit α garde une valeur constante unique soit α varie en fonction de l'énergie. Dans ce dernier cas, trois plages d'énergie sont définies à l'aide de deux seuils dont les valeurs sont configurables. Pour chaque plage une valeur différente de α peut être programmée. Il est ainsi possible de définir α variant avec l'énergie avec une fonction constante par morceaux. Les valeurs de α sont communes pour toutes les voies.

Chaque étape de l'algorithme peut être sautée. Des données de configuration (8 bits) permettent de sélectionner les étapes actives et le type de correction α.

Le tableau 6.5 donne le bilan des paramètres du traitement pour un circuit.

La technologie intégrée utilisée permet l'obtention d'une fréquence de fonctionnement plus importante que pour un circuit programmable (de l'ordre de 250 MHz après placement et routage). Aussi le découpage en étapes de 25 ns de l'algorithme de traitement est-il différent. Il comporte moins d'étapes.

Partie contrôle

Une interface permet grâce à un protocole série de configurer tous les paramètres du traitement.

Le protocole est entièrement synchrone et consiste à transmettre une trame de 220 bits dont 20 bits de parité. L'élément principal est un grand registre à décalage synchrone

Nom	Nombre	Bits
Décalage	8	64
Gain	8	64
α fixe	1	8
α(E) par morceau	3	24
Seuils pour α(E)	2	20
Seuils bit de validation	1	8
Configuration	1	8
Parité	1	24

TAB. 6.5 – Paramètres du traitement pour un circuit

et actif sur un signal « strobe » (données valides) qui accompagne les données de configuration entrantes. La durée du chargement est de 221 périodes d'horloge soit 5,525 μs à 40 MHz.

Des structures de contrôle de la parité des informations ont été incluses. Chaque champ (en général 8 bits) de la trame série de configuration possède un bit de parité. Un signal d'erreur permet de rendre compte d'un défaut de transmission.

Une couche de registre supplémentaire sert à stocker les paramètres réellement utilisés pour le traitement. Ces registres ne sont chargés qu'à la fin du transfert de la trame. De cette manière le traitement des données n'est pas pertubé par l'activité de configuration. La trame peut être lue à tout moment pour vérifier le bon déroulement de l'écriture précédente (sortie de contrôle dédiée).

6.2.3 Le circuit

La puce électronique obtenue (figure 6.9) fait une taille de 3 mm × 3 mm soit une surface de 9 mm^2 ; placée dans un boîtier de type CQFP100 au pas de 0,65 mm, l'encombrement total est de 1,9 cm × 2,5 cm. La figure 6.10 montre le cœur du circuit numérique. Seules les connexions vers le monde extérieur traversent les deux anneaux d'alimentation pour s'échapper du cœur central comprenant les cellules logiques de base interconnectées entre elles.

Dans le cas de ce circuit, c'est en fait le nombre de pattes d'entrées-sorties, il y en a 88 en tout, qui détermine la taille de la puce. Le cœur occupe environ 15 % de la surface totale. L'utilisation d'un nouveau boitier carré au pas de 0,5 mm permet d'obtenir un encombrement de 2,0 cm × 2,0 cm.

Le circuit est alimenté entre 0 V et +3,3 V. Deux pattes sont réservées pour chaque tension d'alimentation. Le tableau 6.6 effectue le bilan des entrées et des sorties du circuit.

Comme la taille de la puce n'est pas liée au dimensions du cœur actif, elle n'est pas modifiée par l'ajout de la fonctionnalité de vote triple sur les paramètres de l'algorithme

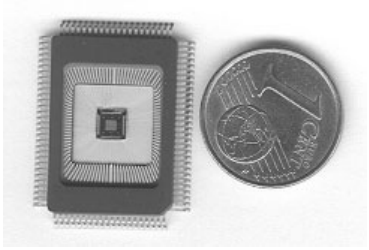


FIG. 6.9 – Circuit intégré

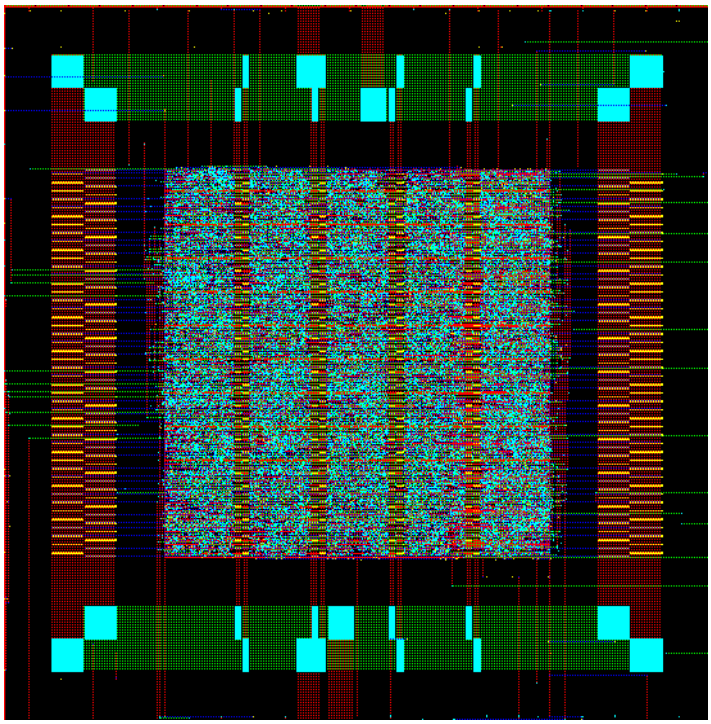


FIG. 6.10 – Cœur du circuit numérique

Nom	Nombre	Type
Données ADC	40	Entrée
Données traitées	32	Sortie
Données déclenchement	4	Sortie
Commande	6	Entrée
Test	2+données	Sortie
Alimentations	4	-

TAB. 6.6 – Entrées et sorties du circuit

(essais de placement et routage effectués).

6.2.4 Tests

La carte de test

Une carte de test a été spécialement développée pour les tests du circuit. Elle intègre un exemplaire du circuit à tester ainsi qu'un composant programmable (ACEX1K100) destiné à commander le circuit (envoi des trames) et à traiter une partie des signaux de sortie du circuit. La partie réception et numérisation du signal analogique est aussi présente sur le circuit imprimé.

Le circuit programmable émule le circuit spécifique pour une voie de traitement et compare son propre résultat aux données correspondantes délivrées par le circuit intégré prototype. Une détection d'erreurs en direct est ainsi possible. Les connecteurs nécessaires au branchement de l'analyseur logique ont été prévus pour la réalisation de tests exhaustifs (accès aux données et aux signaux de commande).

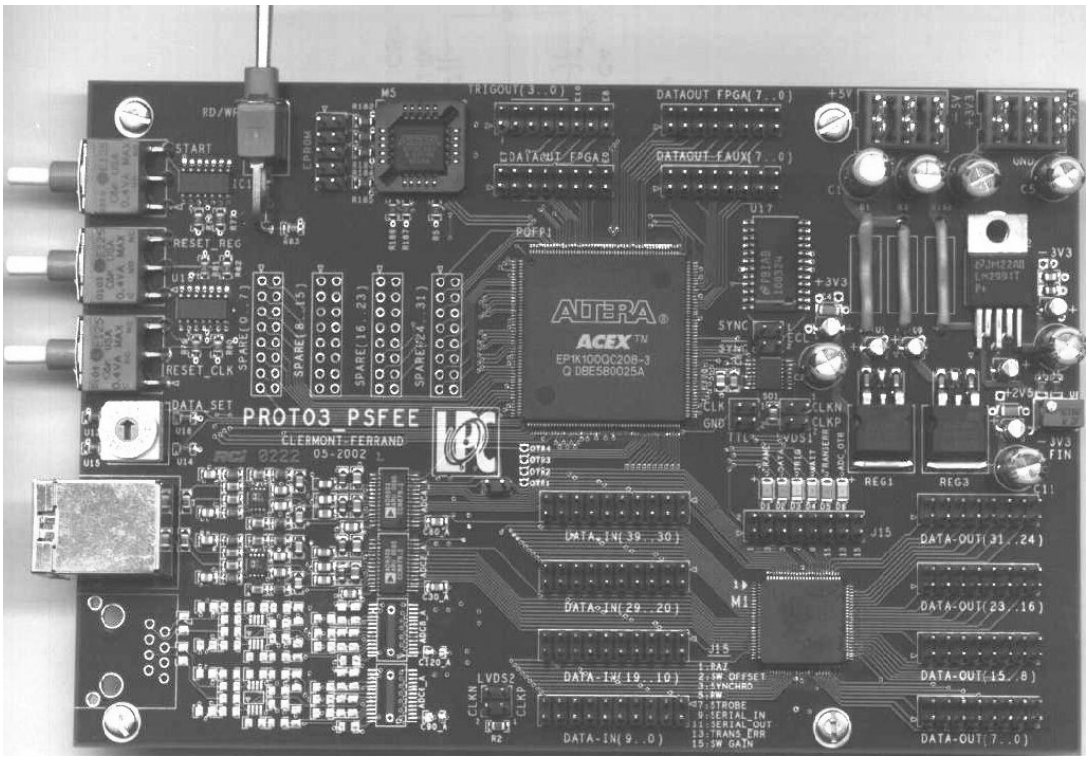


FIG. 6.11 – Photographie de la carte de test

La figure 6.11 montre un photographie de la carte de test du circuit intégré spécifique numérique. On peut apprécier le gain de place par rapport au FPGA pour le même nombre de voies traitées.

Validation dans la configuration neutre

Les tests réalisés à l'heure de la rédaction de ce document n'ont pas permis de passer en revue l'ensemble des fonctionnalités du circuit intégré spécifique. Cependant, les éléments vérifiés permettent de constater le très bon comportement du circuit dans les limites correspondantes.

Le composant programmable peut envoyer jusqu'à 16 trames pré-programmées pour la configuration du comportement du composant spécifique. La première d'entre elles correspond à une confiruration neutre pour laquelle toutes les étapes de traitement sont court-circuitées.

Le circuit spécifique se programme correctement. Ce point est vérifié en utilisant la fonction « lecture » de l'interface de programmation. En effet, on récupère alors, sur la sortie de contrôle, les données correspondant à la trame programmée.

En appliquant une tension différentielle continue sur les entrées analogiques de la carte, on constate que les sorties du circuit spécifique varient correctement en fonction de la valeur de la tension. En outre, dans la configuration neutre, les données numériques d'entrée (sortie des CAN) se retrouvent telles qu'elles en sortie du circuit. Le bruit électronique conduit les données à osciller entre quelques valeurs, les séquences de données sont identiques en entrée et en sortie et décalées de 4 périodes d'horloge, ce qui correspond à la latence voulue pour le circuit.

On constate aussi que le signal de mise à zéro globale est bien pris en compte (données nulles après mise à zéro sur la sortie de contrôle de la trame).

Ces tests permettent de s'assurer que :
- le circuit est correctement alimenté ;
- l'arbre d'horloge a correctement été généré (bon fonctionnement du registre à décalage de la partie contrôle, registres de pipe-line en état de marche) ;
- le principe de l'interface de programmation est correct (réaction conforme aux signaux de lecture/écriture et de synchronisation du transfert, relecture des données de configuration possible).

Ces constatations autorisent d'extrapoler le bon fonctionnement général du circuit (tests approfondis à venir) mais aussi de la suite de logiciels ayant permis sa conception. En configuration neutre, les éléments combinatoires pour le traitement des données ne sont pas testés. Mais l'on peut difficilement imaginer une défaillance dans le processus de synthèse logique (logiciels éprouvés).

Validation de la correction de décalage

La deuxième trame pré-programmée ne valide que l'étape de correction des décalages. Des valeurs arbitraires sont fixées pour les paramètres par demi-voies.

Les tests montrent que cette correction est fonctionnelle (tension analogique différentielle constante en entrée). Pour une donnée numérique constante en entrée, la sortie oscille entre

les deux valeurs corrigées (décalages différents selon la demi-voie) conforme aux valeurs programmées.

Ces tests valident les points suivants :
- les champs de la trame sont correctement alignés et pris en compte ;
- le double étage de registres de configuration est fonctionnel ;
- l'identification de la demi-voie active est correcte ;
- l'opérateur d'addition a été correctement synthétisé.

Autres tests

De façon similaire, la correction de gain et la correction d'empilement ont été validées pour des valeurs fixes de la tension analogique d'entrée.

6.2.5 Conclusion

Le circuit spécifique numérique s'est bien comporté lors des tests. L'intégration et l'utilisation, sur la carte de test, du composant se sont avérés simples à mettre en œuvre. Il n'y a pas besoin de tension d'alimentation différente des autres composants de la carte.

La fréquence estimée de fonctionnement permet d'envisager de réduire le nombre d'étapes de pipe-line nécessaires. La topologie de la partie mixte de la carte permet d'envisager de multiplexer, par exemple d'un facteur 2, les données d'entrée sans ajouter de composant (commande de mise en état haute impédance des sorties numériques du CAN). Le nombre de pattes d'entrée nécessaires pour le circuit spécifique serait ainsi réduit. Mais il faut alors intégrer dans le circuit une fonction de pilotage des commandes de haute impédance des CAN (ou utiliser une horloge externe). Une horloge spécifique, dont la phase peut être réglée, pour l'échantillonnage des données peut s'avérer indispensable pour respecter les contraintes en temps.

Dans ce cas, il serait possible de traiter les données selon une architecture avec partage des ressources, les opérateurs étant eux aussi multiplexés en interne (horloge de référence à 80 MHz). Le boîtier du circuit pourrait ainsi être de dimensions encore plus réduites. De même pour la puce, sa taille actuelle est en effet directement dépendante du nombre de ports d'entrée/sortie (la surface occupée par le cœur est faible). Le coût global de la fonderie en serait amélioré tout en facilitant la possibilité d'une fabrication dans des conditions de multi-projet grâce à la réduction de la surface de la puce.

Du point de vue des logiciels, le flot de conception est validé. Pour cette technologie (AMS 0,35 μm) le passage du VHDL au silicium est quasiment automatique si l'on vise des fréquences de fonctionnement de l'ordre de 40 MHz (architecture pipe-line).

Avec la technologie employée et pour un circuit spécifique, la fonction réalisée est au moins équivalente à ce qui peut être implémenté en composant programmable. En outre, dans le cas présent, la surface occupée par le boîtier est d'environ le quart de celle d'un composant programmable. Le nombre de pattes d'entrée/sortie est divisé par 2 environ. La

faisabilité du circuit imprimé en est grandement améliorée, surtout en terme de routage.

6.3 Prototype « recherche des voisins »

6.3.1 La carte

Le prototype est destiné à tester l'algorithme de recherche des voisins dans un cadre réaliste, c'est à dire :

- production de stimuli à 40 MHz ;
- adresse arrivant « de l'extérieur » ;
- retard de l'adresse par rapport aux données.

Pour des raisons de souplesse, des composants programmables ont été choisis pour implémenter les fonctionnalités de la carte prototype. Il s'agit en l'occurence de CPLD ALTERA MAX3000 qui possèdent l'avantage de ne pas nécessiter de mémoire extérieure pour leur programmation.

Afin de bien décorréler la recherche des voisins proprement dite avec le reste de la carte, un CPLD dédié implémente uniquement l'algorithme de recherche. Comme la carte est voulue autonome (mettre en place un système de stimulation externe serait plus compliqué que la fonction à tester elle-même), un deuxième CPLD abrite un générateur de stimuli (figure 6.12).

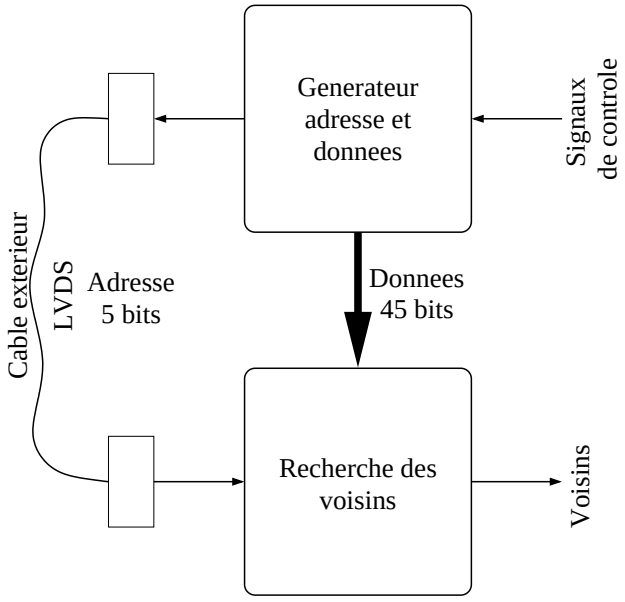


FIG. 6.12 – Architecture de la carte

Les stimuli consistent en un jeu de données « trigger » imitant les données produites par le système de traitement numérique ainsi qu'une adresse sur 5 bits, image d'une adresse qui sera envoyée par le système de déclenchement du calorimètre électromagnétique une fois l'expérience en marche.

Le prototype simule la recherche des voisins pour l'équivalent d'une demi-carte frontale : 45 bits de données trigger sont donc générés toutes les 25 ns ; 32 pour les données internes à la demi-carte, 8 pour les voisins NORD, 4 pour les voisins EST et 1 pour le voisin COIN.

Les tests permis par la carte sont au nombre de deux (« point chaud » et données aléatoires) cependant étant donnée la souplesse de programmation des composants programmables, il est envisageable d'en implémenter d'autres.

Les adresses ne sont pas envoyées directement au circuit de recherche des voisins. Elles sont d'abord converties au format électrique LVDS, transmises puis retournées à la carte elle-même par un cable ethernet de catégorie 5 et enfin reconverties au format TTL adapté au CPLD. Ce procédé permet d'émuler les cartes frontales du calorimètre électromagnétique qui doit se charger d'envoyer les adresses dans la version définitive de l'expérience.

La carte elle-même est constituée d'un circuit imprimé 4 couches en classe 4, d'une connectique RJ45 pour les signaux LVDS et des points de test adaptés à l'utilisation de l'analyseur logique.

6.3.2 Les tests

Test du « point chaud » (onehot)

Pour ce test, un seul bit parmi les 45 qui constituent les données sur lesquelles s'effectue la recherche est à l'état logique haut. Pour chaque position de ce bit actif, l'ensemble des adresses possibles est balayé. Selon sa position, le bit actif unique ne peut conduire qu'à un seul résultat de recherche parmi les suivants pour une adresse donnée :

- aucun voisin ;
- un voisin NORD ;
- un voisin EST ;
- un voisin COIN ;
- celulle adressée active.

Au cours d'un balayage, les cas listés précédemment seront rencontrés au maximum une fois chacun, sans autres possibilités de combinaisons. La vérification, à l'analyseur logique, consite donc à s'assurer qu'aucune combinaison non valide n'apparaît et que chaque résultat de recherche est bien correct.

Dans ce but, le produit de l'acquisition « réelle » effectuée sur la carte en fonctionnement par l'analyseur logique et une simulation VHDL idéale de la carte sont comparés. Lors de la campagne de test de ce prototype, aucune différence n'a été constatée. Une première étape dans la validation du procédé de recherche des voisins a donc été franchie.

Tests avec données aléatoires

Pour ce test, c'est un générateur de données pseudo-aléatoires qui produit les stimuli. Le générateur pseudo-aléatoire est réalisé grâce à un registre à décalage correctement initialisé dont la sortie est bouclée sur l'entrée au travers d'une porte XOR.

Les adresses prennent cycliquement les valeurs permises, de manière à ce que chaque valeur d'adresse soit mise en coïncidence avec chaque jeu de données pseudo-aléatoires. L'acquisition est faite avec l'analyseur logique, les données prises sont ensuite traitées grâce à un programme LabView dont le diagnostic permet de mettre en évidence, le cas échéant, des erreurs dans le mécanisme de recherche des voisins. Données et adresses varient au rythme de 40 MHz.

Mené à bien, le test avec données aléatoires n'a pas permis de détecter d'erreurs. Le principe de l'algorithme de recherche des voisins ainsi que son implémentation sont donc validés.

6.3.3 Programme de test LabView

Le programme de vérification en LabView utilise les données capturées par l'analyseur logique. Il émule le fonctionnement de la recherche des voisins et compare, pour le jeu de données d'entrée réel, la valeur théorique de la recherche et celle retournée par le prototype.

Les résultats sont présentés de façon graphique pour un contrôle visuel aisé en cas d'incohérences.

6.3.4 Conclusion

Les tests ont montré que la recherche des voisins pouvait s'effectuer en une étape de 25 ns. Les données et l'adresse de la recherche correspondante sont validées par un front montant d'horloge. Au front montant suivant le résultat de la recherche des voisins est présent en sortie du circuit.

Le prototype valide l'algorithme. Sur la carte frontale définitive, une autre technologie de composant sera utilisée pour surmonter la contrainte liée à l'environnement radiatif.

Des essais de synthèse (algorithme pour une demi-carte frontale) ont donné les résultats suivants pour le composant programmable Actel SX (programmation par fusibles). La version la plus petite du composant a été choisie (SX08). Le logiciel de synthèse Synplify évalue à 7 % la proportion de cellules combinatoires utilisées (35 sur 512 disponibles) et 22 % la proportion de cellules séquentielles nécessaires (57 sur 256). Le nombre de ports d'entrée-sortie utilisés est de 55 sur 130 disponibles au maximum (dépend du boîtier). La fréquence de fonctionnement estimée est de 76 MHz environ. Les opérations de placement et de routage dont le résultat donnera une évaluation plus précise de la fréquence, ne devraient pas poser de problème.

On peut donc considérer que l'algorithme de recherche des voisins est intégrable dans un composant ACTEL SX08. Sa contenance est suffisante pour la carte frontale entière ce qui facilitera la communication de données entre les deux demi-cartes (circuit imprimé et synchronisation). Les différents cas possibles d'utilisation d'une carte frontale (demi-carte non utilisée dans certain cas, frontières sans transmission des voisins, etc.) pourront être prévus d'avance et configurables au niveau du composant (cavaliers ou ECS). L'utilisation d'un boîtier de dimension réduite (TQFP176) est possible (128 ports disponibles).

Troisième partie

L'unité de décision

Chapitre 7

Le système L0DU

7.1 Le déclenchement de premier niveau

L'expérience LHCb est constituée d'un assemblage de détecteurs dont la production de données est bien trop volumineuse pour pouvoir donner lieu à un stockage exhaustif. C'est pourquoi un système de sélection choisit sur la base de critères simples les événements à éliminer. Selon ces critères, il est alors certain que ces événements ne peuvent convenir pour le domaine de physique étudié. Du point du vue de l'électronique, un événement est l'ensemble des données consécutives d'une collision entre particules.

Le sytème

Il y a plusieurs niveaux de sélection. Au premier niveau (numéro 0), l'acceptation d'un événement donne lieu à une décision appelée aussi déclenchement car cette validation enclenche un processus de transfert des informations au niveau suivant.

Les critères simples utilisés au premier niveau permettent de limiter la complexité de l'électronique associée à la prise de décision et de réduire le temps mis pour statuer sur la validité d'un événement. Cependant il n'est pas possible de travailler sur l'ensemble des données brutes issues des détecteurs en raison de leur grande quantité. Un jeu de données réduit est utilisé. Dans le cas du preshower il s'agit d'un unique bit par voie.

La complexité inhérente à chaque détecteur ne permet pas de tous les utiliser au premier niveau. Seuls les calorimètres électromagnétiques (y compris le preshower et le SPD) et hadroniques ainsi que le détecteur de muons et une partie du détecteur de vertex (PuVETO), participent à la prise de décision de premier niveau. Ce sont en effet les seuls détecteurs dont les données peuvent être traitées suffisament rapidement pour prendre la décision à ce niveau. Du point de vue du système de déclenchement, ces détecteurs sont dit « de premier niveau ».

L'algorithme de prise de décision est réparti au sein de plusieurs dispositifs comme le montre la figure 7.1. Premièrement les cartes frontales de chaque détecteur produisent

les données réduites et effectuent certains calculs locaux, par exemple la recherche des voisins pour le preshower. Dans un deuxième temps ces données pour le déclenchement sont regroupées et concentrées dans un « calculateur de déclenchement » spécifique à chaque détecteur de premier niveau. Le preshower et le SPD ne possèdent pas leur propre calculateur de déclenchement. Il y en a un seul commun au système calorimétrique (SPD, preshower, ECAL, HCAL).

A l'issue de ce deuxième stade, quelques centaines de bits de données seulement subsistent pour chaque détecteur. Pour les calorimètres, il s'agit de « candidats » représentant les cellules dans lesquelles s'est déposé le plus d'énergie lors d'une collision. Pour le détecteur de muon les 8 candidats présentant les impulsions les plus élevées sont transmis. On suppose que cet extrait concentré de données est caractéristique, selon des critères à définir, d'une collision et suffit à la prise de décision finale.

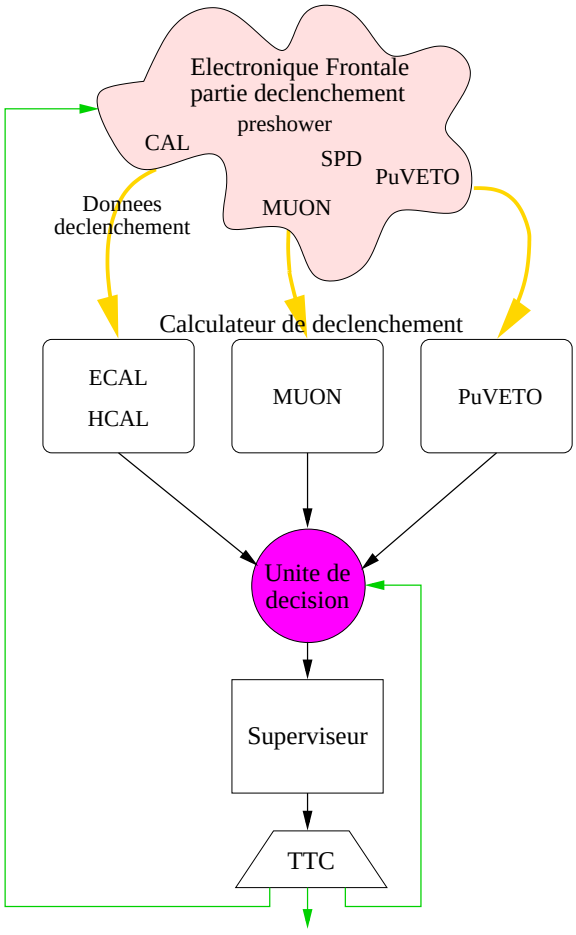


FIG. 7.1 – Architecture du premier niveau de déclenchement

Le troisième et dernier temps du déclenchement de premier niveau se déroule au sein de l'unité de décision de premier niveau. Cette unité reçoit les données de chaque calculateur de déclenchement de premier niveau et applique un dernier algorithme pour

produire la décision de premier niveau de l'expérience LHCb.

La décision est ensuite transmise à un « superviseur de lecture des données » faisant partie du système de contrôle de l'expérience. Le superviseur a la possibilité d'opposer son veto ou au contraire de forcer une validation. A sa suite, le système de contrôle de la mise en temps et du déclenchement distribue la décision au niveau de toutes les cartes électroniques de l'expérience provoquant ou non le transfert des données à pleine résolution relatives à l'événement validé vers le niveau suivant.

Entre le moment où une collision se produit et où la décision correspondante est prise en compte sur les cartes frontale, il doit obligatoirement s'écouler un temps fixe égal à $4\,\mu$s. En moyenne 39 croisements de faisceaux sur 40 doivent être rejetés avec, particularité de l'expérience LHCb, la possibilité d'acceptations successives.

Le projet

Un travail de fond a été accompli depuis l'été 1998 sur l'unité de décison. Le LPC a ainsi obtenu la reponsabilité de son développement mais aussi la possibilité d'implémenter des algorithmes originaux. Le temps aloué à l'unité de décision parmi les $4\,\mu$s a pu être négocié.

Dans le cadre du doctorat, le projet a pris corps et des solutions ont pu être proposées notamment lors d'une revue de projet. La réalisation d'un premier prototype vient appuyer l'implication du LPC dans la réalisation de l'unité de décision.

7.2 Tâches et caractéristiques

7.2.1 Latence

Tous les systèmes du premier niveau de déclenchement disposent d'un temps fixe pour réaliser leur tâches et doivent se partager les $4\,\mu$s disponibles. De ce fait, le temps alloué à l'unité de décision est fixe. La décision doit arriver sur le superviseur au maximum 525 ns après l'arrivée des données correspondantes, temps de propagation dans les câbles de sortie compris. Il s'agit d'une valeur maximum que l'unité utilisera en tout ou partie selon la nature de l'algorithme définitif.

Le tableau 7.1 établit un bilan, à titre indicatif, de l'utilisation du temps alloué. Le détail des opérations de l'algorithme de test utilisé pour un premier prototype de l'unité est donné dans la suite.

Fonction	Temps
Réception des signaux	25 ns
Traitement (algorithme de test 1)	150 ns
Conversion LVDS	25 ns
Câble (5 m)	25 ns
Total	275 ns

TAB. 7.1 – Exemple d'utilisation de la latence disponible pour un algorithme de test

7.2.2 Mise en temps

Phase

Les données d'entrée proviennent de systèmes ayant, dans le cas le plus général, chacun leur propre phase d'horloge. Ils sont en effet pilotés par des circuits TTC-RX différents [4]. De plus, pour une même source de données transmettant ces informations sur plusieurs canaux, des disparités entre les liens (longueurs de cables, délais de propagation dans les interfaces, etc.) introduisent des déphasages supplémentaires.

Ces déphasages risquent d'être gênants si les contraintes en temps des registres d'échantillonnage des données sur l'unité de décision ne sont pas réalisées. Pour éviter ce cas de figure il serait tout à fait possible de prévoir autant de délais (inférieurs à une période d'horloge) programmables que de liens en entrée de l'unité. Chaque interface d'entrée ayant ainsi une horloge parfaitement en phase avec les données correspondantes. Ensuite un jeu de registres synchronisés sur l'horloge nominale de l'unité assurerait la mise en temps pour le traitement interne des données.

Néanmoins, on peut concevoir un dispositif plus simple. Si l'on considère que les signaux d'entrée sont numériques et cadencés à 40 MHz, ils varient seulement toutes les 25 ns. Il existe une incertitude sur la position temporelle du front d'horloge les ayant synchronisés et du front d'horloge locale devant les échantillonner. En tenant compte des contraintes en temps des registres d'échantillonnage, il existe une plage de temps durant laquelle il est interdit d'échantillonner. Il est très peu probable que cette plage excède une durée d'une demi-période d'horloge. Donc, en sélectionnant le front d'échantillonnage (montant ou descendant) on est assuré de repecter les contraintes temporelles. Une couche supplémentaire de registres permet ensuite la synchronisation globale sur le même type de fronts d'horloge.

Un autre aspect de la mise en temps est la compensation des latences des différents systèmes.

Pipe-line

Comme les données d'entrée proviennent de sources différentes, elles ne sont pas alignées en temps. Autrement dit, les latences des différents systèmes frontaux et des calculateurs de déclenchement dépendent du détecteur source. L'une des toutes premières tâches de l'unité est donc de mettre en temps les données afin de ne pas travailler conjointement sur des fragments d'événements différents.

Pour une source précise, les événements arrivent dans l'ordre chronologique des collisions. Il n'y aura donc pas besoin de réordonner les événements mais simplement de retarder de façon adéquate les sources les unes par rapport aux autres.

Les latences des systèmes en amont sont fixes et s'expriment en nombre de périodes d'horloge (système synchrone) mais ne sont pas connues précisemment à l'avance (dispositifs en cours de développement, longueurs de câbles pas encore choisies). Un dispositif de mise en temps réglable permet d'aligner les données d'entrée afin d'adapter l'unité aux conditions en cours à la mise en route de l'expérience. Il est composé de registres à décalage de longueurs réglables.

Comme les données incluent un numéro de collision, il devient possible de comparer les numéros provenant de sources différentes. L'unité génère aussi son propre numéro d'événement à partir des signaux du système de contrôle de la mise en temps (TTC). Une détection d'erreur de synchronisation est donc possible et pourrait se corriger automatiquement : la profondeur des registres à décalage est régulée en fonction du résultat de la différence entre deux numéros d'événements de provenances différentes. L'historique des corrections successives peut être conservé afin de contôler après coup la fréquence des erreurs de synchronisation.

Comme c'est l'entrée dont la latence est la plus élevée qui détermine le début effectif du traitement lié à l'unité, les étapes d'attente ou de pipe-line ne doivent pas être décomptées du temps alloué à l'unité de décision. Les étapes d'attente peuvent être exploitées pour appliquer un traitement restreint aux données de la source de latence plus faible correspondante, si besoin est.

7.2.3 Prise de décision

La prise d'une décision concernant l'invalidité d'un événement est la raison d'être de l'unité. Cette décision se fonde sur un algorithme précis. Au fil du temps plusieurs algorithmes différents pourront être exploités en fonction de l'évolution de l'expérience (type de physique étudiée, caractéristiques des collisions, etc.). L'unité doit être suffisament souple pour s'adapter aux algorithmes futurs. Les algorithmes doivent pouvoir être facilement redéfinis et leurs paramètres configurés à volonté.

Un algorithme est composé de plusieurs sous-ensembles de conditions indépendants générant une sous-décision. Un « ou » logique est effectué entre les sous-décisions pour construire la décision finale.

Un sous-ensemble de conditions est aussi appelé voie de déclenchement. Après l'application des algorithmes associés, chaque voie peut être rendue inactive, prise en compte de façon partielle (réduction des taux : une proportion des acceptations est censurée) ou de façon moins stricte (mise à l'échelle décroissante : ponctuellement les conditions associées à une voie sont adoucies). Ces opérations interviennent à la fin du traitement d'une voie, avant la délivrance de la sous-décision associée. Elles permettent d'orienter statistiquement les différents types d'événements retenus par le premier niveau de déclenchement.

Un mot d'explication (rapport), à propos de l'origine de la décision finale, est construit pour chaque événement (toutes les 25 ns). Ce mot est envoyé à l'extérieur de l'unité par l'intermédiaire du système d'acquisition de données (c'est à dire à chaque validation de deuxième niveau) et d'une trame à destination du deuxième niveau de déclenchement (pour chaque validation de premier niveau).

En plus, un mot destiné au superviseur est généré à 40 MHz. Il s'agit de la sortie principale de l'unité. Elle contient le bit de décision finale, un numéro d'identification de la collision et quelques bits de contrôle.

7.2.4 Trame vers le deuxième niveau

L'unité de décision du premier niveau de déclenchement s'adresse directement au deuxième niveau (numéro 1) lui permettant ainsi d'anticiper et de compléter son jeu d'informations sur lequel se base sa propre décision.

Les informations à destination du deuxième niveau sont envoyées sous la forme d'une trame composée de 32 mots de 32 bits soit 1024 bits au total. Une trame n'est envoyée que pour les événements ayant donné lieu à une validation de premier niveau (les autres ne seront pas traités par le deuxième niveau). C'est l'une des raisons pour laquelle l'unité de décision reçoit le signal de validation de premier niveau comme tout élément de l'électronique de l'expérience LHCb.

Comme les informations qui composent la trame sont présentes de façon éphémère au sein de l'unité et que le signal de validation met du temps à être retourné, des mémoires stockent les données utiles en attendant. Les trames sont envoyées dans l'ordre chronologique. La fréquence moyenne du signal de validation de premier niveau étant de 1 MHz, il est possible d'envoyer 40 mots à 40 MHz entre deux validations s'il n'y a pas de temps mort. La trame sera donc transmise mot à mot à la cadence de 40 MHz.

Néanmoins, des validations successives restent possibles. L'occurence de l'une d'entre elles durant la transmission d'une trame ne doit pas compromettre l'envoie de la nouvelle trame validée. Il est donc nécessaire d'utiliser une file d'attente pour accumuler les trames validées en instance d'être transmises. Il a été montré qu'une profondeur de 16 trames pour la file d'attente est acceptable [12].

7.2.5 Acquisition de données

Pour effectuer des vérifications après coup, c'est à dire durant des analyses sur des données de physique enregistrées, l'unité de décision doit pouvoir conserver toutes les informations utiles au sujet de son comportement. De ce point de vue, l'unité se comporte comme une carte frontale d'un détecteur et inclut des canaux d'acquisition de données comme décrit pour la carte frontale du preshower. Ne seront stockées au final que les informations ayant été validées par les 4 niveaux de déclenchement.

Au minimum, les informations stockées correspondent à l'ensemble des entrées et des sorties de l'unité de décision.

7.2.6 Contrôle du comportement et diagnostic des pannes

En tant que système stratégique pour l'expérience, le comportement de l'unité doit être vérifié régulièrement. En cas de panne, la cause doit être mise en évidence.

En ce qui concerne la vérification du comportement, ce point est laissé à la charge de dispositifs embarqués comme le système de contrôle de l'expérience (ECS) ou un banc de test intégré. Ces fonctions n'ont pas été étudiées précisement mais la structure interne de l'unité doit permettre d'accéder à divers paramètres significatifs de façon lente par rapport au débit du flot de données d'entrée. Il sera alors possible de comparer le comportement statistique global de l'unité par rapport à ce que laissent envisager les lois de la Physique. En cas de doute, le banc de test embarqué permettra de vérifier des point précis au niveau de l'électronique.

Le diagnostic détaillé, puis la réparation d'une panne, s'effectuera en laboratoire (un autre exemplaire de l'unité prend alors le relais sur le site de l'expérience) à l'aide d'un banc de test complet dont un premier prototype a été développé.

Une fois l'algorithme de traitement bien rodé, les pannes attendues sont surtout liées à la connectique et au viellissement des composants d'autant plus que le système ne sera pas placé dans un environnement radiatif, contrairement à l'électronique frontale du preshower.

7.3 Interfaces de l'unité

La quantité et la provenance des informations à destination de l'unité peuvent varier encore un peu. La présente section propose d'établir le bilan des entrées et sorties telles que définies au moment de la rédaction de ce document.

7.3.1 Format

Les itérations successives avec les concepteurs des sytèmes s'adressant à l'unité de décision ont permis de proposer une norme commune aux entrées de l'unité.

Datagramme

Chaque ensemble élémentaire de données est composé de 32 bits et comporte les informations suivantes : un numéro de collision (BCID), quelques bit d'erreurs, une adresse de cellule et une valeur d'énergie ou d'impulsion.

Il a été convenu que le numéro de collision et les valeurs d'énergie seraient codés sur 8 bits.

LVDS simple

Avec ce format électrique 4 bits, de données peuvent transiter par un connecteur RJ45 et le câble associé. Uniquement pour les entrées, soit 640 bits, il faudrait 160 connecteurs. Disposés linéairement, la place qu'ils occuperaient serait de 2,3 m !

Même si l'unité en tant que système indépendant n'a pas besoin de châssis standard et qu'il demeure possible de réaliser des circuits imprimés capable de contenir une telle quantité de connecteurs, il est souhaitable de chercher à réduire leur nombre : facilité de manipulation, diminution du risque de pannes et simplification du matériel.

LVDS avec doublement de la fréquence

En échantillonnant les données à la fois sur le front montant et sur le front descendant de l'horloge, la transmission s'effectue à 80 MHz. Le nombre de connecteurs peut être divisé par un facteur 2.

LVDS série

Des circuits du commerce permettent d'établir des liaisons avec une fréquence jusqu'à 7 fois plus grande que celle de l'arrivée des données. Par exemple on peut faire transiter 21 bits sur 3 paires torsadées plus une pour l'horloge, soit exactement 1 câble ethernet et un unique connecteur RJ45. Dans ce cas la fréquence de transmission est de 280 MHz pour un débit de 840 Mbits/s. Le nombre de connecteurs est alors divisé par un facteur 5 avec les circuits DS90CR215 et DS90CR216 produits par National Semiconductor. Les circuits DS90CR483 et DS90CR484 du même fabricant permettent de transférer 48 bits sur 9 paires torsadées. Ils disposent de fonctions de mise en forme du signal permettant de compenser l'effet des câbles.

Autres

D'autres formats peuvent être envisagés. Etant données les longueurs des liens, il ne peut que s'agir de formats différentiels ou optiques. Le LVDS reste cependant une technologie récente et performante avantageuse du point de vue de la connectique.

Connectique

Pour les mêmes raisons que pour les cartes frontales du preshower, les connecteurs de type RJ45 ont été choisis. Largement disponibles sur le marché et pour un faible coût ils procurent facilité d'emploi et compatibilité avec le câble ethernet lui aussi retenu. Ce choix est compatible avec tous les format de LVDS.

7.3.2 Entrées et sorties[9]

Calorimètres

Les calorimètres envoient six candidats plus la somme des énergies déposées dans le calorimètre. Le tableau 7.2 donne la répartition des champs de données dans les 32 bits alloués à chaque candidat.

Champ	# bits
BCID	8
Erreur	2
Adresse	14
Energie	8
Total	32

TAB. 7.2 – Candidat pour les calorimètres

Du point de vue de la physique les six candidats correspondent à l'électron, au photon, au pion neutre local et au pion neutre global de plus grandes énergies ainsi qu'aux deux hadrons de plus grandes énergies qui ont été détectés dans les calorimètres.

Les données correspondant à la somme des énergies déposées fait l'objet d'un assignement spécial puisque leur contenu est différent.

Les calorimètres envoient donc un total de 7×32 soit 224 bits arrivant en parallèle toutes les 25 ns avec une latence de 2050 ns par rapport au temps où s'est produite la collision. Un jeu supplémentaire de données pourrait être rajouté pour la transmission de la multiplicité du SPD résultant du traitement décrit au paragraphe 5.4.4.

MUON

Le détecteur de muon envoie 8 candidats, 2 muons de plus hautes impulsions par quart de détecteur. Le tableau 7.3 donne le datagramme type pour un candidat.

Champ	# bits
BCID	8
Erreur	4
Adresse	12
Impulsion	8
Total	32

TAB. 7.3 – Candidat pour le détecteur de muons

Le détecteur de muon envoie donc un total de 8×32 bits soit 256 bits arrivant en parallèle toutes les 25 ns avec une latence de 2175 ns.

VETO

Lorsque plusieurs collisions se produisent en même temps, il n'est pas possible de séparer aisément les particules filles provenant d'une collision ou de l'autre. Toute tentative d'analyse risque de conduire à des erreurs d'interprétation. Pour cette raison, on préfère éliminer les cas de collisions multiples. Le calculateur de déclenchement du détecteur de vertex (PuVETO) fournit à l'unité de décision les informations nécessaires à la mise en évidence de collisions multiples grâce à deux mots de 32 bits à 40 MHz (voir le tableau 7.4), avec une latence de 1775 ns.

Mot 1		Mot 2	
Champ	# bits	Champ	# bits
BCID	8	BCID	8
Erreur	4	# hits	8
Info. sup.	4		
Position1	8	Position2	8
Contenu1	8	Contenu2	8
Total	32	Total	32

TAB. 7.4 – Informations en provenance du detecteur de vertex

Décision (RSDA)

La décision est envoyée au superviseur sous la forme d'un mot de 16 bits.

Champ	Taille (bits)
Decision	1
Identification	12
Déclenchement forcé	1
Mise en temps	1
Réservé	1
Total	16

TAB. 7.5 – Contenu de la décision envoyée au superviseur

Le tableau 7.5 donne la composition du mot : le bit donnant le décision est accompagné d'un nombre codé sur 12 bits représentant le numéro de la collision. Un bit est utilisé pour transmettre une demande de déclenchement forcé au superviseur qui imposera une décision positive (utile pour la mise au point du dispositif et le contrôle en direct). Le bit de mise en temps permet de signaler au superviseur des conformations adéquates, à définir, d'une suite de décisions pour effectuer un réglage de la mise en temps. Le bit restant est réservé pour de futures améliorations du système (l'indication d'une erreur par exemple).

L0Block

L'unité envoie des informations directement au deuxième niveau de déclenchement : la trame décrite à la section 7.2.4 est aussi appelée L0Block.

Le tableau 7.6 donne un exemple du contenu possible d'une trame. Un en-tête permet de repérer le début d'une trame. Il est suivi des numéros de collision et d'événement afin d'assurer la synchronisation des données entre l'unité de décision et le deuxième niveau de déclenchement. Des informations relatives aux candidats sont ensuite transmises.

Un rapport interne (L0DUrpt) est aussi transmis dans la trame pour les deux événements précédents (BC−2, BC−1), l'événement relatif à la trame (BC) et les deux événements suivants (BC+1, BC+2). Le L0DUrpt donne la raison précise de la prise de décision en indiquant quelles conditions ont été réalisées. Cette transmission d'information permet, le cas échéant, d'analyser ce qui est advenu un peu avant et un peu après un événement validé. Techniquement, pour réaliser cette fonction, il suffit de mémoriser les L0DUrpt successifs (registres à décalage) sur 5 périodes.

Des emplacements restent disponibles pour des ajouts éventuels d'information à la trame.

Acquisition de données

Comme un système frontal classique de détecteur, l'unité produit des données (résultats intermédaires de calculs, etc.) à destination du système de stockage. Ces informations doivent être validées par les niveaux successifs de déclenchement.

Mot	Contenu
0	En-tête
1	Identifiants collision et événement
2	Données PuVETO
3	Données du candidat électron
4	Données du candidat photon
5	Données du candidat π^0 local
6	Données du candidat π^0 global
7	Données du candidat premier hadron
8	Données du candidat second hadron
9	Données énergie totale calorimètres
10	Données du candidat premier muon
11	Données du candidat second muon
12	Données du candidat troisième muon
13	Données impulsion totale muon
14	L0DUrpt BC-2
15	L0DUrpt BC-1
16	L0DUrpt BC
17	L0DUrpt BC+1
18	L0DUrpt BC+2
19	Données SumEt BC-2, BC-1
20	Données SumEt BC+1, BC+2
...	espace libre
31	espace libre

TAB. 7.6 – Exemple de contenu de la trame (L0Block)

La quantité de données qu'il est prévu d'envoyer vers le DAQ est de 1024 bits. Comme la transmission des données vers le DAQ s'effectue au rythme des validations de deuxième niveau, la cadence d'envoi est de 40 kHz.

ECS

Le système de contrôle de l'expérience est utilisé pour configurer et paramétrer les algorithmes internes de l'unité mais aussi pour accéder aux fonctions de diagnostic des pannes.

Les besoins en terme d'ECS n'ont pas encore été déterminés. Cependant ils devraient se limiter à la programmation des circuits devant l'être, au chargement des paramètres des algorithmes, au pilotage d'un banc de test intégré (injection de données de test) et à l'accès à des compteurs d'activité des voies de déclenchement. L'implantation du système d'ECS devra être compatible avec les prérequis de flexibilité imposés à l'unité.

Bilan

Système externe	Sens	Taille et cadence	Sérialiseurs	Câbles
CAL	E	224@40MHz	5	12
MUON	E	256@40MHz	6	14
VETO	E	64@40MHz	2	5
Réservé	E	96@40MHz	2	5
RS	S	16@40MHz	-	4
L0Block (trame)	S	1024@1MHz	-	8
DAQ	S	1024@40kHz	-	-
ECS	E/S	indéterminé	-	-

TAB. 7.7 – Bilan des entrées (E) et sorties (S) de l'unité

Le tableau 7.7 dresse le bilan des entrées et sorties de l'unité de décision. Un total de 96 bits supplémentaires ont été ajoutés au cas où l'une des interfaces utilisées serait inopérante.

Pour les entrées au format LVDS sérialisé le bilan du nombre de composants de sérialisation est fait en supposant l'utilisation des références DS90CR483/4 qui traitent 48 bits. Le nombre de câbles nécessaires au transport des données d'un port d'entrée/sortie est indiqué si possible. Pour la trame vers le deuxième niveau de déclenchement (L0Block) on suppose que du LVDS normal est utilisé pour des mots de 32 bits (la trame est envoyée vers deux systèmes distincts).

Les valeurs des latences estimées des systèmes d'entrée permettent d'estimer que 16 périodes d'horloge séparent l'arrivée des données PuVETO et MUON pour une même

collision de référence. De la même façon, les données du calorimètre arrivent 5 périodes avant les données MUON.

7.4 Architecture

A partir des éléments connus au sujet de l'unité de décision, une architecture générique est proposée. Elle est illustrée par la figure 7.2.

7.4.1 Partie traitement

Traitement partiel

Comme les données n'arrivent pas en même temps en fonction de leur provenance, il est possible de commencer le traitement sur les données arrivant le plus tôt (VETO et calorimètre) en attendant les autres. Ces traitements partiels prennent du temps et participent à la synchronisation des données.

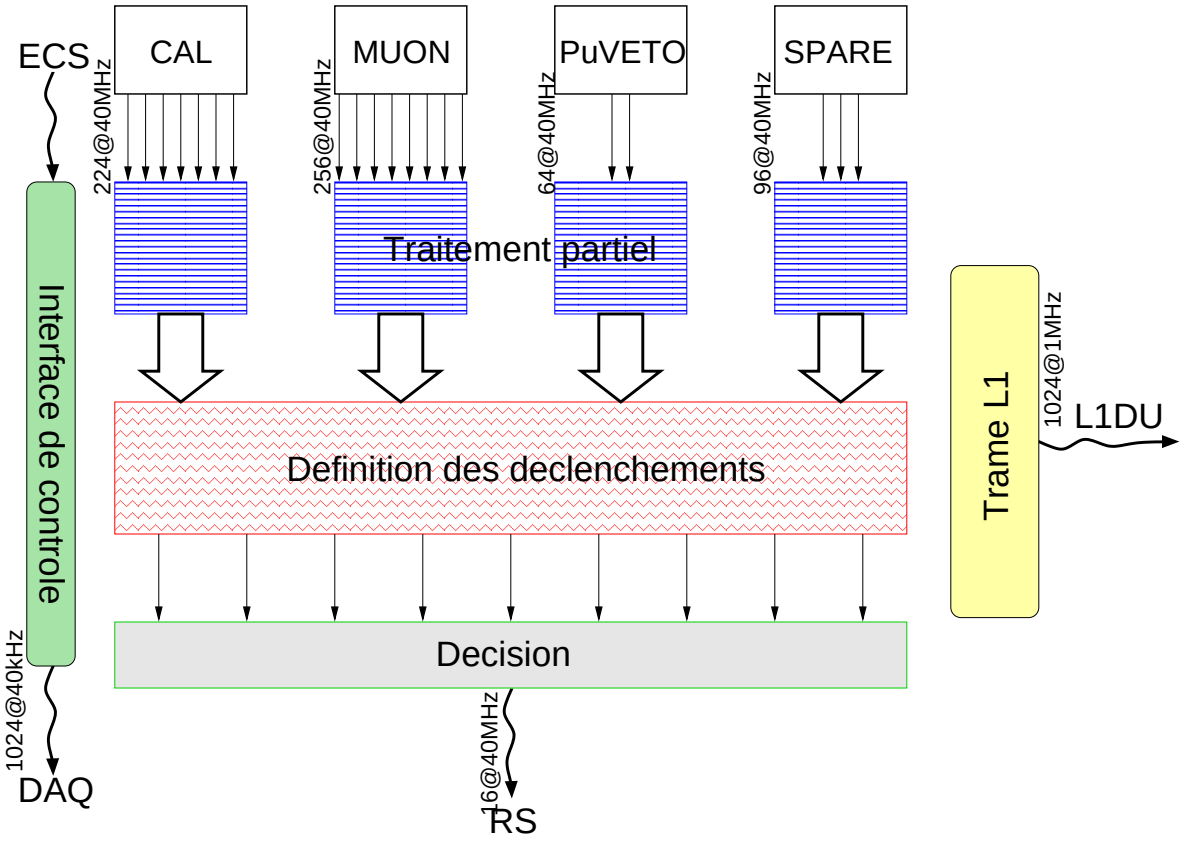


FIG. 7.2 – Architecture de l'unité de décision

Le cas échéant, des étapes « vierges » de tout calcul pourront être introduites dans le pipe-line pour compenser les décalages temporels résiduels.

Définition des déclenchements

Après les étapes de traitement partiel, les informations arrivent à un sous système de définition des voies de déclenchements sous une forme allégée, par exemple la valeur d'énergie sans numéro d'identification de la collision ou un ensemble de bits faisant état de la réalisation d'un ensemble de conditions (par exemple le dépassement de seuils).

Il est alors possible de définir des conditions (voies) de déclenchement combinant plusieurs sources de données différentes, par exemple un critère sur le candidat électron et le candidat photon.

Pour chaque voie un bit fait état de la réalisation de la condition.

7.4.2 Décision

Ce bloc traite les différentes voies de déclenchement, comme défini précédemment et construit le mot de décison (RSDA) envoyé au superviseur ainsi que le rapport d'explication de la décision (L0DUrpt).

7.4.3 Partie trame L1

Un ensemble séparé de la partie algorithme de décision s'occupe de la construction de la trame pour le deuxième niveau de déclenchement (numéroté 1). Les informations sont transmises à l'unité de décision du niveau 1.

Les données destinées à remplir la trame sont copiées depuis divers points de l'architecture pipe-line de la partie traitement. Elles sont placées dans autant de registres à décalage (environ 32 étages) pour attendre le retour de la validation de premier niveau distribuée par le système TTC. Les profondeurs des divers registres à décalage sont modulées afin d'obtenir un alignement des données en sortie qui doivent alors correspondre au même événement. Une électronique adaptée envoie alors les mots qui composent la trame un à un si l'événement a été validé.

7.4.4 Interface de contrôle

L'interface de contrôle reçoit les instructions de l'ECS et les signaux du TTC (validations, numéros d'événement, mises a zéro, etc.). Elle permet la configuration des composants programmables et l'initialisation des mémoires. En retour, elle donne accès à diverses données utiles pour le contrôle en direct du bon fonctionnement de l'unité.

Plusieurs standards d'ECS sont admis au sein de la collaboration LHCb et notamment les unités centrales d'ordinateur au format carte de crédit. Disposant d'une interface réseau ethernet, ces unités intègrent un ordinateur complet (microprocesseur et mémoire) ouvert sur le monde extérieur. Ce type d'ECS peut s'avérer très utile pour un dispositif du type de l'unité de décision. En effet l'unité est un composant crucial du système de déclenchement. Pour cette raison il est nécessaire de s'assurer en permanence de son fonctionnement correct. Le fait de disposer d'un véritable ordinateur à bord peut grandement faciliter la surveillance de l'unité par l'intermédiaire de logiciels embarqués et d'interfaces disposant d'une électronique adaptée (JTAG, I2C, etc.). La connexion ethernet permet une mise en place simple au sein d'un système plus global de surveillance de l'expérience.

Cette partie est encore à l'état de définition et d'étude.

7.5 Eléments d'algorithmes

Cette section présente quelques éléments d'algorithme pouvant être demandés à l'unité de décision. La principale difficulté est de réussir à implémenter les différentes parties d'un algorithme de façon à obtenir un degré de parallélisme suffisant pour gagner du temps sans toutefois perdre la synchronisation des données et mélanger les fragments d'événements entre eux.

7.5.1 Seuils

La présence de particules énergétiques (au sens de leur grande impulsion transverse) d'un certain type est généralement caractéristique des collisions ayant produit des mésons beaux que l'on veux justement étudier. Les voies de déclenchement les plus simples consistent en l'application de seuils sur les valeurs d'énergies des différents candidats : en cas de dépassement la voie de déclenchement associée devient active.

Certaine voies de déclenchement peuvent combiner les conditions de seuils sur plusieurs candidats.

7.5.2 Recherche des candidats muons

Le calculateur de déclenchement du détecteur de muons transmet 8 candidats à l'unité de décision, 2 par quart de détecteur. Les différents quarts du détecteur de muons ne communiquent pas entre eux. Aussi il revient à l'unité d'extraire les trois candidats de plus hautes énergies parmi les huit. En outre l'unité doit être capable d'éliminer les doublons : le processus de recherche des candidats peut donner naissance à deux candidats identiques pour un quart de détecteur. Il convient d'éliminer le doublon à l'aide des adresses contenues dans les données associées aux candidats.

Après élimination des doublons, un arbre de comparateurs effectue la recherche. La

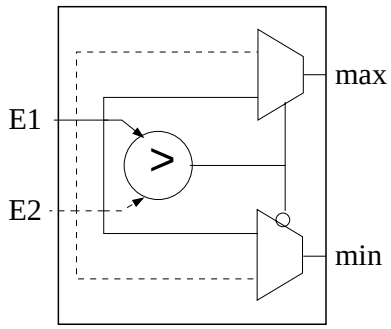


FIG. 7.3 – Cellule de base de l'arbre de recherche

figure 7.3 donne la cellule de base de l'arbre. Il s'agit d'un comparateur commandant deux multiplexeurs qui effectuent le tri des deux données d'entrée en terme de minimum et de maximum.

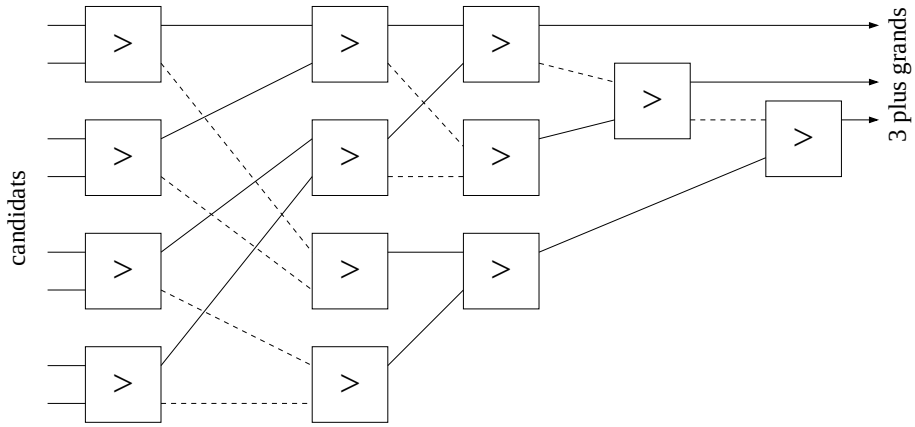


FIG. 7.4 – Arbre de recherche des 3 maxima

La figure 7.4 représente la stucture de l'arbre de recherche. Les minima issus de chaque cellule sont représentés en pointillés. Cette structure a été optimisée compte tenu des faits suivants (à titre d'exercice) :

- les deux plus grands maxima appartiennent à l'ensemble des maxima de chaque quart de détecteur ;
- le troisième maximum à trouver est soit le troisième maximum de l'ensemble des maxima de chaque quart soit le maximum de l'ensemble des minima de chaque quart.

L'arbre a pu ainsi être réduit d'un état initial comportant 20 cellules et 6 étages à la forme optimisée de la figure 7.4 incluant 13 cellules et 5 étages. En l'absence des

contraintes citées ci-dessus, la recherche complète doit être effectuée avec l'arbre initial (non réprésenté).

Pour un composant programmable de type ACEX1K100 d'ALTERA, l'arbre peut se réaliser en trois périodes d'horloge, les bancs de registres scindant l'arbre en trois étapes ont été rajoutés.

7.5.3 Masse invariante

En effectuant le bilan des produits détectés de la collision, il devient parfois possible de calculer la masse (l'énergie) d'une particule initiale non détectée.

L'unité de décision peut estimer la masse invariante M à partir des candidats du détecteur de muon disponibles pour un événement selon la formule suivante :

$$M^2 = P_1 \cdot P_2[1 - cos\theta_1 \cdot cos\theta_2 - sin\theta_1 \cdot sin\theta_2 \cdot cos(\varphi_1 - \varphi_2)]$$

P est l'impulsion et θ et φ sont les angles des coordonnées sphériques des cellules du détecteur touchées. Ces données ne sont pas disponibles directement et devront être calculées à partir de l'impulsion transverse et de l'adresse de la cellule concernée contenues dans les données associées aux candidats muon. On obtient alors la formule effective suivante où P_T est l'impulsion transverse.

$$\frac{M^2}{2} = P_{T_1} \cdot P_{T_2} \cdot \frac{1}{\sin\theta_1 \cdot \sin\theta_2}[1 - \cos\theta_1 \cdot \cos\theta_2 - \sin\theta_1 \cdot \sin\theta_2(\cos\varphi_1 \cdot \cos\varphi_2 + \sin\varphi_1 \cdot \sin\varphi_2)]$$

Pour être rapide l'utilisation de tables (LUT) s'avère indispensable pour l'obtention des membres trigonométriques à partir des adresses des cellules touchées par les candidats muon (voir tableau 7.3). Des LUT effectuent les calculs suivants : $\frac{1}{\sin\theta}$, $\cos\theta$, $\sin\theta$, $\cos\varphi$ et $\sin\varphi$. Le reste de la formule est calculée arithmétiquement grâce à un arbre d'opérateurs correctement découpé en étapes de pipe-line.

7.5.4 Réduction d'échelle

La réduction d'échelle permet, une fois tous les N événements validés, l'acceptation du prochain événement sur la base de conditions relaxées (par exemple des valeurs de seuils plus basses que les valeurs nominales) pour les voies de déclenchement concernées.

Dans la pratique, pour une voie de déclenchement basée sur un seuil, après N événements acceptés dans cette voie on utilise une valeur de seuil plus basse pour l'événement accepté suivant puis l'on retourne immédiatement aux valeurs initiales.

Les conditions d'acceptation moins strictes ainsi appliquées de temps en temps permettent d'élagir marginalement le champ des événements acceptés qui sont clairement étiquetés dans ce cas là. Ce procédé permet de recourir à divers traitements statistiques de contrôle (caractéristique du faisceau, etc.).

7.5.5 Réduction des taux

La réduction des taux consiste à censurer la voie de déclenchement concernée sur un certain pourcentage d'événements. Il devient alors possible de régler les influences relatives des différentes voies de déclenchement sur la décision finale.

7.6 Eléments d'une solution

L'état d'avancement du projet permet d'exprimer des idées sur la réalisation de l'unité finale qui fonctionnera sur l'expérience. Dans cette section, on se propose de discuter entre autre d'un ensemble de points abordés lors de la revue de projet ayant eut lieu devant un comité du CERN au mois de juillet 2002.

7.6.1 Circuit imprimé

Le grand nombre d'entrées et de sorties conduit à envisager deux types de solutions pour la structure des circuits imprimés composant l'unité : d'une part plusieurs cartes filles connectées à une carte mère (l'information doit nécessairement être concentrée pour prendre la décision) ou d'autre part une seule carte incluant tous les éléments de l'unité.

Dans le premier cas il faut considérer le fait que la plupart des informations entrant dans l'unité doivent en ressortir par l'intermédiaire de la trame vers le deuxième niveau ou du système de DAQ. Si l'on considère qu'une carte fille ne traite qu'une partie des informations, il sera de toute façon nécessaire de les transmettre à la carte mère ou à une autre carte fille dédiée à la trame ou au DAQ. On peut donc craindre qu'une solution sur plusieurs cartes, devant à l'origine simplifier les interconnexions, ne semble pas répondre à ce souhait. Sans pour autant être définitivement éliminée, cette possibilité sera donc laissée de côté pour l'évaluation d'une solution à carte unique.

Dans le cas d'une carte unique, on évite la multiplication des sous-ensembles et de l'accroissement de l'effort de gestion (versions, réalisation, tests) inhérent. Par contre, il est très probable que la taille du circuit imprimé soit conséquente ne ce serait-ce que pour le support des connecteurs d'entrée et de sortie. La possibilité de router une telle carte doit aussi être évaluée.

7.6.2 Bus d'interconnexion externe

Dans le cas où l'unité serait composée de plusieurs cartes, il serait envisageable de les disposer dans un châssis comportant un bus de fond de panier.

Néanmoins, étant donné les flots de données importants et le temps réduit laissé à l'unité, la plupart des liaisons devraient être de type point à point et rapides. D'autre part, le système de contrôle (ECS) prévu à l'échelle du détecteur devrait permettre de

satisfaire l'ensemble des besoins de l'unité en terme de contrôle lent (programmation des circuits le nécessitant, chargement des paramètres, etc.).

Pour ces raisons, l'utilisation d'un bus de fond de panier et du protocole associé standard ne paraît pas nécessaire. Et dans ce cas un éventuel châssis ne servirait que de support mécanique à l'ensemble de l'unité.

7.6.3 Connexions

Les circuits programmables les plus récents sont capables de travailler directement au format LVDS et même en LVDS sérialisé au niveau des entrées/sorties. Pour une question d'uniformité (procédure de test unique, etc.) il paraît important de n'utiliser qu'un seul format électrique au niveau des interfaces de l'unité.

Le format optique a été proposé pour les données du détecteur de muons. Cette solution est envisageable pour transmettre un débit important sur des distances pour lesquelles le LVDS sérialisé n'est plus fiable. Néanmoins les données étant appelées à entrer dans un composant électronique, l'utilisation de liaisons optiques ne simplifie pas le tracé du circuit imprimé sur lequel tous les signaux doivent forcément se retrouver contrairement à l'utilisation d'interfaces LVDS sérialisé intégrées.

7.6.4 Circuits de traitement

Les circuits de traitement doivent pouvoir supporter un grand nombre d'entrées et de sorties tout en implémentant un algorithme simple en regard de la capacité des circuits haut de gamme des fabricants.

L'utilisation de boîtiers du type BGA permet une grande densité de connexions en surface.

L'unité doit aussi mémoriser des informations en attente de validation. Les composants programmables haut de gamme des fabricants intègrent des blocs de mémoire. Si la quantité est suffisante il devient envisageable de se passer de composants mémoire externes.

Les circuits de la série APEX du fabricant Altera ou VIRTEX de Xilinx intègrent interfaces LVDS, mémoire et possibilité de boîtier BGA. L'évolution technologique des prochaines années laisse penser que l'utilisation des interfaces LVDS et la quantité de mémoire intégrée seront plus importantes et généralisées.

Comme l'unité sera physiquement située dans des salles d'électronique de la carverne expérimentale, protégées des radiations par un blindage, des FPGA classiques sont utilisables. Il n'y a pas, a priori, de contraintes dues à la présence de rayonnements.

7.6.5 Banc de test intégré

L'intégration d'un banc de test sur la carte même de l'unité ajoute de la complexité que ce soit pour le développement, le dessin du circuit imprimé ou le dispositif de contrôle de l'unité.

Cependant le banc de test intégré est destiné à un usage sur site pour diagnostiquer une panne. Comme l'utilisation d'un banc de test plus complet, en laboratoire, pour effectuer des opérations de maintenance, est envisagée, le banc de test intégré, moins encombrant, ne constituerait pas une contrainte trop forte.

L'injection de stimuli en aval des connecteurs et des interfaces de communication (optique, LVDS) permet de s'assurer de la bonne marche de l'unité et de localiser une panne au niveau des interfaces, si le système dans sa configuration classique ne marche pas.

7.6.6 Coût

Un petit nombre d'exemplaires de l'unité seront fabriqués. Le coût unitaire ne constitue donc pas une contrainte forte contrairement au cas des cartes frontales.

Le surcoût des composants programmables intégrant des fonctions d'entrée/sortie en LVDS serait partiellement compensé en évitant l'utilisation de convertisseurs de format électrique externes.

D'un autre côté l'utilisation de boîtiers de type BGA implique un surcoût en raison du procédé spécifique de fabrication du circuit imprimé et de la vérification indispensable des soudures de connexion.

7.6.7 Premier prototype

La réalisation d'un prototype initial dans le cadre de la thèse a permis de tester les premiers algorithmes et d'évaluer une solution technique à l'aide d'une première version du banc de test externe. Les développements correspondants sont décrits dans les deux chapitres suivants.

Chapitre 8

Tests de l'unité de décision

8.1 Banc de test

L'unité de décision et ses prototypes doivent être validés et faire l'objet d'une maintenance régulière : le banc de test doit permettre, en laboratoire comme sur le site de l'expérience, d'effectuer les contrôles nécessaires. Ceux-ci portent sur deux plans en particulier :

- électronique : le concepteur doit être rassuré quant à la bonne santé et au bon fonctionnement de son développement ;
- fonctionnel : les utilisateurs, en d'autres termes les physiciens, veulent vérifier que l'unité réagit comme spécifié par les algorithmes mathématiques définissant la fonction de l'unité de décision.

Le banc de test constitue un outil de diagnostique du fonctionnement de l'unité. L'unité étant largement constituée de composants programmables modélisés par ailleurs en langage informatique de haut niveau, il est possible de simuler presque entièrement son comportement. De telles simulations permettent déjà de valider un algorithme au niveau de son utilisation en physique grâce à des stimuli d'entrée provenant de données physiques théoriques ou réelles, ce qui a été réalisé au cours de la conception de l'unité.

Cependant une simulation ne permet ni de diagnostiquer une panne due à une mauvaise connectique, voire un défaut d'implantation des composants ou même un élément qui se serait dégradé au fil du temps, ni de prendre en compte de façon satisfaisante l'effet des médias d'interface, à savoir les câbles, leurs adaptations et l'électronique analogique d'émission et de réception.

Des tests en conditions réalistes de fonctionnement, c'est à dire prenant en compte toutes les perturbations pouvant subvenir, s'avèrent indispensables pour assurer la pérénité du système « unité de décision ».

Au delà de ces considérations, le banc de test doit aussi permettre d'effectuer le contrôle de l'unité *in situ*, au moins durant la phase de mise en route de l'expérience. Il apparaît alors important de posséder le même environnement de test au laboratoire comme sur

l'expérience.

8.2 Architecture du banc de test

Le banc de test doit être capable d'envoyer des stimuli et de recevoir un résultat à la cadence nominale de 40 MHz. Ce fait exclut d'office un interfaçage direct avec une machine informatique néanmoins indispensable pour le confort de l'utilisateur : gestion des lots de stimuli, exploitation des résultats et convivialité du travail. La partie matérielle du dispositif de test consistera donc en une interface rapide avec le système à tester et plus lente avec l'informatique.

L'architecture retenue inclut un certain nombre de cartes électroniques (« cartes mémoire ») permettant l'envoi ou la réception de stimuli programmés au travers de la station informatique à l'aide d'un logiciel adapté. En plus, une carte de synchronisation (« carte horloge ») distribue un signal d'horloge identique à l'ensemble des éléments constituant le banc de test comme le montre la figure 8.1.

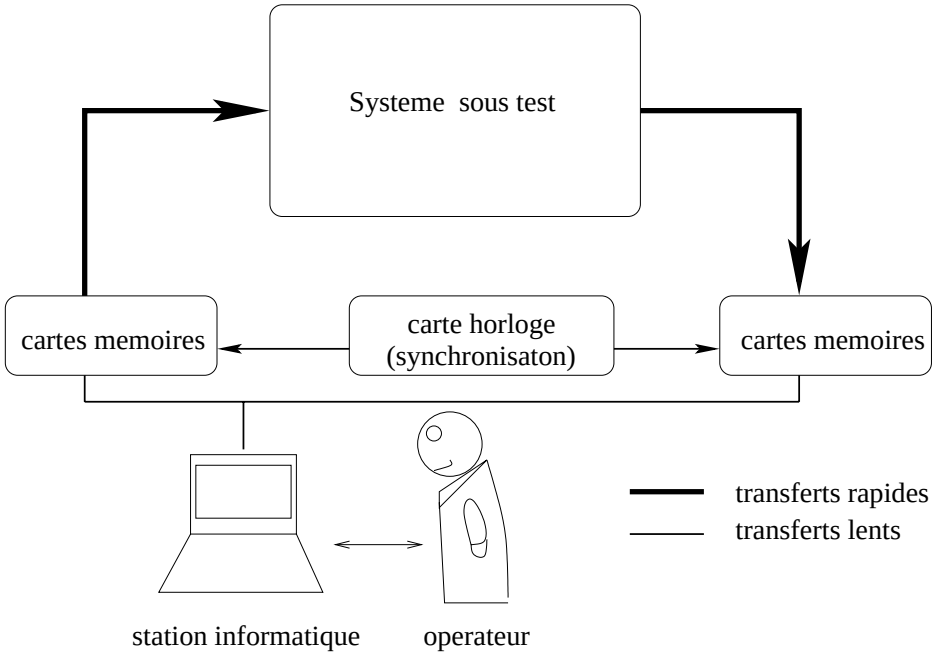


FIG. 8.1 – Architecture générale du banc de test

Le protocole VME, bien connu dans le milieu de la recherche et notamment au Laboratoire de Physique Corpusculaire de Clermont-Ferrand, a été retenu pour réaliser l'interface entre la station informatique et les cartes électroniques. En particulier, le système d'interface de NATIONAL INSTRUMENT a permis de développer les premiers prototypes du logiciel de commande du banc de test, que ce soit grâce à LABVIEW ou directement en langage C sous environnement UNIX (LINUX dans ce cas).

8.3 Carte Horloge

8.3.1 Fonctionnalités

La carte horloge génère des signaux d'horloge à des fréquences configurables sous multiples de la fréquence de base. La fréquence de base est obtenue à partir d'un quartz de 80 ou de 120 MHz. En sortie on récupère un sous multiple correpondant à 2, 4 ou 8 qui divisent la fréquence de base. Cela correspond aux fréquences élevées délivrées par la carte. Des sorties produisent aussi des fréquences beaucoup plus faibles (64 ou 1024 fois moins) destinées à être utilisées comme signaux de déclenchement.

Le quartz de 120 MHz permet de générer des fréquences 50% plus élevées. Cette fonction sera exploitée pour tester des systèmes dans des conditions « aux limites ».

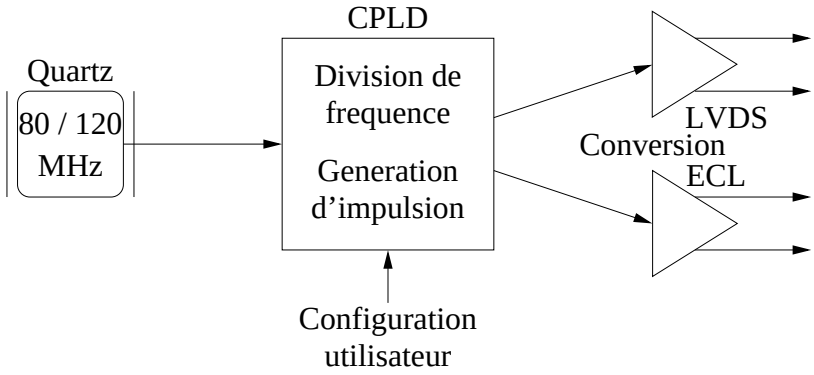


FIG. 8.2 – Principe de la carte horloge

La carte est destinée à synchroniser le banc de test de l'unité de décision mais aussi tout autre système compatible, notamment les divers prototypes de l'électronique frontale du preshower. Plusieurs exemplaires sont utilisés actuellement.

8.3.2 Conception

Un schéma de principe est donné par la figure 8.2.

En sortie du quartz, la fréquence est systématiquement divisée par deux pour assurer un rapport cyclique très voisin de 50 %. Tous les signaux produits par la carte sont synchrones, ce qui permet de se soustraire à d'éventuels phénomènes de battement. Dans ce même but, les quartz (80 et 120 MHz) ont été sélectionnés avec une entrée d'activation de façon à ne pas autoriser leur fonctionnement conjoint.

Les signaux critiques parcourant une distance importante ont été adaptés avec une résistance série. Une adaptation parallèle facultative en fin de ligne a aussi été prévue mais ne s'est pas avérée nécessaire.

Sur la carte, un CPLD ALTERA MAX7000 effectue les divisions de fréquence et assigne un sous multiple de la fréquence à chaque sortie en fonction de ce qui est demandé par l'utilisateur (cavaliers de configuration). Un code source écrit en VHDL sert de base pour la programmation des fonctionnalités de la carte. En cas de besoin il reste donc possible d'apporter les modifications nécessaires en particulier pour obtenir de nouveaux sous-multiples de la fréquence de base.

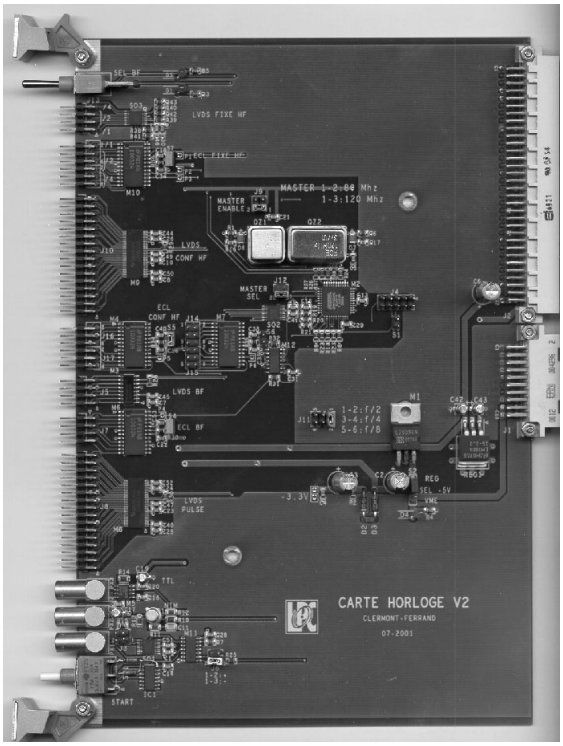


FIG. 8.3 – Photographie d'une carte horloge

Un dispositif spécial permet en plus de générer une impulsion de 25 ns, en phase avec les signaux d'horloge, qui sera utilisée comme signal de synchronisation du banc de test. La production de l'impulsion est déclenchée par l'utilisateur grâce à un interrupteur suivi d'un dispositif anti-rebond (une bascule dont on utilise les entrées de présélection).

Les niveaux de sortie sont au format LVDS et ECL, ces deux standards sont différentiels. La conversion des niveaux TTL est réalisée par les circuits 100324 de MOTOROLA pour les sorties ECL et DS90LV048 de NATIONAL SEMICONDUCTOR pour le format LVDS.

En outre, des circuits spéciaux (références SN65LVDS116 et SN65LVDS104 de TEXAS INSTRUMENTS) dupliquent à l'identique certains signaux pour permettre, à partir d'une même carte, de commander plusieurs systèmes (eg. plusieurs cartes mémoire) devant être synchrones.

8.3.3 Réalisation

Deux prototypes de la carte horloge ont été conçus. Le premier ne délivrait pas des signaux avec un rapport cyclique correct. Ce problème a été résolu avec la deuxième version (figure 8.3). Pour cela le placement des composant a été optimisé pour réduire le parcours des signaux critiques et certaines pistes sensibles ont été adaptées.

Le circuit imprimé a été réalisé en 4 couches au format 6U. Deux couches sont utilisées comme plans d'alimentation. La carte peut s'insérer dans un chassis VME au standard CERN pour l'alimentation en $-5\,\mathrm{V}$ nécessaire aux circuits ECL.

Le tableau 8.1 fait le bilan des sorties de la carte horloge.

Nom	Usage	Nombre
f	Fréquence d'oscillation du quartz actif	1
f/2	Fréquence moitiée	2
f/4	Fréquence quart	1
f/2 ou f/4 ou f/8	Choix de fréquence par cavaliers	16 LVDS
f/2 ou f/4 ou f/8		16 ECL
f/64 ou f/1024		16 LVDS
f/64 ou f/1024		8 ECL
f/64 ou f/1024		1 TTL
f/64 ou f/1024		1 NIM
Impulsion	Impulsion manuelle synchrone	16 LVDS

TAB. 8.1 – Sorties de la carte horloge

La carte horloge a été utilisée de façon satisfaisante pour synchroniser l'ensemble des systèmes dont il a été question y compris la partie analogique de l'électronique frontale du preshower. Trois exemplaires sont en cours d'exploitation.

8.4 Carte Mémoire

Le test fonctionnel d'un système numérique nécessite l'envoi de stimuli ayant des caractéristiques similaires aux signaux qui seront envoyés par l'environnement du système sous test dans son utilisation normale. Ces stimuli activent le dispositif testé qui génère à son tour des signaux en sortie.

Il s'agit de tests devant permettre de statuer sur le bon fonctionnement d'un dispositif au niveau de son ensemble et non pas au niveau d'un composant ou d'une connexion sur le circuit imprimé. Ces derniers types de test doivent être réalisés à l'aide de matériel plus fin (oscilloscope, analyseur logique, etc.) ou de méthodes adaptées (JTAG, etc. pour les composants programmables) bien que des tests plus globaux puissent éventuellement permettre par recoupements d'identifier une défaillance de cette nature.

8.4.1 Caractéristiques

Les cartes mémoires autorisent la réalisation des tests au niveau système. Conçues dans le but de tester l'unité de décision, elles génèrent des vecteurs de test numériques à la cadence de 40 MHz et, dans leur mode réception, l'enregistrement des sorties du système à tester à la même fréquence de 40 MHz.

Le format électrique des signaux de sortie ou d'entrée est du LVDS non sérialisé. L'ajout de modules indépendants de sérialisation en LVDS reste possible afin de stimuler un système disposant d'entrées ou de sorties de ce type.

Les connecteurs permettant l'interface avec le dispositif testé sont au standard RJ45 et sont utilisés avec les câbles ethernet de catégorie 5 ou supérieure.

Interface avec l'informatique

Les stimuli à envoyer pour vérifier telle ou telle fonctionnalité sont généralement déterminés à partir d'un outil informatique. La carte mémoire est connectée à une station informatique capable de transférer les stimuli, de la contrôler et de paramétrer l'envoi ou la réception des données.

La carte est prévue pour pouvoir s'insérer dans un chassis VME au format 6U.

Interface avec le système sous test

Les mêmes connecteurs sont utilisés pour la réception ou pour l'émission, les circuits LVDS utilisés disposant d'une fonction haute impédance. Le nombre de connecteurs est donc limité au strict nécessaire. Par contre, la présence de résistances d'adaptation des câbles pour la réception limite la longueur maximum possible des câbles pour l'émission puisque dans ce cas ils sont adaptés aux deux extrémités.

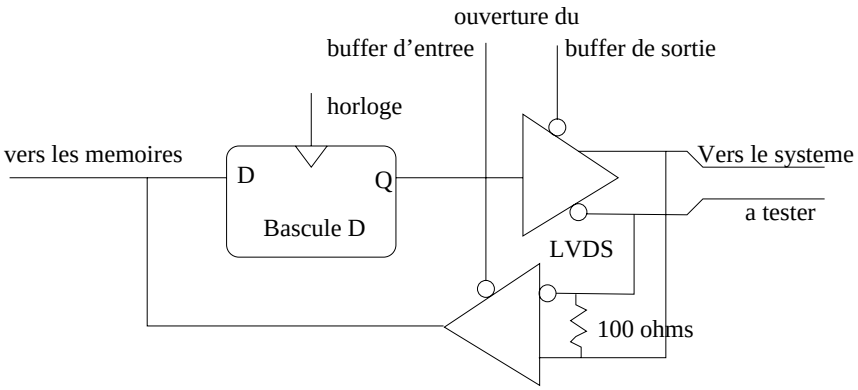


FIG. 8.4 – Interface côté système sous test

La figure 8.4 donne le schéma électrique de l'interface du côté du système sous test sur la carte mémoire.

Le bon fonctionnement des cartes est possible avec des câbles d'une longueur maximale de 20 m en émission.

Mémoire interne

Une carte comporte 4 circuits de RAM statique pouvant contenir 2^{16} mots de 16 bits. Une carte mémoire peut donc émettre ou recevoir plus de 65 000 mots de 64 bits. L'utilisation conjointe de plusieurs cartes mémoire correctement synchronisées permet d'obtenir la dimension voulue pour un mot de stimuli (typiquement 512 bits obtenus avec 8 cartes en émission).

Les SRAM ont été choisies asynchrones afin de profiter de leur comportement combinatoire (temps de cycle de 10 ns) et d'éviter les problèmes liés à la distribution de signaux internes d'horloge (parasitage, adaptation, etc.).

8.4.2 Caractéristiques des transferts

Dans son utilisation nominale, c'est à dire le test d'une carte électronique, les transferts s'effectuent dans un seul sens. Un ensemble de cartes mémoire émet les stimuli, l'information transite dans le système à tester et un second ensemble de cartes mémoire récupère les signaux de sortie.

L'information prend un certain temps de parcours entre l'émission et la réception au niveau des cartes mémoire. En effet, il faut prendre en compte les temps de propagation dans les câbles reliant les différentes cartes et les circuits de réception ou d'émission ainsi que la latence du dispositif testé. On suppose que les entrées et les sorties du système sous test sont synchronisées sur une horloge de référence synchrone par rapport à celle pilotant les cartes mémoire.

Signaux de synchronisation

Des signaux spécifiques permettent de synchroniser entre elles les cartes qui composent le banc de test.

En premier lieu, un signal d'horloge de référence est généré par la carte horloge. Dans le cas du test de l'unité de décision ce signal est confondu avec les horloges propres de chaque carte du banc de test. L'ensemble du banc est donc parfaitement synchrone.

Deuxièmement, un signal de départ indique le commencement des transferts. En effet, le bus VME ne permet pas d'envoyer un ordre commun, à une période d'horloge de référence prés, aux cartes qui y sont connectées. L'utilisation d'un signal externe synchrone réparti sur toutes les cartes mémoire, sans exception, s'avère indispensable. Dans ce but le signal d'impulsion manuelle généré par la carte horloge est utilisé. Cette opération requiert l'intervention d'un opérateur. Cependant si l'on désire automatiser un test, le signal de départ peut être généré par un registre pilotable par informatique (un module VME par exemple). Cette fonctionnalité n'a pas été intégrée à la carte horloge dans le but de la simplifier.

Par précaution, le signal de départ est synchronisé sur l'horloge de référence à l'intérieur de chaque carte mémoire.

Nombre de mots, début et fin, répétition

Pour chaque transfert, il est possible de préciser le nombre de mots à tranférer grâce à un registre dédié à l'intérieur des cartes mémoire.

Les adresses de début et de fin pour l'envoi des stimuli lus dans les mémoires internes des cartes émettrices peuvent aussi être spécifiés.

De même, le nombre de répétitions du transfert, sans intervention de l'utilisateur, est un paramètre réglable. On dispose ainsi de l'essentiel des fonctionnalités utiles pour effectuer le test dans de bonnes conditions.

Mode retard

Configurées en mode retard, les cartes mémoire réceptrices sont placées dans un état d'attente durant un nombre réglable de périodes d'horloge avant de débuter l'acquisition au rythme de l'horloge.

Ce retard artificiellement introduit permet de compenser les temps de transit dans les câbles ainsi que la latence du système testé. De cette manière, l'acquisition débute quand le flux d'information relatif aux premiers stimuli envoyés arrivent réellement au niveau des cartes réceptrices.

Mode retournement et test de câbles

Le mode retournement est particulier : à la fin d'un transfert normal, les cartes inversent leur rôle et le transfert s'effectue dans l'autre sens. Il faut pour cela que le système testé soit lui-même réversible. C'est le cas des câbles !

Deux cartes mémoires, reliées uniquement par des câbles, permettent grâce à ce mode de fonctionnement de faire transiter un grand nombre de fois un jeu d'informations qui peut éventuellement se dégrader au fur et à mesure des passages. A l'issue de ce test, il est possible de déterminer l'ordre de grandeur du taux d'erreur de la liaison (circuits de réception et d'émission en LVDS et câbles). Deux cartes peuvent être reliées par 16 câbles ce qui permet de diminuer la durée du test.

Deux signaux de synchronisation supplémentaires sont utilisés dans ce mode. Ils sont envoyés de carte à carte pour la synchronisation des retournements successifs (la nouvelle carte émettrice ne débute l'envoie des données que lorsqu'elle a fini de recevoir tous les stimuli et que l'autre carte s'est elle-même retournée).

8.4.3 Conception

Architecture interne

Le cœur de la carte est un composant programmable (ACEX1K100 d'Altera). Ce FPGA intègre une interface avec le bus VME similaire à celle utilisée pour le prototype de la carte frontale. D'autre part, il génère les signaux de commande des mémoires (adresse, autorisation d'écriture, etc.) et des verrous bidirectionnels qui configurent le chemin de données.

Le fonctionnement du composant programmable est décrit en VHDL. Une simulation de transferts entre deux cartes a été réalisée en modélisant les autres composants par ailleurs.

Le FPGA abrite les registres de configuration de la carte. Ils sont au nombre de huit : adresse de début des stimuli, adresse courante, retard avant acquisition, retard écoulé, nombre de retournements, nombre de stimuli à émettre, nombre de stimuli restants et registre d'état. Les valeurs initiales sont conservées afin de permettre un nouveau transfert avec un temps mort très réduit.

La figure 8.5 décrit l'architecture interne de la carte mémoire. On distingue le FPGA central, les 4 mémoires SRAM. La carte est compatible avec les modes d'adressage 24 ou 32 bits et les transferts de données 16 ou 32 bits. Le chemin de données figure en trait plein et les signaux de contrôle en pointillés.

Pour l'émission ou la réception de données, la carte fonctionne en mode « autonome ». Les mémoires et les interfaces LVDS sont isolées (verrous en état de haute impédance) du reste de la carte à l'exception des signaux de contrôle. Le FPGA commande le transfert de bout en bout.

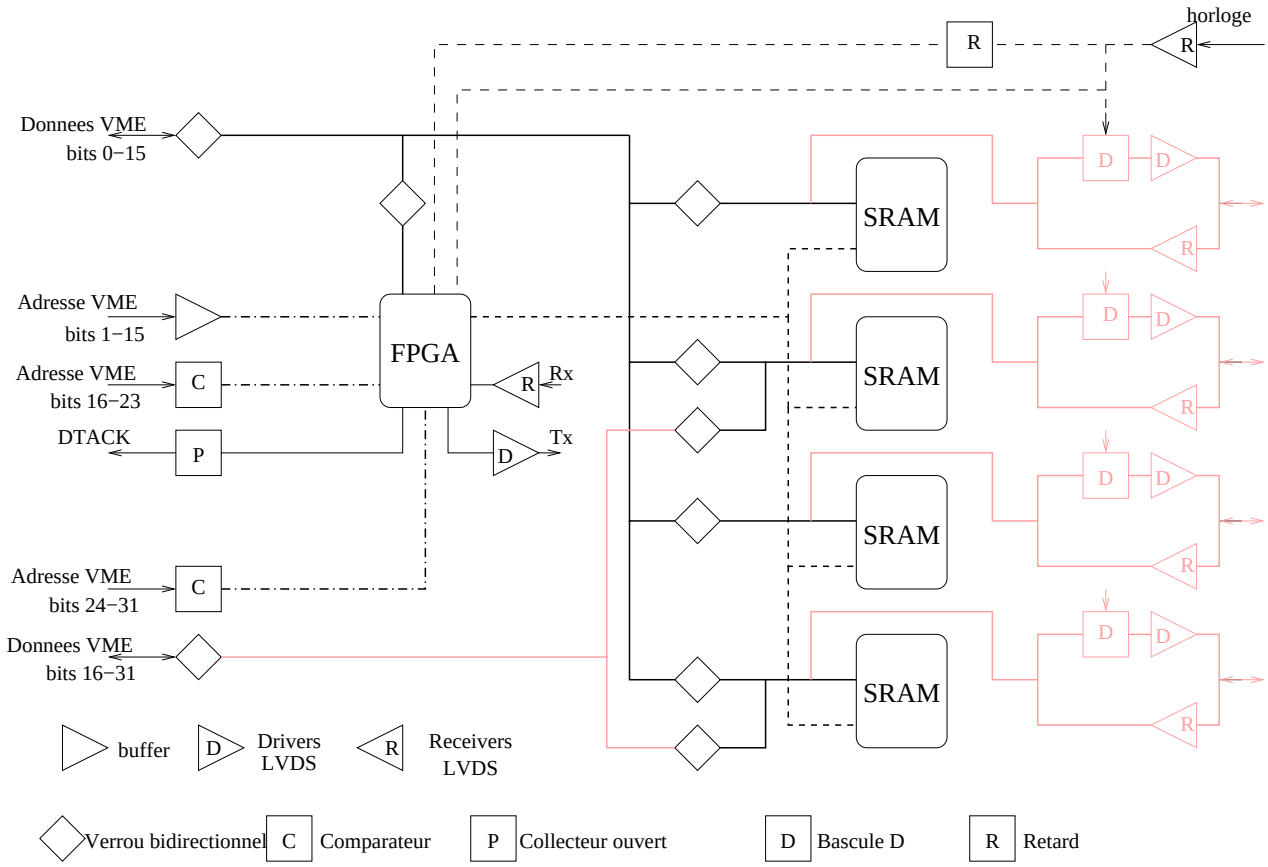


FIG. 8.5 – Architecture de la carte mémoire

Circuit imprimé

Le circuit imprimé comporte 6 couches de cuivre dont 2 réservées pour un plan de masse et un plan d'alimentation.

La carte fait une taille de 23,3 cm × 22,5 cm (figure 8.6). Elle dépasse légèrement du châssis en raison de l'encombrement des connecteurs RJ45. On remarque le circuit programmable (en haut à droite) qui effectue l'interface entre le bus VME et la carte et qui pilote les mémoires RAM externes (4 circuits alignés verticalement dans la partie centrale).

La carte comporte de nombreux bus internes. Ceux-ci ont été tracés de façon à limiter leur longueur et incluent une adaptation série. Dans le cas des bus interconnectant plus de deux éléments, les circuits d'isolation en haute impédance adéquats ont été inclus. Ils sont aussi pilotés par le composant programmable implémentant l'interface avec le bus VME.

Les circuits de conversion LVDS/TTL ainsi que les résistances d'adaptation des paires différentielles sont placés au plus prés des connecteurs de sortie (à gauche) pour éviter au

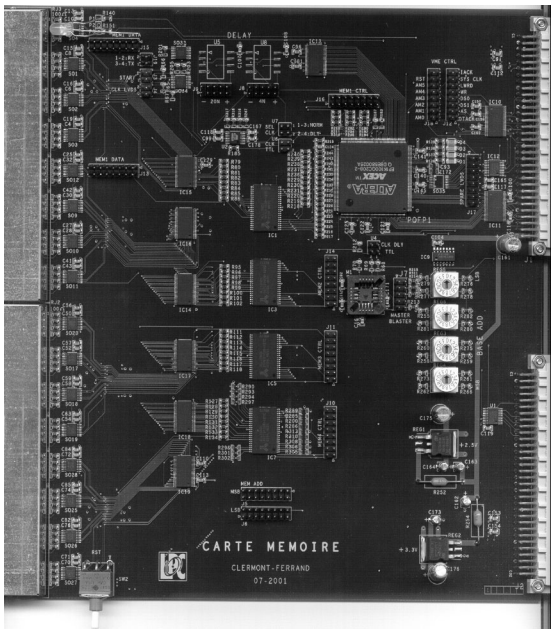


FIG. 8.6 – Photographie d'une carte mémoire

maximum toute rupture d'impédance néfaste pour la qualité des signaux.

Deux domaines temporels

Deux domaines d'horloge cohabitent sur la carte : d'une part l'horloge à 17 MHz du bus VME utilisée par la machine d'état de l'interface VME à l'intérieur du composant programmable et d'autre part l'horloge de référence à 40 MHz distribuée sur toute la carte.

D'un domaine à l'autre les signaux ont été dûment synchronisés par des doubles étages de bascules afin d'éviter les états métastables.

Envoi des stimuli

L'envoi de stimuli se déroule comme montré sur la figure 8.7. L'unité de commande présente une adresse aux mémoires où est mémorisé le stimulus au bout d'un temps t_1, puis incrémente automatiquement les adresses. La donnée correspondante sort de la mémoire au bout d'un temps t_2. Elle est échantillonée au front montant de l'horloge par la bascule D de l'interface bidirectionnelle (figure 8.7) pour sortir de la carte au bout d'un temps t_3 relié au temps de propagation à travers la bascule et le circuit d'émission LVDS. Les différents temps sont indiqués tableau 8.4.3.

Afin d'avoir la donnée toujours présente durant le même cycle d'horloge que l'adresse correspondante (ce qui revient à avoir $t_1 + t_2 < 25\,\text{ns}$), on contraint les bascules de sortie du FPGA à être synthétisées et placées dans la circuiterie des pattes de sortie elles-mêmes.

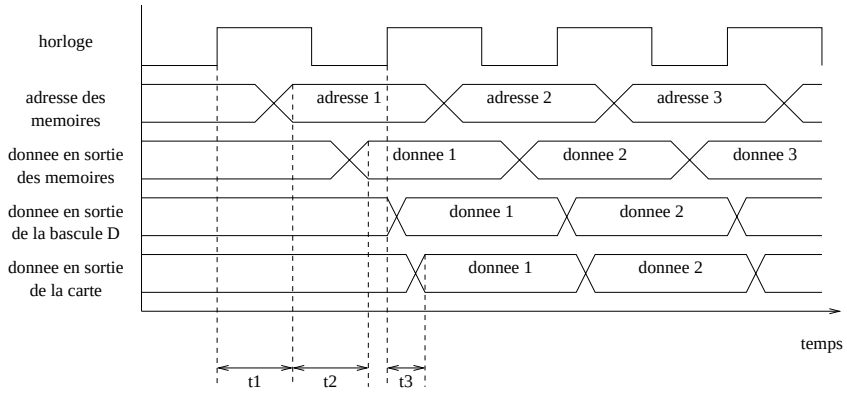


FIG. 8.7 – Envoi de stimuli

Le temps de propagation est alors réduit de moitié pour un maximum de 9,6 ns.

Temps	Durée maximum	Opération
t_1	~ 20 ns	Sortie de l'adresse (sortie normale)
	9.6 ns	Sortie de l'adresse (bascule dans la patte)
t_2	12 ns	Sortie des données de la mémoire RAM
t_3	3 ns	Sortie de la carte

TAB. 8.2 – Temps pour l'émission de stimuli

Réception de stimuli

Dans ce cas, les temps critiques sont plus difficiles à gérer. En effet l'écriture des sorties du système testé dans les mémoires est commandé par le signal WE* (autorisation d'écriture) comme montré sur la figure 8.8.

Afin de respecter les contraintes en temps, c'est à dire le temps minimum entre le moment où l'adresse devient stable et le front montant de WE* (t_6) et entre le moment où la donnée devient stable et le front montant de WE* (t_7), il faut éventuellement déphaser le signal WE* par rapport à l'horloge de référence.

Dans ce but on synchronise le signal WE* sur une horloge déphasée (entre 0 et 24 ns par pas de 1 ns) par rapport à l'horloge de référence. Cela modifie le temps t_4 afin de pouvoir respecter les deux contraintes précédentes. Les temps sont indiqués tableau 8.4.3.

Le déphasage de l'horloge est permis par deux lignes à délais analogiques. On sélectionne la valeur du retard introduit à l'aide de cavaliers (cette opération s'effectue une fois pour toute).

Pour une référence donnée de composants programmables, il existe plusieures qualités en terme de fréquence de fonctionnement. Des cartes mémoires ont été réalisées avec deux

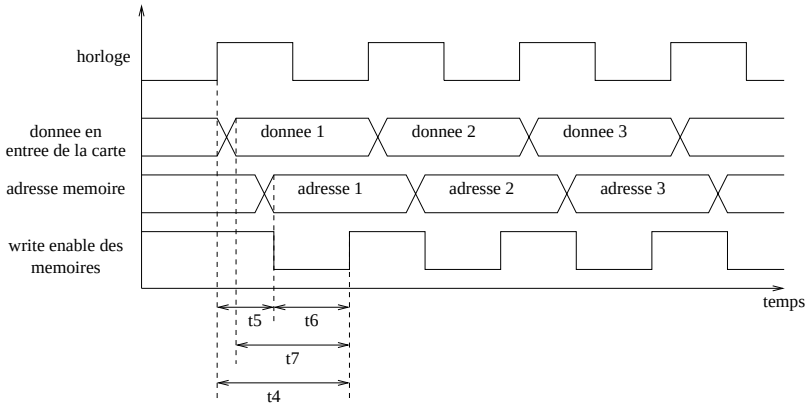


FIG. 8.8 – Réception de stimuli

Temps	Max.	Min.	Signification
t_4	-	-	Déphasage du WE*
t_5	9.6 ns	-	Adresse stable
t_6	-	9 ns	Adresse stable avant front de WE*
t_7	-	7 ns	Donnée stable avant front de WE*

TAB. 8.3 – Temps pour la réception

catégories de circuit.

Dans le cas de la catégorie la plus rapide, le déphasage de WE* n'a pas besoin d'être réglé (valeur nulle). Par contre pour les cartes réalisées avec les circuits de la catégorie la plus lente, le réglage du déphasage (environ 3 ns) du signal WE* s'est avéré nécessaire. En effet, la mise en temps n'était plus respectée pour le circuit mémoire le plus éloigné du composant programmable de commande.

8.5 Logiciel de commande

L'objectif du logiciel de commande est de mettre à la disposition de l'opérateur un environnement de travail convivial et pratique quelque soit le but de celui-ci : test d'électronique d'une part ou de physique d'autre part.

8.5.1 LabView

L'application réalisée en LABVIEW est préférentiellement destinée aux électroniciens désireux de s'assurer du bon fonctionnement de la carte mémoire elle-même. Elle présente de façon graphique les paramètres de la carte (adresse de base sur le bus VME, adresses

des registres internes, caractéristiques du transfert, etc.).

Un certain nombre d'actions élémentaires pré-programmées sont utiles pour vérifier des points particuliers du fonctionnement de la carte : lecture et écriture de données au travers du bus VME par la station informatique, transfert de données entre deux cartes mémoire pour simuler un test réel.

Comme pour le prototype de la carte « traitement et acquisition » , une version de l'application permet de réaliser aléatoirement des accès VME à la carte mémoire. Si la carte fonctionne correctement, les ordres sont exécutés sans erreurs.

Une version alphanumérique des routines de test existe aussi en langage C.

8.5.2 C++

L'optique du logiciel écrit en C++ est différent de celui écrit en LabView. Partant du principe que les cartes mémoire et d'une façon générale les éléments du banc de test sont parfaitement opérationnels, il s'agit de pouvoir facilement gérer un ensemble de fichiers de stimulation, les configurations des cartes mémoire et le test dans son ensemble tout en fournissant des fonctions de diagnostique.

Pour l'instant il n'existe pas de bibliothèque distincte de fonctions de commande d'une carte mémoire. Ce point fait partie des tâches futures à réaliser. Dans la pratique, les cartes sont pour l'instant commandées à partir de logiciels dédiés à un test particulier du prototype de l'unité de décision. Les routines d'accès à la carte mémoire sont donc rédigées et il reste à les regrouper.

8.6 Coût

Les tableaux 8.4 et 8.5 dressent le bilan du coût (hors fabrication) pour un exemplaire du prototype de la carte horloge et de la carte mémoire.

Elément (carte horloge)	Prix (EUR)
Circuit imprimé	305
CPLD	45
Circuits LVDS et ECL	70
Oscillateurs	80
Divers	50
Total	550

Tab. 8.4 – Coût d'un prototype carte horloge

Le prix indiqué pour le fpga de la carte mémoire tient compte de la mémoire EPROM pour la programmation du circuit. Le plus gros poste reste le circuit imprimé. Les lignes

« Divers » concernent une variété de composants discrets : connecteurs, interrupteurs, voyants et d'autres composants annexes.

Elément (carte mémoire)	Prix (EUR)
Circuit imprimé	520
LVDS	97
FPGA	90
Connecteurs RJ45	15
RAM	12
Divers	121
Total	855

TAB. 8.5 – Coût d'un prototype carte mémoire

8.7 Versions futures

Pour de futures versions des cartes mémoire, les améliorations suivantes pourraient être effectuées :

- augmentation de la quantité de mémoire pour augmenter la durée de stimulation ;
- modification du format des données de sortie en utilisant du LVDS sérialisé ;
- l'utilisation du LVDS sérialisé implique la diminution du nombre de connecteurs, ainsi il serait possible soit de réduire la taille de la carte soit d'augmenter la largeur des mots de sortie.

La conception et l'ajout de modules de conversion de format électrique permettraient d'adapter les cartes à de nombreux types d'interfaces.

Trois exemplaires des « cartes mémoire » fonctionnent actuellement et ont été utilisés avec succès pour les tests de validation du prototype de l'unité de décision présenté au chapitre suivant.

Chapitre 9

Etude et premier prototype

Un premier prototype de l'unité de décision a été réalisé. Il constitue une version très simplifiée de l'unité de décision.

9.1 Objectif

9.1.1 Rôle du prototype

L'objectif poursuivi pour ce premier prototype est d'évaluer les ressources matérielles nécessaires pour les algorithmes de calcul et la construction de la trame L0Block. Une première évaluation, sur un dispositif réel, de l'efficacité des algorithmes pourra aussi être menée. Elle conduira à une estimation des besoins en terme de contrôle de la version finale de l'unité.

9.1.2 Simplifications

Afin de limiter la durée de développement, les coûts de fabrication et la difficulté de réalisation des tests, des simplifications ont été apportées au cahier des charges de l'unité de décision pour servir de base à la conception du prototype.

Format des entrées et sorties

Pour pouvoir se brancher directement sur les cartes mémoires et afin de diminuer les risques d'erreurs aux interfaces, le standard de niveaux électriques employés pour les entrées et sorties du prototype est le LVDS non sérialisé simple d'utilisation.

Le nombre de bits alloués pour chaque candidat est de 16, soit moitié moins que ce qui est prévu dans la version finale. On évite ainsi les redondances (numéro de collision)

afin d'exploiter au maximum chaque interface. Les 16 bits peuvent être définis à volonté en fonction de l'algorithme à tester.

Câbles et connecteurs sont équivalents à ceux qui figureront sur la version finale.

La fréquence de 40 MHz est conservée pour cadencer toutes les opérations.

Nombre des entrées et sorties

Le nombre d'entrées est limité à 96 bits soit 6 candidats de 16 bits. En sortie 16 bits sont disponibles pour envoyer la décision vers le superviseur auxquels s'ajoutent 16 bits (au lieu de 32) pour la trame en direction du deuxième niveau de déclenchement.

Contrôle et configuration

Afin d'éviter le développement d'une interface spécialisée pour le contrôle et la configuration du prototype et dans le but de se focaliser sur la partie test des algorithmes, il n'est pas prévu de pouvoir modifier le comportement du prototype de l'unité autrement qu'en configurant les composants programmables qui le constituent.

Ce choix évitera notamment le développement d'un logiciel de commande, peu instructif sur les besoins de la version finale en la matière. Un prochain prototype intègrera les prototypes de systèmes de commande et de contrôle normalisés à l'échelle de l'expérience LHCb.

Complexité des algorithmes

La complexité des algorithmes est nécessairement réduite puisque l'on dispose de moins d'entrées. Cependant leur nombre est suffisant pour tester individuellement chaque élément indépendant constitutif d'un algorithme plus gros réservé à la version finale de l'unité.

9.2 Architecture

9.2.1 Choix

Avant tout choix définitif, des simulations VHDL ont permis de déterminer le minimum requis en terme de composants électroniques. Deux solutions opposées se sont dégagées. Premièrement, l'usage d'un unique FPGA disposant de beaucoup de ressources permet de limiter la complexité du circuit imprimé et de ne développer qu'un seul code source pour le prototype. Deuxièmement, une architecture basée sur plusieurs FPGA plus simples possède l'avantage de permettre l'étude des interconnexions entre composants tout en étant plus proche de la version finale de l'unité.

Dans le premier cas les composants Altera APEX20K600 ou Xilinx VIRTEX 400E seraient suffisants : ils disposent de plus de 400 pattes d'entrée-sortie et d'environ 300 kbits de mémoire RAM. Par contre la nature du boîtier, de type BGA, ne permet pas d'effectuer des tests directs sur la carte et augmente considérablement le prix de réalisation du circuit imprimé.

Dans le deuxième cas, celui qui a été retenu, la combinaison de plusieurs composants plus élémentaires permet d'atteindre le même niveau de ressources. En cas de besoin les pattes des composants restent accessibles.

9.2.2 Réalisation

La carte

Le circuit imprimé mesure 26 cm × 25 cm (figure 9.1). Il a été réalisé en classe 4 et comporte 6 couches de cuivre dont deux utilisées pour la réalisation de plans d'alimentation. Les connecteurs ont été placés sur le pourtour pour simplifier les connexions, les 4 côtés de la carte sont utilisés. Il n'est en effet pas prévu de l'enficher dans un chassis puisque le prototype ne dispose pas de système de commande. La carte est alimentée en +5 V et −5 V, des régulateurs génèrent les tensions internes adéquates (−3,3 V, +2,5 V et +3,3 V).

Des bus permettent de faire transiter des données d'un point à un autre. Dans le cas où un bus connecte plus de deux points, des résistances d'adaptation série ont été ajoutées.

La réception de l'horloge s'effectue en LVDS, le signal converti au format TTL est remis en forme par une boucle à verrouillage de phase (CY2309 de Cypress) possèdant plusieurs sorties indépendantes. Ainsi chaque composant programmable reçoit l'horloge séparément et en phase. Le signal d'horloge n'est pas véhiculé sur une seule longue piste mais est distribué en étoile.

De façon générale, la carte contient peu de composants en plus des fpga, mis à part les circuits de conversion de format électrique (LVDS/TTL) utilisés comme interface avec le monde extérieur. Dans les limites imposées par le materiel (taille des bus, capacité des circuits programmables, etc.), le prototype bénéficie donc au maximum de la flexibilité d'une solution à base de fpga.

Les composants utilisés sont des fpga Altera ACEX1K100. Ces composants ont la particularité d'intégrer un peu plus de 50 kbits de mémoire RAM qui seront largement exploités pour la construction de la trame à destination du deuxième niveau de déclenchement. Chaque composant, il y en a cinq au total, se programme indépendamment des autres.

Les traitements effectués sont décomposés en étapes dont le temps de propagation est inférieur à une période d'horloge. Des bancs de registres séparent les différentes étapes. On obtient donc une architecture synchrone pipelinée.

La carte dispose enfin d'entrées pour des signaux de contrôle : un signal de mise à zéro

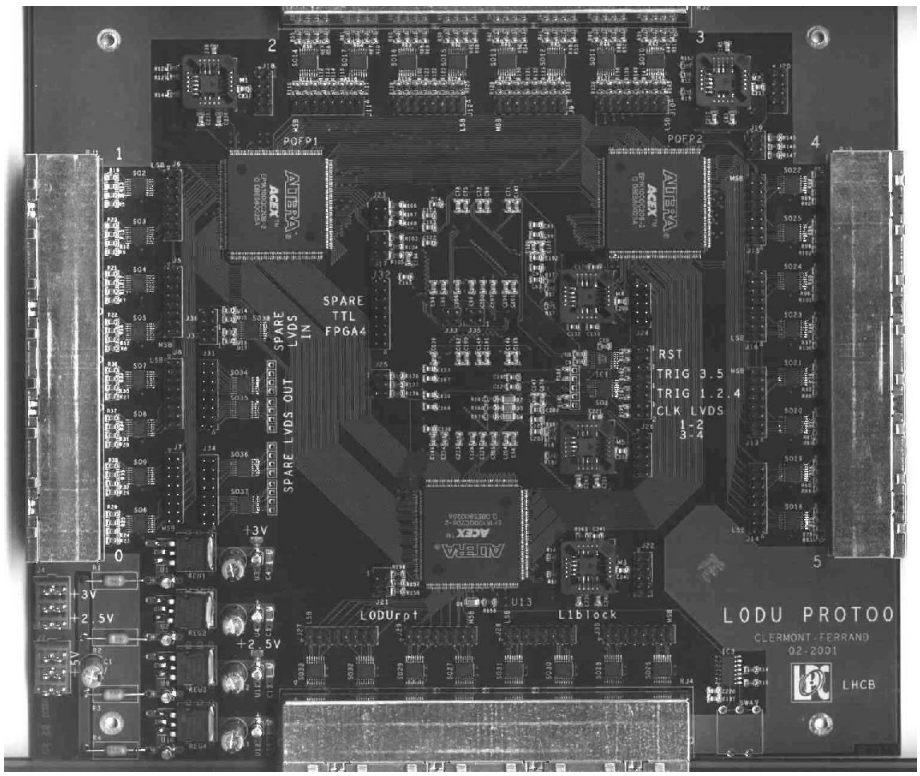


FIG. 9.1 – Photographie du prototype de l'unité de décision

manuel (interrupteur), un signal de mise à zéro au format LVDS (les cartes mémoires peuvent alors le délivrer) et une entrée pour le signal de déclenchement de premier niveau (LVDS) généré par une carte mémoire. Un interrupteur supplémentaire est prévu en cas de besoin.

De la sorte le prototype ne nécessite aucun système externe mis à part le banc de test et une source d'alimentation électrique.

Partie décision

L'algorithme de décision proprement dit est implanté dans les FPGA 1, 2 et 3 comme le montre la figure 9.2. Les données envoyées par les cartes mémoire arrivent sous la forme de mots de 16 bits (candidats) numérotés de 0 à 5. Les données sont reçues par les FPGA 1 et 2 qui effectuent une mise en temps et des calculs partiels (figure 7.2). Les candidats 2 et 3 sont reproduits sur ces deux FPGA afin de pouvoir multiplier les possibilités de combinaisons entre candidats.

Les résultats des calculs partiels sont transmis au FPGA 3 par l'intermédiaire de deux bus de 48 bits. Ce dernier FPGA implémente les calculs conduisant à la production des différentes conditions de déclenchement, les structures de réduction des taux et la production du mot à destination du superviseur (RSDA) ainsi que le mot d'explication

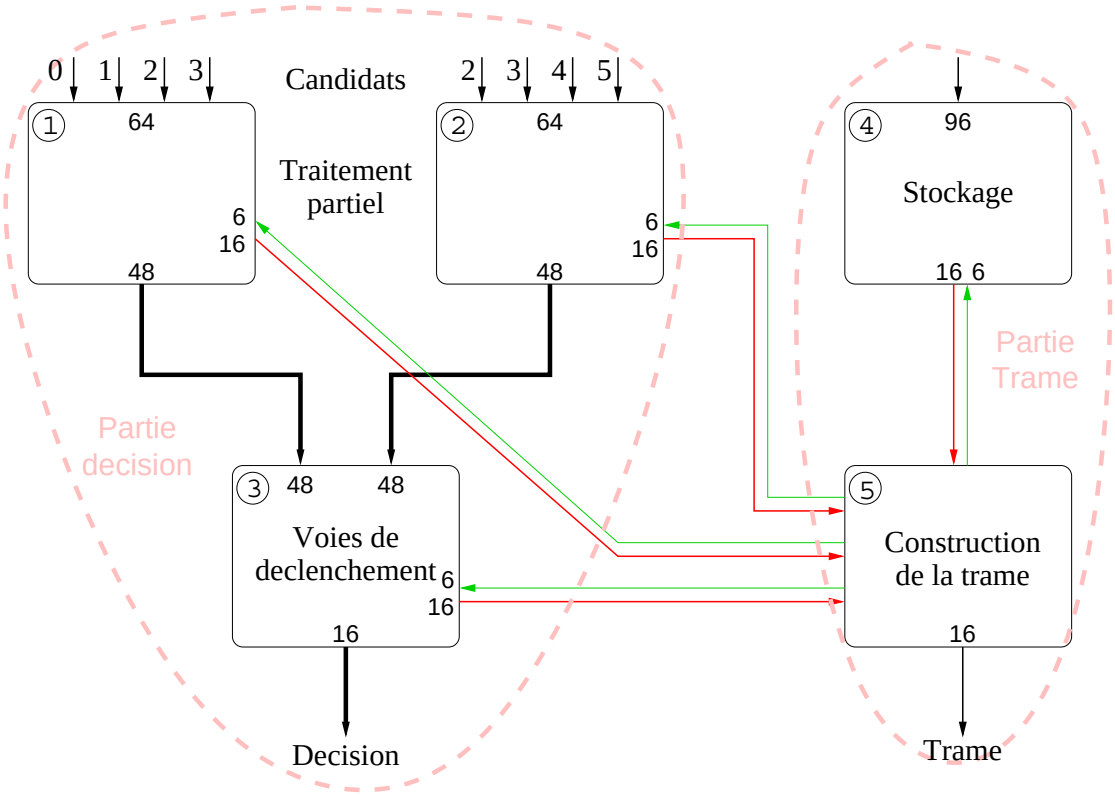


FIG. 9.2 – Schéma synoptique du prototype de l'unité de décision

(L0DUrpt).

Partie trame

Pour une trame, il faut 32 mots de 16 bits. Il est nécessaire de construire systématiquement toutes les trames pour tous les événements entrants car on ne peut pas savoir s'ils seront validés par une décision de premier niveau.

De ce point de vue, on considère que l'unité agit comme une carte frontale classique en recevant un bit de validation de premier niveau.

Pour le prototype on suppose qu'au maximum 6 mots parmi les 32 sont produits par chaque FPGA. Chaque ACEX1K100 disposant de 12 blocs de mémoire RAM il est possible de reproduire 6 canaux d'acquisition de données de 16 bits conformément à ce qui a été décrit pour la carte frontale du preshower. Pour cela, on utilise un premier bloc de mémoire servant de stockage en attendant l'arrivée d'une validation (les événements non validés sont perdus). A la suite de ce bloc, un deuxième implémente une file d'attente qui range les fragments de trame.

Ce processus s'effectue en parallèle pour tous les FPGA et pour tous les canaux d'acquisition à l'intérieur des FPGA. A un instant donné et à un rang donné dans les files

d'attente, on trouve des mots correspondant à une même trame.

Le FPGA 4 est utilisé dans l'unique but d'implémenter 6 canaux d'acquisition et éventuellement mettre en forme les données. Le FPGA 4 reçoit les données brutes à l'identique des FPGA 1 et 2. Comme celles-ci figurent dans la trame, il permet de libérer des canaux d'acquisition dans les FPGA 1 et 2 afin de pouvoir inclure dans la trame des résultats de calculs intermédiaires effectués en interne dans ces composants.

Le FPGA 5 va construire la trame en allant chercher mot par mot les données (figure 9.3) si une validation est arrivée. Il est interfacé à chaque autre FPGA par l'intermédiaire d'un bus de contrôle de 6 bits et d'un bus de données de 16 bits.

Le bus de contrôle permet d'interroger une file d'attente tandis que le bus de données véhicule le mot de la trame requis. Dans ce but, le bus de contrôle transporte le numéro de la file à lire et un signal de validité de l'adresse. Enfin le FPGA 5 ajoute un en-tête et finit de compléter la trame.

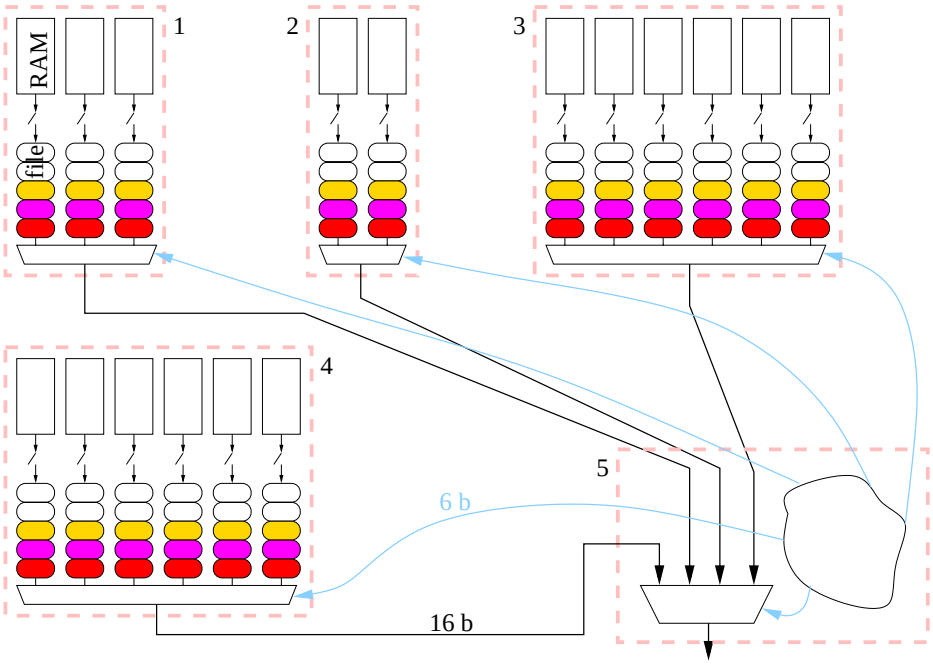


FIG. 9.3 – Schéma pour la construction d'une trame

Les mots d'une trame sont transmis un à un à la cadence de 40 MHz. Les trames sont envoyées dans l'ordre chronologique des validations ayant permis leur constitution.

9.3 Algorithmes

9.3.1 Algorithme de test du flot de données

Le premier algorithme programmé dans le prototype de l'unité de décision fut destiné à mettre en place le banc de test (première utilisation) et à vérifier les connexions des câbles et des composants. C'est à dire valider le flot de données.

Des comportements très simples, essentiellement des transferts de données sans calculs, ont constitué ce premier algorithme. Les transferts de données et les comportements élémentaires ont été déterminés de façon arbitraire. Ils permettent d'utiliser chaque ressource de la carte. Leur simplicité autorise une mise en évidence rapide et simple d'un éventuel défaut.

Ainsi le FPGA 1 ne fait que recopier les candidats 0, 1 et 2 sur le bus intermédiaire à destination du FPGA 3. Néanmoins, si le bit de déclenchement est actif, le candidat 2 est remplacé par le numéro 3. En parallèle, le FPGA 2 fait de même avec les candidats 2, 3 et 4. Ce dernier est remplacé par le numéro 5 en cas de validation de l'événement.

A chaque front montant d'horloge, le FPGA 3 envoie un mot de 16 bits différent en sortie. Les mots de 16 bits sont pris parmi les 96 bits d'entrée répartis sur les deux bus en provenance des FPGA 1 et 2. En sortie (16 bits normalement réservés à la décision), on retrouve donc un candidat parmi les 6 de l'événement correspondant.

Des comportements similaires sont assignés aux deux derniers FPGA.

Comme l'ensemble des opérations est synchrone, l'implémentation de l'algorithme est faite naturellement selon une structure pipe-line. Il est ainsi possible, en envoyant un jeu de données adéquat, de vérifier la latence prévue du système. Cependant, un algorithme de cette nature ne présente aucun intérêt du point de vue de la physique. Par contre le développement, la modélisation et le test possèdent la particularité d'être effectués sur une période de temps courte.

Très rapidement, une fois l'électronique validée, de nouveaux comportements ont été programmés au travers de deux algorithmes de physique.

9.3.2 Premier algorithme de physique

Entrées

Pour cet algorithme, les entrées du prototype sont encore réparties en 6 mots de 16 bits. On utilise ainsi la totalité des entrées du prototype. Pour prendre en compte les latences différentes des diverses sources de données, certaines entrées sont décalées en temps de quelques périodes d'horloge. Les retards sont pris en compte au moment de la génération des stimuli et de leur chargement dans les cartes mémoire. Il s'agit en effet d'une contrainte externe à l'unité qui doit ensuite la compenser.

Le tableau 9.1 dresse le bilan des entrées du prototype, la colonne « synchronisation » indique le décalage en nombre de périodes d'horloge (T_{clk}) par rapport au premier mot disponible pour un événement précis.

Type	Synchronisation
VETO (détecteur de vertex)	Premier mot disponible
Candidat électron	+11 T_{clk}
Candidat hadron 1	+11 T_{clk}
Candidat hadron 2	+11 T_{clk}
Somme énergie ECAL	+11 T_{clk}
Candidat muon	+15 T_{clk}

TAB. 9.1 – Entrées pour l'algorithme de physique

Chaque mot de 16 bits contient 6 bits pour le codage du numéro de la collision. Il est destiné à un contrôle de la mise en temps. Les 10 bits de données restants seront traités par l'algorithme de physique.

Synchronisation

Les données sont d'abord synchronisées entre elles par des registres à décalage de profondeurs équivalentes aux différences de latence entre les sources de données (tableau 9.1). A terme ces registres à décalage pourront être remplacés par des étapes de traitement de latence équivalente.

A l'issue de cette étape, on obtient donc en parallèle toutes les données relatives à une même collision.

Une vérification de la synchronisation est effectuée en s'assurant que chaque mot synchronisé porte le même numéro de collision. Si ce n'est pas le cas, un indicateur « erreur de synchronisation sur les données » est positionné. Cet indicateur interdit toute prise de décision (sauf décision forcée) pour éviter une acceptation erronée.

Calcul de la décision

L'algorithme de prise de décision est très simple. La décision est positive si les trois conditions suivantes sont réalisées :
- la somme de l'énergie ECAL est inférieure au seuil E_{max} ;
- il n'y a pas de veto du détecteur de vertex (collisions multiples) ;
- au moins une condition de seuil est réalisée.

Les conditions de seuil figurent parmi les suivantes :
- l'énergie du candidat électron est supérieure au seuil E_e ;
- l'énergie du candidat muon est supérieure au seuil E_μ ;
- l'énergie du candidat hadron 1 est supérieure au seuil E_{h1_1} ;

– l'énergie du candidat hadron 1 est supérieure au seuil E_{h1_2} ET l'énergie du candidat hadron 2 est supérieure au seuil E_{h2_2}.

Ces conditions de seuil constituent autant de voies de déclenchement distinctes. Cinq seuils E_e, E_μ, E_{h1_1}, E_{h1_2}, E_{h2_2} conditionnent le comportement global de l'algorithme. A chaque voie est associée une structure permettant d'effectuer une réduction d'échelle et une réduction des taux.

Réduction d'échelle

Le principe de réduction d'échelle retenu est le suivant : toutes les N décisions positives on diminue un ou plusieurs seuils d'acceptation de l'algorithme de décision jusqu'à la prochaine décision positive, où le retour à la normale s'effectue. Dans ce but, le passage à zéro d'un compteur cyclique incrémenté par le signal de déclenchement est détecté et provoque la réduction d'échelle.

Huit possibilités de réduction d'échelle sont implémentées dans l'algorithme, le choix s'effectue grâce à des cavaliers externes.

Réduction des taux

Selon un principe similaire à celui de la réduction d'échelle, la réduction des taux s'effectue sur une voie de déclenchement en ne la prenant pas en compte si la valeur d'un compteur cyclique est comprise entre zéro et une valeur maximum ce qui permet de n'accepter qu'un certain pourcentage de la voie de déclenchement. Le compteur est incrémenté à chaque réalisation des conditions relatives à la voie concernée.

Numéro	Comportement
0	Pas de réducution
1	E_e diminué tous les N_{e_1} déclenchements de la voie électron
2	E_e diminué tous les N_{e_2} déclenchements de la voie électron
3	E_μ diminué tous les N_μ déclenchements de la voie muon
4	E_e, E_μ, E_{h1_1}, E_{h1_2}, E_{h2_2} diminués tous les N_{all} déclenchements
5	Seuils normaux, réduction des taux sur la voie électron
6	Seuils normaux, réduction des taux sur la voie muon
7	Idem cas 4 sauf pour voie électron similaire au cas 5

TAB. 9.2 – Conditions de réduction d'échelle et des taux

Le tableau 9.2 donne les huit conditions possibles pour la réduction d'échelle et des taux.

Acceptation forcée

L'unité demande au superviseur par l'intermédiaire du mot de sortie qui lui est destiné d'accepter inconditionnellement l'événement en cours toutes les 10 000 collisions (nombre arbitraire).

Décision pour le superviseur

Le mot de décision à destination du superviseur est envoyé 9 périodes d'horloge après la réception du dernier mot relatif au même événement.

Numéro	Comportement
0	Conversion LVDS/TTL, le dernier mot de l'événement est disponible
1	Lecture du dernier mot par les FPGA
2	Concaténation des données sur les bus internes
3	Données lues par le FPGA 3
4	Calculs des bits d'erreurs et de réduction d'échelle et des taux
5	Détermination du rapport L0DUrpt (calculs des voies de déclenchement)
6	Delai pour l'obtension de L0DUrpt pour l'événement suivant (+1)
7	Delai pour l'obtension de L0DUrpt pour l'événement suivant (+2)
8	Calcul du mot de décision
9	Conversion TTL/LVDS et envoi au superviseur

TAB. 9.3 – Latence de l'unité de décision

Le tableau 9.3 donne l'utilisation de la latence de l'unité pour la construction du mot de décision. Une optimisation de la mise en temps reste à faire, l'architecture ayant été pipe-linée à l'extrême. Les étapes 1, 2 et 3 ne pourraient probablement n'en faire qu'une ; de même pour les étapes 7 et 8.

Rapport de décision

Le rapport de décision (L0DUrpt) est calculé une période d'horloge après réception du dernier mot relatif au même événement.

Construction de la trame pour le deuxième niveau

La trame est construite selon le principe énoncé précédemment. Elle comporte 16 mots liés aux données dont 1 en-tête et 6 mots relatifs aux informations que l'on pourrait envoyer vers le système de DAQ ou d'ECS. Les 10 mots restants sont vides mais pris en compte pour la durée d'envoi.

Pour un événement donné, la trame est prête en même temps que le mot de décision. C'est à dire 40 périodes d'horloge avant la délivrance du signal de validation correspondant au même événement, si l'on considère les valeurs des latences prévues pour l'expérience définitive. Aussi est-il nécessaire de stocker 40 trames en attendant leurs validations.

9.3.3 Deuxième algorithme de physique

Pour cet algorithme un accent particulier a été mis sur le calcul de la masse invariante évoqué au chapitre précédent. La formule de base, qu'il faut mettre en forme pour s'accorder aux données disponibles, nécessite des divisions et des calculs trigonométriques.

Pour simplifier l'électronique et surtout rester rapide des tables sont utilisées. Elles sont consommatrices de ressources mémoire. Pour cet algorithme, la trame ne sera donc pas construite ce qui libère un grand nombre de blocs de mémoire interne.

Calcul de la masse invariante

On rappelle la formule du calcul de la masse invariante à partir de deux candidats muons :

$$\frac{M^2}{2} = P_{T_1} \cdot P_{T_2} \cdot \frac{1}{\sin\theta_1 \cdot \sin\theta_2}[1 - \cos\theta_1 \cdot \cos\theta_2 - \sin\theta_1 \cdot \sin\theta_2(\cos\varphi_1 \cdot \cos\varphi_2 + \sin\varphi_1 \cdot \sin\varphi_2)]$$

Les données simplifiées associées aux 4 candidats muons sont décrites par le tableau 9.4. Le calcul de la masse invariante est appliqué aux deux candidats de plus grandes impulsions et de charges opposées. Pour cela on utilise deux tables (LUT) de 8 bits d'adresse et 35 bits de données qui retournent 5 valeurs de 7 bits pour $\frac{1}{\sin\theta}$, $\cos\theta$, $\sin\theta$, $\cos\varphi$ et $\sin\varphi$ en fonction de l'adresse associée a chacun des deux candidats.

Champ	# bits
BCID	6
Erreur	2
Adresse	8
Impulsion	7
Charge	1
Total	24

TAB. 9.4 – Candidat muon pour le deuxième algorithme de physique

Un arbre d'opérateurs (figure 9.4) permet d'obtenir le résultat au final en 6 étapes. La quantité de mémoire relativement faible disponible dans les FPGA du prototype a conduit à utiliser des données de précision inférieure à ce qui est prévu pour la version finale.

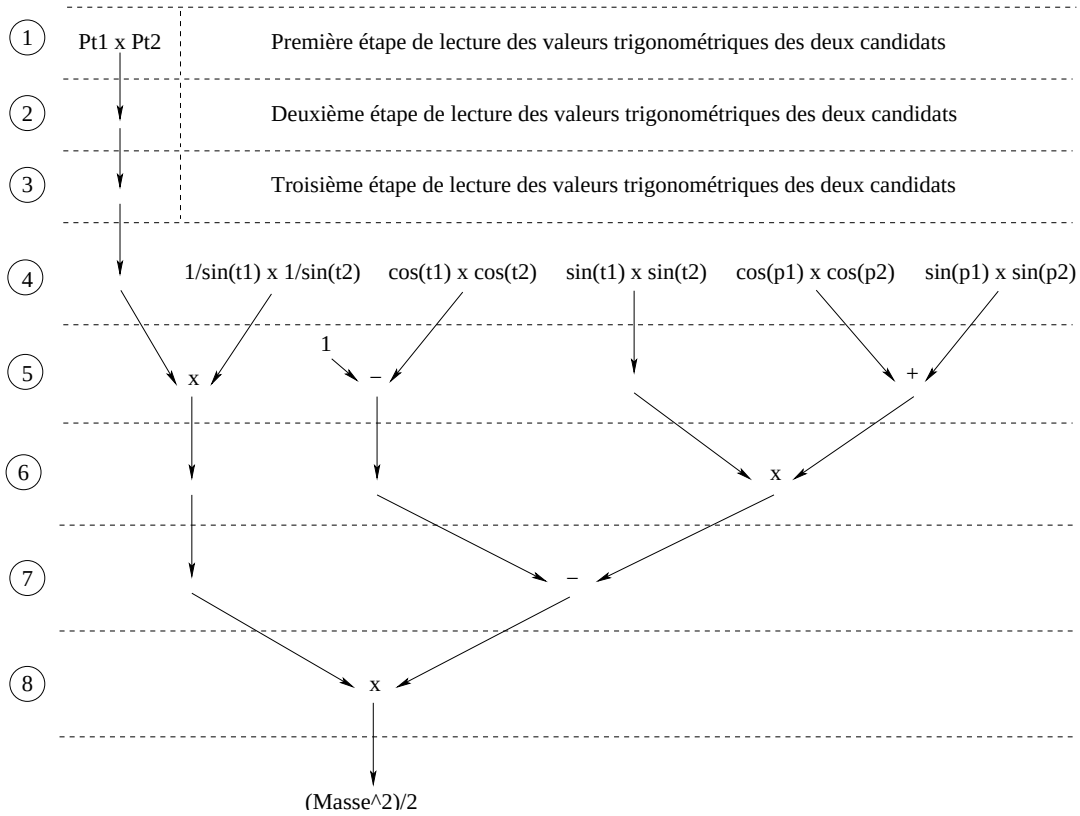


FIG. 9.4 – Arbre d'opérateurs pour le calcule de la masse invariante

9.4 Tests

9.4.1 Dispositif expérimental

La figure 9.5 montre une photographie du dispositif expérimental pour le test du prototype. Le prototype (à droite) est interconnecté à 3 cartes mémoire (dans le chassis, à gauche) par l'intermédiaire de 32 câbles ethernet pour les données. Deux autres câbles véhiculent un signal de mise à zéro et le signal de validation de premier niveau généré artificiellement.

Deux cartes mémoire sont utilisées en émission pour les données (96 bits) et les signaux de commande (bit de déclenchement de premier niveau et bit de mise à zéro). Une troisième carte mémorise les sorties du système (32 bits : trame L0Block et décision RSDA).

Dans le chassis, une carte horloge délivre à l'ensemble des constituants un signal d'horloge à 40 MHz et le signal de départ de la stimulation aux cartes mémoire.

Un ordinateur (au milieu) permet de piloter les cartes mémoire (configuration, chargement et lecture des données). Le diagnostic du bon fonctionnement du prototype se base

FIG. 9.5 – Photographie du banc de test de l'unité de décision

sur les informations délivrées par le logiciel de commande.

9.4.2 Algorithme de test du flot de données

Logiciel

Un logiciel spécifique a été écrit en C++ pour l'algorithme de test du flot de données. Il ne dispose pas d'interface graphique car les opérations ne nécessitent pas beaucoup d'interventions de la part de l'utilisateur.

Le logiciel émule l'unité de décision et calcule à priori les sorties attendues connaissant les données d'entrée. La création d'un fichier contenant les valeurs théoriques successives de sortie permettra une comparaison à l'issue de la stimulation avec les données recueillies par la carte mémoire réceptrice.

Avant le début de la stimulation, le logiciel se charge de configurer les cartes mémoire : mise à zéro, configuration des paramètres de stimulation et écriture des stimuli à envoyer.

A l'issue de la stimulation et après avoir lu les données de sortie, le logiciel émet un rapport où sont répertoriées les différences entre les données attendues et les données réelles. Ce rapport est ensuite exploité pour apporter d'éventuelles corrections au dispositif électronique.

Validation

Les sorties du prototype mémorisées par la carte mémoire en réception sont comparées aux résultats attendus calculés auparavant à l'aide du logiciel. En outre une comparaison est aussi faite avec le résultat d'une simulation VHDL.

Les deux comparaisons ne permettent pas de détecter de différences une fois un régime permanent établi (amorce du pipe-line).

9.4.3 Algorithme de physique

Logiciel

Selon un principe identique à celui décrit précédemment, un logiciel écrit en C++ à spécifiquement été développé pour le test de l'algorithme physique. Il reprend l'essentiel des éléments déja écrits, la partie pour l'émulation du comportement ayant été modifiée de façon adéquate.

Etape préliminaire

L'algorithme physique étant foncièrement plus complexe que le premier, une première étape pour les tests de validation a consisté à comparer le résultat d'une simulation VHDL du prototype au résultat de l'émulation du code C++ constituant le cahier des charges donné par les physiciens.

Une fois les deux comportements accordés en tenant compte des contraintes imposées par l'électronique (synchronisation et mise en temps), les tests matériels ont pu débuter.

Validation

La première difficulté apparue concerne le positionnement du prototype dans un état bien connu avant la stimulation pour rester conforme aux états initiaux utilisés en simulation et pour l'émulation. Pour cela un signal manuel de mise à zéro a été utilisé mais s'est montré insuffisant. L'entrée de mise à zéro au format LVDS a permis de synchroniser correctement le début de la stimulation. Les cartes mémoire délivrent elles-mêmes ce signal à l'instar des données de physique.

L'analyse de séquencement des sorties du prototype ne met pas en évidence de différences après l'occurence du signal de mise à zéro.

9.5 Conclusions

Algorithmes

L'algorithme de test du flot de données a permis d'établir la manière dont la décision de premier niveau est prise en compte par l'électronique et comment la latence de l'unité pouvait être contrôlée.

Les algorithmes de physique ont conduit à la matérialisation de principes physiques de façon satisfaisante. L'utilisation des ressources matérielles qui en découle permet de prospecter une solution finale pour l'unité dont la complexité en terme d'entrées-sorties devrait être d'environ 8 fois supérieure.

Si le principe des algorithmes demeure très simple, le prototype a conduit à un galop d'essai à propos de la mise en temps détaillé entre les divers éléments d'électronique.

La conception de l'unité peut donc continuer sereinement en mettant l'accent sur les systèmes de contrôle et d'acquisition de données standards définis sur LHCb.

Mémoire interne

L'implantation et les tests ont permis de montrer que l'utilisation de la mémoire interne aux composants programmables est possible pour la construction de la trame L1 à condition de prévoir les liaisons nécessaires entre les différents FPGA.

Sur la version finale, la quantité de mémoire sera plus importante (mots de 32 bits au lieu de 16, plus grand nombre de données, ajout de fonctionnalités de DAQ). Les composants des séries haut de gamme comportent jusqu'a six fois plus de mémoire intégrée ce qui paraît suffisant.

Liaisons externes

La pratique de liaisons comportant un grand nombre de câbles comme c'est le cas avec le format LVDS standard et une connectique de type ethernet montre l'intérêt de réduire fortement le volume pris par les médias de transmission. A ce titre le format LVDS sérialisé apparaît comme un très bon candidat.

Besoins liés à l'ECS

Les paramètres de l'algorithme ne constituent pas la majorité des données à charger avec le système ECS. Pourtant le premier algorithme de physique étudié ne comporte pas moins de 53 paramètres généralement codés sur 8 bits.

Si l'on considère que le nombre d'entrées donne une mesure de la complexité de l'algorithme, on peut s'attendre à devoir gérer un nombre de paramètres de l'ordre de 300

pour la version finale de l'unité qui comporte 6 fois plus de ports d'entrée que le prototype actuel.

A ces paramètres, il faut ajouter les données pour la surveillance en direct de l'unité. Pour cela chaque voie de déclenchement est équipée d'un compteur (64 bits) du nombre de fois où la voie a été activée.

La plus grosse quantité de données correspond à la programmation des FPGA et au chargement des tables. Par exemple pour un APEX20K600C (ALTERA) il faut jusqu'à 4 Mbits de données de programmation. Un tel composant contient 6 fois plus de ressources que ceux utilisés pour le prototype. Si l'on suppose qu'il en faut le même nombre, le système d'ECS devra charger 20 Mbits de données pour configurer les composants. Le flux correspondant dépend de la fréquence des chargements, en moyenne il reste faible mais doit être dimensionné de façon à limiter le temps mort (durée de la programmation) pour ne pas pénaliser l'expérience. Il faut ajouter 3 Mbits pour charger les tables internes. Si l'on évalue le temps mort maximum admissible à 1 mn, il faut un dispositif supportant un flux maximal de 400 kbits/s.

Si l'on désire vérifier en ligne le comportement de l'unité, on peut par exemple effectuer une capture des entrées et des sorties (1 kbits) toutes les millisecondes. En ajoutant un jeu d'informations internes de volume équivalent, le système d'ECS doit être capable de gérer un flux de données constant de l'ordre de 2 Mbits/s (2 kbits/ms).

L'étude du système de contrôle de l'unité de décision reste à effectuer avec pour point de départ les ordres de grandeur établis grâce au développement du prototype.

Conclusion

A l'issue des travaux conduits durant le doctorat, les premiers prototypes de l'électronique frontale du preshower et de l'unité de décision ont été conçus. S'ils ne peuvent pas être comparés aux versions définitives des dispositifs cités, ils constituent néanmoins une preuve matérielle du bien fondé des algorithmes et des architectures retenus.

Stratégie

Certains éléments des systèmes étudiés ne sont pas développés par les équipes du LPC et sont en cours de finalisation. Il s'agit en particulier des dispositifs effectuant la mise en temps et le contrôle de l'expérience (TTC, ECS) et des structures du système d'acquisition (DAQ) de premier et second niveau à implanter sur la carte frontale. Au moment de la conception des cartes électroniques présentées dans la thèse, ces systèmes n'étaient pas matures. L'intégration de leurs versions d'alors, si elles existaient, n'auraient pas apporté d'informations particulièrement significatives sur la conception. D'autant plus que les évolutions technologiques et les adaptations des protocoles d'interface auraient nécessité d'éventuels remaniements peu confortables pour les concepteurs. En outre, les systèmes informatiques et logiciels, voire matériels, externes nécessaires à la commande des TTC, ECS et DAQ n'étaient pas non plus disponibles dans des versions stables.

C'est pourquoi le choix de privilégier la conception des fonctions primaires et intrinsèques de chaque dispositif (carte frontale, unité de décision) a été pris. Chaque prototype a été réalisé avant tout dans le but de tester puis valider les architectures traitant les données analogiques ou numériques. L'efficacité (obtention des premiers prototypes) a été préférée à l'exhaustivité fonctionnelle des solutions proposées. Les algorithmes choisis pour le prototype de l'unité de décision ont pour vocation d'être représentatifs de leur complexité future, sans toutefois prétendre à être opérationnels du point de vue de la Physique. La maturation du projet « unité de décision » donnera naissance aux algorithmes complets.

Une nuance peut être apporté au sujet des cartes « traitement et acquisition » et du banc de test de l'unité de décision. Le prototype de la carte frontale a été conçu dans l'optique de son utilisation conjointe avec le circuit analogique (puis finalement en faisceau test) ; la fonction d'acquisition devant permettre d'éviter d'utiliser l'analyseur logique pour la prise des données. Il s'agit donc d'un véritable produit fini, au sens d'un

matériel de laboratoire, dont l'utilisation est prévue au long terme. Mais le traitement des données reste l'élément mis en valeur par la conception de la carte. Le banc de test de l'unité a été développé avec l'objectif de préparer sérieusement le terrain pour sa version définitive externe ou embarqué. Le point le plus délicat dans la conception de l'unité étant avant tout son dispositif de test. Le prototype du banc de test depasse néanmoins son statut de simple prototype en étant compatible et utilisable avec d'autres systèmes.

Résultats

L'électronique développée a été soumise à de nombreux tests, tous montrent que les cahiers des charges sont respectés. Les exemplaires fabriqués sont fonctionnels et sont parfois utilisés pour des tâches autres que leurs fonctions initiales. La carte « traitement et acquisistion » a été utilisée en faisceau test, dans des conditions réelles, c'est à dire où le monde extérieur n'est pas maîtrisé comme en laboratoire. Les données récupérées ont permis de parfaire la caractérisation de chaque élément de la chaîne de mesure et notamment les photomultiplicateurs.

Dans le soucis d'être exhaustif dans la recherche de solutions pour la carte frontale, tout du moins dans le cadre d'un compromis coût/accessibilité, le développement d'un circuit intégré spécifique numérique a conduit à la mise en place des outils de conception adaptés. Ces outils furent utilisés pour la première fois au laboratoire et sur le campus. La puce numérique et sa conception montrent qu'une solution de ce type est tout à fait concurrentielle par rapport aux composants programmables à tout point de vue : surface occupée, fréquence de fonctionnement et coût (prix préférentiels pour la recherche et dans des conditions de multi-projet) pour des volumes de quelques milliers de pièces.

Au final 10 cartes et 2 circuits spécifiques auront été conçus, le tableau 9.5 en établit la liste.

Ces cartes constituent une proposition d'une solution couvrant un large domaine des fonctions de l'électronique présente sur un détecteur de physique des particules : traitement des données, fonctions du système de déclenchement et prise de la décision de premier niveau. La diversité des contraintes et des objectifs à satisfaire ont rendu l'analyse du problème particulièrement enrichissante tant d'un point de vue technique qu'humain.

Les deux dispositifs étudiés sont antagonistes : l'électronique de la carte frontale doit résister aux radiations, le coût est une contrainte forte car les exemplaires sont nombreux et les algorithmes sont paramétrables mais ne seront pas redéfinis. C'est tout le contraire pour l'unité de décision. Les conséquences sont directes sur le choix de la technologie de composants à utiliser dans chacun des cas : composants programmables haut de gamme pour l'unité de décision, ASIC ou technologie à base de fusibles pour les cartes frontales.

Nom	Usage	Année
Test AD9203	Caractérisation du CAN	2000
Neighbours	Validation de l'algorithme de recherche des voisins	2001
VFE	ASIC analogique (élément diviseur de fréquence)	2001
Proto1_psfee	AD8138+AD9203 8 voies, dessin optimisé	2001
Proto2_psfee	Prototype carte frontale (traitement et acquisition)	2001
Proto3_psfee	Prototype ASIC numérique	2002
Horloge	Génération de signaux d'horloge LVDS/ECL	2000
Horloge V2	Corrections de la carte horloge	2001
Mémoire	Banc de test unité de décision	2001
L0DU_proto0	Premier prototype de l'unité de décision	2002
AD6644	Carte ADC 14 bits @ 65 MHz, tests de bruit	2000
Test_p3	Carte de test du circuit proto3	2002

TAB. 9.5 – Cartes et circuits conçus au cours du doctorat

Perspectives

Outre l'intégration des fonctions TTC, ECS et DAQ dont il a déja été question, des développements supplémentaires devront être menés à bien.

Bien que la version finale soit encore à concevoir, la faisabilité a été établie avec les premiers prototypes. Il reste à effectuer le développement des liaisons au format LVDS sérialisé pour l'unité de décision.

Pour la carte frontale, le choix technologique doit être fait. Quel qu'il soit, la principale difficulté demeure l'implantation des composants sur le circuit imprimé. Si le choix se porte sur un circuit spécifique, l'intégration de la partie concernant la réception du signal analogique et sa numérisation pourrait être envisageable. Il faudrait pour cela concevoir un amplificateur différentiel avec réglage du mode commun et un CAN 10 bits fonctionnant à 40 MHz. Le circuit mixte obtenu conduirait à une optimisation de la surface utilisée sur le circuit imprimé et probablement à la réduction du coût de l'électronique par voie de mesure (le prix des composants discrets de la partie mixte actuelle correspond au coût du circuit numérique prototype). Une solution intermédiaire serait le multiplexage des CAN, avant l'entrée dans les composants de traitement. Ce point est particulièrement ambitieux dans les cas des circuits ACTEL.

Pour les deux systèmes, les derniers développements devront être menés à bien rapidement afin de préparer l'étape de production des cartes définitives et les bancs de tests correpondants. En effet l'installation du détecteur est prévue dans le courant de l'année 2006 pour que les premières prises de données s'effectuent en 2007.

Bibliographie

[1] ALICE collaboration. *Technical proposal.* CERN/LHCC 95-71, Geneva, 1995.

[2] G. BOHNER and al. Structure of the signal and front-end electronics for the LHCb preshower. LHC*b internal note*, LHCB 99-018.

[3] G. BOHNER and al. Very front-end electronics for the LHCb preshower. LHC*b internal note*, LHCB 2000-047.

[4] J. CHRISTIANSEN. Requirements to the l0 front-end electronics. LHC*b technical note*, LHCB TRIG 2001-014.

[5] J. CHRISTIANSEN. Requirements to the l1 front-end electronics. LHC*b technical note*, LHCB TRIG 2001-127.

[6] CMS collaboration. *Technical proposal.* CERN/LHCC/94-38, Geneva, 1994.

[7] LHCb collaboration. *Technical proposal.* CERN/LHCC/98-04, Geneva, 1998.

[8] LHCb collaboration. *Calorimeters - Technical design report.* CERN/LHOC 2000-0036 LHCb TDR 2, Geneva, 2000.

[9] R. CORNAT and al. Level 0 decision unit for lhcb. LHC*b technical note*, LHCB TRIG 2001-XXX.

[10] E. EISENHANDLER. Hardware triggers at the LHC. *Fourth Workshop on electronics for LHC experiments*, CERN/LHCC/98-36.

[11] S. FILIPPOV and al. Design and construction of the LHCb scintillator pad/preshower detector. LHC*b internal note*, LHCB 2000-42.

[12] J. CHRISTIANSEN et al. Simulation of the LHCb front-end. LHC*b technical note*, LHCb 99-047, Feb. 2000.

[13] M. F. LETHEREN. Architectures and technologies for data acquisition at the LHC experiments. *Second Workshop on electronics for LHC experiment*, CERN/LHCC/96-39.

[14] LHCb collaboration. The HERA-B electromagnetic pre-trigger and its possible adaptation to the LHCb level 0 calorimeter trigger. LHC*b technical note*, LHCB 98-034.

[15] T. NAKADA. Cp violation, phenemenology and experiment. LHC*b public note*, LHCB 2000-091, PHYS.

[16] G. ANELLI. *Conception et Caractérisation de Circuits Intégrés Résistants aux Radiations pour les Détecteurs de Particules du LHC en Technologies CMOS Submicroniques Profondes.* PhD thesis, Institut National Polytechnique de Grenoble, 2000.

[17] J. Lecoq et al. The mixed analog/digital shaper of the lhcb preshower. In *7th Workshop on Electronics for LHC experiment*, pages 300–304. CERN, 2001.

Quatrième partie

Annexes

Annexe A

Architecture du premier niveau de déclenchement

La figure A.1 montre l'architecture globale du système de déclenchement du premier niveau (numéro 0) pour les détecteurs du système calorimétrique.

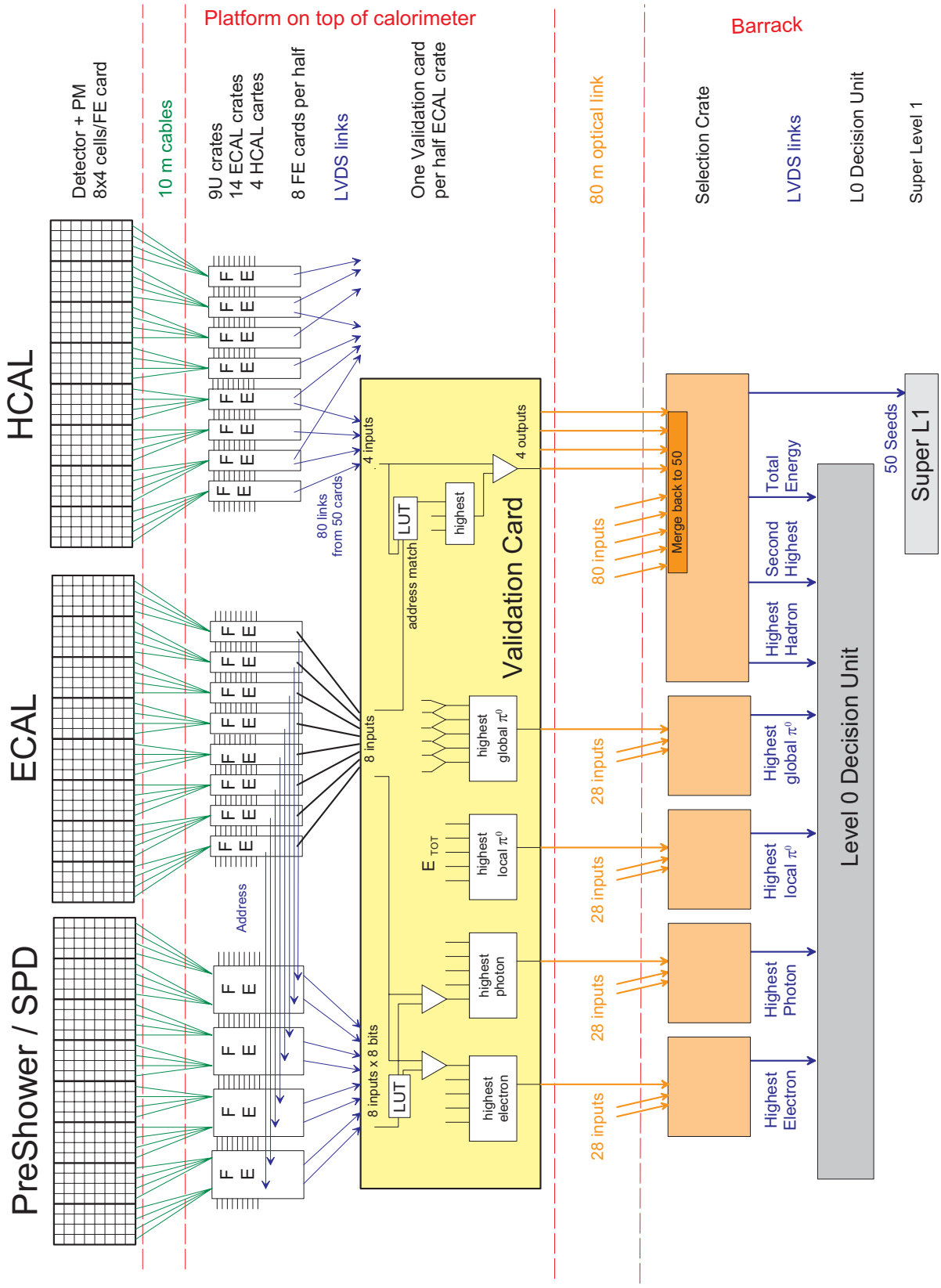


FIG. A.1 – Architecture détaillée du système de déclenchement de premier niveau, partie calorimètres

Annexe B

Schéma de la partie « réception de l'horloge et mize à zéro » du circuit spécifique analogique

La figure B.1 donne le schéma de la partie « réception de l'horloge et mize à zéro » du circuit spécifique analogique.

On remarque la structure entièrement différentielle y compris pour la mise à zéro. La bascule est composée de deux verrous dont on peut identifier les structures répétées deux fois. Chaque verrou comporte une paire différentielle d'entrée réalisant un montage suiveur. Cette paire est succédée par un élément mémorisant utilisé pour figer la sortie du verrou.

L'horloge de commande permet de sélectionner l'élément actif de chaque verrou en autorisant ou non le passage du courant de polarisation. Quand l'un est en mode suiveur, l'autre est bloqué et inversement.

Pour réaliser le diviseur de fréquence par 2, la sortie de la bascule est rebouclée sur l'entrée. Les niveaux électriques des éléments d'entrée et de sortie doivent donc être compatibles. Ce réglage s'effectue en jouant sur la valeur des résistances de drain, communes aux deux éléments de chaque verrou, et du courant nominal circulant dans chaque paire (taille du transistor miroir de courant).

La mise à zéro est réalisée en forçant les niveaux logiques internes indépendamment de l'état du circuit. Le signal différentiel commandant la mise à zéro est reçu sur une paire différentielle qui active deux transistors de retour à zéro.

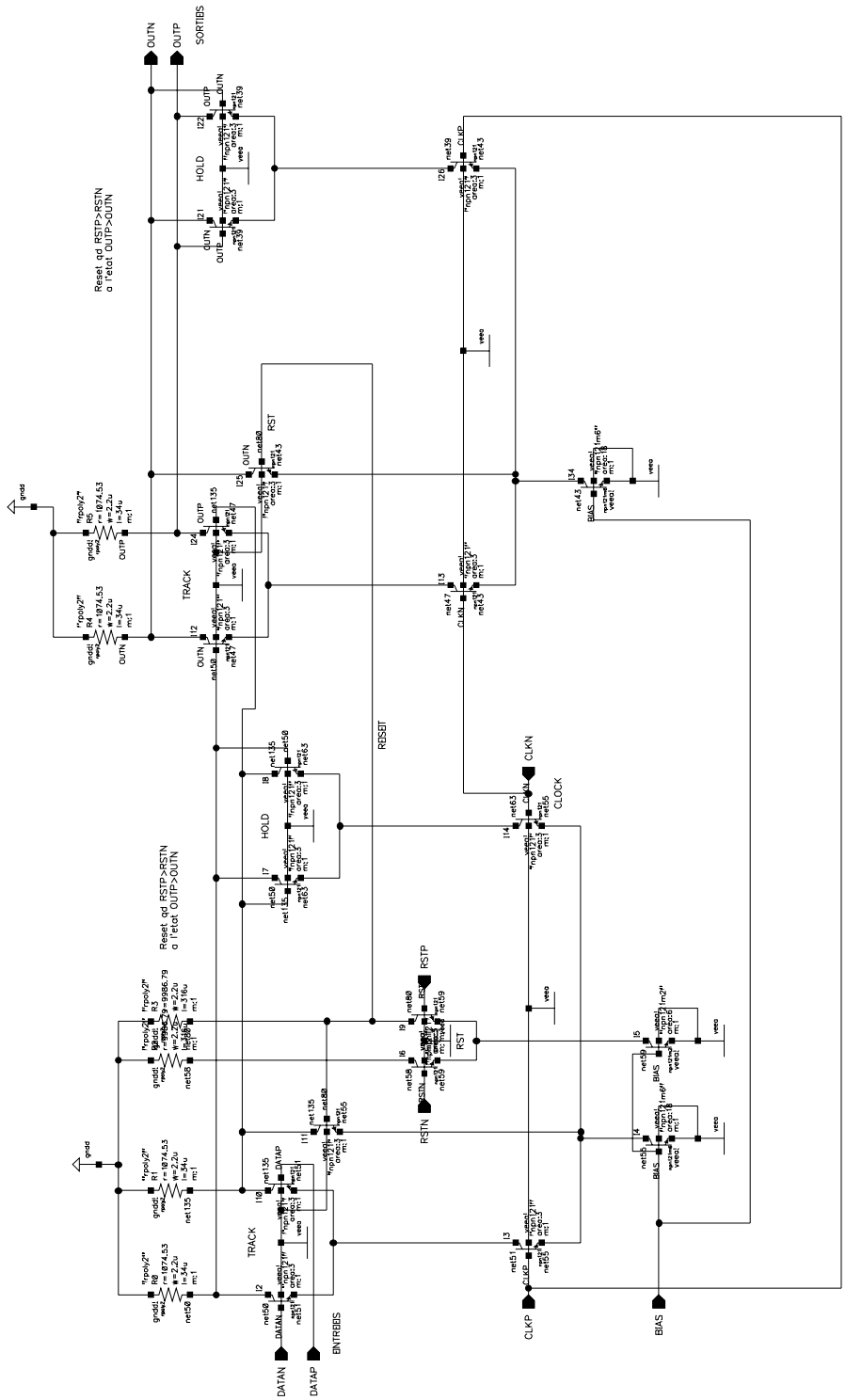


FIG. B.1 – Schéma de la partie « réception de l'horloge et mize à zéro » du circuit spécifique analogique

Résumé

Les expériences de physique des particules associées au collisionneur LHC devront traiter une collision toutes les 25 ns sur plusieurs centaines de milliers de voies de mesure. La quantité de données produites est considérable.

Sur l'expérience LHCb une unité de décision en effectue une première sélection. Nous proposons une solution pour sa réalisation. Il s'agit d'une électronique numérique pipelinée à 40 MHz et réalisée en composants programmables avec des interfaces LVDS. Une première version du banc de test est présentée afin de générer des stimuli à la cadence de 40 MHz pour des mots jusqu'à 512 bits.

Le preshower fait partie du système calorimétrique de LHCb. Il est composé de 6000 voies de mesure. Le signal physique est d'abord mis en forme grâce à des intégrations analogiques sur 25 ns sans temps mort (ASIC). Au bout de 20 m de câble, les valeurs d'intégrales (en tension) sont numérisées puis traitées sur une centaine de cartes frontales.

La réalisation de prototypes de la partie de traitement des données ont permis de mettre en concurrence une technologie programmable et une technologie ASIC (AMS 0,35 μm) et de prendre en compte les contraintes fortes en terme de nombre de voies de mesure par carte (128 demi-voies) et de résistance aux radiations.

Mots clés : traitement numérique, architecture pipe-line, ASIC, intégrateur, trigger, calorimètre

Abstract

Particle physics experiments associated to the LHC will manage a collision every 25 ns. A dramatic amount of data will be produced for hundreds thousand of measurement channels.

The decision unit of the LHCb experiment aims to perform a first selection of interesting events. A prototype was developed. It is based on a fully synchronous pipelined fpga architecture and comes with a dedicated test bench which provides up to 512 LVDS test vectors at a frequency of 40 MHz.

The preshower, made up of 6000 cells, is a part of the calorimetric system. First the signal is integrated during 25 ns periods without any dead time on an ASIC. After a 20 m long cable, the output signal is digitised and processed on one hundred front-end boards.

The design of the data processing part prototypes has led us to take into account some stringent constraints (number of channels, radiation hardness). A programmable technology and an ASIC (AMS 0,35 μm) have been put into competition.

Key words : digital processing, pipeline architecture, ASIC, integrator, trigger, calorimeter