



**HAL**  
open science

## Capteur intégré tactile d'empreintes digitales à microstructures piezorésistives

F. Parrain

► **To cite this version:**

F. Parrain. Capteur intégré tactile d'empreintes digitales à microstructures piezorésistives. Autre [cs.OH]. Institut National Polytechnique de Grenoble - INPG, 2002. Français. NNT : . tel-00002923

**HAL Id: tel-00002923**

**<https://theses.hal.science/tel-00002923>**

Submitted on 2 Jun 2003

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

**INSTITUT NATIONAL POLYTECHNIQUE DE GRENOBLE**

**N° attribué par la bibliothèque**

\_\_\_\_/\_\_\_\_/\_\_\_\_/\_\_\_\_/\_\_\_\_/\_\_\_\_/\_\_\_\_/\_\_\_\_/\_\_\_\_/\_\_\_\_

**THESE**

pour obtenir le grade de

**DOCTEUR DE L'INPG**

**Spécialité : MICROELECTRONIQUE**

préparée au laboratoire **TIMA**

Dans le cadre de l'Ecole Doctorale  
**ELECTRONIQUE, ELECTROTECHNIQUE, AUTOMATIQUE, TELECOMMUNICATION,  
SIGNAL**

présentée et soutenue publiquement

par

Fabien PARRAIN

le 02 décembre 2002

**Titre :**

**Capteur intégré tactile d'empreintes digitales à microstructures piezorésistives**

---

**Directeur de thèse :**

Docteur Bernard COURTOIS

---

**JURY**

M. Christian SHAEFFER  
M. Tarik BOUROUINA  
M. Dominique COLLARD  
M. Bernard COURTOIS  
M. Benoît CHARLOT  
M. Alain BOSSEBOEUF

, Président  
, Rapporteur  
, Rapporteur  
, Directeur de thèse  
, Co-encadrant  
, Examineur



## REMERCIEMENTS :

Je tiens, avant tout, à remercier M. Bernard COURTOIS, le directeur du laboratoire TIMA et du CMP, pour m'avoir accueilli au sein du groupe Microsystème (groupe MCS récemment rebaptisé MNS pour Micro et Nano Systèmes) et pour m'avoir fourni tous les moyens nécessaires au bon déroulement de cette thèse de doctorat.

Je remercie particulièrement M. Benoît CHARLOT avec qui j'ai étroitement collaboré durant les trois années passées au sein du laboratoire TIMA, ainsi que M. Salvador MIR qui a guidé mes premiers pas en conception analogique intégrée.

Je remercie M. Hubert DELORI pour son éternelle bonne humeur ainsi que M. Alexandre CHAGOYA, ingénieur système au CIME, qui est certainement l'homme le plus serviable qui m'a été donné de rencontrer jusqu'à ce jour.

Je remercie les membres de mon jury, M. Tarik BOUROUINA et M. Dominique COLLARD pour avoir consacré une partie de leur temps afin de juger mon travail, M. Christian SCHAEFFER pour avoir accepté de présider ma thèse et M. Alain BOSSEBOEUF pour m'avoir fait l'honneur d'y participer.

Je remercie chaleureusement tous les actuels ou anciens membres du groupe Microsystème : Zein, Skandar, Libor, Slava, et plus particulièrement ceux du fameux bureau 120 : Damien, Sergio, Nicolas, Guillaume ainsi que l'inévitable Christian.

Un grand merci à l'équipe du CMP et plus particulièrement à M. Kholdoun TORKI ainsi qu'à M. Jean-François PAILLOTIN qui a été obligé de fermer les yeux sur de si nombreuses erreurs de DRC ...

Je remercie aussi l'équipe administrative du TIMA et plus particulièrement Isabelle (elle se reconnaîtra ...) ainsi que Chantal pour leur gentillesse et leur serviabilité.

Enfin, je remercie Isabelle pour avoir supporté toutes ces années durant lesquelles je me suis exilé loin d'elle.



## TABLE DES MATIERES :

<b>Chapitre I : Introduction</b> .....	<b>13</b>
I.1 Les microsystemes.....	13
I.2 Marché des microsystemes.....	14
I.3 Structure du mémoire de thèse .....	14
<b>Chapitre II : Etat de l'art</b> .....	<b>17</b>
II.1 Introduction .....	17
II.2 La biométrie comme méthode d'identification .....	17
II.3 L'empreinte digitale .....	19
II.3.1 Caractéristiques d'une empreinte digitale.....	19
II.3.2 Méthode d'extraction de la signature et de reconnaissance de l'empreinte digitale .....	20
II.4 Les capteurs d'empreintes digitales.....	22
II.4.1 Les capteurs d'empreintes digitales macroscopiques .....	22
II.4.2 Les capteurs intégrés d'empreintes digitales .....	24
II.5 Conclusion.....	31
<b>Chapitre III : Conception et réalisation</b> .....	<b>33</b>
III.1 Introduction .....	33
III.2 Capteur tactile réalisé par micro-usinage en volume.....	33
III.2.1 Principe de fonctionnement du capteur .....	34
III.2.2 Cahier des charges .....	35
III.3 La piezorésistivité.....	36
III.3.1 La piezorésistivité dans le cas du silicium monocristallin.....	36
III.3.2 Facteurs de jauge .....	39
III.3.3 Récapitulatif concernant les facteurs de jauge.....	42
III.3.4 Explication physique du phénomène .....	42
III.3.5 Piezorésistivité du silicium polycristallin .....	44
III.3.6 Conclusion sur la piezorésistivité .....	45
III.4 Le micro-usinage en volume .....	45
III.4.1 La gravure anisotrope du silicium : généralités.....	46
III.4.2 Le micro-usinage en volume par la face avant .....	50
III.4.3 Le micro-usinage en volume par la face arrière .....	52
III.4.4 Le micro-usinage en volume mixte par la face avant et arrière.....	53
III.4.5 Le micro-usinage électrochimique .....	53
III.4.6 Détermination des temps de gravure : Calculs et simulations .....	54
III.4.7 Conclusion sur le micro-usinage en volume.....	58

III.5	Modélisation mécanique des microstructures.....	58
III.5.1	Caractéristiques mécaniques des microstructures utilisées.....	59
III.5.2	Réponse piezorésistive dans le cas de micropoutres .....	64
III.5.3	Réponse piezorésistive dans le cas de microponts.....	65
III.5.4	Simulations par la méthode des éléments finis (FEM).....	67
III.5.5	Conclusion sur la modélisation mécanique des microstructures .....	72
III.6	Conclusion.....	73
<b>Chapitre IV : Premier prototype réalisé .....</b>		<b>75</b>
IV.1	Introduction .....	75
IV.2	Electronique intégrée au sein du capteur.....	75
IV.2.1	Mesure de la variation de résistance électrique induite au sein des jauges.....	76
IV.2.2	Electronique intégrée au sein de chaque pixel.....	77
IV.2.3	Amplificateur utilisé .....	78
IV.3	Microstructures utilisées.....	79
IV.4	Layout du premier prototype .....	81
IV.5	Tests réalisés sur le premier prototype .....	81
IV.5.1	Mise en boîtier en vue des tests .....	81
IV.5.2	Cartes de test réalisées .....	83
IV.5.3	Contraintes mécaniques résiduelles .....	84
IV.5.4	Tests mécaniques statiques .....	86
IV.5.5	Tests mécaniques en conditions réelles d'utilisation .....	91
IV.6	Phénomène de cross-talk dû au film plastique utilisé.....	93
IV.7	Conclusion.....	94
<b>Chapitre V : Second prototype réalisé .....</b>		<b>97</b>
V.1	Introduction .....	97
V.2	Architecture générale du capteur .....	97
V.3	Chaîne de traitement analogique .....	98
V.3.1	Cahier des charges .....	98
V.3.2	Pourquoi une ligne de transmission de l'information en mode courant ?.....	98
V.3.3	Principe du double échantillonnage corrélé .....	99
V.3.4	Electronique de la chaîne de traitement .....	100
V.3.5	Simulations numériques effectuées sur la chaîne de traitement analogiques.....	105
V.3.6	Circuits annexes .....	108
V.4	Convertisseur analogique/numérique (CAN) .....	111
V.4.1	Architecture retenue.....	111
V.4.2	Implémentation du convertisseur .....	111
V.4.3	Tests réalisés sur le convertisseur .....	116
V.5	Intégration de fonctions de d'auto-test.....	122
V.5.1	L'effet bimétallique .....	123
V.5.2	Intégration de la fonction d'auto-test.....	123
V.5.3	Modèle analytique du système thermomécanique .....	124
V.5.4	Prise en compte des pertes par radiation et de la convection .....	126
V.5.5	Simulation nodale du système thermomécanique .....	127
V.5.6	Simulation FEM du système thermomécanique .....	128
V.5.7	Commande de la fonction d'auto-test.....	130
V.5.8	Durée totale de la séquence d'auto-test .....	131
V.5.9	Vérification expérimentale.....	131

---

V.6	Microstructures utilisées.....	133
V.7	Layout du second prototype .....	134
V.8	Conclusion.....	135
<b>Chapitre VI : Conclusions et travaux futurs .....</b>		<b>137</b>
<b>Annexe I : Détail du process utilisé.....</b>		<b>139</b>
<b>Annexe II : Mise en Boîtier du capteur .....</b>		<b>141</b>
<b>Annexe III : Brochage du second prototype .....</b>		<b>143</b>
<b>Annexe IV : Logique de commande.....</b>		<b>147</b>
<b>Annexe V : Chronogramme de fonctionnement du second prototype .....</b>		<b>149</b>
<b>Annexe VI : Fichiers sources ANSYS.....</b>		<b>151</b>

## LISTE DES FIGURES :

Figure 1 : Marché mondial des microsystèmes [8].....	14
Figure 2 : Marché total de la biométrie [1].....	18
Figure 3 : Parts de marché de la biométrie en 2001[1].....	19
Figure 4 : Types d’empreintes digitales possibles avec leur fréquence d’apparition approximative. ...	19
Figure 5 : Vue en coupe de la peau au niveau des doigts. ....	20
Figure 6 : Types de minuties possibles (les reliefs positifs, les stries, sont ici représentés en noir) : (a) terminaisons, (b) bifurcation, (c) boucle, (d) point et (e) segment.....	20
Figure 7 : Transformations subies par l’image de l’empreinte digitale afin d’extraire la signature. ....	21
Figure 8 : Principe de fonctionnement d’un capteur d’empreintes digitales optique.....	23
Figure 9 : Principe de fonctionnement d’un capteur d’empreintes digitales ultrasonique à émetteur/récepteur en rotation [5].....	23
Figure 10 : Recomposition de l’image de l’empreinte digitale dans le cas d’un capteur à matrice partielle.....	25
Figure 11 : Traitement de l’image de l’empreinte digitale dans le cas d’un capteur utilisant une géométrie en ligne.....	25
Figure 12 : Capteur capacitif utilisant des pixels à double électrode [7].....	26
Figure 13 : Capteur capacitif utilisant des pixels comportant une unique électrode de mesure [10].....	27
Figure 14 : Exemple de mise en boîtier pouvant être réalisé dans le cas d’un capteur à matrice totale nécessitant de polariser électriquement le doigt [10].....	27
Figure 15 : Capteur capacitif utilisant des électrodes obtenues par croissance électrolytique afin de polariser la surface du doigt [11]. ....	28
Figure 16 : Capteur capacitif utilisant le principe de redistribution de charges électriques. ....	29
Figure 17 : Capteur thermique utilisant une couche de matériau pyroélectrique [6][16]. ....	29
Figure 18 : Capteur thermique à éléments chauffants [17]. La déperdition de chaleur du pixel vers le doigt est plus importante quand les reliefs de ce dernier sont en contact avec la surface du capteur.....	30
Figure 19 : Exemple de capteur d’empreintes digitales tactile [18]. ....	30
Figure 20 : Mesure qualitative de la variation de résistance électrique de la jauge de contraintes en fonction des sollicitations mécaniques imposées à la micropoutre. Schéma expliquant le protocole de test (a), variation de la résistance électrique de la jauge dans le temps suivant les contraintes mécaniques imposées (b), photographie MEB des structures de test utilisées (c), banc de test utilisé (d),.....	34
Figure 21 : Vue schématique tridimensionnelle du capteur à microstructures piezorésistives.....	35
Figure 22 : Principe de fonctionnement du capteur à microstructures piezorésistives.....	35
Figure 23 : Définition des contraintes normales et tangentielles.....	36
Figure 24 : Système d’axes utilisé pour le calcul de la résistance électrique des jauges de contrainte. ....	39
Figure 25 : Diagramme E(k) du silicium monocristallin .....	43
Figure 26 : Effet d’une contrainte uniaxiale sur les surfaces de même énergie.....	43
Figure 27 : Valeur des facteurs de jauge uniaxiaux en fonction de la concentration en éléments dopants (d’après P.J. French et G.R. Evans).....	45
Figure 28 : Motif cristallographique du silicium monocristallin .....	46
Figure 29 : Vues du cristal de silicium suivant différentes directions (vues orthogonales) .....	46

Figure 30 : Liens entre les axes CAO et cristallographiques.....	47
Figure 31 : Diagramme de gravure polaire du KOH 40 % [13]. Ce diagramme correspond à la projection des vitesses de gravure des différents plans cristallins dans le plan {100} (surface de la puce).....	48
Figure 32 : A gauche, mécanisme de formations des protubérances pyramidales. A droite, image MEB montrant des protubérances pyramidales sur le fond de cavités micro-usinées.....	49
Figure 33 : Diagramme de gravure polaire du TMAH 10 % porté à 85°C [12]. Ce diagramme correspond à la projection des vitesses de gravure des différents plans cristallins dans le plan {100} (surface de la puce). .....	50
Figure 34 : Coupe technologique d'une poutre piézorésistive réalisée par micro-usinage en volume par la face avant compatible CMOS (échelle verticale non respectée).....	50
Figure 35 : Exemples de structures réalisées par micro-usinage en volume par la face avant sur la base d'un circuit CMOS : structures en forme de pont (a), en forme de poutre (b) et en forme de membrane (c). .....	51
Figure 36 : Exemples de structures obtenues suivant différentes formes d'ouvertures.....	51
Figure 37 : Micropoutre piézorésistive utilisée en vue de tests (a). Détails du retrait effectué sur les différentes couches d'oxyde afin de les protéger durant l'étape de gravure (b).....	52
Figure 38 : Micro-usinage par la face arrière.....	52
Figure 39 : Réalisation d'une masse de silicium monocristallin suspendue par quatre bras.....	53
Figure 40 : Micro-usinage électrochimique par la face avant à droite et la face arrière à gauche (échelle verticale non respectée).....	53
Figure 41 : Représentation en 3D de l'évolution de la gravure sous une micropoutre de type cantilever. ....	54
Figure 42 : Formation d'une pointe de silicium (interception des plans {123} représentée par le point M) sous la structure (ici un convertisseur électro-thermique en forme de poutre) durant la gravure TMAH.....	54
Figure 43 : Schéma de la micropoutre.....	55
Figure 44 : Exemple de simulation 2D réalisé avec le logiciel <i>ACESIM</i> .....	56
Figure 45 : Estimation du diagramme de gravure 3D du TMAH 10 %. Ce diagramme a été calculé grâce à un programme réalisé en langage C suivant l'algorithme présenté dans [22].....	56
Figure 46 : Simulations 3D effectuées avec le logiciel <i>ACES</i> dans le cas de micropoutres.....	57
Figure 47 : Définition des dimensions utilisées dans le cas de microponts.....	57
Figure 48 : Simulations 3D effectuées avec le logiciel <i>ACES</i> dans le cas de microponts.....	58
Figure 49 : Système de coordonnées cartésien utilisé pour les calculs.....	59
Figure 50 : Les différentes étapes de simplification de la micropoutre vue ici en coupe.....	60
Figure 51 : Flèche maximale d'une poutre et d'un pont sous l'action d'une charge ponctuelle. ....	62
Figure 52 : Moment fléchissant dans le cas d'une charge ponctuelle ( $M_f$ linéaire). ....	63
Figure 53 : Variables dimensionnelles de la micropoutre piezorésistive.....	64
Figure 54 : Transformation d'un micropont incliné en micropont équivalent qui est cette fois perpendiculaire au bâti qui le maintient. Cette même figure énumère les variables dimensionnelles qui seront utilisées par la suite. ....	66
Figure 55 : Modèle FEM d'une micropoutre tenant compte des retraits entre les différentes couches et des arrondis. Vue d'ensemble de la microstructure (seule la moitié de la micropoutre est représentée) (a), détail des retraits (b), détail du maillage (c) et (d). ....	67
Figure 56 : Modèles FEM simplifiés des micropoutres (a) et microponts (b). Détail du maillage par éléments rectangulaires (c) et (d). ....	68
Figure 57 : Contraintes mécaniques longitudinales (a) et transversales selon l'axe y (b) de l'ensemble de la microstructure ( $x_1=0$ ). Détails au niveau de la jauge de contrainte : contraintes longitudinales (c) et transversales selon l'axe y (d). ....	70
Figure 58 : Comparaison entre les simulations FEM et le modèle analytique dans le cas d'une micropoutre soumise à une force ponctuelle constante de 1 mN.....	70
Figure 59 : Contraintes mécaniques longitudinales (a) et transversales selon l'axe y (b) de l'ensemble de la microstructure ( $x_1=0$ ). Détails au niveau de la jauge de contrainte vue de dessus : contraintes longitudinales (c) et transversales selon l'axe y (d).....	71
Figure 60 : Comparaison entre les simulations FEM et le modèle analytique dans le cas d'un	

micropont soumis à une force ponctuelle constante de 1 mN.....	72
Figure 61 : Architecture du premier prototype.....	76
Figure 62 : Configuration en pont de Wheatstone utilisant une seule et unique jauge de contraintes... 76	76
Figure 63 : Electronique intégrée au sein de chaque pixel.....	77
Figure 64 : Résistance à l'état passant d'une porte de transmission, d'un transistor NMOS et d'un transistor PMOS en fonction de la tension du signal commuté (transistors tels que $W/L=1$ ). Ces courbes ont été obtenues par le biais de simulations numériques réalisées dans le cas de la technologie AMS CMOS 0,6 $\mu$ m.....	78
Figure 65 : Schéma de l'amplificateur différentiel utilisé. La résistance $R_2$ ne sera pas intégrée au sein de la puce nous permettant ainsi de régler le gain.....	78
Figure 66 : Gain de l'amplificateur en fonction de la valeur de la résistance $R_2$ (a). Niveau de bruit en sortie de l'amplificateur pour différentes valeurs de $R_2$ (b).....	79
Figure 67 : Vue schématique des micropoutres utilisées.....	80
Figure 68 : Photographie MEB montrant l'extrémité d'une rangée de pixels (a). Détail au niveau des micropoutres (b).....	80
Figure 69 : Layout du premier prototype (puce de 3,8x1,5 mm <sup>2</sup> ).....	81
Figure 70 : Capteur mis en boîtier (boîtier de type DIL40) en vue de tests électriques.....	82
Figure 71 : Packaging employé afin de réaliser les tests mécaniques.....	82
Figure 72 : Méthode de protection des fils de bonding.....	83
Figure 73 : Carte de test pouvant accueillir le capteur en boîtier DIL40 en vue de tests électriques.....	83
Figure 74 : Carte de test permettant de tester mécaniquement le capteur. Cette carte permet d'effectuer l'interconnexion entre la carte d'acquisition et le capteur. Elle permet de plus de tendre le film plastique au-dessus du capteur grâce à deux mâchoires. Notons que ces deux mâchoires servent aussi à maintenir le bâti utilisé lors des tests à pression constante.....	84
Figure 75 : Photographie MEB montrant les effets des contraintes résiduelles existantes au sein d'une microstructure de type cantilever.....	84
Figure 76 : Simulations de Monte-Carlo montrant la dispersion du signal analogique issu du pont de mesure.....	86
Figure 77 : Système permettant d'appliquer une pression constante à la surface du capteur.....	87
Figure 78 : Vue de la carte de test avec le système permettant d'appliquer une pression constante. Le système est fixé sur la carte de test grâce aux mâchoires servant normalement à tendre le film plastique.....	87
Figure 79 : Application d'une pression constante grâce à une colonne d'eau de hauteur variable.....	88
Figure 80 : Mesures expérimentales obtenues pour une pression allant de 0 à 110 mbar environ. Les mesures représentent la variation de tension obtenue en sortie du pont de mesure, les tensions de référence étant celles obtenues pour une pression appliquée nulle.....	88
Figure 81 : Précontraintes apparaissant au sein du film PVC lors de l'application de la pression.....	89
Figure 82 : Modèle FEM utilisé (a). Résultat d'une simulation pour une pression appliquée de 100 mbar (déplacement selon l'axe normal à la surface du capteur) (b).....	90
Figure 83 : Déflexion du film plastique et des microstructures en fonction de la largeur de la microcavité (résultats issus de simulations FEM).....	90
Figure 84 : Interface graphique du programme réalisé sous l'environnement LabView afin de procéder à l'acquisition des images issues du capteur.....	91
Figure 85 : Vue tridimensionnelle isométrique de l'image issue du capteur.....	92
Figure 86 : Comparaison entre l'image issue du capteur et m'empreinte de référence obtenue à l'encre.....	92
Figure 87 : Image issue du capteur montrant les effets induits par les variations de vitesse du passage du doigt.....	93
Figure 88 : Illustration du phénomène de <i>cross-talk</i> (simulation FEM) existant entre des pixels contigus. Dans le cas présenté ici, une force constante est appliquée aux trois micropoutres situées au centre de la rangée, ici vue de dessous.....	93
Figure 89 : Résultats des différentes simulations FEM réalisées afin de déterminer l'incidence du phénomène de <i>cross-talk</i> .....	94
Figure 90 : Architecture du second prototype réalisé.....	98
Figure 91 : Diagramme de fonctionnement d'un amplificateur à double échantillonnage corrélé.....	100

Figure 92 : Schéma simplifié de l'ensemble de la chaîne de traitement. ....	101
Figure 93 : Schémas électriques équivalents du circuit intégré au sein de chaque suivant les deux phases possibles $\Phi_1$ et $\Phi_2$ . ....	102
Figure 94 : Amplificateur de transimpédance utilisé afin de traiter le signal émanant du pixel. Ce circuit sert également à polariser la ligne de transmission à un potentiel constant. ....	103
Figure 95 : Amplificateur différentiel à capacités commutées. ....	103
Figure 96 : Valeur de $I_G$ en fonction du courant de polarisation $I_{\text{biais}}$ . ....	105
Figure 97 : Simulation temporelle de l'ensemble de la chaîne de traitement pour une fréquence de balayage égale à 200 kHz ( $I_{\text{biais}}=50 \mu\text{m}$ , $g_2=0$ et $V_{\text{pol}}=2,5 \text{ V}$ ). La masse analogique est ici fixée à $V_{\text{dd}}/2=2,5 \text{ V}$ . ....	106
Figure 98 : Simulation de Monte Carlo montrant la dispersion de la tension de sortie de l'amplificateur (tension $V_b$ ). Cette simulation ne tient compte que des variations dimensionnelles des composant intégrés au sein de chaque pixel (transistors et résistances). ....	107
Figure 99 : Dessin de masques ( <i>layout</i> ) de transistors interdigités. ....	107
Figure 100 : Spectre fréquentiel du bruit électrique en sortie de l'amplificateur différentiel durant la phase $\Phi_2$ pour $I_{\text{biais}}=100 \mu\text{A}$ . ....	108
Figure 101 : Schéma électrique du circuit de polarisation utilisé. ....	109
Figure 102 : Résultats des simulations effectuées sur le circuit de polarisation. ....	110
Figure 103 : Schéma électrique du générateur de phases utilisé (a). Simulation temporelle du générateur de phase pour une fréquence d'horloge de 20 MHz (b). ....	110
Figure 104 : Fonctionnement d'un convertisseur analogique/numérique à approximations successives. Diagramme de fonctionnement (a). Architecture du convertisseur (b). ....	111
Figure 105 : Schéma électrique du comparateur utilisé. ....	112
Figure 106 : Simulation électrique du comparateur sous Spectre pour une fréquence d'horloge de 5 MHz. ....	113
Figure 107 : Convertisseur numérique/analogique à réseau résistif replié 4 bits. ....	114
Figure 108 : Résistance interne de CNA avec ou sans les résistances de valeur R. Ces courbes ne tiennent pas compte de la résistance induite par les portes de transmission utilisées pour commuter le signal. ....	115
Figure 109 : Layout du convertisseur analogique/numérique 8 bits réalisé en technologie AMS 0,6 $\mu\text{m}$ . ....	115
Figure 110 : Chronogramme du convertisseur analogique/numérique. Les zones grises sont utilisées afin de représenter les signaux numériques pouvant être à l'état haut ou bas suivant la valeur numérique d'entrée. ....	116
Figure 111 : Layout du circuit de test du convertisseur analogique/numérique réalisé (a). Photographie optique du circuit une fois mis en boîtier (boîtier Dual In Line 40 broches) (b). ....	117
Figure 112 : Vues de la carte d'interfaçage réalisée afin de tester le convertisseur. ....	117
Figure 113 : Interface graphique réalisée en utilisant le logiciel LabView afin de pouvoir mener à bien le test des histogrammes. ....	118
Figure 114 : Représentation de la fonction de densité de probabilité d'un signal sinusoïdal d'amplitude A. ....	118
Figure 115 : Résultats pour 100000 échantillons pour des fréquences d'horloge de 1 MHz, 2 MHz et 5 MHz (avec $V_{\text{refn}}=1 \text{ V}$ et $V_{\text{refp}}=4 \text{ V}$ ). ....	119
Figure 116 : Interface graphique réalisée en utilisant le logiciel LabView afin de pouvoir mener à bien le test de l'ajustement de courbes. ....	120
Figure 117 : Exemples de défauts pouvant affecter les micropoutres : micropoutres cassées (a), fissures (b). ....	122
Figure 118 : Illustration de l'effet bimétallique. Dans le cas présenté ici, le matériau 1 possède un coefficient de dilatation thermique plus important que le matériau 2 faisant fléchir la structure vers le bas lors d'une augmentation de température. ....	123
Figure 119 : Schéma de la micropoutre avec sa résistance de chauffe intégrée. A droite, vue en coupe simplifiée (retraits des différentes couches non représentés, échelle non respectée) de la microstructure montrant les deux domaines présentant une résistance thermique équivalente différente du fait de la présence de connexions électriques en aluminium. ....	124
Figure 120 : Calcul analytique de la déflexion de la micropoutre connaissant son rayon de courbure en	

tout point.....	125
Figure 121 : Modélisation nodale de la micropoutre.....	127
Figure 122 : Résultats des simulations nodales statiques (a) et transitoires (b) effectuées. Les simulations transitoires (b) mettent en évidence une constante de temps de l'ordre de 178 $\mu$ s. .	128
Figure 123 : Résultats émanant des différentes simulations FEM statiques effectuées. Augmentation de température au sein de la microstructure (a), contraintes mécaniques moyennes au niveau de la jauge piezorésistive (b), variation de résistance électrique de la jauge imputable aux effets thermiques (c), déflexion en fonction de la puissance dissipée (d).....	129
Figure 124 : Cartographie thermique de la microstructure pour une puissance dissipée de 10 mW (a). Détails au niveau de la résistance de chauffe et de la jauge (b).....	129
Figure 125 : Simulation FEM transitoire d'un cycle échauffement/refroidissement pour une puissance dissipée de 10 mW. Cette courbe montre l'évolution de la température au bout de la microstructure, la référence de température étant la température ambiante ( $T_{amb}=300$ K).....	130
Figure 126 : A gauche, électronique intégrée au sein de chaque pixel permettant de contrôler l'alimentation de la résistance de chauffe. A droite, puissance thermique dissipée en fonction de la tension $V_{test}$ .....	131
Figure 127 : Microstructure de test utilisée. ....	131
Figure 128 : Mesures statiques effectuées sur les microstructures de test.....	132
Figure 129 : Montages expérimental permettant de tester dynamiquement les microstructures de test (a). Copie d'écran de l'oscilloscope utilisé (b).....	132
Figure 130 : Dimension des microstructures utilisées au sein du second prototype. Dans le cas des microstructures ne faisant pas parti de la ligne intégrant la fonction d'auto-test, la résistance de chauffe sera omise.....	133
Figure 131 : Layout du second prototype (puce de 1,5x15 mm <sup>2</sup> ).....	134
Figure 132 : Détail de l'électronique analogique/mixte de traitement disposée à l'une des extrémités du capteur.....	134
Figure 133 : Détail de l'électronique intégrée au sein de chaque pixel (ici le pixel intègre la fonction d'auto-test).....	135
Figure 134 : Détail des différentes étapes du process utilisé (technologie AMS CMOS 0,6 $\mu$ m précédée d'une étape de micro-usinage en volume par la face avant).....	139
Figure 135 : Packaging possibles du capteur (boîtiers avec brochage de type DIL 18). ....	141
Figure 136 : Mise en boîtier du capteur permettant de guider le doigt de l'utilisateur. ....	142
Figure 137 : Positionnement du capteur avant de procéder à une acquisition aisée de l'empreinte digitale.....	142
Figure 138 : Brochage du second prototype. ....	143
Figure 139 : Logique de commande intégrée au sein du second prototype. ....	147
Figure 140 : Chronogramme de fonctionnement du second prototype.....	149

## LISTE DES TABLEAUX :

Tableau 1 : Les différentes techniques biométriques [2].	18
Tableau 2 : Coefficients piezorésistifs pour le silicium monocristallin.	37
Tableau 3 : Coefficients longitudinal et transversal pour différentes directions	38
Tableau 4 : Récapitulatif des différents facteurs de jauge piézorésistifs.	42
Tableau 5 : Facteurs de jauge piezorésistifs uniaxiaux dans le cas du polysilicium pour deux types de dopage différents.	44
Tableau 6 : Vitesses de gravure avec KOH 40 % porté à 80°C [13]	48
Tableau 7 : Vitesses de gravure du TMAH 10 % porté à 85°C [12]	49
Tableau 8 : Caractéristiques mécaniques des différents matériaux composant les microstructures [12][23].	59
Tableau 9 : Raideur des différentes structures pour une charge ponctuelle.	62
Tableau 10 : Charge et déflexion maximale avant rupture des microstructures étudiées.	72
Tableau 11 : Valeurs minimale, maximale, moyenne et écart-type du signal disponible en sortie des pixels dans le cas de différentes puces de test gavées ou non. Notons que l'erreur existante sur la mesure est constante pour une même ligne de pixels.	85
Tableau 12 : Valeurs du coefficient de jauge et du coefficient piezorésistif longitudinal extrapolées à partir des mesures effectuées.	91
Tableau 13 : Variation de résistance électrique minimale qu'il est possible de mesurer.	108
Tableau 14 : Bits effectifs en fonction de la fréquence d'horloge (rapport cyclique de 0,5) pour $V_{refn}=1$ V et $V_{refp}=4$ V (10 milles échantillons).	121
Tableau 15 : Bits effectifs pour une fréquence d'horloge fixe de 2 MHz en fonction de différentes tensions de référence $V_{refn}$ et $V_{refp}$ (dix milles échantillons).	121
Tableau 16 : Caractéristiques thermiques des différents matériaux constituant la microstructure. Les caractéristiques mécaniques de ces derniers sont données sur le Tableau 8.	123
Tableau 17 : Correspondances thermique/électrique.	127
Tableau 18 : Fonction des différents plots de connexion du second prototype.	144



# CHAPITRE I :

## INTRODUCTION

### I.1 Les microsystemes

En décembre 1959, dans le cadre de la réunion annuelle de l'*American Physical Society*, le professeur Feynman a attiré l'attention de la communauté scientifique sur les perspectives engendrées par la miniaturisation des systèmes par l'intermédiaire d'une allocution historique intitulée "*There's Plenty of Room at the Bottom*" [1][2], que l'on peut traduire par "Il y a tant de place en bas de l'échelle". Le but premier de cette allocution n'était pas de mettre en avant les gains réalisables en taille et en volume mais d'insister sur le fait que la miniaturisation d'un système permet d'accroître considérablement la sensibilité des capteurs embarqués, le nombre des fonctions réalisées ainsi que la quantité d'informations pouvant être stockées. Par le biais de cette intervention, le professeur Feynman fut le premier à utiliser le terme "micromachine" et le premier à appréhender les avancées et les problèmes soulevés par la physique des systèmes de petites dimensions.

Du fait de l'apparition des premiers circuits intégrés en 1958, les techniques de dépôt, de croissance et de lithographie de couches minces connurent dès cette période un développement fulgurant et l'on s'aperçut très vite de leur potentiel afin de réaliser des structures mécaniques de très petite taille. Le développement de systèmes micromécaniques réalisés suivant cette voie fut notamment motivé par le fait que le silicium, matériau de base en microélectronique (sous forme mono ou poly cristalline), présente d'excellentes propriétés mécaniques (module d'Young proche de celui de l'acier, bonne tenue en température ...) [3]. De plus, du fait de ses caractéristiques physiques, ce matériau se prête extrêmement bien à la réalisation des jauges de mesure (jauges de température, de contraintes mécaniques ...) facilitant ainsi le développement de microcapteurs. On vit apparaître, principalement, deux types de technologies : le micro-usinage en surface utilisant la gravure sélective de couches sacrificielles [4] et le micro-usinage en volume utilisant la gravure isotrope ou anisotrope du substrat semiconducteur [5].

Les premiers capteurs microsystemes intégrés avec l'électronique de traitement de l'information furent les capteurs de pression au début des années 80 [6]. Les années 80 et 90 virent l'apparition de nombreuses technologies microsystemes standardisées aboutissant à de nombreuses applications industrielles parmi lesquelles nous pouvons citer les têtes de lecture magnétiques de disques durs, les têtes d'impression à jets d'encre ou encore les accéléromètres [7] qui sont aujourd'hui largement employés dans le domaine de l'automobile (gestion de l'ouverture des systèmes d'airbag). Durant cette même période, comme ce fut le cas pour la microélectronique une décennie auparavant, les premiers outils CAO microsystemes virent le jour mais avec plus ou moins de réussite vu les difficultés induites par la pluridisciplinarité des microsystemes.

Les microsystemes, tel qu'on l'entend en Europe, sont des systèmes intégrant des capteurs, des actionneurs ainsi que des fonctions de traitement de l'information (l'acronyme MST est aussi

quelquefois employé). Le terme "MEMS" (*Micro Electro Mechanical Systems*) est employé préférentiellement outre atlantique. Les termes "micromachines" ou "mechatronics" sont également employés au Japon.

## I.2 Marché des microsystèmes

Afin d'évaluer le marché des microsystèmes, il convient avant tout de déterminer quelles applications peuvent être qualifiées comme telle. En effet, certains systèmes ont une position ambiguë comme, par exemple, les capteurs d'empreintes digitales capacitifs présentés dans ce mémoire de thèse qui sont bien des capteurs mais qui ne sont pas réalisés via des technologies pouvant être qualifiées de microsystèmes. Ainsi les perspectives d'évolution du marché mondial des microsystèmes peuvent varier du simple au double suivant le champ d'applications considéré. La Figure 1 montre, à titre d'exemple, les perspectives d'évolution du marché mondial des microsystèmes d'après le groupe Cahners In-Stat [8]. Cette évaluation tient compte d'une définition assez large des microsystèmes qui inclut le marché émergent des biopuces.

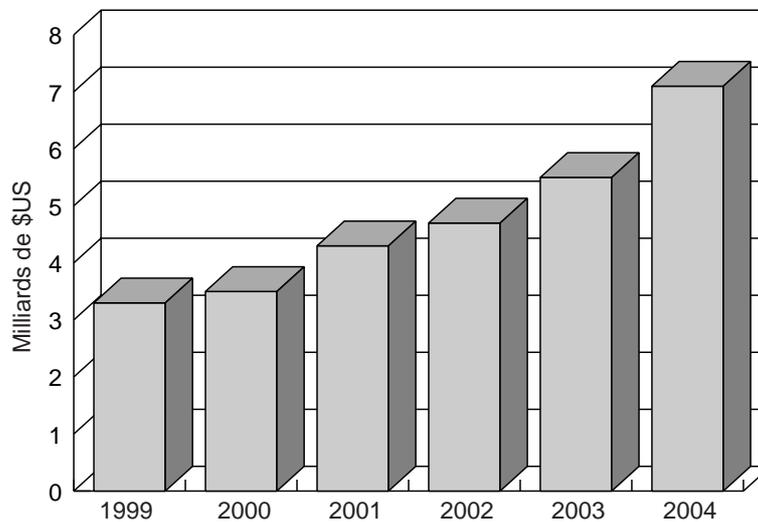


Figure 1 : Marché mondial des microsystèmes [8].

## I.3 Structure du mémoire de thèse

Cette thèse de doctorat sera dédiée à l'élaboration et au test d'un nouveau type de capteurs d'empreintes digitales tactiles utilisant un mode d'acquisition inédit. Les deux prototypes présentés dans ce mémoire, ont été obtenus en utilisant une étape post-process de micro-usinage en volume par la face avant (gravure TMAH) sur la base de circuits CMOS qui permet d'intégrer au sein du même substrat de silicium les microstructures MEMS ainsi que l'électronique de traitement analogique et/ou numérique. La technologie CMOS utilisée est une technologie industrielle mixte 0,6  $\mu\text{m}$  provenant du fondeur autrichien Austria MicroSystems (AMS). Tous les circuits de test et les prototypes présentés dans ce document ont été réalisés via le service de prototypage CMP.

Cette thèse reflète bien le caractère pluridisciplinaire des microsystèmes dans la mesure où nous serons amenés à présenter le micro-usinage en volume, la modélisation mécanique des microstructures utilisées (modèles analytiques et FEM) ainsi que la conception microélectronique des interfaces de contrôle intégrées.

Le premier chapitre est dédié à la présentation de la biométrie et plus précisément aux méthodes d'identification reposant sur l'exploitation de l'empreinte digitale. Nous présenterons les capteurs

d'empreintes digitales commercialisés à l'heure actuelle en nous attardant plus particulièrement sur ceux réalisés via les technologies issues de la microélectronique (capteurs intégrés considérés comme microsystèmes).

Le deuxième chapitre est consacré à la présentation du principe de fonctionnement du capteur faisant l'objet de cette thèse ainsi qu'à la conception des microstructures qui forment la partie sensible du système. Nous serons amenés à traiter du micro-usinage en volume qui permet de réaliser les parties MEMS, de la piezorésistivité qui est le phénomène physique employé afin d'effectuer les mesures ainsi que de la modélisation des microstructures utilisées (modélisations analytiques et FEM).

Le troisième chapitre traite de la conception et des tests réalisés sur le premier prototype. Ce capteur, exclusivement dédié aux tests mécaniques, comporte des lignes composées de seulement 38 pixels afin de limiter les coûts de fabrication. Comme nous allons le voir, ce prototype fournit une image de l'empreinte digitale de qualité tout à fait correcte prouvant ainsi que le concept de capteur à microstructures piezorésistives est viable.

Dans le quatrième chapitre, nous traitons de la conception du second prototype qui autorise l'acquisition de l'intégralité du doigt du fait de l'intégration de lignes comportant de 256 pixels. Ce capteur comporte une électronique de traitement de l'information à capacités commutées afin d'obtenir un rapport signal sur bruit et une fréquence d'acquisition de l'image optimum. Cette puce servira de base à l'élaboration d'un système SOC (*System On a Chip*) qui incorporera sur un même substrat de silicium, le capteur proprement dit (la partie MEMS), l'électronique analogique/mixte de traitement de l'information mais également des fonctions numériques complexes (microprocesseur, RAM, ROM). Ce système permettra ainsi de réaliser l'acquisition de l'empreinte digitale ainsi que l'extraction et l'appariement de la signature extraite (reconnaissance de l'individu). Ce projet fait l'objet de la thèse de M. Nicolas Galy.

Finalement, un chapitre de conclusion générale clôt ce manuscrit.

## Références :

- [1] Richard P. Feynman, "There's Plenty of Room at the Bottom", J. MEMS, Vol.1 No. 1, March 1992. (Transcription d'une allocution donnée par R.P. Feynman en décembre 1959).
- [2] J. Gleick, "Le Génial Professeur Feynman", Editions Odile Jacob, 1994.
- [3] K.E. Peterson, "Silicon as a Mechanical Material", Proc. IEEE, Vol. 70, pp. 420-457, 1982.
- [4] R.T. Howe, "Surface Micromachining for Microsensors and Microactuators", Journal of Vacuum Science Technologies, No. 16, 1988.
- [5] G.T.A. Kovacs and al., "Bulk Micromachining of Silicon", Proc. IEEE, Vol. 86, August 1998.
- [6] W.H. Ko, M.H. Bao and Y.D. Hong, "Integrated Fabricated of Polysilicon Mechanisms", IEEE Transaction on Electron Devices, ED-35, 1988.
- [7] Analog Devices web site : <http://www.analog.com/technology/mems/accelerometers/>
- [8] Cahners In-Stat Group web site : <http://www.instat.com/>



# CHAPITRE II :

## ETAT DE L'ART

### II.1 Introduction

Dans ce chapitre, nous introduirons la notion de biométrie puis nous présenterons brièvement les capteurs d'empreintes digitales qui sont commercialisés actuellement ou en passe de l'être. Nous nous focaliserons ici plus particulièrement sur les capteurs intégrés qui sont réalisés par le biais de technologies issues du milieu de la microélectronique (cas des capteurs réalisés dans le cadre de cette thèse de doctorat).

### II.2 La biométrie comme méthode d'identification

La biométrie, connue et exploitée depuis l'antiquité, consiste à extraire ou à calculer les paramètres physiques ou comportementaux propres à chaque individu dans le but de pouvoir l'identifier de manière fiable. Jusqu'à présent, seuls les services de police l'utilisaient réellement par l'intermédiaire des empreintes digitales dans le but d'identifier un individu et ce depuis 1908 suite aux travaux de Bertillon qui développa en 1890 les premières méthodes d'analyses structurées.

De nos jours, le besoin d'identifier les personnes devient de plus en plus pressant compte tenu de menaces terroristes mais aussi pour effectuer diverses opérations courantes comme les contrôles d'accès ou les paiements sécurisés. Jusqu'à présent, la saisie d'un code alphanumérique restait l'une des solutions les plus utilisées. Cette solution, bien qu'ayant le mérite d'être très simple, a le désavantage de ne pas certifier que l'individu qui rentre le code est bien celui qu'il prétend être. De plus, cette méthode impose un effort de mémorisation qui peut être rédhibitoire vu le nombre moyen de codes actuellement utilisés par une seule et même personne. Une autre possibilité qui s'offre à nous est d'utiliser la biométrie en identifiant les traits corporels de l'utilisateur garantissant ainsi avec une probabilité proche de l'unité l'identité de celui-ci. De plus les caractères corporels, contrairement à une clef ou à un code, ne peuvent être volés, perdus, oubliés ou imités (ou alors très difficilement et seulement dans certains cas bien déterminés).

Selon l'International Biometric Group [1], la biométrie a généré un marché de plus de 523 millions \$US en 2001 et devrait dépasser les 729 millions \$US en 2002 soit une progression de plus de 39 % pour l'année 2002 (voir Figure 2). Les innovations technologiques font qu'il est maintenant possible d'exploiter de plus en plus de caractères physiques différents afin d'identifier une personne. Ainsi certains systèmes d'identification, opérationnels ou encore au stade expérimental, utilisent la forme du pavillon de l'oreille, le motif de l'iris de l'œil, la forme de la main, la cartographie thermique du visage voire même les séquences protéiniques portées par l'ADN (voir Tableau 1). Malgré tous les caractères physiques possibles qui s'offrent à nous afin d'extraire une signature biométrique de l'individu, l'empreinte digitale reste la plus utilisée avec plus de 48% de parts de marchés (voir Figure

3), forte d'une très grande simplicité d'emploi et d'un savoir théorique dont les bases ont été jetées il y a plus d'un siècle.

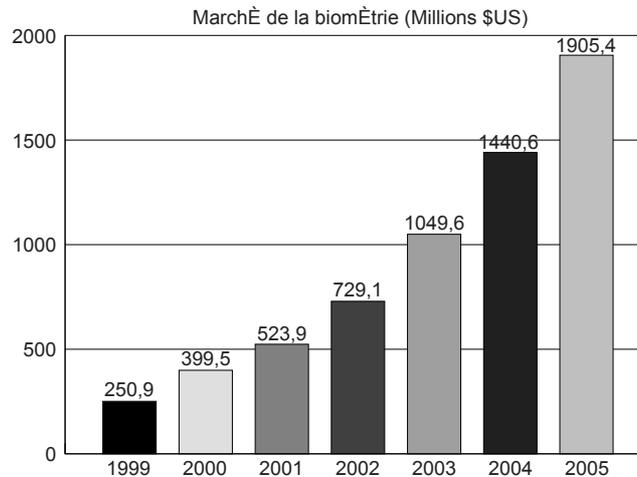


Figure 2 : Marché total de la biométrie [1].

Malgré la sécurité et la simplicité d'emploi que permet d'entrevoir la biométrie, cette science se heurte encore à de nombreux obstacles de nature technologique et psychologique. En effet, concernant ce dernier point et en considérant les caractéristiques physiques de l'individu, la biométrie touche à ce que l'utilisateur a de plus intime. Ainsi elle peut réveiller en nous certaines peurs relayées par de nombreux ouvrages de fiction.

Élément analysé	Description	Avantages	Inconvénients
<b>ADN</b>	Analyse du patrimoine génétique.	L'ADN est facile à obtenir (cheveux, salive ...).	Coûteux et long.
<b>Démarche</b>	Identification des mouvements lors de la marche.	Transparente pour l'utilisateur.	Technique encore au stade expérimental.
<b>Dessin des veines</b>	Analyse des tracés des veines d'un doigt.	Fiable.	Technique encore au stade expérimental.
<b>Empreinte digitale</b>	Analyse de l'empreinte digitale (carte des minuties).	Technique éprouvée et rapide.	Des doigts sales ou abîmés peuvent affecter la lecture.
<b>Empreinte palmaire</b>	Analyse de la géométrie de la main.	Simple à utiliser.	Capteur encombrant et cher.
<b>Empreinte thermographique</b>	Cartographie thermique du visage.	Fiable et d'usage aisé.	Technique encore au stade expérimental.
<b>Iris</b>	Analyse du motif de l'iris.	Fiable.	Acquisition contraignante.
<b>Rétine</b>	Analyse de la cartographie des vaisseaux sanguins.	Fiable.	Acquisition contraignante.
<b>Signature</b>	Analyse de la pression et de la vitesse d'exécution.	Rapide.	Peu fiable.
<b>Visage</b>	Analyse morphologique du visage.	Usage aisé.	Doit tenir compte des changements tels une barbe ou des lunettes.
<b>Voix</b>	Analyse fréquentielle de la voix.	Technique simple et peu coûteuse.	La voix change facilement.

Tableau 1 : Les différentes techniques biométriques [2].

Outre les freins psychologiques, il existe encore de nombreux obstacles technologiques. Quels que soient les systèmes, nous pouvons par exemple citer les cas encore nombreux de fausses acceptations

(personne non autorisée acceptée) ou de faux rejets (personne autorisée rejetée), les interfaces homme machine d'usage délicat et long ou encore les temps de traitement de l'information se révélant quelquefois prohibitifs.

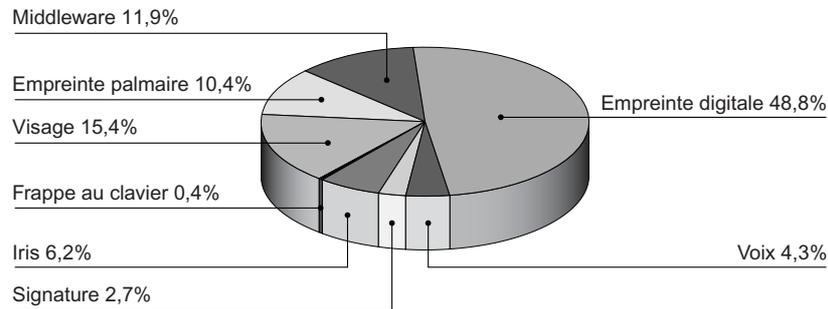


Figure 3 : Parts de marché de la biométrie en 2001[1].

Avant de présenter de manière succincte les capteurs d'empreintes digitales existant sur le marché, il convient de s'intéresser aux caractéristiques et particularités des empreintes qui permettent d'extraire une signature propre à chaque individu ainsi qu'aux algorithmes utilisés.

## II.3 L'empreinte digitale

### II.3.1 Caractéristiques d'une empreinte digitale

Une empreinte digitale se compose d'un ensemble de stries (ici définies comme étant les reliefs positifs qui rentrent en contact avec la surface du capteur) et de sillons définissant le relief de la surface du doigt. Les caractéristiques topologiques de l'empreinte restent constantes tout au long de la vie d'un individu et ne peuvent être que partiellement altérées par de profondes coupures laissant apparaître des cicatrices. Le caractère permanent de l'empreinte digitale permet ainsi d'extraire une signature mathématique donnant la possibilité de l'identifier de manière extrêmement fiable. Les empreintes digitales peuvent être classées en trois grandes classes suivant la configuration générale des stries qui la composent comme le montre la Figure 4. Notons que cette première méthode de classification est généralement utilisée par les algorithmes de reconnaissance pour limiter les empreintes candidates potentielles.

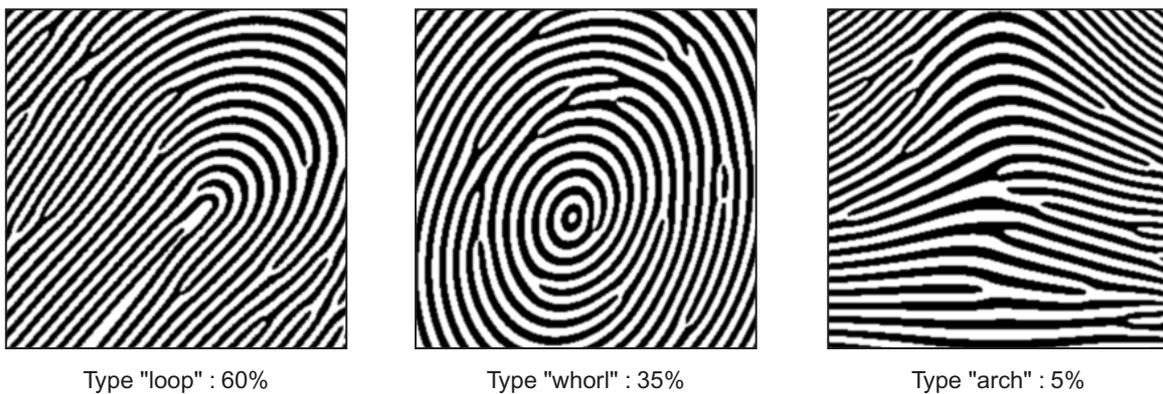


Figure 4 : Types d'empreintes digitales possibles avec leur fréquence d'apparition approximative.

La largeur des sillons et des stries présents au niveau de l'épiderme du doigt (voir Figure 5) peut être raisonnablement estimée entre 200 et 800  $\mu\text{m}$  selon les individus. Les reliefs de l'empreinte présentent des points singuliers aussi appelés minuties qui sont en fait les points de terminaison ou de bifurcation

des sillons ou leurs différentes associations. Ce sont ces points qui sont quasiment exclusivement utilisés afin d'extraire la signature mathématique de l'empreinte digitale de l'individu.

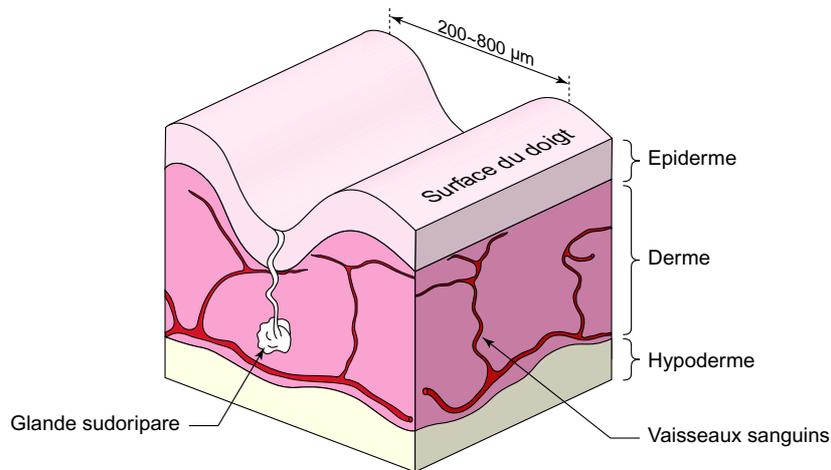


Figure 5 : Vue en coupe de la peau au niveau des doigts.

Les minuties peuvent prendre cinq configurations différentes comme le montre la Figure 6. En fait trois d'entre elles, les minuties de type boucle, point et segment ne sont que le résultat des combinaisons des minuties de terminaison et de bifurcation. Pour cette raison la grande majorité des algorithmes de reconnaissance ne tiennent compte que des deux dernières.

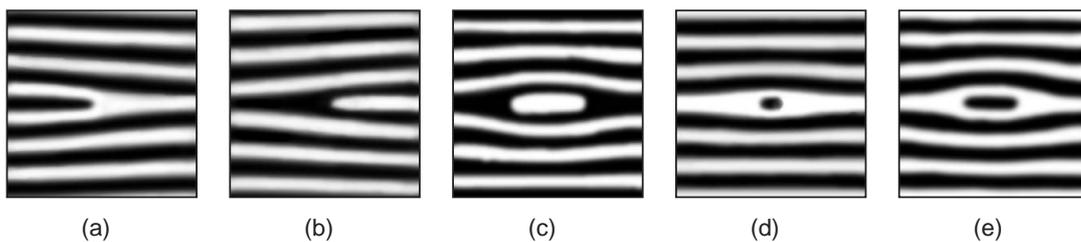


Figure 6 : Types de minuties possibles (les reliefs positifs, les stries, sont ici représentés en noir) : (a) terminaisons, (b) bifurcation, (c) boucle, (d) point et (e) segment.

### II.3.2 Méthode d'extraction de la signature et de reconnaissance de l'empreinte digitale

Il n'est pas question ici de rentrer en détail dans l'explication des algorithmes utilisés pour l'extraction et l'appariement des empreintes digitales mais plutôt de présenter brièvement leur fonctionnement à titre purement informatif.

#### II.3.2.1 Extraction de la signature

Lors de l'extraction de la signature propre à l'empreinte digitale, le principal problème rencontré est relatif à la qualité de l'image issue du capteur. En effet l'extraction de la signature s'appuie sur une approche basée sur le repérage des minuties, qui s'avère être extrêmement sensible au bruit et aux éventuelles déformations. Les perturbations peuvent aisément laisser apparaître de fausses minuties ou au contraire en masquer certaines. C'est pourquoi un filtrage de l'image de l'empreinte digitale sera toujours effectué avant toute autre opération algorithmique.

Le filtrage de l'image pourra se dérouler suivant différentes méthodes plus ou moins coûteuses en temps de calcul. Un filtre gaussien peut être appliqué afin de réduire le niveau général de bruit mais, la plupart du temps, un filtrage directionnel s'appuyant sur des paramètres locaux ou des transformées de Fourier rapides (FFT) est préférable. Notons que dans le but d'accentuer les contours des stries, les filtres de type Laplacien donnent de très bons résultats.

Une fois améliorée, l'image est généralement binarisée (suivant un seuillage adaptif) avant d'être squelettisée de sorte que les stries ne soient représentées que par des lignes ayant un pixel de largeur. Une fois cette transformation effectuée, le repérage des bifurcations ou des points d'arrêt révélant une minutie est relativement aisé.

La signature proprement dite de l'empreinte digitale peut alors être extraite en relevant les coordonnées des points de minutie, leur type (bifurcation ou terminaison) ainsi que la direction locale des stries associées. Cette signature peut être rendue plus précise en effectuant un échantillonnage de la strie associée aux minuties détectées.

La Figure 7 illustre la suite de transformations effectuées sur l'image de l'empreinte digitale afin d'extraire la signature.

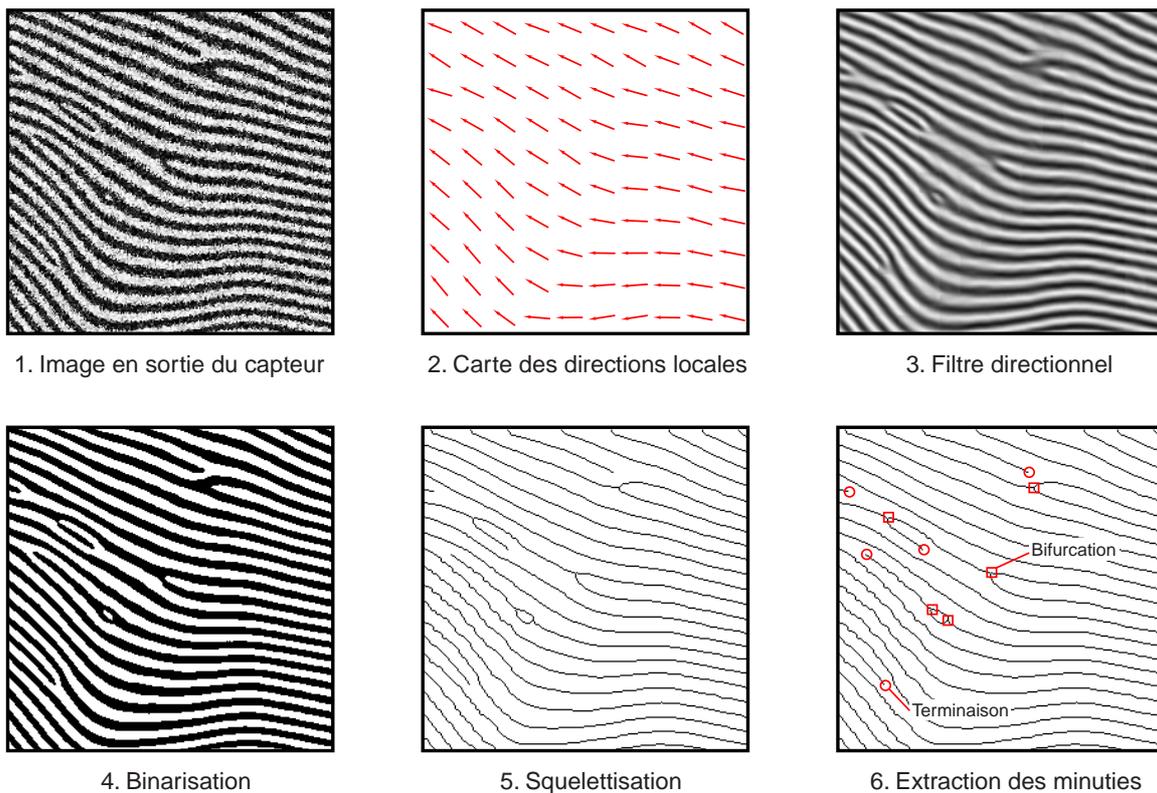


Figure 7 : Transformations subies par l'image de l'empreinte digitale afin d'extraire la signature.

### II.3.2.2 Reconnaissance de l'empreinte digitale : l'appariement

L'appariement consiste à comparer la signature de l'empreinte digitale de l'utilisateur à une ou plusieurs autres présentes dans une banque de données dans le but de l'identifier (utilisation mono ou pluri utilisateurs).

Notons que le résultat d'une phase d'appariement ne sera jamais une réponse formelle, la même empreinte n'aboutissant jamais exactement à la même signature. En fait le résultat de l'appariement sera toujours un indice de confiance compris entre zéro pour deux empreintes totalement différentes et un pour deux images absolument identiques.

Avant tout, l'image d'entrée (codée sous forme de signature) subit une suite d'opérations géométriques (homothéties et rotations) afin que les coordonnées de certaines minuties prises comme points de référence coïncident avec celles codées au sein de la signature candidate. Cette démarche permet de s'affranchir des éventuelles déformations qu'aurait pu subir l'empreinte lors de son

acquisition par le capteur (rotation du doigt, vitesse de passage différente ...). Une fois ces opérations effectuées, toutes les minuties sont comparées d'une part sur leur position relative mais également sur leur type et leurs stries associées. Cette comparaison permet alors de déterminer un indice de confiance permettant de conclure sur l'identité de l'utilisateur.

Les performances globales d'un système de reconnaissance d'empreintes digitales sont caractérisées par deux données qui sont le taux de fausses acceptations et le taux de faux rejets. La première est proportionnelle à la probabilité pour qu'une personne étrangère au système soit acceptée et la seconde, à la probabilité pour qu'une personne normalement admise soit rejetée.

Notons, à titre informatif, que selon avec la législation française, deux empreintes digitales sont considérées comme identiques lorsqu'un nombre minimum de douze points de minutie correspondent.

## **II.4 Les capteurs d'empreintes digitales**

Les capteurs d'empreintes digitales sont à l'heure actuelle les capteurs biométriques les plus employés. En effet la saisie de l'empreinte digitale est relativement simple et rapide pour l'utilisateur qui n'a, le plus souvent, qu'à poser ou passer son index (ou plus rarement son pouce) sur la surface active du système de capture. De plus la saisie de l'empreinte digitale se heurte à très peu de freins psychologiques, cette pratique d'identification étant utilisée par les services de police depuis longtemps. En outre les travaux concernant le traitement et la reconnaissance de l'empreinte sont nombreux et les algorithmes éprouvés.

Les capteurs d'empreintes sont certainement les seuls capteurs biométriques pouvant être intégrés au sein d'un système monolithique réalisé sur un unique substrat semiconducteur. Cette particularité fait que ce genre de capteur peut être produit de manière collective en très grand nombre et à très bas prix en utilisant les technologies microélectroniques et microsystèmes actuelles. Ces capteurs réalisés selon cette voie sont normalement dénommés sous le terme de capteurs intégrés à contrario des capteurs dits macroscopiques incorporant des éléments optiques ou mécaniques.

### **II.4.1 Les capteurs d'empreintes digitales macroscopiques**

On rencontre principalement deux types de capteurs d'empreintes digitales macroscopiques qui sont soit de type optique, soit de type ultrasonique. Quel que ce soit leur mode de fonctionnement, ces systèmes procèdent tous à l'acquisition de l'image de l'empreinte sans que l'utilisateur ait besoin d'opérer avec son doigt un mouvement de translation à la surface du capteur.

#### *II.4.1.1 Capteurs d'empreintes digitales optiques*

La majorité des capteurs d'empreintes digitales optiques exploitent la modification de l'indice de réflexion de la surface d'un prisme lorsque les reliefs du doigt sont en contact avec cette dernière. Le principe de fonctionnement de ce type de capteur est représenté de manière simplifiée sur la Figure 8.

De nombreux systèmes de ce type sont actuellement commercialisés par des sociétés comme Identix [3] ou Sagem [4]. Du fait de l'utilisation de lentilles et de capteurs optiques intégrés (capteurs matriciels de type CCD ou APS), ces capteurs sont relativement encombrants et d'un coût généralement élevé (de l'ordre de 100 € à 1000 € environ). De plus ils sont relativement fragiles et d'un assemblage mécanique peu commode rendant difficile leur intégration au sein d'un système portable.

L'image issue de ces capteurs possède généralement une définition de l'ordre de 500 dpi (dpi : *dot per inch*) et souffre de plusieurs défauts. En effet l'image, qui possède peu de contraste, peut être facilement parasitée par les poussières et autres salissures (notamment les traces résiduelles d'empreintes) qui peuvent être en contact avec la face du prisme devant accueillir le doigt de

l'utilisateur. De plus l'écrasement du doigt à la surface du capteur induit une distorsion de l'image parfois importante qui peut soulever différents problèmes lors de la phase d'appariement de l'empreinte digitale.

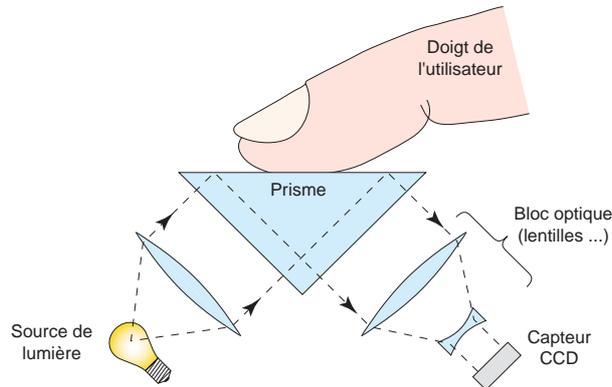


Figure 8 : Principe de fonctionnement d'un capteur d'empreintes digitales optique.

Malgré ces défauts, les capteurs d'empreintes digitales optiques sont à l'heure actuelle les systèmes macroscopiques les plus utilisés et les plus aboutis.

#### II.4.1.2 Capteurs d'empreintes digitales ultrasoniques

En 1986, une méthode basée sur l'échographie ultrasonore de la surface du doigt a été proposée afin de pratiquer l'acquisition de l'empreinte digitale [5]. Ce système se base sur le principe qu'une onde ultrasonore est en partie réfléchi lors du passage d'un milieu physique à un autre. Ici, les deux milieux physiques mis en jeu sont la surface du capteur et la surface du doigt de l'utilisateur.

Afin de déterminer l'image de l'interface entre ces deux milieux et donc l'image de l'empreinte, le système utilise un émetteur/récepteur d'ultrasons en rotation qui permet d'obtenir la signature de l'écho sous différents angles (généralement 256 positions fixes). A partir de ces données, l'image de l'empreinte digitale peut alors être recomposée grâce à un traitement informatique approprié. Le principe de fonctionnement est illustré sur la Figure 9. Notons que l'émetteur/récepteur en rotation peut être avantageusement remplacé par différents émetteurs/récepteurs fixes convenablement disposés.

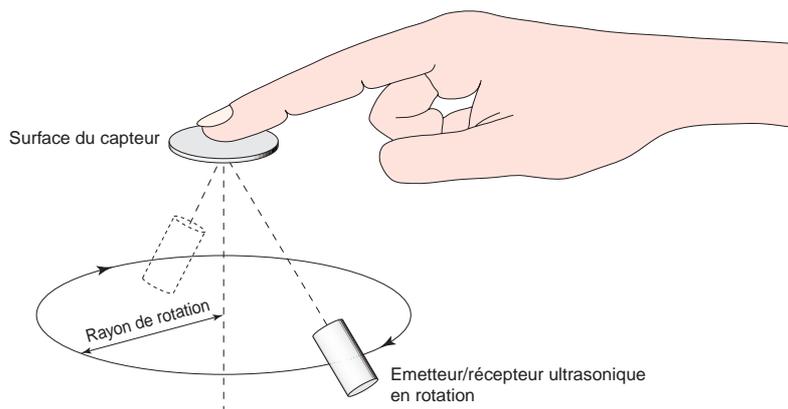


Figure 9 : Principe de fonctionnement d'un capteur d'empreintes digitales ultrasonique à émetteur/récepteur en rotation [5].

Ce genre de capteur possède de nombreux avantages comme une très grande immunité vis-à-vis des salissures présentes à la surface du capteur ainsi qu'une très grande définition qui, dans le cas de certains systèmes commercialisés, atteint 1000 dpi. La haute définition de l'image scannée peut

permettre l'identification de personnes dont l'empreinte se compose de sillons extrêmement fins comme c'est le cas chez les enfants par exemple. On a montré qu'il était possible avec ces capteurs d'identifier des enfants de moins de cinq ans, ce qui a motivé les autorités Sud Africaines afin d'adopter ce système pour des applications de Sécurité Sociale.

Des tests comparatifs ont montré que le taux de fausses acceptations et de faux rejets étaient respectivement de 0 % et 2 %. Ces chiffres sont à comparer aux taux de faux rejets des capteurs optiques qui peuvent atteindre 12 %.

## **II.4.2 Les capteurs intégrés d'empreintes digitales**

La quasi-totalité des capteurs d'empreintes digitales intégrés commercialisés à l'heure actuelle sont, soit de type capacitif, soit de type thermique. Les capteurs utilisant d'autres modes d'acquisition tels que les capteurs tactiles (cas des capteurs réalisés dans le cadre de ce travail de thèse) sont encore marginaux notamment à cause des problèmes soulevés par leur mise en boîtier.

Les capteurs intégrés, au contraire des capteurs macroscopiques, peuvent être d'une part classés suivant le principe physique utilisé pour effectuer la saisie de l'empreinte digitale mais également suivant leur géométrie. En effet, la surface active du capteur est susceptible de prendre trois configurations différentes suivant que les pixels sont disposés en ligne (en fait une ou plusieurs) ou en matrice qui peut alors être soit totale, soit partielle.

Avant de présenter les différents types de capteurs d'empreintes digitales intégrés existants, il convient d'exposer plus en détails les avantages et les inconvénients soulevés par les différentes géométries possibles.

### *II.4.2.1 Géométrie de la surface active du capteur*

Comme précisé précédemment, la surface active des capteurs d'empreintes digitales intégrés peut présenter trois géométries différentes qui nécessitent une place sur silicium plus ou moins importante et qui influent donc fortement sur le prix de revient du circuit. En effet, rappelons que le prix de revient d'un circuit intégré est généralement proportionnel à sa surface.

Outre le prix de revient du système, les différentes géométries possibles induisent des modes d'acquisition et des algorithmes de traitement de l'image différents. Ainsi, dans le cas d'un capteur adoptant une matrice dite totale de pixels, l'utilisateur n'aura qu'à poser son doigt sur la surface active du système afin d'effectuer l'acquisition de son empreinte digitale. Dans les autres cas (géométrie en ligne ou suivant une matrice partielle), il lui sera nécessaire de passer son doigt sur la surface du capteur suivant un mouvement de translation.

La géométrie la plus utilisée à l'heure actuelle est certainement celle utilisant une matrice totale de pixels. Cette configuration présente de nombreux avantages comme une distorsion de l'image extrêmement faible nécessitant peu de traitement algorithmique ou encore un mode d'acquisition des plus simples (l'utilisateur qui n'a qu'à poser son doigt à la surface du capteur). Malheureusement, afin d'effectuer une identification correcte, une matrice carrée de l'ordre de 2 cm<sup>2</sup> est nécessaire rendant le prix d'un capteur de cette taille prohibitif dans le cadre de nombreux systèmes grand public.

L'utilisation d'une matrice partielle de pixels permet de réduire fortement la taille du capteur tout en permettant d'obtenir des images présentant là aussi peu de distorsion mais au prix d'un traitement algorithmique relativement gourmand en ressources systèmes. Le principe de fonctionnement des capteurs utilisant cette géométrie repose sur l'acquisition d'une suite d'images partielles présentant toutes une zone de recouvrement permettant ainsi de recomposer la totalité de l'empreinte digitale. Notons que l'acquisition de cette suite d'images partielles est rendue possible dans la mesure où l'utilisateur passe son doigt à la surface du capteur suivant un mouvement de translation qui sera

supposé uniforme. La Figure 10 illustre le principe utilisé afin de reconstituer l'intégralité de l'image de l'empreinte digitale.

A titre d'exemple, notons que la société Atmel [6] commercialise un capteur d'empreintes digitales thermique utilisant cette géométrie par le biais d'une matrice partielle de 280x8 pixels. La surface de ce capteur est d'environ 0,3 cm<sup>2</sup> (1,7x17,3 mm<sup>2</sup>) et est par conséquent bien inférieure à la surface requise dans le cas des capteurs à matrice totale qui, rappelons-le, est de l'ordre de 2 cm<sup>2</sup>.

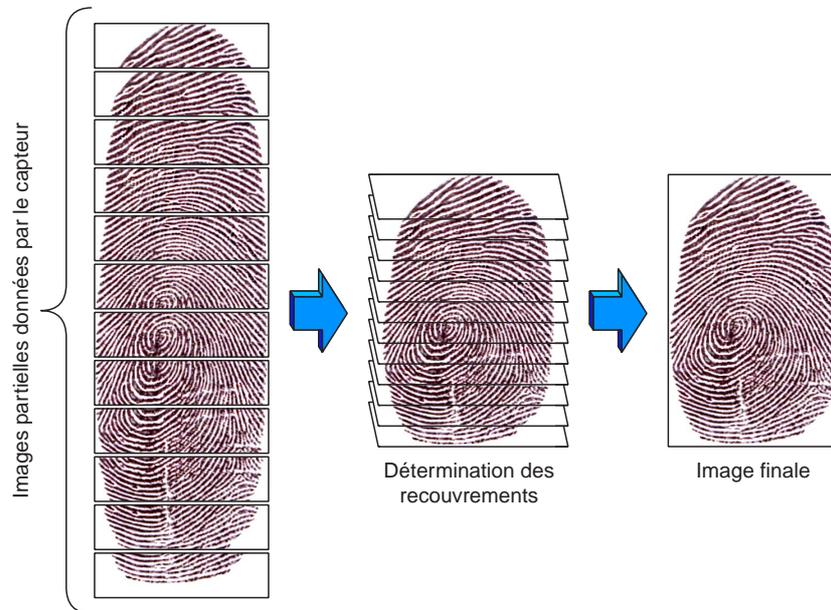


Figure 10 : Recomposition de l'image de l'empreinte digitale dans le cas d'un capteur à matrice partielle.

La troisième géométrie possible (cas des capteurs que nous allons élaborer dans le cadre de ce travail de thèse de doctorat) utilise une seule rangée de pixels disposés dans le sens de la largeur du doigt. Cette configuration permet de minimiser à l'extrême la surface occupée sur silicium et donc le prix du capteur. Le principal inconvénient de ce type de capteur est que l'image obtenue est étirée ou rétrécie dans le sens de la longueur en fonction de la vitesse de passage du doigt de l'utilisateur à la surface de la puce (voir Figure 11). Notons que nous nous plaçons en fait toujours dans le cas où le capteur fonctionne en sur-échantillonnage de sorte que l'image issue du capteur soit toujours étirée. De cette manière l'image ne subit pas de dégradation lors de sa remise en forme.

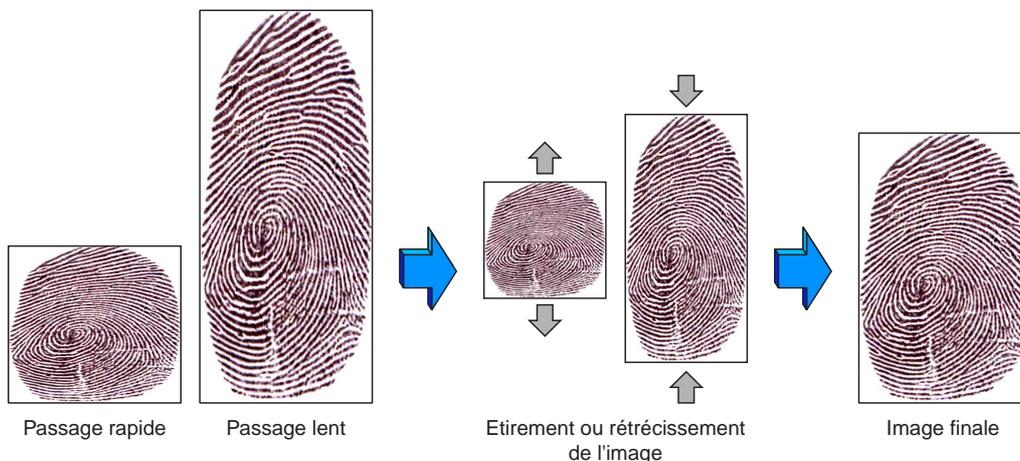


Figure 11 : Traitement de l'image de l'empreinte digitale dans le cas d'un capteur utilisant une géométrie en ligne.

Notons que quelle que soit la géométrie utilisée, la définition de l'image donnée par les capteurs d'empreintes digitales intégrés est de 500 à 250 dpi (pixel ayant une largeur de 50 à 100  $\mu\text{m}$ ) avec généralement une profondeur d'image de 8 bits (256 niveaux de gris).

#### II.4.2.2 Capteurs intégrés capacitifs

Les capteurs intégrés capacitifs sont à l'heure actuelle les systèmes les plus aboutis et les plus économiquement viables car pouvant être facilement réalisés sur la base de technologies microélectroniques standards. Comme nous allons le voir dans la suite, il existe plusieurs types de capteurs capacitifs qui utilisent soit une, soit deux électrodes de mesure par pixel. Ces capteurs procèdent à l'acquisition de l'empreinte en mesurant soit les perturbations locales du champ électrique (pixel à double électrode), soit la variation de capacité entre l'électrode de mesure (électrode unique) et la peau suivant que cette dernière est en contact ou non avec la surface du système.

La Figure 12 illustre le cas d'un capteur capacitif utilisant des pixels à double électrode [7][8]. Les deux électrodes utilisées dans chaque pixel forment un condensateur dont la valeur de la capacité va être modifiée par la présence ou non de la peau du doigt en contact avec la surface du capteur. En effet, la surface de la peau constituant l'empreinte digitale, présente une permittivité électrique différente de celle de l'air et va donc modifier la répartition spatiale des lignes de champs électriques prenant forme entre les deux électrodes de mesure.

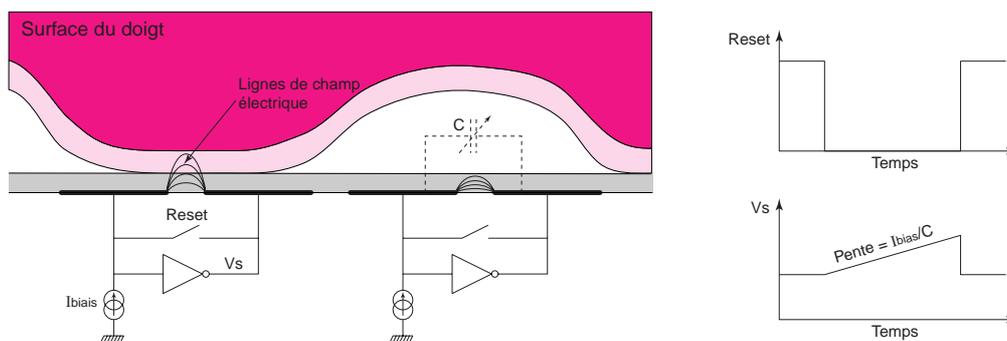


Figure 12 : Capteur capacitif utilisant des pixels à double électrode [7].

Afin de mesurer les variations de capacité électrique entre les deux électrodes, le condensateur ainsi formé est, dans le cas présenté ici, utilisé comme boucle de contre-réaction au sein d'un circuit intégrateur. Lors de la mesure, le commutateur *reset* est ouvert de telle sorte que la capacité formée par les deux électrodes se charge à courant constant. Suivant la pente de la tension disponible en sortie de l'inverseur, il est ainsi possible de déterminer la valeur de la capacité électrique existante entre les deux électrodes et par conséquent de conclure sur la présence ou non du relief du doigt en contact avec la surface du capteur. Notons qu'il existe de nombreuses autres architectures de circuits pouvant être utilisées afin de mesurer la variation de capacité électrique.

L'un des avantages de ce type de capteur est qu'il n'y a pas de contact électrique entre le capteur et le doigt puisque il n'est en aucun cas nécessaire de polariser ce dernier, facilitant ainsi grandement la mise en boîtier du système. Malheureusement, la qualité des images issues de ces capteurs laisse quelques fois à désirer. En effet, afin d'extraire l'image de l'empreinte, ces systèmes mesurent les perturbations du champ électrique provoquées essentiellement par la partie la plus externe de l'épiderme qui est souvent fortement altérée par des microcoupures. De plus, ces capteurs sont fortement sujets au phénomène de *cross-talk* entre pixels adjacents, réduisant ainsi la définition effective de l'image obtenue [9].

Le deuxième type de capteurs intégrés capacitifs pallie à ce défaut en exploitant les couches les plus internes de la peau afin de procéder à l'acquisition de l'empreinte digitale. Ce type de capteurs utilise une seule et unique électrode de mesure par pixel, la deuxième électrode nécessaire à la formation

d'une capacité électrique est constituée par le doigt lui-même (en fait par les couches internes de la peau qui sont conductrices).

La Figure 13 montre un exemple d'architecture de capteur capacitif utilisant une unique électrode par pixel (capteur de type *e-field sensor* [10]). Dans ce cas, l'électrode de mesure est placée entre une électrode de référence et la surface du doigt dont les couches internes peuvent être considérées comme équipotentielles. La structure ainsi formée s'apparente à un pont diviseur de tension capacitif dont la tension de sortie est disponible au niveau de l'électrode de mesure. Afin de réaliser l'acquisition de l'empreinte, une tension d'excitation sinusoïdale à haute fréquence est appliquée entre le doigt et l'électrode de référence. L'amplitude du signal disponible entre l'électrode de référence et l'électrode de mesure est alors inversement proportionnelle à la distance existante entre cette dernière et la surface du doigt.

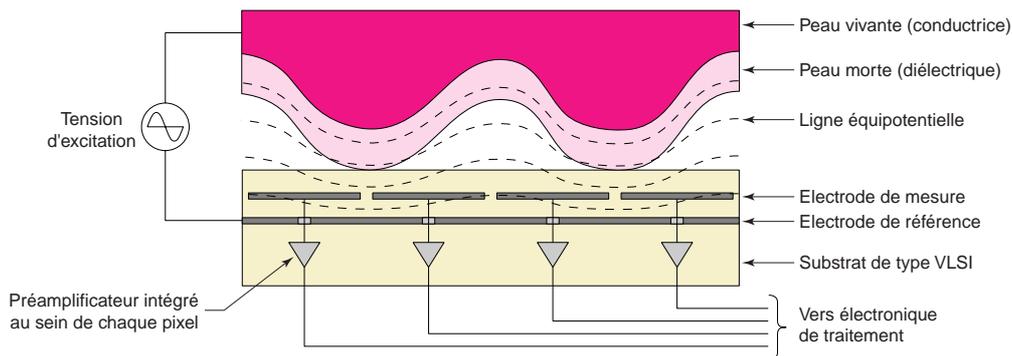


Figure 13 : Capteur capacitif utilisant des pixels comportant une unique électrode de mesure [10].

Etant totalement insensible aux défauts superficiels de la peau du doigt, ce type de capteur présente l'avantage de fournir des images de très bonne qualité. Malheureusement, il est nécessaire de polariser la surface du doigt ce qui pose des problèmes de compatibilité vis-à-vis des éventuelles décharges électrostatiques ainsi que des problèmes de mise en boîtier. La Figure 14 illustre un exemple de mise en boîtier réalisable. Dans cet exemple le doigt de l'utilisateur est polarisé par l'intermédiaire d'une électrode métallique présente sur l'intégralité du périmètre du capteur.

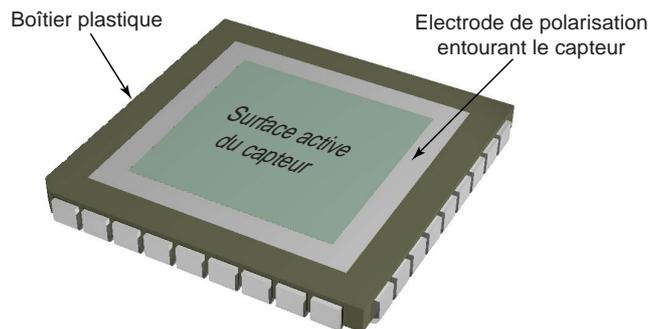


Figure 14 : Exemple de mise en boîtier pouvant être réalisé dans le cas d'un capteur à matrice totale nécessitant de polariser électriquement le doigt [10].

Afin de pallier aux problèmes soulevés par la mise en boîtier de ces capteurs, des travaux ont été effectués afin d'intégrer directement les électrodes de polarisation au niveau de la surface du capteur. A titre d'exemple, la Figure 15 montre le cas d'un capteur utilisant des électrodes de polarisation en or obtenues par croissance électrolytique [11]. Bien que séduisante, cette solution pose de nombreux problèmes technologiques ainsi que de nombreuses interrogations vis-à-vis de la fiabilité. Ainsi, la présence de ces électrodes au sein de chaque pixel favoriserait la pénétration de divers polluants jusqu'au niveau des éléments actifs du circuit (les jonctions semiconductrices) le rendant vite

inopérant. De plus, l'or étant un métal extrêmement ductile, nous pouvons nous interroger sur la tenue mécanique des électrodes suite aux passages répétés du doigt. Afin de pallier à ce défaut, d'autres prototypes utilisent non pas des électrodes en or mais en cuivre recouvert de ruthénium qui se trouve être un métal se montrant plus résistant à l'abrasion [12]. Notons que la proximité immédiate des électrodes de polarisation et des électrodes de mesures semble réduire notablement la sensibilité du capteur et donc la qualité de l'image obtenue.

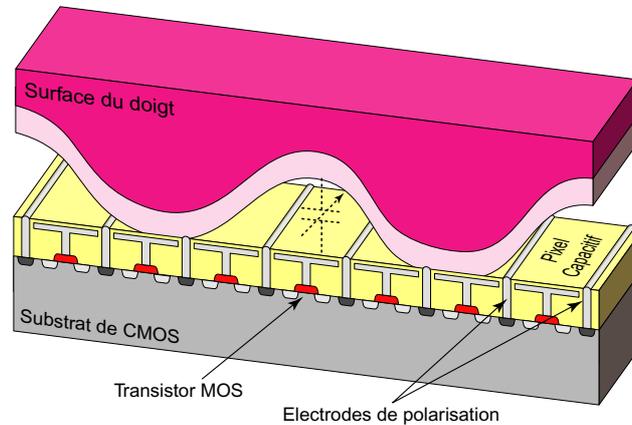


Figure 15 : Capteur capacitif utilisant des électrodes obtenues par croissance électrolytique afin de polariser la surface du doigt [11].

Un autre type de capteurs capacitifs utilisant une seule et unique électrode de mesure par pixel s'appuie sur le fait que le potentiel du doigt peut être considéré comme constant durant la phase d'acquisition de l'empreinte. Ces capteurs utilisent quasiment tous le principe du transfert de charges afin de déterminer la variation de capacité électrique entre le doigt et l'électrode de mesure [13][14][15]. Cette démarche permet de s'affranchir de la valeur du potentiel électrique du doigt et donc de toute forme de polarisation (pas de contact électrique entre le capteur et le doigt).

Le principe de fonctionnement d'un tel capteur est illustré sur la Figure 16. Sur ce schéma, la capacité  $C_d$  représente la capacité électrique prenant forme entre la surface du doigt et l'électrode de mesure. La capacité  $C_p$  représente la capacité parasite existante entre l'électrode de mesure et le substrat semiconducteur (substrat fixé à un potentiel constant nul). La lecture du pixel se décompose dans ce cas en deux phases distinctes  $\Phi_1$  et  $\Phi_2$  qui seront ici considérées totalement non recouvrantes. Durant la phase  $\Phi_1$ , les quantités de charges électriques présentes au niveau des nœuds  $N_1$  et  $N_2$  peuvent s'exprimer simplement de la façon suivante :

$$Q_{N1} = -C_d \cdot V_d \quad \text{et} \quad Q_{N2} = C_{ref} \cdot V_{ref}$$

Lors de la phase  $\Phi_2$ , les nœuds  $N_1$  et  $N_2$  sont reliés électriquement de telle manière que l'expression de la quantité de charge électrique peut alors s'écrire :

$$Q = (C_p + C_{ref}) \cdot V_s + C_d \cdot (V_s - V_d)$$

Entre les phases  $\Phi_1$  et  $\Phi_2$ , la quantité de charges électriques est conservée (nœuds non reliés à des sources de basse impédance) et se répartit entre les différentes capacités électriques présentes. Il est ainsi possible de déterminer l'expression de la tension de sortie  $V_s$  telle que :

$$Q = Q_{N1} + Q_{N2} \quad \Rightarrow \quad V_s = \frac{C_{ref} \cdot V_{ref}}{C_p + C_{ref} + C_d}$$

Cette dernière expression, valable lors de la phase  $\Phi_2$ , montre que la tension de sortie du circuit (tension  $V_s$ ) est inversement proportionnelle à la capacité électrique existante entre l'électrode de mesure et la surface du doigt permettant ainsi l'acquisition de l'image de l'empreinte. Notons également que cette expression est totalement indépendante de la valeur du potentiel électrique du doigt justifiant le fait que ce dernier n'a en aucune manière besoin d'être polarisé.

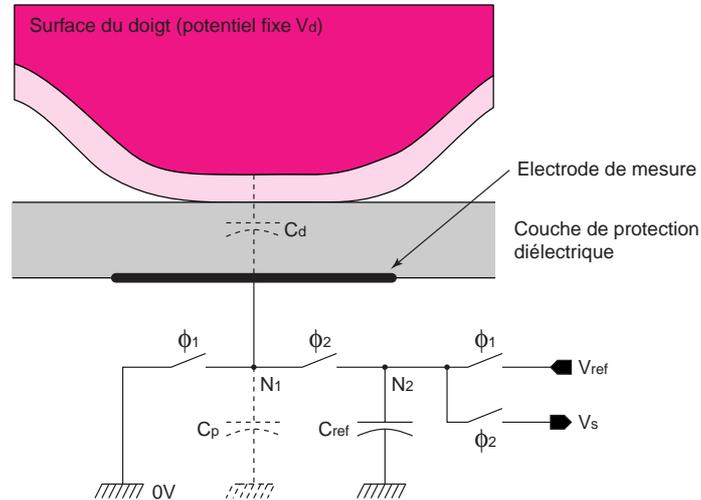


Figure 16 : Capteur capacitif utilisant le principe de redistribution de charges électriques.

#### II.4.2.3 Capteurs intégrés thermiques

La société Atmel commercialise depuis quelques années un capteur intégré d'empreintes digitales thermique [6]. Le principe de fonctionnement de ce capteur repose sur le fait que les zones de l'empreinte digitale en contact avec la surface du système (les stries) réchauffent localement cette dernière. Afin de déterminer l'élévation de température, ce capteur utilise une couche de matériau pyroélectrique déposée entre une électrode de référence et une électrode de mesure (une par pixel, voir Figure 17). Lorsque le matériau pyroélectrique subit une élévation de température imputable à la présence du doigt, une différence de potentiel électrique apparaît entre les deux électrodes permettant ainsi la mesure.

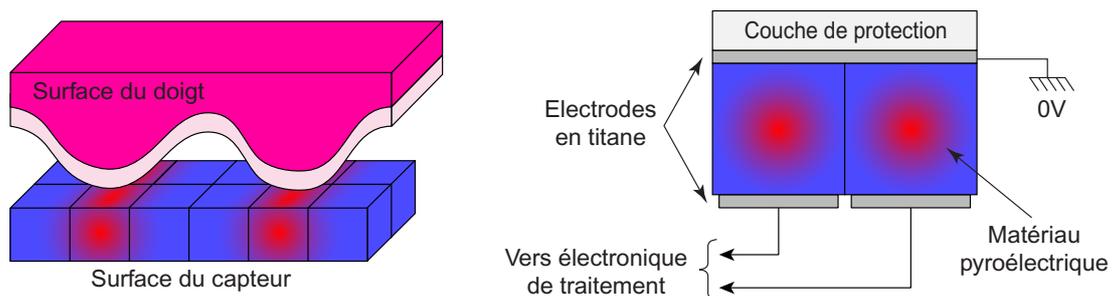


Figure 17 : Capteur thermique utilisant une couche de matériau pyroélectrique [6][16].

Outre le fait que ces capteurs nécessitent l'emploi de technologies non standard et donc chères, ces derniers souffrent de différents désavantages nuisant à la qualité de l'image obtenue. Ainsi, l'acquisition de l'image doit se dérouler durant un laps de temps relativement court (inférieur à la seconde) afin que l'équilibre thermique au niveau de la surface active du capteur ne soit pas atteint (homogénéisation de la température et donc du signal). De plus, ces capteurs nécessitent d'être réchauffés si la température du milieu dans lequel ils se trouvent, descend en dessous d'un certain seuil [16]. Cette nécessité rend ce type de capteur totalement inutilisable dans le cadre de système basse consommation comme c'est le cas avec les applications portables.

Des travaux ont montré qu'il était possible de réaliser des capteurs d'empreintes digitales thermiques en utilisant une matrice d'éléments chauffants [17]. Ces capteurs utilisent le fait que la déperdition de chaleur est plus importante au niveau des pixels en contact avec la surface du doigt (la température de ces derniers est donc moins importante). La Figure 18 illustre le principe de fonctionnement de ce capteur. Dans le cas présenté ici, les éléments chauffants sont des résistances électriques réalisées en silicium monocristallin qui sont suspendues au-dessus du substrat afin de limiter les déperditions de chaleur parasites par l'intermédiaire du substrat. Aucun capteur utilisant ce principe n'est à l'heure actuelle commercialisé.

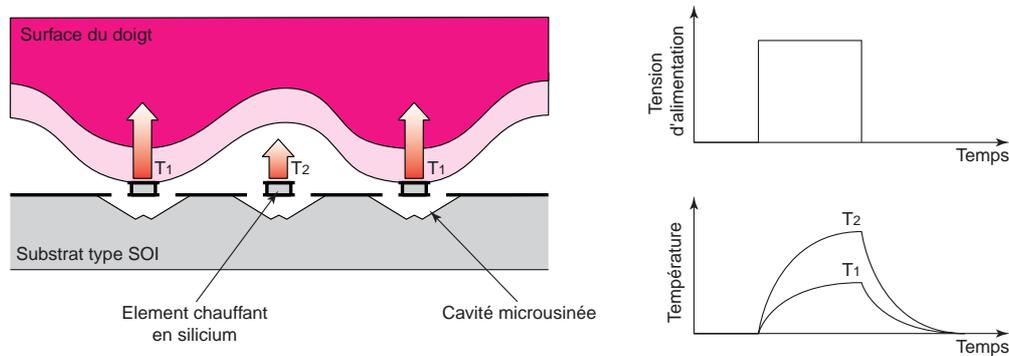


Figure 18 : Capteur thermique à éléments chauffants [17]. La déperdition de chaleur du pixel vers le doigt est plus importante quand les reliefs de ce dernier sont en contact avec la surface du capteur.

#### II.4.2.4 Capteurs intégrés tactiles

Historiquement, les capteurs tactiles d'empreintes digitales ont été les premiers à donner lieu à des prototypes mais aucun d'entre eux n'a encore été commercialisé du fait de leur relative fragilité et des problèmes liés à leur mise en boîtier.

La Figure 19 illustre le cas d'un capteur tactile à détection capacitive [18]. Le capteur présenté ici se compose d'une matrice de plaques de silicium monocristallin (une par pixel) maintenues au-dessus du substrat par deux bras de suspension de type *crab-leg*. Les plaques ainsi suspendues forment l'électrode supérieure d'une structure capacitive pouvant se déformer sous l'action mécanique du doigt posé à la surface du capteur. L'électrode inférieure est ici réalisée par le biais d'un dépôt métallique suivi d'une étape de lithographie. L'adressage du pixel actif est réalisé suivant un mode x-y, les électrodes inférieures et supérieures étant connectées en ligne. Notons que ce prototype n'intègre pas d'éléments électroniques permettant le conditionnement du signal, les différentes étapes technologiques nécessaires étant irréalisables sur la base d'un circuit de type VLSI.

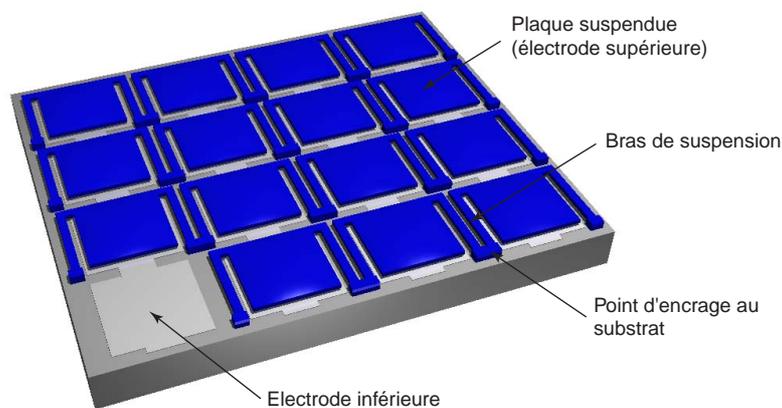


Figure 19 : Exemple de capteur d'empreintes digitales tactile [18].

D'autres travaux ont montré qu'il était possible d'obtenir des microstructures capacitives réalisées par le biais d'étapes basse température (300°C maximum) permettant ainsi de réaliser le capteur sur la base d'un circuit CMOS [19]. Les pixels ainsi réalisés possèdent un pas inférieur à 50  $\mu\text{m}$  (résolution supérieure à 500 dpi) et sont constitués d'une membrane déformable de nitrure de silicium ( $\text{Si}_3\text{N}_4$ ).

## II.5 Conclusion

Ce chapitre a été dédié aux différentes technologies d'identifications biométriques existantes à l'heure actuelle ainsi qu'aux capteurs d'empreintes digitales. Nous nous sommes ici focalisés sur les systèmes monolithiques qui permettent la réalisation de systèmes présentant de très faible volume, une fiabilité accrue et des coûts de production extrêmement bas notamment par le biais de procédés de fabrication collectifs hérités de la microélectronique.

### Références :

- [1] International Biometric Group web site : <http://www.biometricgroup.com/>
- [2] S. Chaptal, "La biométrie s'infiltré dans le quotidien", 01 Informatique, n° 1641, pages 34-39, July 6, 2001.
- [3] Identix web site : <http://www.identix.com/>
- [4] Sagem web site : <http://www.sagem.com/>
- [5] Z. Gumienny, M. Pluta, W. Bicz and D. Kosz, "Ultrasonic Setup for Fingerprint Patterns Detection and Evaluation", *Acoustical Imaging*, Vol. 22, 1996.
- [6] Atmel web site : <http://www.atmel.com/atmel/products/>
- [7] ST Microelectronics web site : <http://us.st.com/>
- [8] N. Manaresi, R. Rambaldi, M. Tartagni, Z.M.K. Vajna and R. Guerrieri, "A CMOS-Only Micro Touch Pointer", *IEEE Journal of Solid-State Circuits*, Vol. 34, N° 12, pages 1860-1868, December 1999.
- [9] Authentec white paper, "Basic Sensor Physics, a comparison of fingerprint sensor technologies", <http://authentec.com/>
- [10] Authentec web site : <http://www.authentec.com/products/>
- [11] K. Machida, S. Shigematsu, H. Morimura, N. Shimoyama, Y. Tanabe, T. Kumazaki, K. Kudou, M. Yano and H. Kyuragi, "A New Sensor Structure and Fabrication Process for a Single-Chip Fingerprint Sensor/Identifier LSI", 1999 IEEE International Electron Devices Meeting (IEDM 99), pages 887-890, December 1999.
- [12] S. Shigematsu, H. Morimura, Y. Tanabe, T. Adachi, and Katsuyuki Machida, "A Single-Chip Fingerprint Sensor and Identifier", *IEEE Journal of Solid-State Circuits*, Vol. 34, N° 12, pages 1852-1859, December 1999.
- [13] J.W. Lee, D.J. Min, J. Kim and W. Kim, "A 600-dpi Capacitive Fingerprint Sensor Chip and Image-Synthesis Technique", *IEEE Journal of Solid-State Circuits*, Vol. 34, N° 4, pages 469-475, April 1999.
- [14] H. Morimura, S. Shigematsu and K. Machida, "A High-Resolution Capacitive Fingerprint Sensing Scheme with Charge-Transfert Technique and Automatic Contrast Emphasis", *1999 Symposium on VLSI Circuits Digest of Technical Papers*, pages 157-160, 1999.

- [15] S. Jung, R. Thewes, T. Scheiter, K.F. Goser and W. Weber, "A Low-Power and High-Performance CMOS Fingerprint Sensing and Encoding Architecture", *IEEE Journal of Solid-State Circuits*, Vol. 34, N° 7, pages 978-984, July 1999.
- [16] Thomson-CSF, "FingerChip FC15A140 Datasheet", April 25, 1998.
- [17] J.S. Han, T. Kadowaki, K. Sato and M. Shikida, "Thermal Analysis of Fingerprint Sensor Having a Microheater Array", *1999 International Symposium on Micromechatronics and Human Science*, pages 199-205, 1999.
- [18] R.J. De Souza and K.D. Wise, "A Very High Density Bulk Micromachined Capacitive Tactile Imager", *TRANSDUCERS '97, 1997 International Conference on Solid-State Sensors and Actuators*, Chicago, June 16-19 1997.
- [19] P. Rey, P. Charvet, M.T. Delaye, S. Abou Hassan, "A High Density Capacitive Pressure Sensor Array For Fingerprint Sensor Application", *TRANSDUCERS '97, 1997 International Conference on Solid-State Sensors and Actuators*, Chicago, June 16-19 1997.

# CHAPITRE III :

## CONCEPTION ET REALISATION

### III.1 Introduction

Dans la première partie de ce chapitre, nous allons décrire le principe de fonctionnement du capteur tactile d'empreintes digitales faisant l'objet de ce travail de thèse de doctorat. La seconde partie sera dédiée aux microstructures piezorésistives constituant la partie sensitive du capteur. Ceci nous amènera à traiter de la piezorésistivité dans le cas du polysilicium ainsi que de la technique d'élaboration et de la modélisation mécanique de ces microstructures.

### III.2 Capteur tactile réalisé par micro-usinage en volume

Lors d'essais effectués sur diverses structures de test réalisées par micro-usinage en volume, nous nous sommes rendus compte qu'il était possible de mesurer très facilement les déformations mécaniques imposées à des micropoutres ou à des microponts en utilisant l'effet piezorésistif par l'intermédiaire de jauges de contraintes en polysilicium.

La Figure 20 illustre les mesures qui ont été effectuées sur des micropoutres piezorésistives réalisées à des fins de tests. Afin de mesurer la variation de résistance électrique de la jauge de contraintes en fonction de la déflexion de la microstructure, il faudrait idéalement utiliser un appareillage de type "nano-indentateur" permettant d'imposer un déplacement ou une force connue à cette dernière. Malheureusement nous ne possédons pas ce matériel à l'heure actuelle, ce qui nous a restreint à effectuer des tests qualitatifs en utilisant une simple pointe de test électrique.

La Figure 20 (b) montre le type de mesure qu'il a été possible d'obtenir. Ce graphique montre l'évolution de la variation de résistance électrique de la jauge sur une période de 10 secondes durant laquelle nous avons appliqué un déplacement au bout de la micropoutre en abaissant puis en relevant la pointe de test électrique. Les mesures ont été ici grandement simplifiées en utilisant un testeur de composants de type HP4155 qui est visible sur la Figure 20 (d).

Les mesures ainsi effectuées ont montré qu'il était possible d'obtenir au sein des jauges de contraintes des variations de résistance électrique de l'ordre de 16 % sans briser les microstructures. Des lors, nous avons eu l'idée d'exploiter ce phénomène dans le cadre d'une application originale en réalisant un capteur d'empreintes digitales tactile. Je tiens ici à préciser que l'idée originale émane de M. Benoît Charlot qui a été mon co-directeur de thèse.

Tous les prototypes présentés dans ce mémoire de thèse ont été réalisés sur la base de circuits CMOS 0,6  $\mu\text{m}$  provenant du fondeur autrichien AMS (*Austria Micro Systems* [1]), les microstructures étant quand à elles obtenues par micro-usinage par la face avant (gravure post-process au TMAH). La

technologie CMOS utilisée est une technologie mixte à trois niveaux métalliques permettant de réaliser facilement au sein d'une même puce des circuits aussi bien numériques qu'analogiques. Ceci est rendu réalisable grâce à la possibilité d'intégrer des composants passifs tels que des capacités ou des résistances de forte valeur. De plus cette technologie est relativement bon marché et très facilement disponible par le biais du service de prototypage CMP (Circuits Multi-Projet [2]).

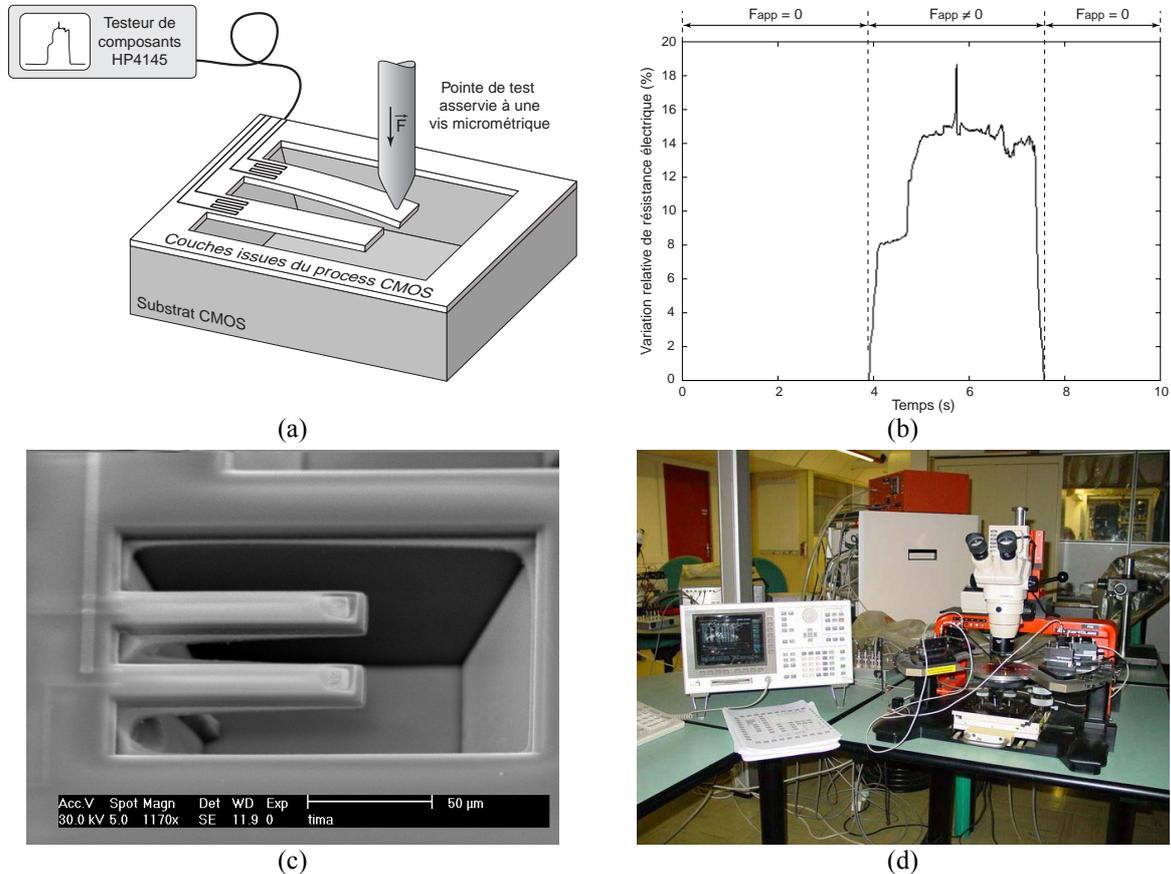


Figure 20 : Mesure qualitative de la variation de résistance électrique de la jauge de contraintes en fonction des sollicitations mécaniques imposées à la micropoutre. Schéma expliquant le protocole de test (a), variation de la résistance électrique de la jauge dans le temps suivant les contraintes mécaniques imposées (b), photographie MEB des structures de test utilisées (c), banc de test utilisé (d),.

### III.2.1 Principe de fonctionnement du capteur

Le capteur tactile que nous nous proposons de réaliser adoptera une géométrie en ligne afin de minimiser la taille de la puce et donc son prix de fabrication. La surface active du capteur sera idéalement constituée d'une unique rangée de microstructures pouvant être soit des micropoutres, soit des microponts. En fait, les deux prototypes réalisés dans le cadre de ce travail de thèse comportent trois rangées de pixels sans qu'il fût pour autant nécessaire d'augmenter la taille globale de la puce. En effet, nous disposons dans le sens de la largeur de plus de place que nécessaire vu qu'il n'est pas possible de scier des puces ayant une taille inférieure à 1,5 mm au risque de les briser. Notons que la présence de plusieurs lignes de pixels sera mise à profit afin de minimiser les conséquences des éventuelles ruptures mécaniques des microstructures grâce au principe de redondance.

Comme nous allons le voir dans la suite de cet exposé, nous allons utiliser favorablement des micropoutres comme éléments sensibles, ces dernières présentant une plus grande sensibilité mécanique et une robustesse accrue par rapport aux microponts. La Figure 21 montre une vue schématique tridimensionnelle du capteur. Notez que cette figure montre que l'électronique de

traitement est placée à l'une des extrémités de la puce avec les plots de connexion électrique afin de faciliter le bonding ainsi que la mise en boîtier du système.

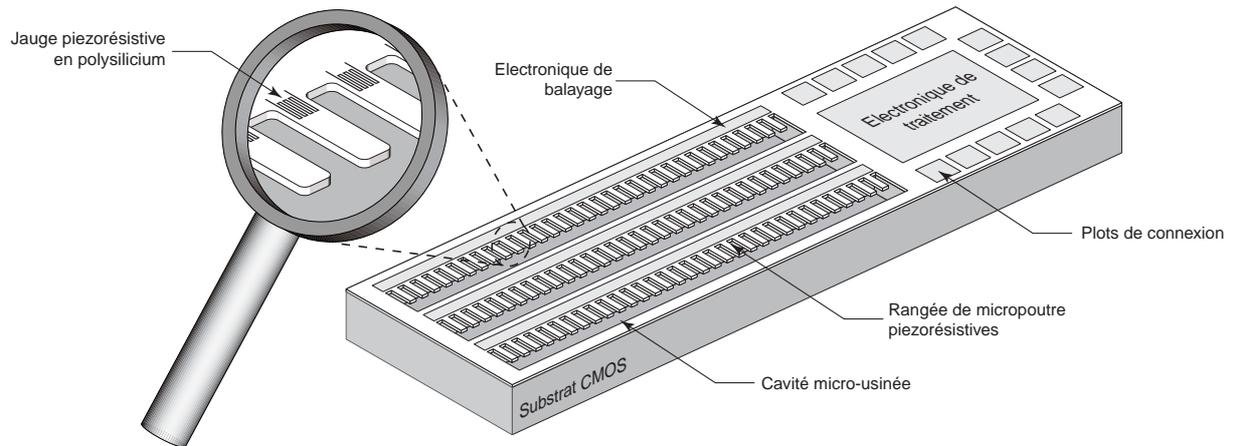


Figure 21 : Vue schématique tridimensionnelle du capteur à microstructures piezorésistives.

Le principe de fonctionnement du capteur peut être décrit comme il suit. Ce capteur adoptant une géométrie en ligne, l'utilisateur doit passer son doigt à la surface du capteur suivant un mouvement de translation. Durant le passage du doigt, les reliefs qui composent l'empreinte digitale, induisent des contraintes mécaniques au sein des microstructures et par conséquent des variations de résistance électrique au niveau des jauges piezorésistives. En utilisant l'électronique intégrée, la rangée de microstructures est alors balayée, le signal issu des jauges de contraintes est amplifié, filtré, numérisé et mis à disposition par le biais d'une interface parallèle. La Figure 22 illustre le principe de fonctionnement du capteur.

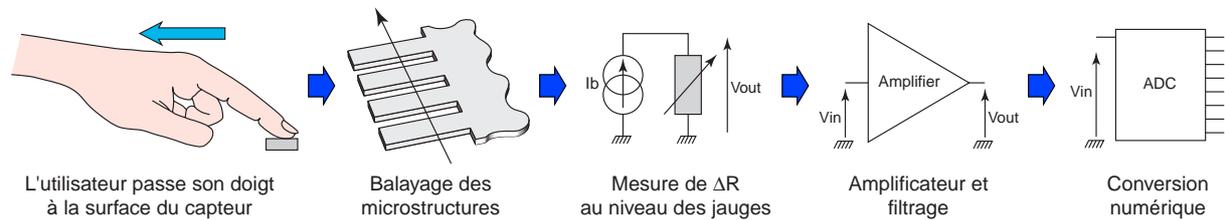


Figure 22 : Principe de fonctionnement du capteur à microstructures piezorésistives.

### III.2.2 Cahier des charges

L'objectif que nous nous sommes fixés est de réaliser un capteur dont la surface active est composée de une ou plusieurs rangées de 256 pixels ayant un pas de  $50 \mu\text{m}$ . Ceci permettra d'obtenir des images ayant une largeur de 1,28 cm avec une résolution de 508 dpi nous donnant ainsi la possibilité de procéder à l'identification de l'utilisateur dans de bonnes conditions. L'électronique intégrée au sein du capteur se composera de l'électronique de balayage des rangées de pixels ainsi que de l'électronique analogique/mixte permettant le traitement du signal issu des microstructures. Une fois le signal analogique traité (amplification, filtrage), ce dernier sera numérisé sur 8 bits de façon à ce que l'image obtenue en sortie du capteur ait une profondeur de 256 niveaux de gris.

Notons que nous comptons intégrer au sein du capteur (cas du second prototype réalisé) des fonctions d'autotest permettant de tester mécaniquement l'ensemble des microstructures et donc de conclure sur leur fonctionnalité sans l'aide de matériel extérieur (architecture BIST [3]). Ces fonctions nous donneront la possibilité de tester le capteur à tout moment en vue de contrôles de maintenance ou afin d'effectuer une validation après fabrication.

### III.3 La piezorésistivité

Nous allons ici nous efforcer de donner une rapide description mathématique de la piezorésistivité dans le cas du silicium monocristallin avant de nous intéresser au cas du polysilicium, matériau que nous utilisons pour former les jauges de contraintes intégrées au sein du capteur.

La piezorésistivité se manifeste par un changement de la conductivité électrique d'un corps lorsque celui-ci est soumis à des contraintes mécaniques et donc à des déformations. Cette propriété physique fut découverte par Sir Lord Kelvin en 1856 dans le cas des métaux et mise en évidence un siècle plus tard, en 1954, par C.S. Smith [4] pour les semi-conducteurs dopés tels que le silicium ou le germanium monocristallin. Dans le cas des semi-conducteurs, l'effet est cent fois plus prononcé que pour les métaux permettant l'exploitation de ce phénomène physique dans le domaine des capteurs intégrés.

#### III.3.1 La piezorésistivité dans le cas du silicium monocristallin

##### III.3.1.1 Coefficients piezorésistifs

Expliciter le phénomène piezorésistif revient à déterminer le changement de résistance électrique d'un corps en fonction des contraintes mécaniques qu'il subit. Les contraintes mécaniques sont définies comme l'ensemble des forces de surface affectant un volume élémentaire tendant à le déformer. Soit  $d\vec{F}$  la force appliquée à un élément élémentaire de surface  $d\vec{S}$ , le tenseur des contraintes  $C$  est tel que :

$$C = \frac{d\vec{F}}{d\vec{S}} \quad \text{avec} \quad C = \begin{pmatrix} \sigma_x & \tau_{xy} & \tau_{xz} \\ \tau_{xy} & \sigma_y & \tau_{yz} \\ \tau_{xz} & \tau_{yz} & \sigma_z \end{pmatrix}$$

Où  $\sigma_i$  sont les contraintes normales et  $\tau_i$  les contraintes dites tangentielle ou de cisaillement (voir Figure 23).

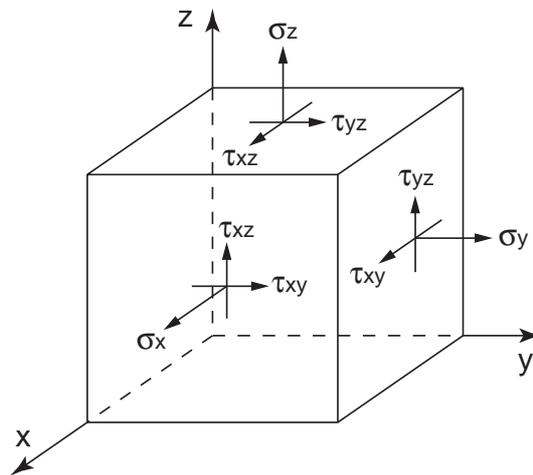


Figure 23 : Définition des contraintes normales et tangentielles

Dans le cas d'un matériau anisotrope cristallin comme le silicium, le champ électrique  $E$  peut être relié à la densité de courant  $J$  par le biais d'un tenseur 3x3 nommé tenseur de résistivité électrique. Du fait des symétries existantes dans le cristal, les éléments de ce tenseur sont dégénérés de telle sorte que celui-ci soit symétrique.

$$\begin{pmatrix} E_x \\ E_y \\ E_z \end{pmatrix} = \begin{pmatrix} \rho_1 & \rho_6 & \rho_5 \\ \rho_6 & \rho_2 & \rho_4 \\ \rho_5 & \rho_4 & \rho_3 \end{pmatrix} \begin{pmatrix} J_x \\ J_y \\ J_z \end{pmatrix}$$

Pour un cristal de type cubique ne subissant aucune contrainte mécanique, la résistivité suivant les axes <100> est la même et les termes non diagonaux du tenseur de résistivité sont nuls tels que :

$$\begin{pmatrix} E_x \\ E_y \\ E_z \end{pmatrix} = \begin{pmatrix} \rho_0 & 0 & 0 \\ 0 & \rho_0 & 0 \\ 0 & 0 & \rho_0 \end{pmatrix} \begin{pmatrix} J_x \\ J_y \\ J_z \end{pmatrix}$$

Les composantes du tenseur de résistivité peuvent être exprimées en introduisant la valeur de la résistivité  $\rho_0$  correspondant au cas où les contraintes mécaniques sont nulles :

$$\begin{pmatrix} \rho_1 \\ \rho_2 \\ \rho_3 \\ \rho_4 \\ \rho_5 \\ \rho_6 \end{pmatrix} = \begin{pmatrix} \rho_0 \\ \rho_0 \\ \rho_0 \\ 0 \\ 0 \\ 0 \end{pmatrix} + \begin{pmatrix} \Delta\rho_1 \\ \Delta\rho_2 \\ \Delta\rho_3 \\ \Delta\rho_4 \\ \Delta\rho_5 \\ \Delta\rho_6 \end{pmatrix}$$

Les six composantes  $\Delta\rho_i$  peuvent à leur tour s'exprimer en fonction des six composantes des contraintes mécaniques ( $\sigma_i$  et  $\tau_i$ ) en utilisant un tenseur 6x6 regroupant les différents coefficients piezorésistifs  $\pi_{ij}$ . Pour une structure cristalline comme le silicium, ce tenseur est une matrice 6x6 symétrique où seulement trois coefficients piezorésistifs différents interviennent [4].

$$\frac{1}{\rho_0} \begin{pmatrix} \Delta\rho_1 \\ \Delta\rho_2 \\ \Delta\rho_3 \\ \Delta\rho_4 \\ \Delta\rho_5 \\ \Delta\rho_6 \end{pmatrix} = \begin{pmatrix} \pi_{11} & \pi_{12} & \pi_{12} & 0 & 0 & 0 \\ \pi_{12} & \pi_{11} & \pi_{12} & 0 & 0 & 0 \\ \pi_{12} & \pi_{11} & \pi_{11} & 0 & 0 & 0 \\ 0 & 0 & 0 & \pi_{44} & 0 & 0 \\ 0 & 0 & 0 & 0 & \pi_{44} & 0 \\ 0 & 0 & 0 & 0 & 0 & \pi_{44} \end{pmatrix} \begin{pmatrix} \sigma_x \\ \sigma_y \\ \sigma_z \\ \tau_{yz} \\ \tau_{xz} \\ \tau_{xy} \end{pmatrix}$$

Les coefficients piezorésistifs  $\pi_{ij}$  sont exprimés en  $\text{Pa}^{-1}$ . Ils varient en fonction de la température, du type de dopage, de la dose implantée et peuvent être, selon les cas, positifs ou négatifs. Le Tableau 2 donne les valeurs de ces coefficients pour le silicium monocristallin.

	$\pi_{11}$ ( $10^{-12} \text{ Pa}^{-1}$ )	$\pi_{12}$ ( $10^{-12} \text{ Pa}^{-1}$ )	$\pi_{44}$ ( $10^{-12} \text{ Pa}^{-1}$ )
Dopage P ( $1,5 \times 10^{15} / \text{cm}^3$ )	+67,1	-10,8	+1408
Dopage N ( $4 \times 10^{14} / \text{cm}^3$ )	-1042	+544	-138

Tableau 2 : Coefficients piezorésistifs pour le silicium monocristallin

Les différentes équations peuvent être combinées pour donner l'expression du champ électrique E suivante :

$$\begin{cases} E_x = \rho_0 \cdot J_x + \rho_0 \cdot \pi_{11} \cdot \sigma_x \cdot J_x + \rho_0 \cdot \pi_{12} \cdot (\sigma_y + \sigma_z) \cdot J_x + \rho_0 \cdot \pi_{44} \cdot (J_y \cdot \tau_{xy} + J_z \cdot \tau_{xz}) \\ E_y = \rho_0 \cdot J_y + \rho_0 \cdot \pi_{11} \cdot \sigma_y \cdot J_y + \rho_0 \cdot \pi_{12} \cdot (\sigma_x + \sigma_z) \cdot J_y + \rho_0 \cdot \pi_{44} \cdot (J_x \cdot \tau_{xy} + J_z \cdot \tau_{yz}) \\ E_z = \rho_0 \cdot J_z + \rho_0 \cdot \pi_{11} \cdot \sigma_z \cdot J_z + \rho_0 \cdot \pi_{12} \cdot (\sigma_x + \sigma_y) \cdot J_z + \rho_0 \cdot \pi_{44} \cdot (J_x \cdot \tau_{xz} + J_y \cdot \tau_{yz}) \end{cases}$$

Le premier terme de ces équations représente simplement la loi d'Ohm dans le cas d'un conducteur ne subissant aucune contrainte mécanique alors que le deuxième met en évidence le phénomène de piezorésistivité dit de premier ordre. Les deux derniers termes donnent une description physique complète en tenant compte des contraintes de cisaillement.

Jusqu'à présent, pour toutes les équations précédemment décrites, nous nous plaçons dans un repère dont les axes étaient confondus avec les axes <100> du cristal de silicium. Dans de nombreux cas, il peut être souhaitable et plus simple d'exprimer les coefficients piezorésistifs suivant une direction quelconque de l'espace. Ceci nous amène à définir les facteurs piezorésistifs longitudinal et transversal (notés  $\pi_l$  et  $\pi_t$ ). Le facteur piezorésistif longitudinal sera relié aux contraintes ayant la même direction que le flux électrique alors que le facteur piezorésistif transversal sera relié aux contraintes perpendiculaires. Sans donner les développements mathématiques détaillés, les expressions de ces deux facteurs piezorésistifs sont les suivantes [5][6] :

$$\begin{cases} \pi_l = \pi_{11} + 2 \cdot (\pi_{44} + \pi_{12} - \pi_{11}) \cdot (l_1^2 \cdot m_1^2 + l_1^2 \cdot n_1^2 + m_1^2 \cdot n_1^2) \\ \pi_t = \pi_{12} - (\pi_{44} + \pi_{12} - \pi_{11}) \cdot (l_1^2 \cdot l_2^2 + m_1^2 \cdot m_2^2 + n_1^2 \cdot n_2^2) \end{cases}$$

Où  $l_i$ ,  $m_i$  et  $n_i$  sont les cosinus directeurs du nouveau système de coordonnées. Il peut être utile, dans cet exposé, de définir ce que sont exactement les cosinus directeurs. Les cosinus directeurs représentent les coordonnées des vecteurs unitaires <100> du réseau cristallin dans la nouvelle base vectorielle définie. Ainsi un vecteur (x y z) se référant à la base vectorielle du réseau cristallin aura comme coordonnées ( $x^*$   $y^*$   $z^*$ ) dans la nouvelle base suivant l'équation ci-dessous :

$$\begin{pmatrix} x^* \\ y^* \\ z^* \end{pmatrix} = \begin{pmatrix} l_1 & m_1 & n_1 \\ l_2 & m_2 & n_2 \\ l_3 & m_3 & n_3 \end{pmatrix} \begin{pmatrix} x \\ y \\ z \end{pmatrix}$$

Le Tableau 3 donne la valeur des coefficients longitudinal et transversal pour différentes combinaisons de directions dans le réseau cristallin.

Direction longitudinale	$\pi_l$	Direction transversale	$\pi_t$
[1 0 0]	$\pi_{11}$	[0 1 0]	$\pi_{12}$
[0 0 1]	$\pi_{11}$	[1 1 0]	$\pi_{12}$
[1 1 1]	$\frac{1}{3} \cdot (\pi_{11} + 2 \cdot \pi_{12} + 2 \cdot \pi_{44})$	[1 $\bar{1}$ 0]	$\frac{1}{3} \cdot (\pi_{11} + 2 \cdot \pi_{12} - \pi_{44})$
[1 1 0]	$\frac{1}{2} \cdot (\pi_{11} + \pi_{12} + \pi_{44})$	[1 1 1]	$\frac{1}{3} \cdot (\pi_{11} + 2 \cdot \pi_{12} - \pi_{44})$
[1 1 0]	$\frac{1}{2} \cdot (\pi_{11} + \pi_{12} + \pi_{44})$	[0 0 1]	$\pi_{12}$
[1 1 0]	$\frac{1}{2} \cdot (\pi_{11} + \pi_{12} + \pi_{44})$	[1 $\bar{1}$ 0]	$\frac{1}{2} \cdot (\pi_{11} + \pi_{12} - \pi_{44})$

Tableau 3 : Coefficients longitudinal et transversal pour différentes directions

### III.3.2 Facteurs de jauge

Alors que les coefficients piezorésistifs longitudinal et transversal expriment la variation de résistivité électrique en fonction des contraintes mécaniques, les facteurs de jauge (qui sont des valeurs sans unité [5]) l'expriment en fonction des déformations du conducteur en tenant compte des considérations géométriques. Les déformations suivant les différentes directions de l'espace étant liées, il convient ici de discerner trois cas suivant que les contraintes mécaniques sont triaxiales, planaires ou uniaxiales. La définition des facteurs de jauge s'appuie sur l'expression fondamentale donnant la résistance électrique  $R$  d'un conducteur en fonction de sa géométrie et de sa résistivité  $\rho$  comme le montre la Figure 24.

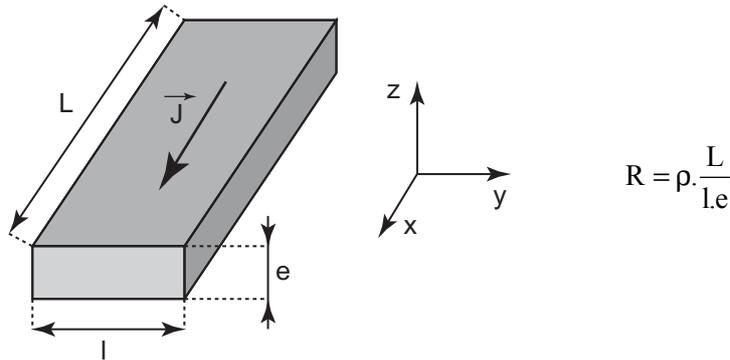


Figure 24 : Système d'axes utilisé pour le calcul de la résistance électrique des jauges de contrainte.

Dans ce qui suit, nous considérerons toujours la direction  $x$  comme étant la direction longitudinale définie par la direction du flux électrique  $J$ , direction qui est confondue avec l'axe principal de la jauge. Les directions  $y$  et  $z$  seront donc les directions dites transversales.

#### III.3.2.1 Facteurs de jauge dans le cas des contraintes triaxiales

Nous allons ici nous intéresser au cas où les contraintes mécaniques peuvent prendre des configurations quelconques, c'est-à-dire avoir des composantes non nulles quelle que soit la direction de l'espace. En considérant un matériau isotrope (cas du polysilicium), les déformations et les contraintes mécaniques sont liées par la relation vectorielle suivante :

$$\begin{pmatrix} \varepsilon_x \\ \varepsilon_y \\ \varepsilon_z \end{pmatrix} = \frac{1}{E} \begin{pmatrix} 1 & -\nu & -\nu \\ -\nu & 1 & -\nu \\ -\nu & -\nu & 1 \end{pmatrix} \begin{pmatrix} \sigma_x \\ \sigma_y \\ \sigma_z \end{pmatrix}$$

Où  $E$  est le module d'Young et  $\nu$  est le coefficient de Poisson du matériau isotrope considéré. Les contraintes mécaniques peuvent au même titre être exprimées en fonction des déformations comme ci-dessous :

$$\begin{pmatrix} \sigma_x \\ \sigma_y \\ \sigma_z \end{pmatrix} = \frac{E}{(\nu+1)(1-2\nu)} \begin{pmatrix} 1-\nu & \nu & \nu \\ \nu & 1-\nu & \nu \\ \nu & \nu & 1-\nu \end{pmatrix} \begin{pmatrix} \varepsilon_x \\ \varepsilon_y \\ \varepsilon_z \end{pmatrix}$$

En considérant le système d'axes spécifié sur la Figure 24, la variation de résistance électrique de la jauge piezorésistive peut s'exprimer de la manière suivante en fonction des contraintes mécaniques et des déformations :

$$\begin{aligned}\frac{\Delta R}{R} &= \frac{\Delta \rho}{\rho} + \frac{\Delta L}{L} - \frac{\Delta l}{l} - \frac{\Delta e}{e} \\ &= \pi_l \cdot \sigma_x + \pi_t \cdot (\sigma_y + \sigma_z) + \varepsilon_x - \varepsilon_y - \varepsilon_z\end{aligned}$$

Soit encore en regroupant les termes relatifs aux déformations longitudinales et transversales :

$$\frac{\Delta R}{R} = G_{\text{long}} \cdot \varepsilon_x + G_{\text{trans}} \cdot (\varepsilon_y + \varepsilon_z)$$

Où  $G_{\text{long}}$  et  $G_{\text{trans}}$  sont les facteurs de jauge piezorésistifs longitudinal et transversal dans le cas de contraintes triaxiales. On peut montrer que ces facteurs de jauge sont tels que :

$$G_{\text{long}} = \frac{E \cdot [(1 - \nu)\pi_l + 2 \cdot \nu \cdot \pi_t]}{(\nu + 1)(1 - 2\nu)} + 1 \qquad G_{\text{trans}} = \frac{E \cdot [\nu \cdot \pi_l + \pi_t]}{(\nu + 1)(1 - 2\nu)} - 1$$

### III.3.2.2 Facteurs de jauge dans le cas des contraintes planes

Le cas des contraintes planes implique que toutes les contraintes mécaniques ne faisant pas partie du plan considéré (ici le plan (0xy)) sont nulles, soit encore :

$$\sigma_z = 0$$

Notons que les contraintes transversales seront donc, dans ce cas, celles prenant forme suivant la direction y. Le raisonnement est exactement le même si nous substituons le plan (0xy) par le plan (Oxz) et les contraintes transversales suivant l'axe y par celles suivant l'axe z (la direction longitudinale considérée étant toujours la direction x).

Les contraintes planes sont notablement utilisées dans la théorie des plaques afin d'obtenir des solutions analytiques décrivant le comportement mécanique de différentes structures, comme par exemple les membranes, dans le cas de petites déflexions.

En considérant toujours le matériau comme isotrope, il est possible d'obtenir le système d'équations suivant à partir de la relation donnant les déformations mécaniques en fonction des contraintes :

$$\begin{cases} \sigma_x = \frac{E}{1 - \nu^2} \cdot (\varepsilon_x + \nu \varepsilon_y) \\ \sigma_y = \frac{E}{1 - \nu^2} \cdot (\varepsilon_y + \nu \varepsilon_x) \\ \varepsilon_z = -\frac{\nu}{E} \cdot (\sigma_x + \sigma_y) \end{cases}$$

La variation de résistivité électrique peut alors s'écrire telle que :

$$\frac{\Delta \rho}{\rho} = \frac{E}{1 - \nu^2} \cdot [(\pi_x + \nu \pi_y) \varepsilon_x + (\pi_y + \nu \pi_x) \varepsilon_y]$$

En prenant en compte les variations géométriques de la jauge, la variation relative de résistance électrique peut alors s'écrire sous la forme :

$$\frac{\Delta R}{R} = G_{\text{par}} \cdot \varepsilon_x + G_{\text{per}} \cdot \varepsilon_y$$

Où  $G_{\text{par}}$  et  $G_{\text{per}}$  sont les facteurs de jauge piezorésistifs planaires longitudinal et transversal définis tels que :

$$G_{\text{par}} = \frac{\pi_l + \nu \cdot \pi_t}{1 - \nu^2} \cdot E + \frac{1}{1 - \nu} \quad G_{\text{per}} = \frac{\pi_t + \nu \cdot \pi_l}{1 - \nu^2} \cdot E + \frac{1 - 2 \cdot \nu}{1 - \nu}$$

### III.3.2.3 Facteurs de jauge dans le cas des contraintes uniaxiales

Dans le cas de contraintes uniaxiales, ces dernières sont non nulles dans une seule et unique direction de l'espace qui peut être, suivant les cas, longitudinale ou transversale par rapport à l'axe de la jauge piezorésistive. Notons que nous considérons ici la direction y comme étant la direction transversale, le raisonnement étant exactement le même si nous considérons la direction z. Les contraintes étant uniaxiales, les déformations suivant les différentes directions de l'espace sont liées par la relation suivante :

$$\varepsilon_x = -\nu \cdot \varepsilon_y = -\nu \cdot \varepsilon_z \quad \Leftrightarrow \quad \frac{\Delta L}{L} = -\nu \cdot \frac{\Delta e}{e} = -\nu \cdot \frac{\Delta l}{l}$$

Suivant la nature transverse ou longitudinale des contraintes mécaniques, il convient d'insister sur le fait qu'il faut considérer deux cas distincts.

#### III.3.2.3.1 Cas des contraintes longitudinales

Dans les cas où les contraintes mécaniques sont longitudinales (dans la direction x), la variation relative de résistance électrique peut s'exprimer comme :

$$\begin{aligned} \frac{\Delta R}{R} &= \frac{\Delta \rho}{\rho} + \frac{\Delta L}{L} - \frac{\Delta l}{l} - \frac{\Delta e}{e} \\ &= \frac{\Delta \rho}{\rho} + \varepsilon_x \cdot [1 + 2 \cdot \nu] \\ &= [\pi_l \cdot E + 1 + 2 \cdot \nu] \cdot \varepsilon_x \end{aligned}$$

De cette dernière équation, nous pouvons déduire l'expression du facteur de jauge piezorésistif uniaxial longitudinal :

$$G_l = \pi_l \cdot E + 1 + 2 \cdot \nu$$

#### III.3.2.3.2 Cas des contraintes transversales

Dans le cas où les contraintes mécaniques sont transversales (ici dans la direction y), la variation relative de résistance électrique peut alors s'exprimer telle que :

$$\begin{aligned} \frac{\Delta R}{R} &= \frac{\Delta \rho}{\rho} + \frac{\Delta L}{L} - \frac{\Delta l}{l} - \frac{\Delta e}{e} \\ &= \frac{\Delta \rho}{\rho} + \varepsilon_y \cdot [-\nu - 1 + \nu] \\ &= [\pi_t \cdot E - 1] \cdot \varepsilon_y \end{aligned}$$

Nous pouvons déduire l'expression du facteur de jauge piezorésistif uniaxial transversal :

$$G_t = \pi_t \cdot E - 1$$

### III.3.3 Récapitulatif concernant les facteurs de jauge

Le Tableau 4 énumère les expressions des différents facteurs de jauge piézorésistifs suivant la nature des contraintes mécaniques qui s'exercent.

	Facteurs de jauges longitudinaux	Facteurs de jauges transversaux
Contraintes triaxiales	$G_{\text{long}} = \frac{E \cdot [(1 - \nu) \cdot \pi_1 + 2 \cdot \nu \cdot \pi_t]}{(\nu + 1) \cdot (1 - 2 \cdot \nu)} + 1$	$G_{\text{trans}} = \frac{E \cdot [\nu \cdot \pi_1 + \pi_t]}{(\nu + 1) \cdot (1 - 2 \cdot \nu)} - 1$
Contraintes planes	$G_{\text{par}} = \frac{\pi_1 + \nu \cdot \pi_t}{1 - \nu^2} \cdot E + \frac{1}{1 - \nu}$	$G_{\text{per}} = \frac{\pi_t + \nu \cdot \pi_1}{1 - \nu^2} \cdot E + \frac{1 - 2 \cdot \nu}{1 - \nu}$
Contraintes uniaxiales	$G_l = \pi_l \cdot E + 1 + 2 \cdot \nu$	$G_t = \pi_t \cdot E - 1$

Tableau 4 : Récapitulatif des différents facteurs de jauge piézorésistifs.

Notons que les facteurs de jauge piezorésistifs uniaxiaux sont les facteurs de jauge les plus largement employés et qu'il n'est pas rare d'omettre l'adjectif "uniaxiaux" lorsque l'on se réfère à ceux-ci.

### III.3.4 Explication physique du phénomène

La piezorésistivité met en jeu des phénomènes complexes de conduction dans les semi-conducteurs à tel point que les théories élaborées jusqu'à présent sont encore sujettes à controverses. En règle générale, la piezorésistivité est mieux comprise dans le cas des semiconducteurs dopés N (cas que nous allons considérer ici) que P.

La résistivité est reliée à la mobilité des porteurs et leur densité par la relation suivante :

$$\rho = \frac{1}{q \cdot \mu_n \cdot n + q \cdot \mu_p \cdot p}$$

Où la mobilité est elle-même définie par l'expression ci-dessous [7] :

$$\mu = \frac{q \cdot \tau}{m^*} = \frac{q \cdot \tau}{\hbar^2} \cdot \frac{\partial^2 E}{\partial k^2}$$

Dans cette relation  $\tau$  est le temps de relaxation des porteurs en question,  $q$  la charge électrique et  $m^*$  la masse effective. Cette dernière expression montre que la mobilité et donc la résistivité électrique sont liées à la courbure (dérivée seconde) des bandes d'énergie ( $E$ ) dans l'espace des vecteurs d'onde ( $k$ ) (voir Figure 25).

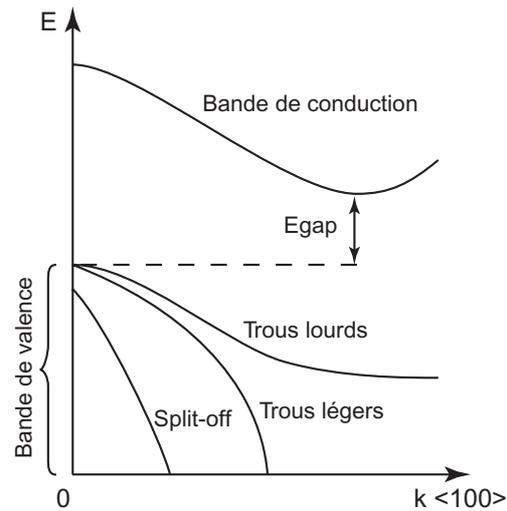


Figure 25 : Diagramme E(k) du silicium monocristallin

La Figure 26 montre les surfaces de même énergie dans l'espace des vecteurs d'onde. Ces surfaces sont des ellipsoïdes dont la longueur des axes est proportionnelle à la courbure de l'énergie E(k). Si nous considérons un électron (dopage de type N) se propageant selon la direction [100] (voir Figure 26), ce porteur de charge se déplacera de manière longitudinale par rapport à deux ellipsoïdes et de manière transversale par rapport à quatre autres de telle sorte que la résistivité puisse s'écrire comme il suit [8] :

$$\rho = \frac{1}{2.q.\mu_l.n_l + 4.q.\mu_t.n_t}$$

Où  $n_l$  et  $n_t$  représentent les densités d'électrons dans les bandes longitudinales et transversales au flux électrique. Notons que dans le cas où le conducteur n'est pas contraint,  $n_l=n_t=n/6$ .

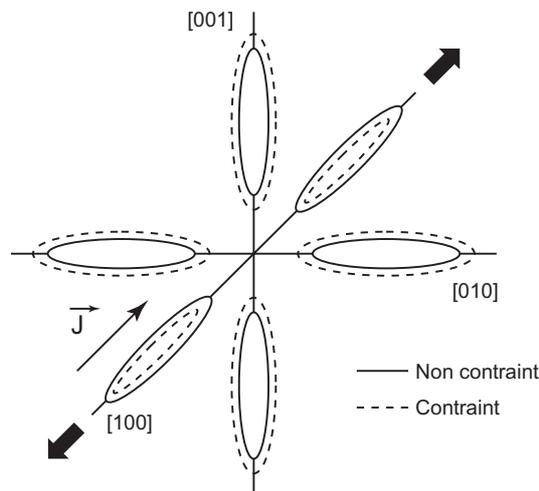


Figure 26 : Effet d'une contrainte uniaxiale sur les surfaces de même énergie

Si une contrainte uniaxiale est appliquée dans la direction [100], le niveau des bandes d'énergie dans les directions [100] et  $\bar{1}00$  augmente causant ainsi la délocalisation des électrons dans les autres bandes ([010],  $0\bar{1}0$ , [001] et  $00\bar{1}$ ). Cette délocalisation des porteurs, en accord avec la dernière équation, provoque une diminution de la résistivité électrique.

Cette théorie, présentée ici rapidement, est appelée théorie des vallées et prédit que le coefficient piezorésistif  $\pi_{11}$  doit être négatif, le coefficient  $\pi_{12}$  tel que  $\pi_{12} = -\pi_{11}/2$  et le coefficient  $\pi_{44}$  de valeur nulle [8].

### III.3.5 Piezorésistivité du silicium polycristallin

Contrairement au silicium monocristallin, le polysilicium ne possède pas de structure cristalline propre, puisqu'il est formé d'un agglomérat de grains présentant chacun une direction cristallographique particulière. De plus, les phénomènes de conduction au niveau des joints de grains semblent apporter une grande influence sur la résistivité globale d'un conducteur formé de polysilicium.

Les coefficients piezorésistifs longitudinal et transversal du silicium polycristallin peuvent s'exprimer simplement en moyennant ceux du silicium monocristallin sur toutes les directions possibles de l'espace. Notons que l'orientation des grains est ici supposée purement aléatoire et uniformément répartie. Les valeurs des coefficients piezorésistifs ont été ici estimées en effectuant une intégration par la méthode de Monte-Carlo sous Matlab.

$$\begin{cases} \langle \pi_l \rangle \cong \pi_{11} + 0,504.(\pi_{44} + \pi_{12} - \pi_{11}) \\ \langle \pi_t \rangle \cong \pi_{12} - 0,238.(\pi_{44} + \pi_{12} - \pi_{11}) \end{cases}$$

En ce qui concerne les facteurs de jauge piezorésistifs uniaxiaux explicités précédemment, leur expression dans le cas du polysilicium est la suivante :

$$\langle G_l \rangle = 1 + E. \langle \pi_l \rangle + 2. \langle \nu \rangle \qquad \langle G_t \rangle = E. \langle \pi_t \rangle - 1$$

L'expression du facteur de jauge longitudinal fait intervenir la valeur du coefficient de Poisson du silicium moyennée sur toutes les directions de l'espace. Cette valeur peut être prise comme égale à 0,226 [8].

En utilisant les données présentées dans le Tableau 2, il est maintenant possible de donner les valeurs numériques approchées des facteurs de jauge piezorésistifs dans le cas du polysilicium. Ces valeurs sont répertoriées dans le Tableau 5.

	$G_l$ (sans unité)	$G_t$ (sans unité)
Dopage P ( $1,5 \times 10^{15}/\text{cm}^3$ )	131,2	-58,68
Dopage N ( $4 \times 10^{14}/\text{cm}^3$ )	-53,50	34,02

Tableau 5 : Facteurs de jauge piezorésistifs uniaxiaux dans le cas du polysilicium pour deux types de dopage différents.

Ces formules prédisent des facteurs de jauge qui ont des valeurs absolues largement plus hautes que celles mesurées expérimentalement. Il semblerait que cet écart soit principalement dû au fait que la théorie ici présentée ne prend pas en compte les phénomènes physiques prenant naissance au niveau des joints de grains.

P.J. French et G.R. Evans ont développé une théorie pour expliciter le phénomène piezorésistif dans le cas du silicium polycristallin (voir Figure 27). Cette théorie prend en compte le modèle des vallées explicité dans le chapitre précédent ainsi que le phénomène de piégeages des porteurs aux interfaces entre grains cristallins. Pour modéliser la résistivité induite par les joints de grains, les auteurs ont utilisé les effets d'émissions thermoioniques. Nous ne rentrerons pas ici dans l'explication de cette théorie.

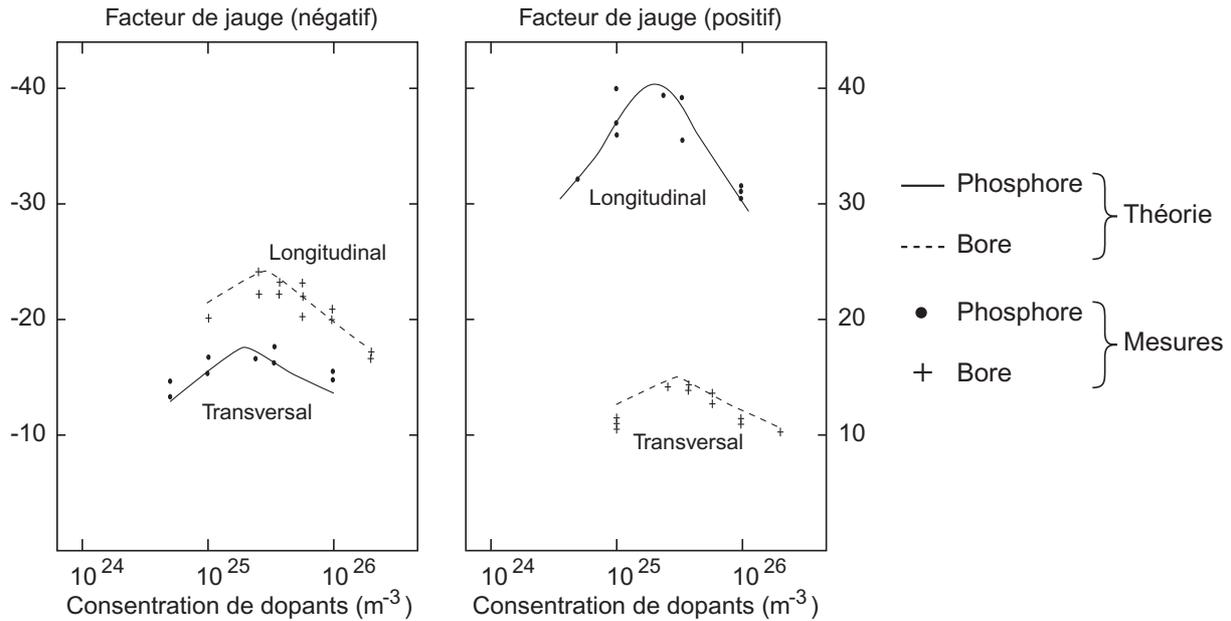


Figure 27 : Valeur des facteurs de jauge uniaxiaux en fonction de la concentration en éléments dopants (d'après P.J. French et G.R. Evans)

La Figure 27 montre la valeur des facteurs de jauge piezorésistifs uniaxiaux longitudinal et transversal en fonction de la dose implantée (dopage de type N et P) dans le cas du polysilicium. Cette figure représente sur les mêmes graphiques les courbes obtenues en accord avec la théorie développée par French et Evans ainsi que les mesures expérimentales réalisées.

### III.3.6 Conclusion sur la piezorésistivité

Nous avons présenté ici la piezorésistivité dans le cas du silicium ou du polysilicium, matériau qui forme les jauges de contrainte des capteurs élaborés durant ce travail de thèse de doctorat. Il est important de noter que l'explication physique de ce phénomène est encore sujette à controverses surtout dans le cas du polysilicium où beaucoup de facteurs (notamment son aspect granulaire) rentrent en compte.

## III.4 Le micro-usinage en volume

L'attaque chimique du silicium est employée depuis la naissance des semi-conducteurs au début des années 1950. La gravure isotropique (aucune direction privilégiée) a été la première à être utilisée pour le polissage et le décapage des plaquettes de silicium. Les centres d'intérêts se sont ensuite portés sur la gravure anisotrope (vitesses de gravure différentes suivant les plans cristallins) permettant de nombreuses réalisations comme, par exemple, pour ne citer que les plus courantes :

- La réalisation de transistors U-MOS, V-MOS et V-Bipolaires [9][10]
- La réduction des courants de fuite et du phénomène de *cross-talking* grâce à la réalisation de tranchées entre les composants [11]
- La réalisation de composants suspendus (élimination des courants de fuite et du phénomène de *cross-talking*)
- La réalisation d'éléments d'oxyde de silicium suspendus (ponts, membranes, poutres) se trouvant donc isolés mécaniquement et thermiquement du substrat [12][13][14]

Nous nous intéresserons ici qu'au dernier exemple cité, procédé qui se nomme aussi micro-usinage en volume dans la mesure où la gravure du silicium s'opère directement par la formation de cavités dans le volume du substrat.

Le micro-usinage en volume s'opère généralement sur la base d'un circuit VLSI réalisé en technologie CMOS, BiCMOS ou GaAs [15] permettant ainsi d'intégrer sur la même puce la partie microsysteme et l'électronique de contrôle (électronique analogique et/ou numérique). L'intégration de fonctions électroniques complexes de traitement de l'information (blocs analogiques/numériques, microprocesseur, RAM, ROM ...) ainsi que de parties microsystemes (capteurs et actionneurs) permet d'envisager l'élaboration de systèmes entièrement intégrés sur silicium désignés par l'acronyme SOC (*System On a Chip*) [17].

### III.4.1 La gravure anisotrope du silicium : généralités

La gravure anisotrope du silicium se caractérise par des vitesses de gravure extrêmement différentes (rapport pouvant être supérieur à 100) suivant les plans cristallins rencontrés. Elle est donc intimement liée à la structure cristallographique du substrat.

#### III.4.1.1 Le silicium monocristallin

Le silicium monocristallin possède une structure cristallographique de type cubique diamant (dit aussi structure zinc blende) [18] où chaque atome de silicium occupe le centre d'un tétraèdre (quatre liaisons covalentes) comme le montre la Figure 28.

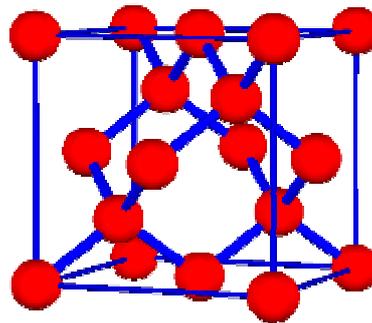


Figure 28 : Motif cristallographique du silicium monocristallin

Si nous considérons l'espace vectoriel formé par les axes cristallographiques, le cristal de silicium présente une densité d'atomes variable suivant les différentes directions (voir Figure 29) pouvant expliquer le caractère anisotrope des solutions utilisées pour le micro-usinage en volume. Ainsi, les plans  $\{111\}$  possédant une très faible vitesse de gravure (plan d'arrêt virtuel), présentent une très forte densité d'atomes.

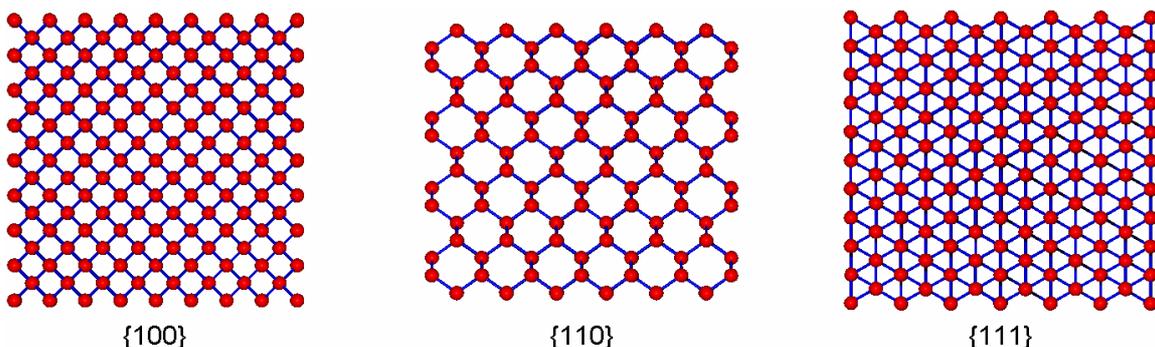


Figure 29 : Vues du cristal de silicium suivant différentes directions (vues orthogonales)

La variation de densité d'atomes suivant les plans cristallins n'est pas le seul critère intervenant dans la détermination de la vitesse de gravure d'une solution chimique. La façon dont les atomes sont liés à leurs plus proches voisins (liaisons covalentes libres) joue un rôle prédominant en modifiant l'énergie nécessaire pour les extraire. Notons que malgré ces considérations, des rapports de vitesses pouvant être de l'ordre de cent restent difficiles à expliquer ainsi.

#### III.4.1.2 Orientation des plaquettes de silicium, axes CAO

Les plaquettes de silicium généralement utilisées dans l'industrie de la micro-électronique, peuvent être orientées selon les trois directions cristallographiques  $\langle 100 \rangle$ ,  $\langle 110 \rangle$  ou  $\langle 111 \rangle$ . Ceci signifie que leur face correspond respectivement aux plans cristallographiques  $\{100\}$ ,  $\{110\}$  ou  $\{111\}$ . Notons que tous les circuits élaborés dans le cadre de ce travail de thèse de doctorat, l'ont toujours été sur des plaquettes dopées P dont la face était orientée dans la direction  $\langle 100 \rangle$  (Circuits CMOS provenant du fondeur Austria Micro Systems (AMS) [19]).

Les axes utilisés par les logiciels de CAO micro-électronique (utilisés pour les dessins de masques dits "layout") comme Cadence ou Mentor-Graphics ne sont pas les mêmes que les axes cristallographiques du substrat de silicium (voir Figure 30). Ainsi, les axes (0x) et (0y) utilisés par ces logiciels représentent les directions cristallographiques équivalentes  $\langle 110 \rangle$ .

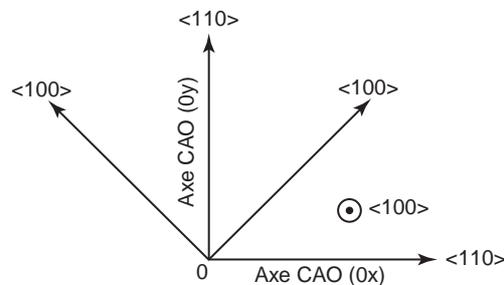


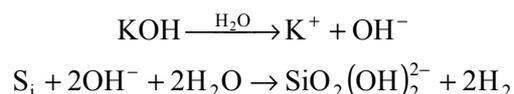
Figure 30 : Liens entre les axes CAO et cristallographiques

#### III.4.1.3 Agents chimiques utilisés pour la gravure anisotrope

Nous allons ici donner une rapide présentation des différentes solutions que nous avons utilisées pour le micro-usinage en volume. Ces solutions étaient au nombre de deux, à savoir, l'hydroxyde de potassium (KOH) et surtout l'Hydroxyde de Tétra-Méthyle-Ammonium (TMAH).

##### III.4.1.3.1 L'hydroxyde de potassium (KOH)

L'hydroxyde de potassium, nommé aussi potasse, de formule chimique KOH, se dissocie en phase liquide pour donner d'une part des ions potassium  $K^+$  et des groupements hydroxydes  $OH^-$ . Ces groupements sont responsables de la gravure anisotrope du substrat de silicium. La réaction chimique entre le silicium et l'hydroxyde de potassium est donnée ci-dessous :



La gravure des puces à l'hydroxyde de potassium (concentration de 40 %) s'opère en chauffant la solution chimique au bain-marie à des températures de l'ordre de 80 °C. Ces opérations de gravure ont été menées à bien en utilisant les moyens mis à notre disposition par le CIME. Les différentes vitesses de gravure correspondantes au KOH sont répertoriées dans le Tableau 6. Notons que nous ne donnons les vitesses de gravure que pour trois plans cristallins différents, celles-ci étant suffisantes pour établir le diagramme de gravure (Voir Figure 31).

L'hydroxyde de potassium présente différents avantages comme un bas coût et une faible toxicité mais aussi beaucoup d'inconvénients comme par exemple :

- Les vitesses d'attaque du silicium sont faibles nécessitant de très longs temps de gravure.
- Les ions  $K^+$  peuvent aller polluer les jonctions électroniques.
- Le KOH attaque très rapidement l'aluminium rendant impossible l'utilisation de l'électronique embarquée après l'étape de gravure (destruction des plots de connexion électriques).

Tous ces inconvénients, et notamment le dernier, font que cet agent de gravure est incompatible avec les technologies CMOS utilisées. Par conséquent, le KOH a juste été utilisé de façons sporadiques au début du travail de thèse pour s'assurer que certaines structures se libéraient bien.

Silicium plans {100}	$R_{\{100\}}=0,27 \mu\text{m}\cdot\text{min}^{-1}$
Silicium plans {111}	$R_{\{111\}}=11 \text{ nm}\cdot\text{min}^{-1}$
Silicium plans {411}	$R_{\{411\}}=0,41 \mu\text{m}\cdot\text{min}^{-1}$
Aluminium (process AMS)	$R_{\text{alu}}>53 \text{ nm}\cdot\text{min}^{-1}$
Passivation (process AMS)	$R_{\text{pad}}<0,28 \text{ nm}\cdot\text{min}^{-1}$

Tableau 6 : Vitesses de gravure avec KOH 40 % porté à 80°C [13]

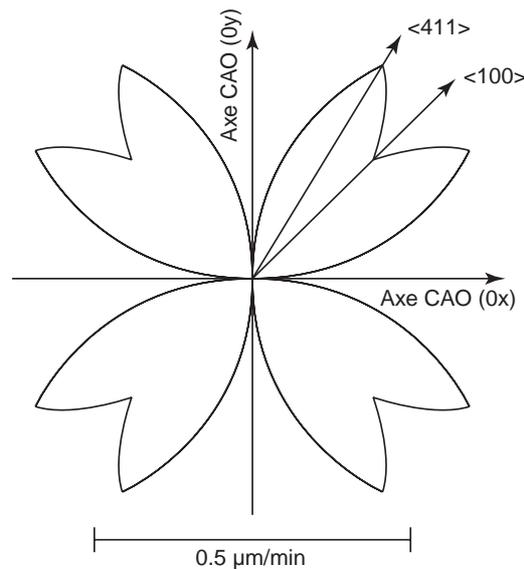


Figure 31 : Diagramme de gravure polaire du KOH 40 % [13]. Ce diagramme correspond à la projection des vitesses de gravure des différents plans cristallins dans le plan {100} (surface de la puce).

#### III.4.1.3.2 L'Hydroxyde de Tétra-Méthyle-Ammonium (TMAH)

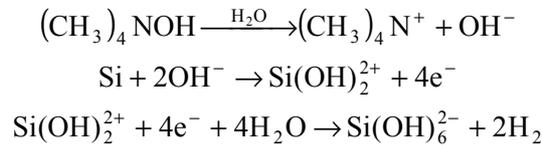
L'Hydroxyde de Tétra-Méthyle-Ammonium (noté TMAH) est à l'heure actuelle la solution chimique la plus utilisée pour effectuer des étapes de micro-usinage en volume et ce pour différentes raisons :

- Elle est très faiblement toxique.
- Elle possède une très grande anisotropie.
- Elle est très sélective et n'attaque quasiment pas les oxydes et nitrures de silicium.
- Sous certaines conditions (ajout d'acide silicique) les plots de connexions restent totalement utilisables.
- Le risque de pollution des jonctions électroniques est nul (pas d'ions métalliques en solution).

- La solution est relativement stable pour des températures inférieures à 130 °C

Tous ces avantages rendent le TMAH totalement compatible avec les procédés CMOS classiques comme la technologie que nous utilisons (AMS CMOS 0,6 µm CUP).

Le TMAH est une solution organique de formule (CH<sub>3</sub>)<sub>4</sub>NOH qui réagit avec le silicium comme ci-dessous [12] :



La concentration de TMAH a une grande influence sur la vitesse de gravure du silicium. Les vitesses de gravure les plus élevées s'observent pour une concentration de l'ordre de 4 %. La solution qui est utilisée (étape de gravure sous-traitée par la société IBS (Ion Beam Services)) aura une concentration en TMAH de l'ordre de 10% avec adjonction d'acide silicique afin de former une couche d'aluminosilicate sur les plots de connexion dans le but de les protéger durant l'attaque chimique.

La solution de gravure TMAH contient aussi du peroxyde disulfate d'ammonium, oxydant qui permet de diminuer le volume d'hydrogène gazeux produit. Le problème engendré par l'hydrogène issu de la réaction, vient du fait que ce dernier vient se fixer sous forme de microbulles au fond des cavités en formation. Les microbulles ainsi formées masquent localement le silicium et provoquent l'apparition de protubérances pyramidales (protubérances appelées hillocks, voir Figure 32).

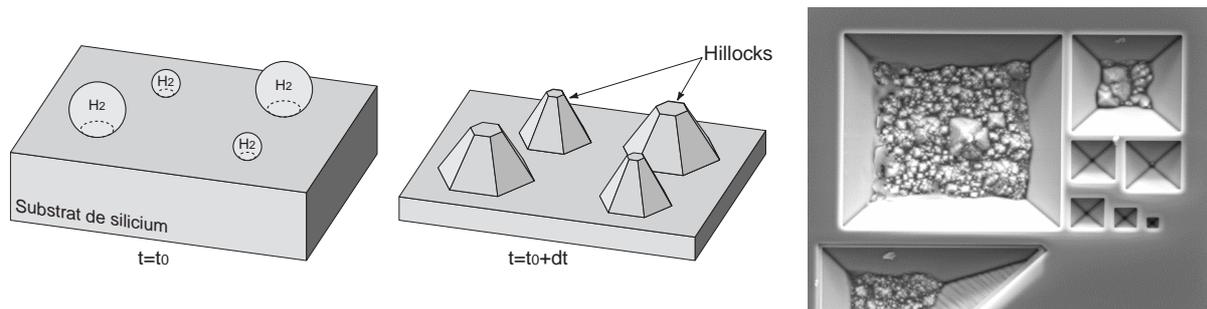


Figure 32 : A gauche, mécanisme de formations des protubérances pyramidales. A droite, image MEB montrant des protubérances pyramidales sur le fond de cavités micro-usinées.

Les différentes vitesses d'attaque du TMAH sont répertoriées dans le Tableau 7. Comme dans le cas du KOH, seuls certains plans sont cités.

Silicium plans {100}	$R_{\{100\}}=1,46 \mu\text{m}\cdot\text{min}^{-1}$
Silicium plans {111}	$R_{\{111\}}=0,12 \mu\text{m}\cdot\text{min}^{-1}$
Silicium plans {314}	$R_{\{314\}}=3,27 \mu\text{m}\cdot\text{min}^{-1}$
Aluminium (process AMS)	$R_{\text{alu}}=1,3 \text{ nm}\cdot\text{min}^{-1}$
Oxyde SiO <sub>2</sub> (process AMS)	$R_{\text{ox}}=8,83 \text{ nm}\cdot\text{min}^{-1}$

Tableau 7 : Vitesses de gravure du TMAH 10 % porté à 85°C [12]

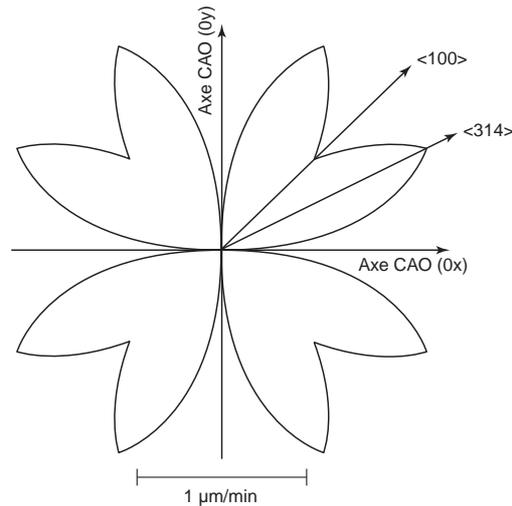


Figure 33 : Diagramme de gravure polaire du TMAH 10 % porté à 85°C [12]. Ce diagramme correspond à la projection des vitesses de gravure des différents plans cristallins dans le plan {100} (surface de la puce).

### III.4.2 Le micro-usinage en volume par la face avant

Nous allons ici présenter le procédé de micro-usinage qui a été utilisé durant ce travail de thèse de doctorat afin d'élaborer les capteurs présentés.

Le procédé de micro-usinage par la face avant consiste à réaliser une étape de gravure (étape post-process) à partir de la face avant des puces afin de suspendre des structures constituées des différentes couches issues du process CMOS (aluminium, polysilicium, oxyde et nitrure de silicium, voir Figure 34). Ces structures se trouveront alors isolées mécaniquement et thermiquement du substrat. Durant l'étape de gravure du substrat, les zones devant subir l'attaque chimique seront définies par des ouvertures aux travers des différentes couches du process CMOS mettant ainsi le silicium à nu. Ces ouvertures seront définies lors de la réalisation des dessins de masques par empilement des différentes ouvertures possibles (connexions intermétalliques, ouvertures LOCOS et passivation).

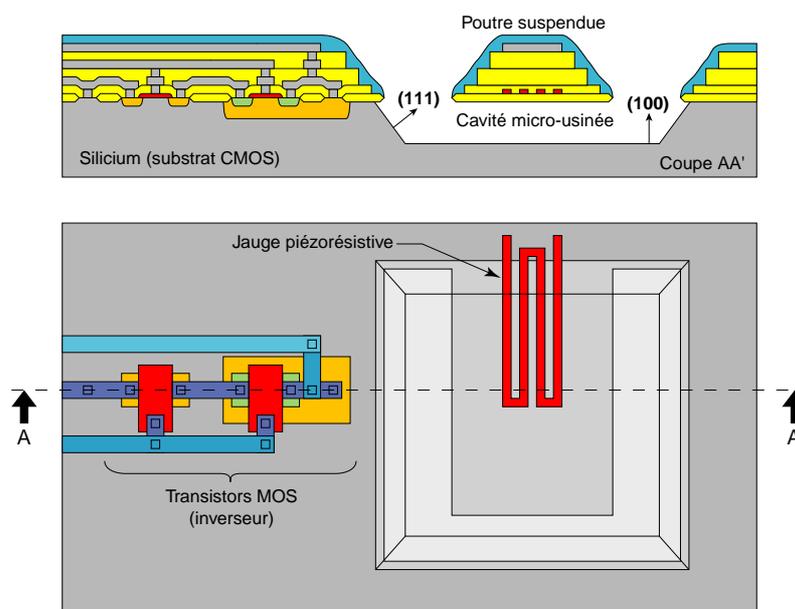


Figure 34 : Coupe technologique d'une poutre piézorésistive réalisée par micro-usinage en volume par la face avant compatible CMOS (échelle verticale non respectée).

Les structures réalisables par ce type de procédé peuvent être de trois différentes sortes :

- Les structures en forme de pont
- Les structures en forme de poutre (type "cantilever")
- Les structures en forme de membranes soutenues par un ou plusieurs bras

Des exemples de structures sont visibles sur la Figure 35 (images réalisées par microscopie électronique).

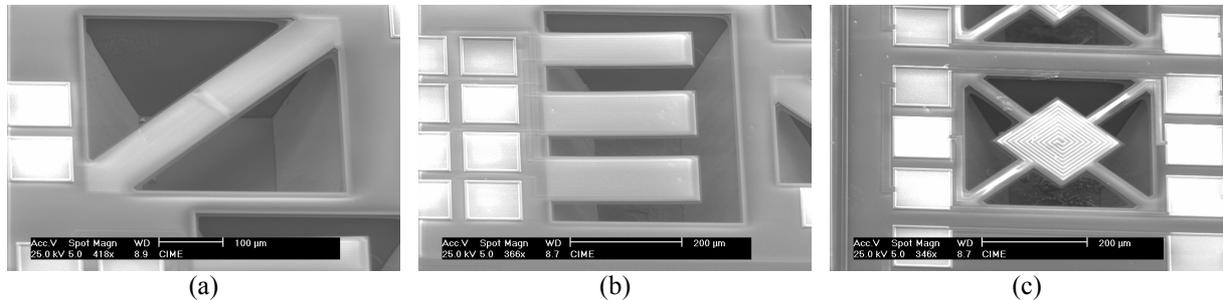


Figure 35 : Exemples de structures réalisées par micro-usinage en volume par la face avant sur la base d'un circuit CMOS : structures en forme de pont (a), en forme de poutre (b) et en forme de membrane (c).

Le caractère anisotrope de la solution de gravure, donnant des cavités confinées par les plans d'arrêt virtuels  $\{111\}$ , est utilisé pour suspendre les structures voulues. Dans cette démarche, le concepteur doit faire un certain effort de raisonnement, lors des dessins de masques, afin de disposer correctement les ouvertures vers le silicium à nu pour que les structures souhaitées soient bien libérées. Ainsi, par exemple, les ponts devront toujours être placés avec un angle de  $45^\circ$  ou  $60^\circ$  par rapport aux axes CAO pour être libérés correctement durant l'étape de gravure. La Figure 36 montre des exemples de différentes structures obtenues suivant différentes formes d'ouvertures réalisées.

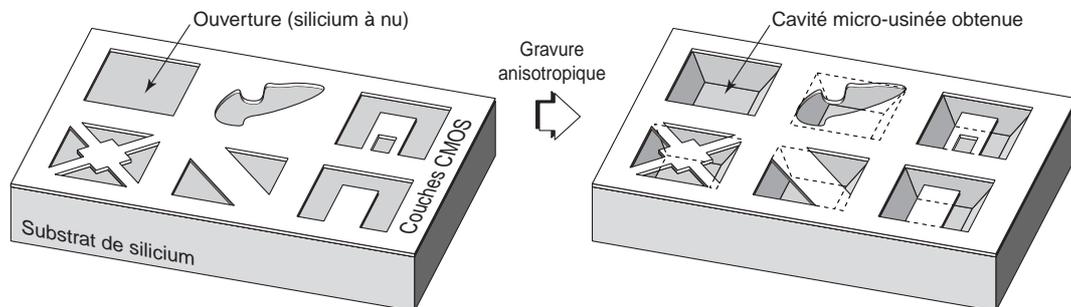


Figure 36 : Exemples de structures obtenues suivant différentes formes d'ouvertures.

La vue en coupe représentée sur la Figure 34 montre un décalage entre les différents niveaux d'oxyde intermétallique sur les bords des ouvertures. Ce décalage, réalisé lors des dessins de masque permet à la passivation constituée de nitrure de silicium de chapeauter les autres couches moins résistantes à la solution de gravure utilisée. De plus, ce recouvrement permet d'éviter les éventuelles problèmes d'infiltrations de liquides entre les différentes couches d'oxyde de silicium durant la libération des structures. Dans notre cas, des retraits entre couches d'oxyde intermétallique de l'ordre de 1 à 2  $\mu\text{m}$  donnent de bons résultats (voir Figure 37).

Du fait que les plans d'arrêt virtuels (111) présentent une vitesse de gravure non nulle, les cavités formées dans le substrat de silicium ont tendance à se propager sous les couches issues du process CMOS hors des zones attribuées aux structures microsystemes (phénomène d'*under-etching*). Ce phénomène oblige le concepteur à ménager une zone de sécurité ne contenant pas d'électronique (pas de transistors ou autres implantations) qui pourrait être détruite durant l'étape de gravure. Autour des

structures microsystèmes, une zone vierge de tout élément actif de l'ordre de 20  $\mu\text{m}$  semble raisonnable mais cette valeur dépend bien sur du temps de gravure.

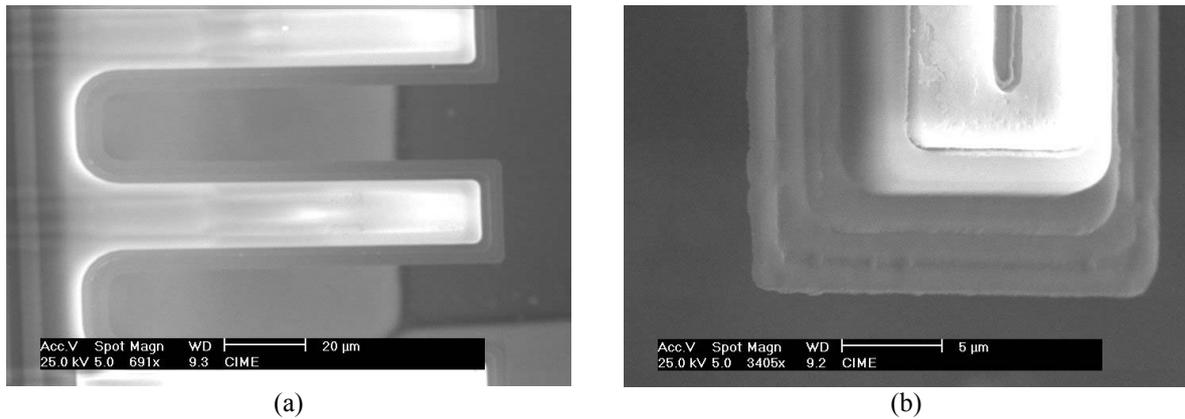


Figure 37 : Micropoutre piézorésistive utilisée en vue de tests (a). Détails du retrait effectué sur les différentes couches d'oxyde afin de les protéger durant l'étape de gravure (b).

### III.4.3 Le micro-usinage en volume par la face arrière

Ce procédé de micro-usinage consiste à effectuer des cavités à partir de la face arrière des puces (face opposée à la face contenant l'électronique) permettant ainsi de réaliser des membranes de silicium monocristallin ou formées par les différentes couches issues de la technologie CMOS utilisée (Les couches dites actives : Oxyde/nitride de silicium, aluminium, polysilicium). L'épaisseur de la membrane de silicium formée est déterminée par le temps de gravure. Si ce temps de gravure est important, la couche de silicium restante peut être inexistante donnant ainsi naissance à une membrane formée exclusivement par les couches issues du process CMOS.

Le masquage de la face arrière délimitant les zones à graver se fait généralement par un dépôt de nitride ou d'oxyde de silicium basse température (préservation de l'électronique) suivi d'une étape de lithographie (voir Figure 38).

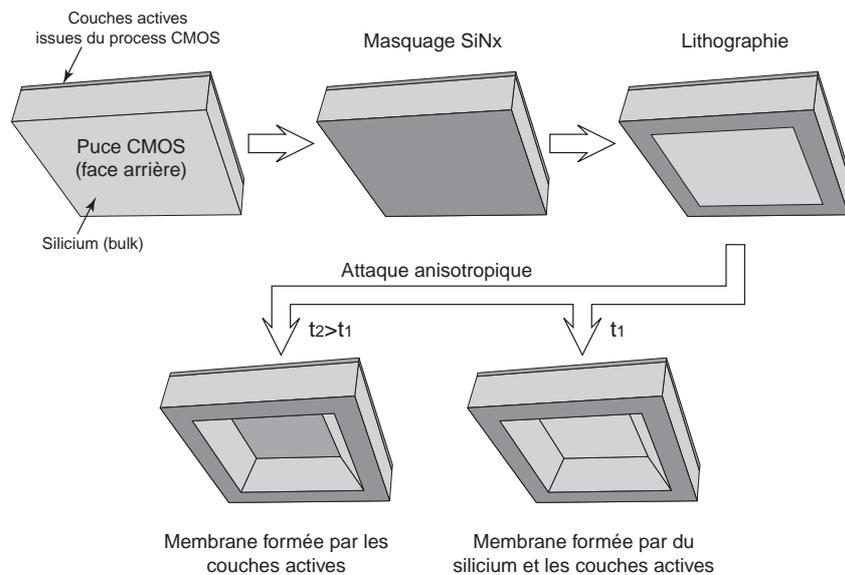


Figure 38 : Micro-usinage par la face arrière.

Ce type de micro-usinage est généralement utilisé pour les applications où il est nécessaire d'obtenir des cavités étanches comme c'est le cas avec les capteurs de pression ou les capteurs acoustiques [16].

L'étape de masquage de la face arrière est une étape difficile et coûteuse dans la mesure où elle nécessite la réalisation d'un masque dédié et oblige d'opérer au niveau du wafer. De plus, afin de protéger la face avant du circuit, l'utilisation d'un cache réalisé en acier inoxydable ou en Téflon suivant la solution chimique utilisée est généralement nécessaire. Pour ces raisons, nous n'avons pas utilisé ce procédé de micro-usinage dans le cadre de ce travail de thèse.

#### III.4.4 Le micro-usinage en volume mixte par la face avant et arrière

Il est possible de conjuguer les deux procédés de micro-usinage en volume présentés précédemment en attaquant le substrat de silicium par la face avant et la face arrière du circuit en même temps. Ce type de micro-usinage en volume permet de suspendre des masses de silicium monocristallin dans le but, par exemple, de réaliser des convertisseurs électro-thermique à longue constante de temps ou des accéléromètres (voir Figure 39) [12][20].

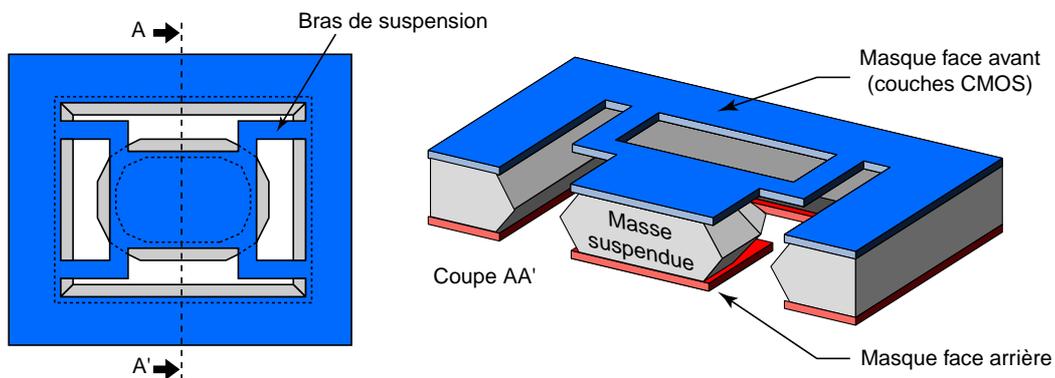


Figure 39 : Réalisation d'une masse de silicium monocristallin suspendue par quatre bras.

Notons qu'il est aussi possible de suspendre des masses de silicium monocristallin en utilisant le micro-usinage en volume par la face avant avec de très longs temps de gravure afin que les cavités réalisées transpercent le substrat de part en part.

#### III.4.5 Le micro-usinage électrochimique

Cette technique exploite le fait que la vitesse d'attaque de la solution chimique employée est modifiée en fonction de la polarisation électrique du matériau à usiner. Si nous considérons un microsystème obtenu à partir d'un process CMOS réalisé sur la base d'un substrat de type P (la majorité des cas actuels), il sera possible avec cette technique de réaliser une couche d'arrêt en polarisant convenablement les caissons de type N (caissons normalement dédiés à la réalisation des transistors PMOS) [21]. Cette couche d'arrêt pourra alors être employée afin de réaliser des membranes de silicium monocristallin (micro-usinage électrochimique par la face arrière) ou des composants suspendus qui seront donc électriquement et thermiquement isolés du substrat (micro-usinage électrochimique par la face avant) comme le montre la Figure 40.

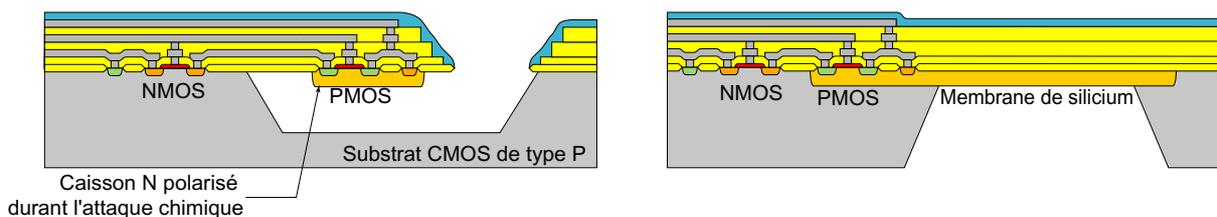


Figure 40 : Micro-usinage électrochimique par la face avant à droite et la face arrière à gauche (échelle verticale non respectée).

### III.4.6 Détermination des temps de gravure : Calculs et simulations

Avant toute étape de micro-usinage en volume, il est indispensable de connaître ou tout au moins d'avoir une estimation du temps de gravure nécessaire pour libérer entièrement les structures devant être suspendues. Dans ce but, connaissant les vitesses d'attaque de la solution utilisée, il est possible d'effectuer des calculs simples et/ou des simulations afin d'extraire les temps de gravure.

Dans cet exposé, nous nous concentrerons sur le cas du micro-usinage en volume par la face avant dans le cas de micropoutres (de type cantilever) disposées longitudinalement par rapport aux axes CAO. A la fin de ce paragraphe nous présenterons brièvement le cas des microponts. L'agent de gravure utilisé est toujours le TMAH 10 % porté à une température d'environ 85°C.

#### III.4.6.1 Estimations des temps de gravure par le calcul

Expérimentalement, lors de la libération d'une micropoutre orientée suivant les axes CAO, on peut observer deux phases distinctes dans le processus de propagation de la gravure sous la structure. La première phase aboutit à la formation d'une pointe de silicium sous la micropoutre résultante de la jonction entre les plans {123} (voir Figure 41 et Figure 42 (a)). Durant la deuxième phase, la pointe de silicium ainsi formée va être gravée jusqu'à sa disparition totale (voir Figure 41 et Figure 42 (b)). Le bout de cette pointe de silicium sera représenté dans la suite par le point noté M. Notons que ce point sera quelquefois virtuel puisque n'étant pas réellement présent (notamment à la fin du temps  $t_1$ ).

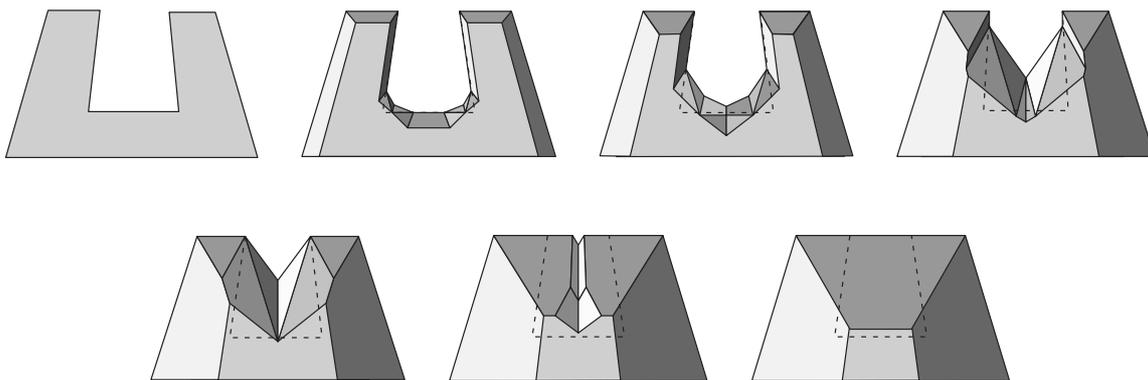


Figure 41 : Représentation en 3D de l'évolution de la gravure sous une micropoutre de type cantilever.

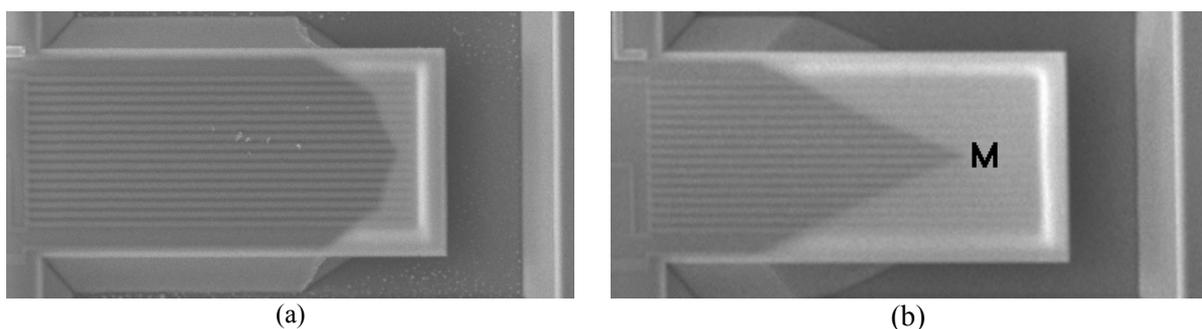


Figure 42 : Formation d'une pointe de silicium (interception des plans {123} représentée par le point M) sous la structure (ici un convertisseur électro-thermique en forme de poutre) durant la gravure TMAH.

On peut donner une estimation assez fidèle du temps de gravure requis pour libérer la structure en calculant le temps nécessaire pour la formation (temps  $t_1$ ) et la disparition (temps  $t_2$ ) de cette pointe de silicium. Le temps requis pour la formation de la pointe de silicium est égal à la durée nécessaire pour que les deux plans {123} issus des angles convexes de la micropoutre se rejoignent. L'expression de ce temps  $t_1$  est la suivante :

$$t_1 = \frac{W/2}{V_M \cdot \tan(18.4^\circ)} \quad \text{avec} \quad V_M = \frac{U_{\{123\}}}{\sin(18.4^\circ)}$$

Où  $U_{\{123\}}$  représente la vitesse de gravure des plan  $\{123\}$  projetée dans le plan de la puce,  $V_M$  la vitesse de progression du point M et W la largeur de la micropoutre (voir Figure 43).

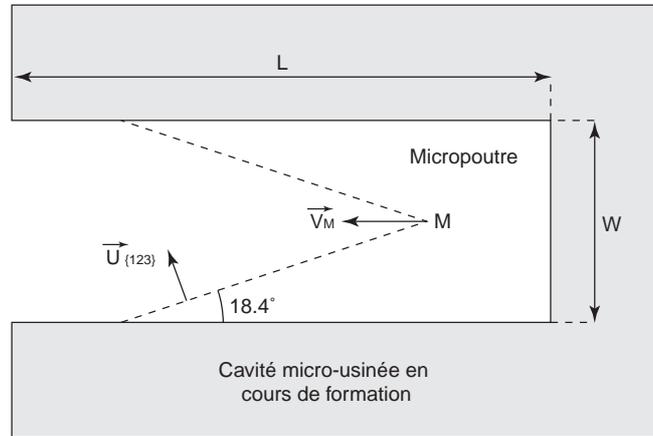


Figure 43 : Schéma de la micropoutre

Le temps  $t_2$  nécessaire pour la disparition de la pointe de silicium après sa formation est comme suit :

$$t_2 = \frac{L}{V_M}$$

D'après les essais effectués, pour une solution de TMAH 10 %, la valeur de la vitesse  $U_{\{123\}}$  est égale à environ  $0,46 \mu\text{m} \cdot \text{min}^{-1}$  (d'après les observations réalisées), ce qui donne pour une micropoutre de  $100 \mu\text{m}$  de long sur  $30 \mu\text{m}$  de large, un temps total de gravure de l'ordre de 100 minutes.

#### III.4.6.2 Simulations 2D de la gravure anisotrope : Simulateur ACESIM

Il existe différents modèles distincts pour la simulation de la gravure anisotrope : les modèles atomistiques et les modèles géométriques. Les modèles géométriques s'appuient sur la méthode de prédiction de Wulff-Jaccodine [13] pour déterminer la forme de la cavité formée à la surface de la puce en fonction du temps. La progression de la gravure est représentée par l'évolution de vertex définissant l'intersection de plans avec la surface de la puce. En fonction des vitesses de gravure, la position des vertex évolue provoquant la disparition ou l'apparition de nouveaux plans.

Un simulateur de gravure de ce type (*ACESIM*) a été élaboré au laboratoire TIMA et intégré à un environnement de CAO microélectronique CADENCE [13]. Un exemple de simulation avec ce logiciel est montré sur la Figure 44 où le profil de la cavité est représenté à différents instants (pas de temps constant de 10 minutes).

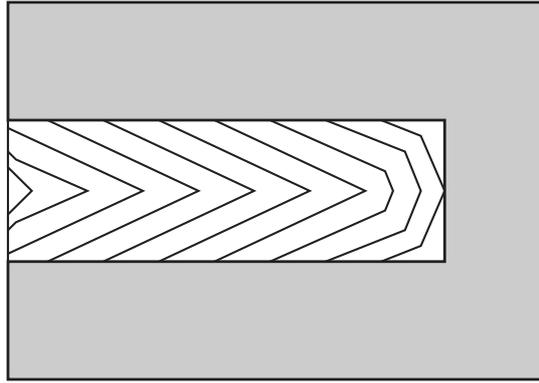


Figure 44 : Exemple de simulation 2D réalisé avec le logiciel *ACESIM*

### III.4.6.3 Simulation 3D de la gravure anisotrope : Simulateur *ACES*

Contrairement aux simulateurs 2D, les simulateurs 3D discrétisent le substrat en un certain nombre de points comme les atomes de silicium dans le cristal. A chaque pas de calcul, l'algorithme va estimer l'orientation des plans définissant l'enveloppe extérieur du volume du substrat et appliquer une vitesse de gravure donnée afin de déterminer les atomes à éliminer [22].

Alors que les simulateurs 2D se contentent du diagramme de gravure projeté dans le plan de la surface de la puce (voir Figure 31 et Figure 33), l'algorithme des simulateurs 3D nécessite de connaître les vitesses de gravure pour toutes les directions de l'espace (diagramme de gravure 3D, voir Figure 45). Le diagramme de gravure 3D est généralement déterminé par le biais d'interpolations linéaires (dans différentes bases vectorielles de l'espace) et nécessite de connaître les vitesses d'attaque dans les directions (100), (110), (311), (111) [22]. Notons que les vitesses de gravure dans les directions (311) et (110) ne sont pas simples à déterminer et sont simplement estimées. Nous ne rentrerons pas ici en détail dans les méthodes utilisées.

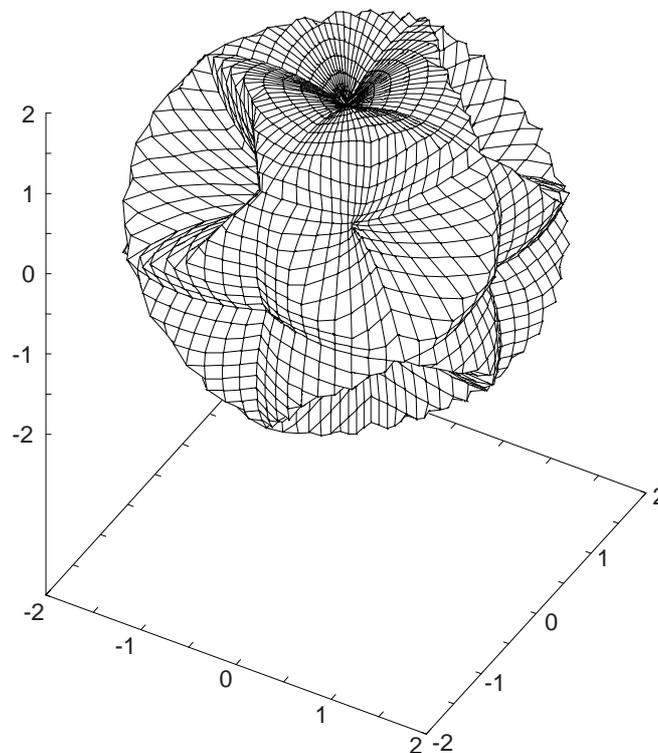


Figure 45 : Estimation du diagramme de gravure 3D du TMAH 10 %. Ce diagramme a été calculé grâce à un programme réalisé en langage C suivant l'algorithme présenté dans [22].

Pour effectuer les simulations de gravure 3D, nous avons utilisé le logiciel *ACES* développé par l'Université de l'Illinois à Urbana-Champaign. Un exemple de simulations de gravure au TMAH 10 % est représenté sur la Figure 46 dans le cas de micropoutres de 100  $\mu\text{m}$  de long sur 30  $\mu\text{m}$  de large. Il est intéressant de noter que le temps donné par ces simulations pour libérer totalement les structures est consistant par rapport à l'estimation faite par le calcul (les structures étaient bien entendu les mêmes).

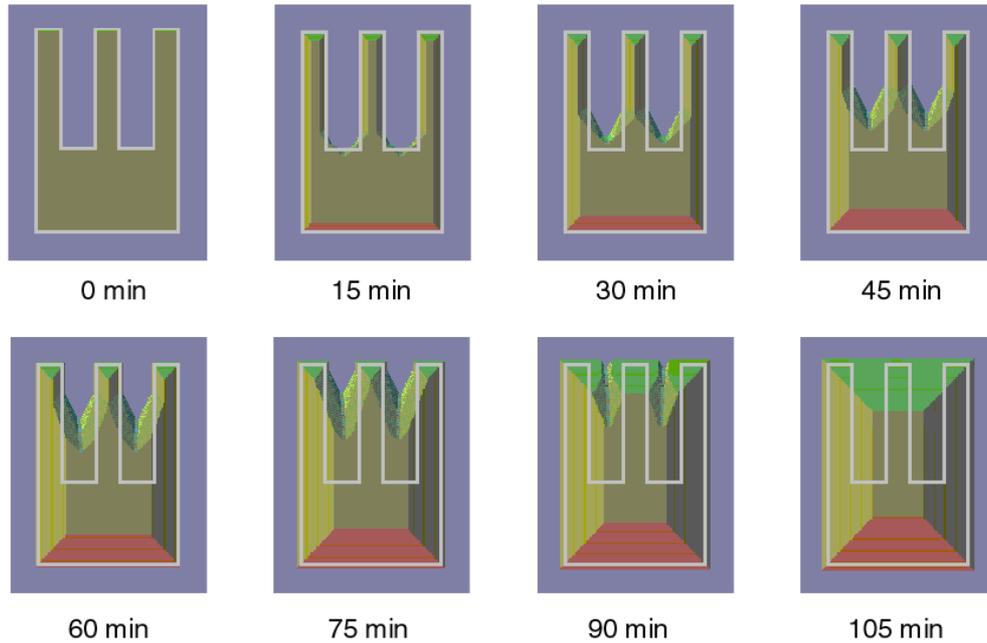


Figure 46 : Simulations 3D effectuées avec le logiciel *ACES* dans le cas de micropoutres.

#### III.4.6.4 Cas des microponts : simulations effectuées sous *ACES*

Dans le cas de microponts, ces derniers doivent être nécessairement orientés suivant un angle compris entre  $45^\circ$  et  $60^\circ$  par rapport à l'horizontale afin d'être libérés durant l'étape d'attaque chimique. Notons que dans la majorité des cas, nous utiliserons des structures orientées avec un angle constant de  $60^\circ$ . La Figure 47 montre de quelle manière sont définies les dimensions dans le cas de microponts.

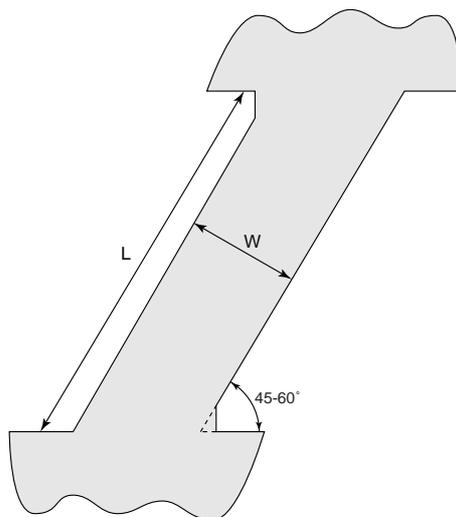


Figure 47 : Définition des dimensions utilisées dans le cas de microponts.

Dans le cas de ces microstructures, mise à part la durée de l'attaque chimique, il existe une condition géométrique nécessaire pour qu'elles se libèrent entièrement. Sans rentrer dans les détails, cette condition peut être exprimée de la manière suivante en utilisant  $\alpha$  comme étant l'angle formé par la structure avec l'horizontale (axe CAO 0x) :

$$\frac{W}{L} < \frac{\sin(2.\alpha)}{2} \quad \text{soit encore pour } \alpha=60^\circ : \frac{W}{L} < 0,433$$

Un exemple de simulation de gravure est représenté sur la Figure 48 dans le cas de microponts orientés à  $60^\circ$ . Les microstructures ont ici comme dimensions  $150 \mu\text{m}$  de long et  $30 \mu\text{m}$  de large ( $L=150 \mu\text{m}$  et  $W=30 \mu\text{m}$ ).

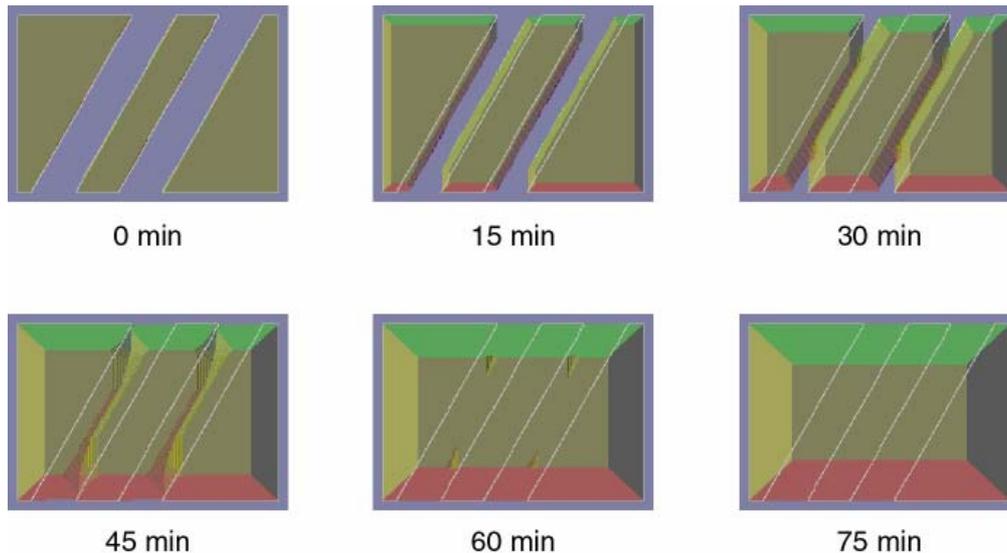


Figure 48 : Simulations 3D effectuées avec le logiciel ACES dans le cas de microponts.

### III.4.7 Conclusion sur le micro-usinage en volume

Nous avons ici décrit les différentes techniques de micro-usinage en volume en phase liquide utilisées à l'heure actuelle sur la base de circuits VLSI de type silicium. Cet exposé s'est particulièrement consacré au micro-usinage en volume par la face avant (gravure TMAH) qui sera employé pour la réalisation des capteurs décrits dans ce mémoire de thèse de doctorat.

Il faut insister sur le fait que le micro-usinage en volume sur la base d'un circuit CMOS (ou BiCMOS) est maintenant arrivé à maturité. Cette technologie est pour l'instant l'une des seules qui est économiquement abordable tout en permettant d'obtenir sur le même substrat de silicium des structures MEMS ainsi que de l'électronique de traitement. Ceci permet d'envisager la fabrication à grande échelle de microsystèmes dits intelligents pouvant être facilement industrialisables ouvrant ainsi la voie aux systèmes SOC (*System On a Chip*) [17].

## III.5 Modélisation mécanique des microstructures

Nous allons ici nous efforcer de déterminer analytiquement le comportement mécanique des microstructures qu'il est possible d'utiliser (micropoutres de type cantilever ou microponts), ainsi que la variation de résistance électrique induite au sein des jauges piézorésistives en fonction des déformations induites par le passage du doigt.

Le but d'un modèle mécanique analytique, à l'instar des équations obtenues dans le cadre de l'étude d'un circuit électronique, n'est pas de fournir des résultats numériques qui peuvent être considérés comme infaillibles. En effet dans notre cas, de nombreuses simplifications sont opérées et beaucoup de données se révèlent incertaines (notamment les modules d'Young ainsi que les différentes épaisseurs des couches CMOS). En fait la vocation première d'un modèle analytique (qu'il soit mécanique ou non) est de fournir, par l'intermédiaire des relations mathématiques obtenues, des ordres de grandeur. De plus, il permet de voir de quelle manière telle ou telle donnée influe sur le résultat final recherché.

### III.5.1 Caractéristiques mécaniques des microstructures utilisées

#### III.5.1.1 Système d'axes et repère utilisé

Avant tout, il convient de déterminer le système de coordonnées qui sera utilisé tout au long de la modélisation mécanique des microstructures. Tout au long de ce chapitre, nous utiliserons un repère de coordonnées cartésien dont l'origine ( $x=y=z=0$ ) sera placée à la base des microstructures au niveau de la face inférieure (voir Figure 49 et Figure 50).

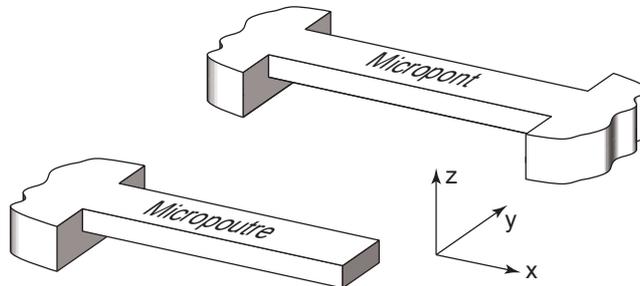


Figure 49 : Système de coordonnées cartésien utilisé pour les calculs.

#### III.5.1.2 Caractéristiques des matériaux composant les microstructures

Les microstructures sont composées de différents matériaux issus du process CMOS utilisé qui sont l'oxyde de silicium ( $\text{SiO}_2$ ), l'aluminium, le polysilicium et le nitrure de silicium ( $\text{SiN}_x$ ). Les caractéristiques de ces différents matériaux sont répertoriées dans le Tableau 8.

Matériaux	Module d'Young [GPa]	Densité [ $\text{kg.m}^{-3}$ ]	Coefficient de Poisson	Contrainte de rupture [MPa]
Oxyde de silicium ( $\text{SiO}_2$ )	75	2200	0,16 ~ 0,17	50 ~ 70
Aluminium	70	2700	0,33	180
Polysilicium	170	2300	0,22 ~ 0,28	760
Nitrure de silicium ( $\text{SiN}_x$ )	380	3100	0,22 ~ 0,27	300 ~ 850

Tableau 8 : Caractéristiques mécaniques des différents matériaux composant les microstructures [12][23].

#### III.5.1.3 Simplifications, section homogène équivalente

Les microstructures utilisées ne possèdent pas de largeur fixe vu les retraits effectués entre les différentes couches. La première simplification que nous allons faire, est de considérer que toutes les couches constituant le corps de la microstructure ont la même largeur, la largeur du LOCOS qui est la plus importante [24]. Le résultat de cette simplification est que la microstructure présente maintenant des flancs droits, comme le montre la Figure 50. Notons que les retraits existant entre les différentes

couches CMOS sont de dimensions négligeables par rapport à la largeur totale de la structure. De ce fait, la simplification ici opérée n'aura que peu d'impact sur les calculs qui seront effectués.

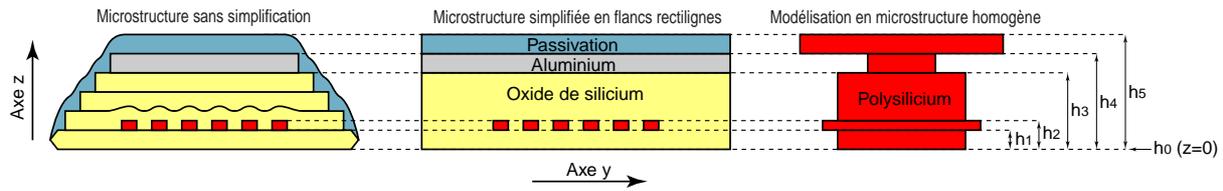


Figure 50 : Les différentes étapes de simplification de la micropoutre vue ici en coupe.

Afin d'effectuer les divers calculs, il est nécessaire de transformer la structure initiale en structure homogène équivalente formée d'un seul matériau (le matériau dit de référence). Nous choisissons ici le polysilicium comme matériau de référence, matériau dont sont constituées les jauges piezorésistives. Notons que le choix du polysilicium est ici purement arbitraire, les résultats étant les mêmes avec un autre matériau de référence. Cette deuxième transformation est représentée sur la Figure 50.

Afin de passer de la microstructure hétérogène à la microstructure homogène équivalente, il suffit de modifier la largeur initiale des différentes couches qui seront ici référencées par l'indice  $i$  (en commençant par la couche la plus basse qui est le LOCOS référencé tel que  $i=1$ ) comme il suit :

$$l_i = \frac{E_i \cdot l_{init}}{E_{ref}}$$

Où  $l_i$  est la largeur après transformation,  $l_{init}$  la largeur initiale,  $E_i$  le module d'Young du matériau composant la couche considérée avant transformation et  $E_{ref}$  le module d'Young du matériau de référence choisi (ici le polysilicium). Le niveau où se trouvent les jauges de contrainte ( $i=2$ ) doit être traité différemment du fait de son hétérogénéité. Nous ne considérerons que les éléments longitudinaux de la jauge piezorésistive et nous les supposons, de plus, présents sur toute la longueur de la microstructure. En posant  $\beta$  comme étant le rapport entre la largeur totale de polysilicium employé et la largeur de la microstructure ( $\beta \in ]0; 1[$ ), le module d'Young équivalent de la couche où se trouvent les jauges peut s'exprimer ainsi :

$$E_2 = \beta \cdot E_{poly} + (1 - \beta) \cdot E_{SiO_2}$$

#### III.5.1.4 Calcul du niveau du plan de fibre neutre

Lorsqu'une microstructure (poutre de type cantilever ou pont) de section symétrique, est chargée dans une seule direction, il existe un plan (plan de fibre neutre) où le matériau n'est soumis ni à une compression ni à une extension longitudinale ( $\sigma_f=0$ ). Tant que l'on reste dans le domaine de déformations élastiques, le plan de fibre neutre est confondu avec le centre d'inertie de la microstructure considérée et il est donc facile à déterminer. En utilisant le repère représenté sur la Figure 50, le niveau  $\bar{z}$  du plan de fibre neutre de la microstructure de section homogène est tel que :

$$\bar{z} = \frac{1}{S} \int_S z \cdot dS$$

Où  $S$  correspond à la surface de la section équivalente ( $dS=dy \cdot dz$ ). Cette intégrale peut être facilement discrétisée comme il suit :

$$\bar{z} = \frac{\sum_i l_i (h_i^2 - h_{i-1}^2)}{2 \cdot \sum_i l_i (h_i - h_{i-1})}$$

Soit encore en utilisant les modules d'Young des différentes couches :

$$\bar{z} = \frac{\sum_i E_i (h_i^2 - h_{i-1}^2)}{2 \cdot \sum_i E_i (h_i - h_{i-1})}$$

Il faut noter que la valeur du module d'Young de référence  $E_{ref}$  n'intervient plus dans cette dernière relation montrant bien que le choix du matériau de référence est purement arbitraire. Remarquons de plus que la largeur de la microstructure n'intervient pas.

La valeur du niveau du plan de fibre neutre est riche d'enseignements dans la mesure où elle nous permettra de déterminer quel type de contraintes mécaniques subiront les jauges de polysilicium. En effet, si nous prenons le cas d'une micropoutre de type cantilever, lors de la flexion de cette dernière vers le bas, tous les éléments se trouvant sous le niveau du plan de fibre neutre travailleront en compression ( $\sigma_i < 0$ ) alors que tous ceux se trouvant au-dessus travailleront en extension longitudinale ( $\sigma_i > 0$ ).

Il est possible d'approximer le niveau de fibre neutre en fonction du facteur  $\beta$  suivant une fonction linéaire. Ici deux cas ont été considérés suivant que la microstructure possédant ou non le dernier niveau métallique de la technologie CMOS utilisée (couche Met3) :

$$\text{Avec Met3 : } \bar{z}[\mu\text{m}] \cong 3,6721 - 0,114\beta$$

$$\text{Sans Met3 : } \bar{z}[\mu\text{m}] \cong 3,1266 - 0,1021\beta$$

### III.5.1.5 Calcul de l'inertie de la section homogène équivalente

La valeur de l'inertie de la section homogène équivalente est utile dans la mesure où elle intervient notamment dans le calcul de la raideur des microstructures utilisées ainsi que dans le calcul des contraintes au sein de jauges piezorésistives. L'inertie (exprimée en  $\text{m}^4$ ) d'une poutre ou d'un pont de section homogène et symétrique est une valeur de nature purement géométrique et est donnée par la relation suivante :

$$I = \int_s (z - \bar{z})^2 dS$$

Toujours en utilisant la section homogène équivalente des microstructures utilisées, il est possible de discrétiser l'intégrale ci-dessus telle que :

$$I = \sum_i \left\{ l_i \left[ \frac{1}{3} (h_i^3 - h_{i-1}^3) - \bar{z} (h_i^2 - h_{i-1}^2) + \bar{z}^2 (h_i - h_{i-1}) \right] \right\}$$

Soit encore en utilisant les modules d'Young des différentes couches :

$$I = \frac{l_{init}}{E_{ref}} \sum_i \left\{ E_i \left[ \frac{1}{3} (h_i^3 - h_{i-1}^3) - \bar{z} (h_i^2 - h_{i-1}^2) + \bar{z}^2 (h_i - h_{i-1}) \right] \right\}$$

Cette dernière équation révèle que l'inertie est proportionnelle à la largeur initiale de la microstructure ( $I_{init}$ ). Dans ce qui suit, il sera plus commode de manipuler une valeur de l'inertie, notée  $I_u$  (exprimée en  $m^4/m$  soit encore en  $m^3$ ), donnée pour une microstructure de largeur initiale de valeur unité telle que ci-dessous :

$$I_u = \frac{I}{I_{init}} = \frac{1}{E_{ref}} \sum_i \left\{ E_i \cdot \left[ \frac{1}{3} \cdot (h_i^3 - h_{i-1}^3) - \bar{z}_i \cdot (h_i^2 - h_{i-1}^2) + \bar{z}_i^2 \cdot (h_i - h_{i-1}) \right] \right\}$$

Cette dernière équation est peu commode à manipuler et l'inertie d'une microstructure de largeur initiale unité peut être avantageusement approximée en fonction du facteur  $\beta$  à l'aide d'une fonction linéaire. Là aussi, deux cas sont considérés suivant que le troisième niveau métallique est présent ou non :

Avec Met3 :  $I_u [\mu m^3] \cong 11,8623 + 1,3838 \cdot \beta$

Sans Met3 :  $I_u [\mu m^3] \cong 7,0632 + 0,9459 \cdot \beta$

### III.5.1.6 Raideur des structures, flèche maximale

A l'instar d'un ressort, il est possible de définir la raideur d'une poutre de type cantilever ou d'un pont. La raideur sera définie par l'équation  $k=F/d$  en prenant  $d$  comme étant la flèche maximum de la structure (longueur notée positivement, voir Figure 51) et  $F$  la charge ponctuelle appliquée ( $F$  en N et  $k$  en N/m).

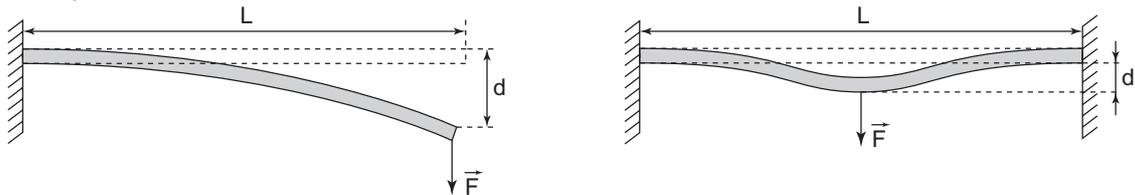


Figure 51 : Flèche maximale d'une poutre et d'un pont sous l'action d'une charge ponctuelle.

Dans le cadre de cet exposé, nous ne présenterons pas le raisonnement suivi afin d'obtenir les raideurs des différentes structures. Le Tableau 9 répertorie les raideurs des différentes microstructures utilisées.

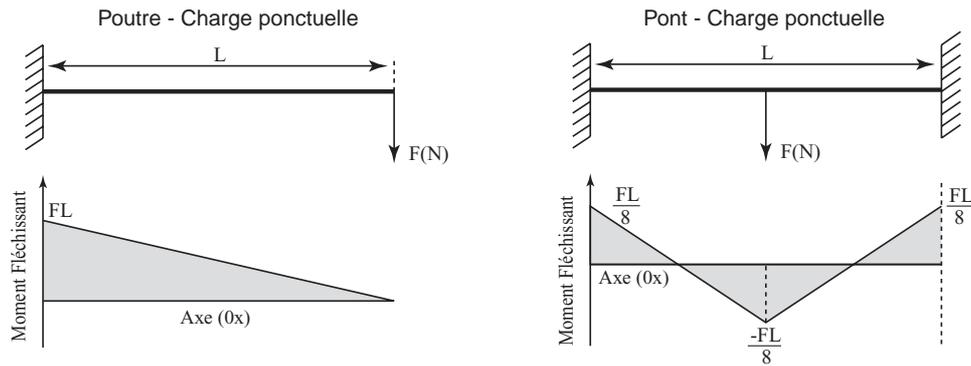
	Poutre de type cantilever	Pont
Charge ponctuelle (F en N et k en N/m)	$k = \frac{3 \cdot E \cdot I}{L^3}$	$k = \frac{192 \cdot E \cdot I}{L^3}$

Tableau 9 : Raideur des différentes structures pour une charge ponctuelle.

### III.5.1.7 Moment fléchissant

Alors que le niveau de fibre neutre et l'inertie sont des valeurs indépendantes du fait que la microstructure considérée soit une micropoutre ou un micropont, le moment fléchissant (noté  $M_f$  est exprimé en N.m) est lié d'une part au type de la structure mais aussi à la manière dont la charge est répartie (charge ponctuelle ou répartie sur l'ensemble du corps de la structure).

La Figure 52 montre la valeur du moment fléchissant en tout point pour différentes structures (poutre de type cantilever et pont).

Figure 52 : Moment fléchissant dans le cas d'une charge ponctuelle ( $M_f$  linéaire).

### III.5.1.8 Contraintes mécaniques au sein des matériaux constituant la microstructure

Connaissant le moment fléchissant induit par l'application des forces, le niveau de fibre neutre et l'inertie, il est possible de connaître en tout point de la microstructure les contraintes mécaniques qui s'exercent. Les sections des microstructures utilisées étant symétriques et considérées comme homogènes (les microstructures ont été modélisées en section équivalente homogène), seules des contraintes mécaniques longitudinales apparaissent. Ces contraintes, notées  $\sigma_1$  (exprimées en Pa) sont données par la relation suivante :

$$\sigma_1(x, z) = \frac{M_f(x)}{I} \cdot (z - \bar{z})$$

En utilisant la loi de Hooke ( $\sigma = E \cdot \varepsilon$ , cas des contraintes uniaxiales) il est possible d'exprimer la déformation (valeur sans unité) subie par le matériau :

$$\varepsilon_1(x, z) = \frac{\sigma_1(x, z)}{E} = \frac{M_f(x)}{E \cdot I} \cdot (z - \bar{z})$$

Les deux dernières équations illustrent bien que les fibres se trouvant sous le niveau de la fibre neutre subiront des contraintes compressives et les fibres se trouvant au-dessus des contraintes extensives. En outre, plus ces dernières seront éloignées du niveau de fibre neutre, plus la valeur absolue des contraintes mécaniques s'exerçant sur elles seront importantes.

### III.5.1.9 Fréquence de vibration des micropoutres (mode fondamental)

Il peut être intéressant de connaître la fréquence de mode fondamental des microstructures afin de déterminer si ces dernières peuvent être mécaniquement excitées par des vibrations provenant de l'environnement où sera utilisé le capteur. Nous allons ici simplement nous intéresser au cas des micropoutres, les microponts présentant des fréquences de vibration bien supérieures du fait de leur forte rigidité. La fréquence de mode fondamentale d'une poutre cantilever de section homogène peut être approximée par l'équation suivante :

$$v \cong \frac{3,52}{2 \cdot \pi} \sqrt{\frac{E \cdot I}{M \cdot L^3}}$$

A titre d'exemple, dans le cas d'une micropoutre de 100  $\mu\text{m}$  de long sur 30  $\mu\text{m}$  de large, possédant un facteur  $\beta$  égal à 0,213 (jauge piezorésistive composée de huit éléments longitudinaux de 0,8  $\mu\text{m}$  de large) et le troisième niveau métallique (en fait le cas ici considéré est le cas du premier prototype réalisé), la fréquence de vibration est de l'ordre de 690 kHz. Cette fréquence très élevée ne peut être générée par l'environnement extérieur du capteur en mode d'utilisation normale réduisant ainsi à néant

le risque de mise en vibration des microstructures mécaniques. De plus, cette fréquence est bien supérieure aux sollicitations mécaniques imposées par le passage du doigt.

### III.5.2 Réponse piezorésistive dans le cas de micropoutres

#### III.5.2.1 Dimensions de la microstructure

Les variables exprimant les dimensions de la micropoutre ainsi que celles de la jauge piezorésistive sont répertoriées sur Figure 53. Ces variables dimensionnelles ont été choisies de manière à obtenir des relations exploitables dans toutes les configurations possibles.

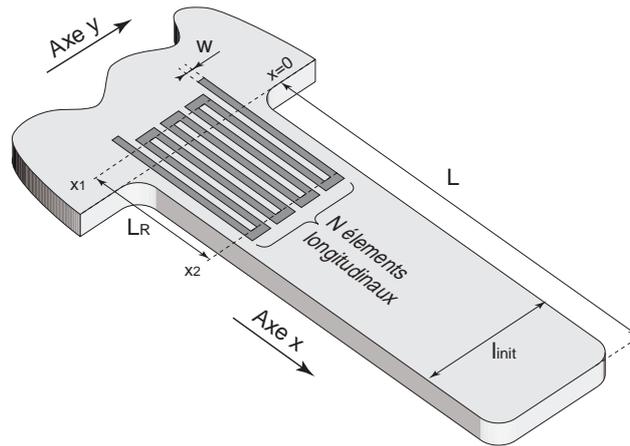


Figure 53 : Variables dimensionnelles de la micropoutre piezorésistive.

#### III.5.2.2 Réponse piezorésistive

Pour effectuer le calcul de la variation de résistance électrique, nous ne tiendrons compte que des contraintes mécaniques longitudinales présentes au sein des éléments longitudinaux de la jauge de polysilicium. Vu que les contraintes mécaniques (et donc l'élongation) ne sont pas constantes, nous serons amenés à utiliser la valeur moyenne de l'élongation longitudinale prise sur l'intégralité de la jauge pour le calcul de la variation relative de résistance électrique. Cette valeur notée  $\bar{\epsilon}_1$  est définie telle que :

$$\bar{\epsilon}_1 = \frac{\int_{h_1 x_1}^{h_2 x_1} \int_{h_1 x_1}^{h_2 x_1} H(x) \cdot \epsilon(x, z) \cdot dx \cdot dz}{\int_{h_1 x_1}^{h_2 x_1} \int_{h_1 x_1}^{h_2 x_1} dx \cdot dz}$$

Où  $H(x)$  est la fonction Heavyside imposant le fait que l'élongation est strictement nulle pour toutes valeurs de  $x$  inférieures à zéro. Autrement dit, nous considérerons toujours que les contraintes mécaniques (et par conséquent l'élongation) sont nulles partout là où les structures ne sont pas suspendues (là où le silicium monocristallin n'a pas été gravé). La fonction Heavyside est, rappelons-le, définie telle que :

$$H(x) = \begin{cases} 1 & \text{si } x \geq 0 \\ 0 & \text{si } x < 0 \end{cases}$$

Cette intégrale peut être partiellement calculée et donne :

$$\bar{\varepsilon}_1 = \frac{1}{E.I.L_R} \left( \frac{h_2 + h_1}{2} - \bar{z} \right) \int_{x_1}^{x_2} H(x).M_f(x).dx$$

Connaissant la valeur moyenne de l'élongation longitudinale, il est aisé d'obtenir la variation relative de résistance électrique en utilisant le facteur de jauge piezorésistif uniaxial longitudinal :

$$\frac{\Delta R}{R} = \bar{\varepsilon}_1 . G_1$$

### III.5.2.2.1 Cas où une charge ponctuelle est appliquée à la structure

Dans le cas où la charge est ponctuelle (au bout de la micropoutre), le moment fléchissant est une expression linéaire en fonction de la position  $x$  le long de la micropoutre telle que :

$$M_f(x) = F.(L - x)$$

La variation de résistance électrique est cette fois telle que :

$$\frac{\Delta R}{R} = \frac{G_1.F}{2.E.I.L_R} \left( \frac{h_2 + h_1}{2} - \bar{z} \right) (x_1.H(x_1) - x_2)(x_1.H(x_1) + x_2 - 2.L)$$

Notons que dans cette dernière expression,  $x_2$  est toujours considéré comme étant positif (condition nécessaire pour qu'au moins une partie de la jauge soit présente sur la microstructure).

### III.5.2.2.2 Variation de résistance électrique en fonction de la déflexion

Il peut être intéressant de connaître la variation de résistance électrique induite au sein de la jauge en fonction d'une déflexion connue imposée au bout de la micropoutre (déflexion notée  $d$  et considérée comme positive). Connaissant l'expression de la raideur de la micropoutre, il est facile d'obtenir l'équation ci-dessous :

$$\frac{\Delta R}{R} = \frac{3.G_1.d}{2.L^3.L_R} \left( \frac{h_2 + h_1}{2} - \bar{z} \right) (x_1.H(x_1) - x_2)(x_1.H(x_1) + x_2 - 2.L)$$

Cette dernière relation est utile dans le cadre de tests où, avec l'aide d'une pointe asservie à une vis micrométrique, il est possible d'imprimer un déplacement déterminé au bout de la microstructure. Dans ce cas, il est possible d'extraire différentes données expérimentales comme, par exemple, le coefficient de jauge longitudinal noté ici  $G_1$ .

## III.5.3 Réponse piezorésistive dans le cas de microponts

### III.5.3.1 Transformation et dimensions de la microstructure

Lors d'un procédé de micro-usinage par la face avant, il est nécessaire d'orienter les microponts suivant un angle non nul par rapport à la verticale, afin que ces derniers soient bien libérés durant l'attaque chimique anisotrope. Toute l'étude mécanique que nous avons menée jusqu'à présent se référait à des ponts où ces derniers formaient un angle droit avec le bâti qui les maintient. Afin de pouvoir utiliser les relations précédemment déterminées, il est nécessaire d'opérer une transformation géométrique afin de passer d'un micropont incliné à un micropont perpendiculaire au bâti, comme le montre la Figure 54. Les variables dimensionnelles qui seront utilisées par la suite sont explicitées sur la même figure.

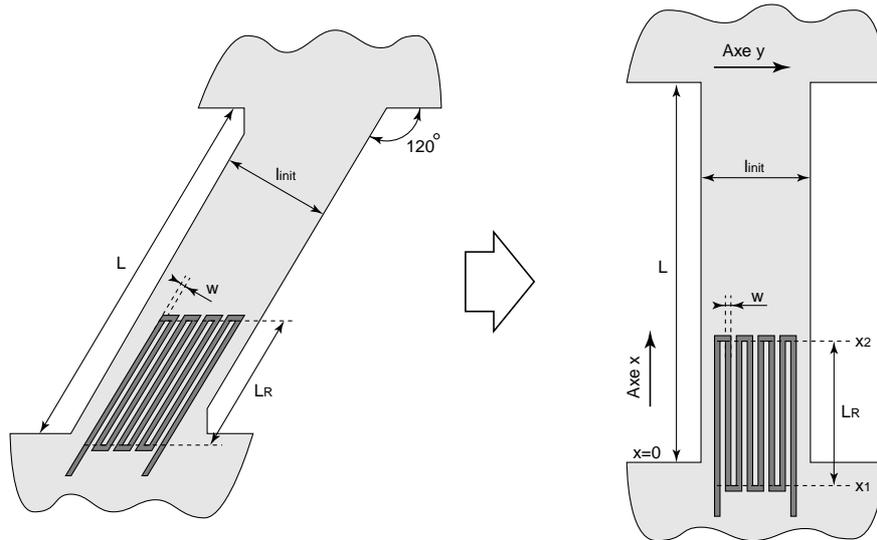


Figure 54 : Transformation d'un micropont incliné en micropont équivalent qui est cette fois perpendiculaire au bâti qui le maintient. Cette même figure énumère les variables dimensionnelles qui seront utilisées par la suite.

### III.5.3.2 Réponse piezorésistive

Comme dans le cas des micropoutres, nous utiliserons la valeur moyenne de l'élongation longitudinale sur l'ensemble de la jauge. L'expression de cette valeur moyenne est la même que dans le cas des poutres cantilever, seul le moment fléchissant étant différent.

#### III.5.3.2.1 Cas où une charge ponctuelle est appliquée à la structure

Dans le cas où la charge est ponctuelle (charge appliquée au milieu du pont), le moment fléchissant est une expression linéaire en fonction de la position  $x$  le long de la microstructure telle que :

$$M_f(x) = -\frac{F}{2} \cdot \left( x - \frac{L}{4} \right) \quad \text{pour } 0 \leq x \leq \frac{L}{2}$$

La variation de résistance électrique est cette fois telle que :

$$\frac{\Delta R}{R} = \frac{G_1 \cdot F}{4 \cdot E \cdot I \cdot L_R} \cdot \left( \frac{h_2 + h_1}{2} - \bar{z} \right) \cdot (x_1 \cdot H(x_1) - x_2) \cdot \left( x_1 \cdot H(x_1) + x_2 - \frac{L}{2} \right)$$

Notons que cette dernière expression n'est valable que si la valeur de l'abscisse  $x_2$  est inférieure à la moitié de la longueur totale du micropont.

#### III.5.3.2.2 Variation de résistance électrique en fonction de la déflexion

La variation de résistance électrique induite au sein de la jauge en fonction de la déflexion  $d$  imposée au centre du micropont est telle que :

$$\frac{\Delta R}{R} = \frac{48 \cdot G_1 \cdot d}{L^3 \cdot L_R} \cdot \left( \frac{h_2 + h_1}{2} - \bar{z} \right) \cdot (x_1 \cdot H(x_1) - x_2) \cdot \left( x_1 \cdot H(x_1) + x_2 - \frac{L}{2} \right)$$

### III.5.4 Simulations par la méthode des éléments finis (FEM)

Plusieurs suppositions ayant été faites dans le cadre des modèles analytiques, il convient de vérifier les résultats qu'ils fournissent en effectuant des comparaisons avec des simulations en éléments finis (simulations FEM pour *Finite Element Modeling*). Toutes les simulations qui seront ici effectuées, le seront en utilisant le logiciel ANSYS 5.7 [25] qui est largement utilisé dans le domaine des microsystèmes bien qu'étant initialement dédié à l'étude des structures macroscopiques.

#### III.5.4.1 Modèles FEM utilisés

Que l'on se place dans le cadre d'un modèle analytique ou dans le cadre d'un modèle FEM, certaines simplifications sont inévitables afin d'obtenir, dans le premier cas, des expressions mathématiques exploitables ou, dans le second cas, une description géométrique simplifiée de la microstructure permettant d'effectuer des simulations dans un laps de temps raisonnable.

##### III.5.4.1.1 Modèles FEM prenant en compte les retraits effectués entre les différentes couches CMOS

Nous avons, dans un premier temps, modéliser les microstructures utilisées en tenant compte des retraits effectués entre les différentes couches d'oxyde intermétalliques (sur les bords de la cavité micro-usinée) ainsi que des arrondis au bout des micropoutres. La Figure 55 montre le modèle obtenu dans le cas d'une micropoutre de 100  $\mu\text{m}$  de long sur 30  $\mu\text{m}$  de large.

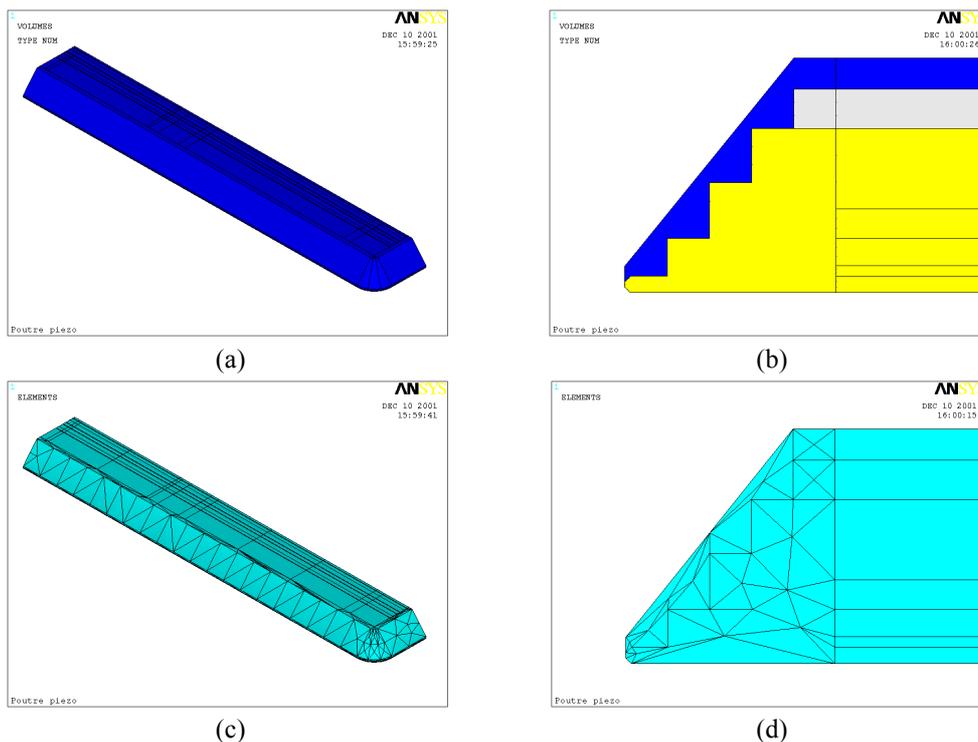


Figure 55 : Modèle FEM d'une micropoutre tenant compte des retraits entre les différentes couches et des arrondis. Vue d'ensemble de la microstructure (seule la moitié de la micropoutre est représentée) (a), détail des retraits (b), détail du maillage (c) et (d).

Du fait de la présence des arrondis ainsi que des retraits entre les différentes couches, le maillage de ce modèle nécessite l'utilisation d'éléments rectangulaires ainsi que d'éléments tétraédriques comme le montre la Figure 55 (c). La coexistence de ces deux types d'éléments implique malheureusement un nombre de nœuds élevé rendant prohibitifs les temps de calcul. Par la suite, nous utiliserons des modèles ne prenant en compte ni les retraits entre les différentes couches, ni les arrondis et ce, aussi bien dans le cas des micropoutres que des microponts. De cette manière, les temps de calcul des

simulations effectuées demeurent raisonnables tout en donnant des résultats très proches de ceux fournis dans le cas des modèles présentés plus haut tenant compte des retraits et des arrondis.

#### III.5.4.1.2 Modèles FEM à bords droits

Comme il a été déjà mentionné plus haut, les modèles FEM dits à bords droits, ne tiennent compte ni des retraits effectués entre les couches CMOS, ni des arrondis à l'instar des modèles utilisés dans le cas de l'étude analytique. Cette démarche permet de diminuer de façon considérable les temps de simulation sans pour autant nuire à la précision des résultats obtenus.

Comme dans le cas de l'étude analytique, le modèle FEM des microponts utilisera une microstructure équivalente qui sera perpendiculaire aux bâtis, le maillage d'un modèle présentant des angles non droits étant délicat. La Figure 56 montre la représentation graphique des modèles FEM relatifs aux micropoutres et microponts ainsi que le maillage utilisé.

Il faut noter que les modèles ici utilisés prennent en compte une partie du substrat maintenant les microstructures afin de modéliser les contraintes mécaniques se répercutant sur ce dernier et donc sur la jauge dans le cas où celle-ci n'est pas entièrement suspendue.

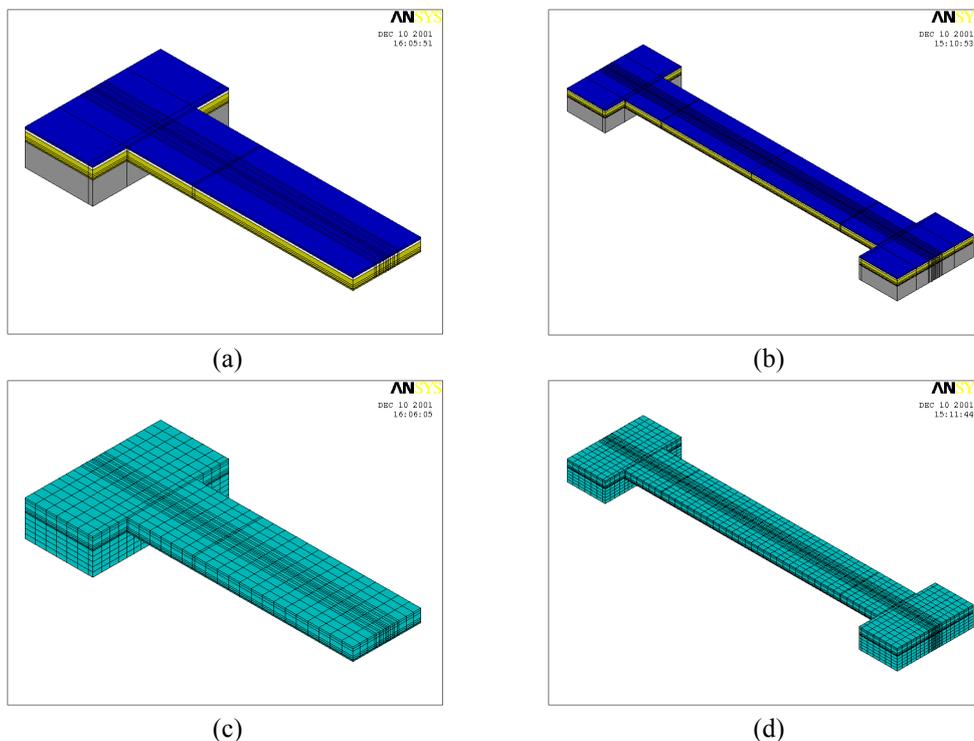


Figure 56 : Modèles FEM simplifiés des micropoutres (a) et microponts (b). Détail du maillage par éléments rectangulaires (c) et (d).

#### III.5.4.2 Prise en compte du phénomène piezorésistif

##### III.5.4.2.1 Calcul de la variation de résistance électrique

Bien que le logiciel ANSYS puisse simuler de nombreux phénomènes physiques, il semblerait qu'il ne puisse pas prendre en compte les phénomènes piezorésistifs ou tout ou moins pas de manière simple (tout au moins avec la version dont nous disposons au moment où ont été réalisées ces simulations). Afin de pallier à ce manque, nous allons déterminer la variation relative de résistance électrique induite au sein de la jauge à partir des valeurs des contraintes mécaniques fournies par la simulation numérique. Pour réaliser ceci, nous utiliserons la valeur moyenne des contraintes mécaniques prises

sur l'ensemble de la jauge afin de déterminer la variation relative de résistance électrique en fonction des sollicitations mécaniques.

Un modèle FEM est un modèle géométrique qui, par l'intermédiaire du maillage, a été discrétisé en un nombre d'éléments finis. De ce fait, le calcul des valeurs moyennes des contraintes mécaniques (notées  $\bar{\sigma}$ ) dans le cas d'une jauge piezorésistive formée de N éléments prendra la forme d'une somme discrète comme ci-dessous :

$$\bar{\sigma}_i = \frac{1}{N} \sum_{j=1}^N \sigma_{ij}$$

Où l'indice i désigne la direction de l'espace considérée (x, y ou z). Dans notre cas nous n'allons considérer que les éléments longitudinaux de la jauge de telle manière que la direction x sera la direction longitudinale et y, z les directions transversales. A partir de l'expression de la valeur moyenne des contraintes mécaniques, il est possible de déterminer la variation de résistance électrique induite au sein de la jauge :

$$\begin{aligned} \frac{\Delta R}{R} &= \frac{\Delta \rho}{\rho} + \frac{\Delta L_R}{L_R} - \frac{\Delta w}{w} - \frac{\Delta(h_2 - h_1)}{h_2 - h_1} \\ &= \left( \pi_l + \frac{1+2\nu}{E} \right) \bar{\sigma}_x + \left( \pi_t - \frac{1}{E} \right) (\bar{\sigma}_y + \bar{\sigma}_z) \end{aligned}$$

Dans notre cas, les simulations FEM mettent en évidence que les contraintes mécaniques suivant la direction z sont négligeables par rapport aux contraintes suivant les directions x et y de sorte que la variation relative de résistance électrique peut être simplifiée de la manière suivante :

$$\frac{\Delta R}{R} \cong \left( \pi_l + \frac{1+2\nu}{E} \right) \bar{\sigma}_x + \left( \pi_t - \frac{1}{E} \right) \bar{\sigma}_y$$

Dans la suite, afin de tester la véracité des solutions analytiques par rapport aux modèles FEM, nous n'allons pas utiliser cette dernière équation. En fait, nous allons comparer la valeur moyenne des contraintes mécaniques prises sur l'ensemble de la jauge de polysilicium. Cette démarche nous permettra de nous affranchir des coefficients piezorésistifs dont les valeurs ne sont pas précisément connues dans le cas de la technologie utilisée.

#### III.5.4.3 Vérification du modèle analytique dans le cas de micropoutres

Nous allons ici considérer une microstructure de 100  $\mu\text{m}$  de long sur 30  $\mu\text{m}$  de large possédant le troisième niveau métallique. La jauge de contrainte sera constituée de 8 éléments longitudinaux de 30  $\mu\text{m}$  de long sur 0,8  $\mu\text{m}$  de large. Nous allons ici comparer les résultats donnés par le modèle analytique par rapport aux simulations FEM en faisant varier la position de la jauge entre  $x_1 = -30 \mu\text{m}$  et  $x_1 = 20 \mu\text{m}$ .

En fait la comparaison ne portera que sur la valeur des contraintes longitudinales en x puisque le modèle analytique considère le cas de contraintes uniaxiales (contraintes selon les directions y et z nulles).

Il est important de noter que le logiciel ANSYS se place dans le cas de petites déformations et donnera par conséquent, des valeurs de déformations mécaniques qui varient linéairement avec l'intensité des forces imposées au système simulé.

III.5.4.3.1 Cas où une charge ponctuelle est appliquée à la structure

Dans le cas où la charge est ponctuelle, les simulations FEM ont été réalisées en appliquant une force constante de 1 mN. Les résultats des simulations FEM sont visibles sur la Figure 57. La Figure 58 montre les valeurs fournies par les simulations et la courbe obtenue à partir du modèle analytique. A la vue de ces résultats, nous pouvons dire que les simulations FEM et le modèle analytique donnent des valeurs du même ordre de grandeur puisque l'erreur relative n'excède pas 20 % dans le cas où l'abscisse de la position  $x_1$  est négative et 1 % si elle est positive.

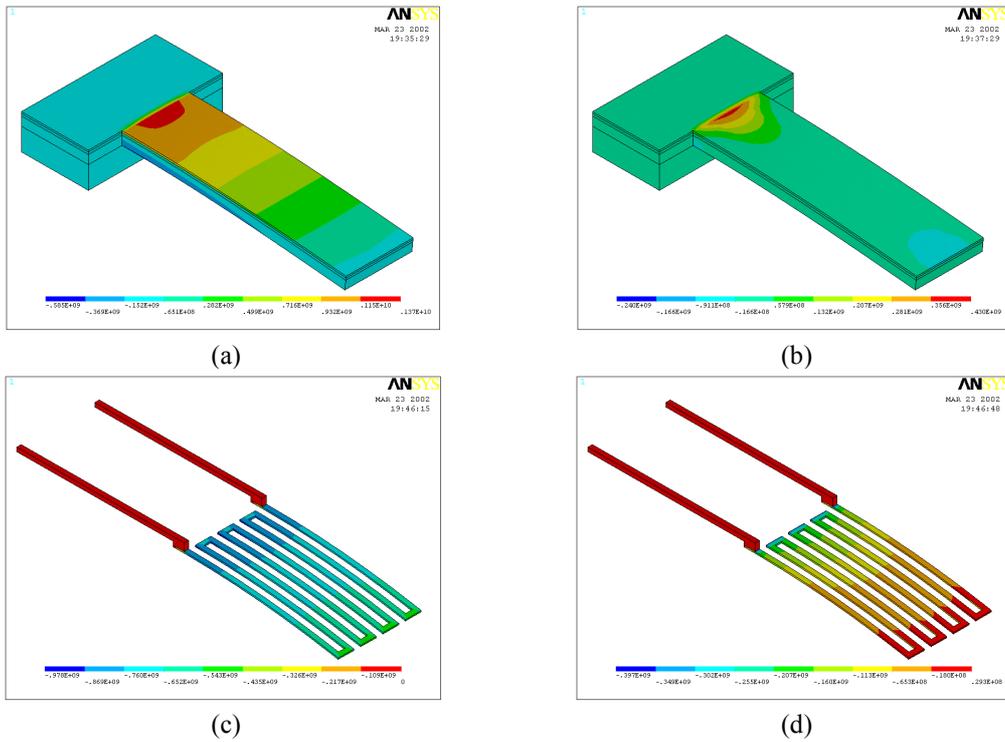


Figure 57 : Contraintes mécaniques longitudinales (a) et transversales selon l'axe y (b) de l'ensemble de la microstructure ( $x_1=0$ ). Détails au niveau de la jauge de contrainte : contraintes longitudinales (c) et transversales selon l'axe y (d).

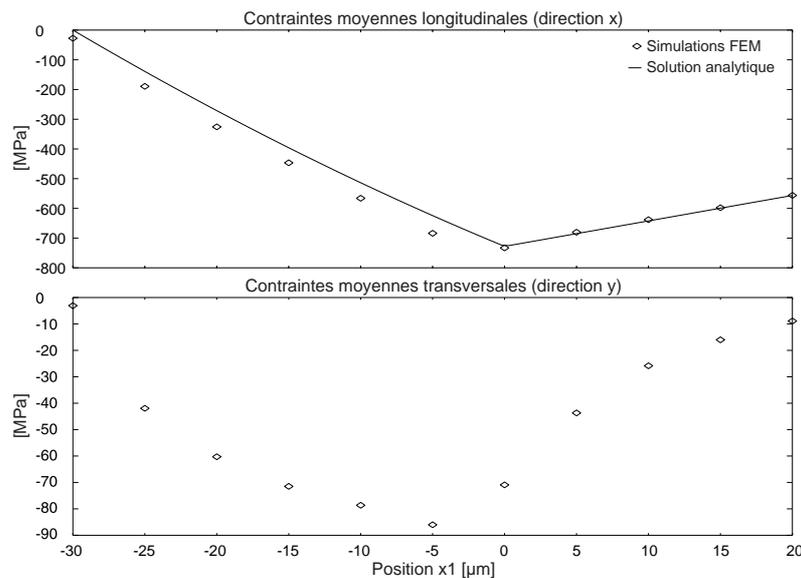


Figure 58 : Comparaison entre les simulations FEM et le modèle analytique dans le cas d'une micropoutre soumise à une force ponctuelle constante de 1 mN.

### III.5.4.4 Vérification du modèle analytique dans le cas de microponts

Nous avons ici pris en compte un micropont de 200  $\mu\text{m}$  de long sur 30  $\mu\text{m}$  de large possédant le troisième niveau métallique. La jauge de contrainte aura la même géométrie que celle utilisée dans le cas des micropoutres (6 éléments longitudinaux de 30  $\mu\text{m}$  de long sur 0,8  $\mu\text{m}$  de large).

#### III.5.4.4.1 Cas où une charge ponctuelle est appliquée au milieu de la microstructure

La force ponctuelle et constante de 1 mN sera cette fois appliquée au milieu du micropont. Les résultats des simulations FEM effectuées sont visibles sur la Figure 59. La Figure 60 nous permet de comparer la solution donnée par le modèle analytique aux simulations FEM effectuées. Là encore les résultats sont très proches puisque l'erreur relative n'excède pas 20 %.

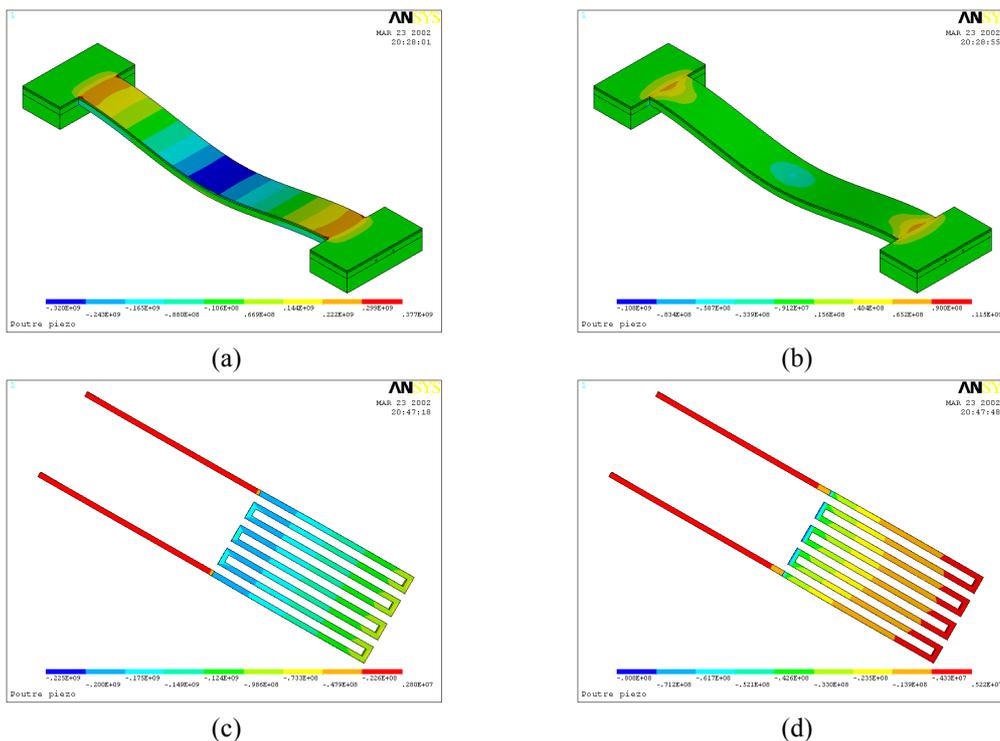


Figure 59 : Contraintes mécaniques longitudinales (a) et transversales selon l'axe y (b) de l'ensemble de la microstructure ( $x_1=0$ ). Détails au niveau de la jauge de contrainte vue de dessus : contraintes longitudinales (c) et transversales selon l'axe y (d).

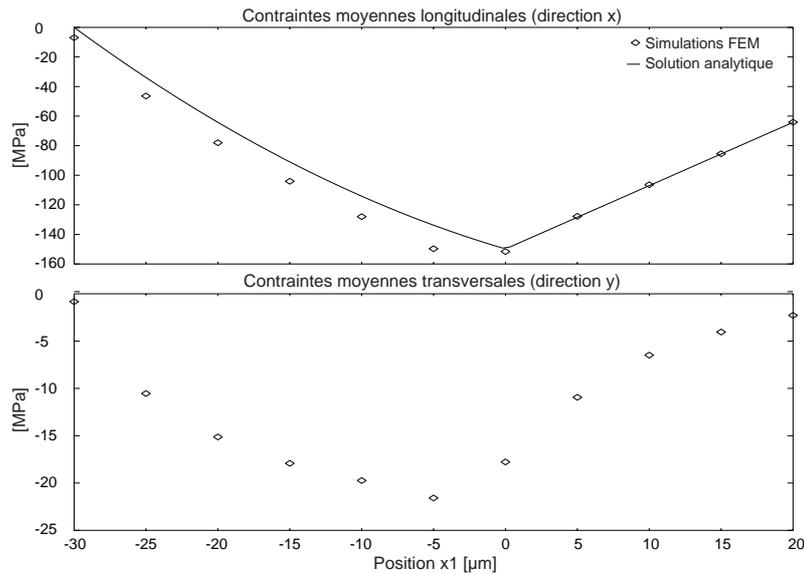


Figure 60 : Comparaison entre les simulations FEM et le modèle analytique dans le cas d'un micropont soumis à une force ponctuelle constante de 1 mN.

#### III.5.4.5 Résistance mécanique des microstructures utilisées

Connaissant les contraintes de rupture des différents matériaux qui composent les microstructures étudiées (voir Tableau 8), il est possible d'estimer la charge maximale susceptible d'être appliquée avant que ces dernières ne cassent. L'estimation de la charge maximale acceptable sera réalisée en extrayant la valeur maximale des contraintes mécaniques fournies par les simulations FEM et ce, pour chaque élément ou ensemble d'éléments formé d'un matériau donné. Les microstructures ici prises comme exemple seront les mêmes que celles du chapitre précédent (micropoutres de  $100 \times 30 \mu\text{m}^2$  et microponts de  $200 \times 30 \mu\text{m}^2$ ). Les résultats obtenus sont répertoriés dans le Tableau 10 où nous avons toujours considéré les valeurs minimales des contraintes de rupture données dans le Tableau 8.

Microstructures étudiées	Charge maximale admissible	Déflexion maximale
Micropoutre $100 \times 30 \mu\text{m}^2$	0,115 mN	0,593 $\mu\text{m}$
Micropont $200 \times 30 \mu\text{m}^2$	0,312 mN	0,229 $\mu\text{m}$

Tableau 10 : Charge et déflexion maximale avant rupture des microstructures étudiées.

Il est important de noter que nous ne connaissons pas les valeurs exactes des contraintes de rupture des différents matériaux de la technologie utilisée, les valeurs données dans le Tableau 8 n'étant que celles généralement employées dans la littérature. Lors d'essais réalisés sur différentes microstructures de test, nous nous sommes aperçus que la résistance mécanique de ces dernières était en fait bien plus élevée que celle que nous avons estimée par simulation. Ceci a particulièrement été mis en évidence dans le travail de thèse de M. Bohuslav Palán [26] qui a réussi à imposer à une microstructure une déflexion correspondante à un angle de plus de  $30^\circ$  alors que les simulations donnaient un angle maximum avant rupture de l'ordre de  $5^\circ$ .

#### III.5.5 Conclusion sur la modélisation mécanique des microstructures

Les simulations FEM effectuées sous ANSYS ont prouvé la validité des différents modèles analytiques relatifs aux différentes microstructures. Compte tenu de ce fait, ces derniers pourront être avantageusement employés par la suite étant plus commodes d'emploi et surtout plus rapides d'utilisation. En effet ne perdons pas de vue que les simulations FEM réalisées demandaient en général

des temps de calculs de l'ordre de dix à vingt minutes en utilisant une station de travail Sun de type Ultra 10.

En ce qui concerne les deux types de microstructures possibles, les investigations ont montré que même si les microponts présentent une plus grande robustesse, leur réponse piezorésistive est nettement inférieure à celle des micropoutres pour une même force appliquée. De plus, l'orientation des microponts (orientation nécessaire à leur libération mécanique) rend leur réalisation délicate et hasardeuse. Compte tenu de ces différentes constatations, nous utiliserons par la suite exclusivement des micropoutres de type cantilever.

Afin de conforter ce choix, notons que lors de différents essais réalisés sur diverses microstructures de tests, nous nous sommes aperçus que les micropoutres présentaient une relative souplesse leur permettant de subir de larges déflexions avant de se briser.

### III.6 Conclusion

Dans la première partie de ce chapitre, nous avons présenté le capteur d'empreintes digitales tactile que nous nous proposons de réaliser. Ce capteur, utilisant un mode d'acquisition inédit, sera réalisé sur la base d'un circuit CMOS standard de faible coût permettant d'intégrer sur le même substrat de silicium l'électronique de traitement ainsi que les structures MEMS.

Après avoir rappelé le formalisme mathématique de la piezorésistivité qui est le phénomène physique exploité afin d'effectuer la mesure, la deuxième partie de ce chapitre a été consacrée au procédé d'élaboration des microstructures ainsi qu'à leur modélisation mécanique. Les modèles analytiques ici élaborés, validés par des simulations FEM effectuées sous ANSYS, nous permettent de déterminer le comportement des microstructures vis-à-vis des sollicitations mécaniques imposées par le passage de doigt et donc de déterminer la sensibilité du capteur.

Dans le cadre de ce travail de thèse, deux prototypes de capteurs tactiles d'empreintes digitales ont été réalisés. Le premier ne comporte pas des rangées de 256 pixels mais des rangées de 38 pixels seulement (largeur d'image de 2 mm) afin de limiter la taille de la puce et donc son prix. En effet, ce premier capteur était juste dédié à des fins de test et nous a permis de montrer que notre idée était viable. Le deuxième prototype réalisé peut être qualifié de capteur fonctionnel dans la mesure où il intègre des rangées de 256 pixels permettant ainsi de scanner l'intégralité du doigt. Nous reviendrons plus en détail sur la conception et le test de ces deux prototypes par la suite.

### Références :

- [1] Austria Micro Systems web site : <http://www.austriamicrosystems.com/>
- [2] CMP web site : <http://cmp.imag.fr/>
- [3] B. Charlot, "Modélisation de fautes et conception en vue du test structurel des microsystèmes", PH.D. dissertation, INPG-TIMA Laboratory, 2001.
- [4] C.S. Smith, "Piezoresistance effect in germanium and silicon", *Physical Review*, 94(1), pp. 42-49, 1954.
- [5] P.J. French, A. G.R. Evans, "Piezoresistance in polysilicon and its applications to strain gauges", *Solid-State Electronics*, Vol. 32, No 1, pp. 1-10, 1989.
- [6] P.J. French, A.G.R. Evans, "Polycrystalline silicon strain sensors", *Sensors and actuators*, n°8, pp. 219-225, 1985.
- [7] M.A Omar, "Elementary Solid State Physics", Addison Wesley, 1975.

- [8] D.W. Burns, "Micromechanics of Integrated Sensors and the Planar Processed Pressure Transducer", Ph.D. Dissertation, the University of Wisconsin-Madison, May 1998.
- [9] M.J. Decker, "A New CMOS Technology Using Anisotropic Etching of Silicon", *IEEE Journal of Solid-State Circuits*, Vol. SC-10, n°4, pages 191-197, August 1975.
- [10] T.J. Rodgers and J. D. Meindl, "VMOS: High Speed TTL Compatible MOS Logic", *IEEE Journal of Solid-State Circuits*, Vol. SC-9, n°5, pages 239-250, October 1974.
- [11] K.E. Bean and J. R. Lawson, "Application of Silicon Crystal Orientation and Anisotropic Effects to the Control of Charge Spreading in Devices", *IEEE Journal of Solid-State Circuits*, Vol. SC-9, n°3, pages 111-117, June 1975.
- [12] D. Veychard, "Réalisation d'un convertisseur à grande constante de temps", Ph.D. dissertation, INPG - TIMA Laboratory, 1999.
- [13] J.M. Paret, "Etude et mise au point de la méthodologie de conception et de fabrication collective de MEMS sur silicium", Ph.D. dissertation, INPG - TIMA Laboratory, 1997.
- [14] B. Charlot, F. Parrain, S. Mir and B. Courtois, "A Self-Testable CMOS Infrared Imager", *DTIP 2001 Symposium on Design, Test, Integration and Packaging of MEMS/MOEMS*, Cannes, April 2001.
- [15] R. Perez-Ribas, "Etude et conception de MEMS micro-usinés par la face avant en utilisant des technologies standards des circuits intégrés sur arséniure de gallium", Ph.D. dissertation, INPG - TIMA Laboratory, 1998.
- [16] C. Kuratli and Q. Huang, "A Fully Integrated Self-Calibrating Transmitter/Receiver IC for an Ultrasound Presence Detector Microsystem", *IEEE Journal of Solid-State Circuits*, Vol. 33, n°6, June 1998.
- [17] S. Mir, B. Charlot, G. Nicolescu, P. Coste, F. Parrain, N. Zerganoh, B. Courtois, A. Jerraya and M. Rencz, "Towards design and validation of mixed technology SOCs", *10<sup>th</sup> Great Lakes Symposium on VLSI*, Chicago, USA, pages 29-33, March 2000.
- [18] C. Kittel, "Physique de l'état solide", Editions Dunod, Paris, 1969.
- [19] "AMS 0.6  $\mu\text{m}$  CMOS Joint Group Process Parameters" (Confidential), October 1998.
- [20] S. Mir, B. Charlot, F. Parrain, D. Veychard and B. Courtois, "High Thermal Impedance Beams for Suspended MEMS", *DTIP 2000 Symposium on Design, Test, Integration and Packaging of MEMS/MOEMS*, Paris, May 2000.
- [21] S. Eminoglu, M.Y. Tanrikulu, D. Sabuncuoglu Tezcan, and T. Akin, "A Low-Cost, Small Pixel Uncooled Infrared Detector for Large Focal Plane Arrays using a Standard CMOS Process," *SPIE AeroSense Symposium, Infrared Technology and Applications XXVIII (Aerosense 2002)*, SPIE Vol. 4721, Orlando, Florida, April 1-5, 2002.
- [22] T.J. Hubbard and E.K. Antonsson, "Etch Rate Modeling in MEMS Design", *The 1996 ASME Design Engineering Technical Conference and Computers in Engineering Conference*, Irvine, California, August 1996.
- [23] MEMS Clearinghouse material database : <http://www.memsnet.org/material/>
- [24] L. Latorre, "Evaluation des techniques microélectroniques contribuant à la réalisation de microsystèmes : application à la mesure du champ magnétique", Ph.D. dissertation, Université de Montpellier II, 1999.
- [25] ANSYS Incorporated web site : <http://www.ansys.com/>
- [26] B. Palán, "Conception de microcapteur pH-ISFET faible bruit et d'inductances intégrées suspendue a fort facteur de qualité Q", Ph.D. dissertation, INPG-TIMA Laboratory, 2002

# CHAPITRE IV :

## PREMIER PROTOTYPE REALISE

### IV.1 Introduction

Le premier prototype de capteur tactile d'empreintes digitales que nous avons réalisé n'est pas un système pouvant être qualifié de fonctionnel dans la mesure où il ne permet pas de procéder à l'acquisition de la totalité de l'image du doigt. En effet ce capteur se compose de trois rangées de 38 micropoutres seulement, fournissant une image de 1,9 mm de large. L'utilisation d'un nombre réduit de microstructures nous a permis de réduire considérablement la surface et donc le prix de cette première puce dont la seule prétention était de prouver la fiabilité du projet. Notons que les trois rangées de pixels présentent des cavités micro-usinées de largeurs différentes, permettant ainsi d'étudier l'impact de cette donnée sur la sensibilité mécanique des microstructures lors du passage du doigt à la surface du capteur.

### IV.2 Electronique intégrée au sein du capteur

En plus des trois rangées de microstructures micro-usinées, ce premier prototype intègre une électronique de contrôle permettant d'effectuer le balayage des différents pixels ainsi que l'amplification du signal analogique issu de ces derniers. Il est important de noter que ce capteur comporte une section électronique extrêmement simple et donc robuste dont le seul but est de faciliter les différentes étapes de tests mécaniques effectués sur les microstructures.

L'architecture utilisée est représentée de façon schématique sur la Figure 61. L'architecture de ce capteur s'apparente à une architecture de type DFT (*Design for Test* [1]) dans la mesure, où il est possible d'accéder à la majorité des signaux analogiques par l'intermédiaire d'une batterie de suiveurs. Ces suiveurs, utilisés comme adaptateurs d'impédance, permettent d'effectuer l'acquisition des différents signaux sans se soucier de la charge induite par les appareils de mesures qui pourrait perturber le circuit. Notons que les suiveurs ici employés sont réalisés en utilisant des amplificateurs opérationnels issus de la bibliothèque standard du fondeur AMS [2].

Nous allons dans la suite présenter en détail l'électronique intégrée au sein de chaque pixel ainsi que l'amplificateur différentiel utilisé. Nous ne traiterons pas de la conception des autres éléments tels que le circuit numérique de commande, le convertisseur analogique/numérique ou encore le multiplexeur. Notons juste que le convertisseur analogique/numérique implémenté est un convertisseur à approximations successives utilisant un réseau résistif de type R/2R [3]. En fait ce convertisseur ne sera pas utilisé durant les tests de ce prototype afin de s'affranchir de l'erreur de quantification imputable à la numérisation du signal.

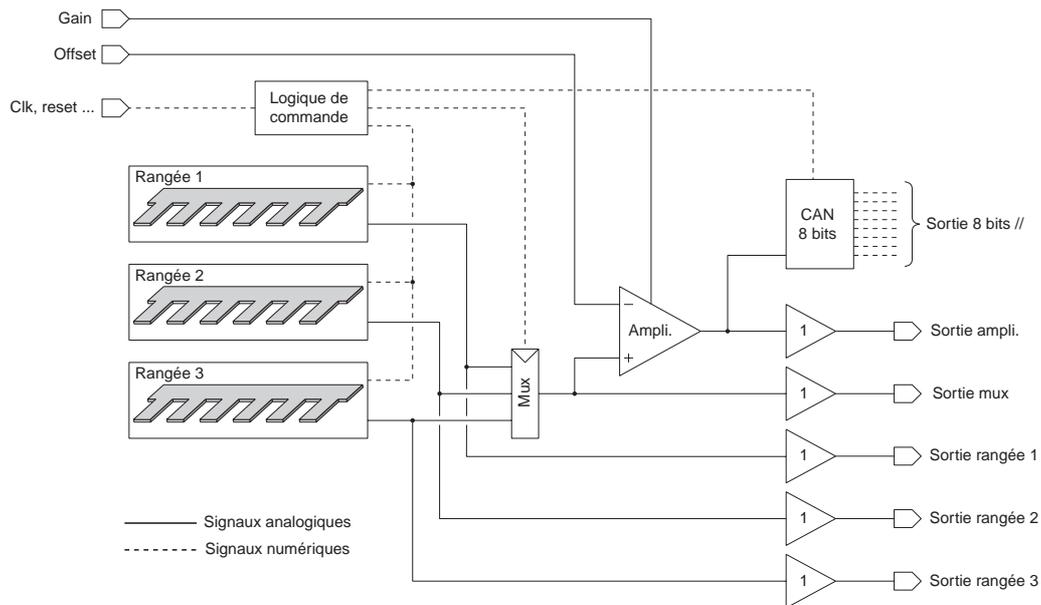


Figure 61 : Architecture du premier prototype.

### IV.2.1 Mesure de la variation de résistance électrique induite au sein des jauges

Les déflexions imposées aux microstructures par le relief du doigt, induisent une variation de résistance électrique au sein des jauges de contraintes piezorésistives. Afin de pouvoir traiter le signal issu de ces dernières, la variation de résistance électrique doit être dans un premier temps transformée en une variation de tension ou de courant. Dans ce but, différentes architectures sont possibles mais, dans un souci de simplicité, nous utiliserons dans le cas de ce premier prototype une configuration s'apparentant à un pont de Wheatstone. Outre sa grande simplicité, cette configuration, dont le schéma est visible sur la Figure 63, permet de s'affranchir des dérives thermiques des différents éléments résistifs utilisés. De plus, les éventuelles variations de la tension de polarisation  $V_{pol}$  n'induisent aucune tension de décalage en sortie du pont.

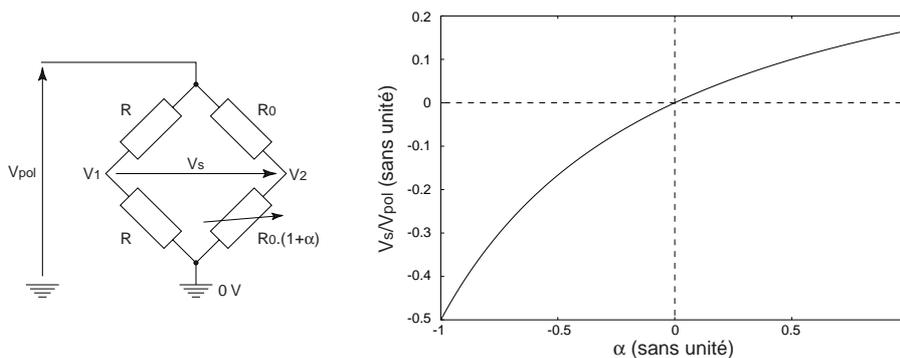


Figure 62 : Configuration en pont de Wheatstone utilisant une seule et unique jauge de contraintes.

Dans la suite, afin de tenir compte de l'effet piezorésistif, la valeur de la résistance électrique de la jauge sera exprimée de la manière suivante :

$$R = R_0 \cdot (1 + \alpha)$$

Dans cette expression,  $R_0$  est la résistance électrique initiale de la jauge. La valeur  $\alpha$  représente quant à elle la variation relative de résistance électrique (valeur sans unité) imputables aux contraintes mécaniques imposées à la microstructure. En utilisant cette expression, la tension de sortie  $V_s$  du pont de Wheatstone est telle que :

$$V_s = V_2 - V_1 = V_{pol} \frac{\alpha}{4 + 2.\alpha}$$

Cette dernière relation peut être facilement linéarisée dans le cas de petites variations de résistance électrique ( $\alpha \ll 1$ ) :

$$V_s \cong V_{pol} \cdot \frac{\alpha}{4}$$

Il est important de noter que, ni la valeur  $R$ , ni la valeur  $R_0$  n'interviennent dans les deux dernières expressions. Comme le montre la Figure 63, les deux résistances de valeur  $R$  ne sont utilisées que pour fixer le potentiel  $V_1$  à une valeur constante telle que  $V_1 = V_{pol}/2$ . Dès lors, il apparaît superflu d'intégrer ces deux résistances au sein de chaque pixel. Dans notre cas, la tension  $V_1$  sera fixée de l'extérieur de la puce et nous permettra de surcroît de compenser les éventuelles tensions de décalage du pont dues, par exemple, aux contraintes résiduelles s'exprimant lors de la libération des microstructures.

Afin de minimiser la tension de décalage en sortie du pont, la résistance de valeur fixe  $R_0$  adoptera exactement la même géométrie que la jauge de contrainte, ainsi que la même orientation sur le wafer. Cette résistance de référence sera bien entendu non suspendue afin de ne pas subir de contraintes mécaniques lors du passage du doigt et suffisamment proche de la jauge pour présenter la même dispersion technologique.

Notons que dans le but d'obtenir une sensibilité optimale, la tension de polarisation du pont de mesure devra être la plus grande possible. Dans notre cas, cette tension sera égale à la tension d'alimentation du circuit ( $V_{pol} = V_{dd} = 5\text{ V}$ ).

#### IV.2.2 Electronique intégrée au sein de chaque pixel

Chaque pixel comporte une section électronique, permettant d'effectuer le balayage de la ligne de pixels ainsi que la commutation du signal analogique issu du pont de mesure vers l'amplificateur (voir Figure 63). Le balayage sera ici réalisé par un registre à décalage constitué de bascules  $D$  (une par pixel). Afin de minimiser la consommation globale du circuit, le pont de mesure comportant la jauge de contraintes n'est alimenté que lorsque le pixel est activé (sortie  $Q$  de la bascule  $D$  à l'état haut). Le pont de mesure est ici alimenté par l'intermédiaire d'un transistor NMOS de très grande taille ( $W/L \gg 1$ ) présentant une très faible résistance à l'état passant. Notons que la résistance parasite induite par ce transistor sera négligée par la suite.

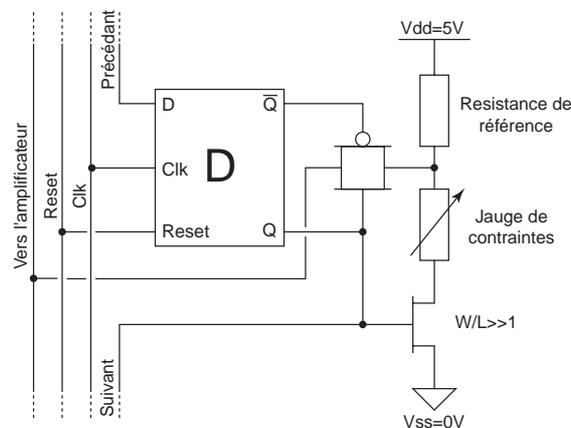


Figure 63 : Electronique intégrée au sein de chaque pixel.

Lorsque le pixel est activé, le signal analogique disponible en sortie du pont de mesure est commuté vers l'amplificateur par l'intermédiaire d'une porte de transmission constituée d'un transistor NMOS et d'un transistor PMOS mis en parallèle. L'utilisation de ces deux transistors permet de minimiser la résistance parasite de la ligne de transmission et donc le temps d'établissement du régime permanent lors du passage d'un pixel à un autre. Afin d'illustrer ceci, la Figure 64 montre la résistance à l'état passant d'une porte de transmission en comparaison de celle d'un transistor NMOS ou PMOS en fonction de la tension du signal commuté.

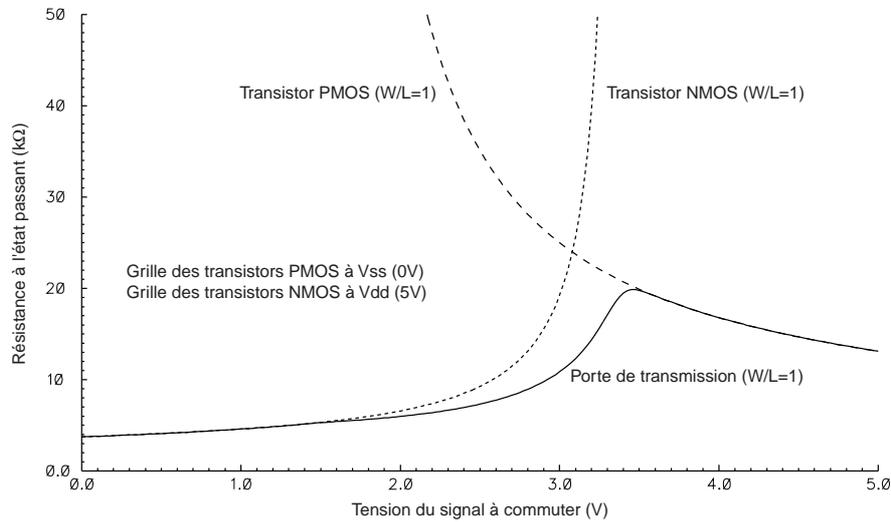


Figure 64 : Résistance à l'état passant d'une porte de transmission, d'un transistor NMOS et d'un transistor PMOS en fonction de la tension du signal commuté (transistors tels que  $W/L=1$ ). Ces courbes ont été obtenues par le biais de simulations numériques réalisées dans le cas de la technologie AMS CMOS 0,6 $\mu$ m.

### IV.2.3 Amplificateur utilisé

Le signal délivré par le pont de mesure est d'un niveau relativement faible et doit être amplifié avant tout autre traitement. Pour se faire, nous utiliserons un amplificateur différentiel dit d'instrumentation à boucle de contre-réaction résistive composé de trois amplificateurs opérationnels (voir Figure 65). Les avantages de cet amplificateur sont, une très grande dynamique en mode commun, une très grande résistance d'entrée ainsi que la possibilité de régler le gain en faisant varier la valeur d'un seul élément (ici la résistance  $R_2$ ).

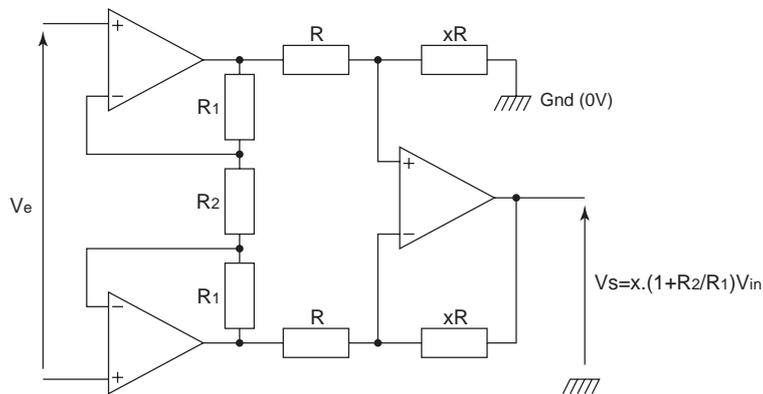


Figure 65 : Schéma de l'amplificateur différentiel utilisé. La résistance  $R_2$  ne sera pas intégrée au sein de la puce nous permettant ainsi de régler le gain.

Sans tenir compte des éventuelles tensions de décalage induites par les amplificateurs opérationnels utilisés, l'expression de la tension de sortie  $V_s$  de l'amplificateur en fonction de la tension d'entrée  $V_e$  est telle que :

$$V_s = x \cdot \left( 1 + 2 \cdot \frac{R_1}{R_2} \right) \cdot V_e$$

Notons que la valeur de la résistance  $R$  n'intervient en aucun cas dans l'expression du gain de l'amplificateur. Malgré ceci, il faut prendre soin que cette valeur de résistance électrique ne soit pas trop faible au risque de faire débiter un courant trop important aux amplificateurs opérationnels. Dans le cas de ce premier prototype, les valeurs des différentes résistances électriques sont comme suit :

$$\begin{cases} R_1 = 10 \text{ k}\Omega \\ R = 25 \text{ k}\Omega \\ x = 10 \end{cases}$$

Ne connaissant pas exactement les coefficients piezorésistifs de la technologie utilisée, ni le comportement exact des microstructures lors du passage du doigt, il existe une incertitude sur le niveau du signal analogique qui sera délivré par le pont de mesure et donc sur le gain de l'amplificateur qu'il convient de choisir. Afin de pallier à ceci, la résistance  $R_2$  ne sera pas intégrée sur le substrat nous permettant ainsi de régler de l'extérieur de la puce le gain de l'amplificateur. La Figure 66 (a) montre le résultat d'une simulation donnant la variation du gain de l'amplificateur en fonction de la valeur de la résistance  $R_2$ . Cet amplificateur a été conçu de telle sorte que le gain puisse être choisi dans une gamme allant de 10 ( $R_2$  en circuit ouvert) à 60 ( $R_2=4 \text{ k}\Omega$ ).

Les simulations numériques effectuées ont montré que pour des valeurs de  $R_2$  comprises entre 4 et 20  $\text{k}\Omega$  (gain compris entre 60 et 20), la fréquence de coupure à -3dB de l'amplificateur se trouve dans une gamme allant de 540 à 650  $\text{kHz}$ . La Figure 66 (b) montre le niveau de bruit en sortie pour différentes valeurs de  $R_2$ . Si nous tenons compte du gain de l'amplificateur, le niveau de bruit équivalent en entrée reste approximativement constant quelle que soit la valeur de  $R_2$  dans la gamme allant de 4 à 20  $\text{k}\Omega$ .

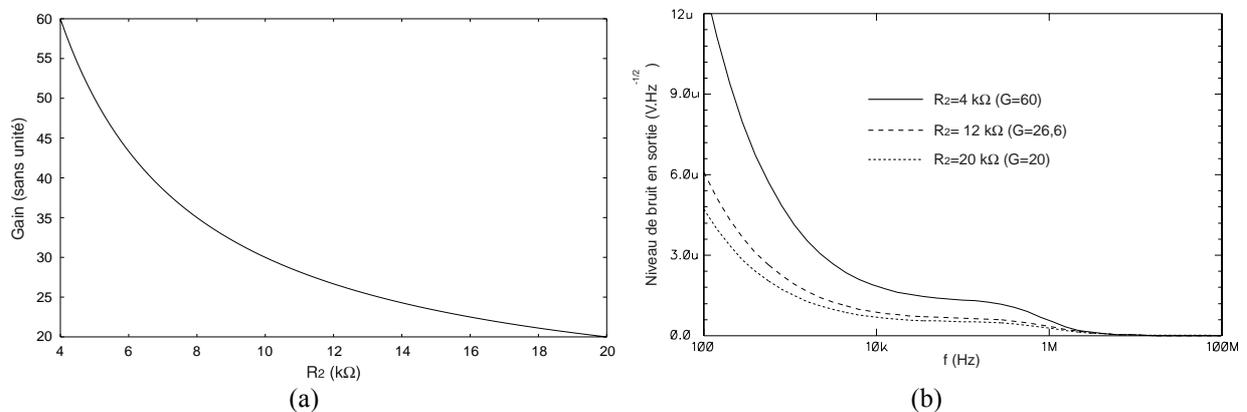


Figure 66 : Gain de l'amplificateur en fonction de la valeur de la résistance  $R_2$  (a). Niveau de bruit en sortie de l'amplificateur pour différentes valeurs de  $R_2$  (b).

### IV.3 Microstructures utilisées

La Figure 67 montre une vue schématique des microstructures qui seront utilisées. Les micropoutres ont une longueur de 100  $\mu\text{m}$  qui semble être un bon compromis vis-à-vis de la largeur moyenne des reliefs du doigt. En effet, des micropoutres trop petites présenteraient une sensibilité relativement faible au même titre que des micropoutres trop grandes. Dans ce dernier cas, deux stries consécutives pourraient exercer sur la micropoutre des contraintes mécaniques en même temps, provoquant ainsi une homogénéisation du signal perçu.

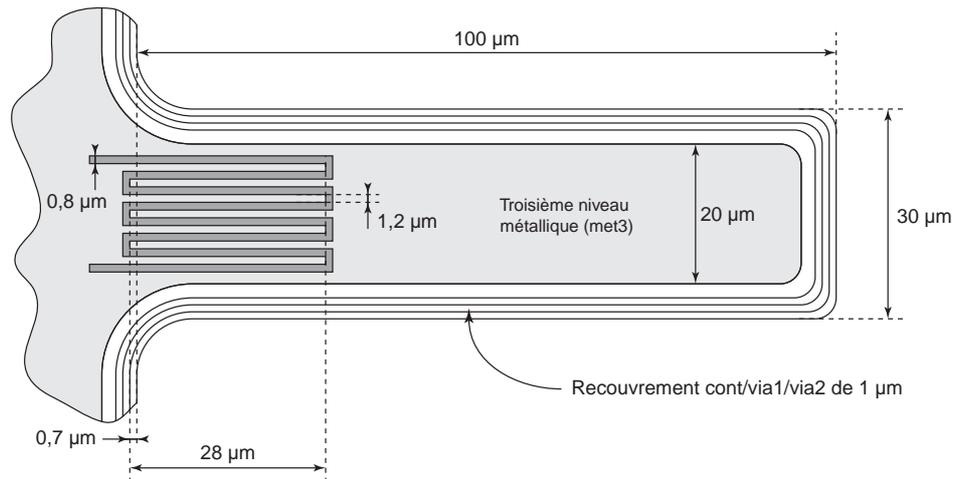


Figure 67 : Vue schématique des micropoutres utilisées.

Afin d'augmenter la sensibilité du pixel, une plaque réalisée en utilisant le troisième niveau métallique de la technologie est disposée sur l'intégralité de la micropoutre. Cette plaque permet d'augmenter notablement l'épaisseur de la microstructure et par conséquent le niveau de fibres neutres. De cette manière, la jauge piezorésistive subit des contraintes mécaniques maximales lors des déflexions induites par le passage du doigt.

Les différentes couches d'oxyde de silicium issues de la technologie utilisée présentent un retrait de 1 µm les unes par rapport aux autres, afin de permettre un meilleur recouvrement de la passivation et donc une meilleure tenue lors de l'étape de gravure au TMAH. Notons que les microstructures présentent des angles arrondis à leur extrémité ainsi qu'à leur base afin de limiter au maximum le risque de ruptures mécaniques et la propagation des fissures éventuelles (voir Figure 67 et Figure 68).

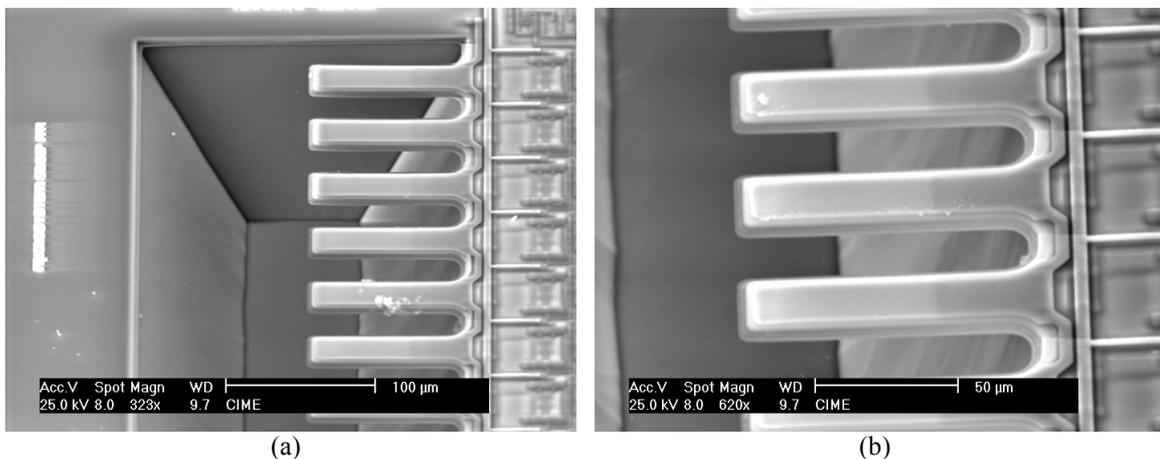


Figure 68 : Photographie MEB montrant l'extrémité d'une rangée de pixels (a). Détail au niveau des micropoutres (b).

La jauge piezorésistive, réalisée en utilisant le premier niveau de polysilicium normalement réservé aux grilles des transistors, sera constituée de 8 éléments longitudinaux de 28 µm de long sur 0,8 µm de large. La résistance électrique nominale de la jauge, en l'absence totale de contraintes mécaniques, sera de 9,9 kΩ environ.

Ce premier prototype comporte trois rangées de micropoutres avec des cavités micro-usinées de largeurs différentes (130, 170 et 210 µm), nous permettant d'étudier l'impact qu'a cette donnée sur la sensibilité des pixels. En effet, une cavité trop étroite ne permet pas aux reliefs du doigt de s'insinuer

correctement en son sein et donc d'imposer aux micropoutres des déflexions aisément mesurables. Au contraire, si la cavité est trop large, les reliefs composant l'empreinte digitale imposent aux microstructures des contraintes mécaniques trop importantes pouvant les briser.

#### IV.4 Layout du premier prototype

La Figure 69 montre le layout du premier prototype qui peut se décomposer de deux parties bien distinctes : la partie MEMS et la partie électronique proprement dite. La première partie se compose des microstructures micro-usinées ainsi que de l'électronique de balayage présentée précédemment. La partie dite électronique comporte les différents éléments analogiques tels que la batterie de suiveur, l'amplificateur différentiel ou le convertisseur analogique/numérique. Cette partie sera disposée à l'une des extrémités de la puce avec les plots de connexion afin de faciliter le câblage et la mise en boîtier. Nous reviendrons plus en détails sur cet aspect par la suite.

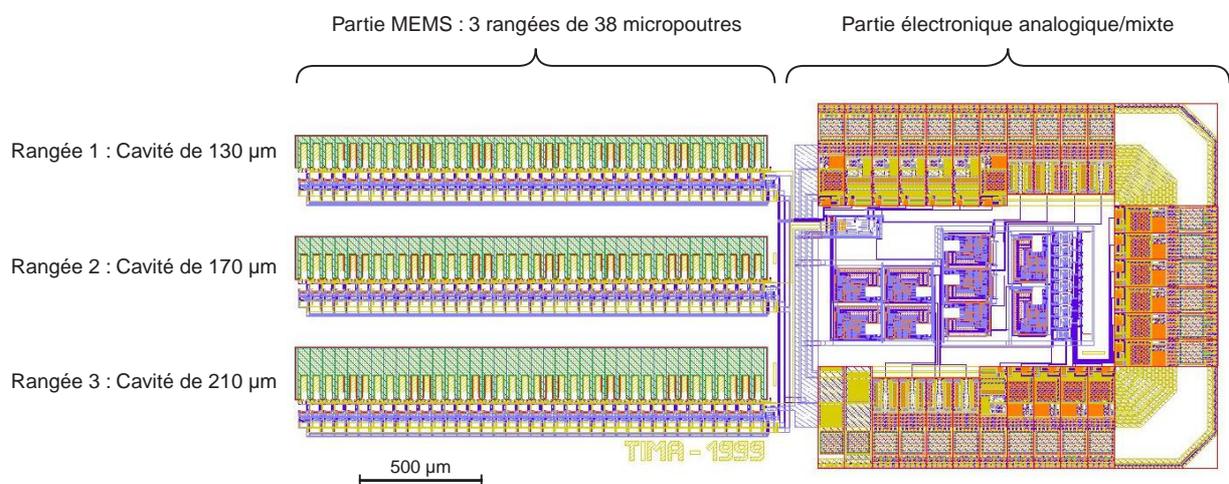


Figure 69 : Layout du premier prototype (puce de 3,8x1,5 mm<sup>2</sup>).

#### IV.5 Tests réalisés sur le premier prototype

Nous allons ici présenter les différents tests qui ont été effectués sur le premier prototype réalisé. Les tests sont de trois types différents et porteront d'une part sur les éventuels décalages du signal de sortie induit par les contraintes résiduelles et d'autre part sur la réponse des pixels à des sollicitations mécaniques constantes ou dues au passage du doigt (mode d'utilisation normal du capteur).

##### IV.5.1 Mise en boîtier en vue des tests

Avant de procéder aux tests, il convient de mettre en boîtier les différents prototypes dans le but de réaliser les connexions électriques, mais aussi afin de les protéger de l'environnement extérieur. Le packaging utilisé sera de deux types différents suivant que le capteur à tester aura été gravé ou non. Dans le cas où les microstructures ne sont pas libérées (puce non gravée), les tests seront exclusivement de nature électrique et ne nécessiteront donc pas de mises en boîtier spécifiques. La Figure 70 montre le type de boîtier qui sera utilisé (boîtier de type DIL40).

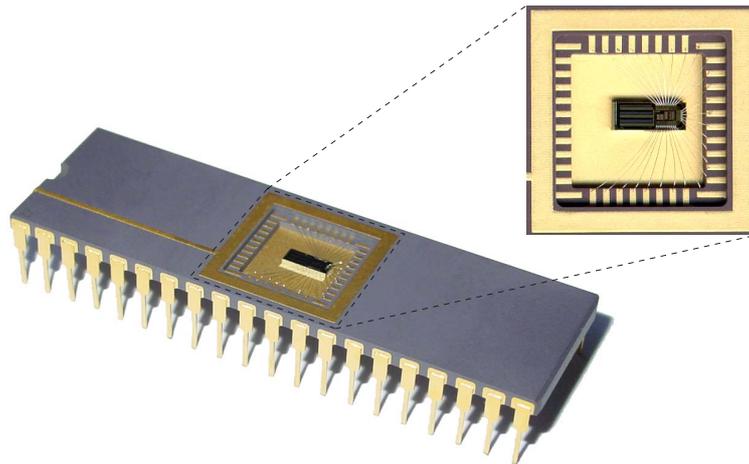


Figure 70 : Capteur mis en boîtier (boîtier de type DIL40) en vue de tests électriques.

Dans le cas des tests mécaniques, le packaging utilisé doit laisser la surface du capteur facilement accessible tout en protégeant les fils de bonding des éventuelles agressions mécaniques dues au passage du doigt. La Figure 71 montre la solution qui a été retenue afin de réaliser le packaging du capteur. Dans ce cas, le capteur est collé sur un petit circuit imprimé (PCB : *Printed Circuit Board*) en céramique, les connexions électriques avec la puce étant rendues possibles par la présence de piste en argent obtenues par un procédé de sérigraphie. Le PCB céramique est lui-même collé sur un support de bakélite comportant des broches de connexions au pas standard de 2,54 mm. Les connexions électriques entre ces broches et les pistes du PCB céramique seront réalisées par des fils soudés à l'étain (voir Figure 71).

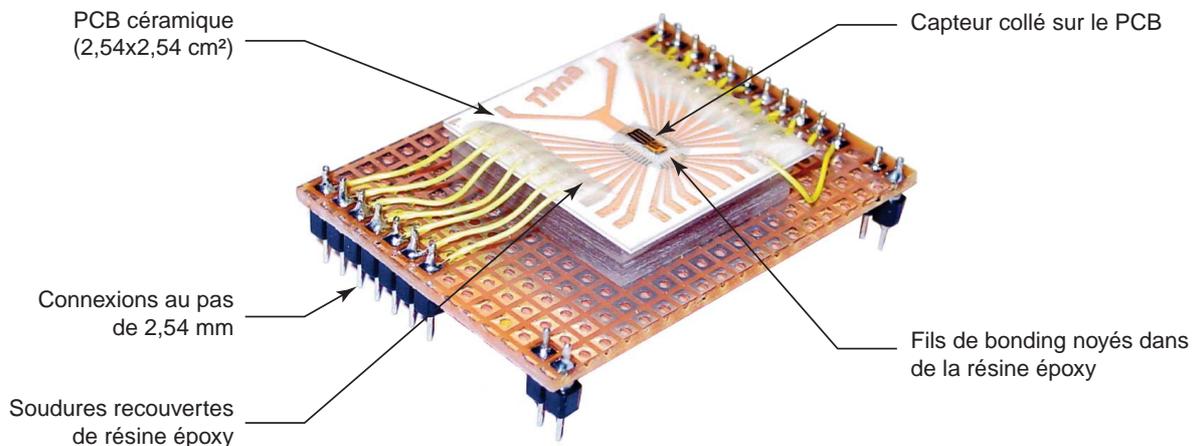


Figure 71 : Packaging employé afin de réaliser les tests mécaniques.

Afin de protéger les fils de bonding des éventuelles agressions mécaniques, ces derniers seront immobilisés par du vernis polyuréthane puis noyés dans la résine époxy comme le montre la Figure 72. L'application de vernis, réalisée au pinceau, permet dans un premier temps de consolider les soudures avant d'enduire les fils de bonding par de la résine époxy qui se trouve être extrêmement visqueuse. L'application de cette dernière sera réalisée en utilisant une seringue comportant une aiguille fine (seringue à insuline). Notons que la viscosité de la résine utilisée tend à rabaisser les fils de bonding (phénomène de capillarité, voir Figure 72) dont la boucle a tendance à dépasser de la surface du capteur facilitant ainsi par la suite les tests mécaniques qui seront réalisés.

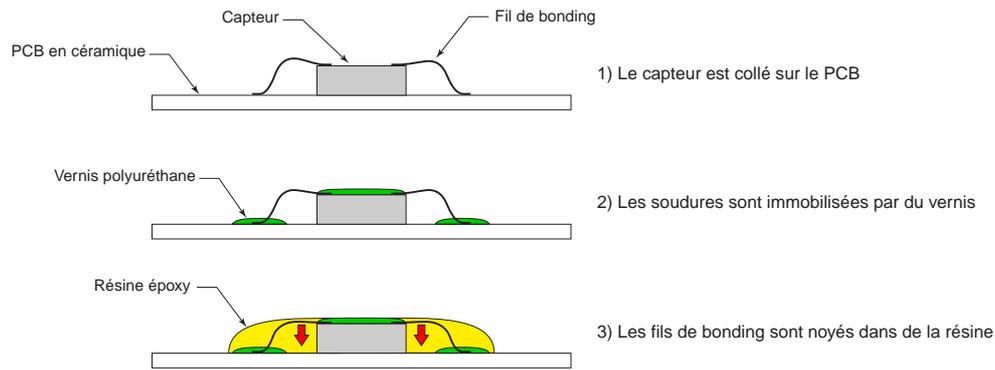


Figure 72 : Méthode de protection des fils de bonding.

Lors des tests mécaniques, il serait impensable de laisser la surface du capteur sans protection, au risque de détruire la quasi-totalité des microstructures. Comme nous allons le voir dans la partie réservée aux tests mécaniques, les microstructures seront toujours protégées par un film plastique (de type Mylar ou en PVC souple) tendu à la surface du capteur. Ce film sera assez résistant afin de résister au contact de tout autre objet statique ou en mouvement et assez souple afin de ne pas détruire le signal mécanique à mesurer.

Notons qu'au même titre que les fils de bonding, les soudures à l'étain réalisées sur le PCB en céramique sont recouvertes de résine époxy afin que ces dernières ne blessent pas le film plastique qui sera tendu à la surface du capteur.

#### IV.5.2 Cartes de test réalisées

Au même titre que la mise en boîtier, nous avons réalisé deux cartes de test différentes, la première dédiée aux tests électriques et la deuxième aux tests mécaniques. La première carte réalisée peut accueillir le capteur en boîtier DIL40 et permet de gérer les différents signaux, l'alimentation du circuit ainsi que les différentes interconnexions entre les appareils de mesure et la puce à tester. Cette carte est visible sur la Figure 73.

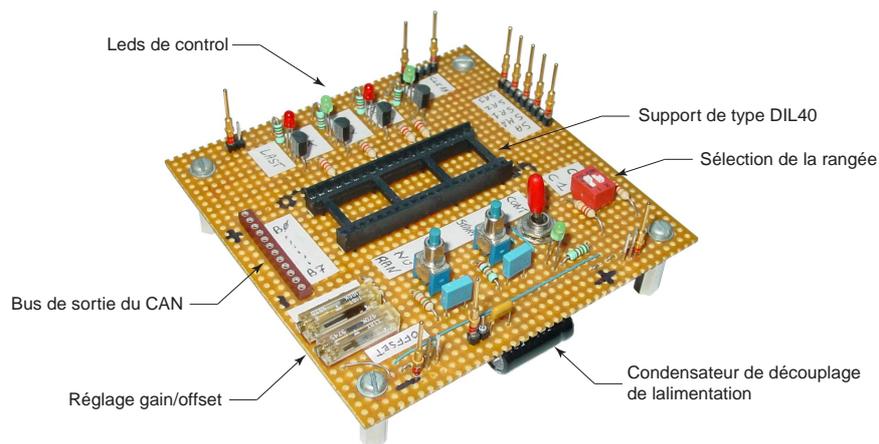


Figure 73 : Carte de test pouvant accueillir le capteur en boîtier DIL40 en vue de tests électriques.

La deuxième carte réalisée permet de connecter le capteur à une carte d'acquisition de données (carte de type PCI6024E de marque National Instrument) piloté par un ordinateur de type PC par l'intermédiaire du logiciel LabView. Cette démarche nous permet de simplifier grandement la génération des différents signaux de contrôle ainsi que l'acquisition et le traitement des données issues du capteur.

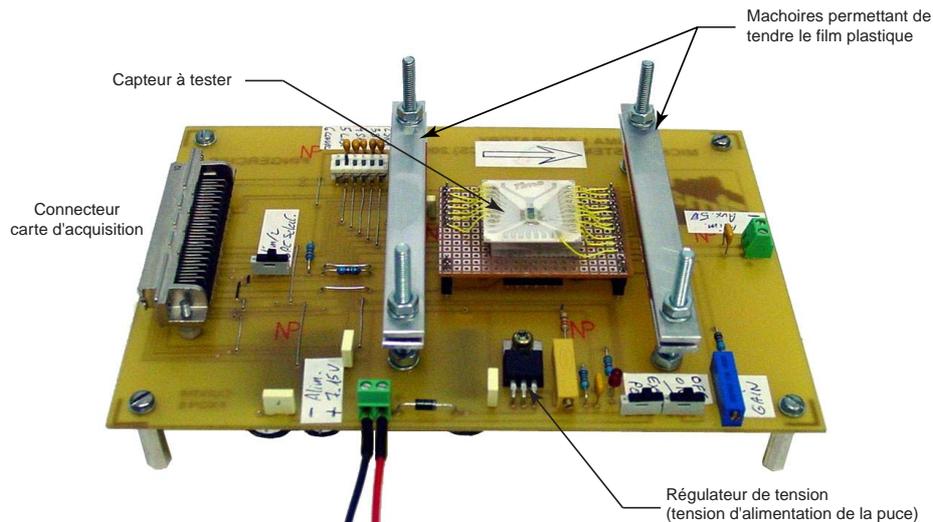


Figure 74 : Carte de test permettant de tester mécaniquement le capteur. Cette carte permet d'effectuer l'interconnexion entre la carte d'acquisition et le capteur. Elle permet de plus de tendre le film plastique au-dessus du capteur grâce à deux mâchoires. Notons que ces deux mâchoires servent aussi à maintenir le bâti utilisé lors des tests à pression constante.

Cette carte est munie de deux mâchoires en aluminium recouvertes de silicone souple permettant de tendre à la surface du capteur, le film plastique voué à protéger les microstructures durant les tests mécaniques. Notons que cet ensemble de mâchoires permet de plus de maintenir le bâti dédié aux tests mécaniques statiques (voir chapitre correspondant).

### IV.5.3 Contraintes mécaniques résiduelles

Une fois l'étape de gravure anisotrope effectuée, des contraintes mécaniques résiduelles peuvent apparaître au sein des microstructures. Ces contraintes, généralement dues aux différentes étapes technologiques réalisées à des températures différentes, induisent des déformations au sein des microstructures et ce en l'absence de toute sollicitation mécanique extérieure (voir exemple donné sur la Figure 75). Ces déformations peuvent induire à leur tour une variation de résistance électrique au sein des jauges piezorésistives et donc un décalage au niveau du signal de sortie du pixel.

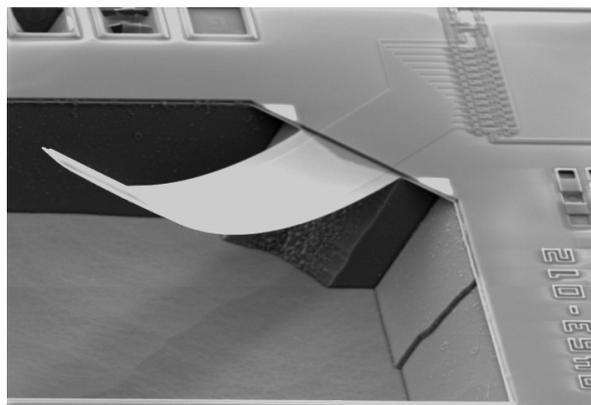


Figure 75 : Photographie MEB montrant les effets des contraintes résiduelles existantes au sein d'une microstructure de type cantilever.

Afin de déterminer si des contraintes résiduelles se manifestaient dans notre cas, nous avons réalisé une étude statistique concernant le signal analogique délivré par les pixels dans le cas de puce ayant ou non fait l'objet d'une étape de micro-usinage en volume (micropoutres libérées ou non). Notons que

nous pouvons ici donner le qualificatif de statistique à ce test vu que ce dernier porte sur le signal issu des pixels qui sont au nombre non négligeable de 114 par puce (3 lignes de 38 pixels).

Afin d'effectuer les mesures les plus pertinentes possibles, il aurait fallu idéalement caractériser une même puce avant et après l'étape de gravure TMAH. Malheureusement, ceci est quasiment irréalisable vu qu'il est impossible ou du moins extrêmement difficile de procéder à cette étape de micro-usinage sur une puce ayant déjà été câblée.

Le Tableau 11 montre les valeurs extrapolées à partir des mesures faites sur différentes puces gravées ou non. La mesure du signal de sortie des pixels étant directement liée à la tension d'alimentation de la puce, nous avons utilisé une alimentation de laboratoire de précision afin d'alimenter cette dernière (appareil de type Keithley K2400). Les mesures ont été effectuées en utilisant un multimètre de laboratoire de type HP34401A. Malheureusement, nous n'avons pu effectuer les mesures que dans le cas d'une seule puce non gravée, le nombre d'échantillons dont nous disposions étant limité.

Les mesures montrent que la valeur moyenne du signal issu des pixels est systématiquement supérieure à la valeur théorique attendue qui est, rappelons-le, de  $2,5 \text{ V}$  ( $V_{\text{alim}}/2$ ). Cet écart, n'est pas dû exclusivement aux contraintes résiduelles vu qu'il se manifeste aussi dans le cas d'une puce non gravée mais au transistor NMOS qui alimente le pont de mesure lorsque le pixel est actif. En effet ce transistor doit commuter une intensité supérieure à  $250 \mu\text{A}$  qui est loin d'être négligeable. On observe que la valeur moyenne du signal est supérieure dans le cas de la puce non gravée nous permettant de penser que les contraintes résiduelles tendent à réduire la résistance initiale des jauges de contraintes. En fait, il serait imprudent d'affirmer ceci car il ne faut pas oublier que le signal des pixels est mesuré par l'intermédiaire d'un suiveur servant d'adaptateur d'impédance. Ce circuit induit une tension de décalage systématique qui n'est autre que la tension de décalage d'entrée de l'amplificateur opérationnel utilisé. En accord avec les données fournies par le fondeur AMS, l'amplificateur opérationnel utilisé (amplificateur de type OP01B [4]) présente une tension de décalage maximum en entrée de  $\pm 10 \text{ mV}$  (remarquons que cette dernière valeur est extrêmement large). Compte tenu de ceci, nous ne pouvons pas conclure sur l'impact exact des contraintes résiduelles sur le signal de sortie. En considérant le cas le plus défavorable, les contraintes résiduelles induisent une variation de résistance électrique au niveau des jauges de contraintes de l'ordre de  $-2,7 \%$  (diminution de la résistance) mais ce chiffre est loin d'être significatif vu le nombre de puces pris en compte et les hypothèses envisagées.

	N° rangée	Valeur minimale (V) ( $\pm 10 \text{ mV}$ )	Valeur maximale (V) ( $\pm 10 \text{ mV}$ )	Valeur moyenne (V) ( $\pm 10 \text{ mV}$ )	Ecart-type (mV)
Puce gravée n°1	1	2,505	2,542	2,527	8,85
	2	2,502	2,533	2,518	8,63
	3	2,486	2,538	2,515	10,6
Puce gravée n°2	1	2,495	2,552	2,520	13,3
	2	2,488	2,535	2,512	11,2
	3	2,483	2,536	2,513	12,1
Puce non gravée	1	2,513	2,551	2,533	9,43
	2	2,506	2,559	2,528	10,9
	3	2,512	2,562	2,534	12,7

Tableau 11 : Valeurs minimale, maximale, moyenne et écart-type du signal disponible en sortie des pixels dans le cas de différentes puces de test gravées ou non. Notons que l'erreur existante sur la mesure est constante pour une même ligne de pixels.

Contrairement à la valeur moyenne du signal de sortie des pixels, l'écart-type de ce dernier se révèle plus riche d'enseignement. Il est important de préciser que cette donnée expérimentale est beaucoup plus fiable que la valeur moyenne du signal puisqu'elle est moins sensible aux variations de la tension d'alimentation et totalement indépendante de la tension de décalage induite par le suiveur (rappelons que cette tension de décalage est constante pour l'ensemble d'une puce). Que les microstructures soient libérées ou non, nous pouvons remarquer que l'écart-type du signal de sortie des pixels est relativement constant permettant d'avancer le fait que si il y a effectivement des contraintes résiduelles, ces dernières se manifestent de manière uniforme sur l'ensemble de la puce.

Nous avons effectué des simulations de Monte-Carlo afin de déterminer les contributions respectives du transistor NMOS et des résistances (jauge et résistance de référence constituant le pont de mesure) sur l'écart type que nous mesurons au sein d'une même ligne de pixels. Les pixels constituant la ligne étant évidemment sur une même puce, les simulations ne doivent pas tenir compte des dispersions technologiques du process CMOS utilisé (dispersion existante d'un wafer à un autre) mais uniquement des dispersions dimensionnelles des divers composants intégrés au sein d'une même puce (*mismatching*). La Figure 76 montre les résultats des différentes simulations effectuées dans le cas où le pont de mesure est alimenté ou non par l'intermédiaire du transistor NMOS. Notons que dans le cas où le transistor est présent, le potentiel de sa grille est fixé au potentiel Vdd afin que ce dernier soit passant.

Les résultats mettent en évidence que l'écart existant entre la valeur moyenne attendue en sortie des différents pixels et celle obtenue expérimentalement est dû à la présence du transistor NMOS qui induit une résistance parasite en série avec la jauge de contrainte. En ce qui concerne la dispersion du signal, l'écart-type est approximativement le même que le transistor soit présent ou non montrant que ce dernier n'influe que faiblement sur cette donnée. La variation du signal de sortie observée d'un pixel à l'autre est donc majoritairement due à l'incertitude existante sur la valeur de la résistance électrique de la jauge et de la résistance de référence (rappelons que ces deux éléments présentent exactement la même géométrie). Notons de plus que la valeur de la dispersion donnée par les simulations est du même ordre de grandeur que celle obtenue expérimentalement prouvant que les mesures sont consistantes.

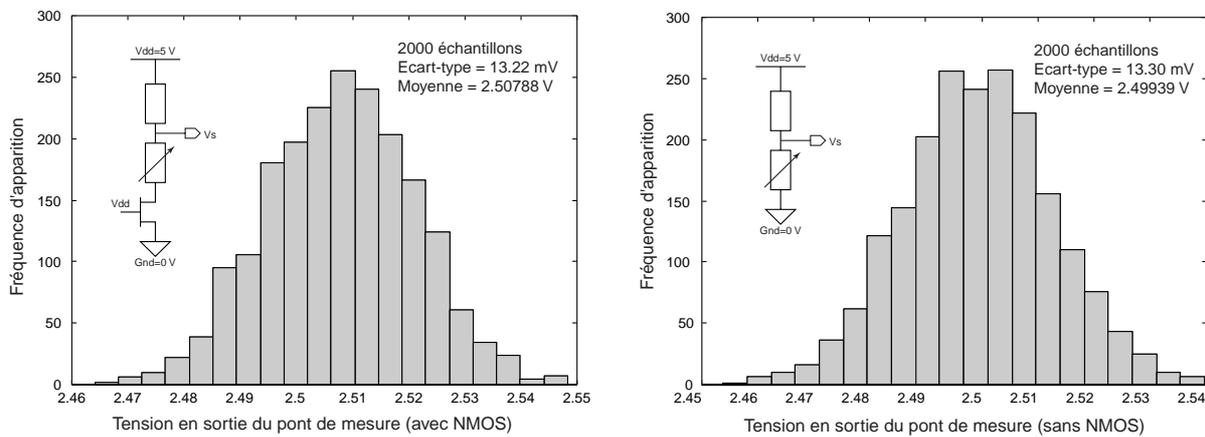


Figure 76 : Simulations de Monte-Carlo montrant la dispersion du signal analogique issu du pont de mesure.

#### IV.5.4 Tests mécaniques statiques

##### IV.5.4.1 Protocole expérimental

Les tests réalisés ici consistent à imposer une pression statique, uniforme et connue sur l'ensemble de la rangée de pixels afin de déterminer expérimentalement le comportement mécanique de ces derniers. En fait la pression ici considérée n'est pas appliquée directement au niveau des micropoutres mais par

l'intermédiaire du film plastique tendu à la surface du capteur. Le système réalisé afin de mener à bien ces tests est visible sur la Figure 77 ainsi que sur la Figure 78.

Le système permettant ces tests se compose de deux pièces de plexiglas reliées par deux vis qui enserrant un joint en silicone souple et la membrane constituée par le film plastique. La partie supérieure de ce système est munie d'une prise de pression de telle sorte qu'il est possible d'imposer au sein de la cavité ainsi formée une pression quelconque de l'extérieur. Durant le test, le film plastique est mis en contact avec la surface du capteur de telle sorte que cette dernière subisse une pression équivalente à celle régnant au sein de la cavité formée.

Afin d'imposer une pression connue au sein de la cavité et donc à la surface du capteur, plusieurs systèmes ont été envisagés. Il est ainsi possible d'utiliser une seringue reliée à la cavité par l'intermédiaire d'un tuyau souple mais, il est très difficile dans ce cas de savoir la valeur exacte de la pression appliquée. Le système que nous avons retenu consiste à appliquer au sein de la cavité une pression hydrostatique créée par une colonne d'eau déminéralisée de hauteur variable comme le montre la Figure 79.

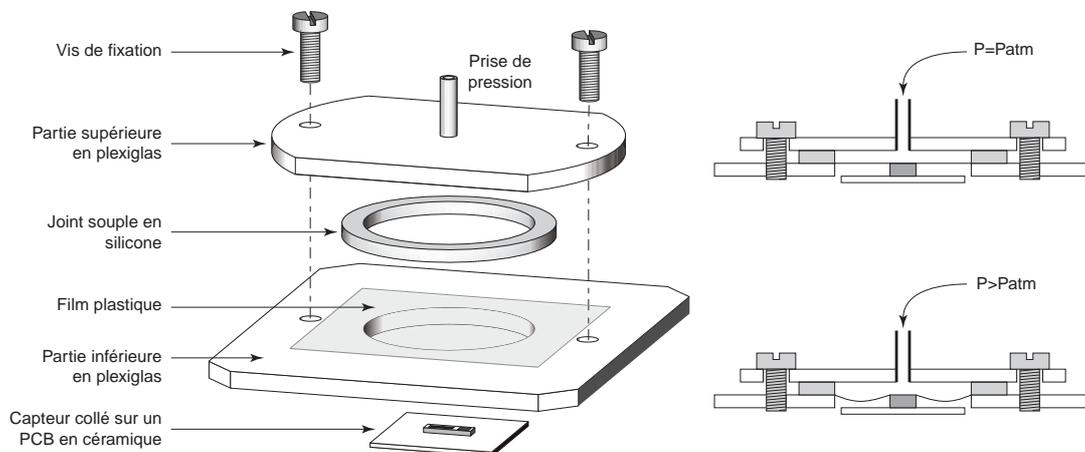


Figure 77 : Système permettant d'appliquer une pression constante à la surface du capteur.

En considérant la pression atmosphérique comme la pression de référence, la pression régnant au niveau du film plastique en contact avec la surface du capteur est telle que :

$$P = \rho \cdot g \cdot h$$

Où  $P$  est la pression considérée (en Pa),  $\rho$  la densité du liquide utilisé ( $\rho=1000 \text{ kg}\cdot\text{m}^{-3}$  pour l'eau douce),  $g$  la gravité ( $g=9,8 \text{ m}\cdot\text{s}^{-2}$ ) et  $h$  la hauteur de la colonne de liquide.

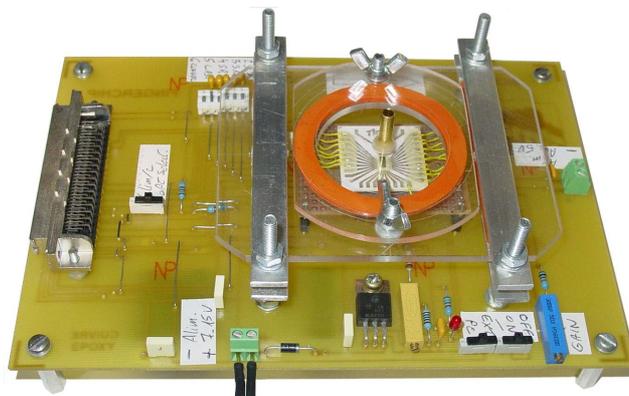


Figure 78 : Vue de la carte de test avec le système permettant d'appliquer une pression constante. Le système est fixé sur la carte de test grâce aux mâchoires servant normalement à tendre le film plastique.

Les essais réalisés ont montré qu'il est possible d'effectuer des mesures jusqu'à des colonnes d'eau de 1,5 m de hauteur soit une pression équivalente au niveau de la surface de la puce de l'ordre de 150 mbar ( $\approx 1,5 \cdot 10^4$  Pa). Dans le cas de pressions plus importantes, des fuites apparaissaient au niveau de l'interface existante entre le joint de silicone et le film plastique.

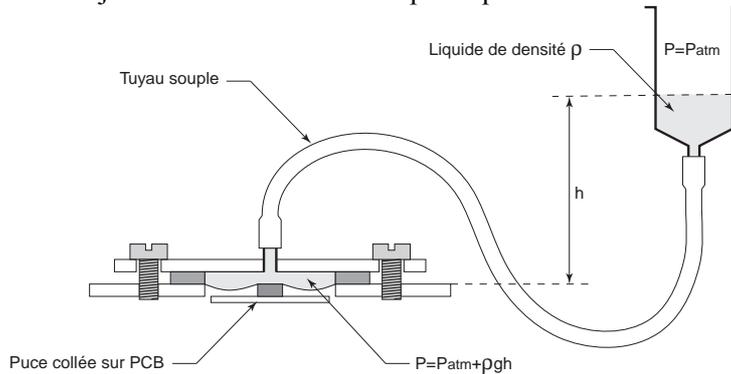


Figure 79 : Application d'une pression constante grâce à une colonne d'eau de hauteur variable.

#### IV.5.4.2 Mesures expérimentales effectuées

Nous avons effectué plusieurs séries de mesures sur différents prototypes en considérant à chaque fois les trois rangées de pixels qui, rappelons-le, présentent des cavités ayant une largeur de 130, 170 et 210  $\mu\text{m}$ . Le film plastique ici utilisé est un film de PVC souple de 10 $\mu\text{m}$  d'épaisseur. La Figure 80 montre les mesures obtenues pour une puce donnée pour des pressions comprises entre 0 et 110 mbar (colonne d'eau de 0 à 1,1 m de hauteur). Les valeurs expérimentales reportées sur les graphiques représentent la valeur moyenne des signaux issus des différents pixels constituant une seule et même rangée. Cette démarche nous permet d'atténuer l'incertitude due au bruit électrique. Notons que les résultats sont relativement constants d'une puce à une autre (trois prototypes ont été testés en tout).

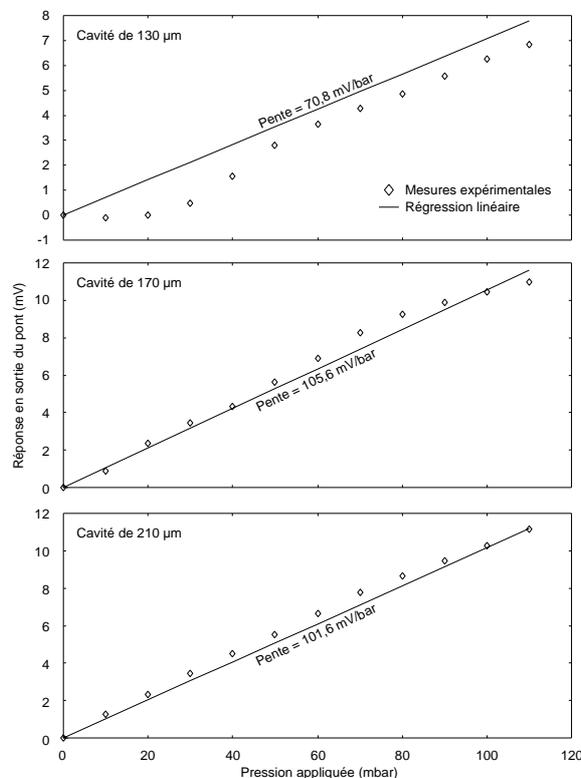


Figure 80 : Mesures expérimentales obtenues pour une pression allant de 0 à 110 mbar environ. Les mesures représentent la variation de tension obtenue en sortie du pont de mesure, les tensions de référence étant celles obtenues pour une pression appliquée nulle.

Quelle que soit la rangée considérée, la variation de tension en sortie du pont de mesure varie linéairement avec la pression appliquée nous permettant d'extraire par régression linéaire une valeur s'apparentant à la sensibilité des microstructures (sensibilité ici dépendante de la taille de la cavité).

Les mesures montrent un phénomène étonnant qui n'était pas prévu : contre toutes attentes, la sensibilité de la rangée présentant la cavité la plus large est inférieure, ou du moins équivalente, à celle présentant une cavité de 170  $\mu\text{m}$  de large. Afin d'expliquer ceci, nous ne pouvons, à l'heure actuelle, qu'avancer certaines hypothèses qui demandent à être vérifiées.

La première de ces hypothèses se fonde sur le fait que le film plastique utilisé se trouve précontraint lors des différents tests effectués. En effet, sous l'action de la pression appliquée, le film PVC se plaque sur la surface du PCB en céramique qui se trouve sous le niveau de la surface du capteur (voir Figure 81). De ce fait, le film plastique se trouve précontraint et la réponse du système s'en trouve modifiée. Ce phénomène s'exprimerait d'autant plus que la rangée de pixels se trouve près du bord du capteur (cas de la rangée présentant une cavité de 210  $\mu\text{m}$  de large).

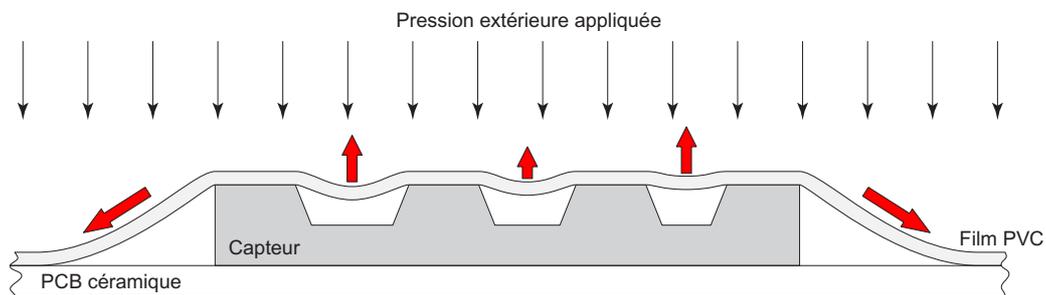


Figure 81 : Précontraintes apparaissant au sein du film PVC lors de l'application de la pression.

La deuxième hypothèse consiste à prendre en compte l'action de l'air qui se trouve comprimé au sein de la cavité micro-usinée. En effet, sous l'action du fluide sous pression, la membrane se déforme et comprime l'air qui se trouve au sein de la cavité et ce d'autant plus que cette dernière est large. Nous avons procédé à différentes simulations FEM sous ANSYS afin de déterminer l'impact exact de ce phénomène sur la réponse des pixels. Les résultats obtenus montrent bien que cet effet est d'autant plus important que la cavité est large mais reste dans des proportions qui ne permettent pas d'expliquer les mesures observées.

#### IV.5.4.3 Exploitations des résultats

Connaissant l'impact du film plastique sur les microstructures pour une pression donnée, il est possible, à partir des valeurs expérimentales présentées précédemment d'extraire, ou tout au moins, de donner une approximation du coefficient piezorésistif longitudinal des jauges utilisées. Afin de déterminer le comportement du film plastique, nous avons procédé à différentes simulations FEM en utilisant le logiciel ANSYS. La Figure 82 (a) montre le modèle FEM qui sera utilisé et la Figure 82 (b) le résultat pour une pression appliquée de 100 mbar (colonne d'eau d'une hauteur de un mètre). Notons que ce modèle FEM utilise des conditions cycliques aux frontières (selon l'axe principale de la rangée) afin de simuler le comportement d'une rangée de pixels infiniment longue. Notons que le film plastique est considéré comme étant solidaires des microstructures (pas de glissement).

L'épaisseur du film plastique est connue (environ 10  $\mu\text{m}$ ) mais nous ne connaissons malheureusement pas l'élasticité exacte de ce dernier. Afin de procéder aux différentes simulations, nous utiliserons les valeurs du module d'Young du PVC souple trouvées dans la littérature qui se trouvent comprises entre 20 et 50 Mpa [5][6]. La Figure 83 montre les résultats des différentes simulations effectuées en considérant les deux valeurs extrêmes possibles de l'élasticité du PVC souple.

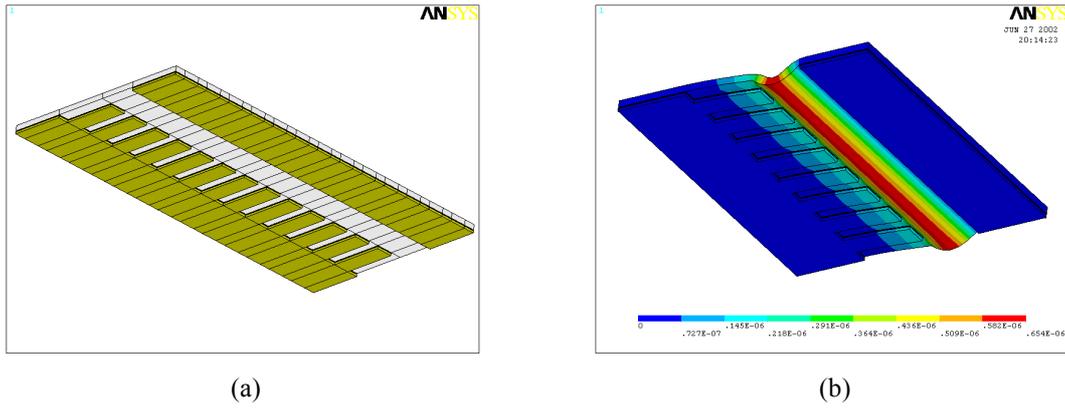


Figure 82 : Modèle FEM utilisé (a). Résultat d'une simulation pour une pression appliquée de 100 mbar (déplacement selon l'axe normal à la surface du capteur) (b).

Les résultats mettent en évidence que la déflexion du film plastique varie évidemment avec l'élasticité de ce dernier mais que la déflexion des microstructures est approximativement constante. Ce résultat, a première vu étonnant, découle du fait que l'ensemble des forces de pression appliquées au film obstruant la cavité se répercute sur les microstructures. En effet la rigidité de ces dernières est nettement plus grande que celle du polymère formant le film de protection.

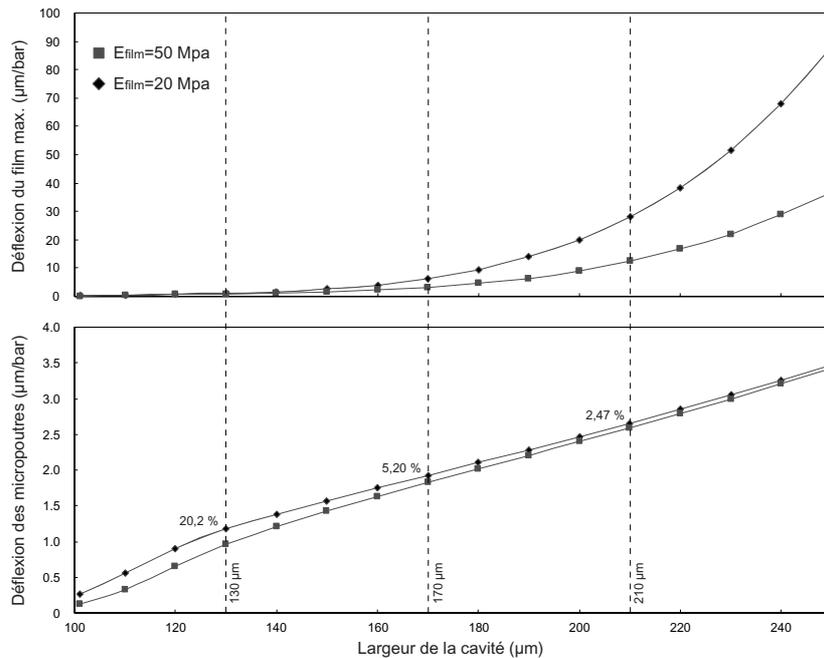


Figure 83 : Déflexion du film plastique et des microstructures en fonction de la largeur de la micro-cavité (résultats issus de simulations FEM).

En utilisant les résultats donnés par les simulations FEM ainsi que l'expression analytique reliant la réponse de la jauge piezorésistive à la déflexion des microstructures (voir chapitre correspondant), il est possible de donner une estimation du coefficient de jauge longitudinal uniaxial du polysilicium. Le Tableau 12 montre la valeur extrapolée suivant la rangée de pixels considérée.

Suivant la largeur de la cavité considérée, la valeur du coefficient de jauge longitudinal uniaxial (et donc la valeur du coefficient piezorésistif longitudinal) varie du simple au double. Il faut bien insister sur le fait que de nombreuses hypothèses ont été considérées ici et qu'il existe de grandes incertitudes vis-à-vis des différentes données utilisées afin de mener à bien les calculs. Les différentes valeurs calculées ici doivent simplement être considérées comme des ordres de grandeur.

	Coefficient de jauge longitudinal uniaxial (valeur sans unité)	Coefficient piezorésistif longitudinal ( $10^{-10}$ Pa)
Rangée 1 (cavité de 130 $\mu\text{m}$ )	-67,7	-4,07
Rangée 2 (cavité de 170 $\mu\text{m}$ )	-57,2	-3,45
Rangée 3 (cavité de 210 $\mu\text{m}$ )	-39,4	-2,40

Tableau 12 : Valeurs du coefficient de jauge et du coefficient piezorésistif longitudinal extrapolées à partir des mesures effectuées.

#### IV.5.5 Tests mécaniques en conditions réelles d'utilisation

Ce premier prototype a été testé suivant des conditions qui peuvent être qualifiées de réelles. En effet, les tests consistent ici à passer le doigt à la surface du capteur de la même manière que lors d'une utilisation normale. Durant ces essais, le capteur est protégé par le même film de PVC souple utilisé précédemment. Ce dernier est tendu à la surface du capteur grâce au jeu de mâchoires d'aluminium mécaniquement solidaires de la carte de test. Notons qu'afin de faciliter le passage du doigt à la surface du capteur, ce dernier est trempé dans de l'eau savonneuse dans le but de réduire les frottements solides avec le film plastique et donc les risques de rupture de ce dernier. Cette démarche nous permet également de limiter les non linéarités de la vitesse de déplacement du doigt.

Afin de faciliter les tests, nous avons réalisé un logiciel fonctionnant sous l'environnement LabView qui nous permet d'automatiser les différentes opérations (générations des signaux de control) et de sauvegarder l'image issue du capteur sous un format de fichier déterminé (fichier de type ASCII) en vue de traitements ultérieurs. Notons que ce logiciel, se présentant sous une forme graphique, nous permet d'effectuer un prétraitement de l'image en éliminant les éventuelles tensions de décalage propre à chaque pixel.

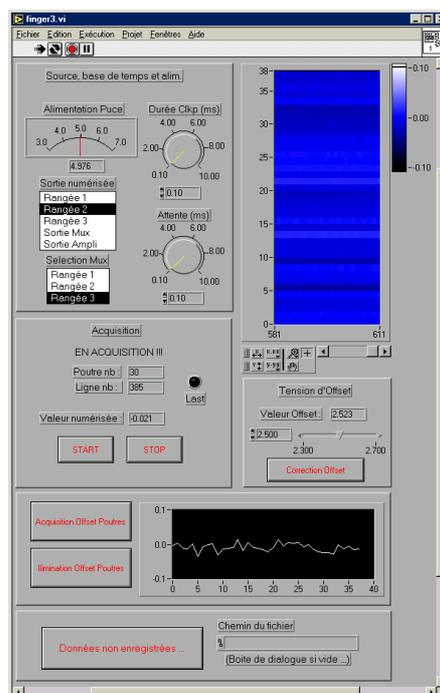


Figure 84 : Interface graphique du programme réalisé sous l'environnement LabView afin de procéder à l'acquisition des images issues du capteur.

Les mesures effectuées montrent que la variation de résistance électrique induite au sein des jauges de contraintes par les reliefs du doigt peut être supérieure à 8 % (variation de tension en sortie du pont de mesure de près de 100 mV) sans qu'aucune microstructure n'ait été brisée durant les tests. La Figure 85 montre une vue tridimensionnelle d'une l'image d'empreinte digitale qui a été obtenue à partir du capteur.

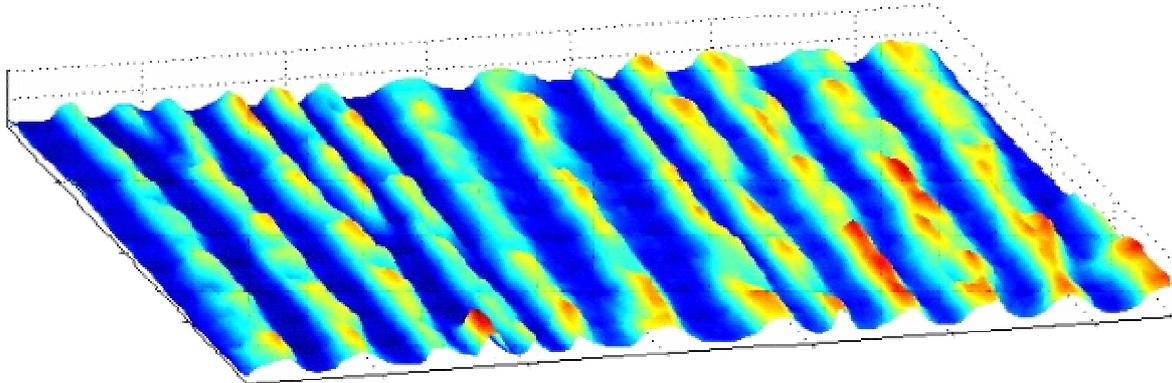


Figure 85 : Vue tridimensionnelle isométrique de l'image issue du capteur.

La Figure 86 permet de comparer cette même image et l'empreinte de référence obtenue à l'encre. On peut remarquer que ces deux images sont extrêmement proches puisqu'il est possible de repérer les mêmes points de minutie aux mêmes endroits.

L'image issue du capteur présente un très fort contraste prouvant le fait que les pixels possèdent une grande dynamique de sortie et une grande résolution spatiale aussi bien dans le sens longitudinal que transversal à la rangée de pixels (deux stries de l'empreinte n'appuient pas au même instant sur la même micropoutre).

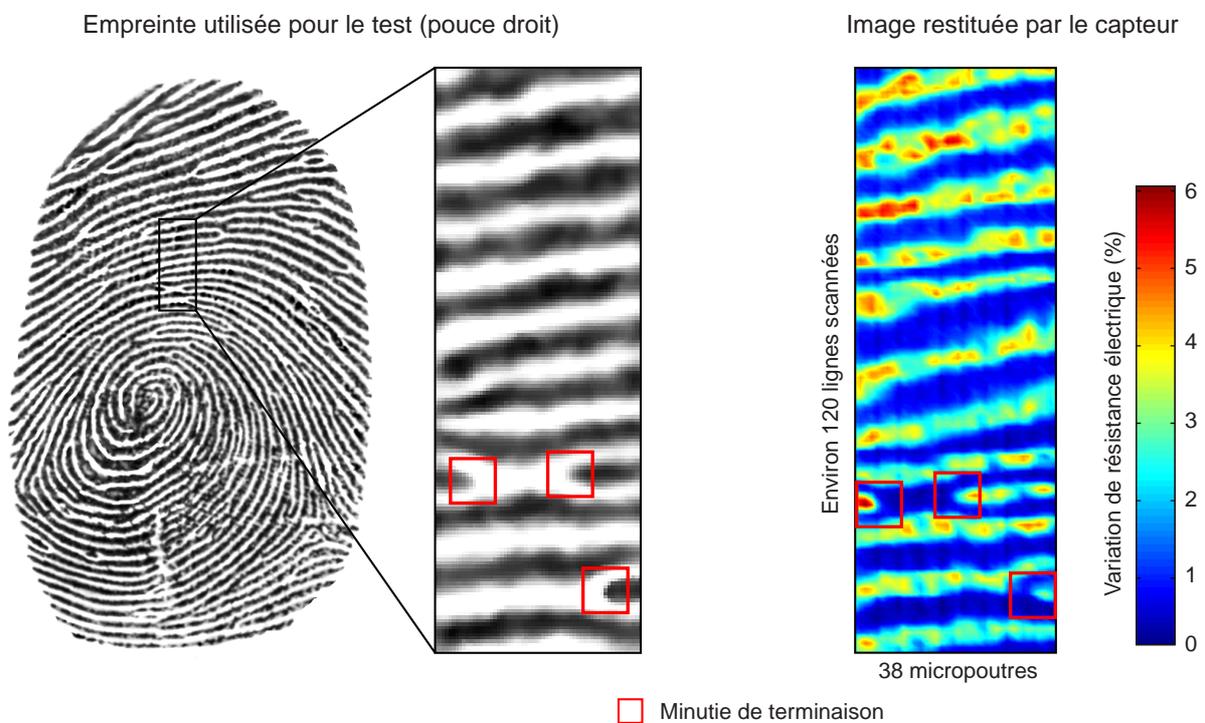


Figure 86 : Comparaison entre l'image issue du capteur et m'empreinte de référence obtenue à l'encre.

La Figure 87 montre une image d'empreinte digitale issue du capteur qui illustre bien les effets induits

par les variations de vitesse de déplacement du doigt. Il est important d'insister sur le fait que ce phénomène est accentué par les conditions dans lesquelles sont réalisés les tests. En effet, la fréquence de numérisation de la carte d'acquisition utilisée est relativement faible forçant ainsi l'utilisateur à passer son doigt très lentement à la surface du système et par conséquent de vitesse irrégulière.

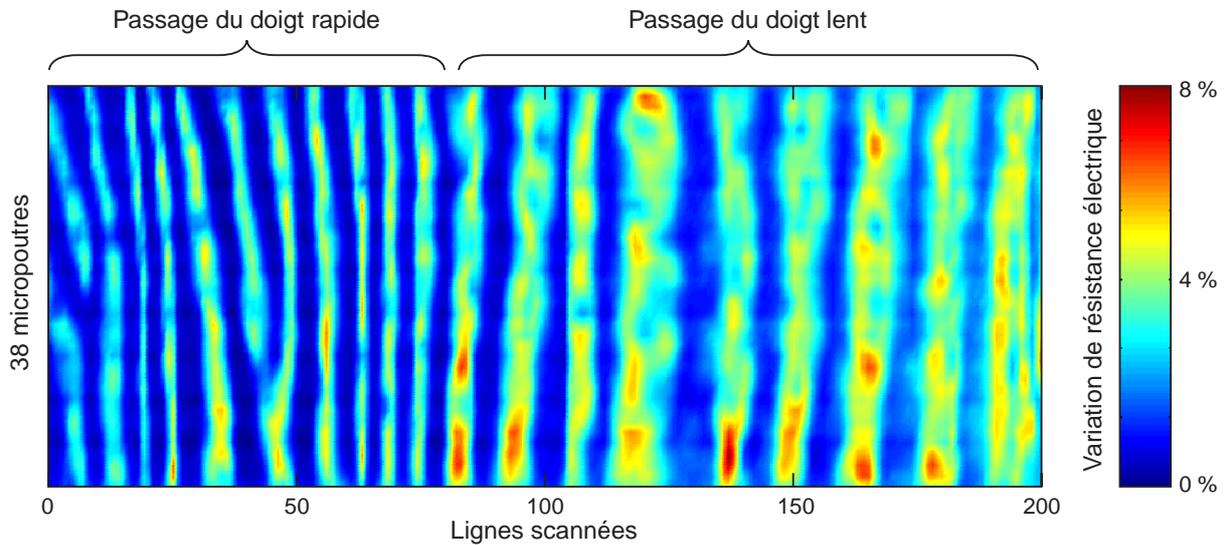


Figure 87 : Image issu du capteur montrant les effets induits par les variations de vitesse du passage du doigt.

#### IV.6 Phénomène de cross-talk dû au film plastique utilisé

Le film plastique utilisé afin de protéger les microstructures induit un phénomène de *cross-talk* entre pixels contigus au sein d'une même rangée. Ce phénomène est illustré par la Figure 88. La simulation FEM ici effectuée consistait à imposer une force constante au bout des trois micropoutres situées au centre de la rangée. On remarque que la déformation mécanique du film induit un signal non nul aux microstructures adjacentes qui ne sont pourtant pas sollicitées initialement. Ce phénomène tend à homogénéiser le signal mécanique dû au passage du doigt à la surface de capteur tel un filtre spatial passe bas.

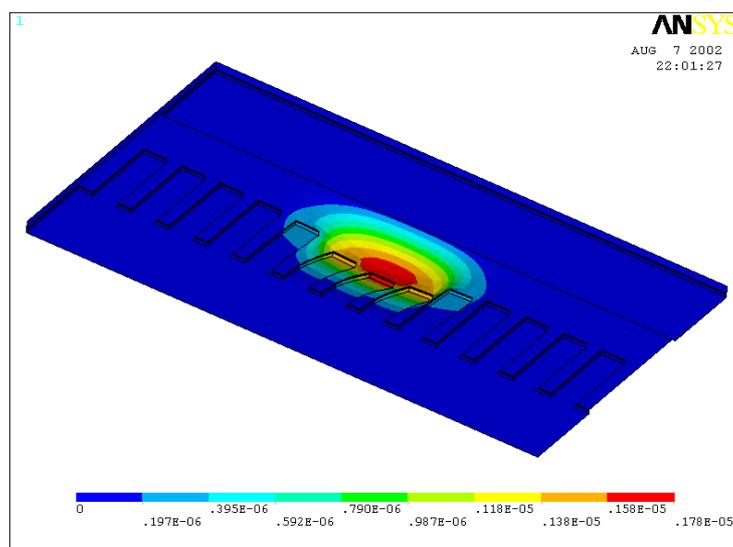


Figure 88 : Illustration du phénomène de *cross-talk* (simulation FEM) existant entre des pixels contigus. Dans le cas présenté ici, une force constante est appliquée aux trois micropoutres situées au centre de la rangée, ici vue de dessous.

La Figure 89 montre les résultats des différentes simulations FEM effectuées afin de déterminer l'importance de ce phénomène. Ce graphique montre la réponse normalisée des pixels adjacents à la micropoutre initialement sollicitée suivant la largeur de la cavité micro-usinée mais aussi suivant le module d'Young du film plastique utilisé (film plastique de 10  $\mu\text{m}$  d'épaisseur). Les résultats montrent que le phénomène de *cross-talk* est d'autant plus important que le film plastique est rigide mais reste relativement constant quelle que soit la largeur de la cavité.

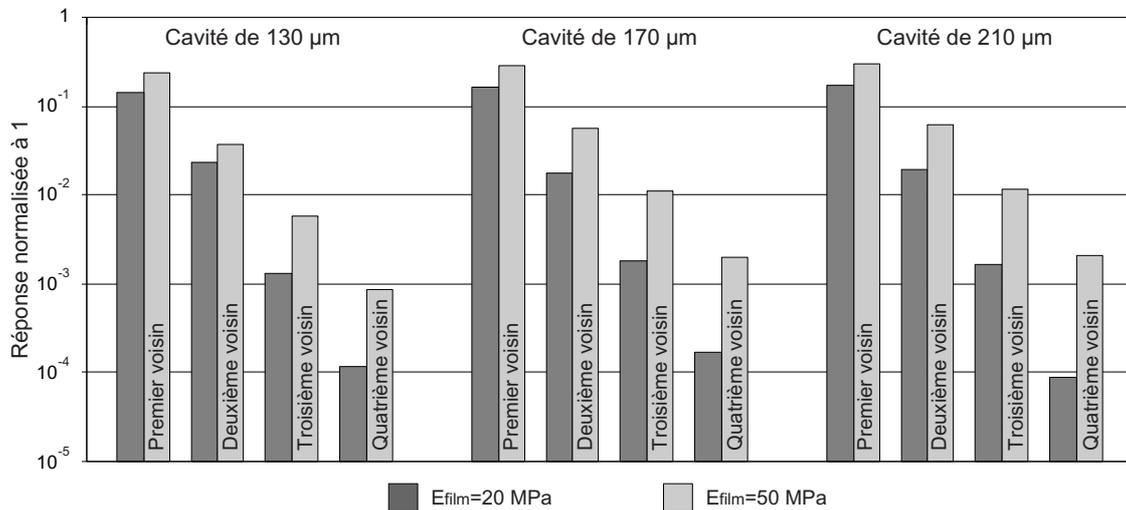


Figure 89 : Résultats des différentes simulations FEM réalisées afin de déterminer l'incidence du phénomène de *cross-talk*.

## IV.7 Conclusion

Nous avons présenté dans ce chapitre le premier prototype réalisé qui nous a permis de tester le principe d'un capteur d'empreintes digitales à microstructures piezorésistives. Ce capteur comporte une électronique intégrée relativement simple afin de réaliser les différents tests de la manière la plus simple possible avec l'aide d'un minimum de matériel.

Les tests de nature électrique nous ont donné la possibilité de vérifier si des contraintes mécaniques résiduelles s'exprimaient lors de la libération des microstructures. Vu le nombre de puces testées, nous ne pouvons pas conclure formellement sur l'inexistence de ces contraintes mais nous pouvons avancer le fait que même si elles ne sont pas nulles, leur effet sur les jauges piezorésistives est minime. Ceci revêt une grande importance dans la mesure où le signal issu des pixels présentera de ce fait une tension de décalage peu importante sinon nulle.

Les premiers tests mécaniques réalisés, qui consistaient à imposer une pression statique à la surface du capteur, ont permis de prouver que le phénomène piezorésistif s'exprime bien dans le cas du polysilicium de la technologie utilisée. De plus, à partir des mesures obtenues et des différentes simulations FEM réalisées, nous avons pu extraire une valeur approchée du coefficient piezorésistif longitudinal du polysilicium dont sont constituées les jauges de contraintes.

Les tests mécaniques réalisés en conditions réelles de fonctionnement ont permis de prouver la pertinence de notre projet de capteur d'empreintes digitales à microstructures piezorésistives. Les différents essais effectués ont montré que les pixels peuvent fournir un signal ayant une grande dynamique de sortie (variation de résistance électrique des jauges de contraintes de plus de 6 %) et une résolution spatiale élevée. Notons qu'aucune micropoutre n'a été cassée lors d'un passage du doigt à la surface du capteur pouvant être qualifié de normal (passage ni trop appuyé ni trop rapide pouvant endommager le film plastique utilisé pour protéger les microstructures).

## Références :

- [1] B. Charlot, "Modélisation de fautes et conception en vue du test structurel des microsystèmes", Ph.D. dissertation, INPG-TIMA Laboratory, 2001.
- [2] AMS web site : <http://asic.austriamicrosystems.com/>
- [3] D.A. Johns and K. Martin, "Analog Integrated Circuit Design", John Wiley & Sons, 1997.
- [4] OP01B amplifier datasheet : [http://asic.austriamicrosystems.com/databooks/cux\\_a/op01b.html/](http://asic.austriamicrosystems.com/databooks/cux_a/op01b.html/)
- [5] Technical Paper Series "Chlorine-Free Blends for Flexible Medical Tubing" : <http://www.devicelink.com/mpb/archive/97/03/004.html/>
- [6] P.W. Wellman, "Tactile Imaging", Ph.D. dissertation, Division of Engineering and Applied Sciences, Harvard University, 1999.



# CHAPITRE V :

## SECOND PROTOTYPE REALISE

### V.1 Introduction

Nous allons présenter dans ce chapitre la conception du second prototype réalisé dans le cadre de ce travail de thèse. Ce capteur permet la saisie de l'intégralité de l'image de l'empreinte digitale, les rangées de pixels étant composées de 256 éléments (largeur d'image de 1,28 cm). Outre le nombre de pixels, cette puce intègre une électronique de traitement du signal améliorée par rapport au premier prototype (utilisation d'une électronique à capacités commutées). Notons que ce capteur intègre également des fonctions d'autotest permettant d'extraire la réponse mécanique des microstructures sans l'aide de matériel extérieur.

### V.2 Architecture générale du capteur

L'architecture du second prototype réalisé est représentée schématiquement sur la Figure 90. Tout comme dans le cas du premier prototype réalisé, ce capteur se compose de trois lignes de pixels et d'une section analogique/mixte de traitement de l'information. Notons que la fonction d'autotest intégrée ne concerne que l'une des trois rangées de pixels (la première).

L'architecture utilisée se caractérise principalement par l'emploi d'une section électronique analogique à capacités commutées à double échantillonnage corrélé qui permet d'augmenter la fréquence de balayage des pixels ainsi que le rapport signal sur bruit. Ce type de circuit permet également d'éliminer les différentes tensions de décalage induites par les différents circuits utilisés. Après avoir été amplifié et filtré, le signal analogique issu des différents pixels sera, comme dans le cas avec le premier prototype, numérisé et mis à disposition par le biais d'une interface parallèle 8 bits (256 niveaux de gris).

Afin de tester les différents composants de la chaîne de traitement analogique mais aussi afin de palier tout dysfonctionnement de ces derniers, une batterie de commutateurs (*test wrapper*) intégrée au sein de la puce donne la possibilité d'accéder aux différents signaux analogiques. Cet ensemble de commutateurs, à première vue inutile d'un point de vue électrique, permet de déconnecter le plot de connexion électrique du circuit analogique lors d'une utilisation normale du capteur. De cette manière, nous nous affranchissons des capacités parasites induites par les plots de connexion électrique qui pourraient perturber le fonctionnement des différents circuits.

Notons que ce prototype intègre une section de contrôle numérique qui permet de gérer les différents

signaux tels que les horloges et les signaux de remise à zéro nécessaires au bon fonctionnement des différents éléments. Cette logique de commande se charge notamment de générer les phases d'horloge non recouvrantes nécessaires au fonctionnement de la section analogique à capacités commutées.

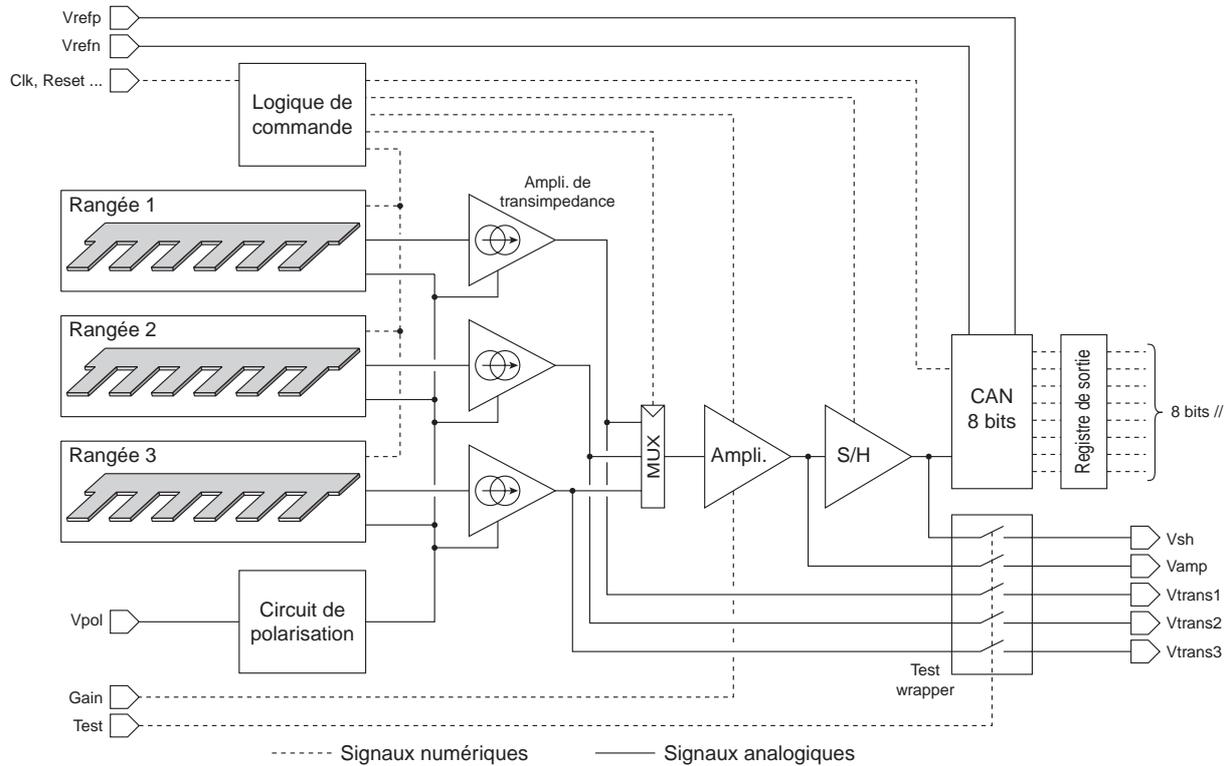


Figure 90 : Architecture du second prototype réalisé.

### V.3 Chaîne de traitement analogique

Nous allons ici présenter en détail l'électronique de traitement analogique employée afin d'amplifier et de filtrer le signal issu des jauges de contraintes. Notons que nous allons considérer l'ensemble des éléments présents de la jauge de contrainte intégrée au sein de chaque pixel jusqu'au convertisseur analogique/numérique.

Avant de traiter de l'électronique intégrée au sein de la chaîne de traitement, il convient de définir les caractéristiques visées mais aussi d'introduire certaines notions utilisées comme la transmission de l'information en mode courant ou le principe du double échantillonnage corrélé.

#### V.3.1 Cahier des charges

Le but que nous nous sommes ici fixé est d'obtenir une chaîne de traitement analogique afin d'amplifier et de filtrer le signal issu des jauges de contraintes, la ligne de pixels étant balayée à une fréquence comprise entre 100 kHz et 200 kHz environ. Dans cette gamme de fréquence, si nous considérons qu'au minimum 256 lignes doivent être scannées afin d'obtenir une image exploitable (image carrée), le temps de passage minimum du doigt à la surface du capteur devra être respectivement de 655 ms et 327 ms.

#### V.3.2 Pourquoi une ligne de transmission de l'information en mode courant ?

Dans le cas du premier pixel de la ligne, la longueur de la ligne de transmission devant commuter le signal analogique issu de la jauge de contraintes vers l'électronique de traitement sera extrêmement

importante (de l'ordre de 1,28 cm). De ce fait, cette ligne présentera une capacité parasite de valeur non négligeable qui augmente fortement le temps d'établissement du régime permanent dans le cas d'un fonctionnement en mode tension. La capacité parasite qui est ici considérée est celle prenant naissance entre la ligne de transmission proprement dite (ligne réalisée en utilisant le troisième niveau métallique de la technologie) et le substrat de silicium qui sera supposé comme équipotentiel (potentiel fixé ici à 0 V). Notons que la ligne de transmission présentera de plus une résistance série parasite non négligeable.

Afin de limiter l'effet de la capacité parasite, nous avons choisi de transmettre l'information issue des pixels en mode courant, la ligne métallique de transmission étant fixée à un potentiel constant. De cette manière, la charge électrique stockée dans la capacité électrique est constante empêchant cette dernière de s'exprimer. Notons que cette démarche est largement utilisée dans le cas des capteurs matriciels comme les imageurs APS [1].

En accord avec les données fournies par le fondeur AMS [2], dans le cas le plus défavorable (cas du premier pixel : ligne de transmission de 1,28 cm de long sur 20  $\mu\text{m}$  de large), la ligne de transmission possède une capacité parasite totale de l'ordre de 4,9 pF et une résistance électrique parasite d'environ 25,6  $\Omega$ .

### V.3.3 Principe du double échantillonnage corrélé

Toute électronique d'amplification utilisée afin de traiter les signaux issus d'un capteur peut induire une tension de décalage systématique (*offset*) non négligeable. Si nous considérons un amplificateur possédant un gain constant  $G$ , la tension  $V_S$  en sortie ce circuit est généralement de la forme suivante :

$$V_S = G.V_e + V_{\text{off}}$$

Où  $V_{\text{off}}$  est la tension de décalage systématique (tension constante dans le temps) propre au circuit et  $V_e$  le signal issu du capteur.

Afin d'annuler la composante constante du signal (ici la tension de décalage  $V_{\text{off}}$ ), le principe de fonctionnement d'une électronique à double échantillonnage corrélé consiste à réaliser l'acquisition du signal issu du capteur à deux instants distincts suivant deux phases  $\Phi_1$  et  $\Phi_2$  [3][4]. Notons que le signal d'entrée  $V_e$  est ici considéré comme constant durant les deux phases d'horloge (d'où l'adjectif "corrélé"). Suivant la phase considérée, le signal d'entrée est, grâce à une électronique appropriée, inversé ou non (modulation  $\pm 1$ ) avant d'être appliqué à l'entrée du circuit d'amplification de telle sorte que :

$$\begin{cases} V_S(\Phi_1) = -G.V_e + V_{\text{off}} \\ V_S(\Phi_2) = G.V_e + V_{\text{off}} \end{cases}$$

A l'aide d'un circuit adapté (les circuits à capacités commutées sont parfaitement adaptés à ce type d'opération), il suffit maintenant de retrancher la tension de sortie acquise durant la phase  $\Phi_2$  à celle acquise durant la phase  $\Phi_1$  comme il suit :

$$V = V_S(\Phi_2) - V_S(\Phi_1) = 2.G.V_e + V_{\text{off}} - V_{\text{off}} = 2.G.V_e$$

On peut remarquer que cette dernière expression est totalement indépendante de la tension de décalage  $V_{\text{off}}$  induite par le circuit de lecture et ce quelle que soit sa valeur. En fait, un circuit à double échantillonnage corrélé peut s'apparenter à un circuit à réponse impulsionnelle finie (circuit RIF) dont le diagramme de fonctionnement est donné sur la Figure 91.

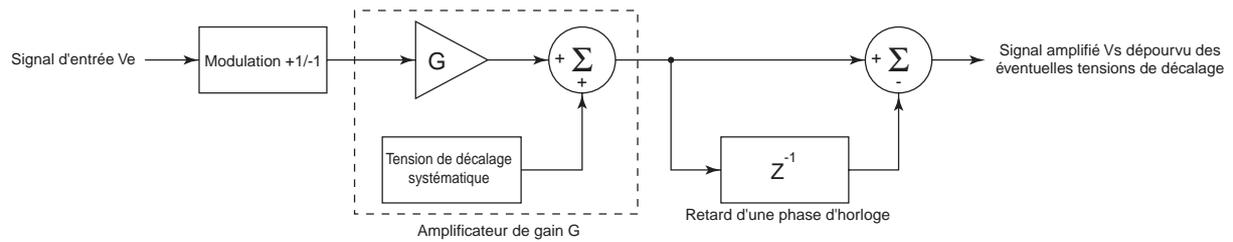


Figure 91 : Diagramme de fonctionnement d'un amplificateur à double échantillonnage corrélé.

### V.3.4 Electronique de la chaîne de traitement

Dans la suite, nous serons amenés à réaliser l'étude théorique des différents circuits présentés. Mis à part les transistors commutant exclusivement des tensions ( $I_{DS}=0$ , transistor en régime ohmique), tous les transistors employés en tant que générateur ou miroir de courant seront tous considérés comme étant en régime de saturation. La résistance drain/source sera quant à elle considérée comme infinie en première approximation ( $\lambda=0$ ). De ce fait, l'équation régissant l'intensité drain/source est telle que :

$$I_{DS} = \frac{1}{2} \cdot \mu \cdot C_{ox} \cdot \frac{W}{L} (V_{GS} - V_T)^2$$

Où  $\mu$  est la mobilité des porteurs de charge (les électrons ou les trous suivant que le transistor est à canal N ou P),  $C_{ox}$  la capacité électrique de la grille par unité de surface,  $W$  la largeur du transistor,  $L$  la longueur du transistor,  $V_{GS}$  la tension grille/source et  $V_T$  la tension de seuil. Dans la suite il sera plus commode d'utiliser les quantités  $K_n$  et  $K_p$  qui sont définies comme :

$$K_n = \mu_n \cdot C_{ox} \quad \text{et} \quad K_p = \mu_p \cdot C_{ox}$$

Dans le cas de la technologie utilisée (AMS CMOS 0,6  $\mu\text{m}$  CUP)  $V_{Tn} \# 0,7 \text{ V}$ ,  $V_{Tp} \# -0,8 \text{ V}$ ,  $K_n \# 70 \mu\text{A/V}^2$  et  $K_p \# 30 \mu\text{A/V}^2$  [2].

#### V.3.4.1 Architecture générale de la chaîne de traitement

La Figure 92 montre le schéma complet de la chaîne de mesure qui est utilisée afin de traiter le signal issu des jauges de contraintes avant l'étape de numérisation. Il est important de noter que ce schéma a été en certains points simplifié afin d'améliorer la lisibilité. Cette chaîne de traitement se compose de quatre éléments principaux qui sont :

- L'électronique intégrée au sein de chaque pixel qui permet de commuter le signal issu de la jauge de contrainte (variation de résistance électrique) vers la ligne de transmission en mode courant.
- L'amplificateur de transimpédance qui transforme l'information codée en variation de courant en variations de tension. Cet élément permet de plus de polariser la ligne de transmission à un potentiel électrique constant.
- L'amplificateur différentiel à capacité commuté qui amplifie le signal suivant un gain déterminé. Cet amplificateur permet d'éliminer les éventuelles tensions de décalage en utilisant le principe de double échantillonnage corrélé.
- Et enfin, l'échantillonneur/bloqueur dont le rôle est d'échantillonner le signal présent en sortie de l'élément précédent en vue de sa numérisation.

Nous allons dans la suite détailler le principe de fonctionnement des différents éléments présentés ci-dessus ainsi que leur interaction mutuelle. Notons que nous considérerons toujours le gain en boucle ouverte des amplificateurs opérationnels utilisés comme infini.

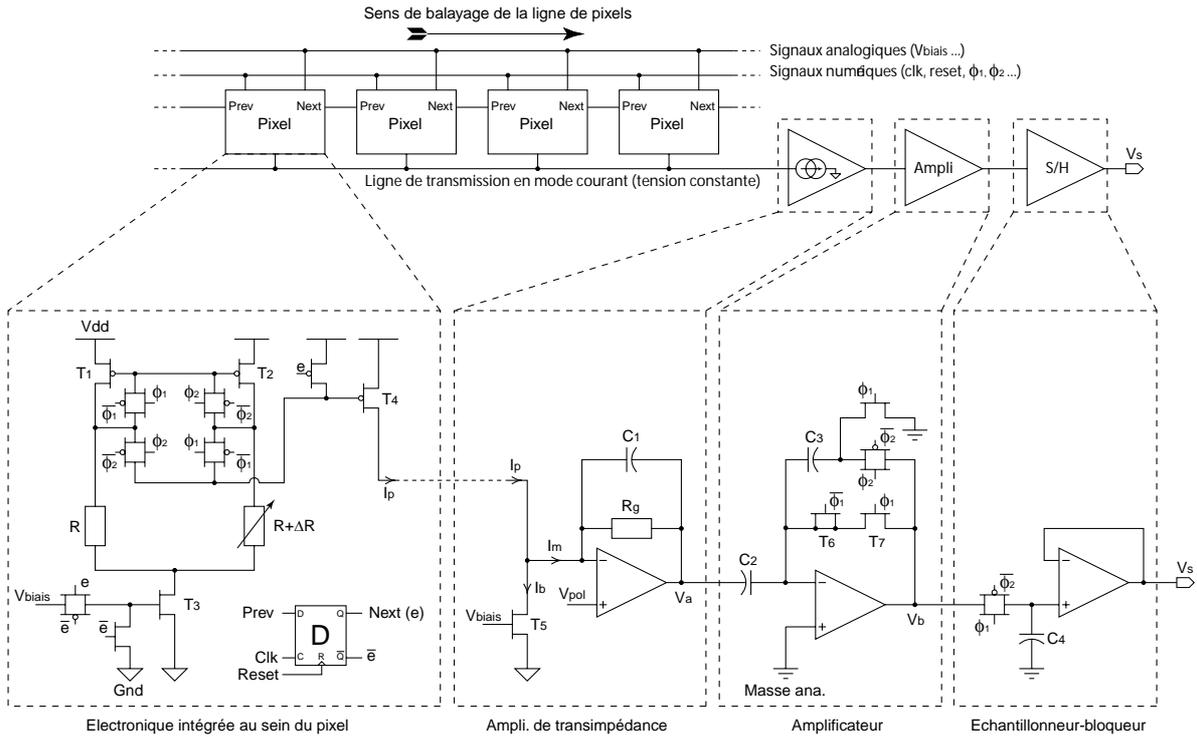


Figure 92 : Schéma simplifié de l'ensemble de la chaîne de traitement.

### V.3.4.2 Electronique intégrée au sein de chaque pixel

L'électronique intégrée au sein de chaque pixel (voir schéma représenté sur la Figure 92) permet de transformer la variation de résistance électrique induite au sein de la jauge de contraintes en variation de courant afin que l'information analogique puisse être acheminée vers les circuits d'amplification via la ligne de transmission. Tout comme dans le cas du premier prototype, la jauge de contraintes ainsi que la résistance de référence auront la même géométrie et la même orientation afin de présenter une résistance électrique la plus semblable possible en l'absence de sollicitation mécanique. Notons que la jauge de contraintes possède une résistance électrique initiale de  $6500 \Omega$ . Comme nous l'avons déjà spécifié, la lecture de chaque se décompose en deux phases successives  $\Phi_1$  et  $\Phi_2$ , le circuit d'amplification se basant sur le principe du double échantillonnage corrélé afin d'éliminer les diverses tensions de décalage.

La Figure 93 montre les schémas électriques équivalents du circuit intégré au sein de chaque pixel suivant la phase considérée. Notons que le pixel est ici considéré comme actif (sortie Q de la bascule D servant à réaliser le balayage de la ligne de pixels à l'état haut soit encore  $e=1$ ).

Sans donner le détail des calculs, si nous considérons les transistors  $T_1$  et  $T_2$  comme étant de taille égale, l'expression de l'intensité électrique  $I_p$  commutée par la ligne de transmission durant la phase  $\Phi_1$  est telle :

$$I_p(\phi_1) = \frac{1}{2} \cdot K_p \cdot \left(\frac{W}{L}\right)_4 \cdot \left[ \sqrt{\frac{I_{\text{biais}}}{K_p \cdot (W/L)_{1/2}}} - \frac{\Delta R \cdot I_{\text{biais}}}{2} \right]^2$$

Durant la phase  $\Phi_2$ , l'expression du courant  $I_p$  devient :

$$I_p(\phi_2) = \frac{1}{2} \cdot K_p \cdot \left(\frac{W}{L}\right)_4 \cdot \left[ \sqrt{\frac{I_{\text{biais}}}{K_p \cdot (W/L)_{1/2}}} + \frac{\Delta R \cdot I_{\text{biais}}}{2} \right]^2$$

Ces deux expressions n'ont pas grande signification pour le moment mais seront utilisées par la suite. La taille des différents transistors a été choisie de manière à ce que la valeur moyenne du courant  $I_p$  entre les deux phases soit égale à  $I_{\text{biais}}$ . Ceci revient à poser  $I_p = I_{\text{biais}}$  et  $\Delta R = 0$  dans l'une des deux expressions précédentes de telle sorte que l'on obtienne la condition suivante :

$$\left(\frac{W}{L}\right)_{1/2} = \frac{1}{2} \cdot \left(\frac{W}{L}\right)_4$$

Dans le cas du prototype réalisé, la taille des différents transistors est telle que  $(W/L)_{1/2} = (50/6)$  et  $(W/L)_4 = (100/6)$ .

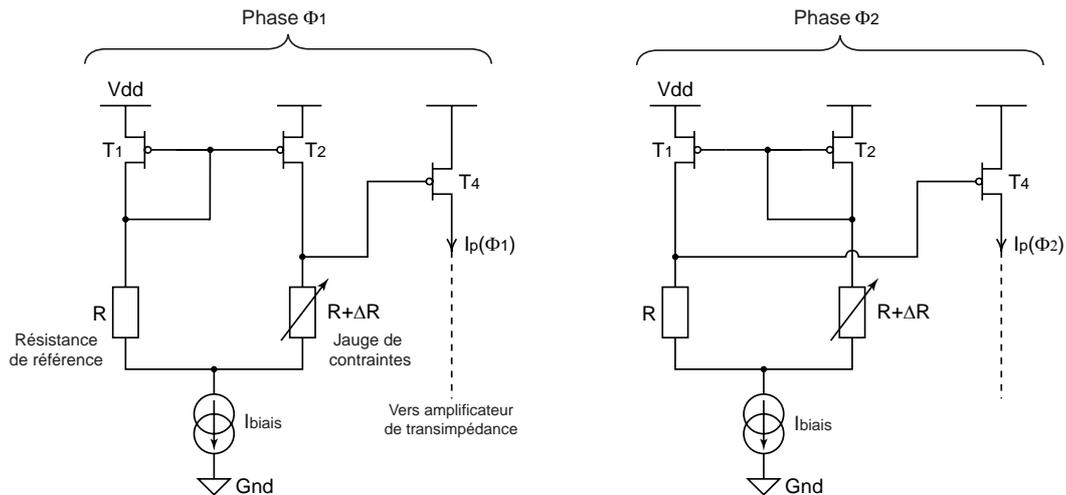


Figure 93 : Schémas électriques équivalents du circuit intégré au sein de chaque suivant les deux phases possibles  $\Phi_1$  et  $\Phi_2$ .

Il est important de noter que les transistors utilisés présenteront toujours des variations dimensionnelles qui induiront d'une part, un courant de décalage systématique qui sera noté ici  $I_{\text{off}}$  et d'autre part, une légère modification du gain qui sera négligée par la suite. Ce phénomène sera étudié par la suite par le biais de simulations de Monte Carlo.

### V.3.4.3 Amplificateur de transimpédance

L'amplificateur de transimpédance utilisé permet de transformer l'information analogique issue du pixel de variations de courant électrique en variations de tension. Ce circuit polarise de plus la ligne de transmission à un potentiel fixe (ici la tension  $V_{\text{pol}}$ , voir Figure 94). Notons que cet amplificateur possède une fonction de transfert de type passe bas permettant de filtrer le signal issu des pixels.

La Figure 94 révèle la présence d'un générateur de courant (transistor  $T_5$ ) dont le rôle est de retrancher un courant constant de valeur  $I_{\text{biais}}$  au courant d'entrée  $I_p$ . De cette manière, seule la composante non continue de  $I_p$  (courant  $I_m$ ), dépendante de la variation de résistance électrique  $\Delta R$  induite au sein de la jauge de contraintes, sera traitée par le circuit.

Si nous considérons que l'amplificateur opérationnel utilisé présente une tension de décalage systématique en entrée  $V_{\text{off1}}$ , la tension de sortie  $V_a$  du circuit présenté ici est telle que :

$$V_a = V_{\text{pol}} - R_g \cdot H(\omega) \cdot (I_p - I_{\text{biais}}) + V_{\text{off1}}$$

Où  $H$  est la composante fréquentielle de la fonction de transfert de l'amplificateur de transimpédance

(fonction de type passe bas due à la présence de la capacité  $C_1$  au sein de la boucle de contre-réaction) telle que:

$$H(\omega) = \frac{1}{1 + j\omega/\omega_0} = \frac{1}{1 + jR_g \cdot C_1 \cdot \omega}$$

Dans notre cas, la résistance  $R_g$  a une valeur de 40 kΩ et la capacité  $C_1$  est fixée à 4 pF de manière à ce que la fréquence de coupure soit égale à environ 1 Mhz. Le préfiltrage effectué ici nous permet de limiter l'impact du bruit blanc dû aux différents éléments résistifs présents dans le circuit (les jauges de contraintes par exemple).

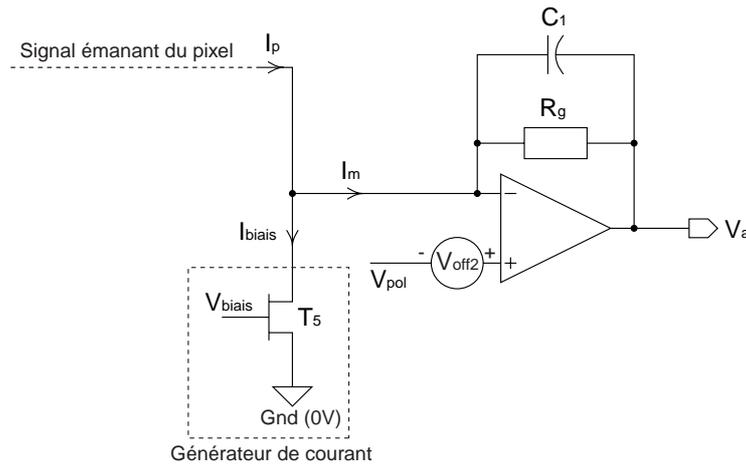


Figure 94 : Amplificateur de transimpédance utilisé afin de traiter le signal émanant du pixel. Ce circuit sert également à polariser la ligne de transmission à un potentiel constant.

#### V.3.4.4 Amplificateur différentiel à capacités commutées

L'amplificateur différentiel à capacités commutées utilisé (voir Figure 95) amplifie le signal émanant de l'amplificateur de transimpédance suivant un gain déterminé [4][5][6]. Cet amplificateur, de par sa nature différentielle, permet, grâce au principe du double échantillonnage corrélé, d'annuler les diverses tensions de décalage imputables aux circuits présents en amont.

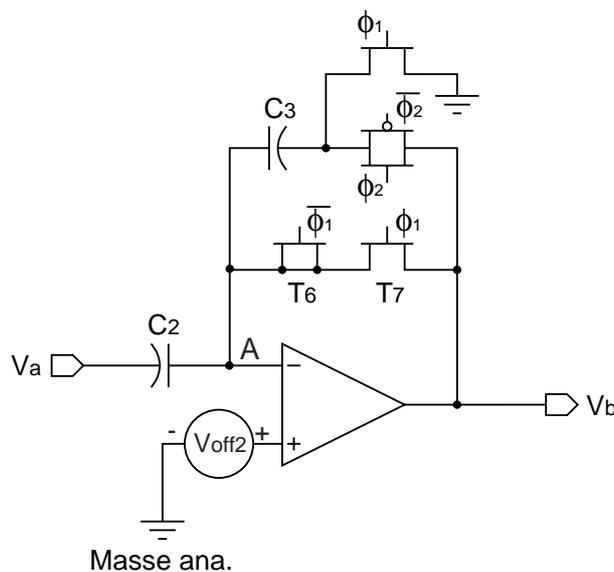


Figure 95 : Amplificateur différentiel à capacités commutées.

Durant la phase  $\Phi_1$ , la charge électrique  $Q_1$  présente au point de haute impédance A est telle que :

$$Q_1 = C_2 \cdot (V_{\text{off}2} - V_a(\phi_1)) + C_3 \cdot V_{\text{off}2}$$

Où  $V_{\text{off}2}$  est la tension de décalage en entrée de l'amplificateur opérationnel utilisé ici. Durant la phase  $\Phi_2$ , l'expression de la charge électrique  $Q_2$  au point est :

$$Q_2 = C_2 \cdot (V_{\text{off}2} - V_a(\phi_2)) + C_3 \cdot (V_{\text{off}2} - V_b)$$

Entre les deux phases, la charge électrique est conservée (point de haute impédance) telle que :

$$Q_1 = Q_2 \Rightarrow V_b(\phi_2) = \frac{C_2}{C_3} \cdot [V_a(\phi_1) - V_a(\phi_2)]$$

Il est important de noter que cette expression, valable durant la phase  $\Phi_2$ , est totalement indépendante de la tension de décalage d'entrée de l'amplificateur opérationnel utilisé. De plus, le gain du circuit est donné par le rapport de deux capacités électriques qui sont les composants passifs intégrés qui présentent le moins de dispersion dimensionnelle. Le gain de ce circuit est donc contrôlé très précisément.

Le schéma électrique de la Figure 95 révèle la présence d'un transistor (transistor  $T_6$ ) dont le drain et la source sont court-circuités. Le rôle de ce transistor est de compenser l'injection de charges électriques que pourrait provoquer le transistor  $T_7$  au niveau du point de haute impédance A lors de son ouverture ou de sa fermeture. Afin que l'injection de charges se compense correctement, la largeur de grille du transistor  $T_7$  doit être égale au double que celle du transistor  $T_6$ .

Il est maintenant possible d'utiliser les différentes expressions déterminées précédemment afin d'obtenir l'expression la tension  $V_b$  en fonction de la variation de résistance électrique  $\Delta R$  induite au sein de la jauge de contraintes :

$$\begin{aligned} V_b(\phi_2) &= \frac{C_2}{C_3} \cdot [V_a(\phi_1) - V_a(\phi_2)] \\ &= \frac{C_2}{C_3} \cdot R_g \cdot [I_p(\phi_2) - I_p(\phi_1)] \\ &= \frac{C_2}{C_3} \cdot R_g \cdot \left(\frac{W}{L}\right)_4 \cdot \left(\frac{W}{L}\right)_{1/2}^{-1/2} \cdot K_p^{1/2} \cdot I_{\text{biais}}^{3/2} \cdot \Delta R \end{aligned}$$

Cette dernière expression montre que toutes les tensions ou courants de décalage pouvant être induits par l'électronique en amont de l'amplificateur différentiel s'annulent. Notons que la fonction de transfert  $H(\omega)$  n'intervient pas ici, le signal étant considéré comme échantillonné suivant les deux phases  $\Phi_1$  et  $\Phi_2$ . Le signal traité étant une variation de résistance électrique, le gain de la chaîne de mesure s'apparente à une intensité électrique qui sera notée par la suite  $I_G$  telle que :

$$I_G = \frac{C_2}{C_3} \cdot R_g \cdot \left(\frac{W}{L}\right)_4 \cdot \left(\frac{W}{L}\right)_{1/2}^{-1/2} \cdot K_p^{1/2} \cdot I_{\text{biais}}^{3/2}$$

Afin de pouvoir régler le gain du circuit, la capacité  $C_2$  sera en fait composée de deux capacités de 10 pF pouvant être mises en parallèle ou non suivant le signal logique  $g_2$  imposé de l'extérieur de la puce ( $C_2=10$  pF si  $g_2=0$  et  $C_2=20$  pF si  $g_2=1$ ). Notons que la valeur de la capacité  $C_3$  est telle que  $C_3=1$  pF. Le gain pourra être également facilement modifié en jouant sur la valeur du courant de polarisation  $I_{\text{biais}}$ . La Figure 96 montre la valeur de  $I_G$  en fonction du courant de polarisation  $I_{\text{biais}}$  selon que le signal

logique  $g_2$  soit à l'état haut ou bas. Cette figure permet de voir que la valeur de  $I_G$  obtenue à partir de l'expression analytique est semblable à celle donnée par les simulations électriques effectuées.

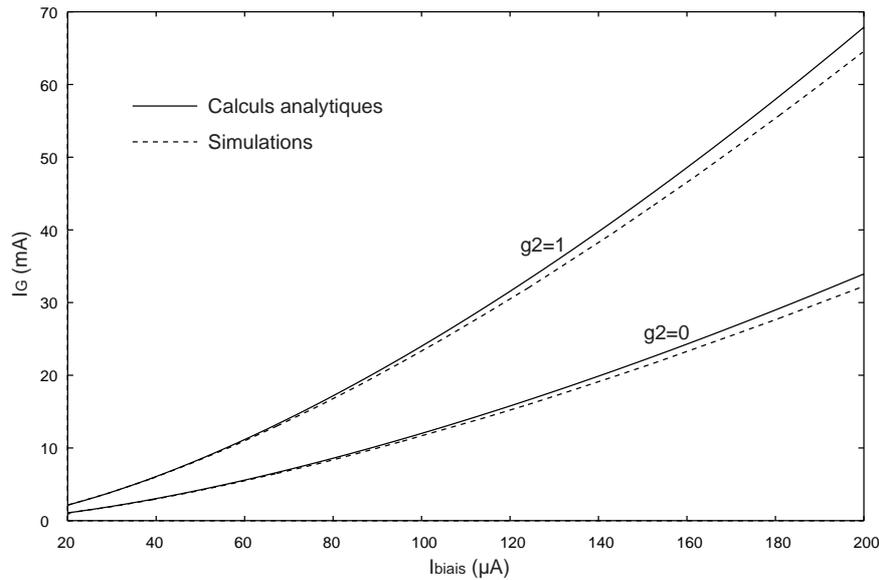


Figure 96 : Valeur de  $I_G$  en fonction du courant de polarisation  $I_{\text{biais}}$ .

#### V.3.4.5 L'échantillonneur/bloqueur

Le dernier élément de la chaîne de traitement analogique présentée ici est l'échantillonneur/bloqueur. Le rôle de ce circuit est d'échantillonner le signal issu de l'amplificateur différentiel durant la phase  $\Phi_2$  afin que la tension appliquée à l'entrée du convertisseur analogique/numérique soit stable durant la numérisation.

Durant la phase  $\Phi_2$ , la tension  $V_b(\Phi_2)$  est stockée au sein de la capacité  $C_4$  ( $C_4=4$  pF) et est restituée durant la phase  $\Phi_1$  (phase durant laquelle se déroule effectivement la numérisation) par l'intermédiaire d'un suiveur servant d'adaptateur d'impédance. Notons que le circuit ici présenté ne permet pas d'éliminer la tension de décalage de l'amplificateur opérationnel utilisé. En fait ceci n'est pas critique vu qu'aucune amplification du signal n'est ici opérée.

### V.3.5 Simulations numériques effectuées sur la chaîne de traitement analogiques

Nous avons effectué différentes simulations numériques sur la chaîne de traitement présentée précédemment afin de vérifier son bon fonctionnement mais également afin de déterminer les effets des dispersions dimensionnelles des composants (simulations de Monte Carlo) ainsi que le niveau de bruit électrique.

#### V.3.5.1 Simulations temporelles de l'ensemble de la chaîne de traitement

Le but de cette simulation est, d'une part de vérifier le bon fonctionnement de l'ensemble de la chaîne de traitement et d'autre part de déterminer la fréquence de balayage maximale admissible. La Figure 97 montre les résultats d'une simulation temporelle effectuée pour une fréquence de balayage de 200 kHz dans des conditions telles que  $I_{\text{biais}}=50 \mu\text{A}$ ,  $g_2=0$  et  $V_{\text{pol}}=V_{\text{dd}}/2=2,5$  V. Cette simulation montre l'évolution temporelle des tensions disponibles en sortie des différents éléments constituant la chaîne de traitement (amplificateur de transimpédance, amplificateur différentiel, échantillonneur/bloqueur) pour des variations de résistance électrique de la jauge de contraintes comprises entre 0 et 3 %.

Les diverses simulations effectuées montrent que l'électronique de traitement remplit parfaitement son rôle pour des fréquences de balayage comprises entre 500 Hz et 300 kHz. Pour des fréquences

supérieures à 300 kHz, l'électronique n'a pas le temps d'atteindre le régime permanent et pour des fréquences inférieures à 500 Hz, les courants de fuite au niveau des capacités électriques induisent une forte détérioration du signal en sortie de la chaîne de traitement.

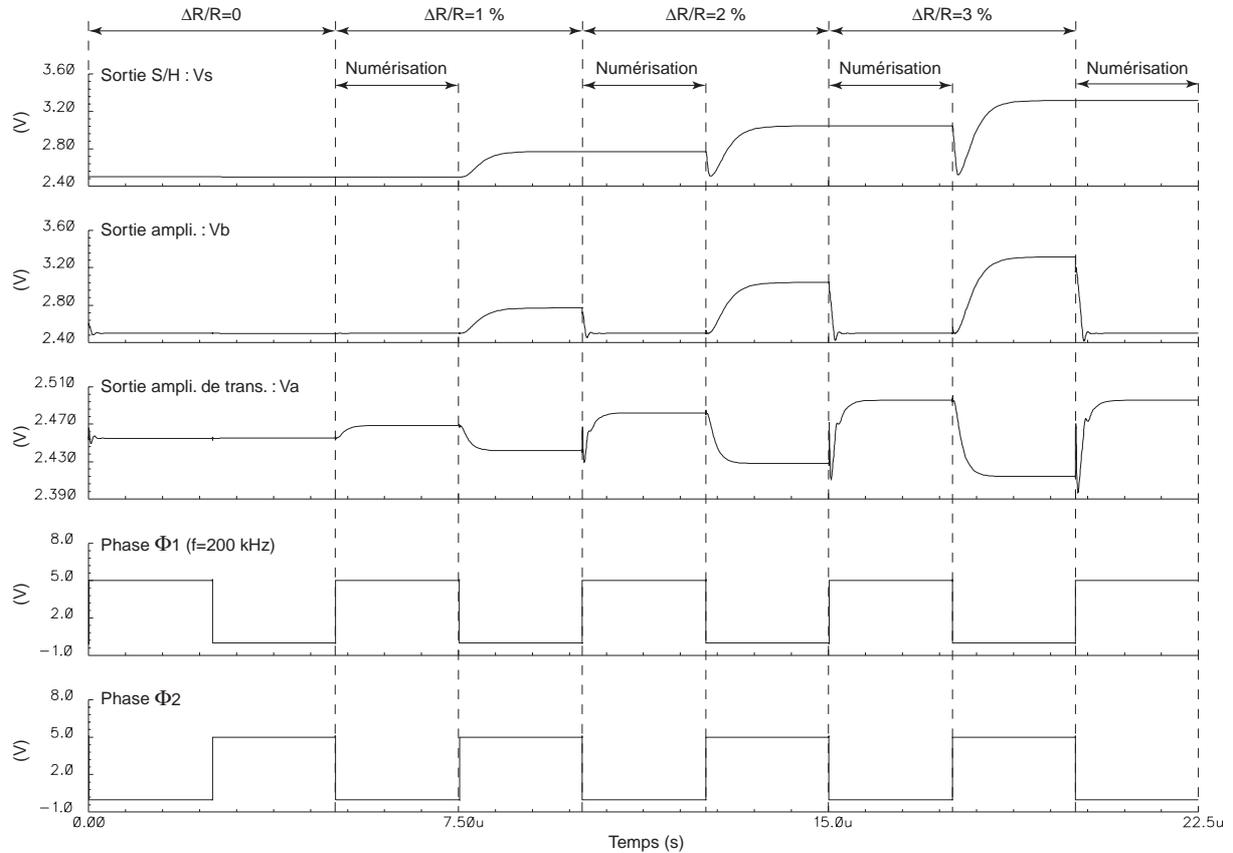


Figure 97 : Simulation temporelle de l'ensemble de la chaîne de traitement pour une fréquence de balayage égale à 200 kHz ( $I_{\text{biais}}=50 \mu\text{A}$ ,  $g_2=0$  et  $V_{\text{pol}}=2,5 \text{ V}$ ). La masse analogique est ici fixée à  $V_{\text{dd}}/2=2,5 \text{ V}$ .

### V.3.5.2 Effets des dispersions dimensionnelles d'un pixel à un autre

L'architecture utilisée exploitant des paires de transistors et de résistances appariées au sein de chaque pixel (miroirs de courant, jauges de contraintes), il est intéressant de savoir dans quelle proportion les variations dimensionnelles de ces composants peuvent induire une tension de décalage en sortie de la chaîne de traitement et ce malgré l'utilisation d'une électronique à double échantillonnage corrélé. Dans ce but, nous avons effectué des simulations de Monte Carlo (voir Figure 98) en ne tenant compte que des variations dimensionnelles des composants intégrés au sein de chaque pixel (pixels faisant partie d'une seule et même ligne).

Les simulations effectuées montrent que, pour  $I_{\text{biais}}=50 \mu\text{A}$  et  $g_2=0$  ( $I_{\text{G}}\#4,47 \text{ mA}$ ), l'écart-type de la tension de sortie de l'amplificateur (tension  $V_b$ ) est de l'ordre de 271 mV. Afin de déterminer les contributions respectives des transistors et des résistances de polysilicium (jauge de contraintes et résistance de référence), nous avons effectué des simulations en ne tenant compte que des variations dimensionnelles de ces dernières.

Ces simulations, effectuées dans les mêmes conditions, en ne considérant que les variations dimensionnelles de la jauge et de la résistance de référence, montrent que la tension de sortie de l'amplificateur présente un écart-type de l'ordre de 246 mV. Ce résultat montre que l'incertitude existante sur la tension de sortie de l'amplificateur, en l'absence de toute sollicitation mécanique, est principalement due aux variations dimensionnelles de la jauge et de la résistance de référence.

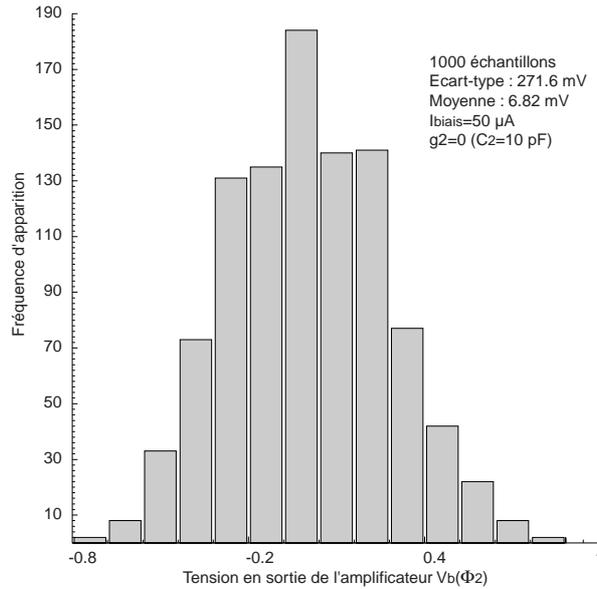


Figure 98 : Simulation de Monte Carlo montrant la dispersion de la tension de sortie de l'amplificateur (tension  $V_b$ ). Cette simulation ne tient compte que des variations dimensionnelles des composants intégrés au sein de chaque pixel (transistors et résistances).

Dans le but de limiter l'impact des variations dimensionnelles des transistors appariés  $T_1$  et  $T_2$ , ces deux composants seront interdigités comme le montre la Figure 99. De cette manière ces transistors présenteront des variations dimensionnelles et technologiques aussi proches que possible [5]. Notons que cette technique de dessin de masques a été utilisée pour tous les miroirs de courant présents au sein de la puce.

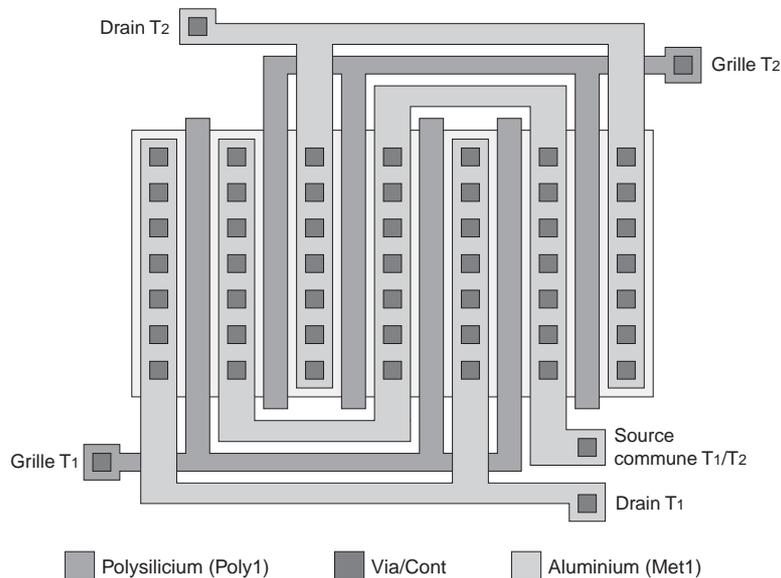


Figure 99 : Dessin de masques (*layout*) de transistors interdigités.

### V.3.5.3 Bruit électrique de la chaîne de traitement

Nous avons effectué différentes simulations afin d'estimer le niveau de bruit électrique en sortie de l'amplificateur avant l'échantillonneur/bloqueur. En conditions normales de fonctionnement, la ligne de pixels étant balayée à une fréquence égale ou supérieure à 10 KHz, il convient de ne prendre en compte que du bruit électrique dont le spectre est supérieur à cette fréquence [6]. Notons que nous allons ici considérer le bruit électrique prenant naissance durant la phase  $\Phi_2$ , phase durant laquelle

l'amplification du signal est réellement effectuée.

La Figure 100 montre le spectre fréquentiel du bruit électrique présent au niveau de la sortie de l'amplificateur différentiel durant la phase  $\Phi_2$  pour  $I_{\text{biais}}=100 \mu\text{A}$ . On peut remarquer que le niveau de bruit électrique varie, d'une manière générale, en  $1/f$  (bruit Flicker dû aux transistors MOS [6]) et présente une composante continue (bruit blanc) quasi nulle du fait de l'utilisation réduite d'éléments purement résistifs.

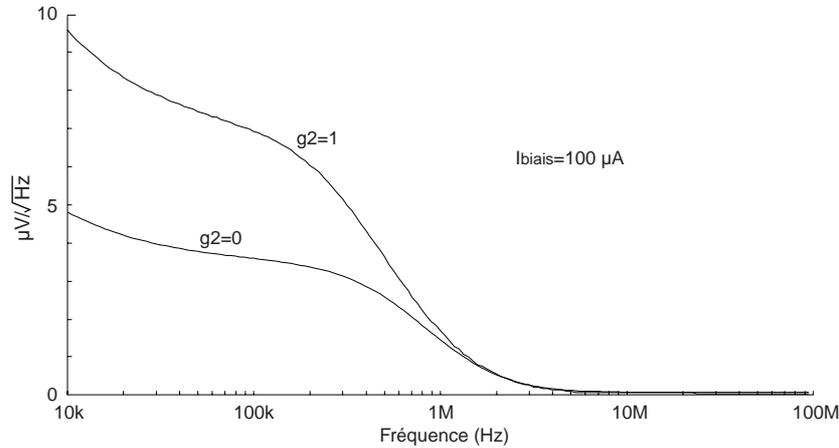


Figure 100 : Spectre fréquentiel du bruit électrique en sortie de l'amplificateur différentiel durant la phase  $\Phi_2$  pour  $I_{\text{biais}}=100 \mu\text{A}$ .

Il est possible, à partir de la densité spectrale du bruit, de déterminer la variation de résistance électrique minimale  $\Delta R_{\text{min}}$  qu'il est possible de mesurer telle que :

$$\Delta R_{\text{min}} = \frac{\sqrt{\int_{f_{\text{min}}}^{f_{\text{max}}} V_n^2(f) df}}{I_G}$$

Où  $V_n(f)$  est la densité spectrale de bruit électrique considérée sur la bande passante utile délimitée par les fréquences  $f_{\text{min}}$  et  $f_{\text{max}}$ . Notons que la valeur  $\Delta R_{\text{min}}$  s'apparente ici au seuil de mesure défini par un rapport signal sur bruit égal à 0 dB [5][6]. Le Tableau 13 donne les valeurs de  $\Delta R_{\text{min}}$  pour une bande passante allant de 10 kHz à 100 MHz.

	$\Delta R_{\text{min}}$	$\Delta R_{\text{min}}/R$
$I_b=100 \mu\text{A}$ et $g2=0$	250 m $\Omega$	0,038 ‰
$I_b=100 \mu\text{A}$ et $g2=1$	212 m $\Omega$	0,032 ‰

Tableau 13 : Variation de résistance électrique minimale qu'il est possible de mesurer.

### V.3.6 Circuits annexes

#### V.3.6.1 Circuit de polarisation

Comme nous l'avons vu, l'électronique de traitement associée aux pixels ainsi que les amplificateurs de transimpédance utilisent un ensemble de générateurs de courant réalisés grâce à des transistors NMOS qui nécessitent une tension de polarisation. Cette tension, notée ici  $V_{\text{biais}}$ , est générée par un circuit de polarisation dont le schéma est représenté sur la Figure 101 [5]. Notons que la tension de

polarisation sera réglable de l'extérieur de la puce via la résistance R qui ne sera pas intégrée.

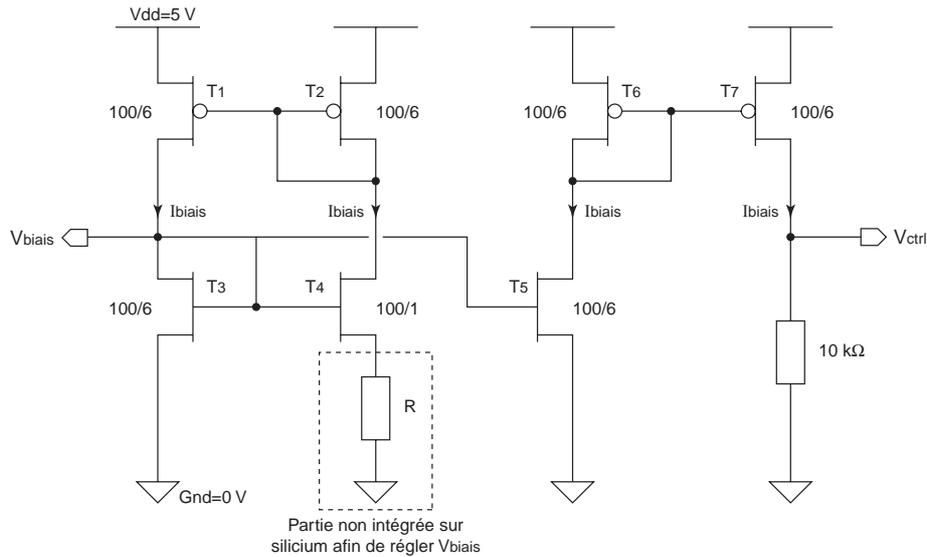


Figure 101 : Schéma électrique du circuit de polarisation utilisé.

Les transistors  $T_1$  et  $T_2$  sont identiques de sorte que l'intensité du courant électrique qui les traverse est la même. Ce courant noté  $I_{\text{biais}}$  peut être exprimé simplement de la manière suivante :

$$I_{\text{biais}} = \frac{V_{\text{GS3}} - V_{\text{GS4}}}{R}$$

En choisissant la taille des transistors  $T_4$  et  $T_3$  telle que  $(W/L)_4 > (W/L)_3$  (condition nécessaire pour que  $I_{\text{biais}}$  soit de valeur positive) l'expression du courant de polarisation  $I_{\text{biais}}$  devient :

$$I_{\text{biais}} = \frac{2}{R^2 \cdot K_n} \left[ \left( \frac{W}{L} \right)_3^{-1/2} - \left( \frac{W}{L} \right)_4^{-1/2} \right]^2$$

Cette expression montre que le courant  $I_{\text{biais}}$  (et donc la tension de polarisation  $V_{\text{biais}}$  associée) est totalement indépendant de la tension d'alimentation du circuit et dépend simplement de la valeur de la résistance R.

Les transistors  $T_5$ ,  $T_6$  et  $T_7$  forment un ensemble de miroirs de courant dont le seul but est d'imposer un courant d'intensité égale au courant  $I_{\text{biais}}$  à travers une résistance de valeur connue précisément (ici 10 kΩ). Ce circuit nous permettra de contrôler facilement le courant de polarisation  $I_{\text{biais}}$  en mesurant la tension  $V_{\text{ctrl}}$  de l'extérieur de la puce. Le courant de polarisation  $I_{\text{biais}}$  exprimé en  $\mu\text{A}$  sera, en fonction de  $V_{\text{ctrl}}$ , tel que :

$$I_{\text{biais}} [\mu\text{A}] = 100 \cdot V_{\text{ctrl}}$$

La Figure 102 montre les résultats des simulations qui ont été effectuées sur le circuit de polarisation. Comme le montre cette figure, les différents transistors ont été dimensionnés de manière à ce que le courant de polarisation puisse être ajusté dans une gamme comprise entre 20  $\mu\text{A}$  et 200  $\mu\text{A}$  environ (valeur de la résistance électrique R comprise entre 1,5 kΩ et 6 kΩ).

Afin d'estimer la dispersion du courant de polarisation entre les différentes puces pour une valeur de la résistance R constante, nous avons effectué une simulation de Monte-Carlo. Cette simulation tenait compte aussi bien des dispersions technologiques du process utilisé que des variations dimensionnelles

des composants. Pour un courant de polarisation égale à  $50 \mu\text{A}$ , l'écart type de ce dernier est de l'ordre de  $4,2 \mu\text{A}$ .

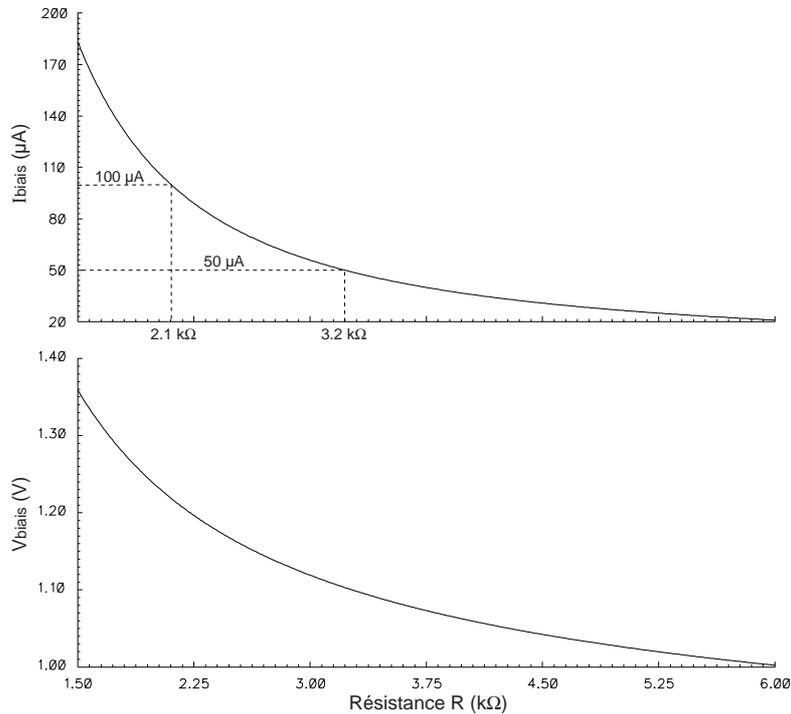


Figure 102 : Résultats des simulations effectuées sur le circuit de polarisation.

### V.3.6.2 Générateur de phases

Tous les éléments de la chaîne de traitement sont pilotés suivant deux phases d'horloges non recouvrantes  $\Phi_1$  et  $\Phi_2$ . Afin de générer ces deux phases, ainsi que leur signaux complémentaires, nous utilisons le circuit dont le schéma est donné sur la Figure 103 (a) [6]. La Figure 103 (b) montre le résultat de la simulation temporelle de ce circuit qui montre bien que les phases  $\Phi_1$  et  $\Phi_2$  ne sont jamais à l'état logique haut en même temps. De même, les signaux complémentaires correspondants ne sont jamais à l'état bas au même instant.

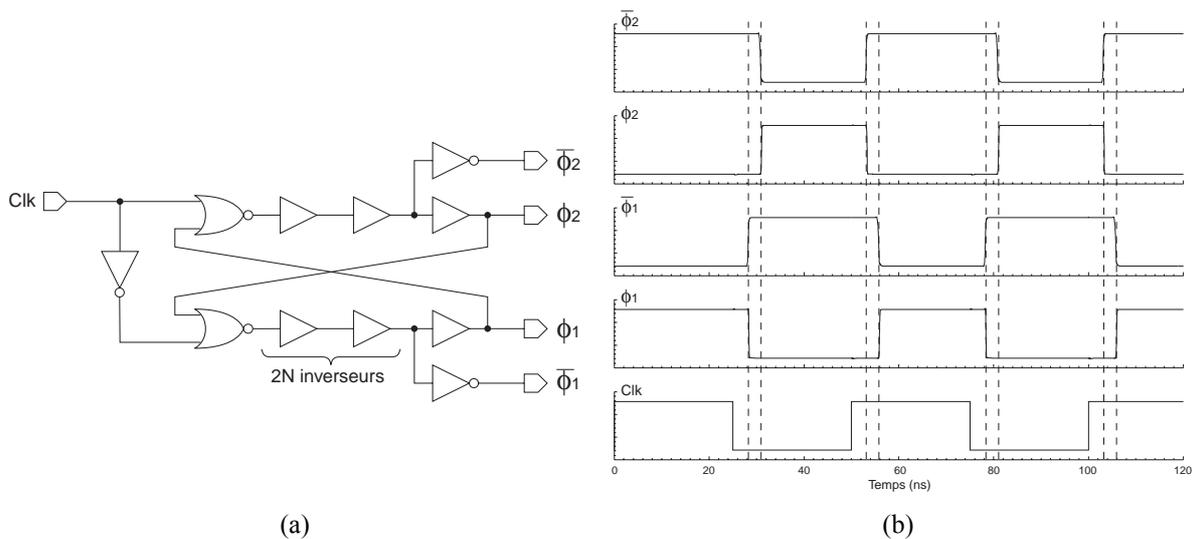


Figure 103 : Schéma électrique du générateur de phases utilisé (a). Simulation temporelle du générateur de phase pour une fréquence d'horloge de 20 MHz (b).

## V.4 Convertisseur analogique/numérique (CAN)

Au début de ce travail de thèse de doctorat, il n'existait pas de convertisseurs analogique/numérique disponibles au sein des bibliothèques standards du fondeur AMS ou tout au moins pas sans contribution financière importante. Ce composant étant d'une nécessité vitale au sein de la chaîne de traitement du signal et notamment en vue de l'interconnexion à une carte d'acquisition, la décision a été prise de réaliser un convertisseur analogique/numérique 8 bits possédant une vitesse d'échantillonnage d'au moins 200 ks/s (*kilo samples per seconde*).

### V.4.1 Architecture retenue

L'architecture retenue sera celle d'un convertisseur analogique/numérique à approximations successives, cette approche étant l'une des plus populaires du fait de la relative rapidité de conversion et de la relative simplicité des circuits nécessaires.

Les convertisseurs à approximations successives convergent vers la valeur analogique à numériser par dichotomie. Dans ce but, la valeur numérique est recherchée en faisant varier successivement les valeurs des différents bits en commençant par le bit de poids fort (le MSB pour *Most Significant Bit* à contrario du bit de poids faible nommé LSB pour *Less Significant Bit*) comme le montrent les diagrammes représentés sur la Figure 104 [5][6]. Ces convertisseurs nécessitent généralement autant de périodes d'horloge que de bits afin d'effectuer une conversion complète.

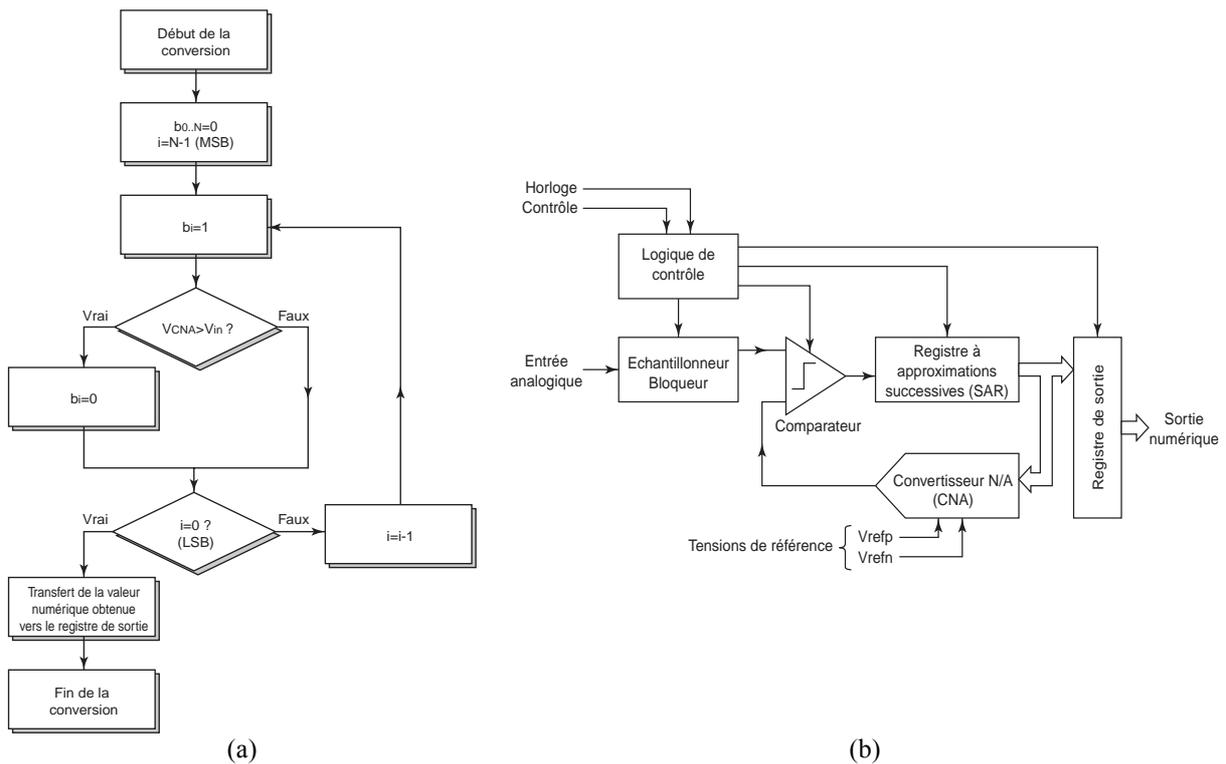


Figure 104 : Fonctionnement d'un convertisseur analogique/numérique à approximations successives. Diagramme de fonctionnement (a). Architecture du convertisseur (b).

### V.4.2 Implémentation du convertisseur

Nous allons présenter quelles options ont été retenues pour implémenter le convertisseur analogique/numérique notamment en ce qui concerne le convertisseur numérique/analogique et le comparateur qui détermineront la précision de numérisation du circuit. Les autres éléments et notamment ceux numériques comme le registre à approximations successives (nommé ici SAR pour

*Successive Approximation Register*) ne seront pas décrits étant sans grand intérêt.

#### V.4.2.1 Le comparateur

Afin de réaliser le comparateur, plusieurs architectures sont envisageables comme par exemple celles utilisant une paire de transistors d'entrée différentielle (architectures inspirées de celle d'un amplificateur opérationnel). Outre leur relative lenteur, le principal inconvénient des comparateurs utilisant une paire différentielle d'entrée est qu'ils présentent souvent une tension de décalage d'entrée (tension d'offset) importante pouvant être de l'ordre de 10 mV. Cette tension de décalage est extrêmement préjudiciable dans la mesure où elle est supérieure à un LSB dans le cas où nous considérons un convertisseur 8 bits ayant une plage de numérisation de l'ordre 2 V (dans ce cas la valeur d'un LSB sera en fait de 7,8 mV).

Dans notre cas, nous avons choisi de réaliser un comparateur utilisant une chaîne d'inverseurs dont le schéma est présenté sur la Figure 105 [5][6]. Ce type de comparateur présente plusieurs avantages parmi lesquels nous pouvons citer une grande rapidité, une relative simplicité de mise au point, une place occupée sur silicium relativement faible et surtout une tension de décalage d'entrée extrêmement faible. Notons que ce comparateur ne fonctionne pas en temps continu mais est piloté par deux phases d'horloge non recouvrantes notées ici  $\Phi_1$  et  $\Phi_2$ .

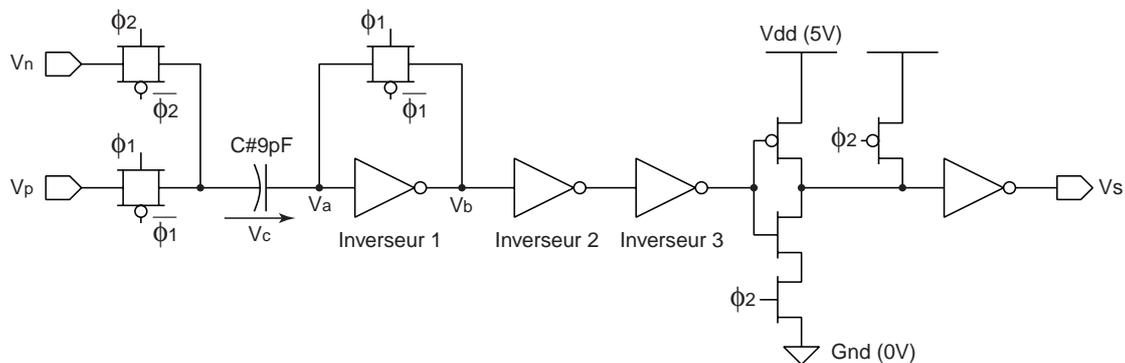


Figure 105 : Schéma électrique du comparateur utilisé.

Le principe de fonctionnement de ce comparateur peut être décrit de la manière suivante. Durant la phase  $\Phi_1$  le premier inverseur composant la chaîne (inverseur 1) voit sa sortie et son entrée court-circuitées par une porte de transmission de telle sorte que la tension  $V_a$  soit égale à sa tension de basculement (tension notée ici  $V_{th}$  telle que  $V_{th} \approx 2,5$  V). La tension  $V_c$  qui est stockée dans la capacité C sera alors telle que :

$$V_c = V_a - V_p = V_{th} - V_p$$

Notons que durant cette phase,  $\Phi_2$  est au niveau logique bas ( $\Phi_2=0$  V) de telle sorte que la tension de sortie du comparateur soit égale à zéro quoi qu'il arrive.

Durant la phase  $\Phi_2$ , le premier inverseur n'est plus court-circuité de manière à ce que sa tension d'entrée  $V_a$  soit telle que :

$$V_a = V_c + V_n = V_{th} - V_p + V_n = V_{th} + (V_n - V_p)$$

Cette dernière équation montre bien que suivant le signe de  $V_n - V_p$ , la tension de sortie  $V_b$  du premier inverseur basculera vers un état logique bas ( $V_b < V_{th}$  si  $V_n - V_p > 0$ ) ou haut ( $V_b > V_{th}$  si  $V_n - V_p < 0$ ). Cette tendance sera alors amplifiée par les deux inverseurs en aval (inverseurs 2 et 3) qui présentent la même tension de basculement puisque composés de transistors de taille égale ( $W/L=10/2$  pour le

PMOS et  $W/L=5/2$  pour le NMOS). Les deux derniers inverseurs composant la chaîne qui sont inactivés durant la phase  $\Phi_1$  sont alors simplement utilisés pour mettre en forme le signal.

Il est important de noter que les inverseurs 1, 2 et 3 sont réalisés avec des transistors possédant de grandes longueurs de grille afin d'augmenter au maximum leur gain autour de la tension de basculement et de minimiser leur consommation électrique. En effet, lors de la phase  $\Phi_1$  aussi bien le transistor NMOS que le transistor PMOS constituant les inverseurs 1, 2 et 3 sont électriquement passants.

Les simulations effectuées sous Spectre montrent que ce comparateur présente une tension de décalage d'entrée qui reste inférieure à 2 mV et qui est donc bien inférieure à la valeur d'un LSB. Notons que cette tension de décalage est principalement due aux injections de charges au sein de la capacité C lors des changements de phases. Cette injection de charge est minimisée par l'utilisation de portes de transmission et par l'utilisation d'une capacité de valeur relativement élevée (9 pF dans notre cas).

La Figure 106 montre les chronographes issus d'une simulation transitoire du comparateur faite sous Spectre. Durant cette simulation, la fréquence d'horloge a été fixée à 5 MHz et les tensions d'entrée telles que  $V_p - V_n = \pm 10$  mV. Notons que la tension de sortie  $V_s$  est considérée comme valide à la fin de la phase  $\Phi_2$  permettant ainsi au système d'atteindre le régime permanent. Les simulations effectuées ont montré que ce comparateur est exploitable pour des fréquences d'horloge comprises entre 1 kHz et 20 MHz environ.

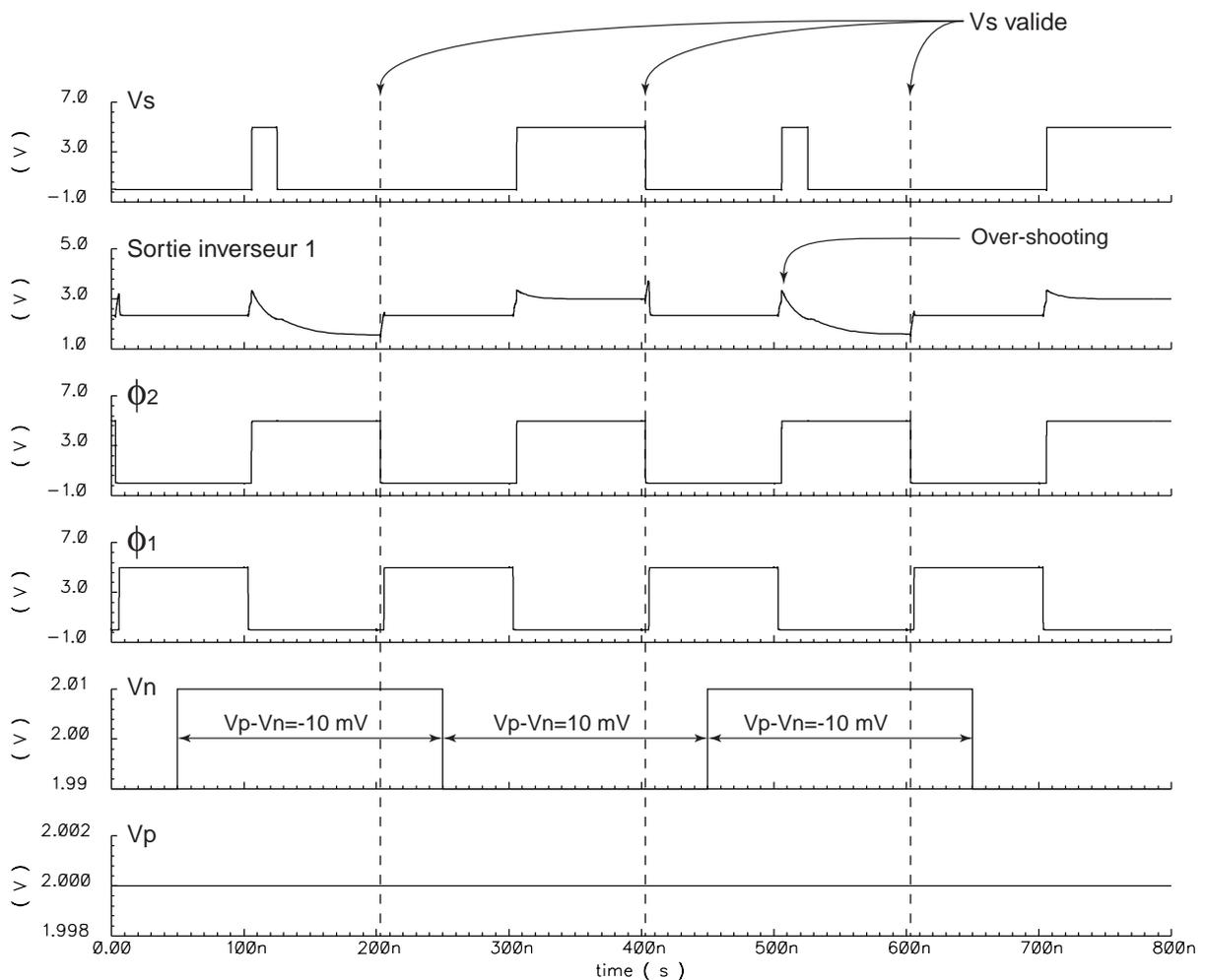


Figure 106 : Simulation électrique du comparateur sous Spectre pour une fréquence d'horloge de 5 MHz.

La Figure 106 montre un phénomène de *over-shooting* au niveau de la sortie de l'inverseur 1 lors des

passages de la phase  $\Phi_1$  à la phase  $\Phi_2$ . Cet effet est préjudiciable dans la mesure où il augmente le temps nécessaire afin d'atteindre le régime permanent lorsque  $V_p - V_n < 0$  mais les simulations montrent que la précision du comparateur n'en est pas affectée (pas ou peu d'injection de charges au niveau de la capacité C).

#### V.4.2.2 Le convertisseur numérique/analogique (CNA)

Afin de mener à bien la numérisation du signal, les convertisseurs à approximations successives nécessitent en leur sein un convertisseur numérique/analogique. Le convertisseur numérique/analogique que nous avons intégré utilise un réseau résistif replié (*folded resistor-string D/A converter*) de manière à ce que l'accès à la valeur analogique correspondant à la valeur numérique à convertir puisse se faire par l'intermédiaire d'un adressage plan de type x-y [5]. Cette stratégie permet de minimiser notablement la place occupée sur silicium. Dans notre cas, l'adressage en x sera codé par le quartet de poids fort ( $b_4$  à  $b_7$ ) et l'adressage en y par le quartet de poids faible ( $b_0$  à  $b_3$ ). L'architecture utilisée est visible sur la Figure 107 où nous nous sommes restreints à un convertisseur 4 bits dans un souci de visibilité.

Comme le montre la Figure 107, le convertisseur est constitué de  $2^N$  résistances de valeur r constituant le réseau proprement dit et de  $2^{N/2}$  résistances de valeur R. Le but de ces dernières est d'abaisser la résistance interne du réseau afin de minimiser les constantes de temps et donc la durée des régimes transitoires. La Figure 108 représente la résistance interne du convertisseur numérique/analogique implémenté en fonction de la valeur numérique d'entrée. Notons que ces courbes ne tiennent pas compte de la résistance induite par les portes de transmission qui est de l'ordre de 6 k $\Omega$  au maximum (deux portes de transmission en série dont les transistors ont des tailles telles que  $W/L=2/0,6$ ).

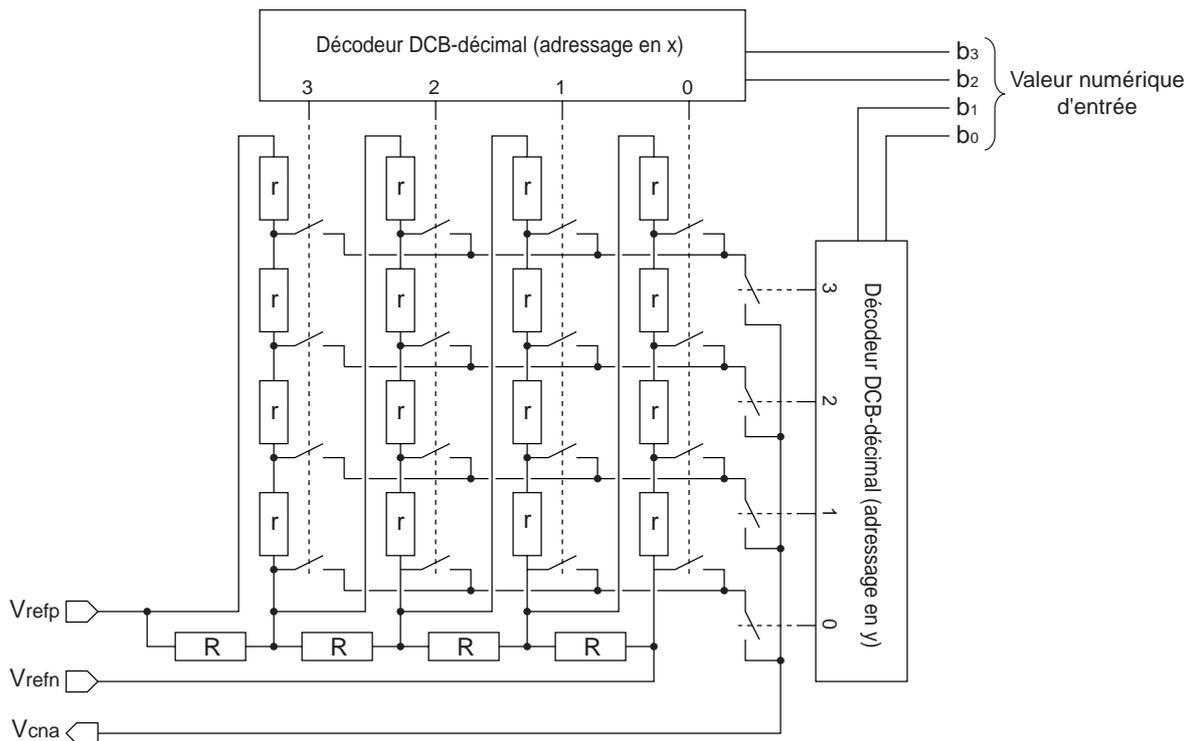


Figure 107 : Convertisseur numérique/analogique à réseau résistif replié 4 bits.

En ce qui concerne la précision de ce convertisseur, les résistances ont une géométrie telle que leur tolérance au sein d'une même puce (*mismatching*) est de l'ordre de 1,19 % pour celles de valeur R et 3,34 % pour les autres de valeur r. Compte tenu de ces valeurs, nous pouvons évaluer la précision du convertisseur numérique/analogique présenté ici à environ 2 %.

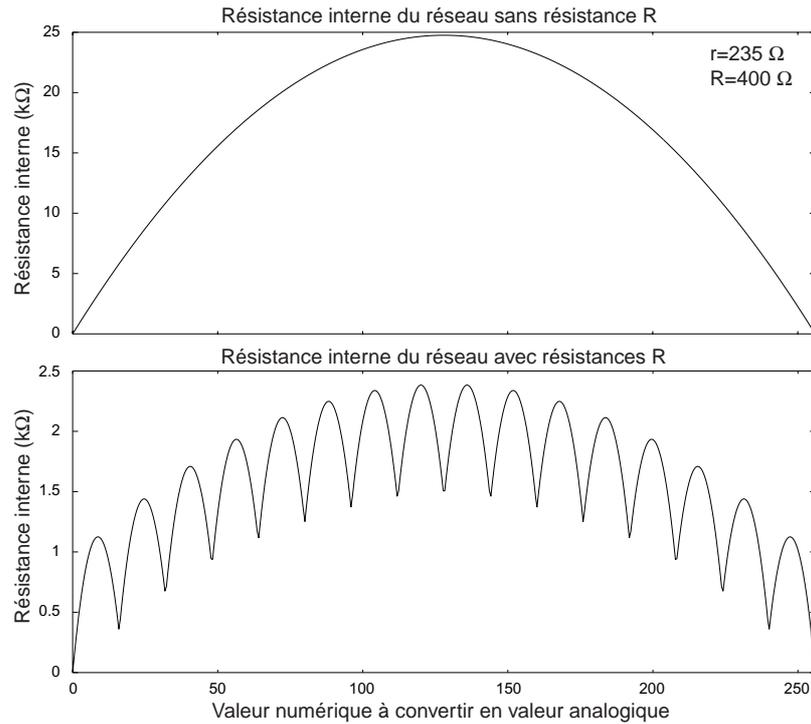


Figure 108 : Résistance interne de CNA avec ou sans les résistances de valeur R. Ces courbes ne tiennent pas compte de la résistance induite par les portes de transmission utilisées pour commuter le signal.

#### V.4.2.3 Layout du convertisseur analogique/numérique

La Figure 109 montre le layout du convertisseur analogique/numérique réalisé en technologie AMS 0,6  $\mu\text{m}$ . La surface occupée sur silicium par ce composant est de l'ordre d'un quart de millimètre carré puisque ses dimensions sont de 496x512  $\mu\text{m}^2$ . Il est important de noter que seuls les deux premiers niveaux métalliques de la technologie ont été employés. De cette manière, ce convertisseur pourra être réutilisé au sein d'autres systèmes réalisés en technologies CMOS 0,6  $\mu\text{m}$  issues du même fondeur qui ne possèdent pas de troisième niveau métallique.

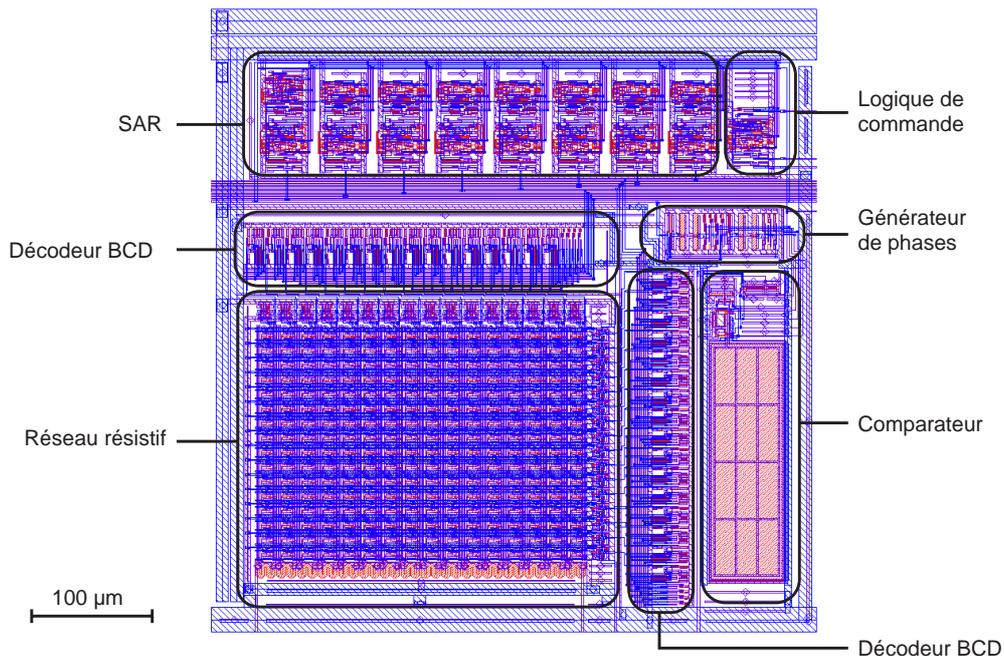


Figure 109 : Layout du convertisseur analogique/numérique 8 bits réalisé en technologie AMS 0,6  $\mu\text{m}$ .

Lors de la réalisation du layout, un soin particulier a été apporté afin de découpler électriquement l'alimentation des parties numériques et analogiques. De cette manière le bruit électrique dû aux transitions de niveaux logiques prenant forme au sein des parties numériques ne va pas parasiter les signaux analogiques.

#### V.4.2.4 Chronogramme du convertisseur analogique/numérique

Outre le signal d'horloge (signal *clk*), le convertisseur réalisé est piloté par un signal de remise à zéro (signal *reset*) actif lorsque ce dernier est à l'état haut. Lorsque le signal *reset* est à l'état haut, la valeur numérique disponible sur le bus de sortie sera égale à 128 (tous les bits à zéro sauf celui de poids fort) quel que soit l'état des autres signaux d'entrée numérique ou analogique. Durant cette phase les signaux *ok* (conversion effectuée) et *busy* (conversion en cours) seront respectivement à l'état bas et haut.

La Figure 110 représente le chronogramme du convertisseur dans le cas où une conversion est effectuée. Ce chronogramme montre qu'il est nécessaire de disposer de neuf fronts d'horloge montants successifs afin de mener à bien une conversion analogique/numérique complète. Notons que le circuit implémenté ne nécessite en fait que huit fronts d'horloge montants pour effectuer la conversion, le neuvième étant introduit afin d'être sûr que la valeur numérique attendue est bien présente au niveau du bus de données.

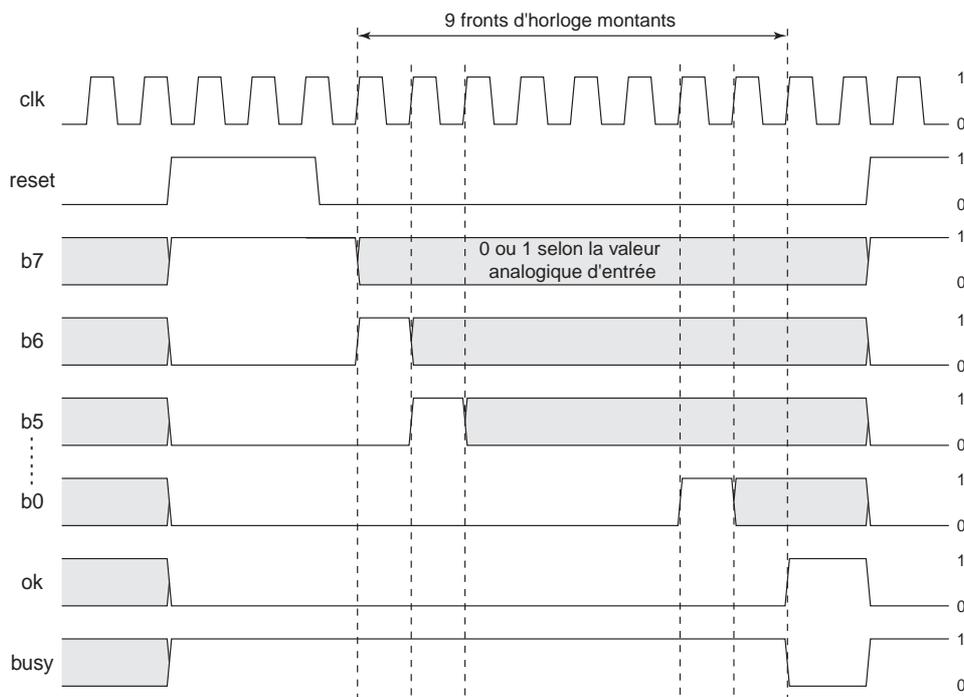


Figure 110 : Chronogramme du convertisseur analogique/numérique. Les zones grises sont utilisées afin de représenter les signaux numériques pouvant être à l'état haut ou bas suivant la valeur numérique d'entrée.

### V.4.3 Tests réalisés sur le convertisseur

Le convertisseur analogique/numérique présenté précédemment a été fabriqué lors d'un run CMP, ce qui nous a permis de le tester électriquement (voir Figure 111).

Afin de réaliser les différentes mesures, une carte de tests dédiée a été réalisée afin d'interfacer le convertisseur avec une carte d'acquisition National Instrument de type PCI6024E (voir Figure 112). Cette dernière sera pilotée au moyen d'un PC par l'intermédiaire d'interfaces réalisées en utilisant le logiciel LabView. Ce matériel nous a donné la possibilité de tester le circuit de manière extrêmement simple et complète en automatisant les mesures effectuées.

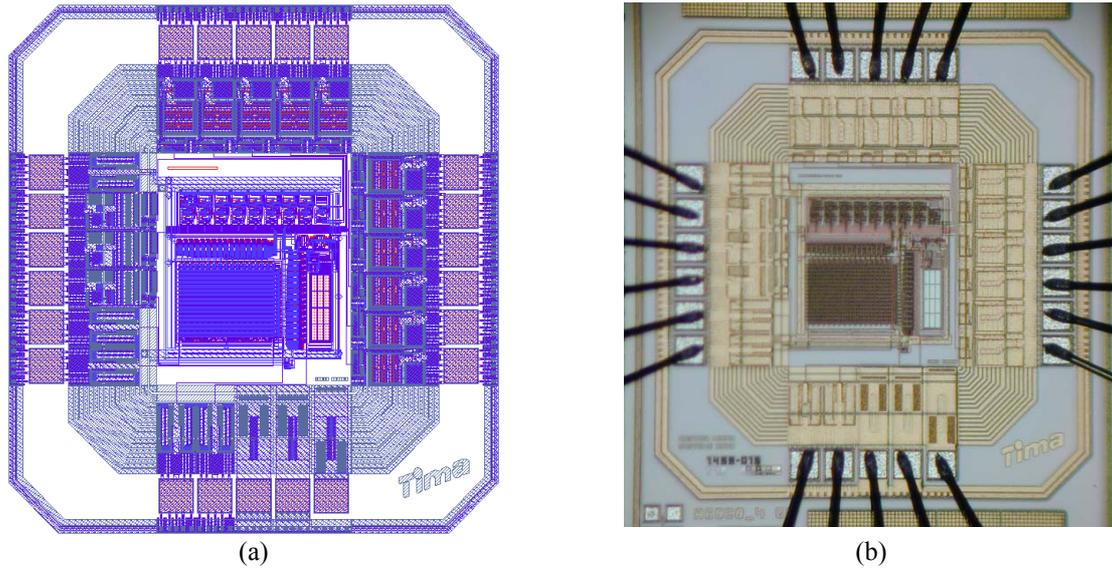


Figure 111 : Layout du circuit de test du convertisseur analogique/numérique réalisé (a). Photographie optique du circuit une fois mis en boîtier (boîtier Dual In Line 40 broches) (b).

Nous avons effectué deux sortes de tests différents : le tests des histogrammes (*histogram testing*) et le test dit de l'ajustement de courbes (*curve fitting*).

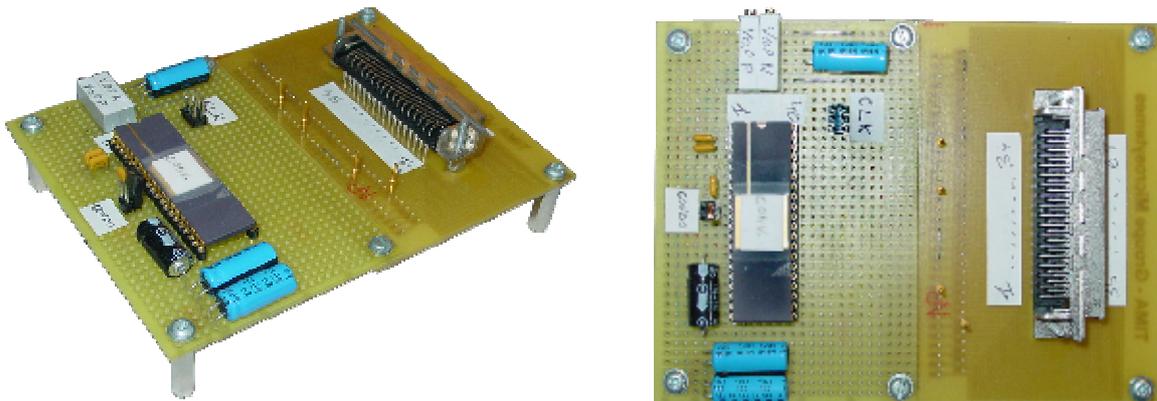


Figure 112 : Vues de la carte d'interfaçage réalisée afin de tester le convertisseur.

#### V.4.3.1 Le test des histogrammes : *histogram testing*

Ce test consiste à effectuer une étude statistique des valeurs numériques fournies par le convertisseur pour des valeurs analogiques en entrée répondant à une certaine fonction de densité de probabilité (fonction nommée PDF pour *Probability Density Function*) [7]. La fonction de densité de probabilité retenue sera celle correspondant à un signal sinusoïdal ayant une excursion égale à la gamme de numérisation du convertisseur (de  $V_{refn}$  à  $V_{refp}$ ). Ce test permet de déterminer l'absence de code, l'offset éventuel et la non linéarité différentielle du convertisseur.

L'interface graphique réalisée sous LabView afin de mener à bien ce test est visible sur la Figure 113. Cette interface nous a permis de gérer de manière extrêmement simple les différents signaux nécessaires au bon fonctionnement du convertisseur (horloge, reset, tensions de référence ...) mais également d'automatiser les mesures et les calculs, nous faisant gagner un temps incommensurable. Notons que cette démarche est ici quasi-indispensable vu la nature statistique des tests nécessitant un grand nombre de mesures.

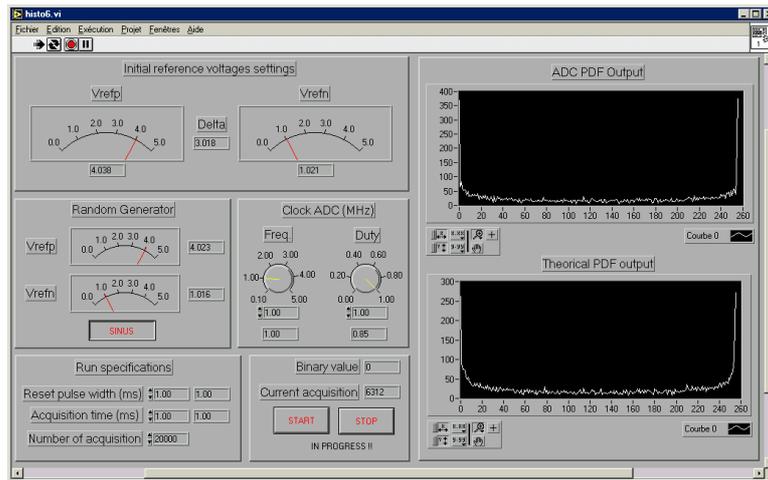


Figure 113 : Interface graphique réalisée en utilisant le logiciel LabView afin de pouvoir mener à bien le test des histogrammes.

Si nous considérons un signal sinusoïdal d'amplitude  $A$ , centré en zéro, de fréquence et de phase quelconque, la fonction de densité de probabilité d'une valeur  $V$  (Voir Figure 114) est égale à :

$$PDF(V) = \frac{1}{\pi\sqrt{A^2 - V^2}}$$

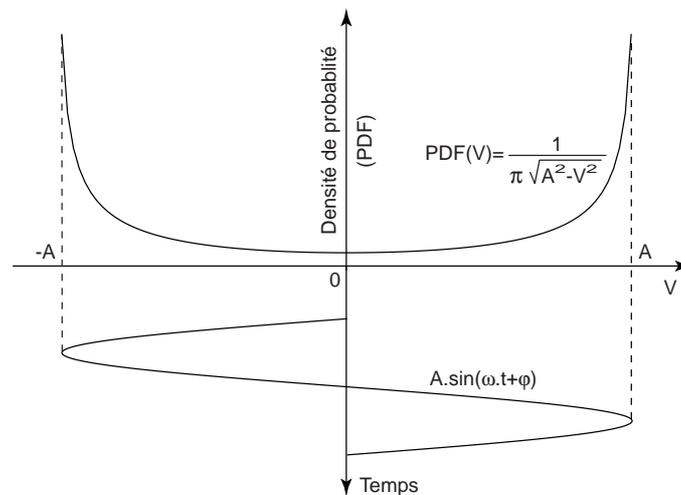


Figure 114 : Représentation de la fonction de densité de probabilité d'un signal sinusoïdal d'amplitude  $A$ .

Pour un convertisseur 8 bits parfait, en ayant en entrée un signal sinusoïdal couvrant toute sa plage de numérisation comprise entre  $V_{refn}$  et  $V_{refp}$ , la probabilité  $P$  d'obtenir la valeur numérique  $n$  est la suivante :

$$P(n) = \frac{1}{\pi} \left[ \sin^{-1} \left( \frac{n+1}{2^7} - 1 \right) - \sin^{-1} \left( \frac{n}{2^7} - 1 \right) \right]$$

Il est maintenant possible de définir la non linéarité différentielle notée ici DN (DN pour *Differential Nonlinearity*) telle que [7] :

$$DN(n) = \frac{P_{mes}(n)}{P(n)} - 1$$

Où  $P_{mes}(n)$  est la probabilité d'apparition de la valeur numérique  $n$  pour un nombre d'échantillons significatif. Notons que dans le cas idéal, la valeur DN est nulle pour toutes les valeurs numériques possibles.

Nous avons effectué ce test statistique pour des fréquences d'horloge de 1, 2 et 5 MHz en prenant cent mille échantillons à chaque fois. Notons que la fréquence d'horloge ne représente pas le nombre de numérisations réalisées par seconde. En effet le circuit a besoin de 8 fronts d'horloge montant (un par bit) pour effectuer une numérisation complète. La Figure 115 résume les résultats obtenus avec des tensions de référence telles que  $V_{refn}=1V$  et  $V_{refp}=4V$ .

On peut remarquer que les mesures effectuées obéissent bien à nos attentes pour des fréquences d'horloge de 1 ou 2 MHz. Pour une fréquence de 5 MHz, on observe dans le cas du convertisseur ici testé une dégradation de la non linéarité différentielle pour des valeurs numériques supérieures à 180. Notons que cette dégradation n'est pas constante et varie en amplitude et en position suivant les différents échantillons testés sans que qu'ils soient néanmoins rendus inutilisables dans le cadre de l'application envisagée.

En ce qui concerne l'offset du convertisseur, la fonction densité de probabilité utilisée impose que la moyenne des mesures soit théoriquement égale à la valeur  $M$  telle que :

$$M = \frac{2^8 - 1}{2}$$

Pour toutes les mesures effectuées, quelle que soit la fréquence d'horloge, l'offset est toujours bien inférieur à un bit et est donc par conséquent négligeable.

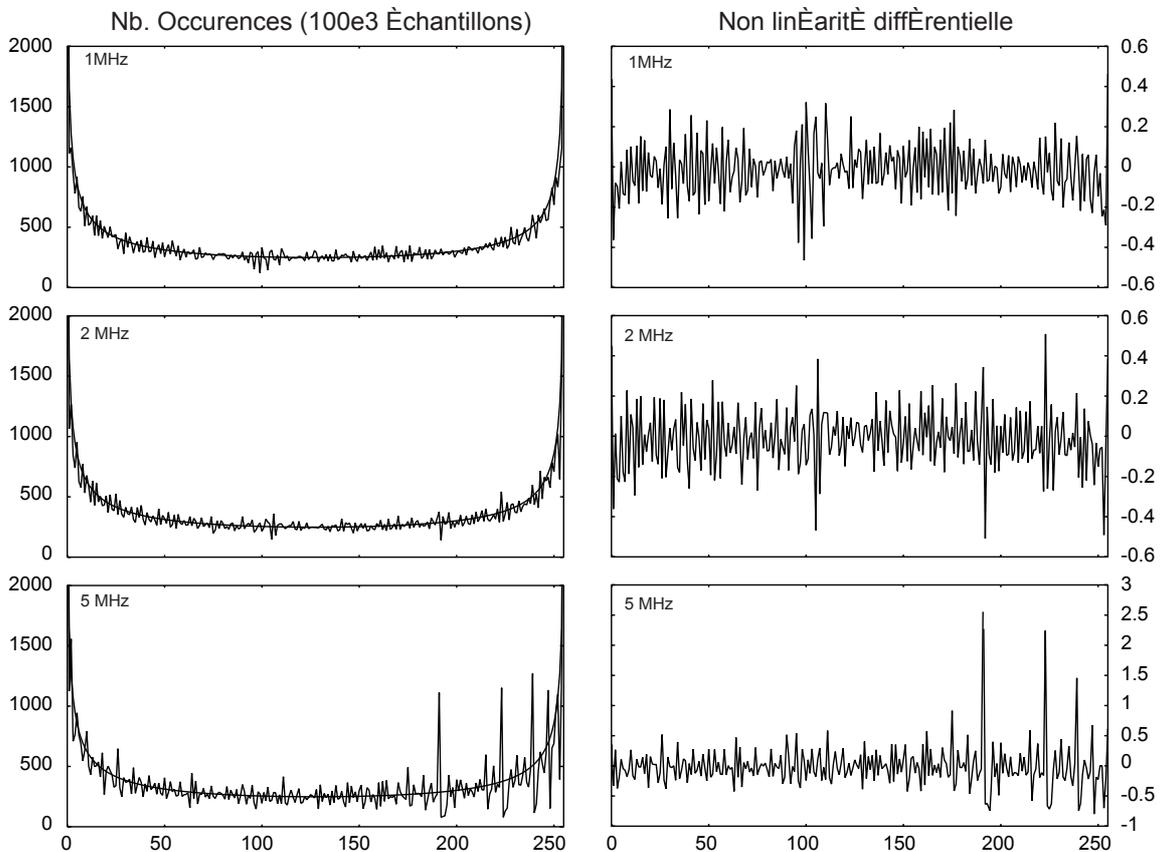


Figure 115 : Résultats pour 100000 échantillons pour des fréquences d'horloge de 1 MHz, 2 MHz et 5 MHz (avec  $V_{refn}=1V$  et  $V_{refp}=4V$ ).

V.4.3.2 Le test de l'ajustement de courbes : curve fitting

Ce test, toujours de nature statistique, consiste à étudier la valeur de l'erreur induite par la numérisation d'un signal (d'où le terme "ajustement de courbes") afin de conclure sur le nombre de bits dits effectifs du convertisseur en question. L'interface graphique réalisée sous Labview afin d'effectuer ce test est visible sur la Figure 116.

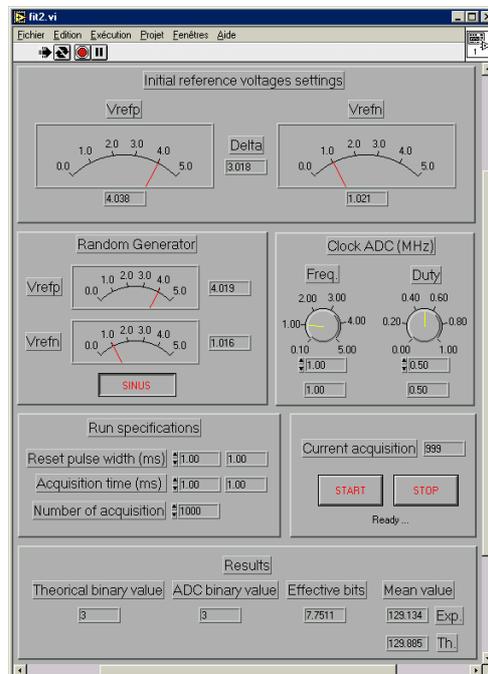


Figure 116 : Interface graphique réalisée en utilisant le logiciel LabView afin de pouvoir mener à bien le test de l'ajustement de courbes.

Il peut être intéressant dans cet exposé de définir ce qu'est le nombre de bits effectifs d'un convertisseur analogique/numérique. Le nombre de bits effectifs est le nombre de bits d'un convertisseur parfait qui donnerait lors de la numérisation d'un signal la même valeur quadratique de l'erreur que celle mesurée expérimentalement dans le cas du circuit testé [7][8].

Afin de déterminer le nombre de bits effectifs du convertisseur testé, il convient de déterminer l'erreur imputable à un convertisseur 8 bits considéré comme parfait. L'expression de la valeur quadratique (notée ici RMS pour *Root Mean Square*) de l'erreur induite par une numérisation parfaite sur 8 bits est la suivante :

$$RMS_{th} = \frac{V_{refp} - V_{refn}}{2^8 \cdot \sqrt{3}}$$

Ayant effectué un grand nombre d'acquisitions afin d'obtenir une valeur expérimentale de l'erreur quadratique induite par le convertisseur (notée ici  $RMS_{exp}$ ), le nombre de bits effectifs est défini comme il suit [7][8] :

$$N_{eff} = 8 - \log_2 \left( \frac{RMS_{exp}}{RMS_{th}} \right)$$

Où  $\log_2$  est la fonction logarithme de base 2 qui, rappelons-le, en utilisant les logarithmes népériens, est définie comme :

$$\log_2(x) = \frac{\ln(x)}{\ln(2)}$$

Nous avons réalisé ce test pour différentes fréquences d'horloge avec  $V_{\text{refn}}=1\text{V}$  et  $V_{\text{refp}}=4\text{V}$  en prenant dix mille échantillons à chaque fois. Les résultats obtenus sont résumés dans le Tableau 14.

Fréquence d'horloge (MHz)	Bits effectifs
0,1	7,71
0,5	7,69
1	7,68
1,5	7,69
2	7,66
2,5	7,69
3,33	7,71
5	7,40

Tableau 14 : Bits effectifs en fonction de la fréquence d'horloge (rapport cyclique de 0,5) pour  $V_{\text{refn}}=1\text{V}$  et  $V_{\text{refp}}=4\text{V}$  (10 milles échantillons).

Il peut être intéressant de voir comment varie la précision (le nombre de bits effectif) du convertisseur pour une fréquence d'horloge fixe en faisant varier sa plage de numérisation ( $V_{\text{rep}}$  et  $V_{\text{refn}}$ ). Le Tableau 15 résume les résultats obtenus pour une fréquence d'horloge fixe de 2 MHz en prenant encore dix mille échantillons à chaque fois.

		$V_{\text{refn}}\text{ (V)}$				
		0,5	1	1,5	2	2,5
$V_{\text{refp}}\text{ (V)}$	4,5	6,56	6,78	7,74	7,74	7,71
	4	7,15	7,66	7,72	7,82	7,84
	3,5	7,55	7,60	7,58	7,69	7,47
	3	7,62	7,55	7,67	7,79	7,22
	2,5	7,47	7,48	7,44	7,01	Non applicable

Tableau 15 : Bits effectifs pour une fréquence d'horloge fixe de 2 MHz en fonction de différentes tensions de référence  $V_{\text{refn}}$  et  $V_{\text{refp}}$  (dix milles échantillons).

#### V.4.3.3 Conclusion sur les tests effectués sur le convertisseur analogique/numérique

Les deux tests présentés précédemment montrent que le convertisseur analogique/numérique réalisé présente une précision tout à fait convenable dans la mesure où la fréquence d'horloge utilisée est inférieure à 5 MHz. A partir de 5 MHz, nous assistons à la disparition de certaines valeurs numériques et à une dégradation du nombre de bits. Malheureusement le matériel utilisé ne nous a pas permis d'utiliser des fréquences d'horloge supérieures à 5 MHz, nous empêchant ainsi de conclure sur les performances de ce convertisseur à ces fréquences.

En ce qui concerne la plage de numérisation, les résultats montrent que la précision ne subit pas de dégradations importantes tant que  $V_{\text{refn}}$  reste supérieure à 0,5 V ( $V_{\text{ss}}+0,5\text{V}$ ) et  $V_{\text{refp}}$  inférieure à 4,5 V ( $V_{\text{dd}}-0,5\text{V}$ ).

Il est important de noter que la qualité du matériel utilisé intervient fortement sur les différents résultats et surtout en ce qui concerne les tests permettant de déterminer le nombre de bits effectifs du convertisseur. Ainsi, nous avons remarqué que les sorties analogiques de la carte d'acquisition codées sur 12 bits étaient assez bruyantes nécessitant l'utilisation de condensateurs de découplage de forte valeurs visible sur la Figure 112.

En conclusion, le convertisseur réalisé répond parfaitement à nos attentes dans la mesure où ses performances sont tout à fait acceptables pour une fréquence d'horloge inférieure à 4 MHz, fréquence à laquelle il est censé fonctionner dans le système global visé.

## V.5 Intégration de fonctions de d'auto-test

Outre les obstacles technologiques, l'intégration monolithique de structures microsystèmes avec diverses parties électroniques (numériques ou analogiques) soulève différents problèmes relatifs au test. Le test est une étape indispensable dans le cycle de fabrication d'un système intégré afin de pouvoir garantir son bon fonctionnement, ses spécifications et sa durée de vie. Dans le cas des circuits intégrés, une des stratégies généralement employées, nommée DFT (*Design For Test*), consiste à incorporer lors de la conception de la puce des éléments électroniques (généralement des multiplexeurs) permettant l'injection de stimuli et l'extraction de signaux et ceci à différents noeuds critiques du circuit. Dans ce cas, les stimuli et les signaux extraits sont générés et traités à l'extérieur du circuit intégré avec l'aide de matériels dédiés permettant ainsi de conclure sur la fonctionnalité de la puce. Une des extensions de l'architecture DFT, nommée BIST (*Built In Self-Test*), consiste à générer les stimuli et à analyser les signaux extraits en interne sans l'intervention de matériel extérieur. Nous nous intéresserons ici plus particulièrement au BIST qui permet un test plus rapide et ce à tout moment de la durée de vie du système permettant ainsi d'assurer des contrôles de maintenance.

A contrario des circuits intégrés analogiques ou numériques, le test des microsystèmes se révèle plus complexe dans la mesure où il nécessite la génération de stimuli appartenant au domaine d'énergie utilisé par le capteur dont il est question. Durant la phase de test, des stimuli en accord avec le domaine d'énergie du microsystème doivent donc être émulsés et ce, de manière électrique afin de pouvoir être pilotés par l'électronique.

Dans notre cas, le problème est de trouver une solution afin d'imposer une déflexion aux micropoutres sans l'intervention d'un quelconque appareillage extérieur. Dans le domaine des microsystèmes, deux types de forces sont principalement employées afin d'imposer des mouvements à une microstructure : les forces électrostatiques et les forces d'origine thermique. Dans notre cas, la première solution est inexploitable, les distances inter-électrodes qu'il est possible d'obtenir avec la technologie employée étant trop importants. Notre choix s'est donc porté sur l'actuation d'origine thermoélectrique par le biais de l'effet bimétallique.

La fonction de d'auto-test que nous nous proposons intégrer au sein du second prototype pourra être utilisée dans un but validation après fabrication (détection d'une gravure anisotrope insuffisante, encapsulation par des résidus chimiques, résidus d'oxyde dans les ouvertures ...), de calibration ou de maintenance (détection de micropoutres fissurées ou cassées, voir Figure 117).

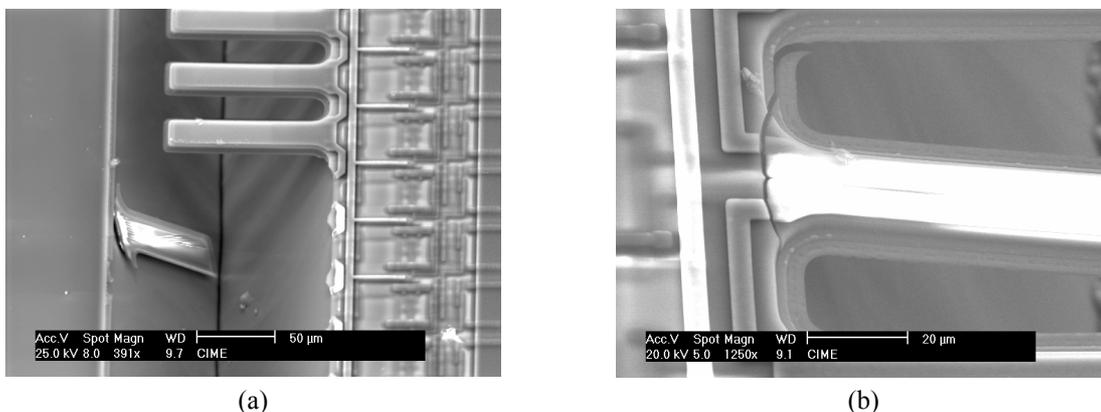


Figure 117 : Exemples de défauts pouvant affecter les micropoutres : micropoutres cassées (a), fissures (b).

### V.5.1 L'effet bimétallique

Considérons une structure de type cantilever composée de plusieurs couches de matériaux présentant des coefficients de dilatation différents. Si cette structure hétérogène subit des variations de température, les matériaux qui la composent vont se dilater de manières différentes créant ainsi un moment mécanique ayant tendance à la faire fléchir. Cet effet est largement employé au sein de systèmes macroscopiques tels que des thermomètres, des disjoncteurs thermiques et autres soupapes de sécurité. Le phénomène bimétallique est illustré par la Figure 118.

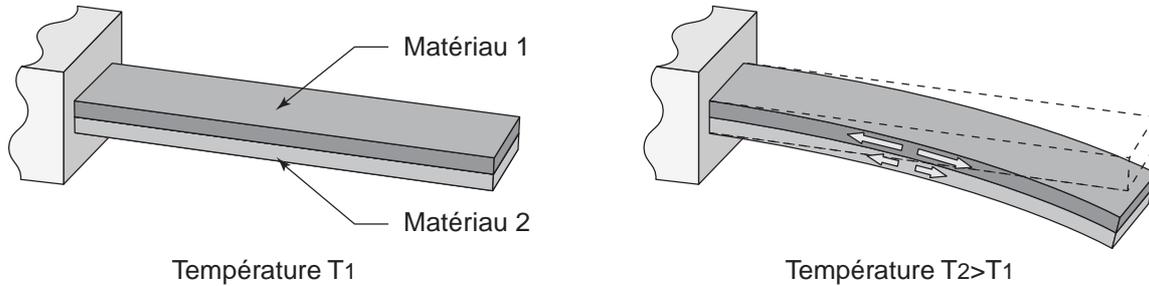


Figure 118 : Illustration de l'effet bimétallique. Dans le cas présenté ici, le matériau 1 possède un coefficient de dilatation thermique plus important que le matériau 2 faisant fléchir la structure vers le bas lors d'une augmentation de température.

### V.5.2 Intégration de la fonction d'auto-test

Lorsque les micropoutres sont chauffées, l'effet bimétallique se manifeste du fait de la grande différence existant entre les coefficients de dilatation thermique de l'oxyde de silicium, du nitrure de silicium et surtout de l'aluminium. Notons que les couches de nitrure de silicium et d'aluminium, couches qui présentent les coefficients de dilatation thermiques les plus importants (voir Tableau 16), sont situées au-dessus du niveau de la fibre neutre et auront donc des effets complémentaires qui tendent à faire fléchir la microstructure vers la cavité micro-usinée lors d'une augmentation de température.

Afin de chauffer les micropoutres, une résistance de chauffe en polysilicium ( $R=2500 \Omega$ ) sera intégrée en leur sein comme le montre la Figure 119. Cette résistance de chauffe présentera une forte largeur ( $3 \mu\text{m}$ ) afin de supporter un courant électrique qui pourra être relativement important ( $2 \text{ mA}$  pour une tension d'alimentation de  $5 \text{ V}$ ). Pour cette même raison, les connexions électriques de cette résistance, qui seront réalisées en utilisant le premier niveau métallique, présenteront la même largeur. Il est important de noter que ces deux bandes d'aluminium modifieront notablement la résistance thermique équivalente de la microstructure nous amenant à considérer deux domaines comme le montre la Figure 119. Le domaine 1 sera défini comme étant la portion de poutre contenant les connexions électriques de la résistance de chauffe. Ce domaine aura donc une résistance thermique plus faible que le domaine 2.

Matériaux	Coefficients de dilatation thermique linéaire [ $10^{-6} \text{ K}^{-1}$ ]	Capacité thermique [ $10^6 \text{ J.m}^{-3}.\text{K}^{-1}$ ]	Conductivité thermique [ $\text{W.K}^{-1}.\text{m}^{-1}$ ]
Oxyde de silicium	0,4	1,98	1,38
Nitrure de silicium	2,25	2,2	19
Polysilicium	3,22	1,6	28
Aluminium	23	2,42	237

Tableau 16 : Caractéristiques thermiques des différents matériaux constituant la microstructure. Les caractéristiques mécaniques de ces derniers sont données sur le Tableau 8.

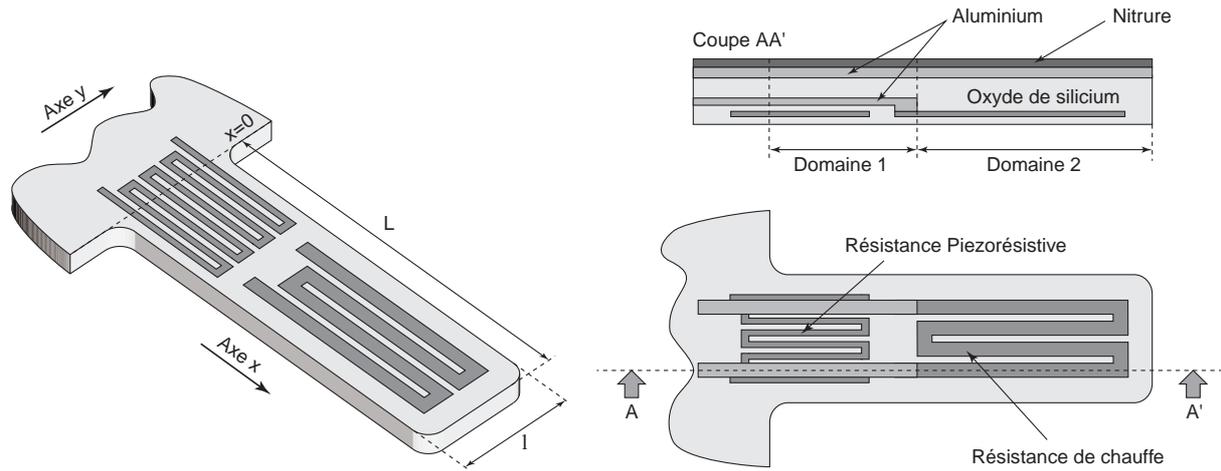


Figure 119 : Schéma de la micropoutre avec sa résistance de chauffe intégrée. A droite, vue en coupe simplifiée (retraits des différentes couches non représentés, échelle non respectée) de la microstructure montrant les deux domaines présentant une résistance thermique équivalente différente du fait de la présence de connexions électriques en aluminium.

### V.5.3 Modèle analytique du système thermomécanique

Le but du modèle analytique est ici de déterminer la déflexion de la microstructure en supposant que l'élévation de la température est connue quelle que soit la position choisie. Comme nous allons le voir dans la suite, la cartographie thermique pourra être facilement déterminée en employant un modèle unidimensionnel de type nodal équivalent électrique.

Afin de déterminer la déflexion de la microstructure, nous allons utiliser une relation donnant son rayon de courbure en fonction de sa température [9]. Notons que cette expression analytique est en fait issue de différents travaux traitant de la théorie des structures multi-morphes piezoélectriques dont les résultats peuvent être facilement transposables à notre cas, le formalisme mathématique étant le même. L'expression de cette relation donnant le rayon de courbure  $r(x)$  de la microstructure est telle que :

$$r(x) = \frac{\sum_{i=1}^n \left\{ E_i^2 \cdot t_i^4 + \sum_{k=1}^{i-1} E_i \cdot E_k \cdot t_i \cdot t_k \cdot [t_i^2 + t_k^2 + 3 \cdot (\gamma_i - \gamma_k)^2] \right\}}{6 \cdot \Delta T(x) \cdot \sum_{i=1}^n \sum_{k=1}^i E_i \cdot E_k \cdot t_i \cdot t_k \cdot (\gamma_i - \gamma_k) \cdot (\alpha_k - \alpha_i)} \quad \text{avec } \gamma_i = (t_{i+1} + \dots + t_n) - (t_1 + \dots + t_{i-1})$$

Où  $n$  est le nombre total de couches formant la microstructure,  $t$  leur épaisseur,  $\alpha$  leur coefficient de dilation thermique linéaire et  $E$  leur module d'Young.  $\Delta T(x)$  représentera l'élévation de température de la structure au point d'abscisse  $x$  (voir Figure 120). Notons que la numérotation des couches commence par la couche la plus basse de telle sorte que la passivation soit celle possédant l'indice le plus élevé.

La Figure 120 montre les différentes variables qui sont utilisées pour mener à bien le calcul de la déflexion. L'angle  $\alpha$  (à ne pas confondre avec les coefficients de dilation thermique qui sont référencés par un indice) représente l'angle formé par la droite tangente à la surface de la microstructure par rapport à l'horizontale (sens horaire considéré comme positif).

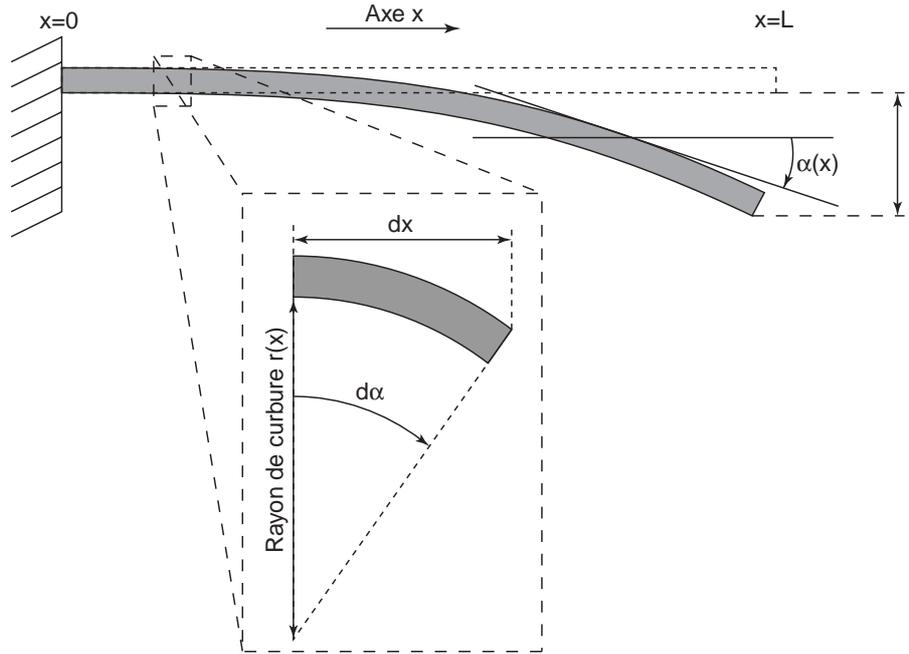


Figure 120 : Calcul analytique de la déflexion de la micropoutre connaissant son rayon de courbure en tout point.

L'angle élémentaire  $d\alpha$  est lié à  $dx$  par une relation trigonométrique qui peut être approximée grâce à un développement limité à l'ordre 1 puisque  $d\alpha \ll 1$  :

$$r(x) \cdot \sin(d\alpha) = dx \quad \Rightarrow \quad r(x) \cdot d\alpha \cong dx$$

A partir de cette expression, il est facile de déterminer  $\alpha(x)$  par le biais d'une intégrale telle que :

$$\alpha(x) = \int_0^x d\alpha = \int_0^x \frac{dx}{r(x)}$$

Connaissant en tout point l'angle  $\alpha(x)$ , la déflexion de la microstructure notée ici  $f$  peut être déterminée par la relation ci-dessous:

$$f = \int_0^L \sin(\alpha(x)) \cdot dx$$

Notons qu'il est possible d'effectuer une nouvelle fois un développement limité de  $\sin(\alpha(x))$  afin de simplifier les calculs si nous considérons le cas de petites déflexions ( $\alpha(x) \ll 1$ ). Nous n'effectuerons pas ici cette simplification, la valeur de cette dernière expression étant obtenue de manière numérique par la suite.

Dans notre cas, le calcul de  $r(x)$ , exprimé en mètres, donne l'expression suivante en fonction de l'élévation de température  $\Delta T(x)$  exprimée en degrés Celsius :

$$r(x) \cong \frac{1,079}{\Delta T(x)}$$

#### V.5.4 Prise en compte des pertes par radiation et de la convection

Afin de déterminer l'élévation de température de la micropoutre, il convient de déterminer toutes les pertes thermiques qui peuvent avoir lieu en plus de celles imputables à la résistance thermique propre à la microstructure. Nous allons ici considérer deux phénomènes qui sont la convection et les pertes par radiation. Notons que les flux sont ici considérés comme positifs lorsque la microstructure subit une déperdition de chaleur.

##### V.5.4.1 Pertes par radiation

Ce phénomène se manifeste par des pertes thermiques imputables au rayonnement électromagnétique décrit par le rayonnement du corps noir. D'une façon générale, le flux radiatif émanant (flux positif) ou capté (flux négatif) par la structure considérée est donné par la relation suivante :

$$\zeta_{\text{tot}}^r = \epsilon \cdot \sigma \cdot S \cdot (T^4 - T_a^4)$$

Où  $\zeta_{\text{tot}}^r$  est le flux radiatif total,  $\epsilon$  l'émissivité du système considéré comme étant un corps gris ( $\epsilon$  sans unité, compris entre 0 et 1),  $\sigma$  la constante de Stefan-Boltzmann ( $\sigma = 5,67 \cdot 10^{-8} \text{ W} \cdot \text{m}^{-2} \cdot \text{K}^{-4}$ ),  $S$  la surface extérieure du système,  $T$  la température absolue du système et  $T_a$  la température de l'environnement extérieur.

Afin de donner un ordre d'idée sur les pertes dues à cet effet, nous allons estimer le flux radiatif total émanant de la microstructure dans le cas le plus défavorable et pour une température de l'ordre  $100^\circ\text{C}$  qui sera considérée comme constante le long de la microstructure. Cette élévation de température correspond à une injection de puissance de l'ordre de 10 mW au niveau de la résistance de chauffe. Dans ce cas la valeur du flux radiatif a une valeur de l'ordre de  $6,6 \mu\text{W}$  qui nous conforte dans le fait que nous négligerons toujours les pertes par radiations par la suite.

##### V.5.4.2 Pertes par convection

La convection se manifeste par le fait qu'un système tend à céder de l'énergie thermique au milieu qui l'entoure lorsque ces derniers ne sont pas à la même température. Cet échange dépend en grande partie du type et de la cinétique du fluide dans lequel est placé le système thermique. Si le fluide est statique, nous sommes dans le cas de la convection naturelle, dans le cas contraire nous sommes en présence de la convection dite forcée. Nous nous placerons toujours dans le cas de la convection naturelle.

Différentes théories sont proposées afin de modéliser mathématiquement la convection naturelle. Dans notre cas, nous utilisons la loi de Newton qui donne une relation linéaire entre les pertes thermiques et la différence de température existante entre le système et le milieu fluide. Cette relation, bien qu'extrêmement simpliste permet de modéliser assez fidèlement le phénomène tant que les différences de température entre le système et le milieu fluide restent relativement basses. Cette relation est telle que :

$$\zeta_{\text{tot}}^c = h \cdot S \cdot (T - T_f)$$

Où  $\zeta_{\text{tot}}^c$  est le flux convectif total,  $h$  le coefficient de transfert thermique,  $S$  la surface du système en contact avec le fluide,  $T$  la température du système et  $T_f$  la température du fluide. Dans le cas des microsystèmes, les surfaces mises en jeu induisent l'utilisation d'un coefficient de transfert thermique tel que  $h \approx 500 \text{ W} \cdot \text{m}^{-2} \cdot \text{K}^{-1}$  [10].

Toujours en considérant une élévation de température de l'ordre de  $100^\circ\text{C}$  (température du fluide prise comme référence), les pertes thermiques sont de l'ordre de 0,3 mW, ce qui représente 3 % de la

puissance dissipée par la résistance de chauffe. Ce chiffre nous conforte dans le fait que nous négligerons toujours les pertes par convection par la suite. Notons que nous pouvons faire ici cette simplification compte tenu des très faibles surfaces ici mises en jeu.

### V.5.5 Simulation nodale du système thermomécanique

Le principe de la simulation nodale consiste à transposer le système à simuler du domaine thermique au domaine électrique en utilisant des éléments équivalents formés simplement de composants passifs comme des résistances et des capacités. L'avantage d'une telle approche est que le modèle généré peut être simulé (simulations statiques ou transitoires) grâce à un simulateur électrique de manière simple et rapide avec l'électronique de traitement associée si nécessaire. Dans cette approche, l'équivalent électrique de la température sera la tension et celui du flux de chaleur, l'intensité. Ainsi, la génération de chaleur sera réalisée grâce à des générateurs de courant (voir Tableau 17).

Domaine thermique	Domaine électrique
Température [K] ou [°C]	Tension [V]
Flux de chaleur [W]	Intensité [A]
Conductivité thermique [ $\text{W.m}^{-1}.\text{K}^{-1}$ ]	Conductivité électrique ( $1/\rho$ ) [S]
Capacité thermique [ $\text{J.K}^{-1}$ ]	Capacité électrique [F]

Tableau 17 : Correspondances thermique/électrique.

Le modèle nodal de la micropoutre que nous allons utiliser est un modèle unidimensionnel dans la mesure où nous allons considérer la température de la microstructure comme constante dans le plan perpendiculaire à son axe principal qui se trouve être l'axe x sur la Figure 120. Le modèle se compose d'une suite d'éléments de type RC dont le nombre peut être plus ou moins grand suivant la précision désirée. Dans notre cas, la micropoutre est modélisée en utilisant 9 éléments qui seront de deux types différents suivant les domaines considérés (domaine 1 ou 2, voir Figure 119 et Figure 121). Notons que nous n'allons ici pas prendre en compte les effets thermiques imputables au film plastique tendu à la surface de la puce.

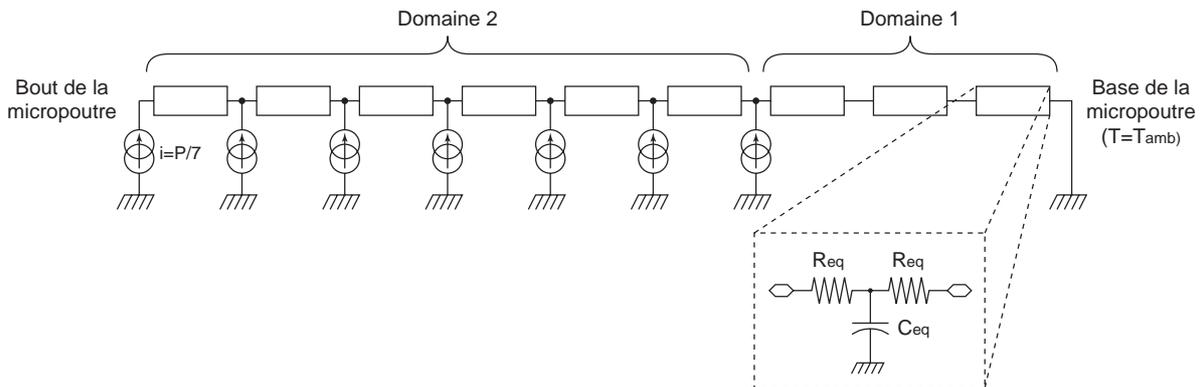


Figure 121 : Modélisation nodale de la micropoutre.

Les intégrales donnant les valeurs de l'angle  $\alpha(x)$  ainsi que de la déflexion  $f$  seront dans notre cas discrétisées au même titre que le système. Le calcul de ces dernières sera ici effectué avec l'aide de blocs fonctionnels (additionneurs, multiplieurs ...) dont certains seront réalisés en langage VerilogA (fonction sinus par exemple).

Les résultats des différentes simulations nodales statiques et transitoires effectuées sont visibles sur la Figure 122. Pour une injection de chaleur de 10 mW, les simulations statiques montrent que l'augmentation de température au bout de la microstructure est de l'ordre de 84,74°C pour une

déflexion de l'ordre de 240 nm. Les simulations transitoires correspondant à un cycle échauffement/refroidissement mettent en évidence une constante de temps  $\tau$  de l'ordre de 178  $\mu$ s (temps de montée à 63,2 % du régime permanent).

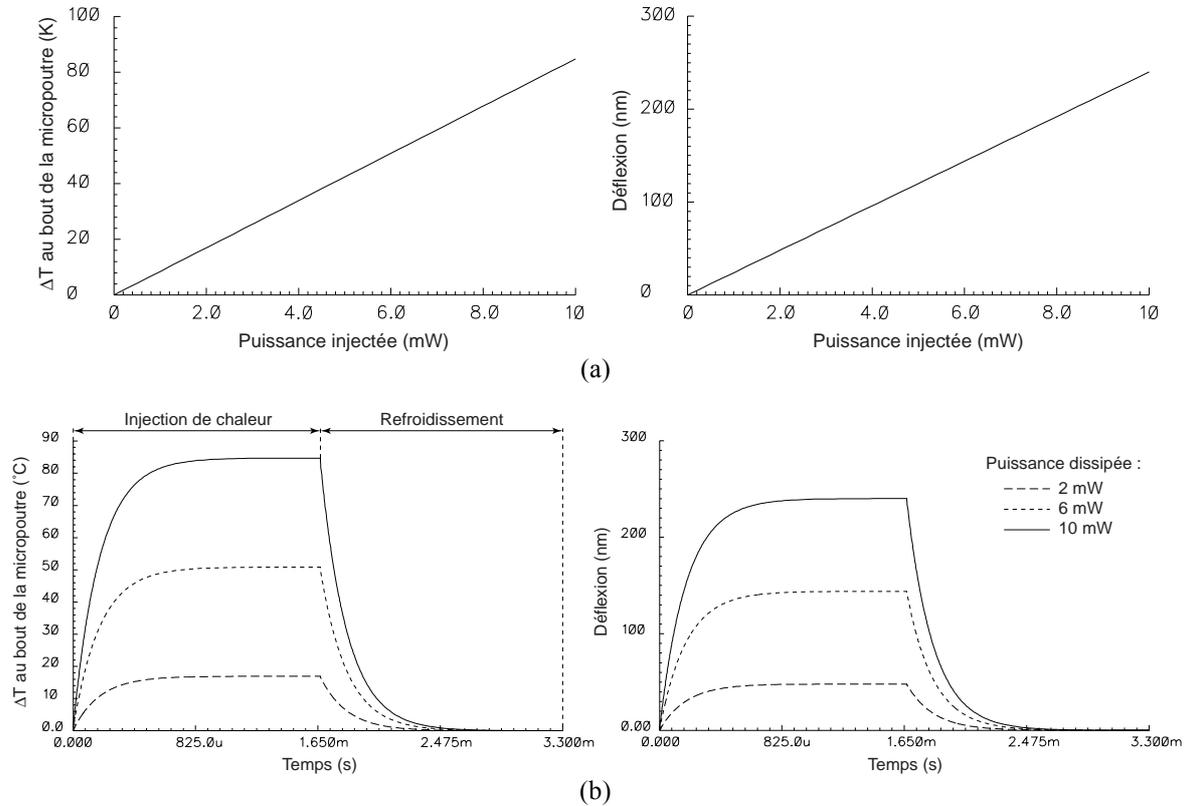


Figure 122 : Résultats des simulations nodales statiques (a) et transitoires (b) effectuées. Les simulations transitoires (b) mettent en évidence une constante de temps de l'ordre de 178  $\mu$ s.

### V.5.6 Simulation FEM du système thermomécanique

A contrario des simulations nodales, les simulations FEM nous permettent d'extraire plus d'informations concernant le comportement du système thermomécanique ici considéré. En effet, outre la déflexion, la modélisation FEM tridimensionnelle nous permet de déterminer la température maximale de la structure (qui n'est pas celle au bout de la micropoutre, voir Figure 124), les contraintes mécaniques au niveau de la jauge piezorésistive ainsi que la variation de résistance électrique de cette dernière sous l'effet de l'augmentation de température. Cette dernière information est extrêmement intéressante dans la mesure où elle nous permettra de déterminer la contribution respective des effets thermiques et piezorésistifs qui sont responsables de la variation de résistance électrique de la jauge de polysilicium. Les différents résultats des simulations statiques réalisées sont répertoriés dans la Figure 123.

Les résultats ici présentés montrent que les simulations FEM effectuées donnent des valeurs de la déflexion inférieures à celles obtenues par le biais des simulations nodales. En effet, pour une puissance de 10 mW dissipée par la résistance de chauffe, la déflexion attendue est de seulement 193 nm alors que le modèle nodal prédit une déflexion de l'ordre de 240 nm (différence de près de 22 %). La différence qui existe entre ces deux valeurs, est principalement imputable au fait que le modèle FEM, contrairement au modèle nodal, considère la dilatation des éléments formés de polysilicium ainsi que la dilatation des connexions de la résistance de chauffe réalisées en aluminium.

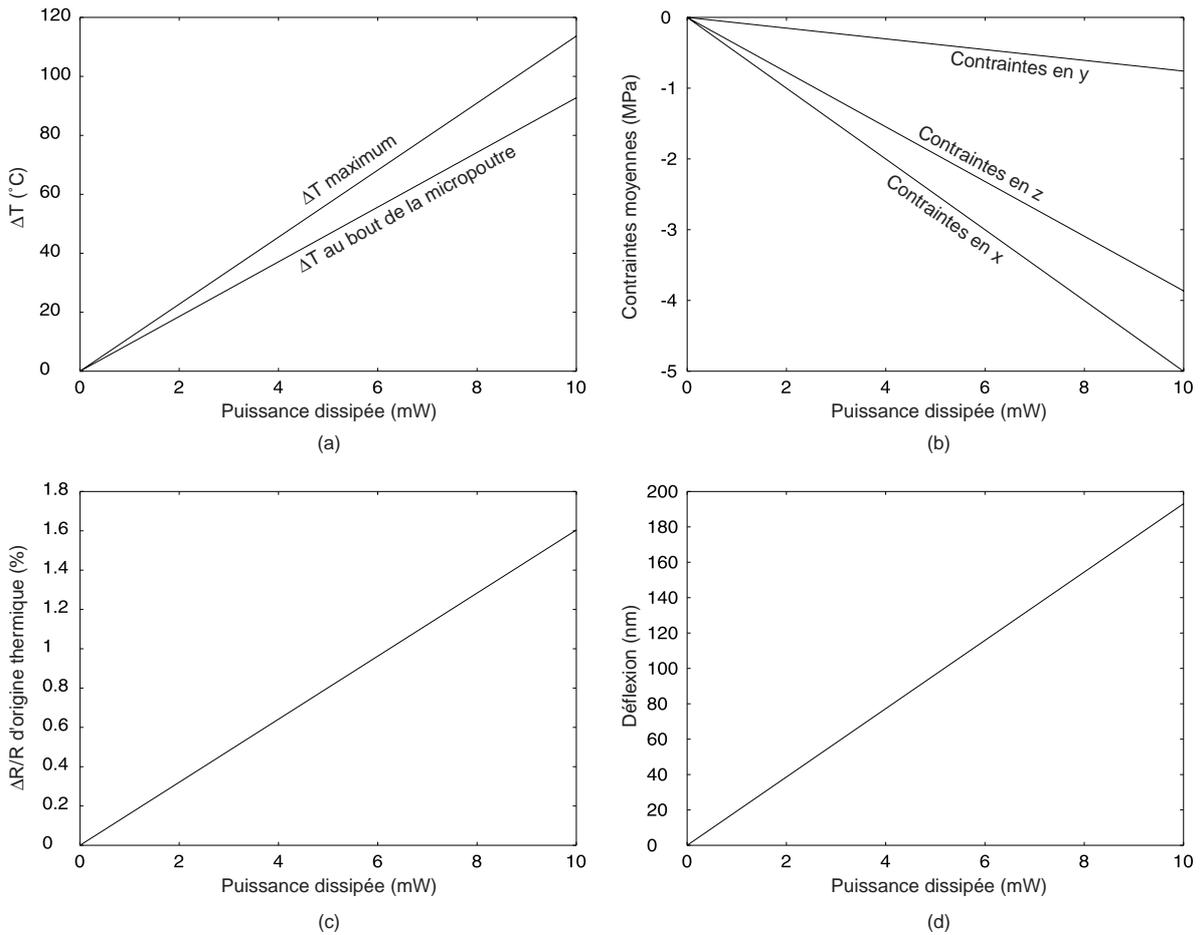


Figure 123 : Résultats émanant des différentes simulations FEM statiques effectuées. Augmentation de température au sein de la microstructure (a), contraintes mécaniques moyennes au niveau de la jauge piezorésistive (b), variation de résistance électrique de la jauge imputable aux effets thermiques (c), déflexion en fonction de la puissance dissipée (d).

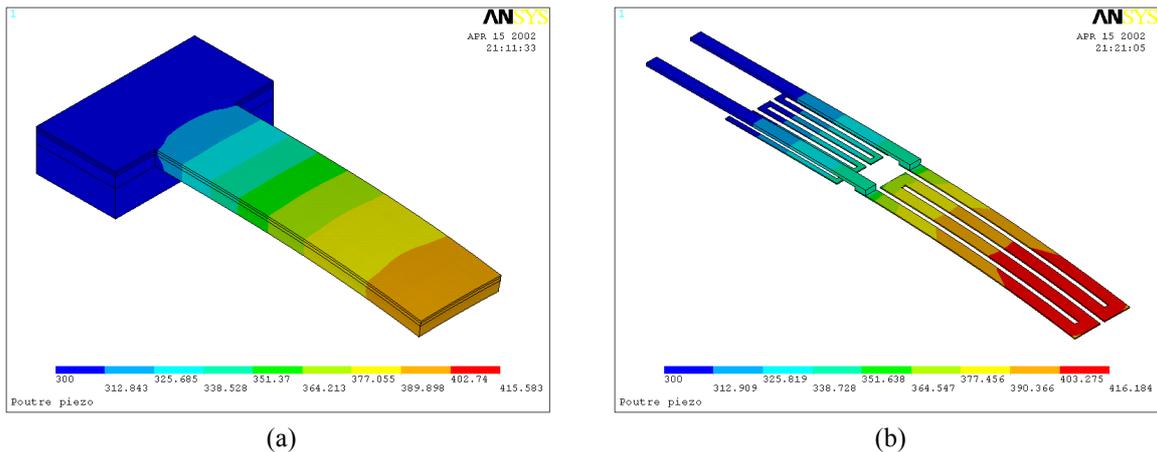


Figure 124 : Cartographie thermique de la microstructure pour une puissance dissipée de 10 mW (a). Détails au niveau de la résistance de chauffe et de la jauge (b).

Les simulations montrent que la jauge de contrainte subit une variation de résistance électrique d'origine thermique de l'ordre de 1,6 % pour une injection de puissance de 10 mW. Cet effet n'est pas préjudiciable dans la mesure où il induit une augmentation de la résistance électrique de la jauge tout comme les contraintes mécaniques par l'intermédiaire de l'effet piezorésistif. Les deux phénomènes

ont donc des effets complémentaires.

Des simulations FEM transitoires ont été aussi réalisées afin de vérifier la pertinence de la valeur de la constante de temps  $\tau$  obtenue par le biais du modèle nodal qui est de l'ordre de 178  $\mu\text{s}$  (voir Figure 125). La constante de temps  $\tau$  extraite à partir des simulations FEM est de l'ordre de 200  $\mu\text{s}$  et est donc du même ordre de grandeur que celle extrapolée à partir du modèle nodal.

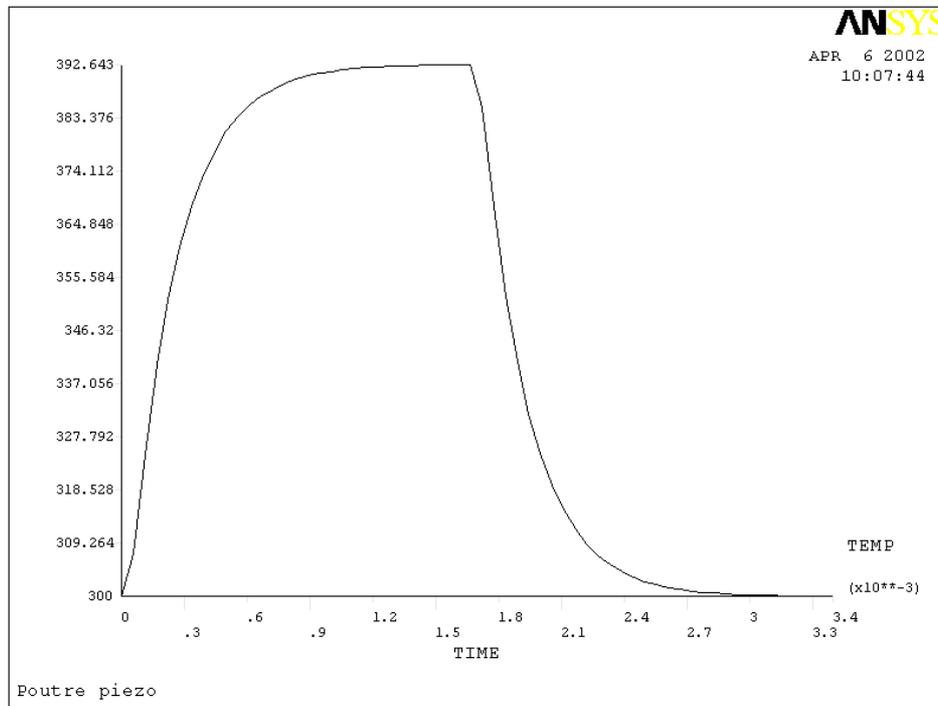


Figure 125 : Simulation FEM transitoire d'un cycle échauffement/refroidissement pour une puissance dissipée de 10 mW. Cette courbe montre l'évolution de la température au bout de la microstructure, la référence de température étant la température ambiante ( $T_{\text{amb}}=300\text{ K}$ ).

### V.5.7 Commande de la fonction d'auto-test

Lors de la phase d'auto-test, compte tenu de la puissance nécessaire, il est impensable d'alimenter en même temps l'ensemble des résistances de chauffe intégrées au sein de chaque micropoutre. Si c'était le cas, la puissance totale dissipée serait de plusieurs watts pour une unique rangée de pixels (2,56 W si nous considérons une puissance de l'ordre de 10 mW par micropoutre). Afin de limiter la consommation du circuit durant la phase d'auto-test, seule la résistance de chauffe du pixel actif sera alimentée (une seule et unique résistance de chauffe alimentée en même temps). De cette manière, la puissance instantanée nécessaire est limitée au minimum mais la durée totale de la séquence d'auto-test s'en trouve augmentée. En effet, la fréquence de balayage des microstructures devra être réduite de façon à ce que le régime permanent thermique puisse être atteint lorsque le pixel est activé.

La Figure 126 montre l'électronique intégrée au sein de chaque pixel qui permet de gérer l'alimentation de la résistance de chauffe. La résistance de chauffe sera alimentée par l'intermédiaire de deux transistors NMOS en série commandés par les deux signaux logiques e (pixel actif) et test activant ou non la séquence d'auto-test. Notons que les deux transistors sont de très grande taille ( $W/L=50/0.6$ ) afin de présenter des résistances parasites à l'état passant les plus faibles possibles. La résistance de chauffe sera alimentée suivant une tension  $V_{\text{test}}$  imposée de l'extérieur de la puce. De cette manière il est possible de régler la puissance thermique dissipée au sein des microstructures (voir Figure 126).

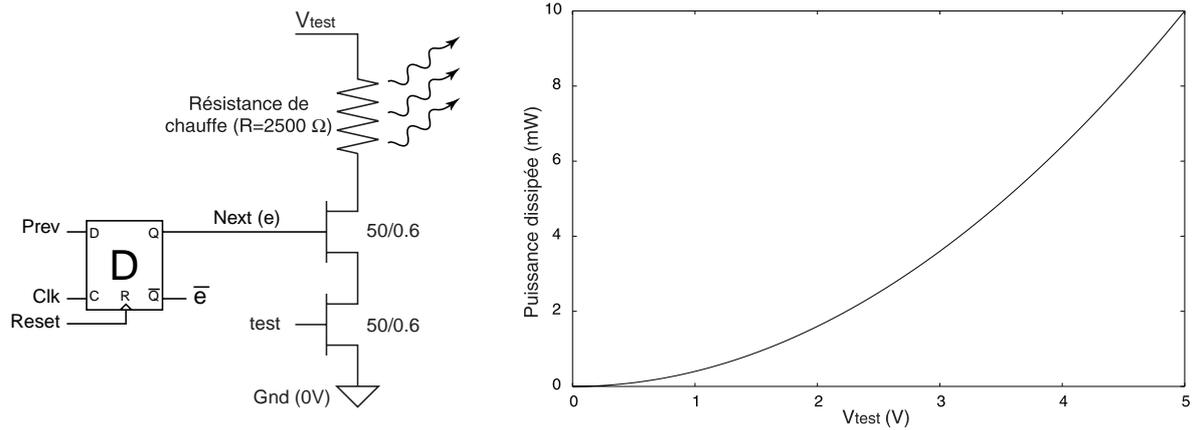


Figure 126 : A gauche, électronique intégrée au sein de chaque pixel permettant de contrôler l'alimentation de la résistance de chauffe. A droite, puissance thermique dissipée en fonction de la tension  $V_{test}$ .

### V.5.8 Durée totale de la séquence d'auto-test

Afin de mener à bien le test d'une micropoutre, l'électronique de traitement intégré au sein du capteur nécessite le fait que le régime permanent soit atteint à la fin de la phase  $\Phi_1$ . Si nous considérons que le régime permanent thermique est atteint au bout d'une période égale à  $3 \cdot \tau$  (95 % du régime permanent), la durée totale de test de la microstructure sera de  $6 \cdot \tau$  soit encore environ 1,2 ms. Compte tenu de ce fait, la durée totale de test de la rangée de 256 micropoutres sera approximativement égale à 307 ms (fréquence de balayage de la ligne de pixels égale à 833 Hz).

### V.5.9 Vérification expérimentale

Des structures de tests nous ont permis de vérifier expérimentalement la validité de notre approche afin d'imposer une déflexion aux microstructures. Les microstructures qui seront ici utilisées sont très semblables à celles intégrées au sein du capteur (même longueur, même largeur) mis à part le fait qu'elles ne présentent pas de troisième niveau métallique (pas de motifs réalisés avec ce niveau d'aluminium, voir Figure 127). De plus, les géométries de la résistance de chauffe et de la jauge de contraintes seront différentes (la résistance de chauffe et la jauge auront des résistances électriques nominales de 11,8 kΩ et 6,1 kΩ).

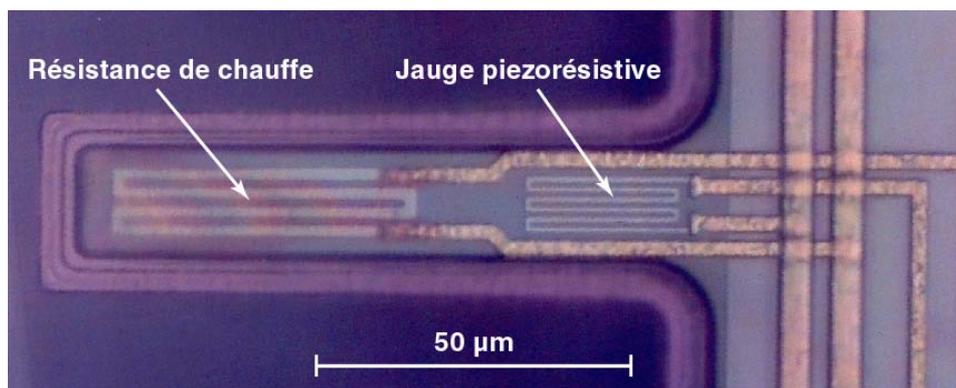


Figure 127 : Microstructure de test utilisée.

Les résultats des mesures statiques réalisées sont représentés sur Figure 128. Cette figure montre l'évolution de la variation relative de résistance électrique de la jauge piezorésistive en fonction de la tension d'alimentation de la résistance de chauffe. Les mesures montrent que pour une tension d'alimentation de 5 V (puissance dissipée de 2,11 mW), la variation de résistance électrique de la jauge est de l'ordre de 27 %. Ce résultat est intéressant dans la mesure où il montre que la variation de

résistance électrique observée ne peut pas être simplement d'origine thermique. En effet, en supposant la température de la jauge comme uniforme, l'augmentation de température de cette dernière devrait être de 306 degrés ( $TCR_{PolySi}=0,75 \cdot 10^{-3} K^{-1}$  [2]) ce qui est impossible. En effet, dans ce dernier cas, les pistes d'aluminium seraient détruites. Une augmentation de résistance électrique de cet ordre ne peut être due qu'à l'action cumulée des effets thermiques et piezorésistifs.

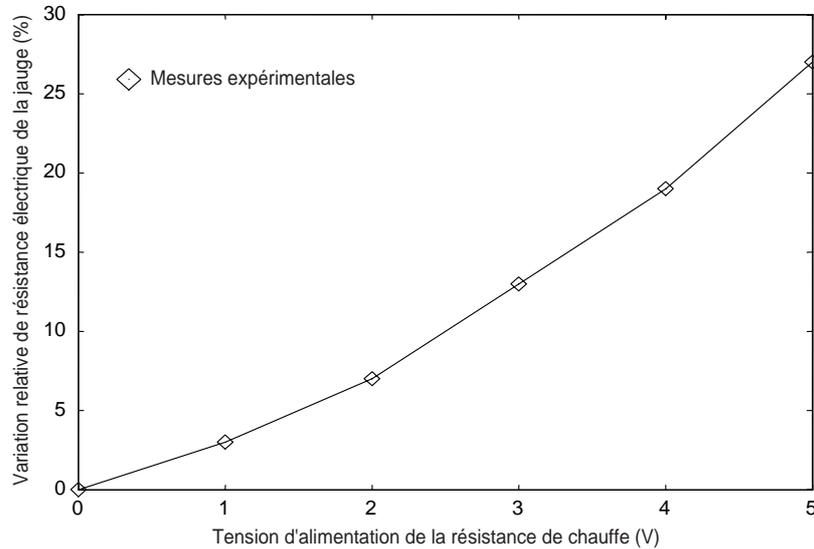


Figure 128 : Mesures statiques effectuées sur les microstructures de test.

Nous avons également effectué des tests dynamiques consistant à alimenter la résistance de chauffe suivant un signal périodique carré afin de déterminer si des signes de fatigues mécaniques apparaissaient (voir Figure 129). La Figure 129 (b) montre les mesures effectuées dans le cas d'un signal d'excitation carré de 10 V d'amplitude et de fréquence égale à 100 Hz. Notons que la constante de temps du système (constante de temps thermique) qu'il est ici possible de déterminer est bien plus importante que celle des microstructures utilisées au sein du capteur. En effet, du fait de l'absence du troisième niveau métallique, les structures de test présentent une plus grande résistance thermique.

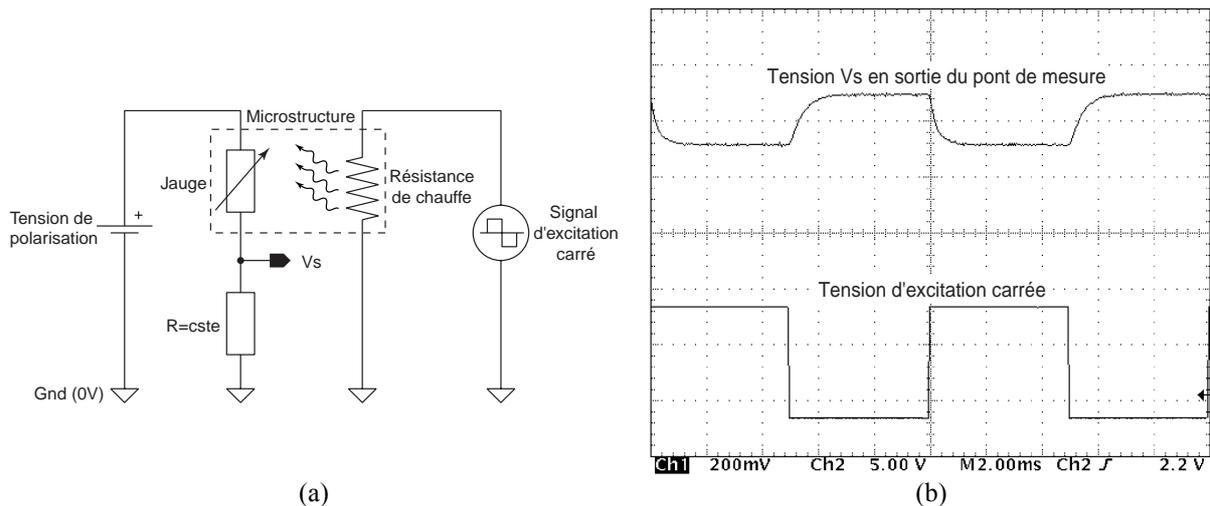


Figure 129 : Montages expérimental permettant de tester dynamiquement les microstructures de test (a). Copie d'écran de l'oscilloscope utilisé (b).

Une microstructure de test a été soumise à un signal d'excitation carré de fréquence égale 100 Hz durant plusieurs heures (ce qui sous entend plusieurs centaines de milliers de cycles échauffement/refroidissement) sans dérive notable de la réponse de la jauge de contraintes ne mettant

pas ainsi en évidence des signes de fatigue.

## V.6 Microstructures utilisées

Les tests réalisés sur le premier prototype ont montré que les microstructures utilisées présentaient une bonne sensibilité tout en étant assez souples pour résister aux sollicitations mécaniques induites par le passage du doigt. Ceci nous a motivé afin d'employer le même titre de microstructure au sein du second prototype. La Figure 130 montre une vue schématique des microstructures utilisées. Tout comme dans le cas du premier prototype, les micropoutres présenteront une longueur de  $100\ \mu\text{m}$  pour une largeur de  $30\ \mu\text{m}$ . Les dimensions de la jauge de contraintes et de la résistance de chauffe sont telles qu'elles présentent respectivement une résistance nominale de  $6500\ \Omega$  et  $2500\ \Omega$ . Par rapport au premier prototype, la largeur de la jauge de polysilicium a été augmentée, passant de  $0,8\ \mu\text{m}$  à  $1,2\ \mu\text{m}$  afin qu'elle présente des dispersions dimensionnelles moins importantes (tolérance  $\Delta R/R$  égale à  $0,73\ \%$  contre  $0,90\ \%$ ).

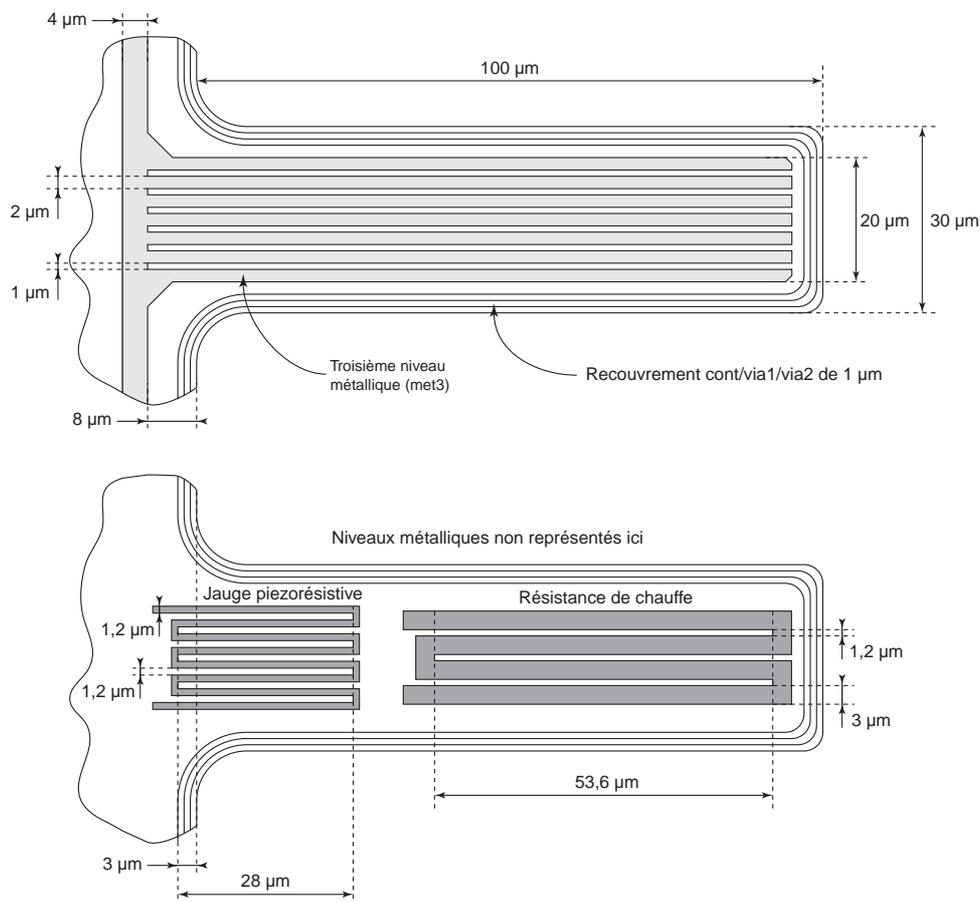


Figure 130 : Dimension des microstructures utilisées au sein du second prototype. Dans le cas des microstructures ne faisant pas parti de la ligne intégrant la fonction d'auto-test, la résistance de chauffe sera omise.

Comme dans le cas du premier prototype, un motif réalisé en utilisant le troisième niveau métallique de la technologie est disposée sur l'intégralité de la micropoutre afin d'augmenter le niveau de la fibre neutre et donc la sensibilité mécanique du pixel. Dans le cas du premier prototype, ce motif était une simple plaque alors qu'il se compose ici d'une série de bandes disposées selon l'axe principale de la microstructure. L'utilisation de bandes permet à la passivation d'adhérer plus efficacement au reste de la microstructure limitant ainsi les risques de délamination (la passivation semble adhérer plus efficacement aux oxydes qu'à l'aluminium).

Le second prototype intégrera trois lignes de 256 pixels (seule la première comportera une fonction d'auto-test) présentant des cavités micro-usinées de même largeur égale à  $210\ \mu\text{m}$ . En accord avec les tests réalisés sur le premier prototype, cette largeur de cavités permet d'obtenir une sensibilité optimum lors du passage du doigt.

## V.7 Layout du second prototype

La Figure 131 montre le layout complet du second prototype. Comme dans le cas du premier prototype, ce capteur se compose de deux parties distinctes, la première comportant les microstructures avec l'électronique de balayage et la deuxième l'électronique de traitement analogique/numérique. La deuxième partie, comportant en outre les plots de connexions électriques, est disposées à l'une des extrémités de la puce afin de faciliter sa mise en boîtier. Notons que le capteur comporte au total plus de 53000 transistors.

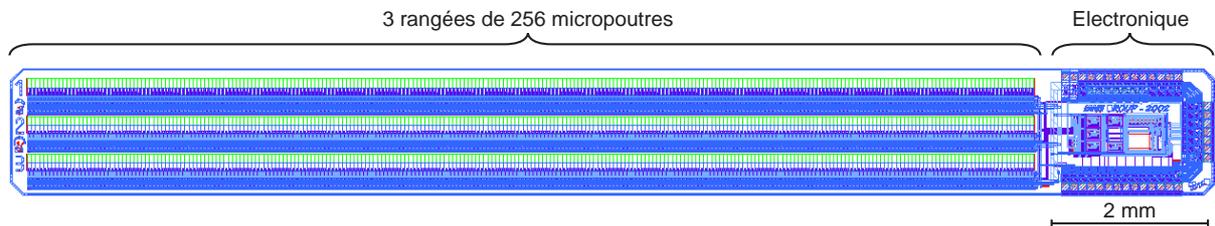


Figure 131 : Layout du second prototype (puce de  $1,5 \times 15\ \text{mm}^2$ ).

La Figure 132 montre en détail la partie du capteur comportant l'électronique de traitement ainsi que les plots de connexions électriques. La Figure 133 montre quant à elle l'électronique intégrée au sein de chaque pixel (le pixel ici considéré intègre la fonction d'auto-test).

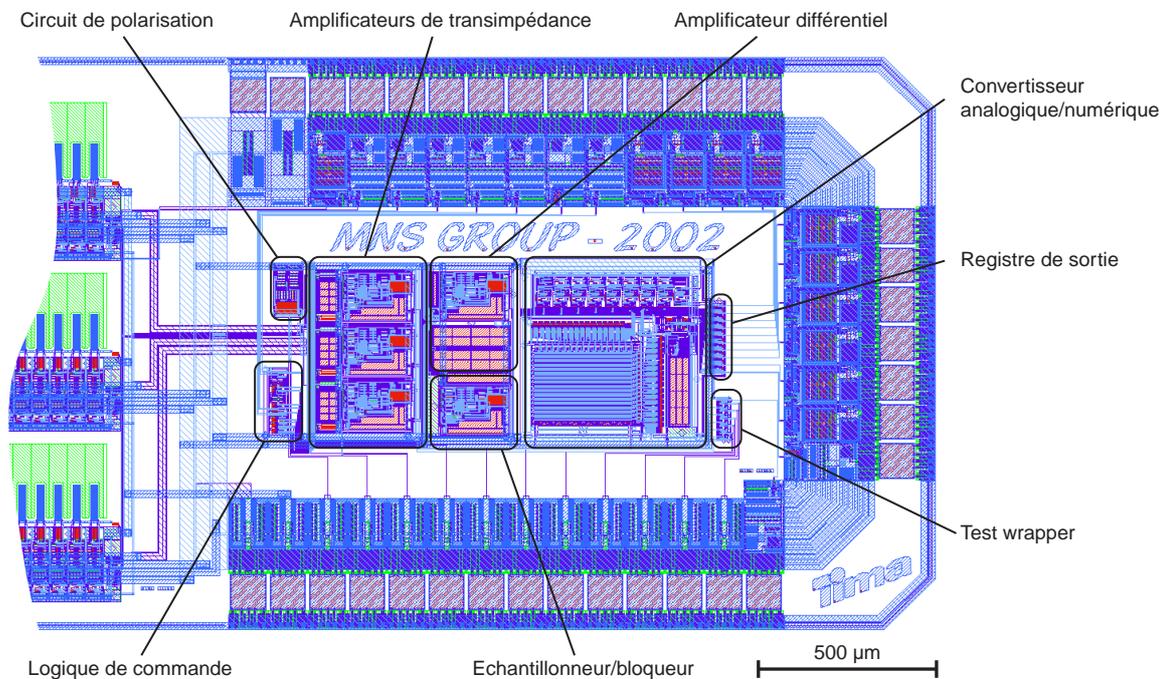


Figure 132 : Détail de l'électronique analogique/mixte de traitement disposée à l'une des extrémités du capteur.

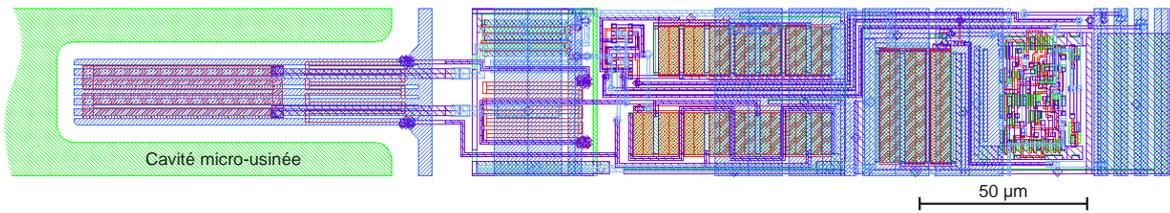


Figure 133 : Détail de l'électronique intégrée au sein de chaque pixel (ici le pixel intègre la fonction d'auto-test).

## V.8 Conclusion

Nous avons présenté dans ce chapitre la conception du second prototype réalisé dans le cadre de cette thèse. Ce capteur, comportant des rangées de 256 micropoutres, permet de scanner l'intégralité de l'empreinte digitale. Du fait de l'utilisation d'une électronique à capacités commutées, le rapport signal sur bruit sera amélioré par rapport au premier prototype tout comme la vitesse de balayage de la ligne de pixels autorisant ainsi des tests en conditions réelles d'utilisation.

Avec l'intégration d'une fonction d'auto-test, le capteur pourra être testé à tout moment dans un but de validation après fabrication ou à des fins de maintenance. Il convient d'insister sur le fait qu'il est possible d'utiliser la redondance induite par l'intégration de plusieurs lignes de microstructures. Ainsi, dans le cas où une des lignes de pixels présente des micropoutres jugées défectueuses, les pixels d'une autre ligne peuvent être employés afin de reconstituer l'intégralité de l'image de l'empreinte digitale.

Le prototype ici présenté a été fabriqué lors d'un run CMP et sera bientôt testé électriquement et mécanique par M. Nicolas Galy qui effectue en ce moment une thèse de doctorat au sein du laboratoire TIMA dans la continuation du projet.

## Références :

- [1] J. Goy, "Study, conception and fabrication of an APS image sensor in standard CMOS technology for low light level applications such as star trackers", Ph.D. dissertation, INPG-TIMA Laboratory 2002.
- [2] "AMS 0.6  $\mu\text{m}$  CMOS Joint Group Process Parameters" (Confidential), October 1998.
- [3] F. Parrain, B. Charlot and B. Courtois, "Capteur infrarouge CMOS à thermopiles comportant des fonctions de self-test", Nano et Micro-Technologies, microcapteurs et microsystèmes intégrés, Hermès Sciences publications, Volume 1-n°3-4, Janvier 2002.
- [4] S. Mir, B. Charlot, L. Rufer, F. Parrain, S. Martinez, " La conception des microsystèmes sur silicium", Encyclopédie technique, Traité EGEM, section électronique et microélectronique, Hermès Sciences Paris, 2002.
- [5] D.A. Johns, K. Martin, "Analog Integrated Circuit Design", John Wiley & Sons, 1996.
- [6] R. Gregorian, G.C. Temes, "Analog MOS Integrated Circuits for Signal Processing", John Wiley & Sons, 1986.
- [7] "Dynamic Tests For A/D Converter Performance", Burr-Brown Application Bulletin, 2000
- [8] M.F. Wagdy and S.S. Awad, "Determining ADC Effective Number of Bits Via Histogram Testing", *IEEE Transactions on Instrumentation and Measurement*, Vol. IM-40, pages 770-772, August 1991.

- [9] M.W. Judy, Y.H. Cho, R.T. Howe and A.P. Pisano, "Self-Adjusting Microstructures (SAMS)", *IEEE Micro Electro Mechanical Systems Workshop*, pp. 51-56, Nara, Japan, 1991.
- [10] D. Veychard, "Réalisation d'un convertisseur à grande constante de temps", Ph.D. dissertation, INPG - TIMA Laboratory, 1999.

## CHAPITRE VI :

# CONCLUSIONS ET TRAVAUX FUTURS

Le principal objectif de cette thèse était de prouver la faisabilité d'un capteur d'empreintes digitales à microstructures piezorésistives réalisé sur la base d'un circuit CMOS par micro-usinage en volume par la face avant. Ce capteur, utilisant un mode d'acquisition inédit, intègre sur le même substrat de silicium les microstructures formant la partie sensitive des pixels ainsi que l'électronique de traitement analogique/numérique. L'utilisation d'une technologie CMOS commerciale et la faible surface de silicium nécessaire (utilisation d'un nombre de lignes de pixels réduit au minimum) fait que ce capteur présente de très faibles coûts de production et pourrait ainsi être employé au sein d'applications grand public.

Deux options étaient envisageables afin de réaliser le pixel sur la base d'un procédé de micro-usinage en volume : utiliser une rangée de microponts ou de micropoutres. Les modèles analytiques et les simulations FEM ont montré que ces dernières présentent une bien meilleure sensibilité, résultat vérifié par ailleurs par les mesures effectuées sur diverses structures de test. Notre choix s'est donc porté sur les micropoutres afin de réaliser les prototypes présentés dans le cadre de cette thèse.

Le premier prototype réalisé nous a permis de prouver que le concept était viable, les microstructures donnant par l'intermédiaire des jauges piezorésistives un signal présentant un bon rapport signal sur bruit lors du passage du doigt à la surface du capteur. L'une des grandes interrogations soulevées par ce type de capteur était de savoir si les micropoutres allaient résister aux sollicitations mécaniques répétées induites par les reliefs du doigt. Les tests effectués ont montré que malgré les protections élémentaires utilisées (film plastique simplement tendu à la surface du système) les ruptures de microstructures restaient rares. Malgré tout, un grand effort reste à faire afin d'améliorer la mise en boîtier de ce capteur qui doit résister aux nombreux passages de doigt mais aussi aux éventuelles indécrotesses des utilisateurs. Dans ce but, afin de protéger plus efficacement les microstructures, le film plastique pourra être collé à la surface du capteur et non pas simplement tendu. Une autre solution envisagée consiste à remplir les cavités micro-usinées de polymère souple (type silicone souple) afin que ce dernier maintienne les microstructures et limite les sollicitations mécaniques trop marquées. Notons que les deux solutions ici présentées ne sont pas incompatibles et peuvent être utilisées en même temps. En ce qui concerne les fils de câblage, leur immobilisation par de la résine semble être une solution adéquate qui est en outre utilisée dans le cas de certains capteurs d'empreintes digitales à matrice partielle commercialisés à l'heure actuelle.

Le second prototype intègre des rangées de 256 pixels permettant d'acquérir l'intégralité de l'empreinte digitale. De par l'utilisation d'une électronique de traitement de l'information à capacités commutées, le rapport signal sur bruit ainsi que la vitesse d'acquisition possible se trouvent améliorés par rapport au premier prototype, permettant ainsi des tests en conditions de fonctionnement pouvant être qualifiées de réelles. Ce prototype a été fabriqué via un run de prototypage du CMP et l'électronique intégrée partiellement testée (le convertisseur analogique/numérique). Le capteur sera bientôt testé par les soins de M. Nicolas Galy qui effectue en ce moment une thèse de doctorat dans la continuation du projet.

Une fois le deuxième prototype validé, nous projetons de développer un capteur comportant au sein du même substrat de silicium les microstructures MEMS, l'électronique de traitement de l'information analogique mais également des fonctions de traitement numériques complexes permettant de reconstituer l'image de l'empreinte digitale, d'extraire la signature (détection des points de minutie) et d'effectuer la reconnaissance de l'individu (appariement). La réalisation de ce système SOC (*System On a Chip*) fait l'objet de la thèse de M. Nicolas Galy actuellement en cours au sein du laboratoire TIMA.

## ANNEXE I : DETAIL DU PROCESS UTILISE

La figure ci-dessous (Figure 134) montre l'intégralité du process utilisé afin de réaliser les prototypes décrits dans ce mémoire de thèse. Notons que les dimensions verticales ne sont pas respectées (épaisseurs des couches).

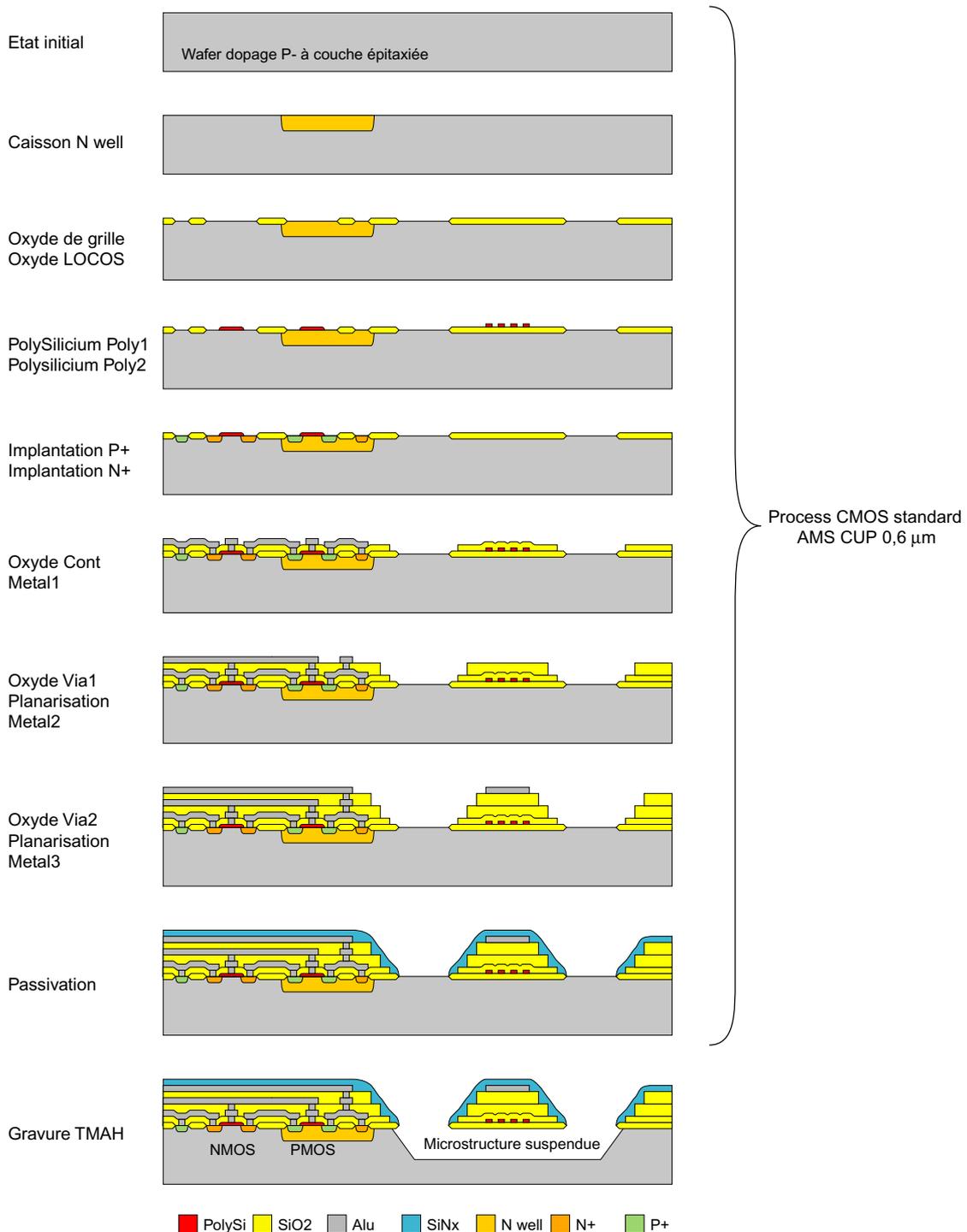


Figure 134 : Détail des différentes étapes du process utilisé (technologie AMS CMOS 0,6 μm précédée d'une étape de micro-usinage en volume par la face avant).



## ANNEXE II : MISE EN BOITIER DU CAPTEUR

La Figure 135 montre, à titre indicatif, trois packaging différents pouvant être utilisés afin de réaliser la mise en boîtier du capteur (sur la base de boîtier DIL) en vue de sa commercialisation :

- Le premier packaging est semblable à la solution retenue afin de tester le premier prototype : la puce est directement collée à la surface d'un support céramique et les fils de bonding sont noyés dans de la résine.
- La deuxième solution envisageable utilise un boîtier en céramique dédié qui possède une cavité permettant d'accueillir le capteur. De cette manière la surface de la puce affleure à la surface du boîtier. Là aussi les fils de bonding sont protégés par de la résine remplissant l'une des deux extrémités de la cavité.
- Le dernier type de packaging présenté utilise un boîtier en plastique moulé ne laissant apparaître que la partie active du capteur. Cette solution, qui est certainement la plus viable économiquement dans le cadre d'une production en grande série, pose différents problèmes lors du moulage du plastique sous pression (protection de la surface active du capteur lors de l'étape de moulage).

Notons que la société Atmel utilise les deux premiers types de packaging présentés ici dans le cadre de capteurs d'empreintes digitales thermiques commercialisés à l'heure actuelle.

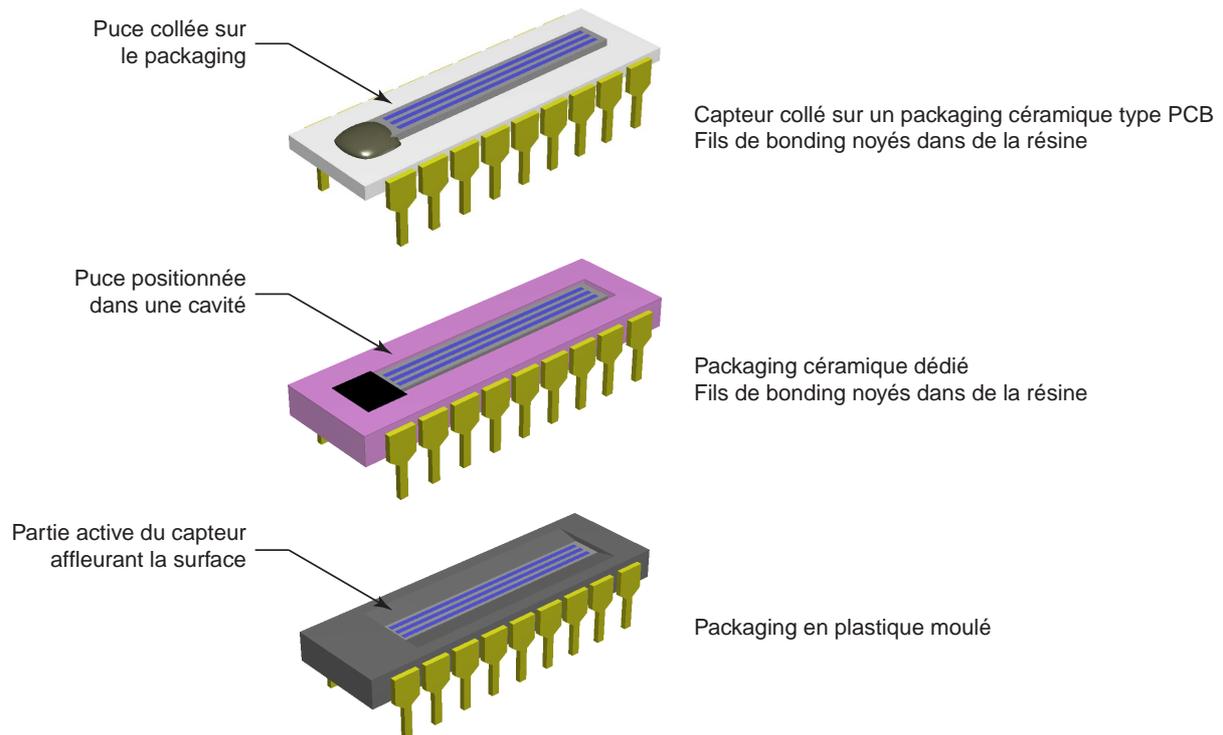


Figure 135 : Packaging possibles du capteur (boîtiers avec brochage de type DIL 18).

Dans le but de limiter la rotation du doigt lors de l'acquisition de l'empreinte digitale et donc les risques de faux rejets, une des possibilités envisageables est d'utiliser le boîtier représenté sur la Figure 136. Dans le cas présenté ici, le doigt de l'utilisateur est guidé vers la surface du capteur par le biais d'un canal qui empêche toutes rotations de grandes amplitudes.

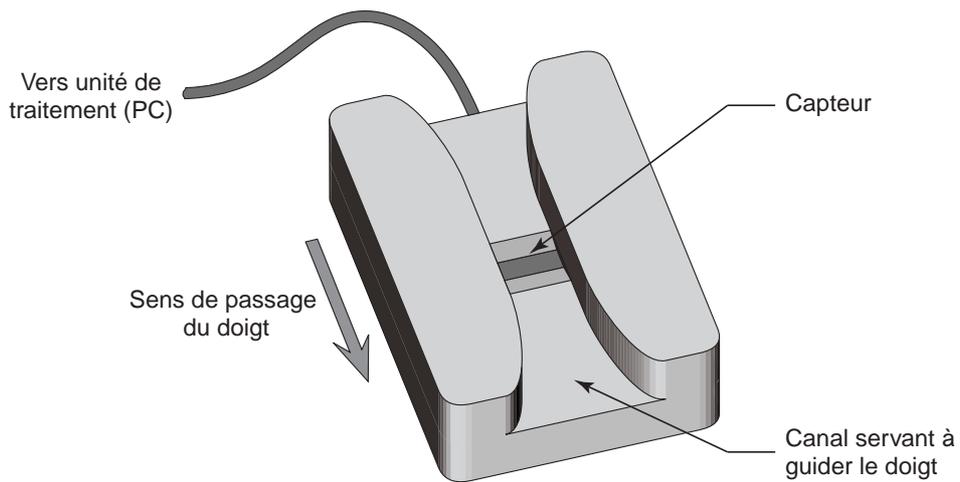


Figure 136 : Mise en boîtier du capteur permettant de guider le doigt de l'utilisateur.

Afin que l'acquisition de l'image de l'empreinte digitale puisse se faire dans de bonnes conditions, il convient de positionner le capteur de telle sorte que l'utilisateur n'ait pas à opérer de mouvements malaisés. Dans ce but, la figure représentée ci-dessous suggère plusieurs possibilités.

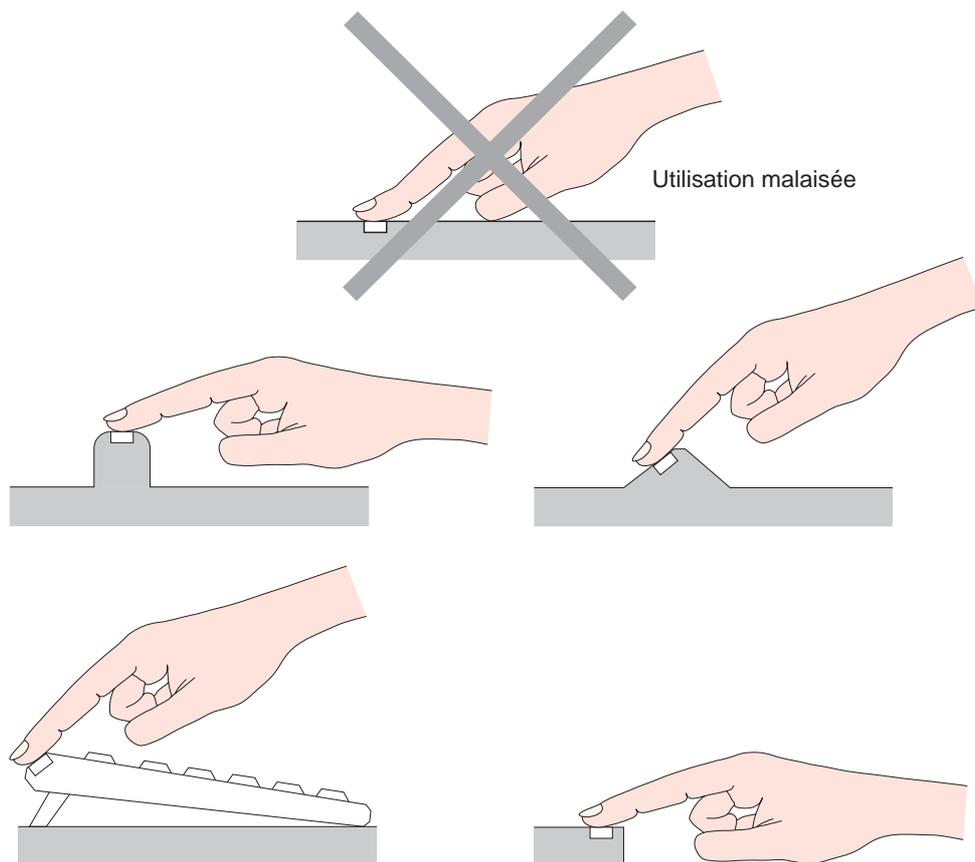


Figure 137 : Positionnement du capteur avant de procéder à une acquisition aisée de l'empreinte digitale.

# ANNEXE III : BROCHAGE DU SECOND PROTOTYPE

La Figure 138 montre le brochage du second prototype tandis que le Tableau 18 énumère le type (entrée ou sortie, numérique ou analogique, résistance série ...) ainsi que la fonction des différents plots de connexion.

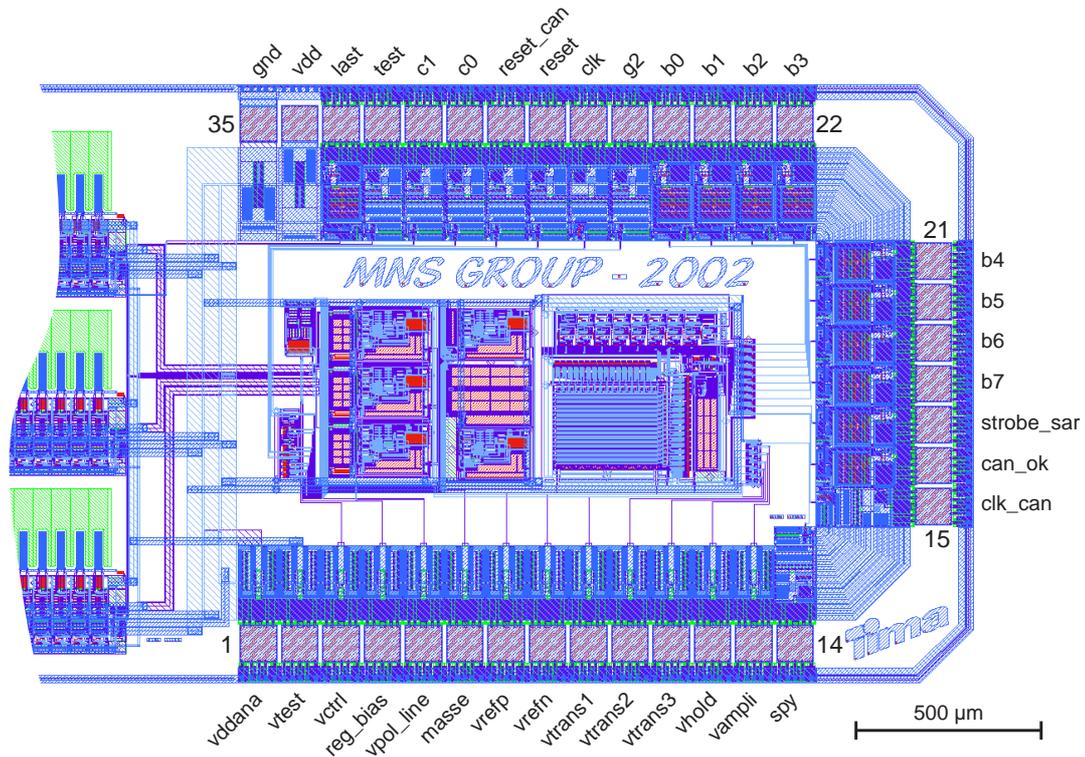


Figure 138 : Brochage du second prototype.

N°	Nom	Type	Direction	Description
1	vddana	Ana.	E (0 $\Omega$ )	Alimentation des circuits analogiques (5 V) à découpler au maximum de l'alimentation vdd
2	vtest	Ana.	E (0 $\Omega$ )	Alimentation des résistances de chauffe (attention : si cette tension est trop haute les microstructures seront détruites !!)
3	vctrl	Ana.	S (50 $\Omega$ )	Permet de contrôler l'intensité de polarisation $I_{\text{biais}} : I_{\text{biais}} \# 100 \cdot V_{\text{ctrl}}$ ( $I_{\text{biais}}$ en $\mu\text{A}$ et $V_{\text{ctrl}}$ en V)
4	reg_bias	Ana.	E/S (0 $\Omega$ )	Permet de régler l'intensité de polarisation $I_{\text{biais}}$ en connectant une résistance électrique reliée à gnd : $I_{\text{biais}} \# 416/R^2$ ( $I_{\text{biais}}$ en $\mu\text{A}$ et R en k $\Omega$ )
5	vpol_line	Ana.	E (0 $\Omega$ )	Tension de polarisation de la ligne de transmission ( $\sim 2,5$ V)
6	masse	Ana.	E (0 $\Omega$ )	Masse analogique ( $\sim 2,5$ V)
7	vrefp	Ana.	E (0 $\Omega$ )	Tension de référence haute du CAN entre 2,5 et 4,5 V)

8	vrefn	Ana.	E (0 $\Omega$ )	Tension de référence basse du CAN (entre 0,5 et 2,5 V). Cette tension doit être théoriquement égale à celle de la masse analogique.
9	vtrans1	Ana.	S (50 $\Omega$ )	Tension de sortie de l'ampli. de transimpédance (rangée 1)
10	vtrans2	Ana.	S (50 $\Omega$ )	Tension de sortie de l'ampli. de transimpédance (rangée 2)
11	vtrans3	Ana.	S (50 $\Omega$ )	Tension de sortie de l'ampli. de transimpédance (rangée 3)
12	vhold	Ana.	S (50 $\Omega$ )	Tension de sortie de l'échantillonneur/bloqueur
13	vampli	Ana.	S (50 $\Omega$ )	Tension de sortie de l'ampli. à capacités commutées
14	spy	Num.	E (Pull-Down)	Permet de déconnecter (spy=0) les différents points de contrôle des sorties analogiques. Mettre ce signal à 0 en utilisation normale.
15	clk_can	Num.	E (Trigger)	Horloge du CAN ( $f_{CAN}=20*f$ au minimum avec un rapport cyclique idéal de 50 %)
16	can_ok	Num.	S (8 mA)	Signal par un état logique haut que la conversion A/N est effectuée
17	strobe_sar	Num.	S (8 mA)	Sortie du comparateur intégré au CAN. Ce signal peut permettre d'obtenir le résultat numérique de la conversion en liaison série
18...25	b0...b7	Num.	S (8 mA)	Bus de sortie parallèle du CAN (b0 : bit de poids faible)
26	g2	Num.	E (Pull-Down)	Réglage du gain de l'ampli. A capacités commutées (10 si g2=0 et 20 si g2=1)
27	clk	Num.	E (Trigger)	Horloge de balayage de la rangée de micropoutre et de l'électronique à capacités commutées ( $f=1...200$ kHz avec un rapport cyclique idéal de 50 %)
28	reset	Num.	E (Pull-Down)	Remise à zéro de l'ensemble du circuit par un état logique haut (à activer au moins une fois après la mise sous tension du circuit)
29	reset_can	Num.	E (Pull-Down)	Remise à zéro manuelle du CAN (non utilisée en usage normal)
30	c0	Num.	E (Pull-Down)	Sélection de la rangée de micropoutres active : bit de poids faible
31	c1	Num.	E (Pull-Down)	Sélection de la rangée de micropoutres active : bit de poids fort
32	test	Num.	E (Pull-Down)	Activation du mode d'auto-test par un état logique haut. Si ce signal est à l'état logique bas, les résistances de chauffe ne sont pas alimentées.
33	last	Num.	S (8 mA)	Signal par un état logique à 1 que la dernière micropoutre est atteinte (bout de la ligne)
34	vdd	Ana.	E (0 $\Omega$ )	Alimentation des circuits numériques (Niveau logique haut : 5 V)
35	gnd	Ana.	E (0 $\Omega$ )	Masse globale du circuit (potentiel du substrat, niveau logique bas : 0 V)

Tableau 18 : Fonction des différents plots de connexion du second prototype.

Tous les signaux numériques ici considérés utilisent une logique positive. Tous les circuits séquentiels sont synchronisés sur les fronts d'horloge montants.

Il convient de ici de préciser certaines caractéristiques propres aux plots de connexion utilisés (plots de connexion provenant des bibliothèques standards du fondeur AMS) :

- Les plots de sortie numériques utilisés peuvent débiter, en accord avec les données fournies par le fondeur AMS, un courant maximum de l'ordre de 8 mA (signaux compatibles TTL). Malgré tout, il conviendra de minimiser au maximum le courant débité par ces derniers afin de limiter la consommation globale du circuit.
- Tous les plots d'entrée numériques (sauf les plots d'amenée d'horloge) sont équipés de transistors de *Pull-Down* de manière à ce que le signal d'entrée soit à l'état bas au cas où aucune connexion électrique n'est réalisée (cas d'une entrée flottante).
- Les plots d'amenée des différents signaux d'horloge sont équipés d'inverseurs de type trigger de Schmitt qui comportent une hystérésis limitant ainsi les risques de rebonds lors des fronts montants ou descendants.
- Les plots de sortie analogiques possèdent une résistance de sortie série de l'ordre de 50  $\Omega$  afin de limiter les risques de destruction en cas de courts-circuits accidentels.

Les différentes tensions de polarisation (*vpol\_line*, *vrefn*, *vrefp* ...) devront être les plus stables possibles. Ainsi, il conviendra de filtrer ces tensions par le biais d'un couple de condensateurs chimiques et céramiques mis en parallèle et connectés entre le plot d'entrée et la masse globale du circuit (*gnd*). Ces condensateurs devront être disposés le plus près possible du capteur. Il convient de procéder de même pour les alimentations (*vdd* et *vddana*).

Tous les plots d'entrée analogique possèdent une impédance d'entrée élevée (on attaque généralement que des grilles de transistors et des diodes polarisées en inverse) sauf les plots d'alimentation (*vdd*, *vddana* et *gnd*) ainsi que les deux plots *vrefn* et *vrefp*. La résistance électrique existante entre ces deux plots est de l'ordre de 5,8 k $\Omega$ .

La fréquence du signal d'horloge du convertisseur analogique/numérique devra être au minimum vingt fois supérieure à celle du signal d'horloge gérant le balayage de la rangée de micropoutres. Si cette condition n'est pas remplie, la conversion du signal analogique issu de l'amplificateur ne peut se dérouler correctement et le signal *can\_busy* reste constamment à l'état logique bas. Tous les signaux d'horloge devront présenter un rapport cyclique de l'ordre de 50 % ( $t_{\text{bas}}=t_{\text{haut}}$ ).



## ANNEXE IV : LOGIQUE DE COMMANDE

La Figure 139 montre le schéma électrique de la logique de commande intégrée au sein du second prototype. Cette électronique numérique combinatoire se compose essentiellement de deux blocs. Le premier génère les deux phases d'horloge non recouvrantes nécessaires au bon fonctionnement des circuits à capacités commutées. Le deuxième se charge de la sélection de la ligne de pixels active (décodeur BCD commandant le multiplexeur disposé entre les amplificateurs de transimpédance et l'amplificateur différentiel à capacités commutées).

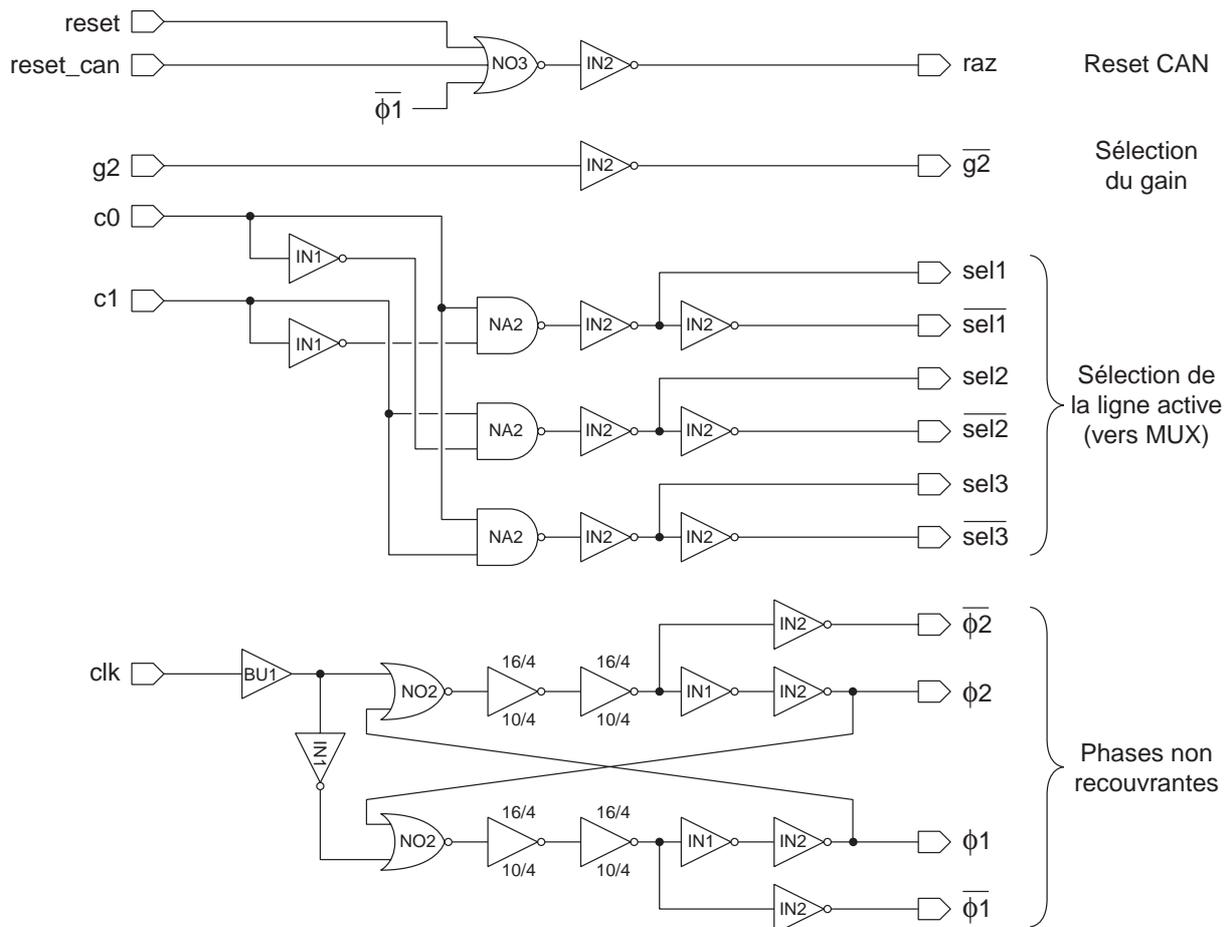


Figure 139 : Logique de commande intégrée au sein du second prototype.



## ANNEXE V : CHRONOGRAMME DE FONCTIONNEMENT DU SECOND PROTOTYPE

La Figure 140 montre le chronogramme de fonctionnement du second prototype. Cette figure montre que la valeur numérique du signal perçu par une micropoutre est disponible au niveau du bus de sortie avec un retard d'une période d'horloge. Notons que cette valeur numérique (codée sur un octet : 8 bits) est valide et constante lors de la phase  $\Phi_2$  (l'actualisation du registre de sortie se déroule obligatoirement durant la phase  $\Phi_1$  et est commandé par le front montant du signal *can\_ok*).

Si la fréquence d'horloge du convertisseur analogique/numérique ne remplit pas la condition  $f_{CAN} > 20 * f$ , le signal logique *can\_ok* sera continuellement à l'état bas (le registre de sortie ne sera donc jamais actualisé).

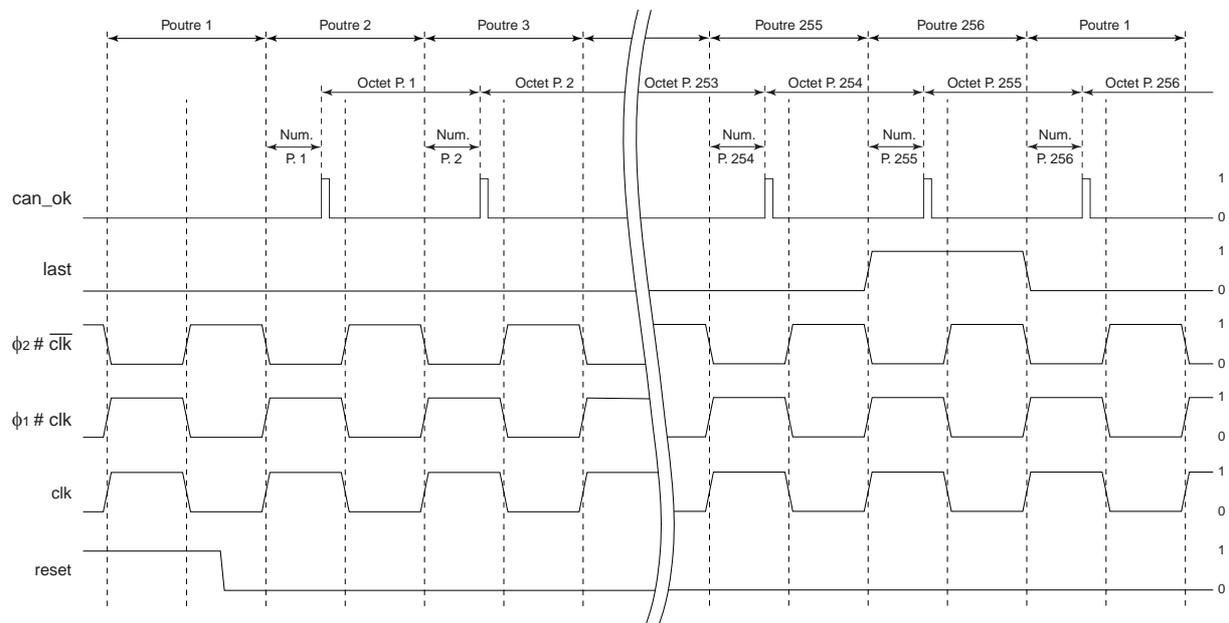


Figure 140 : Chronogramme de fonctionnement du second prototype.



## ANNEXE VI : FICHIERS SOURCES ANSYS

Nous allons ici donner à titre informatif les fichiers sources ANSYS utilisés afin de mener à bien les simulations FEM mécaniques dans le cas du modèle à bords rectilignes. Tous les commentaires (qui commencent par un point d'exclamation) seront ici mis en gras dans un but de lisibilité.

Fichier de construction du modèle FEM de la micropoutre :

```

! Modélisation de la micropoutre piezorésistive SANS test en ligne
! Techno AMS CUP 0.6 micron 3 niveaux de métal
! Bords de la poutre rectilignes
! Avec ou sans Met3
! Simulation MECANIQUE
! F.P. le 9 décembre 2001

/units,SI
/title,Poutre piezo
/prep7
/view,,1,1,1

! Precision pour les etapes de selections
pres=10e-10

! On élimine les warnings
/uis,msgpop,3

/com
/com ... Construction de la micropoutre piezorésistive ...
/com

! Avec ou sans Met3 ?
! mok=1 si oui mok=0 si non

mok=1

! Dimensions de la micropoutre

longpi=100e-6      ! Longueur poutre
largpi=30e-6      ! Largeur poutre

largp=largpi/2
longp=longpi

! Dimensions de la résistance piezo

longrp=28.25e-6   ! Longueur des elements de la jauge
esrp=1.2e-6       ! Espacement entre les elements
largrp=0.8e-6     ! Largeur des elements
posxrp=0e-6       ! Position en x de la jauge
nbrp=8            ! Nombre d'elements

! Dimensions connexions

lconnec=2e-6      ! Overlap met1/polySi

! Dimensions du bulk

epbulk=10e-6      ! Epaisseur du substrat
lbulk=30e-6       ! Dimension en x du substrat

```

```
largbulk=60e-6      ! Dimension en x du substrat

largbulk=largbulk/2

! Définition des épaisseurs
! Epaisseur Via et Cont d'oxyde à oxyde

eplocos=0.4e-6      ! Epaisseur du LOCOS
eppoly=.25e-6       ! Epaisseur du polySi
epcont=0.9e-6       ! Epaisseur cont
epmet1=0.72e-6      ! Epaisseur metall
epvia1=1.35e-6      ! Epaisseur vial
epvia2=1.3e-6       ! Epaisseur via2
eppad=0.75e-6       ! Epaisseur passivation
epmet3=0.94e-6      ! Epaisseur metal 3

! Définition des hauteurs

h1=eplocos
h2=h1+eppoly
h3=h1+epcont
h4=h3+epmet1
h5=h3+epvia1
h6=h5+epvia2
*if,mok,eq,1,then
    h7=h6+epmet3
*else
    h7=h6
*endif
h8=h7+eppad

! Définition des matériaux

! Mécanique
et,1,solid45

poly=1
sio2=2
nit=3
alu=4
si=5

dpoly=2300
Rpoly=1.32e-5
Epoly=17e10
dpoipoly=0.3

dsio2=2300
Rsio2=1e16
Esio2=7.5e10
dpoisio2=0.3

dnit=3100
Rnit=1e11
Enit=38e10
dpointit=0.3

dalu=2700
Ralu=0.05e-6
Ealu=7e10
dpoialu=0.3

mp,dens,poly,dpoly
mp,ex,poly,Epoly
mp,ey,poly,Epoly
mp,ez,poly,Epoly
mp,nuxy,poly,dpoipoly
mp,rsvx,poly,Rpoly
```

```

mp,rsvy,poly,Rpoly
mp,rsvz,poly,Rpoly

mp,dens,si,dpoly
mp,ex,si,Epoly
mp,ey,si,Epoly
mp,ez,si,Epoly
mp,nuxy,si,dpoipoly

mp,dens,sio2,dsio2
mp,ex,sio2,Esio2
mp,ey,sio2,Esio2
mp,ez,sio2,Esio2
mp,nuxy,sio2,dpoisio2
mp,rsvx,sio2,Rsio2
mp,rsvy,sio2,Rsio2
mp,rsvz,sio2,Rsio2

mp,dens,nit,dnit
mp,ex,nit,Enit
mp,ey,nit,Enit
mp,ez,nit,Enit
mp,nuxy,nit,dpointit

mp,rsvx,nit,Rnit
mp,rsvy,nit,Rnit
mp,rsvz,nit,Rnit

mp,dens,alu,dalu
mp,ex,alu,Ealu
mp,ey,alu,Ealu
mp,ez,alu,Ealu
mp,nuxy,alu,dpointit
mp,rsvx,alu,Ralu
mp,rsvy,alu,Ralu
mp,rsvz,alu,Ralu

/com
/com ... Construction de la micropoutre ...
/com

! Construction de la micropoutre (découpage des aires)

k,1,-lbulk,0,0
k,2,longp,0,0
k,3,longp,0,largp
k,4,0,0,largp
k,5,0,0,largbulk
k,6,-lbulk,0,largbulk
a,1,2,3,4,5,6

! Résistance piezo

n=7
*do,z,esprp/2,esprp/2+(esprp+largrp)*(nbrp/2-1),esprp+largrp
    k,n,-lbulk,0,z
    k,n+1,longp,0,z
    k,n+2,-lbulk,0,z+largrp
    k,n+3,longp,0,z+largrp
    l,n,n+1
    l,n+2,n+3
    n=n+4
*enddo

k,n,posxrp,0,0
k,n+1,posxrp,0,largbulk
k,n+2,posxrp+largrp,0,0
k,n+3,posxrp+largrp,0,largbulk

```

```

l,n,n+1
l,n+2,n+3
n=n+4

k,n,posxrp-lconnec,0,0
k,n+1,posxrp-lconnec,0,largbulk
l,n,n+1
n=n+2

k,n,posxrp+longrp-largrp,0,0
k,n+1,posxrp+longrp-largrp,0,largbulk
k,n+2,posxrp+longrp,0,0
k,n+3,posxrp+longrp,0,largbulk
l,n,n+1
l,n+2,n+3
n=n+4

k,n,0,0,0
k,n+1,0,0,largbulk
l,n,n+1
n=n+2

k,n,0,0,largp
k,n+1,-lbulk,0,largp
l,n,n+1
n=n+2

! Partitionnement de l'aire

lsel,all
asbl,1,all,delette,delette

! Extrusion des volumes

! Le bulk

esize,,5

asel,s,loc,y,-pres,+pres
asel,r,loc,x,+pres,-lbulk-pres
vext,all,,,0,-epbulk,0,1,1,1

! Couches CMOS

esize,,1

asel,s,loc,y,-pres,+pres
vext,all,,,0,h1,0,1,1,1

asel,s,loc,y,h1-pres,h1+pres
vext,all,,,0,h2-h1,0,1,1,1

asel,s,loc,y,h2-pres,h2+pres
vext,all,,,0,h3-h2,0,1,1,1

asel,s,loc,y,h3-pres,h3+pres
vext,all,,,0,h4-h3,0,1,1,1

asel,s,loc,y,h4-pres,h4+pres
vext,all,,,0,h6-h4,0,1,1,1

*if,mok,eq,1,then
    asel,s,loc,y,h6-pres,h6+pres
    vext,all,,,0,h7-h6,0,1,1,1
*endif

asel,s,loc,y,h7-pres,h7+pres
vext,all,,,0,h8-h7,0,1,1,1

```

```

asel,all

! On regroupe les volumes

! Résistance piezo

vsel,none
*do,z,esprp/2+(esprp+largrp)*(nbrp/2-1),esprp/2,-(esprp+largrp)
    vsel,a,loc,z,z,z+largrp
*enddo
vsel,r,loc,x,posxrp,posxrp+longrp
vsel,r,loc,y,h1,h2
cm,resp1,volu

vsel,none
*do,z,esprp/2+(esprp+largrp)*(nbrp/2-1),esprp/2,-2*(esprp+largrp)
    vsel,a,loc,z,z,z-esprp
*enddo
vsel,r,loc,x,posxrp+longrp-largrp,posxrp+longrp
vsel,r,loc,y,h1,h2
cm,resp2,volu

vsel,none
*do,z,esprp/2+(esprp+largrp)*(nbrp/2-2),esprp/2,-2*(esprp+largrp)
    vsel,a,loc,z,z,z-esprp
*enddo
vsel,r,loc,x,posxrp,posxrp+largrp
vsel,r,loc,y,h1,h2
cm,resp3,volu

vsel,s,loc,z,esprp/2+(esprp+largrp)*(nbrp/2-1),esprp/2+(esprp+largrp)*(nbrp/2-1)+largrp
vsel,r,loc,y,h1,h2
vsel,r,loc,x,0,posxrp
cm,resp4,volu

vsel,s,loc,z,esprp/2+(esprp+largrp)*(nbrp/2-1),esprp/2+(esprp+largrp)*(nbrp/2-1)+largrp
vsel,r,loc,y,h1,h2
vsel,r,loc,x,posxrp-lconnec,posxrp
cm,resp5,volu

cmgrp,resp,resp1,resp2,resp3,resp4,resp5
cmsel,s,resp
/color,volu,red

! Connexion

vsel,s,loc,z,esprp/2+(esprp+largrp)*(nbrp/2-1),esprp/2+(esprp+largrp)*(nbrp/2-1)+largrp
vsel,r,loc,y,h2,h3
vsel,r,loc,x,posxrp-lconnec,posxrp
cm,connec1,volu

vsel,s,loc,z,esprp/2+(esprp+largrp)*(nbrp/2-1),esprp/2+(esprp+largrp)*(nbrp/2-1)+largrp
vsel,r,loc,y,h3,h4
vsel,r,loc,x,posxrp,-lbulk
cm,connec2,volu

cmgrp,connect,connec1,connec2
cmsel,s,connect
/color,volu,lgray

! Oxyde

cmsel,s,resp

```

```
cmsel,a,connect
vsel,inve
vsel,r,loc,y,0,h6
cm,oxyde,volu
/color,volu,yell

! Met3

*if,mok,eq,1,then
    vsel,s,loc,y,h6,h7
    cm,met3,volu
    /color,volu,lgray
*endif

! Passivation

vsel,s,loc,y,h7,h8
cm,pad,volu
/color,volu,blue

! Le bulk

vsel,s,loc,y,0,-epbulk
cm,bulk,volu
/color,volu,dgray

! On mesh

lssel,s,tan1,x,0
lssel,r,tan1,y,0
lesize,all,4e-6

lssel,s,tan1,y,0
lssel,r,tan1,z,0
lesize,all,5e-6

lssel,s,tan1,x,0
lssel,r,tan1,z,0
lssel,r,loc,y,0,-epbulk
lesize,all,2e-6

mat,sio2
cmsel,s,oxyde
vmesh,all

mat,nit
cmsel,s,pad
vmesh,all

mat,poly
cmsel,s,resp
vmesh,all

mat,si
cmsel,s,bulk
vmesh,all

mat,alu
vsel,none
*if,mok,eq,1,then
    cmsel,s,met3
*endif
cmsel,a,connect
vmesh,all

! Les symétries selon l'axe x

cmsel,s,resp
```

```

vsym,z,all,,0,0,0
cm,resp,volu
/color,volu,red

cmsel,s,bulk
vsym,z,all,,0,0,0
cm,bulk,volu
/color,volu,dgray

cmsel,s,connect
vsym,z,all,,0,0,0
cm,connect,volu
/color,volu,lgray

cmsel,s,pad
vsym,z,all,,0,0,0
cm,pad,volu
/color,volu,blue

cmsel,s,oxyde
vsym,z,all,,0,0,0
cm,oxyde,volu
/color,volu,yell

*if,mok,eq,1,then
  cmsel,s,met3
  vsym,z,all,,0,0,0
  cm,met3,volu
  /color,volu,lgray
*endif

ksel,all
nset,all
esel,all
nummrg,kp,5e-10
nummrg,elem,5e-10
nummrg,node,5e-10

asel,all
vsel,all
vplot

```

Fichier de solution permettant d'imposer une force constante au bout des micropoutres et d'extraire la valeur moyenne des contraintes mécaniques au niveau de la jauge :

```

! On applique une force au bout de la micropoutre
! F.P. le 9 decembre 2001

/solu

! Force appliquee au bout de la poutre

force=1e-3

! On bloque le bulk

nset,a,loc,x,-lbulk+pres,-lbulk-pres
nset,a,loc,y,-epbulk+pres,-epbulk-pres
nset,a,loc,z,-largbulk+pres,-largbulk-pres
nset,a,loc,z,largbulk+pres,largbulk-pres

d,all,ux,0
d,all,uy,0
d,all,uz,0

```

```

! On impose la force au bout de la micropoutre

nsel,s,loc,x,longp-pres,longp+pres
*get,nbrn,node,0,count
f,all,fy,-force/nbrn

nsel,all
esel,all
vsel,all
solve

/post1

! Detremination des contraintes moyennes

cmsel,s,resp
vsel,r,loc,x,posxrp+largrp,posxrp+longrp-largrp
eslv,s
*get,nbre,elem,0,count

etable,stressx,s,x
ssum
*get,sstressx,ssum,0,item,stressx
/com
/com *****
/com *** CONTRAINTE MOYENNE EN X ***
/com *****
stressmx=sstressx/nbre
/com *****
/com

etable,stressy,s,y
ssum
*get,sstressy,ssum,0,item,stressy
/com
/com *****
/com *** CONTRAINTE MOYENNE EN Y ***
/com *****
stressmy=sstressy/nbre
/com *****
/com

etable,stressz,s,z
ssum
*get,sstressz,ssum,0,item,stressz
/com
/com *****
/com *** CONTRAINTE MOYENNE EN Z ***
/com *****
stressmz=sstressz/nbre
/com *****
/com

esel,all
etable,deply,u,y
esort,etab,deply,0,0

/com
/com *****
/com *** DEFLEXION MAX ***
/com *****
*get,deplmaxy,sort,0,min
/com *****
/com

```



# Résumé

## CAPTEUR INTEGRE TACTILE D'EMPREINTES DIGITALES A MICROSTRUCTURES PIEZORESISTIVES

A l'heure de l'explosion des réseaux informatiques, le besoin d'identifier les personnes à distance devient de plus en plus nécessaire pour effectuer diverses opérations comme les contrôles d'accès ou les paiements sécurisés. Jusqu'à présent, la saisie d'un code alphanumérique reste la solution la plus utilisée. Cette solution, bien qu'ayant le mérite d'être très simple, a le désavantage de ne pas certifier que l'individu qui entre le code est bien celui qu'il prétend être. Une autre possibilité qui s'offre à nous, est d'utiliser la biométrie en identifiant directement les traits corporels de l'utilisateur. Le caractère physique le plus simple à utiliser est sans contestation l'empreinte digitale utilisée depuis plus d'un siècle par la police. L'extraction des points de bifurcation ou d'arrêt des courbes formant l'empreinte (les minuties) permet de créer une signature propre à chaque individu, garantissant ainsi avec une probabilité proche de l'unité l'identité de celui-ci. Il est possible de classer les capteurs d'empreintes digitales selon leur mode de fonctionnement (capteurs optiques, thermiques ou mécaniques) et selon leur géométrie (capteurs en matrice ou en ligne). Jusqu'à présent, les capteurs matriciels sont les plus utilisés mais ils sont chers du fait de la grande surface de silicium utilisée. Nous proposons de réaliser un capteur d'empreintes digitales composé d'une unique rangée de microstructures (en fait trois rangées dans le cas des prototypes présentés dans ce mémoire) afin de minimiser la taille de la puce et par conséquent son prix. Afin d'obtenir l'image de l'intégralité de l'empreinte, l'utilisateur passe son doigt à la surface du capteur suivant un mouvement de translation. Durant le passage du doigt, les reliefs de ce dernier induisent des contraintes au sein des microstructures et donc une variation de résistance électrique au niveau des jauges piezorésistives. Cette variation de résistance électrique est alors amplifiée, filtrée et numérisée (sur 8 bits soit 256 niveaux de gris) en utilisant l'électronique intégrée au sein du capteur.

## Abstract

### TACTILE FINGERPRINT SENSOR USING PIEZORESISTIVE MICROSTRUCTURES

Nowadays, the need of identifying users is becoming more and more necessary for several typical operations as access controls, workstation login or electronic banking. In this way, many systems as credit cards, mobile phones or computers require keys or alphanumeric passwords. Biometrics recognition is envisaging new solutions using constant features of the user's body with the convenience that they can't be lost, forgotten or stolen. We can give as examples the human speech, the characteristic of the face, the pattern of the iris and so on. Most applications are based on the fingerprint pattern that is the easiest to use. A typical fingerprint covers an area of about 100 mm<sup>2</sup> and includes several characteristic points so called minutia (generally a number from 12 to 20). Extracting their relative positions, these minutia allow to create a specific signature for each user guaranteeing a secured identification. It is possible to classify fingerprint sensors according to the read mechanism it works (mechanical, optical, capacitance and thermal) and according to the sensor array arrangement (single line, full or partial matrix of pixels). Until now the most used sensing part geometry has been the full or partial array but in this case the sensor is very expensive due to the fact that it covers a large area of silicon. We propose to realize a fingerprint sensor composed by a unique row of microstructures (in fact three in the case of the prototypes presented in this thesis) so as to minimize the size of the chip and consequently its price. In order to obtain a complete image from this single row of pixels, the user has to pass his finger following a translation movement above the active area of the sensor. In the same time, the different gauges included in the microbeams are scanned. The resistivity change induced by the microstructure deflections (i.e. the finger relief) is then amplified and numerized (8 bit i.e. 256 gray scales) using the integrated electronic interface.

### SPECIALITE : MICROELECTRONIQUE

**MOTS-CLES :** Empreinte digitale, Microsystème, CMOS, Micropoutre, Micropont, Piézorésistivité, Micro-usinage en volume, Circuits à capacités commutées.

Thèse préparée au sein du laboratoire TIMA (Techniques de l'Informatique et de la Microélectronique appliquées à l'Architecture des ordinateurs), INPG, 46, avenue Félix Viallet, 38031 Grenoble, France.

ISBN : 2-913329-98-5

ISBNNE : 2-913329-99-3