



HAL
open science

Techniques de conception pour le durcissement des circuits intégrés face aux rayonnements

F. Vinci dos Santos

► **To cite this version:**

F. Vinci dos Santos. Techniques de conception pour le durcissement des circuits intégrés face aux rayonnements. Micro et nanotechnologies/Microélectronique. Université Joseph-Fourier - Grenoble I, 1998. Français. NNT: . tel-00003047

HAL Id: tel-00003047

<https://theses.hal.science/tel-00003047v1>

Submitted on 25 Jun 2003

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

présentée par

Filipe VINCI DOS SANTOS

pour obtenir le titre de **DOCTEUR**

de l'**UNIVERSITÉ JOSEPH FOURIER — GRENOBLE 1**

(arrêtés ministériels du 5 juillet 1984 et du 30 mars 1992)

Spécialité : **Physique–Microélectronique**

Techniques de conception pour le durcissement des circuits intégrés face aux rayonnements

Date de Soutenance : 15 Octobre 1998

Composition du Jury :

Bernard	Courtois	Directeur de Thèse
Pierre	Gentil	Président
Andreas	Kaiser	Rapporteur
Jean-Michel	Karam	Examineur
Volker	Kempe	Examineur

Thèse préparée au sein du Laboratoire TIMA

46, Avenue Félix Viallet, F-38031 Grenoble

Résumé

Les microsystemes sont le dernier développement de la microélectronique. Leur apparition ouvre des possibilités révolutionnaires dans plusieurs domaines d'application, dont l'exploitation de l'espace. L'utilisation des microsystemes dans l'espace se heurte au problème de l'exposition à la radiation, notamment pour la partie électronique. Cet obstacle a été surmonté dans le passé par la mise en place de filières de fabrication résistantes («durcies») aux effets de la radiation. Le rétrécissement des budgets militaires a provoqué la disparition de la plupart des technologies de fabrication durcies, ce qui est en train de pousser les constructeurs vers l'emploi de technologies commerciales standard (COTS). L'objectif de cette thèse a été d'investiguer des techniques de conception pour le durcissement d'un microsysteme fabriqué par une technologie COTS. Le microsysteme en question est un capteur de rayonnements infrarouges basé sur des thermopiles en silicium, suspendues par une étape de micro-usinage en volume par la face avant. Les éléments pertinents des différents domaines de connaissance impliqués sont passés en revue, avec une analyse des techniques de durcissement applicables à la construction de l'électronique de lecture en technologie CMOS. Un programme de caractérisation expérimentale a été réalisé, et il a permis d'établir le niveau de sensibilité de la technologie aux rayonnements et l'efficacité des techniques de durcissement développées. Les très bons résultats obtenus ont permis de passer à la réalisation de la chaîne de lecture du capteur, qui a été fabriquée, caractérisée et qualifiée pour l'espace.

Mots-clé : technologie CMOS, contrôle d'attitude et d'orbite, systèmes spatiales, microsystemes, circuits intégrés, durcissement face aux rayonnements, thermopiles intégrés, thermocouples en silicium, capteurs d'infrarouge, micro-usinage en volume, composants COTS, VLSI, microélectronique.

Abstract

Integrated microsystems are the latest development of microelectronics. Their appearance allows a host of revolutionary new applications in several fields, including space exploration. The use of microsystems in space is hampered by the problem of exposure to radiation, particularly for the electronics section. This problem has been overcome in the past through the development of special fabrication technologies ("hardened"), able to resist the effects of radiation. The cutback in the military budgets has been responsible for the extinction of most radiation-hardened technologies. This fact is pushing the space industry towards the use of commercial off-the-shelf (COTS) technologies. The purpose of this thesis is to explore design techniques for the radiation-hardening of an integrated microsystem fabricated on a COTS technology. This microsystem is an infra-red sensor based on silicon thermopiles, suspended by front-side bulk micromachining. The pertinent elements of the different domains of knowledge needed for this task are reviewed, with an analysis of the hardening techniques applicable to the realization of the read-out electronics in CMOS technology. An experimental characterization program was carried out, and it has allowed to establish precisely the level of radiation tolerance of the technology, as well as to evaluate the usefulness of the design techniques developed. The excellent results obtained gave impulse to the endeavor of fabricating the whole sensor read-out chain. This chain was designed, manufactured, tested and qualified for space use.

Keywords: CMOS technology, attitude and orbit control, space systems, microsystems, integrated circuits, radiation hardening, integrated thermopiles, silicon thermocouples, infrared sensors, bulk micromachining, COTS components, VLSI, microelectronics.

Table des matières

1	Introduction	1
1.1	Des bombes-A au téléphone portable	1
1.1.1	Le marché civil des télécommunication	4
1.1.2	Les microsystèmes intégrés	6
1.2	Objectif et organisation de l'étude	8
I	Principes	13
2	Les dispositifs semiconducteurs	15
2.1	Introduction	15
2.2	La conductivité	16
2.2.1	Les bandes d'énergie	16
2.2.2	Le dopage	18
2.3	La jonction p-n	21
2.3.1	La diode	23
2.4	Le transistor MOS	24
2.4.1	La structure Conducteur-Isolant-Semiconducteur	26
2.4.2	Tension de Bandes Plates	28
2.4.3	Modélisation du transistor MOS	32
2.4.4	Modèle de Schichman-Hodges	35
2.4.5	Modèle de Meyer	36
2.4.6	Modèle en petits signaux	38
2.4.7	Modélisation du bruit	39
3	Les technologies de fabrication	45
3.1	Introduction	45
3.2	Le procédé planar	46
3.3	Les opérations élémentaires	48
3.3.1	Le masquage et la photo-lithographie	48
3.3.2	La gravure	48
3.3.3	L'oxydation	49
3.3.4	Le dépôt	49
3.3.5	Le dopage	49
3.4	Les modules	50
3.4.1	Le module d'isolation	51

3.4.2	Le module de dispositif	53
3.4.3	Le module de connexion	55
3.5	Les technologies	56
3.6	Les technologies CMOS bulk	57
3.6.1	Le thyristor parasite	57
3.7	Les technologies CMOS épitaxiées	60
3.8	Les technologies CMOS SOI	61
3.9	Les microsystèmes intégrés	62
3.9.1	Microsystèmes compatibles avec des filières standards	62
3.9.2	Microsystèmes spatiaux	65
4	Rayonnement et matière	67
4.1	Introduction	67
4.2	Mécanismes fondamentaux	68
4.2.1	Interaction de photons	68
4.2.2	Interaction de particules chargées	69
4.2.3	Interaction de neutrons	71
4.2.4	Terminologie et unités	72
4.2.5	Mécanismes de transfert d'énergie	72
4.3	Effets sur le silicium	76
4.3.1	Dislocation	76
4.3.2	Ionisation	77
4.4	Environnements radiatifs	86
4.4.1	L'espace	86
4.4.2	Autres environnements radiatifs	90
II	Durcissement	93
5	Durcissement des circuits intégrés	95
5.1	Introduction	95
5.2	Effets de la dose cumulée	97
5.2.1	L'isolation LOCOS	97
5.2.2	Transistors MOS	98
5.2.3	Éléments passifs	102
5.2.4	Jonctions p-n planaires	102
5.3	Effets transitoires	105
5.3.1	Verrouillages de courant	105
5.3.2	Aléas	107
5.3.3	Autres effets transitoires	107
5.4	L'évaluation de la sensibilité	109
5.4.1	Dose totale	109
5.4.2	Événements singuliers	112
5.5	Durcissement des circuits et des systèmes	113
5.5.1	Le durcissement par rapport à la dose cumulée	116
5.5.2	Le durcissement par rapport aux verrouillages de courant	124
5.5.3	Durcissement des microsystèmes	125

6	Caractérisation de la technologie	131
6.1	Introduction	131
6.2	Description générale de la technologie	132
6.3	Évaluation théorique de la réponse à la radiation	134
6.3.1	L'isolation LOCOS	134
6.3.2	Les transistors	137
6.3.3	Les diodes planaires	138
6.4	Caractérisation expérimentale	139
6.4.1	Moyens	139
6.4.2	Méthodologie	143
6.4.3	Mesures	143
6.4.4	Résultats	144
6.5	L'analyse des données	148
6.5.1	Transistors	148
6.5.2	Diodes	155
6.5.3	FOXFETs	158
6.6	Conclusion	158
7	Mise en oeuvre	163
7.1	Introduction	163
7.2	La lecture du signal de thermopiles	164
7.2.1	Commutation	165
7.2.2	Amplification	167
7.2.3	L'architecture retenue	168
7.3	Le multiplexeur analogique	169
7.3.1	Circuit	169
7.3.2	Layout	171
7.3.3	Mesures	174
7.3.4	Essais sous le rayonnement	176
7.4	Conclusions	181
	Conclusion Générale	185

Table des figures

2.1	La résistivité ρ	16
2.2	Diagramme bi-dimensionnel des bandes d'énergie	18
2.3	Diagramme des bandes d'énergie d'une jonction p-n	22
2.4	Déplacement des bandes d'une jonction p-n	22
2.5	Vue en coupe d'une structure MOS	25
2.6	Diagramme de bandes d'énergie d'une structure MOS	26
2.7	Bandes plates, accumulation et déplétion	27
2.8	Distribution des charges à l'intérieur d'une structure MOS	30
2.9	Liaisons atomiques incomplètes à l'interface $Si-SiO_2$	31
2.10	Transistors MOS à enrichissement du type n et p	32
2.11	Modèle électrique du MOS en petits signaux	38
2.12	Modèle électrique du bruit de la diode	41
2.13	Modèle électrique du bruit du MOS	42
3.1	Types de plaquette et ses méplats	47
3.2	Structure en bec d'oiseau aux bords de l'isolation LOCOS.	52
3.3	Isolation par tranchée	52
3.4	Profil d'un transistor NMOS avec un drain graduel (LDD).	54
3.5	Vue en coupe schématique de la tranche après la formation des premières interconnexions en métal.	55
3.6	Vue en coupe schématique d'un inverseur dans un procédé CMOS en substrat massif avec un caisson simple.	56
3.7	Vue en coupe schématique des technologies bulk, épitaxiée et SOI (SIMOX).	57
3.8	Vue en coupe schématique du thyristor parasite	58
3.9	Circuit équivalent du thyristor	58
3.10	Structure suspendue par une gravure de la face avant	64
3.11	Type de structure obtenue par la gravure de la face arrière	65
3.12	Exemple de micro-usinage en surface	65
4.1	Section efficace de photons	74
4.2	Le parcours libre moyen des photons	75
4.3	Processus provoqués par les états énergétiques	76
4.4	Quatre jonctions p-n implantées, polarisées en inverse	82
4.5	Simulation du passage d'une particule	83
4.6	Vue en coupe à trois dimensions de la simulation	84
4.7	L'évolution du courant et de la collecte de charge	85

5.1	Création, localisation et comportement d'états piègeurs	99
5.2	Canaux latéraux sous le bec d'oiseau	101
5.3	Jonctions p-n dans une technologie CMOS bulk	103
5.4	Jonctions p-n planaires élargies	104
5.5	Coupe schématique d'une jonction p-n planaire	105
5.6	Courant de génération-recombinaison en inverse	106
5.7	Mémoires statiques durcies	108
5.8	Isolation par blindage	117
5.9	Anneau de garde pour NMOS durci	118
5.10	Layouts durcis	120
5.11	Polarisation du substrat	122
5.12	Durcissement de la marge de bruit d'entrée	123
5.13	Durcissement de la courbe de transfert	124
5.14	Vue en coupe droite d'un thermocouple sur une poutre	128
6.1	Durcissement du transistor NMOS de la technologie AMS CAE par l'utilisation d'un anneau de garde.	138
6.2	Dispositifs disponibles dans le véhicule de test.	140
6.3	Layout du véhicule de test.	141
6.4	Conditions d'irradiation du véhicule de test à Saclay.	142
6.5	Montage pour la mesure des transistors MOS	144
6.6	Montage pour la mesure des FOXFETs	145
6.7	Montage pour la mesure des diodes	145
6.8	Mesures typiques des dispositifs irradiés.	147
6.9	Transconductance KP et tension de seuil V_{th} des transistors	152
6.10	Évolution de $V_{th-nmos}$ et KP_n avec la dose.	153
6.11	Évolution de $V_{th-pmos}$ et KP_p avec la dose.	154
6.12	L'évolution du courant de fuite des diodes	156
6.13	Mécanisme d'élargissement de la région désertée	158
6.14	Transfert des FOXFETs à 200 Krads	159
6.15	Évolution du courant du FOXFET simple avec l'irradiation.	159
7.1	Disposition des barrettes de thermopiles dans un capteur	165
7.2	Bloc de commutation du signal dans un multiplexeur	166
7.3	Architecture de traitement du signal des thermopiles.	169
7.4	Schéma synoptique de l'architecture interne du multiplexeur.	170
7.5	Layout du bloc de commutation	172
7.6	Layout du circuit de commande	173
7.7	Layout du bloc de commutation du signal	174
7.8	Layout du multiplexeur analogique fabriqué en technologie AMS CAE.	175
7.9	Montage pour le test de la fonctionnalité du multiplexeur.	176
7.10	Installations et montage pour l'irradiation des multiplexeurs dans l'irradiateur PAGURE.	177
7.11	Évolution des seuils logiques de commutation V_{IL} et V_{IH} avec l'irradiation.	178
7.12	Évolution de la consommation du multiplexeur avec l'irradiation	179
7.13	Évolution du courant de fuite et de la résistance	180
7.14	Montage pour l'exposition du multiplexeur au ^{252}Cf	181

7.15 Layout de l'amplificateur bas bruit réalisé en technologie AMS CAE. 183

Liste des tableaux

2.1	Relation entre le potentiel à la surface et la concentration de porteurs libres. . .	29
2.2	Paramètres du modèle LEVEL1 du simulateur SPICE.	36
2.3	Modèle électrique du MOS en petits signaux	38
4.1	Constantes d'interaction	77
4.2	Fluences équivalentes	77
4.3	Flux des particules dans l'espace et ses modèles	89
5.1	Les ions disponibles dans l'accélérateur tandem de L'Institut de Physique Nu- cléaire d'Orsay.	112
5.2	Marges de sécurité prises dans le passé pour des véhicules spatiaux.	113
5.3	Sources de rayonnement pour l'analyse du risque de SEE	114
5.4	Quelques filières de fabrication CMOS durcies disponibles aujourd'hui.	118
6.1	Les principales caractéristiques de la technologie AMS CAE	133
6.2	Les principales caractéristiques des dispositifs du véhicule de test	140
6.3	Conditions d'irradiation des véhicules de test.	141
6.4	Conditions de polarisation des dispositifs durant l'irradiation.	142
6.5	Courants de fuite typiques des différents diodes.	156
6.6	Tolérances aux rayonnements pour plusieurs technologies	161
7.1	Conditions d'irradiation des multiplexeurs dans l'irradiateur PAGURE.	177
7.2	Conditions d'exposition du multiplexeur au ^{252}Cf	179

Chapitre 1

Introduction

CETTE THÈSE a été entreprise avec le désir d'apporter un gain de compétitivité significatif dans un domaine historiquement stratégique, l'exploration de l'espace. Ce domaine est à cet instant en pleine effervescence, du fait de la déréglementation des télécommunications au niveau mondial et à l'explosion de l'INTERNET. Le fait que l'objectif du travail exposé soit technique-scientifique n'enlève pas l'intérêt d'une revue rapide des courants historiques dans le marché de systèmes électroniques spatiaux. Cette revue du passé et du présent exposera le contexte et les prémisses de la décision d'investir des ressources considérables dans la voie des microsystèmes pour l'espace basés sur des technologies de produits «grand public».

1.1 Des bombes-A au téléphone portable From A-bombs to portable phones

L'explosion nucléaire américaine Starfish, à haute altitude, et la panne ultérieure du satellite de communications civil Telstar ont montré, en 1962, la vulnérabilité à la radiation de l'électronique spatiale de l'époque. Cet événement a inauguré la recherche et le développement des techniques de durcissement des composants électroniques intégrés modernes[1, p.47]. La plus grande partie de cet effort a été menée pour des applications de défense.

À la fin des années 60, la France fût l'un des premiers pays à entamer des re-

THIS THESIS has been undertaken with the objective of contributing to a competitive advantage in a historically strategic domain, the exploration of space. This domain experiences now a great deal of excitement, because of the global deregulation of telecommunications and the explosion of the Internet. The fact that the work exposed here is technical-scientific does not withdraw the interest of a short review of the historical currents in the market of space electronics. This review of the past and present situation will expose the context and premises behind the decision to invest considerable resources in the development of space microsystems using consumer products technologies.

The high altitude Starfish U.S. nuclear explosion, and the subsequent failure of the Telstar civilian telecommunications satellite starkly demonstrated in 1962 the vulnerability to radiation of the space electronics of the time. This event inaugurated the research and development of radiation hardening techniques for modern electronic components[1, p.47]. This activity has been carried out mostly for the defense sector.

At the end of the 60s, France was one of the first countries to conduct research activ-

cherches dans ce sens, avec les travaux du CEA-DAM/Grenoble[2, p.4]. Les travaux de recherche, en France et à l'étranger, ont débouché sur des filières technologiques spécifiques pour fabriquer des composants durcis. Ainsi des familles de composants ont été développées et commercialisées selon les besoins des programmes militaires.

Depuis ce début et jusqu'à un passé récent le marché d'électronique spatiale civil était subordonné au marché militaire. Cette relation a largement façonnée l'architecture des engins spatiaux commerciaux, sans pour autant représenter un inconvénient majeur. Ces satellites ont ainsi pu être construits à des prix convenables au marché des télécommunications. L'évolution de ce marché, l'explosion de l'industrie des semiconducteurs et le déclin de l'industrie de l'armement ont brisé cet équilibre, qui a néanmoins duré plusieurs décennies.

La disparition et l'obsolescence des filières spécifiques ont créé une situation nouvelle pour le secteur de l'espace. L'adaptation à les nouvelles conditions a d'ailleurs déjà commencé, tant pour le marché militaire que pour le marché civil. Cependant, les stratégies diffèrent selon les besoins et les spécificités de chaque marché. Il est utile d'identifier les points de convergence des deux domaines.

Les besoins militaires et civils **The military and civilian requirements**

Durant plus de 30 ans, le marché militaire a eu un poids suffisant pour que les fabricants des semiconducteurs conçoivent, développent, produisent et commercialisent des composants qui prenaient en compte leurs besoins de tenue aux rayonnements. Pendant cette période, le marché civil était relativement peu important, et s'approvisionnait surtout des produits militaires «bas de gamme» pour ses composants durcis. Ces produits étaient (et le sont encore) conçus pour répondre aux contraintes spécifiques des applications militaires, outre

ities in this area, with the endeavors of the CEA-DAM at Grenoble[2, p.4]. This continued effort has yielded fabrication technologies specially suited to the manufacturing of hardened components, both within France and abroad. In this manner, whole families of components have been developed and commercialized in order to serve the needs of the military programs.

From this early beginning and until the recent past, the civilian space electronics market was a fringe area of the much larger military market. This relationship has shaped the architecture of most commercial spacecrafts, without any apparent ill effects. In this way the satellites could be built at a cost within reach of the telecom market. The evolution of this market, the explosive growth of the semiconductor industry, and the decline of the arms industry have shattered this balance, which had nonetheless lasted for several decades.

The disappearance and the obsolescence of the custom-developed technologies have created a new environment in the space sector. The adaptation to the new situation has already started, both in the military and the civilian side. At the same time, each sector follows a somewhat different strategy, to address their specific needs. It's an useful exercise to identify the common ground of the two fields.

For more than 30 years the military market size was such that the semiconductor companies researched, developed, manufactured and commercialized a wide range of components that were intended to resist radiation. During this period the civilian market was relatively unimportant, and its needs for radiation resistant components were met by the "low-end" range of the military products. These products were (and still are) built to meet some very specific requirements, in addition to radiation hardness.

l'immunité aux rayonnements.

La spécificité du marché militaire se traduit principalement par les points suivants[2, p.30] :

- un besoin de fiabilité, y compris en environnement sévère ;
- un besoin d'achat en très faibles quantités (parfois moins d'un millier de pièces) ;
- un besoin de pérennité (10 ans au moins) ;
- une absence de préoccupations par rapport à un coût élevé.

Ces spécificités étaient respectées par les fabricants de composants de manière habituelle. En général, les fabricants proposaient des produits aux deux marchés. La réduction des budgets de défense, l'explosion du marché civil de l'électronique, et l'augmentation vertigineuse des investissements nécessaires pour industrialiser les nouvelles technologies ont radicalement changé le scénario. Désormais, la totalité de grands fabricants de semi-conducteurs n'investit plus seulement pour satisfaire le marché militaire, estimé à représenter moins de 0,5 % du marché mondiale de semi-conducteurs à la fin de la décennie.

Par contre, la nécessité de composants capables d'opérer sous la contrainte du rayonnement ne cesse de s'accroître, à cause du poids grandissant du marché civil des télécommunications. Les caractéristiques des composants dont les équipementiers civils ont besoin sont aussi en train de changer profondément. Cette évolution est menée par une concurrence sans relâche qui oblige une maîtrise des coûts de production couplée à une innovation continue. On assiste alors à une divergence entre les besoins militaires et civils. Ce qui pilote le progrès technologique aujourd'hui est le secteur civil, notamment le marché des télécommunications.

The specific requirements of the military market can be summarized as follows[2, p.30] :

- High level of reliability, even in aggressive environments.
- Purchasing in very small quantities (maybe less than 1,000).
- Product longevity (10 years at least).
- Lack of concerns with regard to a high unit cost.

These specific requirements were routinely met by the component manufacturers, which generally served both markets. The reduction of the defense budgets, the explosive growth of the electronics civilian market and the vertiginous increase in the capital investment for the industrialization of new semiconductor technologies have radically changed the situation. Nowadays, no large semiconductor companies commits resources to the military business, which is estimated to total less than 0.5% of the world semiconductor market by the end of this decade.

On the other hand, the need for components able to operate under the stress of radiation is even more acute, due to the increasing importance of the civilian telecommunications sector. The type of components that the civilian contractors require are also changing profoundly. This evolution is driven by the relentless competition, that imposes a capping of the production costs, together with a continuous push to provide more advanced products. There appears thus a major split between the needs of the military and the civilian sectors. The technology driver today is the civilian sector, particularly the telecom market.

1.1.1 Le marché civil des télécommunications The civilian telecommunications market

Le secteur spatiale civil a connu une évolution technique et commerciale importante ces dernières décennies. Depuis le lancement du premier satellite de communications INTELSAT 1, en 1965, la capacité de transmission a été multipliée par 500 (soit 120 000 circuits téléphoniques par satellite pour la dernière génération), la masse de l'engin au lancement a été portée de moins de 100 kg à plus de 4 tonnes, alors que la durée de vie en orbite passait de 1,5 à 17 ans[3]. Cependant, l'architecture générale des charges utiles de télécommunications n'a guère changé (reception, translation de fréquence, transmission). En revanche, de nouvelles générations mettront en oeuvre des techniques de traitement beaucoup plus évoluées (commutation de paquets, etc.). Ce changement d'architecture est rendu nécessaire par l'évolution des besoins en mission, qui ont été profondément modifiés par la diversification accélérée des services mobiles de télécommunications, notamment le déploiement des services mobiles personnels avec une couverture globale. Ces nouveaux services s'appuieront pour la plupart sur des constellations de satellites.

Les nouveaux réseaux satellitaires The new satellite networks

Les services de liaisons mobiles sont plus efficacement mis en oeuvre par des constellations de satellites en orbite basse ou intermédiaire. Ce genre de système satellitaire présente l'avantage d'une moindre distance entre le satellite et le terminal mobile, permettant à ce dernier une transmission à puissance réduite. Pour le transport de la voix, un autre avantage est la réduction du retard de propagation. Le satellite peut aussi profiter d'une réduction de taille et de coût (du fait que sa couverture sera moins importante), mais en contrepartie sa durée de vie est limitée du fait du frottement accru avec l'atmosphère. En plus, la mise en oeuvre est très com-

The civilian space sector has undergone a great evolution, both technical and commercial, during the past decades. Since the launch of the first telecommunications satellite, INTELSAT 1, in 1965, the communication capacity has been multiplied by 500 (that is, 120,000 telephone circuits per satellite for the last generation), the mass of the craft at launch has gone from less than 100 kg to more than 4 tons, while the service life in orbit has been lengthened from 1.5 to 17 years. Yet, the general architecture of the telecom payload has remained mostly unchanged (reception, frequency translation, transmission). On the other hand, the newer generations will have a much more sophisticated on-board processing (packet switching, etc.). This technology shift is a consequence of the new mission requirements, which have been profoundly changed by the diversification of the mobile telecommunications market, particularly with the introduction of global personal mobile telecommunication services. These new services will for the most part rely on satellite constellations.

The mobile communication services are more efficiently implemented through low or intermediate orbit satellite constellations. This kind of satellite system has the advantage of a shorter distance between the mobile terminal and the satellite, allowing the former to transmit a lower power signal. Another advantage for voice carrier systems is the diminished propagation delay. The satellite itself can also profit from a reduced size and cost (because of the smaller coverage), but in exchange its service life is reduced by the increased atmospheric drag. Moreover, the overall implementation is very complicated, once that the satellites must relay each other

plexe, puisque les satellites doivent se relayer afin d'assurer la continuité de communication avec le terminal au sol. Chaque satellite aura une visibilité limitée, allant des alentours de 1 heure pour les orbites intermédiaires à seulement 5 minutes pour les orbites basses.

Toutefois, l'avantage d'un terminal mobile moins coûteux et avec une durée d'utilisation sur batterie plus longue peut s'avérer décisif pour la conquête d'une tranche d'un marché fortement concurrencé. La plupart des nouveaux systèmes satellitaires planifiés sont donc des constellations. Ces constellations seront composées de 10 (système INMARSAT-P) jusqu'à 288 (système Teledesic, de Microsoft Corporation) satellites. Il faudra changer radicalement la manière dont les satellites sont fabriqués, pour passer de la construction actuelle presque artisanale à une production de masse en série, puisque le coût par engin doit chuter énormément. Ce changement est déjà amorcé en quelque sorte, et on peut donner comme exemple l'usine qui Alenia Spazio a construit spécifiquement pour le montage des satellites du système GLOBALSTAR (48 satellites sur une orbite à 1 400 km, plus 8 satellites en réserve). Le consortium responsable de la construction de ce système a d'ailleurs basculé totalement dans un mode de production en série, afin de pouvoir fournir des satellites à un coût réduit. C'est-à-dire, de l'ordre de 90 millions de francs par satellite, livré sur la plateforme de tir[4].

Les futures générations de satellites auront les avantages suivants :

- une capacité de transmission élevée ;
- une flexibilité d'allocation de ressources (voix, données) ;
- une couverture reconfigurable ;
- une masse au lancement réduite ;
- une autonomie de gestion à bord.

Pour atteindre ces buts, leur architecture

in order to ensure a continuous link to the ground terminal. Each satellite will have a limited visibility, going from around 1 hour for the intermediate orbits to only 5 minutes for the low orbits.

However, the advantage of a lower cost mobile terminal, with a longer battery life, may prove itself decisive in the battle for a share of a highly competitive market. Therefore, most of the planned satellite systems are constellations. These constellations will have from 10 (INMARSAT-P) up to 288 satellites (Teledesic, of Microsoft Corp.). It'll be necessary to change radically the way the satellites are made, to go from the nearly hand-made work done nowadays to a mass produced product, since the unit cost must fall precipitously. This change is coming about already, and one can give as example the factory that Alenia Spazio has put together specifically for the assembly of the GLOBALSTAR satellites (48 satellites on a 1,400 km orbit, plus 8 reserve satellites). The consortium in charge of the system has in fact switched completely to a series production line, in order to be able to supply satellites at lower cost. That is, on the order of 90 million francs per satellite, delivered at the launch pad[4].

The future generations of satellites will have the following advantages :

- high transmission capacity,
- flexible resource allocation (data, voice),
- reconfigurable coverage,
- small mass at launch,
- autonomous on-board processing.

To achieve these objectives, their architec-

diffère de façon importante de l'architecture courante en trois points principaux :

- le traitement numérique du signal ;
- la commutation à bord ;
- les plateformes à faible masse et faible dissipation, capables de gérer de façon autonome le contrôle d'attitude et d'orbite.

À l'heure actuelle, les algorithmes de calcul associés au traitement numérique et à la commutation à bord sont bien maîtrisés. La difficulté pour la mise en oeuvre se trouve dans le manque d'ASICs ayant une grande densité d'intégration et capables de résister à des doses importantes de radiation. Ce problème fait l'objet d'un grand nombre de travaux, portant notamment sur le portage de dessins d'ASICs commerciaux à des filières technologiques durcies, ou sur la qualification d'ASICs standard disponibles sur le marché pour l'utilisation dans l'espace[5]. Cette dernière approche est connue, dans sa forme la plus générale, comme l'utilisation de produits COTS (produits disponibles commercialement dans les rayons). L'approche COTS semble être l'unique solution pour la fabrication de nouvelles générations de satellites.

Pour les plateformes, il s'agit d'employer de nouveaux processeurs de bord plus performants, et de réduire l'encombrement (taille et masse) des instruments. Pour aboutir à cette réduction, il faut faire appel à de nouvelles technologies. La technologie émergente la plus prometteuse est celle des microsystèmes intégrés.

1.1.2 Les microsystèmes intégrés Integrated microsystems

Le domaine des microsystèmes intégrés a connu un grand essor depuis le début des années 90. La miniaturisation des capteurs et des actionneurs a toujours été l'objet des recherches, mais c'est à la fin des années 80 que le concept des microsystèmes a pris sa forme

diffère profondément de la courante, en trois points principaux :

- digital signal processing,
- on-board routing,
- low-mass, low-power platforms (bus), capables of autonomous control of attitude and orbit.

At this moment, the computer algorithms for the digital signal processing and the on-board routing are well developed. The stumbling block for the actual use is the lack of high integration ASICs able to resist to a significant dose of radiation. This difficulty has been the subject of much work, mostly geared to the porting of commercial ASIC designs to hardened processes, or to the qualification of standard ASICs available in the market for space use[5]. This last approach is known generally as the use of COTS (commercial off-the-shelf) products. The COTS approach appears to be the only solution for the deployment of the new generations of satellites.

For the platforms, it's a question of using new, more advanced processors, and of reducing the volume (size and mass) of the instruments. To succeed in this endeavor, one must take advantage of new technologies. The most promising emerging technology are the integrated microsystems.

The integrated microsystems domain has known a great deal of development since the beginning of the 90's. The miniaturization of sensors and actuators has always been a subject of research, but it was at the end of the 80's that the concept of microsystems took its

actuelle.

Ceci est dû à plusieurs facteurs, dont on peut citer :

- l'intérêt scientifique de nouvelles possibilités ;
- la maturité des technologies de fabrication micro-électronique ;
- l'engagement immédiat de l'industrie, attirée par la perspective de réduction de coûts.

De nos jours, une vaste gamme de micro-systèmes a été développée, et plusieurs millions de pièces ont déjà été commercialisées.

Un micro-système peut être défini au sens large comme un système fabriqué collectivement, intégrant les fonctions ; capteur, traitement du signal, actionneur, alimentation.

L'ensemble des fonctions ou bien juste une partie peut être implanté. Les micro-systèmes sont capables d'accompagner l'évolution de leur environnement et de réagir par rapport à cela. Les micro-systèmes les plus répandus aujourd'hui sont ceux basés sur les micro-technologies du silicium. Cela est dû à la maîtrise de la fabrication à très large échelle des composants semi-conducteurs en silicium, où les dispositifs sont de plus en plus complexes et d'une taille individuelle de plus en plus réduite. L'emploi de ces technologies industrielles est un puissant levier à l'introduction des micro-systèmes en silicium sur le marché.

Application de micro-systèmes pour l'espace **Microsystems applications in space**

Parmi les nombreux micro-systèmes déjà disponibles sur le marché, plusieurs pourraient trouver des applications dans l'espace. Cette possibilité fait l'objet d'études approfondies depuis le début des années 90. Plus récemment la NASA, à travers du JPL (*Jet Propulsion Laboratory*, en Californie), s'est lancée sur un ambitieux programme de développement de missions interplanétaires, axé sur les micro-systèmes. Les responsables de ce programme,

present form.

There are several reasons for this, some of which are :

- The scientific interest of the new possible approaches,
- the maturity of microelectronics manufacturing technologies,
- the early industry involvement, attracted by the possible cost reductions.

To this day, a wide range of microsystems has been developed, and several millions of units have been already sold.

A microsystem can be defined, in a general way, as a collectively fabricated system, comprising the functions ; sensor, signal conditioning, actuator and power supply.

Every function, or just a subset, is present on a given implementation. The microsystems are capable of sensing their environment, and to react to changes. The most common variety of microsystem is the silicon technology one. This is a consequence of the mastering of the manufacturing technology for the production in very large scale of silicon semiconductor components, where the devices are ever more complex with an ever smaller individual size. The use of these industrial processes is a powerful leverage for the marketing of silicon microsystems.

Among the many microsystems already available on the market, several could find use in space. This possibility has been vigorously researched since the beginning of the 90's. More recently, NASA, through the Jet Propulsion Lab (JPL, in California), has started an ambitious interplanetary missions development program, based around microsystems. The managers of this program, called Millennium Project, forecast a range of commercial

nommé *Millenium Project*, prévoient d'importantes retombées commerciales. À l'instar de la NASA, l'Agence Spatiale Européenne (ESA) a défini les microsystèmes comme un des 13 axes technologiques majeurs de son programme de recherche et développement pour la période 1997–1999[6].

Des études ont constaté que dans un satellite, tel qu'il est conçu aujourd'hui, l'endroit où les microsystèmes pourraient contribuer à un gain décisif par rapport aux solutions actuelles est dans le sous-système de contrôle d'attitude et d'orientation (SCAO).

L'utilisation des microsystèmes peut apporter des gains substantiels par rapport à la masse et à la dissipation. Ceci sera cruciale pour les satellites qui en sont sévèrement contraints, à cause principalement des coûts de lancement. C'est le cas des satellites faisant partie des constellations. La fabrication de ces microsystèmes dans une production en série n'est envisageable dans le futur proche que sur des filières en silicium. On ne peut pas espérer que ces filières soient développées tenant en compte les besoins spécifiques de l'environnement spatial, dont la radiation. Il faut alors déterminer le degré de compatibilité des circuits et des microsystèmes avec ces contraintes, et étudier des techniques d'amélioration. C'est dans ce scénario que s'inscrit le travail de recherche ci-décrié.

spin-offs. In the footsteps of NASA, the European Space Agency (ESA) has defined microsystèmes as one of the 13 major technology axes of its research and development program for the period 1997–1999[6].

It's generally accepted that, in a satellite, as it's conceived today, the place where microsystèmes could contribute a decisive advantage with respect to current solutions is the Attitude and Orientation Control System (AOCS).

The use of microsystèmes can yield substantial gains in terms of mass and power consumption. This will be a crucial point for the satellites that are severely constrained in this regard, particularly because of launch costs. The industrial manufacturing of microsystèmes cannot be done in the near future using other than silicon processes. One can't expect that the development of these processes will take in consideration the specific requirements of the space environment, such as radiation. One must then determine the degree of compatibility of circuits and microsystèmes with these constraints, and to find ways to improve it. This is the research framework of this thesis.

1.2 Objectif et organisation de l'étude Purpose and organization of the thesis

L'objectif de cette étude est de démontrer la faisabilité d'utilisation d'une filière technologique $1,2\ \mu\text{m}$ CMOS bulk standard, compatible avec des microsystèmes usinés, pour des applications spatiales. Plusieurs techniques de projet pouvant augmenter la tolérance des structures aux rayonnements sont passées en revue. Leur efficacité est examinée de façon expérimentale, dans le cadre du développement d'un imageur intégré sensible dans la bande infra-rouge, pour un nouveau type de viseur de Terre statique conçu spécifiquement

The purpose of this thesis is to demonstrate the feasibility of the use of a standard $1,2\ \mu\text{m}$ CMOS bulk technology, compatible with micromachined microsystèmes, for space applications. Several design techniques capable of increasing the tolerance of the structures to radiation are reviewed. Their effectiveness are assessed experimentally, within the framework of the development of an integrated infra-red imaging device, for a new type of static Earth sensor customized for small satellites. The accomplishment of this

pour de petits satellites. L'accomplissement de cette tâche nécessite le développement d'une compétence multi-disciplinaire, englobant; la physique des semiconducteurs, la physique des particules, la modélisation et la simulation de dispositifs intégrés, la fabrication des circuits intégrés, la fabrication des microsystèmes micro-usinés et la conception de circuits analogiques de hautes performances. Les diverses connaissances requises sont décrites de manière condensée dans ce rapport.

L'étude commence par une description des principes de fonctionnement des dispositifs électroniques intégrés (chapitre 2), suivie par une revue des procédés industrielles pour la fabrication de circuits intégrés (chapitre 3). Cette étude est étendue au dernier développement de la micro-électronique; les microsystèmes intégrés, notamment les microsystèmes qui sont compatibles avec les procédés de fabrication de circuits intégrés «grand public».

L'exposition de circuits intégrés à la radiation entraîne des altérations de fonctionnement. Ces altérations sont fonction du type de radiation et des matériaux qui composent les circuits intégrés. La première démarche dans la recherche de moyens d'assurer le fonctionnement des circuits est donc de comprendre les fondements des mécanismes d'interaction de la radiation avec la matière. Les différents types d'interaction qui peuvent avoir lieu dans les circuits intégrés en silicium sont décrits dans le chapitre 4. Cette description est ciblée sur les phénomènes ayant lieu sur les circuits en technologie CMOS transitant dans l'espace proche de la Terre. Les caractéristiques majeures du rayonnement auquel sont exposés la plupart des satellites civils sont répertoriées.

Les effets de cette exposition sur les circuits intégrés embarqués dépendent de leur construction et de leur mode d'opération (analogiques, numériques, etc.). Les dégradations induites dans les dispositifs électriques disponibles dans une technologie CMOS sont décrites dans le chapitre 5. L'évaluation du niveau de détérioration du comportement électrique est impérative. Cette évaluation peut

task requires a multi-disciplinary study, encompassing; semiconductor physics, particle physics, modeling and simulation of integrated devices, integrated circuits fabrication, micromachined microsystems fabrication, and design of high-performance analog circuits. In this thesis, the wide know-how needed is discussed in a compact fashion.

The study starts with a description of the working principles of integrated electronic devices (chapter 2), followed by a review of the industrial processes for the manufacturing of integrated circuits (chapter 3). The study is extended to the latest development in microelectronics: the integrated microsystems, in particular the microsystems which are compatible with the manufacturing technology of "consumer electronics" integrated circuits.

The exposure of integrated circuits to radiation causes functional degradations. These degradations are a function of the type of the radiation and the materials that constitute the integrated circuit. The first step in the search for ways to ensure continued circuit functionality is then to understand the fundamentals of the interactions between radiation and matter. The different kinds of interactions that can take place in silicon integrated circuits are detailed in chapter 4. This description is focused on the phenomena that take place in CMOS technology integrated circuits transiting in near-Earth space. The major features of the radiation to which most civilian satellites are exposed are listed.

The effects of this exposure in the on-board integrated circuits depend on their construction and type (analog, digital, etc.). The damages induced in the electronic devices available in a CMOS technology are discussed in chapter 5. The investigation of the worsening of the electrical behavior is paramount. This investigation can be carried out through theoretical studies, as well as experimentally.

être menée au niveau théorique, ainsi que par une caractérisation expérimentale. Les méthodes expérimentales d'évaluation sont étudiées, ainsi que les divers moyens d'assurer la fonctionnalité du système (son durcissement aux rayonnements). Ces techniques de durcissement imposent des sur-coûts divers, et pénalisent la capacité de traitement du système électronique. Les compromis sont relevés au cas par cas. La toute nouvelle question du durcissement des microsystèmes est soulevée, avec une discussion approfondie du cas des thermopiles en silicium.

Les éléments étudiés sont rassemblés dans le chapitre 6. Tout d'abord, la faisabilité d'utilisation de la technologie AMS CAE (1,2 μm CMOS bulk) dans l'espace fait l'objet d'une analyse théorique. Pour déterminer avec précision la sensibilité de la technologie choisie un programme de caractérisation a été mis en place, avec la réalisation de structures de test spécifiques. La méthodologie suivie lors des essais a été proche des recommandations de l'Agence Spatiale Européenne[7]. La mise en oeuvre et les résultats obtenus sont rapportés, et les conclusions pour la réalisation de l'électronique de lecture sont données à la fin du chapitre 6.

Les connaissances amassées et les renseignements tirés des essais sont appliqués dans le développement d'un microsystème pour une application spatiale (systèmes de contrôle d'orbite et d'attitude). Ce microsystème est un capteur de rayonnements infrarouges basé sur des barrettes de thermopiles en silicium, avec de l'électronique de traitement intégrée. Les enjeux de la conception et de la fabrication du premier élément de la chaîne de traitement du signal sont décrits dans le chapitre 7. Les résultats des essais effectués pour la qualification du composant pour l'espace sont également rapportés. Le chapitre est terminé avec une courte description de l'élément suivant de la chaîne, l'amplificateur bas bruit.

Ce rapport de thèse est clos par une synthèse générale, où les thèmes abordés dans chaque chapitre sont revisités. Enfin, les pers-

The experimental methods are studied, and also the various means to ensure the continued functioning of the system (radiation hardening techniques). These hardening techniques have a significant cost, and reduce the processing power of the electronic system. The trade-offs in each case are noted. The brand new question of microsystems hardening is brought up, with a detailed analysis of the case of silicon thermopiles.

All elements fall in place together in chapter 6. First, the feasibility of using the AMS CAE technology in space is analyzed from a theoretical point of view. To find out precisely the susceptibility of the technology chosen, a characterization program was conducted, with the fabrication of custom test structures. The methodology employed during the tests followed closely the guidelines issued by the European Space Agency[7]. The test set-up, and the results obtained are reported, and the guidelines for the implementation of the read-out electronics are given at the end of chapter 6.

The know-how garnered and the information extracted from the experiments are then applied in the development of a microsystem for space applications (attitude and orbit control systems). This microsystem is an infrared sensor, based on a linear array of silicon thermopiles, with integrated electronics. The issues involved in the design and fabrication of the first element of the signal read-out chain are discussed in chapter 7. The results of the tests carried out to qualify the component for space are also reported. The chapter is finished with a short description of the next element in the chain, the low-noise amplifier.

This thesis is wrapped up by a global synthesis, where the themes discussed in each chapter are revisited. Finally, the outlook for

pectives pour la suite des travaux dans le sens du durcissement de technologies COTS sont discutées.

the continuation of the research in the field of radiation hardening of COTS technologies is discussed.

Première partie

Principes
Fundamentals

Chapitre 2

Les dispositifs semiconducteurs

Semiconductor devices

2.1 Introduction

Les systèmes électroniques modernes sont basés presque exclusivement sur des circuits intégrés semiconducteurs, fabriqués dans la plupart des cas en silicium. Cette préférence s'explique par l'ensemble d'avantages qu'il possède pour la réalisation de dispositifs électroniques à l'échelle industrielle. Cependant, leurs propriétés de fonctionnement sont altérées par la radiation. Il est donc nécessaire d'étudier les principes physiques de ces dispositifs pour comprendre la nature des dégâts engendrés et rechercher des moyens pour les atténuer.

Les fondements abrégés physiques des dispositifs semiconducteurs sont décrits dans ce chapitre. L'accent est mis sur les dispositifs spécifiques aux technologies planaires, notamment ceux qui présentent une sensibilité importante aux rayonnements ionisants. La revue des concepts de base de la physique des semiconducteurs est suivie d'une description qualitative du comportement électrique (macroscopique) de chaque dispositif. Les caractéristiques électriques sont expliquées par rapport aux phénomènes à l'échelle atomique. Un traitement exhaustif du sujet peut être trouvé dans plusieurs ouvrages [8, 9].

La description des phénomènes physiques est relayée par une introduction à la modélisation électrique du transistor MOS. Bien que cette modélisation soit appuyée sur des considérations physiques, les besoins spécifiques à la résolution des équations de circuit donnent aux modèles une autre nature. La compréhension des hypothèses intégrées dans ces modèles électriques est fondamentale pour l'introduction des effets du rayonnement. Deux modèles électriques sont étudiés, les modèles de Schichman-Hodges et le modèle de Meyer. Les paramètres utilisés par ces modèles sont suffisants pour la modélisation des effets de la radiation ionisante.

Finalement, une introduction à la modélisation électrique du bruit des dispositifs semiconducteurs est faite. Cette introduction est motivée par l'importance du bruit pour les micro-systèmes, notamment les circuits de lecture. Le bruit est un facteur qui impose souvent la limite d'opération des circuits électroniques analogiques. Les modèles de bruit mis en oeuvre par des simulateurs électriques ne sont pas toujours correctes. En outre, quelques formes de bruit s'accroissent de façon significative avec l'exposition au rayonnement.

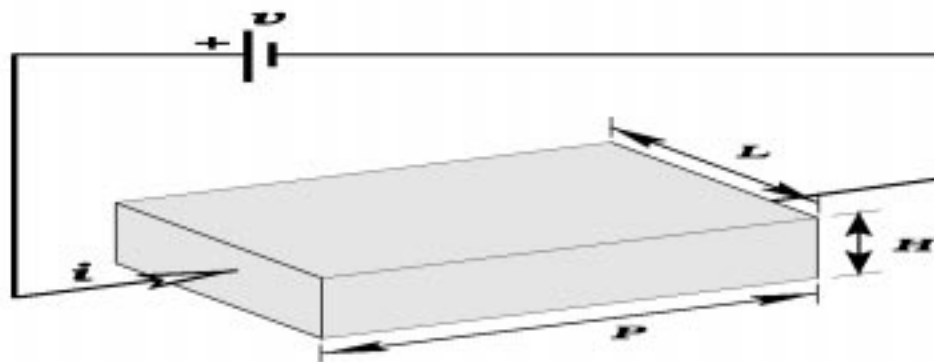


FIG. 2.1 – La résistivité ρ est égale à $\frac{U}{I} \frac{l \times b}{h}$

2.2 La conductivité

Les caractéristiques électriques des matériaux sont très variées. Il est convenable de les classer par rapport à leur résistance électrique. Pour exprimer la résistance de façon générale, il est utile de définir la résistivité ρ d'un corps, comme montré dans la figure 2.1. La résistivité des solides varie énormément selon le matériau, et en général ne dépend que de la composition du matériau et de la température. La résistivité d'un matériau trouve son origine dans sa structure atomique. Les matériaux ayant une faible résistivité (comme les métaux) sont classés comme des conducteurs, et ceux qui ont une forte résistivité (comme le caoutchouc) sont classés comme des isolants. Néanmoins, ils existent des matériaux dont la résistivité est intermédiaire, et elle peut être amenée à changer de forme drastique entre celle des conducteurs et celle des isolants. Ces matériaux sont appelés les semiconducteurs. Le semiconducteur qui a le plus grand intérêt économique aujourd'hui est le silicium monocristallin. Le comportement électrique du silicium est habituellement exprimé en termes des phénomènes dans les bandes d'énergie.

2.2.1 Les bandes d'énergie

Un atome seul dans l'espace retient ses électrons par le champ électrique coulombien qui est exercé par son noyau. L'électron possède une énergie cinétique et une énergie potentielle, et leur combinaison constitue le niveau d'énergie de l'électron. Un électron soumis au champ du noyau ne peut posséder que des niveaux discrets d'énergie, au-dessous d'un niveau de référence. Ces niveaux discrets (appelés d'états quantiques stationnaires, dans le modèle de l'atome proposé par Bohr) sont les seuls niveaux d'énergie admis pour l'électron sur orbite. L'ensemble des niveaux d'énergie non-admis forment les bandes d'énergies interdites.

Les niveaux d'énergie sont considérés comme négatifs, à partir du niveau d'énergie de l'électron sur l'orbite la plus proche du noyau. L'énergie augmente vers zéro, selon l'éloignement de l'orbite. C'est-à-dire que les électrons possèdent de plus en plus d'énergie, et la différence entre leur niveau d'énergie et zéro représente l'énergie qu'il faut apporter pour libérer l'électron de l'emprise de l'atome.

À très basses températures les électrons remplissent les niveaux d'énergie permis, commençant par les niveaux de plus basses énergies. Le principe d'exclusion de Pauli impose une limite de deux électrons (ayant des moments cinétiques intrinsèques¹ opposés) par niveau.

1. spin

Dans un cristal pur, les atomes sont tous identiques et se trouvent assemblés dans une structure régulière. L'interaction entre les champs des noyaux et la contrainte du principe d'exclusion de Pauli entraînent une distorsion des niveaux d'énergie de chaque atome, et le cristal développe des bandes d'énergie admises, s'étendant sur tout le matériau. Chaque bande est bornée par des limites inférieures et supérieures d'énergie, et peut être séparée d'autres bandes par des bandes d'énergie interdites. Il peut avoir aussi des superpositions de bandes d'énergie admises, à l'interface des matériaux. La structure exacte de ces bandes, l'existence et la magnitude des bandes interdites déterminent les propriétés électriques macroscopiques du solide.

Chaque bande d'énergie est composée d'un certain nombre de niveaux discrets d'énergie. Si tous les niveaux sont occupés par deux électrons (de spins distincts) la bande est complète. La bande complète la plus éloignée du noyau, au zéro absolu, est la bande de valence. La bande immédiatement après est la bande de conduction.

Dans un semiconducteur la bande de valence est séparée de la bande de conduction par un écart d'énergie peu important, et un certain nombre d'électrons peuvent acquérir suffisamment d'énergie pour passer dans la bande de conduction, où ils sont libres de se déplacer dans le solide sous l'influence d'un champ électrique externe. Chaque électron qui quitte ainsi la bande de valence laisse derrière lui un état (niveau) d'énergie vacant. L'ensemble de ces états peut être occupé par d'autres électrons de la bande de valence, se déplaçant sous l'influence du champ électrique externe. Il est plus simple de concevoir alors qu'il existe un déplacement de trous d'énergie dans la bande. Conceptuellement, pour chaque électron qui franchit la bande interdite et arrive dans la bande de conduction, il y a un trou qui «chute» dans la bande de valence. Ces électrons et trous sont libres de se déplacer dans le solide, constituant ainsi un courant.

Parfois il est plus utile de visualiser la production d'électrons et trous libres en termes de brisures de liaisons covalentes entre les atomes. Dans un semiconducteur cristallin pur, les atomes sont disposés de façon périodique, et forment un motif de base qui est répliqué à travers le solide, dans toutes les directions. Les atomes sont reliés entre eux par des liaisons électriques homopolaires (covalentes), chacune composée d'une paire d'électrons de la couche orbitale de valence (un de chaque atome). Au zéro absolu tous les électrons sont fermement tenus par ces liaisons, et aucun peut se déplacer sous l'influence d'un champ électrique externe. À des températures plus élevées la vibration des atomes est capable de rompre quelques liaisons, et les électrons deviennent libres pour se déplacer, engendrant un courant d'électrons. L'électron libre laisse une liaison incomplète, et un autre électron voisin peut y être rattrapé. Le déplacement de la liaison incomplète peut être interprété comme un courant de trous.

Les bandes de valence et conduction sont montrés schématiquement dans la figure 2.2. L'écart entre les bandes détermine la conductivité du matériau. Les isolants ont généralement un écart supérieur à 5 eV (≈ 9 eV pour le SiO_2). Les semiconducteurs ont des formes de bandes d'énergie semblables, mais la largeur de leur bande interdite est moins importante ($\approx 1,1$ eV pour le Si). À température ambiante, un nombre non-négligeable d'électrons du semiconducteur absorbent assez d'énergie de la maille cristalline pour franchir la bande interdite (dans le cas du silicium la transition est indirecte, et passe par un centre de génération-recombinaison). La distribution des niveaux d'énergie occupés par des électrons obéit à la fonction de Fermi-Dirac :

$$f(E)dE = \frac{dE}{1 + e^{\frac{E - E_f}{kT}}} \quad (2.1)$$

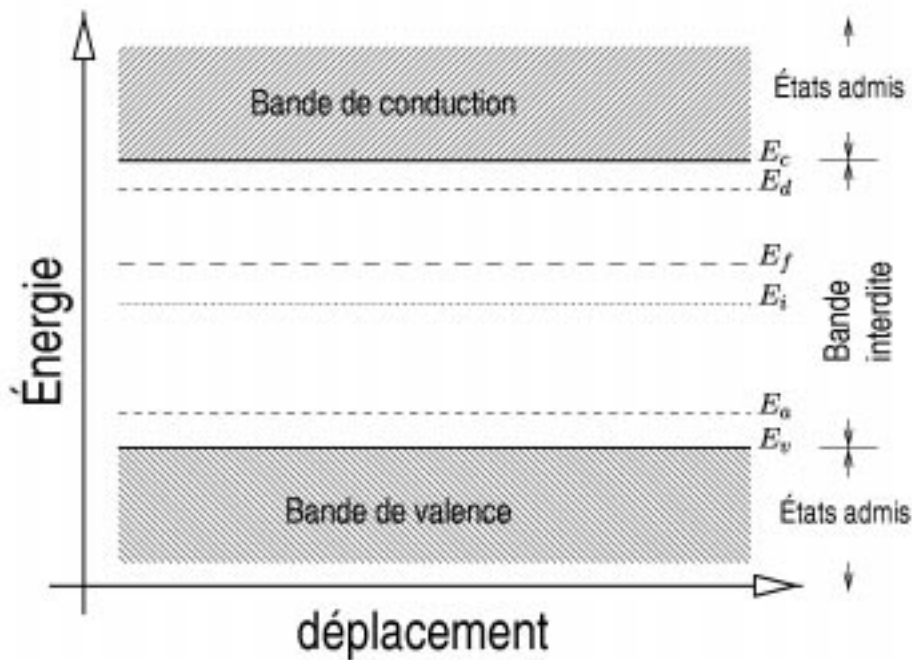


FIG. 2.2 – Diagramme bi-dimensionnel des bandes d'énergie, montrant le niveau énergétique de Fermi (E_f), le niveau de Fermi intrinsèque (E_i), la limite supérieure de la bande de valence (E_v) et la limite inférieure de la bande de conduction (E_c). Le diagramme montre aussi l'emplacement des niveaux énergétiques accepteurs (E_a) et donneurs (E_d).

La fonction $f(E)dE$ donne la probabilité d'occupation de la bande d'énergie de largeur infinitésimale dE par un électron, à la température T (en Kelvins). Le terme k représente la constante de Boltzmann ($\approx 1,380 \times 10^{-23}$ J/K). Le terme E_f est le niveau (ou potentiel) de Fermi. Au zéro absolu, tous les électrons se trouvent à des niveaux inférieurs au niveau de Fermi. Au-dessus du zéro absolu, la moitié des électrons occupent des niveaux d'énergie inférieurs à E_f . Ce niveau se déplace, en fonction de la distribution des états d'énergie disponibles. Sur le Si pur (intrinsèque), E_f se trouve presque exactement au centre de la bande interdite :

$$E_f \simeq \frac{E_c + E_v}{2}$$

2.2.2 Le dopage

La structure et l'occupation des bandes d'énergie du cristal semiconducteur peuvent être modifiées de façon contrôlée par l'introduction d'atomes d'autres éléments (impuretés). Cette possibilité est fort importante, vue que dans le semiconducteur intrinsèque la population d'électrons dans la bande de conduction est insuffisante pour établir un courant conséquent. Ces électrons ont acquis assez d'énergie pour s'affranchir de la bande interdite, laissant derrière eux des trous. Leur nombre augmente avec la température, et la densité n_0 d'électrons est égale à celle de trous p_0 . Leur produit est une constante, qui dépend seulement de la température :

$$n_i^2 = n_0 \cdot p_0 \quad (2.2)$$

Le terme n_i est nommé la densité intrinsèque de porteurs. La relation 2.2 est toujours applicable, même pour les semiconducteurs dopés, pourvu qu'ils soient en équilibre thermique. La

densité de porteurs n_i dans le silicium pur est donnée par la formule[10, p.104] :

$$n_i = 2,23 \times 10^{19} \left(\frac{T}{300} \right)^{\frac{3}{2}} e^{\frac{-0,55}{kT}} \quad (2.3)$$

À la température de 300K, n_i a une valeur d'environ $1,4 \times 10^{10}$ porteurs/cm³. Cette densité est trop faible pour être utile. D'ailleurs, l'intérêt des semiconducteurs réside dans les phénomènes physiques produits à l'interface entre deux matériaux ayant des densités de porteurs distinctes. La densité de porteurs peut varier énormément par l'introduction d'atomes d'autres éléments. Cette opération s'appelle le dopage du silicium. En effet, un petit pourcentage d'atomes du cristal sont remplacés par des atomes ayant plus ou moins d'électrons de valence que l'atome de silicium (4 électrons de valence).

Un élément avec 5 électrons de valence (le phosphore, par exemple) forme 4 liaisons covalentes avec les atomes de silicium autour de lui, chacune attrapant un électron. Le cinquième électron n'est attaché à l'atome que par le champ électrique du noyau. L'énergie nécessaire pour rompre cette liaison ($\approx 0,05$ eV) est peu importante, et à température ambiante (énergie moyenne $\approx 0,026$ eV) la plupart d'entre eux se détachent et deviennent libres. L'atome est appelé donneur, car il a fourni un électron libre.

Il est possible d'expliquer ce processus autrement, faisant appel au modèle de bandes d'énergie. Dans cette interprétation l'atome donneur perturbe les bandes d'énergie par l'introduction d'un état énergétique intermédiaire discret dans la bande interdite du réseau cristallin. Ce nouveau niveau se trouve juste au-dessous ($\approx -0,05$ eV) de la bande de conduction, et il est occupé par un électron. Dans cette condition (occupé), ce niveau est électriquement neutre, et il aura une charge positive quand vide. L'agitation thermique confère à l'électron qui y demeure assez d'énergie pour passer à la bande de conduction au-dessus. L'état d'énergie introduit s'appelle un état donneur. La densité d'états donneurs est représentée par N_d .

L'introduction d'atomes d'un élément de la colonne V de la table atomique des éléments (tableau de Mendeliev) a donc augmenté la densité d'électrons libres. De façon similaire, l'introduction d'atomes d'un élément de la colonne III permet d'augmenter la densité de trous dans la bande de valence. Un élément avec 3 électrons dans la bande de valence (le bore, ou l'aluminium, par exemple) forme 3 liaisons covalentes avec les atomes de silicium autour, et une liaison restera incomplète. Cette liaison incomplète attrapera facilement un électron voisin, rompant ainsi une autre liaison. Le déplacement de cette liaison incomplète équivaut à un courant de trous. L'état énergétique introduit dans la bande interdite se trouve juste au-dessus de la bande de valence, et il est nommé d'état accepteur. La densité d'états accepteurs est représentée par N_a . Un état accepteur est neutre quand il est vide, et chargé négativement quand il est occupé par un électron.

Le dopage produit des porteurs pouvant participer à un courant électrique dans le cristal. Si le phénomène de conduction est dominé par ces porteurs le semiconducteur est dit extrinsèque.

D'autres phénomènes (défauts de la maille du cristal, radiation, etc.) peuvent créer des états d'énergie accepteurs ou donneurs dans la bande interdite. Lors que ces états se situent assez loin des limites de la bande de valence et de conduction ils sont nommés piègeurs de charge (ou états profonds — *deep states*), parce que il est difficile de modifier leur occupation.

Le dopage entraîne un déplacement du niveau de Fermi du matériau, de façon à garder la neutralité de charge. Le silicium dopé avec une prépondérance de donneurs devient du type n, et dans le cas contraire (majorité d'accepteurs), du type p. Le niveau de Fermi du silicium dopé n'est plus au centre de la bande interdite. Ce niveau de référence, appelé niveau de Fermi

intrinsèque, est représenté par E_i et donné par :

$$E_i = \frac{E_v + E_c}{2} \quad (2.4)$$

Pour le silicium du type p E_f est placé au-dessous de E_i , et pour le silicium du type n E_f est placé au-dessus de E_i . La relation entre la concentration de porteurs majoritaires et E_f est donnée par les équations[10, p.87] ci-dessous :

$$n = n_i e^{\frac{E_f - E_i}{kT}} \quad (2.5)$$

$$p = n_i e^{\frac{E_i - E_f}{kT}} \quad (2.6)$$

Si le dopage du silicium est très élevé E_f se déplacera au-delà de la bande interdite, et le semiconducteur sera dit dégénéré. Son comportement électrique sera proche du métal, et les formules données ici ne seront plus applicables.

L'introduction de porteurs libres dans le semiconducteur modifie la résistivité. Une explication physique précise du phénomène de la conduction électrique (représenté au niveau macroscopique par la loi d'Ohm - $V=IR$), est très complexe, et dépasse le propos de ce travail. Néanmoins, quelques éléments de base doivent être retenus pour une meilleure compréhension des altérations induites par la radiation.

Le comportement des porteurs dans le silicium dopé peut être largement comparé au comportement des particules libres dans un réseau cristallin, suivant un modèle mécanique classique (non-quantique). L'influence du réseau est pris en compte par l'introduction d'une masse effective² m^* pour l'électron de conduction, différente de la masse d'un électron en repos (m_0). Les électrons dans le cristal sont en agitation, et leur vitesse carrée moyenne v_{th} est donnée par[8, p.21] :

$$v_{th} = \sqrt{\frac{3kT}{m^*}} \quad (2.7)$$

Lorsque les particules chargées (électrons ou trous) sont soumises à un champ électrique faible ou modéré elles se déplacent avec une vitesse de dérive constante. La mobilité μ est définie comme le rapport de la vitesse par le champ électrique. Plusieurs facteurs interfèrent sur la mobilité des porteurs, des études approfondies peuvent être trouvées dans la littérature[11]. Le facteur le plus important dans la pratique est l'éparpillement³ subit par les porteurs à cause des interactions avec la maille cristalline. On trouvera aussi des interactions entre des porteurs de types différents. La conductivité d'un semiconducteur est donnée par[8, p.23] :

$$\sigma = q\mu_n n_0 + q\mu_p p_0 \quad (2.8)$$

où q représente la charge de l'électron ($\approx 1,602 \times 10^{-19}$ Coulombs). Si le semiconducteur est dopé, l'équation 2.8 peut être substituée par :

$$\sigma = \begin{cases} q\mu_p p & (\text{type p}) \\ q\mu_n n & (\text{type n}) \end{cases} \quad (2.9)$$

où n et p représentent les concentrations des porteurs majoritaires.

2. pour le Si, $m^* = 0,26m_0$

3. scattering

Les porteurs se déplacent aussi par diffusion. Dans ce processus un courant s'établit des régions avec une haute densité de porteurs vers des régions de plus faible densité. Le paramètre de mesure de ce transfert est la constante de diffusion, usuellement représentée par D . Si le semiconducteur n'est pas dégénéré alors D est liée à la mobilité par la relation d'Einstein[8, p.30]:

$$D = \frac{kT}{q} \mu \quad (2.10)$$

Dans un semiconducteur soumis à un champ électrique, le courant sera une superposition de courant de dérive et de courant de diffusion.

2.3 La jonction p-n

Le dopage du silicium permet d'améliorer sa conductivité. Toutefois, l'intérêt principal de cette opération se trouve plutôt dans les propriétés particulières existants sur l'interface des deux types de silicium dopé. Cette interface est connue sous le nom de jonction p-n.

Quand deux matériaux en équilibre thermique sont mis en contact il y a une égalisation de leur niveau de Fermi, par le transfert instantané de charge. Le matériau avec le E_f plus élevé cède des électrons à l'autre. Dans le cas du silicium, des électrons se transfèrent du $Si-p$ au $Si-n$, et des trous se passent du $Si-p$ au $Si-n$, jusqu'à l'égalisation de E_f . Les bandes d'énergie subissent une distorsion autour de la jonction comme il est montré dans la figure 2.3[10, p.84]. E_f est proche de E_v dans le matériau type-p, et proche de E_c dans le matériau type-n.

On peut décrire ce phénomène autrement, en faisant appel simplement à l'idée que la structure est en équilibre thermique. Il y a donc un courant de diffusion entre les deux matériaux, de façon à égaliser la concentration de porteurs. Des électrons quittent ainsi le matériau dopé n vers le matériau dopé p, et les trous font le chemin inverse. Les porteurs transférés laissent derrière eux des atomes dopants ionisés. Ces atomes ionisés sont immobiles, et se trouvent jusqu'à une certaine distance de la jonction. Cette région désertée de porteurs libres est la zone de charge d'espace. La charge électrique des atomes n'est pas compensée, et fait apparaître un champ électrique qui s'oppose au passage des porteurs. La diffusion des porteurs continue jusqu'à que le champ dans la zone de charge d'espace soit assez intense pour empêcher davantage de porteurs de la traverser.

Une fois l'équilibre établi, les électrons du $Si-n$ ont une barrière de potentiel pour passer vers le $Si-p$. Il en est de même pour les trous dans le $Si-p$ qui doivent franchir la barrière pour passer dans le $Si-n$. La hauteur de cette barrière dépend de plusieurs facteurs (température, dopage, etc.). Elle est nommée tension intrinsèque de la jonction⁴. L'intérêt de ce phénomène est que la barrière peut être surmontée par l'application d'un potentiel électrique externe, comme il est montré dans la figure 2.4[10, p.88].

La tension $V+$ déplace les bandes d'énergie jusqu'à ce que les porteurs majoritaires des deux côtés puissent traverser la zone de charge d'espace. Une tension $V-$ opposée déplace les bandes d'énergie dans le sens inverse, et les porteurs ont une barrière encore plus élevée à surmonter. Donc, le courant ne passe pas de la même façon dans les deux directions.

Cette propriété est la définition d'un dispositif de redressement ; la diode.

4. built-in voltage

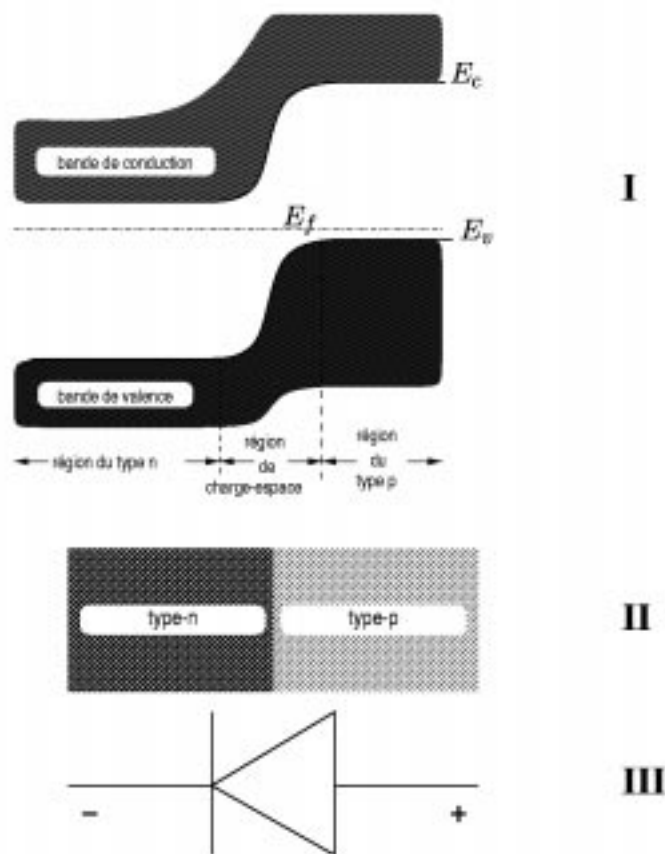


FIG. 2.3 – Diagramme des bandes d'énergie d'une jonction p-n (I), schéma de la jonction (II) et son symbole électrique (III).

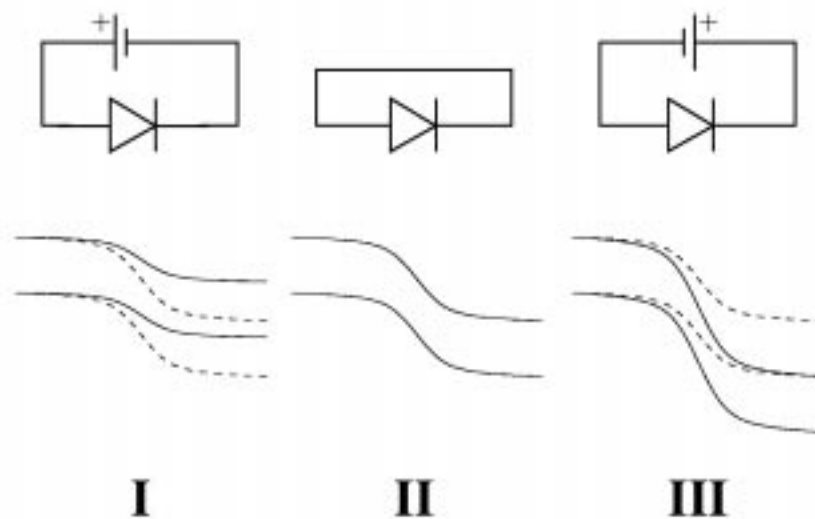


FIG. 2.4 – Effets d'une tension externe sur les bandes d'énergie d'une jonction p-n. À gauche (I), une tension $V+$ est appliquée à la jonction. À droite (III), une tension $V-$ est appliquée. Au centre (II), la jonction est en équilibre.

2.3.1 La diode

Le redressement du courant est le phénomène le plus intéressant de la diode p-n en silicium. Il existe un ensemble d'autres effets qui donnent lieu à toutes les caractéristiques non-idéales des diodes réelles. Les modèles physiques deviennent alors très lourds, et une analyse approfondie n'apportera pas d'éléments utiles à cette discussion.

Au niveau macroscopique, le comportement électrique de la diode peut être décrit par la relation[10, p.112] :

$$I = I_S e^{\frac{qV}{nkT}} - 1 \quad (2.11)$$

Le paramètre I_S représente le courant de saturation de la jonction polarisée en inverse. Le paramètre n dans l'équation est le facteur d'idealité. Il n'est pas égal à l'unité à cause du courant de diffusion et de recombinaison-génération existants dans la région désertée de la diode. Sa valeur varie selon le dispositif, la température, et la densité du courant passant par le dispositif. L'équation 2.11 est utilisée pour la simulation électrique[12, p.13], à cause de sa simplicité. Le courant de diffusion est souvent la composante dominante du courant en inverse I_S . La composante I_{S-diff} est donnée par l'équation :

$$I_{S-diff} = A_d q n_i^2 \left(\frac{D_n}{L_n N_a} + \frac{D_p}{L_p N_d} \right) \quad (2.12)$$

où :

A_d est la superficie totale de la jonction ;

D_n est la constante de diffusion des électrons ;

D_p est la constante de diffusion des lacunes ;

L_n est la portée des électrons dans la région p ;

L_p est la portée des trous dans la région n.

Le courant I_{S-diff} est donc proportionnel à la superficie de la jonction et à la température (par n_i). Quand le courant de diffusion domine, le terme n de l'équation 2.11 peut être considéré égal à 1. C'est habituellement le cas pour les jonctions p-n dans les circuits intégrés.

Les équations présentées ne prennent pas en compte les mécanismes qui donnent lieu à des courants de génération-recombinaison dans la région désertée. Ces courants sont dominants quand la diode est soumise à une tension directe faible, ou quand elle est polarisée dans le sens inverse.

Courants de génération-recombinaison

Les courants de génération-recombinaison sont expliqués par la théorie de Shockley-Read-Hall[8, p.158], et normalement leur prise en compte n'est absolument pas nécessaire. En gros, des porteurs sont générés dans la région de charge d'espace, et sous le champ électrique présent ils se dirigent vers les électrodes du dispositif. Le taux de génération-recombinaison s'accroît avec le volume de la région désertée, et aussi avec la densité des centres de génération-recombinaison. Ces centres sont la conséquence d'impuretés ou des défauts dans la maille cristalline. Ces situations sont particulièrement présentes à la surface de la jonction d'une

diode implantée en technologie planaire. Le courant de recombinaison $I_{S-recomb}$ peut être approximé par la relation[8, p.176] :

$$I_{S-recomb} = \frac{q n_i x_i}{2\tau_0} \quad (2.13)$$

où le terme τ_0 représente la durée de vie des porteurs et le terme x_i représente l'épaisseur de la région de génération-recombinaison à l'intérieur de la zone de charge d'espace de la jonction. Le terme x_i peut être estimé par l'épaisseur de la région de charge d'espace x_d . La région de charge d'espace s'étend sur les deux côtés de la jonction p-n. L'épaisseur totale x_d de la région de charge d'espace d'une jonction abrupte est donnée par l'équation[8, p.119] :

$$x_d = x_n + x_p = \sqrt{\frac{2\epsilon_{Si}}{q} \cdot \phi_i \cdot \left(\frac{1}{N_a} + \frac{1}{N_d} \right)} \quad (2.14)$$

où ϵ_{Si} est la permittivité diélectrique du Si et ϕ_i représente le potentiel électrique intrinsèque de la jonction p-n, donné par l'équation :

$$\phi_i = \frac{kT}{q} \cdot \ln \frac{N_a N_d}{n_i^2} \quad (2.15)$$

Si le niveau du dopage des deux régions est très différent, la jonction est dite unilatérale, et x_d peut être considéré comme égal à l'épaisseur de la région de charge d'espace du côté moins dopé :

$$x_d = \begin{cases} \sqrt{\frac{2\epsilon_{Si}}{q} \cdot \phi_i \cdot \left(\frac{1}{N_d} \right)} & \text{(type p+/n)} \\ \sqrt{\frac{2\epsilon_{Si}}{q} \cdot \phi_i \cdot \left(\frac{1}{N_a} \right)} & \text{(type n+/p)} \end{cases} \quad (2.16)$$

La jonction p-n planaire est à la base du principe d'isolation entre les dispositifs actifs de la plupart de technologies de fabrication de circuit intégrés (isolation par jonction⁵).

2.4 Le transistor MOS

La diode est le dispositif semiconducteur avec la structure la plus simple. Son fonctionnement montre que l'interface entre deux matériaux semiconducteurs distincts peut avoir des propriétés électriques intéressantes. Toutefois, les possibilités d'utilisation pratiques d'un dispositif redresseur sont limitées. Il a été vite compris que les propriétés physiques de la jonction p-n pourraient être mis à profit pour la réalisation d'un dispositif capable de commuter le courant, et ainsi permettre l'amplification d'un signal. Ce dispositif a vu le jour en 1947, aux Bell Telephone Laboratories, et a été appelé transistor par ces découvreurs (W. BRATTAIN et J. BARDEEN).

Ce premier transistor moderne a été le transistor bipolaire, où le courant entre collecteur et émetteur est modulé par le courant injecté à la base.

Par contre, le premier transistor inventé a été le transistor à effet de champ (FET — *field effect transistor*). Dans ce type de transistor, une tension de commande (la tension de porte) contrôle le passage du courant, en modulant la conductance d'un canal (de conduction), soit

⁵ *junction isolation*

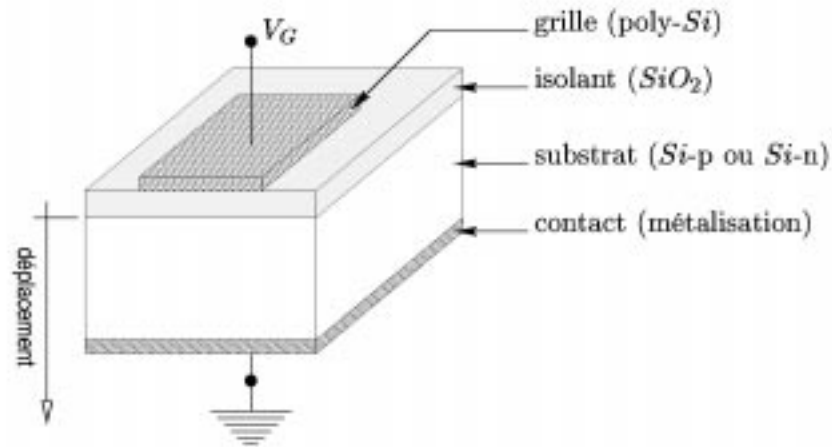


FIG. 2.5 – Vue en coupe d'une structure MOS. L'axe indique la direction du déplacement dans le diagramme de bandes d'énergie de la structure.

en appauvrissant le nombre de porteurs libres, soit au contraire en l'enrichissant. Les premiers brevets décrivant une telle structure furent déposés aux États-Unis, entre 1925 et 1928, par J.E. LILIENTHAL. En 1952, W. SHOCKLEY proposa le premier transistor FET moderne, le JFET (FET à jonction), qui a été réalisé en suite (1953), par G.C. DACEY et I.M. ROSS (tous aux Bell Telephone Laboratories). La réalisation d'un transistor MOSFET (FET à métal-oxyde-semiconducteur) n'a pu être achevée qu'en 1960, par D. KAHNG et M.M. ATALLA. Cet événement a dû attendre la découverte de l'importance des états de surface dans le fonctionnement du MOSFET. L'histoire des découvertes qu'ont débouché sur la micro-électronique moderne est raconté de manière pittoresque dans [13].

Aujourd'hui le transistor MOS est l'élément de base de l'écrasante majorité des circuits intégrés commercialisés dans le monde. Ceci est dû à la relative facilité de fabrication d'un grand nombre de dispositifs sur une plaquette de silicium, par un procédé technologique planaire. Le transistor MOS permet aussi la réalisation de circuits à faible consommation, ce qui s'avère être un grand avantage par rapport au transistor bipolaire. Les qualités des circuits intégrés MOS (fort niveau d'intégration avec une consommation modérée), et notamment CMOS, ont très rapidement attiré l'attention des concepteurs de systèmes électroniques pour l'espace. Malheureusement de par sa construction le transistor MOS est sensible aux rayonnements ionisants. Pour mieux comprendre les raisons, on fera une courte description des principes physiques du fonctionnement du MOSFET.

Le fonctionnement du transistor MOS est fondé sur le comportement électrique d'une structure proche de celle d'un condensateur plan (figure 2.5). Une couche conductrice (la porte ou la grille) est séparée d'un volume de matériau semiconducteur (le substrat) par une fine couche d'une matière isolante. Une structure MOS à l'heure actuelle est composée d'une grille en silicium polycristallin⁶ (souvent dopé p ou n jusqu'à la dégénération), d'un isolant fait d'oxyde de silicium (silice), et d'un substrat en silicium monocristallin dopé p ou n. Cependant, d'autres structures Conducteur-Isolant-Semiconducteur sont possibles.

6. silicium amorphe recristallisé

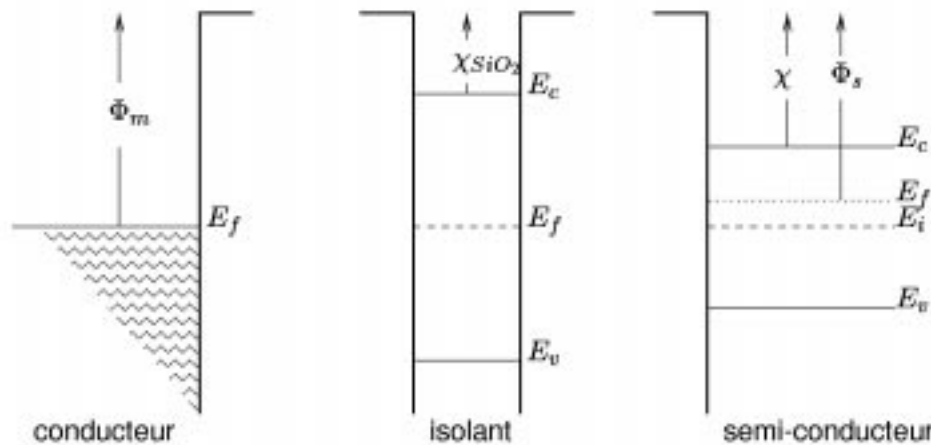


FIG. 2.6 – Diagramme de bandes d'énergie des trois éléments d'une structure MOS[14, p.31].

2.4.1 La structure Conducteur-Isolant-Semiconducteur

Le principe du fonctionnement électrique du transistor MOS peut être expliqué en considérant les effets de l'application d'une tension aux électrodes d'une structure Conducteur-Isolant-Semiconducteur idéale (un condensateur plan). Comme hypothèse de départ, on ignore l'existence de charges ou imperfections dans l'isolant et à sa surface commune avec le substrat. Pour simplifier l'exposé le conducteur sera considéré comme étant métallique. Les bandes d'énergie à la surface de chacun des trois matériaux (en équilibre thermique), prises séparément, sont montrées dans la figure 2.6. Quand les matériaux sont mis en contact il y a le passage d'un courant, jusqu'à ce que l'équilibre thermique soit établi dans le système. À cet instant-là le niveau de Fermi sera le même partout. Vu que l'isolant est parfait, les bandes d'énergie resteront inchangées. Or, le travail d'extraction⁷ de la grille et du substrat n'est pas toujours le même. Le travail de sortie du semiconducteur est donné par[11, p.256]:

$$\Phi_s = q\chi + (E_c - E_f)_{\text{intérieur du substrat}} \quad (2.17)$$

Où E_c est l'énergie de la limite inférieure de la bande de conduction et χ est l'affinité électronique⁸ (la différence entre la limite inférieure de la bande de conduction⁹ et l'énergie de libération d'un électron) du semiconducteur. L'équation 2.17 donne le travail d'extraction en terme d'énergie (en électron-volts¹⁰). Pour l'exprimer en terme de potentiel (volts) il suffit de diviser par q (la charge élémentaire d'un électron). Pour l'instant on considère que le travail d'extraction du conducteur et du semiconducteur sont identiques.

En supposant que la grille et le substrat sont court-circuités par l'extérieur de la structure ($V_G = 0$), on aura un diagramme de bandes d'énergie à l'interface qui ressemblera à la figure 2.7. C'est la condition des bandes plates.

L'application d'une tension entre la grille et le substrat ($V_G \neq 0$) provoque un décalage entre les niveaux de Fermi. Comme l'isolant empêche le passage de courant, les bandes du substrat se déplacent ensemble par rapport à celles de la grille, suivant E_f . Le champ électrique

7. work function — l'énergie qu'il faut rajouter à un électron au fond de la bande de conduction pour l'extraire totalement de l'emprise du cristal

8. electron affinity

9. à la surface

10. eV — l'énergie accordée à un électron par un potentiel électrique de 1 V.

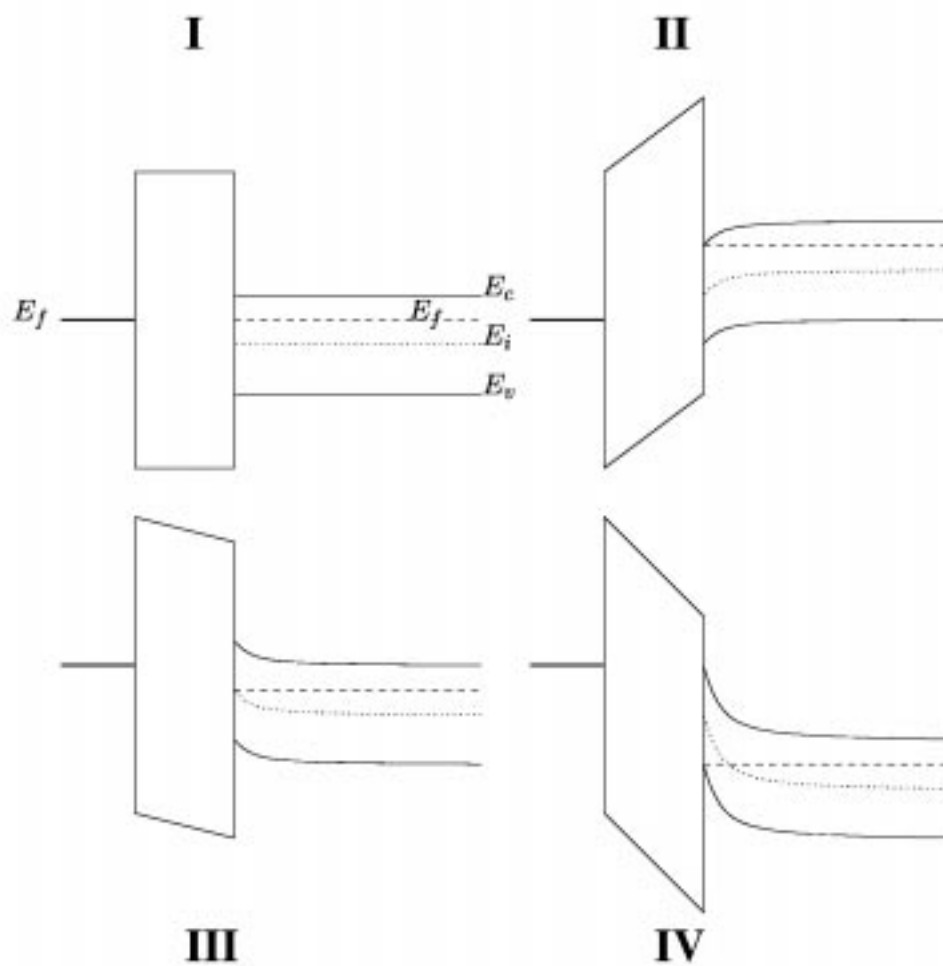


FIG. 2.7 - Conditions de bandes plates (I), accumulation (II), déplétion (III) et inversion (IV) d'une structure MOS avec un substrat du type n[14, p.36].

créé par la tension appliquée attire des porteurs du substrat vers la surface, ou bien les repousse de la surface. Ce changement de densité des porteurs entraîne une déformation des bandes d'énergie à l'interface avec l'isolant. Une fois que le substrat est en équilibre thermique, son niveau de Fermi E_f est le même partout, et reste inchangée.

On peut distinguer trois cas, montrés dans la figure 2.7; l'accumulation, la déplétion et l'inversion.

L'accumulation correspond à une concentration surfacique de porteurs majoritaires supérieure à la concentration à l'intérieur du substrat.

La déplétion est la situation où la concentration de porteurs majoritaires à la surface est inférieure à celle à l'intérieur du substrat. Une région dépourvue de porteurs (désertée) sera formée progressivement, sous l'influence du champ électrique.

Dans l'inversion la concentration surfacique des porteurs minoritaires dépasse la concentration des porteurs majoritaires dans le substrat. En termes de bandes d'énergie, le niveau de Fermi intrinsèque E_i a croisé E_f , et les caractéristiques électriques à la surface seront à l'inverse de celles du substrat. On a formé une couche d'inversion à la surface. Cette couche de porteurs libres est entièrement à l'interface entre l'isolant et le substrat.

Il est utile d'exprimer la condition de bandes plates en termes du potentiel électrique à la surface du substrat (représenté par ϕ_s), mesuré par rapport à E_i à l'intérieur du substrat[14, p.38]:

$$\phi_s \equiv \frac{E_i(\text{substrat}) - E_i(\text{surface})}{q} \quad (2.18)$$

La condition de bandes plates est alors exprimée par la relation $\phi_s = 0$. On peut définir aussi un potentiel de référence du substrat :

$$\phi_F \equiv \frac{E_i(\text{substrat}) - E_f}{q} \quad (2.19)$$

Ce potentiel ϕ_F donne la différence entre le niveau intrinsèque E_i à l'intérieur du substrat et le niveau de Fermi E_f . Le croisement de E_i à la surface avec E_f est alors exprimé par la relation[14, p.39]:

$$\phi_s = 2\phi_F \quad (2.20)$$

Le potentiel ϕ_F dépend de façon directe du dopage du Si . Le signe de ϕ_F indique le type du dopage, en conséquence de sa définition. Il est positif pour le Si -p, et négatif pour le Si -n. Dans le cas d'un substrat en Si non-dégénéré à une température proche de l'ambiante ϕ_F est donné par l'équation[14, p.39]:

$$\phi_F = \begin{cases} \frac{kT}{q} \ln\left(\frac{N_a}{n_i}\right) & Si\text{-p} \\ -\frac{kT}{q} \ln\left(\frac{N_d}{n_i}\right) & Si\text{-n} \end{cases} \quad (2.21)$$

La relation entre ϕ_s , ϕ_F et la population surfacique des porteurs est donnée dans le tableau 2.1. La condition d'inversion faible sera abordée dans la discussion des modèles électriques.

2.4.2 Tension de Bandes Plates

Pour la structure Métal-Isolant-Semiconducteur (MIS) idéale le basculement entre l'accumulation et la déplétion s'opère pour une tension $V_G = 0$. Ce n'est pas le cas dans une

TAB. 2.1 – Relation entre le potentiel à la surface et la concentration de porteurs libres.

Si	accumulation	déplétion		inversion
			inv. faible	
p	$\phi_s < 0$	$0 < \phi_s < \phi_F$	$\phi_F < \phi_s < 2\phi_F$	$2\phi_F < \phi_s$
n	$\phi_s > 0$	$\phi_F < \phi_s < 0$	$2\phi_F < \phi_s < \phi_F$	$\phi_s < 2\phi_F$

structure réelle, puisque d'autres effets sont présents. En général, le travail d'extraction du conducteur (Φ_m) n'est pas identique à celui du substrat (Φ_s). Cette différence entraîne un potentiel intrinsèque aux deux matériaux qui perturbe la concentration des porteurs à la surface, et déforme les bandes d'énergie. Pour revenir à la condition de bandes plates il faut appliquer une tension $V_G = \frac{\Phi_m - \Phi_s}{q} = \phi_m - \phi_s$ entre la grille et le substrat. Cette tension est appelée la tension de bandes plates (V_{FB}).

La différence du travail d'extraction ϕ_{ms} ¹¹ est typiquement inférieure à 1 volt [14, p.95], pour des grilles en silicium polycristallin très dopé (dégénéré). Dans ces cas elle peut être approximée par l'équation :

$$\phi_{ms} = -\frac{E_{gap}}{2} - \frac{kT}{q} \ln\left(\frac{N_a}{n_i}\right) \quad (2.22)$$

où N_a représente la concentration de porteurs majoritaires dans le substrat et E_{gap} représente la largeur de la bande interdite¹² du silicium, égale à 1,1 V à température ambiante. L'équation 2.22 donne ϕ_{ms} pour une grille en polysilicium dégénéré (n+) sur un substrat du type p.

La différence de travail d'extraction ϕ_{ms} n'est pas le seul effet à changer la tension V_{FB} . En fait, ϕ_{ms} est normalement la contribution la moins importante. Dans une structure MOS réelle, ils existent des charges électriques à l'intérieur de l'isolant ainsi qu'à l'interface entre l'isolant et le substrat. Le processus exact à l'origine de ces charges n'est pas encore entièrement élucidé. Néanmoins, seule la maîtrise de techniques de fabrication conduisant à la réduction de leur nombre a permis le développement d'un dispositif MOS viable.

La contribution de ces charges à la tension V_{FB} d'une structure MOS est donnée par :

$$\Delta V_{FB-Q} = \frac{Q_f + \Gamma(Q_m + Q_{ot}) + Q_{it}(\phi_s)}{C_{ox}} \quad (2.23)$$

Le terme C_{ox} représente la capacité par unité de surface entre la grille et le substrat. Il est donné par l'équation :

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad (2.24)$$

où ϵ_{ox} représente la permittivité diélectrique de l'oxyde, et t_{ox} représente son épaisseur.

L'influence de la charge électrique sur le potentiel à la surface du substrat dépend de leur séparation, c'est-à-dire, de la position de la charge dans l'oxyde par rapport à l'interface. Le facteur Γ est introduit pour prendre en compte la distribution des charges dans le volume de l'oxyde. Il est donné par l'intégrale de la densité de la charge sur l'épaisseur t_{ox} de l'oxyde. Ce facteur est égal à zéro si toutes les charges sont à l'interface grille-oxyde, et il est égal à 1 si toutes les charges sont à l'interface oxyde-substrat.

11. $\phi_{ms} = \phi_m - \phi_s$

12. bandgap voltage - $qE_{gap} = E_c - E_v$

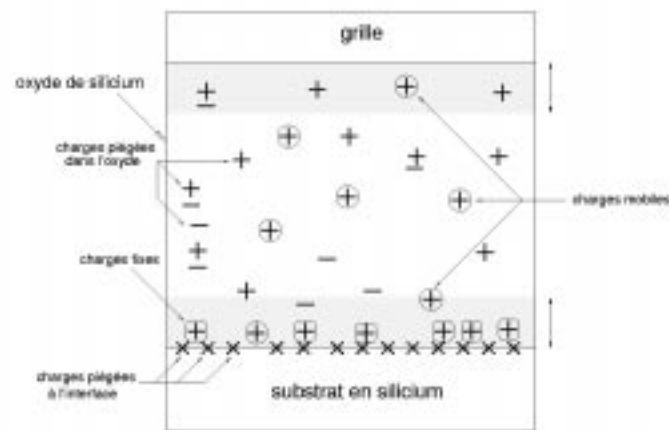


FIG. 2.8 – Distribution des charges à l'intérieur d'une structure MOS. Les charges qui se trouvent dans les régions en gris (jusqu'à ≈ 3 nm des interfaces) sont parfois appelées border traps.

Ils existent quatre types de charges[11, p.246] :

- Q_f Charges fixes ; produites par des défauts dans l'oxyde, proches à l'interface SiO_2-Si (≈ 25 Å). La densité N_f (nombre par cm^2) de ces charges dépend du procédé de formation de l'oxyde. Il a été postulé[14, p.106] qu'il reste du Si ionisé après la fin de l'oxydation, ce qui entraîne l'existence d'une charge positive. Cette charge n'est pas en communication électrique avec la surface du substrat. Cependant, du point de vue électrostatique on peut la considérer comme étant entièrement à l'interface ;
- Q_m Charges mobiles ; générées par la présence d'impuretés ionisées (Na^+ , K^+ , Li^+ et probablement H^+). Ces ions peuvent se déplacer dans l'oxyde si ils sont soumis à des contraintes électriques ou thermiques ;
- Q_{ot} Charges piégées dans l'oxyde ; introduites par le piégeage d'électrons et de trous. Le piégeage peut être provoqué par plusieurs phénomènes (radiation, injection de porteurs chauds à partir du canal, etc.). À terme ces porteurs piégés seront pour la plupart des trous, à cause du grand écart de mobilité entre les électrons et les trous dans l'oxyde ;
- Q_{it} Charges piégées à l'interface oxyde-substrat (positives ou négatives) ; dues à l'existence d'états d'énergie permis dans la bande interdite. L'origine physique exacte de ces niveaux énergétiques n'est pas encore totalement connue. Ce type de charge est appelé parfois états rapides de surface (*fast surface states*). Ils échangent des porteurs avec la couche d'inversion dans le substrat, ce qui provoque un bruit en basses fréquences caractéristique des structures MOS.

La distribution de ces charges est montrée de façon schématique dans la figure 2.8[11, p.245].

Les charges mobiles Q_m et piégées Q_{ot} sont distribuées dans tout le volume de l'oxyde. Or, celles à la proximité de la grille n'ont pas une influence importante sur la surface du substrat. Historiquement, Q_m a été l'obstacle le plus important à la fabrication d'un transistor MOS fiable. Le contrôle de la contamination de l'oxyde par des ions mobiles est garanti dans les procédés modernes par la pureté des matières premières, et par une technique de piégeage appelée *gettering*.

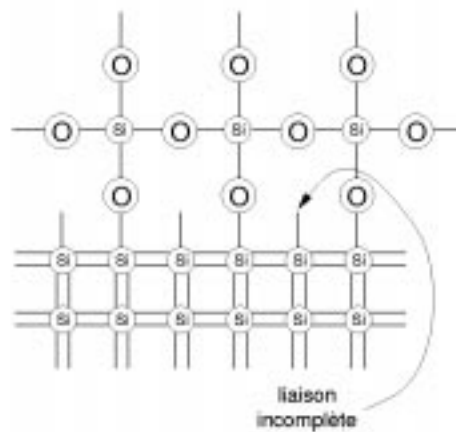


FIG. 2.9 – Liaisons atomiques incomplètes à l'interface $Si-SiO_2$

La charge fixe totale Q_f est déterminée par le procédé de fabrication de l'oxyde. Cette charge ne dépend ni de l'épaisseur du SiO_2 , ni du dopage de la grille ou du substrat. Pour la minimiser, on intègre une étape de recuit au procédé de fabrication, ainsi que l'utilisation de plaquettes de Si avec une orientation $\langle 100 \rangle$.

La charge totale piégée à l'interface Q_{it} est celle qui recèle la plus grande complexité de comportement. Le mécanisme physique exacte à l'origine de ces charges semble être lié à des structures appelées centres Pb [1, p.193]. Ces centres sont des défauts trivalents du Si à l'interface $Si-SiO_2$, et ont été détectés par résonance paramagnétique électronique (RPE¹³). De façon simple, il subsiste des liaisons incomplètes (*dangling bonds*) dans les atomes de Si du substrat placés à l'interface avec le SiO_2 (voir figure 2.9).

L'évolution dans le temps des charges piégées dans l'oxyde Q_{ot} et des charges à l'interface Q_{it} est assez importante, du point de vue du rayonnement. La radiation ionisante est capable de générer les deux types de charge.

Par ailleurs, leur recuit (*annealing*) est très différent. Les charges piégées Q_{ot} ne sont pas totalement immobiles à la température ambiante, et peuvent se déplacer en réponse à un champ électrique extérieur. Les charges localisées proches à l'interface peuvent être anéanties par des porteurs injectés dans l'oxyde. Leur influence sur la région de charge d'espace peut ainsi changer de façon significative.

Les pièges de charge à l'interface par contre ne subissent pas des modifications importantes avec le temps ou la température. Les liaisons incomplètes ne peuvent être reconstituées que par l'introduction d'un atome dans la maille; usuellement de l'hydrogène. Cette opération est intégrée dans le procédé de fabrication et généralement ne peut pas se produire dans un dispositif achevé.

Même si la densité d'états piègeurs N_{it} (nombre de pièges à l'interface par cm^2) ne change pas avec le champs électrique, il n'en va pas de même pour sa charge Q_{it} (charge électrique à l'interface par cm^2). Les niveaux d'énergie admis introduits dans la bande interdite ont une distribution de densité D_{it} particulière. La densité d'états énergétiques atteint un minimum au centre de la bande interdite (E_i), et s'accroît à la proximité de E_c et E_v . L'allure de la courbe (en forme d'un U) semble être l'origine du caractère amphotérique du centre Pb_o [1, p.198]. Une explication physique pour ce comportement est que le centre Pb_o a une charge positive et

13. *electron spin resonance*

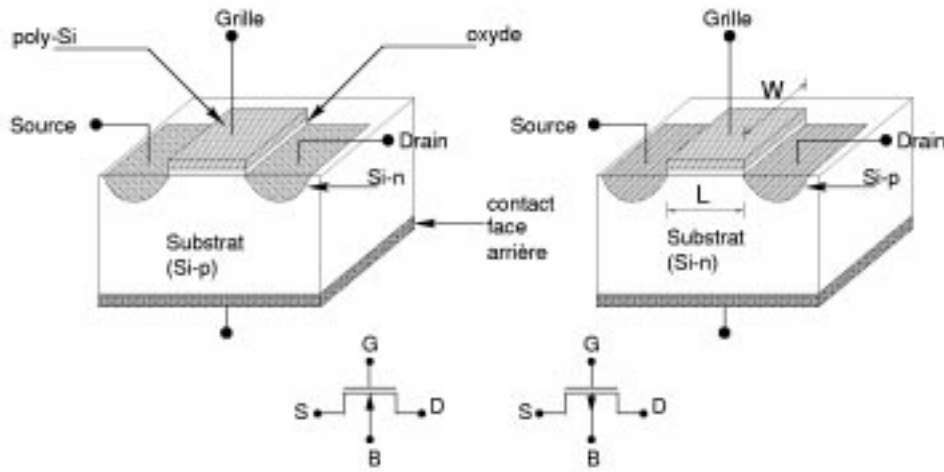


FIG. 2.10 – Transistors MOS à enrichissement du type n (gauche) et p (droite).

possède deux niveaux énergétiques, localisés à chaque côté de E_i . Au fur et à mesure que E_f s'éloigne de E_v vers E_i le centre Pb_o rattrape un électron et devient neutre et paramagnétique. Quand E_f est égal à E_i (la condition de *midgap*) le centre Pb_o contient donc un électron dans son état énergétique au-dessous de E_i . Lorsque E_f continue son déplacement et s'approche de E_c ledit centre rattrape un deuxième électron qui le rend diamagnétique avec une charge électrique négative. Cet électron occupe le deuxième état énergétique du centre Pb_o , au-dessus de E_i . Ce comportement complexe n'est pas encore bien compris, et dans la pratique on se contente de postuler que les pièges au-dessus de E_i sont accepteurs (acceptent un électron au passage de E_f , acquérant ainsi une charge négative) et les pièges au-dessous de E_i sont donneurs (donnent un électron au passage de E_f , et gagnent ainsi une charge positive). Le point à retenir est que les pièges à l'interface se chargent et déchargent, suivant la polarisation de la structure MOS. La charge totale Q_{it} est donc une fonction compliquée du potentiel à l'interface ϕ_s (voir l'équation 2.23). La formule complète pour la tension de bandes plates V_{FB} est alors :

$$V_{FB} = \phi_{ms} - \left[\frac{Q_f + \Gamma(Q_m + Q_{ot}) + Q_{it}(\phi_s = 0)}{C_{ox}} \right] \quad (2.25)$$

2.4.3 Modélisation du transistor MOS

Le contrôle de la concentration de porteurs sous l'oxyde par le biais d'une électrode isolée dans la structure MOS peut être mis à profit pour la réalisation d'un dispositif transistor simplement par l'introduction de deux contacts électriques, à chaque extrémité de la structure où se forme la couche d'inversion. Ces contacts forment des jonctions p-n avec le substrat. Ces jonctions sont maintenues inversement polarisées par rapport au substrat, de façon à fournir une isolation presque parfaite. La majorité du courant passe alors par la région entre les deux contacts, sous le contrôle de la grille. C'est le transistor MOS.

Il est possible de réaliser quatre types différents de transistor, suivant le type de porteur libre (électrons ou trous) et le régime d'établissement de la région de conduction (appauvrissement ou enrichissement). Les transistors d'intérêt dans cette étude sont les transistors du type p et n à enrichissement. Une vue en coupe schématique de ces deux types de transistors est donnée dans la figure 2.10.

Notre discussion portera sur le comportement électrique du transistor MOS, en prenant comme exemple le transistor où les porteurs de courant sont des électrons (le NMOS).

Les deux jonctions p-n juxtaposées à la structure MOS sont appelées le drain et la source. La région où se forme la couche d'inversion entre la source et le drain est appelée le canal. Dans ces conditions un courant circule entre le drain et la source, si on applique une différence de potentiel entre les deux contacts. Ce courant est une fonction de la géométrie du canal et des conditions de polarisation électrique. La géométrie du canal est le plus souvent représentée de façon simplifiée, par deux paramètres seulement ; la longueur (L) et la largeur (W).

On distingue plusieurs régimes de fonctionnement du transistor MOS, selon la polarisation appliquée. Cette distinction peut se faire par rapport à la tension de grille V_G appliquée (accumulation, déplétion, inversion) ou bien par rapport à la tension V_{DS} entre le drain et la source (région ohmique ou linéaire, région de faible inversion, région de saturation, et perçage).

On peut considérer qu'ils existent trois régimes électriques d'opération pour le transistor MOS ; non-conduction, linéaire et saturation. Ces régimes sont définis par les conditions de polarisation du transistor.

La tension de seuil

Le régime de non-conduction correspond à la situation d'absence de couche d'inversion, et le seul courant qui passe est le courant de jonction en inverse de la source et du drain vers le substrat. Le transistor quitte le régime de non-conduction lorsque la tension entre la grille et le substrat V_G est suffisante pour entraîner l'inversion de la surface. Ceci se passe pour un potentiel de surface ϕ_s donné par l'équation 2.20.

On définit alors la tension de seuil V_{th} comme la tension V_G par rapport à la source (V_{GS}) dont on a besoin pour l'inversion de la surface. Dans ces conditions V_{th} est donné par l'équation[11, p.183] :

$$V_{t0} = V_{FB} + 2|\phi_F| + \gamma\sqrt{2|\phi_F|} \quad (2.26)$$

$$V_{th} = V_{t0} + \gamma \left\{ \sqrt{2|\phi_F| + V_{SB}} - \sqrt{2|\phi_F|} \right\} \quad (2.27)$$

Le terme V_{t0} est défini comme la tension de seuil quand la source est court-circuitée au substrat ($V_{SB} = 0$). Le paramètre γ permet de prendre en compte la polarisation du substrat du dispositif par rapport à sa source, V_{SB} . Il est donné par l'équation :

$$\gamma = \frac{\sqrt{2\epsilon_{Si}qN_{SUB}}}{C_{ox}} \quad (2.28)$$

où N_{SUB} représente la concentration de porteurs du substrat. Le terme V_{FB} est donné par l'équation 2.25. Cependant, pour la modélisation électrique du transistor MOS la relation 2.25 est normalement remplacée par :

$$V_{FB} = \phi_{ms} - q \frac{NSS}{C_{ox}} \quad (2.29)$$

où le terme NSS représente le nombre d'états de surface.

La tension de seuil V_{t0} donnée par l'équation 2.26 ne prend pas en compte l'implantation de la surface du canal. Cette implantation est nécessaire pour assurer le fonctionnement des transistors NMOS à enrichissement, et généralement permet obtenir une tension de seuil

précise et uniforme. L'influence de cette implantation peut être intégrée (de manière approximative) à l'équation 2.26 par l'ajout du terme $\frac{qN_{impl}}{C_{ox}}$ [8, p.386], où N_{impl} représente le nombre d'atomes implantés par cm^2 . Une autre alternative est d'ajouter le terme dû à l'implantation à l'équation 2.29.

Le passage de la déplétion à l'inversion se traduit par le basculement du transistor de la non-conduction à la conduction. Ceci ne se fait pas de façon abrupte, et on peut distinguer un régime d'opération du dispositif entre les deux états de conduction et non-conduction. C'est le régime de sous-seuil, connu aussi comme le régime d'inversion faible. Ce régime d'opération est très utilisé dans les circuits bas bruit et gain élevé, au dépit des faibles courants atteignables.

Les niveaux de modélisation

Il est possible de calculer le courant entre la source et le drain à partir des considérations physiques décrites dans les sections précédentes. Les expressions qui en résultent n'ont pas en règle générale de solutions analytiques, il faut faire appel à des méthodes numériques. Cette stratégie (l'approche physique) est trop onéreuse pour la simulation des circuits comportant un grand nombre de dispositifs. Cet obstacle a poussé la recherche vers des modèles électriques approximatifs ayant un coût de calcul moins important. Ces modèles électriques ont été intégrés aux simulateurs de circuits électriques, permettant au concepteur de circuits intégrés d'évaluer le comportement de son circuit de façon économique et rapide. Cependant, une modélisation à la fois précise pour toutes les conditions de fonctionnement et efficace du point de vue de la rapidité de calcul par ordinateur demeure un sujet actif de recherche.

Un modèle électrique est alors un ensemble d'équations décrivant le rapport entre les tensions et courants électriques dans le transistor. Les particularités de construction du dispositif sont prises en compte en fournissant des paramètres physiques (c.-à-d., liés à la technologie de fabrication), géométriques et électriques. Un modèle global décrit le fonctionnement du transistor dans toutes les situations envisageables, tandis qu'un modèle local n'est valable que pour des conditions spécifiques. Un modèle statique¹⁴ ne prend en compte que les composantes continues des tensions et courants, alors qu'un modèle dynamique permet le calcul de leur évolution dans le domaine temporel¹⁵ ou fréquentiel¹⁶. Notre discussion est limitée aux modèles globaux DC pour le transistor MOS.

Un grand nombre de modèles électriques ont été proposés et la quasi totalité ne se prête pas à un calcul approximatif à la main. Ce calcul est nécessaire dans l'étape initiale de la conception d'un circuit, notamment pour les circuits analogiques. Notre intérêt se portera sur la modélisation la plus simple qui toutefois permettra d'exprimer les effets de la dose totale cumulée de rayonnement. Il faut retenir la différence entre la modélisation physique et la modélisation électrique pour la simulation des circuits, et le besoin d'une modélisation simplifiée pour l'analyse d'architectures de circuit.

Dans la modélisation physique les paramètres du modèle sont en général des grandeurs géométriques et physiques liées à la structure du dispositif. Cette modélisation cherche à décrire le plus précisément possible les phénomènes dans la structure.

14. DC

15. DC quasi-statique

16. AC

La modélisation électrique du transistor MOS

Dans la modélisation électrique les paramètres peuvent être des grandeurs physiques de la technologie ainsi que des grandeurs géométriques et électriques macroscopiques. Très fréquemment la valeur d'une grandeur physique dans un modèle électrique n'est pas identique à celle utilisée par la modélisation physique, à cause des simplifications du modèle électrique et des modifications qui visent à faciliter la résolution numérique du circuit. Pour la modélisation électrique soit on fournit les paramètres électriques directement, soit on donne les paramètres physiques de la technologie, et le simulateur effectue le calcul des paramètres électriques nécessaires au modèle.

Dans la modélisation électrique simplifiée le modèle est réduit à des équations simples permettant une solution manuelle analytique approximative. Seulement des paramètres électriques sont d'intérêt, et typiquement des coefficients d'ajustement semi-empiriques sont introduits pour mieux estimer la courbe du dispositif dans la région de polarisation en question.

Le modèle électrique le plus élémentaire est le modèle de Schichman-Hodges. Ce modèle est intégré dans le simulateur de circuits électriques SPICE, sous l'appellation de modèle MOS niveau 1 (LEVEL=1)[12, p.171]. La simplicité de ce modèle permet de faire des calculs à la main. Cependant, plusieurs effets importants ne sont pas modélisés. Ceci a conduit au développement d'un modèle plus raffiné, le modèle de Meyer. Le modèle de Meyer, avec quelques modifications, est disponible dans le simulateur SPICE (et ses dérivés commerciaux) comme le modèle MOS niveau 2 (LEVEL=2)[12, p.181].

Le modèle MOS LEVEL2 permet d'obtenir les courants et les tensions statiques dans le transistor avec une précision suffisante pour la conception d'un éventail de circuits analogiques. Or, ce modèle peut donner des résultats incorrects dans certaines conditions qui sont devenues de plus en plus fréquentes. Ces défauts ont été comblés par de maintes corrections, engendrant la prolifération des modèles dérivés, parfois propriété d'une entreprise. Cette grande variété de modèles ne pose pas trop de problèmes pour la modélisation des effets du rayonnement, puisque ces effets interviennent au niveau des paramètres physiques fondamentaux de la structure MOS.

Toutefois, il existe des difficultés pratiques lorsque un modèle contient des relations empiriques. Dans ces cas de figure les paramètres du modèle sont obtenus par une procédure d'optimisation mathématique itérative. Cette procédure cherche uniquement à calculer l'ensemble de paramètres de façon à ce que la courbe donnée par le modèle soit la plus proche des mesures. Les paramètres du modèle n'ont pas alors de rapport direct avec les valeurs réelles, et ne peuvent plus être modifiés individuellement. Ceci complique la mise en oeuvre d'une méthodologie de simulation électrique des effets du rayonnement, puisque il faudra relancer la procédure d'optimisation à chaque changement des paramètres physiques pour obtenir les paramètres du modèle empirique. Il est préférable alors d'éviter ce genre de modèle (par exemple, le modèle MOS LEVEL3 disponible dans le simulateur SPICE).

2.4.4 Modèle de Schichman-Hodges

Le modèle de Schichman-Hodges est basé sur l'intégration de la charge électrique mobile dans le canal du transistor en supposant que sa distribution est uniforme. Le courant est donné

alors par une des trois relations ci-dessous :

$$I_{DS} = \begin{cases} 0 & V_{GS} < V_{th} & \text{(non-conduction)} \\ KP \frac{W}{L} (V_{GS} - V_{th} - V_{DS}/2) V_{DS} (1 + \lambda V_{DS}) & V_{DS} < V_{GS} - V_{th} & \text{(linéaire)} \\ KP \frac{W}{2L} (V_{GS} - V_{th})^2 (1 + \lambda V_{DS}) & V_{DS} \geq V_{GS} - V_{th} & \text{(saturation)} \end{cases} \quad (2.30)$$

$$KP = \mu C_{ox} \quad (2.31)$$

Les simplifications faites dans le calcul pour arriver à ces équations ne permettent pas de modéliser le courant dans la région de saturation. Pour remédier à cela le paramètre empirique λ a été introduit. Le passage du régime linéaire à la saturation se fait à une tension V_{ds-sat} :

$$V_{ds-sat} = V_{GS} - V_{th} \quad (2.32)$$

Le paramètre empirique λ permet d'exprimer la pente du courant de saturation. Toutefois il subsiste un écart entre les valeurs données par ce modèle et les mesures. Le courant en saturation est toujours surestimé par ce modèle. Une solution est l'utilisation d'une valeur de KP pour le régime linéaire et une autre pour le régime de saturation. Cette approche entraîne une discontinuité mathématique dans la transition entre les deux régimes, la rendant inadaptée pour la résolution numérique.

Les principaux paramètres pour la version de ce modèle (MOS LEVEL1) implanté dans le simulateur SPICE sont donnés dans le tableau 2.2[15, p.8].

TAB. 2.2 – Paramètres du modèle LEVEL1 du simulateur SPICE.

Symbole	Remarques
Paramètres géométriques	
W	largeur de la grille (figure 2.10)
L	longueur de la grille
Paramètres électriques	
VTO	tension de seuil V_{th} (équation 2.27)
KP	transconductance KP (équation 2.31)
GAMMA	facteur de pol. du substrat γ (équation 2.28)
LAMBDA	facteur de modulation λ (équation 2.38)
Paramètres technologiques	
TOX	épaisseur de l'oxyde de la grille t_{ox}
PHI	potentiel surfacique à l'inversion ϕ_s (équation 2.20)
PB	potentiel intrinsèque de la jonction ϕ_i (équation 2.15)
NSUB	concentration du substrat N_{SUB} (N_a ou N_d)
NSS	densité de charge piégée NSS (équation 2.29)

2.4.5 Modèle de Meyer

Le modèle de Meyer part des mêmes hypothèses que le modèle de Schichman-Hodges. Cependant, la distribution uniforme de la charge mobile tout au long du canal est remplacée par une distribution linéaire décroissante de la source au drain. L'équation du courant dans

la région linéaire pour ce modèle est[12, p.182] :

$$I_{DS} = KP \frac{W}{L} \left\{ (V_{GS} - V_{FB} - 2\phi_F - V_{DS}/2) V_{DS} - \frac{2}{3} \gamma \left[(V_{DS} + V_{SB} + 2\phi_F)^{1.5} - (V_{SB} + 2\phi_F)^{1.5} \right] \right\} \quad (2.33)$$

Le courant dans la région de saturation est donné par l'équation :

$$I_{DS} = I_{(V_{DS}=V_{ds-sat})} \frac{1}{1 - \lambda I_{DS}} \quad (2.34)$$

Le terme $I_{(V_{DS}=V_{ds-sat})}$ représente le courant à la tension V_{DS} de basculement du régime linéaire au régime de saturation, il est calculé par l'équation 2.33. Ce passage se fait à une tension V_{ds-sat} donnée par :

$$V_{ds-sat} = V_{GS} - V_{FB} - 2\phi_F + \gamma^2 \left[1 - \sqrt{1 + \frac{2}{\gamma^2} (V_{GS} - V_{FB} + V_{SB})} \right] \quad (2.35)$$

Le modèle de Meyer est certes plus précis que le modèle de Schichman-Hodges. Cependant de nombreux effets importants ne sont pas pris en compte, ce qui entraîne des erreurs significatives dans le courant calculé. Pour corriger cela, le modèle LEVEL2 implanté dans SPICE incorpore des modifications semi-empiriques. Dans le cadre de notre travail, la modification la plus importante est la prise en compte de la région de sous-seuil.

Comme il a déjà été évoqué, le passage au régime de conduction se fait de manière progressive. C'est-à-dire, avant l'inversion il existe déjà des porteurs libres à la surface, permettant l'apparition d'un courant de diffusion. Cette composante du courant du transistor n'a plus d'importance une fois que la condition d'inversion est atteinte, avec l'apparition du courant de dérive. L'intérêt pratique du courant de diffusion est sa relation exponentielle avec la tension V_{GS} , donnant un gain très fort. De façon générale les publications distinguent l'inversion faible ($V_{GS} < V_{th}$), l'inversion modérée ($V_{th} < V_{GS} < V_{th} + nkT/q$) et l'inversion forte ($V_{th} + nkT/q < V_{GS}$), selon la prédominance du courant de diffusion, du courant de dérive, ou l'équivalence entre les deux. Dans le modèle LEVEL2 les deux courants sont fournis séparément, et leur superposition (inversion modérée) n'est pas possible. Le basculement entre les deux courants se fait pour une tension $V_{GS} = V_{th} + nkT/q$, où n est donné par l'équation :

$$n = 1 + \frac{qNFS}{C_{ox}} + \frac{C_{subs-canal}}{C_{ox}} \quad (2.36)$$

Le terme $C_{subs-canal}$ représente la capacité entre le substrat et le canal du transistor. Cette capacité est calculée par le simulateur et dépend de V_{SB} et γ . Le terme NFS représente la densité d'états rapides à la surface¹⁷, il est fourni au simulateur comme un paramètre de la technologie. Cette densité est habituellement peu importante, mais s'accroît beaucoup avec l'exposition au rayonnement. Le terme n est souvent dénommé pente de sous-seuil¹⁸, car il correspond à la pente de la courbe $\log I$ pour V_{DS} dans la région de sous-seuil. L'équation du courant de sous-seuil a la forme :

$$I_{DS} = I_{(V_{GS}=V_{th}+nkT/q)} e^{(V_{GS} - V_{th})(q/nkT) - 1} \quad (2.37)$$

17. un des composants du terme N_{it} étudié dans la discussion sur V_{FB}

18. *subthreshold slope*

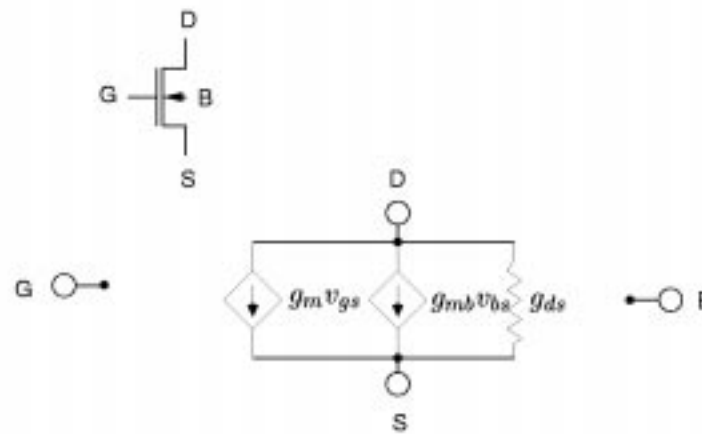


FIG. 2.11 – Modèle électrique DC simplifié du transistor MOS en petits signaux.

Le terme $I_{(V_{GS}=V_{th}+nkT/q)}$ représente le courant à la tension V_{GS} de basculement, il est calculé par l'équation 2.33. Cette stratégie de modélisation introduit une discontinuité mathématique pour la dérivée dans la transition entre les deux courants. Cette discontinuité est à l'origine des problèmes de précision de la résolution numérique des équations du circuit.

Plusieurs autres relations empiriques et semi-empiriques ont été introduites dans le modèle LEVEL2, de façon à approximer la simulation des mesures sur le dispositif réel. Une discussion complète sur ce sujet peut être trouvée dans l'ouvrage de référence [12].

2.4.6 Modèle en petits signaux

Les modèles globaux présentés sont non-linéaires, par force des caractéristiques innées au transistor MOS. Or, la plupart des circuits analogiques doivent traiter les signaux électriques de façon linéaire. Pour aboutir à cela, il faut que le fonctionnement du transistor soit restreint à de petites excursions autour d'un point d'opération fixe. Dans ces conditions on peut définir un modèle électrique linéaire pour le transistor. On l'appelle modèle en petits signaux[16, p.30]. Ce modèle est obtenu par la dérivation partielle des courants et tensions aux terminaux du dispositif. Ces courants et tensions sont donnés par le modèle DC global. Le circuit électrique équivalent est donné dans la figure 2.11. Les paramètres du modèle sont donnés dans le tableau 2.3[16, p.83]. Le paramètre λ est calculé automatiquement par le simulateur, si le

TAB. 2.3 – Paramètres du modèle simplifié du transistor MOS en petits signaux

Symbole	Définition	Expression (simplifiée)	
		$V_{th} < V_{GS}, V_{DS} < V_{GS}$	$V_{th} < V_{GS}, V_{GS} \leq V_{DS}$
g_m	$\frac{\partial i_{ds}}{\partial v_{gs}}$	$KP \frac{W}{L} V_{DS}$	$\sqrt{KP \frac{W}{L} I_{DS}}$
g_{mb}	$\frac{\partial i_{ds}}{\partial v_{bs}}$	$KP \frac{W}{L} \frac{\gamma V_{DS}}{2\sqrt{2} \phi_F + V_{SB}}$	$\frac{\gamma g_m}{2\sqrt{2} \phi_F + V_{SB}}$
g_{ds}	$\frac{\partial i_{ds}}{\partial v_{ds}}$	$KP \frac{W}{L} (V_{GS} - V_{th})$	λI_{DS}

modèle LEVEL2 est sélectionné. Toutefois sa valeur dans la région de saturation peut être

estimée par l'expression :

$$\lambda = \frac{\sqrt{\frac{2\epsilon_{Si}}{qN_{SUB}}}}{2L\sqrt{V_{DS} - V_{ds-sat}} + PB} \quad (2.38)$$

où PB est le potentiel intrinsèque¹⁹ de la jonction drain-substrat (voir tableau 2.2 et l'équation 2.15).

2.4.7 Modélisation du bruit

Tous les signaux électriques qui interfèrent avec l'utilisation ou le fonctionnement d'un circuit peuvent être définis comme du bruit. Cette appellation repose sur l'analogie avec le son et à cause de son caractère perturbateur. Notre intérêt porte sur le bruit produit par des fluctuations aléatoires de courant, générées par des phénomènes physiques à l'intérieur du dispositif.

Le bruit généré par un composant est un signal temporel aléatoire $b(t)$. Sa valeur instantanée est donc inconnue et sa valeur moyenne est nulle. Le bruit est souvent un processus stationnaire, c'est-à-dire que ses propriétés statistiques sont invariantes dans le temps. Dans le cadre de notre application la supposition de stationnarité du bruit est importante jusqu'au deuxième ordre (deuxième moment statistique du signal). Il est utile d'exprimer certains formes de bruit par leur valeur moyenne carré :

$$\overline{b^2(t)} = \lim_{T \rightarrow \infty} \frac{1}{T} \int_0^T [b(t)]^2 dt \quad (2.39)$$

La fonction de densité spectrale de puissance est une alternative de représentation du bruit $b(t)$. La fonction $S(f)$ renseigne sur la puissance contenue dans une bande élémentaire de largeur df autour d'une fréquence f . On peut obtenir $S(f)$ à partir de $b(t)$ par le théorème de Wiener-Khinchine, qui affirme que $S(f)$ est la transformée de Fourier de la fonction d'auto-corrélation de $b(t)$:

$$S(f) = \mathcal{F} \left(\lim_{T \rightarrow \infty} \frac{1}{T} \int_0^T b(t) \cdot b^*(t - \tau) d\tau \right) \quad (2.40)$$

La relation de Parseval permet d'établir un rapport entre la puissance temporelle (équation 2.39) et spectrale, pour des signaux stationnaires,

$$\int_{-\infty}^{+\infty} S(f) df = \lim_{T \rightarrow \infty} \frac{1}{T} \int_0^T [b(t)]^2 dt \quad (2.41)$$

La puissance de bruit d'un dispositif est exprimée le plus souvent dans la forme spectrale $S(f)$. La relation de Parseval permet sa transformation à la forme temporelle $\overline{b^2(t)}$. Ceci facilite le calcul du bruit total d'un circuit, puisque chaque source de bruit est supposée non-corrélée, donc leur valeur carrée moyenne peut être manipulée comme une source de courant ou tension ordinaire (i_{bruit}^2 ou v_{bruit}^2). Cette valeur est donnée par l'intégrale de la densité spectrale, bornée par l'intervalle de fréquences qui nous intéresse. Le bruit est un signal de faible amplitude, par conséquent la résolution du circuit doit utiliser les modèles en petits signaux des dispositifs.

19. *built-in potential*

Ils existent trois formes principales de bruit dans un transistor MOS ; le bruit thermique, le bruit de grenaille²⁰ et le bruit de scintillement²¹ (ou bruit $1/f$). Chacune de ces formes est issue d'un phénomène physique élémentaire distinct, ce qui leur donne des densités spectrales de puissance très différentes.

Le bruit thermique

Le bruit thermique (ou bruit de Johnson) est dû aux mouvements aléatoires des porteurs de charge provoqués par l'agitation thermique. Il est associé à la résistance d'un dispositif et il est indépendant du courant ou de la polarisation. L'expression de sa densité spectrale de puissance est :

$$S_{therm} = \frac{4kT}{R} \quad (2.42)$$

L'équation 2.42 donne la densité spectrale du courant de bruit. Cette équation est aussi connue sous le nom de formule de Nyquist.

Le bruit de grenaille

Le bruit de grenaille (ou bruit de Schottky) trouve son origine dans le caractère discret du passage d'un courant. Lorsque les porteurs de charge s'affranchissent d'une barrière de potentiel il y a une fluctuation aléatoire du nombre de porteurs à chaque instant. Ce type de bruit se manifeste dans les jonctions p-n. Sa densité spectrale est :

$$S_{shot} = 2qI \quad (2.43)$$

La relation 2.43 donne la densité spectrale du courant de bruit de grenaille. Le paramètre I représente le courant moyen qui traverse la jonction, donné par l'équation 2.11.

Le bruit de scintillement

L'origine de ce bruit n'est pas totalement connue, mais dépendrait principalement de la qualité des matériaux formant les composants. Pour le silicium il est lié à la présence d'impuretés et défauts cristallins, entraînant l'apparition d'états énergétiques dans la bande interdite. Ces états énergétiques agissent comme des pièges capturant ou libérant des porteurs de charge de façon aléatoire. Sa densité spectrale de puissance a la forme de :

$$S_{1/f}(f) = K_f \frac{I_d^a}{f^b} \quad (2.44)$$

La relation 2.44 est empirique, et correspond aux allures des spectres observés pour la plupart des composants. Le paramètre I_d est le courant moyen qui passe par le dispositif, et les paramètres K_f , a et b dépendent de la technologie, du procédé de fabrication et du type de dispositif. Ces paramètres doivent être extraits des mesures. Le bruit de scintillement se distingue aussi des formes de bruits précédentes par sa dépendance à la fréquence. La puissance de bruit est concentrée sur les basses fréquences, avec théoriquement une puissance infinie vers la fréquence nulle. Ceci n'a jamais été observé, même si aucune fréquence de coupure inférieure n'a été décelée par des expériences. Le bruit de scintillement doit être considéré donc comme un processus non-stationnaire.

20. shot noise

21. flicker noise

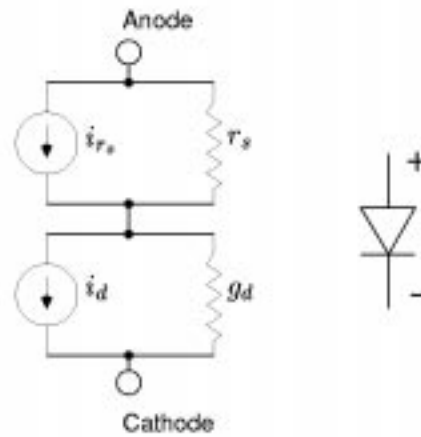


FIG. 2.12 – Modèle électrique équivalent du bruit de la diode ($\overline{i_{\text{bruit}}^2} = S_{\text{bruit}} \Delta f$).

Modélisation du bruit de la diode

Le bruit des composants est modélisé dans le simulateur électrique SPICE par l'ajout d'un circuit équivalent en petits signaux. Chaque source de bruit est représentée par une source de courant et tension, avec une amplitude égale à l'intégrale de sa densité de puissance (équation 2.41). En général le bruit dans un dispositif provient de plusieurs origines. Pour la diode il existe du bruit de grenaille associé à la jonction p-n, et du bruit thermique, associé à la résistivité du matériau. Sur une diode planaire on trouve aussi du bruit de scintillement. Le schéma du circuit est donné par la figure 2.12. Le bruit thermique est modélisé comme une source de courant en parallèle avec une résistance idéale (dépourvue de toute forme de bruit). Les bruits de grenaille et de scintillement sont modélisés comme une seule source de courant en parallèle avec la conductance en petits signaux de la diode, g_d ²². Les densités spectrales de ces courants sont données par les équations[16, p.725]:

$$S_{r_s} = \frac{4kT}{r_s} \quad (2.45)$$

$$S_{I_d}(f) = 2qI_d + KF \frac{I_d^{AF}}{f} \quad (2.46)$$

Les courants rms peuvent être obtenus en appliquant la relation 2.41 pour chaque densité spectrale de puissance. Cette modélisation du bruit de la diode est généralement satisfaisante. La plupart des incertitudes des résultats proviennent de la méconnaissance de la résistance d'accès r_s . Les paramètres KF et AF dépendent du procédé de fabrication, et doivent être extraits des mesures.

Modélisation du bruit du transistor MOS

Il existe plusieurs sources de bruit dans un transistor MOS. En règle générale le dispositif MOS a un bruit de scintillement important, avec une différence souvent énorme entre le transistor PMOS (moins bruyant) et NMOS d'une même filière technologique. L'écart peut aller à plusieurs ordres de magnitude, pour deux transistors de la même taille. Ils existent

²². $g_d = \partial I_d / \partial V_d$

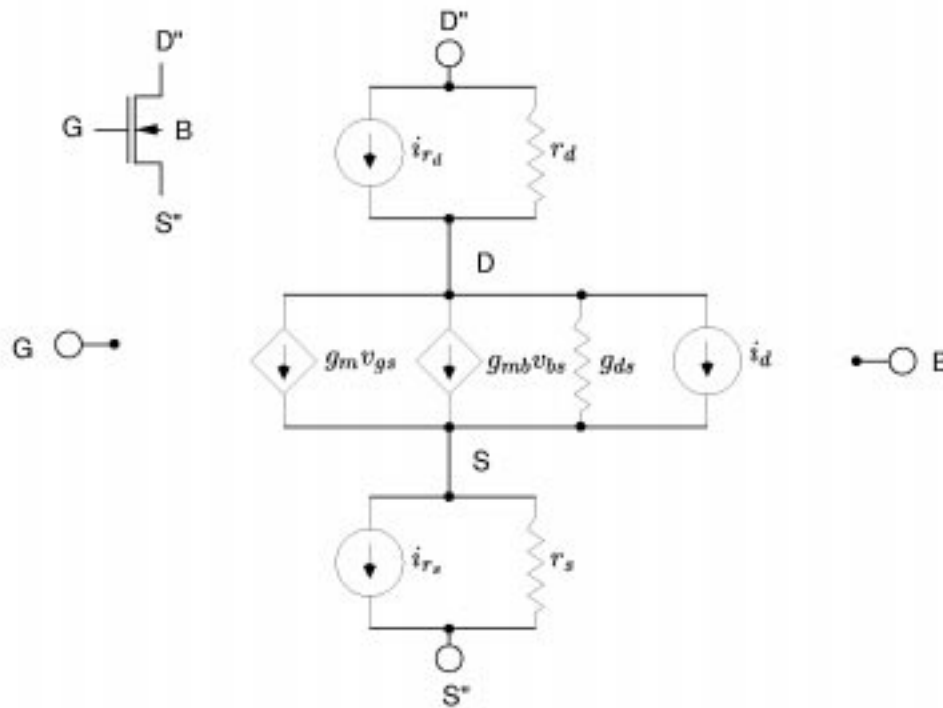


FIG. 2.13 – Modèle électrique du transistor MOS incorporant les sources équivalentes de bruit.

aussi du bruit thermique et de grenaille. Les mécanismes d'origine et la magnitude d'une partie du bruit dépendent aussi de la région de fonctionnement du transistor. Le bruit dans le transistor MOS est modélisé dans le simulateur SPICE par un circuit équivalent en petits signaux, montré par la figure 2.13. Les sources de bruit sont représentées par des sources de courant en parallèle avec les conductances en petits signaux. On trouve la contribution du bruit thermique dû à la résistivité de la source (et du drain) ainsi que la contribution du bruit de scintillement et thermique du canal du transistor.

$$S_{r_{sd}} = \frac{4kT}{r_{sd}} \quad (2.47)$$

$$S_{r_{ch}} = \frac{8kT}{3} g_m \quad (2.48)$$

$$S_{1/f}(f) = KF \frac{I_{DS}^{AF}}{f C_{ox} L} \quad (2.49)$$

Les courants de bruit sont fréquemment rapportés à la grille en divisant par la transconductance g_m du transistor. Tous les calculs sont effectués en termes des valeurs carrés moyennes ($\overline{i_{bruit}^2}$ ou $\overline{v_{bruit}^2}$).

La modélisation du bruit de scintillement donnée par la relation 2.49 présente quelques problèmes. L'équation 2.49 est une relation empirique sans aucun appui d'une théorie physique. En fait, deux théories ont été proposées pour expliquer le bruit de scintillement. La première, connue comme le modèle de McWhorter, propose que ce bruit est provoqué par une fluctuation du nombre de porteurs de charge dans le canal. Cette variation du nombre de porteurs serait due à l'interaction des charges du canal avec des pièges situés dans l'oxyde, près de l'interface $Si-SiO_2$, faisant intervenir l'effet tunnel. Le modèle développé par cette

théorie débouche sur l'expression :

$$S_{1/f}(f) = \frac{\lambda N_{\text{bords}} q^2 kT}{WLC_{\text{ox}}^2 f} g_m^2 \quad (2.50)$$

Le terme λ est une constante de *tunneling* et N_{bords} est la densité de pièges proches à l'interface. Le terme λN_{bords} peut être substitué par N_{it} , pour un calcul approximatif.

La deuxième théorie est basée sur le modèle de Hooge. Ce modèle propose que bruit de scintillement est produit par des fluctuations de la mobilité des porteurs. La densité spectrale a donc la forme :

$$S_{1/f}(f) = \frac{\alpha_H I_{DS}^2}{N_{\text{port}} f}$$

Le terme α_H est la constante de Hooge, et le terme N_{port} représente le nombre de porteurs libres dans la couche d'inversion. Le développement de cette relation conduit à l'équation :

$$S_{1/f}(f) = \frac{\alpha_H q \mu I_{DS}^2}{WLC_{\text{ox}} (V_{GS} - V_{th}) f} \quad (2.51)$$

La dépendance du bruit de scintillement sur la tension ($V_{GS} - V_{th}$) n'a pas encore été démontrée de façon expérimentale. En outre, la théorie de fluctuation de la mobilité ne donne pas un rapport direct entre le piégeage à l'interface *Si-SiO₂* et le bruit de scintillement. Des modèles qui unifient les deux théories ont été développés, et semblent donner des bons résultats[17].

Les versions commerciales du simulateur SPICE mettent en oeuvre généralement l'équation 2.50, souvent sous la forme :

$$S_{1/f}(f) = \frac{KF}{WLC_{\text{ox}}^2 f^{AF}} g_m^2 \quad (2.52)$$

Le simulateur SPICE suit le modèle de McWhorter mais il met en oeuvre l'équation 2.49. Les paramètres de modélisation du bruit du transistor MOS pour le simulateur SPICE (et ses versions disponibles commercialement) sont habituellement les termes KF et AF. Toutefois, les valeurs de ces paramètres changent selon la forme de modélisation mise en oeuvre par le simulateur (équation 2.49 ou 2.52).

Chapitre 3

Les technologies de fabrication *Manufacturing technologies*

3.1 Introduction

Au début, les transistors étaient des dispositifs discrets car le procédé de fabrication était simple. Ce fut avec l'invention du procédé planar en 1959 chez Fairchild que la production du circuit intégré démarra à une échelle industrielle.

Le procédé planar est basé sur l'utilisation de masques successifs pour diriger la gravure de l'oxyde de silicium, ce qui permet de doper la surface de la plaquette de façon sélective et ainsi de créer les transistors collectivement. Les procédés modernes sont le résultat d'une évolution continue du procédé original. Cette évolution a cherché à réaliser des géométries de plus en plus fines, afin d'augmenter le nombre de transistors dans les circuits intégrés. Ce perfectionnement a abouti à des procédés forts complexes, notamment avec l'avènement des procédés submicroniques. Néanmoins, les opérations élémentaires sont toujours les mêmes, et sont restées conceptuellement proches des premières filières MOS.

Un procédé de fabrication (soit filière technologique, soit plus simplement une technologie) est un assemblage ordonné de modules de base (modules d'un procédé¹), réalisé sur une tranche qui sert de support mécanique. Chaque module répond à un des besoins pour la fabrication d'un circuit intégré, qui sont :

- réaliser les transistors sur une même tranche ;
- limiter les interactions entre ces transistors ;
- connecter les transistors entre eux pour établir les circuits souhaités.

Un module est composé d'une séquence précise d'opérations élémentaires. Les matériaux utilisés et l'enchaînement de ces opérations définissent les modes de dysfonctionnement auxquels le circuit intégré sera susceptible d'être affecté lors de l'exposition à la radiation. Pour mieux comprendre la réponse au rayonnement, on a besoin de connaître les étapes de fabrication des circuits intégrés, et les différents types de filières qui en résultent. L'étude menée dans ce chapitre est limitée aux éléments dont on a besoin pour la compréhension des effets du rayonnement et des techniques de durcissement. Des discussions exhaustives peuvent être trouvées dans les ouvrages spécialisés[18, 9, 19].

1. *process modules*

Les progrès des techniques de fabrication des circuits ont récemment permis l'apparition d'un nouveau concept; les microsystèmes micro-usinés intégrés. Puisque ces microsystèmes sont tributaires des procédés modernes, ils subissent les mêmes phénomènes physiques sous le rayonnement que les circuits intégrés, avec un impact plus ou moins néfaste sur leur fonctionnement.

Les principes du procédé planar de fabrication ainsi qu'un aperçu des principales technologies MOS sont décrits dans ce chapitre. Les points importants pour les applications spatiales sont relevés.

Ensuite, nous faisons une introduction aux microsystèmes intégrés (micro-usinés) et aux techniques de fabrication associées. L'introduction est clôturée par une discussion sur les applications spatiales des microsystèmes.

3.2 Le procédé planar

Les premiers procédés de fabrication industrielle de transistors ne permettaient pas la fabrication collective d'un grand nombre de dispositifs, ce qui rendait les produits chers. Le premier procédé où les dispositifs furent fabriqués de façon simultanée sur une tranche fut développé en 1957 par Texas Instruments. Ce procédé donna des transistors bipolaires avec une structure MESA² (transistors réalisés sur des îlots avec flancs en pente), il a permis l'apparition du premier circuit intégré, inventé par J. KILBY chez Texas Instruments, en 1958.

La découverte quelque temps auparavant des propriétés d'étanchéité aux contaminations chimiques de la silice (SiO_2) produite par l'oxydation de la surface du silicium ouvra la voie au procédé planar. Ce procédé, introduit par Fairchild Camera en 1958, supplanta le procédé MESA dès 1959.

Le procédé planar utilise la couche de SiO_2 obtenue par l'oxydation du Si comme un masque étanche. Ce masque est gravé par photogravure, et permet ainsi de protéger ou d'exposer des régions aux opérations de dopage. Ce dopage sélectif forme les dispositifs. Ces dispositifs sont des structures planaires, c.-à-d. qu'ils finissent dans une surface approximativement plane, le plan défini par l'interface du substrat avec une couche protectrice superposée. Cette couche, normalement du SiO_2 , fonctionne à la fois comme isolant électrique et comme protection contre la contamination chimique (passivation). La couche de SiO_2 sert aussi de support pour les couches de connexion du circuit intégré. L'existence et les bonnes propriétés de la couche SiO_2 sont les principales raisons du succès du silicium comme matériau électronique.

La fabrication des circuits intégrés commence par la production du matériau de base, du silicium mono-cristallin de haute pureté. Le cristal est fabriqué le plus souvent par le procédé de CZOCHRALSKI, inventé en 1917. Ce procédé permet l'obtention de cristaux en silicium cylindriques (lingots) avec une orientation du plan cristallographique choisie. Il est impossible de fabriquer du Si totalement pur (intrinsèque). Le lingot est le plus souvent faiblement dopé p- ou n-. Le matériau ainsi traité est parfois appelé du type- π ou du type- ν .

Le lingot de Si subit alors des opérations de sciage et polissage, où il est découpé en plaquettes³ (ou tranches, ou rondelles) et des méplats⁴ sont créés pour faciliter l'identification du type de dopage et de l'orientation du plan cristallin contenu sur la surface des plaquettes. Les types les plus courants sont montrés dans la figure 3.1[20, p.13].

2. table en espagnol

3. wafers

4. wafer flats

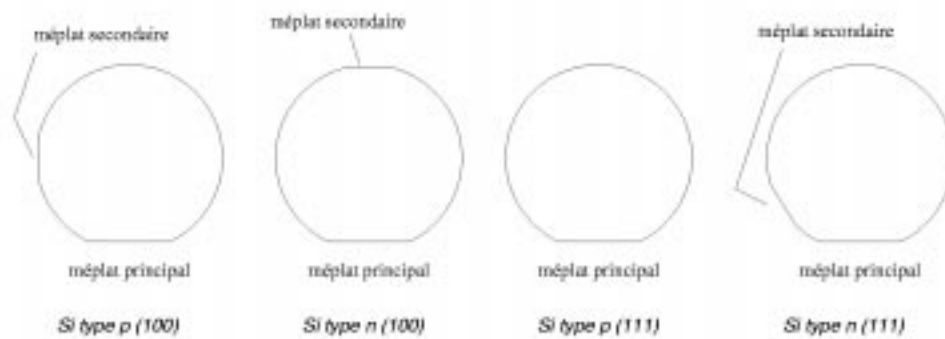


FIG. 3.1 – Les types de plaquette les plus courantes et ses méplats d'identification.

Les tranches ont un diamètre entre 100 mm et 300 mm, et une épaisseur d'environ 600 μm . La tranche constitue le substrat de départ des opérations technologiques. Elle sert essentiellement de support mécanique pour les circuits électriques, qui sont situés sur une fine couche de silicium à la surface. Ce double emploi de la tranche, à la fois comme support mécanique et substrat pour la fabrication des dispositifs (donc électriquement actif) n'est pas universel. Dans certaines filières, la tranche en silicium est remplacée par un autre matériau, comme le corindon⁵ ou la zirconie⁶, et un substrat en silicium est formé à sa surface pour la fabrication des dispositifs. Ils existent des variations où le substrat repose sur une tranche en silicium, elle-même protégée par un isolant électrique. Ce sont les technologies du silicium sur isolant⁷, qui sont abordées dans une section postérieure.

Pour fabriquer des circuits intégrés sur une plaquette, on doit atteindre les objectifs suivants :

- I. réaliser les dispositifs ;
- II. les placer de la façon la plus dense possible ;
- III. tout en assurant la non-interférence entre eux ;
- IV. et connecter ces dispositifs pour former les circuits.

Ces besoins sont associés à des ensembles d'opérations et d'étapes appelés modules. Les deux premières démarches (I et II) sont accomplies par le module de fabrication du transistor. La démarche III est réalisée par le module d'isolation des dispositifs, et la démarche IV est l'objet du module d'interconnexions. La division des opérations technologiques en modules ne signifie pas qu'ils sont pour autant entièrement indépendants. Pourtant, cette division rend plus simple la tâche de faire évoluer une filière. En effet, on fait évoluer les modules séparément.

Dans chaque module d'un procédé, on effectue sur la tranche une séquence de traitements et d'opérations technologiques. Un grand nombre de ces étapes de fabrication sont communes à plusieurs modules, on les appelle opérations élémentaires.

5. saphir (Al_2O_3)

6. ZrO_2

7. SOI – *silicon-on-insulator*

3.3 Les opérations élémentaires

Les opérations élémentaires sont les opérations de fabrication qui sont répétées plusieurs fois pendant le flot de fabrication du circuit intégré.

Ces opérations sont ; le masquage, la photo-lithographie, la gravure, l'oxydation, le dépôt et le dopage. Les conditions exactes d'exécution de ces opérations varient selon le stade de fabrication du circuit.

3.3.1 Le masquage et la photo-lithographie

Le masquage et la photo-lithographie sont les opérations élémentaires qui définissent la plus petite géométrie réalisable sur la tranche. L'objectif de ces opérations est de délimiter les régions à la surface de la plaquette qui seront ensuite gravées ou dopées.

Le masquage commence par le dépôt d'une résine organique photo-polymérisable sur la surface. Ensuite, on projète à travers un masque une image sur la couche de résine. La résine est développée, laissant sur la surface le motif qui était sur le masque, où les régions exposées doivent recevoir les traitements subséquents. La résine laissée sur la surface fonctionne alors comme un masque de protection pour la surface. C'est le procédé de lithographie. À la fin de son utilisation comme masque protecteur la résine est ôtée par un traitement de décapage et de rinçage complet, de façon à éviter toute pollution.

3.3.2 La gravure

Le but de la gravure⁸ est d'attaquer une couche non-protégée. Les régions à attaquer sont les surfaces non-protégées par la résine. La gravure peut être humide⁹ ou sèche¹⁰, selon la forme de l'agent utilisé pour dissoudre les zones non protégées. Dans le cas de la gravure humide, l'attaque est réalisée par une solution liquide. Dans la gravure sèche, on utilise un gaz ou un plasma¹¹. La gravure humide est habituellement très sélective, tandis que la gravure sèche attaque tous les matériaux à peu près à la même vitesse (RIE avec du O_2). L'association entre la sélectivité et le type de gravure est une simplification utile dans le contexte de cette étude. La fabrication des circuits intégrés modernes comprend des étapes de gravures sèches sélectives ainsi que des étapes de gravures humides non-sélectives. La sélectivité de la gravure permet l'utilisation des couches enfouies sous la surface comme barrières.

L'érosion du matériau peut être uniforme ou peut suivre une direction préférentielle. Dans le premier cas, la gravure est dite isotropique, et dans le second cas, elle est dite anisotropique. La gravure humide anisotropique du silicium suit des directions qui dépendent de l'orientation du plan cristallin. La gravure anisotropique est un phénomène très utile pour la définition des profils abrupts, notamment dans la réalisation des micro-systèmes intégrés. L'opération de gravure est suivie immédiatement d'un rinçage pour éliminer le matériau dissout et les traces de l'agent réactif.

8. *etching*

9. *wet*

10. *dry*

11. RIE - *reactive ion etch*

3.3.3 L'oxydation

L'oxydation est l'opération élémentaire qui permet la transformation du silicium du substrat en silice (SiO_2). L'oxydation est habituellement un processus où le Si à la surface est consommé et transformé en SiO_2 , par une réaction chimique, à chaud, entre une atmosphère oxydante et le substrat. La réaction se poursuit sous la couche de SiO_2 formée, puisque l'oxygène la traverse par diffusion.

L'oxydation peut être humide ou sèche, selon l'atmosphère employée. Dans l'oxydation humide, on expose la plaquette à l'oxygène mélangé avec de la vapeur d'eau (à une température d'environ $1000^\circ C$). Dans l'oxydation sèche, l'atmosphère est composée d'oxygène pur. L'oxydation humide consomme le Si beaucoup plus vite que l'oxydation sèche. Ceci permet d'augmenter la productivité, et aide à limiter des effets de diffusion des régions dopées. L'oxydation sèche est beaucoup moins rapide, mais la qualité de l'oxyde est souvent très supérieure. L'oxyde de la grille des transistors MOS est typiquement produit par l'oxydation sèche, tandis que les oxydes d'isolation sont produits par l'oxydation humide. L'oxydation n'est pas la seule façon pour former une couche de SiO_2 . Ils existent deux autres approches ; le dépôt et l'implantation.

3.3.4 Le dépôt

L'opération de dépôt cherche à déposer un composé à la surface de la tranche. Ceci est accompli le plus souvent par une réaction chimique en phase gazeuse¹². Un gaz (ou un mélange de gaz) chaud est passé sur la surface de la tranche, entraînant une réaction chimique qui produit le composé souhaité. On peut contrôler la vitesse de formation et les caractéristiques de la couche déposée par la température et par la manipulation des conditions ambiantes du dépôt, à savoir ; dépôt à pression atmosphérique¹³, dépôt à basse pression¹⁴, dépôt assisté par plasma¹⁵. Par ce moyen, il est possible de bâtir une couche de Si monocristallin de très bonne qualité sur la surface de la tranche ; c'est le Si épitaxié. Si le dépôt de Si n'est pas fait sur le substrat en Si cristallin on obtient du silicium amorphe, qui après le recuit deviendra le silicium poly-cristallin, communément appelé polysilicium.

Le dépôt peut aussi être effectué par la pulvérisation¹⁶ du matériau sur la tranche. Cette technique est largement employée pour la déposition des éléments métalliques (titane, tungstène, etc.).

3.3.5 Le dopage

Le dopage consiste à introduire des impuretés (arsenic, bore, phosphore) dans le silicium. Cela peut se faire par diffusion ou implantation ionique.

Dans le processus de la diffusion, l'élément dopant est mis en contact avec la surface du silicium (un dépôt, par exemple), et l'ensemble est ensuite soumis à une température élevée pour accélérer la pénétration du dopant (activation). La diffusion est isotropique. La concentration et le profil (profondeur) du dopage sont contrôlés par la température, le temps, et la manière dont la surface est approvisionnée en éléments dopants.

12. CVD—chemical vapor deposition

13. APCVD—atmospheric pressure

14. LPCVD—low pressure

15. PECVD—plasma enhanced

16. sputtering

La deuxième méthode pour introduire des dopants dans le silicium est l'implantation ionique. Dans cette technique, la tranche est bombardée par un faisceau d'ions, qui sont accélérés par un champ électrique intense. Le degré de pénétration des ions est fonction de leur nature (numéro atomique), de leur accélération (énergie, souvent exprimée en kilo électron-volts¹⁷), et du genre des couches traversées. La collision des ions avec la maille cristalline crée des défauts, qui sont normalement supprimés par un traitement thermique ultérieur (guérison).

L'implantation ionique permet un contrôle très précis du profil de dopage (concentration, profondeur, etc.). Ceci permet la réalisation de structures plus denses, ce qui est en train de conduire à un remplacement progressive de la diffusion par l'implantation dans les opérations de dopage. L'implantation peut aussi être mise à profit pour la création de couches enterrées. Cette technique trouve une importante utilisation dans la formation de couches en SiO_2 par l'implantation d'oxygène. Ce procédé est à la base des technologies CMOS-SOI du type SIMOX.

La diffusion et l'implantation nécessitent un traitement thermique supplémentaire; le recuit¹⁸. Le recuit est un processus thermique à haute température. La tranche est chauffée dans un four jusqu'à 800°C-1100°C, favorisant la redistribution des impuretés dans le silicium (activation) et la guérison des défauts dans la maille cristalline.

3.4 Les modules

Les trois modules-procédés de base (dispositif, isolation et connexion) sont composés de l'enchaînement bien précis des opérations élémentaires. Les principales contraintes sont le budget thermique et le maintien de la planarité de la surface. Les problèmes de contamination doivent être pris en compte, dans une moindre mesure.

La principale contrainte pour l'assemblage de toute filière est le respect d'un budget thermique. On appelle budget thermique le cumul de toutes les étapes réalisées en température élevée. Ces étapes sont typiquement le recuit, l'oxydation et l'épitaxie. En règle générale les opérations élémentaires successives doivent se passer à des températures de moins en moins élevées. Ceci est dû au fait que la diffusion des dopants continue tout au long de la fabrication, or la haute température favorise ce processus. La redistribution des dopants empêche la réalisation de structures très denses et rend plus difficile la mise au point des propriétés électriques des dispositifs.

L'autre facteur qui doit être pris en compte dans la définition du budget thermique global est la température de fusion (660°C) de l'aluminium utilisé pour les interconnexions. Tout traitement de la tranche après la formation des structures contenant de l'aluminium ne peut pas dépasser cette température. Pour donner une perspective du problème on peut citer le fait que dans un procédé «froid» les étapes en température élevée atteignent entre 800°C et 900°C¹⁹.

Consécutivement à la compatibilité thermique entre les structures, la préoccupation dans la définition d'un module est la recherche à produire, à son achèvement, une surface aussi plate que possible. L'existence de «marches» abruptes présente des inconvénients pour la gravure (imposition d'une profondeur de champ optique plus grande pour la lithographie) et pour l'interconnexion (favorisation des phénomènes parasites d'électromigration et défaillances de

17. KeV

18. *annealing*

19. sauf pour le recuit rapide (RTA) où la température est $\approx 1050^\circ\text{C}$ pendant quelques seconds

continuité). La planarisation de la topographie est souvent assurée par l'ajout des étapes de polissage chimique, dépôt et fluage des verres (de type BPSG²⁰ ou USG²¹) ou plus rarement, des résines (polyimides). Dans certains cas les résines jouent aussi un rôle de protection (blindage) contre des particules radioactives.

3.4.1 Le module d'isolation

Le module d'isolation cherche à bâtir des structures qui empêchent l'interférence électrique entre les dispositifs. La première technique d'isolation développée a été l'isolation par jonction²². Dans l'isolation par jonction, des jonctions p-n polarisées en inverse sont interposées entre les dispositifs. Elle a été inventée pour les circuits bipolaires. Les circuits MOS n'ont pas besoin de jonctions additionnelles pour les isoler électriquement, puisque sources et drains forment déjà des jonctions avec le substrat. Cependant, il faut prévenir l'établissement de couches d'inversion dans le substrat, sous les interconnexions entre les dispositifs (transistors MOS parasites).

La première réponse à ce problème consistait à augmenter la tension de seuil du transistor MOS parasite. Plusieurs stratégies sont envisageables, dont deux sont les plus courantes ; l'augmentation de l'épaisseur de l'oxyde de champ²³ sur qui repose le conducteur (la grille de la structure MOS parasite), et le surdopage du substrat sous ledit oxyde.

La croissance d'un oxyde épais entre les dispositifs a été la première technique d'isolation mise en oeuvre pour la fabrication de circuits intégrés MOS. Ce type d'isolation est appelé LOCOS²⁴. Le silicium est oxydé localement dans une atmosphère de vapeur d'eau à environ 1000°C. Cette opération produit une oxydation du substrat dans les zones non-protégées par un masque en nitrure de silicium²⁵ déposé et gravé préalablement. L'isolation LOCOS présente deux inconvénients principaux ; l'épaisseur de l'oxyde, et l'effet «bec d'oiseau».

L'oxyde LOCOS produit par la consommation du Si du substrat s'élève à une hauteur supérieure au niveau du substrat original. Ce phénomène, dû à la plus faible densité moléculaire du SiO_2 par rapport au Si , crée des «marches» abruptes entre les régions recouvertes (champ²⁶) par le LOCOS et les autres régions (sources, drains, etc.). L'épaisseur du LOCOS doit être alors minimisée. Pour permettre cela, on procède à un surdopage du substrat sous l'oxyde LOCOS, ce qui élève la tension de seuil pour l'inversion de la surface. Un élément dopant, typiquement le bore (pour le substrat en $Si-p$), est introduit sous l'oxyde LOCOS par implantation ionique. Ce surdopage est appelé implantation de champ²⁷ ou implantation de blocage²⁸.

L'implantation de blocage autorise une réduction considérable de l'épaisseur de l'oxyde, sans préjudice pour l'isolation entre les transistors. Toutefois, il présente quelques inconvénients, liés à des altérations du profil de dopage provoquées par des traitements thermiques ultérieures (repompage du bore dans l'oxyde et ségrégations à l'interface).

20. *boron-phosphor-silicate-glass* — verre dopé à environ 4 % bore et 3 % phosphore, pour faciliter le fluage

21. *undoped silicate glass* — verre non dopé (SiO_2 intrinsèque)

22. *junction isolation*

23. *field oxide* - FOX

24. *local oxydation of silicon*

25. Si_3N_4

26. *field*

27. *field implant*

28. *channel-stop implant*

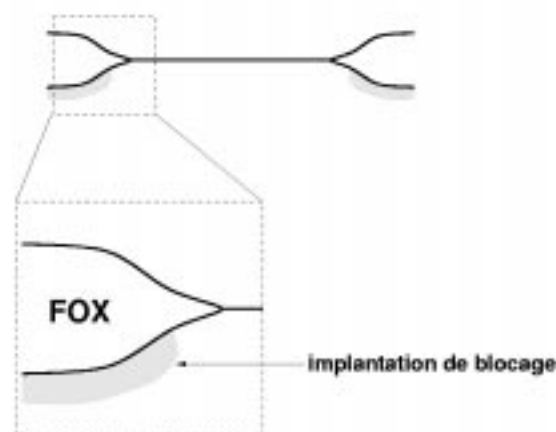


FIG. 3.2 – Structure en bec d'oiseau aux bords de l'isolation LOCOS.

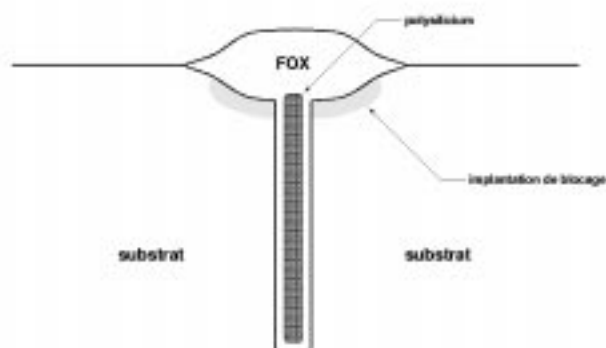


FIG. 3.3 – Isolation par tranchée. Dans une technologie SOI ou épitaxiée la tranchée s'enfonce jusqu'à la couche enterrée (du SiO_2 ou du Si fortement dopé).

L'inconvénient majeur de l'isolation LOCOS est l'existence de la structure en bec d'oiseau²⁹, montrée dans la figure 3.2. Cette structure est due à la diffusion de l'oxygène sous les bords du masque en Si_3N_4 . L'effet bec d'oiseau provoque une réduction des dimensions des zones protégées (sources, drains et grilles de transistors) et ainsi limite la taille et l'espacement minimale des dispositifs. Un travail acharné a été entrepris au fil des années pour pallier ce problème. Le résultat a été un énorme progrès, qui a permis l'emploi de l'isolation LOCOS jusqu'aux procédés submicroniques actuels (1,0–0,35 μm).

La complexité technologique de l'isolation LOCOS n'a pas cessé de s'accroître avec la réduction des règles de dessin et les gains possibles sont de plus en plus limités. Ce fait a conduit à l'invention de nouvelles techniques d'isolation. La technique la plus largement utilisée dans les nouveaux procédés submicroniques (pas de grille de 0,25 μm ou moins) est l'isolation par tranchées³⁰ (voir figure 3.3).

L'isolation par tranchées consiste à creuser une tranchée dans le substrat pour ensuite la remplir d'un isolant[18, p.45] (SiO_2). La façon dont la tranchée est creusée et les matériaux utilisés pour le remplissage varient considérablement. Les tranchées sont utilisées pour substituer le LOCOS et éliminer le bec d'oiseau mais aussi pour éviter des verrouillages de courant

29. *bird's beak*

30. *trench*

(dans les filières CMOS), isoler des transistors bipolaires (dans les filières bipolaires) et réaliser des capacités (dans les mémoires dynamiques).

Une autre technique d'isolation entièrement distincte de celles présentées est l'isolation par blindage électrique du substrat (*field-shield isolation*). Cette technique sera abordée dans la discussion sur le durcissement au niveau des procédés (section 5.5.1).

Les techniques d'isolation décrites cherchent à prévenir l'interaction latérale entre les dispositifs. Parfois de graves interférences surviennent par des mécanismes en profondeur. Les techniques d'isolation verticale (substrat épitaxié, SOI) sont alors mises à profit.

3.4.2 Le module de dispositif

Les transistors et les diodes sont formés dans le module de dispositif. L'objectif de ce module est de fabriquer des dispositifs ayant les propriétés électriques les plus proches possibles des dispositifs idéaux. La tâche n'est pas simple, et la progression vers les transistors submicroniques a exigé le développement de techniques assez complexes. La description faite ici cherche seulement à faire ressortir les éléments les plus importants pour notre recherche.

À la fin du module d'isolation, la tranche est couverte par la couche d'isolation, à l'exception des régions où seront fabriqués les dispositifs. Durant la fabrication de l'isolation, ces régions ont été protégées par un masque, qui est typiquement constitué par l'empilement de couches d'oxyde (SiO_2), de nitrure (Si_3N_4) et de résine. La construction des dispositifs démarre par l'enlèvement de ce masque, et le décapage du substrat exposé.

Les régions décapées sont les futures zones dites actives. Une fine couche d'oxyde est formée sur ces zones. À ce stade, on pratique un dopage par implantation, pour contrôler la tension de seuil du transistor fabriqué. Il est indispensable que la couche d'oxyde soit de très bonne qualité, pour que le transistor fonctionne correctement. Dans ce souci, habituellement on fait croître une couche d'oxyde sacrificiel entre chaque opération (décapage, implantation). À la fin du processus, on obtient une surface presque parfaite pour la croissance de l'oxyde de la grille. Cet oxyde est typiquement obtenu par l'oxydation sèche, souvent en présence du chlore [18, p.331]. Cependant, de nombreuses variations sont possibles. La manière exacte dont l'oxyde de la grille est formé et les contraintes imposées par les étapes de fabrication ultérieures ont une forte influence sur la tolérance du dispositif aux rayonnements.

L'étape suivante à la formation de l'oxyde de la grille est le dépôt du polysilicium. La couche de polysilicium est ensuite dopée. Ce dopage est nécessaire pour trois raisons ; améliorer la conductivité du polysilicium, aider à corriger la tension de seuil du transistor, ou (et) éviter l'injection de porteurs dans l'oxyde à partir de la grille.

Le gain en conductivité apporté par le dopage du polysilicium est limité. Pour surmonter ce problème, on dépose une couche de siliciure ($TaSi_2$, mais aussi du $TiSi_2$, TiN , WSi_2 , etc. — plus rarement) sur le polysilicium.

L'empreinte des grilles (et des interconnexions en polysilicium) est transférée sur la tranche par une étape de masquage et photo-lithographie. Les zones à conserver sont protégées par une couche de résine, et la tranche subit une gravure sèche. Cette gravure laisse à découvert le substrat non protégé par l'oxyde de champ ou par le polysilicium.

Les zones laissées à nu sont dopées par implantation, définissant ainsi les sources et drains, les cathodes et anodes, et les prises de contacts électriques avec le substrat. Le procédé est dit auto-aligné, car la grille et l'oxyde de champ servent de masque pour le dopage. Le dopage complète la formation des dispositifs dans le substrat.

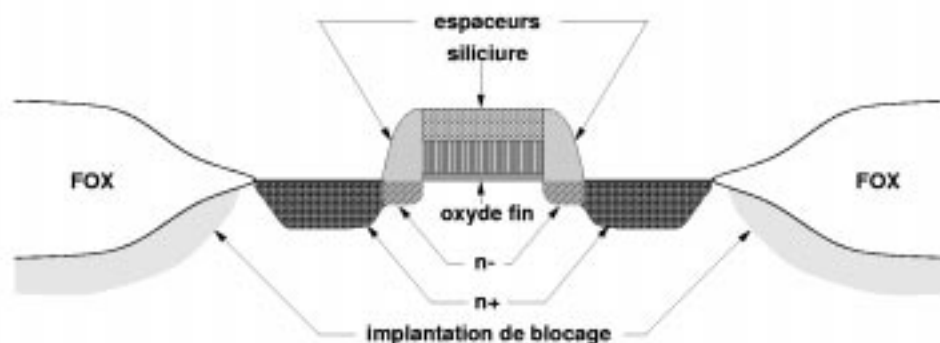


FIG. 3.4 – Profil d'un transistor NMOS avec un drain graduel (LDD).

La formation des deux types de transistors nécessite au moins deux étapes d'implantation, pour former les différents types de sources et de drains. Dans les technologies CMOS on insère des étapes de masquage par résine additionnels avant chaque implantation pour doper de manière sélective chaque type de transistor.

La formation de dispositifs dans les procédés modernes ne se résume pas aux opérations décrites. L'étude de ces opérations et la justification de leur présence peut être trouvée dans les ouvrages spécialisés. Toutefois, il existe une structure qui est présente dans tous les dispositifs submicroniques et qui joue un rôle important dans le contexte de cette étude; les jonctions graduelles³¹.

Les jonctions graduelles apportent une réponse au problème de l'injection de porteurs chauds dans l'oxyde à partir du canal. La réduction de la longueur du transistor conduit à un champ électrique plus élevée dans le canal sous la grille, entre la source et le drain. Ce champ électrique intense accélère les porteurs, qui peuvent acquérir des énergies très supérieures au niveau moyen d'énergie associée à la température de la maille cristalline. Ces porteurs accélérés sont dites chauds³². Les porteurs chauds qui arrivent à franchir la barrière de potentiel entre le canal et l'oxyde de la grille s'y trouvent piégées, et induisent des dérives dans la tension de bandes plates du transistor. Les porteurs chauds provoquent aussi des courants à l'intérieur du substrat qui peuvent amorcer des mécanismes de verrouillage de courant (voir la description des technologies CMOS, en aval).

Pour éliminer ce phénomène, on essaie de réduire le pic du champ électrique en utilisant des jonctions graduelles. À la source et au drain on passe progressivement d'un dopage élevé à un dopage plus faible. Cela exige des étapes de masquage et d'implantation supplémentaires.

La réalisation des jonctions graduelles peut être accomplie par différentes structures (LDD³³, DDD³⁴). La structure la plus adoptée pour les procédés submicroniques a été la structure LDD qui utilise un espaceur en oxyde de silicium. Le transistor qui en résulte a le profil montré dans la figure 3.4. La partie moins dopée du drain, sous l'espaceur, est responsable pour le contrôle des porteurs chauds.

31. *gradual junctions*

32. *hot carriers*

33. *Lightly Doped Drain*—drain légèrement dopé

34. *Doubly Doped Drain*—drain dopé à deux reprises

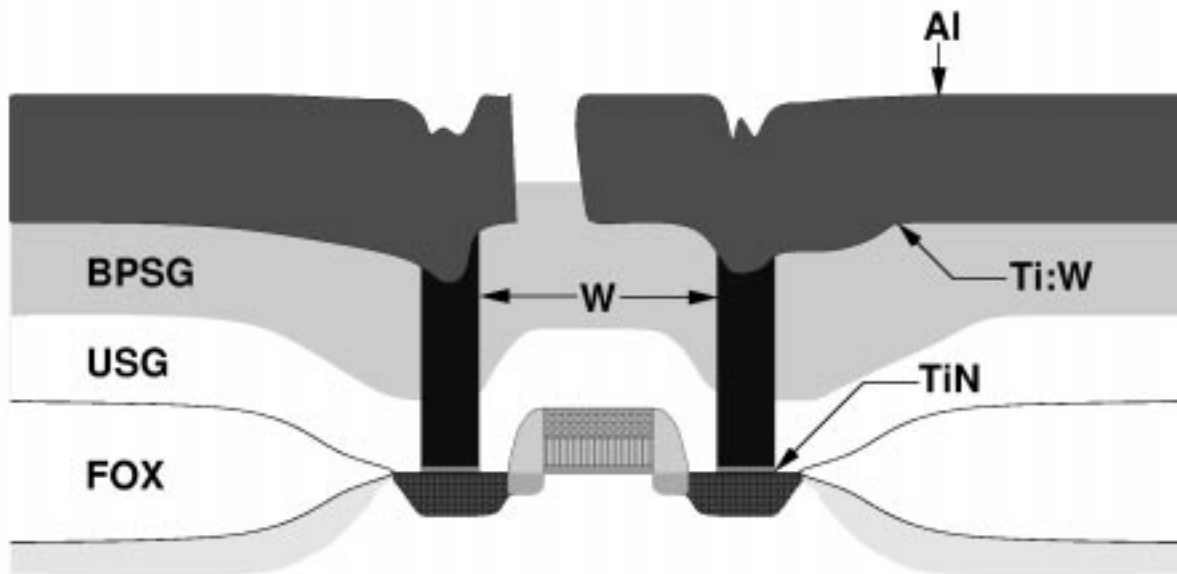


FIG. 3.5 – Vue en coupe schématique de la tranche après la formation des premières interconnexions en métal.

3.4.3 Le module de connexion

Une fois complétée la formation des transistors et des régions dopés pour la prise de contact électrique avec le substrat, il faut établir les connexions électriques entre les dispositifs. Cette démarche est réalisée par le module de connexion. La réalisation des connexions passe par :

- le dépôt d'une couche d'isolant pour assurer à la fois l'isolation et la protection ;
- l'ouverture d'orifices dans l'isolation et le remplissage avec du métal (contacts et vias) pour permettre le passage du courant entre les couches , et finalement ;
- le dépôt d'une couche conductrice , les interconnexions elles-mêmes.

Cette séquence est répétée plusieurs fois, selon le nombre de couches d'interconnexion voulu. Après chaque dépôt d'une couche d'isolant, on procède à une opération de planarisation (par érosion chimique, mécanique ou une combinaison des deux) de la surface. Le but de cette planarisation est d'assurer une topographie la moins accidentée possible, de façon à faciliter un recouvrement uniforme par la couche conductrice qui suit.

Pour les prises de contact³⁵ entre les couches on utilise fréquemment du tungstène (W) comme matériau de remplissage. Les prises de contact électrique avec le substrat dopé (sources et drains, par exemple) emploient une couche de barrière en composés métalliques (TiN , $TiSi_2$, $CoSi_2$) . Ces barrières ont pour but d'empêcher le perçage des régions dopées par l'aluminium³⁶. Les couches conductrices font aussi appel à des composés métalliques similaires ($Ti:W$), dont le but est de favoriser l'adhésion de l'aluminium au verre isolant sous-jacent (SiO_2).

35. *contact plugs*

36. *spiking*

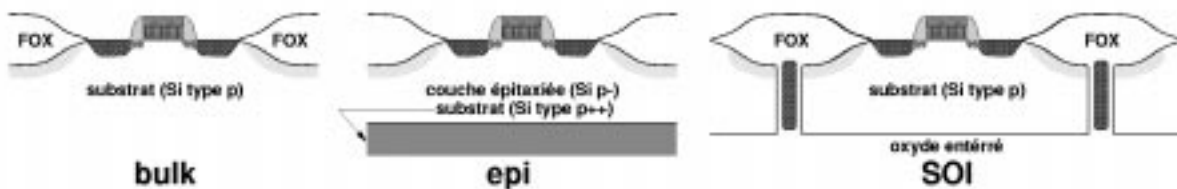


FIG. 3.7 – Vue en coupe schématique des technologies bulk, épitaxiée et SOI (SIMOX).

3.6 Les technologies CMOS bulk

Les technologies CMOS les plus répandues sont les technologies sur substrat en silicium massif (*bulk*). Dans les technologies CMOS bulk le matériau de base est une tranche en silicium légèrement dopé. La tranche sert de support mécanique ainsi que de substrat pour la fabrication des transistors. On dit que les transistors sont réalisés sur du substrat massif. Pour avoir les deux types de transistors (p et n) sur une même tranche, il faut créer des régions où le dopage du substrat est l'inverse de celui de la tranche. Ces régions, nommées caissons³⁹, sont normalement créés par le dépôt (CVD) d'impuretés (dopage) sur la surface et subséquente diffusion à une température élevée (recuit). La disponibilité des deux types complémentaires de transistors MOS sur une même puce offre une grande flexibilité pour la réalisation des circuits denses, complexes, et à faible consommation d'énergie.

Il existe diverses façons pour former les caissons. Ces variations ont pour but de contrôler la profondeur et le profil exact du dopage des caissons. Ces caractéristiques sont à la base des propriétés électriques les plus importantes pour le fonctionnement des transistors ; la tension de seuil du transistor, la capacité parasite, la tension de claquage des jonctions, etc.

Les types de caissons les plus fréquents sont le caisson unique⁴⁰ et le caisson double⁴¹. Il existe une troisième variété, plus rare, le caisson triple⁴², qui demande une couche épitaxiée.

L'isolation entre les caissons est assurée par leur polarisation électrique par rapport au substrat. Malheureusement, l'existence du caisson électriquement connecté au substrat engendre l'apparition d'un dispositif parasite qui dans certaines conditions peut perturber gravement le fonctionnement du circuit. C'est le thyristor parasite, formé entre les sources des deux types de transistor, le substrat et le caisson.

3.6.1 Le thyristor parasite

Le thyristor parasite est un dispositif pnpn formé entre les région dopées dans le substrat et à l'intérieur du caisson, comme montré dans la figure 3.8.

Le thyristor est électriquement équivalent au montage de la figure 3.9. Le transistor bipolaire vertical du type pnp est connecté au transistor bipolaire latéral du type npn par un réseau de résistances parasites. Les résistances sont dues à la résistivité du substrat et du caisson. Ce circuit forme une boucle à contre-réaction positive. Le circuit a deux états stables ; le premier où le courant traversant les transistors est quasi nul, et le deuxième où le courant est très élevée, avec un écroulement de la tension entre les bornes du thyristor (généralement reliées aux alimentations du circuit intégré).

39. wells

40. single well

41. double well

42. triple well

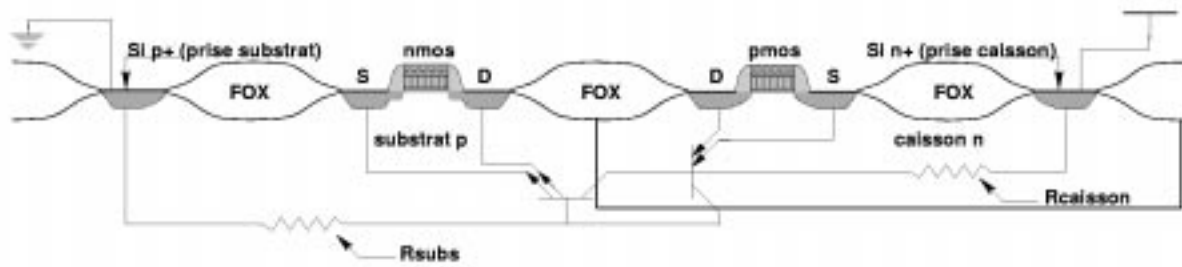


FIG. 3.8 - Vue en coupe schématique d'une technologie CMOS à caisson simple et circuit électrique équivalent de la structure pnpn parasite.

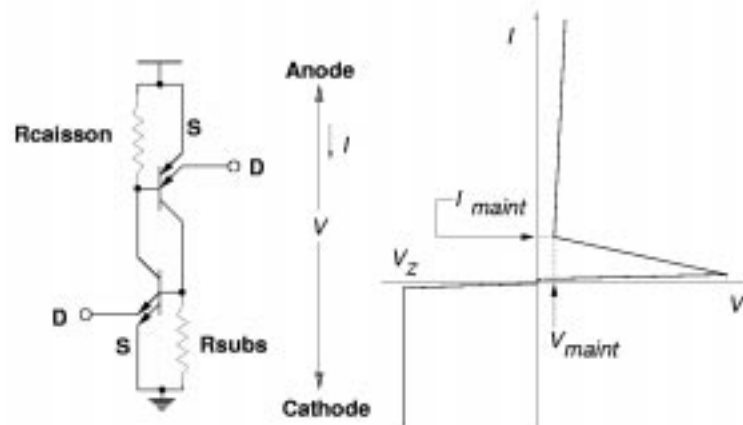


FIG. 3.9 - Circuit électrique équivalent du thyristor et sa courbe de transfert.

Le passage à l'état de courant élevé maintenu est appelé un événement de verrouillage de courant⁴³. Le courant intense et l'écroulement des rails d'alimentation entraînent l'interruption du fonctionnement du circuit intégré, voire la destruction par fonte des structures conductrices en aluminium à l'intérieur de la puce.

L'amorçage du verrouillage de courant dépend de trois facteurs principaux :

- le gain de boucle $\beta_{npn}\beta_{pnp}$ doit être supérieur à 1 ;
- les deux jonctions base-émetteur doivent être polarisées en directe ;
- le circuit branché aux bornes du thyristor (les émetteurs des transistors bipolaires) doit être capable de fournir et d'absorber un courant supérieur au courant de maintien du thyristor. La tension entre les bornes doit être supérieure à une tension de maintien, pour que le thyristor reste amorcé ;
- l'injection de courant dans la base d'un des bipolaires doit avoir une durée minimale pour que la boucle ait le temps de s'établir.

Le verrouillage de courant est un problème sérieux qui a fait l'objet de nombreuses études[21]. Les approches pour éviter l'amorçage du verrouillage de courant se scindent entre la réduction du gain β des transistors bipolaires parasites et la réduction des résistances en série R_{SUBS} et R_{CAIS} . Une troisième voie cherche l'élimination définitive de la structure pnpn par une complète isolation électrique entre les substrats des deux types de transistors MOS.

Le gain des transistors bipolaires parasites est fonction de la largeur de leurs bases respectives. La largeur de la base du transistor latéral est définie par l'écart entre les dopages n+ dans le substrat p et le caisson n. Le gain β_{npn} peut être donc réduit par l'adoption d'espacements plus importants.

La largeur de la base du transistor vertical est déterminée par la séparation entre les limites du caisson n et les dopages p+ à l'intérieur du caisson. La séparation latérale peut être augmentée de la même manière que pour le cas du bipolaire parasite latéral. La séparation verticale est fonction du procédé de fabrication. La profondeur du caisson est en constante diminution, ce qui rendrait les circuits intégrés plus sensibles au verrouillage de courant.

Ceci n'a pas été le cas car des efforts ont été entrepris avec le souci de réduire les résistances R_{SUBS} et R_{CAIS} . Au niveau du procédé, deux techniques très efficaces ont été mises au point; le caisson dopé de façon rétrograde et la couche épitaxiée légèrement dopée sur un substrat fortement dopé.

Les solutions au niveau du procédé sont relativement coûteuses, ce qui a suscité l'étude d'autres approches. Ainsi, des techniques de layout de circuit ont été développées. Ces techniques consistent à insérer deux types de structures de protection dans le layout ; des anneaux de garde⁴⁴ et des prises électriques de polarisation du substrat (et des caissons).

Les anneaux de garde sont des régions fortement dopées qui entourent complètement les caissons. Les anneaux collectent soit les porteurs minoritaires, soit les porteurs majoritaires, injectés dans le substrat et le caisson. Les anneaux qui collectent les porteurs minoritaires réduisent le gain de courant des transistors parasites. Les anneaux qui collectent les porteurs majoritaires réduisent les résistances R_{SUBS} et R_{CAIS} . Il a été démontré par simulation et expérimentalement que ces genres de structures confèrent une bonne protection contre les verrouillages de courant.

43. *latch-up*

44. *guard rings*

Les anneaux de garde ont un impact très négatif du point de vue de la surface réquise. Dans certains cas ce désavantage est trop pénalisant, notamment pour les circuits numériques complexes. Dans ces conditions, la solution la plus employée est la distribution de prises électriques dans le substrat et les caissons. Ces prises sont des régions avec un dopage plus élevé et du même type que le substrat (caisson) sous-jacent. Elles sont utilisées pour former un contact électrique de faible résistance avec le substrat (caisson) et le connecter à une ligne d'alimentation du circuit intégré. Cette connexion réduit la résistance R_{SUBS} (R_{CAIS}), et rend plus difficile le déclenchement du verrouillage de courant. Or, les prises de substrat et de caisson ne sont pas aussi efficaces que les anneaux de garde et le degré de protection est étroitement lié au layout du circuit.

Les techniques de layout pour maîtriser le problème du verrouillage de courant sont souvent mis en oeuvre de manière sélective sur un circuit intégré. Seuls les points pouvant être atteints par des impulsions de courant ou de tension (interfaces avec l'extérieur, lignes assujetties à des réflexions de fronts, pompes de charge, etc.) sont protégés par tous les moyens disponibles. La plupart du circuit intégré ne fait usage que des prises de contact électrique assez espacées. L'objectif est de limiter la perte de surface utile engendrée par les structures de protection les plus performantes. Cette stratégie n'est pas efficace dans le cas de l'exposition au rayonnement, où des courants peuvent être générés à n'importe quel point du circuit intégré.

3.7 Les technologies CMOS épitaxiées

Les technologies CMOS épitaxiées⁴⁵ sont caractérisées par l'empilement d'une couche de silicium épitaxiée sur la tranche. Cette couche est légèrement dopée (très résistive) par rapport au silicium de la tranche sous-jacente, qui est lui fortement dopé (très bon conducteur). Les caissons sont fabriqués sur la couche épitaxiée de manière similaire aux caissons des technologies CMOS bulk. Le but de cette construction est de rendre plus difficile le verrouillage de courant.

Le risque de verrouillage est éliminé (ou devient très faible) par la réduction de la résistance R_{SUBS} . Les porteurs majoritaires injectés dans la couche épitaxiée sont détournés vers le substrat très dopé. Les porteurs minoritaires injectés ont plus de chance de se recombiner dans le substrat conducteur, et la probabilité d'amorçage du verrouillage est réduite davantage.

Les technologies épitaxiées conduisent à une maîtrise du problème de verrouillage de courant. Elles permettent aussi une meilleure isolation électrique entre les différentes parties du circuit intégré (découplage de bruit). Les inconvénients de ces technologies sont la complexité accrue du procédé de fabrication, la chute des tensions de claquage et l'existence de courants de fuite plus importantes.

Théoriquement, les courants traversant le substrat ne sont donc pas capables de déclencher de verrouillage soutenu. Pourtant, dans quelques conditions exceptionnelles (exposition à la radiation), des courants très intenses peuvent être produits à l'intérieur du substrat par des processus d'ionisation, entraînant le verrouillage. Les technologies CMOS sur isolant ont été inventées pour éliminer définitivement cette possibilité.

45. CMOS-epi

3.8 Les technologies CMOS SOI

Le moteur de l'invention des technologies CMOS sur isolant était le besoin militaire de systèmes électroniques sophistiqués capables de résister aux rayonnements émanant d'une explosion nucléaire. Leur développement se poursuit aujourd'hui poussé par l'intérêt économique de ces technologies pour les circuits à faible dissipation d'énergie.

La première technologie introduite sur le marché était le silicium sur saphir (SOS⁴⁶)[22, p.31]. La tranche en silicium est remplacée par une tranche en saphir. Les dispositifs sont construits sur des îlots en silicium bâtis sur la surface de la tranche en saphir. Les transistors sont des îlots aux flancs en pente (structure MESA). La technologie SOS a permis la construction des systèmes électroniques durcis des années 60 et 70. Elle occupe jusqu'à aujourd'hui une place importante dans le marché spatiale. Cependant, cette technologie ne semble pas être bien positionnée pour répondre à l'évolution des besoins. Les caractéristiques de la tranche en saphir (très fragile et transparent) exigent la mise en place d'une chaîne de production spécifique. Les tranches sont difficiles à manipuler, coûtent chers et présentent des problèmes de contamination pour les autres filières. L'existence de contraintes mécaniques à l'interface entre le silicium et le saphir induit des dislocations et fautes d'empilement dans le silicium cristallin qui dégradent les caractéristiques des transistors (faible mobilité du canal). Ces fautes induisent aussi un canal parasite à l'interface arrière. Les jonctions p-n ont des courants de fuite très élevés, à cause des défauts de maille. Enfin, la mise au point de procédés SOS submicroniques semble malaisée. Cependant, la technologie SOS n'est pas morte, et des progrès récents ont permis la mise sur pied de nouvelles filières SOS submicroniques[23].

Le besoin d'une technologie SOI performante a donné l'impulsion à la recherche dans ce domaine, et plusieurs types de structures SOI différentes sont apparus au fil des années. Une étude approfondie des technologies SOI se trouve dans les ouvrages [24] et [22]. Les technologies SOI les plus développées sont celles basées sur une tranche en silicium, isolée du substrat des dispositifs par une couche de silice. La technologie SOI sur silicium qui connaît le plus grand essor est le procédé SIMOX⁴⁷.

Le procédé SIMOX est caractérisé par l'implantation d'oxygène, suivie d'un recuit thermique à haute température, avec la formation d'une couche isolante sous la surface de la tranche. L'idée originale de la formation d'une couche enterrée par implantation remonte à 1956, mais c'est à partir de la fin des années 70 que le procédé SIMOX s'est montré comme un des plus appropriés pour la mise en place des filières SOI performantes.

Les technologies SOI sur silicium ont un grand nombre d'avantages potentiels par rapport aux technologies sans isolation diélectrique. L'avantage le plus évident est l'élimination du verrouillage de courant, par la suppression du thyristor parasite. D'autres atouts résident dans la réduction des capacités parasites, des courants de fuite moins importants, et l'amélioration de la pente de courant sous-seuil, qui approche la valeur idéale minimale de 60 mV par décade. Un grand nombre de communications techniques et scientifiques prédisent que les technologies SOI s'imposeront au fur et à mesure que les progrès dans les technologies sur substrat massif se heurteront à des limitations fondamentales.

Les technologies SOI ont aussi leurs propres problèmes. Pendant longtemps l'obtention d'un substrat de haute qualité pour la construction des dispositifs était un problème. La mise au point progressive des procédés de fabrication a enfin résultée en tranches SOI avec un

46. *Silicon-On-Sapphire*

47. *separation by implantation of oxygen* – séparation par l'implantation d'oxygène

substrat de qualité comparable à celui des tranches en silicium massif. Cependant, pour des raisons d'échelle de production, les tranches SOI restent deux à trois fois plus coûteuses que les tranches bulk. L'opération des dispositifs SOI présente aussi des inconvénients, dus à des effets propres à la technologie comme l'influence de la face arrière (deuxième grille), l'effet «kink» (montée de la tension du substrat flottant), l'auto-échauffement (l'isolation empêche la dissipation de la chaleur locale) et le verrouillage du transistor seul («snap-back»). En dépit de ces difficultés la communauté SOI est très optimiste et le consensus (entre eux) semble être que le plus grand obstacle au succès de la technologie SOI dans le marché est le progrès sans répit des technologies sur substrat massif.

Du point de vue de l'utilisation dans l'espace les technologies SOI ont l'avantage d'une sensibilité moins importante aux aléas logiques provoqués par des particules lourdes. Ceci est dû à la limitation du volume de collection de porteurs par l'isolation diélectrique. L'immunité au verrouillage de courant est aussi un atout expressif. Cependant, les technologies SOI ne sont pas forcément moins sensibles aux effets de la dose totale cumulée. Par exemple, la couche isolante en SiO_2 à la proximité des régions électriquement actives peut causer de graves ennuis de fonctionnement des dispositifs après l'irradiation, notamment dans le cas des technologies SOI utilisant des dispositifs partiellement ou totalement désertés. Des filières SOI spécifiques ont été mises en place pour surmonter le problème. On trouve alors des technologies SOI très durcies et appropriées à l'utilisation sous la contrainte du rayonnement.

3.9 Les microsystemes intégrés

L'évolution de la technologie de fabrication des circuits intégrés a permis l'apparition des microsystemes intégrés. Ce nouveau concept est apparu vers la fin des années 80 aux États-Unis d'Amérique. Il consiste en l'intégration des systèmes complets associant capteurs, actionneurs et traitement du signal, soit sous forme monolithique («tout à bord»), soit sous forme hybride. L'approche hybride donne la possibilité d'emploi de capteurs et d'actionneurs plus performants au dépens d'un assemblage parfois très élaboré. Le problème d'assemblage est grandement simplifié dans l'approche monolithique, mais dans les deux cas l'interface avec le monde extérieur demande un certain effort pour la mise au point de l'encapsulation.

L'intérêt des microsystemes intégrés est dû à la possibilité de fabrication collective par des procédés déjà employés par la micro-électronique; oxydation, diffusion, gravure, photolithographie, etc. Les besoins spécifiques à la réalisation simultanée de l'électronique et des capteurs demandent la mise au point des filières modifiées pour la fabrication de microsystemes.

Les technologies de fabrication de microsystemes peuvent être divisées en trois grands axes; les technologies de micro-usinage du silicium, les technologies de report de couches spécifiques (permettant d'accéder à des capteurs particuliers) et les techniques LIGA (micro-moulage). Plus récemment des travaux menés au sein du Laboratoire TIMA ont démontré la faisabilité des technologies de micro-usinage de l'arseniure de galium (AsGa). À terme, on peut espérer que ce saut technologique donnera naissance à une nouvelle branche dans l'arborescence de technologies de microsystemes.

3.9.1 Microsystemes compatibles avec des filières standards

La technologie qui a trouvée la plus grande acceptation par le marché est la technologie de micro-usinage du silicium. Cette technologie permet la fabrication des microsystemes inté-

grés monolithiques à un coût raisonnable, par l'utilisation de matériaux, d'équipements et de procédés de la micro-électronique. Les capteurs et les actionneurs sont formés par des étapes de micro-usinage du silicium (gravure en surface ou en volume). L'opération d'usinage libère les structures qui participent à la fonction de capteur et/ou d'actionneur. Ces structures sont les éléments actifs suspendus.

Ce type de procédé permet la fabrication d'un large éventail de capteurs mécaniques et thermiques. L'étape d'usinage peut être réalisée après la fin de la fabrication des circuits intégrés, ce qui ouvre la voie pour l'utilisation des filières standard de l'industrie de la micro-électronique.

Cette approche a été choisie par le groupe MiCroSystèmes du Laboratoire TIMA. On a étudié toutes les possibilités de fabrication de composants microsystèmes offertes par la combinaison des procédés de fabrication standards et des opérations de micro-usinage chimique connues. Les procédés de fabrication utilisés sont industriels, ce qui présente l'avantage d'un contrôle précis des paramètres, de la fiabilité, du prix, etc. Néanmoins, il est impossible d'apporter des modifications à ces procédés, hormis le traitement de micro-usinage.

À partir des puces fabriquées avec les procédés industriels il est possible de réaliser des structures suspendues principalement grâce à deux techniques : le micro-usinage en volume par la gravure anisotropique du silicium monocristallin du substrat, et le micro-usinage en surface. Le micro-usinage en surface consiste en l'attaque d'une ou plusieurs couches empilées, appelées couches sacrificielles, par une gravure sélective.

Micro-usinage en volume

Le micro-usinage en volume du silicium monocristallin peut être effectué en gravant à partir de la face avant ou la face arrière de la plaquette de silicium.

La principale caractéristique de la technologie du micro-usinage en volume par la face avant est le procédé de gravure anisotropique du silicium exposé dans la section 3.3.2. Ce procédé permet de suspendre très facilement, et sans étape de masquage additionnel, des micro-structures fabriqués par l'empilement des couches du procédé CMOS standard. Pour réaliser ce type de structure il suffit de définir sur le circuit, lors de sa conception, des zones de silicium à nu, de façon à ce que à la sortie de la fonderie le silicium du substrat reste exposé. Ce substrat exposé peut alors être attaqué par la gravure humide. Un exemple du type de structure obtenu est montré schématiquement dans la figure 3.10. La gravure par la face arrière demande la mise en place d'une étape de masquage supplémentaire. Le type de structure obtenu est montré de façon schématique dans la figure 3.11.

Micro-usinage en surface

La principale caractéristique du micro-usinage en surface est l'utilisation de la couche sacrificielle. Les couches sacrificielles sont habituellement du SiO_2 ou du silicium polycristallin, mis en place au cours du procédé de fabrication du circuit intégré. La figure 3.12 montre un exemple de micro-usinage en surface.

Applications possibles

Les principales structures réalisables par micro-usinage sont des micro-ponts, des micro-poutres (ou micro-cantilevers) et des micro-membranes. Ces structures constituent le support mécanique des composants microsystèmes. La fonctionnalité microsystème est réalisée par les

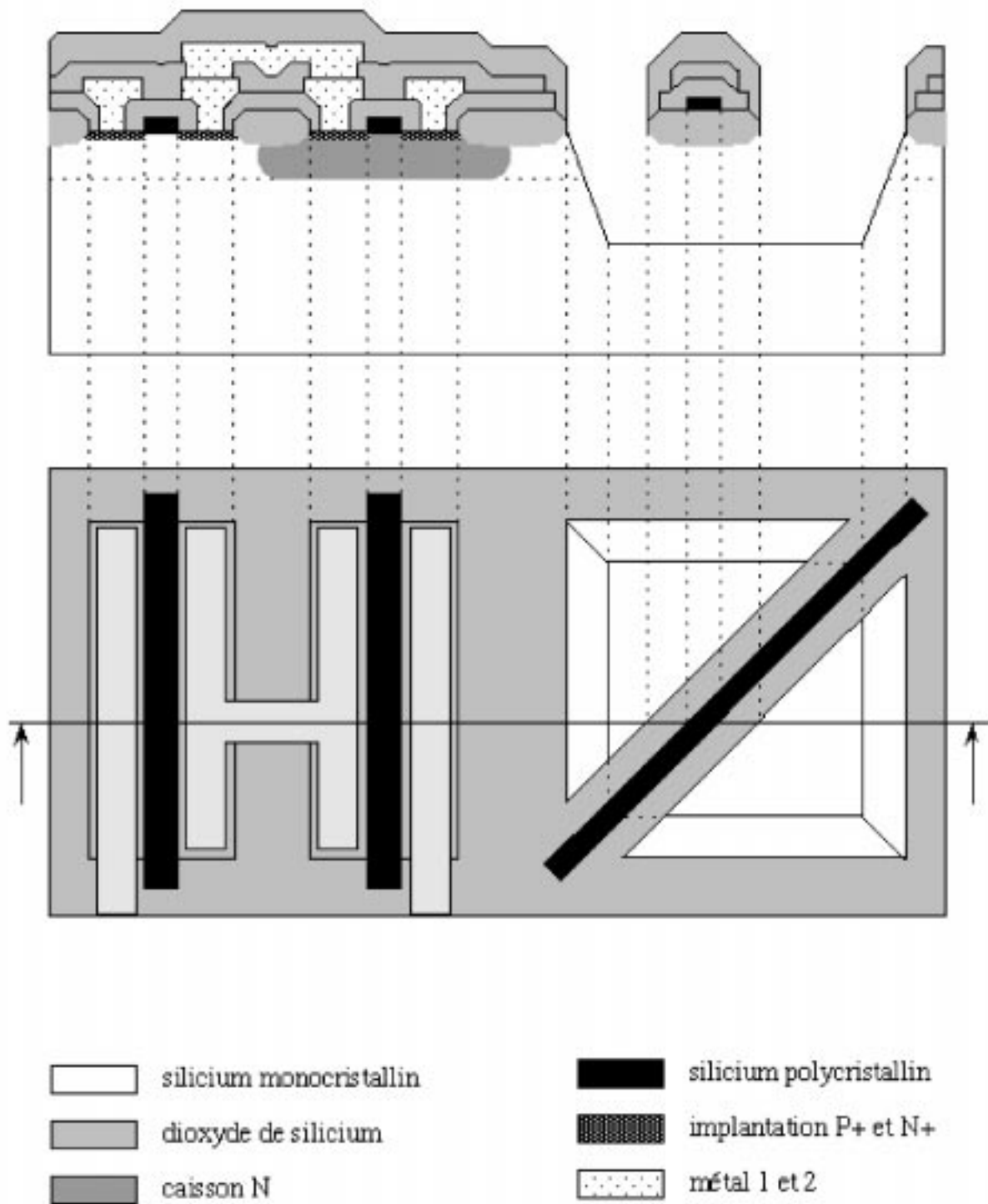


FIG. 3.10 – Structure suspendue par une gravure de la face avant. La technique autorise la fabrication d'un circuit (inverseur) à côté de la structure suspendue[20, p.83].

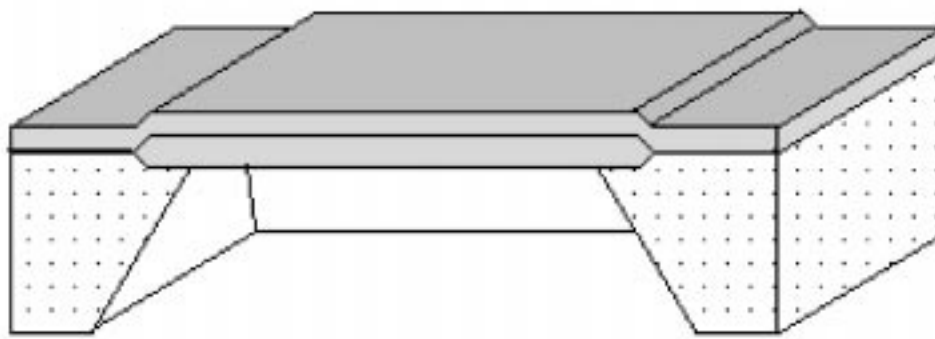


FIG. 3.11 – Type de structure obtenue par la gravure de la face arrière[20, p.90].

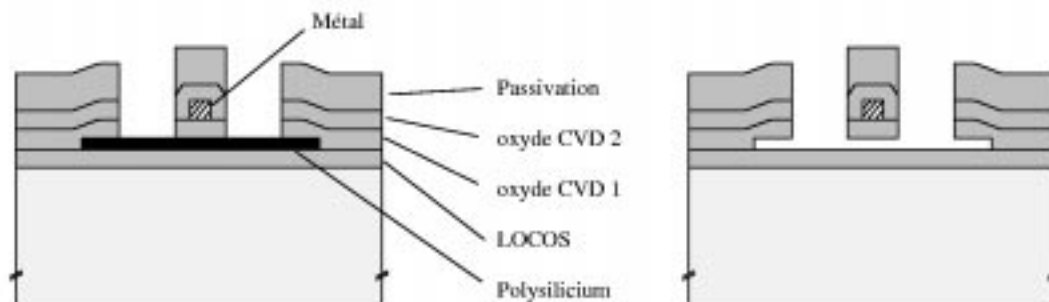


FIG. 3.12 – Exemple de micro-usinage en surface. La couche sacrificiée (polysilicium) est ôtée, libérant ainsi la structure suspendue[20, p.90].

éléments électriquement actifs existants sur les structures suspendues. Par exemple, dans le cas d'une thermopile les éléments électriquement actifs sont les thermocouples placés au centre et aux bords de la partie suspendue. Les phénomènes thermoélectriques, piezoélectriques et photoélectriques qui sont présents dans ces structures suspendues permettent la réalisation d'une grande diversité de capteurs, dont on peut citer des accéléromètres, micro-bolomètres, capteurs de pression, etc.

3.9.2 Microsystèmes spatiaux

La perspective d'application spatiale des microsystèmes remonte au début des années 90, quand l'Aerospace Corporation aux États-Unis a analysé la possibilité de concevoir des micro-, nano- et même pico-satellites. Les travaux ont depuis été multipliés, et aujourd'hui les organismes gouvernementaux chargés de l'espace considèrent que les micro-systèmes sont une des «enabling technologies» clés pour la domination du marché spatial futur.

Les microsystèmes spatiaux suscitent déjà un fort intérêt de l'industrie. Dans l'immédiat les microsystèmes ont trouvé leur première utilisation dans le sous-système de contrôle d'attitude et d'orbite (SCAO). Le SCAO est un système d'asservissement en boucle fermée, comprenant : un ensemble de capteurs d'attitude pour mesurer la position du satellite ; un calculateur de bord et un ensemble d'actionneurs capables de modifier l'orientation de l'engin. Le SCAO est un élément fondamental de tout satellite, et les produits actuels sont mal adaptés pour les nouvelles générations de petits satellites.

Les microsystèmes sont proposés principalement pour la réalisation des capteurs d'atti-

tude. Plusieurs types de capteurs sont envisageables (giromètres, capteurs magnétiques, capteurs optiques). Les capteurs d'intérêt plus immédiat sont les capteurs optiques, dont on peut citer les différentes matrices de pixels photo-sensibles ; photo-diodes, photo-transistors, microbolomètres, thermopiles. On assiste à une véritable effervescence dans ce domaine, notamment dans le développement des matrices du type APS (active pixel sensor).

À terme, on peut espérer que les micro-systèmes donneront naissance à des flottilles de nano-satellites, où des centaines de minuscules satellites (3 kg ou moins) mèneront à bien les missions de façon plus complète, moins onéreuse et plus fiable que les gros engins actuels.

Chapitre 4

L'interaction du rayonnement avec la matière

Interaction of radiation with matter

4.1 Introduction

L'exposition des circuits intégrés aux rayonnements engendre une panoplie d'interactions. Ces interactions sont responsables de l'apparition ultérieure d'anomalies dans le fonctionnement du circuit intégré. Les formes et la gravité de ces anomalies dépendent principalement de trois facteurs :

- les matériaux qui composent les circuits intégrés ;
- le type du rayonnement incident ;
- l'intensité et la durée de l'exposition.

Ces éléments déterminent les différents types d'interaction qui ont lieu à l'intérieur du circuit intégré. Les formes d'interaction du rayonnement avec la matière sont très variées, pour qu'on puisse les étudier de façon approfondie. Cependant, on doit se familiariser avec les principaux mécanismes d'interaction pour pouvoir comprendre les obstacles à surmonter pour la construction de systèmes électroniques résistants à la radiation.

L'objectif de ce chapitre est d'examiner les mécanismes fondamentaux d'interaction de la radiation. La discussion est orientée vers les phénomènes qui produisent des effets significatifs sur le silicium, notamment ceux qui se passent dans l'espace.

La discussion démarre par une étude des particules du rayonnement naturel, et de ces principales formes d'interaction avec une cible solide. La pertinence de chaque mécanisme d'interaction pour nos recherches est notée. Les interactions primaires avec le silicium provoquent d'autres événements en cascade. Les deux phénomènes issus de ces cascades qui ont des conséquences importantes pour les dispositifs semiconducteurs sont la dislocation et l'ionisation. Ces phénomènes sont étudiés succinctement dans la section 4.3. Les problèmes centraux associés à l'exposition des circuits intégrés aux rayonnements sont introduits dans cette section.

Le dernier élément nécessaire pour cerner le problème posé par la radiation sont les conditions (intensité, durée, etc.) d'exposition. Ces dernières sont très diverses, et varient énormément suivant le domaine d'utilisation du circuit intégré. Les caractéristiques des rayonnements rencontrés dans le domaine spatial sont décrites dans la dernière section. Les conditions d'exposition pour d'autres applications d'intérêt économique et stratégique sont données de manière abrégée, à la fin de la section.

4.2 Mécanismes fondamentaux

Le rayonnement naturel peut être divisé en trois catégories ; les photons, les particules chargées et les neutrons. La manière dont le rayonnement interagit avec la matière dépend des propriétés de la particule (masse, charge, énergie) et de la cible (masse, charge et densité). Plusieurs formes d'interaction peuvent avoir lieu entre la particule incidente et les atomes du matériau.

4.2.1 Interaction de photons

Les photons ont une masse de repos nulle, sont dépourvus de charge électrique et se déplacent à la vitesse de la lumière. Les photons capables de pénétrer les matériaux de façon significative sont nommés rayons-X ou rayons- γ , selon leur énergie. Ces photons sont une forme de rayonnement électromagnétique de faible longueur d'onde. La relation entre l'énergie et la longueur d'onde λ d'un photon est :

$$E = \frac{hc}{\lambda} \quad (4.1)$$

où h est la constante de Planck ($6,626075 \times 10^{-34}$ J-s) et c est la vitesse de la lumière dans le vide (299 792 458 m/s). Le rayonnement de photons est très pénétrant. Les photons interagissent avec les atomes par l'effet photoélectrique, par l'effet Compton et par la matérialisation. Dans tous les cas, des électrons libres énergétiques sont produits dans la cible. La fréquence relative de chaque forme d'interaction est fonction du numéro atomique Z du matériau et de l'énergie du photon.

L'effet photoélectrique

L'effet photoélectrique consiste en l'absorption de l'énergie du photon par un électron. La particule incidente est anéantie, et transfère son énergie à un électron de l'atome. L'électron peut être arraché du cortège électronique (ionisation) ou passer à une couche orbitale supérieure (excitation). L'état énergétique laissé vacant par l'électron éjecté est pris par un autre électron qui tombe d'une couche supérieure. Dans le processus cet électron lâche de l'énergie par l'émission d'un photon, moins énergétique que le photon originel, c.-à-d. d'une plus grande longueur d'onde.

Un autre processus est possible, le transfert de l'énergie de l'électron qui a absorbé le photon directement à un autre électron. Ce dernier est alors propulsé à une autre couche orbitale. C'est le processus d'Auger. Les événements se poursuivent en cascade jusqu'à la complète absorption de l'énergie par l'ionisation et par l'émission de photons visibles.

La probabilité d'une interaction par l'effet photoélectrique décroît avec l'accroissement de l'énergie du photon ($\propto 1/E^3$) et augmente avec la valorisation du numéro atomique Z

($\propto Z^5$). L'effet photoélectrique est la forme d'interaction dominante pour les photons d'énergies inférieures à quelques centaines de KeVs.

L'effet Compton

L'effet photoélectrique est caractérisé par l'absorption de toute l'énergie du photon par l'électron. Si cette énergie est très supérieure à l'énergie d'ionisation de l'électron (appartenant habituellement à la couche orbitale K) le transfert d'énergie n'est pas complet. Le photon transfère donc une partie de son énergie à l'électron et continue à traverser la cible. L'électron énergétique est éjecté de l'atome (électron de Compton). Ce processus constitue l'effet Compton. La probabilité de l'effet Compton augmente avec le numéro atomique Z ($\propto Z$) et décroît avec l'énergie du photon ($\propto 1/E$). L'effet Compton domine sur l'effet photoélectrique au fur et à mesure que l'énergie du photon incident augmente.

Matérialisation

La troisième variété d'interaction d'un photon est le processus de matérialisation. Dans ce processus, un photon ayant une énergie supérieure à 1,02 MeV (c.-à-d., un rayon- γ de haute énergie) se transforme en deux particules; un électron et un positron. Le principe de la conservation d'énergie impose la présence d'un noyau d'atome, pour que la somme vectorielle des moments avant et après l'annéantissement du photon reste inchangée. La probabilité de la matérialisation augmente avec le numéro atomique Z ($\propto Z^2$).

Pour le silicium ($Z = 14$) l'effet photoélectrique domine à des énergies inférieures à 50 KeV, la matérialisation domine pour des énergies supérieures à 20 MeV, et l'effet Compton est prépondérant entre les deux régions.

4.2.2 Interaction de particules chargées

Les particules chargées sont les électrons, protons, particules α et ions. L'électron a une masse au repos m_0 de $9,109 \times 10^{-31}$ Kg et une charge électrique de $1,602 \times 10^{-19}$ C ($1 e^-$). Le positron est l'anti-particule de l'électron. Il possède la même masse et la même charge électrique que l'électron, mais de polarité opposée ($-1 e^-$, ou $1 p^+$).

L'électron est une particule chargée de masse relativement faible, ce qui facilite sa pénétration dans la matière. Il est aussi très facilement détourné de sa trajectoire. Ces propriétés donnent lieu à des parcours très compliqués.

Le proton est le noyau de l'atome d'hydrogène. Il a une masse de $1,673 \times 10^{-27}$ Kg (1 840 fois celle de l'électron - 1 unité atomique Z) et une charge électrique égale à la charge du positron ($1 p^+$). Sa masse plus élevée le rend particulièrement difficile à détourner, notamment lorsque son énergie dépasse quelques MeV.

La particule α est un noyau de hélium. Sa masse est de 4 unités atomiques Z et sa charge est de $2 p^+$. Les particules α ont typiquement un niveau appréciable d'énergie (de l'ordre de MeVs) et interagissent de manière accentuée avec la matière, produisant une ionisation intense. Elles sont très peu pénétrantes et difficilement détournables de leurs trajectoires.

Les ions sont des atomes partiellement ou entièrement dérobés d'électrons. Ils sont un des composants des rayons cosmiques provenant de l'espace. Les ions cosmiques sont très énergétiques et pratiquement impossibles à stopper. Leur comportement est identique à celui des particules α .

Les particules chargées interagissent avec la matière principalement par la dispersion de Rutherford (dispersion de Coulomb). Cette interaction provoque une excitation de l'atome et l'émission d'électrons libres (ionisation).

Si le transfert d'énergie à l'atome est assez important, il peut entraîner son déplacement dans la maille cristalline. Les particules lourdes peuvent provoquer des réactions nucléaires semblables à celles provoquées par les neutrons (abordées par la suite). Plus rarement des protons très énergétiques (plus que 10 MeV) provoquent des réactions de spallation (éclatement du noyau). Les débris causent de l'ionisation, pour la majeure partie.

Bremsstrahlung

L'interaction entre des électrons très énergétiques et des matériaux de numéro atomique Z élevé ($Z > 50$) peut provoquer un phénomène appelé «bremsstrahlung» (littéralement radiation de freinage, en allemand). La radiation de freinage (ou radiation synchrotron) apparaît quand une particule subit une forte décélération. Dans cette condition des photons très énergétiques sont émis. Ces photons participent à des interactions à l'intérieur de la cible jusqu'à l'émergence à la surface. Le spectre d'énergie du rayonnement émergent est plutôt large, mais il est borné à un niveau inférieur à l'énergie de la particule incidente. Il contient aussi les lignes spectrales typiques aux atomes de la cible. L'intérêt de la radiation de freinage est le fait que les photons générés sont fort pénétrants et interagissent plus efficacement (produisent plus d'ionisation) que le rayonnement d'origine. Ce phénomène rend plus compliqué le blindage des composants.

Accroissement de dose

L'interaction des photons avec la cible génère des électrons énergétiques secondaires. À l'intérieur d'un matériel homogène le processus est en équilibre, le nombre d'électrons secondaires (donc l'énergie absorbée) est uniforme partout dans le solide.

Cet équilibre n'existe pas à l'interface entre deux matériaux de numéro atomique Z distincts. La génération d'électrons est plus importante dans le matériau de plus grand numéro atomique Z , ce qui fait apparaître un gradient à l'interface. Ce gradient s'étend dans chaque matériel jusqu'à une distance de l'interface égale à la portée maximale des électrons secondaires.

La concentration d'électrons sera moins importante dans le matériau de numéro atomique Z plus élevé, et plus grande dans le matériau de numéro atomique moins élevé. Par conséquent l'énergie absorbée dans le matériau de numéro atomique moins élevé sera plus grande dans la région proche à l'interface que dans le reste du solide. Ce phénomène est nommé accroissement de dose¹.

L'accroissement de dose augmente avec l'écart entre les numéros atomiques, et décroît avec l'énergie du photon. La décroissance est due au fait que les photons de plus haute énergie interagissent par l'effet Compton. Le nombre et l'énergie d'électrons engendrés par ce processus est presque identique dans tous les matériaux. Les rayons-X (photons de basse énergie) interagissent principalement par l'effet photoélectrique, qui dépend fortement du numéro atomique Z . L'accroissement de dose est alors très important.

Cet effet est important du fait de l'augmentation de la dose qui peut avoir lieu dans un circuit intégré, due à l'existence d'éléments métalliques proches des régions sensibles des

1. *dose enhancement*

dispositifs (par exemple, le siliciure sur le polysilicium, proche à l'oxyde de la grille).

Le taux d'accroissement va de 2 (deux fois plus de dose dans la région proche à l'interface) à 20 ou plus. L'étendue de l'effet dépend de la portée maximale des électrons secondaires dans le matériau. Dans le cas d'un rayon-X de 10 KeV incident sur le SiO_2 (ou le Si) cette portée est d'environ $1,5 \mu m$ [10, p.108].

4.2.3 Interaction de neutrons

Le neutron est une particule qui a une masse égale à celle d'un proton. Cependant il est dépourvu de charge électrique. Ces caractéristiques le rendent très endommageant, car il ne peut être stoppé que par la collision avec un noyau. Différents types d'interaction nucléaire peuvent avoir lieu, dont les plus courants sont ; la dispersion élastique, la dispersion inélastique et la transmutation.

Dispersion élastique

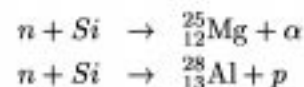
La dispersion élastique consiste en le transfert d'une partie de l'énergie du neutron incident à l'atome de la cible. L'atome frappé peut être délogé de sa position dans la maille cristalline. Le processus a lieu si l'énergie transmise est plus grande que l'énergie moyenne de délogement. Pour le silicium cette énergie est de 25 eV. L'atome déplacé est nommé un atome de recul primaire². Cet atome peut provoquer une cascade d'événements similaires, en fonction du niveau d'énergie fournie par le neutron. Consécutivement au déplacement, l'atome perd de l'énergie par ionisation. Les atomes déplacés sont connus comme atomes interstitiels, et la position vide est appelée vacance (ou lacune). La paire atome interstitiel-vacance est nommée un défaut de Frenkel.

Dispersion inélastique

En frappant le noyau le neutron incident peut être capturé et libéré en suite. Une partie de l'énergie est transmise à l'atome, et le neutron reprend son parcours avec moins d'énergie. Le noyau percuté reste dans un état énergétique excité (son énergie est supérieure à l'énergie thermique moyenne de la maille). Il revient à son état d'origine par l'émission d'un rayon- γ . Ce processus s'appelle dispersion inélastique. L'atome frappé peut être aussi délogé de sa position dans la maille, avec la possibilité d'événements en cascade.

Transmutation

Le neutron incident peut être carrément capturé par le noyau de l'atome de la cible. L'atome change de numéro atomique, c.-à-d. il se transforme dans un autre élément, et une particule chargée (un proton ou une particule α) est éjectée du noyau. C'est la réaction de transmutation. Les réactions (n, α) et (n, p) dans le silicium ont la forme :



Les neutrons sont catalogués selon leur énergie ; thermiques (1 eV d'énergie ou moins), intermédiaires, et rapides (énergie supérieure à 100 KeV). La forme d'interaction avec le silicium

2. *primary recoil atom*

la plus importante est la dislocation (accompagnée d'une faible ionisation), comme résultat de la dispersion élastique ou inélastique de neutrons rapides.

4.2.4 Terminologie et unités

La discussion quantitative des effets du rayonnement sur la matière exige l'introduction de quelques concepts de mesure de la radiation et de ses unités.

Le taux de particules incidentes est donné en termes de flux de particules, c.-à-d. le nombre de particules qui arrive par unité de surface et de temps (particules/cm²-s). L'intégration du flux sur le temps donne la densité de particules³ (particules/cm²), nommée fluence. Le spectre d'énergie est la distribution d'énergie par rapport au flux ou à la fluence (habituellement particules/cm²·MeV).

4.2.5 Mécanismes de transfert d'énergie

Le spectre et le flux de particules sont les concepts fondamentaux de description d'un rayonnement. Toutefois ils ne permettent pas d'établir un rapport entre l'exposition et le niveau d'endommagement produit. Ce rapport dépend de la manière dont l'énergie est finalement transférée à la cible. Les mécanismes de transfert peuvent être scindés en deux groupes ; pertes non-ionisantes d'énergie et pertes par ionisation.

Transferts non-ionisants

Les pertes non-ionisantes d'énergie⁴ produisent des dislocations. Le transfert d'énergie dépend de la masse et de l'énergie de la particule incidente. Il n'est pas possible de définir une relation générale simple pour comparer l'intensité des différents types de rayonnement, du point de vue du niveau d'endommagement.

La solution appliquée dans le cas des neutrons consiste à exprimer la fluence en termes de la fluence de neutrons de 1 MeV qui provoquerait des dégâts équivalents, dans une cible donnée.

Transferts ionisants

Les dommages provoqués par l'ionisation sont indépendants des propriétés de la particule incidente. Le paramètre de comparaison est simplement l'énergie absorbée par la cible par unité de volume, nommée dose cumulée ou simplement dose. L'unité habituellement utilisée pour la dose est le rad⁵, qui correspond à la déposition de 100 ergs d'énergie sur 1 gramme de matériel. L'unité de dose absorbée dans le système SI (MKS) est le gray (Gy), égale à l'absorption de 1 Joule par Kg (100 rad).

La quantité d'énergie déposée dans la cible est calculée en fonction du type de particule ionisant. Les mécanismes de transport de particules sont très compliqués, et l'obtention d'une solution exacte pour des applications réelles est impraticable. On fait appel à des méthodes numériques de calcul pour estimer la dose absorbée. Le calcul de la dose par ordinateur est devenu un outil indispensable dans l'évaluation du niveau d'exposition à la radiation. Il existe une grande variété de logiciels pour l'estimation de la dose absorbée. Ces logiciels font appel à

3. *particle fluence*

4. *NIEL (non-ionising energy loss) effects*

5. *radiation absorbed dose*

divers techniques[25, p.327-339] ; la méthode de Monte Carlo (GEANT, ETRAN), la consultation de tables (SHIELDOSE, TRIM), et les approximations analytiques (SHIELD, CHARGE).

Le calcul de la dose et du spectre d'énergie du rayonnement à la sortie de la cible est habituellement couplé à un modèle géométrique du véhicule spatial pour obtenir la distribution de l'exposition à son intérieur. Les caractéristiques du rayonnement incident sont fournies par les modèles de l'environnement radioactif pour l'orbite choisie. Les derniers logiciels apparus permettent l'exécution de toutes ces démarches d'une façon intégrée et conviviale[26], et même par l'Internet.

Énergie déposée par les particules chargées

L'estimation de l'énergie déposée à l'intérieur d'un circuit intégré par une particule chargée peut être faite de manière assez simple et rapide en s'appuyant sur des formules analytiques simplifiées. Ces formules sont issues de la supposition que les particules suivent des trajectoires rectilignes et que l'énergie est déposée par ionisation. Le transfert d'énergie d'une particule est associé à deux paramètres principaux; la portée de la particule dans le matériau, et le pouvoir d'arrêt de la cible.

La portée⁶ est l'épaisseur de matériau parcourue par la particule avant la perte de toute son énergie. L'unité de mesure peut être le déplacement (cm) ou le produit de la densité de la cible par le déplacement (g/cm^2). Cette dernière unité, équivalente à la masse divisée par la surface, est l'unité communément utilisée pour exprimer l'épaisseur des blindages. L'intérêt de cette démarche est dans le fait que la portée (g/cm^2) d'une particule chargée typiquement rencontrée dans l'espace peut être considérée comme la même pour tous les matériaux, et varie seulement en fonction de l'énergie. La portée des particules sur une vaste gamme de matériaux est répertoriée dans l'ouvrage [27].

Le pouvoir d'arrêt⁷ ($-\frac{dE}{dx}$), ou coefficient de transfert linéique (LET⁸), donne l'énergie transférée à la cible par unité de déplacement (g/cm^2). Le pouvoir d'arrêt est habituellement donné en $MeV \cdot g^{-1} \cdot cm^2$. Le pouvoir d'arrêt d'électrons est donné par l'expression[25, p.296] :

$$-\frac{dE}{dx} = \frac{2e^4 z^2 N_{Av} Z}{mv^2 A} B_e \quad (4.2)$$

où :

e est la charge électrique de l'électron e^- (Coulombs) ;

m est la masse de repos de l'électron (g) ;

v est la vitesse de l'électron (cm/s) ;

N_{Av} est le numéro d'Avogadro (atomes/mol) ;

z est le nombre d'unités de charge (1 pour l'électron) ;

A est la masse de l'atome de la cible (4 pour le hélium) ;

Z est le numéro atomique de la cible ;

6. *range*

7. *stopping power*

8. *linear energy transfer*

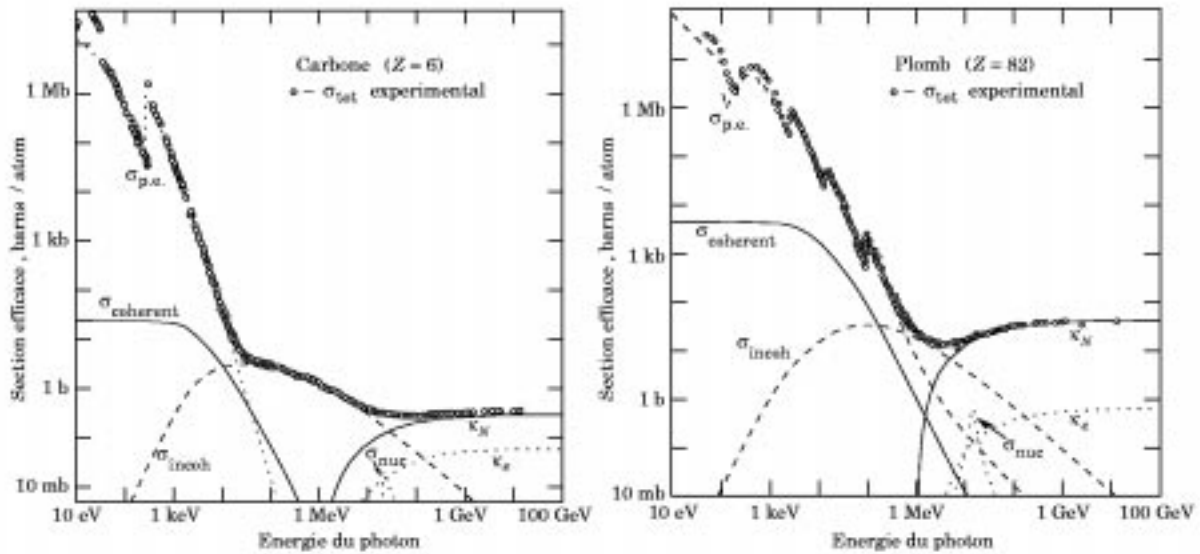


FIG. 4.1 – Section efficace de photons pour le carbone et le plomb. La section efficace de chaque forme d'interaction est montrée séparément, ainsi que la section efficace totale σ_{tot} obtenue de manière expérimentale[28].

B_e est le coefficient d'arrêt pour le matériau. Il est une fonction faiblement croissante de l'énergie de l'électron.

Le pouvoir d'arrêt des autres particules chargées (protons, particules α , ions) est donné par l'équation[25, p.299] :

$$-\frac{dE}{dx} = \frac{4e^4 z^2 N_{Av} Z}{mv^2 A} B_i \quad (4.3)$$

Le terme B_i représente le coefficient d'arrêt pour le matériau. Le terme z représente le nombre d'unités de charge électrique de la particule. Les équations 4.2 et 4.3 autorisent une estimation de la portée et de l'énergie déposée pour les particules chargées. Avec la valeur de l'énergie déposée, on peut déterminer la charge électrique générée dans le matériau.

Énergie déposée par photons

Les photons interagissent par une combinaison d'effets, avec une différence marquante d'absorption selon le matériau et l'énergie du photon. Le calcul approximatif de l'absorption de photons d'énergie entre 5 et 1000 KeV (rayons-X) peut être fait selon la Loi de Lambert[25, p.304] :

$$\frac{I}{I_0} = e^{-\mu_{tot}d} \quad (4.4)$$

où :

I_0 est l'intensité du rayonnement à l'entrée dans la cible (particules/cm²) ;

I est l'intensité à la fin du parcours ;

d est la distance parcourue dans la cible (cm) ;

μ_{tot} est le coefficient d'absorption de la cible (cm^{-1}).

Le coefficient d'absorption μ_{tot} regroupe les effets de toutes formes d'interaction possibles (effet photoélectrique, etc.). Chaque type d'interaction a une probabilité d'apparition, nommée section efficace⁹. L'unité de la section efficace est le cm^2/g , ou le barn¹⁰ par atome ($1 \text{ barn} = 10^{-28} \text{ m}^2$). La section efficace totale est égale à la somme des sections efficaces de chaque type d'interaction. La contribution de chaque type d'interaction, et l'évolution de la section efficace totale avec l'énergie est montrée dans la figure 4.1.

Le coefficient d'absorption μ_{tot} est donné par l'équation[25, p.305] :

$$\mu_{tot} = \frac{\rho \sigma_{tot} Z}{A} \times N_{Av} \quad (4.5)$$

$$\sigma_{tot} = \sum_{i=1}^n \sigma_{interaction\ i} \quad (4.6)$$

où ρ est la densité de la cible (g/cm^3) et σ_{tot} est la section efficace (barns/atome). La courbe du coefficient d'absorption pour plusieurs éléments est donnée dans la figure 4.2. La variation du coefficient d'absorption avec l'énergie et le numéro atomique implique que la dose absorbée dépend non seulement de la fluence mais aussi du spectre d'énergie du rayonnement, outre la composition de la cible.

Par exemple, le dépôt de 100 rads par un faisceau de photons de 1 MeV correspond à la même fluence, pour le *Si* et le *SiO₂*. Par contre, à 10 KeV une dose de 100 rads(*Si*) est équivalente à 180 rads(*SiO₂*). Le niveau d'exposition de circuits intégrés est donné habituellement en rads(*Si*).

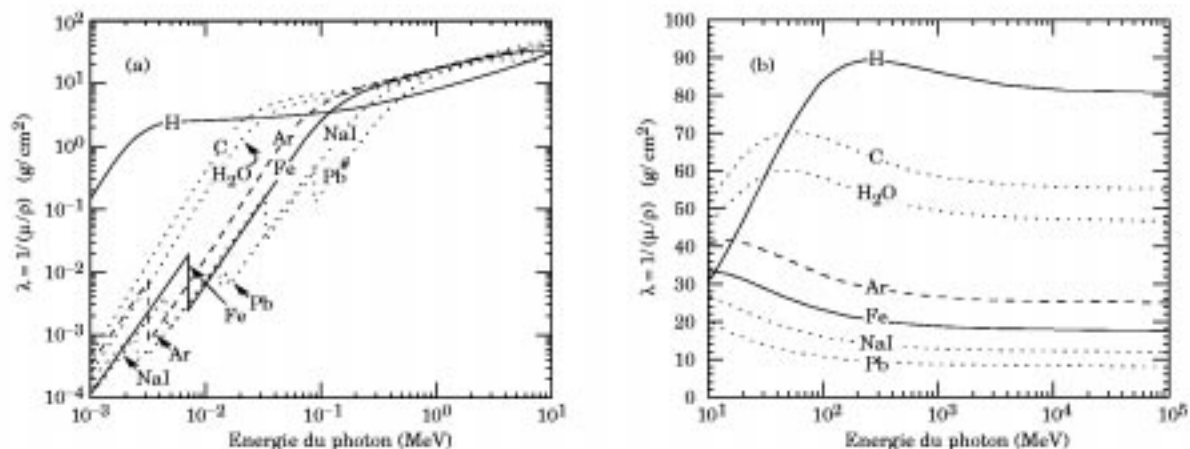


FIG. 4.2 – Le parcours libre moyen λ ($\lambda = \rho/\mu_{tot}$) des photons dans plusieurs matériaux, en fonction de l'énergie. L'interpolation pour des autres Z doit être faite à partir de la relation 4.5 en utilisant σ_{tot} [28, p.179].

9. cross section

10. littéralement grange, en anglais

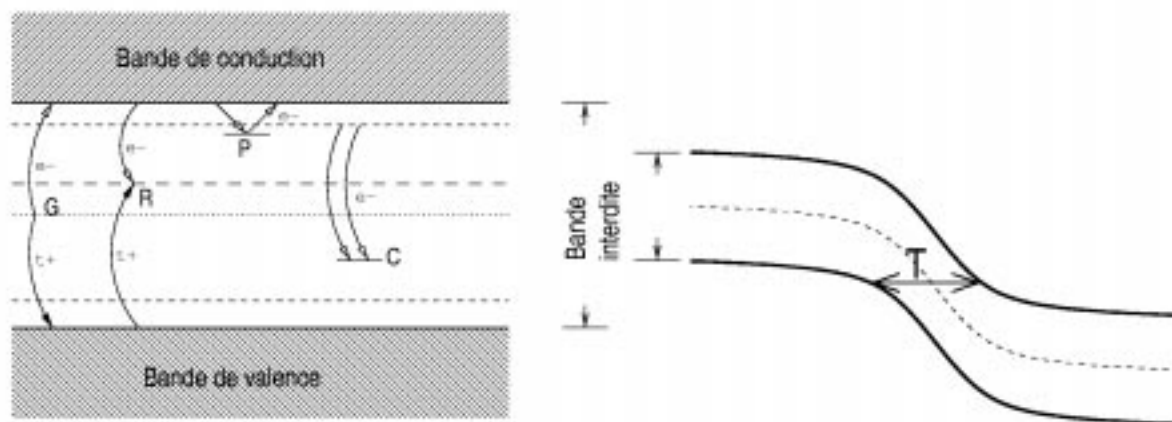


FIG. 4.3 - Les processus provoqués par les états énergétiques dans la bande interdite (*Génération thermique de paires e^- -trou, Recombinaison de paires, Piégeage, Compensation, effet Tunnel*)[29, p.50].

4.3 Effets sur le silicium

Les photons, les particules chargées et les neutrons interagissent avec la matière de diverses façons, selon les propriétés des quanta incidents et les caractéristiques de la cible. Néanmoins, les effets de ces interactions qui provoquent la dégradation des circuits intégrés sont essentiellement deux ; l'ionisation et la dislocation.

L'ionisation peut être associée à l'irradiation par des photons et des particules chargées, et la dislocation à l'irradiation par des neutrons. Les deux effets peuvent être produits par l'ensemble des particules indistinctement, mais habituellement l'un des effets est largement dominant par rapport à l'autre.

On discutera ici les principales conséquences de ces phénomènes sur le silicium et ses composés.

4.3.1 Dislocation

La dislocation est le résultat d'une interaction assez énergétique pour déloger l'atome de son emplacement dans la cible. Le délogement de l'atome de sa position génère des défauts dans la maille cristalline du silicium. Les défauts de la maille peuvent prendre des formes variées ; lacunes, bi-lacunes, atomes interstitiels, groupements de lacunes et interstices avec des impuretés, et même des amas compliqués regroupant plusieurs types de défauts. Les défauts provoquent des altérations dans les propriétés électriques par l'introduction de nouveaux états d'énergie dans la bande interdite du semiconducteur. Ces états énergétiques amènent l'apparition de plusieurs phénomènes de génération et de piégeage de porteurs. Le comportement de l'état énergétique est fonction de son emplacement dans la bande, son type (accepteur, donneur) et son occupation. Les processus issus de ces états sont montrés de façon schématique dans la figure 4.3.

À titre d'exemple de l'effet des états énergétiques on peut citer les centres de génération qui entraînent l'augmentation des courants de fuite des diodes. Les centres de recombinaison provoquent une chute du gain des transistor bipolaires (par la réduction de la durée de vie des porteurs minoritaires).

TAB. 4.1 – Constantes impliquées par le processus d'ionisation dans le silicium et dans la silice.

	Si	SiO ₂
E_{gap}	1,12 V	9 V
E_p	3,8 eV	18 eV
densité	2,3 g/cm ³	2,19 g/cm ³
g_p	$3,6 \times 10^{13}$ paires/cm ³	$7,6 \times 10^{12}$ paires/cm ³

TAB. 4.2 – Fluences et énergie équivalentes à l'absorption d'une dose de 1 rad(Si).

1 rad(Si)	Fluence (particules/cm ²)	Énergie déposée par cm ³
	2×10^6 p ⁺ (10 MeV)	$2,2 \times 10^{-5}$ J
	$2,5 \times 10^7$ e ⁻ (1 MeV)	$1,4 \times 10^{13}$ eV
	2×10^9 γ (1 MeV)	$3,6 \times 10^{13}$ paires
	5×10^{10} n (1 MeV)	

Une autre forme d'altération possible est la dislocation des impuretés, ce qui peut les rendre électriquement inactives, changeant ainsi le dopage du matériau.

Les effets de la dislocation sont très nocifs au fonctionnement de transistors bipolaires, à cause du rôle important des porteurs minoritaires dans leur principe d'opération. De plus, le courant traverse le volume du transistor, impliquant ainsi tous les défauts présents dans la maille.

Par ailleurs, le transistor MOS est très peu sensible aux dislocations, du fait que son courant est un phénomène surfacique composé exclusivement de porteurs majoritaires. Hélas, le courant surfacique rend les transistors MOS très sensibles aux effets de l'ionisation.

4.3.2 Ionisation

L'ionisation est le processus où un électron de la bande de valence absorbe une énergie suffisante pour s'affranchir de la bande interdite et atteindre la bande de conduction. Une fois dans la bande de conduction l'électron perd son énergie cinétique en excès par des collisions avec la maille cristalline, et finit par occuper un état proche du bord de la bande (équilibre thermique). Le trou laissé derrière dans la bande de valence se comporte de façon similaire. La paire électron-lacune formée est libre pour se déplacer dans le matériau, par diffusion ou dérive, jusqu'à qu'ils participent à un processus de recombinaison, de piégeage, ou à l'évacuation par un électrode.

L'énergie nécessaire pour la création d'une paire électron-lacune E_p dépend du matériau. L'énergie E_p pour le Si est de 3,6 eV (18 eV pour le SiO₂). Si on divise l'énergie déposée par unité de dose $E_{(1 \text{ rad})}$ par E_p on obtient la densité de porteurs générés, g_p (en paires/cm³). Les valeurs de g_p pour le Si et le SiO₂ sont fournies dans le tableau 4.1. Le nombre de porteurs créés dépend seulement de l'énergie déposée, qui est variable selon les caractéristiques du rayonnement. Le tableau 4.2 donne la fluence équivalente au dépôt de 1 rad(Si), pour des formes de rayonnement communément rencontrées.

Recombinaison

La totalité de la charge électrique générée n'est pas impliquée dans les mécanismes d'endommagement. Une partie des paires se recombinent tout de suite après leur naissance. Le

processus est gouverné par le champ électrique présent et par la densité linéaire de production de paires au long du parcours de la particule ionisante. Cette densité, égale à l'inverse de la séparation moyenne entre chaque paire, est déterminée par le pouvoir d'arrêt (LET).

Le calcul de la proportion des paires qui échappent à la recombinaison n'a pas une solution analytique générale. Néanmoins, des solutions analytiques sont disponibles pour les cas extrêmes, c.-à-d. quand la séparation moyenne est large ou réduite. La distinction entre les deux cas est faite par rapport au rayon de «thermalisation» d'une paire dans la maille. Le rayon de thermalisation exprime la distance moyenne entre les porteurs d'une paire à l'instant où ils retrouvent l'équilibre thermique. Cette distance est d'environ 8 nm dans le cas du SiO_2 . En termes d'énergie les particules avec un LET inférieur à $10 \text{ MeV} \cdot \text{g}^{-1} \cdot \text{cm}^2$ produisent une ionisation raréfiée (séparation moyenne supérieure à 10 nm), et les particules avec un LET supérieur à $100 \text{ MeV} \cdot \text{g}^{-1} \cdot \text{cm}^2$ génèrent une colonne densément ionisée. Les particules de LET intermédiaire ne suivent exactement aucun des deux modèles, mais on peut estimer l'ampleur de la recombinaison par l'interpolation entre les deux cas limites. La conclusion à retenir est que les particules de plus grand LET forment des colonnes densément ionisées, où la recombinaison joue un rôle important. Les particules de LET moins important produisent une ionisation espacée, ce qui rend la recombinaison moins fréquente. La présence d'un champ électrique réduit davantage la recombinaison.

La fraction de la charge qui échappe à la recombinaison, le «rendement¹¹», a été mesurée de façon expérimentale pour de nombreuses énergies et particules. Il a été observé que [10, p.100] :

1. le rendement des particules α est inférieur à 8 % (champ électrique de 1,5 MV/cm)¹²;
2. le rendement pour les ions lourds est encore moins important. La décroissance du rendement avec le LET est responsable des rendements si faibles que 0,1 %. Toutefois, il augmente à peu près proportionnellement à l'intensité du champ électrique;
3. le rendement d'électrons de 12 MeV et des rayon- γ émanant du ^{60}Co (deux lignes spectrales d'énergie 1,173 et 1,333 MeV) est presque identique. Dans un champ électrique de 1,5 MV/cm le rendement est supérieur à 80 %;
4. le rendement de rayons-X de 10 KeV est inférieur à celui du ^{60}Co , mais le degré exact est inconnu. Ceci est dû à l'existence de deux mécanismes opposés; l'accroissement et la recombinaison. La section efficace des photons à 10 KeV est beaucoup plus importante que celle des photons à 1 MeV (pour le SiO_2 ; $18 \text{ cm}^2 \cdot \text{g}^{-1}$ et $0,06 \text{ cm}^2 \cdot \text{g}^{-1}$ — pour le Si ; $32 \text{ cm}^2 \cdot \text{g}^{-1}$ et $0,06 \text{ cm}^2 \cdot \text{g}^{-1}$). Les différentes sections efficaces à 10 KeV entraînent l'accroissement de la dose à la proximité des interfaces (c.-à-d. à une distance entre 500 nm et $1,5 \mu\text{m}$), pendant que la différence entre la section efficace à 10 KeV et 1 MeV modifie le niveau de recombinaison (par l'ionisation moins dense à 1 MeV). Il est possible d'affirmer que le rendement à 10 KeV se trouve autour de 60 % (sous un champ de 1,5 MV/cm).

La recombinaison est très faible dans le Si cristallin, et s'accroît pour le Si fortement dopé. Les mesures indiquent qu'en règle générale la recombinaison dans le Si peut être considérée comme nulle.

11. *yield*

12. 1 MV = 1×10^6 Volts

La connaissance du rendement permet le calcul de la densité de charge générée dans l'oxyde de silicium par l'irradiation :

$$Q_{rad\ tot} = 2qg_p R t_{ox} D \quad (4.7)$$

où $Q_{rad\ tot}$ est la charge totale (C/cm^2), R est le rendement (fonction du LET, du champ électrique, etc.), t_{ox} est l'épaisseur du SiO_2 et D est la dose cumulée en rads(SiO_2). On peut considérer R comme égal à 1 pour des champs électriques élevés (supérieurs à 3 MV/cm) ou pour l'estimation du cas extrême. Le champ électrique imposé sur l'oxyde fin sous la grille d'un transistor MOS moderne est habituellement de 2 MV/cm (exemple d'un circuit logique opérant à 5 volts avec une épaisseur de l'oxyde de 25 nm).

La charge produite par le rayonnement à l'intérieur du semiconducteur peut altérer le fonctionnement des circuits intégrés de différentes manières. Les dégâts les plus significatifs sont issus de deux phénomènes ; le piégeage de charges dans le SiO_2 et la génération de courants transitoires dans le Si .

Piégeage

La génération et la recombinaison des paires électron-lacune s'achèvent au bout de quelques centaines de picosecondes (supposant une impulsion de radiation ionisante). Les porteurs qui ont échappé à la recombinaison se dispersent par diffusion ou sont balayés par le champ électrique présent. Les électrons sont très mobiles, et la grande majorité quitte l'oxyde par l'électrode positive. Le courant d'électrons à une durée de l'ordre de picosecondes. Une partie des électrons sont néanmoins emprisonnés dans l'oxyde thermique. La proportion d'électrons piégés est extrêmement faible, sauf dans les oxydes implantés, dopés ou déposés (CVD).

Les lacunes sont beaucoup moins mobiles dans l'oxyde, et leur déplacement sous l'influence du champ électrique prend des dizaines de millisecondes, à la température ambiante. Le transport des lacunes dans l'oxyde est un phénomène très compliqué. Les trous rémanents de la recombinaison se déplacent par sauts entre des états énergétiques locaux de l'oxyde, sous l'influence du champ électrique externe. Dans le cas de l'oxyde fin sous la grille d'un transistor MOS du type n, polarisée positivement en relation au substrat, les lacunes se déplacent vers le substrat.

Le transport de lacunes évacue une partie de la charge $Q_{rad\ tot}/2$ par le substrat. Le processus dépend de nombreux facteurs ; la température, l'épaisseur de l'oxyde, l'intensité du champ électrique, etc. Une fraction des lacunes est attrapée dans des états énergétiques profonds. Des études ont démontré que ces pièges profonds résident dans une région à environ 10 nm de l'interface $Si-SiO_2$. L'explication avancée est l'existence de liaisons $Si-Si$ instables à la place de liaisons $Si-O-Si$. La cause serait un manque localisé d'atomes d'oxygène, pour former une liaison $Si-O-Si$. Ce manque serait issu à son tour de fortes contraintes mécaniques présentes à la proximité de l'interface.

La rencontre d'une lacune avec une de ces liaisons peut provoquer une rupture, où la lacune se recombine avec un des électrons de la liaison covalente. L'atome de Si devient alors chargé positivement.

La charge positive piégée dans les états profonds n'est pas permanente. Des travaux ont mis en évidence deux mécanismes de suppression ; l'injection d'électrons du substrat (ou de la grille) dans l'oxyde (effet tunnel), et l'excitation thermique de la lacune.

L'effet tunnel est responsable de la disparition progressive des charges piégées à température ambiante. Le processus peut s'étendre sur des années.

L'excitation thermique des lacunes piégées est observée à hautes températures (100°C-300°C). Les charges disparaissent sur une période de quelques jours, voire même de quelques heures, selon la température. Ce mécanisme de suppression des charges piégées est très utilisé durant la fabrication des circuits intégrés (le recuit). Le recuit n'élimine pas toutes les lacunes piégées. La charge positive qui reste à la fin de la fabrication du circuit intégré, représentée par Q_{ot} , contribue au décalage de la tension de bande plates V_{FB} de la structure MOS (conformément à l'équation 2.25). La charge piégée induite par la radiation est de même nature, et vient s'ajouter à la charge Q_{ot} déjà présente.

Piégeage à l'interface $Si-SiO_2$

Les lacunes qui arrivent à l'interface $Si-SiO_2$ semblent être à l'origine de l'apparition de pièges de charges à l'interface. Le mécanisme de production de ces pièges n'a pas encore été élucidé. Pourtant des travaux dans ce sens permettent de tirer les conclusions suivantes[29, p.27]:

1. il peut y avoir une corrélation entre la production de pièges et la libération d'hydrogène présent dans l'oxyde;
2. les contraintes mécaniques à l'interface semblent jouer un rôle important;
3. la charge piégée n'est pas sensible à des recuits à moins de 150°C;
4. les pièges générés par la radiation ont le même comportement que les pièges présents à la fin de la fabrication des structures MOS (Q_{it});
5. la croissance de N_{it} avec l'irradiation est plus faible pour les oxydes plus fins;
6. l'empilement du siliciure sur le polysilicium aboutit à une contrainte de compression de l'oxyde. Dans le cas d'un oxyde fin ($t_{ox} < 17$ nm) cette contrainte peut être assez forte pour réduire de façon très significative la création de pièges à l'interface[1, p.368].

Piégeage dans l'oxyde LOCOS

Les études sur le piégeage des charges ont été menées en majorité pour les oxydes fins (thermiques) employés dans les structures MOS. Les résultats sont néanmoins applicables à l'oxyde épais de l'isolation LOCOS.

La charge totale générée est plus grande dans l'oxyde LOCOS, de façon proportionnelle à l'épaisseur. Cependant, la distribution des charges n'est pas la même, à cause de la structure plus complexe de l'isolation LOCOS (figure 3.5 et 3.6), composée de l'empilement de l'oxyde CVD dopé sur l'oxyde thermique. L'oxyde LOCOS se distingue de l'oxyde de la grille aussi par le champ électrique plus faible et par l'absence d'un courant à l'interface avec le substrat.

La conséquence de tous ces éléments est la production d'une charge positive Q_{ot} très importante, couplée à très peu de croissance de la charge Q_{it} à l'interface. Ces deux phénomènes sont responsables de l'apparition des transistors parasites sous les interconnexions (FOXFETs) bien avant la défaillance des transistors MOS normaux.

Guérison et rebondissement

L'évolution de la charge piégée Q_{ot} a deux aspects importants pour l'opération de dispositifs électriques. Le premier est une tendance à la saturation, après un certain niveau d'exposition. Ce niveau est variable, et se situe autour de 1-3 Mrads(Si) pour la plupart des technologies CMOS. Le deuxième est la disparition progressive et spontanée des charges induites par la radiation (guérison). La raison avancée dans la plupart des études est la recombinaison avec des porteurs injectés dans l'oxyde.

L'évolution de la charge piégée Q_{it} est distincte dans les deux aspects. L'apparition des pièges à l'interface continue après la fin de l'exposition et du transport des lacunes à travers l'oxyde. En plus, il n'y pas de guérison significative de Q_{it} à température ambiante. Ces deux différences provoquent une augmentation dans le temps de la tension V_{FB} d'une structure MOS sur un substrat du type p, du fait du signe négatif de la charge Q_{it} (voir figure 5.1). Initialement Q_{ot} domine sur Q_{it} et la tension V_{FB} chute, mais avec la guérison la charge totale ($Q_{ot} + Q_{it}$) change d'allure, et V_{FB} remonte. Ce mécanisme est observé dans les transistor NMOS, où il est appelé rebondissement¹³.

Le comportement d'un transistor continuellement exposé à la radiation ionisante est une superposition des phénomènes de génération, de recombinaison, de transport, de piégeage et de guérison. Sous certaines conditions, le débit de dose peut aboutir à un équilibre relatif entre la création et la guérison des charges, et le dispositif peut paraître très insensible à la radiation. C'est l'effet du débit de dose¹⁴.

Photo-courants

Les porteurs dégagés par l'ionisation qui échappent à la recombinaison sont libres de parcourir le matériau. Sous l'influence d'un champ électrique externe ils se déplacent, jusqu'à ce qu'ils soient collectés par des électrodes et quittent le matériau. Un courant électrique s'établit durant l'évacuation des porteurs. On peut donc affirmer que tout matériau soumis à un rayonnement devient momentanément un meilleur conducteur.

Ces courants transitoires disparaissent avec la fin de l'exposition. Dans le cas de l'espace le débit de dose est assez faible, et la composante continue des photo-courants ne pose pas de problèmes majeurs. Toutefois, le passage d'une particule à fort LET (des ions lourds par exemple) produit une colonne d'ionisation très dense qui se comporte comme un conducteur jusqu'à la disparition des porteurs. Ce phénomène peut induire des dysfonctionnements dans un circuit intégré à travers trois mécanismes ; rupture destructive du diélectrique de la grille, écroulements de tension de noeuds, et verrouillages de courant.

Tous ces phénomènes découlent du même principe; le courant engendré dans le sillage de la particule sous l'effet d'un champ électrique intense. Dans ces conditions, les porteurs sont transportés très rapidement et donnent lieu à un pic de courant. Le transport des porteurs entame deux processus à des échelles de temps distinctes ; la dérive des porteurs sous l'effet du champ, et la diffusion. Le premier processus est responsable du pic initial de courant, et le deuxième accroît l'étendue du temps de collection.

L'efficacité de la collecte initiale de charge est augmentée par l'effet d'entonnoir (ou, de la canalisation) de charge¹⁵. Cet effet consiste en le prolongement des lignes de champ électrique

13. *rebound*

14. *dose rate effect*

15. *charge funneling*

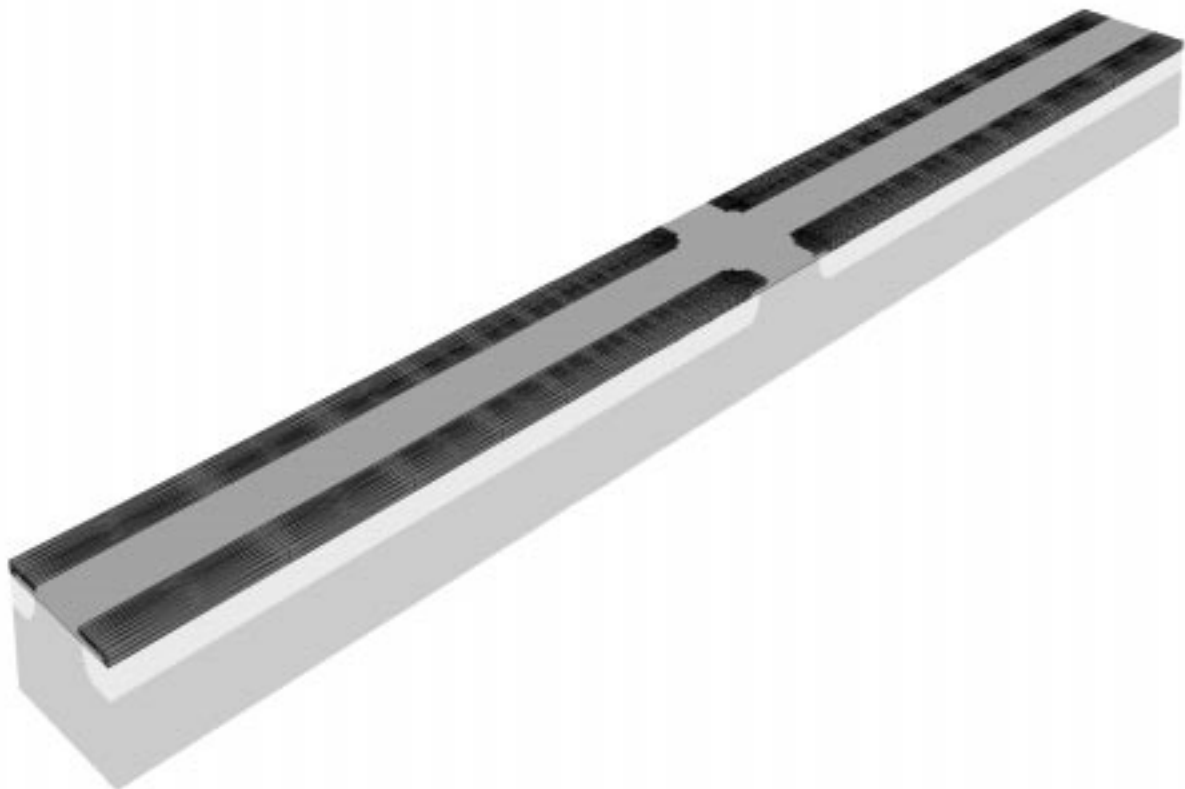


FIG. 4.4 – Quatre jonctions p-n implantés, disposés d'une manière symétrique sur une plaquette pour simuler le transport de porteurs et obtenir la charge collectée par électrode, en trois dimensions. Les diodes sont inversement polarisées[30].

par l'intérieur du canal conducteur formé par la trace de la particule. Il intervient de manière accentuée lorsque le parcours de la particule traverse une zone où le champ électrique est fort intense (la région désertée d'une jonction p-n inversement polarisée, par exemple). La grande densité de porteurs libres créés provoque une distorsion du champ qui lui permet d'influencer plus fortement les porteurs tout au long de la colonne.

La collecte de charge est montrée dans les figures 4.5 et 4.6. Ces résultats ont été calculés par le simulateur mixte DAVINCI[30]. La simulation montre les effets du passage d'une particule qui dépose 80 fC de charge par μm ($\text{LET} \approx 7,7 \text{ MeV} \cdot \text{mg}^{-1} \cdot \text{cm}^2$). L'impact se passe au centre d'une diode planaire, au milieu d'un motif régulier. La symétrie du motif permet la simulation en trois dimensions de la structure montrée dans la figure 4.4. Il est intéressant de constater que les électrons sont collectés beaucoup plus rapidement que les lacunes. Les courbes de collection de charge par les électrodes sont données dans la figure 4.7.

Événements singuliers

L'effet du processus de collecte de charge dépend de la structure traversée, ce qui engendre divers formes de perturbation. Ces perturbations sont connues dans l'ensemble comme effets d'événements singuliers¹⁶.

16. *single event effects* – SEE

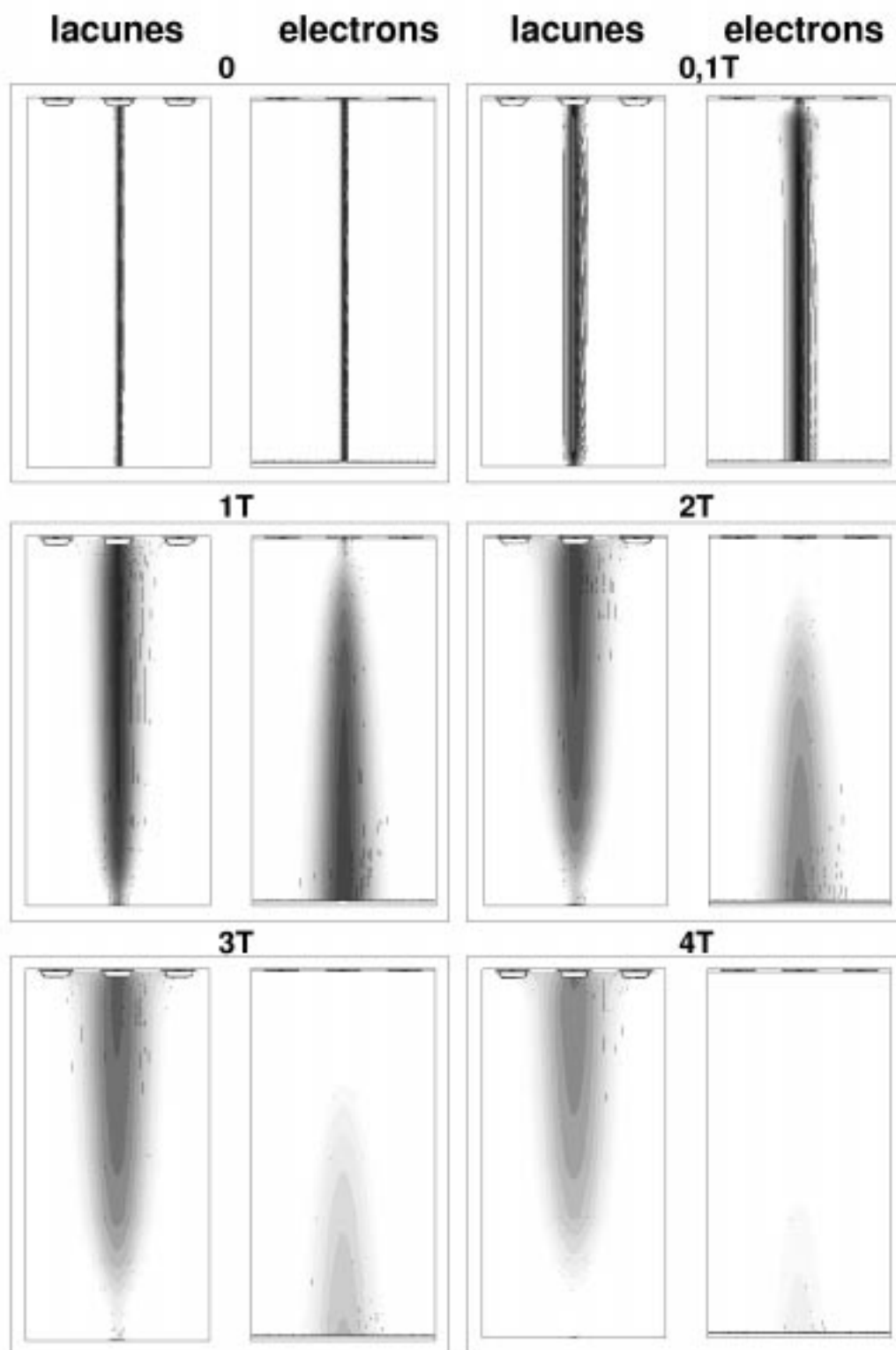


FIG. 4.5 – Simulation du passage d'une particule par une région implanté p^+ sur un substrat n ($T=10$ ns). La plaquette a une épaisseur de $300 \mu\text{m}$, et l'épaisseur de la région p^+ sur la surface est de 500 nm . Les zones plus foncées représentent une concentration de porteurs plus importante. Une tension positive est appliquée entre la surface et la face arrière[30].

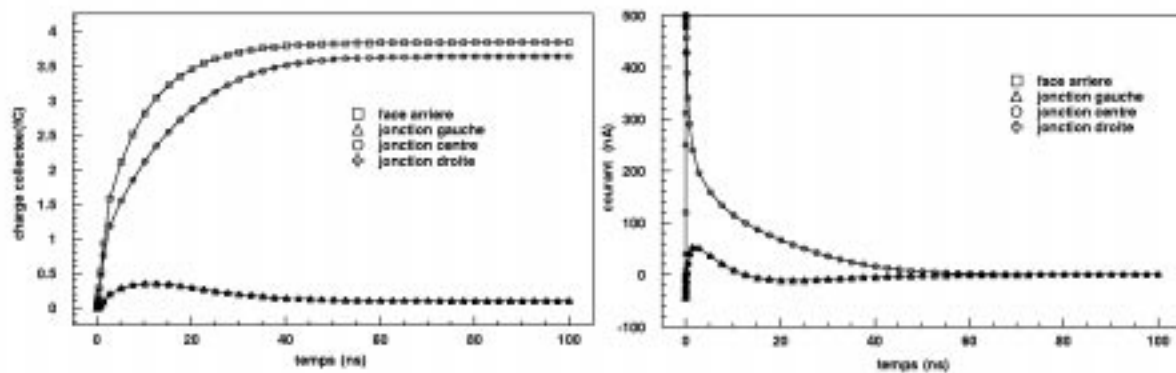


FIG. 4.7 – L'évolution du courant et de la collecte de charge, calculés par la simulation de la figure 4.5. L'impulsion initiale de courant est due à la dérive de porteurs sous l'effet du champ électrique et de l'entonnoir de charge. Le restant de la courbe représente la collecte de charge par diffusion[30].

La mesure de la sensibilité d'un circuit intégré est souvent donnée en termes de LET de seuil¹⁷. Le LET de seuil représente le LET minimal qu'une particule doit posséder pour perturber le circuit, pour une fluence donnée (habituellement entre 10^6 et 10^7 particules/cm²). L'unité généralement utilisée pour le LET de seuil est le MeV · mg⁻¹ · cm².

Un autre paramètre d'évaluation de sensibilité est la section efficace σ . Elle est donnée par le rapport entre le nombre de perturbations détectés et la fluence. La section efficace est donnée en cm²/dispositif ou cm²/bit, selon le type de perturbation en question.

L'association du LET avec la section efficace permet la définition d'un troisième paramètre, le LET de saturation. Il est obtenu en faisant varier le LET incident, jusqu'à ce que la section efficace devienne constante. Le LET dont la section efficace atteint ce plateau est appelé LET de saturation.

Il a été observé que les particules de l'espace sont très énergétiques, avec une portée importante (de l'ordre de 100 g/cm² [31]), et que les régions sensibles dans les circuits intégrés sont plates et fines. Dans ces conditions la section efficace et le LET varient selon l'angle d'incidence du rayonnement. La correction pour ce phénomène est faite en multipliant par la sécante de l'angle d'incidence, $\sec \theta$. On obtient alors la section efficace effective ($\sigma \times \sec \theta$), et le LET effective (LET $\times \sec \theta$).

La description du comportement d'un circuit est faite en donnant la courbe de section efficace contre le LET, et le LET de seuil où la section efficace devient nulle.

Les événements singuliers dans l'espace peuvent être provoqués par des ions, neutrons ou protons. Les ions lourds constituent la source la plus fréquente. Ils sont suivis de loin par les protons énergétiques, responsables des réactions nucléaires, et dans une moindre échelle par les neutrons. La discussion des effets de ces particules dans notre étude est orientée vers les ions lourds, mais les résultats sont applicables aux autres types de particule.

17. *threshold LET*

4.4 Environnements radiatifs

Ils existent quatre grands axes d'application des circuits intégrés durcis ; l'espace, les réacteurs nucléaires, le champ de bataille nucléaire et les accélérateurs de particules. Chacun de ces axes a ces particularités, dont la plus importante de notre point de vue est le type et la distribution d'énergie des particules. Ces caractéristiques, nommées dans l'ensemble l'environnement radiatif, déterminent les dysfonctionnements possibles. La spécification du niveau de durcissement d'un circuit intégré doit donc prendre en compte l'environnement radiatif où il doit opérer.

4.4.1 L'espace

L'environnement radiatif d'intérêt pour cette étude est l'espace naturel. Ses caractéristiques sont très variables, selon le parcours de l'engin et la période de la mission. Pour l'espace, le niveau de durcissement d'un circuit intégré est donné en termes de deux paramètres :

- la dose totale de radiation ionisante supportée, en rads(Si) ;
- le LET de seuil (LET_{seuil}), le LET de saturation (LET_{sat}) et la section efficace (σ), pour chaque type d'événement singulier (verrouillage, basculements logiques).

L'importance relative de ces deux paramètres dépend de la fonction du composant, son emplacement à l'intérieur du véhicule et du type de rayonnement de la région de l'espace traversée. Les principales sources de particules énergétiques qui contribuent à des dégradations (effets de dose cumulée et d'événements singuliers) sont :

- protons et électrons piégés dans les ceintures de Van Allen ;
- rayonnements cosmiques (protons et ions lourds) ;
- protons et ions lourds provenant des éruptions solaires.

Les ions lourds piégés dans la magnétosphère n'ont pas d'influence sur la dose totale, et après avoir pénétré le satellite leur énergie n'est pas suffisante pour provoquer des événements singuliers. L'évaluation de la dose totale doit prendre en compte les protons et électrons piégés, les photons secondaires issus de la radiation de freinage (photons de bremsstrahlung) et les protons provenant des éruption solaires. Le risque des événements singuliers est lié aux ions lourds cosmiques et protons énergétiques (piégés ou faisant partie du vent solaire).

L'intensité de toutes les sources est influencée par l'activité solaire. Le cycle solaire est divisé en deux phases ; la phase d'activité solaire faible, et la phase d'activité solaire intense. Un cycle dure en moyenne onze ans avec une phase d'activité faible d'environ 4 ans et une phase intense de 7 ans.

Ceintures de Van Allen

Le champ magnétique de la Terre (la magnétosphère) forme un dipôle qui attrape les particules chargées qui arrivent de l'espace. Les particules piégées forment des ceintures de radiation autour de la Terre, appelées ceintures de Van Allen. La distribution des particules dans les ceintures de Van Allen n'est pas uniforme. Elle varie selon le type de particule, la position géographique et l'altitude. Une perturbation importante pour les satellites est

l'anomalie de l'Atlantique Sud¹⁸, une zone sur le littoral du Brésil où les ceintures de Van Allen s'approchent de l'atmosphère de la planète (moins de 500 Km d'altitude). Le vent solaire a aussi une forte influence sur la magnétosphère, mais d'autres variations surviennent selon l'heure locale (effet diurne) et la saison (effet d'inclinaison).

Les électrons piégés occupent deux régions connues comme zone intérieure et zone extérieure. À la hauteur de l'équateur, la zone intérieure s'étend jusqu'à une distance égale à 2,4 rayons de la Terre ($R_{Terre} = 6371$ Km). La zone extérieure s'étend de $2,8R_{Terre}$ à $12R_{Terre}$. La densité d'électrons et les limites de chaque zone dépendent de l'énergie, et sont variables dans le temps. Les électrons de la zone interne sont moins énergétiques (énergie bornée à 5 MeV) que ceux de la zone externe, qui ont jusqu'à 7 MeV d'énergie.

Les protons piégés ne suivent pas une telle distribution. Les protons énergétiques (énergie supérieure à 1 MeV) occupent un volume d'espace qui varie à l'inverse de la distance et proportionnellement à l'énergie. La région peuplée par les protons s'arrête à une distance d'environ $3,8 R_{Terre}$ (pour les protons d'énergie >10 MeV).

La densité de particules piégées a été mesurée par des satellites scientifiques, et des études ont élaboré des modèles de la structure des ceintures de radiation. Les modèles les plus utilisés sont ceux développés par la NASA[32], appelés AP8 et AE8. Ces modèles ont des corrections selon la phase du cycle solaire (AP8-MIN, AP8-MAX, etc.). Hormis ces corrections les modèles sont statiques, c.-à-d. que les variations dues aux oscillations du champ magnétique de la Terre (tempêtes géomagnétiques) ne sont pas prises en compte. Les résultats représentent la fluence moyenne sur une période de six mois.

Vent solaire

Les éruptions solaires produisent principalement des éclairs intenses de lumière UV et rayons-X. Une partie de la matière solaire accélérée est éjectée, produisant un rayonnement de particules connu comme vent solaire. Ces particules sont principalement des protons et des ions énergétiques.

Plusieurs modèles du flux de particules solaires sont disponibles. Le plus ancien est le modèle SOLPRO, qui prédit le flux de protons. Les données de plusieurs études ont été amalgamées dans le modèle JPL92¹⁹. Le modèle JPL92 regroupe le calcul du flux de protons, de particules α et d'ions lourds. Le modèle CHIME²⁰ effectue aussi le calcul du flux d'ions lourds solaires.

L'interaction de l'activité solaire avec l'environnement radiatif de l'orbite terrestre ne se résume pas à l'injection de particules énergétiques. L'activité solaire modifie le flux de particules auquel les satellites sont exposés par la déformation du champ magnétique terrestre. Cette déformation change le degré de blindage magnétique offert par la magnétosphère.

Rayons cosmiques

Les rayons cosmiques sont des particules chargées provenant de l'extérieur du système solaire. Leur composition approximative est à 85 % de protons, 14 % de particules α et 1 % de noyaux lourds (numéro atomique Z entre 1 et 92), possédant jusqu'à plusieurs GeVs

18. *South Atlantic Anomaly - SAA*

19. *JPL Solar Energetic Particle Event Environment Model*

20. *CRRES Heavy Ion Model of the Environment*

d'énergie. La proportion d'ions lourds est très réduite, mais leur masse et énergie les rendent très pénétrants et fortement ionisants.

L'intensité des rayons cosmiques varie selon le cycle solaire, avec des pics dans la phase de faible intensité solaire et des creux dans la phase intense. Le champ magnétique terrestre confère une certaine protection contre les rayons cosmiques, en fonction de la trajectoire de la particule incidente.

Plusieurs modèles de l'exposition aux rayons cosmiques dans l'orbite terrestre ont été proposés[25, p.327]. Le plus utilisé est le modèle CREME²¹, mais le modèle CHIME (basé sur les données du satellite CRRES²² [10, p.674]) est plus moderne et complet[33]. Une nouvelle version du modèle CREME est en cours de développement.

Le tableau 4.3 donne le rapport entre les particules de l'espace et les modèles utilisés. Les principales limitations des modèles sont :

- les modèles sont vétustes, ayant été créés à partir des données récoltées dans les années 60 et 70 ;
- les modèles ne prennent pas en compte les variations temporelles ni la direction du flux de particules (les électrons piégés se déplacent dans une direction opposée à celle des protons) ;
- les modèles sont isotropiques, et le flux est anisotropique, notamment dans les orbites basses ;
- le champ géomagnétique a changé ;
- le milieu à haute altitude est très dynamique, avec des variations importantes durant la journée. Ces variations influencent considérablement l'accumulation de charge électrique sur les éléments structurels électriquement isolés dans le véhicule.

Le degré d'exposition et l'importance relative des effets de la dose cumulée et d'événements singuliers sont très variables, en fonction du parcours du véhicule spatial. Plusieurs trajectoires sont possibles, qui peuvent être scindées entre les missions interplanétaires et les missions sur l'orbite terrestre.

Les missions interplanétaires demandent une étude ad hoc, vu l'énorme diversité d'environnements possibles (passage proche à la Terre, utilisation du Soleil pour accélérer, etc.)

Les missions autour de la Terre empruntent principalement trois types d'orbite ; les orbites basses, les orbites géostationnaires et les orbites elliptiques.

LEO

La caractéristique la plus importante des orbites basses LEO²³ (1 000 Km d'altitude ou moins) est le passage par les ceintures de Van Allen plusieurs fois par jour. Le niveau d'exposition est très variable, selon l'inclinaison et l'altitude.

La dépendance du flux sur l'inclinaison est plus prononcée entre 0° et 30° d'inclinaison. La croissance du flux est plus graduelle entre 30° et 60°. Au-delà de 60°, l'inclinaison a très peu d'influence sur le flux de particules.

21. *Cosmic Rays Effects on Microelectronics*

22. *Combined Release and Radiation Effects Satellite*

23. *Low Earth Orbit*

TAB. 4.3 – Les facteurs qui influencent le flux des particules dans l'espace, et les modèles habituellement utilisés pour estimer l'exposition[34].

Rayonnement	Modèle	Influence de la phase solaire	Autres variations	Orbites
Protons piégés	AP8-MIN et AP8-MAX	croit avec phase faible, décroît avec phase intense	champ géomagnétique, éruptions solaires, tempêtes géomagnétiques	LEO, HEO, GTFO
électrons piégés	AE8-MIN et AE8-MAX	croit avec phase intense, décroît avec phase faible	voir protons piégés	LEO, GEO, HEO, GTFO
ions lourds cosmiques	CREME, CHIME	comme pour les protons piégés	niveau d'ionisation, atténuation selon l'orbite	LEO, GEO, HEO, interplanétaire
protons solaires	JPL92	présents uniquement pendant la phase intense	selon la distance jusqu'au Soleil, position de l'éruption solaire	LEO (inclinaison $>45^\circ$), GEO, HEO, interplanétaire
ions lourds solaires	CREME, CHIME, JPL92	voir protons solaires	voir protons solaires	LEO, GEO, HEO, interplanétaire

La croissance du flux avec l'altitude est plus grande entre 200 Km et 600 Km. La progression est moins forte pour les altitudes supérieures à 600 Km.

Les positions où le flux de protons atteint le maximum sont une fonction de l'énergie des particules. Le flux de protons énergétiques (3-10 MeV) piégés est maximal à environ 3 000 Km. Ceci constitue un problème pour de nouveaux réseaux satellitaires (GLOBALSTAR, TELEDESIC, etc.[35]) qui prévoient d'emprunter des orbites LEO élevées, entre 1 000 et 3 000 Km.

L'exposition aux particules solaires et aux rayonnements cosmiques est fonction principalement de l'inclinaison de l'orbite LEO, et dans une moindre mesure de l'altitude. L'exposition augmente avec l'inclinaison, jusqu'aux régions polaires, où la terminaison des lignes du champ géomagnétique laisse le véhicule complètement exposé à ces particules. Dans des conditions normales les orbites LEO d'inclinaison inférieures à 45° ne sont pas atteints par les protons solaires. À de faibles altitudes et inclinaisons orbitales, la perturbation SAA est le plus important facteur déterminant les niveaux d'exposition des véhicules spatiaux. On peut estimer qu'un satellite en orbite LEO aura accumulée une dose de l'ordre de la dizaine de Krads(S_i), au bout d'une décennie.

HEO

Les orbites fortement elliptiques HEO²⁴ (Molniya, GTFO²⁵, etc) ressemblent aux orbites LEO, du point de vue que le véhicule traverse les ceintures de Van Allen plusieurs fois par jour. Toutefois, leur altitude très élevée se traduit par une importante exposition aux rayons cosmiques et aux particules solaires. Le niveau d'exposition aux protons piégés est très variable, selon la localisation du périégée de l'orbite (latitude, longitude et altitude). Le niveau d'exposition à la radiation ionisante est lui aussi élevé, à cause du long séjour à l'intérieur de la zone extérieure peuplée d'électrons. Les protons piégés y contribuent aussi, à une échelle inférieure.

GEO

Les orbites géostationnaires suivent une trajectoire circulaire au-dessus de l'équateur (inclinaison de 0°), à une altitude de 35 860 Km. C'est l'orbite des grands satellites de télécommunications. À l'altitude de l'orbite GEO, les protons piégés ne sont pas assez énergétiques pour amorcer les réactions nucléaires qui produisent des événements singuliers, et leur flux est trop faible pour provoquer des effets de dose cumulée. Toutefois, la haute altitude signifie que la protection prêtée par le champ géomagnétique est très réduite, et les satellites se trouvent exposés à la quasi totalité des rayons cosmiques et particules solaires. L'orbite GEO est aussi continuellement exposée aux électrons piégés de la zone extérieure, qui sont responsables des effets de dose cumulée. Cette dose est de l'ordre de 100 Krads(Si), pour un séjour en orbite de 10 ans. La dose totale peut s'élever à 1 Mrad(Si), pour une mission de 8 ans, dans le cas des orbites intermédiaires²⁶ (≈18 000 Km), à cause de l'exposition continue aux électrons énergétiques de la zone extérieure. Les orbites MEO sont commercialement peut importantes. Elles sont utilisées principalement par des satellites d'espionnage.

4.4.2 Autres environnements radiatifs

L'opération de circuits intégrés sous la radiation ne concerne pas uniquement les systèmes électroniques spatiaux. On trouve le même besoin dans l'industrie nucléaire, dans la recherche scientifique et dans les applications militaires. Cependant, l'environnement radiatif rencontré dans ces milieux est significativement différent de celui de l'espace.

Les réacteurs nucléaires

Les systèmes électroniques qui opèrent dans un réacteur nucléaire sont exposés à un flux continu de neutrons et de rayons- γ . Ils existent trois milieux d'utilisation ; à l'intérieur du réacteur, dans l'enceinte de confinement, et dans l'enceinte d'un réacteur accidenté.

L'environnement le plus important du point de vue de l'électronique est l'enceinte de confinement. Le flux de rayons- γ (10^{-3} - 10^2 rads/h) et de neutrons (1 - 10^5 particules cm^2/s) sont les plus faibles des trois cas, mais la nécessité d'une vie utile de 40 ans se traduit en une dose cumulée de l'ordre de 50 Mrads. Ce niveau est aisément dépassé à l'intérieur du réacteur, où la fluence de neutrons peut attendre 10^{21} particules/ cm^2 , à la fin de la vie utile.

24. *Highly Elliptical Orbit*

25. *Geostationary Transfer Orbit*

26. *MEO - Medium Earth Orbits*

À ce niveau d'irradiation, chaque atome du matériel a été déplacé plusieurs fois, et même la solidité mécanique en est affectée.

Dans le cas d'un réacteur accidenté, la radiation présente dans l'enceinte de confinement est très sévère. Les instruments et la robotique employés dans cette situation sont exposés à des doses pouvant aller jusqu'à 150 Mrads. L'étude des manipulateurs et des systèmes capables de fonctionner dans ces conditions a fait l'objet d'un programme de recherche européen[36].

Les accélérateurs de particules

La recherche sur les lois fondamentales de la matière a beaucoup avancé depuis l'inauguration de la physique des particules, au début du siècle. Cette recherche fait appel aujourd'hui à de très grosses machines, les accélérateurs de particules.

La recherche de nouvelles particules sub-atomiques demande une montée du niveau d'énergie des particules, qui sont amenées à entrer en collision à l'intérieur d'une structure regroupant des instruments de mesure (le détecteur). L'électronique associée à la détection est exposée à une grande variété de particules, dont les plus importantes du point de vue des dégradations sont les photons et les neutrons.

Le plus puissant accélérateur de particules du monde, le LHC²⁷, est en construction au CERN²⁸ à Genève. Le LHC est un collisionneur proton-proton de 16 TeV. Son but est de vérifier expérimentalement l'existence du boson de Higgs, une particule neutre et d'énergie estimée à environ 40 TeV. Le niveau d'exposition des circuits intégrés dépend de la distance radiale jusqu'au point d'interaction entre les faisceaux opposés de protons. La dose estimée à 20 cm est de 1 Mrad(Si)/an, pour les photons, avec une fluence de 10^{13} particules/cm²/an pour les neutrons. La vie utile requise est de 10 ans, ce qui donne un niveau d'irradiation très supérieur à celui de l'espace et à celui des applications militaires.

La nécessité d'une électronique avancée capable de résister à de fortes doses a donné une impulsion au développement d'une nouvelle technologie BiCMOS SOI très durcie, appelée DMILL²⁹[37].

Les frontales de lecture³⁰ des détecteurs sont en cours de développement et de fabrication sur cette filière. Cependant, le traitement du signal du détecteur ne peut être accompli que par l'utilisation de filières à la pointe de l'état de l'art. Ceci est dû au nombre de canaux de lecture (10^6) qui doivent être traités à la cadence de 40 MHz (l'intervalle entre deux collisions des faisceaux). Un programme de recherche a été engagé pour déterminer la faisabilité de l'utilisation de composants COTS et de technologies avancées (submicroniques) non-durcies dans les régions moins exposées (dose cumulée entre 10 et 200 Krads(Si))[38].

La guerre nucléaire

Le dernier environnement radiatif d'importance est le théâtre d'opérations d'un conflit nucléaire. L'explosion d'une arme nucléaire (à fission ou fusion) produit un éventail de particules. Cependant, les composantes importantes pour la survie des systèmes électroniques sont les photons et les neutrons.

27. Large Hadron Collider

28. Centre Européen pour la Recherche Nucléaire

29. filière Durcie Mixte sur Isolant Logico-Linéaire

30. read-out front-ends

Les photons arrivent immédiatement après la déflagration. Le flux est très intense, et les porteurs générés entraînent l'apparition d'importants courants à l'intérieur des circuits intégrés (photo-courants). Ces courants constituent le principal problème pour le fonctionnement des composants. La recherche d'une solution à cet effet a donné naissance aux technologies SOI/SOS. Une description détaillée de l'environnement radiatif de la guerre nucléaire peut être trouvée dans [10].

Deuxième partie

Durcissement
Hardening

Chapitre 5

Le durcissement des circuits intégrés face à la radiation

Hardening of integrated circuits against radiation

5.1 Introduction

Les effets des rayonnements ionisants sur les composants électroniques dépendent de plusieurs éléments ; la conception des blocs internes des circuits, le procédé de fabrication des circuits intégrés, et la fonction électrique des structures affectées. Les effets peuvent être scindés en deux groupes ; les effets permanents dûs à la dose totale cumulée, et les effets transitoires.

Cette division est faite selon l'échelle de temps de l'apparition d'une détérioration du fonctionnement du circuit. Les effets permanents, connus aussi comme effets de dose cumulée, produisent des dégradations étalées dans le temps. Les effets transitoires provoquent des altérations instantanées. Ces derniers sont habituellement associés au passage d'une seule particule intensément ionisante. Ils sont aussi nommés événements singuliers.

Il a été observé que l'évolution dans le temps de la réponse à la radiation est influencée par l'historique (intensité, durée, intervalles de repos, etc.) de l'exposition. Les deux effets associés à cette condition sont nommés effets postérieurs à l'irradiation¹ et effets de débit de dose².

Les différents effets de la radiation sur les circuits intégrés sont décrits dans ce chapitre. Les méthodes d'évaluation de la sensibilité des circuits intégrés aux rayonnements de l'espace sont également exposés. Enfin, les techniques de durcissement de circuits intégrés face à la radiation sont détaillées.

Les effets des rayonnements sur les technologies CMOS

La discussion commence par l'étude des effets transitoires et de dose cumulée auxquels sont sensibles les circuits intégrés en technologie CMOS. Les conséquences au niveau électrique sont détaillées.

1. *PIE – post-irradiation effects*

2. *dose rate effects*

La prévision du comportement dans l'espace

Les mécanismes physiques qui aboutissent à la détérioration du comportement électrique sont en général très complexes, difficiles à observer et à mesurer, et pour la majeure partie n'ont pas encore été complètement élucidés. Par conséquent, la prévision de la réponse d'un circuit intégré aux rayonnements ionisants de l'espace est faite par l'extrapolation des résultats obtenus en laboratoire. La caractérisation du comportement sous la radiation peut être menée de manière convenable et contrôlée en effectuant des mesures sur des structures de test spécifiquement conçues. Les moyens et les procédures employés dans cette activité sont décrits brièvement.

Les techniques de durcissement des circuits intégrés

La caractérisation expérimentale détermine le degré d'immunité aux effets des rayonnements. Si le niveau d'immunité s'avère insuffisant pour l'application envisagée, il faut faire appel à des techniques capables d'éviter ou de limiter la détérioration. Ces techniques sont nommées techniques de durcissement contre la radiation. Elles sont étudiées dans la dernière section du chapitre.

La sensibilité des microsystemes aux rayonnements

Le durcissement des circuits constitue seulement une partie du développement d'un microsysteme pour l'espace. Il faut attaquer également le problème de la sensibilité de la partie non-électronique, de manière à aboutir à un ensemble capable de fonctionner sous la contrainte du rayonnement.

Les microsystemes micro-usinés en silicium sont victimes des mêmes mécanismes d'interaction avec les rayonnements que les circuits intégrés. Les effets sur la partie électronique des microsystemes sont donc identiques. Toutefois, la partie regroupant les éléments capteurs et actionneurs peut montrer une grande sensibilité aussi bien qu'une complète immunité aux effets des rayonnements spatiaux, selon leur principe de fonctionnement et la construction des structures en cause. La recherche sur ce sujet se trouve encore à un stade embryonnaire, avec peu d'études publiées. Ce thème est développé vers la fin de la dernière section du chapitre. On constate que le durcissement des microsystemes exige l'analyse des principes de fonctionnement, ainsi que de la manière dont est faite la mise en oeuvre, afin d'évaluer l'influence de l'exposition aux rayonnements ionisants.

L'analyse de la tolérance des barrettes de thermopiles en silicium

Cette démarche est entreprise pour l'élément sensible au rayonnement infra-rouge, qui est au coeur d'une nouvelle génération de capteurs de Terre statique pour de petits satellites[39]. Ces nouveaux appareils sont fondés sur des barrettes de thermopiles. Les principes physiques du fonctionnement et les particularités de la construction des thermopiles en silicium seront décrits brièvement, et les effets des rayonnements ionisants seront considérés. L'analyse théorique permet affirmer que les thermopiles en silicium ne doivent pas être sensibles aux rayonnements ionisants de l'espace.

5.2 Effets de la dose cumulée

Les effets de la radiation ionisante sur les circuits intégrés sont issus essentiellement du piégeage de charges dans le SiO_2 . Ce piégeage peut avoir différentes conséquences, selon la technologie de fabrication et le principe de fonctionnement de la structure dont fait partie l'oxyde. Cette section porte sur les effets de la dose cumulée sur les technologies CMOS, notamment les technologies en substrat massif pour des applications mixtes (analogiques-numériques) à basse tension (tension d'alimentation égale ou inférieure à 5 V).

Dans ces technologies, les structures sensibles aux effets de dose cumulée sont ; l'isolation LOCOS, les transistors et les jonctions p-n à la surface (jonctions planaires).

5.2.1 L'isolation LOCOS

Dans le cas des technologies CMOS, l'effet le plus important est sans doute la dégradation de l'isolation entre les dispositifs. Cette dégradation survient principalement dans les technologies qui emploient une structure d'isolation du type LOCOS. Elle est provoquée par l'accumulation de charge dans l'oxyde.

Les mécanismes de génération et de piégeage de charges dans l'oxyde ont été étudiés dans la section 4.3. En bref, les électrons produits à l'intérieur de l'oxyde épais (FOX) quittent le matériau. Par ailleurs, les trous sont beaucoup moins mobiles, et à température ambiante ils restent figés dans l'oxyde. Toutefois, les trous ne sont pas totalement immobiles, mais leur déplacement s'effectue très lentement. Les mécanismes de transport éventuellement amènent les trous jusqu'à l'interface, où ils engendrent l'apparition d'états d'énergie piègeurs. Ces états sont aussi créés consécutivement à l'interaction directe avec les rayonnements. Les porteurs piégés dans l'oxyde et dans les états énergétiques à l'interface se traduisent dans une charge électrique piégée.

La charge piégée est prédominairement positive, et attire des porteurs libres (électrons) du substrat sous-jacent. Ces électrons se concentrent à l'interface. La modification de la population de porteurs libres à la surface altère ses propriétés électriques. Ce sujet a été développé dans la section 2.4. On distingue trois régimes possibles ; l'accumulation, la déplétion et l'inversion. Si le substrat sous-jacent est du type n, l'interface aura tendance à passer au régime d'accumulation, ce qui ne compromet pas l'isolation entre les dispositifs.

Par ailleurs, si le substrat sous-jacent est du type p, la surface sera amenée à basculer dans la déplétion puis dans l'inversion. Le phénomène peut être favorisé par des éléments conducteurs sur l'oxyde LOCOS, notamment s'ils sont polarisés positivement par rapport au substrat. Le champ électrique augmente le rendement du processus de génération de charge, et pousse les trous vers l'interface, ce qui accroît leur influence sur le substrat et la production d'états piègeurs d'interface. Le champ électrique imposé par le conducteur s'ajoute à la charge piégée pour basculer la surface vers l'inversion.

Les éléments conducteurs polarisés sont normalement les pistes d'interconnexion du circuit intégré. Ces pistes d'interconnexion ont été étudiées dans la section 3.4.3. Les technologies submicroniques modernes ont plusieurs niveaux d'interconnexions. Le nombre de couches d'interconnexion est d'au moins trois, dont deux en métal (aluminium) et une en polysilicium. Cette couche en polysilicium est également utilisée pour réaliser les grilles des transistors.

Le problème de l'inversion du substrat ne se présente que pour les couches d'interconnexion les moins élevées, pour deux raisons. La première est simplement le fait que le champ électrique diminue avec la distance. La deuxième raison est liée aux particularités de la production et du

transport de charges dans les couches d'isolation qui séparent les couches conductrices superposées. Cette isolation est assurée par un empilement de couches en verre (SiO_2 désordonnée) CVD, dopé (BPSG) ou non (voir figure 3.5). Les propriétés de cette structure permettent le piégeage d'électrons ainsi que celui de trous. En outre, la migration des trous vers le substrat est arrêtée aux interfaces entre les couches, à cause de nombreux états piègeurs qui y existent.

Par conséquent, les couches qui peuvent jouer un rôle dans l'inversion de la surface sous l'oxyde LOCOS, sont la couche d'interconnexion en polysilicium (poly1) et la première couche d'interconnexion en métal (métal1). Les pistes poly1 reposent directement sur l'oxyde LOCOS, tandis que les pistes en métal1 reposent sur la structure BPSG-CVD-LOCOS. Ces interconnexions fonctionnent comme la grille d'une structure MOS, et le substrat se comporte comme le canal d'un transistor MOS parasite. Ce transistor est appelé FOXFET.

L'inversion du substrat sous les interconnexions est normalement rendue impossible par la combinaison de l'épaisseur de l'oxyde LOCOS et de l'implantation de blocage (voir section 3.4.1). Néanmoins, la charge introduite dans l'oxyde par la radiation peut être assez importante pour annuler l'effet de l'implantation de blocage. On peut estimer l'ampleur du problème par le calcul du changement de la tension de bandes plates V_{FB} (équation 2.25 dans la section 2.4.2) du FOXFET provoqué par la charge piégée dans l'oxyde. Cette charge peut être exprimée en termes approximatifs par l'équation 4.7 (qui donne la charge absolue totale créée par l'ionisation). Pour la charge piégée on aura [29, p.18] :

$$\begin{aligned} Q_{rad\ trap} &= \frac{Q_{rad\ tot}}{2} \\ Q_{rad\ trap} &= qg_p R^* t_{ox} D \\ \Delta V_{FB-foxfet} &= \frac{Q_{rad\ trap}}{C_{fox}} \\ \Delta V_{FB-foxfet} &= \frac{qg_p R^* t_{fox}^2 D}{\epsilon_{ox}} \end{aligned} \quad (5.1)$$

où R^* représente le rendement effectif du processus de génération et de piégeage.

L'équation 5.1 montre que la réduction de V_{FB} avec la dose D est proportionnelle au carré de l'épaisseur de l'oxyde, t_{fox} . Cette relation n'est valable que pour les oxydes d'épaisseur supérieure à environ 30 nm. Des expériences ont montré que pour les oxydes très fins ($t_{ox} < 15$ nm) le terme ΔV_{FB} devient proportionnel à t_{ox}^3 .

On peut utiliser l'équation 5.1 pour estimer la dérive maximale par unité de dose absorbée. À titre d'exemple, on peut comparer l'effet de la radiation à celui de l'implantation de blocage. Cette dernière est de l'ordre de 10^{12} - 10^{13} atomes/cm² [18, p.22], ce qui donne une tension $\Delta V_{FB-blocage} \approx 1,6 \times 10^{-19} \times 10^{13} / C_{fox}$. Si on suppose un rendement R^* unitaire (le cas limite), et un t_{fox} de 0,5 μ m, le terme $\Delta V_{FB-blocage}$ apporté par l'implantation de blocage peut être annulé par une dose absorbée de 26 Krads(SiO_2).

5.2.2 Transistors MOS

La détérioration des transistors MOS est la conséquence d'une cascade d'événements issus de la production et du piégeage de charges dans l'oxyde fin de la grille. Le processus a été détaillé dans la section 4.3. L'effet de la radiation peut être donc considéré comme une augmentation des deux types de charges piégées sous la grille, Q_{ot} et Q_{it} . L'effet de ces charges sur la tension V_{FB} du transistor a été étudié dans la section 2.4.2. L'augmentation de Q_{ot}

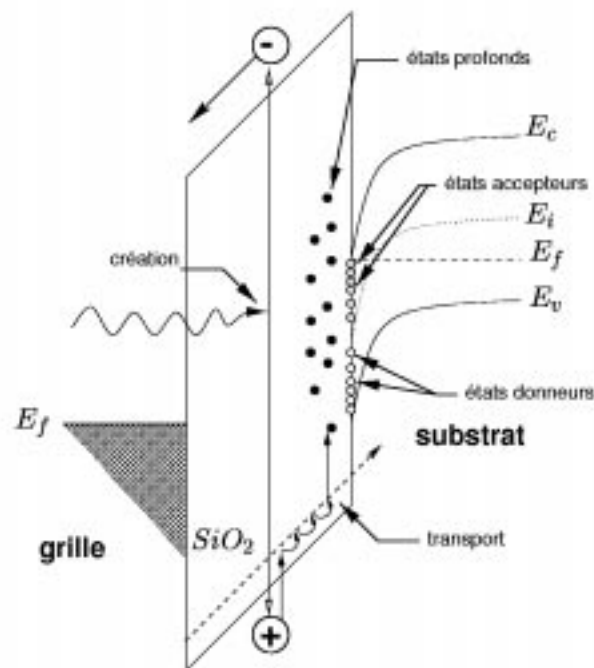


FIG. 5.1 – Illustration du processus de création, de la localisation et du comportement des états profonds et d'interface, dans un transistor NMOS (adaptation de [1, p.89]). La grille se trouve polarisée positivement par rapport au substrat-p. Ce dernier est dans le régime d'inversion. Sous ces conditions les états donneurs sont neutres et les états accepteurs ont une charge négative, ce qui augmente $V_{th-nmos}$. Les états d'interface N_{it} et profonds sont discutés dans la section 2.4.2. Le rôle de la radiation dans leur apparition est étudié dans la section 4.3.2.

constitue une contribution de signe négatif à V_{FB} . La situation par rapport à Q_{it} est plus compliquée.

Les états d'interface N_{it} créés par l'irradiation sont amphotériques, c.-à-d. qu'ils ont le même type de charge que les porteurs majoritaires du canal. Cela est une conséquence du caractère de Q_{it} et de la position du niveau de Fermi E_f à la surface du substrat (voir la section 2.4.2 et l'équation 2.25). La situation est illustrée dans la figure 5.1. Par conséquent, le signe de la contribution à V_{FB} de la charge d'interface est différent selon le type de transistor ; négatif pour les PMOS, et positif pour les NMOS.

L'altération de V_{FB} par l'effet simultané de ΔQ_{ot} et ΔQ_{it} se traduit au niveau électrique par une dérive du paramètre V_{t0} du transistor, ce qui se reflète sur sa tension de seuil V_{th} (voir l'équation 2.27).

Les transistors PMOS auront une croissance du $V_{th-pmos}$ (plus négatif). La tension de seuil peut devenir assez large pour empêcher l'inversion de la surface. Le transistor restera alors bloqué de façon permanente.

Les transistors NMOS auront d'abord une réduction du $V_{th-nmos}$, qui peut devenir négatif. Le transistor NMOS cessera d'opérer comme un transistor à enrichissement, et le courant du canal ne sera plus sous le contrôle de la grille. Cette évolution de $V_{th-nmos}$ n'est pas nécessairement monotone, à cause des différences entre la charge Q_{it} et la charge Q_{ot} , déjà évoquées dans la section 4.3.2. À un certain instant le $V_{th-nmos}$ commencera à remonter, et le processus du rebondissement aura démarré. La remontée peut aboutir à une tension $V_{th-nmos}$

très supérieure à la tension de seuil de départ (super-guérison³). L'évolution de V_{th} est une fonction très complexe de la technologie de fabrication et des conditions d'exposition.

Une condition déterminante est la polarisation de la grille durant l'exposition. Une polarisation positive par rapport au substrat amplifiera l'effet de Q_{ot} et favorisera la formation de pièges à l'interface (Q_{it}). Une polarisation négative aura l'effet inverse. À cause de ce phénomène les transistors NMOS habituellement se détériorent plus vite que les transistors PMOS. Les défaillances au niveau du circuit provoquées par le comportement distinct des transistors sur le temps sont connues comme effets tardifs, ou effet postérieurs à l'irradiation.

La réduction de la mobilité

La radiation ionisante engendre aussi une dégradation de la mobilité des porteurs majoritaires dans le canal. Des études ont constaté que la charge Q_{ot} créée par l'irradiation n'a pas d'influence significative sur la mobilité. Les états d'interface N_{it} créés par la radiation semblent être les responsables de cette réduction. Le rapport entre N_{it} et la dégradation de la mobilité à la surface est habituellement exprimé sous la forme[40] :

$$\mu = \frac{\mu_0}{1 + \alpha \Delta N_{it}} \quad (5.2)$$

où μ_0 est la mobilité initiale (avant l'irradiation) et α est un paramètre empirique associé à la technologie. Ce paramètre est parfois considéré comme étant le même tant pour les transistors NMOS que pour les transistors PMOS.

L'inversion sous le bec d'oiseau

Le piégeage de charges est beaucoup plus important dans l'oxyde LOCOS (conformément à l'équation 5.1) que dans l'oxyde fin sous la grille du transistor. Les oxydes fins modernes ($t_{ox} \approx 20$ nm) accumulent très peu de charge par rapport à l'oxyde LOCOS ($t_{fox} \approx 550$ nm). Toutefois, la charge piégée dans le LOCOS peut créer une couche d'inversion aux bords de la grille, à cause du bec d'oiseau (voir section 3.4.1). Une vue en coupe qui illustre la situation est donnée dans la figure 5.2.

La charge piégée à cet endroit est significative, et son champ électrique exerce une forte influence sur le substrat du transistor sous la grille. D'autant plus que dans ce substrat, il n'y a pas d'implantation de blocage. Le résultat est équivalent à l'existence de deux transistors parasites en parallèle avec le transistor réel. Ce sont les transistors latéraux. Dans le cas d'un transistor NMOS, la tension de seuil de ce dernier sera plus élevée que celle des transistors latéraux, par conséquent leurs caractéristiques domineront pour de faibles courants. Les canaux latéraux permettent ainsi le passage d'un courant de fuite.

Le courant de fuite créé par le bec d'oiseau est habituellement l'effet de la dose totale le plus prononcé pour les transistors réalisés par les technologies CMOS bulk modernes.

Le bruit de scintillement

L'exposition aux rayonnements ionisants est responsable d'une augmentation du bruit de scintillement (voir l'équation 2.50 et la discussion dans la section 2.4.7) du transistor MOS. Le mécanisme précis qui cause cette dégradation n'est pas encore connu. Les mesures laissent à

3. *super-recovery*

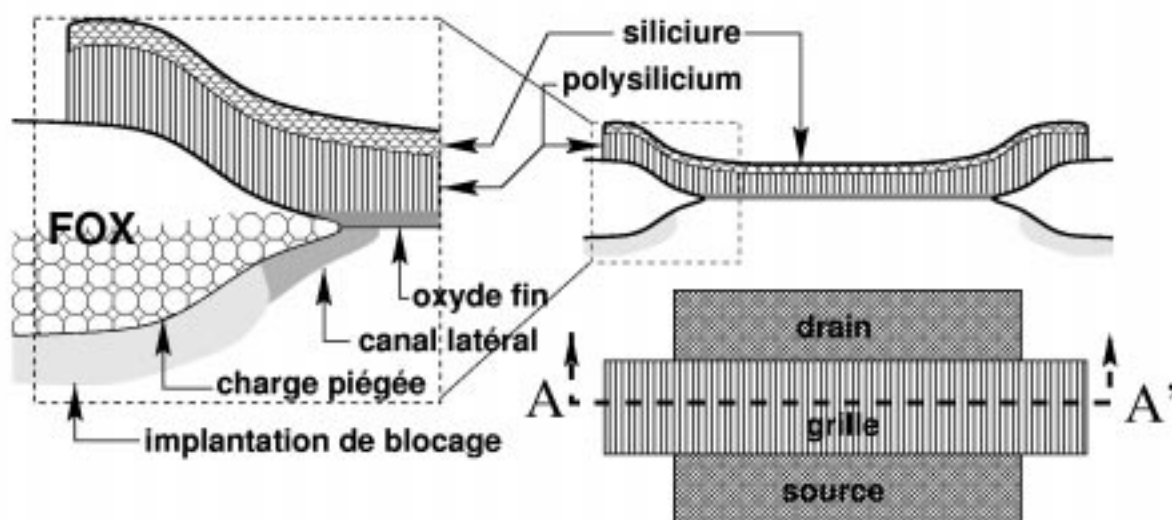


FIG. 5.2 – La couche d'inversion (canal latéral) formée aux bords du canal du transistor NMOS, à cause de la charge positive piégée dans le bec d'oiseau. La coupe schématique est faite selon le plan A-A' indiqué.

penner que la croissance du bruit est corrélée à la magnitude de la charge piégée Q_{ot} créée par la radiation. Toutefois, il a été rapporté que l'évolution du bruit de scintillement n'est pas la même pour les transistors NMOS et PMOS[41]. Avec le recuit et la réduction de la charge Q_{ot} , le bruit de scintillement des transistors NMOS diminue. Dans le cas des transistors PMOS, le bruit peut diminuer ou augmenter, selon la polarisation du transistor, ce qui indique une possible influence de N_{it} . En termes pratiques, on peut affirmer que le bruit de scintillement s'accroît avec l'irradiation, mais en ayant comme tendance à diminuer avec le recuit (sous les conditions normales de polarisation).

Le rôle de l'encapsulation

La réponse des circuits intégrés aux effets de la dose cumulée peut être affectée par la manière dont ils sont mis en boîtier. De nombreuses études ont été menées pour en découvrir les causes. Ces études ont été effectuées pour la plupart sur des circuits intégrés complets, avec peu d'expériences menées sur des structures de test spécifiques. Les résultats disponibles indiquent que les contraintes mécaniques qui sont imposées sur la puce par le boîtier modifient la sensibilité aux rayonnements. Les puces en boîtiers plastiques ont souvent un comportement moins bon que des puces identiques en boîtiers céramiques. Le rôle des contraintes mécaniques dans la dérive des paramètres électriques des circuits intégrés a été déjà établi par des recherches sur la stabilité et la précision de circuits intégrés analogiques[42]. Vraisemblablement, on assiste à des effets similaires par rapport à la réponse aux rayonnements.

La dégradation dans les boîtiers plastiques peut être accrue par le dégazage du chlore et d'autres composés, à cause du rayonnement. Le dégazage des plastiques peut être provoqué par plusieurs phénomènes, dont le rayonnement. Dans le domaine des circuits intégrés pour des applications spatiales peu de publications abordent ce sujet[43, 44, 45, 46].

5.2.3 Éléments passifs

En règle générale, les éléments passifs qui existent dans un circuit intégré ne subissent pas de dégradations importantes suite aux doses habituellement reçues dans l'espace. Les mesures rapportées n'ont détecté aucun changement significatif de la résistance du polysilicium dopé ou des régions fortement dopées dans le substrat, jusqu'à 4 Mrads(Si)[47].

De même, aucun changement important a été observé pour les capacités linéaires, c.-à-d. celles constituées d'une structure conducteur-diélectrique-conducteur. La charge piégée dans le diélectrique semble ne pas altérer la tension de rupture, jusqu'à la dose de 20 Mrads(Si)[48]. Néanmoins, les capacités basées sur une structure MOS (non-linéaires) sont sensibles à des dégradations.

Les diodes où la jonction p-n est réalisée à l'intérieur du substrat ne sont pas sensibles aux effets de la radiation ionisante, hormis dans les cas de débits très intenses (détonation nucléaire), où les photo-courants peuvent dégrader le dispositif. Ce sont les effets du débit de dose. Les diodes réalisées dans les circuits intégrés ont très souvent une jonction p-n planaire, qui subit l'influence de la charge piégée dans l'oxyde d'isolation adjacent.

5.2.4 Jonctions p-n planaires

Les jonctions p-n planaires finissent à l'interface avec l'oxyde LOCOS (voir coupe schématique dans la figure 5.3). La charge piégée dans l'oxyde LOCOS peut influencer la zone de charge d'espace de la jonction. Trois types de jonctions planaires sont présents dans un circuit intégré en technologie CMOS :

- les jonctions légèrement dopées (p-/n-);
- les jonctions avec un côté très dopé (p+/n- ou n+/p-);
- les jonctions très dopées (p+/n+).

La charge piégée dans l'oxyde LOCOS entraîne un enrichissement d'électrons (ou appauvrissement de trous, selon le côté) à l'interface. Le nombre de porteurs impliqués n'est pas assez important pour perturber les jonctions très dopées.

Dans le cas de jonctions légèrement dopées, la charge positive Q_{ot} appauvrit le côté p- de trous. La zone de charge d'espace s'étend alors sous la surface, au long de l'interface avec l'oxyde. Dans une technologie CMOS bulk, ce type de jonction se forme entre le caisson et le substrat.

Pour les jonctions très dopées d'un côté (unilatérales), il existe deux cas possibles. Dans le cas d'une jonction du type n+/p-, on observe le même phénomène d'élargissement de la jonction sous la surface, du côté moins dopé. Le phénomène ne se produit pas dans les jonctions p+/n- à cause du fort dopage de l'anode. À l'inverse, dans ce cas la charge positive diminue la largeur de la zone de charge d'espace. L'épaisseur réduite entraîne une chute de la tension de claquage de la jonction. Les trois situations possibles sont montrées dans la figure 5.4.

Au niveau électrique, l'élargissement de la zone de charge d'espace entraîne un accroissement des courants de fuite. Le courant de fuite de la diode est dû principalement aux processus de génération-recombinaison qui ont lieu à l'intérieur de la zone de charge d'espace. Ces processus sont expliqués par la théorie de Shockley-Read-Hall, et le sujet a été abordé dans la section 2.3.1. Le courant de saturation I_S pour la structure montrée dans la figure 5.5 est

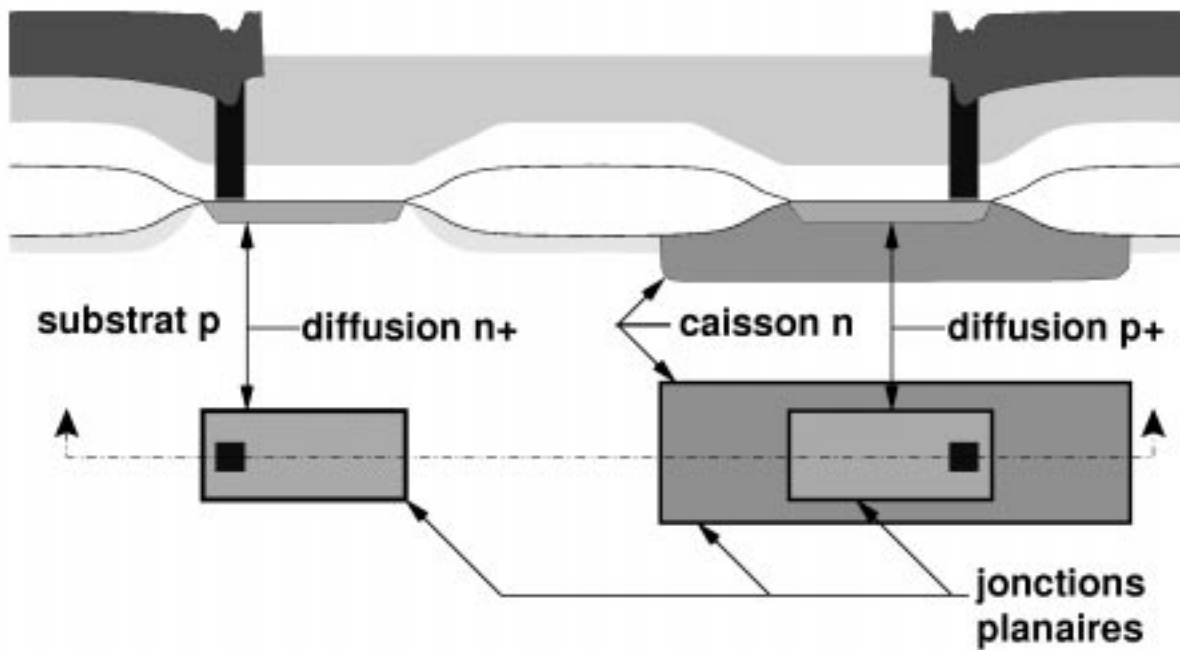


FIG. 5.3 – Les différents types de jonctions p-n planaires existants dans une technologie CMOS bulk à caisson simple.

donné par l'équation[8, p.333] :

$$I_S = I_{met} + I_{sup} + I_{surf} \quad (5.3)$$

$$I_{met} = \frac{qn_i x_i A_{jonct}}{2\tau_0} \quad (5.4)$$

$$I_{sup} = \frac{qn_i x_{ds} A_{superf}}{2\tau_0} \quad (5.5)$$

$$I_{surf} = qn_i s_0 A_{superf} \quad (5.6)$$

où :

x_i représente l'épaisseur de la région de génération-recombinaison à l'intérieur de la zone de charge d'espace de la jonction (voir l'équation 2.14) ;

A_{jonct} représente la superficie totale de la jonction ;

A_{superf} représente la superficie totale de la zone de charge d'espace apparue sous l'oxyde LOCOS ;

x_{ds} représente l'épaisseur de la région de génération-recombinaison à l'intérieur de la zone de charge d'espace sous l'oxyde LOCOS ;

τ_0 représente la durée de vie moyenne des porteurs.

Le courant total I_S est la somme de trois termes. Le premier terme I_{met} représente le courant de génération-recombinaison de la jonction p-n (équation 2.13). Le même processus a lieu dans la zone de charge d'espace créée sous l'oxyde. Le courant qui en résulte est donné par le terme

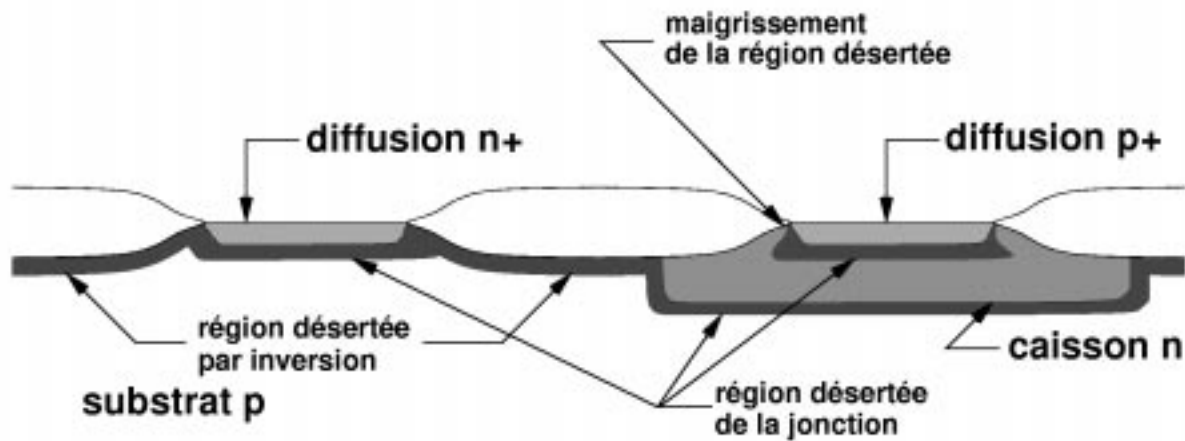


FIG. 5.4 – Les effets de la charge positive piégée dans l'oxyde sur les jonctions p-n planaires. Les régions désertées des jonctions se trouvent élargies sous l'oxyde. La jonction p+/n subit une réduction de l'épaisseur de la région désertée à la surface.

I_{surf} . Le troisième terme I_{surf} est une conséquence des états pièges à la surface. Le processus de recombinaison engendré par ces pièges est exprimé en termes de la vitesse de recombinaison à la surface⁴ s , donnée par l'équation[8, p.164]:

$$s = N_{it} v_{th} \sigma \frac{N_a}{p_s + n_s + 2n_i} \quad (5.7)$$

où :

N_{it} représente la densité de pièges à la surface (pièges/cm²);

v_{th} est la vitesse thermique (équation 2.7);

σ représente la section efficace d'interaction des pièges;

N_a est la concentration de porteurs majoritaires dans le substrat (trous pour le substrat du type p);

p_s et n_s sont respectivement les concentrations de trous et d'électrons à la surface;

n_i est la concentration intrinsèque de porteurs dans le silicium (équation 2.3).

L'équation 5.7 exprime le taux de la génération-recombinaison qui a lieu à la surface. La valeur de s dépend de la population de porteurs à la surface (par le biais de p_s et n_s). Sa valeur minimale est atteinte quand la concentration de porteurs à la surface est en équilibre avec le substrat ($N_a = p_s$). Dans ces conditions, elle est égale à :

$$s = s_0 = N_{it} v_{th} \sigma \quad (5.8)$$

À l'inverse, s croît significativement lorsque la surface est désertée. Sa valeur maximale est atteinte lorsque $\phi_s = 0$ [10, p.284] (équation 2.18). Elle est égale à :

$$s = s_0 \times \frac{N_a}{4n_i} \quad (5.9)$$

4. surface recombination velocity

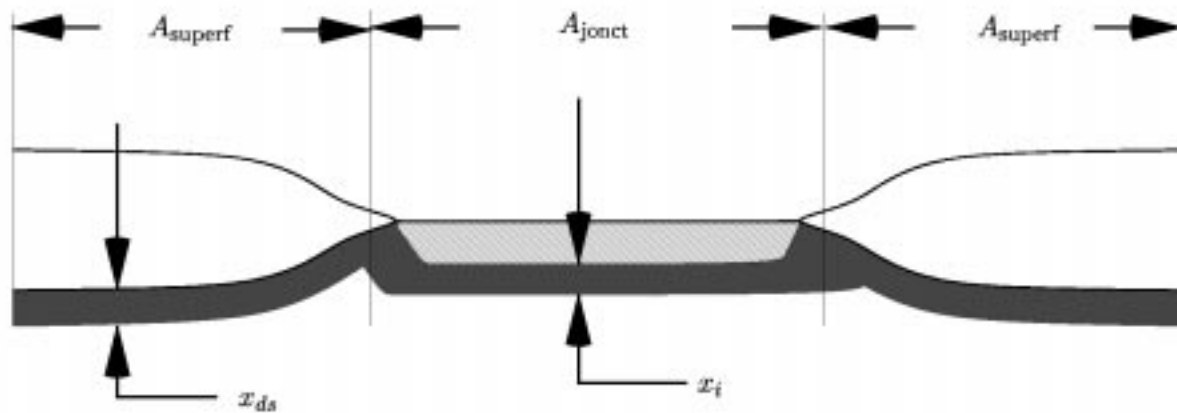


FIG. 5.5 – Coupe schématique d'une jonction p-n planaire montrant les facteurs géométriques de l'équation 5.3. L'épaisseur de la région de génération-recombinaison peut être considéré égale à l'épaisseur de la région désertée. La superficie A_{jonct} doit prendre en compte la région latérale de la jonction.

L'évolution du courant de génération-recombinaison en inverse I_S en fonction de la concentration de porteurs à la surface est montrée dans la figure 5.6. La radiation ionisante altère donc le courant de fuite des jonctions p-n planaires par le biais de Q_{ot} , qui élargisse la région électriquement active, mais aussi par la création de pièges à l'interface, qui augmentent N_{it} . Aucune publication à l'heure actuelle ne fait état de la dégradation du courant de fuite des diodes réalisées dans les technologies CMOS modernes.

5.3 Effets transitoires

Les effets transitoires de l'ionisation par la radiation sont associés, dans l'espace, au passage d'un ion lourd ou à une réaction nucléaire à la suite de l'impact d'un proton énergétique. Plusieurs formes de perturbations sont possibles, dont deux sont particulièrement nuisibles ; les verrouillages de courant et les bouleversements de tension.

5.3.1 Verrouillages de courant

La charge déposée dans le sillage d'un ion lourd peut activer le thyristor parasite présent dans les technologies CMOS bulk. C'est le verrouillage de courant. Le verrouillage de courant déclenché par le passage d'une particule est l'un des principaux obstacles dans l'application des technologies CMOS traditionnelles pour l'espace. Le phénomène est identique au verrouillage de courant produit par des impulsions électriques, déjà étudié dans la section 3.6.1. Cependant, le verrouillage déclenché par le rayonnement a des caractéristiques particulières en ce qui concerne le processus d'amorçage.

La différence la plus marquante réside dans le lieu d'apparition. Le verrouillage normal est généralement limité aux entrées et aux sorties du circuit intégré. Par conséquent, les démarches de protection ne sont entreprises que pour ces zones sensibles. Par contre, le verrouillage engendré par le rayonnement peut survenir à n'importe quel endroit. Les mesures de protection doivent donc être appliquées globalement.

Une autre différence concerne la dynamique du déclenchement. Le verrouillage de courant

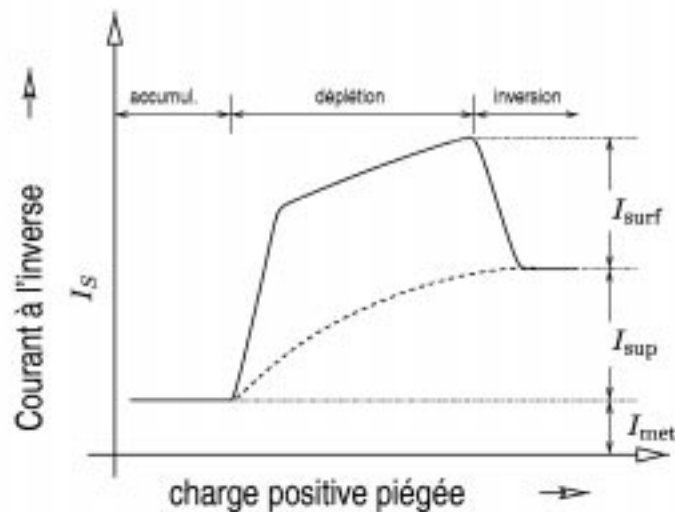


FIG. 5.6 – Le courant de génération-recombinaison en inverse pour la structure dans la figure 5.5, en fonction de la concentration de porteurs à la surface, d'après [8, p.334]. La contribution de chaque terme de l'équation 5.3 est relevée.

induit par le passage d'une particule est amorcé par le pic de courant généré à sa trace. Ce courant est un phénomène filamentaire, et sa valeur maximale est une fonction compliquée du LET, de la portée, du volume de collection, du champ électrique présent, etc. La modélisation du phénomène est plus complexe, ce qui rend très difficile la prévision de la sensibilité d'un circuit donné.

La vérification expérimentale de la sensibilité au verrouillage est faite par l'exposition à des faisceaux d'ions, de protons, et même des lasers. Dans tous les cas, la mise en oeuvre et l'analyse de la corrélation entre ces maintes variables sont délicates.

Cette vérification est néanmoins systématiquement entamée pour tout circuit intégré jugé sensible au verrouillage durant la vie utile du véhicule spatial. Les résultats (LET de seuil, section efficace, LET de saturation) guident le choix des composants et des techniques de durcissement.

Les études récentes empruntent de plus en plus la voie de la simulation. Cette voie était auparavant encombrée par la lourdeur des calculs nécessaires. Cette situation a changé avec la croissance de la puissance de traitement des ordinateurs et l'avènement des logiciels de calcul en trois dimensions, notamment ceux capables de coupler la simulation de la génération et du transport de charges à la simulation de circuits électriques du genre SPICE. Toutefois, il demeure impossible d'analyser par simulation une région conséquente d'un circuit intégré moderne, pour trouver automatiquement les points à corriger. De même, il n'est pas faisable d'employer la simulation pour se passer du test sous rayonnement.

Les éléments que l'on peut dégager des études apparus sont :

- l'utilisation de substrats épitaxiés fins ($<6 \mu\text{m}$) est bénéfique mais pas toujours suffisante ;
- la probabilité du verrouillage s'accroît avec la température ;
- la vérification expérimentale de la sensibilité au verrouillage demande une mise en oeuvre soigneusement étudiée ;

- l'utilisation d'anneaux de garde et l'augmentation des espacements sont des mesures efficaces contre le verrouillage.

On peut estimer que des circuits intégrés avec immunité au verrouillage de courant peuvent être développés en technologie CMOS bulk, par l'emploi judicieux des techniques de layout.

5.3.2 Aléas

Un autre obstacle associé à l'opération de circuits intégrés dans l'espace sont les bouleversements de tension. Ces bouleversements sont causés par la collecte des charges filamenteuses dans un noeud électrique du circuit. La tension du noeud changera en proportion inverse à sa capacité (voir figures 4.6 et 4.7). Les noeuds les plus sensibles sont ceux reliés à une jonction p-n fortement polarisée à l'inverse (où l'efficacité de la collecte est accrue) et ayant une faible capacité.

L'oscillation de la tension peut perturber l'opération du circuit si sa fonctionnalité est basée sur le stockage d'une tension sur le noeud atteint. Dans le cas des circuits numériques, cette perturbation est appelée un aléa logique⁵.

La sensibilité aux aléas est liée au LET de la particule et à la charge critique⁶, c.-à-d. la plus petite charge qu'une jonction sensible doit collecter pour que le niveau logique soit altéré. Dans ce contexte, l'aléa est défini comme la perte de la valeur logique stockée dans l'élément.

Les éléments qui réalisent des mémoires sont les principales proies des aléas. Ceci est dû au fait que l'état logique est représenté par une tension stockée dans un noeud à très faible capacité. L'évolution technologique vers des mémoires plus denses et à plus faible consommation ne fait qu'accroître leur sensibilité. Le problème est connu depuis longtemps, à cause des aléas provoqués dans des mémoires dynamiques (DRAMs), observés dans les années 70. Ces aléas étaient produits par des particules α , provenant de la désintégration d'isotopes radioactifs présents dans l'encapsulation et même dans l'aluminium utilisé pour les interconnexions[49]. Un effort soutenu a été mené depuis, et des solutions technologiques de plus en plus avancées ne cessent d'être mises au point[50, 51] pour pallier le problème.

Les mémoires statiques (SRAMs) sont aussi sensibles aux aléas. Cependant, il est possible de résoudre (ou de soulager) le problème par l'adoption de topologies alternatives pour l'élément de stockage (voir la figure 5.7). Le sujet est traité dans un grand nombre de publications[52, 53, 54, 55, 56].

L'altération momentanée du niveau logique peut aussi induire des résultats logiques erronés. C'est un problème moins sérieux que celui des mémoires à cause à la fois de sa moindre fréquence d'apparition[58, 59] (capacités des noeuds moins faibles dans les blocs logiques) et de la mise sur pied de techniques de détection et de correction d'erreurs[60]. Ces techniques sont aussi mises à profit pour les mémoires statiques et dynamiques.

5.3.3 Autres effets transitoires

Les verrouillages de courant et les aléas logiques sont les principaux événements singuliers à surmonter pour l'opération de circuits intégrés numériques et analogiques (à basse tension) dans l'espace. Toutefois, d'autres effets transitoires peuvent survenir. Ils sont habituellement liés à des situations et des structures moins fréquemment rencontrées.

5. *logic upset*

6. *critical charge*

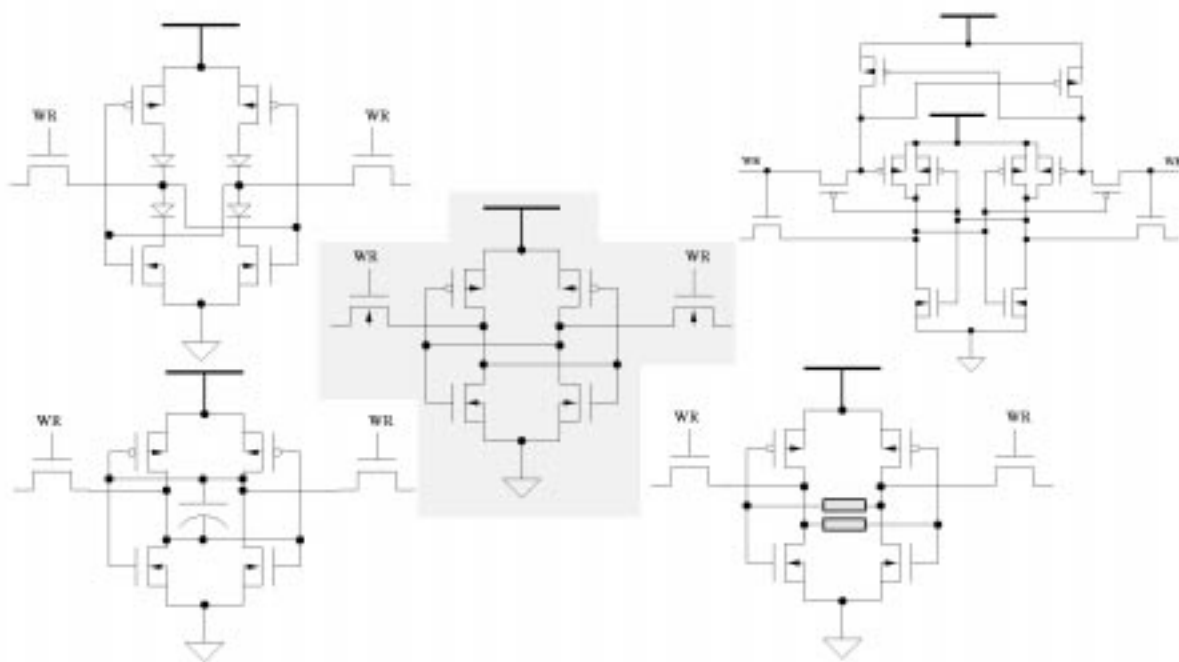


FIG. 5.7 – Topologie de l'élément de stockage d'une mémoire statique (cellule 6T). Les architectures alternatives montrées autour représentent des efforts pour contrer les aléas[57, 52, 53, 54, 55, 56].

Rupture de la grille

Le passage d'un ion lourd par le SiO_2 de la grille d'un transistor peut provoquer une rupture du diélectrique. La rupture peut devenir définitive, notamment dans le cas des transistor MOS de puissance.

Les transistors de puissance sont aussi sensibles à des impacts dans le drain, à cause de leur construction particulière. De l'empilement des couches il en résulte un dispositif parasite npn vertical (pour un HEXFET du type p). L'injection d'une charge à la base de ce transistor bipolaire parasite (par la frappe d'un ion lourd) peut causer le passage d'un fort courant, détruisant ainsi la structure⁷.

La rupture de la grille peut aussi survenir sur les transistors MOS de haute tension réalisés par des techniques de layout en technologies de basse tension (5 V). Dans ces transistors la grille est superposée au drain (habituellement un caisson), qui est lui polarisé à une tension très élevée (40 V ou plus). Ces caractéristiques facilitent la rupture.

Verrouillage du transistor isolé

Les transistors MOS réalisés en technologies SOI-SIMOX partiellement désertées sont sensibles à un processus semblable, à cause du transistor bipolaire parasite formé par le caisson isolé, la source et le drain. La charge injectée par la frappe d'un ion lourd peut déclencher le verrouillage de courant du transistor isolé⁸. L'événement n'est pas destructif, et en général

7. *burn-out*

8. *single transistor latch-up* ou *snap-back*

le verrouillage peut être interrompu par la commutation normale du circuit. Toutefois, la fonctionnalité du circuit est temporairement affectée.

Un phénomène similaire peut survenir très rarement dans un transistor MOS en technologie sans isolation par diélectrique (non-isolée). L'événement est connu comme *microlatch*. La cause la plus probable est une forme d'avalanche de courant, mais aucun modèle proposé a été vérifié de façon expérimentale.

5.4 L'évaluation de la sensibilité

L'énergie apportée par les rayonnements peut être calculée à l'aide de logiciels, qui prennent en compte aussi bien l'environnement radiatif que les dégradations du spectre de rayonnement survenues lors du passage par la structure du véhicule. Le sujet a été développé dans le chapitre 4. Il est possible, dans une certaine mesure, de prédire le niveau des dommages provoqués dans les composants. Toutefois, la complexité des mécanismes d'interaction rend les calculs tellement lourds qu'il est impossible d'analyser un circuit intégré dans sa totalité.

Il est nécessaire alors de mener des expériences en laboratoire pour obtenir des renseignements sur la dégradation des performances électroniques auxquelles on peut s'attendre lors d'un vol spatial d'une durée déterminée sur une orbite donnée. Il est ainsi possible de cerner l'ampleur et l'évolution de la dégradation (caractérisation) ou de faire une présélection des circuits pouvant être utilisés (qualification).

Le choix de la source de test à utiliser pour la simulation, la définition des conditions d'essai et l'interprétation des résultats ont fait l'objet d'une normalisation par les organismes gouvernementaux chargés des activités spatiales. Les normes portent sur les deux formes de détérioration les plus importantes des rayonnements ionisants ; les effets de la dose cumulée et les événements singuliers.

5.4.1 Dose totale

L'évaluation en laboratoire des effets des rayonnements ionisants nécessite de disposer de sources de rayonnement reproduisant au mieux les conditions d'irradiation dans l'espace. La tâche est simplifiée du fait que le paramètre d'importance est l'énergie déposée (voir la section 4.2.5), et que les mécanismes de dégradation des technologies MOS se passent à la surface (voir la section 4.3). Par conséquent, des sources de rayons- γ et de rayons-X sont habituellement utilisées pour simuler les effets de dose cumulée des rayonnements ionisants de l'espace.

La source la plus courante est l'irradiateur de cobalt. Ce type d'irradiateur utilise le ^{60}Co , produit à l'intérieur des réacteurs nucléaires par l'irradiation du ^{59}Co . La désintégration du ^{60}Co engendre un rayonnement γ avec deux raies, à 1,173 MeV et 1,332 MeV. Ces irradiateurs sont relativement peu coûteux (environ 450 000 FF[61]), mais le très grand pouvoir de pénétration de son rayonnement exige une installation soigneusement étudiée. Leur vie utile est relativement courte, puisque la demi-vie du ^{60}Co est de 5,27 ans.

Une autre source parfois utilisée est le ^{137}Cs , qui émet une raie de 0,662 MeV, ce qui facilite la radio-protection. Le ^{137}Cs présente aussi l'avantage d'avoir une vie utile plus longue (demi-vie de 30 ans).

Finalement, les machines de rayons-X sont une alternative qui gagne de plus en plus d'adeptes. Ces machines produisent des rayons-X par la frappe d'électrons contre une cible en métal (bremsstrahlung). Le spectre et l'intensité du rayonnement émergent peuvent être

contrôlés par la manipulation du courant et de la tension d'accélération. Le spectre peut être «affiné» par l'interposition de filtres en métal (cuivre, aluminium, etc.) entre la machine et l'élément à irradier. Les tubes de rayons-X en tungstène sont de plus en plus utilisés, à cause de leur faible coût de possession et de la facilité d'emploi. Leur spectre peut être filtré de manière à ce que seule la raie L du tungstène (8,396 KeV) échappe du tube.

Le test sous le rayonnement en laboratoire se heurte à deux difficultés majeures ; le débit de dose et la dosimétrie.

Le problème du débit de dose

Le flux du rayonnement dans l'espace est très faible, avec une valeur maximale de 0,001 rads(Si)/s[25, p.357][1, p.315]. Les débits de dose pratiqués en laboratoire doivent être forcément nettement supérieurs à cette valeur (de 0,1 à 300 rads(Si)/s), de façon à obtenir des résultats en un temps relativement court. Le débit élevé met en évidence la différence d'évolution entre les deux types de charges piégées, Q_{ot} et Q_{it} . L'effet de Q_{ot} apparaît immédiatement, tandis que l'effet de Q_{it} n'est évident qu'avec le temps. Le sujet a été développé dans la section 4.3.2. Pour séparer les deux effets et obtenir une meilleure estimation du comportement dans l'espace, les essais intègrent une étape de recuit prolongé à haute température. Ce recuit a pour objectif d'accélérer le transport des charges dans l'oxyde, et forcer ainsi l'apparition de la totalité de Q_{it} et la suppression de Q_{ot} . De cette manière il est possible d'estimer séparément la magnitude de chaque effet.

Ce principe se retrouve sous sa forme la plus extrême dans certains travaux portant sur la prévision du comportement à faibles débits par l'application de la théorie des systèmes linéaires. La stratégie repose sur l'hypothèse que la dégradation est une fonction linéaire de la dose, et que le temps et la dose sont des variables indépendantes. Dans ce cas, il est possible d'obtenir les paramètres du système par une séquence d'irradiations à très haut débit (des impulsions), suivies de périodes constantes (isochronales) de recuits à température élevée[62]. Cette méthodologie est l'objet d'un certain engouement scientifique, mais le penchant inexorable de la Nature pour la non-linéarité, notamment quand elle est poussée à ses extrêmes, a restreint son acceptation pratique. La récente découverte de la très forte détérioration des dispositifs bipolaires lorsqu'ils sont soumis à des débits extrêmement faibles[63, 64, 65], est un exemple du nombre inépuisable de surprises qui se cachent dans l'empilement des couches de silicium.

La mesure de la dose effective

La deuxième difficulté pour la mise en oeuvre des essais est la mesure de la dose effectivement absorbée par les dispositifs. L'incertitude est due à la variation de l'énergie déposée selon la forme d'interaction (voir les sections 4.2.1 et 4.2.2).

Les rayons-X de basse énergie (<10 KeV) interagissent par l'effet photoélectrique. L'accroissement de la dose peut être alors très important, compliquant le calcul de la dose livrée par une machine de rayons-X. Le problème a été discuté dans la section 4.3.2. En outre, les rayons-X peuvent être fortement atténués par le boîtier et la métallisation. Le problème de l'accroissement de la dose demande une calibration par rapport à la source de ^{60}Co , qui doit être effectuée pour chaque technologie[1, p.459].

Les rayons- γ du ^{60}Co interagissent par l'effet Compton, et l'énergie déposée est identique pour tous les matériaux rencontrés dans les circuits intégrés. Ce type de source est le standard

pour les essais d'irradiation. Toutefois, l'interaction des rayons- γ avec les parois de l'enceinte génère des rayonnements secondaires (électrons de Compton), qui doivent être pris en compte dans le calcul de la dose (ou filtrés). Le problème de la «pureté» du rayonnement apparaît aussi pour les sources de ^{137}Cs . En règle générale, les sources construites pour la stérilisation (ou pour la fabrication de plastiques) doivent être utilisées avec précaution.

L'évaluation des effets de l'ionisation en profondeur (photo-courants, etc.) est faite par l'utilisation de faisceaux d'électrons, allant jusqu'à une énergie de 10 MeV. Ces effets ne sont pas importants pour le cas des technologies CMOS dans l'espace.

La norme ESA/SCC BS22900

Les organismes gouvernementaux chargés de l'espace ont créé des normes d'essais, pour permettre la comparaison des résultats et espèrent ainsi aider à éviter les pièges. Les essais de dose cumulée suivent généralement soit la norme militaire américaine⁹ ou la norme de l'Agence Spatiale Européenne[7] (norme ESA/SCC BS22900). Ces normes ont été créées pour éviter les problèmes liés à la variation de la réponse des dispositifs MOS selon les conditions d'irradiation. Ces conditions comprennent la polarisation, la température, le débit de dose, le temps d'irradiation et l'intervalle entre l'irradiation et la mesure. On décrira ici les principales caractéristiques de la norme européenne.

La norme BS22900 de l'ESA donne les bases pour le test des circuits intégrés et des dispositifs semiconducteurs discrets sous des rayonnements ionisants, en vue de leur application dans l'espace. La norme s'occupe de deux types de test, à savoir ; l'évaluation de la technologie, et la qualification pour l'acceptation de lots de composants finis.

Les sources proposées par la norme sont le ^{60}Co ou un accélérateur d'électrons. Ce dernier doit être capable de livrer des électrons de 1-3 MeV. Dans les deux cas, l'irradiation doit être effectué en 3 séances au moins, avec une caractérisation électrique complète avant l'irradiation et des mesures intermédiaires entre chaque séance. Ces mesures doivent être faites dans l'intervalle entre les séances, et ne doivent pas dépasser 2 heures. Le temps total d'irradiation doit être limité à 96 heures, et le débit de dose pour chaque séance peut aller de 0,01 rads(Si)/s jusqu'à 10 rads(Si)/s. Les dispositifs doivent être gardés polarisés durant l'irradiation de manière à favoriser la dégradation induite par l'irradiation. Ainsi, pour les transistors MOS, la grille des NMOS doit être polarisée à V_{DD} et la grille des PMOS doit être polarisée à V_{SS} . Dans l'intervalle de temps entre la fin de chaque séance et le début du test les terminaux des dispositifs doivent être branchés à la masse.

À la fin de l'exposition, la norme préconise une évaluation de l'ampleur de la guérison. Cette évaluation est différente selon le type du test en question. Pour l'évaluation de la technologie, la norme recommande un recuit à 25 °C, avec des mesures à la fin des périodes d'attente de 12, 24 et 168 heures, comptées à partir de l'achèvement de l'irradiation. Pour l'acceptation des lots, il suffit d'effectuer une mesure 24 heures après la fin de l'exposition.

En outre, pour les deux types de test la norme prévoit un recuit à haute température (100 °C) pendant 168 heures, suivi d'une caractérisation complète. L'objectif est d'accélérer l'apparition des effets tardifs, par la guérison de la charge positive piégée dans l'oxyde Q_{ot} , les états d'interface N_{it} n'étant pas censés subir des changements.

9. DoD MIL-STD-883C Method 1019.3 Steady State Total Dose Irradiation Procedure

TAB. 5.1 – Les ions disponibles dans l'accélérateur tandem de L'Institut de Physique Nucléaire d'Orsay.

Élément	Énergie (MeV)	LET (MeV · mg ⁻¹ · cm ²)
Li	28	0,6
C	84	1,7
O	111	3
F	103	4,2
Mg	126	7,2
Cl	154	12,7
Ni	182	27,2
Br	212	36
I	230	57

5.4.2 Événements singuliers

L'évaluation de la sensibilité aux événements singuliers est beaucoup plus compliquée que les essais de dose cumulée. Ceci est dû au fait que les événements singuliers dans l'espace sont le plus souvent issus du passage d'ions très énergétiques, une situation très difficile à reproduire en laboratoire.

La simulation des rayons cosmiques est faite par l'emploi d'accélérateurs de hautes énergies, du type tandem et cyclotron, fournissant des faisceaux d'une large gamme d'ions lourds. On doit disposer d'ions avec plusieurs valeurs de LET et avec une portée suffisante (c.-à-d. pas de dégradation du LET jusqu'à une certaine profondeur), pour déterminer le LET de seuil et le LET de saturation. Les caractéristiques des ions offerts par l'accélérateur tandem de l'IPN d'Orsay sont données à titre d'exemple dans le tableau 5.1.

Une première évaluation de la sensibilité peut être faite, à moindre coût, par l'utilisation d'une source de californium (²⁵²Cf). Cet élément se désintègre par fission, avec l'émission de fragments du noyau ayant un LET moyen de 43 MeV · mg⁻¹ · cm² (95 % des fragments ont un LET dans le silicium entre 41 et 45 MeV · mg⁻¹ · cm²). La portée moyenne de ces fragments dans le Si est de 14,2 μm, ce qui est proche de la profondeur des régions électriquement actives à la surface de la puce. Malheureusement, la faible portée change significativement le processus de production et de collecte des charges. En outre, il n'est pas facile de réduire de façon contrôlée le LET des particules, pour mesurer le LET de seuil des circuits qui se sont montrés sensibles.

Ils existent des formes alternatives de caractérisation[66], qui sont, en règle générale, plus appropriées pour les études d'une structure individuelle. Une approche particulièrement intéressante est l'utilisation d'un laser pour créer la colonne d'ionisation. Toutefois, les mécanismes physiques impliqués dans le passage d'une particule lourde sont très différents de ceux dus à l'interaction avec un laser, ce qui complique la validation des résultats.

Les événements singuliers générés par des protons dans l'espace peuvent être reproduits de manière adéquate dans des accélérateurs. Des installations aménagées spécifiquement pour ce genre de manipulation sont disponibles en Europe¹⁰[67].

10. ESA Proton Irradiation Facility à l'Institut Paul Scherrer – Villigen, Suisse

TAB. 5.2 – Marges de sécurité prises dans le passé pour des véhicules spatiaux.

Projet	Opérateur	Maître des travaux	RDM
Columbus	ESA	Dornier	5
INMARSAT-P	INMARSAT	Matra Marconi Space (MMS)	5
Voyager	NASA	JPL	3
EUTELSAT 2	EUTELSAT	Aerospatiale (AES)	2
TELECOM 2	CNES	MMS/AES	2
ARABSAT	Arabie Saoudite	Aerospatiale	1,5
INTELSAT 8	INTELSAT	Matra Marconi Space	1,5
GLOBALSTAR	Globalstar Telecommunications	Space Systems Loral	1,28

La norme ESA/SCC BS25100

L'évaluation de la sensibilité aux événements singuliers a fait récemment l'objet d'une norme de l'ESA. Cette norme (ESA/SCC BS25100) spécifie les conditions de test à respecter pour déterminer le LET de seuil, le LET de saturation et la section efficace d'un composant[67].

La norme préconise l'utilisation d'un accélérateur de particules capable de livrer des ions ayant une portée de 30 μm , à un flux entre 100 et 100 000 ions/cm²/s. Pour les protons, l'accélérateur doit pouvoir livrer des énergies entre 20 et 300 MeV à un flux variable allant de 10⁵ jusqu'au moins 10⁸ p⁺/cm²/s. Au moins 5 séances, à des différentes LETs effectives, doivent être entreprises. Chaque séance doit prendre entre 1 et 20 minutes, ou jusqu'à ce que la fluence atteigne 10⁷ ions/cm² (ou 10¹⁰ p⁺/cm²), pour les circuits peu sensibles.

La norme prévoit l'utilisation du ²⁵²Cf, mais seulement pour une étape d'essais préliminaires, en vue de la préparation pour le test dans un accélérateur.

5.5 Durcissement des circuits et des systèmes

La conception d'un système électronique pour l'espace commence de manière tout à fait similaire aux autres systèmes ; tout d'abord le cahier des charges à respecter est dressé, et les diverses architectures possibles sont évaluées. La présence du rayonnement est prise en compte comme une contrainte fondamentale dès le début du projet. À partir de la durée de vie utile et du parcours du véhicule, le concepteur définit la forme et le niveau d'exposition attendus. L'incertitude par rapport à l'environnement est intégrée sous la forme d'une marge de sécurité connue comme RDM¹¹. Les facteurs RDM employés dans le passé sont donnés dans le tableau 5.2. Le concept du RDM n'est applicable que pour la dose cumulée. Pour les événements singuliers, il est nécessaire d'effectuer une analyse de leur probabilité d'apparition, selon le LET de seuil du composant et l'origine des particules. Le principe adopté par la NASA est qu'aucun événement singulier doit être capable d'endommager de manière permanente un système ou sous-système. Les sources de particules à prendre en compte dans l'analyse du risque, selon le LET de seuil du composant, sont données dans le tableau 5.3.

L'étape suivante à la détermination de la dose attendue est la recherche des composants électroniques capables d'assurer le fonctionnement du système électronique durant sa vie utile. La disparition des lignes de produit spécifiques pour l'espace rend cette tâche de plus en plus difficile. Les enjeux de l'approvisionnement ont été abordés dans le chapitre 1. La solution

11. Radiation Design Margin

TAB. 5.3 – Sources de rayonnement à prendre en compte dans l'analyse du risque d'événements singuliers, selon de LET de seuil du composant[34].

LET _{seuil} (MeV · mg ⁻¹ · cm ²)	Sources à considérer
10 < LET _{seuil}	Rayons cosmiques, protons piégés, éruptions
10 < LET _{seuil} < 100	rayons cosmiques
100 < LET _{seuil}	aucun risque significatif

adoptée passe de plus en plus par l'utilisation de produits COTS. Ces produits sont soumis à une évaluation (étudiée en amont) pour déterminer leur sensibilité. Lorsque la détérioration s'avère trop importante, il est possible de faire appel à de nombreuses techniques pour l'éviter ou le réduire. Ces techniques constituent le durcissement du système face à la radiation.

Les différents niveaux de durcissement

Un système durci¹² est censé être immune à toute interférence de la radiation ionisante¹³. Un système tolérant¹⁴ peut subir des altérations, mais sans perte de fonctionnalité. Un système sensible¹⁵ est toujours sous le péril de perte significative, voire totale, de sa fonctionnalité. La ligne de démarcation entre durci, tolérant et sensible dépend de la nature exacte de la radiation (type, évolution, intensité, etc.) et des particularités de fonctionnement du système (par exemple, degré de perturbation jugé acceptable, coût du durcissement en termes de performance, etc.).

Durcissement au niveau du système

Le durcissement aux rayonnements peut se concevoir soit au niveau de l'ensemble du véhicule, soit au niveau des sous-ensembles qui le constituent, soit au niveau des composants de base. À chaque étape, la complexité, l'efficacité et le coût des solutions envisagées doivent être pris en compte simultanément.

Au niveau de l'ensemble de l'engin, il peut être possible d'ajuster l'orbite proposée et les paramètres de la mission pour minimiser l'exposition. Au niveau des sous-ensembles (systèmes), il y a un compromis entre la masse, la performance et la résistance aux rayonnements. Le concepteur d'engins spatiaux est presque toujours confronté à la situation où la complexité des systèmes embarqués exige la mise à profit de l'état de l'art de l'électronique. Or, les cartes ou les composants de pointe disponibles présentent très rarement le niveau d'immunité aux rayonnements requis. Il serait trop onéreux de financer le développement de l'état de l'art en version durcie.

L'approche la plus directe est d'ajouter un blindage autour des systèmes sensibles aux rayonnements attendus. Cette technique donne au concepteur la plus grande flexibilité pour la construction de l'électronique de bord. L'inconvénient est le coût très important, car le degré de protection est étroitement lié à la masse du blindage. Or, le coût de mise en orbite géostationnaire est de 300 000 FF par Kg[68]. Pour mieux amortir ce coût on cherche à optimiser le placement des sous-systèmes à bord, de façon à tirer un profit maximum du blindage

12. *radiation hard*

13. jusqu'au niveau pour lequel il est spécifié, évidemment.

14. *radiation tolerant*

15. *radiation soft*

offert par la structure mécanique du véhicule lui-même. Les nouvelles générations de petits satellites ont pratiquement éliminé cette possibilité.

Le blindage n'est pas une solution universelle, même sans considérer l'augmentation de la masse. En effet, dans certains environnements radiatifs il peut même rendre la situation pire, par la génération de rayonnements secondaires et plus facilement absorbés par les semiconducteurs (radiation de freinage, etc.).

Une autre technique très répandue est la duplication de fonctionnalité. C'est-à-dire, la même fonction est mise en oeuvre simultanément par deux (ou plusieurs) systèmes différents, ou par le même système en des temps différents. La granularité et l'étendue de cette duplication est très variable, découlant souvent d'un calcul complexe fondé sur la théorie de la fiabilité des systèmes. La redondance doit être nécessairement associée à des techniques de détection des défaillances. Pour les fonctions numériques (notamment les mémoires à haute capacité) il est très fréquemment jugé suffisant de détecter les erreurs (aléas), par l'utilisation de codages de données qui offrent une possibilité limitée de correction (codes de Reed-Solomon et de Hamming). Les données altérées sont périodiquement corrigées, par un cycle de «lessivage»¹⁶.

L'utilisation d'unités redondantes pour le durcissement est une solution non seulement pour les effets des événements singuliers, mais aussi peut aider à surmonter certains des effets de la dose cumulée. Une solution applicable consiste à prévoir, dans le système, un second circuit identique à celui susceptible de se détériorer, mais maintenu normalement en position d'attente, où il ne subit pas de dégradation significative. Quand la dose totale de rayonnement reçue par le véhicule et qui est mesurée par un détecteur approche une valeur critique, le circuit de secours¹⁷ se substitue à celui endommagé. Cette technique est connue comme «cold switching», et trouve utilisation aussi dans le cas d'événements singuliers destructifs.

Durcissement au niveau du circuit intégré

Enfin, au niveau du composant, la solution idéale serait de disposer de circuits intégrés durcis. C'est de moins en moins le cas, en vue de la taille réduite du marché de composants durcis.

Il existe aussi des boîtiers blindés pour accommoder des puces nues ou encapsulées, ainsi que des résines d'enrobage spécifiques. Le problème de ces blindages localisés est le fait qu'ils apportent de la protection seulement pour des milieux radiatifs très spécifiques, autrement il peut avoir un accroissement considérable de la dose cumulée absorbée. Comme tous les blindages, ils sont incapables de prévenir les événements singuliers.

En l'absence de filières durcies, la solution la plus efficace est la prise en compte des effets des rayonnements dès la conception du circuit intégré. L'emploi de techniques de durcissement à l'intérieur du circuit permet d'aboutir à un niveau de durcissement approprié pour la plupart des applications spatiales. Cette voie innovatrice est de plus en plus empruntée par les concepteurs d'instruments scientifiques, dont ceux qui travaillent pour la NASA. Il est pensé que les gains en consommation, fonctionnalité et encombrement, constitueront un avantage décisif dans la conquête du marché spatiale futur.

Dans le cadre du développement de l'électronique de lecture associée à un capteur intégré pour l'imagerie infra-rouge, il est nécessaire de maîtriser les effets de la dose cumulée et des verrouillages de courant.

16. *scrubbing*

17. *cold spare*

5.5.1 Le durcissement par rapport à la dose cumulée

Le durcissement des circuits intégrés face aux effets de la dose cumulée peut être réalisé à trois niveaux ; celui du procédé, celui du layout des structures et enfin au niveau de l'architecture du circuit.

Au niveau du procédé, le durcissement peut être recherché par l'optimisation des étapes de fabrication, de manière à réduire la détérioration à la suite de l'irradiation. Les modifications sont très variables, selon le procédé et la structure en question. Pour une filière CMOS bulk avec un caisson simple du type n, les structures sensibles sont les transistors et l'isolation entre les transistors NMOS dans le substrat-p.

La réduction de l'épaisseur de l'oxyde fin sous la grille, concomitant à l'avancement technologique, est le facteur le plus efficace de durcissement du transistor MOS, vu le rapport entre la charge créée et l'épaisseur (équation 5.1). Les oxydes d'épaisseur inférieure à 15 nm sont considérés comme suffisamment durcis pour la plus grande partie des missions dans l'espace. Des expériences ont montré que les oxydes humides obtenus dans une atmosphère de vapeur pyrogénique sont typiquement moins sensibles, et que la présence du fluor durant l'oxydation améliore aussi la tenue aux rayonnements du transistor. Les techniques connues rendent possible le contrôle de la détérioration de la tension de seuil et de la transconductance. L'obstacle restant est le courant de fuite des transistors latéraux, qui apparaissent en conséquence du bec d'oiseau. Le problème est présent uniquement dans les transistors NMOS, et peut être attaqué au niveau du procédé par l'ajout d'une étape de masquage et d'implantation, de façon à élever le dopage du substrat-p sous les bords latéraux du transistor. Cependant le dopant a tendance à s'étendre sous la grille, ce qui réduit la largeur électrique effective du canal du transistor. La tension de claquage de la jonction formée entre le drain/source et le substrat est aussi négativement affectée.

L'influence du bec d'oiseau sur le courant de fuite du transistor est une forme de perte d'isolation à la suite du piégeage de charges à l'intérieur de l'oxyde LOCOS. La détérioration de l'isolation a lieu pour toute la région entre les transistors NMOS, particulièrement sous les pistes d'interconnexion en polysilicium ou métal. Une solution au niveau du procédé est le renforcement de l'implantation de blocage. Cette solution possède les inconvénients déjà évoqués pour l'implantation sous le bec d'oiseau. En outre, la capacité parasite des jonctions formées avec le substrat-p devient nettement plus grande. L'impact sur l'opération des dispositifs est d'autant plus important sur les technologies plus avancées (submicroniques). Les inconvénients de l'accroissement de l'implantation de blocage ont conduit au développement de techniques alternatives. Deux approches se sont montrées efficaces ; la substitution de l'oxyde LOCOS par un blindage électrostatique et la création d'un oxyde LOCOS avec un piégeage moins effectif, du point de vue de la charge totale développée.

L'isolation par blindage électrostatique

Les impératifs que l'isolation LOCOS doit satisfaire ont été détaillés dans la section 3.4.1. L'objectif de l'oxyde LOCOS est essentiellement de réduire la magnitude du champ électrique exercée sur la surface du substrat. Cet effet peut être accompli par l'introduction d'un écran conducteur entre les pistes d'interconnexion et le substrat, qui jouera le rôle d'un blindage électrostatique. Cette idée a été développée et mise en pratique en 1989 par les chercheurs du AT&T Bell Laboratories[69], dans la quête du durcissement d'une technologie CMOS. Cette

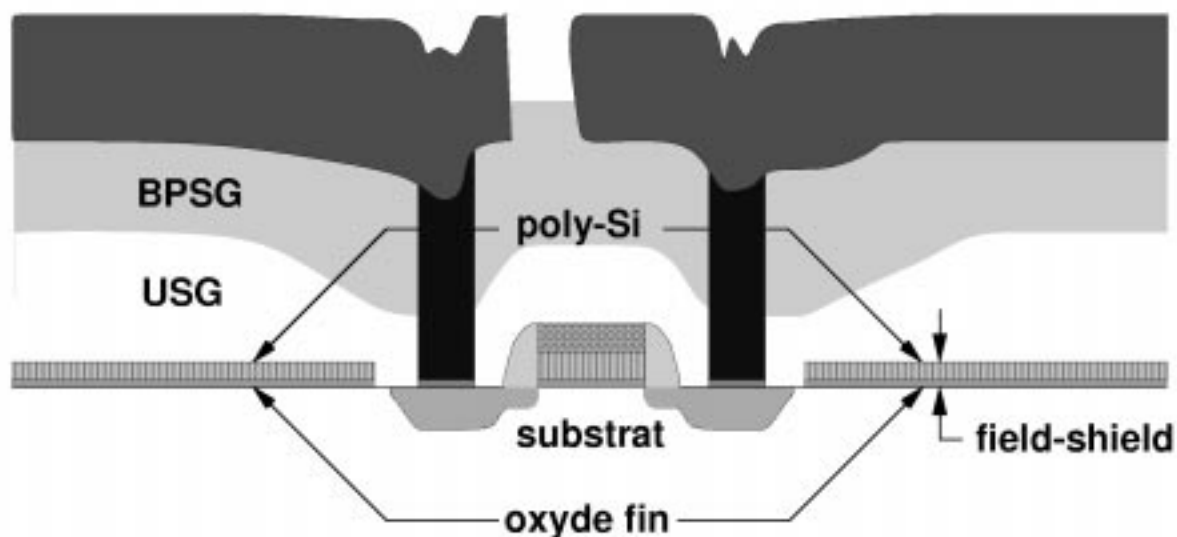


FIG. 5.8 – Vue schématique de l'isolation field-shield. L'oxyde épais de l'isolation LOCOS est substitué par des couches d'oxyde fin et de polysilicium. La couche en polysilicium doit être polarisée à une tension fixe, par un contact qui n'est pas visible dans le schéma.

technique est connue comme isolation par l'écrantage du substrat¹⁸. La structure de l'isolation est montrée dans la figure 5.8. Cette technique substitue l'oxyde épais par une superposition de couches oxyde-polysilicium-oxyde. L'oxyde assure l'isolation de la couche en polysilicium par rapport aux pistes d'interconnexion et au substrat. La couche en polysilicium doit être polarisée à une tension fixe, égale à l'alimentation négative (positive), pour l'écrantage sur le substrat-p (caisson-n). L'oxyde peut être très fin, avec une limite inférieure dictée par la tension de rupture, proche donc de l'épaisseur de l'oxyde fin de la grille.

Cette technique est de réalisation simple, et les résultats rapportés font état d'un niveau de durcissement impressionnant, de l'ordre de la centaine de Mrads(S_i) (pour un diviseur de fréquences¹⁹ opérant à 2,5 GHz, en technologie CMOS, avec une alimentation de 3,3 V). Hormis la nécessité de modifier le procédé de fabrication, le plus grand inconvénient de cette technique est la perte de surface utile à cause des prises de polarisation de la couche de polysilicium.

L'accroissement du piégeage d'électrons

Une autre approche de durcissement consiste à modifier les propriétés de l'oxyde LOCOS en ce qui concerne le piégeage. Les mécanismes de création et de piégeage (voir la section 4.3.2) résultent dans l'évacuation des électrons et la rétention des trous dans l'oxyde. Or, l'efficacité de ce processus peut être diminuée par une augmentation de la recombinaison et par l'existence de pièges d'électrons[70], ce qui est typiquement le cas dans le verre dopé. Cette idée a été mise en pratique pour le durcissement de l'oxyde LOCOS, avec l'introduction de défauts dans l'oxyde LOCOS par une étape d'implantation[71]. L'implantation d'ions de silicium crée des états énergétiques piègeurs d'électrons, ce qui réduit la charge électrique effective.

18. *field-shield isolation*

19. *prescaler*

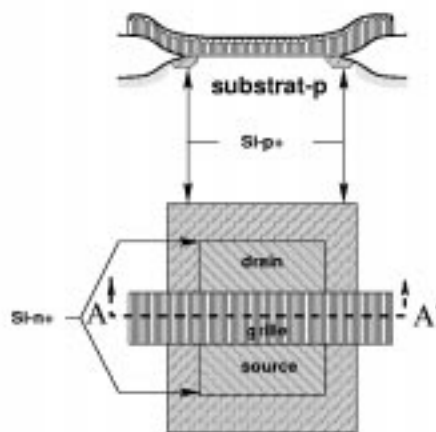


FIG. 5.9 – Durcissement de l'isolation LOCOS par l'implantation d'un anneau fortement dopé ($p+$) autour de la région active des transistors NMOS.

TAB. 5.4 – Quelques filières de fabrication CMOS durcies disponibles aujourd'hui.

Fondeur	Technologie	Tenue	Remarques
Mitel	1,25 μm SOS CMOS	100 Krads(Si)	technologie SOS traditionnelle
Harris	1,2 μm bulk CMOS	1 Mrads(Si)	filière «AVLSI-RA»
Honeywell	1,0-0,35 μm SOI CMOS	1 Mrads(Si)	
Atmel-MHS	0,8 μm SOI BiCMOS	10 Mrads(Si)	procédé DMILL du LETI-CEA
UTMC	0,6 μm bulk CMOS	100 Krads(Si)	procédé standard (AMI) durci
Peregrine	0,8-0,5 μm SOS CMOS	300 Krads(Si)	toute nouvelle filière SOS (UTSi)

Anneaux de garde

Le durcissement par l'accroissement du piégeage d'électrons est gênant du point de vue qu'une étape d'implantation spécifique doit être ajoutée, augmentant le coût de la réalisation industrielle. De ce point de vue l'isolation par blindage est encore moins pratique. À cause de cela les techniques les plus utilisées par l'industrie pour ses filières durcies récentes sont axées sur l'augmentation de l'implantation de blocage autour des transistors NMOS[72], comme il est montré dans la figure 5.9. La technique est équivalente à l'accroissement de l'implantation de blocage, avec une réduction du coût par la réalisation localisée. En outre, cette technique est compatible avec les procédés standards, ce qui ouvre la possibilité de la sous-traitance de cette étape du procédé[73].

Les techniques présentées, aussi comme bien d'autres qui sont gardées confidentielles par les entreprises, ont trouvé utilisation dans la mise en place de filières durcies. Néanmoins, l'offre de technologies durcies est en franc déclin, et les prévisions ne laissent entrevoir aucun changement de cette tendance. Le tableau 5.4 donne les principales filières disponibles dans le monde.

Durcissement au niveau du layout

Le durcissement au niveau du procédé est habituellement le moyen le plus efficace et directe pour fabriquer un circuit intégré avec le RDM requis. Cependant le nombre réduit de

procédés suscite de sérieuses interrogations quant à la performance, la disponibilité, le coût, et la pérennité des circuits intégrés fabriqués sur les filières durcies. Une réponse possible a déjà été évoquée, l'utilisation de filières standards avec des étapes spécifiques réalisées soit par sous-traitance, soit à l'intérieur même de la fonderie. Cette approche autorise la fabrication de circuits intégrés assez tolérants pour la plupart des besoins de l'espace à un coût économiquement viable.

Malheureusement, la pratique n'est pas appropriée pour la réalisation de petites séries, c.-à-d. moins de quelques dizaines de milliers de pièces, à cause des coûts élevés de démarrage. Or, le nombre de satellites commerciaux prévus pour la décennie à venir n'est pas supérieur à un ou deux milliers, dans les prévisions les plus généreuses. Par conséquent, les filières durcies n'offrent pas une solution abordable pour la fabrication de circuits intégrés «full custom» pour l'exploitation commerciale de l'espace.

L'alternative au durcissement du procédé est l'application de techniques de conception capables de rendre les circuits intégrés moins sensibles. Ces techniques peuvent être appliquées au niveau du layout des structures et au niveau de l'architecture (topologie) des circuits réalisés.

Pour les effets de la dose cumulée, les techniques de conception les plus efficaces sont les techniques de layout. L'utilisation de layouts spécifiques cherche à empêcher ou retarder l'apparition du phénomène d'inversion dans le substrat. De façon générale, cette amélioration est obtenue au détriment de la surface disponible pour le circuit. L'inversion sous l'oxyde LOCOS compromet l'isolation entre les transistors NMOS par la formation du FOXFET parasite, d'abord sous les pistes d'interconnexion polarisées positivement par rapport au substrat-p et postérieurement de façon généralisée. La formation des FOXFETs peut être évitée par l'introduction d'implantations p+. Ces implantations p+ sont normalement employées pour les prises de contact électrique avec le substrat-p. Elles sont ajoutées localement autour des transistors NMOS, et sont équivalentes aux anneaux de garde ajoutés dans les procédés durcis. Le blocage de l'inversion est une conséquence du dopage élevé (de l'ordre de 10^{19} atomes/cm³ [18, p.88]) et, dans une moindre mesure, de la substitution de l'oxyde LOCOS par le verre CVD. En règle générale, les implantations p+ de blocage ne doivent pas toucher les implantations n+ (c.-à-d. les sources et drains des transistors NMOS), sous peine de réduire de la tension de claquage au niveau de la tension de rupture de la diode zener résultante (≈ 6 V).

Une technique alternative est l'application du même principe d'isolation *field-shield*, mettant en place des structures de blindage du substrat. Ces structures de blindage peuvent être réalisées de manière simple et universelle en utilisant la grille du transistor NMOS. La couche de polysilicium doit être polarisée à la tension d'alimentation négative V_{SS} par le biais d'un contact avec le substrat-p. Cette structure n'a pas d'effet sur les tensions de claquage, et autorise un durcissement de l'isolation égal à celui des transistors NMOS.

Les techniques de layout n'ont pas d'influence sur la dégradation des paramètres électriques des transistors MOS (V_{th} , KP, etc.). Cependant, il est possible de réduire et même de supprimer le courant de fuite dû aux transistors latéraux parasites (figure 5.2). Une approche possible consiste à étendre la grille jusqu'à un anneau de garde p+, de façon à obtenir un dopage accru sous le bec d'oiseau. La réalisation pratique de cette technique est compliquée par la présence d'espaceurs dans les technologies CMOS modernes. Les espaceurs en oxyde participent à la formation des structures LDD, et protègent le substrat lors de l'étape de dopage des régions p+ (pour les espaceurs non-amovibles²⁰, voir figure 3.4). Les espaceurs sont présents sur tout

20. non-removable spacers

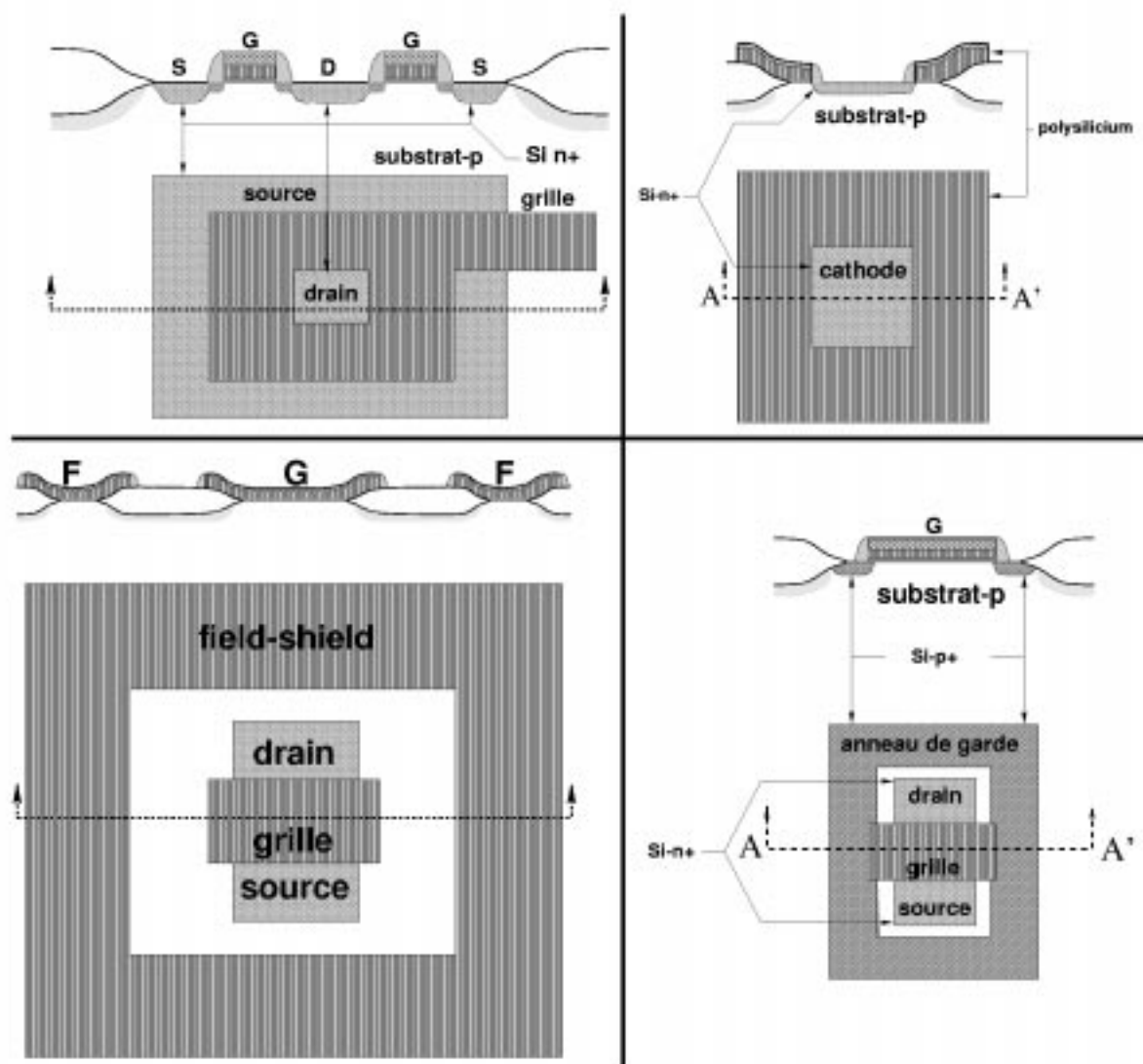


FIG. 5.10 – Durcissement contre les effets de la dose cumulée par des techniques de dessin.

le périmètre du polysilicium, et interfèrent avec cette technique de durcissement à la fois par le blocage de l'implantation p+ et par le piégeage de charge électrique à l'intérieur, à la suite de l'irradiation. Toutefois, un certain degré d'amélioration est obtenu grâce à l'implantation p-effectuée avant la formation des espaceurs. L'inconvénient de cette technique de layout est la modification de la géométrie du canal du transistor, ce qui rend moins précise la modélisation et la simulation électrique de petits dispositifs. Une variation de cette technique est utilisée dans certaines technologies SOI non-planaires, où les transistors ont la forme d'un «H»[22, p.236]. Le dessin particulier des transistors est couplé à un dopage p+ élevé de chaque côté («+H+»).

Les transistors latéraux peuvent être supprimés par l'utilisation d'un transistor à géométrie fermée, où la source et le drain ne partagent pas une interface continue avec l'oxyde LOCOS. Cette technique de layout est employée depuis très longtemps, et jusqu'à nos jours elle fait ses preuves, notamment dans les derniers travaux de durcissement des technologies submicroniques standards[38]. Son désavantage est l'impossibilité d'obtenir de faibles rapports $\frac{W}{L}$, en plus à la surface requise.

Le dernier effet de la dose totale cumulée qui peut être atténué par les techniques de layout est l'accroissement du courant de fuite des jonctions p-n planaires. Cet effet a été identifié au cours des nos travaux. Il semblerait n'avoir été l'objet d'aucune publication. Les réflexions entreprises à la suite de leur découverte ont conduit au développement d'une structure qui applique le principe du blindage électrostatique aux bords de la jonction p-n planaire. Une couche de polysilicium est ajoutée autour de la jonction, et polarisée à une tension V_{DD} (V_{SS}) pour les substrats du type-n (type-p). Le durcissement est accompli par l'effet d'écrantage et par la suppression de l'oxyde LOCOS sur la région désertée de la jonction p-n. Le périmètre extérieur de la structure peut aussi bénéficier d'un anneau de garde.

Toutes les techniques de layout décrites sont montrées schématiquement dans la figure 5.10.

Durcissement au niveau de l'architecture

Enfin, le durcissement contre les effets de la dose cumulée peut être accompli par la mise en oeuvre de circuits spécifiques à l'intérieur des circuits intégrés. Deux stratégies sont possibles ; l'ajout de circuits qui compensent la détérioration provoquée par l'irradiation, et l'implantation de topologies moins sensibles aux effets de la dose cumulée.

Les techniques du premier groupe tentent de compenser les effets de l'irradiation. Cette compensation cherche à corriger un paramètre électrique du dispositif isolé (typiquement la tension V_{th}) ou bien un paramètre de fonctionnement du circuit (tension de sortie des niveaux logiques, marges de bruit, etc.).

Au moment de leur apparition sur le marché, les procédés de fabrication de circuits intégrés MOS étaient simples, et l'implantation ionique n'existait pas encore au niveau de la production industrielle. La tension de seuil des transistors ne pouvait pas être ajustée, ce qui empêchait l'utilisation des transistors NMOS à enrichissement (voir la discussion autour de l'équation 2.29). La réponse à ce problème fut l'utilisation de l'effet de la polarisation du substrat par rapport à la source²¹ pour contrôler V_{th} (voir l'équation 2.27)[74]. Cette technique a l'inconvénient de nécessiter la génération et la distribution de cette tension de polarisation du substrat du transistor. Elle n'est généralement utilisable que pour augmenter la tension de seuil des transistors NMOS, $V_{th-nmos}$, puisque habituellement il n'est pas nécessaire d'augmenter la tension de seuil des transistors PMOS, $V_{th-pmos}$. L'ajustement de la tension de seuil

21. *body effect*

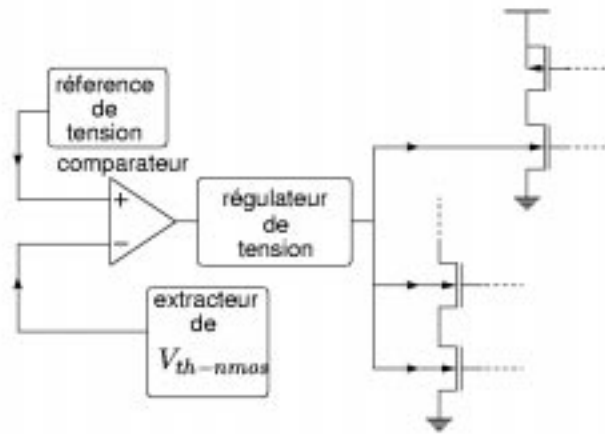


FIG. 5.11 – Durcissement contre les effets de la dose cumulée par la polarisation du substrat.

par la polarisation du substrat a été abandonné avec l'avènement de l'implantation ionique pour doper le substrat sous la grille des transistors. La variation de la tension $V_{th-nmos}$ avec la polarisation du substrat est donnée par l'équation[9, p.212] :

$$\Delta V_{th-nmos} = \frac{\sqrt{2q\epsilon_{Si}N_{SUB}}}{C_{ox}} \left(\sqrt{2|\phi_F| + V_{SB}} - \sqrt{2|\phi_F|} \right) \quad (5.10)$$

Ce principe peut être mis à profit pour corriger la dérive de V_{th} engendrée par la radiation ionisante, comme il est illustré dans la figure 5.11. La mise en pratique compte plusieurs variations [75, 76, 77], typiquement axées autour de la méthode de mesure de la dégradation ou de la génération de la tension de polarisation. Le besoin de fournir une tension d'alimentation supplémentaire à partir de l'extérieur pour le circuit de correction est souvent éliminé par l'inclusion d'un oscillateur doubleur de tension. Ce genre de circuit est appelé une pompe de charge²²[78]. Les pompes de charge sont très utilisées pour générer des tensions plus élevées que les rails d'alimentation, notamment pour les mémoires dynamiques (DRAMs)[79] et pour les mémoires non-volatiles électriquement effaçables[80] (EEPROMs). Le concept d'ajustement de la tension de seuil par la polarisation du substrat (avec le régulateur et la pompe de charge intégrés) a été proposé aussi pour les circuits à très faible dissipation[81].

Dans les technologies SOI, il est possible d'appliquer une variante de cette technique, qui fait appel à l'influence de la deuxième grille (à la face arrière) des transistors sur la grille principale à la surface[82]. Le phénomène apparaît dans les dispositifs entièrement désertés.

Au cours de nos recherches, on a développé l'idée de coupler la technique de durcissement par blindage du substrat avec le concept de la polarisation. C'est-à-dire, générer une tension de polarisation pour le blindage capable d'assurer le maintien de l'isolation. Cette technique de durcissement hybride est vraisemblablement originale et offre la possibilité d'une solution définitive pour le problème de la perte de l'isolation due à la formation de FOXFETs, ou au courant de fuite aux bords des jonctions p-n planaires. Le désavantage est évidemment la perte de surface utile.

La réalisation de la correction de la dérive de la tension de seuil V_{th} (à la suite de l'irradiation) par la polarisation du substrat présente un certain nombre de problèmes. D'abord, l'ajustement ne peut être fait que dans un sens, l'accroissement de V_{th} , ce qui est approprié

²². charge pump

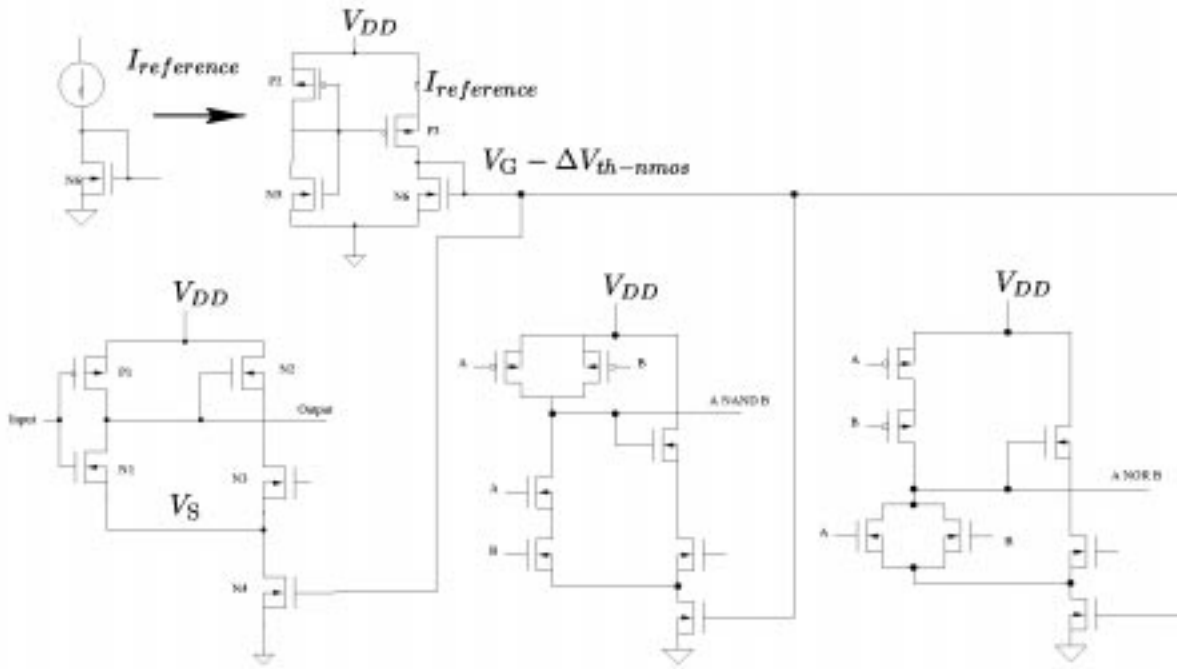


FIG. 5.12 – Durcissement de la marge de bruit d'entrée par l'élévation de la tension V_S à la source du transistor NMOS d'entrée, d'après [89]. Le principe est appliqué à l'inverseur et aux portes logiques du type NAND et du type NOR.

pour la dérive de $V_{th-nmos}$ (supposant que la super-guérison de $V_{th-nmos}$ ne soit pas un problème), mais pas pour la dérive de $V_{th-pmos}$. En outre, il faut disposer d'un circuit immuni aux effets du rayonnement pour la génération de la tension de correction. La relative complexité de ce circuit rend sans intérêt la génération d'une correction spécifique pour chaque dispositif. Ceci est en opposition au fait que le degré de dégradation est étroitement lié aux conditions de polarisation particulières à chaque dispositif. Enfin, la montée de la tension V_{BS} accroît le champ électrique sous la grille, et favorise la détérioration de V_{th} .

La correction de la détérioration peut être abordée autrement qu'en termes du V_{th} du transistor, notamment pour les portes logiques. Dans ce cas, il est plus simple de chercher à préserver les caractéristiques d'entrée et de sortie. Cette stratégie est suivie dans un certain nombre de travaux, et les critères de comparaison sont habituellement les marges de bruit²³ (NM_L et NM_H) et la courbe de transfert²⁴ (souvent représentée par la tension de basculement V_{inv} de l'inverseur). Néanmoins, les paramètres de comparaison utilisés ne sont pas toujours définis selon les conventions habituelles[83, 84, 85, 86, 87, 88], ce qui complique l'analyse comparative. Un exemple de cette approche est montré dans la figure 5.12[89]. L'objectif avoué du circuit est de rendre leur définition de la marge de bruit d'entrée NM_L insensible à la réduction de la tension de seuil $V_{th-nmos}$, par le contrôle de la conductance du transistor N4. L'introduction de ce transistor entre la source du transistor N1 et V_{SS} augmente la tension à l'entrée nécessaire pour basculer le niveau logique de la sortie. La tension V_S plus élevée contribue également à garder le transistor N1 bloqué, ce qui préserve le niveau logique de sortie V_{OH} . Depuis son apparition, le principe a été employé pour le durcissement d'une cellule

23. noise margins

24. transfer function

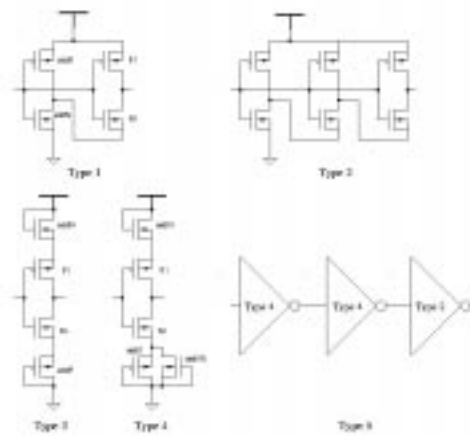


FIG. 5.13 – Durcissement de la courbe de transfert et des niveaux logiques de sortie de l'inverseur CMOS par le changement de son architecture, d'après[92].

de stockage d'une mémoire statique[90]. Une publication plus récente simplifie le concept à sa forme la plus simple, et profite du courant de fuite des transistors latéraux parasites pour faire monter la tension V_S [91]. Hélas, dans toutes ces publications les équations présentées sont erronées, incomplètes ou basées sur des suppositions douteuses. Cependant, l'idée d'introduire des dispositifs entre les rails d'alimentation et la porte logique, pour minimiser l'effet du courant de fuite et en même temps compenser la chute de $V_{th-nmos}$, a reçu une analyse correcte dans une publication parue entre-temps[92]. Les structures proposées sont montrées dans la figure 5.13. Les mêmes auteurs ont étudié les enjeux du durcissement de la cellule de stockage statique à 6 transistors (6T) face aux effets de la dose totale[93]. Leurs travaux tournent autour des applications spatiales d'un dispositif MOS fabriqué en technologie SOI nommé «gate-all-around device» (GAA)[94, 95], mais les résultats sont valables aussi pour les technologies CMOS bulk standard. Leurs mesures révèlent une bonne tenue aux rayonnements, cependant, ils indiquent que le coût en terme de surface peut aller jusqu'à une multiplication par 9,2 (dans le cas d'un inverseur).

La détérioration des transistors n'est pas toujours très dramatique, et les architectures compliquées (et coûteuses) ne sont donc pas forcément justifiées. Dans ce cas, des mesures plus simples peuvent être utilisées. Une manière simple d'améliorer un circuit logique est de substituer les portes NOR par des portes NAND. Dans une porte NAND la réduction du $V_{th-nmos}$ des transistors NMOS en série sera partiellement compensée par l'accroissement du $V_{th-pmos}$ des transistors PMOS en parallèle, par conséquent la consommation de courant statique sera moins affectée que pour une porte NOR, où les deux transistors NMOS en parallèle multiplieront par deux le courant de fuite.

5.5.2 Le durcissement par rapport aux verrouillages de courant

Le durcissement face aux verrouillages de courant est habituellement entrepris au niveau du procédé ou du layout du circuit. Le durcissement par le procédé peut être absolu, à travers de l'isolation diélectrique complète entre les deux types de transistors. C'est le cas des technologies SOI. Un niveau de durcissement suffisant peut aussi être atteint par l'utilisation des substrats épitaxiés. Les travaux montrent que les couches épitaxiées fines sont particulièrement efficaces[96].

Au niveau du layout l'ajout d'anneaux de garde de façon généralisée est capable d'empêcher l'amorçage des thyristors parasites. La technique a été étudiée dans la section 3.6.1. Des expériences réalisées dans le BNL-SEUTF²⁵ (deux accélérateurs de Van de Graff en «standem») ont montré que les anneaux de garde empêchent les verrouillages pour une plage de LETs allant de $3,4 \text{ MeV} \cdot \text{mg}^{-1} \cdot \text{cm}^2$ jusqu'au moins $120 \text{ MeV} \cdot \text{mg}^{-1} \cdot \text{cm}^2$. Ces expériences ont utilisé un éventail de puces différentes dont on peut citer[97]:

- un corrélateur pour la radio-astronomie avec 1,2 millions de transistors, fabriqué dans la technologie CMOS26b de Hewlett-Packard (pas de grille de $0,8 \mu\text{m}$, trois niveaux de métal) à travers le service MOSIS²⁶;
- un codeur Reed-Solomon avec 100 000 transistors fabriqué dans la technologie CYC d'American Microsystems Inc.²⁷ (pas de grille de $1,0 \mu\text{m}$, trois niveaux de métal);
- un codeur/decodeur Reed-Solomon avec 200 000 transistors fabriqué dans la technologie CYC d'AMI.

Dans certains cas on peut se contenter d'empêcher la destruction du circuit intégré, car l'interruption momentanée du fonctionnement n'est pas un problème. Dans ces situations, il est possible d'utiliser des circuits auxiliaires qui surveillent l'état des lignes d'alimentation (tension et courant), de manière à détecter le verrouillage, qui est immédiatement arrêté par la coupure de l'alimentation. Le circuit auxiliaire peut être implanté à l'intérieur du circuit intégré, ou dans un circuit intégré indépendant[98].

5.5.3 Durcissement des microsystèmes

L'utilisation des microsystèmes dans l'espace suscite un intérêt grandissant. D'ailleurs le nombre croissant de publications et de conférences dédiées au sujet en témoignent. Cependant, l'enjeu du durcissement des microsystèmes face aux effets du rayonnement n'a pas encore fait l'objet d'aucune publication, sauf deux exceptions[99, 100].

Les deux études publiées portent sur la caractérisation du comportement d'accéléromètres disponibles commercialement²⁸, à la suite de l'irradiation. Dans les deux cas la caractérisation a été très complète, avec l'emploi de plusieurs sources (^{60}Co , faisceau de protons, faisceau d'électrons, faisceau d'ions). Les conditions d'exposition ont été aussi très variées, comprenant plusieurs débits, deux étapes de recuit, et même l'irradiation de l'élément capteur tout seul (par le biais d'un microscope électronique à balayage²⁹, et par un blindage localisé). Ces travaux ont détecté une forte sensibilité (perte de fonctionnalité à une dose cumulée de 4 Krad(Si)) dans un accéléromètre (XMMAS40G), apparemment dû à la défaillance de l'électronique de lecture associée. Les résultats pour les deux autres accéléromètres ont décelé un écart important entre leurs sensibilités à l'irradiation. Au cours des travaux les auteurs ont déterminé que l'origine du problème était dans l'élément capteur lui-même.

Le mécanisme de dégradation a été identifié comme étant la déformation mécanique produite par la force électrostatique. Cette force apparaît à cause de la charge positive accumulée

25. Brookhaven National Laboratory Single Event Upset Test Facility

26. l'équivalent américain du service CMP hébergé par le Laboratoire TIMA

27. AMI

28. le ADXL50 et le ADXL04 fabriqués par Analog Devices, et le XMMAS40G fabriqué par Motorola

29. Scanning Electron Microscope - SEM

dans une couche en matériau diélectrique. L'existence d'une couche conductive autour du diélectrique dans un des dispositifs (ADXL04) a permis d'écranter le champ électrique et de supprimer l'effet.

Donc, on peut constater que la sensibilité est étroitement liée aux détails de la fabrication du microsystème et au principe de détection ou d'actuation utilisé. Le durcissement des micro-systèmes s'annonce déjà comme un domaine de recherche bien plus varié que le durcissement des circuits intégrés.

La sensibilité d'une barrette de thermopiles

La démarche du durcissement est spécifique à la réalisation d'un microsystème particulier et à son application. Dans le cadre de cette étude, le microsystème est un imageur infra-rouge, où l'élément capteur est réalisé par une barrette³⁰ de thermopiles. Il est alors nécessaire d'étudier brièvement les principes de fonctionnement, la fabrication et l'opération de ce genre de capteur.

Il existe diverses manières pour mesurer le rayonnement infra-rouge émis par une source de chaleur. La plus directe consiste à mesurer la chaleur déposée par ce rayonnement sur une surface. L'élévation de la température résultante peut être mesurée de façon simple et robuste par le biais de thermocouples. Le fonctionnement d'un thermocouple est lié à l'interaction entre le transport de la chaleur dans un solide et ces propriétés électriques.

La conduction de la chaleur dans les solides est le résultat de deux processus distincts, la diffusion d'électrons énergisés (agités) et la propagation de vibrations élastiques dans le réseau atomique (propagation de phonons). La vibration du réseau est le processus dominant dans les cristaux, tandis que la diffusion d'électrons «chauds» est prépondérante dans les métaux. La conduction par la diffusion électronique est plus efficace que la propagation de phonons, ce qui veut dire que les bons conducteurs électriques sont aussi de bons conducteurs de chaleur.

Le pouvoir thermoélectrique dans les conducteurs

Lorsqu'une différence de température existe entre deux points dans un matériau il aura un potentiel électrique entre ces points. La relation entre le potentiel et la différence de température est donnée par :

$$P = \frac{\Delta V}{\Delta T} \quad (5.11)$$

où ΔV est la tension développée, ΔT est la différence de température et P est le pouvoir thermoélectrique du matériau. Ce phénomène est une conséquence du déplacement du niveau de Fermi E_f avec la température, et il est nommé effet Seebeck. La force électro-motrice (f.é.m.) est proportionnelle à la variation du niveau de Fermi, $\Delta V = \frac{\Delta E_f}{q}$. L'équation 5.11 peut être exprimée de façon généralisée par :

$$\frac{\nabla E_f}{q} = \alpha_S \nabla T \quad (5.12)$$

où le terme α_S est appelé coefficient de Seebeck. Le niveau de Fermi d'un métal varie avec la température selon l'équation[101, p.84] :

$$E_f(T) = E_f(0) - \pi^2 \frac{k^2}{6} T^2 \frac{d \ln N_E}{dE} \quad (5.13)$$

30. *linear array*

où $E_f(0)$ représente le niveau de Fermi au zéro absolu et N_E est la densité d'états énergétiques disponibles. La montée de la température abaisse le niveau de Fermi d'un métal, ce qui veut dire qu'une tension positive sera développée entre une région chaude et une région froide. Le calcul du pouvoir thermoélectrique α_S à partir des équations 5.12 et 5.13 est compliqué par l'influence de la température sur la mobilité de porteurs, qui diminue la valeur effective de α_S . Pour l'aluminium α_S a une valeur d'environ $1,7 \mu\text{V/K}$.

Le pouvoir thermoélectrique des semiconducteurs est généralement très supérieur à celui des métaux. La f.é.m. des semiconducteurs peut être estimée par la différenciation de E_f :

$$\alpha_S = \frac{1}{q} \frac{dE_f}{dT} \quad (5.14)$$

L'expression du coefficient de Seebeck du silicium dopé est [101, p.89] :

$$\alpha_S = \begin{cases} -\frac{k}{q} \left(\left[\ln \left(\frac{N_d}{n_i} \right) + \frac{5}{2} \right] + (1 + s_n) + \Phi_n \right) & \text{Si-n} \\ +\frac{k}{q} \left(\underbrace{\left[\ln \left(\frac{N_a}{n_i} \right) + \frac{5}{2} \right]}_{\text{variation de } E_f} + \underbrace{(1 + s_p)}_{\text{éparpillement}} + \underbrace{\Phi_p}_{\text{traînée}} \right) & \text{Si-p} \end{cases} \quad (5.15)$$

Chaque terme de l'équation 5.15 donne la contribution d'un phénomène qu'a lieu dans le silicium dopé. Le premier terme est dû à la modification de la distribution des niveaux d'énergie occupés (équation 2.1).

Le deuxième terme est dû à l'éparpillement des porteurs majoritaires, qui change avec la croissance de la vitesse moyenne (équation 2.7). Le facteur s_n habituellement prend une valeur entre -1 (pas d'éparpillement) et $+2$. Pour le silicium très dopé s_n est proche à zéro, et grimpe à une valeur d'environ 5 pour le silicium faiblement dopé. Le facteur s_p a un comportement similaire.

Le troisième terme est dû à l'effet des phonons (vibrations du réseau cristallin) qui se propagent de la région chaude vers la région froide. Ces phonons ralentissent les porteurs³¹, et le facteur Φ_n permet de prendre en compte cet effet (la traînée sur le mouvement des porteurs). Ce terme est quasi nul dans le cas du silicium fortement dopé [102, p.104].

Le coefficient de Seebeck du silicium dopé varie entre 100 et 1 000 $\mu\text{V/K}$, selon le dopage et la température. Le signe du coefficient sera positif pour le silicium du type p et négatif pour le silicium du type n. Pour tirer profit de la f.é.m. développée entre la région chaude et la région froide on fabrique un thermocouple, c.-à-d. un circuit thermoélectrique où deux matériaux sont mis en contact électrique dans l'extrémité chaude et simultanément sont soumis au même gradient de température. La mesure du potentiel électrique entre les deux matériaux dans l'extrémité froide renseigne sur la différence de température entre les deux régions. L'effet est amplifié par l'utilisation de deux matériaux ayant des coefficients de Seebeck importants et opposés, le thermocouple aura un coefficient de Seebeck effectif donné par la soustraction des α_S des deux matériaux.

La magnitude de la f.é.m. peut être augmentée par le branchement en série de plusieurs thermocouples, ce qui forme la thermopile. La f.é.m. développée par une thermopile est donnée par la relation :

$$V = N\alpha\Delta T \quad (5.16)$$

31. *phonon drag*

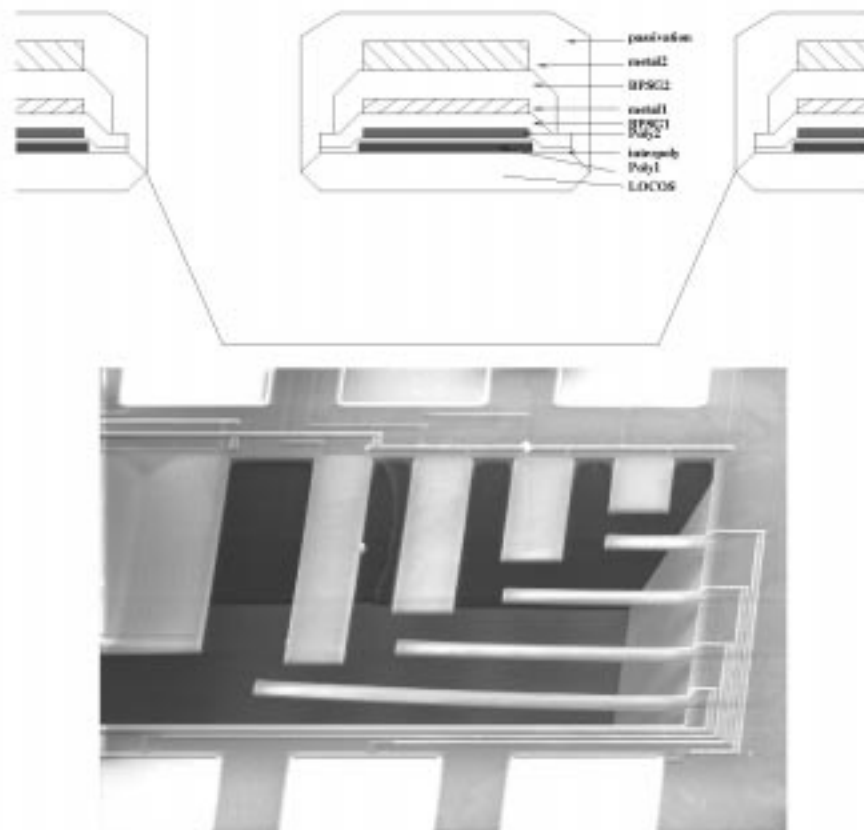


FIG. 5.14 – Vue en coupe droite d'un thermocouple sur une poutre. La thermopile est constituée d'un ensemble de thermocouples connectés en série. Chaque thermocouple est issu de la connexion d'une piste en aluminium à une piste en polysilicium dopé. Leur fonctionnement est basé sur l'effet Seebeck. Plusieurs thermopiles suspendues par la gravure de face avant sont visibles dans le cliché.

où N représente le nombre de thermocouples électriquement en série et α est le coefficient de Seebeck du thermocouple. La performance de la thermopile comme capteur de chaleur repose alors sur l'obtention d'une différence de température ΔT la plus grande possible pour un flux incident donné. Cela exige la mise en place d'une forme d'isolation thermique entre les extrémités.

Pour les thermopiles fabriqués par une technologie compatible CMOS, il y a une manière simple d'obtenir cette isolation; la suppression du matériel sous la structure qui ne participe pas à l'effet thermoélectrique, à travers d'une étape de gravure par la face avant³² (ou arrière). Les seuls éléments qu'on peut suspendre par cette gravure sont les couches d'interconnexion et d'isolation, puisque tout le substrat est dissout, ce qui empêche l'utilisation d'autres matériaux que le polysilicium et l'aluminium pour les thermocouples. Après la gravure, les thermocouples reposent sur une membrane ou une poutre. L'empilement des couches est montré schématiquement dans la figure 5.14.

32. Cette gravure est habituellement faite par une solution de EDP, voir [20].

La distribution de la température dans la partie suspendue est un élément fondamental pour obtenir un capteur performant. Le calcul précis de l'absorption et de la distribution de la chaleur sur la structure est très fastidieux, et dépasse les propos de cette étude. Du point de vue de l'analyse des effets des rayonnements il suffit d'étudier les mécanismes impliqués de façon qualitative.

Le transport de la chaleur dans les solides

Le transport de la chaleur entre une région chaude et une région froide est décrit par la Loi de Fourier[102, p.7] :

$$p = -K_c A \frac{\partial T}{\partial x} \quad (5.17)$$

où :

p représente le taux de transfert d'énergie (en watts);

K_c est une constante propre au matériau, la conductivité thermique ($W \cdot m^{-1} \cdot K^{-1}$);

A est la surface de la section droite traversée par le flux (m^2);

T est la température (K);

x représente la distance (m).

L'extension à trois dimensions de l'équation 5.17, avec la prise en compte du principe de conservation de l'énergie résulte dans l'expression généralisée :

$$\frac{\partial^2 T}{\partial x^2} + \frac{\partial^2 T}{\partial y^2} + \frac{\partial^2 T}{\partial z^2} + \frac{1}{K_c} \cdot \frac{dp}{dt} = \frac{\rho C_{ch}}{K_c} \cdot \frac{\partial T}{\partial \tau} \quad (5.18)$$

où :

ρ représente la densité (Kg/m^3);

C_{ch} est la capacité calorifique ($J \cdot Kg^{-1} \cdot K^{-1}$).

Le transport de la chaleur dépend donc des propriétés physiques fondamentales du matériau, pour la plupart sans rapport direct avec ces propriétés électriques. Toutefois, la conductivité thermique K_c est liée à la diffusion des électrons, et par conséquent à la conductivité électrique. Pour les métaux, la relation entre les deux conductivités peut être estimée par l'équation de Franz-Lorentz[102, p.10] :

$$K_c = L K_e T \quad (5.19)$$

où L représente la constante de Lorentz ($2,45 \times 10^{-8} W \cdot \Omega \cdot K^{-2}$), K_e représente la conductivité électrique ($\Omega^{-1} \cdot m^{-1}$) et T est la température.

La radiation ionisante n'a pas d'influence sur la densité ρ ni sur la capacité calorifique C_{ch} des matériaux. Les propriétés électriques des matériaux dépendent de la structure des bandes d'énergie, comme on a vu dans le chapitre 2. Pour les métaux, les interactions avec les rayonnements ionisants et la charge positive piégée dans l'oxyde voisin ne sont pas capables de modifier les états énergétiques disponibles ou la conductivité électrique.

Pour les semiconducteurs, la situation est plus compliquée. La conductivité électrique des semiconducteurs (équation 2.9) est déterminée par la concentration et la mobilité des porteurs

majoritaires. Ces mêmes paramètres interviennent dans l'expression du coefficient de Seebeck (équation 5.15). Pour le silicium non-dégénéré la relation entre le coefficient de Seebeck et la conductivité électrique est donnée par l'équation[102, p.104] :

$$\alpha_S = \frac{mk}{q} \ln \frac{K_{e(0)}}{K_e} \quad (5.20)$$

où $K_{e(0)} = 0,2 \times 10^6 \Omega^{-1} \cdot \text{m}^{-1}$ et $m \approx 2,5$ sont des constantes empiriques.

L'interaction avec les rayonnements ionisants ne change ni la densité d'états donneurs/accepteurs de manière importante, ni la conductivité électrique dans le volume du solide. Toutefois, le champ électrique exercé par la charge positive piégée dans l'oxyde voisin peut changer de façon dramatique la population des bandes d'énergie (voir la discussion dans la section 2.4). Les caractéristiques thermoélectriques (équations 5.15 et 5.19) du matériau pourraient alors subir des altérations. L'impact sera fonction de l'épaisseur de la région sous l'influence du champ électrique, par rapport à l'épaisseur totale du dispositif thermoélectrique. Pour le thermocouple en question, le dopage du polysilicium limite l'influence du champ électrique à une profondeur d'environ 1-2 nm dans le matériau, ce qui est très inférieur à l'épaisseur totale de l'élément (≈ 300 nm). Le circuit thermoélectrique en volume sera donc prépondérant par rapport au circuit thermoélectrique en surface, et les charges positives créées dans l'oxyde n'auront pas d'effet.

En résumé, tant que les effets de l'irradiation sont limités à une fine région à la surface des interconnexions il n'aura pas d'impact sur le fonctionnement de capteurs fondés sur des thermopiles.

Le transport de la chaleur à la surface extérieure de la structure suspendue peut se faire aussi par des mécanismes de convection et de radiation thermique. Cependant, ces formes de transfert sont peu importantes dans l'environnement spatial.

Conclusion sur la sensibilité de barrettes de thermopiles

Le transfert de la chaleur et le pouvoir thermoélectrique sont les principaux mécanismes qui définissent la performance de la thermopile. La réalisation de thermopiles par des procédés de fabrication de circuits intégrés et les enjeux de l'optimisation de ce type de capteur ont fait l'objet de plusieurs travaux[102, p.111][103, 104]. En ce qui concerne le durcissement, l'analyse qualitative présentée permet de conclure que les thermopiles suspendues qui utilisent les couches d'interconnexion d'une technologie CMOS ne sont pas sensibles aux rayonnements ionisants de l'espace, puisqu'ils sont incapables de modifier les paramètres des matériaux impliqués dans l'apparition de la f.é.m. thermoélectrique et dans la distribution de la chaleur. Par conséquent, ce type de capteur d'infra-rouge est intrinsèquement durci, et le niveau de durcissement du microsystème sera déterminé par la sensibilité de l'électronique de lecture associée.

Chapitre 6

La caractérisation de la technologie sous la radiation

Technology characterization under radiation

6.1 Introduction

Les sujets développés dans les chapitres précédents ont permis de bien cerner les enjeux du durcissement des circuits intégrés réalisés par les technologies CMOS modernes. Les connaissances acquises ont été appliquées dans un effort de durcissement d'une technologie CMOS standard, disponible commercialement et compatible avec la fabrication de microsystèmes micro-usinés par la face avant. Cet effort a compris plusieurs phases, regroupant les activités suivantes :

- l'identification des formes de dégradation possibles ;
- l'évaluation approximative de l'ampleur probable de la dégradation ;
- le développement de techniques de durcissement contre ces dégradations ;
- la mesure du comportement des dispositifs et des structures suite à l'irradiation ;
- l'analyse de la tolérance des structures et de l'efficacité des techniques de durcissement.

L'objectif de ces travaux est de tirer des renseignements pour la conception de l'électronique de traitement du signal du capteur d'infra-rouge (les barrettes de thermopiles en silicium). L'ensemble des travaux est discuté dans ce chapitre, notamment ceux liés à les trois dernières activités, qui constituent la caractérisation de la réponse de la technologie à la radiation ionisante.

Choix de la technologie **Choice of technology**

Le portefeuille des technologies du service CMP (hébergé par le Laboratoire TIMA) offre plusieurs candidats pour l'effort de caractérisation et de durcissement. L'analyse des perfor-

mances exigées du circuit de traitement du signal issu d'une barrette de thermopiles a conduit au choix de la technologie AMS CAE 1,2 μm CMOS bulk . La technologie sélectionnée a été validée pour la fabrication de microsystèmes micro-usinés en volume par la face avant, par le groupe MiCroSystème, autorisant ainsi la réalisation intégrée des thermopiles et du frontal de lecture. Ce chapitre commence par une description résumée des caractéristiques de cette filière technologique.

La définition de la technologie de fabrication déclenche le démarrage des activités de durcissement et de caractérisation. La section 6.3 est consacrée à l'analyse estimative des dysfonctionnements qui pourraient avoir lieu sous la contrainte du rayonnement. Les solutions applicables pour chaque forme de détérioration sont énumérées, et des calculs approximatifs sont effectués, de manière à estimer la gravité du problème et l'amélioration apportée par les solutions proposées.

Les considérations théoriques et approximatives ont autorisé un pronostic favorable, par rapport à la tolérance à l'irradiation. La continuation du travail a été la vérification expérimentale de la détérioration sous la radiation. Un programme de caractérisation de la technologie a été développé, avec la conception d'un véhicule de test spécifique. Les moyens et la méthodologie employés dans ce programme sont détaillés dans la section 6.4. Cette section est finie avec une évaluation de la qualité des données à partir des allures des courbes.

La section suivante est dédiée à l'analyse des données. Cette analyse commence par l'extraction des paramètres électriques des transistors MOS. Les principes, problèmes et avantages de chaque méthode d'extraction sont étudiés. Les résultats de cette extraction sont mis à profit pour l'évaluation des deux composantes de la charge piégée sous la grille. On constate que la détérioration de la mobilité de porteurs des transistors ne suit pas le modèle généralement accepté.

L'analyse des données est poursuivie avec l'étude du cas des diodes. Ces dispositifs ont présenté un comportement assez compliqué, qui a demandé une réflexion approfondie. Ce comportement a constitué une surprise, puisque il n'est traité dans aucune publication sur le durcissement.

La dernière structure abordée dans la section est le FOXFET. La bonne tenue conférée par les techniques de durcissement employées réduit l'analyse à une comparaison d'efficacité relative. Les courbes du FOXFET simple permettent d'observer la tolérance de la technologie.

La dernière section rassemble les éléments dégagés de la caractérisation expérimentale et dresse une liste de recommandations pour la conception du frontal de lecture des thermopiles. Enfin, des efforts similaires de caractérisation de technologies standard commercialement disponibles, pour la réalisation de circuits intégrés tolérants aux rayonnements, sont brièvement rapportés.

6.2 Description générale de la technologie

La réalisation d'une barrette de thermopiles conjointement avec l'électronique impose certaines exigences au niveau de la technologie de fabrication. Premièrement, il doit être possible de fabriquer des thermocouples suspendus. Cette condition est satisfaite par plusieurs technologies offertes à travers du service CMP.

En deuxième place, il doit être possible de réaliser le circuit de lecture de l'ensemble de thermopiles. Ce circuit comprend :

- un multiplexeur de signal analogique, à faible R_{on} ;

TAB. 6.1 – Les principales caractéristiques de la technologie 1,2 μm CMOS bulk d'AMS[105].

Paramètre	Valeur		Remarques
t_{ox}	24,5	nm	
t_{fox}	550	nm	
min W	2,0	μm	dessiné
min L	1,2	μm	dessiné
NSUBN	24×10^{15}	atomes/ cm^3	
NSUBP	15×10^{15}	atomes/ cm^3	
$V_{th-nmos}$	0,75	V	
$V_{th-pmos}$	-0,78	V	
KP_n	75	$\mu\text{A}/\text{V}^2$	
KP_p	27	$\mu\text{A}/\text{V}^2$	
V_{th-fox}	17	V	FOX-FET poly1/substrat-p

- un amplificateur à très faible bruit en basses fréquences.

La réalisation de ces circuits appelle une technologie orientée aux applications analogiques, ayant le plus faible niveau de bruit possible.

Enfin, la technologie doit être assez mûre, pour que les étapes de fabrication ne subissent plus des modifications qui pourraient avoir des conséquences sur la réponse aux rayonnements ionisants.

Cet ensemble de critères a conduit au choix de la technologie CMOS bulk avec un pas de grille de 1,2 μm (CAE) d'AMS¹[105]. Les principales caractéristiques de cette filière sont :

- technologie CMOS sur substrat massif du type p, à caisson simple du type n. L'épaisseur de la puce, au moment de l'encapsulation, est d'environ 525 μm ;
- deux niveaux de polysilicium, fortement dopé, sans siliciure ;
- deux niveaux de métal (aluminium) ;
- des contacts en aluminium, avec une couche de barrière en $TiN : Ti$;
- une isolation du type LOCOS, ayant une épaisseur de 550 nm ;
- des transistors NMOS avec grille en polysilicium n+ dégénéré ;
- des structures LDD pour les NMOS, créées utilisant espaceurs non-amovibles en SiO_2 ;
- des transistors PMOS avec grille en polysilicium p+ dégénéré ;
- une isolation LOCOS-USG-BPSG entre les couches en métal et le substrat.

Les paramètres de la technologie les plus importants sont donnés dans le tableau 6.1.

La technologie AMS CAE est proposée pour les applications mixtes (analogiques-numériques) de basse tension (5 V). Des microsystèmes peuvent être fabriqués à travers d'une étape de gravure humide postérieure à la fabrication. Ce procédé a été mis au point par l'équipe du groupe MiCroSystèmes du Laboratoire TIMA[106], et autorise la fabrication de thermocouples suspendus du type poly-aluminium (voir figure 5.14).

1. Austria Mikro Systeme International AG, Schloß Premstätten - Unterpremstätten, Austria

6.3 Évaluation théorique de la réponse à la radiation

La mise au point des étapes de fabrication, ainsi que les normes de contrôle de la technologie standard choisie ont été définies par la fonderie sans prendre en compte l'impact de ces activités sur la sensibilité aux rayonnements. Cela semblerait à première vue très décourageant, mais en fait il n'est pas un obstacle majeur, du fait de ce que l'on peut nommer le «cycle de vie» d'une technologie.

Au moment de son apparition dans le marché une nouvelle filière n'a pas encore atteint son rendement maximal, c.-à-d. que les paramètres technologiques peuvent varier de manière substantielle d'un lot à l'autre. Au fil du temps le fabricant acquit, par la pratique et par le progrès technique, la maîtrise «fine» du procédé de fabrication. Une fois que le rendement ait atteint son point optimale ce procédé est «figé», de manière à pousser au maximum le retour sur l'investissement de capital². En effet, les caractéristiques de la technologie resteront stables jusqu'à son retrait du marché. Cette dernière phase est le stade approprié pour la qualification pour l'espace.

Le problème se réduit alors à déterminer si la technologie, à sa maturité, possède un degré suffisant de tolérance aux rayonnements. Si la technologie se montre trop sensible, il faut étudier les techniques de durcissement possibles, et établir leur efficacité. Le durcissement ne peut être réalisé que par des techniques de conception, vu qu'aucune modification au niveau du procédé de fabrication est possible (ou justifiable).

Les dégradations nuisibles sont la perte de l'isolation entre dispositifs et la dérive des paramètres électriques. La meilleure façon d'évaluer ces dégradations est la caractérisation expérimentale. Cependant, le coût et le délai exigés par une telle procédure ne sont pas négligeables. Il est utile alors d'effectuer une analyse théorique pour identifier les structures sensibles dans la technologie choisie. Le niveau de dégradation des structures peut être très souvent grossièrement estimé à partir des paramètres du procédé de fabrication. Cette estimation peut guider le choix des techniques de durcissement applicables, et aider dans la préparation de la caractérisation expérimentale. Pour la technologie CMOS choisie les dégradations concernent trois structures; l'isolation LOCOS, les transistors MOS et les jonctions p-n à la surface.

6.3.1 L'isolation LOCOS

Le phénomène responsable de la défaillance du circuit intégré est le plus souvent la dégradation de l'isolation entre les transistors NMOS dans le substrat-p, à la suite de l'accumulation de charge électrique dans l'oxyde LOCOS. Le sujet a été traité dans les chapitres précédents (voir les sections 5.2.1 et 4.3). La technologie AMS CAE utilise un oxyde LOCOS avec une épaisseur d'environ 550 nm. L'oxyde LOCOS est surplombé d'une fine couche de nitrure-oxyde ($Si_3N_4-SiO_2$), déposée pour réaliser le diélectrique des capacités poly1-poly2. L'ensemble LOCOS- $Si_3N_4-SiO_2$ est recouvert soit par une des deux couches en polysilicium, soit par une couche de verre CVD-BPSG. Cet empilement rend possible la formation de deux types de FOXFETs: le FOXFET poly1-LOCOS et le FOXFET métal1-BPSG-CVD-LOCOS.

Le FOXFET poly1-LOCOS-substrat

Le premier FOXFET a comme diélectrique l'oxyde LOCOS, et la grille est constituée par les pistes d'interconnexion en polysilicium. La tension de seuil de ce FOXFET est fournie par

2. ROI – Return on Investment

la fonderie, et elle est d'environ 12-17 V. On peut supposer qu'il existe une implantation de blocage, mais sa valeur n'est pas connue. Pour l'estimer on peut utiliser les relations données dans le chapitre 2. La tension de seuil peut être calculée par l'équation 2.27, où le terme V_{SB} devient nul et C_{ox} doit être remplacé par C_{fox} ($C_{fox} = \epsilon_{ox}/t_{fox}$). L'expression de la tension de seuil du FOXFET est donc :

$$V_{th-fox} = V_{FB} + 2|\phi_F| + \frac{\sqrt{4qN_{SUB}\epsilon_{Si}|\phi_F|}}{C_{fox}} \quad (6.1)$$

où on a fait la substitution du terme γ par l'équation 2.28. Le terme ϕ_F peut être calculé par l'équation 2.21. La tension de bandes plates V_{FB} (équation 2.25) peut être exprimée dans la forme simplifiée donnée par l'équation 2.29 :

$$V_{FB} = \phi_{ms} + q \frac{NSS}{C_{fox}} \quad (6.2)$$

La différence de travail d'extraction ϕ_{ms} pour cette structure est donnée par l'équation 2.22. Le terme NSS de l'équation 6.2 regroupe l'effet de toutes les charges dans la structure MOS (voir la section 2.4.2), avec la supposition que la charge de l'implantation de blocage l'emporte par rapport à toutes les autres. Dans le contexte de l'équation 6.2, le terme NSS représente la densité de porteurs implantés par unité de surface sous l'oxyde LOCOS, et apporte une contribution positive à V_{FB} . Il ne reste qu'à substituer les valeurs des constantes physiques et la valeur du dopage du substrat-p, fournie par la fonderie (15×10^{15} atomes/cm³), pour calculer NSS.

$$\begin{aligned} 12V, 17V &= -0,9 + 0,72 + \frac{(1,6 \cdot 10^{-19})NSS}{6,3 \cdot 10^{-9}} \\ &+ \frac{\sqrt{4(1,04 \cdot 10^{-12})(1,6 \cdot 10^{-19})(15 \cdot 10^{15})(0,36)}}{6,3 \cdot 10^{-9}} \end{aligned}$$

On obtient une implantation de blocage de $1-3 \times 10^{11}$ atomes/cm². Cette implantation engendre une montée de la tension de seuil du FOXFET d'environ 7 V, ce qui amène la tension de seuil V_{th-fox} finale à sa valeur de 12V-17 V.

Estimation de la dérive de V_{th-fox}

L'expression 6.1 et la connaissance des termes V_{FB} et NSS permettent le calcul de la magnitude de la charge électrique piégée nécessaire pour réduire la tension de seuil V_{th-fox} au niveau du rail positive d'alimentation, V_{DD} (5 V). La relation entre la dose absorbée et la dérive de V_{FB} est donnée par l'équation 5.1. Pour l'appliquer il faut connaître la valeur du terme R^* , le rendement du processus d'interaction du rayonnement, c.-à-d. la fraction de la dose qui résulte en charge positive piégée capable d'influencer le substrat. Des publications[24, p.181] rapportent un rendement entre 0,05 (oxydes durcis) et 0,3 (oxydes standards). Si on utilise ces valeurs on calcule que la réduction de la tension de seuil du FOXFET à 5 V demanderait un niveau d'exposition entre 22 Krads(SiO_2) et 4 Krads(SiO_2). Hélas, ces rendements ont été mesurés sur des structures et procédés expérimentaux, qui n'ont probablement pas grand chose à avoir avec une ligne de production industrielle assurant la production de dizaines de milliers de tranches par an. Pour trouver une solution à ce problème on a mené une vaste recherche bibliographique, sans pour autant ressortir de nouveaux éléments autorisant une meilleure estimation du rendement.

Cet effort n'était pas totalement vain, puisque des indices intéressants ont été trouvés. Des données pertinentes ont été localisées dans trois publications, portant sur l'évaluation de la tolérance à l'irradiation de circuits intégrés développés pour le domaine de la physique des hautes énergies[107, 108]. Les puces en question sont des amplificateurs de charge «full-custom», fabriqués par des physiciens soit sur des filières CMOS semblables à la filière AMS CAE (Mietec 1,5 μm , Mietec 2,4 μm), soit sur la filière AMS CAE elle-même. Les résultats rapportés font état d'une tenue jusqu'à la centaine de Krads(Si), et même plus. Les auteurs de ces travaux se sont intéressés à mesurer seulement la dégradation de la performance globale. L'évolution des paramètres électriques des technologies n'a pas été explicitement relevée. Leurs résultats n'apportent donc pas plus d'éléments concrets pour la prévision du niveau de tolérance. Toutefois, on a été conforté dans notre choix de la technologie AMS CAE. Plus tard, d'autres données encourageantes ont fait surface[109]. Les comptes-rendus d'une réunion technique passé au CERN font état d'une bonne tenue des transistors MOS de la technologie AMS CAE, jusqu'à une dose de 27 Krads. Les transistors PMOS étaient très peu affectés, tandis que les transistors NMOS présentaient des courants de fuites jugés importants (1 μA). Cette information est arrivée quand nos travaux étaient déjà au stade de la réalisation des circuits intégrés.

Estimation du durcissement apporté par des anneaux de garde

L'absence de données sur le rendement empêche une estimation crédible de la dose absorbée nécessaire pour l'apparition des FOXFETs. On peut alors changer le cap de l'analyse, et chercher à répondre plutôt à la question : Si la tolérance est insuffisante, quel est le niveau d'amélioration que l'on peut avoir par l'utilisation des techniques de durcissement ?

La réponse à cette question dépend de la technique de durcissement appliquée. On a vu dans la section 5.5.1 qu'il existe deux techniques de layout pour faire face aux FOXFETs ; les anneaux de garde et le blindage du substrat. L'efficacité du blindage du substrat est liée directement à la tolérance de l'oxyde fin. Cette tolérance est a priori inconnue, par les mêmes raisons qui ont été évoquées pour l'oxyde épais. Par contre, il est assez simple d'estimer l'amélioration apportée par les anneaux de garde.

L'hypothèse de départ est que la structure qui surplombe l'anneau de garde présente le même comportement face à l'irradiation que l'isolation LOCOS sur le substrat. Dans ce cas, la présence de l'anneau de garde peut être considérée comme équivalent à une implantation de blocage plus élevée. Si on suppose que la charge piégée est une fonction linéaire de la dose, on peut alors établir un rapport entre la croissance du dopage et l'augmentation de la tolérance.

La concentration du dopage de l'implantation p+ n'est pas fournie par la fonderie. Cependant, la résistivité par carré ($R_{\square p+}$) est disponible. Le rapport entre cette résistivité et la résistivité en volume est donné par l'expression[11, p.6] :

$$R_{\square} = \frac{\rho}{t} \quad (6.3)$$

où t est l'épaisseur de la couche conductrice et ρ est la résistivité du matériau ($\Omega \cdot \text{m}$). Le dopage du Si peut être obtenu à partir de la résistivité avec l'aide d'un abaque[11, p.34]. Par cette procédure on a estimé le dopage de l'implantation p+ (représenté par N_{diffp+}) à environ 8×10^{19} atomes/cm³.

Le calcul de V_{th-fox} peut être réalisé de deux manières. Si on part de l'hypothèse que l'effet de l'anneau de garde est identique à une augmentation du dopage à la surface, on peut

simplement remplacer NSS dans l'équation 6.2 par le dopage à la surface. Si on suppose une distribution uniforme du dopage sur tout le volume de l'implantation p+, on peut estimer le dopage en surface à $3,2 \times 10^{15}$ atomes/cm². La tension V_{th-fox} pour ce dopage est alors proche à 80 000 V.

Cette valeur très élevée a conduit à une révision des simplifications appliquées. L'explication la plus raisonnable est que l'implantation p+ joue plutôt le rôle d'un substrat que celui d'une simple implantation ionique à l'interface. La procédure correcte serait alors de remplacer N_{SUB} par N_{diffp+} et recalculer tous les termes de l'équation 6.1. On obtient alors un V_{th-fox} égal à 875 V.

Ces calculs indiquent que l'emploi d'anneaux de garde pourrait augmenter la tolérance de départ de 50 fois.

6.3.2 Les transistors

Le deuxième facteur qui limite la survie des circuits intégrés dans l'espace est la dégradation des transistors MOS. Les mécanismes d'apparition et l'évolution de ces dégradations ont été discutés dans la section 5.2.2. On peut considérer que les rayonnements ionisants engendrent des dérives dans les caractéristiques électriques des transistors, et favorisent l'apparition de transistors latéraux parasites.

Il n'est pas possible d'éviter la dégradation du V_{th} et de la transconductance KP des transistors par des techniques de conception. La dérive de ces paramètres dépend entièrement du procédé de fabrication.

La seule alternative est l'adoption d'architectures de circuit moins sensibles à la dérive de ces caractéristiques électriques. Cette stratégie ne peut pas être appliquée aux circuits analogiques en général, car les paramètres électriques des transistors sont directement impliqués dans les caractéristiques de la fonction analogique réalisée par le circuit. On ne peut qu'espérer que l'épaisseur de l'oxyde sous la grille soit suffisamment réduite pour limiter la génération et le piégeage des charges. Il est possible d'estimer la dérive du V_{th} du transistor de la même façon que dans le cas du FOXFET, en appliquant l'équation 5.1. Ce calcul ne peut fournir qu'une estimation du pire cas de la dérive de V_{th} , une fois que le rendement et la guérison sont inconnus. Pour une dérive de V_{th} de 25 % on aura une dose entre 30 Krads(SiO_2) et 180 Krads(SiO_2), selon le rendement supposé (0,3 ou 0,05, respectivement). La dérive de KP est le résultat d'un processus plus compliqué (formation de N_{it} à l'interface), et aucune estimation peut être obtenue de manière simple. La même observation vaut pour les autres paramètres qui sont fortement affectés par N_{it} , comme NFS.

L'autre effet important de la radiation ionisante sur les transistors est l'apparition de courants de fuite aux bords des dispositifs NMOS. Le phénomène est dû à la structure en bec d'oiseau qui existe dans ces régions. La prévision de l'ampleur du problème a fait l'objet de quelques travaux de recherche[110]. Toutefois, l'obstacle demeure d'estimer le rendement du processus de génération de charges.

Les transistor latéraux peuvent être éliminés par le dessin de transistors NMOS à géométrie fermée (voir la section 5.5.1). Néanmoins, cette solution n'est pas toujours convenable.

On peut faire appel aussi aux anneaux de garde p+. Dans le cas de la technologie AMS CAE, ces anneaux ne peuvent pas être fabriqués sous le polysilicium, ce qui nous limite à une structure comme celle montrée dans la figure 6.1. Le bec d'oiseau au bord du canal est interrompu. Par contre, l'existence des espaces en oxyde aux bords du polysilicium compromet l'efficacité de la structure. Ce fait est dû à plusieurs facteurs; l'absence d'implantation

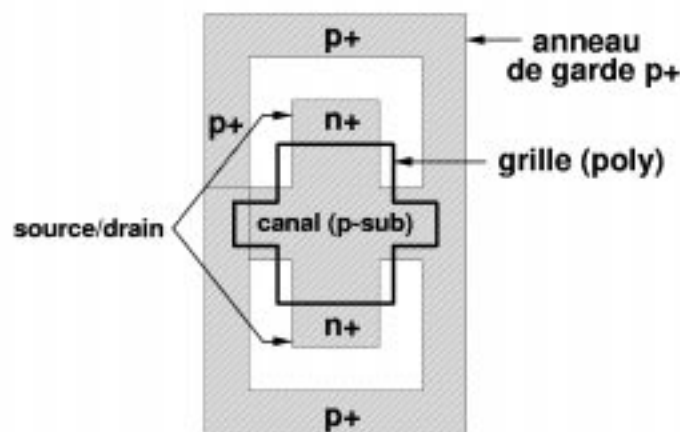


FIG. 6.1 – Durcissement du transistor NMOS de la technologie AMS CAE par l'utilisation d'un anneau de garde.

de blocage, le piégeage de charge dans l'espaceur, et l'absence de dopage sous l'espaceur (il n'y a pas de LDD pour les sources/drains du transistor PMOS). L'efficacité de la technique sera fonction de l'existence ou non d'un dopage du type p sous l'espaceur. Cela devrait être le cas, à cause de la diffusion latérale de l'implantation p+. Cette diffusion latérale peut être estimée comme proche à $0,8x_j$, où x_j est la profondeur de la diffusion [111, p.53] ($0,4 \mu\text{m}$). La largeur de l'espaceur à la base est un peu inférieure à l'épaisseur de la grille ($0,37 \mu\text{m}$), ce qui indique que l'implantation p+ s'étendra jusqu'au bord du canal sous l'espaceur. L'absence d'un oxyde épais sous la grille constitue déjà une importante amélioration par rapport au transistor simple.

6.3.3 Les diodes planaires

La radiation ionisante altère la région désertée des diodes planaires (voir section 5.2.4). L'élargissement de la région désertée des jonctions p-n planaires à cause de la charge piégée dans l'oxyde LOCOS est simplement un autre effet de l'inversion sous l'isolation LOCOS. Les constatations du point de vue de la prévision de la réponse sont les mêmes que celles faites dans la discussion sur les FOXFETs. L'utilisation de la technique de blindage du substrat (section 5.5.1) permet d'éviter l'élargissement de cette région désertée. Si on accepte l'hypothèse que l'oxyde LOCOS et l'oxyde fin sous le polysilicium interagissent avec le rayonnement de la même manière on peut donc utiliser la relation 5.1 et le rapport entre t_{ox} (25 nm) et t_{fox} (550 nm) pour affirmer que l'écrantage du substrat autorisera un durcissement de l'ordre de 20 fois.

Les éléments passifs

Pour les autres éléments passifs (résistances, capacités), aucune altération significative est attendue, dans les limites d'exposition fixés pour ces travaux (1 Mrads(Si)).

6.4 Caractérisation expérimentale

Les considérations de la section précédente ont indiqué que la technologie AMS CAE devrait présenter un niveau satisfaisant de tolérance aux rayonnements ionisants, notamment avec l'adoption des techniques de layout proposées. Il reste à vérifier si les estimations s'accordent avec la réalité.

Un programme de test a donc été développé, avec trois objectifs principaux :

- cerner le degré de dégradation induit par la radiation ionisante (dose cumulée) ;
- explorer l'efficacité des techniques de layout pour le durcissement ;
- identifier les mécanismes responsables des dégradations.

Pour aboutir à ces objectifs, on a irradié et mesuré une puce, le véhicule de test. Les données obtenues ont été ensuite analysées. Les moyens utilisés, la méthodologie suivie et les courbes obtenues sont donnés dans cette section. L'ensemble d'activités décrites a été mené en collaboration avec la société SODERN³.

6.4.1 Moyens

La caractérisation des altérations provoquées par la radiation ionisante est compliquée par la superposition avec les effets électriques parasites normalement présents dans les circuits intégrés. Pour mieux discerner les effets dus aux rayonnements, on a conçu et fait fabriquer un véhicule de test spécifique.

Cette puce comporte plusieurs structures, dont juste une partie est utilisée dans cette étude. Ces structures sont des transistors MOS, des diodes et des FOXFETs.

Chaque transistor NMOS est épaulé par un transistor PMOS avec un dessin identique, la paire de transistors. Le rapport $\frac{W}{L}$ des paires de transistors s'étend sur 9 octaves, à partir d'un rapport initial équivalent à $\frac{1}{16}$.

Pour les diodes, chaque type est réalisé en deux tailles, avec des rapports superficie/périmètre qui diffèrent de dix fois.

Les FOXFETs sont formés par une grille en métal sur le substrat-p. La source et le drain sont réalisés par deux implantations n+, une à chaque extrémité de la grille métallique. Le tout est entouré par des implantations p+ de blocage et des structures de blindage du substrat. Cette structure de base est implantée quatre fois. Le but des multiples implantations est de vérifier l'effet des techniques de blocage (l'implantation p+, le blindage du substrat, et la combinaison des deux) sur la tension de seuil du FOXFET.

Les dimensions de chaque élément sont données dans le tableau 6.2. La manière dont ils sont branchés à l'intérieur du véhicule est illustrée dans la figure 6.2.

La puce, mesurant 2900 μm par 2000 μm a été encapsulée dans un boîtier céramique du type JLCC68, ayant un couvercle amovible fixée par ruban adhésif. Le dessin de la puce entière est montré dans la figure 6.3.

Source et conditions d'exposition

Les irradiations ont été effectuées chez CIS Bio International⁴, une filiale de la Compagnie ORIS Industrie S.A., avec l'irradiateur PAGURE (^{60}Co). Les irradiations ont eu lieu la nuit, à

3. SODERN, 20 Av. Descartes F-94451, Limeil-Brévannes

4. CIS Bio International, BP 32, F-91192 Gif-sur-Yvette

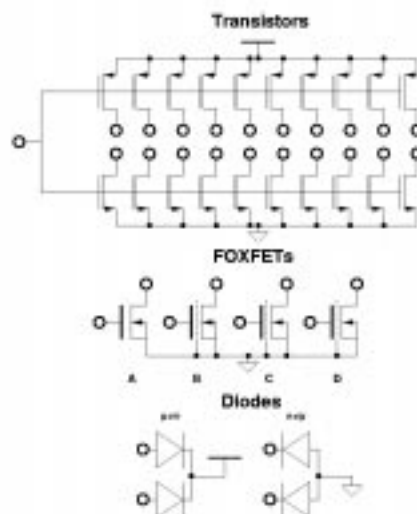
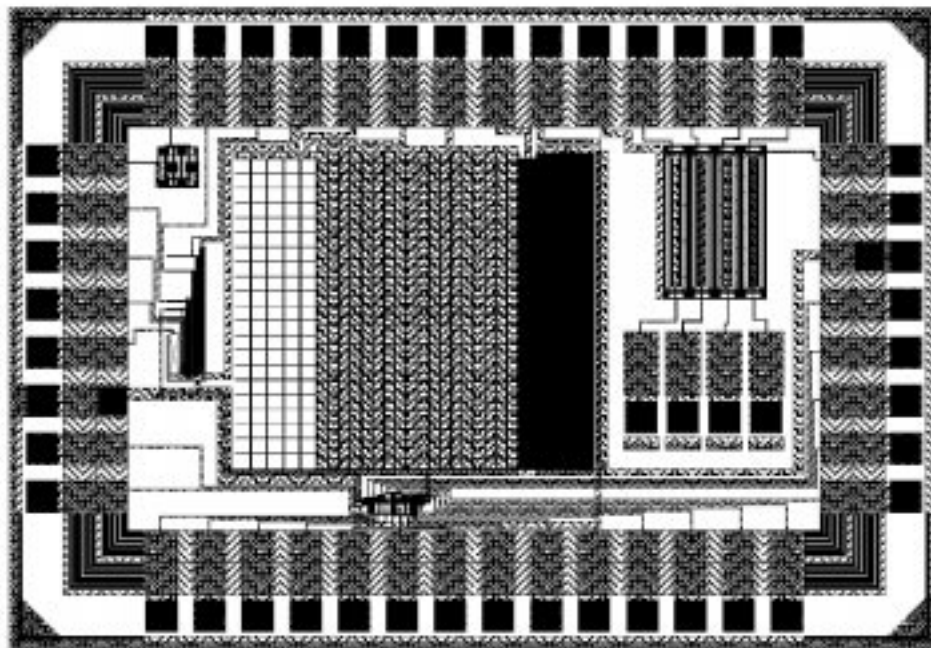


FIG. 6.2 – Dispositifs disponibles dans le véhicule de test.

TAB. 6.2 – Les principales caractéristiques des dispositifs du véhicule de test utilisés pour caractériser la réponse à la radiation ionisante.

Transistors			
NMOS/PMOS	W	L	Remarques
	2	32	dessin de masque, en μm
	4	32	
	8	32	
	16	32	
	32	32	
	19,2	19,2	
	19,2	9,6	
	19,2	4,8	
	19,2	2,4	
19,2	1,2		
Diodes			
	S	P	Remarques
p+/n	16 464	23 520	21x1 éléments
	129 360	18 480	33x5 éléments
n+/p	82 320	117 600	21x5 éléments
	465 696	66 528	33x18 éléments
FOXFETs (W=400,L=18)			
A	struct. métal/BPSG/CVD/FOX/substrat-p		
B	avec barrière field-shield		
C	avec barrière p+		
D	avec barrière p+/shield		

FIG. 6.3 - *Layout du véhicule de test.*TAB. 6.3 - *Conditions d'irradiation des véhicules de test.*

Jour	Débit (Krad(Si)/h)	Distance (m)	Durée	Dose (Krads)	Remarques
J	-	-	-	0	mesures initiales
J+1	1,8	3,21	16h40	30	
J+2	4,2	2,1	16h40	70	100 Krads cumulée
J+3	6	1,76	16h40	100	200 Krads cumulée
J+4	3	2,5	64h	200	400 Krads cumulée
J+7	10	1,36	40h	400	800 Krads cumulée
J+9	stockage/+100°C	-	168h	-	recuit/mesures finales

des durées et des débits variables. Les conditions des essais sont résumées dans le tableau 6.3. Les véhicules de test ont été disposés sur des supports alimentés par un ensemble de piles de 4,5 V. La polarisation des dispositifs durant le transport, l'irradiation et l'attente pour les mesures est donnée dans le tableau 6.4. Le schéma d'implantation dans l'irradiateur est montré dans la figure 6.4.

Équipement et conditions des mesures

Les mesures électriques ont été effectuées chez SODERN, avant le début des expositions, et dans la journée suivante à chaque séance. Ces mesures sont faites par l'intermédiaire d'une maquette spécifique. Elle compte une multitude d'interrupteurs, autorisant ainsi la sélection du dispositif et de la mesure à effectuer. Les données mesurées sont :

- la courbe du NMOS dans la région linéaire ;
- la courbe du NMOS dans la région de saturation ;

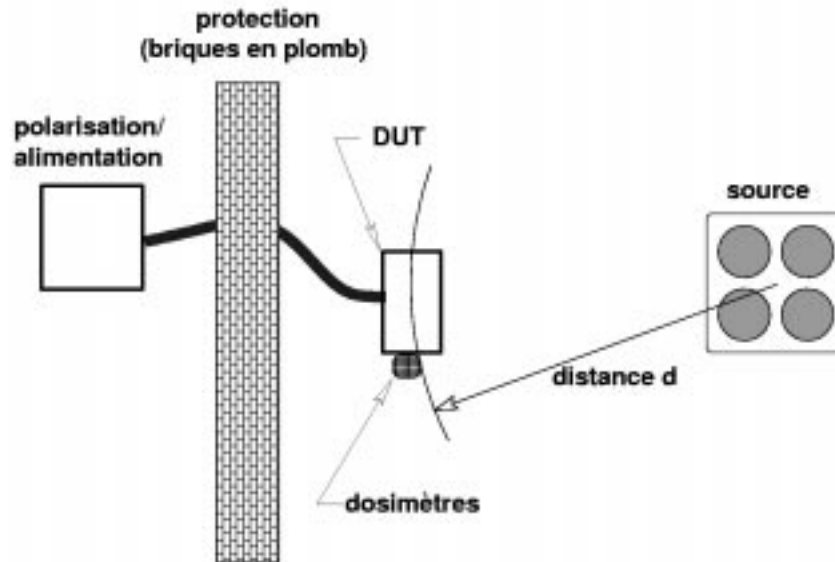


FIG. 6.4 – Conditions d'irradiation du véhicule de test à Saclay.

TAB. 6.4 – Conditions de polarisation des dispositifs durant l'irradiation.

Transistors			
Type	V_G	V_D	V_S
PMOS	$(V_{DD} + V_{SS})/2$	V_{SS}	V_{DD}
NMOS	$(V_{DD} + V_{SS})/2$	V_{DD}	V_{SS}
FOXFETs	V_{DD}	V_{SS}	V_{SS}
Diodes			
Type	Cathode	Anode	
p+/n	V_{DD}	V_{SS}	
n+/p	V_{DD}	V_{SS}	

- la courbe du PMOS dans la région linéaire ;
- la courbe du PMOS dans la région de saturation ;
- le courant de fuite par l'anode des diodes dans le caisson ;
- le courant de fuite par le cathode des diodes dans le substrat ;
- le courant de fuite des FOXFETs ;
- la courbe des FOXFETs dans la région de saturation ;
- la courbe du bruit en basse fréquence des transistors.

La maquette génère aussi des tensions auxiliaires (+5 V, +4,85 V, +50 mV) nécessaires aux polarisations des dispositifs, à partir d'une tension de référence précise et stable (un AD584, qui fournit une tension de +5,000 V avec une dérive de 5 ppm/°C). Les mesures quasi-statiques sont assurées par un pico-ampèremètre KEITHLEY 465 et une alimentation programmable HP6038A. L'appareillage est piloté par un ordinateur, par le biais d'une liaison GPIB, qui assure aussi le transfert pour le stockage des données dans l'ordinateur. Les mesures sont faites à température ambiante.

6.4.2 Méthodologie

Tout d'abord, cinq puces (sélectionnées au hasard après le découpage des tranches) ont été montées sur la maquette et des mesures initiales (et complètes) ont été prélevées. Ensuite, un véhicule a été choisi au hasard et mis à côté (non-alimenté) comme témoin, tandis que les quatre autres ont été soumis aux irradiations. Les mesures sont faites durant la journée, après chaque séance d'irradiation. À ces moments le véhicule-témoin est caractérisé à nouveau.

6.4.3 Mesures

Il existe un large éventail de techniques pour observer les altérations des paramètres technologiques induites par la radiation ionisante. Les techniques les plus sophistiquées permettent une identification précise et minutieuse des mécanismes de dégradation. Cependant, les moyens (personnel et équipement spécialisés) demandés, couplés aux échéances du projet de développement du circuit de lecture, ont poussé vers la définition d'un ensemble de mesures à la fois simple et efficace. Ce défi a été relevé, avec l'emploi exclusif de mesures quasi-statiques.

Dans un premier instant les mesures permettent d'observer la dérive de V_{th} et KP, l'augmentation du courant à l'inverse des diodes et l'abaissement de la tension de seuil V_{th-fox} . L'analyse de ces données renseigne sur les deux types des charges piégées dans l'oxyde, Q_{it} et Q_{ot} .

Transistors

La mesure de la courbe de transfert des transistors MOS est effectuée dans les régions linéaire et de saturation. Le schéma électrique est donné dans la figure 6.5. Aucun effort a été entrepris pour mesurer de manière plus précise l'évolution de la courbe dans la région de sous-seuil. Ceci est dû à la difficulté d'identifier automatiquement cette région, du fait de la dérive de la tension de seuil avec l'irradiation.

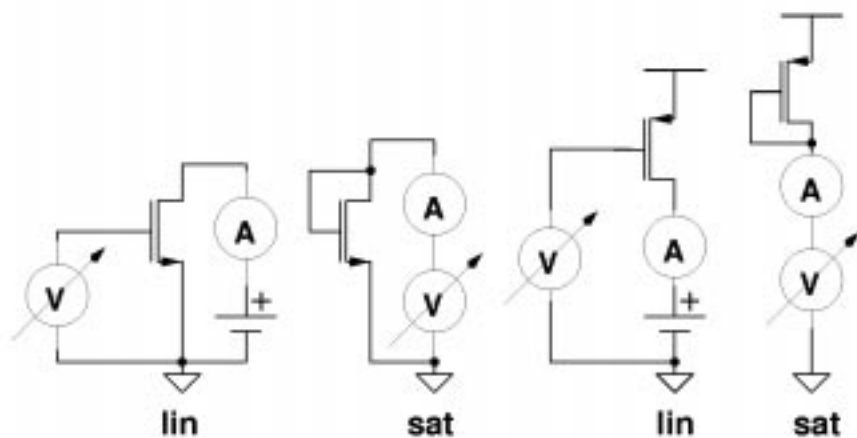


FIG. 6.5 – Montage pour la mesure de la courbe de transfert des transistors MOS dans la région linéaire et de saturation.

La mesure de la courbe de transfert dans la région linéaire est effectuée en balayant la tension de la grille (V_{GS}) entre les rails d'alimentation, avec un pas de 100 mV. La tension entre drain et source (V_{DS}) est fixée à 50 mV pour les transistors NMOS, et 150 mV pour les transistors PMOS. La valeur du courant I_{DS} pour chaque valeur de V_{GS} est enregistrée.

Pour la région de saturation la grille est court-circuitée au drain et la tension V_{GS} est balayée entre les rails d'alimentation, avec un pas de 100 mV. Le courant I_{DS} correspondant à chaque V_{GS} est enregistré.

FOXFETs

Les mesures sur les FOXFETs cherchent à caractériser le déclin de la tension de seuil, de deux manières. Dans un premier temps, on mesure le courant de fuite du drain pour une tension de grille égale à 5 V.

La deuxième mesure consiste à extraire la courbe de transfert du FOXFET dans la région de saturation. Le drain est court-circuité à la grille et la tension est balayée de 0 jusqu'à 20 V. Le courant est limité à $1 \mu\text{A}$, pour éviter la destruction lorsque on atteint la tension de rupture. Le schéma électrique pour les deux mesures est donné dans la figure 6.6.

Diodes

Pour les diodes on mesure simplement le courant de fuite correspondant à une tension en inverse de 5 V. Le montage pour chaque type de diode est montré dans la figure 6.7.

6.4.4 Résultats

Les courbes typiques récoltées sont données dans la figure 6.8. Les principales conclusions qui on peut tirer par un simple examen des courbes sont :

- la technologie s'est montrée très durcie, car aucun dispositif n'a cessé de fonctionner jusqu'à la fin de l'expérience (à 800 Krad(SiO_2)) ;
- la réponse est très uniforme, avec presque les mêmes dérives sur les quatre véhicules ;

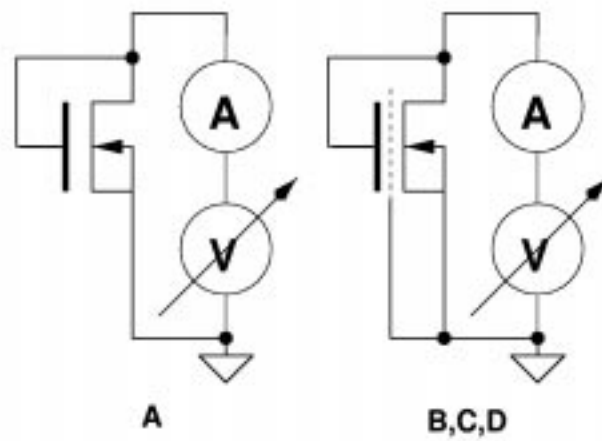


FIG. 6.6 – Montage pour la mesure de la courbe de transfert des transistors FOXFETs dans la région de saturation.

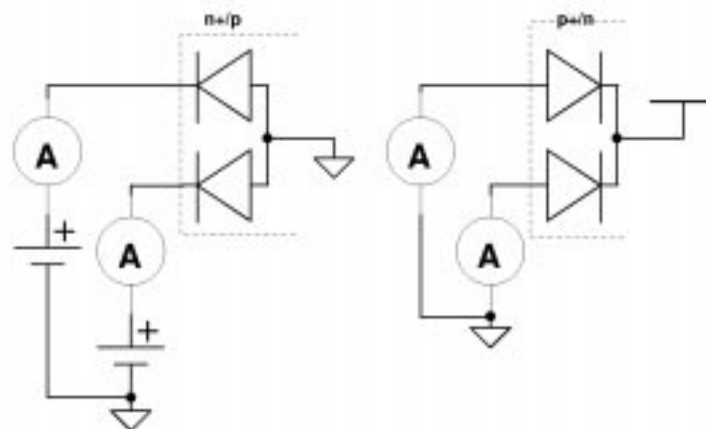


FIG. 6.7 – Montage pour la mesure du courant de fuite des diodes implantées dans le véhicule de test.

- les mêmes tendances sont observées sur des différents dispositifs du même type.

Avant d'entamer l'extraction des paramètres, il est utile de vérifier la qualité des données par une analyse qualitative. Cette analyse permet aussi de dégager les principales caractéristiques de la réponse de la technologie à l'irradiation.

Transistors

Premièrement, on peut observer que les transistors MOS ont un comportement distinct selon leur type. Les transistors NMOS montrent d'abord une faible réduction de la tension de seuil, suivie d'une forte augmentation. La super-guérison est exacerbée par le recuit, dévoilant la création d'un grand nombre d'états piègeurs à l'interface. La transconductance KP du transistor NMOS décroît avec l'irradiation. Une partie de cette perte est récupérée après le recuit. Ceci indique une forte influence de Q_{ot} sur KP, ce qui est inattendu.

Pour les transistors PMOS la tension de seuil progresse vers des valeurs plus négatives, sauf après le recuit, quand la tension de seuil subit une certaine augmentation. Cette évolution est compatible avec les suppositions de départ par rapport à l'évolution et l'effet combiné de Q_{it} et Q_{ot} sur $V_{th-pmos}$. Le comportement de KP est plus difficile à comprendre, car il semble rester à peu près inchangé au fil des séances, et même après le recuit. Cette évolution indiquerait que ni Q_{ot} ni Q_{it} ont une forte influence sur la transconductance du PMOS, ou que leur magnitude est beaucoup moins importante que dans les transistors NMOS.

L'examen à l'oeil des graphiques dans la région linéaire permet aussi de discerner des imperfections dans les mesures. Pour les transistors NMOS, on a distingué des discontinuités («marches») sur toutes les courbes, aux alentours de 20 nA et 200 nA, probablement dues au changement de l'échelle de l'appareillage de mesure. Pour les transistors PMOS, on a observé l'existence d'une courbure de la pente, notamment dans les dispositifs soumis aux plus forts courants. Cet effet peut être provoqué par la présence d'une résistance en série avec le transistor, notamment à sa source. Il n'est pas visible dans les courbes des transistors NMOS.

FOXFETs

Les essais sur les FOXFETs ont montré une tension de rupture initiale inférieure à 20 V. Ces événements ont endommagé un petit nombre d'entre eux de façon permanente, malgré l'existence d'une limitation de courant dans l'appareillage de mesure. La tension de rupture de presque toutes les structures a augmenté au delà de 20 V dès la première séance d'irradiation. Ce fait indique que la rupture se passe dans une jonction p-n (l'implantation n+ du drain du FOXFET), qui se trouve graduellement épaissie à la surface par l'irradiation.

Les mesures de la région de saturation pour chaque structure donnent des résultats assez uniformes pour tous les véhicules. Le FOXFET de base montre la sensibilité la plus importante, qui reste néanmoins assez faible, puisque le courant de fuite ne dépasse jamais la spécification du fondeur (1 μ A à une tension de 18,5 V). Les FOXFETs qui bénéficient des structures de blocage se sont montré nettement moins sensibles que le FOXFET simple. La structure la plus efficace a été l'implantation p+, suivie du blindage du substrat. La combinaison des deux structures a donné des résultats quasi-identiques aux résultats de l'implantation p+ seule. L'écart entre l'isolation conférée par chaque technique augmente avec la dose. Le recuit donne lieu à une récupération générale de l'isolation, toutefois les courants demeurent supérieurs aux valeurs d'avant l'irradiation.

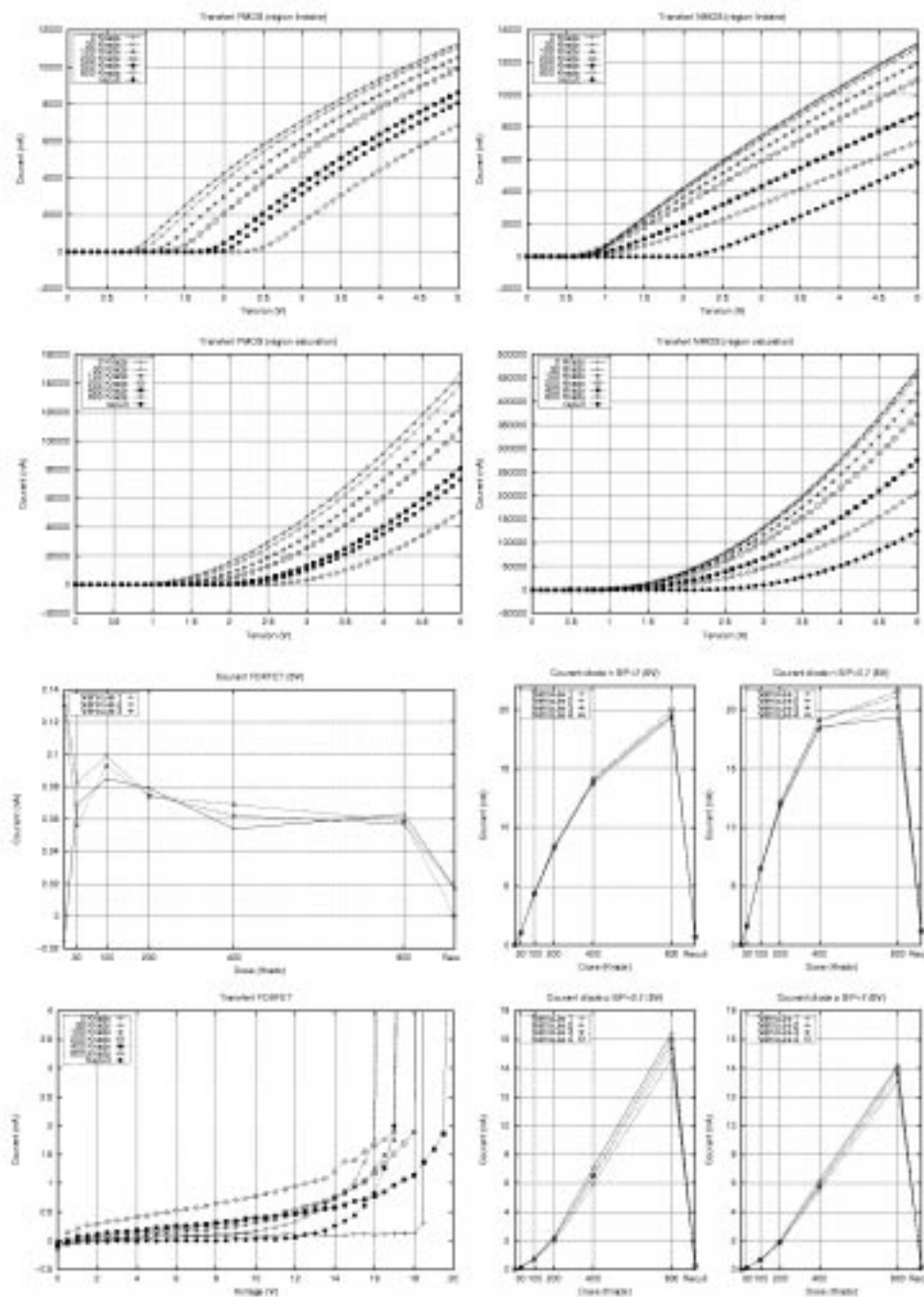


FIG. 6.8 – Mesures typiques des dispositifs irradiés.

Diodes

L'évolution du courant de fuite des diodes a été presque identique pour les mêmes dispositifs sur tous les véhicules. En outre, les diodes du même type ont eu un comportement similaire. Les courbes des diodes n+ sur le substrat p sont en accord avec les suppositions théoriques, c'est-à-dire une augmentation du courant du fait de l'élargissement de la région désertée. Cependant, les courbes des diodes p+ ont une allure plutôt inattendue, avec une croissance presque linéaire du courant de fuite avec l'irradiation. La chute du courant à la suite du recuit indique que le processus de génération de ce courant est lié à la charge positive piégée dans l'oxyde.

L'uniformité des mesures pour tous les véhicules et l'agrément général avec la théorie indique que la saisie des données a été faite correctement. La recherche d'explications pour les allures inattendues demande une analyse plus poussée. Cette analyse quantitative est détaillée dans la section en aval.

6.5 L'analyse des données

La dégradation des dispositifs a pu être observée simplement en traçant les courbes de mesures. Cependant, pour cerner précisément le niveau de dégradation il est nécessaire de procéder à l'extraction des paramètres électriques des dispositifs. Les dispositifs de plus grand intérêt sont les transistors MOS, à cause à la fois de leur rôle central dans la réalisation du circuit de lecture, et par la richesse de renseignements que l'on peut tirer de leur courbe de transfert. Les hypothèses issues de l'extraction de paramètres des transistors peuvent être vérifiées, dans une certaine mesure, par les résultats tirés des diodes et FOXFETs.

6.5.1 Transistors

Les principaux paramètres pour l'opération des transistors MOS sont la transconductance KP et la tension de seuil V_{th} . Du point de vue de l'évaluation de la robustesse de la technologie, les paramètres d'intérêt sont l'altération de la charge positive dans l'oxyde ΔQ_{ot} et la croissance de la charge piégée à l'interface ΔQ_{it} . Cette dernière est considérée comme étant proportionnelle à l'augmentation du nombre d'états piègeurs d'interface N_{it} . Ces états sont habituellement associés à la réduction de la mobilité des porteurs à la surface, et, par conséquent, la réduction de KP. Ils sont également responsables de la dégradation de la pente de sous-seuil, car le paramètre NFS représente l'influence des états piègeurs rapides à la surface. N_{it} regroupe les états profonds et rapides. L'évolution de ΔQ_{ot} et de ΔQ_{it} avec l'irradiation peut être estimée à partir du KP et du V_{th} du transistor.

Extraction de V_{th} et KP

Il existe plusieurs méthodes pour extraire la tension de seuil et la transconductance du transistor MOS. En fait, il existe plusieurs définitions pour la tension de seuil et la transconductance du transistor, selon le modèle utilisé pour le dispositif. Chaque méthode d'extraction calcule les valeurs de V_{th} et KP correspondantes à son modèle particulier. Ces modèles sont typiquement ceux utilisés pour la simulation électrique (voir la section 2.4.3). Dans le contexte de la caractérisation, l'objectif principal de l'extraction n'est pas d'obtenir des paramètres pour la simulation électrique, mais plutôt d'évaluer la dérive provoquée par la radiation. Pour

atteindre ce but, on a employé une version simplifiée du modèle de Schichman-Hodges (équation 2.30) :

$$I_{DS} = \begin{cases} 0 & V_{GS} < V_{th} & \text{(non-conduction)} \\ KP \frac{W}{L} (V_{GS} - V_{th} - V_{DS}/2) V_{DS} & V_{DS} < V_{GS} - V_{th} & \text{(linéaire)} & (6.4) \\ KP \frac{W}{2L} (V_{GS} - V_{th})^2 & V_{DS} \geq V_{GS} - V_{th} & \text{(saturation)} & (6.5) \end{cases}$$

où la transconductance $KP = \mu C_{ox}$ et μ représente la mobilité effective des porteurs majoritaires du canal. Ce modèle simplifié ignore de nombreux effets qui sont néanmoins présents dans les dispositifs mesurés. Pour la caractérisation de la réponse à la radiation deux phénomènes sont particulièrement nuisibles ; la résistance parasite en série avec le transistor et la réduction de la mobilité avec le champ électrique de la grille. La résistance en série est due à la résistivité des matériaux existants entre les bords du canal du transistor et les terminaux où sont faites les mesures. Sa présence est inévitable, notamment dans les transistors qui profitent d'une structure LDD. L'influence de la résistance parasite en série peut être minimisée par le dessin et en conduisant les mesures à des faibles niveaux de courant.

La réduction de la mobilité avec l'accroissement du champ électrique vertical est due à l'éparpillement accru des porteurs lorsque ils sont attirés vers l'interface $Si-SiO_2$. Pour minimiser le phénomène il faut effectuer les mesures à des niveaux de tension V_{GS} les moins élevés possibles.

La prise en compte de ces effets se traduit dans la réalisation des mesures sur des transistors polarisés dans la région linéaire (ohmique), avec des tensions peu élevées. Cependant, la caractérisation a comme objectif secondaire de fournir des renseignements sur le niveau de détérioration qu'on doit s'attendre pour les circuits utilisés dans l'amplificateur de lecture des thermopiles. Dans ces circuits analogiques, les transistors sont le plus souvent polarisés dans la région de saturation, avec des tensions et courants importants. Pour explorer la possibilité d'existence de mécanismes inattendus, les mesures ont été faites dans les deux conditions. Le même raisonnement a conduit à la décision de polariser les transistors à une tension V_{GS} égale à $(V_{DD} - V_{SS})/2$ durant l'irradiation. En outre, deux méthodes distinctes d'extraction ont été employées pour chaque région d'opération, pour avoir la certitude que les dérives observées ne sont pas des artefacts de la méthode de calcul.

Les deux méthodes employées pour la région linéaire sont l'extrapolation du courant à zéro et la méthode de Ghibaudo. La méthode de l'extrapolation du courant à zéro met l'équation 6.4 sous la forme :

$$I_{DS} = aV_{GS} + b$$

où :

$$V_{th} = -\frac{b}{a} - \frac{V_{DS}}{2} \quad (6.6)$$

$$KP = a \frac{L}{W} \frac{1}{V_{DS}} \quad (6.7)$$

Les termes a et b sont les coefficients de la droite tangente à la courbe des mesures, dans le point où le g_m (voir tableau 2.3) atteint sa valeur maximale. L'extrapolation du courant à zéro est la méthode utilisée par le fondeur pour contrôler le KP des lots.

La deuxième procédure utilisée pour l'extraction dans la région linéaire est une version simplifiée de la méthode de Ghibaudo[112]. Dans cette procédure, on modélise la région linéaire par la relation :

$$I_{DS} = KP \frac{W}{L} (V_{GS} - V_{th}) V_{DS} \quad (6.8)$$

Par conséquent, la transconductance en petits signaux est donnée par :

$$g_m = KP \frac{W}{L} V_{DS} \quad (6.9)$$

La manipulation des équations 6.8 et 6.9 permet d'écrire la relation :

$$\frac{I_{DS}}{\sqrt{g_m}} = \sqrt{KP \frac{W}{L} V_{DS} (V_{GS} - V_{th})} \quad (6.10)$$

qui a la forme :

$$Y = aV_{GS} + b$$

où :

$$V_{th} = -\frac{b}{a} \quad (6.11)$$

$$KP = a^2 \frac{L}{V_{DS} W} \quad (6.12)$$

Pour obtenir les facteurs a et b on effectue l'ajustement des mesures dans la région de forte inversion ($V_{GS} - V_{th} \geq 0, 2$) à l'équation 6.10. La tension de seuil V_{th} donnée par cette procédure n'est pas sensible à la réduction de la mobilité ou à la présence d'une résistance en série. La méthode intégrale autorise la séparation des deux effets lors du calcul de KP.

Les deux autres méthodes emploient les mesures faites dans la région de saturation. Cette région est modélisée par l'équation 6.5. La troisième méthode la met sous la forme :

$$\sqrt{I_{DS}} = \sqrt{\frac{KP W}{2 L}} (V_{GS} - V_{th}) \quad (6.13)$$

qui correspond à :

$$\sqrt{I_{DS}} = aV_{GS} + b$$

où :

$$V_{th} = -\frac{b}{a} \quad (6.14)$$

$$KP = a^2 \frac{2L}{W} \quad (6.15)$$

Les termes a et b sont obtenus par une régression linéaire à partir du point où la dérivée $\frac{d\sqrt{I_{DS}}}{dV_{GS}}$ des données atteint sa valeur maximale. Cette méthode est utilisée par le fondeur pour contrôler le V_{th} des lots.

La quatrième et dernière méthode consiste simplement à ajuster une parabole à l'équation 6.5 par une procédure de minimisation quadratique[113, p.671] :

$$I_{DS} = aV_{GS}^2 + bV_{GS} + c$$

où :

$$V_{th} = \frac{b}{2a} \quad (6.16)$$

$$KP = a \frac{2L}{W} \quad (6.17)$$

L'ajustement est effectué dans la région de forte inversion ($V_{GS} - V_{th} \geq 0,2$).

L'extraction de V_{th} et KP a été effectuée pour les 20 dispositifs présents dans chacun des 5 véhicules, pour les 6 niveaux d'exposition, plus le recuit, totalisant 1 400 fichiers. Les résultats sont analysés dans la suite.

Les mesures ont donné des courbes très similaires pour tous les véhicules irradiés. L'évolution de KP et de V_{th} avec l'irradiation et le recuit a été la même pour tous les transistors du même type. L'allure des courbes n'a pas changé de façon significative pour des dispositifs avec des rapports $\frac{W}{L}$ très distincts. Les résultats exposés ici seront illustrés par les courbes des transistors avec les dimensions (largeur W et longueur L) les plus importantes.

Les valeurs de KP et V_{th} extraites du véhicule-témoin sont montrées dans la figure 6.9. La stabilité des courbes témoigne de la précision des mesures et de la qualité de la procédure d'extraction. L'évolution de KP et V_{th} avec la dose est montrée dans les figures 6.10 et 6.11. On peut voir que la réponse du transistor NMOS à l'irradiation est nettement différente de celle du transistor PMOS.

Tout d'abord, on observe que la tension de seuil $V_{th-nmos}$ du transistor NMOS ne subit aucune réduction significative. Au contraire, le phénomène du rebondissement s'installe presque immédiatement, ce qui indique une prépondérance de ΔQ_{it} par rapport à ΔQ_{ot} . Le recuit provoque une croissance supplémentaire, du fait de l'élimination de ΔQ_{ot} . En ce qui concerne la transconductance, on observe une chute d'environ 50 %, avec l'allure d'une stabilisation vers 800 Krads(Si). La remontée de KP_n avec le recuit est un indice d'une influence de ΔQ_{ot} dans le mécanisme de dégradation. La comparaison du comportement de KP_n et $V_{th-nmos}$ à la fin du recuit autorise la formulation de deux hypothèses : le décalage de tension $\Delta V_{th-nmos}$ dû à ΔQ_{ot} est deux fois moins important que celui dû à ΔQ_{it} , et ΔQ_{ot} qui est responsable d'environ 5 % de la chute de KP_n . Dans les deux cas on suppose que la charge piégée Q_{it} ne croît pas de manière importante avec le recuit.

Le rendement R^* du processus de génération-recombinaison qui résulte dans la charge ΔQ_{ot} peut être estimé par le biais de l'équation 5.1, avec le remplacement de t_{fox} par t_{ox} . Les calculs donnent un rendement d'environ 0,04.

Le transistor PMOS a un comportement plus proche de nos suppositions de départ. Sa tension de seuil $V_{th-pmos}$ augmente avec la dose, vu que les effets de ΔQ_{ot} et de ΔQ_{it} vont dans le même sens. La décroissance avec le recuit est due à la suppression de ΔQ_{ot} . La transconductance KP_p du PMOS est beaucoup moins affectée que dans le cas du NMOS. Cependant, on peut discerner les mêmes tendances que pour le NMOS, c'est-à-dire une saturation de la dégradation avec l'élévation de la dose et une influence de ΔQ_{ot} . De manière un peu surprenante, on peut formuler les mêmes hypothèses que pour le NMOS : le décalage dû à ΔQ_{ot} est proche à 50 % de celui dû à ΔQ_{it} , et le terme ΔQ_{ot} semble contribuer à environ 5 % de la réduction de KP_p .

Le rendement R^* a été estimé par les mêmes moyens, ce qui a donné une valeur de 0,03, presque identique à la valeur obtenue pour le NMOS. Pour les deux cas le champ électrique imposé sur l'oxyde fin durant l'irradiation était le même, 1 MV/cm.

Donc, la différence de charge piégée entre les deux types de dispositif ne peut pas être attribuée au processus de génération-recombinaison. Une explication possible serait que des électrons sont plus aisément injectés dans l'oxyde à partir de la grille du transistor PMOS, annulant ainsi une partie de la charge positive dans l'oxyde. Cette injection serait favorisée par le type du dopage du polysilicium (p+) qui constitue la grille des transistors PMOS, et par la polarisation du dispositif.

La charge piégée à l'interface Q_{it} est aussi plus importante dans les transistors NMOS,

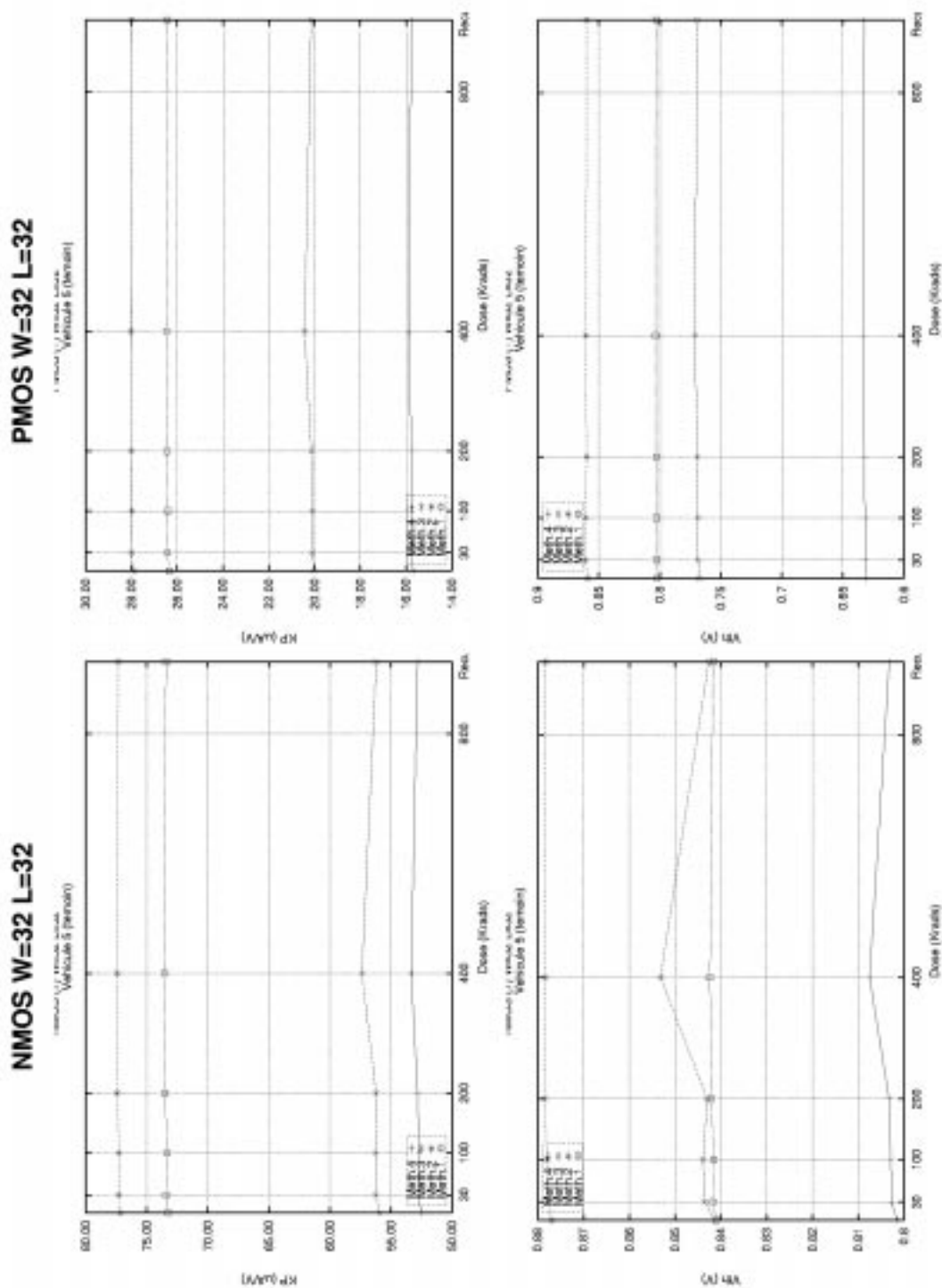
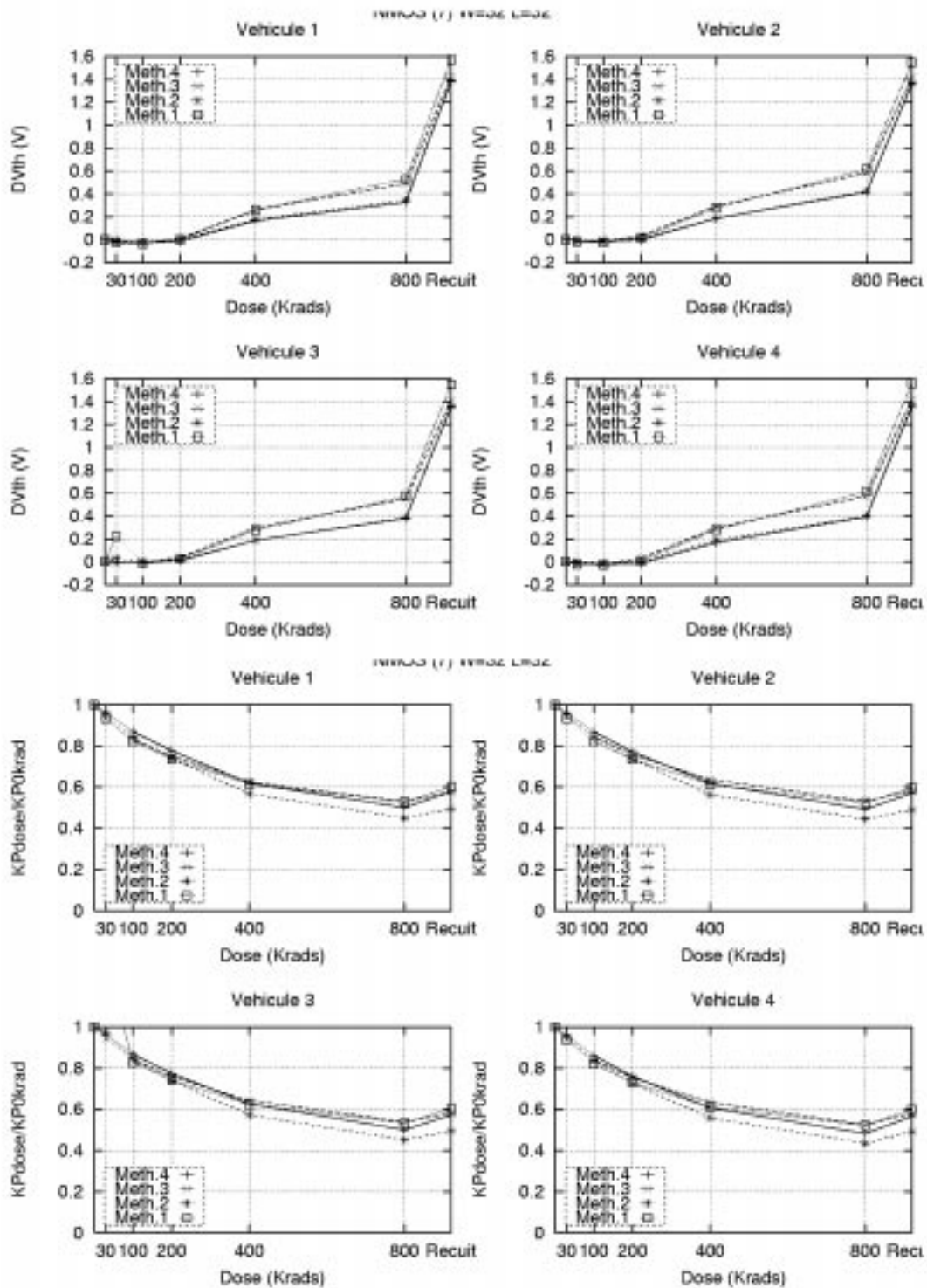
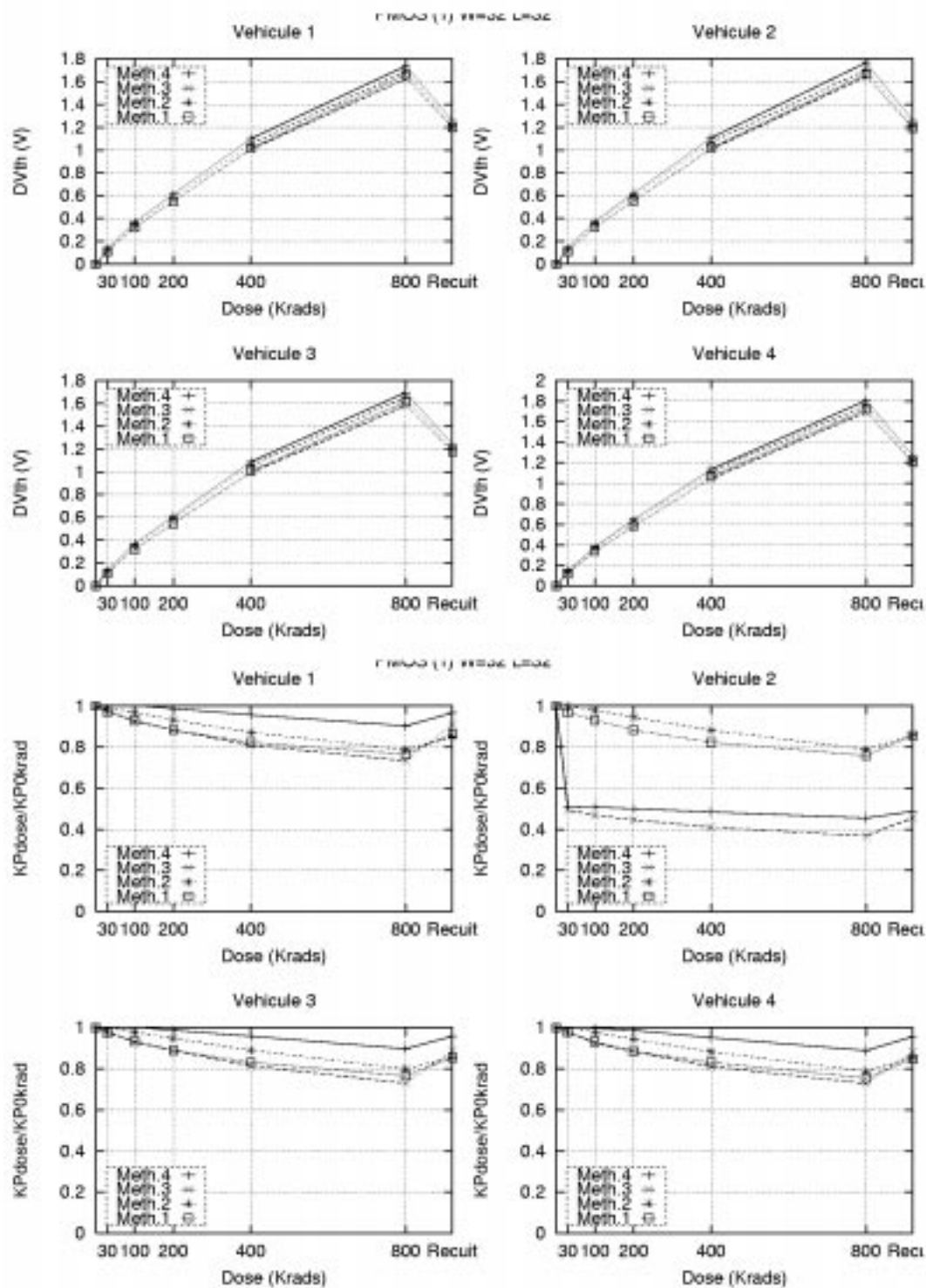


FIG. 6.9 – Transconductance KP et tension de seuil V_{th} des transistors du véhicule-témoin. Les paramètres ont été calculés par 4 méthodes distinctes, à partir des mesures effectuées à la fin de chaque séance d'exposition.

NMOS W=32 L=32

FIG. 6.10 – Évolution de $V_{th-nmos}$ et KP_n avec la dose.

PMOS W=32 L=32

FIG. 6.11 - Évolution de $V_{th-pmos}$ et KP_p avec la dose.

comme en témoigne la dérive du V_{th} des deux types de transistor à la fin du recuit. Dans ce cas plusieurs hypothèses sont à considérer :

- a. la polarisation du NMOS repousse les trous vers le canal et favorise l'apparition d'états piègeurs ;
- b. l'implantation d'ajustement de la tension de seuil du PMOS produit un canal de conduction plus éloigné de l'interface que pour le NMOS ;
- c. les porteurs responsables de la charge des pièges (électrons) sont injectés plus facilement à partir du canal des NMOS.

Les mesures effectuées ne permettent pas de trancher en faveur de quelconque parmi ces hypothèses. Toutefois, il est irréfutable que la dégradation du KP_n des NMOS par rapport au KP_p des PMOS est supérieure au rapport entre leurs respectives ΔQ_{it} (estimée par le rapport entre les ΔV_{th} à la fin du recuit).

L'implantation des paires de transistors dans le véhicule de test visait l'extraction des contributions de ΔQ_{it} et ΔQ_{ot} pour chaque dose, et non seulement après le recuit. Cette démarche est appuyée sur la technique d'extraction nommée «dual-transistor analysis»[114].

Hélas, cette technique est fondée sur plusieurs hypothèses simplificatrices, dont deux ont été manifestement violées :

- la charge positive piégée sous la grille a la même évolution pour les deux types de transistors ;
- la dégradation de la mobilité est due uniquement à ΔQ_{it} , et suit la relation 5.2.

La technique autorise le calcul d'un facteur de qualité α^* pour l'extraction, qui indique le respect aux hypothèses de base pour chaque point calculé. On a appliquée cette méthode à tous les 1400 fichiers, et le facteur α^* dans chaque cas a indiqué un piètre accord avec les principes de la méthode.

6.5.2 Diodes

Les mesures effectuées sur les diodes ont montré une importante augmentation du courant de fuite avec l'exposition à la radiation (figure 6.12). Les mesures effectuées sur des dispositifs de dimensions différentes donnent une idée du type de processus en jeu. Pour les deux types de diode on observe une corrélation entre le courant total et le périmètre de la diode. Pour une diode du même type, celle de plus grand périmètre a le courant le plus important, pour n'importe quelle dose. Cependant, le dessin de la matrice de diodes semble avoir aussi une influence, puisque le rapport entre les courants de fuite ne suit pas le rapport entre les périmètres (voir tableau 6.5).

On peut discerner quand même l'existence d'un rapport propre à chaque type de diode qui reste constant durant l'irradiation. La même tendance est présente pour les deux types de diode. On peut supposer que cet effet est dû au processus d'inversion du substrat dans toute la surface de la matrice.

Chaque dispositif de test est composé d'une matrice de diodes élémentaires. Ces matrices possèdent des nombres distincts de lignes et colonnes. Dans toutes les matrices, il existe une implantation de blocage entre les colonnes, qui limite l'extension de l'inversion du substrat. Si

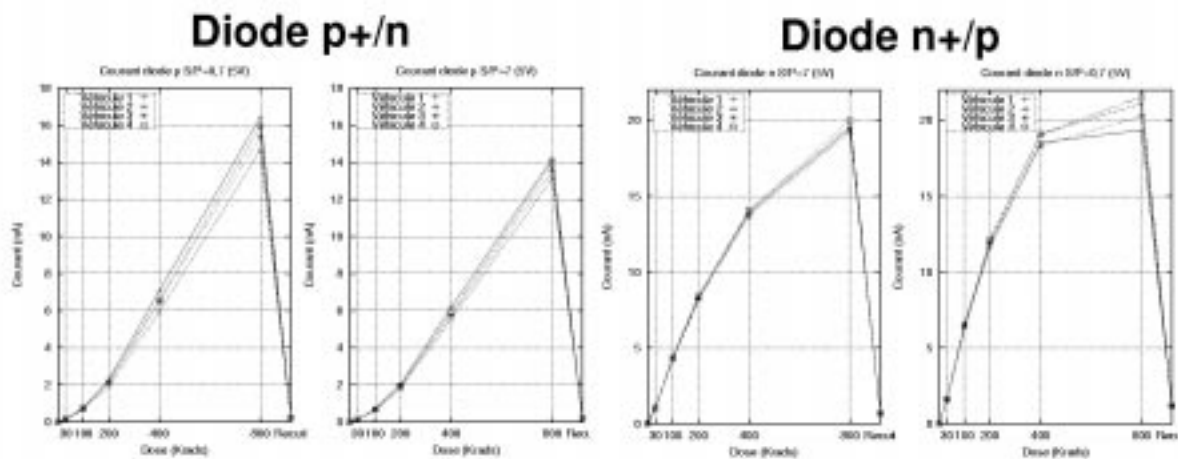


FIG. 6.12 – L'évolution du courant de fuite des diodes, polarisées en inverse à une tension de 5 V.

TAB. 6.5 – Courants de fuite typiques des différents diodes.

Dose KradSi	Courant fuite diode p+/n (nA)			Remarques
	$I_{S/P=7}$	$I_{S/P=0,7}$	$I_{S/P=0,7}/I_{S/P=7}$	
0	0	0	-	
30	0,133	0,152	1,14	
100	0,689	0,768	1,11	$(1 - 21 \times 1 / 33 \times 5) \times 1,273 = 1,11$
200	1,931	2,147	1,11	
400	5,770	6,497	1,13	
800	13,579	15,355	1,13	
recuit	0,190	0,240	1,26	$P_{S/P=0,7}/P_{S/P=7} = 1,273$
Dose KradSi	Courant fuite diode n+/p (nA)			Remarques
	$I_{S/P=7}$	$I_{S/P=0,7}$	$I_{S/P=0,7}/I_{S/P=7}$	
0	0,007	0,006	-	
30	1,019	1,585	1,56	
100	4,315	6,372	1,48	$(1 - 21 \times 5 / 33 \times 18) \times 1,77 = 1,46$
200	8,156	11,633	1,43	
400	13,868	18,541	1,34	
800	19,439	19,360	1,00	
recuit	0,675	1,166	1,73	$P_{S/P=0,7}/P_{S/P=7} = 1,77$

on corrige le rapport des périmètres par la proportion entre les dimensions (lignes et colonnes) des matrices, on obtient exactement le rapport entre les courants de fuite durant l'irradiation.

Cette relation se vérifie pour les deux types de diode. Ceci indique que l'effet de la radiation sur la surface se manifeste dès la première exposition, sur toute la surface entre les diodes élémentaires, mais limité par les implantations de blocage. La montée de la dose augmente de plus en plus l'épaisseur de la couche désertée, ce qui aboutit à la croissance presque linéaire du courant de fuite. La super-linéarité serait une conséquence de l'apparition simultanée d'états d'interface.

Le recuit supprime la charge positive piégée dans l'oxyde, et fait disparaître la région désertée. Le courant de fuite rémanent est dû aux états d'interface qui ont été formés à la surface de la jonction p-n originale. Ceci est facile à vérifier, puisque le rapport entre les courants de fuite à la suite du recuit est identique au rapport entre les périmètres des dispositifs.

Cette explication pour l'évolution du courant s'applique aussi bien pour les diodes n+ que pour les diodes p+. Cependant, il reste à expliquer l'existence même du courant de fuite des diodes p+, car une charge positive piégée dans l'oxyde ne pourrait pas élargir la région de déplétion de la jonction vers les dispositifs autour. Il existe deux possibilités ; un piégeage de trous plus important que d'électrons, ou l'élargissement de la région déplétée vers l'intérieur des diodes.

L'hypothèse d'un piégeage de trous dominant par rapport à celui d'électrons n'est pas vraisemblable, car on aura du mal à expliquer l'origine de ces pièges. Certes, il est vrai que l'implantation de blocage de champ (parfois à travers l'oxyde de champ) est différente dans le caisson n, mais un tel niveau d'apparition d'états piègeurs de trous, qui resterait même après le fluage et recuit, n'a jamais été rapporté.

L'explication alternative est la formation d'une région déplétée à l'intérieur de la région p+, comme il est montré dans la figure 6.13. Cela serait une conséquence du dopage moins important à la surface et aux bords de l'implantation, du fait du profil d'un dopage par implantation ionique, et de la migration des dopants dans le verre (ségrégation, repompage). Cette explication semble être la plus probable.

Enfin, il reste à expliquer la différence entre les allures des courbes des diodes p+ et des diodes n+. Le courant de fuite des diodes n+ plafonne autour de 20 nA. Ce phénomène est nettement visible dans les courbes de la diode n+ de large périmètre. Les courbes de l'autre diode n+ (large surface) montrent la même tendance, de façon moins évidente. La comparaison avec les courbes des diodes p+ fait ressortir très clairement l'effet.

Un erreur de saisie des données semble ne pas être en cause, vu que tous les véhicules et dispositifs ont montré le même comportement. Néanmoins, il est possible que l'effet soit dû au changement de l'échelle de l'appareil de mesure. L'absence d'une coupure nette milite contre cette hypothèse. Si l'effet n'est pas un artéfact de l'appareil, la seule alternative est que la couche désertée ait atteint son épaisseur maximale, à l'approche de l'inversion de la surface. Ce mécanisme serait plus prononcé dans la diode n+ de large périmètre à cause de la réduction du dopage du substrat au voisinage des bords des jonctions élémentaires. Le mécanisme ne serait pas visible dans les diodes p+ à cause du dopage surfacique relativement plus important, à l'intérieur des régions p+. Cela repousserait l'inversion de la surface à un niveau plus élevé d'exposition. La validation de cette théorie demanderait des mesures complémentaires.

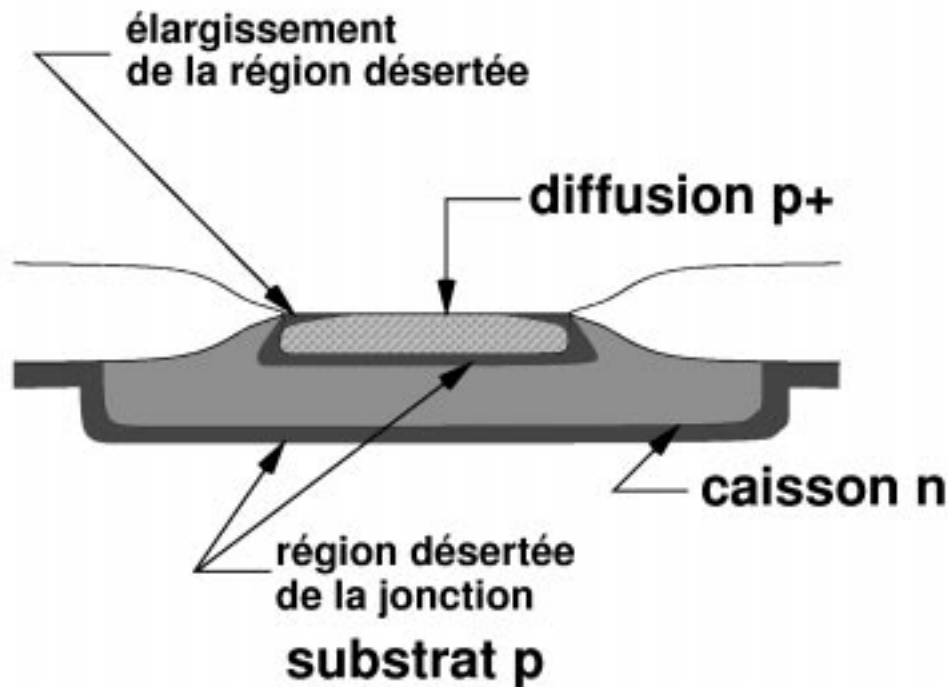


FIG. 6.13 – Mécanisme d'élargissement de la région désertée proposé pour expliquer le courant de fuite des diodes $p+$ dans le caisson n .

6.5.3 FOXFETs

La caractérisation des FOXFETs a montré clairement l'efficacité du blocage apporté par l'implantation $p+$ (figure 6.14). La robustesse de la technologie ne permet pas le calcul de la réduction de la tension de seuil, puisque la rupture du drain survient avant l'apparition de la couche d'inversion. L'examen du comportement du FOXFET fournit néanmoins un renseignement intéressant par rapport au piégeage dans la structure FOX-USG-BPSG. La dégradation de la courbe de transfert (figure 6.15) n'est pas éliminée par le recuit, ce qui indique l'existence de nombreux états profonds. Ce fait n'a pas d'impact sur le fonctionnement normal des circuits.

6.6 Conclusion

Ce chapitre a décrit l'étude théorique et la caractérisation expérimentale du comportement de la technologie AMS CAE sous la contrainte de la radiation ionisante. Cette technologie standard a été sélectionnée grâce à sa compatibilité avec la fabrication des microsystemes micro-usinés, et aussi du fait des nécessités du circuit de lecture, notamment par rapport au bruit. Outre ces éléments, la décision en faveur de cette technologie s'est appuyée sur une estimation théorique de son endurance intrinsèque, et du gain supplémentaire apporté par les techniques de durcissement.

Les attentes fondées sur cette estimation théorique ont été mis à l'épreuve par le biais d'un programme de caractérisation expérimentale de la technologie. Les moyens et les procédures employés ont été décrits en détail.

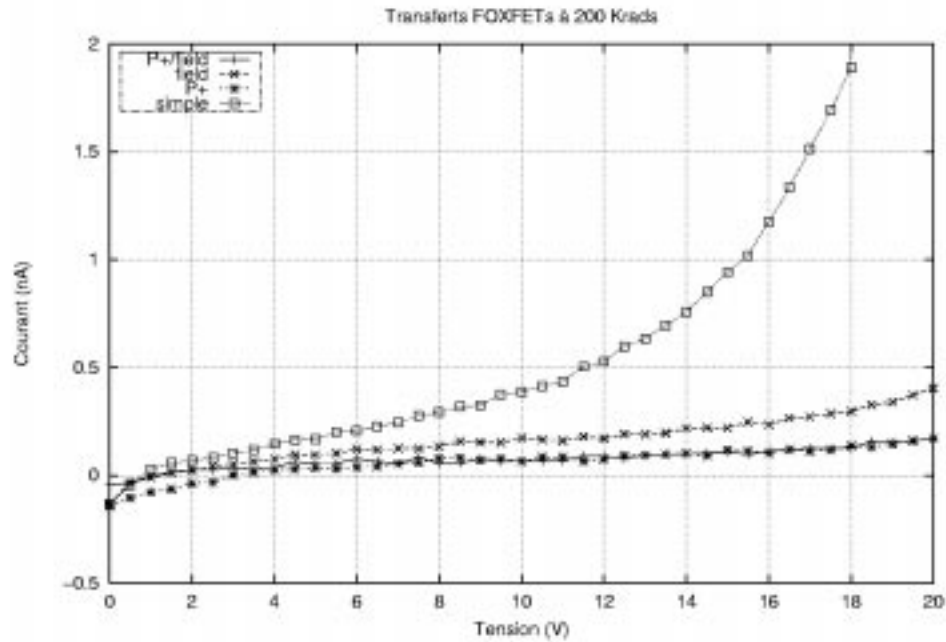


FIG. 6.14 – Transfert des différents FOXFETs à une dose cumulée de 200 Krads(SiO_2).

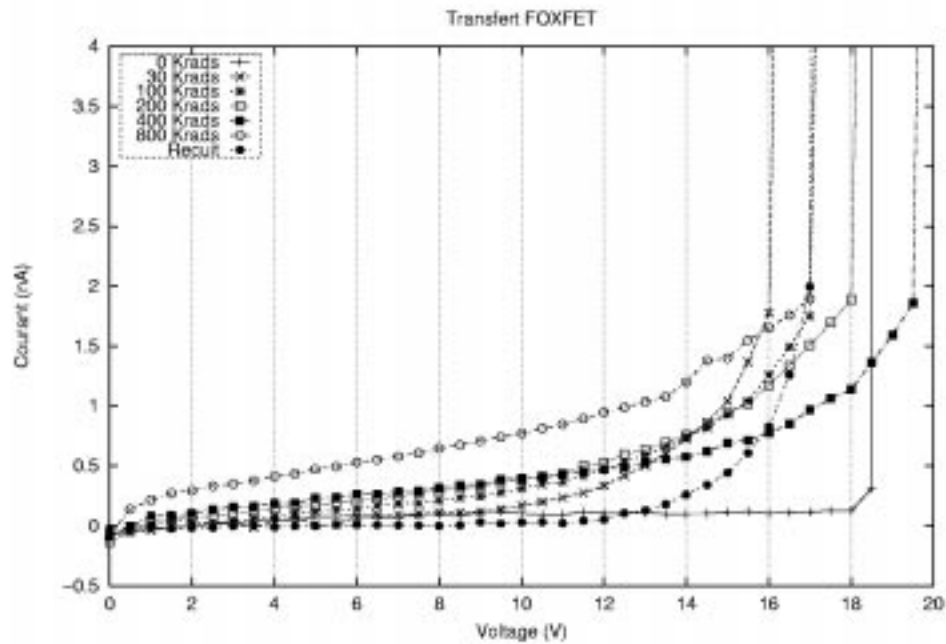


FIG. 6.15 – Évolution du courant du FOXFET simple avec l'irradiation.

Tout d'abord, les mesures recueillies ont subi un contrôle de qualité, pour identifier des éventuels vices dans l'acquisition de données. Ensuite, on a appliqué des méthodes numériques pour dégager l'évolution des paramètres électriques avec l'exposition, pour les différentes structures testées. Les conclusions de ces analyses sont regroupées dans cette section, de façon à obtenir une vue globale des mécanismes de dégradation.

Les transistors NMOS et PMOS ont eu des comportements distincts. Les transistors NMOS se sont montrés beaucoup plus sensibles, et, de manière inespérée, n'ont présenté qu'une faible réduction de V_{th} avant de basculer dans une situation de forte super-guérison. Le KP_n a été aussi altéré de manière très importante. Ces deux éléments indiquent une forte croissance des états piègeurs à l'interface $Si-SiO_2$ (N_{it}).

Le comportement des transistors PMOS donne lui aussi appui à cette hypothèse. Ce dispositif s'est montré beaucoup plus robuste que le NMOS. Cependant, dans les deux cas on a observé une influence inattendue de ΔQ_{ot} sur KP. Cette influence n'est pas en conformité avec les résultats habituels, et a rendu impossible la séparation de ΔV_{th} dans les deux composantes dues à ΔQ_{it} et à ΔQ_{ot} par l'analyse des transistors appariés.

L'évolution de la réponse des diodes a été aussi très riche. Les phénomènes prévus par l'étude théorique ont été effectivement observés. Ces phénomènes ne sont pas abordés dans des travaux antérieurs du domaine du durcissement, bien que les mécanismes de fond soient assez connus.

L'élargissement de la région de charge d'espace de la diode n+ par l'inversion de la surface du substrat-p a été clairement cerné par les mesures. Le phénomène similaire observé pour la diode p+ était une surprise. Pour l'expliquer adéquatement on a proposé un scénario qui accommode l'évolution du courant de fuite des deux types de diode.

Outre l'évolution avec la dose, il existe un courant de fuite relativement élevé après le recuit. Cela se passe pour les deux types de diode, et la comparaison du courant résiduel pour des diodes de différentes dimensions permet d'affirmer que l'origine du courant est la formation d'états piègeurs d'interface.

Le comportement des FOXFETs a démontré l'efficacité des techniques de durcissement de l'isolation LOCOS proposées. Cette isolation s'est montrée néanmoins assez robuste, même dans l'absence de toute mesure de durcissement.

Les conclusions de la caractérisation peuvent être traduites dans un ensemble de recommandations d'ordre pratique pour la conception du circuit de lecture de la barrette de thermopiles.

Recommandations pour la réalisation du multiplexeur

Ces recommandations générales sont les suivantes :

- minimiser les courants de fuite des jonctions p-n :
 - a. par la minimisation des périmètres des jonctions ;
 - b. en évitant des jonctions p+/n de grandes surfaces ;
 - c. en entourant les jonctions n+/p d'implantations p+ de blocage.
- garantir l'isolation entre les noeuds du circuit :
 - a. par l'utilisation de transistors NMOS à géométries fermées ;
 - b. en éliminant les canaux latéraux des transistors NMOS non-fermés par des implantations p+ ;

- c. en entourant les transistors NMOS d'implantations p+ de blocage.
- éviter des architectures fondées sur le rapport KP_p/KP_n ;
- éviter des architectures basées sur la caractéristique de sous-seuil, puisque la forte dégradation de N_{it} entraînera la chute du gain dans cette région.

Les résultats de la caractérisation autorisent d'envisager la qualification de la technologie AMS CAE pour des doses pouvant atteindre 1 Mrads(SiO_2), par l'utilisation des techniques de durcissement et en suivant l'ensemble de recommandations ci-dessus.

Autres efforts de caractérisation

Durant l'exécution de ces travaux, un certain nombre d'efforts de caractérisation similaires sont apparus, en vue de l'application de technologies CMOS standards pour l'espace ou pour d'autres domaines, particulièrement la construction des détecteurs pour les grands accélérateurs de particules. Il est intéressant de noter la convergence à peu près simultanée des chercheurs dans différents domaines vers l'emploi de technologies COTS pour remplacer les technologies durcies. Quelques exemples de ces recherches apparentées sont donnés dans le tableau 6.6.

TAB. 6.6 – Tolérances aux rayonnements rapportées pour plusieurs technologies standard disponibles commercialement.

Fondeur	Technologie	t_{ox}	Dose	Remarques
IBM	0,25 μm CMOS6S	5,5 nm	3 Mrads	$\Delta V_{th} < 10mV$ [115]
IBM	0,8 μm BiCMOS4S	12 nm	70 Krads	$\Delta V_{th} < 15mV$ [115]
Alcatel-Mietec	0,5 μm CMOS	10 nm	60 Krads	$\Delta V_{th} < 30mV$ [116]
AMS	0,8 μm BiCMOS	16 nm	60 Krads	$\Delta V_{th} < 30mV$ [116]
ST	0,35 μm HCMOS	8 nm	1 Mrad	$\Delta V_{th} < 40mV$ [115]
HP	0,8 μm CMOS14	17 nm	300 Krads	$\Delta V_{th} < 50mV$ à 100 Krads[117]
HP	0,5 μm CMOS26	9,4 nm	300 Krads	$\Delta V_{th} < 40mV$ à 100 Krads [117]
Orbit	1,2 μm CMOS	23,3 nm	300 Krads	$\Delta V_{th} < 50mV$ à 100 Krads [117]
Orbit	2,0 μm CMOS	40 nm	70 Krads	$V_{th} = 0 V$ à cette dose[117]
AMI	1,6 μm CMOS	32 nm	300 Krads	$\Delta V_{th} < 250mV$ à 100 Krads [117]

Chapitre 7

La mise en oeuvre d'un microcircuit durci pour l'espace

Design of a hardened microcircuit for space

7.1 Introduction

La recherche approfondie décrite dans les chapitres précédents a permis de réunir les éléments nécessaires pour le développement d'un microsystème pour des applications spatiales. Les études ont dévoilé la faisabilité et l'intérêt économique et stratégique de la réalisation par le biais d'une technologie de fabrication standard, non-durcie et disponible commercialement. L'examen des caractéristiques de l'environnement radiatif des orbites empruntées par les véhicules spatiaux a défini les obstacles à surmonter et les seuils de résistance à atteindre. Enfin, la caractérisation expérimentale a démontré que la technologie AMS CAE est en mesure de satisfaire les besoins par rapport à la radiation, et au même temps être compatible avec la réalisation de thermopiles en silicium.

La dernière étape est la conception et la fabrication du microsystème. Cette conception est divisée en deux branches ; la conception du circuit de lecture, et l'optimisation du capteur de rayonnements infrarouges.

Le capteur est basé sur des barrettes de thermopiles en silicium, et ces dernières sont suspendues par micro-usinage. L'étude de la conception et de la fabrication du capteur est faite dans un autre rapport de thèse. Ici la discussion est limitée au développement de l'électronique de traitement du signal issu de ces barrettes. Les enjeux de la conception, de la fabrication et du test du circuit de lecture sont détaillés dans ce chapitre.

La première section décrit les contraintes associées à la lecture du signal des thermopiles. Les différentes formes de mise en oeuvre sont abordées. La section est terminée par une discussion de l'architecture choisie, et les contraintes de fonctionnement pour chaque élément de la chaîne sont évoquées.

La section suivante est dédiée au premier maillon de la chaîne de lecture, le multiplexeur analogique. L'architecture interne et les techniques de conception employées sont exposées. Le circuit développé a été envoyé en fabrication et ensuite testé, avec des résultats satisfaisants, ce qui a permis le passage à l'étape d'essais sous les rayonnements. L'ensemble de résultats de

la caractérisation, face aux effets de dose totale et d'événements singuliers, sont rapportés à la fin de la section.

La dernière section donne les conclusions tirées de la mise en oeuvre du multiplexeur et discute les enjeux de la conception de l'élément suivant de la chaîne de lecture, l'amplificateur bas bruit. Cet amplificateur a été réalisé et testé avec succès, cependant sa description détaillée serait trop longue pour l'inclusion dans ce mémoire.

7.2 La lecture du signal de thermopiles

Dans notre approche, le principe utilisé pour la détection du rayonnement dans la bande de lumière infra-rouge est l'effet Seebeck, c'est-à-dire la tension qui apparaît entre les côtés chaud et froid d'un thermocouple. Cette tension de Seebeck est très faible, et pour l'augmenter on branche plusieurs thermocouples en série, ce qui constitue la thermopile. Le sujet a été développé dans la section 5.5.3. La performance d'un capteur d'infra-rouge est exprimée par trois paramètres ; la sensibilité, la puissance équivalente du bruit, et la détectivité relative. La sensibilité¹ R est définie comme le rapport entre la puissance du rayonnement incident et le signal de sortie[102, p.153] :

$$R = \frac{V_{\text{sortie}}}{P_{\text{inc}}} \quad (7.1)$$

La puissance équivalente du bruit² est définie comme le rapport entre le bruit à la sortie et la sensibilité :

$$NEP = \frac{V_{\text{bruit}}}{R} \quad (7.2)$$

La détectivité relative³ est donnée par la formule :

$$D^* = \frac{\sqrt{S_{\text{abs}}B}}{NEP} \quad (7.3)$$

où le terme S_{abs} représente la superficie d'absorption du capteur et B représente la bande passante du système. La détectivité relative permet de comparer la performance de capteurs indépendamment de leur construction. La sensibilité d'une thermopile peut être augmentée simplement par l'accroissement du nombre de thermocouples en série. Cependant, le NEP n'est pas amélioré, du fait de l'augmentation du bruit, dans la même proportion. Ce bruit est originaire de la résistance de la thermocouple. La minimisation de cette résistance est une des principales préoccupations dans l'optimisation de la thermopile. Les thermopiles en silicium sont composées habituellement de quelques dizaines de thermocouples, et la résistance totale de la thermopile est de l'ordre de 10-400 K Ω [118]. Le modèle électrique d'une thermopile peut être assimilé à celui d'une source de tension avec une résistance de sortie en série. Pour former l'image de la scène, les thermopiles sont habituellement assemblées en matrices ou barrettes. La construction d'un imageur solaire ou de Terre statique nécessite des barrettes de thermopiles, pour détecter le disque du Sol ou de la Terre. L'implantation des barrettes dans l'imageur est montrée dans la figure 7.1[119].

Pour effectuer la reconstruction du disque terrestre (ou solaire), il faut accéder à la tension de sortie de chaque thermopile de la barrette, en séquence. Ceci est accompli avec l'aide

1. *responsivity*

2. *Noise equivalent power*

3. *Relative detectivity*

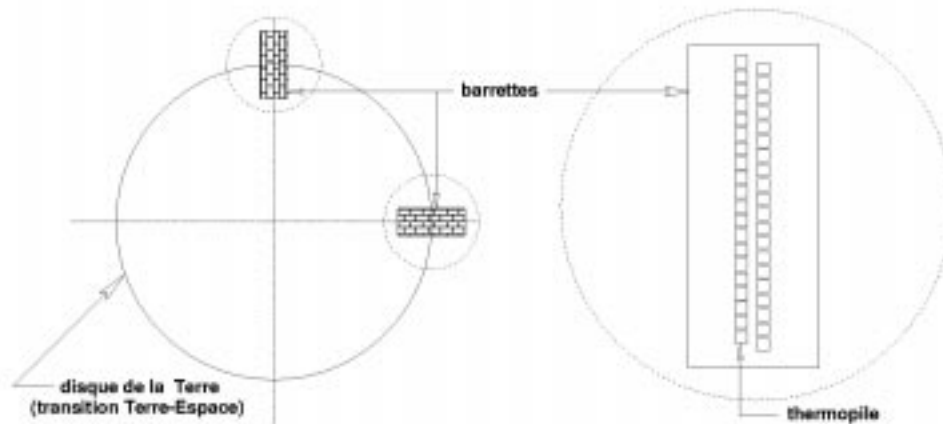


FIG. 7.1 – Disposition des barrettes de thermopiles dans un capteur de Terre statique (l'implantation des thermopiles dans la barrette est montrée dans le détail). Ce type de capteur autorise la mesure du tangage⁶ et du roulis⁷ du véhicule spatial dans l'orbite de la Terre.

d'un multiplexeur analogique⁸. La tension à la sortie du multiplexeur est ensuite amplifiée, de manière à s'affranchir du bruit de fond de l'environnement. Le signal amplifié peut alors être numérisé et ensuite traité dans le processeur de bord. Le multiplexeur analogique et l'amplificateur constituent le frontal de lecture de l'imageur.

7.2.1 Commutation

Le multiplexeur analogique est responsable de l'acheminement de la tension de sortie des thermopiles vers l'amplificateur. Il est composé d'un ensemble d'éléments de commutation, chacun commandé par un circuit logique de contrôle. Les caractéristiques les plus importantes d'un multiplexeur sont :

- le nombre de voies ;
- la résistance de passage ;
- l'isolation entre les entrées et la sortie ;
- l'interférence entre les voies (diaphonie) ;
- les courants de fuite ;
- l'injection de charge.

L'application envisagée rajoute à cette liste le décalage de tension et le durcissement aux rayonnements (dose totale et événements singuliers). Les caractéristiques du multiplexeur découlent pour la plupart de la construction du bloc de commutation. Ce bloc est fréquemment réalisé avec des transistors MOS, du fait de l'isolation presque parfaite entre le canal et la grille, ce qui réduit l'interférence du circuit de contrôle sur le signal commuté. En outre, le transistor MOS n'a pas de tension intrinsèque de décalage⁹ entre ses terminaux, et sa résistance de

8. analog multiplexer

9. built-in voltage offset

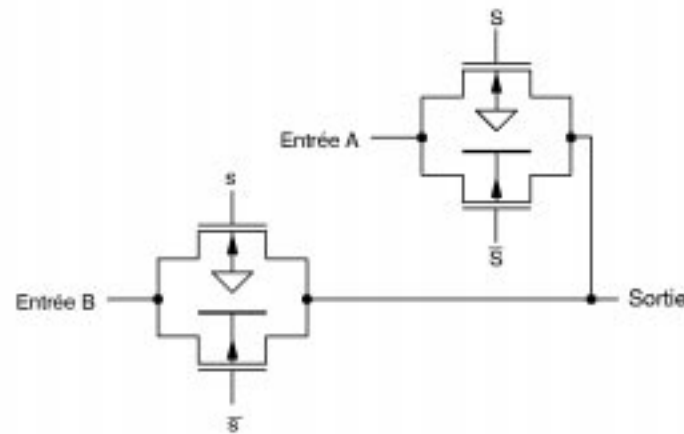


FIG. 7.2 – Bloc de commutation du signal dans un multiplexeur. Les transistors complémentaires sont utilisés pour réduire la variation de la résistance de passage quand le signal s'approche des rails d'alimentation, et aussi pour réduire la charge injectée à la sortie.

passage peut être amenée à des valeurs assez faibles par l'accroissement de la largeur du dispositif. Cet accroissement n'a pas d'effet significatif sur l'isolation quand le dispositif passe dans l'état de blocage. Toutefois, la capacité parasite est augmentée, ce qui réduit l'isolation en haute fréquence. Le courant de fuite est aussi altéré.

Toutefois, les interrupteurs MOS présentent d'autres problèmes intrinsèques. Le premier est l'augmentation de la résistance de passage lorsque le niveau du signal s'approche de la tension de commande du transistor. Le dispositif quitte alors la région de conduction linéaire et passe soit dans la région de sous-seuil, soit dans la région de saturation. L'effet est souvent minimisé par l'utilisation de transistors NMOS et PMOS conjointement (figure 7.2). Cette approche permet aussi de réduire l'injection de charge dans le canal. Cet effet est le deuxième problème sérieux des interrupteurs MOS.

L'injection de charge est due à la capacité qui existe entre la grille et le canal du transistor MOS. La capacité de couplage comprend trois composantes ; les deux capacités fixes dues au débordement de la grille sur la source et le drain, et la capacité variable entre la grille et le canal. Cette dernière est habituellement la composante la plus importante.

L'application de la tension de commande sur la grille provoque un déplacement de charge électrique proportionnel à la capacité de couplage totale ($\Delta q = C_{\text{coupl}} \Delta V$). Ce transfert de charge engendre un pic de tension à la sortie. La valeur maximale du pic est déterminée par la somme des capacités à l'entrée et à la sortie du bloc de commutation. La situation quand le circuit est commuté dans le sens inverse est plus compliquée. La charge accumulée sous la grille est «relâchée», mais le fait que le canal de conduction soit en train de disparaître progressivement influence la distribution de la charge entre les noeuds d'entrée et de sortie. Cette distribution est fonction du rapport entre les deux capacités, de la tension du signal passant et même du temps de descente de la tension de commande [120, 121, 122]. En bref, si le temps de commutation est très court, ou si la capacité présente dans les deux noeuds est identique, alors la charge est partagée également entre l'entrée et la sortie. Sinon, la charge est collectée dans le noeud de capacité plus élevée.

Le transfert de charge est souvent compensé par l'adjonction de transistors qui ne participent pas au blocage, et qui sont commandés dans le sens inverse au dispositif de passage. Les

dimensions de ces transistors sont choisies selon la distribution de charge en question. Dans les blocs de commutation avec transistors complémentaires, les dimensions des transistors sont habituellement calculées de manière à tirer le meilleur profit des tensions de commande en sens opposé.

Enfin, les multiplexeurs présentent souvent des tensions de décalage entre l'entrée et la sortie. La tension de décalage entre les entrées et la sortie d'un multiplexeur en technologie CMOS est due essentiellement aux courants de fuite et à la résistance de passage. Cependant, les interconnexions entre les éléments forment aussi des thermocouples parasites, à l'intérieur du circuit intégré comme à l'extérieur. Ce fait doit être pris en compte dans le dessin de la puce.

7.2.2 Amplification

Le signal fourni par les thermopiles est très faible, avec une excursion maximale de quelques mV seulement. En plus, la résistance de sortie de la thermopile est élevée. Ces deux faits rendent difficile de satisfaire la nécessité de détecter des variations de l'ordre de centaines de nanovolts.

Pour aboutir à cela, le frontal de lecture doit présenter une impédance d'entrée élevée, et un bruit réduit. Le multiplexeur est seulement un élément de passage, et rajoute simplement une résistance en série relativement peu importante dans le modèle électrique de la thermopile. Il doit toutefois avoir un courant de fuite très faible, pour éviter l'apparition d'une tension parasite entre les terminaux de la thermopile. Ce courant doit avoir une valeur maximale de l'ordre de la centaine de pA.

L'entrée de l'amplificateur est soumise à la même contrainte, c'est-à-dire que le courant de fuite doit être faible, et ne doit pas subir des variations en fonction de la tension appliquée. En d'autres termes, l'amplificateur doit avoir une impédance d'entrée très élevée, de l'ordre de $10^9 \Omega$. À cette contrainte s'ajoutent deux autres, un faible bruit et une tension d'offset peu importante.

À l'entrée de l'amplificateur, le signal de la thermopile est parasité essentiellement par le bruit résistif de cette dernière. Le bruit rajouté par l'amplificateur ne doit pas être supérieur à ce niveau de bruit de fond, si on veut préserver le rapport signal/bruit du capteur. C'est-à-dire que le bruit total rajouté par l'amplificateur, ramené à l'entrée, doit être inférieur à environ $20 \text{ nV}/\sqrt{Hz}$.

La dernière contrainte inévitable est la nécessité d'une tension d'offset assez réduite entre les entrées. Cette tension d'offset est amplifiée avec le signal, et sa présence limite la plage utile du signal amplifié à la sortie. La variation de la tension d'offset (avec la température, par des mécanismes de vieillissement, etc.) représente un autre obstacle à la mesure de la tension de sortie de la thermopile.

À toutes ces contraintes, il faut rajouter évidemment le fonctionnement sous l'exposition des rayonnements ionisants.

L'ensemble de contraintes rend assez difficile la tâche d'amplifier le signal de sortie des thermopiles. Le besoin d'un courant d'entrée réduit et d'une impédance d'entrée élevée milite pour l'emploi d'une entrée FET (MOSFET ou JFET). Cependant, la tension d'offset et le bruit de scintillement des étages MOS sont fort décourageants. Le transistor JFET paraîtra apporter des solutions à ces deux problèmes, mais le courant de fuite de la jonction p-n qui constitue sa grille constitue un obstacle. En plus, ce dispositif n'est pas toujours disponible. L'utilisation de transistors bipolaires à l'entrée autoriserait une tension d'offset peu importante et une

maîtrise du bruit de basse fréquence. Malheureusement le courant d'entrée (de polarisation et de bruit) des transistors BJT est trop important pour l'application.

La seule solution pour le problème du courant d'entrée consiste à utiliser une étage d'entrée MOS. On est alors obligé à chercher des moyens de s'affranchir des problèmes du bruit et de la tension d'offset. Tout d'abord, il est possible de scinder les approches entre les circuits continus et les circuits commutés.

L'approche continue consiste à utiliser un circuit du genre amplificateur opérationnel pour amplifier le signal, dans une configuration non-inverseuse. L'architecture interne et les dimensions des dispositifs doivent être soigneusement étudiées, de façon à aboutir à une performance aux limites de la technologie. Cette approche générale a été utilisée avec succès dans le passé dans une situation apparentée, le traitement du signal généré par des hydrophones[123].

L'approche commutée fait appel à des techniques d'échantillonnage du signal[124] (double échantillonnage corrélée¹⁰, auto-calibrage à zéro¹¹, etc). La technique de modulation synchrone[125, p.490], connue aussi comme stabilisation par découpage¹²[126], autorise l'élimination du bruit de scintillement simultanément avec la réduction de la tension d'offset à des valeurs très faibles. Cette technique a été déjà utilisée pour le traitement du signal des thermopiles, avec succès[127].

Ces deux approches sont habituellement implantées par des circuits différentiels[15, p.456]. L'implantation différentielle permet une meilleure utilisation de la plage de sortie et accorde une plus grande insensibilité aux bruits de l'environnement (en mode commun). Pour les techniques d'échantillonnage, l'implantation différentielle minimise le problème de l'injection de charge dans les échantillonneurs-bloqueurs¹³.

7.2.3 L'architecture retenue

L'étude des caractéristiques de la barrette de thermopiles et des alternatives possibles à conduit au choix d'une architecture simple pour le frontal de lecture, composée d'un multiplexeur analogique et d'un amplificateur avec entrée et sorties uniques¹⁴, pour chaque barrette (figure 7.3).

Le multiplexeur doit avoir 32 voies d'entrée et une sortie. L'interface numérique est composée de 5 lignes d'adressage et une ligne de sélection de la puce. La commutation est assurée par un seul transistor NMOS, de façon à obtenir le meilleur compromis entre la résistance de passage et le courant de fuite. L'injection de charge est limitée du fait de la moindre taille du transistor NMOS, néanmoins un circuit de compensation a été retenu.

La question du durcissement a conduit au choix d'une architecture continue, moins sensible aux courants de fuite, avec un amplificateur opérationnel de sortie unique. L'asymétrie de la réponse des transistors NMOS et PMOS a poussé contre l'adoption d'une architecture différentielle. L'amplificateur doit présenter un courant d'entrée négligeable, un bruit en basse fréquence inférieur à celui de la thermopile, et une tension d'offset aussi faible que possible, pour préserver la plage dynamique disponible pour le signal à la sortie. Il doit être capable d'attaquer une charge de sortie maximale équivalente à 20 pF en parallèle avec 40 K Ω . La difficulté de réaliser un amplificateur avec ces performances à la limite de la technologie est

10. *correlated double sampling* – CDS

11. *auto-zeroing*

12. *chopper stabilization*

13. *sample-and-hold*

14. *single-ended*

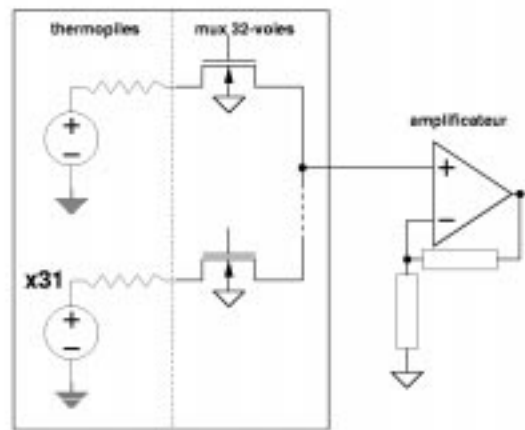


FIG. 7.3 – Architecture de traitement du signal des thermopiles.

compensée par la simplicité du circuit, ce qui facilite énormément l'étude de l'influence de la radiation.

7.3 Le multiplexeur analogique

L'étude du multiplexeur analogique est scindée en deux niveaux ; la conception de l'architecture interne et le dessin du circuit (layout). Les caractéristiques générales du multiplexeur aux deux niveaux sont discutées dans la suite.

7.3.1 Circuit

Une vue synoptique de l'architecture interne est donnée dans la figure 7.4. La partie logique peut être divisée en trois blocs ; l'interface d'entrée, le décodage et la commande du bloc de commutation.

L'interface d'entrée consiste en une cascade d'inverseurs, dans le but de piloter les lignes d'adressage internes avec les niveaux logiques internes à la puce (rail à rail). On génère à l'intérieur de la puce une copie de chaque ligne d'adressage externe. Chacune de ces lignes internes est accompagnée de son complément logique. L'ensemble constitue le bus interne d'adressage.

Le bloc de décodage consiste en une porte NAND de six entrées, connectée au bus d'adressage. Cinq entrées sont reliées aux lignes internes correspondantes à l'adresse à décoder, et la sixième est reliée à la ligne de sélection générale de la puce (CS). La sortie de la porte NAND entre dans le circuit de commande du bloc de commutation.

La génération de la commande du bloc de commutation est faite par une cascade d'inverseurs et des transistors de passage. L'objectif du circuit est de générer deux signaux logiques de commande complémentaires et simultanés.

La partie analogique est constituée du transistor de passage et des transistors pour la compensation de l'injection de charge. Le transistor de passage est un NMOS, afin d'avoir le meilleur compromis possible entre résistance passante, courant de fuite, et capacité de couplage. Le transfert de charge est corrigé par deux transistors NMOS de compensation, placés à l'entrée et à la sortie du bloc de commutation. Ces transistors ont chacun la moitié de la taille du transistor de passage.

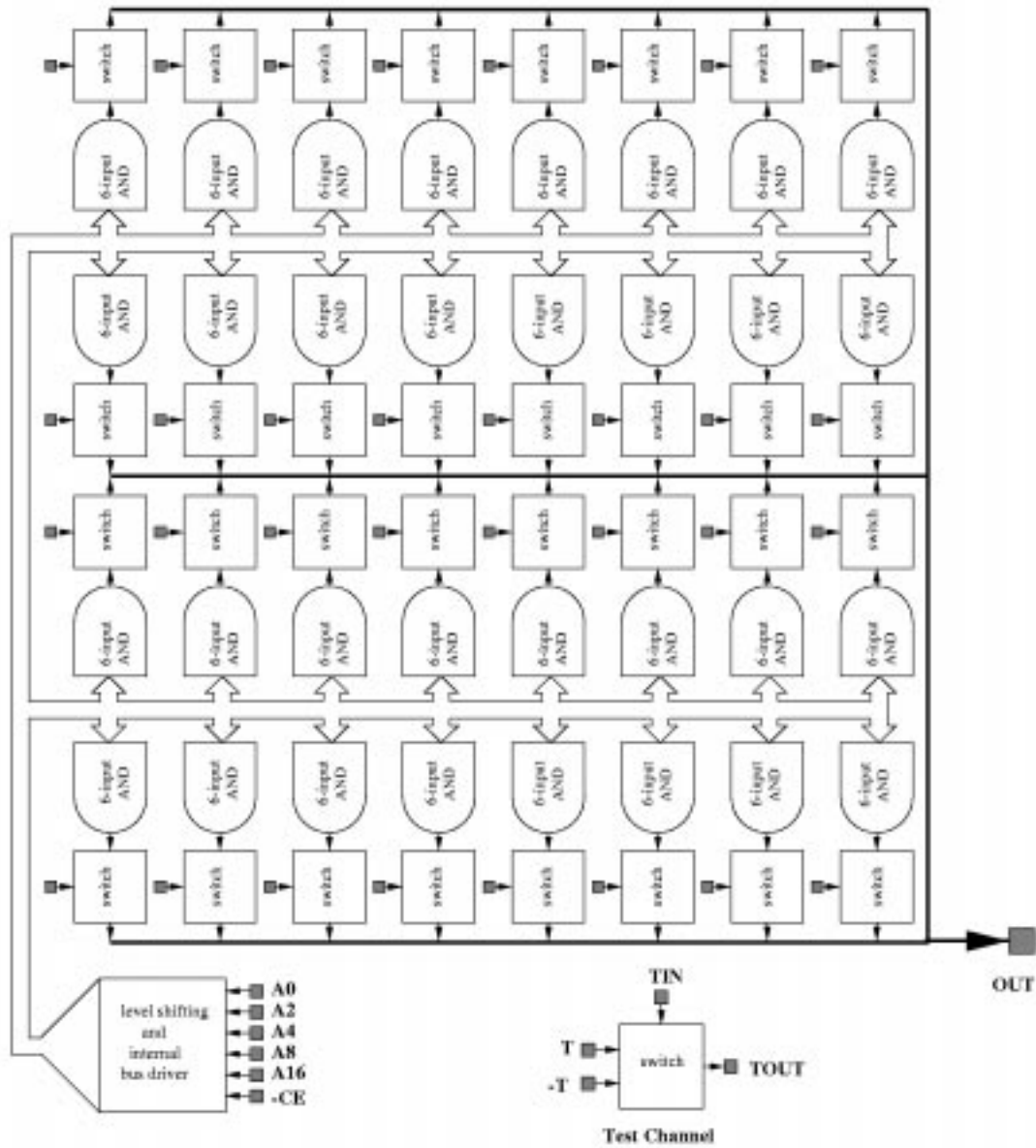


FIG. 7.4 – Schéma synoptique de l'architecture interne du multiplexeur.

7.3.2 Layout

Le dessin des éléments du circuit a été fait avec l'utilisation des techniques de durcissement abordées dans les sections 5.5.1 et 5.5.2.

Le transistor de passage

Le transistor responsable de la commutation du signal analogique a reçu une attention particulière.

L'augmentation du courant de fuite avec l'irradiation a conduit à la décision de supprimer les protections contre des décharges électrostatiques dans les plots d'entrée et sortie de la puce. L'absence de cette protection n'influence pas la fiabilité du système pendant son opération, car les thermopiles assurent un chemin vers la masse. La sortie est accordée un degré additionnel de protection par sa surface plus importante. Toutefois, la manipulation des pièces avant l'intégration dans le système doit être faite avec précaution¹⁵.

Les point d'entrée et de sortie sont aussi exposés à des excursions de signal qui peuvent déclencher des verrouillages de courant. Pour minimiser ce risque, le bloc de commutation a été entouré d'anneaux de garde et éloigné des caissons appartenant à la logique. Le durcissement de l'isolation entre les dispositifs du bloc de commutation est fait par un anneau de garde p+. Le layout du bloc est montré dans la figure 7.5.

Décodeur et interface d'entrée

Le dessin de la partie numérique a profité de la disponibilité de la surface, vu que la taille de la puce est définie par l'encombrement des plots d'entrée et de sortie. Les transistors NMOS ont été entourés d'anneaux de garde p+, de manière à bloquer la formation de FOXFETs. Les grilles ont été étendues jusqu'aux anneaux de garde de façon à empêcher la formation des transistors latéraux. Les verrouillages de courant sont contrôlés par des anneaux de garde p+, par l'adoption d'espacements importants entre les caissons et les dispositifs NMOS, et par l'adjonction d'anneaux de garde pour les porteurs minoritaires (caisson n polarisé à V_{DD} autour des implantations p+). L'ensemble des techniques employées apparaît dans la figure 7.6.

Thermocouples parasites

Il est impossible d'éliminer les thermocouples parasites à l'intérieur de la puce. L'effet de ces thermocouples dépendra des gradients de température. Les sources de chaleur dans la puce sont les blocs logiques, notamment l'interface d'entrée, qui tourne à la cadence de lecture et simultanément pilote la capacité des lignes d'adressage et des décodeurs internes. Les fils de câblage attachés aux plots peuvent fonctionner soit comme sources, soit comme puits de chaleur, selon le rapport entre les températures.

Le calcul de la distribution de la chaleur demande une simulation par éléments finies, une démarche lourde. Heureusement, on peut estimer l'ampleur du problème de manière assez simple, en adoptant quelques hypothèses simplificatrices. Comme les dimensions de la puce (épaisseur et surface) sont largement supérieures à celles des sources de chaleur, on peut considérer ces dernières comme ponctuelles, c'est-à-dire comme demi-sphères à la surface de

15. Aucune puce a été endommagée par des décharges électrostatiques durant les travaux.

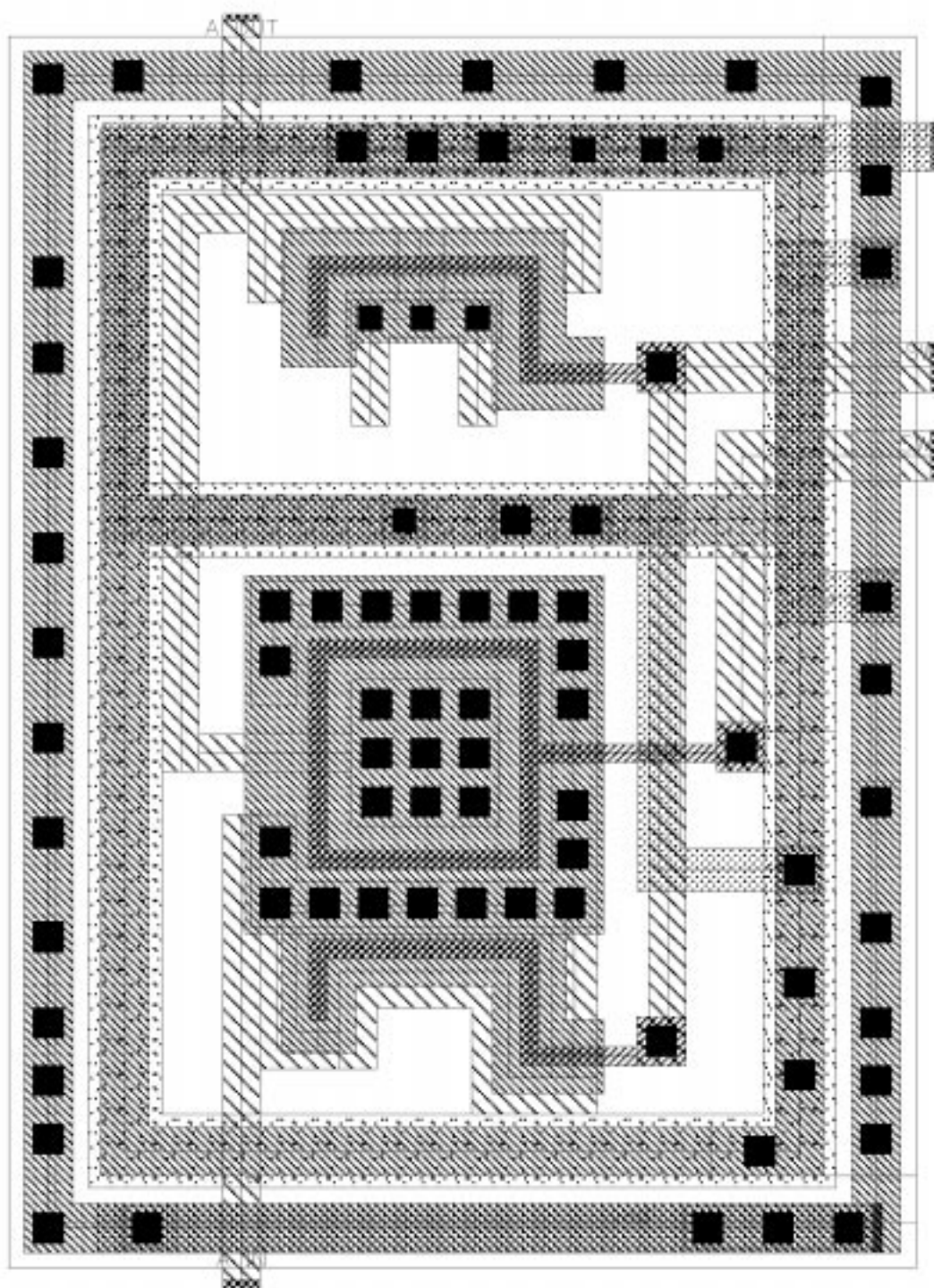


FIG. 7.5 – Layout du transistor responsable de la commutation du signal (bloc de commutation).

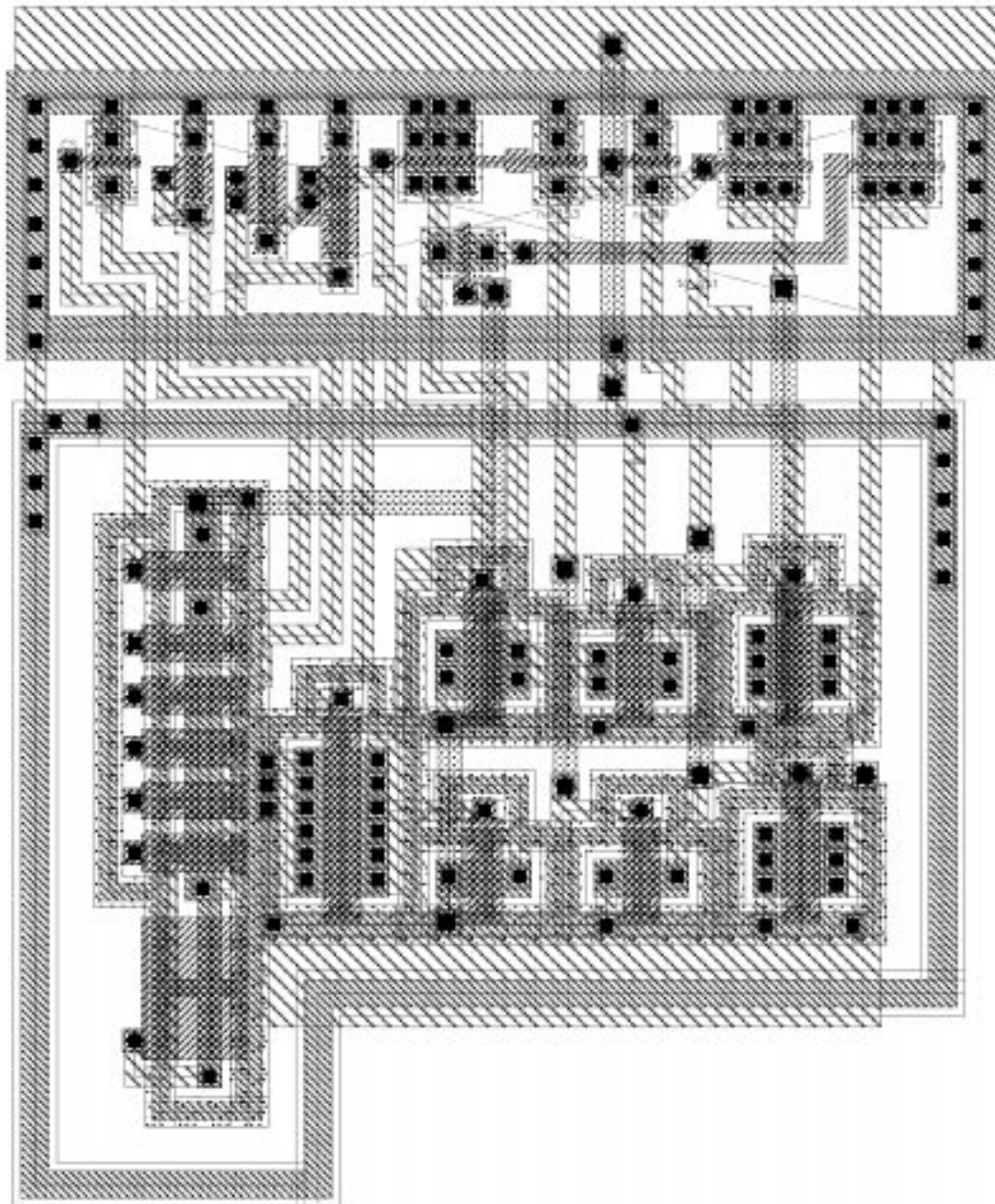


FIG. 7.6 – *Layout de la porte NAND et du circuit de génération des tensions de commande pour le bloc de commutation.*

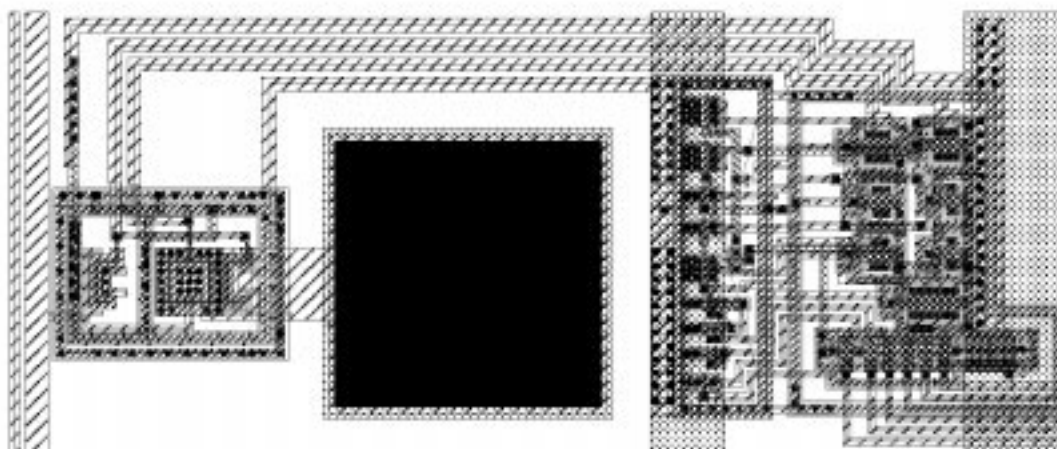


FIG. 7.7 – *Layout de la partie du multiplexeur analogique responsable de la commutation du signal. Le transistor de passage est en face du plot d'entrée.*

la puce. Dans ces conditions, la différence de température entre deux points placés à des distances r_1 et r_2 de la source est donnée par la formule de la résistance thermique[102, p.50] :

$$R_{\text{therm}} = \frac{\Delta(T_1 - T_2)}{P} = \frac{1}{2\pi K_c} \left(\frac{1}{r_1} - \frac{1}{r_2} \right) \quad (7.4)$$

où P est la puissance dissipée dans la source et K_c est la conductivité thermique du silicium ($142 \text{ W} \cdot \text{m}^{-1} \cdot \text{K}^{-1}$). L'effet de plusieurs sources peut être calculé par superposition (la différence de température est équivalente à une tension, la puissance est équivalente à un courant, l'équation 7.4 équivaut à la loi d'Ohm). Si on considère deux thermocouples Al-Si (α_S d'environ $200 \mu\text{V}/\text{K}$) à $10 \mu\text{m}$ et $1000 \mu\text{m}$ de distance respectivement d'une source qui livre $10 \mu\text{W}$, on aura une différence de potentiel de $220 \mu\text{V}$ entre les deux points. Cette tension parasite est très supérieure au niveau du bruit de fond la thermopile (200 nV rms à une bande passante de 100 Hz), et peut nuire le fonctionnement du système.

La disposition des éléments dans la puce a été optimisée de manière à ce que les entrées et la sortie soient sur des lignes isothermiques par rapport aux sources de chaleur. L'interface logique et les inverseurs qui pilotent les lignes internes sont placés à l'intérieur de la couronne de plots au centre de la puce. Les entrées et la sortie analogiques sont disposées dans le voisinage de la couronne de plots à la périphérie. Chaque transistor de commutation est placé en face du plot d'entrée correspondant, du côté opposé au circuit de décodage et commande (figure 7.7). Le dessin de la puce entière est montré dans la figure 7.8.

7.3.3 Mesures

Le multiplexeur a été envoyé en fabrication dans un «run» multi-projets du service CMP. Les puces retournées, au nombre de quinze, ont été encapsulées dans des boîtiers céramiques JLCC68, et ensuite testées dans les installations du CIME¹⁶, avec l'aide de l'appareillage suivant :

- un testeur TEKTRONIX LV514 ASIC Verification System ;

16. Centre Inter-universitaire de Microélectronique, 46 av. Félix Viallet, F-38031 Grenoble

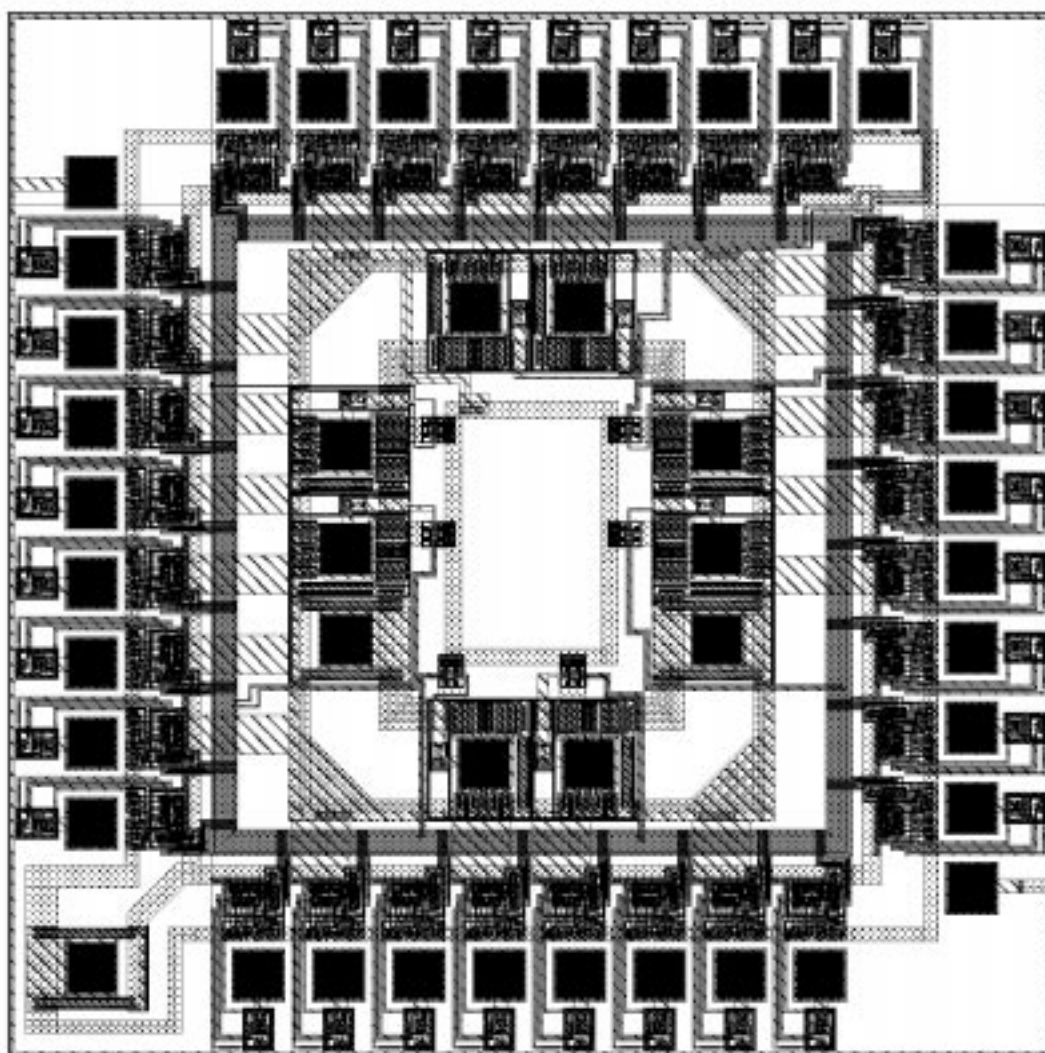


FIG. 7.8 – *Layout du multiplexeur analogique fabriqué en technologie AMS CAE.*

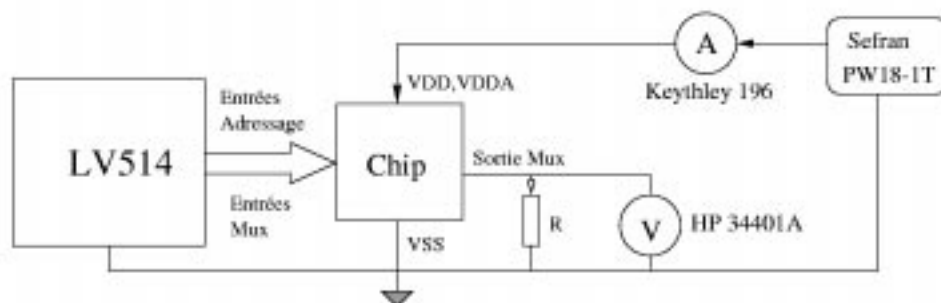


FIG. 7.9 – Montage pour le test de la fonctionnalité du multiplexeur.

- un DMM de 6.5 digits HP 34401A ;
- un DMM de 6.5 digits KEITHLEY 196 ;
- une source de tension programmable SEFRAN PW18-1T.

Chaque puce a été montée sur une carte de test et connectée comme il est illustré par le schéma de la figure 7.9. Toutes les 15 puces testées se sont montrées fonctionnelles. La consommation a oscillé autour de $50 \mu\text{W}$ (fréquence de balayage des voies de 62,5 Hz) et la mesure de la résistance de passage des voies a donné une valeur d'environ 110Ω .

7.3.4 Essais sous le rayonnement

Les résultats des premières mesures ont permis le passage à la caractérisation sous la radiation. Cette caractérisation a été menée en collaboration avec SODERN. Le multiplexeur a été caractérisé par rapport à la dose cumulée ainsi que par rapport aux verrouillages de courant.

Effets de la dose totale

Les premiers essais ont cherché à caractériser la réponse à la dose cumulée. Cinq puces entre les quinze ont été sélectionnées au hasard pour ces essais. Une des puces a été mise à côté pour servir de témoin (véhicule 3), et les quatre autres (véhicules 7,8,9 et 10) ont été irradiées. Les irradiations ont été effectuées dans l'irradiateur PAGURE, à la température ambiante. Le débit de dose était compris entre 9,8 à 10,2 Krads(Si)/h. Les conditions d'irradiation sont données dans le tableau 7.1. Les conditions de polarisation pendant l'irradiation sont illustrées par le schéma dans la figure 7.10. Les multiplexeurs ont été gardés alimentés, avec balayage des adresses à une fréquence de 1 KHz. À la fin de chaque séance, toutes les puces ont été caractérisées par rapport aux spécifications suivantes :

- consommation ;
- courant de fuite ;
- résistance de passage ;
- seuils logiques de commutation, V_{IL} et V_{IH} ;
- injection de charge.

TAB. 7.1 – Conditions d'irradiation des multiplexeurs dans l'irradiateur PAGURE.

Jour	Débit (Krad(Si)/h)	Distance (m)	Durée	Dose (Krads)	Remarques
J	-	-	-	0	mesures initiales
J+1	10	1,3	30m	5	véhicules 7,8,9,10
J+2	10	1,3	30m	5	10 Krads cumulée
J+2	10	1,3	1h	10	20 Krads cumulée
J+3	10	1,3	3h	30	50 Krads cumulée
J+4	10	1,3	5h	50	100 Krads cumulée
J+5	20	1,05	5h	100	200 Krads (véh. 9,10)
J+8	stockage/+22°C	-	72h	-	stockage/mesures
J+15	stockage/+125°C	-	168h	-	recuit/mesures finales

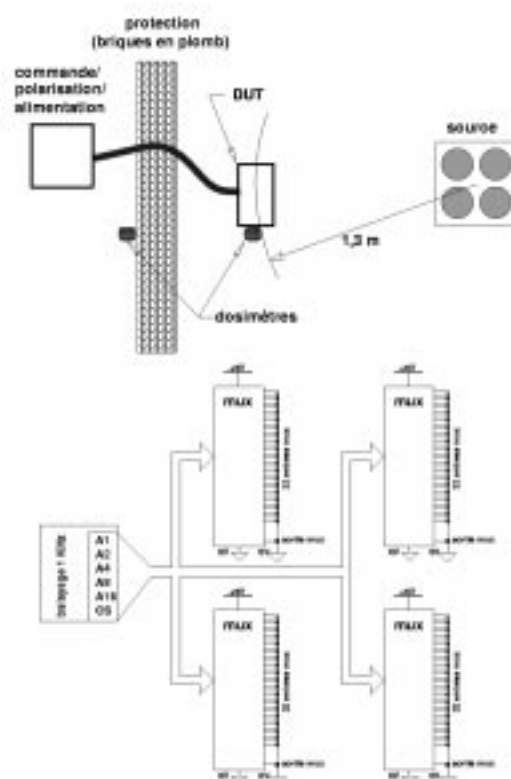


FIG. 7.10 – Installations et montage pour l'irradiation des multiplexeurs dans l'irradiateur PAGURE.

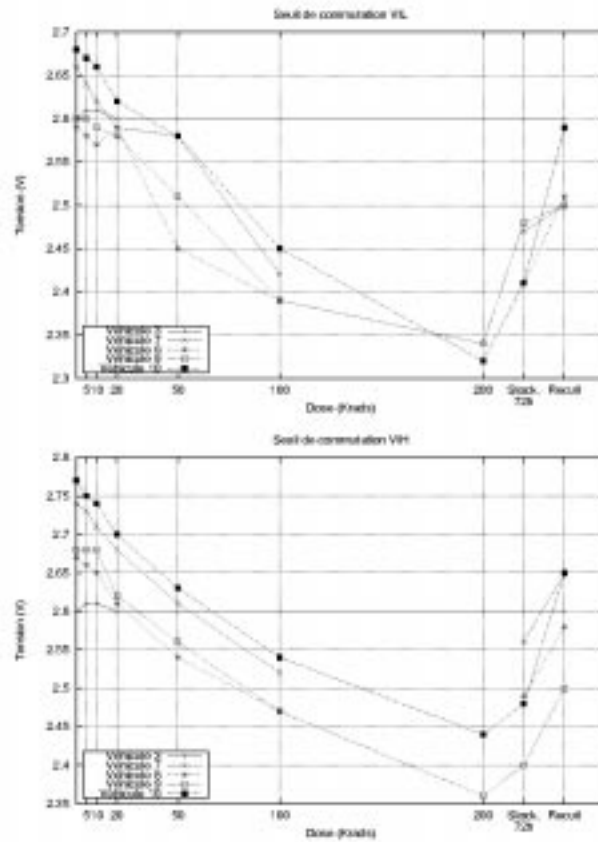


FIG. 7.11 – Évolution des seuils logiques de commutation V_{IL} et V_{IH} avec l'irradiation.

Les résultats des mesures sont donnés dans les figures 7.12, 7.13, et 7.11. En règle générale, il n'y pas eu des changements jusqu'à une dose de 50 Krads(Si). À partir de cette dose cumulée, on peut discerner les premières altérations, qui restent néanmoins très limitées même à la dose de 100 Krads(Si). L'irradiation de deux multiplexeurs entre les quatre a été poursuivie jusqu'à 200 Krads(Si), pour mettre plus clairement en évidence les altérations.

La consommation est restée presque inchangée durant tous les essais, avec un léger recul à la fin du recuit en stockage. Ceci indique que les fonctions logiques sont peu affectées. Cette hypothèse semble être confirmée par la très faible dérive des tensions de commutation V_{IL} et V_{IH} , en moyenne 2,15 mV/Krad, jusqu'à 100 Krads(Si).

Événements singuliers

L'excellente endurance face à la dose cumulée a amenée au passage à la caractérisation face aux événements singuliers, le dernier stade pour la qualification du composant pour l'espace.

Les événements singuliers capables de perturber le fonctionnement du circuit sont les verrouillages de courant, du fait de l'absence d'éléments de stockage à l'intérieur du multiplexeur. L'immunité absolue face à ces événements ne peut pas être assurée, puisque la technologie n'est pas diélectriquement isolée. Les critères d'évaluation du risque et d'acceptation du composant sont ceux donnés dans le tableau 5.3. La caractérisation a été menée en deux étapes.

La première étape a consisté dans l'exposition à une source de ^{252}Cf , dans les installations

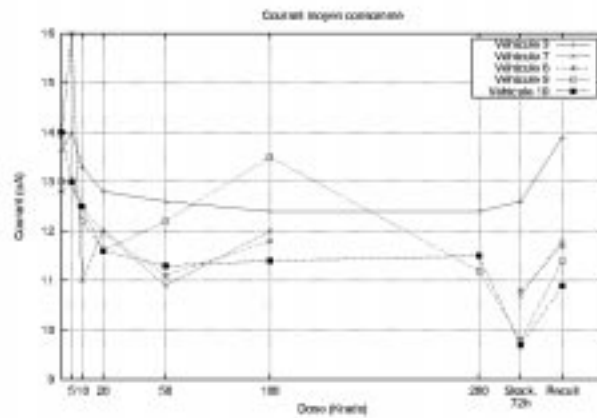


FIG. 7.12 – Évolution de la consommation du multiplexeur avec l'irradiation. Les mesures représentent le courant total moyen ($V_{DD} - V_{SS} = 5 V$) pour une balayage des canaux à une cadence de 1 KHz.

TAB. 7.2 – Conditions d'exposition du multiplexeur au ^{252}Cf .

Durée	Cumulée	Flux (ions/cm ² /s)	Fluence (ions/cm ²)	Verrouillages
2h10	2h10	158	$4,93 \times 10^4$	0
2h30	4h40	158	$1,06 \times 10^5$	0
16h50	21h30	158	$4,89 \times 10^5$	0
2h30	24h	158	$5,46 \times 10^5$	0
72h	96h	158	$2,18 \times 10^6$	0

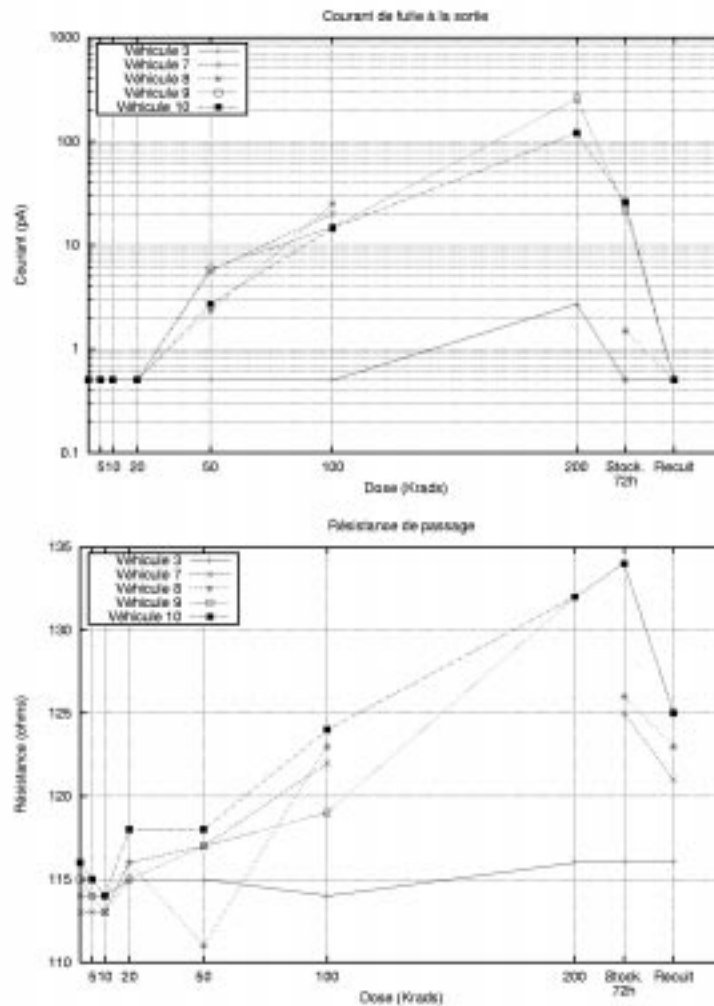


FIG. 7.13 - Évolution du courant de fuite à la sortie et de la résistance de passage du multiplexeur avec la radiation. Les mesures des véhicules 9 et 10 à la fin de la période de stockage de 72 h ont été prélevées à une température de 70 °C.

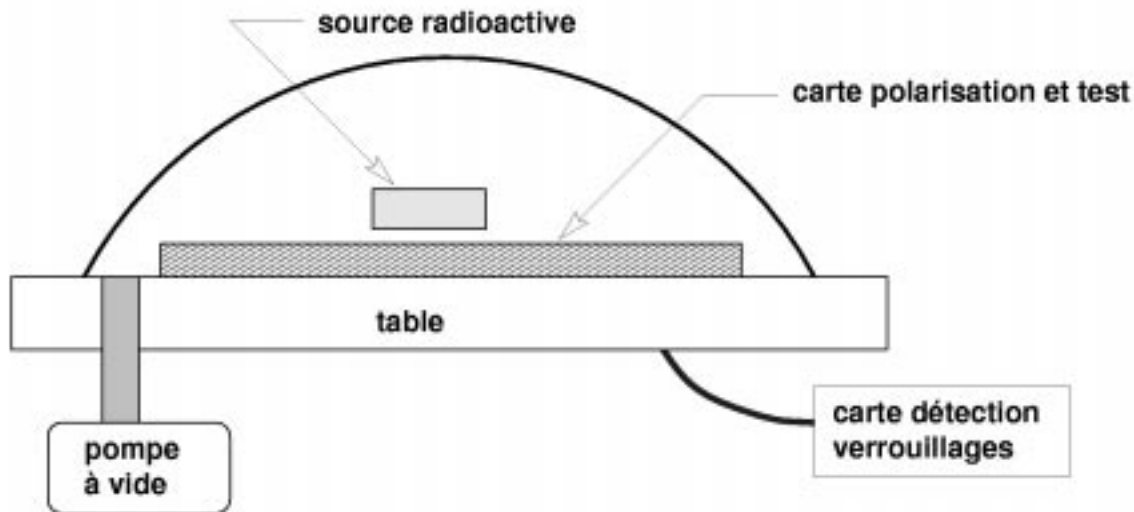


FIG. 7.14 – Montage pour l'exposition du multiplexeur au ^{252}Cf .

de MATRA MARCONI SPACE à Vélizy¹⁷. Le montage utilisé pour les mesures est montré de façon schématique dans la figure 7.14. Durant les essais le multiplexeur était alimenté avec balayage des adresses à une fréquence de 1 KHz. La détection de l'événement était assurée par une carte spécifiquement conçue pour le test, regroupant les fonctions de surveillance du courant d'alimentation, coupure lors de la détection d'une sur-intensité, et réarmement automatique au bout d'environ 1 seconde. Chaque événement était enregistré par un compteur avec affichage. L'irradiation a été effectuée en plusieurs séances, dont les détails sont donnés dans le tableau 7.2. La puce a été testée au début et à la fin de chaque séance, et aucune détérioration a été détectée.

À la conclusion des essais, le nombre de verrouillages observés était égal à zéro. Ceci indique que le $\text{LET}_{\text{seuil}}$ du multiplexeur est supérieur au LET moyen du ^{252}Cf ($43 \text{ MeV} \cdot \text{mg}^{-1} \cdot \text{cm}^2$, voir section 5.4.2). Pour vérifier ce résultat, des essais supplémentaires ont été effectués à l'accélérateur tandem de l'IPN d'Orsay¹⁸. Le multiplexeur s'est montré insensible aux verrouillages jusqu'à la limite du test, à un LET de $57 \text{ MeV} \cdot \text{mg}^{-1} \cdot \text{cm}^2$ (noyau d'iode, à une fluence de 10^6 ions/cm^2).

7.4 Conclusions

La mise en œuvre du multiplexeur analogique a été une réussite, avec la qualification du circuit intégré pour l'utilisation dans l'espace. Ce composant fait désormais partie du nouveau capteur de Terre statique STS-02[119], commercialisé par SODERN, et qui sera embarqué dans le satellite STENTOR[128]. Les leçons qu'on peut tirer des activités de conception, fabrication et test du multiplexeur sont les suivantes :

- les techniques de dessin ont été efficaces pour le durcissement face à la dose cumulée ;
- l'immunité aux verrouillages semble être à la portée, même pour un LET de $100 \text{ MeV} \cdot \text{mg}^{-1} \cdot \text{cm}^2$.

17. Matra Marconi Space France, 37 av. Louis Breguet, BP 1, F-78146 Vélizy-Villacoublay

18. Institut de Physique Nucléaire d'Orsay, 15 r. Georges Clémenceau, F-91406 Orsay

$\text{mg}^{-1} \cdot \text{cm}^2$, ce qui constitue une réalisation majeure pour une technologie en substrat massif ;

- la suppression des diodes de protection au niveau des entrées et à la sortie n'a pas été un problème ;
- l'existence de deux puces hors normes vis-à-vis de la consommation a été provoquée par la défaillance du canal de test, ce qui milite pour un nouveau dessin, pour augmenter le rendement de production ;
- la croissance du courant de fuite par l'élargissement de la région désertée a été maîtrisée, cependant l'importance du problème signifie qu'il doit être systématiquement pris en compte, au même niveau que le durcissement de l'isolation LOCOS et de la suppression des canaux latéraux parasites ;
- les techniques de durcissement de circuits logiques par l'emploi d'architectures alternatives (figures 5.12 et 5.13) ne sont pas justifiées pour les technologies modernes.

Ces éléments ont été mis à profit pour la continuation des travaux, la réalisation de l'amplificateur bas bruit à la sortie du multiplexeur.

L'amplificateur bas bruit

Les excellents résultats obtenus avec le multiplexeur ont déclenché l'accélération du programme de développement, de manière à fournir à SODERN le frontal de lecture complet, en vue de la qualification et de l'intégration du système pour le lancement de STENTOR. L'élément suivant de la chaîne, l'amplificateur bas bruit, a donc été rapidement conçu et fabriqué. Le dessin de la puce est montré dans la figure 7.15. Les tests ultérieurs ont montré que les contraintes pour la qualification pour l'espace ont été à nouveau satisfaites par la technologie AMS CAE, avec l'utilisation des techniques de durcissement mises au point par les travaux de cette thèse.

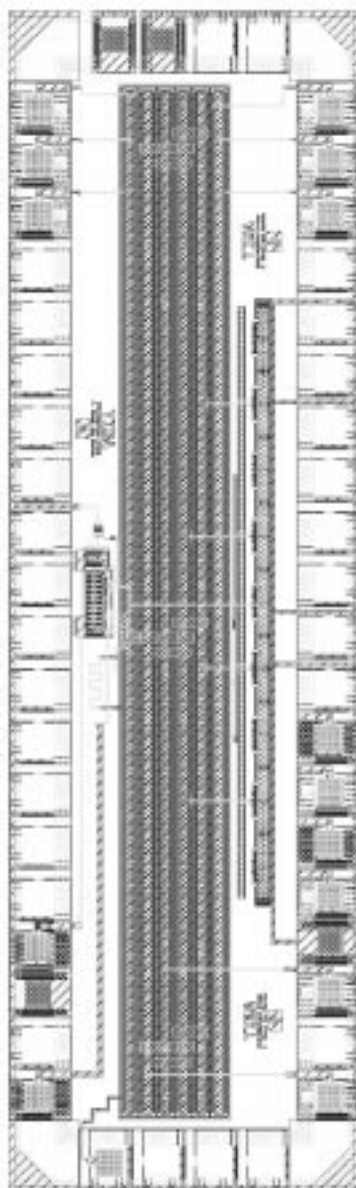


FIG. 7.15 – *Layout de l'amplificateur bas bruit réalisé en technologie AMS CAE.*

Conclusion Générale

L'ÉCARTEMENT du danger d'un conflit militaire majeur a ouvert la voie pour la guerre économique la plus féroce que la planète n'ait jamais connue. Cela est d'autant plus vrai pour le marché spatiale, où on assiste à la formation de nouvelles alliances d'entreprises à la taille globale, dans le but d'explorer de nouveaux services de télécommunication.

La dépendance de ces services sur des constellations de satellites crée une nouvelle dynamique de marché pour les constructeurs, qui doivent être capables de fournir des solutions « clé en main » de plus en plus sophistiquées, à des prix beaucoup moins élevés que dans le passé. La situation où les programmes militaires permettaient de développer les produits pour le marché civil est révoquée. Ce marché est devenu le pilote de la technologie. D'ores et déjà, les premières lignes de production en série, pour la fabrication de satellites, sont en marche.

L'évolution vers ces nouveaux produits ne peut pas se faire sans l'utilisation de circuits intégrés avancés. La fin des technologies durcies signifie que les besoins de composants résistants à la radiation doivent être satisfaits par des solutions compatibles avec les filières de produits de masse.

Les enjeux et les motivations de ce mouvement vers l'utilisation des produits COTS pour la construction de systèmes électroniques spatiaux ont été traités dans le chapitre d'introduction de ce rapport de thèse. Le rôle des microsystèmes dans l'avènement de nouvelles générations de petits satellites a été relevé.

Ici, à la fin du rapport, un bilan des sujets exposés au fil des chapitres est dressé. Dans

THE diminishing risk of a major military conflict has opened the way to the most ferocious economic war that the planet has ever known. This is ever more true for the space market, where one witnesses the formation of new alliances of multinational corporations, with the purpose of exploring new telecommunication services.

The reliance of these services on satellite constellations creates a new market dynamics for the manufacturers, who must be able to supply ever more sophisticated "turn-key" solutions, at much lower prices than in the past. The situation where the military programs allowed the development of products for the civilian market no longer exists. This market has become the technology driver. In fact, the first satellite assembly lines are already in place.

The evolution towards these new products cannot take place without the use of advanced integrated circuits. The end of hardened technologies means that the needs for radiation-resistant components must be met by solutions that are compatible with the fabrication lines used for consumer products.

The issues and reasoning of this movement towards the use of COTS products to build electronic systems for space have been described in the introductory chapter of this thesis. The role of microsystems in the coming of new generations of small satellites has been brought to light.

At this point, at the end of the report, the subjects exposed in each chapter are tallied.

ce bilan, on examine les tendances observées dans le domaine de technologies COTS pour l'espace pendant l'exécution de ce travail. Il est terminé par des propositions de travaux pour l'avenir.

Ce qui est du passé **What's past**

La réponse des circuits intégrés à l'irradiation est le résultat visible de l'interaction entre plusieurs facteurs: la physique des semiconducteurs, les particularités de la construction du circuit intégré, la forme de l'interaction du rayonnement, les caractéristiques du fonctionnement du circuit, l'environnement radiatif, etc. Chacun de ces thèmes a été développé dans la première partie de la thèse.

Tout d'abord, dans le chapitre 2, les bases du fonctionnement des dispositifs semiconducteurs sont étudiées. On a focalisé la discussion sur le dispositif MOS, de façon à faire ressortir aux mieux les mécanismes physiques responsables du fonctionnement. La jonction p-n a été aussi étudiée, avec une description limitée aux éléments dont on a besoin.

Les descriptions au niveau physique sont complétées par une introduction à la modélisation électrique de ces dispositifs. La modélisation employée dans le simulateur électrique SPICE (et ses dérivées) est discutée, en vue de l'ajout des effets des rayonnements dans la modélisation et simulation de circuits. Le dernier sujet du chapitre 2 est le problème de la modélisation électrique du bruit, notamment le bruit dans le transistor MOS. Les simulateurs électriques offrent des modèles qui, en général, ne sont pas satisfaisants à ce respect. Le bruit est souvent l'élément le plus nuisible au fonctionnement des microsystèmes, et quelques formes de bruit sont influencées par la radiation.

Dans le chapitre 3, on étudie les différentes manières de fabriquer un circuit intégré. Les matières premières utilisées et l'enchaînement d'étapes de fabrication sont décrits, afin de comprendre en détail la structure des circuits achévés, dans les différentes filières techno-

In this tally we also examine the trends in the field of COTS technologies for space that have developed during the course of our work. Proposals for further work are given at the end.

The response of integrated circuits to radiation is the end result of the interaction of several factors: semiconductor physics, construction details of the integrated circuit, form of the interaction with the impinging radiation, working characteristics of the circuit, the radiation environment, etc. Each one of these themes has been developed in the first part of this thesis.

Firstly, in chapter 2, the working principles of semiconductor devices were studied. We have focused the discussion on the MOS device, in order to show clearly the physical mechanisms behind its behavior. The p-n junction was also studied, with a limited description adapted to our needs.

The descriptions at the physics level are complemented by an introduction to the electrical modeling of the devices. The modeling used in the SPICE electrical simulator (and its derivatives) is discussed, steered towards the inclusion of the radiation effects in the modeling and simulation of circuits. The last subject of the chapter 2 is the problem of the electrical modeling of noise, particularly the MOS transistor noise. The electrical simulators' models are generally lacking in this respect. Noise is often the most bothersome obstacle to the operation of microsystèmes, and some of its forms are affected by radiation.

In chapter 3 we study the different ways to manufacture an integrated circuit. The raw materials used and the sequence of fabrication steps are described, in order to gain an understanding of the material structure of finished circuits, in each of the different process

logiques. Les problèmes et les avantages de chaque type de filière, vis-à-vis de la radiation, sont évoqués, notamment le problème du thyristor parasite qui est présent dans les technologies CMOS non-isolées. Le chapitre s'achève avec une discussion abrégée sur la fabrication par micro-usinage de microsystemes intégrés.

À ce stade, on a pu appréhender la structure interne et le fonctionnement des dispositifs intégrés. Il demeure à connaître l'ennemi à affronter. Cette lacune est comblée dans le chapitre 4, où les formes d'interaction du rayonnement avec la matière sont étudiées. La discussion est restreinte aux particules et formes d'interaction auxquelles sont exposés les circuits intégrés en technologie CMOS dans l'espace. Le rôle des différents acteurs dans le processus est très variable, selon la région de l'espace traversée. Les caractéristiques des orbites le plus courantes sont détaillées. Le chapitre est terminé par un bref regard sur les problèmes dans d'autres environnements exposés.

La deuxième partie est consacrée au problème du durcissement. C'est le sujet central de la thèse, qui est introduit dans le chapitre 5. Ce chapitre démarre avec l'étude de l'impact des rayonnements de l'espace sur chaque type de structure électrique présente dans un circuit intégré en technologie CMOS bulk. L'étude des effets des rayonnements est organisée selon le délai d'apparition et la durée de la perturbation, provoquée par l'ionisation, sur le fonctionnement du circuit intégré.

Tout d'abord, les effets de la dose cumulée sur l'isolation et les dispositifs sont détaillés. La discussion est menée de manière à cerner clairement l'origine et l'ampleur des dégradations. Au cours de cette étude, on a identifié une forme de détérioration apparemment jamais rapportée, l'élargissement de la région désertée des jonctions p-n planaires. Le phénomène est analysé en détail.

Les effets transitoires sont en suite passés en revue brièvement.

technologies. The problems and advantages of each process technology, with respect to radiation, are brought forward, specially the problem of the parasitic thyristor that exists in CMOS non-insulated technologies. The chapter ends with an abridged review of the fabrication of integrated microsystems by micromachining.

At this stage one is able to apprehend the internal structure and operation of integrated devices. There remains to know the enemy to engage. This void is filled in chapter 4, where the interaction between radiation and matter is studied. The discussion is bounded to the particles and interactions to which CMOS technology integrated circuits are exposed when in space. The role of the different actors is extremely variable, depending on the region of space traversed. The characteristics of the most frequent orbits are detailed. The chapter is closed by a quick look at the problems faced in the other radiation environments.

The second part is devoted to the hardening issue. This is the central subject of this thesis, and it's taken up in chapter 5. The chapter starts with a study of the impact of space radiation on each type of electrical structure that is found in a CMOS bulk technology integrated circuit. The study of the radiation effects is organized as a function of the on-set delay and duration of the radiation-induced disturbances on the operation of the integrated circuit.

Firstly, the total dose effects on the the isolation between devices and on the devices themselves are detailed. The discussion is conducted in a way that brings to light clearly the origins and extent of the degradations. In the course of this research we have identified a possible form of degradation that has apparently never been reported, the spreading of the planar p-n junction depleted region. This phenomenon is analysed in detail.

The transient effects are then shortly reviewed.

Le problème de la prévision du comportement du circuit intégré sous la radiation de l'espace est alors attaqué. Cette prévision s'appuie sur l'extrapolation des mesures menées en laboratoire. Les deux conditions d'irradiation sont assez différentes, ce qui peut fausser énormément les résultats. Les organismes nationaux chargés de l'espace ont reconnu le problème, ce qui a abouti à la mise en place des normes de test, dans le but d'orienter les concepteurs et faciliter les comparaisons de résultats. Les lignes générales des normes promues par l'Agence Spatiale Européenne sont données.

La discussion tourne alors vers les techniques de durcissement des systèmes électroniques spatiaux. Ce durcissement peut se faire à plusieurs niveaux; du système, de la carte, ou du composant.

Les techniques de durcissement au niveau du composant sont étudiées ensuite. Les techniques qui peuvent être appliquées par le concepteur pour durcir des circuits réalisés dans une technologie CMOS bulk sont détaillées. Cela peut se faire au niveau du dessin des masques, ou au niveau de l'architecture des circuits. Les deux voies sont explorées.

Pour un microsystème, la question du durcissement ne se limite pas au durcissement du circuit. Il faut assurer aussi le fonctionnement de la partie non-électronique. Les recherches dans ce sens sont encore au début. Le cas d'accéléromètres COTS a fait l'objet des premières publications. Les résultats rapportés sont examinés rapidement. La diversité de comportements observés met en évidence l'importance des particularités de la mise en oeuvre du capteur dans sa réponse à l'irradiation. Ce constat amène à une analyse minutieuse du cas des barrettes de thermopiles en silicium, l'élément responsable pour la fonction capteur du microsystème que l'on cherche à durcir. Cette analyse permet de conclure que les barrettes ne doivent pas être sensibles aux rayonnements de l'espace.

Les connaissances amassées au fil des chapitres sont utilisées dans l'effort de durcisse-

The problem of predicting the integrated circuit behavior under space radiation is then taken up. This prediction is based on the extrapolation of laboratory measurements. The two irradiation conditions are rather different, which can lead to erroneous results. The national space organizations have recognized the problem, which has resulted in the establishment of test standards, with the purpose of guiding designers and ease the comparison of results. The general test guidelines put forth by the European Space Agency are presented.

The discussion steers then towards the radiation hardening techniques for space electronics. The radiation hardening can be done at various levels: system, board, or component.

The hardening techniques at component level are then analyzed. The techniques that can be used by the designer to harden circuits fabricated in CMOS bulk technologies are detailed. This can be done at the mask level, or at the circuit architecture level. Both paths are explored.

For a microsystem, the hardening question isn't limited to circuit hardening. One must also ensure the functioning of the non-electronic part. The research in this direction is still at an early stage. The case of COTS accelerometers has been the subject of the first publications. The reported results are quickly examined. The diverse responses show the importance of the implementation details of the sensor in defining the response to irradiation. This fact leads to a thorough analysis of the case of silicon thermopile linear arrays, the sensing element of the microsystem we seek to harden. This analysis yields the conclusion that the linear arrays should not be sensitive to space radiation.

The knowledge accumulated through the chapters is put to use in the effort of harden-

ment de la technologie AMS CAE. Cette technologie a été sélectionnée pour la réalisation du microsysteme, du fait de ces bonnes caractéristiques par rapport au bruit, et de sa compatibilité avec la fabrication de thermopiles suspendues par micro-usinage. Cet effort est détaillé dans le chapitre 6. Il démarre par une estimation théorique de la tolérance de la technologie, et du niveau de durcissement que les techniques de dessin pourraient apporter. Cette analyse préliminaire permet de juger que l'utilisation de cette technologie a de bonnes chances de réussite. La caractérisation expérimentale est alors effectuée, de manière à vérifier les résultats théoriques et quantifier la détérioration des paramètres électriques.

Un véhicule de test a été conçu, fabriqué, et irradié. L'analyse des mesures a confirmé les attentes, et a mis au jour des mécanismes de dégradation imprévus. L'analyse des courbes a permis d'expliquer la majeure partie des anomalies observées. L'ensemble des résultats est condensé dans une liste de recommandations pour la conception de l'électronique de lecture. Le chapitre 6 est fini par un regard sur des résultats rapportés par d'autres groupes, et qui sont apparus durant l'exécution des travaux.

Le chapitre 7 est consacré à la réalisation de l'électronique de lecture pour la barrette de thermopiles. Les contraintes associées à la lecture du signal sont décrites. Ces contraintes, couplées au problème du durcissement, ont déterminé le choix d'une architecture simple, composée d'un multiplexeur analogique, suivi d'un amplificateur bas bruit, opérant en mode continu.

Les enjeux de la mise en oeuvre du multiplexeur sont détaillés. Le multiplexeur a été fabriqué et testé avec succès. Des essais sous la radiation ont également été réalisés. La mise en oeuvre pour les essais de dose cumulée et d'événements singuliers est décrite, et les résultats sont rapportés. À la fin des essais, le circuit a été prononcé qualifié pour l'espace. Ce fait a poussé vers une accélération du développement, et l'amplificateur bas bruit a été

ing the AMS CAE technology. This technology was selected for the implementation of the microsystem because of its good characteristics with respect to noise, as well as its compatibility with the fabrication of suspended thermopiles by micromachining. This effort is described in chapter 6. It starts with a theoretical estimative of the tolerance of the technology, and of the level of hardening that the layout techniques could add. This preliminary analysis allows one to judge that the use of this technology has good chances of success. The experimental characterization is then carried out, in order to check the theoretical results and quantify the degradation of the electrical parameters.

A test chip has been designed, fabricated and irradiated. The analysis of the measured data has confirmed the expectations, and turned up unexpected damaging mechanisms. The study of the curves has yielded an explanation for the most part of the observed anomalies. The body of results was condensed in a set of guidelines for the design of the read-out electronics. The chapter 6 is finished by a look at the results reported by other teams, and that appeared during the course of this work.

The chapter 7 is devoted to the realization of the read-out electronics for the linear array of thermopiles. The constraints associated to the signal read-out are listed. These constraints, coupled to the hardening problem, have determined the choice of a simple architecture, composed of an analog multiplexer, followed by a low-noise amplifier, operating in continuous signals.

The issues around the implementation of the multiplexer are discussed in detail. The multiplexer was manufactured and tested successfully. Tests under radiation were also conducted. The set-up used for the total-dose and single-event tests are described, and the results are reported. At the end of the tests the circuit was declared fit for space. This fact pushed towards a speed-up of the development, and the low-noise amplifier was quickly

rapidement conçu, fabriqué et testé, avec la même réussite. La description de cette partie des travaux n'est pas effectuée, car il démanderait trop d'espace pour l'inclusion dans ce rapport.

Ce qui est dans l'avenir

What the future will bring

Les travaux décrits dans ce rapport de thèse se dirigent maintenant vers l'intégration de l'électronique de lecture avec les thermopiles, achevant ainsi la réalisation du micro-système intégré. Les composants individuels développés sont déjà intégrés au produit final, du fait du choix de configuration de notre partenaire industriel. En ce qui concerne le durcissement, tous les objectifs sont atteints, avec le respect des contraintes de délai, de budget et du cahier des charges.

Dans un sens plus large, le développement de microsystèmes pour l'espace a un bel avenir. Les initiatives se multiplient, et on assiste à une véritable course, qui n'est pas tant scientifique qu'économique, vu la nouvelle dynamique et les juteux bénéfices attendus du nouveau marché spatial. Le durcissement des circuits par des techniques peu coûteuses sera certainement un des principaux atouts dans la conquête d'une tranche de ce marché. Le départ de la course s'est déjà passé, puisque des circuits avancés fabriqués sur des technologies COTS et conçus spécifiquement pour les nouvelles générations de satellites ont été déjà rapportés[129]. Le durcissement est vu comme le maillon manquant, et les contributions apportées par cette thèse autorisent à franchir cet obstacle.

designed, fabricated and tested, with the same success. The description of this part of the work isn't carried out, because of the size considerations for this report.

The work addressed by this report is now directed towards the integration of the read-out electronics together with the thermopiles, thus finishing the realization of the integrated microsystem. The separate chips developed are already integrated in the final product, due to the choice of configuration made by our industrial partner. With respect to the radiation hardening, all targets were met, timely, under budget, and fulfilling the engineering specifications.

In a broader sense, the development of space microsystems has a rosy outlook. The initiatives are legion, and one watches a true race, which isn't so much scientific as economic, given the new dynamics and the juicy profits expected from the new space market. The hardening of circuits through low-cost techniques will certainly be a major asset in the conquest of market share. The start of the race has already happened, since that advanced circuits made on COTS technologies specifically for the new generation of satellites have already been reported[129]. The hardening is seen as the missing link, and the contributions of this thesis allows the overcoming of this barrier.

Bibliographie

- [1] T. P. Ma and P. V. Dressendorfer, eds., *Ionizing radiation effects in MOS devices and circuits*. John Wiley & Sons, 1989.
- [2] Direction de la recherche et de la technologie, *Actes des conférences de la journée thématique DRET Microélectronique silicium 14.Nov.1996*, (4, rue de la Porte d'Issy, 75015 Paris), Ministère de la défense, Direction Générale de l'armement, Nov. 1996.
- [3] P. Ramat, "Les enjeux des satellites de troisième génération," *01 Réseaux*, pp. 66-67, Apr. 1996.
- [4] L. Goldberg, "Inexpensive standardized satellites deploy payloads faster, better and cheaper," *Electronic Design*, pp. 100-102, Apr. 1 1997.
- [5] V. Biancomano, "Chips seize higher technology ground," *Electronic Engineering Times*, vol. 17, pp. 63-66, Feb. 1997.
- [6] European Space Agency - ESTEC, Postbus 299 - NL 2200 AG Noordwijk, *ESA technology research & development programme for 1997-98-99*, June 1997.
- [7] European Space Agency - Space components coordination group, *Total dose steady-state irradiation test method - ESA/SCC Basic Specification No. 22900*, 4 ed., Apr. 1995.
- [8] R. S. Muller and T. I. Kamins, *Device electronics for integrated circuits*. John Wiley & Sons, 1977.
- [9] S. Sze, *Semiconductor Devices: Physics and Technology*. John Wiley & Sons, 1988.
- [10] G. C. Messenger and M. S. Ash, *The effects of radiation on electronic systems*. 115 Fifth Ave., New York, NY 10003: Van nostrand reinhold, 2nd ed., 1992.
- [11] D. K. Schroder, *Semiconductor material and device characterization*. John Wiley & Sons, 1990.
- [12] G. Massobrio and P. Antognetti, eds., *Semiconductor device modeling with SPICE*. McGraw-Hill, Inc., 2nd ed., 1993.
- [13] W. F. Brink, D. E. Haggan, and W. W. Troutman, "A history of the invention of the transistor and where it will lead us," *IEEE Journal of Solid State Cicuits*, vol. 32, pp. 1858-1865, Dec. 1997.
- [14] R. F. Pierret, *Field effect devices*, vol. 4 of *Addison-Wesley modular series on solid state devices*. Addison-Wesley Publishing Company, Inc., 2nd ed., 1990.

- [15] K. R. Laker and W. M. C. Sansen, *Design of analog integrated circuits and systems*. McGraw-Hill, Inc., 1994.
- [16] P. R. Gray and R. G. Meyer, *Analysis and design of analog integrated circuits*. John Wiley & Sons, 3rd ed., 1993.
- [17] K. Hung, P. Ko, C. Hu, and Y. Cheng, "A physics-based MOSFET noise model for circuit simulator," *IEEE Transactions on Electron Devices*, vol. 37, pp. 1323–1333, 1990.
- [18] S. Wolf, *Silicon processing for the VLSI era*, vol. 2: Process integration. PO Box 340, Sunset Beach, California 90742: Lattice Press, 1990.
- [19] S. A. Campbell, *The science and engineering of microelectronic fabrication*. Oxford series in electrical engineering, Oxford University Press, 1996.
- [20] J. M. Paret, *Étude et mise au point de la méthodologie de conception et de fabrication collective de microsystèmes sur silicium*. Thèse de doctorat, Institut National Polytechnique de Grenoble, Jan. 1997.
- [21] R. R. Troutman, *Latchup in CMOS technology: the problem and its cure*. Kluwer Academic Publishers, 1986.
- [22] S. Cristoloveanu and S. S. Li, *Electrical characterization of silicon-on-insulator materials and devices*. Kluwer Academic Publishers, 1995.
- [23] , "An ultra-thin silicon technology that provides integration solutions on standard CMOS," *Microwave Journal*, pp. 198–204, Jan. 1998.
- [24] J.-P. Colinge, *Silicon-on-insulator technology: materials to VLSI*. Kluwer Academic Publishers, 1991.
- [25] A. Holmes-Siedle and L. Adams, *Handbook of radiation effects*. Oxford University Press, 1993.
- [26] Space Radiation Associates, 1430 Willamette Street, Suite 1, Eugene OR – 97401, *Space Radiation 4.0*, 1997.
- [27] J. Ziegler, J. Biersack, and U. Littmark, *The stopping power and range of ions in solids*. Pergamon Press, 1985.
- [28] R. Barnett *et al.*, "Review of particle physics," *Physical Review*, vol. D54, 1 1996.
- [29] W. R. Dawes, Jr., F. B. McLean, P. A. Robinson, Jr., and J. J. Silver, *Hardening semiconductor components against radiation and temperature*. Mill Road, Park Ridge, New Jersey 07656: Noyes Data Corporation, 1989.
- [30] L. H. Scharfetter, *Active Pixel Detectors for the Large Hadron Collider*. PhD thesis, Institute for Experimental Physics, Leopold Franzens University, Innsbruck, Austria, Feb. 1997.
- [31] R. Koga, "Single-event effect ground test issues," *IEEE Transactions on Nuclear Science*, vol. 43, pp. 661–670, Apr. 1996.

- [32] J. D. Gaffey, Jr. and D. Bilitza, "National space science data center trapped radiation models," *Journal of Spacecrafts and Rockets*, vol. 31, pp. 166-176, Mar. 1994.
- [33] D. Chennete *et al.*, "The CRRES/SPACERAD heavy ion model of the environment (CHIME) for cosmic rays and solar particle effects on electronic and biological systems in space," *IEEE Transactions on Nuclear Science*, vol. 41, pp. 2332-2339, Dec. 1994.
- [34] K. LaBel *et al.*, "Commercial microelectronics technologies for applications in the satellite radiation environment," in *1996 IEEE Aerospace Applications Conference*, p. 226, Institute of Electronics and Electrical Engineering, Dec. 1996.
- [35] H. Mahmi, "La grande offensive des satellites," *01 Informatique*, p. 26, Dec. 1997.
- [36] K. Lauridsen, "The TELEMAN/ENTOREL project," in *Proceedings of the First European Conference on Radiation and its Effects on components and systems*, pp. 317-319, Commissariat a l'Energie Atomique, Institute of Electronics and Electrical Engineering, Sept. 1991.
- [37] O. Flament *et al.*, "Radiation effects on SOI analog device parameters," *IEEE Transactions on Nuclear Science*, vol. 41, pp. 565-571, June 1994.
- [38] E. Heijne *et al.*, "RADTOL R&D: Proposal for studying radiation tolerant ICs for LHC," R&D Proposal P63/LEB CERN/LHCC/97-2, CERN - European Organization for Nuclear Research, CH-1211 Geneva 23 Switzerland, Jan. 1997.
- [39] J. P. Krebs, "Un nouveau capteur de terre infrarouge pour petits satellites," in *Recueil des actes du Colloque européen Capteurs pour l'espace*, (UJFG-LIME, BP 53, F-38041), pp. 31-40, PROCAP, PROCAP, Mar. 1997.
- [40] K. Galloway, M. Gaitan, and T. Russell, "A simple model for separating interface and oxide charge effects in MOS device characteristics," *IEEE Transactions on Nuclear Science*, vol. 31, pp. 1497-1501, Dec. 1984.
- [41] T. Meisenheimer *et al.*, "1/f noise in n- and p-channel MOS devices through irradiation and annealing," *IEEE Transactions on Nuclear Science*, vol. 38, pp. 1297-1303, Dec. 1991.
- [42] W. Sansen, J. Bastos, M. Steyaert, and A. Pergoot, "Mismatch characterization of submicron MOS transistors," *Analog Integrated circuits and signal processing*, vol. 12, pp. 95-106, Feb. 1997.
- [43] N. Virmani *et al.*, "Critical issues and qualification related to use of plastic encapsulated microcircuits for spaceflight applications," in *Proceedings of the Third ESA electronic components conference*, (PO Box 299 2200 AG Noordwijk), European Space Agency, ESA/ESTEC, Apr. 1997.
- [44] A. Makihara *et al.*, "Stress of A-sized plastic package ICs by thermal cycle testing," in *Proceedings of the Third ESA electronic components conference*, (PO Box 299 2200 AG Noordwijk), European Space Agency, ESA/ESTEC, Apr. 1997.

- [45] R. L. Pease *et al.*, "Plastic packaging and burn-in effects on ionizing dose response in CMOS microcircuits," *IEEE Transactions on Nuclear Science*, vol. 42, pp. 1607–1614, Dec. 1995.
- [46] S. Dowling and D. Strobel, "The effect of epoxy package materials on device total dose response at low dose rates," in *Proceedings of the fourth european conference on radiation and its effects on components and systems* [130], pp. F.16–F.18.
- [47] M. Kubota *et al.*, "Radiation damage of double-sided silicon strip detectors," in *Conference Record of the 1991 IEEE Nuclear Science Symposium and Medical Imaging Conference*, p. 246, Institute of Electronics and Electrical Engineering, Nov. 1991.
- [48] A. Paccagnella *et al.*, "Breakdown properties of irradiated MOS capacitors," *IEEE Transactions on Nuclear Science*, vol. 43, pp. 2609–2616, Dec. 1996.
- [49] T. C. May and M. H. Woods, "Alpha-particle-induced soft errors in dynamic memories," *IEEE Transactions on Electron Devices*, vol. 26, pp. 2–9, Jan. 1979.
- [50] H. Schleifer, T. v. d. Ropp, K. Hoffmann, and W. Reczek, "Design concept for radiation hardening of low power and low voltage dynamic memories," *IEEE Journal of Solid State Circuits*, vol. 30, pp. 826–829, July 1995.
- [51] M. Takai *et al.*, "Soft error susceptibility and immune structures in dynamic random access memories (DRAM's) investigated by nuclear microprobes," *IEEE Transactions on Nuclear Science*, vol. 43, pp. 696–704, Apr. 1996.
- [52] L. R. Rockett, "An SEU-hardened CMOS data latch design," *IEEE Transactions on Nuclear Science*, vol. 35, pp. 1682–1687, Dec. 1988.
- [53] D. Bessot and R. Velazco, "Design of SEU-hardened CMOS memory cells: the HIT cell," in *Proceedings of the Second European Conference on Radiation and its Effects on components and systems*, pp. 563–569, Commissariat a l'Energie Atomique, Institute of Electronics and Electrical Engineering, Nov. 1993.
- [54] S. Whitaker, J. Canaris, and K. Liu, "SEU hardened memory cells for a CCSD Reed-Solomon encoder," *IEEE Transactions on Nuclear Science*, vol. 38, pp. 1471–1477, Dec. 1991.
- [55] H. Weaver *et al.*, "An SEU tolerant memory cell derived from fundamental studies of SEU mechanisms in SRAM," *IEEE Transactions on Nuclear Science*, vol. 34, pp. 1281–1286, Dec. 1987.
- [56] S. E. Diehl *et al.*, "Considerations for single event immune VLSI logic," *IEEE Transactions on Nuclear Science*, vol. 30, pp. 4501–4507, Dec. 1983.
- [57] S. Kerns, B. Shafer, L. Rockett, J. Pridmore, D. Bernot, N. van Vonno, and F. Barber, "The design of radiation-hardened ICs for space: a compendium of approaches," *Proceedings of the IEEE — Special Issue on Space Electronics*, vol. 76, pp. 1470–1509, Nov. 1988.
- [58] Y. Tosaka *et al.*, "Cosmic ray neutron-induced soft errors in sub-half micron CMOS circuits," *IEEE Transactions on Electron Devices*, vol. 18, pp. 99–101, Mar. 1997.

- [59] T. Juhnke and H. Klar, "Calculation of the soft error rate of submicron CMOS logic circuits," *IEEE Journal of Solid State Circuits*, vol. 30, pp. 830–834, July 1995.
- [60] A. B. Carlson, *Communication Systems*. McGraw-Hill, Inc., 1975.
- [61] , "Labs get their own gamma source," *Electronics Times*, Mar." 28" 1996.
- [62] J.-M. Boyer, *Prévision du comportement à long terme des circuits intégrés CMOS irradiés*. Thèse de doctorat, L'école nationale supérieure de l'aéronautique et de l'espace – SUPAERO, Dec. (12.12.96) 1996.
- [63] R. Pease *et al.*, "Analysis of bipolar linear circuit response mechanisms for high and low dose rate total dose irradiations," *IEEE Transactions on Nuclear Science*, vol. 43, pp. 3040–3048, Dec. 1996.
- [64] A. Johnston, C. Lee, and B. Rax, "Enhanced damage in bipolar devices at low dose rates: effects at very low dose rates," *IEEE Transactions on Nuclear Science*, vol. 43, pp. 3049–3059, Dec. 1996.
- [65] O. Flament *et al.*, "Enhanced total dose damage in junction field effect transistors and related linear integrated circuits," *IEEE Transactions on Nuclear Science*, vol. 43, pp. 3060–3067, Dec. 1996.
- [66] S. Buchner, D. McMorrow, J. Melinger, and A. Campbell, "Laboratory tests for single-event effects," *IEEE Transactions on Nuclear Science*, vol. 43, pp. 678–686, Apr. 1996.
- [67] European Space Agency – Space components coordination group, *Single event effects test method and guidelines – ESA/SCC Basic Specification No. 25100*, 1 ed., Oct. 1995.
- [68] L. Adams and A. Holmes-Siedle, "Radiation hardness assurance of space electronics," *Nuclear instruments and methods in physics research A*, no. 314, pp. 355–344, 1992.
- [69] L. Manchanda, S. J. Hillenius, W. T. Lynch, H. ih Cong, K. K. Ng, and R. L. Field, Jr., "A high-performance directly insertable self-aligned ultra-rad-hard and enhanced isolation field-oxide technology for gigahertz silicon NMOS/CMOS VLSI," *IEEE Transactions on Electron Devices*, vol. 4, pp. 651–657, Apr. 1989.
- [70] K. Ramesh *et al.*, "Role of electron traps in the radiation hardness of thermally nitrided silicon dioxide," *IEEE Electron Device Letters*, vol. 12, Dec. 1991.
- [71] A. Kalnitsky, "Method of forming radiation hard integrated circuits." US Patent 5,418,174, 1995 May" 23".
- [72] O. Brière, V. Lasserre, K. Rödde, and B. Thomas, "A 0.6 μm CMOS technology for space applications with radiation tolerance above 2kgray total dose," in *Proceedings of the fourth european conference on radiation and its effects on components and systems* [130], pp. W.49–W.50.
- [73] D. Kerwin, J. Benedetto, and R. Sharman, "Radiation hardening of submicron CMOS using commercial RADHARD technology," in *Proceedings of the 3rd Workshop on Electronics for LHC Experiments*, CERN – European Organization for Nuclear Research, Sept. 1997. CERN-LHCC-97-60.

- [74] P. Pleshko, "MOS transistor electronic stabilization of thresholds," *IEEE Journal of Solid State Circuits*, vol. 10, pp. 336–337, Aug. 1967.
- [75] M. Shoji, "Circuit arrangement for controlling threshold voltages in CMOS circuits." US Patent 4,670,670, June 2 1987.
- [76] D. E. DeBar, "Dynamic substrate bias to achieve radiation hardening," *IEEE Journal of Solid State Circuits*, vol. 25, no. 11a, pp. 5829–5830, 1983.
- [77] R. B. Merrill and R. Farrenkopf, "Apparatus and method for adjusting the threshold voltage of MOS transistors." US Patent 5,397,934, Mar. 14 1995.
- [78] J. Dickson, "On-chip high-voltage generation in NMOS integrated circuits using an improved voltage multiplier technique," *IEEE Journal of Solid State Circuits*, vol. 11, pp. 374–378, June 1976.
- [79] W. Martino, J. Moench, A. Bormann, and R. Tesch, "An on-chip back-bias generator for MOS dynamic memory," *IEEE Journal of Solid State Circuits*, vol. 15, pp. 820–825, Oct. 1980.
- [80] M. Kuriyama *et al.*, "A 5v-only 0.5 μ m flash EEPROM with row decoder scheme in triple-well structure," in *Proceedings of the IEEE international solid-state circuits conference*, pp. 152–153, Institute of Electronics and Electrical Engineering, 1992.
- [81] V. von Kaenel and M. D. Pardoen, "Circuit for controlling the voltages between well and sources of the transistors of and MOS logic circuit, and system for slaving the power supply to the latter including the application thereof." US Patent 5,682,118, Oct. 28 1997.
- [82] J.-P. Colinge, "Method and device for compensating drift in a semiconductor element." US Patent 5,233,236, Aug. 3 1993.
- [83] K. Anami *et al.*, "Design consideration of a static memory cell," *IEEE Journal of Solid State Circuits*, vol. 18, pp. 414–417, Aug. 1983.
- [84] S. I. Long and M. Sundaram, "Noise-margin limitations on gallium-arsenide VLSI," *IEEE Journal of Solid State Circuits*, vol. 23, pp. 893–900, Aug. 1988.
- [85] K. O. Jeppson, "Comments on the metastable behavior of mismatched CMOS latches," *IEEE Journal of Solid State Circuits*, vol. 31, pp. 275–277, Feb. 1996.
- [86] J. Lohstroh, "Static and dynamic noise margins of logic circuits," *IEEE Journal of Solid State Circuits*, vol. 14, pp. 591–598, June 1979.
- [87] C. Hill, "Noise margin and noise immunity in logic circuits," *Microelectronics*, vol. 1, pp. 16–22, Apr. 1968.
- [88] E. Seevinck, F. J. List, and J. Lohstroh, "Static-noise margin analysis of MOS SRAM cells," *IEEE Journal of Solid State Circuits*, vol. 22, pp. 748–754, Oct. 1987.
- [89] C.-C. Chen, S.-C. Liu, C.-C. Hsiao, and J.-G. Hwu, "A circuit design for the improvement of radiation hardness in CMOS digital circuits," *IEEE Transactions on Nuclear Science*, vol. 39, pp. 272–277, Apr. 1992.

- [90] R. Hensley and A. Srivastava, "Total dose radiation hardening and testing issues of CMOS static memories," in *Records of the 1993 IEEE international workshop in memory testing*, pp. 108–112, Institute of Electronics and Electrical Engineering, IEEE computer society press, 1993.
- [91] F. M. Roche and L. Salager, "CMOS inverter design-hardened to the total dose effect," *IEEE Transactions on Nuclear Science*, vol. 43, pp. 3097–3102, Dec. 1996.
- [92] P. Francis, C. Michel, D. Flandre, and J. Colinge, "Radiation-hard design for SOI MOS inverters," *IEEE Transactions on Nuclear Science*, vol. 41, pp. 402–407, Apr. 1994.
- [93] P. Francis, D. Flandre, and J. P. Colinge, "Theoretical considerations for SRAM total-dose hardening," *IEEE Transactions on Nuclear Science*, vol. 42, pp. 83–91, Apr. 1995.
- [94] J. Colinge, M. Gao, A. Romano, H. Maes, and C. Claeys, "Silicon-on-insulator gate-all-around device," in *Technical digest of the international electron devices meeting*, pp. 595–598, Institute of Electronics and Electrical Engineering, Dec. 1990.
- [95] E. Simoens, C. Claeys, S. Coenen, and M. Decretton, "DC and low frequency noise characteristics of gamma-irradiated gate-all-around silicon-on-insulator MOS transistors," *Solid-State Electronics*, vol. 38, pp. 1–8, Jan. 1995.
- [96] T. Chapuis, H. Constans-Erems, and L. Rosier, "Latchup on CMOS/EPI devices," *IEEE Transactions on Nuclear Science*, vol. 37, pp. 1839–1843, Dec. 1990.
- [97] J. W. Gambles, "A path toward low cost rad-tolerant digital CMOS," in *Proceedings of the 6th NASA Symposium on VLSI Design*, pp. 1.2.1–1.2.9, 1997.
- [98] D. Czajkowski *et al.*, "Single event latchup protection of integrated circuits," in *Proceedings of the fourth european conference on radiation and its effects on components and systems* [130], pp. H.15–H.16.
- [99] A. Knudson *et al.*, "The effects of radiation on MEMS accelerometers," *IEEE Transactions on Nuclear Science*, vol. 43, pp. 3122–3126, Dec. 1996.
- [100] C. Lee *et al.*, "Total dose effects on microelectromechanical systems (MEMS): Accelerometers," *IEEE Transactions on Nuclear Science*, vol. 43, pp. 3127–3132, Dec. 1996.
- [101] J. W. Gardner, *Microsensors: Principles and Applications*. 605 Third Ave., New York, NY 10158-0012: John Wiley & Sons, Inc., 1994.
- [102] G. C. M. Meijer and A. W. Herwaarden, eds., *Thermal sensors*. Techno House, Redcliffe Way, Bristol BS1 6NX, UK: IOP Publishing Ltd., 1994.
- [103] T. Ebel, S. Poser, and H. Fischer, "Thermoelectric radiation microsensors," *Sensors and Actuators A*, vol. 41–42, pp. 493–496, 1994.
- [104] A. van Herwaarden, P. Sarro, *et al.*, "Integrated thermopile sensors," *Sensors and Actuators A*, vol. A21–A23, pp. 621–630, 1989.
- [105] E. Seebachere, *1,2 μm CMOS Process Parameters*. Austria Mikro Systeme International AG, Schloss Premstätten A-8141 Unterpremstätten, Aug. 1996.

- [106] J.-M. Karam, *Méthodes et outils pour la conception et la fabrication des microsystèmes*. Thèse de doctorat, Institut National Polytechnique de Grenoble, May 1996.
- [107] W. Fallot-Burghardt *et al.*, "Radiation effects on the viking-2 preamplifier-readout chip," *Nuclear Methods in Physics Research A*, no. 348, pp. 683–687, 1994.
- [108] W. Fallot-Burghardt *et al.*, "HELIX: a readout chip for the HERA-B microstrip detectors," in *Proceedings of the 2nd Workshop on Electronics for LHC Experiments*, pp. 503–505, CERN – European Organization for Nuclear Research, Sept. 1996. CERN-LHCC-96-39.
- [109] "Minutes of the ATLAS LARG electronics meeting." CERN/ATLAS meeting notes, Nov. 8th 1995.
- [110] C. Brisset *et al.*, "Two-dimensional simulation of total dose effects on NMOSFET with lateral parasitic transistor," *IEEE Transactions on Nuclear Science*, vol. 43, pp. 2651–2658, Dec. 1996.
- [111] T. E. Price, *Introduction to VLSI technology*. Prentice-Hall International (UK) Ltd., 1994.
- [112] G. Ghibaudo, "New method for the extraction of MOSFET parameters," *Electronics Letters*, vol. 24, pp. 543–545, apr 1988.
- [113] W. H. Press *et al.*, *Numerical recipes in C: the art of scientific computing*. Cambridge University Press, second ed., 1992.
- [114] D. Fleetwood *et al.*, "Theory and application of dual-transistor charge separation analysis," *IEEE Transactions on Nuclear Science*, vol. 36, pp. 1816–1824, Dec. 1989.
- [115] A. Giraldo, "Measurement of total dose effects in deep submicron CMOS processes." presented at the 2nd CERN RadTol/RD49 meeting, Sept. 1997.
- [116] A. Giraldo, A. Paccagnella, C. Dachs, F. Faccio, E. H. M. Heijne, P. Jarron, K. Kloukinas, and A. Marchioro, "Total dose behaviour of commercial submicron VLSI technologies at low dose rate," in *Proceedings of the 3rd Workshop on Electronics for LHC Experiments*, pp. 144–148, CERN – European Organization for Nuclear Research, Sept. 1997. CERN-LHCC-97-60.
- [117] R. Lacoë, D. Mayer, J. Osborn, and G. Yabiku, "Total dose hardness of CMOS commercial microelectronics," in *Proceedings of the fourth european conference on radiation and its effects on components and systems* [130], pp. F.19–F.22.
- [118] H. Baltes, R. Lenggenhager, and T. Elbel, "Thermoelectric infrared sensors in CMOS technology," *Sensors and Actuators A*, no. 37–38, pp. 216–220, 1993.
- [119] J. Krebs, O. Brunel, C. Guerin, D. Guillon, and J. Niot, "A new infrared static earth sensor for micro and nano-satellites," in *Proceedings of the 2nd Round Table on Micro/Nano Technologies for Space*, (PO Box 299 NL-2200 AG Noordwijk), p. 187, European Space Agency, ESA-ESTEC, Oct. 1997.

- [120] E. A. Vittoz, *Dynamic Analog Techniques*, ch. 4, p. 101. Prentice-Hall International (UK) Ltd., 2nd ed., 1994.
- [121] B. J. Sheu, J.-H. Shieh, and M. Patil, "Measurement and analysis of charge injection in MOS analog switches," *IEEE Journal of Solid State Circuits*, vol. 22, pp. 277-281, Apr. 1987.
- [122] B. J. Sheu and C. Hu, "Switch-induced error voltage on a switched capacitor," *IEEE Journal of Solid State Circuits*, vol. 19, pp. 519-525, Aug. 1984.
- [123] B. Stefanelli, J.-P. Bardyn, A. Kaiser, and D. Billet, "A very low-noise CMOS preamplifier for capacitive sensors," *IEEE Journal of Solid State Circuits*, vol. 28, pp. 971-978, Sept. 1993.
- [124] G. C. Temes and R. Gregorian, *Analog MOS integrated circuits for signal processing*. Wiley, 1986.
- [125] P. E. Allen and D. R. Holberg, *CMOS analog circuit design*. Holt, Rinehart and Winston, 1987.
- [126] P. R. Gray *et al.*, "A low-noise chopper-stabilized differential switched-capacitor filtering technique," *IEEE Journal of Solid State Circuits*, vol. 16, pp. 708-715, Dec. 1981.
- [127] C. Menolfi and Q. Huang, "A low-noise CMOS instrumentation amplifier for thermoelectric infrared detectors," *IEEE Journal of Solid State Circuits*, vol. 32, pp. 968-976, July 1997.
- [128] A. Dufourg *et al.*, "STENTOR: a technological satellite for advanced telecommunications," in *Proceedings of the fourth European Conference on Satellite Communications (ECSC-4)*, Nov. 1997.
- [129] M. Aaberg, A. Rantala, and H. Pohjonen, "A large 16×16 analog switch matrix for personal communications satellites," *Analog Integrated Circuits and Signal Processing*, vol. 15, pp. 143-151, Apr. 1998.
- [130] Institute of Electronics and Electrical Engineering, *Proceedings of the fourth european conference on radiation and its effects on components and systems*, 1997.