



HAL
open science

Interface Analogique Numérique Asynchrone: une Nouvelle Famille de Convertisseurs Basés sur la Quantification du Temps

E. Allier

► **To cite this version:**

E. Allier. Interface Analogique Numérique Asynchrone: une Nouvelle Famille de Convertisseurs Basés sur la Quantification du Temps. Micro et nanotechnologies/Microélectronique. Institut National Polytechnique de Grenoble - INPG, 2003. Français. NNT : . tel-00004027

HAL Id: tel-00004027

<https://theses.hal.science/tel-00004027>

Submitted on 19 Dec 2003

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

INSTITUT NATIONAL POLYTECHNIQUE DE GRENOBLE

N° attribué par la bibliothèque

| / / / / / / / / / / |

T H E S E

pour obtenir le grade de

DOCTEUR DE L'INPG

Spécialité : Microélectronique

préparée au laboratoire **TIMA** dans le cadre de
**l'Ecole Doctorale d'« Electronique, Electrotechnique, Automatique,
Télécommunications, Signal »**

présentée et soutenue publiquement

par

Emmanuel ALLIER

Le 27 novembre 2003

Titre :

*INTERFACE ANALOGIQUE NUMERIQUE ASYNCHRONE :
UNE NOUVELLE CLASSE DE CONVERTISSEURS
BASES SUR LA
QUANTIFICATION DU TEMPS*

Directeur de Thèse : Marc RENAUDIN
Codirecteur : Gilles SICARD

JURY

M. Gérard BOUVIER	, Président
M. Patrick LOUMEAU	, Rapporteur
M. Richard KIELBASA	, Rapporteur
M. Marc RENAUDIN	, Directeur de thèse
M. Gilles SICARD	, Co-directeur de thèse
M. Pascal FOUILLAT	, Examineur
M. Patrice SENN	, Invité

Résumé

Ce travail de thèse s'intègre dans le cadre du développement de nouvelles approches de conception afin de réduire de manière significative la consommation électrique des Systèmes sur Puces (SoCs) ou des Objets Communicants. Le but est d'obtenir des systèmes uniquement contrôlés par les événements contenus dans le signal utile. Dans ce contexte, ce travail est focalisé sur un bloc critique dans de telles chaînes de traitement du signal : le Convertisseur Analogique Numérique (CAN). Il est donc décrit une nouvelle famille de CANs, mettant en œuvre un échantillonnage irrégulier dans le temps du signal analogique (*échantillonnage par traversées de niveaux*) et une implémentation asynchrone (pas d'horloge globale). Cette approche rend les caractéristiques de ces CANs duales par rapport à celles des CANs de Nyquist classiques : il y a échantillonnage en amplitude et quantification en temps. La théorie associée a conduit à développer une méthodologie de conception propre à ces convertisseurs. Connaissant les caractéristiques spectrales et statistiques du signal analogique, elle permet de déterminer les paramètres de conception optimaux du CAN afin de réduire le matériel mis en œuvre, son activité, et donc sa consommation électrique. Cette méthode a été utilisée pour la conception de CANs, en technologie CMOS standard $0,18\mu m$. Les simulations électriques ont prouvé que leur Facteur de Mérite (FoM) atteint un ordre de grandeur de plus par rapport à celui des CANs de Nyquist actuels. L'étude de systèmes complets intégrant capteur, conversion analogique numérique et traitement numérique selon cette même méthode, utilisant simultanément de l'«asynchronisme» pour l'échantillonnage et l'implémentation matérielle, permet d'affirmer que des perspectives très intéressantes peuvent être espérées quant à la réduction de la dissipation d'énergie dans les SoCs.

Mots Clés : Convertisseurs Analogiques Numériques (CANs), Conception Asynchrone, Echantillonnage irrégulier, Conception analogique, Facteur de Mérite (FoM).

Abstract

This PhD thesis deals with the development of a new design approach in order to reduce significantly the power consumption of *Systems on Chips* (SoCs) and *Communicating Objects*. The goal is to obtain systems only driven by the events contained in the useful signal. In this context, this work is focused on a critical block in such signal processing chains: the Analog to Digital Converter (ADC). Thus, a new family of CANs is described, using both an irregular sampling in time of the analog signal (*level crossing sampling*) and an asynchronous design (no global clock). This approach places the characteristics of these CANs as the dual case of those of usual Nyquist converters: there is a sampling in amplitude and and quantization in time. The associated theory leads to the development of a general methodology of these converters. Knowing the spectral and statistical characteristics of the analog signal, it allows the designer to determine the optimal design parameters of the ADC, in order to reduce the hardware, its activity and so the power dissipation and the electromagnetic emissions. This method has been used for the design of ADCs, in a CMOS 0,18 μ m standard technology. The electrical simulations have proved that their *Figure of Merit* (FoM) is improved by one order of magnitude compared to state-of-the-art Nyquist ADCs. The study of complete systems integrating sensor, analog to digital conversion, and digital processing according to this same method, using asynchronism for the sampling scheme and the design, allows us to affirm that very interesting prospects can be hoped as for the reduction of the power dissipation in SoCs.

Key Words : Analog to Digital Converters (ADCs), Asynchronous Design, Irregular Sampling, Analog Design, Figure of Merit (FoM).

Remerciements

Ces travaux de cette thèse ont été réalisés au laboratoire des *Techniques de l'Informatique et de la Microélectronique pour l'Architecture des ordinateurs* (TIMA), sur le site Viallet de l'*Institut National Polytechnique de Grenoble* (INPG). Je remercie son directeur, Bernard Courtois, pour son accueil au sein de ce laboratoire.

Je remercie Marc Renaudin, mon directeur de thèse, Professeur à l'*Ecole Nationale Supérieure d'Electronique et de Radioélectrique de Grenoble* (ENSERG), et responsable du groupe *Concurrent Integrated Systems* (CIS), de m'avoir accepté au sein de son groupe de recherche, de m'avoir accordé sa confiance et de m'avoir fait partagé sa passion pour les circuits asynchrones. Ces trois années ont été très enrichissantes sur le plan technique et sur le plan humain.

Je remercie également Gilles Sicard, mon co-directeur de thèse, Maître de Conférence à l'*Université Joseph Fourier* (UJF), et Laurent Fesquet, Maître de Conférence ENSERG, pour leur disponibilité, leur esprit critique, et leurs éclairages techniques pendant ces trois années.

Je remercie Patrick Loumeau, Maître de Conférence à l'*Ecole Nationale Supérieure des Télécom* (ENST) de Paris, et Richard Kielbasa, Professeur à l'*Ecole Supérieure d'Electricité* (Supelec), d'avoir accepté d'être les rapporteurs de mes travaux de thèse. Je remercie également Pascal Fouillat, Professeur à l'*Ecole Nationale Supérieure d'Electronique, Informatique et Radiocommunications* (ENSEIRB) de Bordeaux, d'avoir participé à mon jury de thèse. Je remercie Patrice Senn, responsable du laboratoire DIH/OCF de France Télécom R&D Grenoble, de l'intérêt qu'il a porté pour ces travaux, et je regrette vivement qu'il n'ai pu assister à ma soutenance. J'adresse enfin mes remerciements à Gérard Bouvier, Professeur à l'ENSERG d'avoir présidé mon jury de thèse.

Je remercie Fabien Aeschlimann, doctorant du groupe CIS pour nos nombreuses discussions et son aide sur l'échantillonnage généralisé. Je lui souhaite bonne chance pour ses travaux de recherche sur les aspects traitement du signal associé à cette nouvelle classe de convertisseurs analogiques numériques.

Je remercie Alexandre Chagoya pour son extrême gentillesse, Bernard Bosc, Robin Rolland et plus généralement tout le personnel du CIME.

Je remercie également tout le personnel du TIMA et du CMP pour les formidables années passées ici.

J'adresse enfin mes remerciements aux membres du groupe CIS pour leur bonne humeur et leurs « compétences » dans de si nombreux « domaines ». En effet, une multitude d'activités extra-professionnelles ont été réalisées pendant ces trois années. Dans le désordre, il y a eu : les tables du *Couche-tard*, la piste du *Vertigo*, les girafes de la place du tribunal, la grotte du *Dotty*, le *Couleur Café*, les quarantenaires du *Saxo*, les tours du monde au *Scénario*, la terrasse du *Subway*, les podiums du *Valery's*, les anglaises du *Trois-Canard* et du *Tord-Boyaux...*, les soirées Halloween, bronzés, stars, couscous, moules-frites, barbecue, crêpes..., les sorties cheval, kart, piscine, ski, lac, bowling, VTT, randonnées, laser-game, roller, les montées à Laffrey en apnée en SV..., les conférences et *summer school...*, le ski-club du CNRS..., les pots d'arrivée, de départ, de fin de stage, de thèse, de retraite...

Je remercie donc : Joao (le roi de la guitare, du roller, du surf, de la planche à voile...), Fabien (qui essaie avec beaucoup de mal de jouer au rugby et de traiter le signal), Jérôme (aussi appelé François Perrin, « Ne te blesses pas en lisant cette thèse ! »), Mohammed (le roi de la documentation et de la photocopie, mon ancien collègue de bureau, bientôt aussi élégant et musclé que Brad Pitt), Dhanistha (la mascotte du groupe CIS, et ma nouvelle collègue de bureau, « Marc, j'attends ma médaille !... »), Yannick M. (le dégustateur de bière n°1), Arnaud (le roi de la salsa et du FPGA), Yann (l'homme à la banane en cuir), Fraidy (le cryptologue à la grosse banane), Salim (l'homme sans banane), Estelle (la future mascotte du groupe CIS), Bertrand (le dégustateur de bière n°2, « Dis moi..., c'est quoi cette odeur de graisse et d'oignons ? »), Kamel (le playboy, roi de la fonte et de la pause café – « Euh..., planques toi, voilà Marc ! »), Amine (élégant cavalier, chevauchant Bichon avec beaucoup de classe), Sophie (la reine des truffes, gâteaux et des laser games), Jean-Baptiste (l'ancienne mascotte du groupe CIS au mauvais caractère, roi de la porte de Muller, et dernier fan de Michel Sardou), Anh-Vu (« ...Ca cé sioupère ! ...»), Isabelle (notre secrétaire préférée), ainsi que les anciens stagiaires et membres des autres groupes : Yanick P. (l'homme changeant de moto plus vite que son ombre), Damien L. (le canadien playboy, comique, intelligent, bodybuildé..., bref le gendre idéal), Damien P., Nacer (« Bon..., ce soir... c'est quoi le programme ? »), Lobna, Iuliana & Katalin (les reines du *dancefloor*), Marius (« ...Norokkkkkk !... »), Ludovic, Amel, Faiza, Lovic (actuellement perdu au fin fond du Japon), Cyrille (« Aller, plus que quarante longueurs !... »), Pierre (« Tu verras quand tu seras en troisième année de thèse !... »), Emilie (« Mon portable, c'est le 06 82 41... »), Gregory (le testeur officiel de fixations de ski), Sébastien C. (le maître nageur), Sébastien F. & Frédéric (les gardiens du réseau informatique), Patrick (le roi de la Chartreuse sur les pistes enneigées), Ahmed (le bassiste de TIMA), Caroline & Fabrice (mes deux anciens étudiants, survivants de la première promotion DESS CSINA)....

Sommaire

Résumé	1
Abstract	2
Remerciements	3
Sommaire	5
Table des illustrations	11
Glossaire	15
Notations	17
Introduction	19
Chapitre 1 : La Conversion Analogique-Numérique	25
1.1 Les principes de la conversion analogique-numérique	26
1.1.1 Généralités	26
1.1.2 Le rapport Signal-sur-Bruit.	27
1.1.2.1 Relation générale	27
1.1.2.2 SNR et sur-échantillonnage	29
1.2 Critères pour l'évaluation des performances d'un convertisseur	30
1.2.1 Les paramètres statiques	31
1.2.1.1 Erreur d'offset	31
1.2.1.2 Erreur de gain	31
1.2.1.3 La DNL	32
1.2.1.4 L'INL	33
1.2.2 Les paramètres dynamiques	33
1.2.2.1 Le SNR	33
1.2.2.2 Le SFDR	35
1.2.3 Le Facteur de Mérite	36
1.3 Les architectures de conversion	36
1.3.1 Les convertisseurs de Nyquist	36
1.3.1.1 CAN à rampe	36
1.3.1.2 CAN de poursuite	38
1.3.1.3 CAN à Approximations Successives (CAS)	38
1.3.1.3.1 Structure de base	38
1.3.1.3.2 Convertisseur à redistribution de charges	39
1.3.1.4 CAN algorithmique	41
1.3.1.5 CAN Flash	42
1.3.1.6 CAN Semi-Flash	43
1.3.1.7 CAN pipeliné	44
1.3.1.8 CAN à interpolation	45
1.3.1.9 CAN à repliement	46
1.3.1.10 CAN à repliement et interpolation	48
1.3.2 Les convertisseurs sur-échantillonnés ou $\Sigma\Delta$	49

1.4	Etat de l'art sur les convertisseurs	52
1.5	Conclusion	56
Chapitre 2 : L'Approche Asynchrone		59
2.1	Les circuits asynchrones	60
2.1.1	Généralités	60
2.1.2	Les protocoles de communications	60
2.1.3	Codage des données	62
2.1.3.1	Le codage « données groupées »	62
2.1.3.2	Les codages insensibles au délai	62
2.1.3.2.1	Le codage quatre états	62
2.1.3.2.2	Le codage trois états	63
2.1.3.3	La porte de Muller	63
2.1.3.4	Les modèles de délais	64
2.1.4	Les différentes classes de circuits asynchrones	65
2.1.4.1	Les circuits Insensibles aux Délais	65
2.1.4.2	Les circuits Quasi Insensibles aux Délais	66
2.1.4.3	Les circuits indépendants de la vitesse	66
2.1.4.4	Les circuits micropipeline	67
2.1.4.5	Les circuits de Huffman	69
2.1.5	Intérêt des circuits asynchrones	69
2.1.5.1	Calcul en un temps minimum	69
2.1.5.2	Un pipeline élastique	70
2.1.5.3	Circuits asynchrones et métastabilité	70
2.1.5.4	Modularité	70
2.1.5.5	Absence d'horloge	70
2.1.5.6	Emissions électromagnétiques	71
2.1.5.7	Migration technologique	71
2.2	L'échantillonnage irrégulier	72
2.2.1	Introduction – Rappels sur l'échantillonnage régulier	72
2.2.2	Les différents types d'échantillonnages irréguliers	73
2.2.2.1	Echantillonnage régulier avec perte ou suppression d'échantillons	73
2.2.2.2	Echantillonnage régulier avec imprécision sur les instants d'échantillonnage	74
2.2.2.3	Echantillonnages réguliers généralisés	74
2.2.2.4	Les autres types d'échantillonnages irréguliers	75
2.2.2.4.1	L'échantillonnage par traversées de niveaux	75
2.2.2.4.2	L'échantillonnage par traversées de signal	76
2.2.3	La reconstruction	76
2.2.5	Les opérations numériques de base	80
2.3	Les CANs « asynchrones »	80
2.3.1	Les CANs sans horloge globale	81
2.3.1.1	CAN à approximations successives asynchrone	81
2.3.1.2	CAN Flash asynchrone	82
2.3.1.3	CAN pipeliné asynchrone	82
2.3.1.4	Boucle analogique-numérique verrouillée sur l'amplitude	82
2.3.2	Les CANs à échantillonnage irrégulier	83
2.3.2.1	CAN à échantillonnage par traversées de niveaux	83
2.3.3	Les autres CANs et CNAs	85
2.3.3.1	Utilisation de la logique NCL pour les CNA	85
2.3.3.2	Les travaux de J.C. Jenq	85
2.4	Conclusion	85
Chapitre 3 : Une Nouvelle Classe de Convertisseurs Analogiques Numériques Asynchrones Basés sur une Quantification du Temps		89

3.1	Principes : présentation de la boucle de conversion, échantillonnage irrégulier et contrôle local	90
3.2	Présentation de la théorie associée	91
3.2.1	Condition de poursuite	91
3.2.2	Calcul du SNR	92
3.2.2.1	Relation générale	92
3.2.2.2	Application à différents types de signaux	93
3.2.2.2.1	Sinusoïde pure	93
3.2.2.2.2	Signal de densité spectrale de puissance constante	94
3.2.2.2.3	Signal de parole	95
3.2.2.2.4	Signal audio	95
3.3	Résumé des caractéristiques du CAN-A	96
3.4	Positionnement par rapport aux circuits synchrones	97
3.4.1	Conversion analogique numérique classique : CAN à Approximations Successives et CAN de poursuite	97
3.4.2	Modulation PCM, DPCM, et $\Sigma\Delta$	98
3.5	Implémentation et simulations fonctionnelles du CAN-A	101
3.5.1	Implémentation asynchrone retenue	102
3.5.2	Simulations fonctionnelles du CAN-A	103
3.6	Evaluation des performances	105
3.6.1	Par rapport à un CAN synchrone de Nyquist	105
3.6.2	Par rapport à un CAN synchrone sur-échantillonné	106
3.7	Conclusion	109
Chapitre 4 : Méthodologie Générale de Conception des CAN-As		111
4.1	Méthodologie générale de conception au niveau système	112
4.1.1	Temps de boucle	112
4.1.2	Résolution matérielle	112
4.1.3	Période du Timer	114
4.1.4	Résolution du Timer	115
4.1.4.1	En mode courant	115
4.1.4.2	En mode tension	115
4.2	Méthodologie générale de conception au niveau transistor	116
4.2.1	Une précision de ENOB-bits	116
4.2.2	En mode courant	117
4.2.2.1	Le convertisseur numérique analogique (CNA)	119
4.2.2.1.1	Rappels sur les caractéristiques des CNAs	119
4.2.2.1.2	Architectures de conversion	120
4.2.2.1.3	Méthode de dimensionnement	122
4.2.2.1.4	Comparaison avec le cas synchrone	126
4.2.2.2	Le comparateur	127
4.2.2.3	La transconductance	129
4.2.2.4	Les jeux de miroirs de courants	130
4.2.3	En mode tension	131
4.2.3.1	Le convertisseur numérique-analogique	132
4.2.3.1.1	Architectures de conversion – généralités	132
4.2.3.1.1.1	Montages de principe	132
4.2.3.1.1.2	Mise en œuvre des montages de principe	135
4.2.3.1.1.3	Génération d'horloges non recouvrantes	137
4.2.3.1.2	Méthode de dimensionnement	138
4.2.3.1.2.1	Les capacités	138
4.2.3.1.2.2	Les interrupteurs	140
4.2.3.1.2.3	L'Amplificateur Opérationnel	142

4.2.3.1.3	Comparaison avec le cas synchrone	143
4.2.3.2	Le comparateur	144
4.2.3.2.1	Capacité d'entrée	144
4.2.3.2.3	Gain et Bande passante	145
4.2.3.2.4	Slew-rate	146
4.3	Résumé de la méthode	147
4.4	Conclusion	149
Chapitre 5 : Exemples de Conception de CAN-As en Technologie CMOS Standard		
0,18μm		
5.1	Cahier des charges	152
5.1.1	Le rapport signal sur bruit	152
5.1.2	Calcul des paramètres de conception	153
5.1.2.1	Temps de boucle	153
5.1.2.2	Résolution matérielle du CAN-A	153
5.1.2.3	Période du timer	153
5.1.2.4	Résolution matérielle du timer	153
5.2	Implémentation retenue	154
5.3	Conception d'un CAN-A	155
5.3.1	Conception de la partie numérique	155
5.3.1.1	Le Latch analogique	155
5.3.1.1.1	Montage à bascule Q et filtre analogique	156
5.3.1.1.2	Montage en logique dynamique	156
5.3.1.2	La partie contrôle	157
5.3.1.3	La partie timer et synchronisation	158
5.3.2	Conception de la partie analogique	161
5.3.2.1	Etude des contraintes de conception	161
5.3.2.1.1	En mode courant	161
5.3.2.1.1.1	Le CNA	161
5.3.2.1.1.2	Le comparateur	163
5.3.2.1.1.3	La transconductance	164
5.3.2.1.1.4	Le jeu de miroirs	164
5.3.2.1.2	En mode tension	164
5.3.2.1.2.1	Le CNA	164
5.3.2.1.2.2	Le comparateur	166
5.3.2.2	Discussion et conception des blocs au niveau transistor	166
5.3.2.2.1	En mode courant	167
5.3.2.2.1.1	Le CNA et les miroirs	167
5.3.2.2.1.2	Le comparateur	169
5.3.2.2.1.3	La transconductance	170
5.3.2.2.2	En mode tension	174
5.3.2.2.2.1	Le CNA	174
5.3.2.2.2.1.1	Architectures usuelles	174
5.3.2.2.2.1.2	Un CNA sans AO	176
5.3.2.2.2.2	Le comparateur	178
5.3.2.2.3	Bilan	179
5.4	Simulations électriques et estimation des Facteurs de Mérite	180
5.4.1	Définition du Facteur de Mérite pour un CAN-A	180
5.4.2	CAN-A en mode courant	181
5.4.2.1	Simulations électriques	182
5.4.2.2	Facteur de Mérite	183
5.4.2.3	Emissions électromagnétiques	183
5.4.3	CAN-A en mode tension	185
5.5	Conclusion	187

Chapitre 6 : Discussion	189
6.1 Migrations technologiques	190
6.2 Bilan sur les caractéristiques des CAN-As	191
6.3 Amélioration des performances des CAN-As	192
6.3.1 Approches multi-résolution	192
6.3.2 Améliorations de la logique asynchrone	195
6.3.3 Améliorations de l'implémentation transistor	196
6.3.4 Relâchement des contraintes de conception	196
6.6 Conclusion	197
<i>Conclusion</i>	199
<i>Bibliographie de l'auteur</i>	205
<i>Bibliographie</i>	207

Table des illustrations

Figure 1 : Echantillonnage-blocage d'un signal continu. _____	26
Figure 2 : Quantification d'un signal analogique. _____	27
Figure 3 : Fonction de transfert théorique d'un convertisseur analogique-numérique ($N=3$ -bits). _____	27
Figure 4 : Densité spectrale de bruit pour un CAN sur-échantillonné. _____	30
Figure 5 : Erreur d'offset pour un CAN. _____	31
Figure 6 : Erreur de gain pour un CAN. _____	32
Figure 7 : Fonction de transfert d'un CAN réel. _____	32
Figure 8 : Nombre effectif de bits de CANs récents obtenus à partir du SNR, d'après [WALD 99]. _____	34
Figure 9 : SNR en fonction de l'amplitude de la sinusoïde pure en entrée. _____	35
Figure 10 : Nombre effectif de bits de CANs récents déterminés à partir du SFDR, d'après [WALD 99]. _____	35
Figure 11 : Schéma bloc d'un CAN à rampe. _____	37
Figure 12 : Différentes phases d'un CAN à intégration. _____	37
Figure 13 : Schéma bloc d'un CAN de poursuite. _____	38
Figure 14 : Schéma bloc d'un CAN à Approximations Successives. _____	39
Figure 15 : Schéma d'un CAN à redistribution de charges. _____	39
Figure 16 : Fonctionnement d'un CAN à redistribution de charges. _____	40
Figure 17 : Schéma bloc d'un CAN algorithmique. _____	41
Figure 18 : Algorithmes de conversion pour le CAN à Approximations Successives (a) et le CAN algorithmique (b). _____	41
Figure 19 : Exemple de CAN algorithmique en mode courant. _____	42
Figure 20 : Schéma bloc d'un CAN Flash. _____	43
Figure 21 : Schéma bloc d'un CAN semi-Flash. _____	43
Figure 22 : Schéma bloc d'un CAN pipeliné. _____	44
Figure 23 : Schéma d'un bloc de conversion 1-bit. _____	44
Figure 24 : Schéma bloc d'un CAN Flash à interpolation. _____	45
Figure 25 : Potentiels de référence d'un CAN à interpolation 3-bits. _____	46
Figure 26 : Schéma bloc d'un CAN 4-bits à repliement. _____	46
Figure 27 : Fonction de transfert des bits de LSB du CAN à repliement donné Figure 26, et du CAN Flash équivalent. _____	47
Figure 28 : Schéma électrique d'un bloc de repliement. _____	47
Figure 29 : Fonction de transfert des bocs de repliement du CAN de la Figure 26. _____	48
Figure 30 : Schéma électrique d'un bloc de repliement et interpolation. _____	49
Figure 31 : Schéma bloc général d'un convertisseur analogique-numérique $\Sigma\Delta$. _____	50
Figure 32 : Schéma général d'un convertisseur $\Sigma\Delta$. _____	50
Figure 33 : Modélisation en Z du convertisseur $\Sigma\Delta$ (a), et modélisation du bruit (b). _____	50
Figure 34 : Effet du sur-échantillonnage et de la mise en forme sur la DSP de bruit. _____	51
Figure 35 : Facteur de Mérite des CANs publiés récemment, calculés à partir de la relation (26). _____	56
Figure 36 : Facteur de Mérite simple des CANs publiés récemment, calculés à partir de la relation (25). _____	56
Figure 37 : Communications entre des opérateurs asynchrones. _____	60
Figure 38 : Protocole de communications deux-phases. _____	61
Figure 39 : Protocole de communications quatre-phases. _____	61
Figure 40 : Codage « données groupées ». _____	62
Figure 41 : Codage quatre états. _____	63
Figure 42 : Codage trois états. _____	63
Figure 43 : Porte de Muller à deux entrées et sa table de vérité. _____	64

Figure 44 : Implémentations électriques d'une porte de Muller deux entrées.	64
Figure 45 : Classification des circuits asynchrones.	65
Figure 46 : Equivalence entre les modèles QDI et SI.	67
Figure 47 : Structure de base des circuits micropipeline.	67
Figure 48 : Structure micropipeline avec traitement et registre.	67
Figure 49 : Circuit micropipeline indépendant de la vitesse.	68
Figure 50 : Echantillonnage irrégulier par perte ou suppression d'échantillons.	73
Figure 51 : Echantillonnage irrégulier par ajout d'imprécision sur les instants d'échantillonnage dans le cadre d'un échantillonnage régulier.	74
Figure 52 : Echantillonnage non-uniforme périodique.	75
Figure 53 : Echantillonnage non-uniforme d'ordre m (ici $m=3$).	75
Figure 54 : Principe de l'échantillonnage par traversées de niveaux.	76
Figure 55 : Chaîne de conversion à échantillonnage irrégulier proposée par N. Sayiner [SAY 94].	83
Figure 56 : Boucle de conversion asynchrone.	90
Figure 57 : Fonction de transfert du quantificateur de différence.	91
Figure 58 : Erreur de quantification lors de la traversée d'un niveau de référence.	92
Figure 59 : Signal de DSP constante.	94
Figure 60 : Densité Spectrale de Puissance d'un signal de parole.	95
Figure 61 : Densité Spectrale de Puissance d'un signal audio.	96
Figure 62 : Echantillonnage régulier d'un signal quelconque.	97
Figure 63 : Schéma bloc de la modulation modulation MIC différentielle ou Δ si le codeur est sur 1-bit.	98
Figure 64 : Exemple de signal traité par une modulation Δ .	99
Figure 65 : Exemple de signal traité par une modulation ADPCM.	99
Figure 66 : Schémas bloc d'un modulateur $\Sigma\Delta$.	100
Figure 67 : Exemple de signal traité par une modulation $\Sigma\Delta$.	100
Figure 68 : Schéma fonctionnel du CAN-A.	102
Figure 69 : Schéma électrique du CAN-A sans le timer.	103
Figure 70 : (a) Signal analogique V_{in} à convertir, (b) Occurrences des cycles de conversion du CAN à Approximations Successives, (c) Signal de référence V_r en sortie du CNA du CAN AS, (d) Occurrences des cycles de conversion du CAN-A, (e) Signal de référence V_r en sortie du CNA du CAN-A.	104
Figure 71 : CAN-A utilisé dans un environnement à échantillonnage de Nyquist.	106
Figure 72 : CAN à approximations successives sur-échantillonné de référence.	107
Figure 73 : Gain en % de l'activité d'une chaîne de conversion à échantillonnage asynchrone par rapport à son équivalent à échantillonnage régulier.	108
Figure 74 : Erreur de quantification lors de la traversée d'un niveau de quantification lorsque sa position n'est pas précise.	117
Figure 75 : Schéma de la partie analogique du CAN-A dans le cadre d'une conception analogique en mode courant.	118
Figure 76 : Fonction de transfert d'un CNA idéal (a), et réel (b).	119
Figure 77 : Schéma de principe d'un CNA à miroirs pondérés.	121
Figure 78 : Schéma électrique d'un CNA simple en mode courant.	123
Figure 79 : Réponse temporelle du comparateur en mode courant.	127
Figure 80 : Modélisation d'un comparateur de courant.	127
Figure 81 : Fonction de transfert d'une transconductance.	130
Figure 82 : Schéma de la partie analogique d'un CAN-A dans le cadre d'une conception en mode tension.	131
Figure 83 : Schéma de principe du CNA à capacités commutées présenté dans [MOO 00].	133
Figure 84 : Horloges non recouvrantes de la Figure 83.	133
Figure 85 : 1 ^{ère} implémentation envisageable du CNA présenté Figure 83 au sein du CAN-A.	134
Figure 86 : 2 ^{ème} implémentation envisageable du CNA présenté Figure 83 au sein du CAN-A.	135
Figure 87 : Horloges non recouvrantes de la Figure 86.	135
Figure 88 : Implémentation du CNA présenté Figure 86 au sein du CAN-A, dans le cadre d'une technologie CMOS standard.	136
Figure 89 : Horloges non recouvrantes de la Figure 88.	136
Figure 90 : Implémentation du CNA présenté Figure 88 au sein du CAN-A, dans le cadre d'une technologie CMOS standard, avec un seul AO.	137
Figure 91 : Chronogramme des horloges à implémenter pour la configuration de la Figure 90.	137

Figure 92 : Contrôleurs à implémenter permettant de générer deux horloges non recouvrantes telles que données Figure 84.	138
Figure 93: Circuit RC équivalent lors de la charge (pire cas).	140
Figure 94 : Circuit RC équivalent lors de la décharge (pire cas).	140
Figure 95 : Schéma simplifié pire cas de l'architecture retenue pour le CNA dans le cadre du CAN-A permettant de limiter les effets de l'injection de charges d'horloges.	142
Figure 96 : Fonction de transfert du comparateur.	145
Figure 97 : Méthodologie générale de conception d'un CAN-A au niveau système pour une application et un type de signaux donnés.	148
Figure 98 : Schéma de l'architecture du CAN-A implémenté en mode courant ou en mode tension avec le timer et la synchronisation.	154
Figure 99 : Description des niveaux de référence et des sorties du CNA pour le CAN-A 4-bits, quel que soit le mode de conception analogique.	155
Figure 100 : Latch analogique implémenté avec une bascule Q et un filtre analogique.	156
Figure 101 : Modification du schéma électrique de la Figure 100 afin de la faire fonctionner dans le cadre du CAN-A.	156
Figure 102 : Latch analogique implémenté en logique dynamique.	157
Figure 103 : Délai dissymétrique simple.	158
Figure 104 : Délai dissymétrique avec initialisation deux fois plus courte.	158
Figure 105 : Schéma électrique du timer et du circuit de synchronisation du CAN-A.	160
Figure 106 : Exemple de simulation du bloc timer et synchronisation.	160
Figure 107 : Surface de la source de courant élémentaire du CNA à implémenter en technologie HCMOS8d en fonction de la résolution effective du CAN-A et de la tension de grille.	162
Figure 108 : Surface du CNA simple à implémenter en technologie HCMOS8d en fonction de la résolution effective du CAN-A et de la tension de grille.	162
Figure 109 : Valeur minimale du quantum pour un CNA en mode courant en technologie HCMOS8d en fonction de la résolution effective et de la tension de grille.	163
Figure 110 : Valeur maximale du quantum pour un CNA en mode courant en technologie HCMOS8d en fonction de la résolution effective et de la tension de grille.	163
Figure 111 : Miroirs de courant CMOS: miroir simple (a), miroir cascode (b), miroir cascode wide swing (c).	168
Figure 112 : Schéma du CNA retenu pour la conception du CAN-A en mode courant.	168
Figure 113 : Schéma de principe du comparateur current-steering.	169
Figure 114 : Schéma électrique du comparateur "current-steering".	170
Figure 115 : Schéma électrique d'une paire différentielle standard (OTA).	172
Figure 116 : Paires différentielles montées en série.	173
Figure 117 : Schéma électrique des CNAs sans amplificateur opérationnel mis en œuvre dans le CAN-A pour la voie +LSB (haut) et la voie -LSB (bas).	176
Figure 118 : Schéma électrique du CNA mis en œuvre dans le CAN-A pour la voie +LSB, permettant de réduire la dynamique de sortie en tension de $\frac{1}{2}.V_{dd}$ autour de $\frac{1}{2}.V_{dd}$.	178
Figure 119 : Schéma du comparateur pour la conception du CAN-A en mode courant.	179
Figure 120 : Layout du CNA pour le CAN-A en mode courant.	182
Figure 121 : Layout de la partie analogique du CAN-A en mode courant.	182
Figure 122 : CAS conçu au niveau transistor, utilisé pour la référence synchrone.	184
Figure 123 Exemple de conversion d'un échantillon par le circuit donné Figure 122.	184
Figure 124 : Spectre du courant consommé dans le cadre de la conception en mode courant du CAN à Approximations Successives avec N=6-bits et sans E/B (a), et CAN-A avec ENOB=8-bits (b).	185
Figure 125 : Variation des paramètres technologiques A_{β} et A_{VT} selon la finesse de la technologie, d'après [vBOSC 01a].	190
Figure 126 : Schéma de principe du CAN-A multi-résolution de base.	194
Figure 127 : Non-linéarité du CAN-A donné Figure 126.	194
Figure 128 : Deuxième approche multi-résolution.	195
Figure 129 : Généralisation et implémentation du CAN-A présenté Figure 128 avec M=4-bits.	195
Tableau 1 : Tableau récapitulatif des caractéristiques des CANs publiés récemment.	54
Tableau 2 : Caractéristiques électriques de la chaîne de conversion proposée par N. Sayiner.	84
Tableau 3 : Résumé des différences dues à l'échantillonnage entre un CAN-A et un CAN de Nyquist.	96
Tableau 4 : Résumé des caractéristiques de conception des blocs analogiques d'un CAN-A.	148

<i>Tableau 5 : Période théorique du timer à implémenter pour un signal de parole.</i>	<i>153</i>
<i>Tableau 6 : Résolution matérielle théorique du timer à implémenter pour un signal de parole.</i>	<i>153</i>
<i>Tableau 7 : Contraintes de conception pour le comparateur en mode courant.</i>	<i>163</i>
<i>Tableau 8 : Contraintes de conception pour la transconductance en mode courant.</i>	<i>164</i>
<i>Tableau 9 : Cahier des charges pour le CNA dans le cadre de la conception du CAN-A en mode tension.</i>	<i>165</i>
<i>Tableau 10 : Cahier des charges pour le comparateur du CAN-A lors d'une conception en mode tension.</i>	<i>166</i>
<i>Tableau 11 : fréquence de transition de l'AO du CNA dans le cadre de la conception d'un CAN-A en mode tension et d'un temps de boucle de 100ns.</i>	<i>174</i>
<i>Tableau 12 : Cahier des charges final des CAN-As pour une application parole.</i>	<i>180</i>
<i>Tableau 13 : Résumé des caractéristiques du CAN-A en mode courant.</i>	<i>183</i>
<i>Tableau 14 : Résumé des caractéristiques du CAN-A en mode tension.</i>	<i>186</i>

Glossaire

<i>A-ADC</i>	Asynchronous Analog to Digital Converter (CAN-A)
<i>ADC</i>	Analog to Digital Converter (CAN)
<i>AO</i>	Amplificateur Opérationnel
<i>CAN</i>	Convertisseur Analogique Numérique
<i>CAN-A</i>	Convertisseur Analogique Numérique Asynchrone
<i>CAS</i>	CAN à Approximations Successives
<i>CNA</i>	Convertisseur Numérique Analogique
<i>DAC</i>	Digital to Analog Converter (CNA)
<i>DI</i>	Delay Insensitive
<i>DNL</i>	Differential Non Linear Error
<i>DSP</i>	Densité Spectrale de Puissance
<i>E/B</i>	Echantillonneur-Bloqueur
<i>ENOB</i>	Effective Number of Bits – Résolution Effective
<i>ERBW</i>	Effective Resolution Bandwidth
<i>FoM</i>	Figure of Merit – Facteur de Mérite
<i>INL</i>	Integral Non Linear Error
<i>LSB</i>	Less Significant Bit
<i>MiM</i>	Metal-Insulator-Metal
<i>MSB</i>	Most Significant Bit
<i>NDFT</i>	Non uniform Discret Fourier Transform
<i>OTA</i>	Operational Transconductance Amplifier
<i>QDI</i>	Quasi Delay Insensitive
<i>SFDR</i>	Spurious Free Dynamic Range
<i>S/H</i>	Sample-and-Hold (E/B)
<i>SI</i>	Speed Insensitive
<i>SNR</i>	Signal to Noise Ratio
<i>SoC</i>	System on Chip
<i>THD</i>	Total Harmonic Distortion

Notations

β	Gain en courant d'un transistor MOS
C_{gd}	Capacité grille drain d'un transistor MOS
C_{gs}	Capacité grille source d'un transistor MOS
C_u	Capacité unitaire du CNA en mode tension
C_{ox}	Capacité d'oxyde par unité de surface
δ	Temps de boucle
δ_{max}	Temps de boucle maximal acceptable pour une classe de signaux donnés
ΔV_{in}	Dynamique d'entrée du convertisseur
$ENOB$	Résolution effective théorique du CAN-A
f_{ech}	Fréquence d'échantillonnage quelconque
f_{Nyq}	Fréquence de Nyquist
g_{ds}	Conductance de sortie d'un transistor MOS
g_m	Transconductance d'un transistor MOS
gnd	Masse – potentiel de référence
I_{CNA}	Courant de référence en sortie du CNA
I_D	Courant drain source d'un transistor MOS
L	Largeur d'un transistor MOS ou d'une capacité
M	Résolution matérielle d'un CAN-A
μ_N	Mobilité des électrons
M_{timer}	Résolution matérielle du timer
N	Résolution matérielle d'un CAN de Nyquist
$p(x)$	Densité de probabilité en amplitude d'un signal
$P(V_x)$	Puissance du signal V_x
q	Quantum élémentaire dans le cas général
q_I	Quantum élémentaire en mode courant
q_{I-ENOB}	Quantum effectif en mode courant
q_V	Quantum élémentaire en mode tension
q_{V-ENOB}	Quantum effectif en mode tension
σ_x	Ecart type de l'amplitude d'un signal
T_C	Période de l'horloge du timer
T_{ech}	Période d'échantillonnage quelconque
V_{CNA}	Tension de référence en sortie du CNA
V_{dd}	Tension nominale d'alimentation
V_{DS}	Tension drain source d'un transistor MOS
V_{DSsat}	Tension de saturation drain source d'un transistor MOS
V_{GS}	Tension grille source d'un transistor MOS
V_T	Tension de seuil d'un transistor MOS
W	Largeur d'un transistor MOS ou d'une capacité

Introduction

Ce travail de thèse se situe dans le contexte des Systèmes sur Puce ou SoCs (*System on Chip*) et des Objets Communicants. Ces systèmes complexes peuvent intégrer des capteurs, des convertisseurs analogiques numériques et/ou numériques analogiques, du traitement numérique, des blocs radiofréquences... Ils sont souvent alimentés par batteries ou télé-alimentés, la forte consommation d'énergie constitue donc la plupart du temps le principal point bloquant lors de leur conception. Un tel système composé d'un capteur, d'un traitement numérique, de la gestion des communications et de l'alimentation a été développé par l'Université de Berkeley sous le nom de *Smart Dust* [WARN 01]. Ce circuit rassemblant des parties microsysteme et microélectronique a été conçu sous forme d'une puce cubique de 1mm^3 , afin de réaliser un réseau de capteurs massivement distribués composé de ces blocs élémentaires faible-côût, et faible-consommation, communiquant entre eux.

Le contexte de cette thèse est donc de repenser complètement de telles chaînes classiques de traitement du signal, afin de réduire de façon très importante leur consommation électrique. Pour cela, une conception de systèmes intégrés, uniquement contrôlés par l'information contenue dans le signal d'entrée est étudiée. Dans ce cadre, ce travail a été focalisé sur des systèmes mixtes, dont la conception est critique dans les chaînes de traitement de données : les Convertisseurs Analogiques Numériques (CANs). Il est donc décrit ici une nouvelle classe de *CANs Asynchrones* (CAN-As), basés sur une conception asynchrone (pas d'horloge globale) et un échantillonnage asynchrone (ou irrégulier dans le temps).

En effet, la quasi-totalité des systèmes intégrant des CANs mettent en œuvre des signaux possédant des propriétés statistiques particulières, mais les architectures usuelles de traitement du signal n'en tirent pas profit. En fait, la plupart des signaux (tels que des signaux de température, de pression, d'électrocardiogrammes, de parole...) sont presque toujours constants dans le temps et ne varient sensiblement que pendant de brefs moments. Ainsi, le prélèvement régulier d'échantillons en respectant le théorème de Shannon est très contraignant, puisque c'est la composante fréquentielle maximale du signal qui détermine la fréquence d'échantillonnage, et que la majeure partie du temps, cette valeur maximale n'est jamais atteinte. Dans le domaine temporel, cette condition se traduit par un très grand nombre d'échantillons redondants, ce qui pose des problèmes au niveau du stockage ou de la surcharge pour les post-traitements numériques. Cela implique également une augmentation inutile de l'activité du convertisseur et donc de la consommation électrique.

La nouvelle classe de CANs développée dans cette thèse est basée sur un échantillonnage irrégulier, nommé *échantillonnage par traversées de niveaux* (ou *level crossing*

sampling), ne délivrant pas les échantillons régulièrement dans le temps comme dans le contexte de Nyquist. Pour cela, des niveaux de quantification sont régulièrement disposés dans le domaine des amplitudes, et un échantillon est prélevé puis converti par le système uniquement lorsque le signal analogique d'entrée traverse l'un des niveaux prédéfinis. Le système de conversion délivre donc en sortie des couples (amplitude/temps) correspondant à l'amplitude de l'échantillon courant et au temps écoulé depuis l'échantillon précédent. Il peut immédiatement être constaté que ce genre d'échantillonnage est adaptatif car plus le signal est actif et donc porteur d'information, et plus le nombre moyen d'échantillons par seconde est important. Cette technique permet ainsi de ne prélever que des échantillons pertinents et donc de réduire considérablement l'activité du circuit et sa consommation électrique. Lorsque un niveau de référence est traversé, déclenchant la prise d'un échantillon, la valeur de l'amplitude de ce dernier est parfaitement connue, c'est celle du niveau traversé. Par contre, l'intervalle de temps depuis l'échantillon précédent est enregistré selon la précision du bloc dédié à cette tâche. Ceci induit une *quantification dans le temps* de l'échantillon, d'où le nom de cette nouvelle famille de convertisseurs. Cette caractéristique situe ces CANs en dualité avec les convertisseurs de Nyquist puisque pour ces derniers, les instants d'échantillonnage sont fixés par une horloge et donc parfaitement connus, et l'amplitude des échantillons est quantifiée selon la résolution matérielle du circuit. Cette dualité va être la source d'une méthodologie de conception propre à cette nouvelle famille de convertisseurs.

Parallèlement à cela, dans le domaine de la conception logique, l'approche asynchrone se pose comme une solution alternative face au mode de conception synchrone usuel, et comporte de nombreux avantages. Elle consiste à uniquement implémenter les communications entre les sous-blocs d'un circuit par des signaux de contrôle locaux, c'est-à-dire en supprimant toute horloge globale au système. Il a été prouvé que ce genre d'approche permet de réduire les émissions électromagnétiques, de réduire les problèmes de métastabilité, de réduire la consommation électrique, d'avoir des systèmes plus robustes aux variations des paramètres technologiques, de température, de tension d'alimentation... [REN 00]. Ce mode de conception a déjà été utilisé avec succès dans de rares travaux de recherche afin d'obtenir des CANs plus performants.

Le but de cette thèse est donc de mettre en œuvre le mode d'échantillonnage par traversées de niveaux par une implémentation asynchrone. En effet, ces deux approches constituent une réelle convergence entre le principe théorique de fonctionnement du circuit et son implémentation matérielle. Cette nouvelle classe de convertisseurs fait donc partie d'une nouvelle famille beaucoup plus vaste de circuits, uniquement commandés par les événements utiles du signal. La sortie du CAN Asynchrone est composée d'échantillons non uniformément répartis dans le temps devant être traités numériquement. Le but de ces travaux est d'obtenir, à terme, une chaîne complète de traitement du signal, asynchrone du point de vue de son implémentation matérielle et du traitement du signal, réalisant directement le traitement de ces échantillons, sans passer par un ré-échantillonnage à la fréquence de Nyquist. Ceci nécessitera bien sûr, à terme, le développement d'une nouvelle théorie et de nouveaux algorithmes de traitement du signal.

La théorie et la conception de ces nouveaux CANs sont complètement différentes de celles des CANs de Nyquist habituellement rencontrés dans la littérature. En effet, ce type d'échantillonnage étant le cas dual de la théorie de Shannon, il conduit à des relations théoriques de rapport signal sur bruit (SNR) indépendantes du nombre de niveaux de quantification en amplitude. Elles ne dépendent que de la résolution temporelle de la base de temps utilisée pour mesurer les intervalles de temps entre les échantillons. Une méthodologie de conception au niveau système et au niveau transistor a donc été développée permettant de déterminer théoriquement les paramètres haut niveau optimaux pour un CAN Asynchrone. Cette méthode permet de réduire au minimum l'activité, la consommation électrique, et la surface du circuit, tout en respectant la résolution effective finale visée. Elle permet de plus, au bas niveau, de fixer le cahier des charges précis de chaque bloc analogique. Pour cela, les propriétés aussi bien spectrales que statistiques du signal analogique d'entrée sont exploitées.

Deux CANs Asynchrones ont été conçus et simulés électriquement, pour une application de type parole, en technologie CMOS standard $0,18\mu\text{m}$ de STMicroelectronics, en adoptant une approche analogique en mode courant puis en mode tension. Le calcul du Facteur de Mérite (FoM), critère général pour l'évaluation d'un CAN, prouve que cette nouvelle approche de la conversion analogique-numérique permet d'obtenir des circuits très performants par rapport aux CANs classiques publiés récemment. De plus, des simulations électriques prouvent qu'un gain très important est réalisé au niveau des émissions électromagnétiques par rapport aux convertisseurs synchrones équivalents facilitant leur intégration dans un SoC. De même, les problèmes de conversion dus à la métastabilité en conversion de Nyquist sont complètement supprimés par cette approche.

L'organisation de ce manuscrit de thèse est la suivante:

Le premier Chapitre présente les notions fondamentales en ce qui concerne la conversion analogique numérique. Tout d'abord les principes de base de la conversion et la théorie associée sont décrits, notamment en ce qui concerne le calcul du rapport signal sur bruit. Les différents critères pour l'estimation des performances de tels circuits sont alors détaillés : les critères statiques et dynamiques sont clairement définis, ainsi que le Facteur de Mérite (FoM), critère général pour l'évaluation des performances d'un convertisseur intégrant ses caractéristiques essentielles (vitesse, consommation...). Les principales architectures de conversion sont ensuite présentées, elles sont divisées en deux familles : les convertisseurs de Nyquist et les convertisseurs sur-échantillonnés. Enfin, un état de l'art est donné sur les CANs publiés récemment dans les revues et les actes de conférences, rassemblant tout type d'architecture et d'application, et leur Facteur de Mérite sont calculés.

Le Chapitre 2 présente au lecteur les différentes notions d'« asynchronisme » que ce soit du point de vue de la conception logique ou de l'échantillonnage. La première partie décrit brièvement la conception de circuits asynchrones. Il est donc présenté les principes de bases et les différentes classes de tels circuits, les protocoles de communication, le codage des données... La deuxième partie concerne l'échantillonnage asynchrone (ou irrégulier), où contrairement à l'échantillonnage de Nyquist, les ins-

tants d'échantillonnage ne sont pas uniformément répartis dans le temps. La théorie qui en découle se démarque complètement de ce qui est habituellement utilisé en traitement du signal à échantillonnage régulier. Ce domaine de recherche est de plus très vaste et très complexe, il n'est donc présenté ici que les résultats principaux concernant les différents modes d'échantillonnage irrégulier, les principes de reconstruction, les transformées de Fourier et les traitements numériques de base. Enfin, la troisième partie de ce Chapitre présente les quelques convertisseurs « asynchrones » publiés dans la littérature. Ils mettent en œuvre soit une conception asynchrone, soit un échantillonnage irrégulier, afin de tirer parti des bénéfices de telle ou telle approche, en terme de réduction de l'activité, de la consommation électrique, des émissions électromagnétiques, ou des problèmes dus à la métastabilité.

Dans le Chapitre 3 débutent les contributions de ce travail de thèse. Il est tout d'abord présenté une nouvelle famille de Convertisseurs Analogiques Numériques Asynchrones (CAN-As) basés sur une quantification du temps. Leur principe consiste en l'utilisation simultanée d'une conception asynchrone et d'un échantillonnage irrégulier, afin d'avoir une réelle convergence entre le mode d'échantillonnage et l'implémentation matérielle. Le principe de l'échantillonnage non régulier dans le temps conduit à des calculs de rapport signal sur bruit complètement différents de ceux du cas synchrone. Ceux-ci sont détaillés dans le cas général puis appliqués à différentes familles de signaux analogiques usuels. La nouvelle boucle de conversion est ensuite comparée aux structures similaires synchrones telles que le Convertisseur à Approximations Successives (CAS) ou le convertisseur de poursuite. Elle est également comparée aux chaînes de modulation classiques (PCM, DPCM, $\Sigma\Delta$). L'implémentation architecturale du convertisseur asynchrone est ensuite décrite, et des résultats de simulations fonctionnelles sont donnés. Une première estimation des performances des CAN-As est donnée en terme de nombre moyen de cycles par seconde et comparée à l'activité des CANs de Nyquist. Enfin des comparaisons au niveau système sont réalisées en considérant un CAN-A dans un contexte de traitement du signal de Nyquist et une chaîne de conversion sur-échantillonnée « équivalente » entièrement synchrone.

Le Chapitre 4 présente une méthodologie de conception originale dédiée à cette nouvelle famille de convertisseurs, se démarquant complètement de celle associée aux convertisseurs de Nyquist. En effet, comme il est présenté au Chapitre 3, les calculs théoriques associés sont complètement différents de ceux de la théorie des convertisseurs de Nyquist présentée au Chapitre 1. La méthode se situe tout d'abord au niveau système où les caractéristiques haut niveau du CAN-A sont déterminées en fonction de la classe de signaux analogiques à convertir et de l'application ciblée. Cette méthode a pour objectifs de réduire le matériel implémenté et l'activité du convertisseur en vue de limiter sa consommation électrique. Pour cela, toutes les caractéristiques du signal, fréquentielles et statistiques sont exploitées. La méthode se situe enfin au niveau implémentation matérielle où toutes les caractéristiques analogiques des blocs du CAN-A sont analysées afin de garantir la résolution effective ciblée pour le convertisseur. Ces résultats théoriques sont étudiés dans le cadre d'une conception analogique en mode courant puis d'une conception en mode tension.

Le Chapitre 5 consiste en la conception de CAN-As en vue d'estimer clairement leur Facteur de Mérite. Dans ce cadre, la méthodologie générale de conception présentée au

Chapitre 4 est mise en œuvre pour une application de type parole. Deux convertisseurs sont étudiés ici, le premier issu d'une conception analogique en mode courant et le deuxième pour une conception en mode tension. La technologie HCMOS8d, technologie CMOS standard en $0,18\mu m$ de STMicroelectronics est utilisée ici. La conception de la partie numérique et de chaque bloc analogique est détaillée. De plus, une discussion est proposée afin de déterminer un cahier des charges précis en fonction des contraintes de conception et de la faisabilité de chaque bloc analogique. Enfin, les circuits sont entièrement conçus au niveau transistor et les simulations électriques finales permettent de calculer leur Facteur de Mérite

Enfin, le Chapitre 6 présente une discussion critique sur cette nouvelle famille de convertisseurs asynchrones. Tout d'abord les influences des migrations technologiques sur les caractéristiques des CAN-As sont présentées. Il est ensuite récapitulé les points bloquants pour leur conception. Des pistes à étudier sont enfin présentées, au niveau système ou au niveau transistor, en ce qui concerne l'augmentation du Facteur de Mérite de ces convertisseurs.

1

Chapitre 1 : La Conversion Analogique-Numérique

Ce premier Chapitre présente les notions fondamentales à connaître en ce qui concerne la conversion analogique numérique.

Tout d'abord les principes de base de la conversion sont décrits, ainsi que la théorie associée, notamment ce qui concerne le calcul du rapport signal sur bruit. Les différents critères pour l'estimation des performances de tels circuits sont alors donnés : les critères statiques et dynamiques sont clairement définis, ainsi que le Facteur de Mérite, critère général pour l'évaluation des performances d'un convertisseur qui intègre ses caractéristiques essentielles (vitesse, consommation...).

Les principales architectures de conversion sont ensuite présentées. Elles sont divisées en deux familles : les convertisseurs de Nyquist et les convertisseurs sur-échantillonnés.

Enfin, un état de l'art est détaillé sur les CANs publiés récemment dans les revues et les actes de conférences, rassemblant tout type d'architecture et d'application. Leur Facteur de Mérite est alors calculé.

1.1 Les principes de la conversion analogique-numérique

1.1.1 Généralités

La conversion analogique-numérique est l'étape qui permet de passer d'un signal analogique continu en temps et en amplitude à un signal discret en temps (échantillonnage) et en amplitude (quantification). La conversion analogique-numérique se passe donc généralement en deux étapes distinctes : l'échantillonnage-blocage et la quantification.

L'échantillonnage consiste à maintenir la valeur du signal continu analogique V_{in} pendant une durée fixée appelée période d'échantillonnage (cf. Figure 1), ceci se fait par un circuit nommé Echantillonneur-Bloqueur (E/B). La tension V_{analog} , continue par morceaux est obtenue. La période d'échantillonnage T_{ech} est fixée selon le théorème de Shannon : la fréquence d'échantillonnage doit être au moins égale au double de la composante fréquentielle maximale du signal continu analogique (cf. paragraphe 2.2.1).

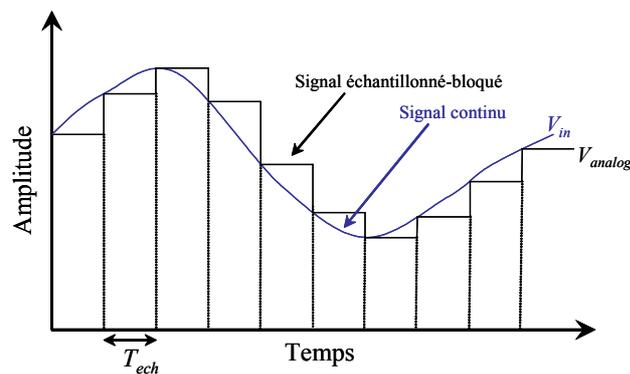


Figure 1 : Echantillonnage-blocage d'un signal continu.

La quantification est l'étape de conversion analogique-numérique à proprement dite : elle consiste à transformer cette tension réelle V_{analog} en un nombre binaire $V_{num} = (b_i)_{0 \leq i \leq N-1}$, choisi parmi un ensemble fini et prédéterminé de valeurs. Un convertisseur analogique-numérique (CAN) est caractérisé par deux principaux paramètres : son nombre de bits N (ou résolution) et sa dynamique d'entrée $\Delta V_{in} = [V_{min}, V_{max}]$. A partir de cela, le quantum q ou LSB (*Less Significant Bit*) est déterminé par la relation :

$$q = \frac{\Delta V_{in}}{2^N - 1} \quad (1)$$

C'est la valeur de base dont sont multiples toutes les tensions numériques de sortie. Pour une tension analogique d'entrée V_{analog} , le CAN fait correspondre la tension analogique V_{num} telle que (cf. Figure 2):

$$|V_{analog} - V_{num}| \leq q/2 \quad (2)$$

avec :

$$V_{num} = q \cdot [b_{N-1} 2^{N-1} + \dots + b_1 2^1 + b_0 2^0] \quad (3)$$

La relation (3) implique l'utilisation d'un code numérique en binaire naturel. Bien sûr d'autres types de codage pourraient être utilisés : le code Gray, le code *1 parmi N*... La différence $V_\varepsilon = V_{analog} - V_{num}$ est souvent appelée bruit de quantification. Ce bruit est inhérent au principe de la conversion analogique numérique, et ne peut bien sûr jamais être supprimé. Il conduit par la suite aux calculs de rapport signal sur bruit.

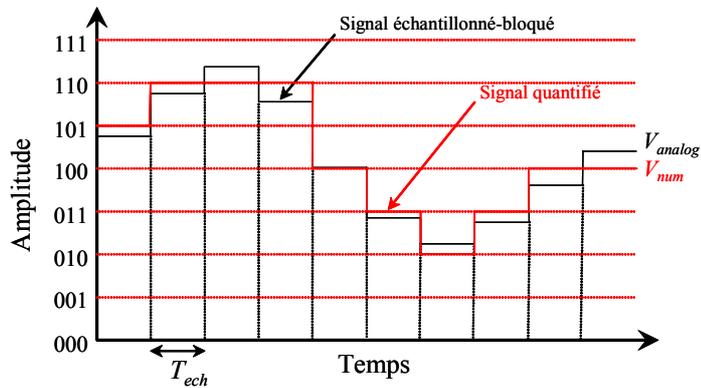


Figure 2 : Quantification d'un signal analogique.

La fonction de transfert d'un convertisseur analogique-numérique est simplement le tracé de la tension numérique V_{num} en fonction de la tension analogique V_{analog} . Celle-ci est donnée Figure 3 dans le cadre d'un CAN de résolution *3-bits*.

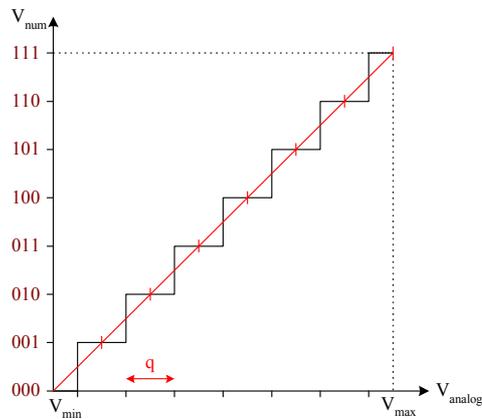


Figure 3 : Fonction de transfert théorique d'un convertisseur analogique-numérique ($N=3\text{-bits}$).

1.1.2 Le rapport Signal-sur-Bruit.

1.1.2.1 Relation générale

Le bruit de quantification V_ε est le facteur qui limite la précision des échantillons numériques. Celle-ci est définie par le rapport signal sur bruit (*SNR - Signal-to-Noise Ratio*), défini de la manière suivante :

$$SNR_{dB} = 10 \cdot \log \left(\frac{P(V_{in})}{P(V_{\varepsilon})} \right) \quad (4)$$

$P(V_x)$ est la puissance du signal V_x .

En approche stochastique, le signal d'entrée V_{in} est supposé varier rapidement, de manière à ce que le bruit de quantification V_{ε} puisse être considéré comme non corrélé avec ce dernier. Il est de plus assimilable à un bruit blanc, de moyenne nulle, ayant une égale probabilité de se trouver dans l'intervalle $\left[-\frac{q}{2}, \frac{q}{2}\right]$. Soit f_q sa densité de probabilité, elle s'écrit :

$$f_q = \frac{1}{q} \cdot 1_{\left[-\frac{q}{2}, \frac{q}{2}\right]} \quad (5)$$

La puissance du bruit de quantification vaut :

$$P(V_{\varepsilon}) = \int_{-\infty}^{+\infty} x^2 \cdot f_q(x) \cdot dx \quad (6)$$

Soit :

$$P(V_{\varepsilon}) = \int_{-\infty}^{+\infty} x^2 \cdot \frac{1}{q} \cdot 1_{\left[-\frac{q}{2}, \frac{q}{2}\right]} \cdot dx = \frac{1}{q} \cdot \int_{-\frac{q}{2}}^{\frac{q}{2}} x^2 \cdot dx \quad (7)$$

D'où :

$$P(V_{\varepsilon}) = \frac{q^2}{12} \quad (8)$$

La puissance moyenne d'un signal aléatoire étant son moment d'ordre 2, i.e. sa variance (si la valeur moyenne est nulle), la valeur *rms* du bruit de quantification vaut :

$$\varepsilon_{rms} = \sqrt{P(V_{\varepsilon})} = \frac{q}{\sqrt{12}} \quad (9)$$

Dans le cas général, le signal d'entrée V_{in} a pour écart type σ_{in} , sa puissance vaut donc :

$$P(V_{\varepsilon}) = \sigma_{in}^2 \quad (10)$$

A partir de (4), le rapport signal sur bruit devient donc :

$$SNR_{dB} = 10 \cdot \log \left(\frac{12 \cdot \sigma_{in}^2}{q^2} \right) \quad (11)$$

Cette relation générale est ensuite applicable à n'importe quel signal analogique, par exemple à une sinusoïde d'amplitude maximale A et de fréquence f :

$$V_{in}(t) = A \cdot \sin(2\pi ft) \quad (12)$$

avec :

$$A = \frac{(2^N - 1)q}{2} \quad (13)$$

La puissance moyenne vaut :

$$P(V_{in}) = f_{ech} \cdot \int_{\frac{f_{ech}}{2}}^{+\frac{2}{f_{ech}}} V_{in}^2(t) \cdot dt = \frac{A^2}{2} = \frac{(2^N - 1)^2 \cdot q^2}{8} \quad (14)$$

Le SNR devient :

$$SNR_{dB} = 6,02 \cdot N + 1,76 \quad (15)$$

La définition du SNR donnée par (15) est communément adoptée pour les CAN de Nyquist. En effet, ce cas se prête bien aux tests de CANs puisqu'en pratique ils sont réalisés en considérant des signaux analogiques sinusoïdaux purs. Ainsi, pour un convertisseur, le SNR obtenu en théorie par la relation (15) peut directement être comparé au SNR mesuré en pratique lors du test du circuit.

1.1.2.2 SNR et sur-échantillonnage

Il est maintenant intéressant de considérer le cas général où le signal est échantillonné à une fréquence f_{ech} supérieure à la fréquence de Nyquist f_{Nyq} .

Soit $S_B = |\varepsilon(f)|^2$ la densité spectrale de puissance du bruit de quantification, avec $\varepsilon(f)$ la transformée de Fourier du bruit de quantification $V_\varepsilon(t)$. La puissance totale du bruit de quantification se trouve dans la bande de fréquence $\left[-\frac{f_{ech}}{2}, \frac{f_{ech}}{2}\right]$, elle est égale à la valeur calculée en (8) :

$$P(V_\varepsilon) = \int_{\frac{f_{ech}}{2}}^{-\frac{f_{ech}}{2}} S_B(f) \cdot df = \frac{q^2}{12} \quad (16)$$

S'agissant d'un bruit blanc, sa densité spectrale de puissance est constante, ainsi :

$$S_B(f) = \frac{q^2}{12} \cdot \frac{1}{f_{ech}} \quad (17)$$

Le facteur de sur-échantillonnage (OSR - *Over-Sampling Ratio*) est défini comme le rapport : $OSR = \frac{f_{ech}}{f_{Nyq}}$. La puissance totale du bruit de quantification se trouve sur la

bande : $\left[-\frac{f_{ech}}{2}, \frac{f_{ech}}{2}\right]$, sa valeur reste identique au cas initial, où le signal était échantillonné à la fréquence f_{Nyq} . Par contre, dans un convertisseur de type sur-échantillonné, le filtre réduit à posteriori la bande utile à l'intervalle $\left[-\frac{f_{Nyq}}{2}, \frac{f_{Nyq}}{2}\right]$ (cf. Figure 4). La fonction de transfert de ce filtre est :

$$H(f) = 1_{\left[-\frac{f_{Nyq}}{2}, \frac{f_{Nyq}}{2}\right]} \quad (18)$$

La puissance du bruit de quantification dans la nouvelle bande utile est :

$$P_{\varepsilon} = \int_{-\frac{f_{ech}}{2}}^{\frac{f_{ech}}{2}} |H(f)|^2 \cdot S_B(f) \cdot df \quad (19)$$

Soit

$$P_{\varepsilon} = \int_{-\frac{f_{Nyq}}{2}}^{\frac{f_{Nyq}}{2}} S_B(f) \cdot df \quad (20)$$

i.e.

$$P_{\varepsilon} = S_B(f) \cdot \int_{-\frac{f_{Nyquist}}{2}}^{\frac{f_{Nyquist}}{2}} df = \frac{q^2}{12} \cdot \frac{1}{f_{ech}} \int_{-\frac{f_{Nyquist}}{2}}^{\frac{f_{Nyquist}}{2}} df = \frac{q^2}{12} \cdot \frac{f_{Nyquist}}{f_{ech}} = \frac{q^2}{12} \cdot \frac{1}{OSR} \quad (21)$$

La puissance moyenne d'une sinusoïde est donnée par (4). Le rapport signal sur bruit, calculé à partir de (11) devient donc :

$$SNR_{dB} = 6,02 \cdot N + 1,76 + 10 \cdot \log(OSR) \quad (22)$$

Ainsi, par exemple doubler la fréquence d'échantillonnage permet d'améliorer le SNR de 3dB ou de 0.5-bit.

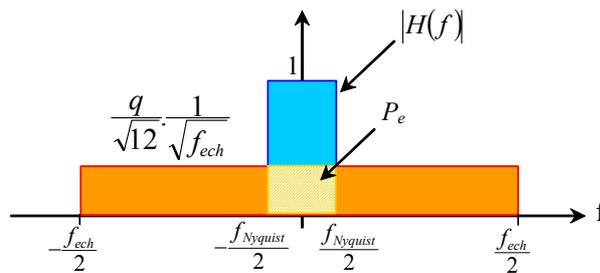


Figure 4 : Densité spectrale de bruit pour un CAN sur-échantillonné.

Indépendamment de l'architecture de conversion retenue, tout CAN de Nyquist peut ainsi voir sa résolution améliorée par cette technique de sur-échantillonnage et de filtrage.

1.2 Critères pour l'évaluation des performances d'un convertisseur

Les différents paramètres utiles définissant les performances d'un convertisseur analogique-numérique sont définis dans cette partie. Ces caractéristiques ne sont pourtant pas toujours données dans les articles présentant de nouvelles architectures de conversion.

Il existe dans la littérature une multitude de critères pour estimer les performances d'un convertisseur analogique-numérique. Malgré cela, seulement quelques uns sont vraiment explicites : le SNR (*Signal-to-Noise Ratio*), le SFDR (*Spurious-Free Dynamic Range*), la

nombre effectif de bits (*ENOB – Effective Number Of Bits*) et enfin la puissance consommée. Le nombre effectif de bits peut être déterminé en dynamique (*SNR* et *SFDR*) ou en statique avec l'*INL (Integral Non-Linearity)* ou la *DNL (Differential Non-Linearity)*, cependant les mesures dynamiques permettent une meilleure précision sur cette estimation.

1.2.1 Les paramètres statiques

Pour rappel, la fonction de transfert d'un convertisseur analogique numérique idéal est donnée Figure 3.

1.2.1.1 Erreur d'offset

Il s'agit de la différence entre la valeur nominale d'offset (l'origine de la fonction de transfert: le point 0) et la valeur actuelle d'offset définie comme la mi-largeur de la première marche de la caractéristique (cf. Figure 5), exprimée en LSB. Cette erreur translate globalement toute la caractéristique du convertisseur et peut facilement être compensée par des techniques usuelles de conception.

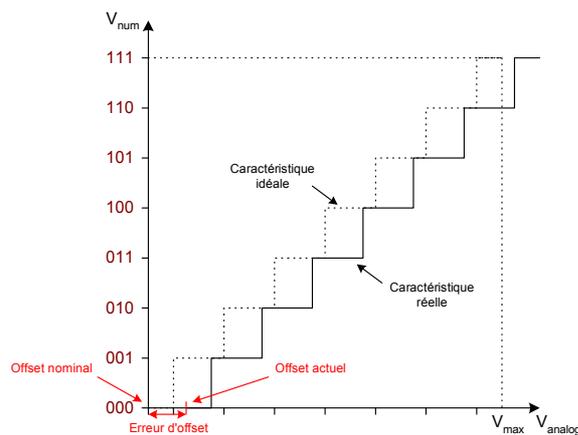


Figure 5 : Erreur d'offset pour un CAN.

1.2.1.2 Erreur de gain

L'erreur d'offset est maintenant supposée supprimée. L'erreur de gain est définie comme étant la différence entre la valeur nominale de gain (le point extrême de la fonction de transfert : le point d'abscisse V_{max}) et la valeur actuelle du gain défini comme l'abscisse à mi-largeur de la dernière marche de la caractéristique (cf. Figure 6), exprimée en LSB. Cette erreur représente une différence de pente entre la fonction de transfert idéale et la fonction de transfert réelle : elle affecte globalement toutes les marches du même pourcentage de LSB. Cette erreur peut également être facilement compensée par des techniques communes de conception.

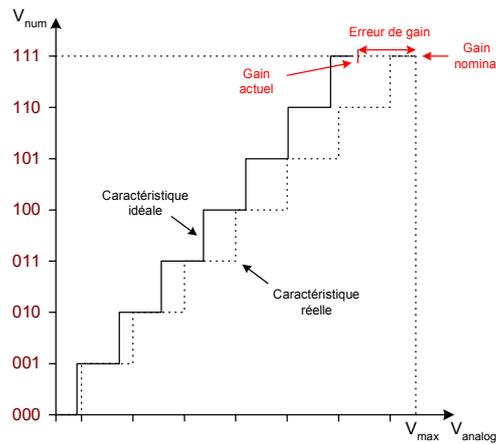


Figure 6 : Erreur de gain pour un CAN.

Une fois que l'erreur d'offset et de gain ont été supprimées, la fonction de transfert d'un CAN réel peut avoir l'allure présentée Figure 7. Contrairement à la Figure 3, bien que la hauteur des marches soit toujours rigoureusement égale à $1LSB$, leur largeur n'est plus constante. Deux autres paramètres statiques sont maintenant définis : la DNL (*Differential Non-Linearity Error*) et l'INL (*Integral Non-Linearity Error*).

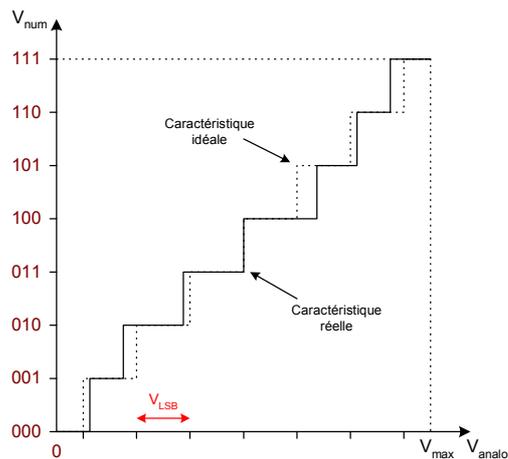


Figure 7 : Fonction de transfert d'un CAN réel.

1.2.1.3 La DNL

A partir de la fonction de transfert réelle d'un CAN, la DNL peut facilement être déterminée. Elle est définie, pour chaque marche, comme étant la variation de la largeur de la marche autour de V_{LSB} , exprimée en pourcentage de V_{LSB} . Une courbe de DNL peut être tracée en fonction des codes numériques de la sortie V_{num} . Dans la littérature, la DNL d'un CAN peut être aussi définie comme la valeur maximale des DNLs ainsi calculées. Pour le cas idéal, la DNL vaut exactement zéro. Par contre, dans le cas réel, si elle excède $1LSB$, le convertisseur peut avoir des codes manquants, i.e. des valeurs numériques de la sortie V_{num} qui ne seront jamais effectives. Un CAN ayant une DNL de $0.5LSB$ signifie que la largeur de ses paliers peut varier de $0.5LSB$ à $1.5LSB$.

1.2.1.4 L'INL

L'INL traduit la déviation des points de la fonction de transfert réelle d'une droite idéale. Cette dernière peut être définie de plusieurs façons : tout d'abord comme la droite joignant les deux points extrêmes de la caractéristique : $(0, 000)$ et $(V_{max}, 111)$ (cf. Figure 3), elle peut aussi être définie comme la droite obtenue en minimisant l'erreur quadratique entre les points réels de la caractéristique... C'est généralement la première définition qui est la plus couramment utilisée. Comme pour la DNL, l'INL peut être tracée en fonction des codes numériques de la sortie V_{num} , et elle peut aussi être définie dans la littérature comme la valeur maximale des INLs ainsi calculées. Pour le cas idéal, l'INL ainsi définie vaut exactement zéro. Le nom *Integral Non-Linearity Error* vient du fait que si la somme de toutes les DNLs comprises entre la première marche à celle considérée est effectuée, l'INL de cette dernière marche est retrouvée. Un CAN est monotonique si son erreur INL maximale n'excède pas $0.5LSB$.

A partir d'une caractéristique réelle initiale de CAN, il existe aussi l'erreur absolue de précision qui permet d'inclure l'erreur de gain, l'erreur d'offset et l'INL. Elle est obtenue en calculant la valeur maximale des différences entre les abscisses des marches à mi-largeur et les abscisses des points correspondant de la droite idéale.

1.2.2 Les paramètres dynamiques

1.2.2.1 Le SNR

Pour un CAN idéal, la seule erreur introduite lors de la conversion analogique-numérique est le bruit de quantification. En effet, la tension analogique d'entrée pouvant prendre n'importe quelle valeur réelle dans une plage donnée est transformée en une valeur numérique évoluant parmi un ensemble fini d'éléments. Cette imprécision avec laquelle sont connus les échantillons est caractérisée par le rapport signal sur bruit. La théorie associée est développée au paragraphe 1.1.2.

Dans le cas d'un CAN réel, le SNR tient non seulement compte de ce bruit de quantification, mais aussi du bruit apporté toutes les imperfections qu'il peut exister dans les blocs du circuit, du bruit thermique, de la DNL, de l'INL... Après avoir mesuré le SNR, le nombre effectif de bits du CAN ou ENOB (*Effective Number Of Bit*) est déduit à partir de la relation (15):

$$ENOB = \frac{SNR_{dB} - 1.76}{6.02} \quad (23)$$

D'après [WALD 99] (cf. Figure 8), ou l'état de l'art résumé Tableau 1, la résolution effective (ou ENOB) d'un convertisseur est souvent inférieure de 1,5 à 2-bits par rapport à la résolution théorique N annoncée.

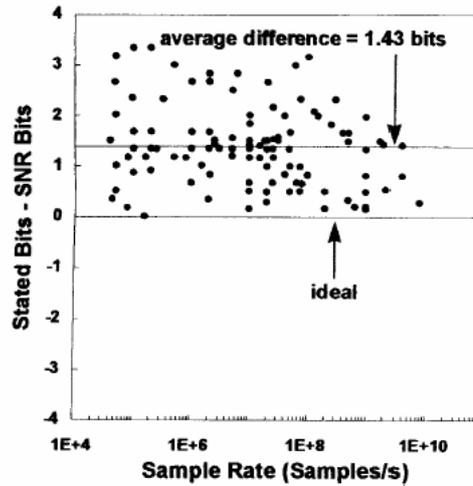


Figure 8 : Nombre effectif de bits de CANs récents obtenus à partir du SNR, d’après [WALD 99].

Dans le cas d’un CAN de Nyquist, l’estimation du SNR se fait, en simulation électrique ou en test sur puce, de la même manière : une fréquence d’échantillonnage f_{ech} est fixée, puis une sinusoïde pure de fréquence donnée f est introduite en entrée du circuit (devant respecter le théorème de Shannon). Une FFT (cf paragraphe 2.2.1) est effectuée sur la suite d’échantillons numériques en sortie du CAN. Le SNR est calculé en réalisant le rapport de l’amplitude du fondamental (la fréquence f) avec l’intégrale sur la bande utile $\left[-\frac{f_{ech}}{2}, \frac{f_{ech}}{2}\right]$ de la densité spectrale de bruit. Par la suite, le SNR peut être tracé en fonction de la fréquence f d’entrée, f_{ech} étant prise comme paramètre. Le SNR est constant pour les fréquences basses puis décroît lorsque la fréquence augmente. La valeur de la fréquence f pour laquelle le SNR a diminué de $3dB$ se nomme la bande passante du convertisseur ou $ERBW$ (*Effective Resolution Bandwidth*), cette valeur est très importante puisqu’elle indique la bande de fréquence sur laquelle le convertisseur doit être utilisé. Si $ERBW \geq \frac{f_{ech}}{2}$, il s’agit d’un convertisseur de Nyquist.

Le SNR ainsi défini est souvent appelé *Signal to Noise plus Total Harmonic Distortion*, en effet, il prend non seulement en compte le bruit mais également la distorsion harmonique. Le calcul du SNR vu précédemment doit être fait avec précautions : un autre paramètre non vu jusqu’ici joue un rôle très important : c’est l’amplitude V_{in} de la sinusoïde en entrée. En effet, plus l’amplitude augmente et plus le SNR augmente. Il est logique de se demander quelle est la valeur de cette dernière à prendre pour estimer le SNR et donc l’ENOB. La formule (15) est calculée théoriquement pour V_{in} maximal i.e. quand toute la dynamique d’entrée ΔV_{in} est balayée, cependant, dans la pratique, une telle amplitude met en valeur la distorsion, il arrive donc par cette méthode, que le SNR et donc l’ENOB soient estimés plus faible qu’ils ne sont en réalité. Pour éviter cela, la méthode suivante est généralement employée : f étant fixée, le SNR est tracé en fonction de l’amplitude d’entrée V_{in} . Pour un CAN idéal, le résultat est une droite croissante (cf. Figure 9). Pour un CAN réel, deux effets interviennent : pour les amplitudes faibles, la courbe obtenue à partir des points expérimentaux est globalement décalée vers le bas (ceci est du à la DNL), et pour les amplitudes fortes, la courbe décroît en raison de

l'augmentation de la distorsion harmonique. La valeur du SNR est estimée à la pleine dynamique en interpolant le segment de droite des basses amplitudes pour toute la dynamique du signal d'entrée (cf. Figure 9), l'ENOB est alors déduit par la relation (23).

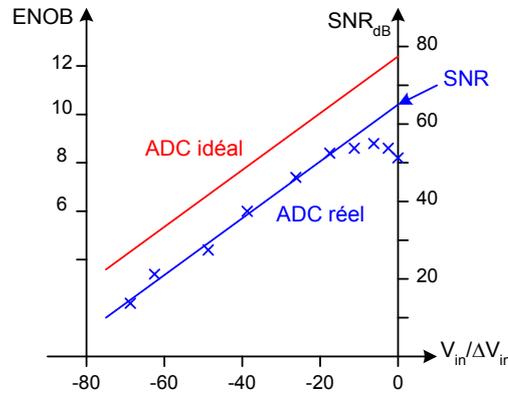


Figure 9 : SNR en fonction de l'amplitude de la sinusoïde pure en entrée.

1.2.2.2 Le SFDR

La mise en œuvre de la mesure du SFDR (*Spurious Free Dynamic Range*) est identique à celle de la mesure du SNR, le rapport entre le fondamental et le premier harmonique sur la bande de fréquence utile $\left[\frac{f_{ech}}{2}, \frac{f_{ech}}{2} \right]$ est alors effectué. Le nombre effectif de bits du CAN est calculable par la relation:

$$N_{eff(SFDR)} = \frac{SFDR_{dBc}}{6,02} \quad (24)$$

D'après [WALD 99] (cf. Figure 10), dans la pratique, la résolution effective $N_{eff(SFDR)}$ est plus proche de la résolution théorique N que l'estimation par la méthode utilisant le SNR. Ce paramètre est cependant très peu utilisé.

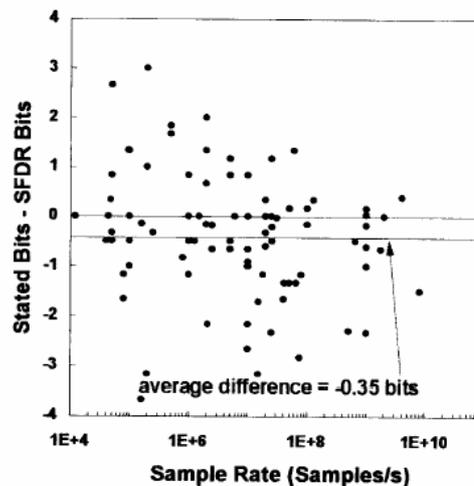


Figure 10 : Nombre effectif de bits de CANs récents déterminés à partir du SFDR, d'après [WALD 99].

1.2.3 Le Facteur de Mérite

Tous les paramètres décrits précédemment permettent de caractériser un convertisseur analogique-numérique. Cependant, afin de comparer les convertisseurs entre eux, un critère plus général, calculé à partir des paramètres généraux, est communément adopté : le Facteur de Mérite (*FoM* - *Figure of Merit*). Sa définition générale est donnée dans [WALD 99] :

$$FoM = \frac{2^{ENOB} \cdot 2 \cdot ERBW}{P_m} \quad (25)$$

Le nombre effectif de bits ENOB (*Effective Number of Bits*) est calculé à partir du SNR à faible fréquence pour le signal d'entrée par la relation (23). La bande effective du convertisseur *ERBW* (en Hz) est définie auparavant, et P_m est la puissance moyenne totale consommée du convertisseur (en W).

D'autres définitions du Facteur de Mérite peuvent être trouvées dans la littérature, mais elles sont toutes assez équivalentes. La surface S du cœur du circuit (en m^2) peut également être intégrée dans le Facteur de Mérite de la manière suivante :

$$FoM = \frac{2^{ENOB} \cdot 2 \cdot ERBW}{P_m \cdot S} \quad (26)$$

1.3 Les architectures de conversion

Seules les architectures classiques de conversion sont présentées dans cette partie. Leurs principes sont brièvement exposés. Des informations supplémentaires peuvent être trouvées pour chacune d'elles dans [JES 01], [JOH 96], [BAI 96]... Deux grandes familles de convertisseurs cohabitent. Tout d'abord, il existe les convertisseurs de Nyquist pour lesquels un échantillon numérique en sortie correspond à un échantillon analogique en entrée. Afin de relâcher les contraintes sur le filtre anti-repliement en entrée, ces CANs sont souvent sur-échantillonnés d'un facteur inférieur à dix. Il existe également les convertisseurs sur-échantillonnés où la fréquence d'échantillonnage est bien supérieure à la fréquence de Nyquist et pour lesquels la résolution est améliorée par une décimation à posteriori.

1.3.1 Les convertisseurs de Nyquist

1.3.1.1 CAN à rampe

C'est une approche commune pour la conversion haute résolution de signaux lents. Le schéma électrique du CAN à intégration double est donné Figure 11. La conversion d'un échantillon s'effectue en deux phases :

Lors de la **phase I** de la conversion, de durée T_1 , le compteur évolue pendant 2^N coups d'horloge :

$$T_1 = 2^N \cdot T_{clk} \quad (27)$$

Pendant cette durée, l'interrupteur Φ_1 est relié à $-V_{analog}$. Ainsi, la sortie V_x de l'intégrateur est une rampe de pente fixe. A la fin de la *phase I*, le potentiel V_x vaut:

$$V_x = \frac{V_{analog} \cdot T_1}{R_1 \cdot C_1} \quad (28)$$

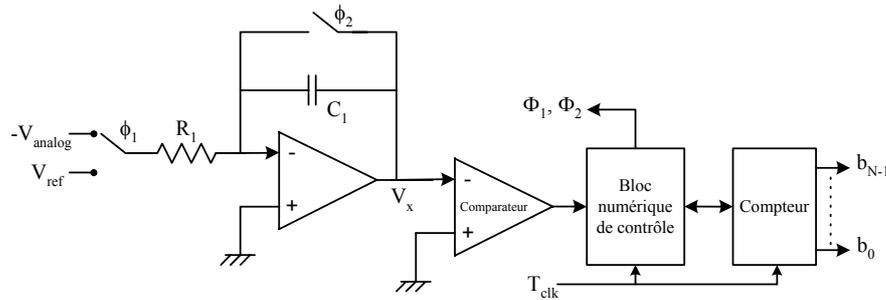


Figure 11 : Schéma bloc d'un CAN à rampe.

La **phase II** a une durée variable T_2 , dépendant de la tension d'entrée à convertir V_{analog} (cf. Figure 12). Au début de cette phase, le compteur est initialisé à zéro et Φ_1 est connecté à V_{ref} . La pente de la tension V_x est donc décroissante et constante. Parallèlement, le compteur est incrémenté à chaque coup d'horloge, jusqu'à ce que la sortie du comparateur bascule à zéro, i.e. lorsque V_x devient négative. A cet instant, la valeur du compteur est égale à la valeur numérique de l'échantillon d'entrée.

En effet, la durée vaut :

$$T_2 = T_{clk} \cdot (b_{N-1} \cdot 2^{N-1} + \dots + b_1 \cdot 2 + b_0) \quad (29)$$

Le potentiel V_x lors de la *phase II* vaut :

$$V_x(t) = \frac{V_{analog} \cdot T_1}{R_1 \cdot C_1} + \frac{-V_{ref} \cdot (t - T_1)}{R_1 \cdot C_1} \quad (30)$$

Or $V_x(T_1 + T_2) = 0$, compte tenu des relations (27), (29) et (30), une relation équivalente à (3) est trouvée :

$$V_{analog} = \frac{V_{ref}}{2^N} \cdot [b_{N-1} \cdot 2^{N-1} + \dots + b_1 \cdot 2 + b_0] \quad (31)$$

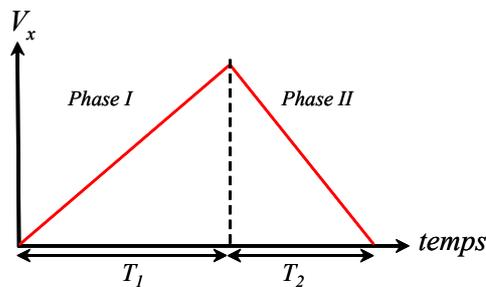


Figure 12 : Différentes phases d'un CAN à intégration.

La conversion est indépendante de la constante de temps de l'intégrateur, elle est néanmoins très lente. L'utilisation de ces convertisseurs est par conséquent limitée à de l'instrumentation pour des applications faible-vitesse.

1.3.1.2 CAN de poursuite

Ce convertisseur (cf. Figure 13) est composé d'un Echantillonneur-Bloqueur (E/B ou S/H - *Sample-and-Hold*), d'un comparateur, d'un compteur/décompteur et d'un Convertisseur Numérique-Analogique (CNA). Lorsqu'un échantillon est capturé par l'E/B, la valeur numérique précédente, mémorisée dans le compteur, est incrémentée respectivement décrémenteé tant que la sortie du compteur vaut '1' respectivement '0'. Ce convertisseur est simple mais très lent puisqu'entre deux échantillons successifs, le compteur peut balayer les 2^N valeurs possibles, i.e. 2^N cycles de conversion sont nécessaires. La période de l'horloge commandant l'E/B doit donc être 2^N fois plus grande que la période de l'horloge commandant le compteur/décompteur. De plus, de part le principe de la conversion, si l'entrée V_{analog} est constante, la sortie oscille en permanence entre deux valeurs numériques consécutives, comme c'est le cas en modulation Δ (cf. paragraphe 3.4.2).

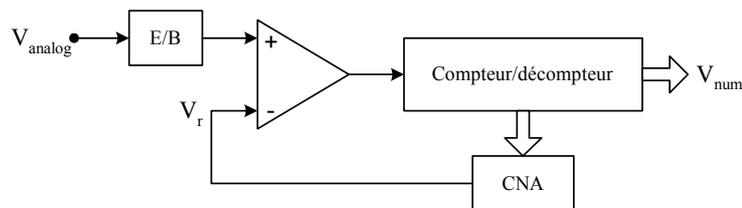


Figure 13 : Schéma bloc d'un CAN de poursuite.

Bien que ce type d'architectures soit très simple, ces CANs sont assez limités et donc rares. Un exemple récent est néanmoins présenté dans [ROM 01].

1.3.1.3 CAN à Approximations Successives (CAS)

1.3.1.3.1 Structure de base

C'est le convertisseur le plus populaire pour sa simplicité et son efficacité. Il détermine les bits un à un, du MSB au LSB, en procédant par dichotomies selon l'algorithme présenté Figure 18a. Il est composé d'un échantillonneur-bloqueur, d'un comparateur, d'un registre à approximations successives et d'un convertisseur numérique-analogique (cf. Figure 14). Si N est la résolution du CAN, N cycles de conversion sont nécessaires afin d'obtenir la valeur numérique V_{num} de sortie.

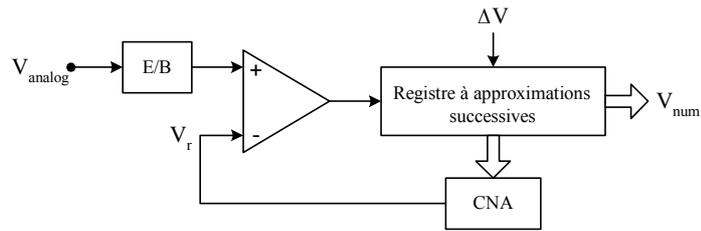


Figure 14 : Schéma bloc d'un CAN à Approximations Successives.

Ce genre de convertisseurs est très utilisé pour les applications à vitesse moyenne et résolution moyenne. Plusieurs travaux ont été publiés récemment concernant ces CANs : [MORT 00], [PRO 01], [KUT 02], [LIN 03]...

1.3.1.3.2 Convertisseur à redistribution de charges

Ce type de convertisseurs est une implémentation très intéressante de la conversion à approximations successives puisqu'elle permet de limiter fortement le matériel mis en œuvre. L'idée de base est l'utilisation d'un réseau de capacités de valeurs pondérées, d'un comparateur, et d'un bloc numérique effectuant l'algorithme dichotomique. La fonction d'échantillonnage blocage est directement réalisée par le réseau de capacités, ainsi un E/B n'est pas nécessaire. Le schéma de base de ce genre de convertisseurs est donné Figure 15.

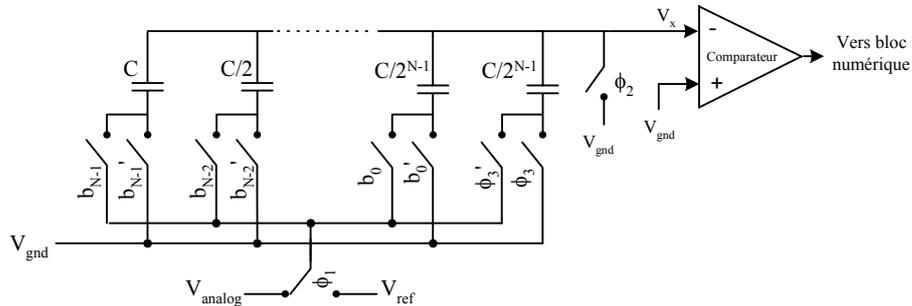


Figure 15 : Schéma d'un CAN à redistribution de charges.

Le principe de fonctionnement est le suivant (cf. Figure 16) :

Étape 1 : Échantillonnage de V_{analog}

Φ_1 est fermé sur la tension à convertir, tandis que Φ_2 maintient la tension d'entrée du comparateur nulle $V_x = 0$. Ainsi toutes les capacités sont chargées entre la masse et V_{analog} . La charge totale accumulée vaut :

$$Q_1 = 2.C.V_{analog} \quad (32)$$

Étape 2 : Système isolé

Φ_2 est ouvert. L'ensemble des armatures supérieures des capacités et le nœud d'entrée du comparateur forment un système isolé : il y a conservation de la charge. Toutes les armatures inférieures des capacités sont basculées sur la masse. La charge totale devient :

$$Q_2 = 2.C.V_x \quad (33)$$

De (32) et (33), il vient : $V_x = -V_{ana\log}$. A la fin de cette étape, Φ_1 bascule sur la tension de référence V_{ref} .

Etape 3 : Evaluation successive des bits

Le bit de MSB b_{N-1} est positionné à '1', et les autres à '0'. La capacité C est chargée à V_{ref} , la charge du système vaut donc :

$$Q_3 = C.(V_{ref} - V_x) - C.V_x \quad (34)$$

d'où, par conservation de la charge :

$$V_x = -V_{ana\log} + \frac{V_{ref}}{2} \quad (35)$$

Si $V_x > 0$, alors $b_{N-1} = '0'$, sinon $b_{N-1} = '1'$. Ainsi C est chargée par $b_{N-1}.V_{ref}$, et le bit b_{N-2} est évalué de la même façon : il est positionné à '1' et tous les bits de poids inférieur sont positionnés à '0'...

L'évaluation des bits se fait donc un par un, du MSB au LSB. En fin de conversion, la tension de sortie V_x s'exprime par :

$$V_x = -V_{ana\log} + \frac{V_{ref}}{2} \cdot \left[b_{N-1} + \frac{b_{N-2}}{2} \dots + \frac{b_1}{2^{N-2}} + \frac{b_0}{2^{N-1}} \right] \quad (36)$$

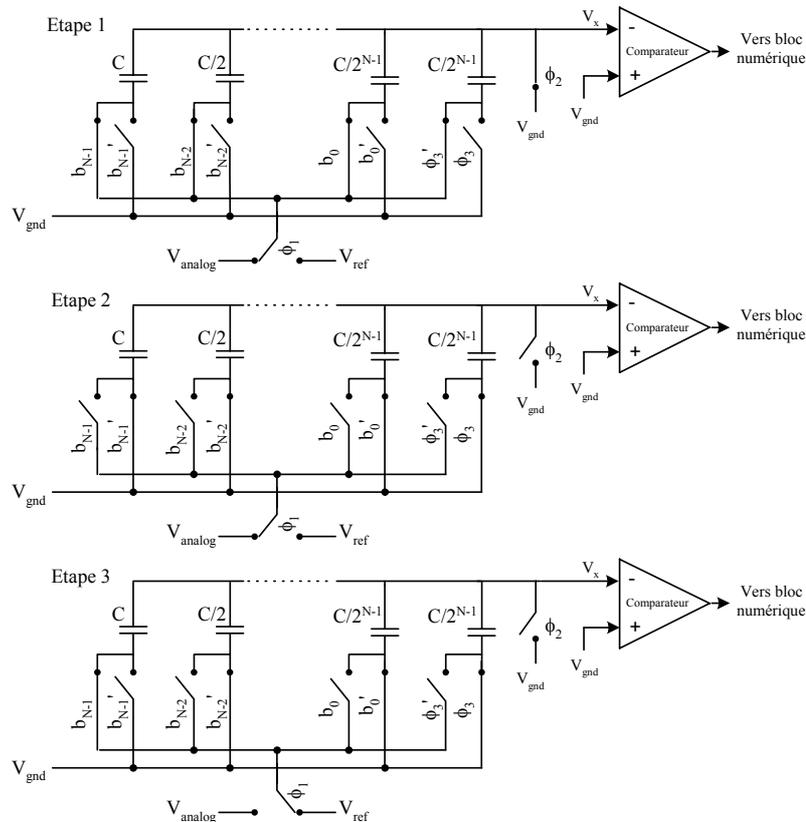


Figure 16 : Fonctionnement d'un CAN à redistribution de charges.

Très récemment, deux CANs à redistribution de charges très similaires ont été publiés (cf. Tableau 1) : [SAU 02], [SCO 02a] et [SCO 02b]. Ils mettent en œuvre un matériel minime et leur conception a abouti à des consommations électriques très faibles : de l'ordre de quelque dizaines de microwatts pour une résolution de 8-bits et une vitesse de quelque dizaines de kilo-Hertz. Ces CANs, qualifiés d'*ultra low power ADCs* sont utilisés pour des applications de type Objets Communicants alimentés par batteries ou télé-alimentés [WARN 01].

1.3.1.4 CAN algorithmique

Ce convertisseur procède de la même manière qu'un CAN à Approximations Successives. La différence est la suivante : pour un CAS, le signal analogique est comparé avec des références de tension divisées à chaque cycle de conversion, alors que pour le CAN algorithmique, les références restent identiques et l'erreur est multipliée par deux à chaque cycle d'horloge. Le schéma bloc du convertisseur est donné Figure 17 et son algorithme de conversion Figure 18b.

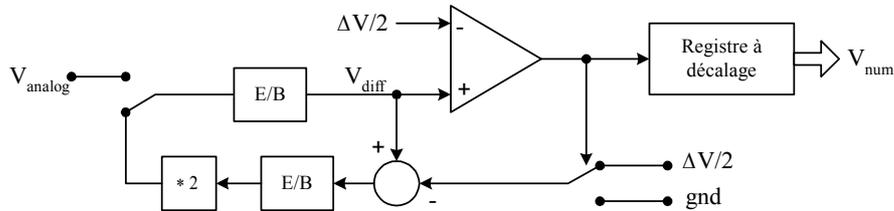


Figure 17 : Schéma bloc d'un CAN algorithmique.

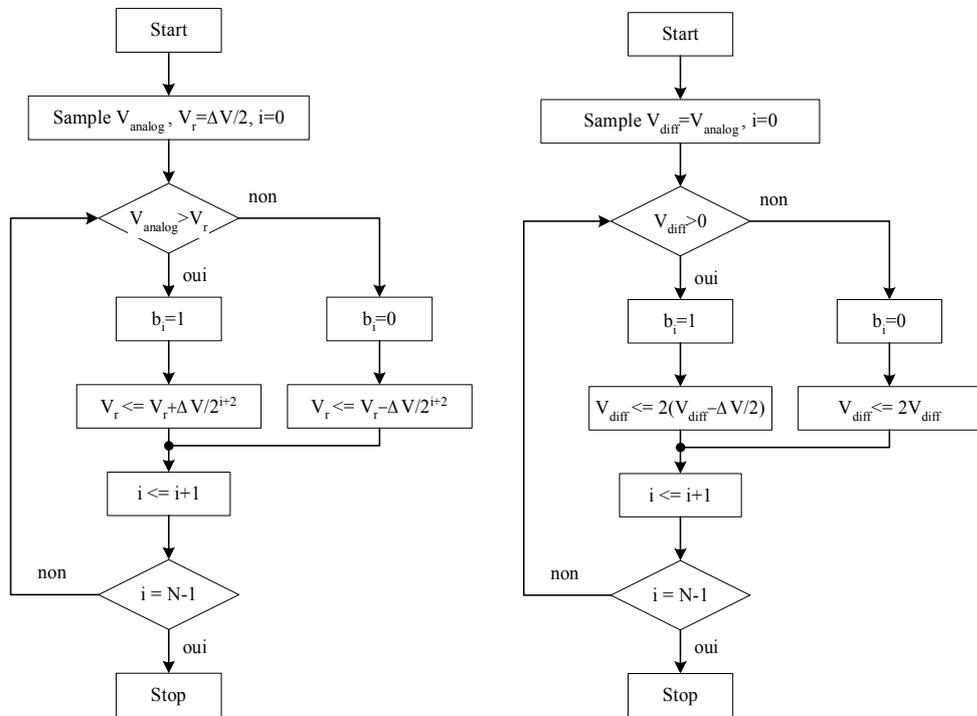


Figure 18 : Algorithmes de conversion pour le CAN à Approximations Successives (a) et le CAN algorithmique (b).

Un exemple d'implémentation de ce CAN en mode courant est donné Figure 19. ΔI est la dynamique maximale d'entrée du convertisseur, I_{in} le courant à convertir. Lors de l'évaluation du bit de MSB, les interrupteurs S_1 , S_2 , S_3 et S_4 sont dans la position indiquée sur la figure. Le courant d'entrée I_{in} est comparé à la moitié de ΔI , par les copies I_{comp} et I_{ref} . Si I_{comp} est inférieur à I_{ref} , la sortie du comparateur vaut '0' et S_2 est ouvert, I_{eval} est nul. Par conséquent, le courant de résidu I_{residu} vaut le double de I_{in} . Ce courant est mémorisé dans la mémoire A. Si I_{comp} est supérieur à I_{ref} , la sortie du comparateur vaut '1' et S_2 est fermé, I_{residu} est le double de I_{in} , auquel le courant I_{eval} i.e. le courant ΔI est soustrait. Pour l'évaluation des bits suivants, les interrupteurs S_1 , S_2 , S_3 et S_4 changent d'état. Le courant I_{cycl} précédemment mémorisé dans A est comparé à la référence ΔI . L'évaluation se fait comme dans le cas précédent où maintenant la mémoire A est remplacée par B. Les autres bits sont évalués les uns après les autres, l'interrupteur S_1 est fixe et les mémoires A et B sont permutées à chaque cycle. Un autre convertisseur algorithmique récent est donné dans [BLEC 00].

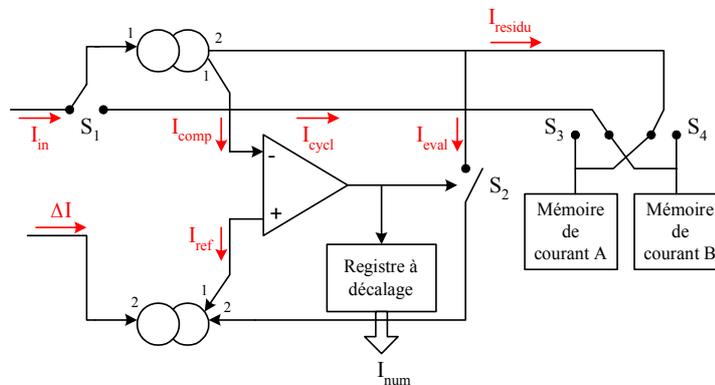


Figure 19 : Exemple de CAN algorithmique en mode courant.

1.3.1.5 CAN Flash

C'est l'approche la plus simple pour réaliser une conversion analogique numérique extrêmement rapide. Le signal d'entrée est directement comparé à $2^N - 1$ références, puis le code thermometer obtenu en sortie des comparateurs est transformé en code binaire naturel. Un tel convertisseur est composé de $2^N - 1$ comparateurs, 2^N résistances et d'un encodeur tels que présentés Figure 20. C'est le fait que tous les comparateurs soient en parallèle qui assure la rapidité de la conversion.

L'encodeur est généralement composé de deux parties distinctes, tout d'abord un encodeur thermometer vers 1 parmi N , puis un encodeur 1 parmi N vers binaire naturel. Le premier étage est destiné à détecter distinctement la frontière entre les '1' et les '0' du code thermometer en s'affranchissant d'éventuelles erreurs dans ce code dues au bruit, à la métastabilité... (*bubble errors*).

Ce dispositif comporte par contre de nombreux inconvénients : le grand nombre de comparateurs connectés au nœud d'entrée V_{analog} implique une très grande capacité d'entrée. Celle-ci limite la vitesse de fonctionnement et nécessite la présence de buffers pour le signal d'entrée, ce qui augmente considérablement la consommation. De plus, le

matériel mis en œuvre pour la partie analogique engendre une grande surface de silicium et une consommation très importante.

Les convertisseurs Flash ont fait l'objet de quelques publications récemment : [DON 02], [MEHR 99], [SCHO 00], [SCHO 02], [TSU 98] et sont utilisés pour les applications faible résolution (6 à 8-bits) et très forte vitesse.

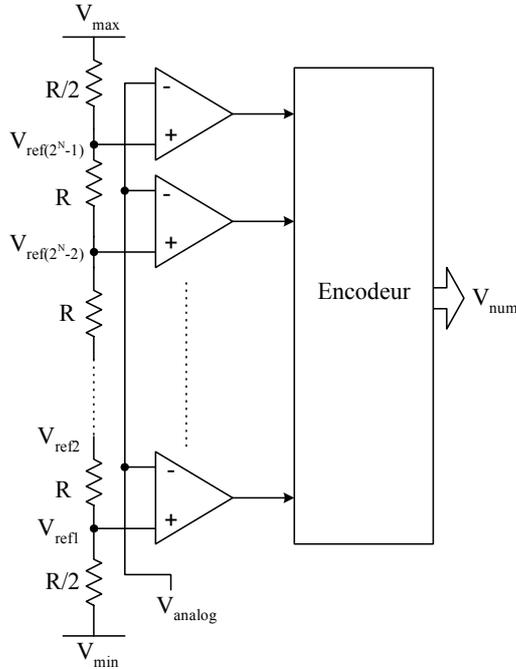


Figure 20 : Schéma bloc d'un CAN Flash.

1.3.1.6 CAN Semi-Flash

Pour réaliser un CAN de N -bits, deux CAN identiques de $N/2$ -bits, ainsi qu'un convertisseur numérique analogique (CNA) de $N/2$ -bits peuvent être utilisés. Le schéma est donné Figure 21 dans le cas d'un convertisseur 8-bits. Le premier CAN permet d'obtenir les $N/2$ -bits de poids forts, puis l'erreur de conversion est amplifiée et convertie par le deuxième CAN afin d'obtenir les $N/2$ -bits de poids faible.

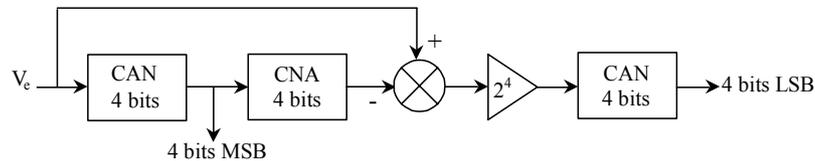


Figure 21 : Schéma bloc d'un CAN semi-Flash.

Cette structure utilise non seulement des éléments plus simples que son homologue mono-résolution, mais elle permet également de réduire considérablement la consommation. En effet, si un convertisseur Flash classique de 8-bits est considéré, 255 comparateurs sont nécessaires, alors que la structure Semi-Flash en nécessite deux fois 63, soit

126. La consommation du montage est donc approximativement divisée par deux. Cependant, puisqu'il existe maintenant deux convertisseurs en série, le temps de conversion est dorénavant multiplié par deux. De plus, bien que la complexité soit de $N/2$ -bits pour les CANs et le CNA, leur précision doit toujours être de N -bits.

1.3.1.7 CAN pipeliné

La structure présentée Figure 21 comporte deux étages, elle peut être généralisée, pour un CAN N -bits, à N étages de 1 -bit en série. Dans ce cas, la lenteur du montage est alors très gênante, c'est pourquoi, il existe des montages utilisant un pipeline analogique (cf. Figure 22).

Dans ce dernier cas, le bloc 1 -bit est très simple à réaliser (cf. Figure 23) puisque le CAN se limite à un simple comparateur et le CNA à un interrupteur. Le principe de ce convertisseur est tout à fait identique à celui du CAN algorithmique (cf. Figure 17 et Figure 18b) si ce n'est que dans ce cas, la structure n'est pas rebouclée, mais tout le matériel est dupliqué pour chaque bit.

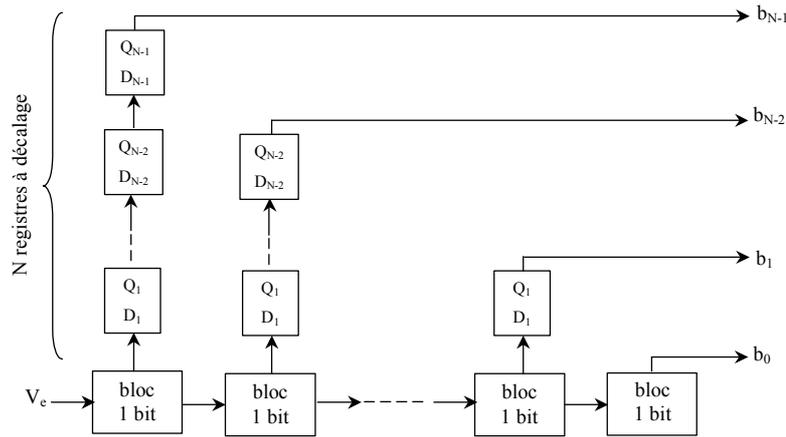


Figure 22 : Schéma bloc d'un CAN pipeliné.

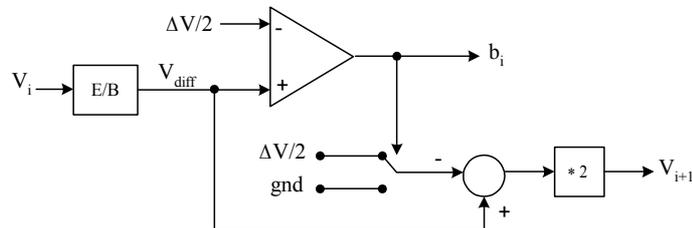


Figure 23 : Schéma d'un bloc de conversion 1 -bit.

Les CANs de deux jusqu'à N étages sont très répandus dans la littérature. La plupart du temps, ces convertisseurs contiennent un étage de correction numérique, afin de relâcher les contraintes de conception au niveau des parties analogiques. Cette technique de conversion est l'une des plus populaire actuellement: [CHEN 01], [CHU 02], [JAM 02],

[KAV 02], [KIM 02], [KUD 01], [KUL 02], [LOL 02], [MARB 02], [MEHR 01], [MING 01], [MIN 03], [MIY 02], [MIY 03], [MORE 00], [MUR 03], [OPR 00], [PAN 00], [PARK 01], [POU 02], [POU 03], [SHI 01], [SUB 02], [SUM 01], [TAFT 01], [THO 01], [TUI 02], [WADA 02], [WALT 01], [WAN 00], [YANG 01], [YOO 03]... Ce type de CANs est de plus une solution très intéressante, en concurrence avec les CANs $\Sigma\Delta$ (cf. paragraphe 1.3.2), pour les applications radiofréquence [LOUM 02].

1.3.1.8 CAN à interpolation

Il s'agit d'une structure Flash modifiée selon le principe présenté Figure 24. Les comparateurs de la structure Flash initiale sont remplacés par des amplificateurs linéaires près de la tension de seuil des latches ($V_{dd}/2$) mais pouvant saturer au-delà. Dans ce cas, un nombre limité d'amplificateurs, coûteux en surface et en consommation sont nécessaires. Les références intermédiaires sont obtenues par interpolations à l'aide de simples ponts diviseurs de tensions. L'évolution des différents potentiels de référence est indiquée Figure 25. Cependant le nombre de comparateurs latchés reste identique au nombre de comparateurs de la structure Flash équivalente. La seule différence c'est que les comparateurs latchés comparent l'entrée par rapport à $V_{dd}/2$ alors que les comparateurs d'un CAN Flash la comparent avec une tension de référence. Ainsi, les imperfections en gain et offset des préamplificateurs de la structure *Interpolating* se traduit par des erreurs INL plutôt que DNL [SONG 00]. Par exemple en mode courant, la précision de l'interpolation des références est limitée par la précision des miroirs. Actuellement, en soignant la conception, des résolutions de *10-bits* sont accessibles.

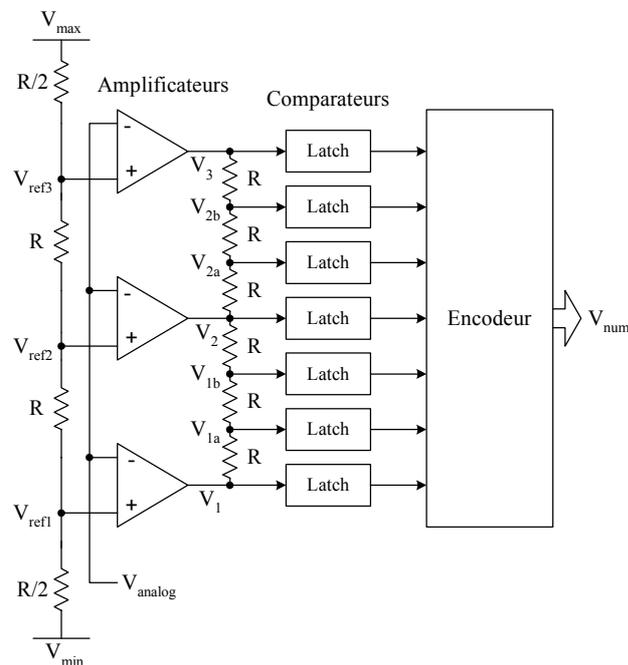


Figure 24 : Schéma bloc d'un CAN Flash à interpolation.

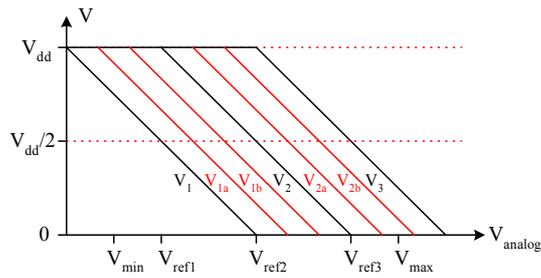


Figure 25 : Potentiels de référence d'un CAN à interpolation 3-bits.

1.3.1.9 CAN à repliement

Le principe de base de ce genre de convertisseurs vient du fait que pour un CAN Flash, si le signal d'entrée V_{analog} à convertir est proche de la référence V_{refi} , seuls les comparateurs proches de cette tension de référence sont utiles pour l'estimation de la valeur numérique de l'échantillon. Dans un CAN à repliement (cf. Figure 26), les sorties des amplificateurs sont combinées de manière à ce que seulement les comparateurs ayant leur tension de référence proche de V_{analog} soient utilisés.

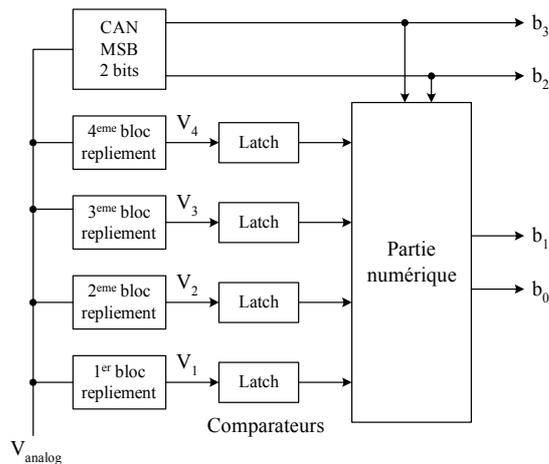


Figure 26 : Schéma bloc d'un CAN 4-bits à repliement.

Pour un CAN à repliement, deux paramètres sont distinguables : le nombre de blocs de repliement NF (pour le CAN 4-bits donné Figure 26, $NF=4$), et le taux de repliement FR (pour le CAN 4-bits donné Figure 26, $FR=4$ – cf. Figure 29). Pour ce genre de CANs, il y a autant de comparateurs que de blocs de repliement, soit NF , alors que pour un CAN Flash, il en faudrait $NF \times FR$. Il en résulte une diminution du matériel, donc de la surface et de la consommation électrique.

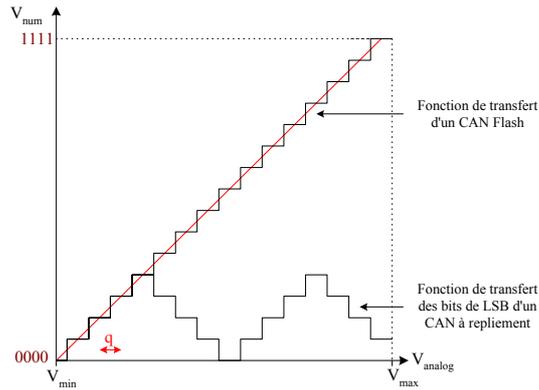


Figure 27 : Fonction de transfert des bits de LSB du CAN à repliement donné Figure 26, et du CAN Flash équivalent.

Pour un CAN à repliement, la même séquence de LSB apparaît périodiquement lorsque la dynamique d’entrée de V_{analog} est balayée. Dans le cadre du CAN 4-bits donné Figure 26, la fonction de transfert des bits $V_1, V_2, V_3,$ et V_4 est donnée Figure 27, et comparée à un celle d’un CAN Flash équivalent. Cela nécessite donc la présence d’un autre bloc de conversion afin de coder ces séquences : le CAN MSB (cf. Figure 26). Généralement ce CAN de MSB n’existe pas physiquement car les bits de MSB peuvent être directement déduits des blocs de repliement du CAN de LSB, en combinant judicieusement certains signaux intermédiaires. Les structures à interpolation et semi-flash sont très semblables du fait que les LSB et MSB sont trouvés indépendamment. Cependant la structure à interpolation est plus rapide car les bits sont déterminés en parallèle.

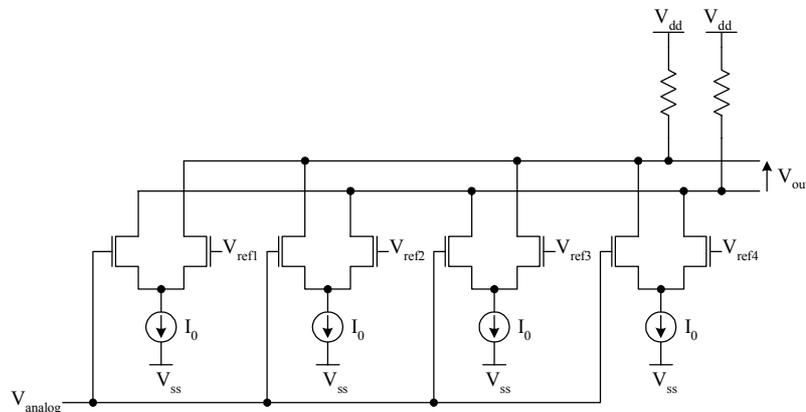


Figure 28 : Schéma électrique d’un bloc de repliement.

Les blocs de repliement sont le plus souvent réalisés à partir de paires différentielles MOS dont une entrée est connectée à un potentiel de référence V_{refi} et l’autre au signal d’entrée V_{analog} , avec les sorties combinées de la manière présentée Figure 28. L’allure des potentiels V_1, V_2, V_3 et V_4 est donnée Figure 29. Il est clair que plus le facteur de repliement est important, et plus le gain des blocs de repliement doit être grand, à dynamique d’entrée constante. Lorsqu’une tension sinusoïdale grand-signal est appliquée à un bloc de repliement, le signal de sortie a une fréquence égale à celle du signal d’entrée multipliée par le facteur NF . De plus, la nécessité d’avoir un grand gain en petit-signal

pour les blocs de repliement limite la bande passante. Tout ceci limite les performances dynamiques des CANs à repliement, ainsi le taux de repliement NF n'excède le plus souvent pas huit.

Quelques convertisseurs ont été publiés selon cette technique : [GEE 01], [SONG 00], [UYT 02], [UYT 03]

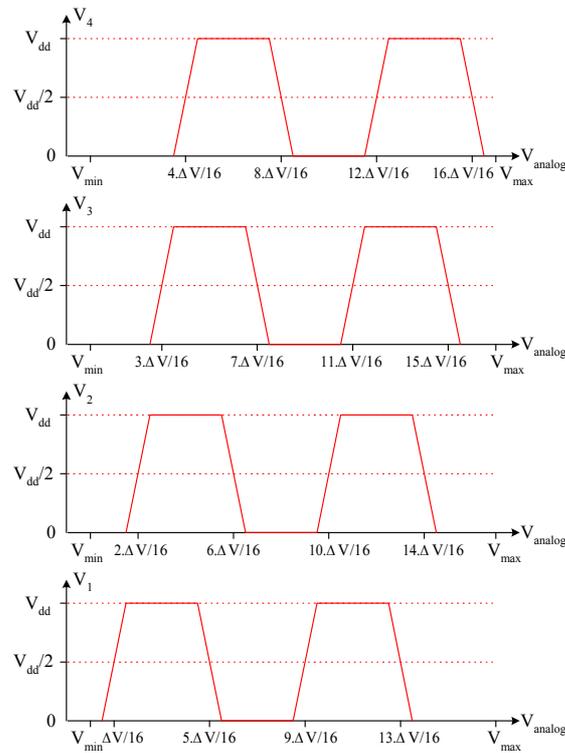


Figure 29 : Fonction de transfert des blocs de repliement du CAN de la Figure 26.

1.3.1.10 CAN à repliement et interpolation

Cette famille de convertisseurs combine les deux techniques précédentes, afin de minimiser encore le matériel nécessaire et donc la consommation du circuit. Le nombre de blocs de repliement peut être réduit en utilisant la méthode de l'interpolation décrite précédemment. L'allure des potentiels V_1 , V_2 , V_3 et V_4 est la même que celle donnée Figure 29, le potentiel V_5 est facile à obtenir puisqu'il s'agit du complémentaire de V_1 .

Peu de convertisseurs ont été publiés récemment selon cette approche : [AN 00], [CHOE 01]

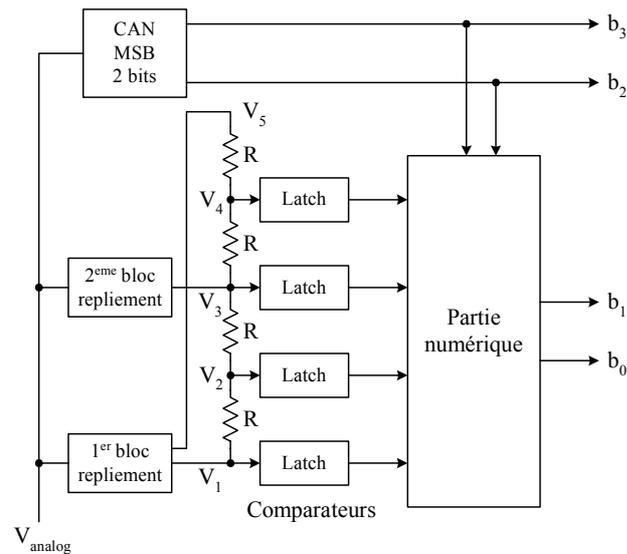


Figure 30 : Schéma électrique d'un bloc de repliement et interpolation.

1.3.2 Les convertisseurs sur-échantillonnés ou $\Sigma\Delta$

Quel que soit le mode de conversion analogique-numérique, le fait de sur-échantillonner le signal d'entrée au-delà de la fréquence de Nyquist f_{Nyq} , puis de filtrer la sortie numérique en ne conservant que la bande utile du signal, permet d'augmenter le rapport signal sur bruit (cf. Figure 4). La théorie associée à cette technique a été démontrée au paragraphe 1.1.2.2. La relation générale du rapport signal sur bruit d'un CAN sur-échantillonné est donnée en (22). Elle dépend de la résolution matérielle N du convertisseur et du facteur de sur-échantillonnage OSR . Plus le facteur OSR est grand et plus le nombre effectif de bits du convertisseur augmente, à résolution matérielle N du circuit fixe. Il est ainsi possible d'améliorer la résolution effective de n'importe quel type de convertisseurs par ce principe. L'autre avantage de cette méthode est que les contraintes sur le filtre anti-repliement en entrée du convertisseur sont moins strictes, puisque travaillant à haute fréquence, les répliques de spectres sont repoussées plus loin.

Cette technique de sur-échantillonnage et de filtrage est cependant vite limitée car la fréquence d'échantillonnage f_{ech} ne peut physiquement être augmentée indéfiniment. Ainsi une résolution plus poussée ne peut être obtenue que par une autre technique : la conversion $\Sigma\Delta$. Cette méthode consiste à mettre en forme le bruit de quantification afin de réduire son énergie dans la bande utile du signal. Le schéma général d'un tel convertisseur est donné Figure 31. Le signal d'entrée est toujours échantillonné à une fréquence f_{ech} bien supérieure à la fréquence de Nyquist. Le modulateur $\Sigma\Delta$ a pour rôle de mettre en forme le bruit, sa résolution matérielle est de N -bits. Enfin, le filtre décimateur a pour but de filtrer le bruit hors de la bande utile du signal et de se ramener à la fréquence de Nyquist.

Le montage de base d'un CAN $\Sigma\Delta$ est présenté Figure 33. Ce montage est dit modulateur 1 -bit d'ordre 1 car l'intégrale du signal est considérée, et que la quantification, i.e.

la résolution matérielle N du modulateur, se fait sur 1 -bit. Ce genre de convertisseurs peut être généralisé tel qu'indiqué Figure 32, avec une fonction de transfert $H(p)$ beaucoup plus complexe qu'un simple intégrateur, et un modulateur codé sur N -bits.

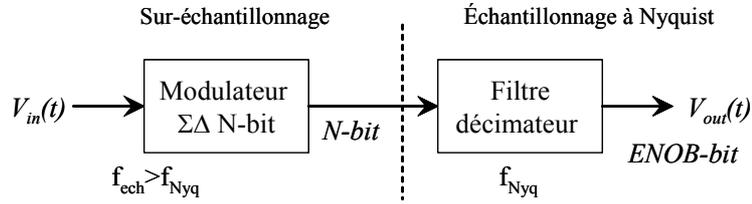


Figure 31 : Schéma bloc général d'un convertisseur analogique-numérique $\Sigma\Delta$.

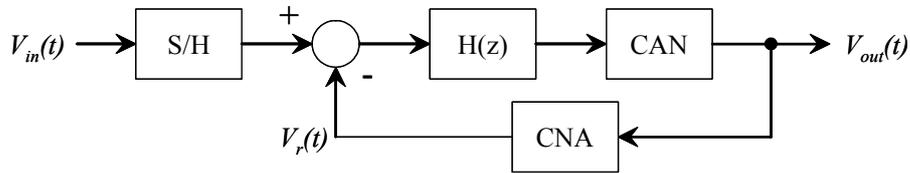


Figure 32 : Schéma général d'un convertisseur $\Sigma\Delta$.

Le cas le plus commun est cependant l'intégrateur d'ordre 1, avec modulateur 1 -bit. Sur le montage présenté Figure 33, le CAN se limite alors à un comparateur et la CNA n'est plus nécessaire. En sortie du modulateur un *bit stream* (suite de '0' et de '1' – cf. Figure 67) est obtenu à la fréquence f_{ech} , la fréquence d'échantillonnage, qui doit être traité par un filtre décimateur afin d'obtenir tous les bits de résolution effective et se ramener à la fréquence de Nyquist f_{Nyq} .

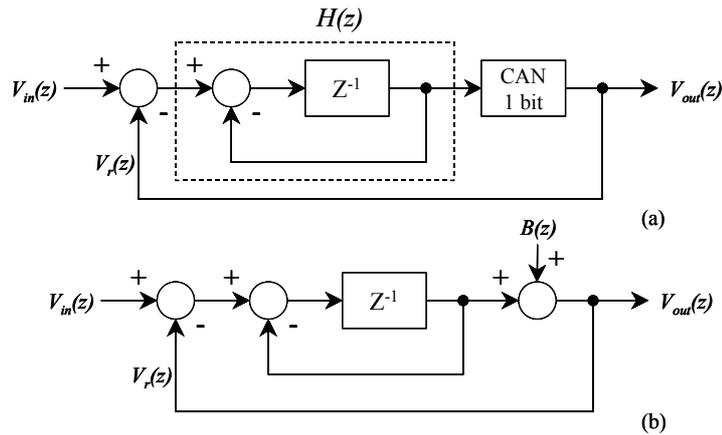


Figure 33 : Modélisation en Z du convertisseur $\Sigma\Delta$ (a), et modélisation du bruit (b).

Un modulateur d'ordre 1 est donné Figure 33a, l'intégrateur a pour fonction de transfert en Z :

$$H(z) = \frac{1}{1-z^{-1}} \quad (37)$$

Le CAN peut être modélisé comme un additionneur de bruit blanc gaussien $B(z)$ non corrélé avec le signal d'entrée $V_{in}(z)$ (cf. Figure 33b).

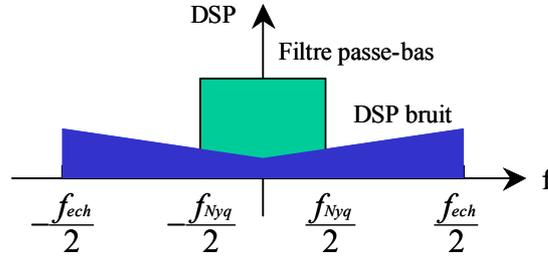


Figure 34 : Effet du sur-échantillonnage et de la mise en forme sur la DSP de bruit.

Deux fonctions de transfert peuvent être déterminées, car deux entrées indépendantes $V_{in}(z)$ et $B(z)$ sont maintenant disponibles : une première pour le signal de sortie :

$$H_{in}(z) = \frac{V_{out}(z)}{V_{in}(z)} \quad (38)$$

et l'autre pour le bruit de quantification :

$$H_B(z) = \frac{V_{out}(z)}{B(z)} \quad (39)$$

Avec le formalisme des transformées en z :

$$H_{in}(z) = z^{-1} \quad (40)$$

et

$$H_B(z) = 1 - z^{-1} \quad (41)$$

D'où :

$$V_{out}(z) = z^{-1}.V_{in}(z) + (1 - z^{-1}).B(z) \quad (42)$$

Le signal de sortie est la somme du signal d'entrée (simplement décalé d'une période d'échantillonnage) et du bruit de quantification mis en forme par $H_B(z)$. De plus :

$$|H_B(z)| = |1 - z^{-1}| = \left| 1 - \exp\left(-2j\pi \frac{f}{f_{ech}}\right) \right| = 2 \cdot \sin\left(\frac{\pi f}{f_{ech}}\right) \quad (43)$$

La puissance du bruit de quantification est:

$$P_B = \int_{\frac{-f_{ech}}{2}}^{\frac{f_{ech}}{2}} |H_B(f)|^2 \cdot S_B(f) \cdot df \quad (44)$$

avec S_B la densité spectrale constante du bruit de quantification donnée par (17). Soit dans la bande utilisée (cf. Figure 34):

$$P_B = \int_{\frac{-f_{Nyq}}{2}}^{\frac{f_{Nyq}}{2}} |H_B(f)|^2 \cdot S_B(f) \cdot df \quad (45)$$

C'est-à-dire :

$$P_B = S_B(f) \int_{-\frac{f_{Nyquist}}{2}}^{\frac{f_{Nyquist}}{2}} |H_B(f)|^2 df = \frac{q^2}{12} \cdot \frac{3}{f_{ech}} \int_{-\frac{f_{Nyquist}}{2}}^{\frac{f_{Nyquist}}{2}} \sin^2\left(\frac{\pi f}{f_{ech}}\right) df \quad (46)$$

Après calculs :

$$SNR_{dB} = 6,02N + 1,76 - 5,17 + 30 \log(OSR) \quad (47)$$

De même, pour un modulateur d'ordre 2, la relation du SNR peut être redéterminée. La fonction de transfert du traitement dans la boucle de conversion est la suivante:

$$H(z) = \frac{1}{(1 - z^{-1})^2} \quad (48)$$

Le rapport signal sur bruit devient :

$$SNR_{dB} = 6,02N + 1,76 - 12,29 + 50 \log(OSR) \quad (49)$$

En généralisant le convertisseur à un quantificateur de N -bits, un modulateur d'ordre k et un facteur de sur-échantillonnage OSR , des calculs similaires donnent [BAI 96]:

$$SNR_{dB} = 10 \cdot \log \left[3 \cdot \frac{2k+1}{\pi^{2k}} \cdot 2^{2N-1} \cdot OSR^{2k+1} \right] \quad (50)$$

D'après ces études, plus l'ordre du modulateur $\Sigma\Delta$ est élevé, et meilleur peut être le SNR. Le problème majeur lors de la conception de tels convertisseurs est que dès qu'un ordre élevé est visé (au delà de deux), il se pose des problèmes de stabilité. En effet, le quantificateur est un élément non-linéaire dont la modélisation telle que celle présentée Figure 33b n'est plus assez précise. En pratique, plus l'ordre augmente et plus la dynamique du signal analogique d'entrée doit diminuer afin de conserver la stabilité, par contre ceci se fait au détriment du SNR [AND 97].

La conception d'un tel convertisseur analogique-numérique est très compliquée puisque pour atteindre le SNR désiré, trois paramètres distincts sont à considérer: le facteur de sur-échantillonnage OSR , l'ordre du modulateur, et le nombre de bits du modulateur.

De 2000 à 2003, de nombreux CANs $\Sigma\Delta$ ont été publiés, concernant différentes implémentations à temps discret et temps continu : [ABOU 02], [BURG 01], [CHEN 03], [DEZ 03], [GER 01], [GUL 01], [JIA 02], [KAP 02], [KES 01], [MORI 00], [OLI 01], [REU 02], [SALO 02], [TAB 03], [UENO 01], [vVEL 03], [vVEL 02]... C'est de plus, avec les convertisseurs pipelinés, la famille de CANs la plus utilisée pour les applications de radiocommunications (GSM, UMTS, WCDMA, GPRS...) [LOUM 02].

1.4 Etat de l'art sur les convertisseurs

Un grand nombre de publications récentes de 2000 à 2003 issues de revues (*IEEE*, *Kluwer* ou *Elsevier*) et d'actes de conférences (*ISCAS*, *ISSCC*, *ESSCIRC*...) ont été utilisées

afin d'estimer les Facteurs de Mérite atteints de nos jours. Cet état de l'art regroupe de plus tout type d'architectures (CANs de Nyquist et CANs sur-échantillonnés) et tout type d'applications (faible consommation, forte vitesse, haute résolution...).

Les différents paramètres pour le calcul du Facteur de Mérite ne sont pas toujours donnés dans les publications, il manque le plus souvent la bande passante effective $ERBW$. Bien qu'en théorie, la conception d'un CAN de Nyquist doit, par définition, assurer la résolution annoncée par le convertisseur sur toute la bande passante du signal analogique, en pratique la bande $ERBW$ peut être très inférieure. Ainsi, dans les publications où le paramètre $ERBW$ n'est pas donné, la valeur de la fréquence de Nyquist a été utilisée, ce qui conduit à des valeurs optimistes pour les Facteurs de Mérite.

Les références de chaque convertisseur, ainsi que ses différents paramètres sont rassemblés Tableau 1. Les caractéristiques suivantes sont résumées: la technologie L_{min} (largeur minimale des transistors), la tension d'alimentation V_{dd} , la résolution théorique annoncée, la résolution effective $ENOB$ en statique (donnée dans les articles ou calculée à partir du SNR pour des faibles fréquences d'entrées), la fréquence de fonctionnement du CAN (en nombre d'échantillons par seconde), la bande passante du signal d'entrée, la bande passante effective du convertisseur $ERBW$, la surface S du cœur du circuit, la puissance moyenne P_m du CAN, le Facteur de Mérite réel ou estimé donné en (26) selon si tous les paramètres sont disponibles ou non, le Facteur de Mérite simple donnée en (25), le type de CAN, et enfin le style de conception adopté pour la partie analogique (V : mode tension ou I : mode courant). Dans le Tableau 1, les lignes grisées sont les CANs pour lesquels tous les paramètres étaient présents pour les calculs des FoMs, pour les autres, il ne s'agit que d'estimations.

Les FoMs calculés à partir de la relation (26) sont rassemblés Figure 35, en fonction de la largeur minimale de grille de la technologie utilisée pour chaque circuit. Chaque losange bleu est un CAN dont le Facteur de Mérite a été estimé, les carrés rouges sont des CANs dont le FoM a pu être calculé exactement à partir de tous ses paramètres électriques. Plus la technologie est fine et plus globalement les FoM sont élevés. Les « bons » convertisseurs ont un Facteur de Mérite supérieur à 10^{18} .

Selon quelques travaux, la surface du cœur du circuit n'est pas un critère déterminant, seuls les trois paramètres que sont l' $ENOB$, la bande passante effective et la consommation moyenne. Ainsi le Facteur de Mérite simple donné par la relation (25) est aussi un critère intéressant. Ces FoMs sont rassemblés Figure 36, et présentés comme pour la Figure 35. La quasi majorité des CANs actuels ont un FoM simple compris entre 10^{11} et 10^{12} .

Tableau 1 : Tableau récapitulatif des caractéristiques des CANs publiés récemment.

Ref	Tech (um)	Vdd (V)	Res (bit)	ENOBdc (bit)	S rate (S/s)	BW in (MHz)	ERBW (Hz)	S (mm2)	Pm (W)	FoM S	FoM	Description	Conception
ABOU 02	0.18	1.8	14	12.83	26M	100k	200M	1.56	5m	1.86E+17	2.901E+11	CAN Sigma Delta Temps continu	V
AN 000	0.18	5	8	7.5	13M	6.5M	6.5M	0.11	>23m	3.91E+16	286600000000	CAN à remplissage et interpolation	V
ELEC 00	0.35	3	8	7.23	13M	6.5M	6.5M	0.11	>23m	7.27E+17	7970000000	CAN à remplissage et interpolation	V
BURG 01	0.25	2.5	14	8.34	184.32M	5M	5M	0.36	13.5m	6.66E+17	2.397E+11	CAN algorithmique à 2 étages avec calibration numérique adaptative	V
CHEN 01	0.5	5	14	12.24	10M	5M	5M	10.8	200m	2.25E+16	2.43E+11	CAN pipeline avec correction numérique	V
CHEN 03	0.13	1.5	8	12	100M	100k	15M	0.1225	1.275m	5.24E+18	6.419E+11	CAN Sigma Delta	V
CHOU 01	0.5	5	14	7.35	100M	50M	4.8M	1.68	165m	1.76E+16	2.956000000000	CAN à remplissage et interpolation pipeline avec correction numérique	V
DEZ 02	0.13	1.2	8	12.66	10M	5M	4.8M	12.54	220m	2.25E+16	2.827E+11	CAN pipeline avec correction numérique	V
DEZ 03	0.13	1.2	8	12.66	10M	5M	4.8M	12.54	220m	2.25E+16	2.827E+11	CAN pipeline avec correction numérique	V
DON 02	0.25	2.2	6	5.01	400M	200M	200M	0.2	4.3m	4.57E+18	9.14E+11	CAN Sigma Delta (GPRS)	V
GEE 01	0.35	3.3	6	5.5	1.1G	200M	200M	0.3	300m	2.01E+17	603000000000	CAN Flash avec correction numérique d'offset des comparateurs	V
GER 01	0.5	1.5	12	11.83	2.4M	25k	3.13k	1	250m	7.32E+17	7.32E+11	CAN à interpolation	V
GUL 01	0.6	3.3	15	11	10M	1M	1M	79.8	8.8m	2.92E+14	233000000000	CAN Sigma Delta Temps continu	V
GUL 01	0.6	3.3	15	11	10M	1M	1M	79.8	8.8m	2.92E+14	233000000000	CAN Sigma Delta Temps continu	V
JAM 02	0.35	3	10	10.07	120M	60M	10M	12.5	234m	7.95E+15	918750000000	ADC hybride en mode pipeline	V
JIA 02	0.18	1.8	14	13.32	4M	60M	128k	2.86	150m	5.95E+15	170170000000	ADC hybride en mode pipeline	V
JIA 03	0.18	1.8	6	5.52	20G	200k	600M	0.5	310m	3.55E+17	1.779E+11	CAN pipeline avec correction numérique	V
KAP 02	0.18	1.8	12	10.33	20M	200k	600M	0.36	1.5m	8.17E+17	2.947E+11	2 CANs à interpolation entrelacés dans le temps	V
KAV 02	0.25	2.5	10	9.14	20M	10M	200k	1	41.25	2.73E+17	2.73E+11	CAN Sigma Delta Temps continu	V
KES 01	0.35	1.05	13	12.63	10.24M	20k	10M	0.41	5.6m	1.1E+17	451000000000	CAN pipeline	V
KIM 02	0.18	1.8	11	9.7	70M	35M	10M	0.726	8.96m	9.95E+17	1.194E+12	CAN Sigma Delta temps discret	V
KUD 01	0.35	2.8	6	5.7	13M	6.5M	600M	2.56	30m	1.03E+17	747700000000	CAN pipeline 3 étages Flash avec correction numérique	V
KUL 02	0.6	2.7	12	11.03	21M	10.5M	10M	2.56	30m	5.7E+17	1.459E+12	CAN pipeline	V
KUT 02	0.13	1.2	10	8.34	20M	10M	10M	0.08	12m	6.77E+18	5.416E+11	CAN pipeline avec correction numérique	V
LIN 03	0.35	3.3	6	5.3	250M	10M	6.25M	0.105	30m	1.56E+18	163800000000	CAN approximations successives	V
LOI 02	0.18	3	12	10.92	80M	40M	40M	5.46	258m	1.09E+17	5.95E+11	CAN approximations successives	V
MABE 02	0.6	2.1	4	9.5	7.5M	3.25M	3M	0.546	167.79u	1.04E+18	5.678E+11	CAN à deux étages avec correction numérique	V
MHER 01	0.35	3.3	10	9.5	40M	20M	3M	2.6	55m	2.02E+17	5.252E+11	CAN pipeline avec correction numérique	V
MHER 99	0.35	3	6	5.75	300M	150M	150M	0.8	225m	8.96E+16	716600000000	CAN pipeline avec correction numérique	V
MING 01	0.5	3	8	7.39	80M	40M	80M	10.33	268m	9.69E+14	8.528E+11	CAN Flash différentiel	V
MIN 03	0.18	3	10	9.52	80M	40M	40M	1.85	69m	4.61E+17	8.528E+11	CAN pipeline	V
MIN 02	0.3	2	10	9.01	30M	15M	15M	3.12	16m	3.07E+17	9.57E+11	CAN pipeline	V
MIN 03	0.3	2	10	9.01	30M	15M	15M	1.92	16m	5.03E+17	9.657E+11	CAN pipeline	V
MORE 00	0.8	5	14	12.33	100M	50M	15M	33.05	1.25	1.44E+16	4.759E+11	CAN pipeline	V
MORI 00	0.35	3.3	14	13.16	2.2M	1.1M	100k	3.6	187m	2.72E+15	979000000000	CAN Sigma Delta temps discret	V
MORT 00	1.2	1	8	7.9	50k	25k	3k	3.24	340u	1.3E+15	4.212000000000	CAN approximations successives	V
MUR 03	0.35	3	12	11.33	75M	37.5M	37.5M	7.9	290m	8.46E+16	6.663E+11	CAN approximations successives	V
NAG 00	0.25	3.3	7	5.55	700M	350M	130M	0.45	187m	1.45E+17	652500000000	CAN pipeline	V
OLI 00	0.35	1.8	10	13.49	13M	180k	150M	0.4	5m	2.07E+18	8.29E+11	CAN Flash à interpolation	V
OPR 00	0.5	5	14	12.83	5M	2.5M	25M	10.89	320m	1.04E+16	1.132E+11	CAN pipeline sans calibration	V
PAN 00	0.6	3.05	12	10.33	50M	25M	25M	16	850m	4.73E+15	756800000000	CAN pipeline avec CAN Flash à interpolation en 1er étage	V
PAR 01	0.18	1.8	10	9.4	100M	50M	50M	2.5	180m	1.5E+17	3.75E+11	CAN pipeline avec correction numérique	V
PLO 01	0.25	2.5	12	11.33	54M	27M	27M	29.84	4.5	4.73E+17	4.73E+11	CAN à deux étages avec correction numérique	V
POU 02	0.35	3.3	8	7	4G	2G	800M	28.84	4.5	1.54E+15	444000000000	32 CANs pipeline entrelacés dans le temps	V
POU 03	0.18	1.8	8	6.5	20G	2G	800M	196	1	1.84E+15	3.606E+11	CAN pipeline	V
PRO 01	0.5	5	12	11.6	1M	500k	500k	1.5	15m	1.37E+17	2.055E+11	CAN approximations successives différentiel	V
REU 02	0.25	2.5	12	13.66	2.5M	1M	1M	1.5	33m	5.23E+17	6.799E+11	CAN Sigma Delta temps discret	V
ROM 01	0.8	1.2	13.5	12.99	256k	8k	270k	1.3	150u	6.7E+17	8.71E+11	CAN de poursuite	V
SALO 02	0.35	3	12	12.99	60M	30M	30M	0.52	24m	3.54E+17	1.84E+11	CAN Sigma Delta (GSM)	V
SALO 02	0.35	3	12	7.68	60M	3.84M	3.84M	0.79	36m	5.24E+16	413960000000	CAN Sigma Delta (WCDDMA)	V
SAU 02	0.18	1	9	8.27	150k	75k	30k	0.4	30u	1.54E+18	6.18E+11	CAN approximations successives à redistribution de charges	V

Ref	Tech (um)	Vdd (V)	Res (bit)	ENOBdc (bit)	S rate (S/s)	BW in (MHz)	ERBW (Hz)	S (mm ²)	Pm (mW)	FoM S	FoM	Description	Conception
SCHO.00	0.25	2.5	6	5.1	600M	300M	650M	0.18	193m	3.9E+17	70200000000	CAN Flash	V
SCHO.02	0.18	1.95 (A) 2.35 (D)	6	5.7	1.6G	800M	650M	0.12	340m	1.65E+18	1.98E+11	CAN Flash	V
SCO.02	0.25	1	8	7.9	100k	50k	2.5k	0.0528	3.1u	7.26E+18	3.82E+11	CAN approximations successives à redistribution de charges	V
SHI.01	0.5	3	7	2	64M	32M		1.32	31m	2E+17	2.64E+11	CAN pipeline avec correction digitale	V
SONG.00	0.35	1	6	5.52	50M	25M		4.8	10m	4.7E+16	2.28E+11	CAN à interpolation	I
SUB.02	0.35	2.5	10	9.7	10M	5M		4	20m	1.03E+17	4.12E+11	CAN pipeline avec correction numérique	V
SUM.01	0.5	3	10	9	200M	100M		7.4	280m	4.94E+16	3.65E+11	CAN pipeline	V
SUS.02	0.18	1.8	7	6.1	450M	225M	80M	0.3	50m	7.31E+17	2.19E+11	CAN Flash à interpolation	V
TAB.03	0.13	1.2	8	8	80M	20M		2.4	120m	3.55E+16	85200000000	CAN Sigma Delta temps discret	V
TAB.03	0.13	1.2	8	8	160M	40M		2.4	175m	4.87E+16	1.168E+11	CAN Sigma Delta temps discret	V
TAF.01	0.35	2.2	8	7.58	100M	50M	50M	0.9	84.3m	2.52E+17	2.268E+11	CAN pipeline à 2 étages	V
THO.01	0.5	5	15	13	20M	10M		13.76	380m	3E+16	4.12E+11	CAN pipeline	V
TSU.98	0.35	3	6	5.5	400M	200M	100M	1.2	190m	3.98E+16	4.75200000000	CAN Flash avec correction numérique	V
TUI.02	0.35	3	8	6.9	50M	25M	2.5M	0.36	32m	5.18E+16	1864000000000	CAN pipeline avec correction numérique	V
UENO.01	0.25	2.5	14	12.56	10M	250k		8	77m	4.91E+15	392800000000	ADC Sigma Delta Temps discret	V
UYT.03	0.35	1.8	6	5.02	1.3G	650M	600M	0.13	600m	4.92E+17	639600000000	CAN Flash à interpolation	V
UYT.03	0.35	3.3	8	7.05	200M	100M	40M	3.36	656m	4.87E+15	163600000000	CAN Flash à interpolation	V
VEL.02	0.18	1.8	12	12	153.6M	2M		0.43	11.5m	3.31E+18	1.42E+12	CAN Sigma Delta (UMTS)	V
VEL.03	0.18	1	1	12.16	153.6M	3.84M		0.55	14.1m	4.53E+18	2.491E+12	CAN Sigma Delta (UMTS)	V
VEL.03	0.18	1	1	13.32	76.8M	1.228M		0.55	13.1m	3.29E+18	1.78E+12	CAN Sigma Delta (CDMA)	V
VEL.03	0.18	1	1	13.82	26M	200k		0.55	9.1m	1.19E+18	6.32E+11	CAN Sigma Delta (GSM)	V
WADA.02	0.18	1.8	10	9	20M	10M		2.219	14m	3.29E+17	7.3E+11	CAN pipeline avec correction numérique	V
WALT.01	0.5	1	9	8.01	5M	2.5M		1.3	1.6m	5.15E+17	6.69E+11	CAN pipeline avec correction numérique	V
WAN.00	0.6	3.3	8	6.96	150M	75M	20M	1.8	395m	7.06E+15	12690000000	CAN pipeline avec correction numérique	V
YANG.01	0.35	3	14	11.83	75M	37.5M		7.8	340m	1.03E+17	8.034E+11	CAN pipeline à interpolation	V
YOO.03	0.18	1.8	10	8.84	150M	75M	75M	2.2	123m	2.54E+17	5.688E+11	CAN pipeline	V

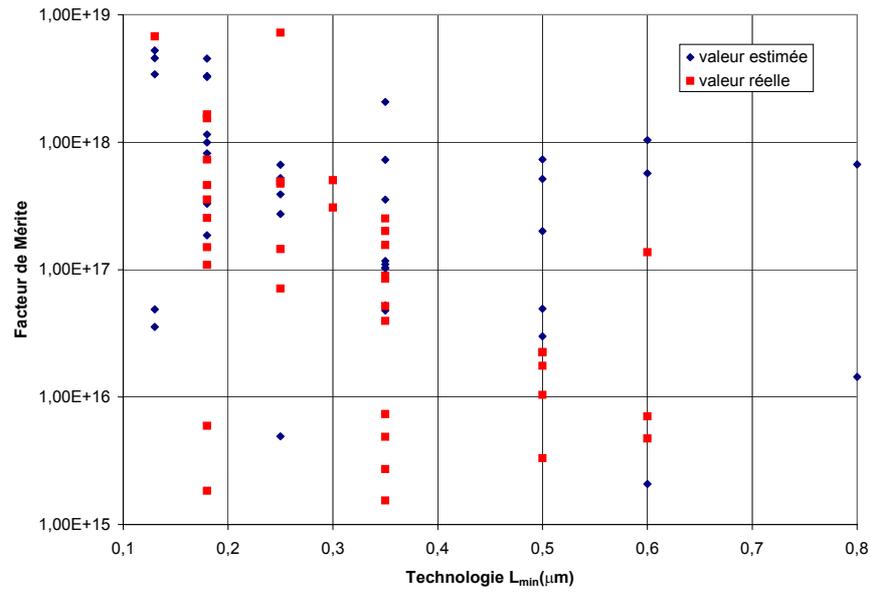


Figure 35 : Facteur de Mérite des CANs publiés récemment, calculés à partir de la relation (26).

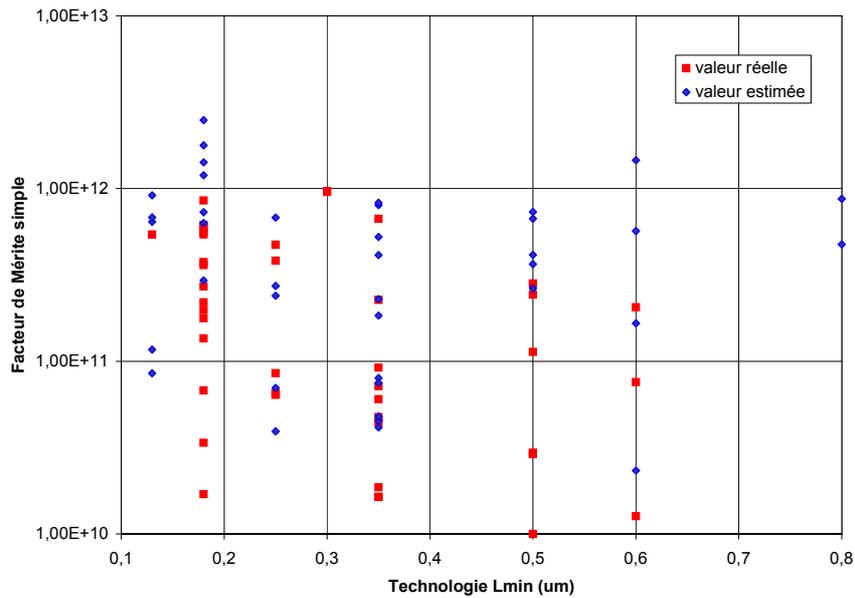


Figure 36 : Facteur de Mérite simple des CANs publiés récemment, calculés à partir de la relation (25).

1.5 Conclusion

Les notions fondamentales de la conversion analogique numérique ont été présentées dans ce premier Chapitre. Après la description de ses principes de base et de la théorie

associée, les différents paramètres statiques (INL, DNL) et dynamiques (SNR, SFDR) pour l'estimation des performances des CANs ont alors été donnés. De plus, le Facteur de Mérite, critère général pour l'évaluation des performances d'un convertisseur intégrant ses caractéristiques essentielles (vitesse, consommation...) a été clairement défini. Les principales architectures de conversion de Nyquist et sur-échantillonnées ont également été décrites. Enfin, un état de l'art sur les CANs publiés récemment en recherche a été proposé. Celui-ci rassemble tout type d'architectures (CANs de Nyquist et CANs sur-échantillonnés) et tout type d'applications (faible consommation, forte résolution, forte vitesse...). Leur Facteur de Mérite ont été calculés ou estimés à partir des données électriques décrites dans chaque papier. Les meilleurs CANs actuels ont donc un FoM simple compris entre 10^{11} et 10^{12} et un FoM intégrant la surface atteignant 10^{18} .

2

Chapitre 2 : L'Approche Asynchrone

Ce Chapitre présente les différentes notions concernant l'« asynchronisme » que ce soit du point de vue de la conception logique de circuits ou de l'échantillonnage.

La première partie décrit brièvement la conception des circuits asynchrones. Il s'agit de circuits sans horloge globale et dont la synchronisation entre les blocs est uniquement assurée par des signaux de contrôle locaux. Les principes de base sont donc présentés ainsi que les différentes classes de tels circuits, les protocoles de communication, le codage des données...

La deuxième partie concerne l'échantillonnage asynchrone (ou irrégulier). Contrairement à l'échantillonnage de Nyquist, les instants d'échantillonnage ne sont pas uniformément répartis dans le temps. La théorie qui en découle est donc différente de ce qui est habituellement utilisé. Ce domaine de recherche est très vaste et très complexe. Il n'est donc présenté ici que les résultats principaux concernant les différents modes d'échantillonnages irréguliers, les principes de reconstruction, les transformées de Fourier et les traitements numériques de base.

Enfin, la troisième partie de ce Chapitre présente les quelques convertisseurs analogiques numériques « asynchrones » publiés dans la littérature. Ils mettent en œuvre soit une conception asynchrone, soit un échantillonnage irrégulier, afin de tirer parti des bénéfices de telle ou telle approche.

2.1 Les circuits asynchrones

2.1.1 Généralités

Les circuits asynchrones définissent une classe très large de circuits, dont le contrôle ou le séquençage est assuré par toute autre méthode que le recours à un signal périodique globalement distribué. Le point clef de ce genre de circuits est que le transfert d'informations est géré localement par une signalisation adéquate. Les opérateurs connectés se synchronisent en échangeant des informations indépendamment des autres opérateurs auxquels ils ne sont pas connectés. Le contrôle local doit en conséquence remplir les fonctions suivantes : être à l'écoute des communications entrantes, déclencher le traitement localement si toutes les informations sont disponibles et produire des valeurs sur les sorties. Cependant, afin d'être en mesure d'émettre de nouvelles données, les opérateurs qui se trouvent en amont doivent être informés que les données qu'ils émettent sont bien consommées. Le contrôle local doit par conséquent prendre en charge une signalisation bidirectionnelle. Toute action de communication doit être acquittée par le récepteur afin que l'émetteur puisse émettre à nouveau. Les communications sont dites à *poignées de mains* (ou *handshake*) ou de type *requêtes-acquittements* (cf. Figure 37).

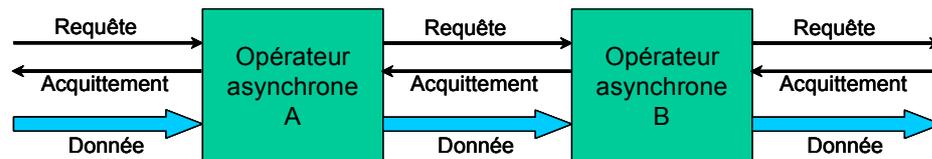


Figure 37 : Communications entre des opérateurs asynchrones.

2.1.2 Les protocoles de communications

Pour implémenter une telle gestion des échanges, deux principaux protocoles de communication sont utilisés : le protocole deux-phases (ou NRZ pour Non Retour à Zéro, ou encore *Half-Handshake*), et le protocole quatre-phases (ou RZ pour Retour à Zéro ou *Full-Handshake*).

Le fonctionnement du protocole deux-phases est décrit Figure 38, les données invalides sont en hachuré. Un cycle se déroule de la façon suivante :

Phase 1 : phase active du récepteur : il détecte la présence de nouvelles données par le signal de requête, effectue le traitement et génère le signal d'acquittement.

Phase 2 : phase active de l'émetteur : il détecte le signal d'acquittement et émet de nouvelles données si elles sont disponibles.

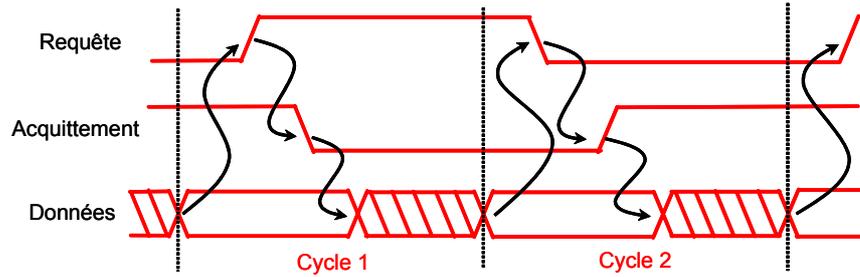


Figure 38 : Protocole de communications deux-phases.

Le fonctionnement du protocole quatre-phases est décrit Figure 39. Le fonctionnement est très similaire au protocole deux-phases. La différence est que chaque signal de contrôle a besoin d'une phase de réinitialisation. La communication est alors sensible à des niveaux logiques et non à des transitions. Un cycle se déroule de la façon suivante :

Phase 1 : première phase active du récepteur : Il détecte la présence de nouvelles données par le signal de requête, effectue le traitement et génère le signal d'acquittement.

Phase 2 : première phase active de l'émetteur : il détecte le signal d'acquittement et émet des données invalides.

Phase 3 : deuxième phase active du récepteur : il détecte la présence des données en état invalide et place le signal d'acquittement dans son état initial (retour à un).

Phase 2 : deuxième phase active de l'émetteur : il détecte le retour à un de l'acquittement. Il est alors prêt à émettre de nouvelles données.

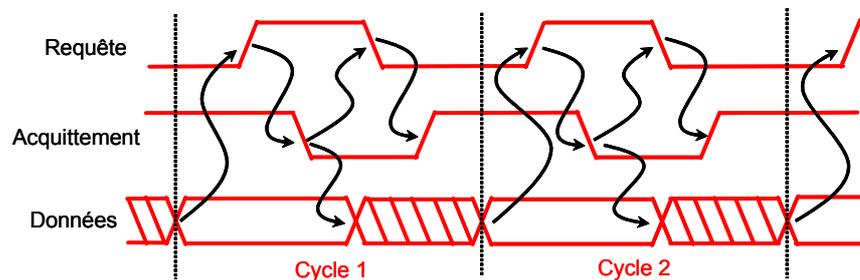


Figure 39 : Protocole de communications quatre-phases.

Il existe plusieurs variantes du protocole quatre-phases. Le point commun est que la donnée valide est toujours valide à partir du front montant de la requête. Ce qui les différencie est l'évènement qui déclenche le passage des données à l'état invalide. Il y a plusieurs possibilités : le front montant de l'acquittement (*Broad*), le front descendant de la requête (*Broadish*) ou enfin le front descendant de l'acquittement (*Early*).

Le protocole quatre-phases requiert deux fois plus de transitions que le protocole deux-phases. Il est a priori plus lent et consomme plus d'énergie. Toutefois le protocole deux-phases nécessite un matériel plus important que le protocole quatre-phases car il doit détecter des transitions et non des niveaux logiques. La consommation de ces deux types de codage est donc assez similaire [RIGA 02].

2.1.3 Codage des données

Contrairement à la logique synchrone où données et validités sont complètement décorrélées, la logique asynchrone doit non seulement coder la donnée, mais aussi sa validité. Le but étant d'assurer la synchronisation présentée dans le paragraphe précédent. Le codage est bien sûr lié au type de protocole choisi.

2.1.3.1 Le codage « données groupées »

C'est la façon la plus simple d'implémenter les bits de contrôle : parallèlement aux bits de données, un fil de requête est explicitement ajouté permettant ainsi de dissocier le contrôle des données proprement dites. Il est possible de faire de même pour le signal d'acquiescement. Lorsque toutes les données sont disponibles, le bit de requête déclenche la mémorisation ou le traitement des données associées. De même, une fois toutes les données reçues, le signal unique d'acquiescement est généré (cf. Figure 40). Ce type de codage est principalement utilisé dans les montages *micropipeline*. Les protocoles de communication deux-phases ou quatre-phases pourront tous deux être utilisés avec ce type de codage. Un bit est codé sur un seul fil, le qualificatif *mono rail* (ou *single rail*) est souvent employé. Le fil spécifiant la validité des données (requête) est typiquement implémenté avec le délai adéquat, correspondant au temps de calcul du pire cas.

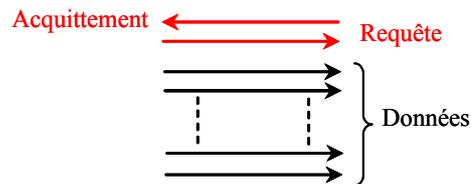


Figure 40 : Codage « données groupées ».

2.1.3.2 Les codages insensibles au délai

Cette approche plus complexe consiste à intégrer l'information de validité dans les données. Cette approche possède l'avantage que les données valides sont détectées sans aucune hypothèse temporelle. Ceci donne lieu à des circuits plus difficiles à concevoir mais plus robustes et portables.

2.1.3.2.1 Le codage quatre états

Dans ce type de codage, chaque bit de donnée est représenté par deux fils. Parmi les quatre états possibles, deux sont réservés à la représentation d'un '1', les deux autres à la représentation d'un '0'. L'émission d'une nouvelle donnée se traduit par un changement sur un des deux fils. Deux conventions existent :

Pour la première, un fil est dédié à une valeur ('1' ou '0') et tout événement sur un des fils signifie qu'une valeur est valide.

Pour la deuxième, les valeurs '1' ou '0' d'un bit sont codées avec deux combinaisons : l'une avec une parité paire, l'autre de parité impaire. Chaque fois qu'une donnée est émise, sa parité est changée. Ceci permet donc de détecter le changement d'une donnée sans passer par un état invalide (cf. Figure 41).

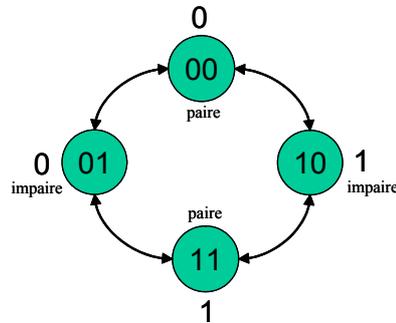


Figure 41 : Codage quatre états.

2.1.3.2.2 Le codage trois états

Comme pour un codage quatre états, ce type de codage utilise deux fils par bit pour le codage de chaque bit. Parmi les quatre possibilités fournies par ce codage, une seule représente le '1', une autre le '0', une troisième des données invalides et la quatrième n'est pas utilisée (cf. Figure 42). Ainsi une transition des données en entrée se fait automatiquement par le passage par l'état invalide.

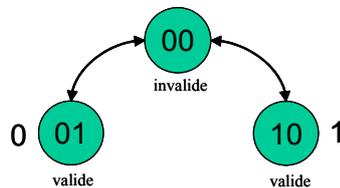


Figure 42 : Codage trois états.

Il est clair que le codage trois états est bien adapté au protocole quatre-phases, alors que le codage quatre états est adapté au protocole deux-phases. Le codage trois états est actuellement le plus utilisé pour des raisons d'implémentation et de sécurité. En effet, pour le codage quatre états, il faut implémenter de la logique pour détecter la parité. Le codage trois états est souvent appelé *double rail*. Cette notion peut être généralisée en codant chaque digit en base N , où N fils sont utilisés (codage *1 parmi N*). L'état invalide est déterminé par la remise à zéro de tous les fils.

2.1.3.3 La porte de Muller

L'implémentation des protocoles vus précédemment est impossible avec des portes logiques standard. La porte de base utilisée dans les circuits asynchrones est la porte de Muller ou *C-element*. Elle réalise le rendez-vous entre plusieurs signaux. Sa sortie est égale à ses entrées lorsque toutes les entrées sont égales. Dans tous les autres cas, la sor-

tie est mémorisée. Une porte de Muller deux entrées ainsi que sa table de vérité est donnée Figure 43.

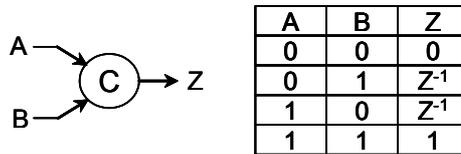


Figure 43 : Porte de Muller à deux entrées et sa table de vérité.

Deux implémentations électriques sont données Figure 44, à base de porte complexe ou en transistors.

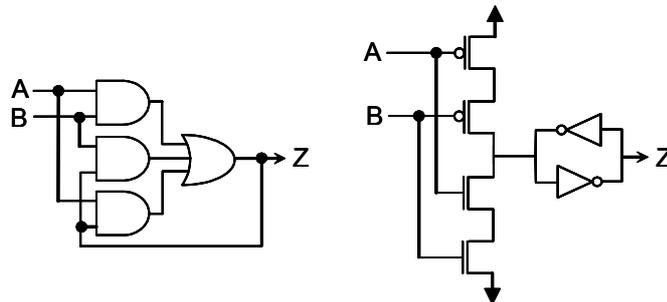


Figure 44 : Implémentations électriques d'une porte de Muller deux entrées.

Il existe des variantes des portes de Muller dites portes de Muller généralisées. Dans ce cas les signaux qui font basculer la sortie de porte à '1' ne sont pas toujours les mêmes que ceux qui la font basculer à '0'. La porte est alors qualifiée de dissymétrique [DIN 03], [RIGA 02].

2.1.3.4 Les modèles de délais

Les modèles qui régissent le comportement des délais interviennent dans la caractérisation des circuits asynchrones.

Les délais sont communément caractérisés par un comportement dit *pur* ou *inertiel*. Un *délai pur* décale dans le temps toute forme d'onde d'un signal de la valeur de ce délai. En VHDL, ce type de délai est appelé *transport delay*. Cependant cela n'est pas très réaliste car cela implique que les portes et les pistes du circuit possèdent une bande passante infinie. Un modèle de délai plus réaliste est le *délai inertiel*. En plus de décaler la forme d'onde du signal, celui-ci supprime les impulsions courtes (i.e. certains aléas). Le modèle de délai inertiel utilisé en VHDL se caractérise par deux paramètres : le temps de décalage (*delay time*) et le temps de rejet (*reject time*). Ainsi les impulsions plus courtes que le temps de rejet sont alors filtrées. Ce modèle de délai est celui utilisé par défaut en langage VHDL.

Les délais peuvent aussi être caractérisés vis-à-vis du temps. Le plus simple est le *délai fixe*, possédant une valeur constante. Ensuite se trouve le *délai borné*. Ce dernier est compris entre une limite inférieure et une limite supérieure qui sont connues. Enfin, le délai peut être *non borné* où sa valeur est comprise dans un intervalle dont les limites

sont inconnues. Cela dit, sa valeur est finie, mais non connue. Par exemple, ce modèle de délai est utilisé pour les portes dans les circuits indépendants de la vitesse.

2.1.4 Les différentes classes de circuits asynchrones

Les circuits asynchrones sont communément classés suivant le modèle de circuit et d'environnement utilisé. Cette terminologie est présentée Figure 45. Plus le fonctionnement respecte fondamentalement la notion d'asynchronisme et plus le circuit est robuste et complexe. Les circuits vont donc des circuits synchrones avec les hypothèses temporelles les plus fortes aux circuits purement asynchrones.

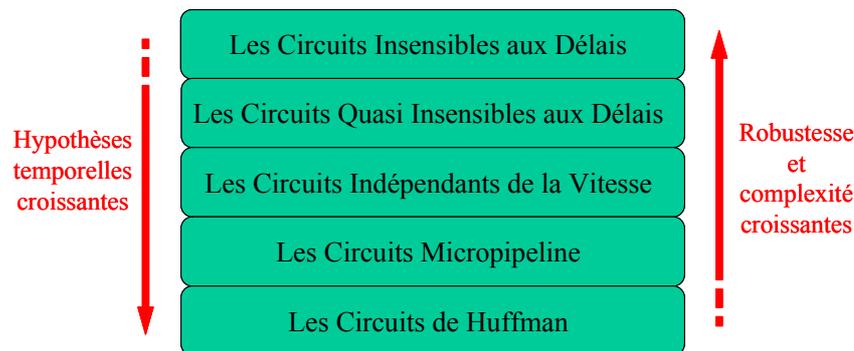


Figure 45 : Classification des circuits asynchrones.

2.1.4.1 Les circuits Insensibles aux Délais

Cette classe de circuits utilise un mode de fonctionnement purement asynchrone. Aucune hypothèse temporelle n'est introduite, c'est-à-dire qu'ils sont fonctionnellement corrects indépendamment des délais introduits par les fils ou les éléments logiques, quelle que soit leur complexité. D'un point de vue théorique, cela signifie qu'ils sont basés sur un modèle de délai pour les fils et les éléments qui est non-borné.

Les circuits DI (*Delay Insensitive*) sont donc supposés répondre toujours correctement à une sollicitation pourvu qu'ils aient assez de temps pour effectuer le calcul. Ceci impose donc au récepteur d'un signal de toujours informer l'expéditeur que l'information a été reçue. Les circuits récepteurs doivent donc être capables de détecter la réception d'une entrée et/ou la fin de son traitement. Les circuits émetteurs doivent attendre un compte rendu avant d'émettre une nouvelle donnée. Les contraintes de réalisation pratique qu'impose l'utilisation de ce modèle sont très fortes. De plus, la plupart des circuits conçus aujourd'hui utilisent des portes logiques à une seule sortie. L'adoption du modèle de délai non borné ne permet pas leur utilisation. En effet, les portes logiques standard ont leurs sorties qui peuvent changer si une seule de leurs entrées change. Comme il a été souligné, toutes les composantes de ce type de circuits doivent s'assurer du changement des entrées avant de produire une sortie. Si la sortie change alors qu'une seule des entrées change, seul le changement de l'entrée active est acquitté, sans pouvoir tester l'activité des autres entrées. La seule porte à une sortie qui respecte cette rè-

gle est la porte de Muller. Malheureusement, les fonctions réalisables avec seulement des portes de Muller sont très limitées.

La seule solution est d'avoir recours à un modèle de circuits de type « portes complexes » pour les composants élémentaires. Dans ce cas, la construction de ces circuits se fait à partir des composants standards plus complexes que de simples portes logiques et qui peuvent posséder plusieurs entrées et plusieurs sorties.

2.1.4.2 Les circuits Quasi Insensibles aux Délais

Cette classe de circuits (QDI – *Quasi Delay Insensitive*) adopte le même modèle de délai non borné pour les connexions mais la notion de fourche isochrone (*isochronic fork*) est ajoutée. Une « fourche » est un fil qui connecte un expéditeur unique à deux récepteurs. Elle est qualifiée d'isochrone lorsque les délais entre l'expéditeur et les récepteurs sont identiques. Cette hypothèse a des conséquences importantes sur le modèle et les réalisations possibles. Elle résout notamment le problème de l'utilisation de portes logiques à une seule sortie. En effet, si les fourches sont isochrones, il est permis de ne tester qu'une des branches de la fourche en supposant que le signal s'est propagé de la même façon dans l'autre branche. En conséquence, l'acquiescement d'une seule des deux branches de la fourche isochrone est autorisé.

A.J. Martin [MART 93] a montré que l'hypothèse temporelle de la fourche isochrone est la plus faible à ajouter aux circuits insensibles aux délais pour les rendre réalisables avec des portes à plusieurs entrées et une seule sortie. Ainsi, les circuits QDI se caractérisent par l'adoption d'un modèle de délais pour les connexions qui est de type non borné, avec en plus l'hypothèse de « fourche isochrone » et un modèle de type « porte simple » pour les composants élémentaires du circuit. Les circuits QDI sont donc implémentables avec des cellules standard telles qu'elles sont utilisées pour la conception de circuits synchrones. En pratique, l'hypothèse temporelle de « fourche isochrone » est assez faible, et est facilement remplie par une conception soignée, en particulier au niveau du routage.

2.1.4.3 Les circuits indépendants de la vitesse

Les circuits indépendants de la vitesse (SI – *Speed Independent*) font l'hypothèse que les délais dans les fils sont négligeables, tout en conservant la modèle « non borné » pour le délai dans les portes. La fourche isochrone est une façon équivalente de formuler le modèle SI. Même si pendant longtemps la communauté a tenté de discerner les différences entre des deux modèles, il y a aujourd'hui un consensus pour considérer les modèles QDI et SI équivalents. S. Hauck [HAU 95] montre comment une fourche isochrone peut être représentée par un circuit indépendant de la vitesse Figure 46 (les Δ sont des temps de propagation).

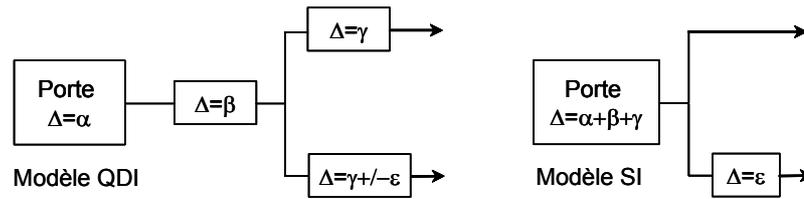


Figure 46 : Equivalence entre les modèles QDI et SI.

2.1.4.4 Les circuits micropipeline

La technique micropipeline a été introduite par I. Sutherland [SUTH 89]. Les circuits de cette classe sont composés de parties contrôle insensibles aux délais qui commandent des chemins de données conçus en utilisant le modèle de délai borné. La structure de base de cette classe de circuits est le contrôle d'une queue de type FIFO. Elle se compose d'éléments identiques connectés tête bêche comme indiqué Figure 47.

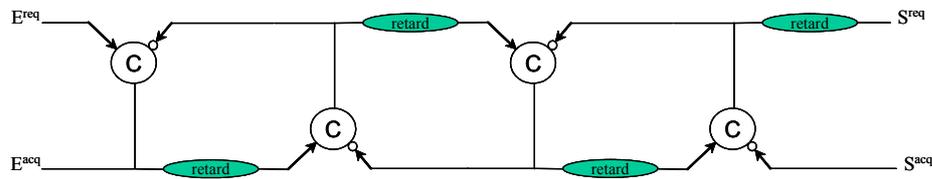


Figure 47 : Structure de base des circuits micropipeline.

Le circuit réagit à des transitions de signaux et non pas à des états (protocole deux-phases). Il peut également être qualifié de logique à événements, chaque transition étant associée à un événement. Ainsi, si tous les signaux sont supposés à zéro initialement, une transition positive sur E^{req} provoque une transition positive sur E^{acq} qui se propage également dans l'étage suivant. Le deuxième étage produit une transition positive qui d'une part se propage à l'étage suivant, mais qui d'autre part revient au premier étage l'autorisant à traiter une transition négative cette fois. Les transitions de signaux se propagent donc dans la structure tant qu'elles ne rencontrent pas de cellule « occupée ». C'est un fonctionnement de type FIFO. Cette structure peut être enrichie d'opérateurs de mémorisation ou pipeline, et d'opérateurs de traitement combinatoires comme indiqué Figure 48.

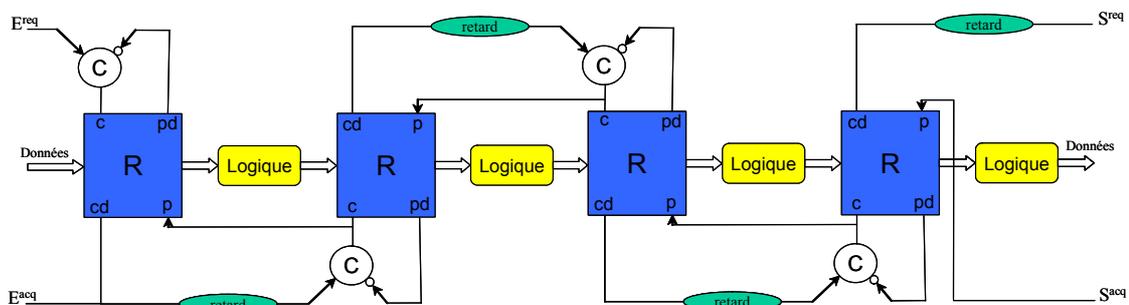


Figure 48 : Structure micropipeline avec traitement et registre.

Dans cette structure, les opérateurs notés R sont des registres qui capturent la donnée entrante sur l'occurrence du signal C . Ils produisent le signal Cd lorsque la donnée est mémorisée. En pratique Cd est une version retardée du signal C . Durant cette phase, la donnée précédemment mémorisée dans le registre est maintenue en sortie. Lorsque P est actif, le registre laisse passer la donnée d'entrée à la sortie. Le signal Pd indique que le registre est bien transparent. La structure de la Figure 48, dépouillée de la logique réalise une FIFO (initialement, tous les registres laissent passer les données). Avec la logique, la structure est celle d'un circuit asynchrone micropipeline.

Le protocole utilisé est de type *données groupées*. Lors d'une occurrence de E^{req} , les données d'entrée sont stockées dans le premier étage. E^{req} est propagée vers l'étage suivant qui stocke le résultat transmis par la logique du premier étage. La propagation de E^{req} est retardée de façon à s'assurer que la logique combinatoire a bien convergé avant la capture du résultat dans le deuxième étage. La capture du deuxième étage étant effectuée, le premier registre est rendu passant, ce qui permet le traitement de la donnée présente dans le premier étage et autorise la prise en compte d'un nouvel événement sur E^{req} du premier étage.

La motivation première pour le développement de cette classe de circuits était de permettre un pipeline élastique. En effet, le nombre de données présent dans le circuit peut être variable, les données progressant dans le circuit aussi loin que possible en fonction du nombre d'étages disponibles ou vides. Cependant, ce genre de circuits révèlent un certain nombre d'inconvénients.

Tout d'abord, il faut remarquer que les problèmes d'aléas ont été écartés en ajoutant des délais sur les signaux de contrôle. Cela permet en fait de se ramener à un fonctionnement en temps discret dans lequel la mémorisation de données est autorisée seulement lorsqu'elles sont stables (à la sortie des parties combinatoires). Les délais étant de durée fixe, ce type de circuits effectue les traitements en un temps pire cas. Il ne peut donc pas être tiré parti de la variation dynamique de la chaîne critique des opérateurs de traitement.

Il est possible cependant de s'affranchir de cette contrainte en utilisant des registres et des opérateurs combinatoires capables de générer leur propre signal de fin de calcul sans avoir recours à des délais fixes. Des structures du type de celle donnée Figure 49 dans laquelle les délais fixes ont été remplacés par des délais variables implémentés dans les délais et la logique combinatoire sont obtenues. Ici le temps de calcul peut varier en fonction des données. Il ne s'agit plus de circuits utilisant le modèle de délai borné et le circuit peut être rendu indépendant de la vitesse puisque la seule hypothèse temporelle consiste à assurer que l'occurrence du signal de contrôle E^{req} succède les données.

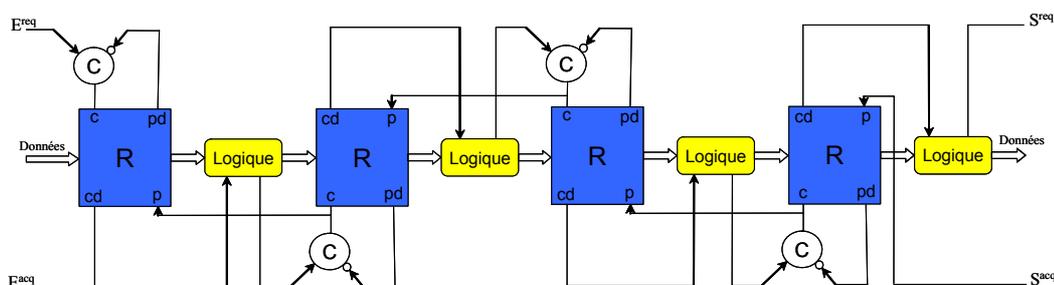


Figure 49 : Circuit micropipeline indépendant de la vitesse.

D'autres optimisations peuvent être apportées à la structure de base donnée Figure 48. Il est par exemple possible d'utiliser des bascules de mémorisation sur double-front dans le cas d'un protocole deux-phases [YUN 96]. Enfin, des protocoles quatre-phases optimisés permettent d'obtenir un taux de remplissage de la structure important, afin d'augmenter les performances.

2.1.4.5 Les circuits de Huffman

Les circuits de cette classe utilisent un modèle de délai identique aux circuits synchrones. Ils supposent que les délais dans tous les éléments du circuit et les connexions sont bornés ou même de valeur connue. Les hypothèses temporelles sont donc du même ordre que pour la conception de circuits synchrones. Leur conception repose sur l'analyse des délais dans tous les chemins et les boucles de façon à dimensionner les signaux de contrôle locaux qui s'apparentent davantage à des horloges locales. Ces circuits sont d'autant plus difficiles à concevoir et à caractériser qu'une faute de conception ou de délai les rend totalement non fonctionnels.

2.1.5 Intérêt des circuits asynchrones

2.1.5.1 Calcul en un temps minimum

Une première conséquence très importante du fonctionnement *flot de données* permis par les circuits asynchrones, est qu'un opérateur peut évaluer une fonction en un temps variable, compris entre une borne inférieure et une borne supérieure. Ce temps correspond en fait au temps nécessaire à l'écoulement des données, des entrées vers les sorties. En fonction des données elles-mêmes, le chemin emprunté peut changer et le temps varie en conséquence. Etant donné que par définition, l'opérateur implémente une signalisation de communication, la donnée peut être utilisée à sa sortie par l'opérateur qui lui est connecté, et ce dès que possible.

En plus de cette variation qu'on peut qualifier de fonctionnelle (car uniquement liée à l'expression des dépendances présentes dans l'algorithme), il existe une autre source de variation du temps de calcul liée à l'implémentation physique.

Enfin, les caractéristiques de vitesse d'un circuit varient en fonction de paramètres qui influencent le fonctionnement des dispositifs élémentaires, tels que les variations des paramètres technologiques, de la température ou des tensions d'alimentation. Le fonctionnement *flot de données* des circuits asynchrones les rend très robustes vis-à-vis de ces variations [ESS 02]. La fin de traitement étant détectée et signalée au niveau de chaque cellule, les variations de la vitesse induites par les modifications des propriétés physiques n'altèrent pas le comportement fonctionnel. Les circuits asynchrones fonctionnent toujours à la vitesse maximale permise par les dispositifs élémentaires et les conditions de fonctionnement.

Il est finalement possible de caractériser un opérateur par une latence maximale et une latence minimale. Évaluer une latence moyenne est plus difficile car cela impose de

modéliser les propriétés statistiques des entrées et des dépendances fonctionnelles de l'algorithme implémenté. Cependant une chose est sûre, le temps de traversée sera le temps minimal requis pour réaliser la fonction demandée, étant donné le chemin emprunté par les données, la vitesse opérationnelle des dispositifs élémentaires, et les conditions de fonctionnement de la technologie. Alors que la correction fonctionnelle est garantie, le circuit traite les données à la vitesse maximale.

2.1.5.2 Un pipeline élastique

En asynchrone, la technique du pipeline s'applique également, mais le nombre de données présentes dans le pipeline n'est pas imposé [RIGA 02]. En effet, les registres de pipeline se comportent comme une pile de type FIFO, c'est-à-dire que les données progressent dans le pipeline aussi longtemps qu'elles ne rencontrent pas de ressource occupée, et ceci indépendamment des données qui suivent. En technologie synchrone, c'est l'occurrence d'un front d'horloge sur tous les registres de pipeline qui provoque le déplacement des données. L'horloge impose donc une synchronisation relative forte des données entre elles. Une fois entrées dans le pipeline, deux données sont toujours séparées par le même nombre d'étages. Ce n'est évidemment pas le cas en asynchrone.

2.1.5.3 Circuits asynchrones et métastabilité

Le traitement d'un signal asynchrone par un circuit synchrone est très périlleux. En effet, cet échantillonnage peut faire apparaître un état métastable dont la durée est indéterminée et non bornée. Or les circuits synchrones imposent à tous les signaux un temps d'établissement borné compatible avec la période d'horloge. Ils ne permettent donc pas d'assurer un comportement correct dans *100%* des cas. En asynchrone par exemple, il est possible d'attendre autant que nécessaire la fin de l'état métastable. Des montages qui permettent d'assurer l'établissement d'état stable, sans se préoccuper de la durée de l'état métastable intermédiaire, peuvent donc être utilisés. Par exemple, il est possible d'arbitrer deux signaux de requête s'adressant une ressource unique, sans risquer d'erreur [RIGA 02].

2.1.5.4 Modularité

La modularité des circuits et systèmes asynchrones est quasi parfaite. Elle est due à la localité du contrôle et à l'utilisation par tous les opérateurs d'un protocole de communication bien spécifié. Il est en effet très facile de construire une fonction complexe en connectant des modules préexistants.

2.1.5.5 Absence d'horloge

L'avantage majeur dans les circuits asynchrones est la suppression des problèmes liés à la manipulation d'horloges. Cela tient au fait que les potentialités offertes par les tech-

nologies modernes permettent la conception de circuits de plus en plus complexes et de plus en plus rapides. La conception des circuits d'horloges est devenue une question de tout premier plan puisqu'ils peuvent limiter les performances des circuits synchrones. Les circuits asynchrones n'utilisent pas d'horloge globale. Les éléments de synchronisation ou de contrôle sont distribués dans l'ensemble du circuit et leur conception est ainsi beaucoup plus facile à maîtriser. De plus, pour certains circuits asynchrones, le fonctionnement est indépendant des retards qui peuvent être introduits sur les lignes de contrôle. Le problème de gigue des horloges (*clock skew*) est donc inexistant. L'optimisation de la vitesse de fonctionnement d'un circuit asynchrone porte donc sur l'optimisation des cellules fonctionnelles elles mêmes et n'est pas contraint par la conception d'un mécanisme d'horloge séparé. La synchronisation globale, fonctionnelle et temporelle, introduite par l'horloge est remplacée par une synchronisation locale atemporelle qui garantit uniquement le traitement séquentiel d'événements.

2.1.5.6 Emissions électromagnétiques

Une conséquence de cette distribution du contrôle dans toute la structure du circuit est que les problèmes de pics de consommation sont inexistant. En effet, l'activité électrique d'un circuit asynchrone est mieux répartie dans le temps que celle d'un circuit synchrone. Il n'existe pas d'instant prédéfinis pour activer un opérateur comme c'est le cas aux fronts d'horloge. La consommation dans les lignes du circuit est donc bien mieux répartie dans le temps, ce qui limite considérablement le bruit dans les lignes d'alimentation.

Une conséquence de cette propriété du courant consommé est que la puissance des ondes électromagnétiques émises par les circuits asynchrones est plus faible que celles émises par les circuits synchrones [PANY 02]. Cette propriété est très intéressante pour la conception de systèmes mixtes ou sensibles. Par exemple, un circuit pour carte sans contact a été conçu dans [ABR 01], intégrant le système de réception, de traitement et d'alimentation. Le fait que le microcontrôleur utilisé soit asynchrone permet de le faire fonctionner pendant les phases de réception/émission ce qui n'était pas possible jusqu'alors avec des processeurs synchrones.

Une autre conséquence très importante de la répartition de la consommation en courant pour la conception de systèmes intégrés, en particulier pour les applications radiofréquences, est le faible bruit généré par les circuits asynchrones dans les alimentations et le substrat. Ainsi les circuits asynchrones offrent des perspectives intéressantes pour l'intégration de systèmes associant des parties numériques et analogiques, qui sont par définition très sensibles. Cette caractéristique sera prouvée dans le cadre de ces travaux de thèse au Chapitre 5.

2.1.5.7 Migration technologique

Les circuits asynchrones se prêtent facilement aux migrations technologiques et les rendent plus « souples ». En effet, le comportement fonctionnel d'un circuit asynchrone est indépendant de la réalisation des cellules qui le constituent pourvu que le protocole de communication soit respecté. Ainsi, au niveau le plus bas, il est possible de modifier l'implémentation ou la technologie des cellules de base sans modifier la fonction. La vi-

tesse de fonctionnement obtenue sera simplement la vitesse maximale permise par la nouvelle technologie étant donnée la structure du circuit.

2.2 L'échantillonnage irrégulier

Les différents modes d'échantillonnage irrégulier (ou asynchrone) et les outils de traitements numériques associés tels que la reconstruction, le filtrage, les transformées de Fourier... constituent un domaine de recherche très vaste et très complexe. Beaucoup de théories ont été développées par des communautés différentes (Mathématiques, Electronique, Physique appliquée, Géophysique...) et sont assez difficiles à synthétiser. Des états de l'art intéressants peuvent être trouvés dans les travaux suivants : [MART 98], [FONT 99], [WOJ 00], [AES 02]. Cette partie ne propose donc qu'une vue non exhaustive du problème.

2.2.1 Introduction – Rappels sur l'échantillonnage régulier

Toute la théorie du signal utilisée habituellement [OPP 95] est basée sur le fait que le signal continu est à bande limitée, que l'échantillonnage est régulier et que la période d'échantillonnage vérifie le théorème de Shannon. Dans la littérature, ce dernier est souvent attribué à E.T. et J.M. Whittaker, V.A. Kotelnikov et C.E. Shannon (*WKS sampling theorem*). Lorsque ce théorème est vérifié, il est prouvé qu'aucune perte d'information n'existe entre le signal continu original et le signal discrétisé en temps.

Soit un signal analogique quelconque $s(t)$ de fréquence maximale f_{max} , la fréquence d'échantillonnage f_{ech} doit vérifier :

$$f_{ech} \geq 2.f_{max} \quad (51)$$

Si un raisonnement est tenu à partir du signal numérique $s_e(t)$ constitué d'une suite d'échantillons répartis régulièrement dans le temps $s(kT_{ech})$, k entier :

$$s_e(t) = \sum_{k=-\infty}^{+\infty} s(kT_{ech}) \cdot \delta(t - kT_{ech}) \quad (52)$$

Il est alors possible théoriquement de retrouver exactement le signal continu $s(t)$ initial par la formule de Poisson :

$$s(t) = \sum_{k=-\infty}^{+\infty} s(kT_{ech}) \cdot \frac{\sin(\pi f_{ech}(t - kT_{ech}))}{\pi f_{ech}(t - kT_{ech})} \quad (53)$$

Ainsi, un signal à bande limitée $2.f_{max}$ est parfaitement déterminé par ses valeurs régulièrement espacées d'au plus $\frac{1}{2.f_{max}}$. Dans ce cas $\{\sin c(\pi.f_{ech}(t - kT_{ech}))\}$ constitue une base orthonormale pour ce signal.

D'un point de vue fréquentiel : soit $S(f)$ le spectre du signal continu, le spectre du signal échantillonné $S_e(f)$ vaut :

$$S_e(f) = f_{ech} \cdot \sum_{k=-\infty}^{+\infty} S(f - k \cdot f_{ech}) \quad (54)$$

Il s'agit donc du spectre du signal continu initial périodisé à la fréquence f_{ech} . Le théorème de Shannon n'assure ainsi aucun repliement de spectre (*anti-aliasing*). Le spectre du signal initial peut donc être retrouvé exactement grâce à un filtre passe-bas idéal de largeur f_{ech} . La relation liant le spectre en bande de base du signal échantillonné $S_{e0}(f)$ et celui du signal $S(f)$ est :

$$S(f) = T_e \cdot S_{e0}(f) \quad (55)$$

Cette propriété de l'échantillonnage régulier est ensuite le point de départ de toute la théorie du signal usuellement utilisée [OPP 95]. Elle autorise par exemple l'utilisation du formalisme des *transformées en z* pour tous les outils de filtrage numérique.

2.2.2 Les différents types d'échantillonnages irréguliers

Il existe de nombreuses formes d'échantillonnage irrégulier dans la littérature. En fonction de leurs caractéristiques correspondent des outils plus ou moins élaborés de reconstruction et traitement numérique du signal. Les cas les plus fréquents sont présentés dans ce paragraphe.

2.2.2.1 Echantillonnage régulier avec perte ou suppression d'échantillons

Ce mode d'échantillonnage présenté Figure 50 consiste en un échantillonnage synchrone classique à la fréquence f_{ech} , mais des échantillons ont été perdus ou volontairement supprimés. Cette technique a été par exemple utilisée par L. Fontaine dans [FONT 99]. Il a proposé une méthode de compression assurant le stockage d'un signal sous la forme de couples (amplitude, temps). Elle consiste à partir d'un signal échantillonné de manière synchrone, de ne conserver que certains points « utiles ». Des outils de traitement numériques ont ensuite été développés afin de considérer de tels signaux échantillonnés : opérations arithmétiques, opérations statistiques, analyse spectrale, filtrage, identification... Ces derniers ont été utilisés et validés dans le cadre de signaux de type électrocardiogrammes.

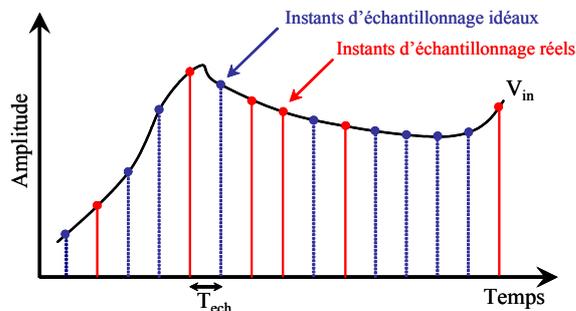


Figure 50 : Echantillonnage irrégulier par perte ou suppression d'échantillons.

2.2.2.2 Echantillonnage régulier avec imprécision sur les instants d'échantillonnage

Ce mode d'échantillonnage présenté Figure 51 consiste en un échantillonnage synchrone classique à une période donnée T_{ech} , auquel une erreur a été ajoutée sur chaque instant d'échantillonnage.

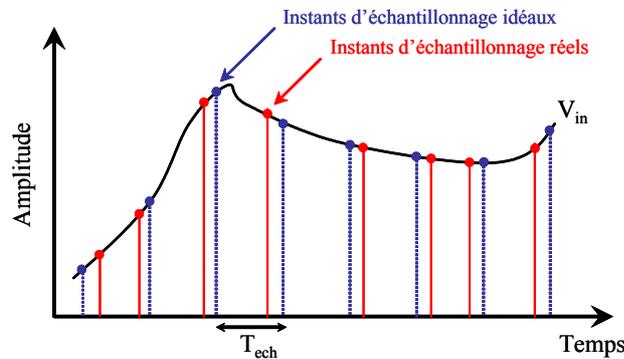


Figure 51 : Echantillonnage irrégulier par ajout d'imprécision sur les instants d'échantillonnage dans le cadre d'un échantillonnage régulier.

Cette erreur sur les instants d'échantillonnage peut être totalement inconnue comme dans [MARZ 00]. Elle peut également être modélisée tel qu'il est présenté dans [WOJ 00]. Dans cette thèse, J.J. Wojtiuk donne les deux formes les plus connues d'échantillonnage aléatoire. Il y a l'échantillonnage aléatoire constitué d'échantillons équi-répartis auxquels est ajouté un *jitter* obéissant à une loi statistique donnée (*jittered random sampling*). Il y a également l'échantillonnage aléatoire cumulatif pour lequel l'intervalle de temps entre deux échantillons successifs obéit à une loi statistique (*additive random sampling*).

En pratique, les instants d'échantillonnage de n'importe quel système sont toujours imprécis tel qu'indiqué Figure 51 en raison du bruit de phase de l'horloge d'échantillonnage et de l'erreur d'ouverture (*aperture uncertainty*). La majeure partie du temps, cet aspect est négligé dans l'étude des systèmes à temps discret.

2.2.2.3 Echantillonnages réguliers généralisés

Deux classes d'échantillonnage peuvent être trouvées dans cette catégorie. La première représentée Figure 52, composée d'une séquence de m échantillons répétée à une période fixe T telle que : $T = \frac{m}{f_{Nyq}}$, où f_{Nyq} est la fréquence de Nyquist. Ce genre

d'échantillonnage intervient par exemple dans le cas de m CANs, chacun opérant à une fréquence égale à m fois la période de Nyquist (*time interleaved ADCs*). Comme ce genre de systèmes est difficile à synchroniser, il y a m séquences à $1/m$ fois la fréquence de Nyquist. Ce type d'échantillonnage est appelé *échantillonnage non-uniforme périodique*.

Le deuxième type représenté Figure 53 est constitué par la juxtaposition de plusieurs processus d'échantillonnage synchrones, chacun à une période donnée T_i , et telle que la fréquence moyenne d'échantillonnage vérifie : $\sum_{i=1}^m \frac{1}{T_i} = f_{Nyq}$. Cet échantillonnage est nommé *échantillonnage non-uniforme du m^{ème} ordre*. Il est par exemple issu d'un banc de m CANs non synchronisés, chacun fonctionnant à une fréquence distincte, telle que la fréquence moyenne soit égale à la fréquence de Nyquist.

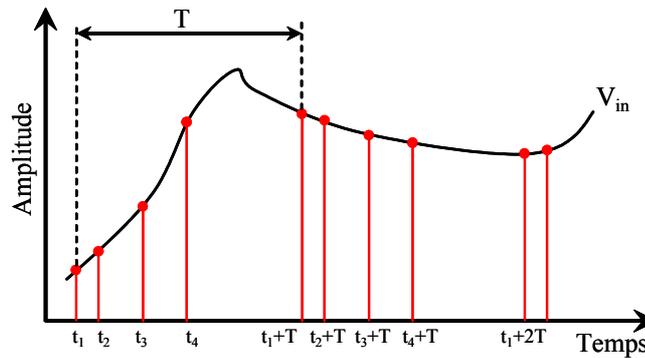


Figure 52 : Echantillonnage non-uniforme périodique.

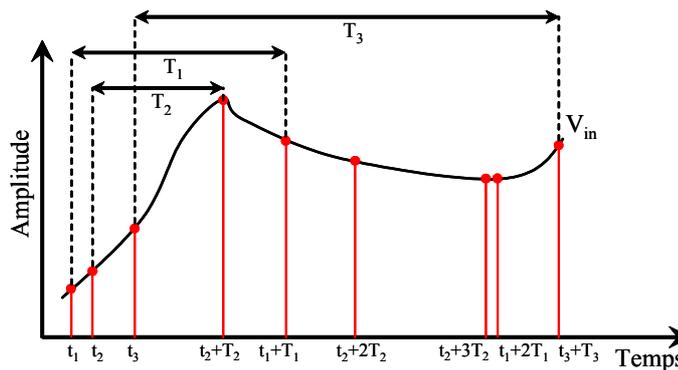


Figure 53 : Echantillonnage non-uniforme d'ordre m (ici $m=3$).

2.2.2.4 Les autres types d'échantillonnages irréguliers

2.2.2.4.1 L'échantillonnage par traversées de niveaux

Cette méthode, appelée *level crossing sampling*, a été proposée en 1981 par J.W. Mark *et al.* [MARK 81] afin de réaliser de la compression de données pour des sources analogiques, dans le cadre de la modulation Δ (cf. paragraphe 3.4.2).

Le principe est, contrairement à la modulation différentielle où l'amplitude des échantillons est codée, de considérer le temps entre la traversée des niveaux d'amplitude donnée. Les niveaux de quantifications sont donc uniformément répartis selon l'amplitude du signal d'entrée et un échantillon est considéré uniquement lorsque le signal V_{in} traverse l'un d'eux (cf. Figure 54). Le temps Dt_i écoulé entre deux échantillons b_i et b_{i-1}

étant continu, il doit être codé en numérique. Ceci est la cause d'une quantification en temps. En effet, le temps est enregistré en fonction de la résolution temporelle du circuit numérique dédié à cette tâche. La sortie numérique de l'encodeur est constituée d'un mot dont la première partie code le temps et la deuxième le sens de traversée du niveau (vers le haut ou vers le bas). Le cas d'un signal gaussien de bande limitée a été étudié dans le cadre de cette application. Il est montré que le rapport signal sur bruit obtenu lors du codage de tels signaux est meilleur que dans le cas de la modulation Δ usuelle.

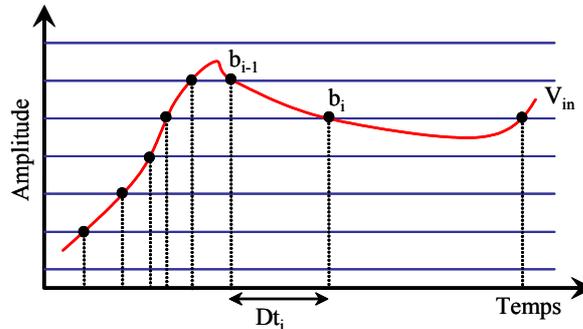


Figure 54 : Principe de l'échantillonnage par traversées de niveaux.

2.2.2.4.2 L'échantillonnage par traversées de signal

Ce mode d'échantillonnage est proposé dans [LITO 98] et [TAP 02]. Il consiste à considérer les instants d'échantillonnage d'un signal $s(t)$ uniquement lorsqu'il croise un signal de référence $r(t)$. Par exemple si $r(t)$ est un signal constant nul, il s'agit de la technique de *zero-crossing*. Ce genre de méthode appelée *échantillonnage par traversées de seuil* ou *threshold sampling* est très attractive puisqu'en pratique, elle ne met en œuvre qu'un CAN *1-bit* i.e. un simple comparateur. Dans ces papiers sont présentées des méthodes afin d'interpoler les échantillons non équi-répartis dans le temps ainsi obtenus.

Dans ce cadre, un signal de référence sinusoïdal $r(t)$ de fréquence $f_s \geq \frac{f_{\max}}{2}$ et d'amplitude $A \geq \max|s(t)|$ est considéré. Alors, quel que soit le signal $s(t)$ à traiter, la fréquence moyenne d'échantillonnage est supérieure à la fréquence de Nyquist. Une méthode robuste et implémentable, n'utilisant pas de calcul de transformée de Fourier, est proposée afin de ré-échantillonner à la fréquence de Nyquist le signal $s(t)$. La précision des échantillons interpolés dépend de la quantification en temps, i.e. de la précision de mesure de l'intersection entre $s(t)$ et $r(t)$.

2.2.3 La reconstruction

La reconstruction d'un signal échantillonné irrégulièrement rassemble deux aspects distincts dans la littérature. Le premier concerne les résultats théoriques permettant de reconstruire le signal continu initial. Ces méthodes sont très complexes et mettent souvent en œuvre un formalisme mathématique assez lourd. Le deuxième aspect de la reconstruction concerne en fait le ré-échantillonnage du signal régulièrement dans le temps selon la fréquence de Nyquist. Une multitude de méthodes sont ainsi décrites dans des ar-

tibles, elles peuvent être itératives ou non, prendre place dans le domaine temporel et/ou fréquentiel...

En correspondance au *WKS theorem* de l'échantillonnage régulier donné paragraphe 2.2.1, de nombreux théorèmes ont été démontrés concernant l'échantillonnage non uniforme dans le temps [JERR 77]. Les principaux résultats sont brièvement exposés ci-dessous.

En 1934, R.E.A.C. Paley et N. Wiener [PAL 34] ont démontré que si $\{t_n, n \in \mathbb{Z}\}$ est un jeu d'instantanés d'échantillonnage tels que : $\sup_{n \in \mathbb{Z}} |t_n - n.T_{ech}| \leq L < \infty$, où $T_{ech} = \frac{1}{2.f_{max}}$, et f_{max} est la fréquence maximale du signal s , alors il existe une unique famille de fonctions $\{g_n, n \in \mathbb{Z}\}$ telles que : $s(t) = \sum_{n \in \mathbb{Z}} s(t_n)g_n(t)$. Dans le cas de l'échantillonnage régulier, les fonctions g_n sont des sinus cardinaux (il s'agit de la formule de Poisson donnée en (53))

En 1940, N. Levinson [LEV 40] a trouvé une forme explicite pour les fonctions g_n . Il s'agit de fonctions d'interpolation de Lagrange :

$$g_n(t) = \frac{g(t)}{g'(t_n)(t-t_n)}, \text{ avec } g(t) = (t-t_0) \prod_{n=-\infty, n \neq 0}^{+\infty} \left(1 - \frac{t}{t_n}\right) \quad (56)$$

Cependant, la manipulation directe de cette formule est très complexe et elle demeure quasi impossible à implémenter.

En 1952, R. Duffin et A. Schaeffer [DUF 52] introduisent la théorie des *frames*. Tout le formalisme mathématique associé est présenté par T. Werther dans [WER 99] et n'est pas détaillé ici. Néanmoins, la définition est la suivante : une séquence de fonctions $\{g_n, n \in \mathbb{Z}\}$ d'un espace de Hilbert H (dont le produit scalaire est noté $\langle \cdot, \cdot \rangle$) constitue un *frame* s'il existe deux constantes $A, B > 0$ telles que :

$$\forall s \in H, A \|s\|^2 \leq \sum_{n \in \mathbb{Z}} |\langle s, g_n \rangle|^2 \leq B \|s\|^2 \quad (57)$$

En fait, dans un espace de Hilbert H , une base de Riesz $\{g_n, n \in \mathbb{Z}\}$ assure l'existence d'une unique séquence de coefficients $\{c_n, n \in \mathbb{Z}\}$ telle que si $s \in H$, alors $s = \sum_{n \in \mathbb{Z}} c_n \cdot g_n$.

Pour un *frame*, il s'agit de la même chose, mais il n'y a pas unicité des coefficients $\{c_n\}$, il s'agit donc d'une alternative aux bases de Riesz ou orthonormales des espaces de Hilbert. Dans le cas d'un *frame*, le signal s peut donc être reconstruit à partir des produits scalaires $\{\langle s, g_n \rangle, n \in \mathbb{Z}\}$.

R. Duffin et A. Schaeffer ont donc démontré le théorème suivant : s'il existe $0 < \varepsilon < 1$, $\alpha, L > 1$, tel que le jeu d'instantanés d'échantillonnage $\{t_n, n \in \mathbb{Z}\}$ vérifie : $|t_n - t_m| \geq \alpha$ pour $n \neq m$, et $\sup_{n \in \mathbb{Z}} |t_n - \varepsilon.n.T_{ech}| \leq L < \infty$, alors deux constantes $0 < A \leq B$, dépendant uniquement de ε, α, L , peuvent être trouvées telles que :

$$A\|s\|^2 \leq \sum_{n \in \mathbb{Z}} |s(t_n)|^2 \leq B\|s\|^2 \quad (58)$$

La preuve de ce théorème demeure très complexe. De nombreuses méthodes de reconstruction sont néanmoins basées sur celui-ci : [WIL 78], [MARV 89], [BEN 92]...

En 1964, M.I. Kadec [KAD 64] a montré que la valeur exacte de la borne supérieure L donnée dans [PAL 34] vaut : $L = \frac{T_{ech}}{4}$. C'est-à-dire que dans le cadre d'un échantillonnage aléatoire tel que présenté Figure 51, si chaque instant d'échantillonnage réel ne dérive pas plus de 25% par rapport aux instants d'échantillonnage idéaux, le signal original continu s demeure reconstructible. Ce résultat est souvent appelé *théorème de Kadec-1/4*. En 1974, S.A. Avdonin [AVD 79] a prouvé une extension de ce théorème en considérant non plus les instants d'échantillonnage irréguliers mais la moyenne de ceux-ci. La *relation de Levinson* (56) présentée auparavant n'est en fait vraie que lorsque le *théorème de Kadec* est vérifié.

Le *théorème de Paley-Wiener* et *Kadec* a ensuite été reformulé de manière équivalente et interprété plusieurs fois : en 1966 par F.J. Beutler [BEU 66], en 1967 par K. Yao *et al.* [YAO 67], en 1985 par J.R. Higgins [HIG 85]...

Finalement, dans le cadre d'un échantillonnage complètement irrégulier, si le *théorème WKS* présenté au paragraphe 2.2.1 est encore vérifié, i.e. si la moyenne des intervalles de temps dt_i entre les échantillons vérifie la condition suivante:

$$\bar{f}_{ech} = \lim_{N \rightarrow \infty} \left[N \cdot \frac{1}{\sum_{i=-N}^N dt_i} \right] \geq 2 \cdot f_{max} \quad (59)$$

où \bar{f}_{ech} est la fréquence moyenne d'échantillonnage, et f_{max} la fréquence maximale du signal continu, alors le signal continu original $s(t)$ peut être retrouvé mathématiquement [JERR 77].

Ce dernier résultat est donné de manière similaire par H.G. Fechtinger *et al.* dans [FEI 94]. Selon eux, le théorème le plus général en terme d'échantillonnage généralisé est le suivant : si $\{t_n, n \in \mathbb{Z}\}$ est une séquence d'instant d'échantillonnage vérifiant $|t_n - t_m| \geq \alpha > 0$, pour $n \neq m$, alors $\{T_{t_n} \cdot \sin c_{f_{max}}, n \in \mathbb{Z}\}$, où T est l'opérateur de translation ($T_{t_n} \cdot s(t_m) = s(t_m - t_n)$) constitue un *frame* si et seulement si une relation équivalente à (59) est vérifiée. Ce théorème, désormais nommé *théorème de Beutler* [BEU 66] est utilisé Chapitre 4.1.2 dans la théorie associée à la nouvelle classe de CANs présentée dans cette thèse. Lorsque ce dernier est vérifié, l'expression théorique des fonctions de reconstruction $\{g_n, n \in \mathbb{Z}\}$ n'est plus donnée par la *relation de Levinson*, mais par la relation suivante [MARV 87] :

$$g_n(t) = \frac{g(t)}{g'(t_n)(t - t_n)}, \text{ avec } g(t) = e^{\eta \cdot t} (t - t_0) \prod_{n=-\infty, n \neq 0}^{+\infty} \left(1 - \frac{t}{t_n}\right) \cdot e^{\frac{t}{t_n}}, \text{ et } \eta = \lim_{N \rightarrow \infty} \sum_{i=-N}^N \frac{1}{t_i} \quad (60)$$

Dans [WER 99], T. Werther donne une relation itérative afin de reconstruire le signal s . Tout d'abord, l'opérateur de frame S pour l'ensemble des fonctions $\{g_n, n \in \mathbb{Z}\}$ est défini de la manière suivante : $S.s = \sum_{n \in \mathbb{Z}} \langle s, g_n \rangle \cdot g_n$. Ainsi si $\{g_n, n \in \mathbb{Z}\}$ est un frame dans l'espace de Hilbert H , avec pour opérateur S et pour bornes $A, B > 0$ définies comme indiqué dans la relation (57), alors $\forall s \in H$, la reconstruction de s se fait à partir des coefficients $\{\langle s, g_n \rangle, n \in \mathbb{Z}\}$ de la manière suivante :

$$s_0 = S.s, \text{ et } s_m = s_{m-1} + \frac{2}{A+B} S.(s - s_{m-1}), \text{ pour } m > 0 \quad (61)$$

Alors $s = \lim_{m \rightarrow +\infty} s_m$, et l'erreur est la suivante :

$$\|s - s_m\| \leq \left(\frac{B-A}{A+B} \right)^{m+1} \|s\| \quad (62)$$

H.G. Fechtinger *et al.* proposent dans [FEI 94] des méthodes itératives efficaces afin de reconstruire un signal échantillonné irrégulièrement basées sur le processus itératif donné par la relation (61). La convergence et la stabilité de ces algorithmes sont directement corrélées à la répartition temporelle des échantillons $\{t_n, n \in \mathbb{Z}\}$, i.e. à l'estimation des bornes du frame A et B , ce qui est souvent un problème mathématique complexe. Néanmoins, des résultats intéressants ont été obtenus si la séquence des instants d'échantillonnage vérifie la condition explicite suivante : $\sup_{n \in \mathbb{Z}} |t_{n+1} - t_n| < \frac{1}{2 \cdot f_{\max}}$.

En 1967, H.J. Landau [LAN 67] a montré que dans le cadre d'un signal multi-bande, i.e. un signal défini sur l'union I de mesure B d'un nombre fini de sous-intervalles de fréquences, alors la reconstruction est possible si la fréquence moyenne d'échantillonnage dépasse B et que I est connu. Il s'agit donc d'une généralisation du *théorème de Beutler*.

En 1977, A. Papoulis [PAP 77] a étendu le théorème de l'échantillonnage de Shannon. Il a montré qu'un signal de bande limitée peut être parfaitement reconstruit à partir des échantillons de m systèmes LTI (*Linear Time Invariant*), échantillonnés à $1/m$ fois la fréquence de Nyquist.

Bien que difficile à mettre en œuvre, Y.C. Eldar *et al.* [ELD 00] ont cependant pu implémenter la *relation de Levinson*, dans le cadre d'un échantillonnage non-uniforme périodique et d'un échantillonnage non-uniforme du $m^{\text{ème}}$ ordre, par un banc de filtres de reconstruction à temps continu et à temps discret. Cela permet d'interpoler les échantillons du signal à la fréquence de Nyquist, ou de reconstruire le signal continu original. Ceci constitue donc une généralisation du *théorème de Papoulis*.

Dans le cadre de signaux multi-bandes, R. Venkataramani *et al.* résument dans [VENK 00] les différentes techniques de reconstruction et donnent une nouvelle approche dans le cadre d'un échantillonnage non-uniforme périodique.

Dans [dWAE 00], plusieurs techniques d'interpolation sont comparées : blocage d'ordre zéro, interpolation du voisin le plus proche, interpolation linéaire, interpolation cubique. Il existe également plusieurs méthodes afin d'estimer l'erreur engendrée lors de la reconstruction de signal échantillonné irrégulièrement. Contrairement aux méthodes dans le domaine fréquentiel comparant les spectres des signaux, la méthode proposée ici demeure dans le domaine temporel. Il y est ainsi prouvé que des méthodes simples d'interpolation (blocage d'ordre zéro...) sont plus robustes et donnent de bons résultats, ce qui n'est pas toujours le cas des méthodes complexes (interpolations linéaire et cubique).

Enfin, un des avantages de l'échantillonnage irrégulier est qu'il permet de supprimer les recouvrements de spectre : dans la littérature il est souvent trouvé le terme d'*échantillonnage anti-repliement* ou *alias-free sampling*. Il existe là-aussi de nombreux critères et théorèmes sur les conditions à respecter sur l'échantillonnage afin d'observer cette caractéristique [WOJ 00]. Les premiers travaux à ce sujet ont été publiés par H.S. Shapiro et R.A. Silvermann en 1960 [SHA 60]. Ils ont montré qu'un échantillonnage irrégulier de type *jittered random sampling* (cf. paragraphe 2.2.2.2) est *alias free* si la loi de probabilité suit des caractéristiques bien précises, c'est par exemple le cas d'une loi de Poisson ou Bi-Poisson, mais pas d'une loi Tri-Poisson. Selon I. Bilinskis [BIL 92], le non-recouvrement de spectre est assuré si le processus d'échantillonnage aléatoire est stationnaire. Par exemple, à partir de ses résultats, des algorithmes de traitement du signal ont été développés et regroupés sous un outil nommé DASP (*Digital Alias Free Signal Processing*) [DASP], ils sembleraient permettre de considérer des signaux haute fréquence, sans avoir une fréquence d'échantillonnage contrainte par le théorème de Shannon.

2.2.4 Les opérations numériques de base

Les principaux travaux de recherche sur l'échantillonnage non régulier dans le temps concernent la reconstruction et l'analyse spectrale, développés dans les deux paragraphes précédents. Quelques travaux ont néanmoins été publiés en ce qui concerne les autres traitements numériques envisageables sur de tels signaux numériques, notamment le filtrage. Ces études relativement complexes ne sont pas détaillées ici. Des informations complémentaires sont néanmoins disponibles dans [MART 98], [FONT 99], [WOJ 00], [AES 02]...

2.3 Les CANs « asynchrones »

Dans la littérature, de très rares convertisseurs analogiques-numériques ou numériques-analogiques ont été qualifiés d'« asynchrones ». Ce qualificatif définit soit le mode de conception logique choisi pour le circuit électrique (pas d'horloge globale), soit le mode d'échantillonnage (échantillonnage irrégulier). Ces techniques ont été utilisées afin de

réduire la consommation, les émissions électromagnétiques, les problèmes de métastabilité... dans les circuits classiques de conversion présentés Chapitre 1.

2.3.1 Les CANs sans horloge globale

2.3.1.1 CAN à approximations successives asynchrone

Deux articles [KIN 98], [KIN 00] présentent une implémentation asynchrone d'architectures de conversion de type Approximations Successives (CAS).

Les convertisseurs analogiques-numériques synchrones, à temps borné, peuvent être sujets à des erreurs de conversion dues aux problèmes de métastabilité. Afin de résoudre cela, une conception asynchrone donne un circuit parfaitement fiable, mais son temps de conversion pourrait être infini. Dans le cas de son fonctionnement à temps borné, la conversion doit être déterminée à un instant donné, et la sortie numérique validée, même s'il peut exister d'éventuels problèmes de métastabilité. D.J. Kinniment *et al.* ont alors prouvé qu'avec une conception asynchrone, la métastabilité est réduite, et que la vitesse de conversion peut être améliorée de 12.5% pour une résolution de 4-bits, par rapport à une conception synchrone. Ces résultats pourraient être bien meilleurs pour des résolutions plus élevées (8-12-bits).

Si f_{ech} est la période d'échantillonnage et N la résolution du convertisseur, dans le cas d'une conception synchrone, un temps égal est affecté à chaque bit : $t_c = \frac{1}{N \cdot f_{ech}}$, alors

que le temps nécessaire pour certains bits est rapide et d'autre long (si il y a métastabilité, i.e. V_{in} très proche de V_{ref}). Dans un CAS, une seule comparaison sur les N peut donner lieu à un problème de métastabilité. Celui-ci peut subvenir aussi bien sur les bits de LSB que sur les bits de MSB, ce qui peut conduire à de grosses erreurs de conversion. Dans le cas du même circuit en conception asynchrone, bien que le temps total de conversion soit borné, un temps variable peut être automatiquement affecté pour chaque bit. L'avantage majeur de ce principe, c'est que s'il demeure néanmoins un problème de métastabilité sur un bit à la fin du temps de conversion, ce problème concernera obligatoirement un bit de LSB, ce qui engendrera une erreur de conversion minimale par rapport au cas synchrone.

D.J. Kinniment *et al.* ont donc conçu deux convertisseurs, en technologie *Mietec CMOS 2μm*, afin de valider leur théorie. Dans le cas synchrone, une résolution de 4-bit, et une période d'échantillonnage $t_{ech}=48ns$ (soit un temps $t_c=12ns$ par bit), une probabilité d'erreur de 10^{-12} peut arriver sur n'importe quel bit. Dans le cas asynchrone, cette probabilité d'erreur est assurée (sur le bit de LSB) pour une période d'échantillonnage de $t_{ech} = 42ns$ (le temps *worst-case* pour les 3 bits « rapides » est de $24.26ns$, ce qui laisse $17.74ns$ pour le bit « lent »). La probabilité d'erreur pour le MSB devient 10^{-47} . Ainsi, si la même période d'échantillonnage que le convertisseur synchrone initial est conservée ($t_{ech}=48ns$), la probabilité d'erreur de conversion est largement diminuée pour tous les bits.

2.3.1.2 CAN Flash asynchrone

Cet article [KIN 99] présente les problèmes de métastabilité, de linéarité et de consommation dans les convertisseurs analogiques-numériques flash pipelinés. D.J. Kinniment *et al.* ont prouvé que le pipelining asynchrone permet de réduire les problèmes de métastabilité, de consommation et d'émissions électromagnétiques, tout en conservant une linéarité semblable aux architectures synchrones équivalentes. Il est décrit la conception d'un convertisseur *7-bits*, *120MHz*, en technologie standard *CMOS 0.7 μ m*. Le circuit final est composé de deux buffers analogiques en entrée, du convertisseur flash *self-timed* et de deux buffers numériques pipelinés en sortie. La conception des buffers d'entrée analogiques est classique (technique bootstrap), et les buffers de sortie sont contrôlés par un protocole quatre-phases. La consommation du circuit est de *45mW* contre *76mW* en synchrone. De plus, les spectres de courants consommés illustrent le faible rayonnement électromagnétique de cette architecture : l'amplitude des harmoniques est plus faible, et ceux-ci sont plus étalés en fréquence que dans le cas synchrone. Enfin, il y a plus de trois ordres de grandeur dans l'amélioration du taux d'erreur pour chaque niveau de pipeline.

2.3.1.3 CAN pipeliné asynchrone

Ce travail [CONT 99] présente un circuit métastable fonctionnant comme une mémoire de courant. Il met en œuvre un convertisseur analogique-numérique « asynchrone » à approximations successives pipeliné, en mode courant. Pour un convertisseur *N-bits*, ce circuit est composé de *N* étages, le principe est identique à celui des architectures synchrones connues, mais les étages ne sont pas commandés par des horloges communes, mais par des signaux locaux internes. Ce convertisseur est qualifié de plus rapide par rapport à son homologue synchrone, cependant, des mesures concrètes de gains en performances par rapport à une conception classique ne sont pas données.

2.3.1.4 Boucle analogique-numérique verrouillée sur l'amplitude

Ce travail est décrit par L. Alacoque dans [ALA 02], il s'agit d'une étude sur l'apport d'une conversion « asynchrone » dans le cadre d'un échantillonnage classique de Nyquist. Le but de ce travail étant de réduire l'activité et donc la consommation dans la conversion analogique numérique.

Le convertisseur proposé est un CAN de poursuite (cf. Figure 13) dont le bloc numérique a été remplacé par un estimateur, afin de minimiser le nombre moyen de cycles par seconde pour la conversion d'échantillons. Cinq algorithmes d'estimation ont ainsi été proposés, tenant compte de la dernière ou des deux dernières valeurs numériques converties. Des simulations comportementales ont été effectuées pour ces différents algorithmes de conversion et dans le cadre de signaux particuliers : signaux gaussiens, signaux de parole et signaux audio. Il a été ainsi prouvé que quel que soit le type de signaux réels, ce type de CAN « asynchrone » permet de réduire de façon sensible le nombre moyen de cycles par seconde. La référence synchrone choisie dans ce travail étant un convertisseur à approximations successives (cf. Figure 14).

Il a été ainsi montré que pour des signaux sonores et de parole, codés sur *8-bits* et *44,1kHz*, et pour un algorithme de conversion donné dans [ALA 03], que ce genre de conversion est beaucoup plus rapide. Comparé aux huit cycles nécessaires à un CAN à approximations successives, la conversion « asynchrone » est de trois à sept fois plus rapide. La vitesse moyenne de conversion avoisine presque celle d'un convertisseur Flash, alors que le matériel mis en œuvre est proche de celui du CAN à approximations successives.

Malheureusement, aucune étude n'a été effectuée en ce qui concerne l'implémentation électrique de ces convertisseurs. Ainsi, aucune conclusion concrète en terme de complexité de matériel et de consommation électrique n'est donnée entre ces CANs « asynchrones » et les CANs usuels.

2.3.2 Les CANs à échantillonnage irrégulier

2.3.2.1 CAN à échantillonnage par traversées de niveaux

Les travaux les plus intéressants concernant l'échantillonnage irrégulier dans le cadre de la conversion analogique-numérique concernent ceux de N. Sayiner *et al.* [SAY 94], [SAY 96].

Le type d'échantillonnage utilisé est celui par *traversées de niveaux* présenté par J.W. Mark *et al.* dans [MARK 81] (cf. paragraphe 2.2.2.4.1). N. Sayiner *et al.* présentent une chaîne complète de conversion analogique-numérique composée d'un *front-end* de conversion réalisant l'échantillonnage irrégulier du signal analogique, d'un étage d'interpolation et d'un étage de décimation (cf. Figure 55). Ils se ramènent donc au cas classique de la conversion analogique-numérique et du traitement du signal synchrone, en ré-échantillonnant à pas régulier le signal numérique en sortie du CAN à échantillonnage irrégulier, puis en le décimant pour se ramener à la fréquence de Nyquist. La chaîne complète de conversion est caractérisée par le SNR global de ce signal échantillonné régulièrement, mais les calculs théoriques du SNR ne sont pas fournis. Pour un type de signal donné, le signal sinusoïdal pur correspondant à un SNR identique est considéré. Ensuite par l'utilisation d'abaques, les paramètres de la chaîne de conversion sont déterminés (cf. Figure 55). Le nombre de niveaux pour l'échantillonnage irrégulier et l'ordre de la décimation peuvent par exemple être trouvés. L'interpolateur pour se ramener au cas synchrone est toujours un polynôme du second ordre.

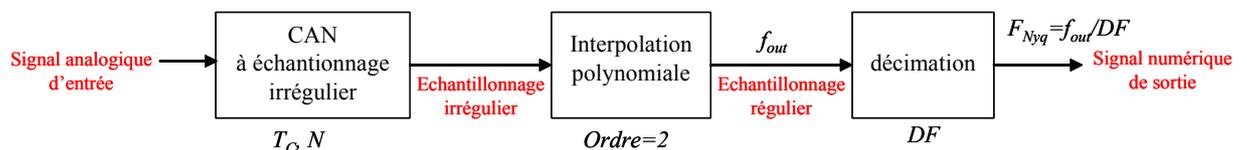


Figure 55 : Chaîne de conversion à échantillonnage irrégulier proposée par N. Sayiner [SAY 94].

Les échantillons non uniformément répartis dans le temps en sortie du CAN ont un SNR fixé par les différents paramètres intrinsèques du convertisseur. Le fait d'utiliser une interpolation polynomiale d'ordre deux permet de se ramener à des échantillons uniformément répartis dans le temps et dont les nouveaux échantillons calculés sont connus

avec un SNR équivalent à celui obtenu en sortie du CAN. Enfin, l'étage de décimation est identique à celui utilisé conventionnellement dans un convertisseur $\Sigma\Delta$: il permet de filtrer le bruit hors de la bande passante du signal donc d'augmenter le SNR, et de se ramener à la fréquence d'échantillonnage de Nyquist (cf. paragraphe 2.2.1).

Après la description de cette méthode empirique de dimensionnement d'une telle chaîne de conversion analogique-numérique, les auteurs l'ont utilisée dans le cadre d'une application de parole. La résolution effective visée est de $ENOB=14\text{-bits}$, soit en utilisant la relation classique (15), un SNR de 86dB .

Pour cela, ils déterminent la fréquence f_s du sinus pur en entrée donnant le même SNR que le signal de parole (son amplitude couvre toute la dynamique d'entrée du convertisseur). Ils obtiennent : $f_s=569\text{Hz}$. A l'aide des abaques, ils en déduisent la période de la base de temps $T_C=4.65\text{MHz}$ et le facteur de décimation $DF=16$. La résolution matérielle minimale du CAN à échantillonnage irrégulier pour laquelle, un polynôme d'interpolation d'ordre 2 ne dégrade pas le SNR est $N=6\text{-bits}$. Enfin, le fait de décimer après l'interpolation permet de passer de 67dB à 86dB de SNR i.e. de gagner 3-bits de résolution pour la chaîne globale de conversion.

L'architecture retenue par N. Sayiner pour la conversion avec échantillonnage irrégulier est une simple boucle semblable à un convertisseur de poursuite. Le mode de conception est purement synchrone : il y a de plus un seul comparateur dont la référence bascule alternativement entre $+q/2$ et $-q/2$ (q étant la valeur du quantum élémentaire calculé comme pour un CAN usuel selon la relation (63)) à chaque front de l'horloge. Après une implémentation matérielle classique et non détaillée en technologie standard, les résultats mesurés sont donnés Tableau 2.

Tableau 2 : Caractéristiques électriques de la chaîne de conversion proposée par N. Sayiner.

Technologie	0,9 μm
Alimentation	$V_{dd}=5\text{V}$
Timer	compteur sur 10-bits, $T_c=2,32\text{MHz}$
Consommation	$P=38\text{mW}$
Résolution	$N=6\text{-bits}$
Résolution synchrone équivalente théorique	$M=10\text{-bits}$
SNR	54.8dB @ $f_s=569\text{Hz}$
Résolution synchrone équivalente (ENOB)	$M=8.8\text{-bits}$
DNL	$-0,4/0,5\text{ LSB}$
INL	$-2,2/1,2\text{ LSB}$
Temps de boucle	$\delta=45\text{ns}$
Interpolation	Non
Décimation	Non

Seul le *front-end* de conversion asynchrone a été étudié pour l'implémentation électrique. Aucune étude n'a été réalisée sur les blocs numériques d'interpolation et de décimation pour l'implémentation totale de la chaîne de conversion présentée Figure 55. Leur complexité de conception et leur influence sur le bilan total de consommation sont sûrement sous-estimées. En effet, l'étage de décimation est un bloc usuellement assez complexe à concevoir et dont la consommation n'est pas négligeable. Une interpolation polynomiale du 2^{ème} ordre a cependant été réalisée à posteriori de façon logicielle sur

les échantillons non uniformément répartis dans le temps, afin de pouvoir déterminer les paramètres dynamiques du convertisseur (SNR) en utilisant des FFTs synchrones classiques.

Ces travaux intéressent en ce qui concerne l'échantillonnage irrégulier dans le cadre de la conversion analogique numérique seront à la base des études menées dans ce travail de thèse (cf. Chapitre 3).

2.3.3 Les autres CANs et CNAs

2.3.3.1 Utilisation de la logique NCL pour les CNA

La société Theseus Logic a développé une nouvelle technologie pour les circuits asynchrones [FANT 97]: la logique NCL (*NULL Convention Logic*). Celle-ci a été utilisée pour la conception d'un convertisseurs numérique-analogique à interpolations [CHES] en technologie $0,25\mu\text{m}$. Cette implémentation asynchrone a facilité la conception de la partie numérique (par exemple les filtres FIR). De plus, de par ses faibles émissions électromagnétiques, elle autorise la proximité de blocs analogiques sensibles au bruit.

2.3.3.2 Les travaux de J.C. Jenq

Des CANs de Nyquist fonctionnant en parallèle et entrelacés dans le temps (*time interleaved ADCs*) sont considérés. Du fait des problèmes de *jitter*, de bruit thermique, de non-linéarités..., lorsque les séquences d'échantillons numériques sont rassemblées, il s'agit alors d'un signal échantillonné irrégulièrement de type non-uniforme périodique (cf. Figure 52). J.C. Jenq a décrit une théorie dans une série de quatre articles, permettant de faire l'analyse spectrale d'un tel signal, et de par exemple estimer le *jitter* d'un tel système de conversion [JENQ 88]... [JENQ 90]. De plus, il propose des techniques de reconstruction dans [JENQ 97]

Pour conclure, ces différents travaux prouvent qu'une approche asynchrone, en terme d'échantillonnage ou de mode de conception, conduit à des convertisseurs analogiques-numériques avec des caractéristiques électriques intéressantes. Ces résultats ouvrent donc des perspectives très optimistes notamment pour la conception de circuits mixtes faible consommation, et faible rayonnement électromagnétique.

2.4 Conclusion

Dans ce Chapitre, les différentes notions d'« asynchronisme » concernant la conception logique et l'échantillonnage ont été présentées.

Tout d'abord, la conception de circuits asynchrones a été introduite : il s'agit de circuits sans horloge globale, et dont la synchronisation entre les blocs est uniquement assurée par des signaux de contrôle locaux. Les principes de base et les différentes classes de ces circuits, les différents protocoles de communication, les différents codages pour les données... ont été présentés. Il a de plus été montré que ces circuits ouvrent des perspectives intéressantes pour la réalisation de circuits faible consommation et faibles émissions électromagnétiques.

La deuxième partie de ce Chapitre concerne l'échantillonnage asynchrone (ou irrégulier). Contrairement à l'échantillonnage de Nyquist, ce genre d'échantillonnage consiste à prendre des échantillons non uniformément répartis dans le temps. Des pistes de lectures ont été présentées, notamment en ce qui concerne les différents modes d'échantillonnage irrégulier, les principes de reconstruction et de ré-échantillonnage synchrone, les transformées de Fourier et enfin les traitements numériques de base.

Enfin, ce Chapitre a montré que l'« asynchronisme » au niveau conception de circuits ou au niveau traitement du signal conduit à la réalisation de convertisseurs analogiques numériques avec des propriétés intéressantes. Différents papiers ont montré qu'il est ainsi possible de réduire la consommation électrique, les émissions électromagnétiques ou les problèmes de conversion dus à la métastabilité... La nouvelle famille de convertisseurs présentée dans les Chapitres suivants consiste à utiliser simultanément le principe des circuits asynchrones et l'échantillonnage irrégulier afin de cumuler les gains en performances de ces deux techniques par rapport aux architectures usuelles de conversion exposées au Chapitre 1.

3

Chapitre 3 : Une Nouvelle Classe de Convertisseurs Analogiques Numériques Asynchrones Basés sur une Quantification du Temps

Dans ce Chapitre débutent les contributions de ce travail de thèse. Il est tout d'abord présenté le principe de la nouvelle famille de convertisseurs analogiques numériques asynchrones. Ils sont basés sur l'utilisation simultanée d'une conception asynchrone et d'un échantillonnage irrégulier, afin d'avoir une réelle convergence entre le mode d'échantillonnage et l'implémentation matérielle. Ce nouveau genre de convertisseur est désormais appelé CAN-A pour *CAN Asynchrone*.

Le principe de l'échantillonnage non régulier dans le temps conduit à une quantification non plus en amplitude comme c'est le cas pour les CANs de Nyquist, mais une quantification en temps. Les calculs de rapport signal sur bruit qui en résultent sont complètement différents des résultats obtenus pour le cas synchrone. Ceux-ci sont effectués dans le cas général puis détaillés pour différentes familles de signaux analogiques usuels.

La nouvelle boucle de conversion est ensuite comparée aux structures similaires synchrones tel que le convertisseur à approximations successives ou le convertisseur de poursuite. Elle est également comparée aux chaînes de modulation classiques (PCM, DPCM, $\Sigma\Delta$).

L'implémentation structurale du convertisseur asynchrone est alors décrite, et des simulations fonctionnelles sont réalisées. Une première estimation des performances des CAN-As est donnée en terme de nombre moyen de cycles par seconde et comparée à l'activité des CANs de Nyquist. Enfin des comparaisons au niveau système sont réalisées en considérant un CAN-A dans un contexte synchrone et une chaîne de conversion sur-échantillonnée équivalente entièrement synchrone.

3.1 Principes : présentation de la boucle de conversion, échantillonnage irrégulier et contrôle local

L'architecture retenue met en œuvre l'échantillonnage irrégulier par traversées de niveaux présenté au Chapitre 2.2.2.4.1 et une implémentation asynchrone. Il s'agit d'une boucle de conversion telle que présentée Figure 56, composée de quatre éléments: un quantificateur de différence, une variable d'état représentée ici par un compteur/décompteur, un convertisseur numérique analogique (CNA), et un timer [ALL 02a]. Il n'y a pas d'échantillonneur/bloqueur (E/B). Il s'agit d'une boucle de rétroaction, asservie sur le signal analogique à convertir. Ce genre d'architecture a été proposé pour la première fois par R. Greenhalgh dans [GRE 65], dans un contexte synchrone.

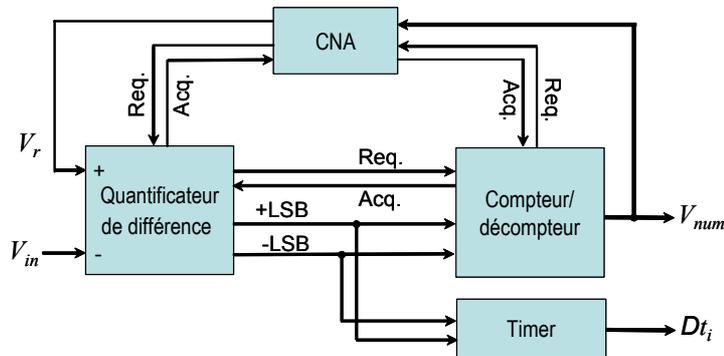


Figure 56 : Boucle de conversion asynchrone.

Le signal analogique d'entrée est V_{in} , converti en un signal numérique V_{num} , à son tour converti en un signal analogique de référence V_r par le CNA. Ce signal est alors comparé à V_{in} . Si la différence entre ces deux signaux est supérieure à $\frac{1}{2}.q$ (cf. relation (59)), alors le compteur/décompteur est incrémenté ($inc='1'$, $dec='0'$), si elle est inférieure à $-\frac{1}{2}.q$, alors le compteur/décompteur est décrémenté ($inc='0'$, $dec='1'$), et dans tous les autres cas, rien ne se passe ($inc='0'$, $dec='0'$), la situation reste stable. La fonction de transfert du quantificateur de différence est donc une non-linéarité telle que représentée Figure 57. Bien sûr, chaque fois qu'un événement apparaît sur un des bits inc ou dec , la sortie du timer est échantillonnée afin de fournir la valeur Dt_i du temps écoulé entre les échantillons b_{i-1} et b_i . La sortie numérique du CAN-A est donc composée de couples : (b_i, Dt_i) , avec $V_{num}=\{b_i\}_{i \in N}$.

Aucune horloge globale n'est présente dans ce circuit : seuls des signaux de contrôle locaux sont présents entre les blocs de la boucle : requêtes ($req.$) et acquittements ($acq.$). Le principe de la synchronisation entre les blocs de la boucle asynchrone se passe comme expliqué au paragraphe 2.1.2 et dépend du protocole retenu lors de l'implémentation matérielle.

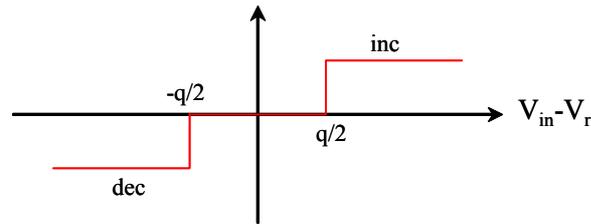


Figure 57 : Fonction de transfert du quantificateur de différence.

Dans toute la suite de ce manuscrit, la boucle de conversion donnée Figure 56 est nommée CAN-A pour *Convertisseur Analogique Numérique Asynchrone*. Contrairement aux travaux publiés dans [KIN 98], [KIN 99], [KIN 00], [CONT 99]... le terme « asynchrone » définit ici non seulement le mode de conception (pas d'horloge globale), mais aussi l'échantillonnage (échantillonnage irrégulier). Cette nouvelle classe de convertisseurs sera par la suite comparée aux CANs usuels présentés au Chapitre 1 qui sont nommés désormais « CANs synchrones » ou « CANs de Nyquist ».

3.2 Présentation de la théorie associée

Le mode d'échantillonnage retenu conduit à une théorie complètement différente de celle associée aux CANs de Nyquist décrits dans le Chapitre 1, notamment pour le calcul du rapport signal sur bruit. Ceci impliquera donc une méthode générale de conception propre à ces convertisseurs, se démarquant complètement de celles utilisées pour les approches classiques de conversion et présentée au Chapitre 4.

3.2.1 Condition de poursuite

La première relation caractérisant un CAN-A est d'ordre temporelle. En effet, le délai de la boucle présentée Figure 56 est de durée finie δ . Ceci contraint les caractéristiques du signal d'entrée V_{in} : lorsque la conversion d'un échantillon est déclenchée i.e. lorsque un niveau de référence est traversé (cf. Figure 54), le signal d'entrée V_{in} ne doit pas traverser un autre niveau de référence tant que la boucle n'a pas déterminé la nouvelle valeur de référence V_r .

Soit M la résolution matérielle du CAN-A, $2^M - 1$ niveaux de références sont régulièrement disposés selon l'axe des amplitudes. Soit ΔV_{in} la dynamique d'entrée du convertisseur. La valeur du LSB (ou quantum) vaut :

$$q = \frac{\Delta V_{in}}{2^M - 1} \quad (63)$$

La pente du signal d'entrée doit donc maintenant vérifier :

$$\left| \frac{\partial V_{in}}{\partial t} \right| \leq \frac{q}{\delta} \quad (64)$$

Cette relation est désormais appelée *Condition de Poursuite*. En effet, si celle-ci n'est pas vérifiée, des échantillons numériques non valides, i.e. ne correspondant pas à la va-

leur analogique instantanée de V_{in} , peuvent être fournis par le convertisseur. Ce genre d'erreurs est comparable à la *saturation de pente* dans les circuits de modulation Δ tel que présenté Figure 64. Dans la suite de ces travaux, le CAN-A est toujours supposé vérifier la *condition de poursuite*. De plus, dans la suite du manuscrit, M est la **résolution matérielle** du CAN-A, i.e. le nombre de bits qui sont physiquement implémentés pour le circuit. Ce paramètre est à ne pas confondre avec **ENOB** qui est la **résolution effective** du CAN-A, i.e. le nombre de bits du CAN de Nyquist « équivalent » délivrant les échantillons numériques avec le même SNR.

3.2.2 Calcul du SNR

3.2.2.1 Relation générale

Pour un CAN-A, la conversion d'un échantillon étant déclenchée lorsqu'un niveau de référence est traversé, la valeur en amplitude est précise, par contre l'instant est connu avec une erreur δt , dépendant de la résolution temporelle du timer destiné à coder les intervalles de temps entre les échantillons. Soit T_C cette résolution temporelle (i.e. la période du timer), l'erreur de quantification δt appartient à l'intervalle : $[0, T_C]$ (cf. Figure 58).

Connaissant la pente instantanée du signal analogique, cette erreur en temps peut être traduite par une erreur en amplitude δV selon la relation :

$$\delta V = \left(\frac{\partial V_{in}}{\partial t} \right) \cdot \delta t \quad (65)$$

La période T_C du timer est considérée comme petite i.e. telle que la pente de V_{in} puisse être considérée comme constante sur T_C . (Il s'agit de l'hypothèse duale prise pour le calcul de SNR dans le cadre de la conversion analogique numérique synchrone, où il est supposé une résolution N du CAN assez grande).

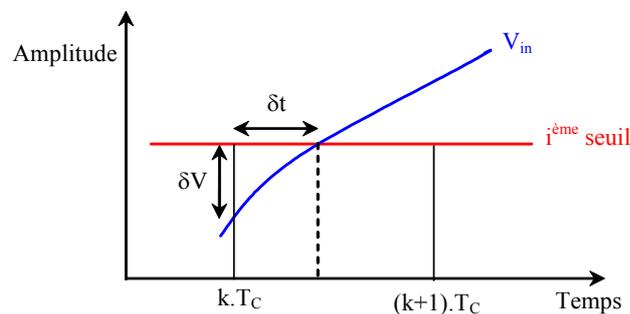


Figure 58 : Erreur de quantification lors de la traversée d'un niveau de référence.

Les variables $\left(\frac{\partial V_{in}}{\partial t} \right)$ et δt peuvent également être considérées comme deux variables aléatoires indépendantes, ainsi la puissance du bruit de quantification vaut :

$$P(\delta V) = P\left(\frac{\partial V_{in}}{\partial t}\right) \cdot P(\delta t) \quad (66)$$

Si f_q est la densité de probabilité de la variable aléatoire δt , il vient :

$$P(\delta t) = \int_{-\infty}^{+\infty} x^2 \cdot f_q(x) dx \quad (67)$$

soit

$$P(\delta t) = \int_{-\infty}^{+\infty} x^2 \cdot \frac{1}{T_c} \cdot 1_{[0, T_c]} dx = \frac{1}{T_c} \cdot \int_0^{T_c} x^2 dx \quad (68)$$

d'où

$$P(\delta t) = \frac{T_c^2}{3} \quad (69)$$

Ainsi :

$$P(\delta V) = P\left(\frac{\partial V_{in}}{\partial t}\right) \cdot \frac{T_c^2}{3} \quad (70)$$

La définition du SNR étant toujours la même qu'en synchrone (cf. relation (4)) et elle devient ici :

$$SNR_{dB} = 10 \cdot \log\left(\frac{3 \cdot P(V_{in})}{P\left(\frac{\partial V_{in}}{\partial t}\right)}\right) + 20 \cdot \log\left(\frac{1}{T_c}\right) \quad (71)$$

Le premier terme de cette équation est directement lié au type de signal analogique à convertir. Il est fonction de la puissance du signal analogique et de la puissance de sa dérivée. Par contre, le deuxième terme dépend uniquement de la période T_c fixée pour le timer. Ainsi pour une classe de signaux donnée, le premier terme est une constante et donc le rapport signal sur bruit peut être fixé uniquement en fonction de la période T_c . Le point important à remarquer est que le SNR est indépendant de la résolution matérielle M du convertisseur. Ceci est à rapprocher des CANs de Nyquist où le SNR ne dépend que de la résolution matérielle et non de la fréquence d'échantillonnage. Ainsi pour une résolution matérielle M fixée, le SNR peut être ajusté en réglant seulement la période de l'horloge du timer.

3.2.2.2 Application à différents types de signaux

La relation (71) peut être explicitement déterminée pour différentes classes de signaux analogiques. Quatre types de signaux sont analysés dans les paragraphes suivants : une sinusoïde pure, un signal de densité spectrale de puissance constante, un signal de parole et un signal audio. Ces derniers sont très courants et représentatifs de signaux propres à être traités par un CAN-A

3.2.2.2.1 Sinusoïde pure

Par analogie au cas synchrone, la relation (71) est applicable à un signal sinusoïdal pur d'amplitude A et de fréquence f définie comme en (12). Le signal dérivé vaut :

$$\frac{\partial V_{in}(t)}{\partial t} = 2\pi f A \cos(2\pi f t) \quad (72)$$

Ainsi :

$$P(V_{in}) = \frac{A^2}{2} \text{ et } P\left(\frac{\partial V_{in}}{\partial t}\right) = \frac{4\pi^2 A^2 f^2}{2} \quad (73)$$

La relation (71) devient :

$$SNR_{dB} = 10 \cdot \log\left(\frac{3}{4\pi^2 f^2 T_c^2}\right) \quad (74)$$

Ou bien :

$$SNR_{dB} = -11,19 - 20 \cdot \log(f T_c) \quad (75)$$

3.2.2.2.2 Signal de densité spectrale de puissance constante

Soit un signal V_{in} de densité spectrale $DSP(V_{in}) = |V_{in}(f)|^2$, avec $V_{in}(f)$ la transformée de Fourier du signal $V_{in}(t)$, constante sur la bande $\left[-\frac{f_B}{2}, \frac{f_B}{2}\right]$ (cf. Figure 59).

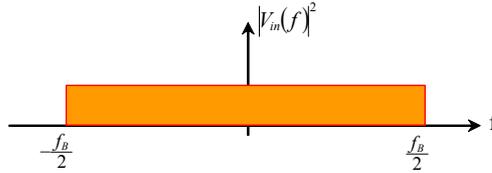


Figure 59 : Signal de DSP constante.

La puissance du signal vaut :

$$P(V_{in}) = \int_{-\frac{f_B}{2}}^{\frac{f_B}{2}} DSP(V_{in}) df = |V_{in}(f)|^2 \int_{-\frac{f_B}{2}}^{\frac{f_B}{2}} df = |V_{in}(f)|^2 \cdot f_B \quad (76)$$

De plus, par définition :

$$P\left(\frac{\partial V_{in}}{\partial t}\right) = \int_{-\frac{f_B}{2}}^{\frac{f_B}{2}} \left[TF\left(\frac{\partial V_{in}}{\partial t}(t)\right) \right]^2 df \quad (77)$$

A partir des propriétés de la transformée de Fourier, il vient :

$$P\left(\frac{\partial V_{in}}{\partial t}\right) = \int_{-\frac{f_B}{2}}^{\frac{f_B}{2}} \left[-2i\pi f TF(V_{in}(t)) \right]^2 df \quad (78)$$

Soit,

$$P\left(\frac{\partial V_{in}}{\partial t}\right) = 4\pi^2 \int_{-\frac{f_B}{2}}^{\frac{f_B}{2}} f^2 \frac{P(V_{in})}{f_B} df = \pi^2 P(V_{in}) \frac{f_B^2}{3} \quad (79)$$

Compte tenu de (76) et (79), la relation (71) devient :

$$SNR_{dB} = 20 \cdot \log\left(\frac{3}{\pi f_B T_c}\right) \quad (80)$$

ou bien

$$SNR_{dB} = 10 \cdot \log\left(\frac{3}{4\pi^2 \left(\frac{f_B}{2\sqrt{3}}\right)^2 T_c^2}\right) \quad (81)$$

D'après la relation (74), cette relation est similaire à celle obtenue pour une sinusoïde pure de fréquence $\frac{f_B}{2\sqrt{3}}$.

3.2.2.2.3 Signal de parole

La Densité Spectrale de Puissance (DSP) d'un signal de parole est donnée Figure 60. A partir de celle-ci, la relation entre l'écart type du signal analogique et sa dérivée est la suivante :

$$\sigma_{V_{in}'}^2 = 1,28 \cdot 10^7 \cdot \sigma_{V_{in}}^2 \quad (82)$$

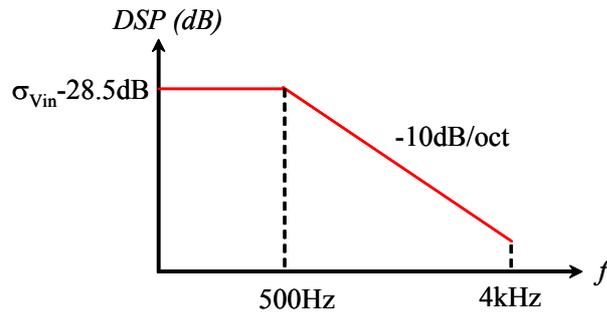


Figure 60 : Densité Spectrale de Puissance d'un signal de parole.

Par des calculs similaires à ceux présentés dans les deux paragraphes précédents, la relation générale du SNR en échantillonnage irrégulier (71) devient donc :

$$SNR_{dB} = 10 \cdot \log\left(\frac{1}{4,2666 \cdot 10^6 \cdot T_c^2}\right) \quad (83)$$

Ou bien :

$$SNR_{dB} = -66,3 - 20 \cdot \log(T_c) \quad (84)$$

3.2.2.2.4 Signal audio

La DSP d'un signal audio est donné Figure 61. La relation entre le signal continu V_{in} et sa dérivée V_{in}' vaut alors :

$$\sigma_{V_{in}'}^2 = 1,69 \cdot 10^7 \cdot \sigma_{V_{in}}^2 \quad (85)$$

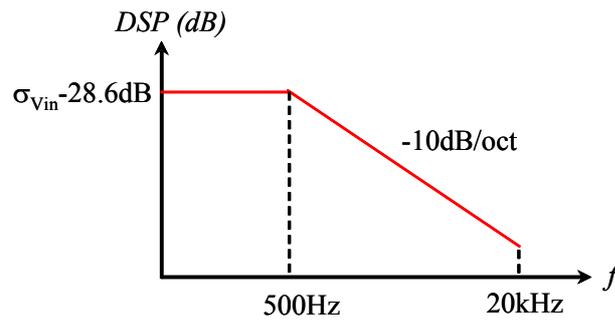


Figure 61 : Densité Spectrale de Puissance d'un signal audio.

La relation générale (71) devient :

$$SNR_{dB} = 10 \cdot \log \left(\frac{1}{1,7751 \cdot 10^7 \cdot T_c^2} \right) \quad (86)$$

Ou bien

$$SNR_{dB} = -72,49 - 20 \cdot \log(T_c) \quad (87)$$

3.3 Résumé des caractéristiques du CAN-A

Pour résumer, la nouvelle classe de convertisseurs analogiques-numériques proposée est exactement le cas dual des convertisseurs de Nyquist usuels. Pour le CAN-A, un échantillon est précis en amplitude et quantifié en temps, alors que pour un CAN de Nyquist, les échantillons sont précis en temps et quantifiés en amplitude. Ainsi, le rapport signal sur bruit du CAN-A ne dépend que du type de signal et de la résolution temporelle avec laquelle les intervalles de temps sont enregistrés. De même, pour les CANs de Nyquist, le SNR ne dépend que de la résolution matérielle et non de la fréquence d'échantillonnage. Les caractéristiques de ces modes de conversion sont résumées Tableau 3.

Tableau 3 : Résumé des différences dues à l'échantillonnage entre un CAN-A et un CAN de Nyquist.

	CAN-A	CAN de Nyquist
Amplitude	précise	quantifiée
Temps	quantifié	précis
SNR	résolution temporelle	résolution matérielle
Sortie	(b_i, Dt_i)	b_i

Cette dualité va conduire à une stratégie de conception propre à cette nouvelle classe de convertisseurs, et donc très différente de ce qui est fait usuellement dans le contexte de l'échantillonnage de Nyquist. Celle-ci est développée au Chapitre 4.

3.4 Positionnement par rapport aux circuits synchrones

A première vue, la structure de conversion proposée Figure 56 ressemble à plusieurs approches connues. Cependant, il est montré dans cette partie l'originalité de cette nouvelle famille de convertisseurs.

3.4.1 Conversion analogique numérique classique : CAN à Approximations Successives et CAN de poursuite

Le CAN-A présenté Figure 56 est une boucle de conversion asservie sur le signal analogique. Cette structure est, en première approche, similaire à certains convertisseurs de Nyquist tel que le CAN à Approximations Successives (CAS) (cf. Figure 14) et le CAN de poursuite (cf. Figure 13).

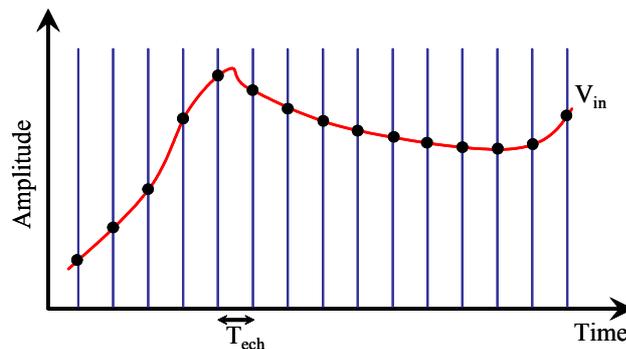


Figure 62 : Échantillonnage régulier d'un signal quelconque.

La première caractéristique est que le CAN-A est uniquement dirigé par le signal analogique. Cela implique qu'aucune conversion d'échantillons redondants n'est effectuée lorsque le signal est pas ou peu actif (lorsque les variations relatives du signal sont inférieures à un demi quantum). Cette remarque est visible en comparant les deux modes d'échantillonnage donnés Figure 54 et Figure 62. L'échantillonnage par traversées de niveaux est très attractif car il est adaptatif : la fréquence moyenne d'échantillonnage est élevée dans les zones actives du signal, i.e. les zones intéressantes porteuses d'information, et faible dans les zones à faible activité. Cette nouvelle famille de convertisseurs est donc destinée à des signaux ponctuellement porteurs d'information (i.e. autre que des signaux continus ou très lents). Il sera donc logique par la suite de s'intéresser à des signaux de parole, des signaux audio, des électrocardiogrammes [ALL 02b], [ALL 02c]. Pour l'échantillonnage donné Figure 62, les échantillons sont uniformément répartis dans le temps et prélevés quelles que soient les variations du signal analogique. La conversion par traversées de niveaux est dans cet exemple particulièrement attractive car seuls les échantillons porteurs d'information pertinente sont prélevés.

De plus, pour le CAN-A, si la condition de poursuite formulée en (64) est respectée, un seul cycle est nécessaire pour la conversion d'un échantillon, tandis que pour un CAS de résolution N -bits, N cycles sont toujours nécessaires. Pour un CAN de Poursuite, que la valeur de départ d'estimation soit réinitialisée, ou que ce soit la valeur de l'échantillon précédent, il faut entre 1 et 2^N cycles pour la conversion d'un échantillon. Dans la suite de ces comparaisons, le CAS est donc la plupart du temps utilisé car il s'agit du CAN de Nyquist le plus performant en terme de nombre de cycles pour la conversion d'échantillons, et le plus similaire en terme de matériel et de complexité.

3.4.2 Modulation PCM, DPCM, et $\Sigma\Delta$

Il est également intéressant de comparer le CAN-A avec les chaînes usuelles de modulations numériques.

Alors que les Modulations par Impulsions Codées (MIC) quantifient la valeur de chaque échantillon a_i d'un signal, les modulations différentielles codent la différence entre la valeur de l'échantillon et une valeur b_i estimée à partir des échantillons précédents. Dans la mesure où cette différence est faible, le nombre de bits par échantillon peut être réduit sensiblement, donc il en est de même pour le débit d'informations transmises [LEC 99]. Ces modulations sont d'autant plus efficaces que les signaux qu'elles traitent comportent de la redondance et des lois statistiques connues. Par exemple, pour un signal tel que le son, l'échantillon estimé b_i peut être calculé par extrapolation des valeurs précédentes, c'est le codage par prédiction linéaire (LPC - *Linear Prediction Coding*) qui est présent dans des applications telles que la télévision numérique, le radiotéléphone...

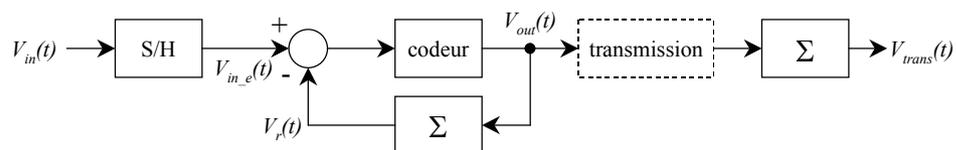


Figure 63 : Schéma bloc de la modulation modulation MIC différentielle ou Δ si le codeur est sur 1-bit.

Tout d'abord, la modulation MIC différentielle (ou DPCM - *Differential Pulse Code Modulation*) se contente de coder la différence entre $V_{in_e}(t)$ et la valeur à laquelle l'échantillon précédent a été quantifié : $V_r(t - T_{ech})$ (cf. Figure 63) sur m -bits (codeur m -bits). Ainsi, le gain en terme de données transmises peut être assez important si m est inférieur au nombre effectif de bits. Cette simplicité est faite au détriment du récepteur qui doit sommer les échantillons reçus. La modulation Δ est un cas particulier de la modulation DPCM où la différence $V_{in}(t) - V_r(t - T_{ech})$ est codée sur 1-bit. Dans ce cas, il apparaît bien sûr le phénomène de saturation lorsque la pente du signal $V_{in}(t)$ dépasse plus d'un quantum entre deux instants d'échantillonnage (problème identique à la condition de poursuite en asynchrone). Un exemple de modulation Δ est donné Figure 64. Ce phénomène est facile à réduire en diminuant la période d'échantillonnage T_{ech} , mais ceci se fait au détriment de la quantité d'information à transmettre au récepteur. Par contre,

comme il est expliqué plus loin, le bruit de quantification est alors étalé sur une plus grande plage : le rapport signal sur bruit peut ainsi être largement amélioré par filtrage.

Il existe ensuite la modulation MIC différentielle adaptative (ou ADPCM - *Adaptive Differential Pulse Code Modulation*). C'est une méthode permettant de réduire l'effet de saturation apparaissant lorsque la pente du signal est trop importante. Son schéma de principe est identique à celui présenté Figure 63, mais elle consiste à augmenter progressivement le pas de l'encodeur lorsqu'une série de bits identiques (plusieurs incréments ou plusieurs décréments successives) laissent supposer que le signal de retour a de la peine à suivre le signal original. Il existe bien sûr une multitude d'algorithmes d'adaptation, mais tous ne sont pas stables [FON 83]. Un exemple de modulation adaptative, avec un algorithme donné, est illustré Figure 65. Un des défauts de ce genre de modulations est présenté Figure 64 et Figure 65, un signal continu en entrée donne en sortie un signal carré d'amplitude Δ et de période la période d'échantillonnage du système.

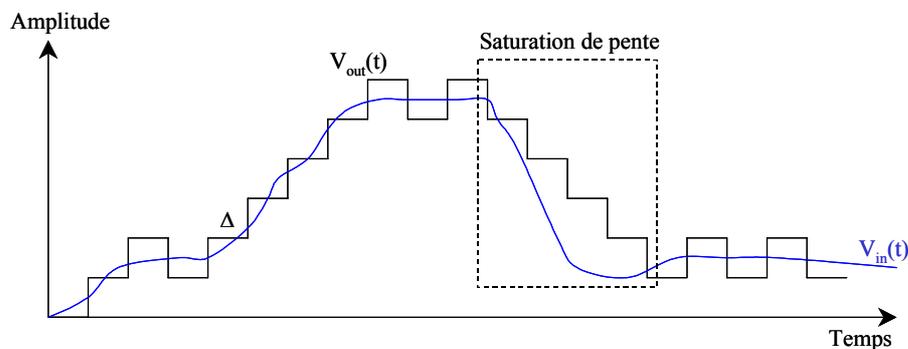


Figure 64 : Exemple de signal traité par une modulation Δ .

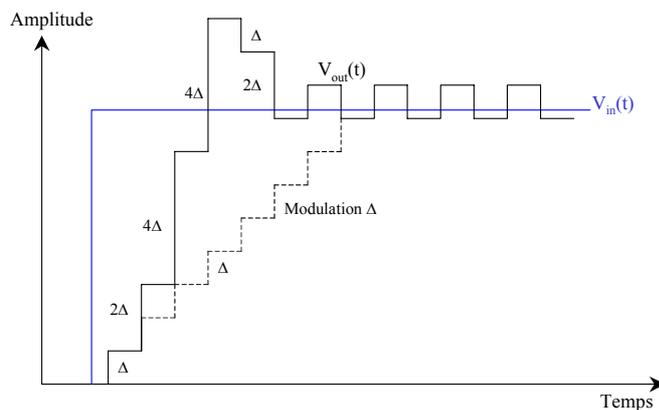


Figure 65 : Exemple de signal traité par une modulation ADPCM.

Enfin, la modulation $\Sigma\Delta$ (cf. Figure 66), consiste simplement en une modulation Δ , mais sur le signal intégré (un sommateur Σ est présent juste après l'Echantillonneur-Bloqueur). En sortie, le signal doit être dérivé, pour cela, il suffit de supprimer le sommateur se situant au niveau du récepteur. Ce type de modulations permet une mise en forme du bruit et donc un meilleur SNR. L'avantage de la modulation Δ , qui est d'étaler le bruit sur une plus forte plage, est toujours conservé. D'autre part, un autre avantage

de la modulation $\Sigma\Delta$ est de convertir correctement les composantes continues du signal d'entrée (c'est l'intégrale du signal qui est considérée), ce que ne fait pas la modulation Δ . Cette caractéristique intéressante de la modulation $\Sigma\Delta$ en fait un système très intéressant pour l'instrumentation, afin de traiter des signaux continus ou très lents. Souvent, les deux sommateurs présentés Figure 66 sont rassemblés en un seul. Un exemple de modulation $\Sigma\Delta$ est donné Figure 67.

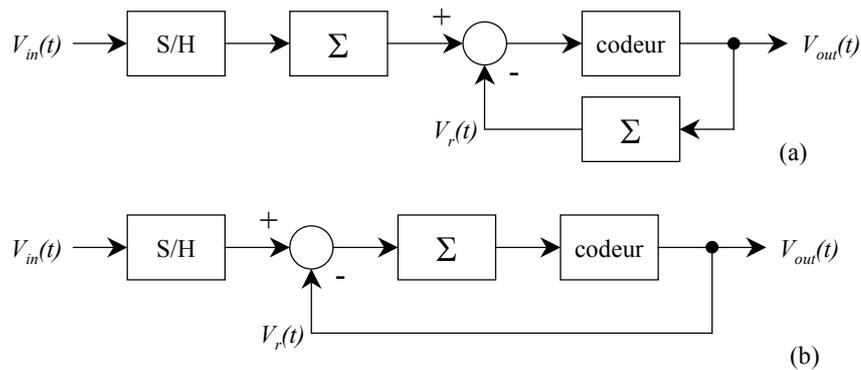


Figure 66 : Schémas bloc d'un modulateur $\Sigma\Delta$.

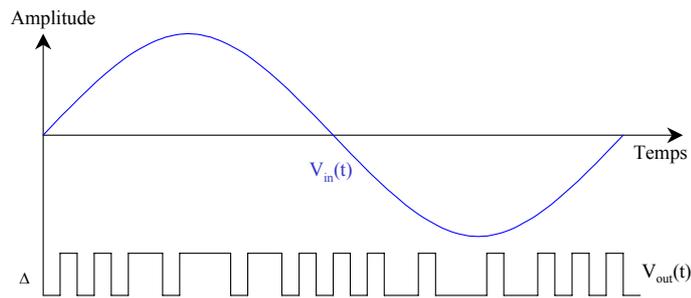


Figure 67 : Exemple de signal traité par une modulation $\Sigma\Delta$.

En conclusion, le CAN-A se rapproche beaucoup d'une modulation Δ « asynchrone ». C'est d'ailleurs à partir de cette constatation que J.W. Mark *et al.* [MARK 81] ont proposé l'intérêt de l'échantillonnage par traversées de niveaux pour la compression de donnée. Ici, l'Echantillonneur/Bloqueur (E/B) est supprimé, mais deux comparateurs au lieu d'un sont nécessaires, afin d'assurer l'échantillonnage irrégulier du signal d'entrée. Pour un signal constant, il n'y a pas conversion d'échantillons redondants. En considérant le schéma donné Figure 63, l'encodeur *1-bit* serait en fait constitué du quantificateur de différence, le sommateur Σ serait le compteur/décompteur. Ainsi, la principale différence entre le CAN-A et un convertisseur $\Sigma\Delta$ est qu'il n'y a pas de mise en forme du bruit dans la boucle de conversion asynchrone : le signal d'entrée est directement considéré et non le signal intégré. Enfin, les circuits ADPCM se rapprocheraient des différents algorithmes de conversion proposés par L. Alacoque [ALA 02], pour améliorer la boucle de conversion asynchrone dans le cadre d'un échantillonnage synchrone.

Le principal avantage du CAN-A est que le SNR peut être modifié en jouant seulement sur la fréquence de l'horloge du timer : la résolution est améliorée d'un bit lorsque la période T_C du timer est divisée par deux. Cela influe bien sûr sur la précision avec laquelle les blocs analogiques doivent être conçus (cf. paragraphe 4.2). Par contre, la conception de la partie numérique du CAN-A demeure toujours la même. Le nombre moyen d'échantillons par seconde reste également identique car il est uniquement fixé par le nombre de niveaux et non par le nombre effectif de bits visés. Ainsi, quelle que soit la résolution effective visée, la consommation du convertisseur est quasi identique, ainsi que celle des éventuels blocs de traitement en aval de la boucle (au nombre effectif de bits près). Pour résumer, la consommation est propre à la classe de signaux analogiques traitée, donc au nombre de niveaux de quantification, et quasi indépendante de la résolution effective visée.

Pour la conversion $\Sigma\Delta$, pour une implémentation matérielle figée (ordre k et résolution N du modulateur), afin de gagner un bit de résolution, seule la fréquence d'échantillonnage f_{ech} peut être ajustée, i.e. le facteur de sur-échantillonnage OSR du circuit. D'après la formule générale (50) du SNR, ce dernier est amélioré de $k+\frac{1}{2}$ lorsque le facteur de sur-échantillonnage OSR est doublé. Le fait d'augmenter la fréquence de travail du convertisseur influe sur les contraintes de conception des blocs analogiques, mais aussi sur toute la partie numérique car le circuit doit fonctionner à une fréquence double. De plus, l'inconvénient majeur est que le nombre d'échantillons s'en retrouve proportionnellement augmenté, tout comme l'activité, et la consommation du circuit. Dans le cas du CAN-A, quelle que soit la résolution effective, le surcoût en consommation est négligeable car il ne concerne que la partie timer.

De plus, comme il a pu être constaté précédemment, la conception d'un convertisseur $\Sigma\Delta$, est assez complexe, notamment en raison des problèmes de stabilité pour un ordre élevé. De même la conception du filtre à décimation n'est pas triviale.

Enfin, dans le cas d'un convertisseur $\Sigma\Delta$, pour un signal DC, compte tenu du fait que l'intégrale du signal est considérée, une rampe de pente constante est à traiter. De part le principe de ce type de conversion, le CAN fournit comme toujours des échantillons en sortie, et ceux-ci sont tous de valeur identique. Pour le CAN-A, ce genre de problème n'intervient pas. En effet, lorsque le signal d'entrée est constant, aucun niveau de quantification n'est traversé et donc aucun échantillon n'est prélevé et converti (sous réserve que le timer ne reboucle pas sur le modulo).

3.5 Implémentation et simulations fonctionnelles du CAN-A

Cette partie concerne la présentation au niveau système de l'implémentation asynchrone de la boucle de conversion proposée Figure 56. De plus, des premières évaluations fonctionnelles sont proposées afin d'estimer les performances de cette nouvelle famille de CANs.

3.5.1 Implémentation asynchrone retenue

Beaucoup d'implémentations sont envisageables pour la boucle de conversion proposée Figure 56. La solution retenue est la plus « naturelle », il s'agit d'une structure micropipeline [SUTH 89] à trois étages composée d'une partie contrôle QDI et d'une partie chemin de données (ou *data path*) constitué ici de blocs numériques et analogiques. Le schéma fonctionnel du circuit est donné Figure 68, où il est clairement distingué les trois étages du pipeline correspondant aux trois sous-blocs du CAN-A : le quantificateur de différence, le compteur/décompteur et le CNA.

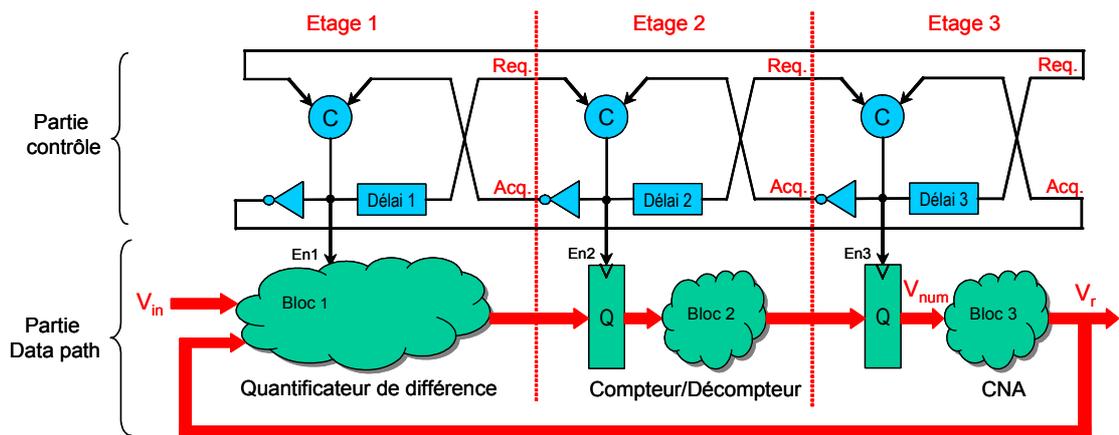


Figure 68 : Schéma fonctionnel du CAN-A.

L'architecture du CAN-A sans le timer est ensuite donnée Figure 69. La partie contrôle est composée de portes de Muller [SHA 97], de portes standard simples (AND, NOR, inverseur...), et de délais. Pour la partie *data path*, il y a le quantificateur de différence, le convertisseur numérique/analogique, le compteur/décompteur et le latch analogique. Le rôle de ce dernier est de faire le lien entre la partie contrôle et la partie *data path*. Il comporte un bit de contrôle *Enable*, deux bits d'entrée *+LSB*, *-LSB* et les deux bits de sortie correspondants *inc* et *dec*. Son fonctionnement est le suivant : lorsque *Enable* = '0', les bits *inc* et *dec* sont forcés à zéro quoi qu'il se passe sur les deux entrées. Lorsque *Enable* passe à l'état haut, dès que *+LSB* = '1' (respectivement *-LSB* = '1') alors *inc* = '1' et *dec* = '0' (respectivement *inc* = '0' et *dec* = '1') et les sorties sont figées quoi qu'il se passe ensuite sur les deux entrées.

Le délai *délai2* (resp *délai3*) correspond au temps critique du compteur/décompteur (respectivement du CNA). Les bits *Resetb* et *Setb* sont commandés par le même signal d'initialisation *RESET*. Le fonctionnement de cette implémentation est décrit ci-dessous.

Lorsque *RESET* = '0', *En1* = *En'1* = *En2* = '0', *En3* = '1', *Enable* = '0' et les bits *inc* et *dec* sont forcés à zéro par le latch analogique. Le registre *R1* (fonctionnant sur front montant) et initialisé à zéro, et le registre *R2* initialisé à la valeur numérique correspondant à la moitié de la dynamique de sortie du CAN-A. Lorsque *RESET* = '1', la porte AND du dernier contrôleur envoie un signal d'initialisation dans la partie contrôle, le bit *Enable* passe à '1'. Le latch analogique est maintenant « actif » et est en attente d'une décision sur les sorties *+LSB* et *-LSB* du quantificateur de différence. Si l'amplitude de la ten-

sion analogique d'entrée V_{in} varie de manière sensible, par exemple $V_{in} - V_r > \frac{1}{2}.q$ (respectivement $V_{in} - V_r < -\frac{1}{2}.q$) alors $+LSB='1'$ (respectivement $-LSB='1'$), la sortie inc (respectivement dec) du latch analogique bascule à l'état haut et y reste jusqu'à la fin du processus de conversion, quoi qu'il se passe sur les sorties du quantificateur. Ainsi $En1='1'$ (respectivement $En'1='1'$), un acquittement ('0') est envoyé sur le troisième contrôleur, puis $En3='0'$, $R3$ mémorise sa dernière valeur, puis $Enable='0'$: le latch analogique reset les deux bits inc et dec (acquiescement). L'échantillon ainsi prélevé peut maintenant être converti. Un requête ('1') est envoyée sur le second contrôleur : les données sont prêtes devant le registre $R2$, $En2='1'$ et $R2$ échantillonne les deux bits sur le front montant de $En2$. Le compteur incrémente (respectivement décrémente) la valeur V_{num} de $R3$ et un acquittement ('0') est envoyé au premier contrôleur, les bits $En1$ et $En'1$ repassent donc à l'état bas). Après une durée $délai2$, les données sont prêtes devant le registre $R3$, une requête arrive devant le troisième contrôleur, ainsi $En3='1'$, un acquiescement est alors envoyé sur le second contrôleur, ainsi $En2='0'$. Le registre $R3$ échantillonne les données. La nouvelle valeur numérique peut maintenant être traitée par le convertisseur numérique analogique. Après une durée $délai3$, la valeur analogique V_{ref} correspondante est disponible en sortie du CNA, et le bit $Enable$ repasse à l'état haut. Le latch analogique est maintenant à nouveau en situation d'attente et scrute les sorties du quantificateur de différence. Le CAN-A est maintenant prêt à convertir un nouvel échantillon. La consommation dynamique du convertisseur est désormais nulle tant qu'aucune autre conversion n'est effectuée (à l'activité du timer près).

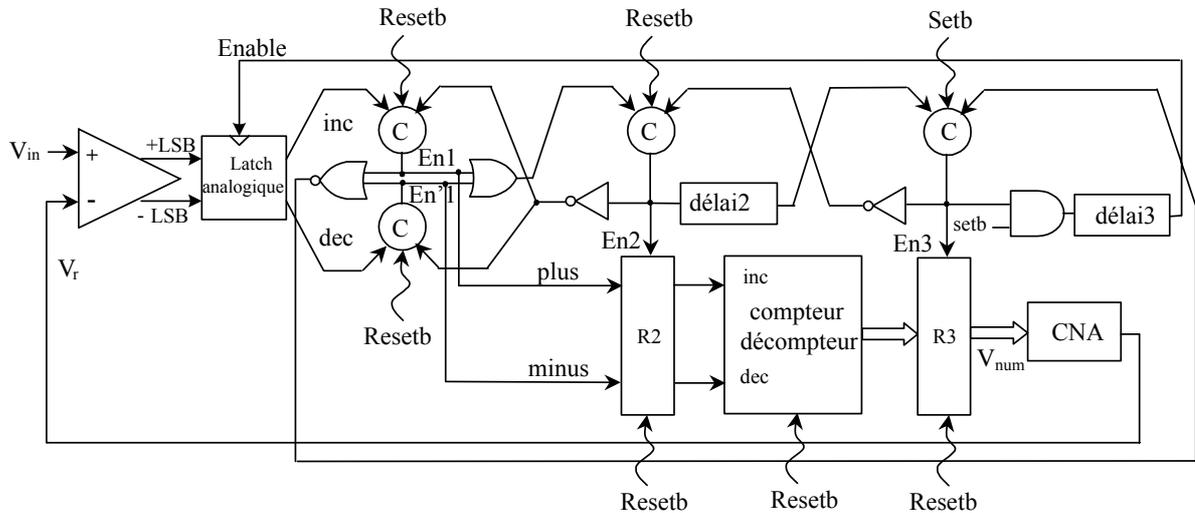


Figure 69 : Schéma électrique du CAN-A sans le timer.

3.5.2 Simulations fonctionnelles du CAN-A

Le CAN-A tel qu'il a été présenté Figure 69 a été modélisé d'un point de vue fonctionnel en VHDL-AMS et simulé sous le logiciel ADVance-MS [ALL 02c]. De même, un CAN à Approximations Successives a été modélisé, pour une comparaison des deux modes de conversion. Pour cela, les deux convertisseurs ont été choisis avec la même résolution matérielle de 6-bits, et un signal analogique V_{in} respectant la condition de

poursuite (64) pour le CAN-A. Les valeurs de dynamique d'entrée ΔV_{in} , de temps de boucle $\delta...$ sont arbitraires car il s'agit de modélisations comportementales.

Un exemple de conversion est décrit Figure 70 où sont donnés : le signal analogique à convertir (a), le signal de référence V_r en sortie du CNA pour le CAS (c) et pour le CAN-A (e). Les occurrences des cycles de conversion sont représentées en (b) pour le CAS et en (d) pour le CAN-A. Les différences entre les deux modes de conversion sont immédiatement visibles. Dans le cas asynchrone, l'activité du circuit est directement corrélée à celle du signal : plus le signal évolue et plus le nombre moyen de cycles par seconde est important. Pour le CAS, les échantillons sont prélevés et convertis par ordre de l'horloge externe, indépendamment de la valeur instantanée de V_{in} . Des résultats plus intéressants ne peuvent être déduits de ces simulations car la résolution matérielle des deux convertisseurs a été prise de valeur identique, alors qu'il a été montré que dans le cas du CAN-A, l'échantillonnage par traversées de niveaux engendre une résolution matérielle pouvant être beaucoup plus faible que celle de son homologue à échantillonnage de Nyquist, pour un SNR identique. Des comparaisons précises en terme de nombre moyen de cycles par seconde sont présentées dans le paragraphe 3.6.

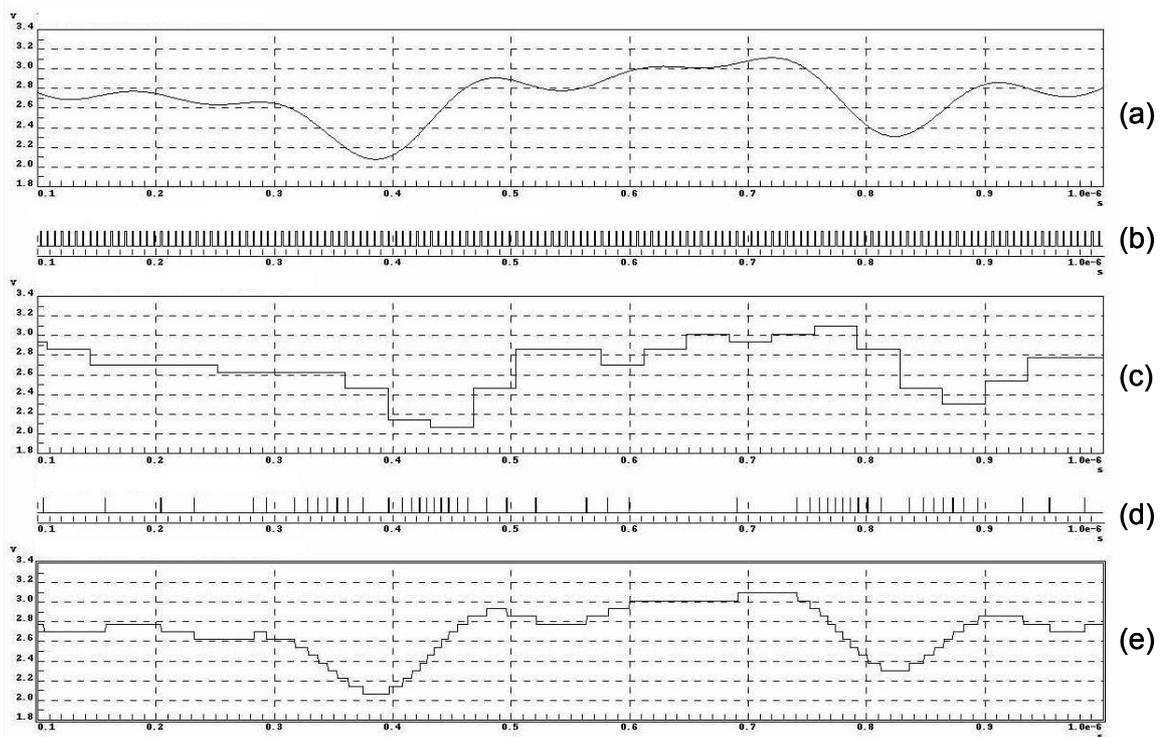


Figure 70 : (a) Signal analogique V_{in} à convertir, (b) Occurrences des cycles de conversion du CAN à Approximations Successives, (c) Signal de référence V_r en sortie du CNA du CAN AS, (d) Occurrences des cycles de conversion du CAN-A, (e) Signal de référence V_r en sortie du CNA du CAN-A.

3.6 Evaluation des performances

Dans ce paragraphe, des comparaisons en terme d'activité, par estimation du nombre moyen de cycles par seconde entre les différents circuits de conversion, sont données. Ceci ne constitue qu'une première estimation des performances des CAN-As car ces études ne sont menées qu'au niveau comportemental.

3.6.1 Par rapport à un CAN synchrone de Nyquist

Le CAN-A peut tout d'abord être évalué par rapport à un convertisseur de Nyquist classique. Pour le choix de la référence de conversion synchrone, plusieurs architectures sont envisageables.

En terme de fonctionnement, le CAN de poursuite est le plus proche (cf. paragraphe 1.2.1.2), cependant pour une résolution de N -bits, la conversion d'un échantillon nécessite dans le pire cas $2^N - 1$ cycles. Si δ est le temps de boucle, défini comme pour le CAN-A, la fréquence maximale $f_{\max-CAN-p}$ du signal analogique pouvant être traitée est :

$$f_{\max-CAN-p} = \frac{1}{2.(2^N - 1).\delta} \quad (88)$$

De même, un CAN à Approximations Successives peut être envisagé. Il est d'un point de vue matériel identique au CAN de poursuite, sauf que l'algorithme de conversion implémenté permet la conversion d'un échantillon numérique en seulement N cycles. Si δ est le temps de boucle, la fréquence maximale $f_{\max-CAN-AS}$ du signal analogique pouvant être traitée est :

$$f_{\max-CAN-AS} = \frac{1}{2.N.\delta} \quad (89)$$

Pour un CAN-A de résolution matérielle M -bits, la conversion d'un échantillon ne nécessite qu'un seul cycle. De plus, pour un temps de boucle δ fixé par la conception des différents blocs, la fréquence maximale $f_{\max-CAN-A}$ du signal d'entrée pouvant être traité est donnée par la condition de poursuite et le théorème de Bernstein (cf. paragraphe 4.1.1):

$$f_{\max-CAN-A} = \frac{1}{2.\pi.\delta.(2^M - 1)} \quad (90)$$

Si le CAN-A et les deux CANs synchrones de référence sont tous deux issus de la même technologie et de conception similaire, le temps de boucle δ pour ces trois convertisseurs peut être supposé similaire. Quelles que soient les valeurs de N et de M , soit f_{\max} la fréquence maximale commune pouvant être traitée par ces trois convertisseurs :

$$f_{\max} = \min\{f_{\max-CAN-p}, f_{\max-CAN-AS}, f_{\max-CAN-A}\} \quad (91)$$

Soit un signal analogique de bande passante f_{max} , le nombre moyen de cycles par seconde pour les différents convertisseurs est :

Pour la CAN de poursuite :

$$f_{cycle-CAN-p} = 2.(2^N - 1).f_{max} \quad (92)$$

Pour le CAN à approximations successives :

$$f_{cycle-CAN-AS} = 2.N.f_{max} \quad (93)$$

Pour le CAN-A, la valeur optimale de M est choisie en fonction de la méthodologie de conception développée au paragraphe 4.1.2. Sachant de plus qu'un seul cycle de conversion est nécessaire pour une conversion :

$$f_{cycle-CAN-A} \approx 2.f_{max} \quad (94)$$

Ainsi, quelle que soit la résolution matérielle du CAN-A et la résolution effective visée, le CAN-A est toujours meilleur que les CANs synchrones au niveau du nombre moyen de cycles par seconde. Des conclusions en terme de consommation sont cependant difficiles à estimer à ce stade. En effet, bien que cette comparaison mette en œuvre des convertisseurs d'architecture très semblables, leur résolution (M et N) peuvent être très différentes, ainsi que la complexité du matériel. De plus, ces deux genres de CANs ne rendent pas le même service : les échantillons numériques en sortie du CAN-A ne sont pas uniformément répartis dans le temps contrairement aux convertisseurs de Nyquist. Des études plus précises sont développées dans le paragraphe suivant où des chaînes de conversion « comparables » sont étudiées.

3.6.2 Par rapport à un CAN synchrone sur-échantillonné

Bien que le but de la nouvelle approche de la conversion analogique numérique présentée dans cette thèse soit d'utiliser directement les couples amplitude/temps afin de réaliser des traitements numériques, il est possible d'envisager l'utilisation du CAN-A dans une chaîne classique synchrone de traitement du signal. Dans ce cas, les échantillons répartis non uniformément dans le temps en sortie du CAN-A doivent être ré-échantillonnés à la fréquence de Nyquist. Un étage d'interpolation doit donc être ajouté en sortie du convertisseur afin d'obtenir en sortie les échantillons numériques codés sur $ENOB$ -bits et échantillonnés à la fréquence f_{Nyq} . N. Sayiner *et al.* [SAY 94], [SAY 96] ont montré que ce traitement peut être effectué par une interpolation polynomiale d'ordre 2. Dans ce cas la chaîne complète de conversion est donnée Figure 71 où sont présents le *front-end* de conversion (le CAN-A), et l'étage numérique de reconstruction (l'interpolateur polynomiale d'ordre 2).

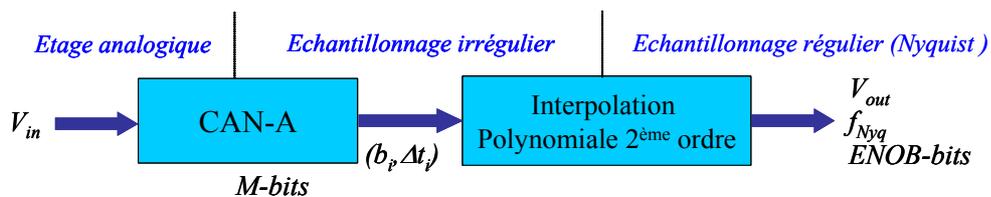


Figure 71 : CAN-A utilisé dans un environnement à échantillonnage de Nyquist.

Un circuit de référence est maintenant nécessaire afin de comparer cette approche avec un système de conversion classique à échantillonnage synchrone. Cela nécessite une chaîne de conversion à échantillonnage régulier comparable à l'architecture asynchrone présentée Figure 71, i.e. de complexité similaire, et avec les mêmes signaux analogiques d'entrée et numériques de sortie.

En conversion analogique numérique usuelle, le fait de sur-échantillonner permet d'augmenter la résolution effective. La relation théorique est donnée paragraphe 1.1.2.2. Ainsi en prenant un convertisseur synchrone de résolution M -bits, puis en ajoutant un étage numérique de décimation, les $ENOB$ -bits de résolution effective peuvent être obtenus en sortie du convertisseur à la fréquence f_{Nyq} . Dans ce cas, la même sortie que la chaîne de conversion donnée Figure 71 est obtenue. Pour l'étage *front-end* de conversion, un convertisseur à approximations successives (CAS) de M -bits est retenu, afin d'avoir des étages de complexité et d'architecture très similaires en synchrone et en asynchrone. Ainsi la chaîne complète de conversion synchrone est composée d'un CAN à approximations successives et d'un filtre à décimation tel qu'il est indiqué Figure 72.

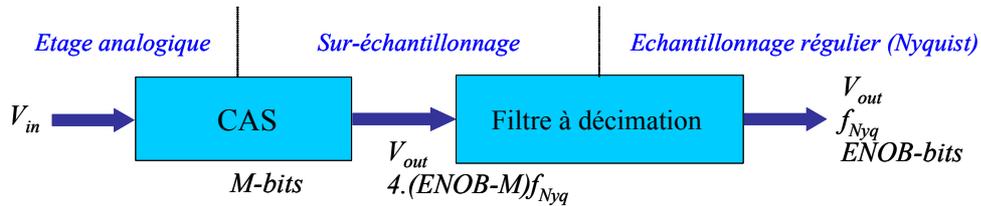


Figure 72 : CAN à approximations successives sur-échantillonné de référence.

Pour la chaîne de conversion synchrone, 1 -bit de résolution effective est gagné lorsque la fréquence d'échantillonnage est multipliée par un facteur quatre (cf. équation (22)). Ainsi, si une résolution effective de $ENOB$ -bits doit être atteinte avec un convertisseur de M -bits, la fréquence d'échantillonnage f_{ech} doit vérifier :

$$f_{ech} = 4.(ENOB - M).f_{Nyq} \quad (95)$$

Le filtre décimateur en sortie du CAS sous-échantillonne donc les échantillons avec le taux :

$$R = \frac{1}{4.(ENOB - M)} \quad (96)$$

Afin de simplifier cette étude, les deux étages numériques en sortie des chaînes de conversion synchrone et asynchrone sont considérés comme similaires en terme de complexité et d'activité. Cette hypothèse simplificatrice est en défaveur du CAN-A puisqu'un filtre à décimation est beaucoup plus complexe en terme de matériel et d'activité qu'un interpolateur polynomial d'ordre deux.

Qu'en est-il de l'activité du *front-end* analogiques pour les deux chaînes de conversion ?

Pour le CAN-A, le nombre moyen d'échantillons par seconde est fixé car la résolution matérielle est figée à M -bits et que la classe de signaux analogiques V_{in} est parfaitement

déterminée. De plus, pour la conversion asynchrone, seul un cycle est nécessaire pour la conversion d'un échantillon. Soit $f_{cycl-async}$ le nombre moyen de cycles par seconde du CAN-A. D'après la méthodologie de dimensionnement des CAN-As proposée Chapitre 4, la résolution M du convertisseur a été choisie de façon à avoir un nombre moyen d'échantillons par seconde vérifiant juste la fréquence de Nyquist du signal à convertir, ainsi :

$$f_{cycle-async} \approx f_{Nyg} \quad (97)$$

Pour le CAS, si M est la résolution matérielle du convertisseur, M cycles sont nécessaires afin de convertir un échantillon. En tenant compte de la relation (95), le nombre de cycles par seconde $f_{cycl-sync}$ du CAN est donné par la relation :

$$f_{cycle-sync} = 4.M.(ENOB - M).f_{Nyg} \quad (98)$$

Le gain en terme d'activité pour la chaîne de conversion asynchrone par rapport à la chaîne de conversion synchrone, nommé $G_{\%}(cycles/sec)$, s'exprime par la relation :

$$G_{\%}(cycles/sec) \approx 100. \left[\frac{f_{cycl-sync} - f_{cycl-async}}{f_{cycl-sync}} \right] \quad (99)$$

Soit, avec les relations (95) et (97) :

$$G_{\%}(cycles/sec) \approx 100. \left[1 - \frac{1}{4.M(ENOB - M)} \right] \quad (100)$$

Les résultats sont donnés Figure 73 en fonction de la résolution matérielle M du CAN-A et de la résolution effective $ENOB$ visée. Ces résultats sont bien sûr valides uniquement si la résolution effective est supérieure à la résolution matérielle ($ENOB \geq M$). Le gain en terme de cycles par seconde est de presque deux ordres de grandeur en passant d'une chaîne de conversion synchrone à son « homologue » asynchrone. Ainsi, les CAN-As pourraient être utilisés avec succès dans les chaînes de conversion de Nyquist afin de réduire leur activité. En effet, en première approximation, compte tenu du fait que la consommation électrique d'un circuit est corrélée à son activité, de forts gains en énergie seraient observés.

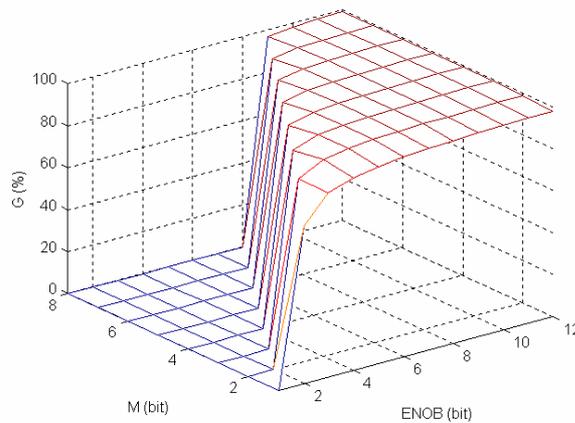


Figure 73 : Gain en % de l'activité d'une chaîne de conversion à échantillonnage asynchrone par rapport à son équivalent à échantillonnage régulier.

3.7 Conclusion

Ce Chapitre a présenté les premières contributions de ce travail de thèse. Il a tout d'abord été expliqué les principes de cette nouvelle famille de convertisseurs analogiques numériques basés sur l'utilisation simultanée d'une conception asynchrone et d'un échantillonnage irrégulier. Ces deux caractéristiques induisent une réelle convergence entre le mode d'échantillonnage et l'implémentation matérielle. Ces nouveaux convertisseurs ont été appelés CAN-As pour *CANs Asynchrone*. Contrairement à d'autres travaux pouvant être trouvés dans la littérature, le terme « asynchrone » définit ici aussi bien le mode de conception que le type d'échantillonnage.

Le principe de l'échantillonnage non régulier dans le temps a conduit à des calculs de rapport signal sur bruit complètement différents de ceux du cas synchrone. Ceux-ci ont été présentés dans le cas général puis détaillés pour différentes familles de signaux analogiques usuels : un signal sinusoïdal pur, un signal de densité spectrale de puissance constante, un signal de parole et un signal audio.

La nouvelle boucle de conversion a alors été comparée aux structures similaires synchrones telles que le convertisseur à approximations successives ou le convertisseur de poursuite. Elle a également été comparée aux chaînes de modulation classiques (PCM, DPCM, $\Sigma\Delta$). Il en résulte que la nouvelle approche de conversion décrite dans cette thèse est tout à fait originale.

Enfin, le choix retenu pour l'implémentation structurelle du convertisseur asynchrone, basée sur un circuit micropipeline à trois étages et un protocole quatre-phases, a été présentée, et des simulations fonctionnelles ont été réalisées. Une première estimation des performances des CAN-As a été donnée en terme de nombre moyen de cycles par seconde. Elle a été comparée à l'activité des CANs de Nyquist, et il a été montré que le nombre moyen de cycles par seconde du CAN-A est toujours très inférieur à celui des CANs de Nyquist. Enfin des comparaisons au niveau système ont été réalisées en considérant un CAN-A dans un contexte synchrone et une chaîne de conversion sur-échantillonnée équivalente. Il a été démontré dans ce cas, que l'activité moyenne du CAN-A est d'environ deux ordres de grandeur inférieure à celle d'une chaîne de conversion issue d'une conception entièrement synchrone. Ceci laisse espérer des gains très significatifs en terme de consommation électrique.

4

Chapitre 4 : Méthodologie Générale de Conception des CAN-As

Comme il a été présenté au Chapitre 3, le principe de fonctionnement du CAN-A se démarque complètement des approches synchrones usuelles. La théorie associée conduit donc à une méthodologie de conception originale et propre à cette nouvelle famille de convertisseurs.

Celle-ci se situe tout d'abord au niveau système [ALL 03a], [ALL 03b] où les caractéristiques haut niveau du CAN-A sont déterminées en fonction de la classe de signaux analogiques à convertir et de l'application ciblée. Elle a pour objectifs de réduire le matériel et l'activité du convertisseur en vue de limiter sa consommation électrique. Pour cela, toutes les caractéristiques du signal analogique, fréquentielles et statistiques sont utilisées.

La méthode se situe enfin au niveau transistor où toutes les caractéristiques analogiques des composants du CAN-A sont modélisées, afin de garantir la résolution effective finale ciblée pour l'application. Pour cela, plusieurs implémentations électriques sont présentées, leur choix final dépend de l'application ciblée (cf. Chapitre 5). Ces résultats théoriques sont étudiés dans le cadre d'une conception analogique en mode courant puis d'une conception en mode tension.

4.1 Méthodologie générale de conception au niveau système

Dans cette partie est décrit la théorie permettant de déterminer la valeur optimale des quatre paramètres définissant un CAN-A au niveau système. Il y a le temps de boucle maximal δ_{max} , la résolution matérielle minimale M du CAN-A, la résolution matérielle maximale M_{timer} du timer, et enfin la période maximale T_C de l'horloge du timer.

4.1.1 Temps de boucle

Comme indiqué au paragraphe 3.2.1, le temps de boucle δ du CAN-A est fini. Afin de déterminer le temps de boucle maximal δ_{max} acceptable pour un signal V_{in} donné, le théorème de Bernstein [DEL 91] est utilisé :

Pour un signal V_{in} de bande limitée f_{max} et borné en amplitude ΔV_{in} , alors sa pente est également limitée, selon la relation suivante :

$$\left| \frac{\partial V_{in}}{\partial t} \right| \leq 2 \cdot \pi \cdot \Delta V_{in} \cdot f_{max}. \quad (101)$$

En utilisant la condition de poursuite exprimée par la relation (64), et en supposant que la dynamique du signal correspond à toute la dynamique d'entrée du convertisseur, le temps de boucle maximal s'exprime par :

$$\delta_{max} = \frac{1}{2 \cdot \pi \cdot f_{max} \cdot (2^M - 1)} \quad (102)$$

Pour un signal analogique V_{in} donné, le temps de boucle δ doit toujours vérifier :

$$\delta \leq \delta_{max} \quad (103)$$

Dans ce cas, pour un temps de boucle δ ainsi fixé, la fréquence maximale f_{max} de V_{in} pouvant être traitée par le CAN-A est donnée par :

$$f_{max} = \frac{1}{2 \cdot \pi \cdot \delta \cdot (2^M - 1)} \quad (104)$$

4.1.2 Résolution matérielle

En échantillonnage synchrone, le théorème de Shannon [OPP 95] fixe clairement la valeur minimale de la période d'échantillonnage à implémenter selon la relation (51). Des éléments de théorie sont énoncés à ce sujet au paragraphe 2.2.1.

Dans le cas de l'échantillonnage par traversées de niveaux mis en œuvre dans le cadre du CAN-A, la généralisation du théorème de Shannon démontrée par F.J. Beutler [BEU 66] est utilisée. Ce théorème est présenté au Chapitre 2. Celui-ci impose une condition sur le nombre moyen d'échantillons par seconde pour qu'aucune perte d'information ne soit effectuée lors du processus d'échantillonnage. Bien sûr, il n'est pas forcément

souhaité dans ces travaux de reconstruire le signal continu original. Cependant, aucune violation au niveau de la théorie du traitement du signal n'est faite en première approche.

Deux méthodes sont envisageables afin de déterminer la fréquence moyenne d'échantillonnage d'un signal continu V_{in} dans le contexte du CAN-A.

La première méthode consiste simplement à réaliser des simulations fonctionnelles en C, Matlab... du convertisseur. Pour une valeur fixée de M , $2^M - 1$ niveaux de quantification sont implémentés, la fréquence moyenne d'échantillonnage d'un signal est déterminée par une modélisation de l'échantillonnage par traversées de niveaux. La valeur minimale de M en est donc directement déduite afin de respecter le théorème de Beutler. Il faut pour cela bien sûr disposer d'une base de données avec des signaux réels sous forme numérique avec une haute résolution, c'est-à-dire supérieure à la résolution effective du CAN-A modélisé.

La deuxième méthode consiste à déterminer théoriquement la valeur minimale de M . Pour cela des calculs assez laborieux et non triviaux peuvent être menés. Par exemple, dans [MARK 81], J.W. Mark *et al.* les ont menées à partir de [BLAK 73] pour un signal analogique élémentaire : un signal gaussien de Densité Spectrale de Puissance constante. Le principe de calculs est le suivant :

L'allure de la DSP de ce genre de signaux est donnée Figure 59, soit $DSP(V_{in}) = |V_{in}(f)|^2$.

De plus, le signal est supposé gaussien et de moyenne nulle, la densité de probabilité de son amplitude est donnée par :

$$p(x) = \frac{1}{\sqrt{2\pi} \cdot \sigma_x} \cdot \exp\left(\frac{-x^2}{2\sigma_x^2}\right) \quad (105)$$

Le signal est étudié au voisinage d'une amplitude déterminée x_0 . Le nombre moyen de traversées de ce niveau par unité de temps dans la direction négative ou positive est donné par :

$$V(x_0) = \int_{-\infty}^{\infty} |x'| \cdot p(x_0, x') dx' \quad (106)$$

De plus, dans le cadre d'une source gaussienne, pour le signal dérivé x' :

$$p(x') = \frac{1}{\sqrt{2\pi} \cdot \sigma'_x} \cdot \exp\left(\frac{-x'^2}{2\sigma_x'^2}\right) \quad (107)$$

avec

$$\sigma'_x = \frac{\pi \cdot f_B}{\sqrt{3}} \cdot \sigma_x \quad (108)$$

Ainsi, des relations (106), (107), et (108), il vient :

$$V(x_0) = \frac{f_B}{\sqrt{3}} \cdot \exp\left(\frac{-x_0^2}{2\sigma_x^2}\right) \quad (109)$$

Pour connaître le nombre moyen d'échantillons f_{ech} par seconde, il faut faire la somme des $V(x_0)$ pour tous les niveaux de quantification. Après calculs, la fréquence moyenne d'échantillonnage s'exprime par :

$$\frac{1}{f_{ech}} \approx \sqrt{\frac{3}{2 \cdot \pi}} \cdot \frac{1}{f_B} \cdot \frac{q}{\sigma_x} \quad (110)$$

La dynamique de l'amplitude du signal gaussien correspond de 5% à 95% à la dynamique d'entrée ΔV_{in} du CAN. Pour que 99,7% des échantillons soient dans cette plage, il faut :

$$6 \cdot \sigma_x = 0,9 \cdot \Delta V_{in} \quad (111)$$

Compte tenu de la valeur du quantum donnée par (63), de (110) et (111), la fréquence moyenne d'échantillonnage est :

$$\frac{1}{f_{ech}} \approx \frac{4,606}{f_B \cdot (2^M - 1)} \quad (112)$$

Ainsi, afin de vérifier la condition de F. J. Beutler, il faut que la condition suivante soit vérifiée :

$$(2^M - 1) \geq 9,21 \quad (113)$$

La valeur minimale de la résolution matérielle M minimale en est donc déduite.

Des hypothèses simplificatrices ont été adoptées pour mener à bien ces calculs. Tout d'abord, un nombre infini de niveaux de quantifications a été considéré, ainsi la série de terme général donné par (109) est facilement calculable. De plus, la pente du signal a été supposée illimitée, comme indiqué dans la relation (106), alors qu'en pratique la pente d'un signal à amplitude et fréquence limitées est bornée par une valeur finie par le théorème de Bernstein.

De plus, le fait que le signal d'entrée soit gaussien est très intéressant d'un point de vue calculatoire. En effet des caractéristiques sur la dérivée du signal peuvent être déduites. Ceci permet de calculer facilement la valeur de la densité de probabilité dans l'intégrale donnée par la relation (106). Par exemple, l'utilisation d'un signal de parole serait beaucoup plus complexe pour ce genre de calculs. Si la densité de probabilité d'un signal de parole est donnée par une distribution de Laplace [RAB 78] :

$$p(x) = \frac{1}{\sqrt{2} \cdot \sigma_x} \cdot \exp\left(\frac{-\sqrt{2} \cdot |x|}{\sigma_x}\right) \quad (114)$$

rien ne peut être déduit quant à la densité de probabilité de l'amplitude de sa dérivée. Dans ce cas, une approche, comme celle indiquée dans la première méthode, est plus immédiate à mettre en œuvre afin de déterminer la résolution matérielle minimale M .

4.1.3 Période du Timer

L'application visée pour le CAN-A étant fixée, le nombre effectif de bits (ENOB – *Effective Number Of Bits*) ou Résolution Effective est connu. En raisonnant en synchrone, d'après la relation (11), connaissant les caractéristiques du signal d'entrée, l'expression théorique du rapport signal sur bruit peut être déterminée et donc la valeur du SNR à atteindre calculée. De même dans le cas asynchrone, l'expression théorique du SNR est calculée d'après la relation générale (71). Le SNR doit être égal au SNR calculé en synchrone. Tous les paramètres sont maintenant connus et la valeur mini-

male de la période T_C du timer à implémenter pour le CAN-A en est immédiatement déduite.

4.1.4 Résolution du Timer

La détermination du nombre de bits M_{timer} pour le codage des intervalles de temps Dt_i entre les échantillons dépend de l'approche choisie pour la conception de la partie analogique (cf. paragraphe 4.2). Des considérations au niveau de la précision des blocs analogiques du CAN-A doivent être prises en compte.

Quel que soit le mode de conception, la valeur du temps maximal Dt_{max} entre deux échantillons pouvant être fournie par le timer vaut :

$$Dt_{max} = (2^{M_{timer}} - 1)T_C \quad (115)$$

4.1.4.1 En mode courant

Dans ce type d'approche, l'information utile du signal est représentée sous forme de courants. Soit le cas où le signal analogique V_{in} à convertir ne change pas de manière significative, la référence de courant I_{CNA} (cf. Figure 75) fournie par le CNA est strictement constante, et ne dérive pas dans le temps, car elle est fixée par des sources de courant. Le système fournit donc un échantillon à chaque modulo du timer, tous ces échantillons sont redondants car V_{in} est constant. En théorie, il n'y a aucune limite quant au choix de la valeur de M_{timer} . Celle-ci peut donc être fixée en choisissant un compromis entre le matériel mis en œuvre pour le timer et la fréquence des occurrences des échantillons redondants. Ce choix dépendra du type de signaux à convertir par le CAN-A.

4.1.4.2 En mode tension

Dans ce type d'approche, l'information utile du signal est représentée sous forme de tensions. Pour cette approche, le choix de la résolution du timer est plus complexe. Soit le cas où le signal analogique V_{in} est constant, la référence de tension V_{CNA} fournie par le CNA est théoriquement constante. En pratique, le CNA étant réalisé à partir de capacités, les courants de fuite de ces dernières engendrent une dérive de la tension de référence. Celle-ci ne doit pas changer de plus d'un demi-LSB de résolution effective, afin d'assurer la résolution de $ENOB$ -bits souhaitée pour le CAN-A (cf. paragraphe 4.2.3).

Lors de la conception du circuit, pour la technologie utilisée, le *Design Rule Manual* fourni par le fondeur donne les valeurs numériques du courant de fuite par unité de surface $I_{leak/C}$ pour les capacités. Si une variation de tension V_C est considérée aux bornes d'une capacité due aux courants de fuite, en fonction du temps, alors :

$$\frac{dV_C}{dt} = \frac{I_{leak}}{C} = I_{leak/C} \quad (116)$$

Dans le pire des cas, la tension V_{in} à convertir par le CAN-A reste constante pendant un cycle complet du timer, soit une durée Dt_{max} (cf. relation (115)). La variation maximale de tension ΔV_{C-max} aux bornes de la capacité vaut :

$$\Delta V_{C-max} = I_{leak/C} \cdot (2^{M_{Timer}} - 1) T_C \quad (117)$$

Afin de ne pas dégrader les *ENOB-bits* de résolution effective souhaités pour le CAN-

A final, la condition suivante doit être vérifiée : $\Delta V_C \leq \frac{q_{V-ENOB}}{2}$ (cf. paragraphe 4.2.1),

soit:

$$I_{leak/C} \cdot (2^{M_{Timer}} - 1) T_C \leq \frac{\Delta V_{in}}{2 \cdot (2^{ENOB} - 1)} \quad (118)$$

Cette relation permet de fixer la résolution M_{timer} du timer, car tous les autres paramètres sont fixés par la méthodologie de conception ou par la technologie:

$$M_{Timer} \approx \ln_2 \left(\frac{\Delta V_{in}}{2 \cdot I_{leak/C} \cdot T_C \cdot (2^{ENOB} - 1)} \right) \quad (119)$$

4.2 Méthodologie générale de conception au niveau transistor

Les blocs analogiques du CAN-A sont délicats à concevoir, puisque leurs caractéristiques ne doivent pas dégrader les performances du convertisseur. Pour cela, les paramètres de conception de chaque bloc analogique sont ici clairement identifiés et modélisés afin de respecter la résolution de *ENOB-bits* ciblée pour l'application finale. Pour cela, quel que soit le mode choisi pour la conception de la partie analogique, seuls des choix architecturaux ont été ébauchés pour les CNAs du CAN-A. Ainsi, pour tous les autres blocs, les relations théoriques sont valides, quelle que soit leur implémentation électrique.

4.2.1 Une précision de ENOB-bits

Jusqu'à présent, les niveaux de référence donnés Figure 58 dans le cadre d'un échantillonnage par traversées de niveaux ont été supposés idéaux. Cette hypothèse conduit aux calculs de SNR donnés au paragraphe 3.2.2. En pratique, compte tenu de toutes les imperfections des sous-blocs du CAN-A, chaque niveau i , n'est connu qu'avec une précision δv_i . Soit δ_L l'erreur maximale de position parmi tous les niveaux de référence, lors de la traversée d'un niveau par V_{in} , cette erreur s'ajoute à l'erreur en amplitude δV due à la quantification temporelle. Le rapport signal sur bruit s'en trouve alors dégradé. La Figure 58 est redonnée Figure 74 en tenant compte de cette imprécision sur les niveaux de quantification.

Dans la relation (65), il faut tenir compte de cette incertitude en amplitude. Les deux contributions étant indépendantes, il vient :

$$P(\delta V) = P\left(\frac{\partial V_{in}}{\partial t}\right) \cdot P(\delta t) + P(\delta_L) \quad (120)$$

La relation générale du SNR dans le cas asynchrone devient alors :

$$SNR_{dB} = 10 \cdot \log \left(\frac{3 \cdot P(V_{in})}{P\left(\frac{\partial V_{in}}{\partial t}\right) \cdot \frac{T_C^2}{3} + \delta_L} \right) \quad (121)$$

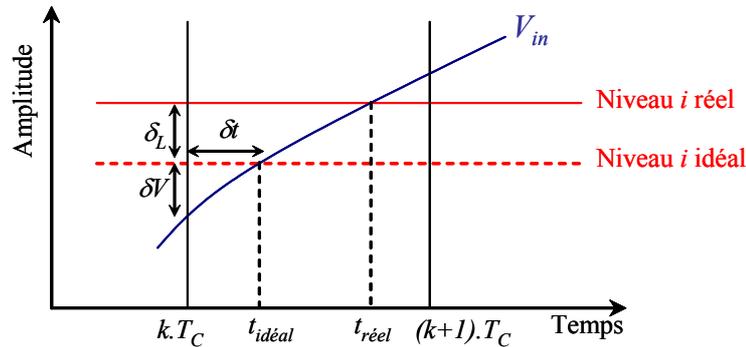


Figure 74 : Erreur de quantification lors de la traversée d'un niveau de quantification lorsque sa position n'est pas précise.

Dans la pratique, la formule générale idéale (71) est conservée et sert de référence pour la méthodologie de conception au niveau système.

En pratique, afin que la résolution effective souhaitée soit respectée, i.e. afin que le SNR ne soit pas dégradé, il faut que l'erreur de précision maximale des niveaux de quantification vérifie :

$$\delta_L < \frac{\Delta V_{in}}{(2^{ENOB} - 1)} \quad (122)$$

C'est le même genre de considération qui est pris en compte lors de la conception de convertisseurs synchrones [JOH 96]. Dans ce cas, la relation théorique du SNR donnée en (15) est toujours conservée, et les contraintes de conception des blocs analogiques doivent respecter la précision correspondante.

4.2.2 En mode courant

Dans ce cas, l'information utile analogique est représentée sous forme de courants. A première vue, le mode courant semble l'approche la plus évidente pour la conception de la partie analogique [KOLI 00]. En effet, il est dans ce cas facile de mettre en œuvre des circuits malgré la faible dynamique en tension lorsque V_{dd} est très faible, car le choix du quantum en courant en est décorrélé. De plus, l'approche en courant donne des circuits beaucoup plus rapides car la présence d'Amplificateurs Opérationnels,

connus pour ralentir les systèmes électroniques, n'est pas nécessaire. Enfin il est aussi très aisé de faire des différences, des recopies, des multiplications de courants par des simples jeux de miroirs N et P. Le travail en mode courant nécessite par contre la conception d'une transconductance en entrée du convertisseur. En effet, il est supposé à priori que l'information analogique d'entrée est une tension comme c'est habituellement le cas, cette tension V_{in} doit donc être convertie en un courant. Quatre blocs sont donc étudiés ici : la transconductance, le comparateur, le CNA, et les différents jeux de miroirs.

Il a été vu que la partie analogique du CAN-A ne doit pas dégrader la résolution effective finale visée. Cette condition fixe des contraintes de conception pour chacun des quatre blocs analogiques. La valeur du quantum en courant à l'issue du dimensionnement du CNA est q_I , la valeur du quantum q_{I-ENOB} correspondant à une résolution effective de $ENOB$ -bits est :

$$q_{I-ENOB} = \frac{(2^M - 1)q_I}{(2^{ENOB} - 1)} \quad (123)$$

Le quantum effectif q_{I-ENOB} correspond au quantum du convertisseur synchrone de $ENOB$ -bits. En supposant que les contributions des blocs analogiques sont décorréélés, les caractéristiques de conception de chacun d'eux sont décrites dans les paragraphes suivants.

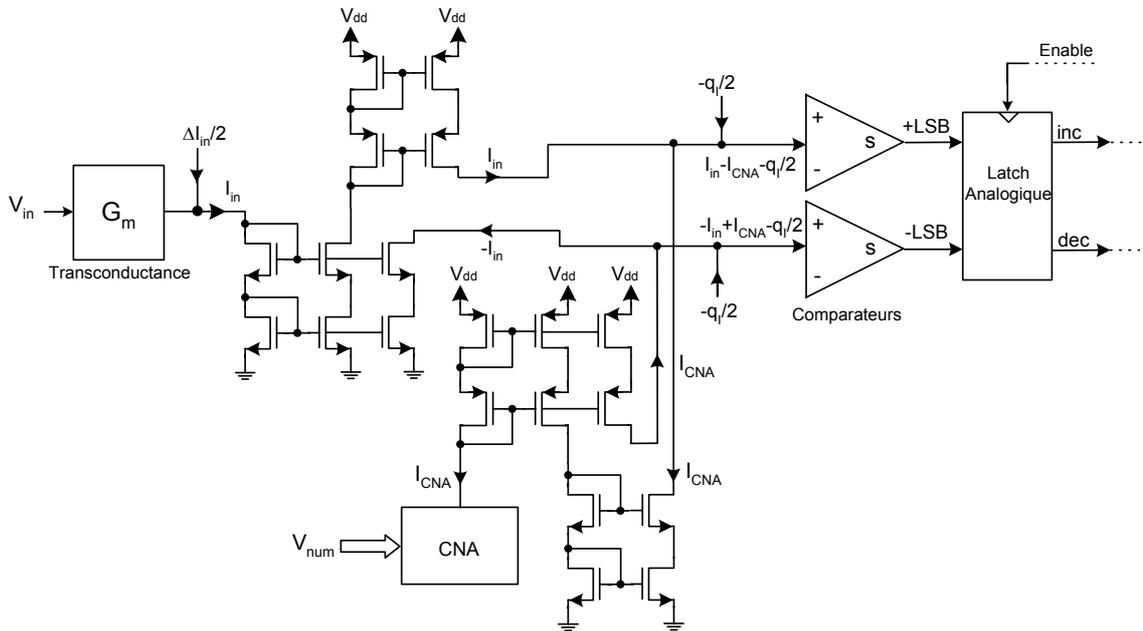


Figure 75 : Schéma de la partie analogique du CAN-A dans le cadre d'une conception analogique en mode courant.

Le schéma bloc retenu pour une implémentation en mode courant de la partie analogique du CAN-A est donné Figure 75. La transconductance transforme la tension d'entrée V_{in} en un courant d'entrée I_{in} de dynamique ΔI_{in} . Ce courant pouvant être positif ou négatif, une source de courant est ajoutée sur le nœud en sortie de la trans-

conductance afin de décaler le courant de sortie de $\Delta I_{in}/2$, ainsi le courant à convertir est toujours positif et appartient à l'intervalle $[0, \Delta I_{in}]$. Ce courant peut donc être recopié, dupliqué et inversé par un jeu de miroirs de courants, afin d'obtenir deux voies : I_{in} et $-I_{in}$. De même, en sortie du CNA composé de miroirs de type N, le courant est dupliqué et inversé par un jeu de miroirs de courants. En connectant les blocs tels que montré Figure 75, et en ajoutant deux sources de courant pour fournir les références de courant $q_I/2$ et $-q_I/2$, deux voies sont maintenant disponibles, la première avec le courant $I_{in} - I_{CNA} - \frac{q_I}{2}$, et la deuxième avec $-I_{in} + I_{CNA} - \frac{q_I}{2}$. Si $I_{in} - I_{CNA} - \frac{q_I}{2} > 0$, alors : $LSB+ = '1'$ et $LSB- = '0'$, si $-I_{in} + I_{CNA} - \frac{q_I}{2} > 0$, alors : $LSB+ = '0'$ et $LSB- = '1'$, sinon : $LSB+ = LSB- = '0'$.

4.2.2.1 Le convertisseur numérique analogique (CNA)

Il s'agit d'un bloc critique à concevoir. En effet, ses paramètres sont essentiels puisque sa surface constituera la quasi-totalité de la surface de la partie analogique du CAN-A. De plus, de sa conception est déterminée la valeur du quantum élémentaire en courant q_I , ce qui va fixer la consommation statique totale du CAN-A final. A l'issue de la conception du CAN-A, le quantum en courant q_I sera connu et servira alors de base pour le dimensionnement de tous les autres blocs analogiques.

4.2.2.1.1 Rappels sur les caractéristiques des CNAs

Les principaux paramètres des CNAs sont définis ici. Ceux-ci sont bien sûr indépendants de l'architecture retenue pour le circuit, et du mode de conception analogique.

La fonction de transfert d'un CNA idéal est représentée Figure 76, pour une résolution N de 3-bits. L'axe horizontal représente les états numériques discrets en entrée V_{num} , et l'axe vertical la sortie analogique V_{analog} . La dynamique du signal d'entrée V_{analog} est comprise entre gnd et V_{max} . Dans le cas idéal, la largeur et la hauteur d'une « marche » sont constantes et valent respectivement $1LSB$ et V_{LSB} .

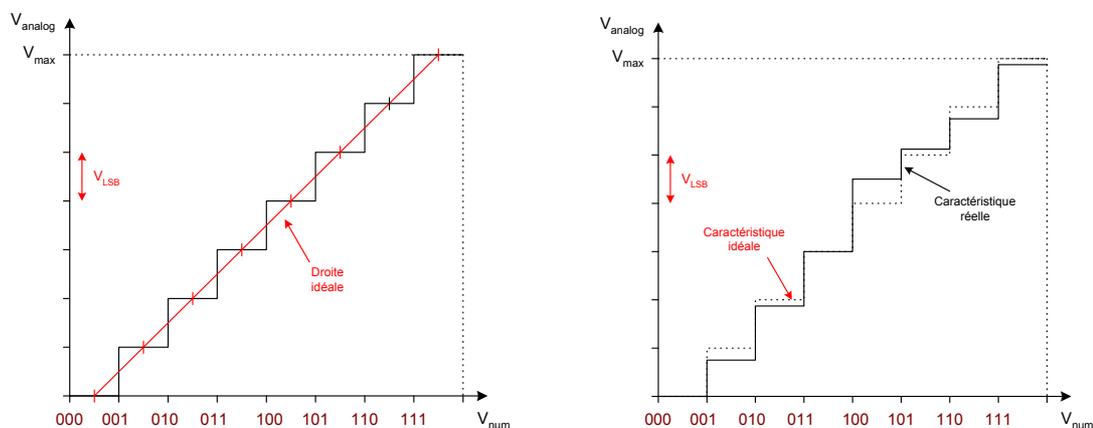


Figure 76 : Fonction de transfert d'un CNA idéal (a), et réel (b).

L'erreur d'offset est la valeur analogique de sortie V_{analog} lorsque la valeur numérique d'entrée V_{num} est nulle, exprimée en LSB. Cette erreur translate globalement toute la caractéristique du convertisseur, et peut facilement être supprimée. L'erreur de gain est définie comme étant la différence entre la valeur nominale de gain (le point extrême de la fonction de transfert : le point d'ordonnée V_{max}) et la valeur actuelle du gain défini comme la valeur analogique V_{analog} correspondant à la valeur maximale de l'entrée numérique V_{num} , exprimée en LSB. Cette erreur représente une différence de pente entre la fonction de transfert idéale et la fonction de transfert réelle : elle affecte globalement toutes les marches du même pourcentage de LSB. Cette erreur peut également être facilement compensée. Une fois que l'erreur d'offset et de gain ont été supprimées, la fonction de transfert d'un CNA réel peut avoir l'allure présentée Figure 76b. Contrairement à la Figure 76a, bien que la largeur des marches soit toujours rigoureusement égale à $1LSB$, leur hauteur n'est plus constante. Deux autres paramètres statiques sont maintenant définis: la DNL (*Differential Non-Linearity Error*) et l'INL (*Integral Non-Linearity Error*).

A partir de la fonction de transfert réelle d'un CNA, la DNL est définie, pour chaque marche, comme étant la variation de la hauteur de la marche autour de V_{LSB} , exprimée en pourcentage de V_{LSB} . Une courbe de DNL en fonction des codes numériques de la sortie V_{num} peut être tracée. Dans la littérature la DNL d'un CNA peut être aussi définie comme la valeur maximale des DNL ainsi calculées. Pour le cas idéal, la DNL vaut exactement zéro. Par contre, dans le cas réel, si elle excède $1LSB$, le convertisseur peut devenir non-monotone, i.e. la sortie V_{analog} peut diminuer si l'entrée V_{num} augmente.

L'INL, traduit la déviation des points de la fonction de transfert réelle d'une droite idéale. Cette dernière peut être définie de plusieurs façons : tout d'abord comme la droite joignant les deux points extrêmes de la caractéristique : $(000, 0)$ et $(111 V_{max})$ (cf. Figure 76a), elle peut aussi être définie comme la droite obtenue en minimisant l'erreur quadratique entre les points réels de la caractéristique... C'est généralement la première définition qui est la plus couramment utilisée. Comme pour la DNL, l'INL peut être tracée en fonction des codes numériques de la sortie V_{num} , et elle est aussi définie dans la littérature comme la valeur maximale des INL ainsi calculées. Pour le cas idéal, l'INL ainsi définie vaut exactement zéro. Le nom *Integral Non-Linearity Error* vient du fait que la somme de toutes les DNL comprises entre la première marche et celle fixée permet de trouver l'INL de cette dernière marche.

4.2.2.1.2 Architectures de conversion

En mode courant, la conception d'un CNA se ramène toujours à celle d'un réseau de sources de courant commandées par un code numérique en entrée $V_{num} = [b_0, b_1, \dots, b_{N-1}]$. Il existe plusieurs types d'architectures selon l'implémentation de cette matrice : les CNAs à miroirs pondérés (*binary weighted DAC*), les CNAs à code thermomètre (*thermometer coded DAC*) et enfin les montages hybrides utilisant les deux types d'architectures [LIN 98].

La structure la plus commune de CNAs est la structure à miroirs de courant pondérés. Son schéma de principe est donné Figure 77 : les interrupteurs s_i sont contrôlés par les

bits $b_0, b_1 \dots b_{N-1}$, N étant le nombre de bits du CNA, b_0 le bit de poids faible (LSB) et b_{N-1} le bit de poids fort (MSB). Lorsque le bit b_i est à '1', l'interrupteur s_i est fermé et le courant correspondant s'écoule vers la sortie. Dans ce type de convertisseurs, chaque source de courant d'indice i commandée par s_i est constituée de 2^i sources de courant élémentaires en parallèle. Le courant associé à cette source : $I_i = 2^i \cdot I_{unit}$ où I_{unit} est le courant débité par une source de courant élémentaire. Ainsi, à un instant donné t_0 , si l'entrée numérique $\{b_i(t_0)\}_{0 \leq i \leq N-1}$ est considérée, l'expression du courant de sortie du CNA est :

$$I_{out}(t_0) = \sum_{i=0}^{N-1} I_{unit} \cdot 2^i \cdot b_i(t_0) \quad (124)$$

soit :

$$I_{out}(B) = I_{unit} \cdot B, \text{ avec } B = \sum_{i=0}^{N-1} 2^i \cdot b_i(t_0) \quad (125)$$

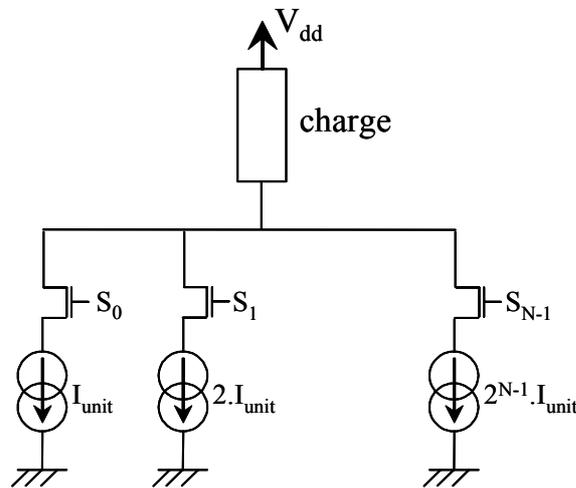


Figure 77 : Schéma de principe d'un CNA à miroirs pondérés.

Le principal inconvénient de cette architecture est l'existence d'aléas (*glitches*) en raison des délais qui existent dans le circuit lorsque les différents courants sont commutés. Lors d'une transition de l'entrée de '01111...1' à '10000...0', théoriquement le bit de MSB commute à '1' pendant que simultanément les $N-1$ bits de LSB commutent à '0', mais il est possible que les LSB commutent avant les MSB faisant passer temporairement le courant de sortie du CNA à zéro, ou bien que les MSB commutent avant les LSB faisant passer temporairement le courant de sortie du CNA à sa valeur maximale. Ces glitches sont coûteux en terme de consommation, mais du point de vue du fonctionnement même du CAN-A, il suffit de choisir un délai suffisamment long pour le contrôleur afin de s'affranchir de ces valeurs temporaires de sortie non valides.

Pour supprimer définitivement ce problème, une structure de conversion numérique analogique à code thermomètre peut être employée. Dans ce cas, pour N -bits de résolution, 2^N-1 sources élémentaires de courant I_{unit} sont implémentées. Les codes numériques sur N -bits en entrée sont convertis en un code thermomètre qui commande toutes les sources de courant. La même monotonie entre l'entrée numérique et la sortie

analogique est alors toujours garantie. Cependant ce type d'architecture nécessite la présence d'un décodeur pour transformer le code binaire naturel en code thermomètre, ce qui est coûteux en surface et en consommation. Pour le CAN-A, ceci n'est pas important car il est possible de choisir n'importe quel codage au niveau du compteur/décompteur, par exemple le code thermomètre. La présence de ce décodeur n'est pas nécessaire. Par contre la complexité de la partie numérique demeure puisqu'il faut alors, pour coder le même nombre d'états, 2^N-1 fils contre N pour un code binaire classique.

Quelle que soit l'architecture retenue, la surface de silicium occupée par la matrice de miroirs demeure identique : pour le code thermomètre, il y a 2^N-1 miroirs élémentaires, et pour le binaire classique, N miroirs, chacun constitué de 2^i miroirs élémentaires (i variant entre 0 et $N-1$). Par contre, la méthode générale de dimensionnement des CAN-As au niveau système assure une résolution matérielle toujours faible de M -bits pour permettre la reconstruction du signal continu original (cf. paragraphe 4.1.2). Ainsi le surplus de matériel engendré par l'utilisation du code thermomètre peut être considéré comme négligeable. De plus, pour la partie numérique concernant le compteur/décompteur, le fait de travailler en thermomètre est très simple d'un point de vue implémentation : le compteur et le registre $R2$ présentés Figure 69 peuvent être rassemblés pour constituer un simple registre à décalages (cf. Chapitre 5) commandé par les bits *inc* et *dec*. Un autre avantage du code thermomètre par rapport au binaire naturel est qu'il permet d'obtenir une erreur DNL bien plus faible. C.H. Lin *et al.* dans [LIN 98] ont travaillé sur deux CNA de 10-bits : le premier utilisant le code thermomètre constitué de 1024 sources de courant élémentaires, et le deuxième avec le code binaire classique, lui aussi constitué de 1024 sources élémentaires mais réparties de la manière suivante : 512 pour la cellule MSB, 256 pour la cellule MSB-1, 128 pour la cellule MSB-2, ..., 2 pour la cellule LSB+1 et enfin 1 pour la cellule LSB. Ils ont ensuite simulé sous Matlab une centaine de fois ces CNAs en introduisant une erreur de moyenne nulle et d'écart type $0.02LSB$ sur les cellules élémentaires. A partir de la moyenne de ces 100 simulations, l'INL est identique pour les deux convertisseurs et vaut environ $0.32LSB$, par contre la DNL vaut $0.02LSB$ pour le CNA à code thermomètre contre $0.64LSB$ pour le CNA à miroirs pondérés.

Il existe maintenant beaucoup de nouveaux montages hybrides qui utilisent simultanément les deux types de structures : il y a fractionnement des bits du convertisseur selon différents critères [KIM 98], [vPLAS 99], [vBUS 01], [ALBI 03] ... : les bits de LSB sont implémentés avec un CNA en binaire naturel et les bits de MSB avec un CNA à code thermomètre. Ces structures permettent de trouver de bons compromis entre les différents critères de qualité d'un CNA: rapidité, consommation, complexité et surface.

4.2.2.1.3 Méthode de dimensionnement

La solution du CNA à code thermomètre est retenue. Elle consiste à utiliser des sources de courant commandées par le code numérique V_{num} : il s'agit de 2^M transistors NMOS identiques fonctionnant en saturation comme il est présenté Figure 78. Il y a la référence donnant le courant I_R et 2^M-1 transistors dont le courant de sortie est pris en compte ou non. V_A est le potentiel de grille commun à tous les transistors.

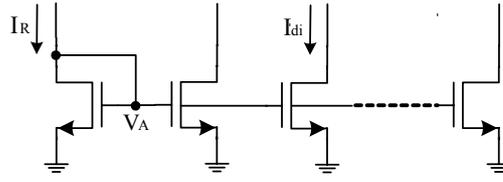


Figure 78 : Schéma électrique d'un CNA simple en mode courant.

La relation donnant la précision du courant de saturation I_D d'un transistor MOS est donnée par M. Pelgrom *et al.* dans [PEL 89]:

$$\left(\frac{\sigma_{I_D}}{I_D}\right)^2 = \frac{4 \cdot \sigma_{V_T}^2}{(\overline{V_{GS}} - \overline{V_T})^2} + \left(\frac{\sigma_\beta}{\overline{\beta}}\right)^2 \quad (126)$$

σ_{I_D} est l'écart type du courant de saturation et $\overline{I_D}$ sa valeur moyenne. $\overline{\beta} = \mu_o \cdot C_{ox} \cdot \frac{W}{L}$ est la valeur moyenne du gain β , et σ_β son écart type. $\overline{V_T}$ est la valeur moyenne de la tension de seuil V_T .

L'écart type de la tension de seuil V_T et du gain β sont donnés par les relations suivantes [PEL 89]:

$$\sigma_{V_T} = \frac{A_{V_T}}{\sqrt{W \cdot L}} \quad \text{et} \quad \left(\frac{\sigma_\beta}{\overline{\beta}}\right) = \frac{A_\beta}{\sqrt{W \cdot L}} + B_\beta \quad (127)$$

A_β , B_β et A_{V_T} sont des constantes liées à la technologie employée pour la conception du circuit.

Pour le miroir de référence fonctionnant en régime saturé [JOH 96], le courant de référence I_R s'exprime par:

$$I_R = \frac{\beta_R}{2} \cdot (V_A - V_{TR})^2 \quad (128)$$

Ainsi le potentiel de grille V_A commun à tous les transistors vaut :

$$V_A = V_{TR} + \sqrt{\frac{2 \cdot I_R}{\beta_R}} \quad (129)$$

De même, pour chaque source élémentaire de courant i , le courant de sortie vaut :

$$I_{di} = \frac{\beta_i}{2} \cdot (V_A - V_{Ti})^2 \quad (130)$$

Des relations (129) et (130), il vient :

$$I_{di} = \frac{\beta_i}{2} \cdot \left(V_{TR} - V_{Ti} + \sqrt{\frac{2 \cdot I_R}{\beta_R}} \right)^2 \quad (131)$$

Le courant maximal $I_{CNA-max}$ en sortie du CNA vaut :

$$I_{CNA-max} = \sum_{i=0}^{2^M-2} \frac{\beta_i}{2} \cdot \left(V_{TR} - V_{Ti} + \sqrt{\frac{2 \cdot I_R}{\beta_R}} \right)^2 = \sum_{i=0}^{2^M-2} \alpha_i \quad (132)$$

Le CNA doit avoir une précision de *ENOB-bits*, c'est à dire : $INL_{CNA} \leq \frac{q_{I-ENOB}}{2}$. Ainsi, pour que 99,7% des CNAs fabriqués vérifient cette condition, il faut :

$$3.\sigma_{I_{CNA-\max}} \leq \frac{(2^M - 1)\bar{I}_{di}}{2.(2^{ENOB} - 1)} \quad (133)$$

\bar{I}_{di} est la valeur moyenne du courant de la source élémentaire.

Le courant maximal de sortie du CNA est une fonction multi-variable : $I_{CNA-\max} = f(V_{TR}, V_{Ti}, \beta_i, \beta_R, I_R)$. Pour une fonction multi-variable : $f(x_1, x_2, \dots, x_n)$, l'écart type devient :

$$\sigma_f^2 = \sum_{i=1}^n \left[\frac{\partial f(x_1, x_2, \dots, x_n)}{\partial x_i} \right]_{x=\bar{x}}^2 \cdot \sigma_{x_i}^2 \quad (134)$$

Si la fonction suivante est posée :

$$\alpha_i = \frac{\beta_i}{2} \cdot \left(V_{TR} - V_{Ti} + \sqrt{\frac{2.I_R}{\beta_R}} \right)^2 \quad (135)$$

Alors :

$$\sigma_{\alpha_i}^2 = \left(\frac{\partial \alpha_i}{\partial \beta_i} \right)^2 \cdot \sigma_{\beta_i}^2 + \left(\frac{\partial \alpha_i}{\partial \beta_R} \right)^2 \cdot \sigma_{\beta_R}^2 + \left(\frac{\partial \alpha_i}{\partial V_{TR}} \right)^2 \cdot \sigma_{V_{TR}}^2 + \left(\frac{\partial \alpha_i}{\partial V_{Ti}} \right)^2 \cdot \sigma_{V_{Ti}}^2 + \left(\frac{\partial \alpha_i}{\partial I_R} \right)^2 \cdot \sigma_{I_R}^2 \quad (136)$$

avec :

$$\frac{\partial \alpha_i}{\partial \beta_i} = \frac{\partial \alpha_i}{\partial \beta_R} = \frac{\bar{I}}{\beta}, \quad \frac{\partial \alpha_i}{\partial V_{TR}} = \frac{\partial \alpha_i}{\partial V_{Ti}} = \sqrt{2.\beta.\bar{I}}, \quad \text{et} \quad \frac{\partial \alpha_i}{\partial I_R} = 1 \quad (137)$$

Ainsi :

$$\sigma_{\alpha_i}^2 = 3.\bar{I}^2 \cdot \left(\frac{\sigma_{\beta}}{\beta} \right)^2 + 6.\bar{I}.\bar{\beta}.\sigma_{VT}^2 \quad (138)$$

Pour le courant maximal en sortie du CNA, compte tenu de (132) :

$$\sigma_{I_{CNA-\max}}^2 = (2^M - 1) \left[3.\bar{I}^2 \cdot \left(\frac{\sigma_{\beta}}{\beta} \right)^2 + 6.\bar{I}.\bar{\beta}.\sigma_{VT}^2 \right] \quad (139)$$

Afin de vérifier la précision souhaitée, compte tenu des relations (126), (127), (133), et (139), il faut que la surface des sources de courant vérifie :

$$W.L \geq \frac{36.(2^{ENOB} - 1)^2}{2^M - 1} \cdot \left[A_{\beta}^2 + \frac{4}{(V_{GS} - V_T)^2} \cdot A_{VT}^2 \right] = [W.L]_{\min} \quad (140)$$

Il semble logique de choisir la tension $V_{GS} - V_T$ la plus grande possible afin de minimiser la contribution du terme en A_{VT} , et donc avoir une surface de transistor la plus petite possible. Les transistors du CNA doivent cependant rester en zone saturée. Il faut donc que le choix de la tension de grille soit compatible avec la dynamique de sortie en tension du CNA permettant ainsi d'assurer le fonctionnement correct non seulement

des sources de courant du CNA, mais aussi de la charge. Pour les transistors NMOS du CNA, il faut : $V_{DSsat} \leq V_{GS} - V_{TN} \leq V_{out-CNA}$.

De plus, dans le cadre de notre montage, la charge est composée d'un transistor PMOS monté en diode (cf. Figure 75), devant lui aussi rester en zone saturée sur toute la dynamique d'entrée du CNA. Celui-ci doit ainsi respecter : $V_{DS} \leq V_{GS} - V_{TP} \leq -V_{DSsat}$, c'est à dire: $V_{out-CNA} \leq -V_{DSsat} + V_{dd}$, ainsi le choix de la tension $V_{GS} - V_T$ se limite seulement à l'intervalle : $V_{DSsat} \leq V_{GS} - V_{TN} \leq -V_{DSsat} + V_{dd}$.

La condition sur la surface du transistor élémentaire donnée par (140) permet de garantir une précision de *ENOB-bits* pour le quantum en courant. Par contre ceci ne donne aucune indication sur la valeur du quantum en courant puisqu'il est possible de choisir le rapport W/L comme désiré, seul le produit $W.L$ est fixé. Soit L_{min} respectivement W_{min} la largeur respectivement longueur minimale accordée par la technologie. Sachant que pour s'affranchir de l'effet canal court et réaliser des circuits analogiques soignés, il faut que la longueur d'un transistor MOS soit au moins égale à cinq fois la longueur minimale accordée par la technologie, le quantum en courant q_I peut varier de :

$$q_{I-min} = \frac{\mu_0 \cdot C_{ox}}{2} \cdot \frac{W_{min}^2}{[W.L]_{min}} (V_A - \overline{V_T})^2 \quad (141)$$

à

$$q_{I-max} = \frac{\mu_0 \cdot C_{ox}}{2} \cdot \frac{[W.L]_{min}}{5.L_{min}^2} (V_A - \overline{V_T})^2 \quad (142)$$

A l'issue de cette première étape, la tension de grille V_A et la surface des sources élémentaires est fixée. La taille précise des transistors doit maintenant être déterminée.

Lorsque le produit $W.L$ est fixé par les considérations précédentes, il faut choisir la largeur L la plus grande possible afin de minimiser la valeur du quantum en courant q_I , i.e. la consommation statique totale du CNA. La résistance de sortie d'une source élémentaire est donc toujours très grande. D'après G.A.M. Van der Plas *et al.* [vPLAS 99], cette condition est toujours vérifiée, surtout si des transistors cascodes sont ajoutés dans les miroirs de courant.

L'impédance de sortie du CNA dépend du nombre de miroirs qui sont actifs à un instant donné. Cette valeur non constante de l'impédance de sortie peut conduire à des non-linéarités i.e. à une dégradation de la précision visée. D'après B. Razavi [RAZ 95], l'INL d'un CNA est donnée par la relation suivante :

$$INL = \frac{I_{CNA-max} \cdot R_{LOAD}^2 \cdot (2^M - 1)^2}{4 \cdot r_o} \quad (143)$$

Les paramètres sont les suivants : $I_{CNA-max}$ est le courant maximal en sortie du CNA, R_{LOAD} est la résistance de charge, r_o est la résistance de sortie d'un miroir élémentaire et $2^M - 1$ est le nombre de sources du CNA. Afin de ne pas dégrader la résolution souhaitée, il faut toujours avoir : $INL < \frac{q_{I-ENOB}}{2}$. Ainsi, la relation suivante doit ainsi être vérifiée :

$$\frac{R_{LOAD}^2}{r_o} \leq \frac{2}{(2^M - 1)^2 \cdot (2^{ENOB} - 1)} \quad (144)$$

Pour la source de courant élémentaire avec un montage cascode (cf. paragraphe 5.3.2.1.1), la résistance de sortie vaut : $r_o = \frac{g_{m0}}{g_{ds0}^2}$. Après calculs, les relations (143) et (144) donnent :

$$L^4 \geq \frac{(2^M - 1)^2 \cdot (2^{ENOB} - 1) \cdot R_{LOAD}^2 \cdot \beta_N \cdot K_{eN}^2 \cdot (V_{GS} - V_{TN})^2 \cdot [W.L]_{\min}}{4} \quad (145)$$

Tous les paramètres sont connus, la largeur minimale de la source de courant peut ainsi être fixée. Cette équation n'est cependant pas trop contraignante compte tenu des ordres de grandeur de tous les paramètres technologiques. Ainsi, d'autres considérations peuvent être prises en compte afin de maximiser encore la valeur de L et donc minimiser la valeur du quantum en courant q_I . Ces considérations concernent par exemple le temps de stabilisation du CNA, i.e. des considérations fréquentielles. Les calculs théoriques sont dans ce cas très lourds à développer [BAS 98]. Ainsi le dimensionnement exact de L est au début intuitif, puis affiné par simulations électriques successives transitoires, DC et AC.

4.2.2.1.4 Comparaison avec le cas synchrone

Il est maintenant normal de comparer ces contraintes de conception avec celles d'un CNA conçu pour un environnement de type Nyquist.

Si les calculs précédents sont repris, la surface du miroir de courant élémentaire pour la conception d'un CNA synchrone de $ENOB$ -bits en mode courant doit vérifier :

$$[W.L]_{sync} \geq 36 \cdot (2^{ENOB} - 1) \left[A_{\beta}^2 + \frac{4}{(V_{GS} - V_T)^2} \cdot A_{VT}^2 \right] \quad (146)$$

Compte tenu de l'équation (139), le ratio entre les sources minimales élémentaires pour les approches synchrone et asynchrone est défini par :

$$[W.L]_{sync} = \frac{2^M - 1}{2^{ENOB} - 1} \cdot [W.L]_{async} \quad (147)$$

Pour la surface totale du CNA :

$$S_{CNA-async} = (2^M - 1) [W.L]_{async} \quad \text{et} \quad S_{CNA-sync} = (2^{ENOB} - 1) [W.L]_{sync} \quad (148)$$

D'où : $S_{CNA-sync} = S_{CNA-async}$, la surface des deux circuits est identique, quelle que soit l'approche. En effet, en asynchrone, il y a moins de sources élémentaires pour le CNA, par contre elles doivent avoir une précision bien plus grande. Dans le cas synchrone, lorsqu'un bit de résolution est ajouté au convertisseur, la surface de la source élémentaire est doublée et il y a deux fois plus de sources. En tout, la surface du CNA est quadruplée. Dans le cadre d'une application asynchrone, quelle que soit la résolution

visée, le nombre de sources élémentaires est toujours le même, par contre lorsqu'un bit de résolution est ajouté à l'*ENOB*, la surface de la source élémentaire est quadruplée.

Les contraintes de conception en synchrone ou en asynchrone sont donc en conclusion assez similaires en ce qui concerne le convertisseur numérique-analogique. Pour une résolution effective fixée, le fait de n'implémenter que *M-bits* pour le CNA au lieu de *ENOB-bits* (avec *M* bien inférieur à *ENOB*) n'engendre pas de réduction de surface de silicium par rapport à un CNA synchrone implémentant directement les *ENOB-bits*.

4.2.2.2 Le comparateur

Comme pour la conception de CANs de Nyquist, le comparateur est le bloc essentiel du convertisseur. Le principe de l'échantillonnage par *traversées de niveaux* pose des contraintes assez sévères sur ce dernier lorsque la résolution effective du CAN-A est grande.

Le temps de réponse t_r non nul des comparateurs de courants ajoute une imprécision sur l'instant où le signal I_{in} traverse un niveau de référence (cf. Figure 58). En se ramenant dans le domaine des amplitudes, cette imprécision en temps peut être traduite en une imprécision en courant δi_{comp} , dont la valeur doit être calculée. Une condition doit être trouvée afin que la résolution effective du CAN-A soit vérifiée puisqu'il s'agit d'une contribution à l'erreur de précision maximale δ_L des niveaux de quantification, définie à la Figure 74.

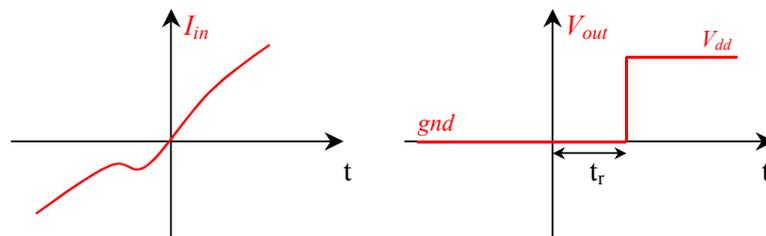


Figure 79 : Réponse temporelle du comparateur en mode courant.

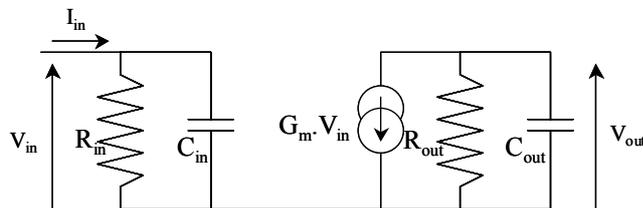


Figure 80 : Modélisation d'un comparateur de courant.

Le comparateur de courant peut être modélisé par un montage trans-impédance (entrée en courant, sortie en tension) comme indiqué Figure 80 [LINA 97]. Dans ce montage, la trans-impédance s'écrit :

$$\frac{V_{out}}{I_{in}} = -R_{in} \cdot R_{out} \cdot G_m \cdot \left(\frac{1}{1 + \tau_{in} p} \right) \cdot \left(\frac{1}{1 + \tau_{out} p} \right) \quad (149)$$

avec : $\tau_{in}=R_{in}.C_{in}$, et $\tau_{out}=R_{out}.C_{out}$. Le but est de calculer le temps de réponse t_r du comparateur lorsque le courant d'entrée change de signe (cf. Figure 79).

Dans un premier temps, le courant d'entrée est considéré comme un échelon d'amplitude J : $I_{in}(t)=0$ si $t<0$ et $I_{in}(t)=J$ si $t>0$. L'équation (149) devient :

$$V_{out}(p) = -R_{in}.R_{out}.G_m \cdot \left(\frac{1}{1+\tau_{in}p} \right) \cdot \left(\frac{1}{1+\tau_{out}p} \right) \cdot \frac{J}{p} \quad (150)$$

Après une décomposition en éléments simples :

$$V_{out}(p) = -R_{in}.R_{out}.G_m \cdot \alpha \left(\frac{A}{1+\tau_{in}p} + \frac{B}{1+\tau_{out}p} + \frac{C}{p} \right) \text{ avec : } A = \frac{-\tau_{in}^2}{\tau_{in}-\tau_{out}}, B = \frac{-\tau_{out}^2}{\tau_{out}-\tau_{in}}, \text{ et } C=1 \quad (151)$$

Puis, par transformée de Laplace inverse :

$$V_{out}(t) = -R_{in}.R_{out}.G_m \cdot J \cdot \left[1 + \frac{-\tau_{in}}{\tau_{in}-\tau_{out}} \cdot \exp\left(\frac{-t}{\tau_{in}}\right) + \frac{-\tau_{out}}{\tau_{out}-\tau_{in}} \cdot \exp\left(\frac{-t}{\tau_{out}}\right) \right] \quad (152)$$

Une meilleure approximation consiste à considérer, au voisinage d'un niveau de quantification, le courant d'entrée I_{in} comme une droite de coefficient directeur α : $I_{in}(t)=\alpha.t$. Dans le domaine de Laplace, cela est exprimé par : $I_{in}(p) = \frac{\alpha}{p^2}$, avec :

$$\alpha = \left(\frac{\partial I_{in}}{\partial t} \right)_{I_{in} \approx \text{level } i}$$

La relation (152) s'écrit alors:

$$V_{out}(p) = -R_{in}.R_{out}.G_m \cdot \left(\frac{1}{1+\tau_{in}p} \right) \cdot \left(\frac{1}{1+\tau_{out}p} \right) \cdot \frac{\alpha}{p^2} \quad (153)$$

Le but est de trouver l'expression temporelle de $V_{out}(t)$. Par une décomposition en éléments simples :

$$V_{out}(p) = -R_{in}.R_{out}.G_m \cdot \alpha \left(\frac{A}{1+\tau_{in}p} + \frac{B}{1+\tau_{out}p} + \frac{C}{p} + \frac{D}{p^2} \right), A = \frac{\tau_{in}^3}{\tau_{in}-\tau_{out}}, B = \frac{\tau_{out}^3}{\tau_{out}-\tau_{in}}, C = -(\tau_{in}+\tau_{out}), D=1 \quad (154)$$

Puis, par transformée de Laplace inverse :

$$V_{out}(t) = -R_{in}.R_{out}.G_m \cdot \alpha \cdot \left[\frac{\tau_{in}^2}{\tau_{in}-\tau_{out}} \cdot \exp\left(\frac{-t}{\tau_{in}}\right) + \frac{\tau_{out}^2}{\tau_{out}-\tau_{in}} \cdot \exp\left(\frac{-t}{\tau_{out}}\right) - (\tau_{in} + \tau_{out}) + t \right] \quad (155)$$

Lorsque la tension de sortie du comparateur fait basculer à '1' l'entrée du latch analogique, il y a : $V_{out}(t_r) = \frac{V_{dd}}{2}$. Par un développement limité à l'ordre trois, le temps de montée vaut :

$$t_r \approx \sqrt[3]{\frac{3.C_{in}.C_{out}.V_{dd}}{\alpha.G_m}} \quad (156)$$

L'imprécision en amplitude apportée par ce temps de montée non nul est donc :

$$\delta i_{comp} = \alpha.t_r = \alpha \cdot \left(\frac{3.C_{in}.C_{out}.V_{dd}}{\alpha.G_m} \right)^{\frac{1}{3}} = \left(\frac{3.C_{in}.C_{out}.V_{dd}}{G_m} \right)^{\frac{1}{3}} \cdot \alpha^{\frac{2}{3}} \quad (157)$$

Or, il faut :

$$\delta_{comp} \leq \frac{q_{I-ENOB}}{2} \quad (158)$$

Ainsi :

$$\delta_{comp} = \left(\frac{3 \cdot C_{in} \cdot C_{out} \cdot V_{dd}}{G_{m-comp}} \right)^{\frac{1}{3}} \left(\frac{\partial I_{in}}{\partial t} \right)_{I_{in}=level\ i}^{\frac{2}{3}} \quad (159)$$

Sachant que le courant I_{in} est limité en fréquence et en amplitude, d'après le théorème de Bernstein, la pente du courant est limitée par la relation suivante :

$$\left(\frac{\partial I_{in}}{\partial t} \right)_{I_{in}=level\ i} \leq \left(\frac{\partial I_{in}}{\partial t} \right)_{max} = 2 \cdot \pi \cdot f_{max} \cdot \Delta I_{in} \quad (160)$$

Ainsi, pour obtenir une précision de $ENOB$ -bits, le comparateur doit vérifier la relation :

$$\frac{C_{in} \cdot C_{out}}{G_{m-comp}} \leq \frac{\Delta I_{in}}{3 \cdot V_{dd}} \left(\frac{1}{2} \cdot \frac{1}{2^{ENOB} - 1} \right)^3 \left(\frac{1}{2\pi f_{max}} \right)^2 \quad (161)$$

Il s'agit d'une condition mettant en œuvre la capacité d'entrée C_{in} , la capacité de sortie C_{out} et le gain G_{m-comp} . Cette condition devient très vite contraignante lorsque la résolution effective $ENOB$ est grande. Lorsque $ENOB$ augmente d'un bit, la contrainte augmente de presque un ordre de grandeur ! Lors de la conception du comparateur, le but est ensuite de respecter la condition (161), tout en ayant des polarisations de valeur minimale afin de minimiser la consommation statique du circuit.

Enfin, le temps de boucle δ du convertisseur est fini. Dans le pire des cas, une comparaison est effectuée toutes les δ secondes. La bande passante du comparateur doit donc vérifier :

$$f_c \geq \frac{1}{\delta} \quad (162)$$

4.2.2.3 La transconductance

Cet étage permet de transformer la tension d'entrée V_{in} à convertir en un courant I_{out} . Le quantum en courant q_I étant fixé lors de la conception du CNA, ainsi que la résolution matérielle du CAN-A, la dynamique de sortie de la transconductance ΔI_{in} est fixée par :

$$\Delta I_{in} = (2^M - 1)q_I \quad (163)$$

Théoriquement, elle délivre un courant de sortie proportionnel à la tension d'entrée pour toute valeur appartenant à la dynamique ΔV_{in} (cf. Figure 81). En pratique, les imperfections du circuit engendrent des non-linéarités dégradant les caractéristiques idéales du circuit.

Usuellement, le principal critère définissant une transconductance est sa linéarité. Elle est estimée par la THD (*Total Harmonic Distortion*) définie comme suit :

Soit une sinusoïde pure appliquée en entrée du système, la sortie est constituée d'un signal comportant le fondamental à la même fréquence, et d'harmoniques. Par définition, la THD s'exprime comme suit :

$$THD_{dB} = 10 \cdot \log \left(\frac{V_{h2}^2 + V_{h3}^2 + V_{h4}^2 + \dots}{V_f^2} \right) \quad (164)$$

Ou alors :

$$THD_{\%} = 100 \cdot \frac{\sqrt{V_{h2}^2 + V_{h3}^2 + V_{h4}^2 + \dots}}{V_f} \quad (165)$$

$V_{h2}, V_{h3}, V_{h4}, \dots$ sont les amplitudes des harmoniques et V_f , l'amplitude du fondamental. Une THD est définie pour une amplitude et une fréquence données de la sinusoïde. La linéarité est toujours très bonne au centre de la dynamique de la transconductance et à faible fréquence. Elle décroît lorsque l'amplitude et la fréquence augmentent. En pratique, la transconductance est utilisée sur toute sa dynamique d'entrée et sur toute la plage de fréquences, les THDs seront donc calculées dans ce contexte.

Afin de respecter la résolution de *ENOB-bits* du CAN-A, il faut que la THD vérifie :

$$THD_{\%} < \frac{100}{2 \cdot (2^{ENOB} - 1)} \quad (166)$$

Pour ce bloc, les contraintes fréquentielles liées au temps de boucle fini du CAN-A sont identiques à celles du comparateur en courant (cf. relation (162)).

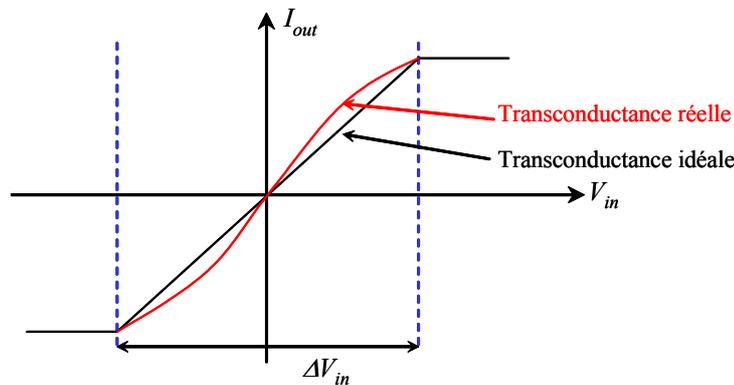


Figure 81 : Fonction de transfert d'une transconductance.

4.2.2.4 Les jeux de miroirs de courants

Les différents miroirs N et P présentés Figure 75 doivent faire des recopies de courants assez précises afin de garantir la résolution effective du CAN-A. Une approche similaire à celle donnée dans le paragraphe concernant le CNA peut être employée ici. Elle permet là aussi de déterminer la surface minimale autorisée pour les transistors afin de

s'affranchir des dispersions technologiques, tout en garantissant le bon fonctionnement des transistors sur la dynamique souhaitée.

4.2.3 En mode tension

Bien que l'approche en courant semble la plus naturelle, des travaux récents dans le domaine de la conversion analogique numérique [SCO 02a], [SAU 02] ont prouvé que l'approche en mode tension pour la partie analogique peut conduire à des circuits très basse consommation. De plus, ce genre d'approche est utilisé dans la majorité des cas pour les convertisseurs synchrones de Nyquist (cf. Tableau 1).

Tout comme l'approche en mode courant, la conception de la partie analogique en mode tension doit être très soignée puisque de sa qualité va dépendre les performances du CAN-A final, dont sa résolution effective. Les contributions de tous les blocs analogiques sont supposées décorréelées, ainsi chaque bloc analogique doit avoir une précision de *ENOB-bits*.

La dynamique d'entrée du CAN-A est ΔV_{in} , la valeur du quantum élémentaire en tension q_V est donnée par (63), et la valeur du quantum effectif q_{V-ENOB} correspondant est :

$$q_{V-ENOB} = \frac{\Delta V_{in}}{(2^{ENOB} - 1)} \quad (167)$$

La valeur de ce quantum équivalent fixe les caractéristiques de conception des blocs tel qu'il est montré dans les paragraphes suivants.

La solution retenue est toujours celle présentée Figure 69, par contre l'implémentation de la partie analogique est légèrement différente de celle du mode courant. Celle-ci est présentée Figure 82. La tension à convertir V_{in} alimente directement les deux comparateurs qui fournissent les deux voies LSB+ et LSB-. De plus, comme il sera expliqué dans les paragraphes suivants, les deux tensions de comparaison $V_{CNA} + \frac{q_V}{2}$ et $V_{CNA} - \frac{q_V}{2}$ pourront directement être générées en sortie du CNA, par une astuce très simple de conception.

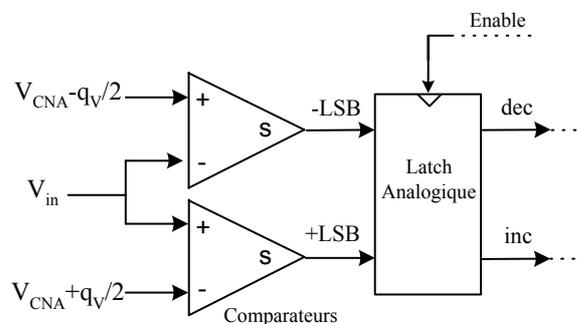


Figure 82 : Schéma de la partie analogique d'un CAN-A dans le cadre d'une conception en mode tension.

4.2.3.1 Le convertisseur numérique-analogique

Comme pour le mode courant, c'est le premier bloc à concevoir pour la partie analogique du CAN-A, car le plus critique. Le but est toujours de réaliser un circuit de consommation et surface minimales garantissant la résolution finale ciblée par le CAN-A.

4.2.3.1.1 Architectures de conversion – généralités

4.2.3.1.1.1 Montages de principe

Il existe une multitude d'architectures pour concevoir un CNA en mode tension. Pour des applications faible consommation telle que celles visées dans cette thèse, les architectures sont principalement réalisées à base de capacités commutées : [ROM 98], [ZHE 99], [MOO 00], [GRE 01], [AMO 02]...

La solution approchant le plus les conditions de fonctionnement du CAN-A est donnée dans [MOO 00] et présentée Figure 83. Le mot numérique en entrée est codé selon une échelle thermométrique : pour une application de résolution M -bits, il y a $2^M - 1$ bits : $(x_i)_{0..2^M-2}$. Le principe de fonctionnement est analogue à celui des filtres à capacités commutées : il y a $2^M - 1$ capacités de références C_i , de valeur égale C , connectées à un intégrateur avec pour capacité de référence C_{ref} . Les interrupteurs sont commandés par deux horloges non recouvrantes Φ_1 et Φ_2 (cf. Figure 84). Lorsque $\Phi_1 = '1'$ et $\Phi_2 = '0'$, les $2^M - 1$ capacités sont chargées au potentiel de référence V_{ref} , et la capacité C_{ref} est déchargée. Lorsque $\Phi_1 = '0'$ et $\Phi_2 = '1'$, les capacités C_i initialement chargées se déchargent dans C_{ref} (respectivement à la masse) si $x_i = 1$ (respectivement $x_i = 0$). En sortie de l'intégrateur, une tension V_{CNA} obtenue est proportionnelle au code numérique d'entrée selon la relation :

$$V_{CNA} = \left(\frac{C \cdot \sum_{i=0}^{2^M-2} x_i}{C_{ref}} \right) \cdot V_{ref} \quad (168)$$

Sur la Figure 83, les interrupteurs déchargeant les capacités à la masse si $x_i = 0$ ne sont pas représentés. Afin de faciliter la conception du CAN-A, la tension de référence peut être choisie telle que : $V_{ref} = V_{dd}$ [SCO 02b]. En effet, un circuit générant une tension de polarisation V_{ref} intermédiaire serait coûteux en terme de surface, de consommation et temps de conception. De plus, il est également intéressant de fixer :

$$C_{ref} = (2^M - 1)C \quad (169)$$

La tension de sortie du CNA devient :

$$V_{CNA} = \left(\frac{m}{2^M - 1} \right) \cdot V_{ref} \quad (170)$$

Le paramètre m est le nombre de capacités actives. Dans ce cas, la dynamique d'entrée du convertisseur numérique analogique est *rail-to-rail*, i.e. de '0' à V_{dd} .

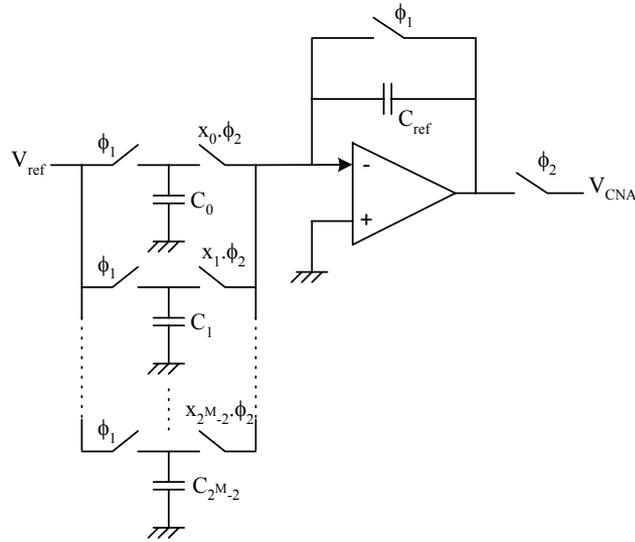


Figure 83 : Schéma de principe du CNA à capacités commutées présenté dans [MOO 00].

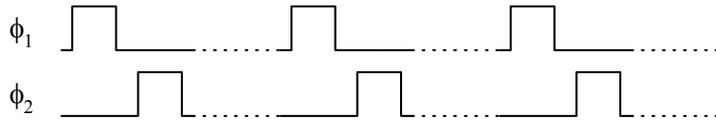


Figure 84 : Horloges non recouvrantes de la Figure 83.

Comme indiqué Figure 82, dans le cadre du CAN-A, il faut générer deux tensions de référence $V_{CNA} + \frac{q_V}{2}$ et $V_{CNA} - \frac{q_V}{2}$ à partir du CNA. La première solution consiste à avoir deux CNAs distincts tels que vus précédemment, générant directement ces deux tensions tel que présenté Figure 85. Les capacités C_i , C_{ref} , et les capacités servant aux décalages de $\pm \frac{q_V}{2}$ peuvent être réalisées à partir d'une association des mêmes capacités unitaires C_u . Il est ainsi facile d'obtenir une bonne précision sur les capacités avec un layout rigoureux afin de respecter la résolution de *ENOB-bits* visée. De plus, les deux tensions de sortie sont fournies en parallèle, ce type de CNA est donc très rapide. Cette approche de conversion se fait malheureusement au détriment de la surface et de la consommation car le matériel est doublé.

Le circuit donné Figure 85 permet de fournir simultanément les deux tensions de référence. Cependant, en « factorisant » les capacités commutées, et en conservant seulement les deux intégrateurs, il est possible de fournir les deux tensions de sortie séquentiellement. Le montage est donné Figure 86. Dans ce cas, il faut rajouter d'autres signaux d'horloge tels qu'indiqués Figure 87. Le processus de conversion se déroule alors en deux phases : d'abord les phases Φ_{1a} et Φ_2 donnent la tension $V_{CNA} + \frac{q_V}{2}$, puis

les phases Φ_{1b} et Φ_3 donnent la tension $V_{CNA} - \frac{qV}{2}$. Cette solution est très simple à mettre en oeuvre puisque seulement deux signaux d'horloge, et un intégrateur supplémentaire sont nécessaires. Compte tenu du fait que les capacités sont « factorisées », et que la surface du circuit est principalement fixée par celles-ci, le CNA est réduit en surface. Par contre la consommation statique est quasi identique par rapport au schéma de la Figure 85, car le même nombre d'Amplificateurs Opérationnels (AOs) est nécessaire. Les deux intégrateurs similaires peuvent néanmoins être simplifiés en factorisant par exemple leur polarisation. Ce montage est alors deux fois plus lent que le précédent car les deux voies sont fournies séquentiellement.

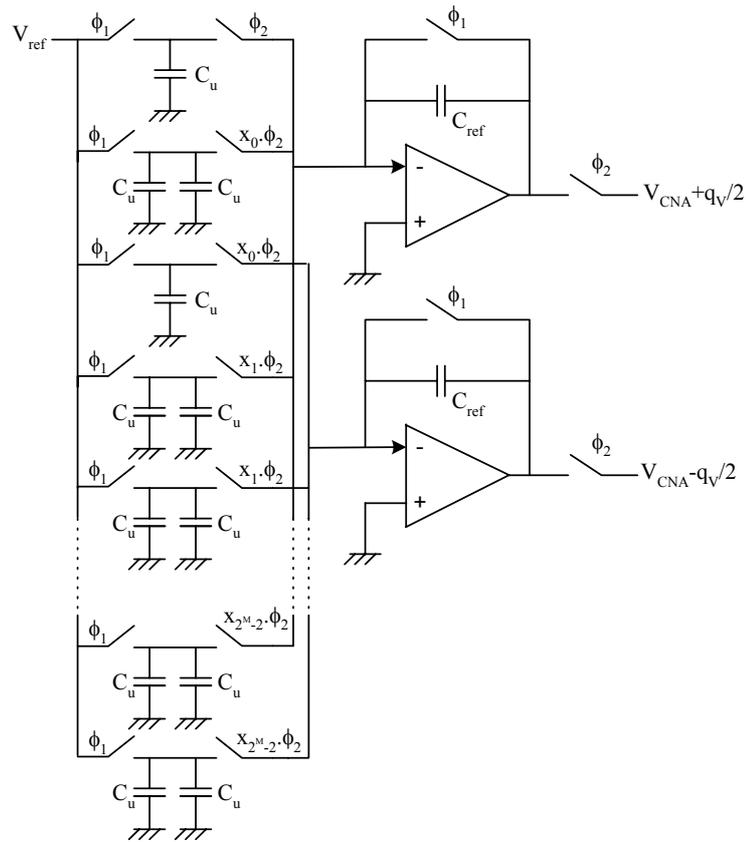


Figure 85 : 1^{ère} implémentation envisageable du CNA présenté Figure 83 au sein du CAN-A.

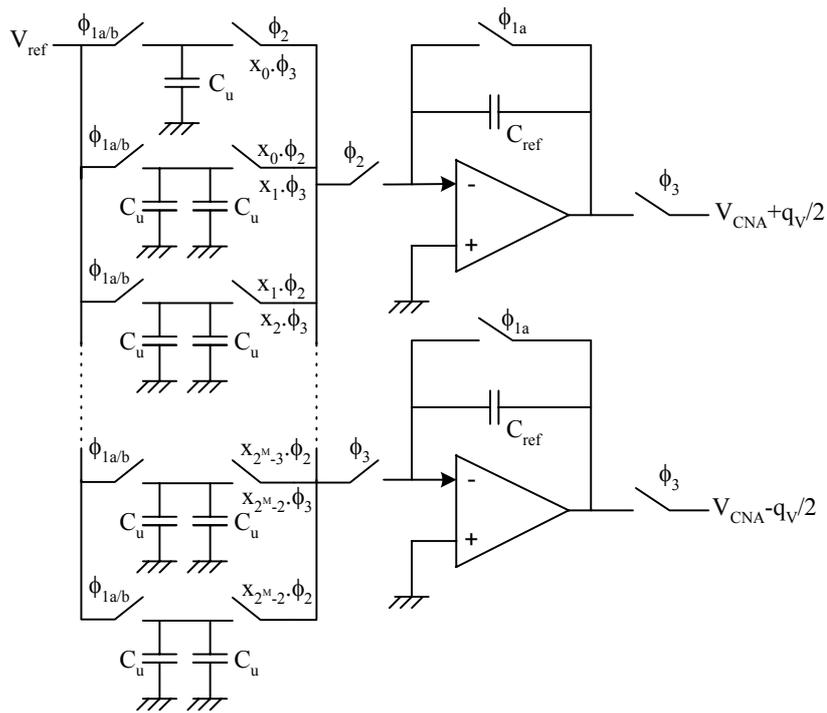


Figure 86 : 2^{ème} implémentation envisageable du CNA présenté Figure 83 au sein du CAN-A.

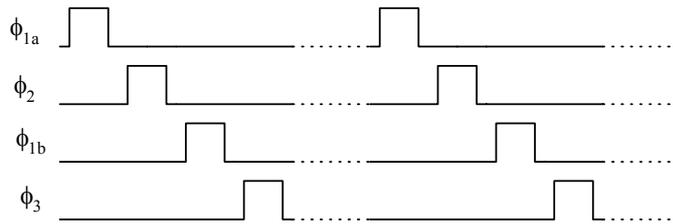


Figure 87 : Horloges non recouvrantes de la Figure 86.

4.2.3.1.1.2 Mise en œuvre des montages de principe

Pour les montages à capacités commutées vus jusqu'à présent, l'entrée non inverseuse des Amplificateurs Opérationnels (AOs) est reliée à la masse. L'entrée inverseuse devient ainsi une masse virtuelle. En effet, tous ces montages supposent l'utilisation d'AOS alimentés entre V_{dd} et $V_{ss} = -V_{dd}$, l'entrée inverseuse est reliée à la masse, qui est alors milieu de la dynamique d'entrée. Dans le cas des technologies CMOS usuelles, les circuits sont alimentés entre gnd et V_{dd} , ainsi l'entrée non inverseuse des AOs doit être connectée à $\frac{V_{dd}}{2}$. L'entrée inverseuse n'est donc plus une masse virtuelle mais une tension d'offset égale à la moitié de la tension nominale d'alimentation. Ceci a pour effet de détériorer le fonctionnement des CNAs à capacités commutées décrits jusqu'ici. Une première solution consisterait donc à simplement référencer toutes les tensions pas rapport à $\frac{V_{dd}}{2}$, et non plus par rapport à gnd . Une autre solution consiste à rajouter du matériel de manière à toujours à être référencé par rapport à la masse. Par

exemple, le montage du CNA présenté Figure 86 doit être modifié tel qu'indiqué Figure 88 afin de s'affranchir de cette tension d'offset [BAI 96]. Quatre horloges supplémentaires ϕ_{2bis} , ϕ_{3bis} , ϕ_4 et ϕ_5 sont maintenant nécessaires (cf. Figure 89). Le principe de fonctionnement de ce CNA est similaire à celui de la version de base donnée Figure 86.

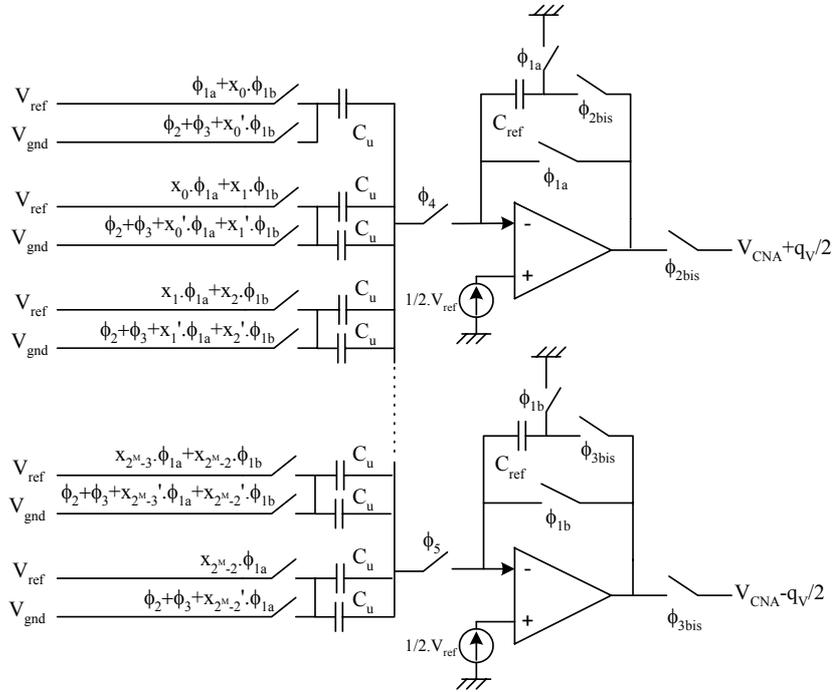


Figure 88 : Implémentation du CNA présenté Figure 86 au sein du CAN-A, dans le cadre d'une technologie CMOS standard.

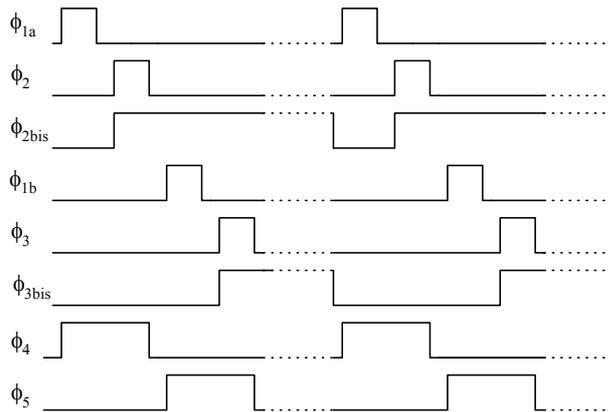


Figure 89 : Horloges non recouvrantes de la Figure 88.

Le schéma du CNA présenté Figure 88 peut encore être modifié en vue de supprimer un AO tel qu'il est indiqué Figure 90, avec les horloges données Figure 91. Dans ce cas la consommation statique du CNA est minimale car un seul AO est implémenté. La surface est par contre quasi similaire car le nombre de capacités alors implémentées est identique à celui de la Figure 88. De même, la surface en terme de capacité est opti-

male avec ce genre d'architectures car plus aucune « factorisation » ne peut être faite. L'inconvénient de cette structure est la complexité du contrôle des interrupteurs et des horloges non recouvrantes à générer.

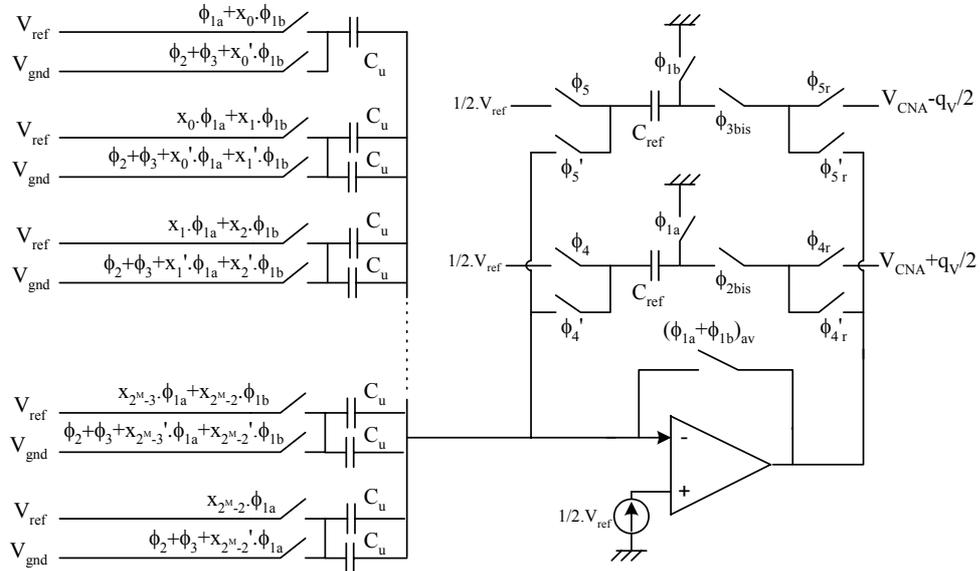


Figure 90 : Implémentation du CNA présenté Figure 88 au sein du CAN-A, dans le cadre d'une technologie CMOS standard, avec un seul AO.

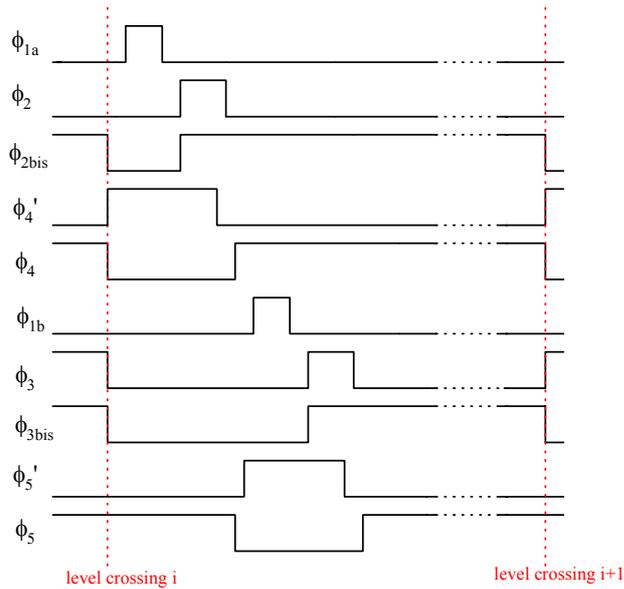


Figure 91 : Chronogramme des horloges à implémenter pour la configuration de la Figure 90.

4.2.3.1.1.3 Génération d'horloges non recouvrantes

Quel que soit le montage retenu pour le CNA, des horloges non recouvrantes sont nécessaires. Celles-ci peuvent être générées très facilement, avec un coût matériel négligeable, en modifiant la partie contrôle du CAN-A et en choisissant judicieusement les bits de sortie. Par exemples, deux horloges Φ_1 et Φ_2 telles que données Figure 84, sont

générées en utilisant trois contrôleurs comme indiqué Figure 92. Il suffit de choisir des délais *délai1* et *délai2* en fonction des rapports cycliques souhaités. Le contrôleur sans délai du milieu assure, de par le temps de traversée de la porte de Muller et de l'inverseur, le non recouvrement des signaux. Ce montage peut servir de base afin de générer des horloges plus complexes telles que celles données Figure 87 ou Figure 91.

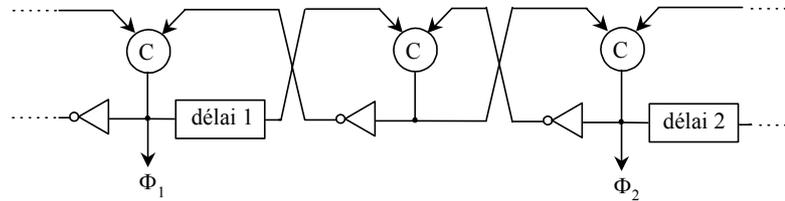


Figure 92 : Contrôleurs à implémenter permettant de générer deux horloges non recouvrantes telles que données Figure 84.

Enfin, les horloges retardées permettant de réduire les injections de charges d'horloges (cf. paragraphe 4.2.3.1.2) sont simplement obtenues en cascade deux (ou un multiple de deux) circuits inverseurs sur le signal d'horloge de base.

4.2.3.1.2 Méthode de dimensionnement

4.2.3.1.2.1 Les capacités

La principale difficulté lors de la conception d'un CNA en mode tension réside dans le choix de la valeur de la capacité élémentaire C_u . Il faut trouver sa taille minimale afin de réduire la surface et la consommation du circuit, tout en respectant la précision de *ENOB-bits* souhaitée.

Avec les implémentations de CNAs présentées Figure 86, Figure 88 ou Figure 90, la tension de sortie est fixée par un rapport r de somme de capacités élémentaires C_u , selon la relation :

$$r = \frac{V_{CNA}}{V_{ref}} = \frac{2 \cdot m \cdot C_u}{2 \cdot (2^M - 1) C_u} \quad (171)$$

D'après [BAI 96], l'écart type du rapport r vaut :

$$\left(\frac{\sigma_r}{r} \right)_{\%} = \left(\frac{\sigma_{C_u}}{C_u} \right)_{\%} \cdot \sqrt{\frac{1}{2 \cdot m} + \frac{1}{2 \cdot (2^M - 1)}} \quad (172)$$

De plus :

$$\left(\frac{\sigma_r}{r} \right)_{\%} = \left(\frac{\sigma_{V_{CNA}}}{V_{CNA}} \right)_{\%} = \frac{100 \cdot \sigma_{V_{CNA}}}{m \cdot \frac{V_{ref}}{2^M - 1}} \quad (173)$$

Pour que 99,73% des CNAs fabriqués aient la précision requise de *ENOB-bits* et sachant que $\Delta V_{in} = V_{ref}$, il faut :

$$3.\sigma_{V_{dac}} \leq q_{V-ENOB} = \frac{V_{ref}}{2^{ENOB} - 1} \quad (174)$$

Ainsi :

$$\left(\frac{\sigma_r}{r}\right)_{\%} \leq 100 \cdot \frac{(2^M - 1)}{3.m.(2^{ENOB} - 1)} \quad (175)$$

Soit :

$$\left(\frac{\sigma_{C_u}}{C_u}\right)_{\%} \leq \frac{100.(2^M - 1)}{3.m.(2^{ENOB} - 1) \cdot \sqrt{\frac{1}{2.m} + \frac{1}{2.(2^M - 1)}}} \quad (176)$$

L'écart type de l'erreur de valeur des capacités due aux variations des paramètres technologiques est donnée par [PEL 89]:

$$\sigma\left(\frac{\Delta C}{C}\right)_{\%} = \frac{A}{\sqrt{W.L}} + B \quad (177)$$

W et L sont respectivement la largeur et longueur de la capacité. A et B sont des constantes liées à la technologie.

En considérant des capacités carrées [BAI 96] ($W=L$), et afin de respecter la résolution visée de $ENOB$ -bits, la valeur minimale L_{min} du côté de la capacité élémentaire doit vérifier :

$$L_{min}(\mu m) = \frac{3.A.m.(2^{ENOB} - 1)}{100.(2^M - 1)} \cdot \sqrt{\frac{1}{2.m} + \frac{1}{2.(2^M - 1)}} \quad (178)$$

Soit dans le pire cas, lorsque toutes les capacités du CNA sont commutées : $m=2^M - 1$:

$$L_{min}(\mu m) = \frac{3.A.(2^{ENOB} - 1)}{100.\sqrt{2^M - 1}} \quad (179)$$

Afin de gagner 1 -bit de résolution effective, le côté de la capacité doit être doublé, i.e. sa surface doit être quadruplée. En première approximation, la surface totale $S_{CNA-async}$ du CNA utilisé dans le cadre du CAN-A, en ne tenant pas compte des interconnexions vaut : $S_{CNA-async} = 4.(2^M - 1)L_{min}^2$, soit :

$$S_{CNA-async} = \frac{36.A^2.(2^{ENOB} - 1)^2}{10000} (\mu m^2) \quad (180)$$

Enfin, pour une capacité, il existe des problèmes de non-linéarités dues aux variations de la valeur de la capacité en fonction du potentiel appliqué :

$$C(V) = C_0.(1 + DCDV1.V + DCDV2.V^2) \quad (181)$$

où $DCDV1$ et $DCDV2$ sont des paramètres fixés par la technologie. Il faudra donc vérifier également, à l'aide des données technologiques fournies par le fondeur que cette imprécision au niveau des valeurs de capacités ne dégrade pas les performances du CAN-A.

4.2.3.1.2.2 Les interrupteurs

Pour la configuration du convertisseur numérique analogique présentée Figure 86, les interrupteurs jouent un rôle prépondérant quant à la vitesse de fonctionnement du circuit. En effet, ces derniers sont réalisés à partir de transistors NMOS et/ou PMOS. Lorsqu'ils sont passants, leur résistance R_{on} est non nulle, ainsi lors de la charge ou de la décharge des capacités C_u du CNA, il s'agit de circuits RC avec des constantes de temps fixes. Pour les pires cas, pendant la phase de charge (cf. Figure 93) puis la décharge (cf. Figure 94), les constantes de temps valent :

$$\tau_{charge} = R_{on} \cdot 2C_u \text{ et } \tau_{décharge} = 2 \cdot R_{on} \cdot C_u \cdot (2^M - 1) \quad (182)$$

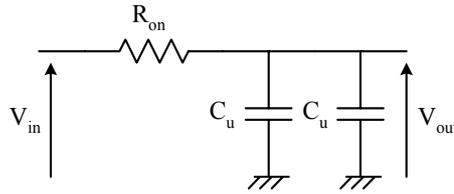


Figure 93: Circuit RC équivalent lors de la charge (pire cas).

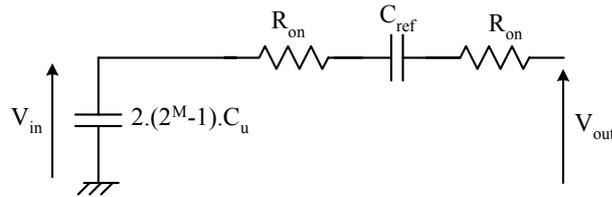


Figure 94 : Circuit RC équivalent lors de la décharge (pire cas).

Une précision de $ENOB$ -bits doit être atteinte, ainsi la charge ou la décharge d'une capacité élémentaire doit se faire avec une précision de $\frac{100}{2^{ENOB} - 1} \%$. Ainsi le temps de stabilisation pour la charge $t_{S-charge}$ devient :

$$\exp\left(-\frac{t_{S-charge}}{2 \cdot C_u \cdot R_{on}}\right) \leq \frac{1}{2^{ENOB} - 1} \quad (183)$$

Soit:

$$t_{S-charge} \geq 2 \cdot R_{on} \cdot C_u \cdot \ln(2^{ENOB} - 1) \quad (184)$$

Par un calcul similaire :

$$t_{S-décharge} \geq 2 \cdot (2^M - 1) \cdot R_{on} \cdot C_u \cdot \ln(2^{ENOB} - 1) \quad (185)$$

La valeur de C_u étant fixée, ces relations permettent par la suite de trouver les tailles $\frac{W}{L}$ des interrupteurs. Comme vu Figure 86, la détermination des deux tensions de référence se fait en deux cycles, ainsi le délai total du CNA est minoré par : $t_{CNA} = 2 \cdot (t_{S-charge} + t_{S-décharge})$, soit :

$$t_{CNA} = 2^{M+1} \cdot \ln(2^{ENOB} - 1) \cdot R_{on} \cdot C_u \quad (186)$$

Il faut également vérifier a posteriori que le délai du CNA ainsi calculé est bien inférieur au temps de boucle δ du CAN-A déterminé par la méthodologie générale de

conception. Compte tenu des ordres de grandeur, cette condition est en fait toujours vérifiée.

Une attention toute particulière doit être apportée quant à la conception des interrupteurs, puisque ceux-ci peuvent perturber les performances globales des circuits lorsqu'ils passent de l'état « on » à l'état « off ». Ce phénomène très connu dans les circuits à capacités commutées, appelé *injections de charge d'horloges* (*charge injection* ou *clock feedthrough*), est la somme de deux phénomènes. Il y a tout d'abord la fuite des électrons accumulés dans le canal d'inversion lorsque les interrupteurs étaient passants. La majeure partie des électrons s'évacue dans la source et le drain. Il y a aussi un transfert d'énergie entre la grille, la source et le drain, à chaque variation de la tension grille-source, en raison des capacités de recouvrement C_{gd} et C_{gs} de la grille sur les zones de diffusion. En cumulant ces deux phénomènes, il est possible de trouver un modèle théorique afin de prévoir ce phénomène, mais cela conduit à des calculs théoriques assez complexes, même pour des circuits simples. Les simulations électriques sont également peu fiables car les modèles de transistors ne sont pas assez évolués pour prédire précisément les migrations de charges à l'intérieur et à l'extérieur des composants. De nombreuses techniques existent cependant pour tenter de résoudre ce phénomène [BAI 94], [BAI 96], [JOH 96]...

Soit le schéma simplifié donné Figure 95 [BAI 96] du CNA retenu Figure 88 correspondant au pire cas, i.e. lorsque uniquement la capacité C_u est « on ». L'interrupteur S_3 est commandé par l'horloge ϕ_{1av} qui est simplement légèrement en avance par rapport à ϕ_{1a} (tout en restant bien sûr non recouvrante avec ϕ_2) : l'interrupteur S_3 passe à l'état « off » avant S_1 ou S_2 . Une telle configuration des horloges permet de limiter l'influence de l'injection de charges d'horloges à seulement l'interrupteur S_3 . Par un raisonnement similaire, ϕ_4 respectivement ϕ_5 doit passer à l'état « off » avant ϕ_2 respectivement ϕ_3 (non représentés Figure 95).

La variation de potentiel ΔV sur l'entrée inverseuse de l'amplificateur opérationnel due à l'injection de charges de S_3 est donnée dans [JOH 96]:

$$\Delta V^- = \frac{-(V_{dd} - V_T) C_{ox} W_{S3} L_{S3}}{2 \cdot C_u} + \frac{-(V_{dd} - V_{gnd}) C_{gsS3}}{C_u + C_{gsS3}} \quad (187)$$

Le premier terme correspond aux charges accumulées dans le canal, et le second aux capacités de recouvrement. Cette variation de potentiel ne doit pas dégrader la résolution effective visée pour le CAN-A: $\Delta V^- \leq \frac{V_{ref}}{2 \cdot (2^{ENOB} - 1)}$. Il faut donc choisir une taille

de transistor très petite pour S_3 , afin de minimiser la variation de potentiel ΔV . Ceci se fait au détriment de la résistance R_{on} de ce transistor, i.e. au détriment du temps de stabilisation. Néanmoins, cet aspect n'est pas critique pour le CNA car le temps de boucle δ du CAN-A calculé pour les applications visées est relativement grand. Si le respect de cette condition n'est pas possible en réduisant uniquement la taille de S_3 , la taille de la capacité élémentaire C_u pourra être augmentée.

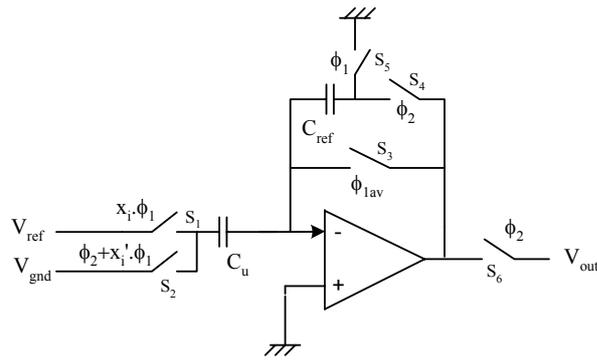


Figure 95 : Schéma simplifié pire cas de l'architecture retenue pour le CNA dans le cadre du CAN-A permettant de limiter les effets de l'injection de charges d'horloges.

Pour un interrupteur NMOS, la dynamique de sortie s'étend de V_{gnd} à $V_{dd}-V_{TN}$, pour un interrupteur PMOS, de $V_{gnd}+V_{TP}$ à V_{dd} , et enfin pour un interrupteur CMOS, de V_{gnd} à V_{dd} . Dans le cas de la tension de référence égale à la tension nominale d'alimentation : $V_{ref}=V_{dd}$, S_1 doit être réalisé avec un transistor PMOS, S_2 , S_3 et S_5 avec des transistors NMOS, enfin S_4 et S_6 avec des interrupteurs CMOS car la dynamique de sortie du CNA est *rail-to-rail*. L'utilisation d'interrupteurs CMOS pour ces derniers permet également de minimiser leur résistance R_{on} , donc de réduire le temps de stabilisation du CNA.

4.2.3.1.2.3 L'Amplificateur Opérationnel

Le fonctionnement du CNA présenté jusqu' alors suppose des Amplificateurs Opérationnels idéaux pour les intégrateurs, i.e. avec un gain infini, une fréquence de coupure infinie, un offset nul et un slew-rate infini. L'étude théorique de l'influence de ces paramètres sur les performances du circuit à capacités commutées est très complexe. Des éléments de résultats sont donnés dans [BAI 94] et [BAI 96].

Soit un gain fini Av_0 pour les amplificateurs opérationnels, la sortie s'exprime par : $V_S = Av_0 \cdot (V_+ - V_-)$. D'après [BAI 96], dans le cadre d'un montage tel que présenté Figure 95 :

$$V_S = (V_{ref} - V_{gnd}) \cdot \frac{m}{(2^M - 1)} \cdot \left[\frac{1}{1 + \frac{2^M - 1 + m}{Av_0 \cdot (2^M - 1)}} \right] \quad (188)$$

Si le gain Av_0 est supposé grand, par développement limité de cette expression à l'ordre 1, la sortie devient :

$$V_S \approx \frac{m \cdot V_{ref}}{(2^M - 1)} \cdot \left[1 - \frac{2^M - 1 + m}{Av_0 \cdot (2^M - 1)} \right] \quad (189)$$

L'erreur ε_A engendrée par ce gain fini par rapport à la valeur idéale de sortie du CNA s'exprime de la façon suivante :

$$\varepsilon_A = \frac{(2^M - 1 + m)mV_{ref}}{Av_0.(2^M - 1)^2} \quad (190)$$

Afin de respecter la précision de *ENOB-bits* visée, l'erreur doit encore vérifier : $\varepsilon_A \leq \frac{V_{ref}}{2.(2^{ENOB} - 1)}$. En considérant le pire cas : $m = 2^M - 1$ (lorsque toutes les capacités sont « on »), le gain Av_0 des amplificateurs opérationnels doit donc vérifier :

$$A_0 \geq 4.(2^{ENOB} - 1) \quad (191)$$

Le temps de boucle peut être supposé entièrement attribué au convertisseur numérique analogique. Pour un CNA délivrant les deux tensions de référence en parallèle (cf. Figure 85), deux cycles sont nécessaires, la fréquence de coupure de l'AO doit vérifier :

$$f_c \geq \frac{2}{\delta} \quad (192)$$

Pour un CNA fournissant les deux tensions en série (cf. Figure 88 et Figure 90), quatre cycles sont nécessaires, il faut :

$$f_c \geq \frac{4}{\delta} \quad (193)$$

$\frac{1}{\delta}$ est la fréquence maximale à laquelle fonctionne le CAN-A. De plus, puisque l'amplificateur est contre-réactionné par C_{ref} , il doit rester stable, sa marge de phase doit vérifier : $\Delta\Phi \geq 45^\circ$.

Enfin, bien que le slew-rate doit être de forte valeur, il ne s'agit pas d'un point critique pour le CNA. En effet ce dernier a pour effet de limiter la pente du signal en sortie de l'amplificateur. Ainsi, pour des horloges avec des périodes de forte valeur, le temps sera largement suffisant pour que la sortie se stabilise avant un changement de phase sur les horloges.

4.2.3.1.3 Comparaison avec le cas synchrone

Comme pour le cas de la conception en mode courant donné au paragraphe 4.2.2.1.4, la surface d'un CNA conçu dans un contexte synchrone peut être estimée et comparée aux résultats obtenus dans le contexte asynchrone.

Par des calculs similaires à ceux du paragraphe 4.2.1.2.1, et sachant que le CNA doit avoir une précision de *ENOB-bits*, le côté minimal d'une capacité vaut :

$$L_{min}(\mu m) = \frac{3.A.\sqrt{2^{ENOB} - 1}}{100} \quad (194)$$

Pour la surface totale $S_{CNA-sync}$ du CNA dans le contexte asynchrone, il vient :

$$S_{CNA-async}(\mu m^2) = (2^M - 1)L_{min}^2(\mu m) \quad (195)$$

De même, dans le contexte synchrone :

$$S_{CNA-sync}(\mu m^2) = (2^{ENOB} - 1)L_{min}^2(\mu m) \quad (196)$$

Ainsi, compte tenu des relations (179), (194), (195) et (196), il peut immédiatement être constaté que la surface du CNA est identique qu'il s'agisse d'un contexte asynchrone ou synchrone. Cette remarque est bien sûr similaire au cas de la conception analogique en mode courant.

Pour conclure, bien que dans le cas asynchrone, le nombre de sources élémentaires à implémenter soit plus faible, leur précision doit être beaucoup plus grande, ce qui nécessite une surface de silicium plus importante. La surface totale du CNA est donc équivalente au cas synchrone ou les $2^{ENOB} - 1$ sources élémentaires sont directement implémentées.

4.2.3.2 Le comparateur

Le mode d'échantillonnage par *traversées de niveaux* contraint fortement chaque caractéristique du comparateur de tension.

4.2.3.2.1 Capacité d'entrée

En considérant la capacité d'entrée $C_{in-comp}$ du comparateur, et dans le cas général sans compensation d'offset (schéma électrique donné Figure 86), la tension de sortie V_{CNA} du CNA devient :

$$V_{CNA-réelle} = \left(\frac{2.m.C_u}{C_{ref} + C_{in-comp}} \right) V_{ref} \quad (197)$$

L'erreur engendrée par la présence de cette capacité ne doit pas perturber la résolution effective de *ENOB-bits* visée pour l'application finale, elle doit vérifier :

$$|\Delta V| = |V_{CNA} - V_{CNA-réelle}| \leq \frac{q_{V-ENOB}}{2} = \frac{V_{ref}}{2.(2^{ENOB} - 1)} \quad (198)$$

Soit après calculs, la capacité d'entrée du comparateur doit vérifier :

$$C_{in-comp} \leq \frac{(2^M - 1)C_u}{2^{ENOB} - 2} \quad (199)$$

Dans le cas du montage avec compensation d'offset utilisé dans le cadre du CAN-A (cf. Figure 88), la tension de sortie V_{CNA} du CNA devient :

$$V_{CNA-réelle} = \left(\frac{2.m.C_u - 0,5.C_{in-comp}}{C_{ref} - C_{in-comp}} \right) V_{ref} \quad (200)$$

Ainsi la capacité d'entrée du comparateur doit vérifier :

$$C_{in-comp} \leq \frac{2.(2^M - 1)C_u}{2^{ENOB} + 1} \quad (201)$$

Il peut être remarqué que le choix de la capacité d'entrée pour le comparateur dépend du choix de la capacité élémentaire C_u du CNA.

4.2.3.2.3 Gain et Bande passante

Un comparateur en tension peut être considéré comme un système du premier ordre, si seul son pôle dominant est pris en compte (cf. Figure 96). La fonction de transfert est donnée par :

$$\frac{V_{out}}{V_{in}} = \frac{Av_0}{1 + \tau_{comp} \cdot p} \text{ avec : } f_c = \frac{1}{2 \cdot \pi \cdot \tau_{comp}} \text{ et } f_T = Av_0 \cdot f_c \quad (202)$$

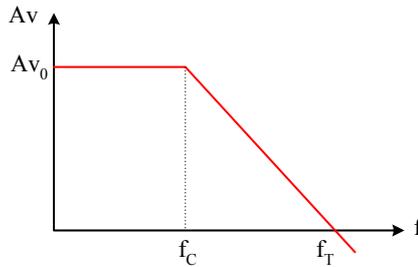


Figure 96 : Fonction de transfert du comparateur.

Au voisinage d'un niveau de référence, la tension d'entrée V_{in} peut être considérée comme une droite de coefficient directeur α : $V_{in}(t) = \alpha \cdot t$. Dans le domaine de Laplace, la

tension s'exprime par : $V_{in}(p) = \frac{\alpha}{p^2}$, avec $\alpha = \left(\frac{\partial V_{in}}{\partial t} \right)_{V_{in} \approx \text{level } i}$.

Ainsi :

$$V_{out}(p) = \left(\frac{Av_0}{1 + \tau_{comp} p} \right) \frac{\alpha}{p^2} \quad (203)$$

Le but est de trouver l'expression temporelle de $V_{out}(t)$. Par une décomposition en éléments simples, il vient immédiatement :

$$V_{out}(p) = Av_0 \cdot \alpha \left(\frac{A}{1 + \tau_{comp} p} + \frac{B}{p} + \frac{C}{p^2} \right), \text{ avec : } A = \tau_{comp}^2, B = -\tau_{comp} \text{ et } C = 1 \quad (204)$$

Puis, par transformée de Laplace inverse :

$$V_{out}(t) = Av_0 \cdot \alpha \cdot \left[\tau_{comp} \cdot \exp\left(\frac{-t}{\tau_{comp}}\right) - \tau_{comp} + t \right] \quad (205)$$

Afin de déterminer le temps de résolution t_r , il faut résoudre l'équation : $V_{out}(t_r) = \frac{V_{dd}}{2}$ c'est l'instant où la sortie bascule de '0' à '1'. Par un développement limité à l'ordre deux :

$$t_r \approx \sqrt{\frac{\tau_{comp} \cdot V_{dd}}{Av_0 \cdot \alpha}} \quad (206)$$

L'erreur en tension δV_{comp} engendrée par le temps t_r devient : $\delta V_{comp} = \alpha \cdot t_r$, soit :

$$\delta V_{comp} = \sqrt{\frac{\tau_{comp} \cdot V_{dd} \cdot \alpha}{A v_0}} . \text{ Afin de respecter la précision de } ENOB\text{-bits} \text{ souhaitée, cette er-}$$

reur en tension doit vérifier : $\delta V_{comp} \leq \frac{q_{V-ENOB}}{2}$.

D'après le théorème de Bernstein, la pente du signal V_{in} est bornée suivant la relation : $\alpha \leq 2 \cdot \pi \cdot f_{max} \cdot V_{dd}$. Le produit gain bande du comparateur doit vérifier :

$$f_T = A v_0 \cdot f_C \geq 4 \cdot f_{max} \cdot (2^{ENOB} - 1)^2 \quad (207)$$

Il peut être remarqué que pour gagner un bit de résolution effective, les contraintes sur le produit gain-bande sont multipliées par quatre.

La bande passante doit vérifier la même relation que celle vue dans le cas de la conception du comparateur en mode courant.

4.2.3.2.4 Slew-rate

Le slew-rate d'un comparateur est défini par la pente maximale de sa tension de sor-

tie V_{out} : $SR = \left(\frac{\partial V_{out}}{\partial t} \right)_{max}$ lorsque la tension d'entrée varie significativement (en grand

signal). Si $C_{in-latch}$ est la capacité d'entrée de l'étage chargeant le comparateur (le latch analogique) et I_{pol} le courant de polarisation de l'étage de sortie du comparateur, le slew rate s'exprime par :

$$SR = \frac{I_{pol}}{C_{in-latch}} \quad (208)$$

Il faut que le slew-rate soit suffisamment grand pour éviter que la résolution effective du CAN-A ne soit dégradée. Soit t_{SR} , le temps de montée de la sortie V_{out} due au slew-rate, il s'exprime par : $t_{SR} = \frac{1}{2} \cdot \frac{V_{dd}}{SR}$. L'erreur en tension correspondant à ce temps de mon-

tée est : $\delta V_{SR} = \frac{\partial V_{in}}{\partial t} \cdot t_{SR} \leq \frac{q_{V-ENOB}}{2}$. Compte tenu du théorème de Bernstein, le slew-rate doit vérifier :

$$SR \geq 2 \cdot \pi \cdot f_{max} \cdot V_{dd} \cdot (2^{ENOB} - 1) \quad (209)$$

Ainsi le courant de polarisation de l'étage de sortie du comparateur doit vérifier :

$$I_{pol} \geq 2 \cdot \pi \cdot C_{in-latch} \cdot f_{max} \cdot V_{dd} \cdot (2^{ENOB} - 1) \quad (210)$$

La conception du comparateur est donc assez délicate, puisque toutes ses caractéristiques sont très contraintes lorsque la résolution du CAN-A augmente. Le gain doit être important, ainsi que le slew-rate, tout en ayant une capacité d'entrée faible et des courants de polarisation les plus petits possibles.

4.3 Résumé de la méthode

D'un point de vue haut niveau, la méthodologie de conception peut être résumée comme indiquée Figure 97. Le point important devant être retenu est que contrairement à ce qui est fait usuellement pour la conception des CANs de Nyquist, ici toutes les propriétés du signal analogique à traiter sont utilisées afin de minimiser la complexité du matériel à mettre en œuvre et réduire significativement l'activité du circuit. A partir de ces propriétés et de l'application ciblée, la méthode permet de trouver la résolution matérielle M minimale, le temps de boucle maximal δ_{max} , la période minimale T_C et la résolution matérielle maximale M_{timer} du timer.

Dans le cas de la conversion analogique numérique de Nyquist telle que présentée au Chapitre 1, la méthode de conception est beaucoup plus simple. La fréquence d'échantillonnage est basée sur la composante fréquentielle maximale contenue dans le signal analogique en entrée, selon le théorème de Shannon (cf. paragraphe 2.2.1). De plus, pour un CAN de Nyquist, tous les bits de résolution sont implémentés au niveau matériel. L'inconvénient de ce genre d'approche est immédiatement visible : tout d'abord le matériel est maximal, ce qui engendre une perte de surface et de consommation. De plus, la fréquence d'horloge maximale induit une activité maximale du circuit alors que l'activité du signal analogique n'atteint presque jamais la composante fréquentielle maximale. Ce dimensionnement « pire cas » est donc la source d'un nombre important d'échantillons convertis sans information vraiment pertinente, comme il peut être remarqué sur la Figure 62. Ceci induit une augmentation inutile de la consommation électrique du circuit et du nombre d'échantillons numériques à stocker ou à traiter.

Dans le cas des CANs asynchrones présentés ici, pour le bas niveau analogique, les caractéristiques de conception en mode courant et en mode tension des différents blocs sont résumées Tableau 4. Chaque paramètre dépend évidemment de la résolution effective $ENOB$ du CAN-A.

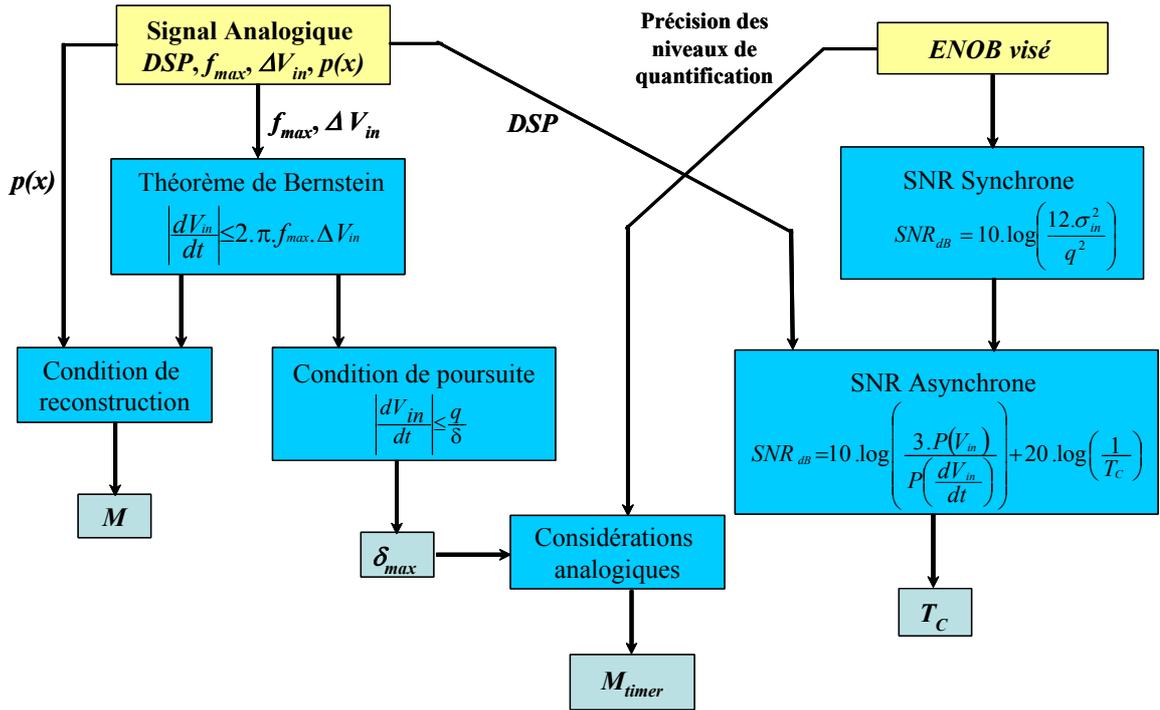


Figure 97 : Méthodologie générale de conception d'un CAN-A au niveau système pour une application et un type de signaux donnés.

Tableau 4 : Résumé des caractéristiques de conception des blocs analogiques d'un CAN-A.

	Mode courant	Mode tension
Quantum matériel	$q_I = \frac{\Delta I_{in}}{2^M - 1}$	$q_V = \frac{\Delta V_{in}}{2^M - 1}$
Quantum effectif	$q_{I-ENOB} = \frac{\Delta I_{in}}{2^{ENOB} - 1}$	$q_{V-ENOB} = \frac{\Delta V_{in}}{2^{ENOB} - 1}$
CNA	$W.L \geq \frac{36 \cdot (2^{ENOB} - 1)^2}{2^M - 1} \left[A_\beta^2 + \frac{4}{(V_{GS} - V_T)^2} \cdot A_{VT}^2 \right]$ $f_C \geq \frac{1}{\delta}$	$L_{min}(\mu m) = \frac{3 \cdot A \cdot (2^{ENOB} - 1)}{100 \cdot \sqrt{2^M - 1}}$ $Av_0 \geq 4 \cdot (2^{ENOB} - 1)$ $f_C \geq \frac{2}{\delta}$ ou $f_C \geq \frac{4}{\delta}$
Comparateur	$\frac{C_{in} \cdot C_{out}}{G_{m-comp}} \leq \frac{\Delta I_{in}}{3 \cdot V_{dd}} \left(\frac{1}{2} \cdot \frac{1}{2^{ENOB} - 1} \right)^3 \cdot \left(\frac{1}{2\pi f_{max}} \right)^2$ $f_C \geq \frac{1}{\delta}$	$C_{in-comp} \leq \frac{2 \cdot (2^M - 1) \cdot C_u}{2^{ENOB} + 1}$ $f_T = Av_0 \cdot f_C \geq 4 \cdot f_{max} \cdot (2^{ENOB} - 1)^2$ $f_C \geq \frac{1}{\delta}$ $SR \geq 2 \cdot \pi \cdot f_{max} \cdot V_{dd} \cdot (2^{ENOB} - 1)$ $I_{pol} \geq 2 \cdot \pi \cdot C_{in-latch} \cdot f_{max} \cdot V_{dd} \cdot (2^{ENOB} - 1)$

Trans-conductance	$THD_{\%} < \frac{100}{2 \cdot (2^{ENOB} - 1)}$ $f_c \geq \frac{1}{\delta}$	Absente
Résolution timer	Sans contrainte	$M_{Timer} \approx \ln_2 \left(\frac{\Delta V_{in}}{2 \cdot I_{leak/C} \cdot T_C \cdot (2^{ENOB} - 1)} \right)$

Lors de la conception des blocs analogiques, chaque aspect a été considéré pour l'étude de la précision finale du CAN-A. Ceux-ci ont évidemment été considérés indépendants les uns des autres. En pratique, à la fin de la conception de chaque bloc du CAN-A selon les caractéristiques décrites ci-dessus, des simulations de type Monte-Carlo sur le circuit global doivent être effectuées afin de vérifier les résultats concernant la précision du CAN-A.

4.4 Conclusion

Comme il a été présenté au Chapitre 3, le principe de fonctionnement du CAN-A est complètement différent de celui des approches synchrones usuelles. La théorie associée a donc conduit à une méthodologie de conception originale pour cette nouvelle famille de convertisseurs, se démarquant complètement de celle associée aux convertisseurs de Nyquist.

Celle-ci se situe tout d'abord au niveau système où les caractéristiques haut niveau du CAN-A sont déterminées en fonction de la classe de signaux analogiques à convertir et de l'application ciblée. Elle a pour objectifs de réduire la complexité et l'activité du convertisseur en vue de limiter sa consommation électrique. Il y a détermination du temps de boucle maximal acceptable, de la résolution matérielle minimale autorisée pour le timer, de la résolution matérielle minimale pour le CAN-A, et de la période d'horloge maximale pour le timer. Pour cela, toutes les caractéristiques du signal analogique, aussi bien fréquentielles que statistiques sont utilisées.

La méthode se situe enfin au niveau transistor où toutes les caractéristiques analogiques des composants du CAN-A sont modélisées afin de garantir la résolution effective finale ciblée pour l'application. Ces résultats théoriques sont étudiés dans le cadre d'une conception analogique en mode courant et en mode tension. Pour l'instant, cette étude a été réalisée sans considérer l'implémentation au niveau transistor des blocs, seuls des débuts de choix d'implémentation ont été faits pour les CNAs des CAN-As.

5

Chapitre 5 : Exemples de Conception de CAN-As en Technologie CMOS Standard 0,18 μ m

Ce Chapitre présente la conception de deux CAN-As en vue d'estimer leur Facteur de Mérite. Dans ce cadre, la méthodologie de conception présentée au Chapitre 4 est mise en œuvre, pour une application de type parole. Deux convertisseurs sont étudiés ici, un en mode courant et l'autre en mode tension. La technologie HCMOS8d de STMicroelectronics, technologie CMOS standard en 0,18 μ m, est utilisée.

Il est tout d'abord décrit le choix exact retenu pour l'architecture de conversion, puis la conception de la partie numérique du convertisseur. Les contraintes de conception de chaque bloc analogique sont calculées, en fonction de la résolution effective du CAN-A, à partir des résultats théoriques démontrés au Chapitre 4. A partir de là, un compromis est effectué entre la résolution du convertisseur et les paramètres de conception des parties analogiques, afin de déterminer le cahier des charges précis du convertisseur. Chaque bloc analogique est alors étudié d'un point de vue transistor, après un bref état de l'art pour chacun d'entre eux.

Les deux CAN-As ont enfin été conçus entièrement au niveau transistor à partir de ce cahier des charges. Les simulations électriques permettent enfin d'estimer leur Facteur de Mérite.

5.1 Cahier des charges

L'application ciblée pour toute la suite de cette étude est de type parole. En effet, les signaux de parole sont parfaitement modélisés et leurs propriétés statistiques et spectrales parfaitement connues [RAB 78]. Ces signaux sont aussi très faciles à générer afin de procéder à des simulations fonctionnelles. Enfin, ils semblent parfaitement adaptés à cette nouvelle classe de convertisseurs, puisque les zones utiles ne sont que celles où une forte activité existe, et que globalement, les zones de silence où aucune information pertinente n'est présente sont éliminées.

Les paramètres définissant le CAN-A au niveau système doivent être déterminés selon la méthode vue Chapitre 4 et résumée Figure 97. Pour l'instant, aucune résolution effective n'est fixée. Celle-ci sera choisie à l'issue de l'estimation des contraintes de conception de chaque bloc analogique dans les deux modes de conception.

De plus, à partir de maintenant, c'est la technologie HCMOS8d de STMicroelectronics qui est utilisée. Il s'agit d'une technologie CMOS standard 0,18µm dont toutes les caractéristiques peuvent être trouvées dans [ST 01].

5.1.1 Le rapport signal sur bruit

La relation théorique du rapport signal sur bruit dans le cadre de l'échantillonnage asynchrone pour un signal de parole est donnée par la relation (84). Le rapport signal-sur-bruit doit également être calculé dans le cas de la conversion classique de Nyquist. La définition est donnée par la relation (11) avec σ_x : l'écart type du signal utile, et q le

quantum élémentaire défini par : $q = \frac{\Delta V_{in}}{2^{ENOB} - 1}$.

Pour un signal de parole, la densité de probabilité de son amplitude est donnée dans [RAB 78], il s'agit d'une loi de Laplace:

$$p(x) = \frac{1}{\sqrt{2} \cdot \sigma_x} \cdot \exp\left(\frac{-\sqrt{2} \cdot |x|}{\sigma_x}\right) \quad (211)$$

Il est facile de montrer que 99,65% des échantillons appartiennent à l'intervalle : $-4 \cdot \sigma_x \leq x \leq 4 \cdot \sigma_x$. L'écart type est ainsi choisi de la manière suivante :

$$\sigma_x = \frac{\Delta V_{in}}{8} \quad (212)$$

Compte tenu de la relation (212), le rapport signal sur bruit donné par (11) devient :

$$SNR_{dB} = 10 \cdot \log\left(\frac{12 \cdot (2^{ENOB} - 1)^2}{64}\right) \quad (213)$$

ou bien :

$$SNR_{dB} = -7,27 + 6,02 \cdot ENOB \quad (214)$$

5.1.2 Calcul des paramètres de conception

En reprenant la méthodologie générale présentée au Chapitre 4, les paramètres de conception haut niveau du CAN-A sont les suivants :

5.1.2.1 Temps de boucle

Le temps de boucle maximal vaut : $\delta_{\max} = 2,65\mu s$

5.1.2.2 Résolution matérielle du CAN-A

La résolution minimale du CAN-A vaut : $M=4\text{-bits}$

5.1.2.3 Période du timer

Enfin, pour la période du timer, compte tenu des relations (84) et (214), elle est définie par :

$$T_C = 10^{\frac{59,03+6,02 \cdot ENOB}{20}} \quad (215)$$

Celle-ci a été calculée numériquement en fonction de la résolution effective $ENOB$ à atteindre. Les résultats sont donnés Tableau 5. Il peut être remarqué que les ordres de grandeur de l'horloge à implémenter pour le timer dans le cadre d'un signal de parole sont très raisonnables et peuvent être obtenus par des montages simples et peu coûteux, quelle que soit la résolution effective à atteindre.

Tableau 5 : Période théorique du timer à implémenter pour un signal de parole.

ENOB	6-bits	7-bits	8-bits	9-bits	10-bits	11-bits	12-bits
T_C^{-1} (Hz)	57,21k	118,06k	228,82k	457,51k	915,16k	1,83M	3,66M

5.1.2.4 Résolution matérielle du timer

Pour la conception analogique en mode courant, aucune contrainte n'existe quant au choix de M_{timer} . Pour la conception en mode tension, les valeurs numériques de M_{timer} sont calculées à partir de la relation théorique (119) et résumées en fonction de la résolution effective du CAN-A au Tableau 6.

Tableau 6 : Résolution matérielle théorique du timer à implémenter pour un signal de parole.

ENOB	6-bits	7-bits	8-bits	9-bits	10-bits	11-bits	12-bits
M_{timer}	12-bits						

Il peut être constaté que quelle que soit la résolution effective du CAN-A, la résolution du timer est toujours de 12-bits . Il est donc dorénavant fixé : $M_{timer}=12\text{-bits}$.

Compte tenu de tous ces résultats, le but est bien sûr de minimiser la consommation et la surface de chaque sous-bloc du convertisseur, afin de vraiment tirer profit de la réduction d'activité et de la complexité de matériel dus à l'échantillonnage par traversées de niveaux. Pour l'instant, aucune résolution effective n'est visée pour le CAN-A, les paramètres de conception résumés Tableau 4 pour chaque bloc analogique ont été déterminés numériquement en fonction de la résolution effective. A partir de là, un compromis est à faire entre la résolution effective et la faisabilité/consommation des blocs analogiques afin de fixer le cahier des charges définitif du CAN-A et le concevoir.

5.2 Implémentation retenue

L'implémentation de base du convertisseur est donnée Figure 69. Celle-ci a été légèrement modifiée telle que présenté Figure 98. Le bloc concernant le timer et la synchronisation avec un circuit externe ont été ajoutés. Ce dernier est destiné à fournir les couples amplitude/temps (V_{num_clk} , dt_clk) et la requête de sortie req_out associée. Ces trois signaux sont synchronisés sur front montant de l'horloge du timer. Sur ce schéma un encodeur du code thermométrique vers le code binaire naturel ($t2b$) et un additionneur 1-bit ($add1$) ont été ajoutés. Leur présence est expliquée ci-dessous.

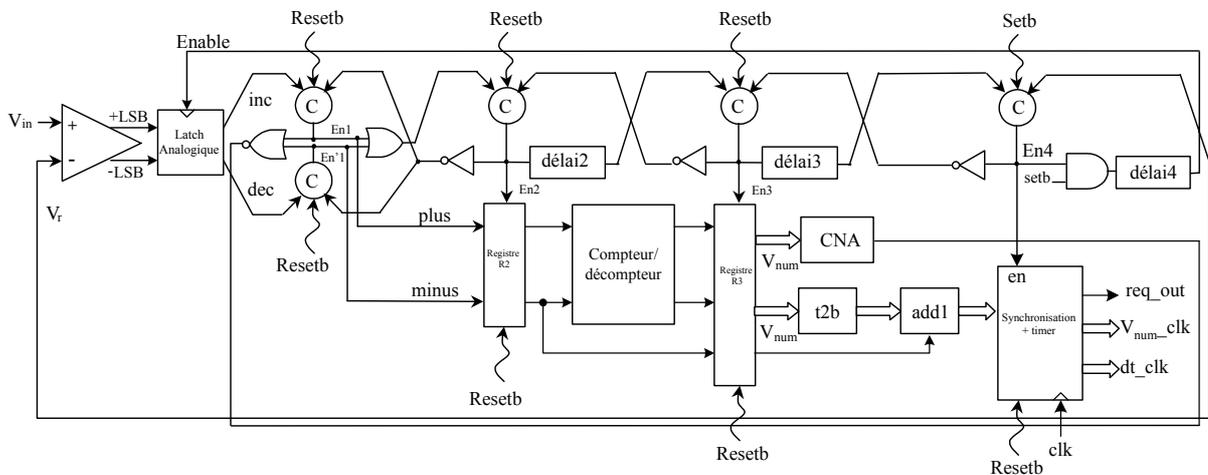


Figure 98 : Schéma de l'architecture du CAN-A implémenté en mode courant ou en mode tension avec le timer et la synchronisation.

Sur la Figure 99, quel que soit le mode de conception pour la partie analogique, les niveaux horizontaux continus représentent les niveaux de référence. Chaque fois que le signal analogique I_{in} ou V_{in} en traverse un, il y a capture puis conversion d'un échantillon. Les niveaux en pointillés représentent les niveaux en sortie du CNA, c'est à dire les différentes valeurs de I_{CNA} ou V_{CNA} . Avec l'implémentation asynchrone choisie, lorsque le signal analogique traverse un niveau de référence avec une pente positive, la variable interne du compteur/décompteur code bien le niveau traversé. Par contre, lorsqu'un niveau de référence est traversé avec une pente négative, la variable interne ne code pas le

niveau traversé, mais le niveau inférieur. Ainsi, afin d'obtenir une valeur correcte pour la sortie numérique du CAN-A, un additionneur un bit (*add1*) est ajouté, il est actif uniquement lorsque $-LSB=1$ (cf. Figure 98).

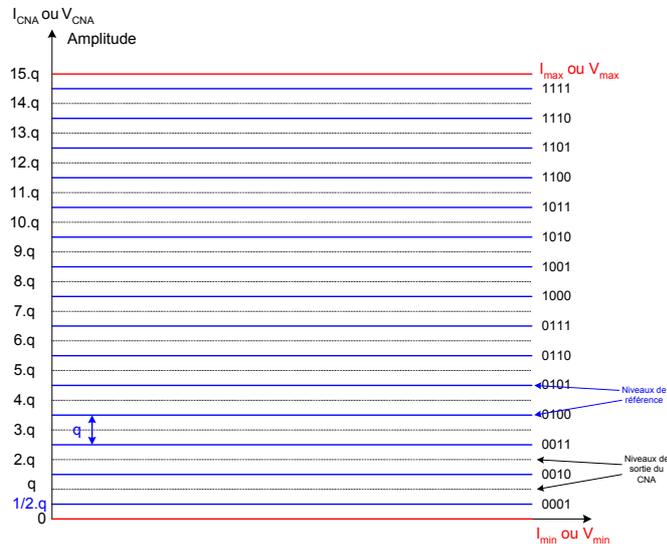


Figure 99 : Description des niveaux de référence et des sorties du CNA pour le CAN-A 4-bits, quel que soit le mode de conception analogique.

5.3 Conception d'un CAN-A

5.3.1 Conception de la partie numérique

5.3.1.1 Le Latch analogique

Quelle que soit l'approche choisie pour la conception de la partie analogique, le latch analogique est le même. Comme il a été vu auparavant, son but est de lier la partie *data path* à la partie *contrôle*. Il comporte un bit de contrôle *Enable*, deux bits d'entrée $+LSB$, $-LSB$ et les deux bits de sortie correspondants *inc* et *dec*. L'hypothèse pour le fonctionnement de ce bloc est intrinsèque au principe du convertisseur : il y a exclusivité entre les deux bits d'entrée $+LSB$ et $-LSB$. Son fonctionnement est le suivant : lorsque *Enable* = '0', les bits *inc* et *dec* sont forcés à zéro quoi qu'il se passe sur les deux entrées. Lorsque *Enable* passe à l'état haut, dès que $+LSB = '1'$ (respectivement $-LSB = '1'$) alors *inc* = '1' et *dec* = '0' (respectivement *inc* = '0' et *dec* = '1') et les sorties demeurent figées quoi qu'il se passe ensuite sur les deux entrées. Le reset des sorties se fait lorsque le bit *Enable* repasse à zéro. Plusieurs implémentations sont envisageables pour ce circuit.

5.3.1.1.1 Montage à bascule Q et filtre analogique

Ce montage a été présenté par F.U. Rosenberg *et al.* dans [ROS 88]. Il est composé de deux inverseurs tête bêche, d'un transistor P commandé par le signal *Enable*, de deux transistors N commandés respectivement par *+LSB* et *-LSB* et d'un filtre analogique supprimant les tensions intermédiaires apparaissant pendant les phases de métastabilité. (cf. Figure 100)

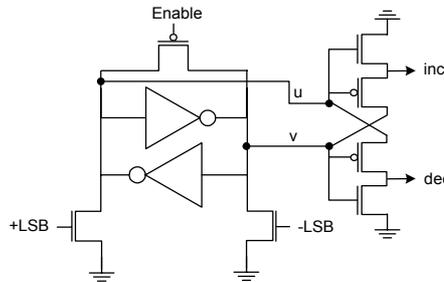


Figure 100 : Latch analogique implémenté avec une bascule Q et un filtre analogique.

Lorsque *Enable* = '0', le transistor P, de taille suffisamment importante, place les deux inverseurs en métastabilité, i.e. à un niveau logique proche de $V_{dd}/2$, qui est vu comme un '0' par le filtre de sortie. Lorsque *Enable* = '1', la cellule doit demeurer dans son état métastable jusqu'à ce qu'un des signaux de commande *+LSB* ou *-LSB* passe à '1' (*+LSB* et *-LSB* sont exclusifs), le point mémoire bascule alors dans un état stable. La cellule doit y demeurer, même si un changement intervient au niveau des bits de commande. Le système est alors dans un état stable jusqu'à la prochaine variation de *Enable*. Le principal problème de ce montage vient de sa forte consommation notamment pendant les phases de métastabilité des inverseurs. De plus, dans le contexte du CAN-A, lorsque *Enable* passe de '0' à '1', et que *+LSB* = *-LSB* = '0', les inverseurs sont normalement en métastabilité jusqu'au passage de *+LSB* ou *-LSB* à '1', mais la moindre perturbation, ou dissymétrie du montage risque de faire basculer le point mémoire d'un côté ou de l'autre bien qu'aucun des bits *+LSB* ou *-LSB* ne passe à '1'. Le convertisseur risque par conséquent de ne pas fonctionner. Une solution est donnée Figure 101 afin de compléter le schéma électrique de la Figure 100 et ainsi résoudre ce problème.

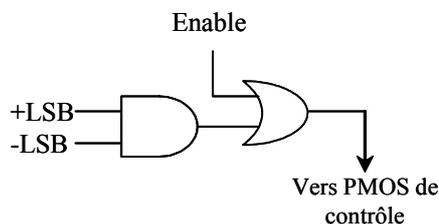


Figure 101 : Modification du schéma électrique de la Figure 100 afin de la faire fonctionner dans le cadre du CAN-A.

5.3.1.1.2 Montage en logique dynamique

Le principe de cette implémentation (cf. Figure 102) est identique à celui des portes numériques dynamiques [GUY 01]. Lorsque *Enable* = '0', $S2=S1='0'$: les transistors *P1*

et $P3$ (de taille importante) sont passants, ils préchargent les nœuds A et B à V_{dd} , donc $u=v='1'$ et $inc=dec='0'$, les transistors $N1$ et $N3$ sont bloqués ce qui empêche un court-circuit pendant la précharge. Lorsque $Enable='1'$, A et B sont maintenus à V_{dd} par les transistors $P2$ et $P4$ et les inverseurs $I1$ et $I2$, tous de petite taille. De plus, les transistors $N1$ et $N3$ de décharge (de taille moyenne, tout comme les transistors $N2$ et $N4$) sont passants, ainsi A ou B peut éventuellement passer à '0' et déclencher les sorties. Si $+LSB='1'$, $N4$ devient passant, le potentiel de B passe alors à '0' et inc à '1', le signal de commande $S1$ passe donc à '0' rendant passant le transistor $P1$ qui, étant de forte taille, force le potentiel de A à '1' et bloque le transistor $N1$. Quelle que soit maintenant l'évolution de $+LSB$ et $-LSB$, le système est dans un état stable : le nœud B étant à '0', il ne peut remonter à '1', et le nœud A ne peut redescendre à '0'. La situation est donc figée jusqu'à ce que le bit $Enable$ repasse à '0' puis à '1'. Par symétrie, le fonctionnement du montage est tout à fait similaire si $-LSB$ passe à '1'.

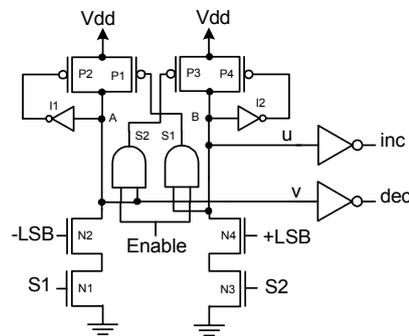


Figure 102 : Latch analogique implémenté en logique dynamique.

C'est cette dernière solution, facile à mettre en œuvre, et dont le fonctionnement se prête bien au cas du CAN-A, qui est retenue pour la conception du CAN-A.

5.3.1.2 La partie contrôle

La partie contrôle est simplement composée de portes de Muller, de portes numériques élémentaires et de délais (cf. Figure 68). Pour l'implémentation de cette partie, les cellules standard des bibliothèques de la technologie HCMOS8d de STMicroelectronics sont utilisées. Des délais de valeur élémentaires variant de quelques centaines de picosecondes à quelques nanosecondes sont notamment disponibles. Ceux-ci sont conçus par la mise en série d'inverseurs « mal » dimensionnés. Beaucoup d'implémentations électriques existent pour les portes de Muller, celles-ci ont été réalisées à l'aide des portes complexes fournies par la technologie tel qu'indiqué Figure 44.

Le temps de boucle maximal calculé à l'issue de la méthodologie de conception pour un signal de parole est : $\delta_{max} = 2,65\mu s$. Ainsi, il est possible de choisir n'importe quelle valeur inférieure pour le temps de boucle δ . Le but est bien sûr de s'approcher le plus possible de cette limite supérieure δ_{max} , afin de limiter les contraintes de conception de la partie analogique. En pratique, il suffit d'utiliser les délais suffisant pour les contrôleurs

du CAN-A afin d'atteindre cette limite supérieure. Pour cela, les délais sont implémentés avec des délais standard fournis par le fondeur.

Dans un montage micropipeline, des délais dissymétriques peuvent également être mis en œuvre. Il s'agit de délais valant une certaine valeur lorsqu'un front montant se propage et une valeur proche de zéro pour un front descendant. En effet, lorsqu'un '1' se propage dans la partie contrôle, des données valides sont en cours de traitement dans la partie *data path*. Le délai correspondant doit donc être choisi comme le pire cas de l'élément combinatoire correspondant. Par contre, lorsqu'un '0' se propage, il s'agit de la remise à zéro selon le principe du protocole quatre-phases. Aucune donnée valide n'est présente dans la partie *data path*, les délais peuvent être choisis comme nuls. Le montage pour implémenter un délai dissymétrique est donné dans [VIV 01] et présenté Figure 103.

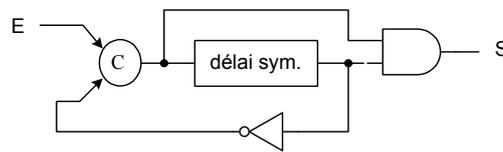


Figure 103 : Délai dissymétrique simple.

Le problème de ce montage vient du fait que la remise à zéro de ce délai est très longue puisqu'elle vaut la valeur du délai. Un montage tel que celui présenté Figure 104 peut être réalisé afin de diviser par deux la phase de ré-initialisation. Ce montage peut être généralisé en divisant en P parties le délai symétrique, ce qui permet de diviser par P la phase de ré-initialisation. Dans ce cas, une porte de Muller à $P+1$ entrées doit être utilisée.

Ce genre de délais dissymétriques, est mis en œuvre dans le cadre de la conception du CAN-A. De plus, afin de s'affranchir des dispersions technologiques sur ceux-ci, ils sont choisis comme majorant d'environ 10% les délais des parties combinatoires ou analogiques correspondantes.

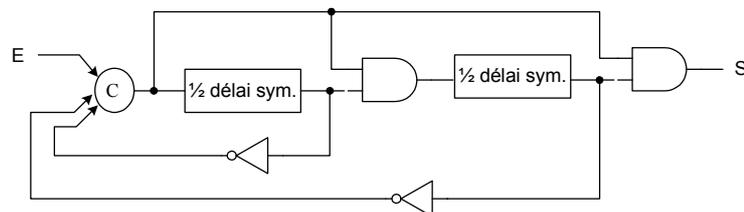


Figure 104 : Délai dissymétrique avec initialisation deux fois plus courte.

5.3.1.3 La partie timer et synchronisation

Ce bloc numérique concerne le circuit fournissant la base de temps pour dater les échantillons et le circuit réalisant l'échantillonnage de la sortie numérique du convertisseur. La solution retenue consiste à rajouter un quatrième contrôleur dans la partie contrôle

du CAN-A dont le bit *En4* va commander l'échantillonnage des sorties numériques du convertisseur (amplitude et temps) comme indiqué Figure 98 et Figure 105.

Le point critique est l'échantillonnage par l'horloge *clk* du bit de contrôle *En4* purement asynchrone car des problèmes de métastabilité peuvent apparaître. Ceux-ci sont levés par l'utilisation de deux bascules en série *FF1* et *FF2* [GIN 02] afin d'obtenir le nouveau signal *En4_clk* purement synchrone (cf. Figure 105). A partir de là, la conception et le mode de fonctionnement du circuit est purement synchrone. Une machine à états *FSM* génère le bit d'échantillonnage *Sample_Timer* et de ré-initialisation du timer *Reset_timer* à partir de *En4_clk* ou du bit d'overflow du timer. En sortie du CAN-A, à chaque conversion d'échantillon, le temps écoulé depuis l'échantillon précédent *dt_clk*, la valeur de l'amplitude *V_num_clk* et la requête de sortie *out_req* sont donnés. Le registre *registre2* est sur *M-bits* car le CAN-A a une résolution de *M-bits*. De même, les intervalles de temps ainsi que le registre *registre1* sont codés sur *M_timer-bits*.

L'intérêt d'avoir ajouté un quatrième contrôleur pour le CAN-A par rapport à la version initiale est de n'avoir qu'un seul bit de contrôle *En4* pour l'échantillonnage simultané de la valeur de l'amplitude *V_num* et du temps *dt*. Le délai *délai3* est bien sûr choisi de manière à majorer la valeur du délai maximal de traversée de l'encodeur de code thermométrique vers le code binaire naturel (*t2b* sur la Figure 98) et de l'additionneur *1-bit* (*add1* sur la Figure 98). De plus, il faut que la somme des délais *délai3* et *délai4* majore le délai maximal du CNA.

Le fonctionnement de la machine à états *FSM* est le suivant : lorsque *En4_clk='1'*, les bits *Sample_Timer* et *Reset_Timer* passent à '1'. Au coup d'horloge suivant, *V_num* et *dt* sont échantillonnés simultanément, et le timer est relancé. A ce moment là, les bits *Sample_Timer* et *Reset_Timer* ne sont réarmés à '0' que lorsque *En4_clk* repasse à '0'. Lorsque le bit *overflow* du timer passe à '1', le principe de fonctionnement de la *FSM* est le même, sauf que le bit *Reset_Timer* reste à '0'.

Afin de fixer la période T_C de l'horloge *clk*, certaines conditions sont à respecter. Lorsque le CAN-A est inactif i.e. dans la phase d'attente de conversion d'un échantillon, *En4='1'*, et le timer compte à la fréquence $f_c = \frac{1}{T_C}$. Lorsque la conversion d'un échantillon est déclenchée, *En1='1'* ou *En'1='1'*, l'acquiescement de ce premier contrôleur fait basculer le quatrième contrôleur à zéro : *En4='0'*. Le passage à l'état bas de ce bit, donc du bit *En4_clk* engendre un ré-armement du bit *Sample_Timer*, délivré par la machine à états *FSM*. Pour cela, il faut bien sûr que le bit *En4* reste à l'état bas pendant au moins une durée T_C , afin de ne pas rater l'échantillonnage de ce bit par les deux bascules *FF1* et *FF2*. Le bit *En4* reste à l'état bas pendant la durée : $delay2('1') + delay3('1') \approx delay3('1')$, ainsi T_C doit vérifier la relation : $T_C \leq delay3('1')$. De même lorsque *En4* bascule à '1', il y reste pendant au moins la durée $délai4('1')$, ainsi pour ne pas rater l'échantillonnage de *En4* sur l'état haut, il faut que T_C vérifie la relation : $T_C \leq delay4('1')$. Outre ces deux conditions sur T_C , pour que le fonctionnement du circuit soit garanti, il faut que : $T_C \leq \frac{\delta}{3}$, c'est à dire qu'il peut y avoir au maximum un nouvel échantillon tous les $3.T_C$. Ainsi la période T_C doit être choisie telle que :

$$T_C \leq \min\left(\text{delay4}(1'), \text{delay3}(1'), \frac{\delta}{3}\right) \quad (216)$$

La machine à états *FSM* gère également l’overflow du compteur. Il y a prise d’échantillon lorsque le timer est en overflow et recommence à zéro le comptage. Dans ce cas, la valeur de l’échantillon précédent pour V_{num_clk} est recopiée avec la valeur maximale pouvant être codée pour dt_clk . Les éventuels conflits entre l’overflow du compteur et le bit $En4_clk$ sont levés par le timer. En effet, ce dernier génère un bit de contrôle *conflit* (cf. Figure 105) qui déclenche l’inhibition de la bascule *FF1* empêchant d’avoir simultanément au niveau de la *FSM* une requête sur l’*overflow* et sur $En4_clk$.

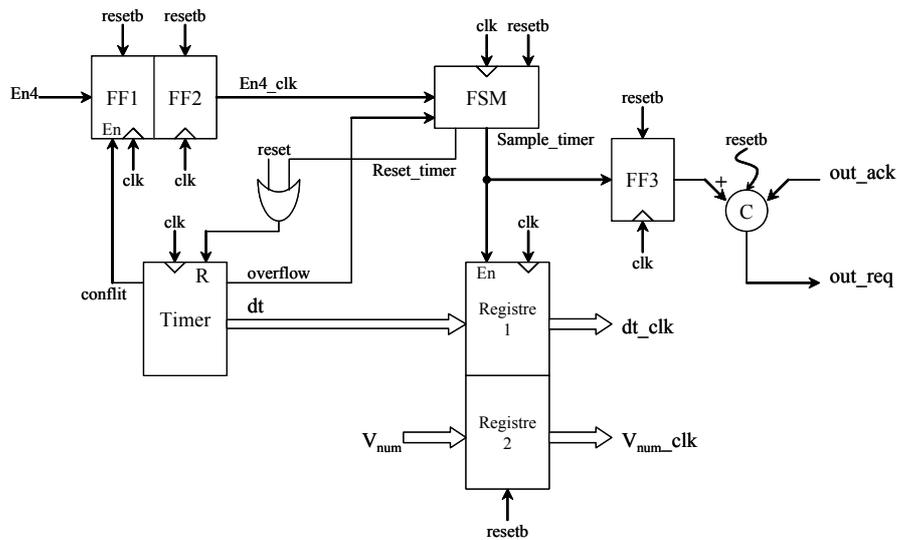


Figure 105 : Schéma électrique du timer et du circuit de synchronisation du CAN-A.

Un exemple de chronogramme des principaux signaux décrits auparavant est donné Figure 106. Trois conversions successives d’échantillons y sont représentées. Pour chacune d’elles, il peut clairement être relevé que trois fronts montants de l’horloge *clk* sont nécessaires pour que les sorties V_{num_clk} , dt_clk et req_out soient évaluées.

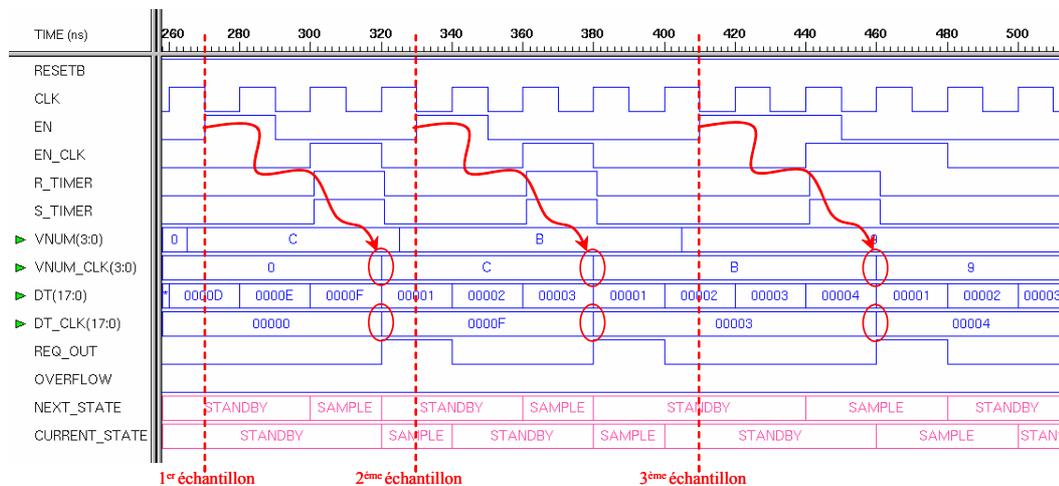


Figure 106 : Exemple de simulation du bloc timer et synchronisation.

5.3.2 Conception de la partie analogique

A partir des résultats donnés Tableau 4, les contraintes de conception de chaque bloc analogique sont calculées théoriquement en fonction de la résolution effective du CAN-A. A l'issue de cette étude, un choix est fait quant au cahier des charges. Enfin chaque bloc analogique est étudié puis conçu au niveau transistor.

5.3.2.1 Etude des contraintes de conception

Pour les deux modes de conception analogique, les paramètres de chaque bloc sont étudiés en fonction de la résolution effective du CAN-A. Ils sont tous déterminés à partir des résultats théoriques obtenus à l'issue du Chapitre 4.

5.3.2.1.1 En mode courant

5.3.2.1.1.1 Le CNA

Les valeurs numériques de la surface de la source de courant élémentaire sont données Figure 107 pour la technologie HCMOS8d, en fonction de la résolution effective et de la tension $V_{GS} - V_T$. Ces valeurs ont été calculées à partir de la relation (140) du Chapitre 4 et des valeurs technologiques fournies par le fondeur dans [ST 01]. De même, la surface du CNA simple est donnée Figure 108. Cette dernière est bien sûr à multiplier par un facteur deux dans le cas d'un CNA à miroirs cascodes ou cascodes *wide swing* (cf. paragraphe 5.3.2.2.1.1). De plus, à partir des relations (141) et (142), les valeurs minimales et maximales des quanta en courant sont calculées numériquement et données Figure 109 et Figure 110 en fonction de la tension de grille du CNA et du nombre effectif de bits du CAN-A. Bien sûr, plus la résolution effective à atteindre est grande, et plus la surface $W.L$ de la source élémentaire augmente, impliquant une plage de choix plus vaste pour le quantum en courant q_I .

En technologie HCMOS8d, après applications numériques, pour une valeur maximale de la tension $V_{GS} - V_T$, la contribution du terme en A_{VT} dans la formule de Pelgrom n'est jamais négligeable devant la contribution en A_β . La relation de Pelgrom ne peut donc pas être simplifiée en négligeant le terme en A_{VT} , comme c'est par exemple le cas dans les travaux de J. Vandenbussche *et al.* [vBOSC 01a]. Les deux termes de la relation ont donc été pris en compte.

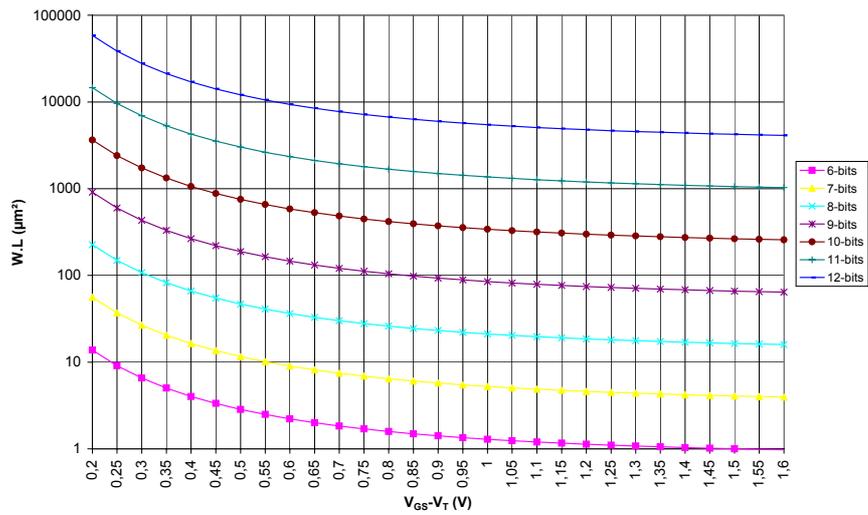


Figure 107 : Surface de la source de courant élémentaire du CNA à implémenter en technologie HCMOS8d en fonction de la résolution effective du CAN-A et de la tension de grille.

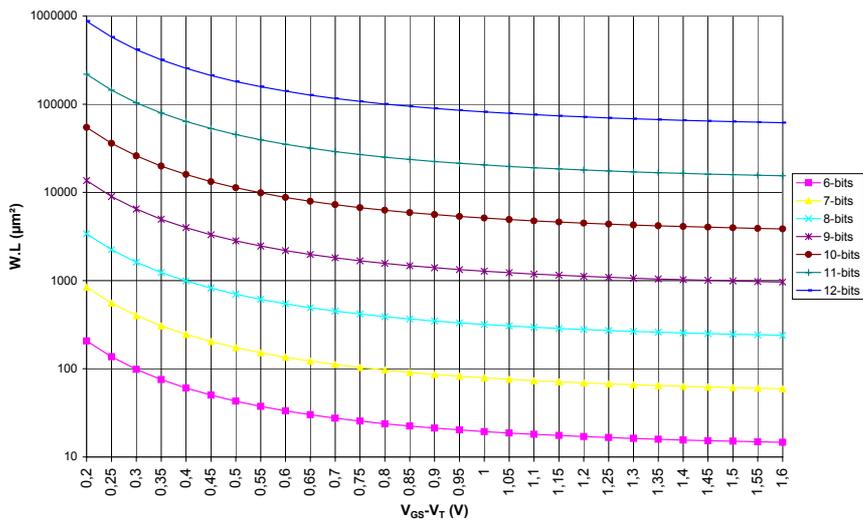


Figure 108 : Surface du CNA simple à implémenter en technologie HCMOS8d en fonction de la résolution effective du CAN-A et de la tension de grille.

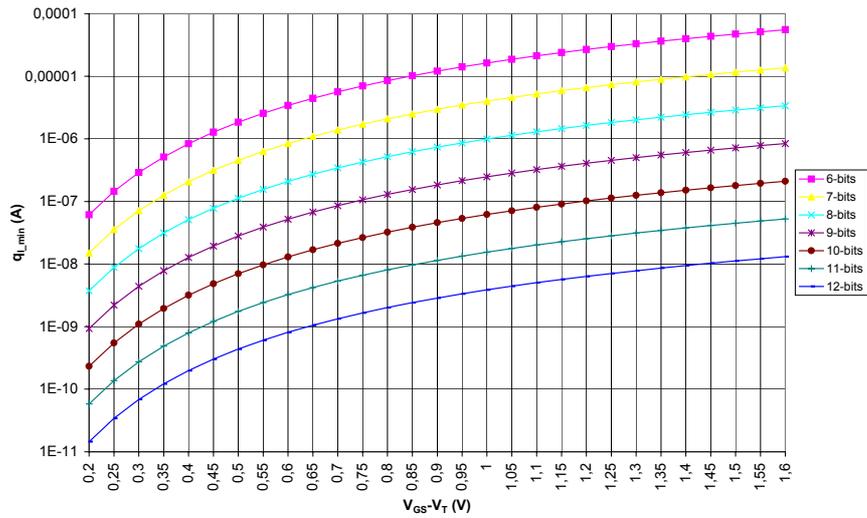


Figure 109 : Valeur minimale du quantum pour un CNA en mode courant en technologie HCMOS8d en fonction de la résolution effective et de la tension de grille.

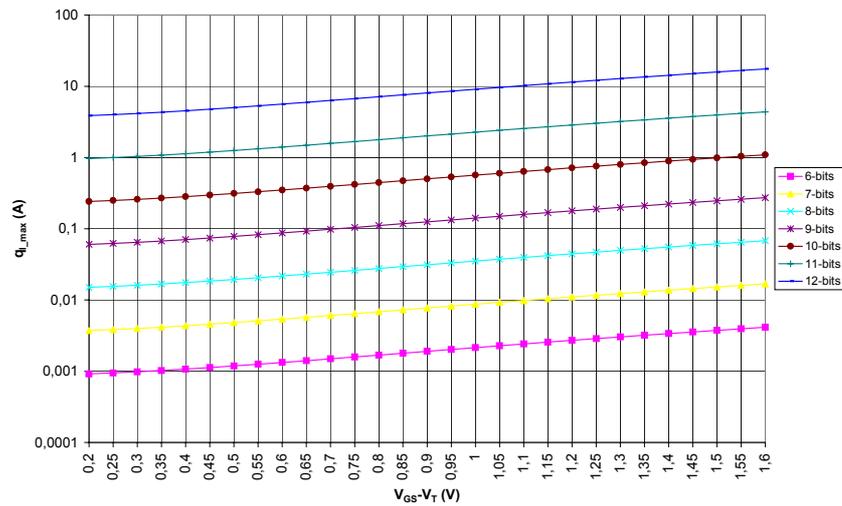


Figure 110 : Valeur maximale du quantum pour un CNA en mode courant en technologie HCMOS8d en fonction de la résolution effective et de la tension de grille.

5.3.2.1.1.2 Le comparateur

Selon les valeurs technologiques données dans [ST 01], et la relation (161), les contraintes de conception du comparateur sont résumées Tableau 7 en fonction de la résolution effective du CAN-A.

Tableau 7 : Contraintes de conception pour le comparateur en mode courant.

ENOB	6-bits	7-bits	8-bits	9-bits	10-bits	11-bits	12-bits
$\frac{C_{in} \cdot C_{out}}{G_m}$	$7,03 \cdot 10^{-21}$	$8,58 \cdot 10^{-22}$	$1,06 \cdot 10^{-22}$	$1,31 \cdot 10^{-23}$	$1,64 \cdot 10^{-24}$	$2,05 \cdot 10^{-25}$	$2,56 \cdot 10^{-26}$

Il peut être remarqué qu'un ordre de grandeur en plus est nécessaire sur le paramètre du comparateur lorsqu'un bit de résolution effective est ajouté. En technologie HCMOS8d, l'ordre de grandeur pour C_{in} et C_{out} est estimé entre $1fF$ et $10fF$. Ainsi pour des résolutions effectives moyennes, les contraintes de conception résumées Tableau 7 sont accessibles avec des consommations électriques en accord avec les applications ciblées.

5.3.2.1.1.3 La transconductance

Selon les valeurs technologiques données dans [ST 01] et la relation (166), les contraintes de conception de la transconductance sont données Tableau 8 en fonction de la résolution effective.

Tableau 8 : Contraintes de conception pour la transconductance en mode courant.

ENOB	6-bits	7-bits	8-bits	9-bits	10-bits	11-bits	12-bits
THD (%)	0,79	0,39	0,196	0,098	0,049	0,0246	0,012

La dynamique d'entrée ΔV_{in} dépend de la valeur choisie pour le quantum en courant q_I du CNA (cf. Figure 109 et Figure 110). D'après la partie concernant le dimensionnement du CNA, ce quantum doit être le plus petit possible afin de limiter la consommation statique du circuit. Cette condition est compatible avec la conception de la transconductance car elle implique une dynamique de sortie ΔV_{in} faible, d'où un courant de polarisation faible. Par contre, au-delà de *9-bits*, une linéarité inférieure à *0,1%* est nécessaire pour le circuit, ce qui est assez difficile à obtenir avec des montages faible consommation.

5.3.2.1.1.4 Le jeu de miroirs

Ces miroirs sont nécessaires pour le décalage, la recopie, et la génération des courants de référence tels qu'indiqués Figure 75. Pour des raisons similaires à celles de la conception du CNA, des miroirs cascodes peuvent être utilisés pour chacun d'entre eux, si la dynamique de fonctionnement ne peut être respectée avec des miroirs simples.

5.3.2.1.2 En mode tension

Pour ce mode de conception, la partie numérique est identique à celle utilisée pour le mode courant. La valeur des délais est cependant adaptée aux blocs analogiques de la partie *data path*. De plus, des contrôleurs peuvent être ajoutés dans la partie contrôle, sans modifier le principe de fonctionnement du CAN-A, seulement pour générer les signaux d'horloge locaux pour le CNA à capacités commutées tel que présenté Figure 92.

5.3.2.1.2.1 Le CNA

C'est le bloc conçu en premier car il fixe les caractéristiques de tous les autres. Dans le cadre de la technologie HCMOS8d, des capacités MiM (*Metal Insulator Metal*) réalisées en *Métal5-Métal5_{bis}* sont disponibles et sont donc utilisées pour la conception du

convertisseur numérique analogique. Il est connu que pour minimiser l'effet des capacités parasites, le montage de base d'une capacité commutée à deux interrupteurs est remplaçable par une capacité commutée à quatre interrupteurs [BAI 94]. Cette technique est largement utilisée pour des capacités réalisées en poly-poly, métal-poly ou métal-diffusion. Ici, des capacités MiM sont utilisées et sont réalisées avec des niveaux de métal très élevés. Ce type de capacités est actuellement très populaire pour les circuits analogiques ou mixtes [KUHN 02] car elles sont très faciles à réaliser dans les technologies CMOS et offrent de bonnes caractéristiques de linéarité avec la tension ou la température. De plus, leurs capacités parasites étant très faibles, des capacités commutées à seulement deux interrupteurs seront utilisées.

Tous les paramètres technologiques sont donnés dans [ST 01]. Les paramètres de l'écart type de l'erreur de valeur des capacités mis en œuvre dans la relation (177) sont donnés : A en $\%.\mu\text{m}$, et B en μm . Ces valeurs sont déterminées pour une plage de surface de capacité $W.L$. La valeur moyenne C_0 de la capacité par unité de surface, ainsi que sa valeur minimale et maximale sont données. De plus, les paramètres de non-linéarités de l'équation (181), du premier ordre $DCDV1$ en ppm/V , et du second ordre $DCDV2$ en ppm/V^2 sont disponibles. D'après les ordres de grandeur de ces paramètres, ces non-linéarités peuvent être négligées car elles ne dégraderont pas la résolution effective souhaitée pour le CAN-A. Un circuit différentiel permettrait par exemple de s'affranchir définitivement de ce phénomène au détriment de la simplicité du montage.

Pour le CNA, le montage retenu pour le calcul des contraintes de conception est celui donné Figure 88. Les réseaux de capacités sont factorisés pour les deux voies de sortie du CNA, il y a deux AOs, et la conversion d'un échantillon numérique V_{num} se déroule en deux phases afin de fournir séquentiellement les deux voies de sortie $V_{CNA} + \frac{q_V}{2}$, et

$V_{CNA} - \frac{q_V}{2}$. La tension de référence est fixée par $V_{ref}=V_{dd}$. D'autres architectures de cette même famille telle que celle à un seul AO donnée Figure 90 auront des contraintes de conception du même ordre de grandeur. Compte tenu de l'application et à partir de la méthodologie de conception, toutes les caractéristiques du CNA sont données Tableau 9 en fonction de l'ENOB du CAN-A. Celles-ci sont déterminées à l'aide des formules théoriques données Tableau 4, au Chapitre 4. De haut en bas, il est décrit : la largeur minimale L_{min} des capacités élémentaires, la valeur C_u des capacités élémentaires, la largeur totale L_{tot} de la matrice de capacités du CNA, la valeur totale C_{tot} des capacités du CNA, le gain Av_0 des AOs, la fréquence de coupure f_C des AOs.

Tableau 9 : Cahier des charges pour le CNA dans le cadre de la conception du CAN-A en mode tension.

ENOB	6-bits	7-bits	8-bits	9-bits	10-bits	11-bits	12-bits
L_{min} (m)	1,31µ	2,65µ	5,33µ	10,68µ	21,39µ	42,81µ	85,64µ
C_u (F)	1,47f	5,99f	24,17f	97,08f	389f	1,557p	6,234p
L_{tot} (m)	12,41µ	25,17µ	50,63µ	101,46µ	203,2µ	406,69µ	813,68µ
C_{tot} (F)	133,77f	545f	2,199p	8,83p	35,39p	141,68p	567,29p
Av_0 (dB)	48	54,11	60,17	66,21	72,23	78,26	84,28
f_C (Hz)	1,509M	1,509M	1,509M	1,509M	1,509M	1,509M	1,509M
M_{timer} (bit)	12	12	12	12	12	12	12

Il peut être constaté qu’au-delà de 9-bits de résolution effective, la surface de la matrice de capacités devient très grande. L’implémentation physique de celle-ci nécessite donc un dessin au micron très rigoureux afin de s’affranchir des erreurs aléatoires dues au processus de fabrication. Enfin, les fréquences de transition de l’AO sont d’un ordre de grandeur réalisable avec la technologie HCMOS8d. Par contre, la marge de phase devant être suffisante afin de garantir la stabilité du système, ceci implique de forts courants de polarisation pouvant ne pas être compatible avec l’aspect « faible consommation » ciblé par cette famille de convertisseurs. Par exemple, un AO a été conçu dans [DIE 02] et [ROL 03] pour un filtre à capacités commutées, en technologie HCMOS8d. Un gain de 36dB et une bande passante de 30MHz, soit une fréquence de transition de 1,89GHz ont été obtenus avec une polarisation de 50mA. Or, pour la conception du CAN-A, au moins un ordre de grandeur en moins est ciblé pour la consommation ! Ce point bloquant sera levé dans les paragraphes suivants par l’utilisation d’une autre approche pour la conversion numérique analogique en mode tension.

5.3.2.1.2.2 Le comparateur

Le cahier des charges du comparateur est résumé Tableau 10, en fonction de la résolution effective du CAN-A. De haut en bas, il peut être trouvé : la valeur maximale C_{in} de la capacité d’entrée, le gain statique A_{v0} , la fréquence de coupure f_C , la fréquence de transition f_T , et le slew rate SR .

Tableau 10 : Cahier des charges pour le comparateur du CAN-A lors d’une conception en mode tension.

ENOB	6-bits	7-bits	8-bits	9-bits	10-bits	11-bits	12-bits
C_{in} (F)	0,67f	1,39f	2,82f	5,67f	11,38f	27,79f	45,6f
A_{v0} (dB)	32,4	44,66	56,77	68,85	80,9	92,95	105,0
f_C (Hz)	377k	377k	377k	377k	377k	377k	377k
f_T (Hz)	15,87M	64,51M	260,1M	1,04G	4,18G	16,76G	67,07G
SR (V.µ ⁻¹)	2,85	5,74	11,53	23,11	46,28	92,6	185,25

Il peut être constaté que pour une résolution effective donnée du CAN-A, les contraintes de conception au niveau du gain et de la fréquence de coupure sont moins sévères que dans le cas de l’AO du CNA. La conception de ce bloc est donc à priori réalisable avec des courants de polarisation « raisonnables ». De plus, une marge de phase d’au moins 45° n’est pas à garantir car le système n’est pas rebouclé. Le seul problème vient du fait que la capacité d’entrée C_{in} est limitée par une valeur maximale, et le slew rate de sortie par une valeur minimale. Un compromis reste donc à trouver pour répartir le fort gain entre les différents étages du comparateur tout en respectant ces contraintes.

5.3.2.2 Discussion et conception des blocs au niveau transistor

En ce qui concerne l’implémentation des délais des contrôleurs, des délais élémentaires de quelques centaines de picosecondes à quelques nanosecondes sont disponibles pour la technologie HCMOS8d utilisée. Atteindre le temps de boucle maximal $\delta_{max}=2,65\mu s$

fixé par la méthodologie de conception conduirait à utiliser un très grand nombre de ces délais en série. Ceci induirait une surface de silicium et une consommation dynamique prohibitives, compte tenu du type d'applications ciblé par cette nouvelle famille de convertisseurs.

Pour ces raisons, un temps de boucle δ plus « raisonnable » de l'ordre de la centaine de nanosecondes est visé. La boucle de conversion est ainsi plus « rapide », mais cela n'a aucune influence sur le nombre moyen d'échantillons par seconde puisque, comme il a été montré dans les parties précédentes, il n'est lié qu'au type du signal et à la résolution matérielle du convertisseur. Ce temps de boucle plus rapide n'engendre donc pas d'augmentation de l'activité, ni de la consommation dynamique. Il renforce par contre les contraintes de conception des parties analogiques au niveau fréquentiel.

Soit un temps de boucle fixé : $\delta=100ns$, d'après la relation (104), la fréquence maximale pouvant être traitée par le CAN-A vaut : $f_{max}=106kHz$. Quelle que soit l'approche de conception retenue, le fait de choisir un temps de boucle plus rapide ne change rien quant aux surfaces des sources élémentaires du CNA, au gain des comparateurs... Les seuls paramètres analogiques à reconsidérer sont : la bande passante des comparateurs, les bandes passantes des AOs du CNA pour le mode tension, la bande passante de la transconductance en mode courant, et le temps de stabilisation des CNAs.

Quel que soit le mode de conception analogique, les contraintes de conception sont bien sûr de plus en plus fortes lorsque la résolution effective du CAN-A augmente. La difficulté vient du fait qu'un compromis doit être trouvé entre la résolution effective, la consommation, la vitesse... Il est cependant clair que seules des résolutions basses ou moyennes sont accessibles à cette nouvelle classe de CANs, compte tenu des ordres de grandeur des paramètres de conceptions donnés Tableau 7, Tableau 8, Tableau 9 et Tableau 10. Il est désormais fixé une résolution effective $ENOB=8-bits$. C'est d'ailleurs une telle résolution qui a été visée pour la conception des deux *Ultra-low-power ADCs* publiés en 2002 à l'ESSCIRC [SAU 02], [SCO 02a].

La conception précise de chaque bloc analogique est maintenant décrite ci-dessous, pour une résolution effective de $8-bits$.

5.3.2.2.1 En mode courant

La conception en mode courant ne pose pas de difficulté majeure. Aucune modification du premier ordre n'est à envisager quant aux choix architecturaux faits auparavant pour le CNA.

5.3.2.2.1.1 Le CNA et les miroirs

L'architecture retenue est celle donnée Figure 78 mettant en œuvre un codage thermique des entrées numériques (cf. Figure 111a) et des miroirs simples. Cependant, les miroirs simples posent des problèmes en raison de leur trop faible résistance de sortie. La résistance de sortie d'une source élémentaire R_{unit} doit être la plus grande possible, c'est pourquoi, le plus généralement, les sources de courant sont réalisées avec des

miroirs de courant cascode (cf. Figure 111b). En effet, l'impédance de sortie d'un miroir de courant simple vaut : $R_{out} = r_{ds2}$, alors que pour les miroirs cascodes, elle devient : $R_{out} = r_{ds2} \cdot r_{ds4} \cdot g_{m4}$, soit un facteur multiplicatif de $r_{ds4} \cdot g_{m4}$, de valeur 10 à 100 selon la taille des transistors utilisés. Par contre, compte tenu de la faible dynamique due à la tension d'alimentation très basse ($V_{dd} = 1,8V$), les miroirs cascodes sont limités par leur dynamique de sortie : leur tension de sortie V_{out} doit vérifier : $V_{out} > V_{TN} + 2 \cdot V_{DSsat}$. C'est pourquoi des miroirs cascodes *wide-swing* (cf. Figure 111c) sont utilisés. Leur dynamique de sortie est similaire à celle des miroirs simples : $V_{out} > V_{TN} + V_{DSsat}$, tout en ayant la même résistance de sortie qu'un miroir cascode. Ceci se fait au détriment de la consommation puisqu'une polarisation supplémentaire est nécessaire. Le montage du CNA retenu pour le CAN-A est donc donné Figure 112, avec les tailles calculées Figure 107 et Figure 108.

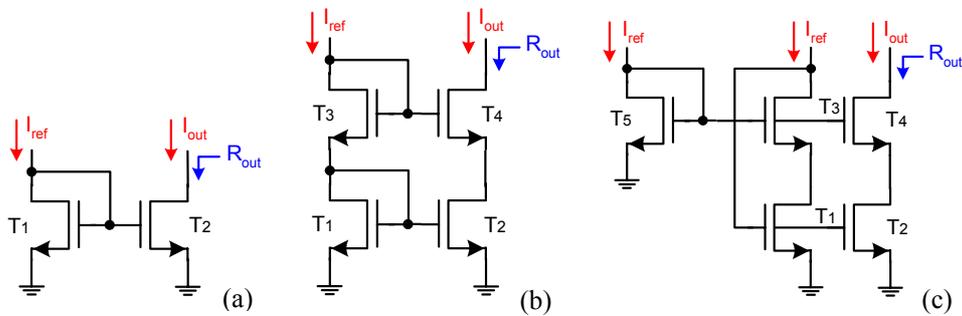


Figure 111 : Miroirs de courant CMOS: miroir simple (a), miroir cascode (b), miroir cascode *wide swing* (c).

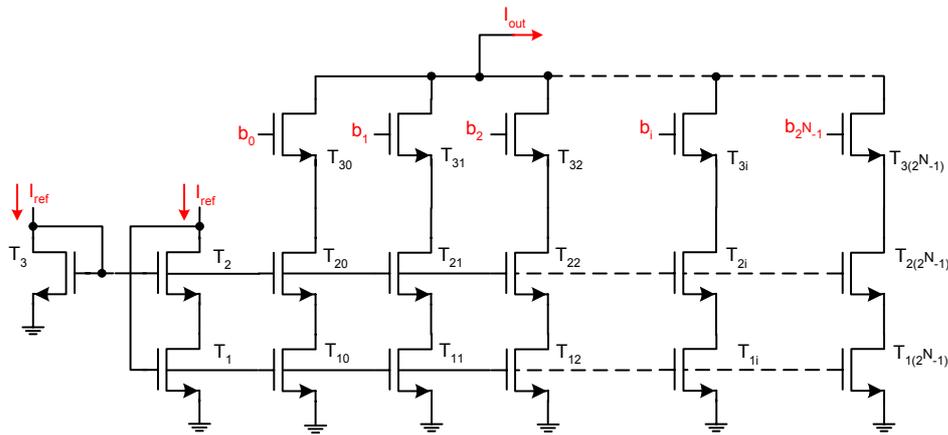


Figure 112 : Schéma du CNA retenu pour la conception du CAN-A en mode courant.

Pour les mêmes raisons que lors de la conception du CNA, les différents miroirs de courant du montage présenté Figure 75 sont tous réalisés à partir de transistors cascodes.

5.3.2.2.1.2 Le comparateur

Le comparateur en courant est un montage très classique dans la littérature. Il est utilisé entre autres pour le test : méthode IDDQ [CAL 99], pour la physique (détection de particules), pour les convertisseurs analogiques/numériques... Pour ce genre de circuits, des réalisations de *Winner-Take-All* en courant à deux neurones pourraient par exemple être faites. Les deux principales implémentations de ce type de circuits sont données dans [SERR 98] et [LAZZ 89], mais d'après l'étude comparative de S. Günay [SEZ 97], leur résolution, ainsi que leur vitesse sont beaucoup trop faibles en vue d'une application telle que la conversion asynchrone.

La fonction exacte d'un comparateur de courant est de donner en sortie une tension indiquant le signe d'un courant d'entrée : si ce courant est positif, la tension de sortie est égale à V_{dd} , s'il est négatif, elle est nulle. Il est ainsi logique de s'intéresser aux circuits réalisant une fonction de trans-impédance.

La structure la plus commune de comparateur en courant est celle proposée par D.A. Freitas *et al.* en 1983 [FREI 83] où le courant d'entrée charge un nœud basse impédance qui est ensuite amplifié par un étage de gain en tension. Ce genre d'architectures est nommé comparateur à entrée résistive. Il existe également des montages avec un nœud d'entrée haute impédance : ce sont les comparateurs à entrée capacitive. A. Rodriguez-Vasquez *et al.* réalisent dans [ROD 95] toute une étude sur ces deux familles de comparateurs. Ils montrent que selon la dynamique du courant d'entrée, tel ou tel type d'architecture est meilleur que l'autre. Ainsi, si l'amplitude du courant est faible, le comparateur à entrée capacitive est le plus rapide et a la meilleure résolution, par contre lorsque l'amplitude du courant d'entrée devient grande, le comparateur à entrée résistive devient le plus rapide. Il semble donc intéressant de trouver une nouvelle classe de comparateurs permettant de tirer les avantages des deux types de structures. Plusieurs solutions, celle retenue est présentée dans [LINA 97] et [dRIO 97] se nomme comparateur *current-steering*, composé d'un amplificateur de tension de gain A et de deux transistors MOS tels qu'indiqués Figure 113.

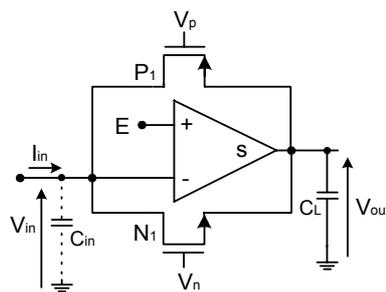


Figure 113 : Schéma de principe du comparateur *current-steering*.

Le principe de fonctionnement est le suivant : si le courant en entrée I_{in} est positif et les conditions initiales suivantes vérifiées : $V_{in}=V_{out}=E$, $V_n \leq E+V_{TN}$ et $V_p \geq E-|V_{TP}|$, les transistors N_1 et P_1 sont bloqués. Ainsi l'impédance d'entrée du montage (équivalente à l'impédance d'entrée de l'amplificateur de tension) est capacitive et la résolution est très grande. Le courant I_{in} est intégré sur la capacité d'entrée C_{in} du montage et entraîne

une augmentation continue de la tension d'entrée V_{in} . La tension de sortie de l'amplificateur V_{out} diminue plus rapidement que V_{in} (en raison du fort gain de l'amplificateur : $V_{out}=A.(E-V_{in})$), augmentant la tension grille-source des transistors N_I et P_I . Si l'amplitude du courant I_{in} demeure faible, les variations de tension en entrée et sortie de l'amplificateur sont trop faibles pour rendre les transistors N_I ou P_I passant.

Par contre, si V_{in} dépasse la valeur limite $V_- = \frac{(V_{TN} - V_n)}{A} + E$, la tension grille-source de

N_I devient supérieur à sa tension de seuil V_{TN} , le rendant passant (P_I reste bloqué), créant ainsi une boucle de rétroaction entre la sortie et l'entrée de l'amplificateur, introduisant ainsi une masse virtuelle à l'entrée, ce qui limite maintenant les trop grandes variations en tension de ce nœud. Le fonctionnement du montage est similaire pour un courant négatif avec le transistor P_I , la tension d'entrée limite étant maintenant

$$V_+ = \frac{(V_{TP} - V_p)}{A} + E.$$

Le schéma électrique de ce comparateur est donné Figure 114. Il est constitué d'un comparateur tel qu'il est présenté Figure 113, avec deux inverseurs en sortie amplifiant la tension obtenue. L'amplificateur de tension du comparateur est aussi un inverseur avec deux transistors cascades éliminant l'effet Miller entre l'entrée et la sortie. Les deux montages annexes constitués de transistors N et P montés en diode permettent d'obtenir les potentiels de référence V_n, V_p, V'_n et V'_p .

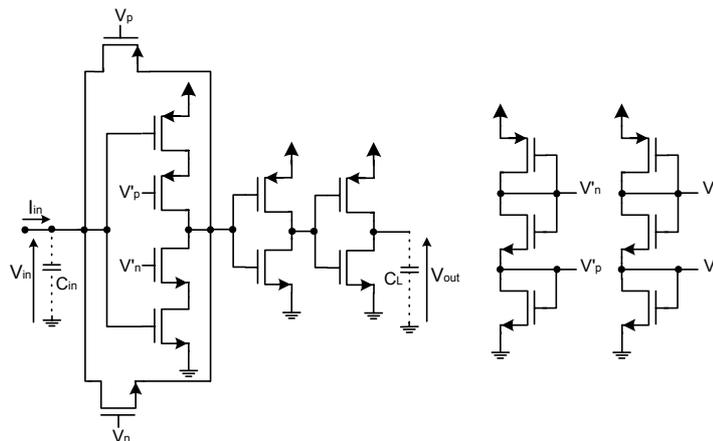


Figure 114 : Schéma électrique du comparateur "current-steering".

Dans le cadre du CAN-A, deux comparateurs en courant sont à implémenter. Les deux blocs de transistors montés en diode générant les potentiels de référence V_n, V_p, V'_n , et V'_p sont communs aux deux comparateurs.

5.3.2.2.1.3 La transconductance

En entrée du CAN-A, il est nécessaire de convertir la tension d'entrée en un courant, ceci peut se faire par une transconductance. Il s'agit d'un montage qui permet d'obtenir une variation linéaire du courant de sortie par rapport à une tension d'entrée: $I_{out} = G_m.V_{in}$, avec G_m la transconductance du montage. Contrairement à un OTA (*Operational Transconductance Amplifier*) classique, le montage doit avoir une valeur de

transconductance connue (ou même réglable). De plus, dans le cas idéal, l'impédance d'entrée et de sortie d'un tel circuit doit être infinie. La linéarité est le point critique de ce genre de montage : une attention toute particulière doit donc être apportée sur celle-ci (cf. relation (166)). Un simple OTA monté en transconductance en faible inversion pourrait par exemple être utilisé [SIC 99]. Ce type de montages permet d'obtenir un courant de sortie variant en tangente hyperbolique par rapport à la tension d'entrée. Celui-ci peut donc être approximé par une droite pour de faibles tensions, mais cette zone linéaire se limite à une dynamique d'environ une centaine de millivolts pour la tension d'entrée ce qui est beaucoup trop faible pour l'application envisagée. En régime classique de fonctionnement des transistors MOS (forte inversion), il existe deux approches différentes afin d'implémenter des transconductances [JOH 96], [SAN 00] :

La première utilise des transistors fonctionnant en zone ohmique, où en fait seulement quelques transistors du montage sont en régime ohmique et fixent précisément la transconductance du circuit. En zone ohmique ($0 < V_{DS} < V_{GS} - V_{TN}$), le courant débité par un transistor NMOS vaut classiquement :

$$I_{DS} = \mu_N \cdot C_{ox} \cdot \frac{W_N}{L_N} \left[(V_{GS} - V_{TN}) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (217)$$

Si cette équation était exacte, des circuits parfaitement linéaires pourraient être réalisés. Cependant ce n'est qu'une modélisation approximative du comportement du NMOS, et donc des termes d'ordres supérieurs non décrits ici peuvent faire apparaître de la distorsion. Ainsi, la plupart des structures analogiques utilisent des structures différentielles afin d'éliminer les harmoniques paires et accessoirement le bruit de mode commun. Si il est assuré que V_{DS} reste très petit, le terme en V_{DS}^2 tend vite vers zéro, ainsi le transistor en zone ohmique peut être modélisé par une résistance r_{DS} qui s'exprime en petit signal par :

$$r_{DS} = \frac{1}{\mu_N \cdot C_{ox} \cdot \frac{W_N}{L_N} \cdot (V_{GS} - V_{TN})} \quad (218)$$

Le principe de beaucoup de circuits est d'utiliser cette expression pour convertir linéairement la tension d'entrée en courant.

La deuxième approche consiste à utiliser des transistors MOS en zone saturée. En principe, la linéarité de tels circuits est moindre que dans le cas précédent, par contre ils permettent d'obtenir des vitesses bien plus importantes. La linéarité de transconductances employant des transistors MOS en zone saturée ($0 < V_{GS} - V_{TN} < V_{DS}$) n'est pas très bonne. En effet, la loi de variation du courant en fonction de la tension est quadratique et pas très précise:

$$I_{DS} = \mu_N \cdot C_{ox} \cdot \frac{W_N}{L_N} \cdot \frac{(V_{GS} - V_{TN})^2}{2} \quad (219)$$

Ainsi, seulement la différence entre des courants de sortie est idéalement linéaire, alors que les courants pris individuellement ont des termes de deuxième ordre. Une distorsion due à ces harmoniques paires peut apparaître si la différence entre les courants n'est pas précise.

Il existe une multitude de montages transconducteurs basés sur l'une ou l'autre de ces deux familles, selon les paramètres à privilégier : gain, bande passante, plage de linéari-

té, dynamique d'entrée... Dans le cadre de la conception du CAN-A, plusieurs montages ont été étudiés [NED 84], [ISMA 99], [ISMA 00], [LIM 00]...

La solution retenue est présentée dans [ISMA 99]. Cette transconductance est basée sur l'utilisation de la paire différentielle classique (OTA - *Operational Transconductance Amplifier*) présentée Figure 115

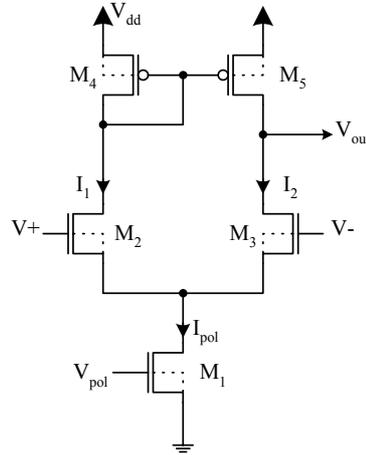


Figure 115 : Schéma électrique d'une paire différentielle standard (OTA).

Pour un transistor NMOS, le courant drain source en zone saturée est donné par la relation (219), il peut être posé :

$$\beta_N = \mu_N \cdot C_{ox} \cdot \frac{W}{L} \quad (220)$$

V_T est la tension de seuil, μ_N la mobilité des électrons, C_{ox} la capacité d'oxyde de grille par unité de surface, et I_{pol} le courant de polarisation.

Après calculs, le courant de sortie I_{out} de la transconductance, en fonction des entrées V^+ et V^- est de la forme :

$$I_{out} = (V^+ - V^-) \sqrt{\beta_N \cdot I_{pol}} \cdot \sqrt{1 - \frac{\beta_N \cdot (V^+ + V^-)^2}{4 \cdot I_{pol}}} \quad (221)$$

Le courant de sortie est donc non linéaire. Ces non linéarités sont dues au terme en ra-

cine carré : $\sqrt{1 - \frac{\beta_N \cdot (V^+ + V^-)^2}{4 \cdot I_{pol}}}$. Afin de minimiser cet effet parasite, ce terme doit tendre

vers un. Deux solutions sont possibles : augmenter I_{pol} mais ceci se fait au détriment de la consommation, ou alors augmenter β_N mais ceci se fait au détriment de la surface. Un compromis doit donc être trouvé.

Avec cette architecture, la dynamique de sortie est limitée par l'entrée différentielle.

Soit $V_i = V^+ - V^-$, elle vaut :

$$-2 \cdot \sqrt{\frac{I_{pol}}{\beta_N}} \leq V_i \leq 2 \cdot \sqrt{\frac{I_{pol}}{\beta_N}} \quad (222)$$

électrique de ce bloc, tout en ayant une linéarité garantissant la résolution effective visée par le CAN-A. La transconductance a été conçue par D. Perrot dans le cadre d'un stage de DESS *Conception de Systèmes Intégrés Analogiques et Numériques (CSINA)* [PERR 02].

5.3.2.2.2 En mode tension

Pour la conception analogique en mode tension, les contraintes des AOs du CNA constituent un point bloquant quant à la réalisation du CAN-A. De nouveaux choix architecturaux sont donc faits en ce qui concerne le convertisseur numérique analogique.

5.3.2.2.2.1 Le CNA

5.3.2.2.2.1.1 Architectures usuelles

Pour le nouveau temps de boucle $\delta=100ns$, compte tenu de (193), la fréquence de coupure des AOs du CNA devient : $f_c = 40MHz$, alors qu'elle ne valait que $f_c = 1,50MHz$ pour un temps de boucle maximal δ_{max} . Les valeurs du gain en fonction de la résolution effective du CAN-A restent identiques à celle données Tableau 9. La fréquence de transition de l'AO doit donc vérifier les nouvelles valeurs données Tableau 11. Les ordres de grandeur ainsi calculés sont incompatibles avec ce qui peut être fait actuellement, en respectant des courants de polarisation en adéquation avec les applications faible consommation visées par ces travaux. Ainsi, la conception des AOs demeure un point bloquant pour la conception du CAN-A en mode tension, même pour des résolutions effectives très basses.

Tableau 11 : fréquence de transition de l'AO du CNA dans le cadre de la conception d'un CAN-A en mode tension et d'un temps de boucle de 100ns.

ENOB	6-bits	7-bits	8-bits	9-bits	10-bits	11-bits	12-bits
f_T (Hz)	10,08G	20,3G	40,8G	81,76G	163,7G	327,5G	655,5G

La solution donnée Figure 90 est un CNA fonctionnant séquentiellement afin de fournir successivement les deux voies analogiques de sortie. Un seul jeu de capacités et un seul AO sont nécessaires. Le circuit devient donc relativement simple au niveau matériel, par contre, le nombre de signaux d'horloge locaux devient important, ce qui a pour effet de compliquer la partie contrôle du CAN-A. De plus, le nombre important d'interrupteurs et leur « grosse taille » risque de provoquer de fortes imprécisions en raison des injections de charges d'horloges lorsque ils basculent de l'état passant à l'état bloqué. Enfin, puisque quatre phases sont nécessaires pour déterminer les deux sorties analogiques, les contraintes au niveau fréquentiel de l'AO sont doublées (cf. relation (193)), ce qui impose un fort courant de polarisation et donc une forte consommation statique.

La solution donnée Figure 85 (avec un montage à compensation d'offset tel que donné Figure 88) est composée de deux CNAs complets fonctionnant en parallèle et délivrant simultanément les deux voies de sorties analogiques. Le matériel est bien sûr doublé,

mais le CNA élémentaire est très simple: il comporte un nombre d'interrupteurs minimal ce qui a pour but de minimiser les problèmes dus à leurs imperfections. Il n'y a de plus que deux horloges non recouvrantes à générer (les autres sont déduites par des délais), ce qui simplifie énormément la partie contrôle du CAN-A. De plus, compte tenu du fait que les deux CNAs fonctionnent en parallèle, les contraintes temporelles des horloges sont divisées par deux par rapport à la solution précédente (cf. relation (192)), ceci a pour effet de doubler le temps de stabilisation alloué, ce qui permet l'utilisation d'interrupteurs de petite taille (d'où une réduction de surface et des effets parasites dus aux injections de charges d'horloges) et de diviser par deux la bande passante des deux AOs (d'où une réduction possible de leur courant de polarisation donc de leur consommation statique).

Pour conclure, ces deux approches donnent des résultats assez équivalents en ce qui concerne la complexité et la consommation électrique. La deuxième solution est retenue. Un problème se pose maintenant au niveau des AOs du CNA. D'après les calculs théoriques, le gain statique des amplificateurs opérationnels doit vérifier : $Av_0=510$, mais en pratique, afin d'obtenir la précision du CNA pour atteindre les *ENOB-bits* du CAN-A, le gain doit vérifier : $Av_0=2500$. Compte tenu de la bande passante à vérifier, et du fait que l'AO doit être stable ($\Delta\Phi \geq 45^\circ$), ce cahier des charges conduirait à un circuit avec une valeur de polarisation réductrice compte tenu des applications faible consommation visées par cette nouvelle famille de convertisseurs.

Remarques

1. Quelle que soit la solution retenue pour implémenter le CNA, il semblerait qu'une solution judicieuse ne mettant en œuvre que très peu de matériel supplémentaire, puisse réduire par un facteur d'environ deux la consommation dynamique du circuit, lorsqu'un échantillon doit être converti. Cette solution est basée sur les observations suivantes :

$$\begin{aligned} \text{Lorsque } inc='1' : \quad & LSB- \leftarrow LSB+_{\text{avant}} \\ & LSB+ \leftarrow LSB+_{\text{avant}} +q \\ \text{Lorsque } dec='1' : \quad & LSB+ \leftarrow LSB-_{\text{avant}} \\ & LSB- \leftarrow LSB-_{\text{avant}} -q \end{aligned}$$

Dans tous les cas, seule une des deux voies de sortie du CNA doit être recalculée, puisque la deuxième est égale à l'autre voie calculée pour l'échantillon d'avant. Cette technique peut être utilisée en mettant en œuvre un jeu de multiplexeurs sur les commandes des interrupteurs, et des multiplexeurs analogiques sur les sorties du CNA. Un problème reste cependant à régler dans le cas où le même niveau de référence est traversé par le signal analogique, tantôt avec une pente négative, tantôt avec une pente positive. Dans ce cas, une des valeurs est tantôt affectée à une voie de sortie du CNA, tantôt à l'autre, sans qu'elle ne soit jamais recalculée. Celle-ci risque de dériver en raison des courants de fuite des capacités, et donc de détériorer la résolution effective visée par le CAN-A. Ainsi, dans un tel cas, au bout d'un temps calculable théoriquement à partir des données technologiques, les deux voies de sortie du CNA doivent être redéterminées. Cette solution n'a pas plus été développée dans ces travaux.

2. De plus, la configuration retenue jusqu'à présent pour le CNA consiste à avoir une dynamique *rail-to-rail* pour la sortie analogique, or les problèmes de précision apparais-

sent pour les valeurs de sortie qui sont proches des rails d'alimentation (gnd et V_{dd}). La seule solution consiste donc à réduire la dynamique de sortie (centrée autour de $V_{dd}/2$). Il y a alors, dans ce cas, diminution du quantum effectif, ce qui a pour effet d'accroître les contraintes de conception de tous les autres blocs analogiques du CAN-A. Par défaut, toutes les structures de CNAs présentées auparavant ont une dynamique de sortie *rail-to-rail*. Cette dynamique de sortie peut être réduite, tout en restant centrée autour de $V_{dd}/2$. Pour cela, quel que soit le type de CNA présenté auparavant, α capacités élémentaires C_u sont rajoutées, sans interrupteur, en parallèle avec les m capacités de pré-charge, et 2α capacités en parallèle avec la capacité C_{ref} de l'intégrateur. Dans ce cas, avec $0 \leq m \leq 2^M - 1$, la tension de sortie du CNA élémentaire vaut :

$$V_{CNA} = \left(\frac{2.m + \alpha}{2.(2^M - 1) + 2.\alpha} \right) V_{dd} \quad (227)$$

Par exemple pour une dynamique de $V_{dd}/2$, il suffit de prendre : $\alpha = 2^M - 1$. La réduction de la dynamique de sortie du CNA se fait donc au détriment de la surface du circuit puisque $3.\alpha$ capacités élémentaires C_u doivent être rajoutées sur le circuit de base.

5.3.2.2.1.2 Un CNA sans AO

En s'inspirant des CANs de Nyquist à redistributions de charges (cf. Figure 15) [SCO 02a], [SAU 02], une structure de CNA similaire à celle utilisée dans ce genre de convertisseurs peut être mise en oeuvre.

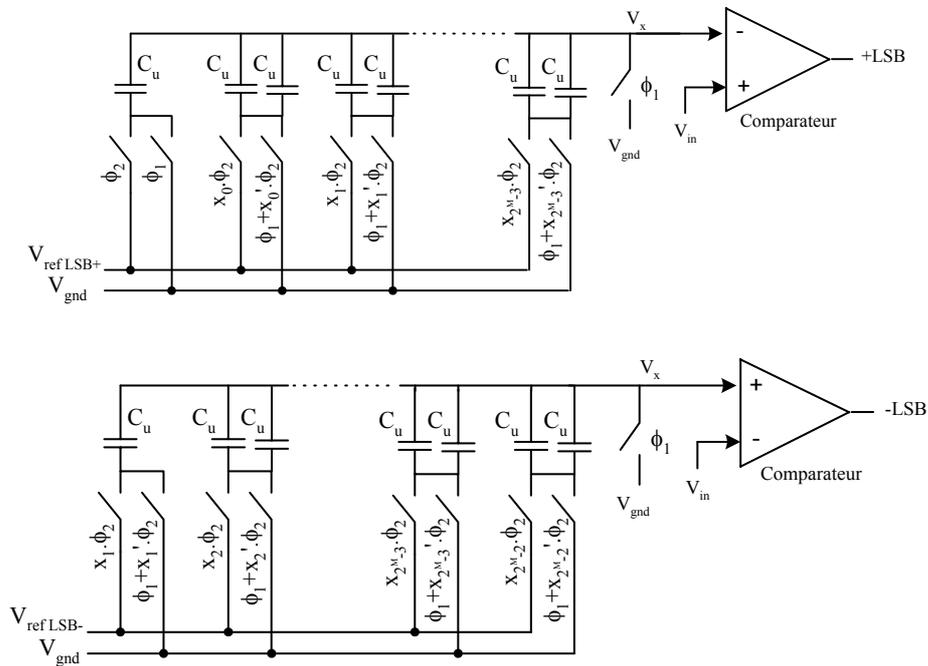


Figure 117 : Schéma électrique des CNAs sans amplificateur opérationnel mis en œuvre dans le CAN-A pour la voie +LSB (haut) et la voie -LSB (bas).

Le CNA délivrant la voie +LSB est donné Figure 117 en haut et son fonctionnement se déroule en deux phases, ce qui nécessite bien sûr la présence de deux horloges Φ_1 et Φ_2 non recouvrantes telles qu'indiquées Figure 84.

Pendant Φ_1 , la tension V_x à l'entrée inverseuse du comparateur est court-circuitée à la masse, et toutes les capacités sont déchargées. La charge totale accumulée dans les capacités vaut : $Q_1=0$.

Pendant Φ_2 , la tension V_x évolue en fonction du code numérique : lorsque le bit b_i est à '1', la capacité correspondante est reliée à la tension de référence $V_{ref\ LSB+}$, si le bit b_i est à '0', la capacité est reliée à la masse. Si m est le nombre de capacités « actives », la charge accumulée dans le réseau de capacités vaut :

$$Q_2=2m.C_u.(V_{ref\ LSB+}-V_x)+C_u.(V_{ref\ LSB+}-V_x)+2.C_u(2^M-I-m)(0-V_x) \quad (228)$$

Le système étant isolé, il y a conservation de la charge : $Q_1=Q_2$. La valeur de la tension à l'entrée du comparateur en est immédiatement déduite :

$$V_x = \frac{2.m+1}{2.(2^M-1)+1}.V_{ref\ LSB+} \quad (229)$$

En réitérant les calculs pour le CNA fournissant la voie -LSB du CAN-A (cf. Figure 117 en bas), il vient :

$$V_x = \frac{2.m-1}{2.(2^M-1)-1}.V_{ref\ LSB-} \quad (230)$$

Le problème de ce type de structures est immédiatement visible : le dénominateur n'est pas identiques pour les deux voies de sortie, il faut donc deux tensions de référence distinctes $V_{ref\ LSB+}$ et $V_{ref\ LSB-}$ afin d'avoir un quantum en tension identique entre les deux voies. Si $V_{ref\ LSB+}$ est fixé à une valeur donnée, il faut fixer la tension $V_{ref\ LSB-}$ telle que :

$$V_{ref\ LSB-} = \frac{2.(2^M-I)-I}{2.(2^M-I)+I}.V_{ref\ LSB+} \quad (231)$$

Ainsi, si comme dans la majorité des circuits, il est choisi : $V_{ref\ LSB+}=V_{dd}$, il faut concevoir un circuit générant la tension de référence $V_{ref\ LSB-}$. Ceci est coûteux au niveau surface, consommation... complexité puisque cette tension de référence doit être suffisamment précise afin d'avoir un quantum en tension ne dégradant pas la résolution finale de *ENOB-bits* visée par le CAN-A.

Ceci est le majeur inconvénient de ce type de CNAs sans AO. En effet, pour les CNAs à capacités commutées vus précédemment, la tension de sortie est un rapport de capacités indépendant l'un de l'autre. Il était donc possible d'avoir les deux mêmes dénominateurs pour les deux voies de sorties. Pour les CNAs sans AO la tension de sortie est aussi proportionnelle à un rapport de capacités, par contre le numérateur et dénominateur sont liés l'un à l'autre. Ainsi pour implémenter les deux voies de sortie du CNA, il n'y a pas moyen d'avoir des dénominateurs égaux. Cet aspect doit être compensé par le choix de tensions de référence différentes pour les deux voies comme il a été montré auparavant.

Il est également très facile de réduire la dynamique de sortie de tels convertisseurs numériques analogiques en ajoutant des capacités élémentaires C_u . La dynamique de sortie en tension peut par exemple être réduite à $\frac{1}{2} \cdot V_{dd}$ et centrée autour de $\frac{1}{2} \cdot V_{dd}$ tel qu'indiqué Figure 118.

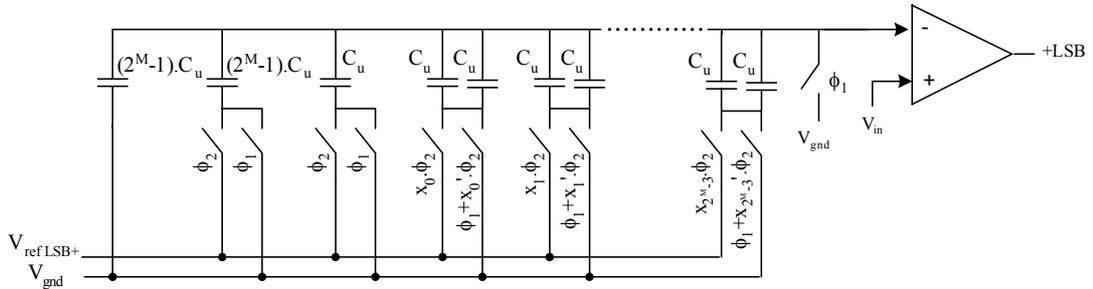


Figure 118 : Schéma électrique du CNA mis en œuvre dans le CAN-A pour la voie +LSB, permettant de réduire la dynamique de sortie en tension de $\frac{1}{2} \cdot V_{dd}$ autour de $\frac{1}{2} \cdot V_{dd}$.

En écrivant la conservation de la charge comme pour les circuits précédents :

$$\begin{aligned} 2m \cdot C_u \cdot (V_{ref} - V_x) + (2^M - 1) C_u \cdot (V_{ref} - V_x) \\ + C_u \cdot (V_{ref} - V_x) + 2 \cdot C_u (2^M - 1 - m) (-V_x) + C_u (2^M - 1) (-V_x) = 0 \end{aligned} \quad (232)$$

La tension de sortie du CNA vaut donc, avec $0 \leq m \leq 2^M - 1$:

$$V_x = \frac{(2^M - 1) + 2 \cdot m + 1}{4 \cdot (2^M - 1) + 1} \cdot V_{refLSB+} \quad (233)$$

Par un circuit tout à fait similaire à celui de la Figure 118, la voie $LSB-$ devient

$$V_x = \frac{(2^M - 1) + 2 \cdot m - 1}{4 \cdot (2^M - 1) - 1} \cdot V_{refLSB-} \quad (234)$$

En modifiant les valeurs des deux capacités commutées ajoutées par rapport à la version du CNA simple, la dynamique de sortie pourrait être réduite et centrée à n'importe quelle valeur.

Pour ces nouveaux CNAs sans AO, tout ce qui concerne les calculs de précision sur les capacités élémentaires, la capacité d'entrée du comparateur... est similaire aux calculs effectués pour les CNAs à capacités commutées vus auparavant. C'est donc le genre de structure présentée Figure 118 pour la voie $+LSB$ qui est retenu pour la conception des CNAs dans le cadre du CAN-A fonctionnant en mode tension. Dans ce cas, le matériel mis en œuvre est minimal car il se résume à des capacités et des interrupteurs. Toute consommation statique du CNA est ainsi supprimée car il n'existe plus de polarisation.

5.3.2.2.2 Le comparateur

De même que pour les AOs, en fixant un temps de boucle de $100ns$, quel que soit le mode de conception, la fréquence de coupure du comparateur vaut maintenant : $f_c = 10MHz$ contre $f_c = 377kHz$ lorsque le temps de boucle est choisi comme maximal.

Le gain du comparateur en fonction de la résolution effective du CAN-A est toujours celui donné Tableau 10.

Les CANs de Nyquist sont habituellement conçus en tension. Dans ce cadre, des comparateurs très performants nommé *latches comparators*, avec des horloges internes, et ayant un fonctionnement semblable à celui de la logique dynamique, i.e. de type pré-charge et évaluation, sont utilisés [SCO 02a], [SAU 02]. Ces comparateurs mettent en œuvre des courants de polarisation très faibles ce qui limite considérablement leur consommation. L'utilisation de tels comparateurs est impossible dans le cadre du CAN-A. En effet, aucun signal issu de la partie contrôle du convertisseur ne peut être employé pour commander ce genre de comparateurs, puisque ce sont ces derniers qui génèrent le premier signal de contrôle dans la partie contrôle. Ainsi seul un circuit fonctionnant en « continu » peut être utilisé, tel qu'un Amplificateur Opérationnel. Ceci se fait bien sûr au détriment de la consommation car pour assurer un fort gain, un fort courant de polarisation est nécessaire.

L'étage d'entrée du comparateur est forcément une paire différentielle. Un fort gain nécessite des transistors d'entrée de grosse taille, d'où une forte capacité d'entrée $C_{in-comp}$. Or, il est prouvé que cette capacité d'entrée doit rester très faible d'après la relation (201). Ainsi, pour assurer un fort gain du comparateur, un deuxième étage est forcément nécessaire afin de minimiser $C_{in-comp}$ tout en maximisant le gain statique Av_0 et le *slew-rate* de sortie.

La solution retenue est composée de deux étages, le premier est une paire différentielle (ou OTA), suivi d'un étage suiveur cascodé, permettant d'augmenter le gain de l'étage de sortie sans réduire sa bande passante. Le schéma total du comparateur est donné Figure 119. Les courants de polarisation des deux étages sont pris comme identiques afin de simplifier la conception.

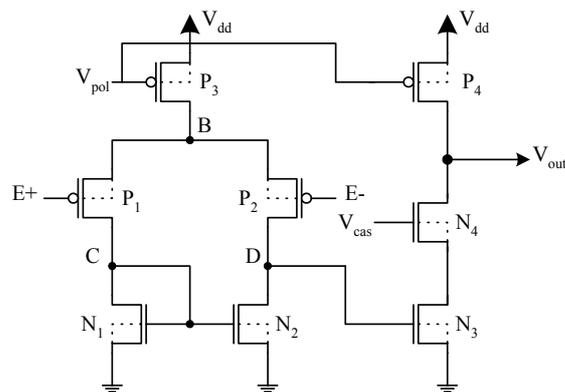


Figure 119 : Schéma du comparateur pour la conception du CAN-A en mode courant.

5.3.2.2.3 Bilan

D'après toutes les considérations développées ci-dessus, le cahier des charges final des deux CAN-As, d'un point de vue haut niveau, est donné Tableau 12.

Tableau 12 : Cahier des charges final des CAN-As pour une application parole.

ENOB	8-bits
ΔV_{in}	$\sim V_{dd}/2$ centrée en $V_{dd}/2$
T_C	$\sim 1,5$ MHz
δ_{max}	~ 100 ns
M_{timer}	12-bits (mode tension)
M	4-bits

Les contraintes de conception des blocs analogiques peuvent être trouvées Tableau 6, Tableau 7, Tableau 8, et Tableau 9.

5.4 Simulations électriques et estimation des Facteurs de Mérite

5.4.1 Définition du Facteur de Mérite pour un CAN-A

Bien que l'échantillonnage mis en œuvre par le CAN-A ne soit pas régulier dans le temps, les formules du Facteur de Mérite (25) et (26) données au Chapitre 1 dans le cadre de l'échantillonnage de Nyquist peuvent néanmoins être utilisées.

Pour cela, la détermination exacte de la bande passante effective *ERBW* étant complexe à mettre en œuvre, la fréquence maximale f_{max} théorique pouvant être traitée par le CAN-A est employée à la place (cf. relation (104)). De même, le nombre effectif de bits *ENOB* n'est pas issu de mesures concrètes du SNR, mais des calculs théoriques. En effet, pour le CAN-A, la mesure du SNR est complexe puisque les échantillons ne sont pas équi-répartis dans le temps, des algorithmes de NDFT doivent être utilisés. Les Facteurs de Mérites calculés dans le cadre de la conversion asynchrone ne sont que des estimations. En pratique, compte tenu de la conception et du dessin au micron assez soigné, et des avantages de l'implémentation du circuit en technologie asynchrone, les résultats pratiques devraient être très proches de la théorie. En effet, l'implémentation asynchrone de circuits est très intéressante puisqu'elle permet de réduire considérablement les émissions électromagnétiques. Il peut ainsi être déduit que les futures mesures de SNR sur le circuit seront assez proches de la réalité, comme la bande passante effective *ERBW* du convertisseur.

La consommation électrique moyenne P_m du convertisseur est mesurée de la manière suivante : le signal analogique V_{in} est une rampe de tension balayant toute la dynamique ΔV_{in} du CAN-A, et choisie telle que le convertisseur fonctionne à la vitesse maximale, i.e. délivre un échantillon toutes les δ secondes. Cette mesure de la consommation est assez pessimiste puisqu'elle constitue le pire cas pour le CAN-A : son activité est maximale.

Une estimation plus précise de la consommation moyenne aurait pu être réalisée en tenant compte des propriétés du signal analogique en entrée puisque l'activité du système en est directement liée. Connaissant toutes les propriétés statistiques du signal analogique V_{in} , le nombre moyen de traversées de chaque niveau de quantification du CAN-A peut être calculé par des méthodes telles que celles décrites dans le paragraphe 4.1.2. Parallèlement, par simulations électriques du circuit, le coût en terme de consommation électrique lors de la traversée d'un niveau donné peut être mesurée précisément. La consommation totale du CAN-A peut donc facilement être connue pour chaque niveau traversé. Il en est de même pour la consommation statique du CAN-A lorsque V_{in} reste constant, i.e entre deux niveaux de quantification donnés. Compte tenu de la connaissance de tous ces paramètres, il serait possible de calculer la consommation moyenne beaucoup plus précisément pour le CAN-A. Cependant, la mise en œuvre de cette approche est relativement complexe, c'est pourquoi elle n'a pas été retenue.

5.4.2 CAN-A en mode courant

Le CAN-A en mode courant a été entièrement conçu au niveau transistor et simulé d'un point de vue électrique d'après les architectures et le cahier des charges décrits auparavant. De plus, le dessin au micron de la partie analogique, ainsi que le placement routage de toute la partie numérique a été réalisé, seule la couronne de plots n'a pas été ajoutée. Ce layout a permis d'avoir la taille exacte du cœur du circuit afin de l'utiliser pour estimer le Facteur de Mérite du CAN-A.

Pour le dessin au micron de la partie analogique, toutes les techniques usuelles ont été utilisées : grilles des transistors dans le même sens, centroïdes, structures factices (*dummies*). Le bloc le plus critique à dessiner a été le CNA. Les calculs théoriques de surface de la source élémentaire ont été faits afin de supprimer les erreurs systématiques (cf. paragraphe 4.2.2.1.3). De plus, le layout a été dessiné tel que les erreurs aléatoires soient également réduites. En effet, la surface d'un CNA étant relativement grande lorsque la résolution effective est importante, les variations des paramètres technologiques, de gradients de température et de champs électriques ... doivent être prises en compte pour le layout afin d'atteindre la précision souhaitée [vBOSC 01c]. Chacune des quinze sources de courant élémentaires a donc été divisée en quatre. La surface carrée dédiée au CNA a été divisée en quatre cadrans, et chaque quart de source placé aléatoirement dans un de ces cadrans. Les trois autres cadrans ont ensuite été complétés par symétrie afin que chaque source élémentaire soit en fait réalisée sous forme de centroïde. Autour de cette matrice ont ensuite été placées deux rangées de cellules factices afin que toutes les sources élémentaires soient placées dans le même environnement (cf. Figure 120).

Toute la partie layout du CAN-A en mode courant a été conçue par D. Perrot dans le cadre d'un stage de DESS en *Conception de Systèmes Intégrés Numériques et Analogiques* (CSINA) [PERR 02] (cf. Figure 121).

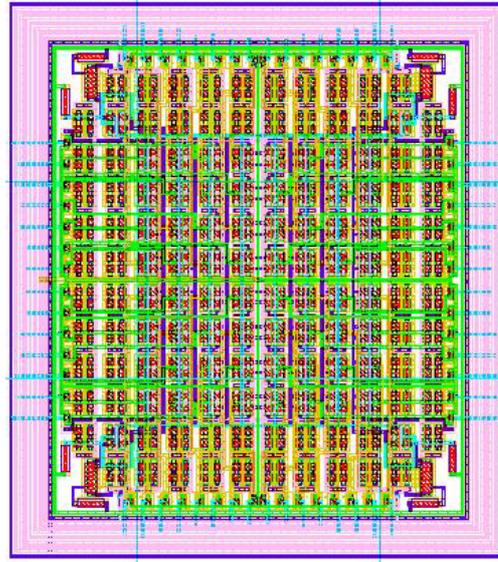


Figure 120 : Layout du CNA pour le CAN-A en mode courant.

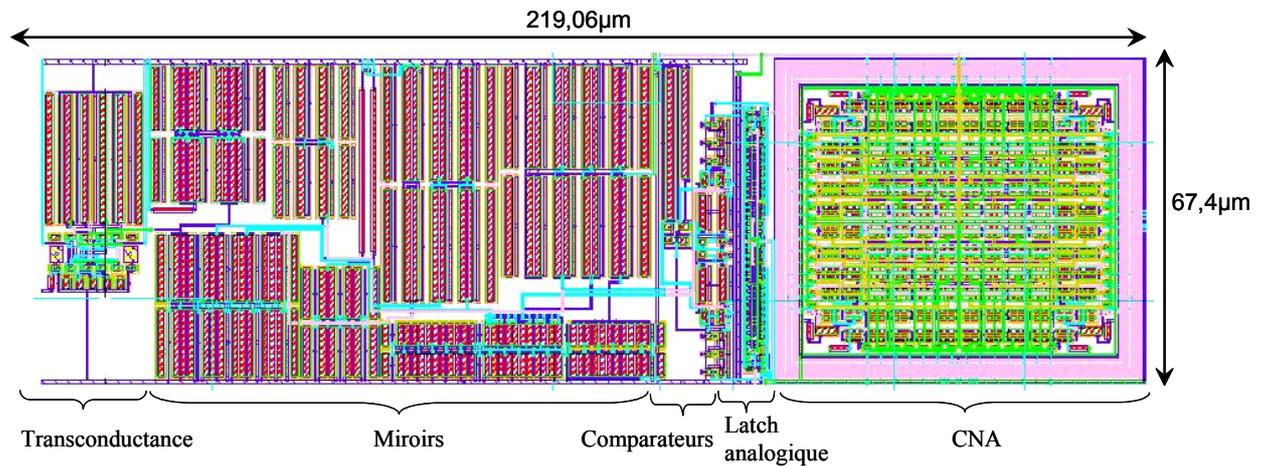


Figure 121 : Layout de la partie analogique du CAN-A en mode courant.

5.4.2.1 Simulations électriques

Le temps de boucle du convertisseur vaut $\delta=93\text{ns}$, la fréquence maximale du signal en entrée, déterminée par la relation (104) vaut donc : $f_{\text{max}}=114\text{kHz}$. Plus le signal analogique V_{in} est proche de la borne supérieure de la dynamique d'entrée ΔV_{in} , plus le nombre de sources de courant à l'état « on » est important et donc plus la consommation statique du circuit est importante : elle varie de $0,89\text{mW}$, lorsque V_{in} est proche de la valeur minimale de la dynamique ΔV_{in} , à $1,6\text{mW}$, lorsque V_{in} est proche de la valeur maximale de la dynamique ΔV_{in} . La consommation dynamique moyenne totale du convertisseur a été déterminée comme expliqué au paragraphe 5.4, elle vaut : $P_m = 1,71\text{mW}$. La consommation de la partie concernant le timer et son échantillonnage n'est que de $0,017\text{mW}$ lorsque une résolution $ENOB=8\text{-bits}$ est visée. Les résultats de simulations sont résumés Tableau 13.

Tableau 13 : Résumé des caractéristiques du CAN-A en mode courant.

Résolution matérielle du CAN-A	M=4-bits
Résolution effective du CAN-A	Jusqu'à ENOB=8-bits
Résolution matérielle du timer	$M_{\text{timer}}=18\text{-bits}$
Fréquence du timer	Jusqu'à $T_C^{-1}=1,37\text{MHz}$
Tension d'alimentation	$V_{\text{dd}}=1,8\text{V}$
Dynamique d'entrée en tension	$\Delta V_{\text{in}}=800\text{mV}$
Quantum en courant	$q_I=3,2\ \mu\text{A}$
Dynamique d'entrée en courant	$\Delta I_{\text{in}}=48\ \mu\text{A}$
Temps de boucle	$\delta=93\text{ns}$
Bande passante du signal d'entrée	$f_{\text{max}}=114\text{kHz}$
Consommation du timer	$P_{\text{timer}}=0,017\text{mW}$ @ ENOB=8-bits
Consommation totale du CAN-A en inactivité	$P_{\text{min}}=0,89\text{mW}$ $P_{\text{max}}=1,60\text{mW}$
Consommation totale moyenne du CAN-A en activité	$P_m=1,71\text{mW}$ @ vitesse maximale
Surface de la partie analogique	$S_{\text{analog}}=220\ \mu\text{m}\times 68\ \mu\text{m}$
Surface de la partie numérique	$S_{\text{digital}}=160\ \mu\text{m}\times 80\ \mu\text{m}$

Ainsi, pour une conception en mode courant, la quasi-totalité de la consommation électrique peut être attribuée à la partie analogique. Le principal problème vient du fait que la consommation statique du convertisseur est très forte : la consommation électrique totale n'est que légèrement supérieure lorsqu'une traversée de niveau intervient par rapport au cas où le circuit est en situation d'attente. Cet aspect est assez problématique car le circuit ne tire ainsi que très peu de bénéfices de la réduction d'activité due à l'échantillonnage irrégulier par traversées de niveaux. Cette consommation statique est due à la présence du CNA qui fournit en permanence le courant de référence I_{CNA} pour les deux comparateurs (cf. Figure 75). Ce défaut, impossible à supprimer, a conduit à ne pas faire fabriquer le circuit et à considérer une approche analogique en mode tension pour les blocs analogiques.

5.4.2.2 Facteur de Mérite

Néanmoins, le Facteur de Mérite du CAN-A a été déterminé. Compte tenu des résultats donnés au paragraphe précédent, le Facteur de Mérite simple calculé à partir de la relation (25) vaut : $FoM=3,43.10^{10}$ et le Facteur de Mérite intégrant la surface du circuit selon la relation (26) vaut $FoM=1,23.10^{18}$. D'après l'état de l'art donné Tableau 1 et Figure 35, le CAN-A ainsi conçu a un Facteur de Mérite égalant le FoM du meilleur CAN de Nyquist, en technologie équivalente (c'est-à-dire avec une largeur minimale de grille au moins égale à $0,18\ \mu\text{m}$). Ces estimations sont encore pessimistes puisque la puissance moyenne P_m prise en compte pour le calcul des Facteurs de Mérite a été mesurée lorsque le CANA fonctionne à vitesse maximale. Elle ne tient pas compte de la réduction d'activité du montage liée à l'échantillonnage irrégulier.

5.4.2.3 Emissions électromagnétiques

Des simulations électriques ont de plus été réalisées afin d'estimer le gain de l'échantillonnage irrégulier et de la technologie asynchrone en terme d'émissions électromagnétiques.

Pour cela, un convertisseur de référence synchrone, fonctionnant dans le cadre de l'échantillonnage de Nyquist a été conçu. Il s'agit d'un Convertisseur à Approximations Successives (CAS), pour lequel des blocs analogiques similaires à ceux conçus pour le CAN-A ont été employés. L'échantillonneur-bloqueur (E/B) n'a néanmoins pas été pris en compte dans ces bilans de consommation, il a juste été modélisé d'un point de vue comportemental en HDL-A. Pour des raisons de facilité de conception un CAS en mode courant de seulement *6-bits* de résolution a été conçu. Son schéma électrique est donné Figure 122, et son principe de fonctionnement analogue à celui expliqué au paragraphe 1.2.1.3. L'allure des trois horloges de contrôle *Clk_sample*, *Clk_sar* et *Clk_latch* est donnée Figure 123. Leur période a été choisie telle que la bande passante du CAS soit identique à celle du CAN-A : $f_{max}=114kHz$.

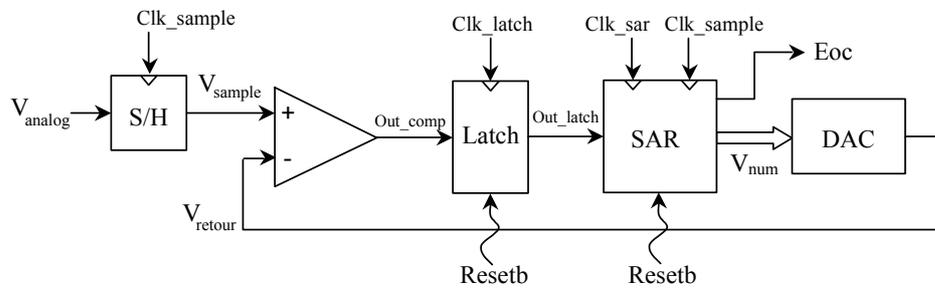


Figure 122 : CAS conçu au niveau transistor, utilisé pour la référence synchrone.

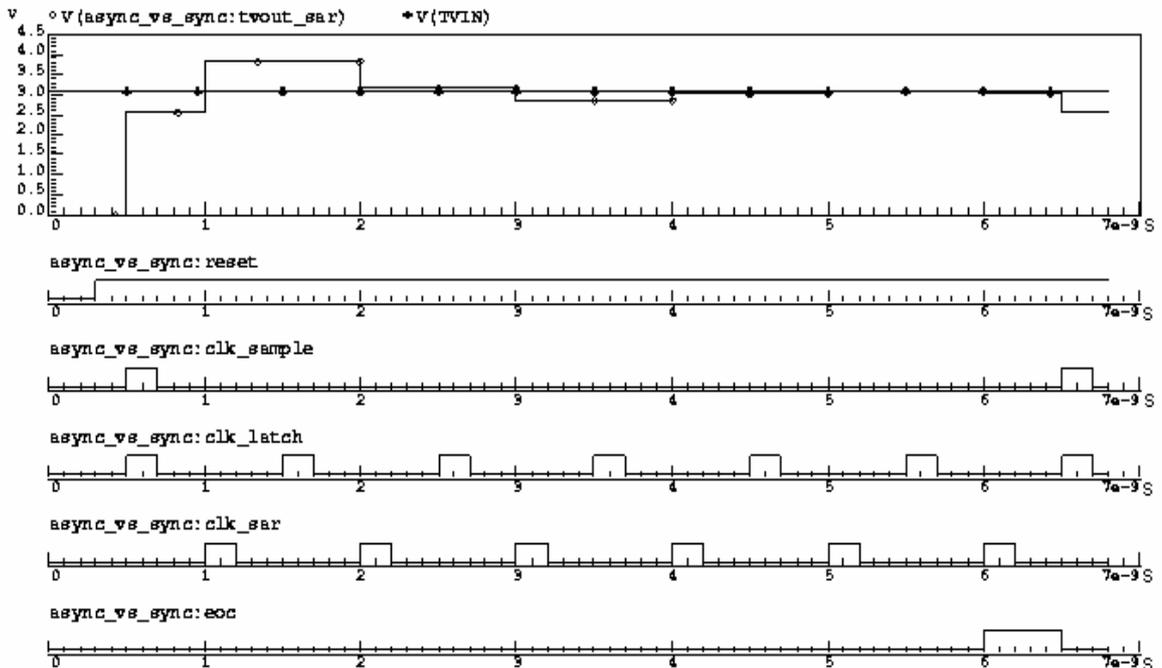


Figure 123 Exemple de conversion d'un échantillon par le circuit donné Figure 122.

Le spectre des courants consommés par le CAN-A avec $ENOB=8\text{-bits}$ respectivement par le CAS avec $N=6\text{-bits}$ (sans E/B) est donné Figure 124b respectivement Figure 124a. Le signal analogique d'entrée considéré pour cette simulation est une sinusoïde d'amplitude la dynamique des convertisseurs ΔV_{in} et de fréquence 100kHz , i.e. très proche de la valeur maximale f_{max} pouvant être traitée par le CAN-A. Ce type de signal est le pire cas pour le CAN-A puisqu'il a une dynamique et une activité maximales, ce qui engendre une activité maximale du circuit.

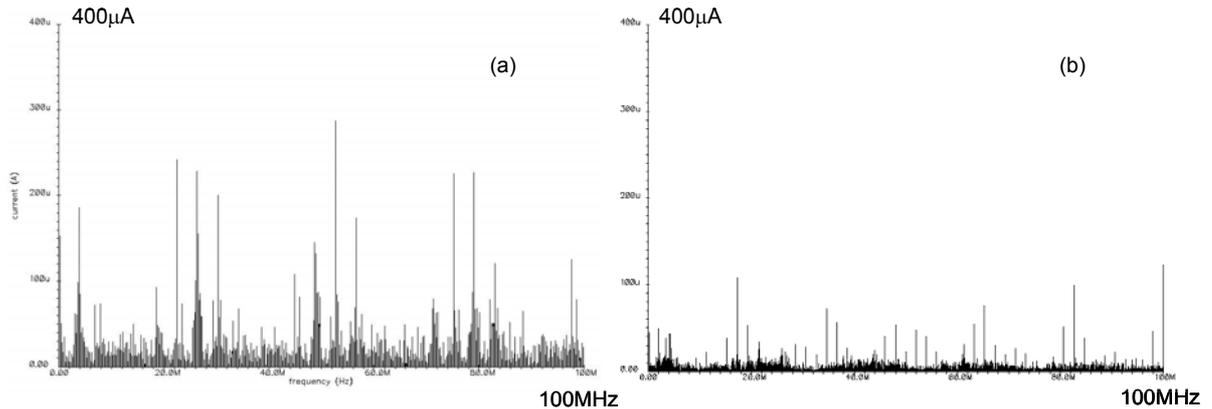


Figure 124 : Spectre du courant consommé dans le cadre de la conception en mode courant du CAN à Approximations Successives avec $N=6\text{-bits}$ et sans E/B (a), et CAN-A avec $ENOB=8\text{-bits}$ (b).

D'après la Figure 124, au-delà de la bande utile du signal $f_{max}=114\text{kHz}$, les harmoniques maximaux du convertisseur asynchrone sont atténués de $61,4\%$ par rapport à ceux de son homologue synchrone. Ces résultats demeurent pessimistes car la résolution effective du CAN-A est supérieure de 2-bits par rapport à celle du CAS, et l'échantillonneur-bloqueur qui est un bloc bruyant et consommant beaucoup d'énergie n'a pas été pris en compte pour le CAS.

Ces résultats intéressants en terme de réduction des émissions électromagnétiques sont liés au mode de conception asynchrone du circuit. En effet, du fait de l'absence d'une horloge globale, il n'existe pas d'harmonique à des fréquences multiples de la fréquence d'horloge. Il peut être conclu que les CAN-As sont très intéressants pour des applications faible bruit. De plus, de par cette caractéristique, les SNRs mesurés en test électrique seront très proches des résultats théoriques.

5.4.3 CAN-A en mode tension

Le CAN-A en mode tension a été entièrement conçu au niveau transistor et simulé d'un point de vue électrique d'après les architectures et le cahier des charges décrits auparavant. Par contre, le dessin au micron de la partie analogique n'a pas été réalisé, ainsi la taille exacte du cœur du circuit et donc le Facteur de Mérite intégrant ce paramètre n'est qu'une estimation. Les caractéristiques du convertisseur en mode tension sont résumées Tableau 14. Le temps de boucle du convertisseur vaut $\delta=106\text{ns}$, la fréquence maximale

du signal en entrée, déterminée par la relation (104) vaut donc : $f_{max}=100,1kHz$. La consommation statique du CAN-A lorsqu'aucun échantillon n'est converti n'est due qu'aux courants de polarisation des deux comparateurs et à la consommation dynamique du timer. Contrairement au CAN-A en mode courant, elle est indépendante de la valeur courante de la sortie numérique V_{num} . Pour la résolution effective de 8-bits visée, la consommation électrique statique du CAN-A vaut $95\mu W$. Lorsque le CAN-A est en activité et délivre des échantillons à vitesse maximale, la puissance moyenne consommée vaut : $210\mu W$.

Tableau 14 : Résumé des caractéristiques du CAN-A en mode tension.

Résolution matérielle du CAN-A	M=4-bits
Résolution effective du CAN-A	Jusqu'à ENOB=8-bits
Résolution matérielle du timer	$M_{timer}=12$ -bits
Fréquence du timer	Jusqu'à $T_C^{-1}=1,37MHz$
Tension d'alimentation	$V_{dd}=1,8V$
Dynamique d'entrée en tension	$\Delta V_{in}=900mV$
Temps de boucle	$\delta=106ns$
Bande passante du signal d'entrée	$f_{max}=100,1kHz$
Consommation du timer	$P_{timer}=0,014mW$ @ ENOB=8-bits
Consommation totale du CAN-A en inactivité	$P_m=95\mu W$
Consommation totale moyenne du CAN-A en activité	$P_m=210\mu W$ @ vitesse maximale

Compte tenu de ces résultats, le Facteur de Mérite simple calculé à partir de la relation (25) vaut : $FoM=2,43.10^{11}$. La surface du cœur du circuit doit être estimée. La partie digitale est quasi similaire à celle du CAN-A en mode courant, ainsi : $S_{digital}=160\mu m \times 80\mu m$. Pour la partie analogique, le layout des comparateurs et du latch analogique sont similaires à celui du CAN-A en mode courant. Il doit être ajouté la surface estimée du CNA. D'après la Figure 118, il y a 90 capacités élémentaires C_u pour le CNA total, et elles doivent avoir une précision de 8-bits, i.e. avoir pour côté $5,33\mu m$ (cf. Tableau 9). La partie analogique est donc estimée à : $S_{analog}=120\mu m \times 51\mu m$. Le Facteur de Mérite intégrant la surface donné par la relation (26) vaut ainsi : $FoM=1,28.10^{19}$. Par comparaison aux CANs actuels résumés Tableau 1 et Figure 35, le CAN-A en mode tension ainsi conçu a un Facteur de Mérite d'un ordre de grandeur supérieur à celui du meilleur CAN de Nyquist en technologie équivalente. Comme pour la conception analogique en mode courant, ces estimations sont encore pessimistes puisque la puissance moyenne P_m prise en compte pour le calcul des Facteurs de Mérite a été mesurée lorsque le CNA fonctionne à vitesse maximale. Elle ne tient pas compte de la réduction

La conception des CAN-As laisse donc espérer des perspectives très intéressantes en vue de la réduction de la consommation électrique des convertisseurs, surtout en ce qui concerne la conception analogique en mode tension. Le Facteur de Mérite pourrait être amélioré si la conception de chaque sous-bloc du convertisseur était plus poussée. Quelques pistes de recherche dans cette direction sont discutées au Chapitre 6.

5.5 Conclusion

Ce Chapitre a présenté la conception électrique de CAN-As en vue d'estimer leur Facteurs de Mérite. Dans ce cadre, la méthodologie de conception élaborée au Chapitre 4 a été mise en œuvre, pour une application de type parole. Deux convertisseurs ont été étudiés, avec une conception analogique en mode courant puis en mode tension. La technologie HCMOS8d de STMicroelectronics, technologie CMOS standard en 0,18 μ m, a été utilisée.

Il a tout d'abord été décrit le choix retenu pour les architectures de conversion, puis la conception de la partie numérique des convertisseurs rassemblant la partie contrôle, le timer et le bloc de synchronisation. Parallèlement, les contraintes de conception de chaque bloc analogique ont été calculées, en fonction de la résolution effective du CAN-A, à partir des résultats théoriques démontrés au Chapitre 4. Après un bref état de l'art pour l'implémentation électrique de chaque circuit, un compromis a été fait entre la résolution du convertisseur et les paramètres de conception des parties analogiques, afin de fixer un cahier des charges précis. Une résolution effective de 8-bits a été choisie.

Après la conception totale du CAN-A, les Facteurs de Mérite ont été calculés à partir des simulations électriques pour les deux convertisseurs. Pour le CAN-A en mode courant, il atteint la valeur du meilleur CAN de Nyquist publié actuellement et donné dans l'état de l'art du Chapitre 1. Pour la conception en mode tension, il est un ordre de grandeur supérieur. Ces résultats ne constituent qu'une première estimation, en effet la valeur de la bande passante du convertisseur et de la résolution effective sont issus de résultats théoriques. De même, la mesure de la consommation électrique moyenne est sûrement sur-estimée puisqu'elle constitue quasiment le pire cas d'activité pour le CAN-A, alors qu'en pratique, ce cas n'est jamais vérifié. Néanmoins, cette nouvelle famille de convertisseurs laisse présager de très bons résultats lorsque la conception de chaque sous-bloc du circuit sera optimisée (cf. Chapitre 6).

Il a également été prouvé, dans le cas de la conception en mode courant, que le CAN-A a un rayonnement électromagnétique très réduit par rapport à un CAN synchrone. Cette caractéristique est due au mode de conception asynchrone du circuit. En pratique, lors des tests électriques sur les CAN-As, cette propriété sera la cause de mesures SNRs et SFDRs très proches des valeurs théoriques, puisque la partie numérique n'induit pas d'harmoniques précises comme pour les CANs purement synchrones. Cette caractéristique pourrait aussi être observée dans le cas de la conception du CAN-A en mode tension.

6

Chapitre 6 : Discussion

Ce dernier Chapitre présente une discussion critique sur cette nouvelle famille de convertisseurs asynchrones. Tout d'abord les influences des migrations technologiques sur les caractéristiques des CAN-As sont présentées. Il est ensuite récapitulé les points bloquants pour leur conception. Des pistes à étudier sont enfin présentées en ce qui concerne l'augmentation du Facteur de Mérite de ces convertisseurs. Ils se situent soit au niveau système, soit au niveau transistor.

6.1 Migrations technologiques

Les circuits ont été conçus avec une technologie $0,18\mu\text{m}$ de STMicroelectronics. Il est alors logique de se demander quels gains en performances il est possible d'espérer avec des technologies plus fines : $0,12\mu\text{m}$, 90nm ...

Tout d'abord, la tension nominale d'alimentation est réduite avec la finesse de la technologie. Ainsi compte tenu que la consommation d'un circuit est directement liée à V_{dd} , à circuit « équivalent », une réduction de la consommation fonction du ratio des tensions d'alimentations peut être espérée.

Pour la partie numérique, une technologie plus fine engendre un gain en vitesse et en surface. Cependant comme il a pu être constaté lors de la conception des CAN-As, la surface est surtout déterminée par la partie analogique, notamment le convertisseur numérique analogique. De plus, pour les applications visées par la conversion asynchrone (signal de parole, signal audio...), les ordres de grandeur du temps de boucle (cf. Chapitre 4) ne rendent pas la vitesse du circuit déterminante. L'apport de la réduction des dimensions de la technologie pour la partie numérique du CAN-A n'est donc pas flagrant, il est juste intéressant par la baisse de la consommation dynamique en raison de la réduction de la tension d'alimentation.

Pour la partie analogique, la migration des circuits vers des technologies plus fines a par contre beaucoup plus de répercussions. Comme pour la partie numérique, la fréquence de transition des transistors est plus élevée, ceci permet d'obtenir des circuits avec des bandes passantes plus élevées. Cependant, comme il a été vu, ce n'est pas un critère déterminant pour les applications ciblées par ce nouveau principe de conversion. Par contre, des gains élevés pourront être atteints, avec des courants de polarisation plus faibles. Cette caractéristique aura pour effet de réduire la dissipation d'énergie du convertisseur et donc d'atteindre des valeurs plus fortes pour les FoMs.

Qu'en est-il de la surface des circuits ? Pour la conception en mode courant, la relation fixant la valeur du courant élémentaire, donnée par la relation (140), dépend des paramètres technologiques A_{VT} et A_β . D'après [vBOSC 01a] ou [BULT 00], les paramètres évoluent tel qu'indiqué Figure 125.

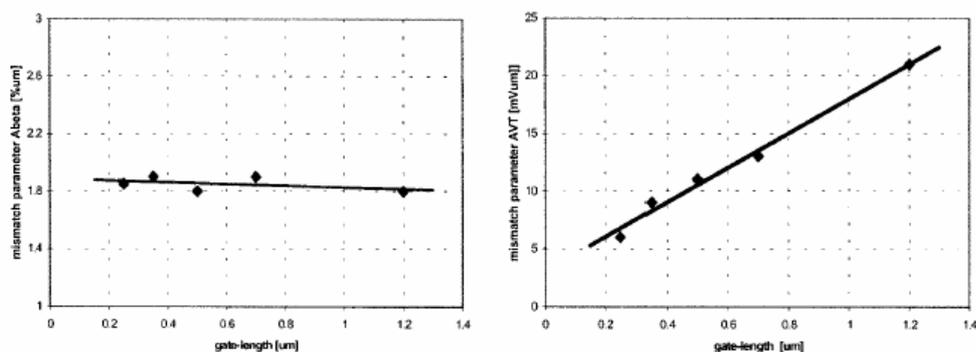


Figure 125 : Variation des paramètres technologiques A_β et A_{VT} selon la finesse de la technologie, d'après [vBOSC 01a].

Le paramètre A_{VT} décroît avec la technologie alors que A_β reste constant. Dans la relation (140), le premier terme en A_β^2 reste donc constant quelle que soit la technologie. Lorsque la finesse de la technologie augmente, compte tenu du fait que la tension d'alimentation diminue, et que la dynamique de sortie du CNA diminue du même ratio, la différence de tensions $V_{GS} - V_T$ diminue d'environ le même ratio que le paramètre A_{VT} . Le terme en $\frac{A_{VT}^2}{(V_{GS} - V_T)^2}$ de l'équation (140) reste donc également constant. Il peut en être déduit que lors des futures migrations technologiques, la surface du CNA, donc celle du CAN-A restera sensiblement équivalente.

Pour la conception en mode tension, la surface des sources élémentaires du CNA est donnée par la relation (179), elle dépend du paramètre technologique A . Ce paramètre est constant lorsque la technologie s'affine. Il en résulte, comme dans le cas d'une conception en mode courant, que la surface du CNA et donc celle du CAN-A restera quasi identique lors de futures migrations technologiques.

Enfin, lors de migrations technologiques, la tension d'alimentation V_{dd} est diminuée d'un ratio beaucoup plus fort que celui des tensions de seuil V_{TN} et V_{TP} des transistors MOS [ITRS 03]. La somme $V_{TN} + V_{TP}$ devient donc juste inférieure à V_{dd} . Dans un montage analogique commun, entre les rails d'alimentations se trouvent au minimum un transistor N et un transistor P en série, devant tous deux rester en zone saturée lors du fonctionnement du circuit. Des techniques spécifiques de conception analogiques non triviales doivent donc être utilisées afin de respecter cette condition [YAN 00].

Pour conclure, l'effet de la diminution de la largeur de grille minimale de la technologie sur les CAN-As est en tous points similaire à ce qui se passe pour les CANs de Nyquist [BULT 00].

6.2 Bilan sur les caractéristiques des CAN-As

Comme il a été constaté dans la partie méthodologie de conception des CAN-As présentée au Chapitre 4, la partie analogique de ce nouveau genre de convertisseurs est assez complexe à concevoir. Ceci est dû au fait que bien que le matériel mis en œuvre soit seulement de M -bits, avec M assez faible, une haute résolution effective de $ENOB$ -bits est accessible uniquement si les blocs analogiques sont conçus avec une précision de $ENOB$ -bits. La précision finale du CAN-A impose donc des contraintes très sévères de conception.

La première se situe au niveau du convertisseur numérique analogique présent dans la boucle de conversion. Bien que le nombre de sources élémentaires soit bien plus faible qu'un CNA usuel utilisé dans un circuit respectant l'échantillonnage de Nyquist, leur précision est bien supérieure. En prenant en compte les paramètres technologiques, il

est montré au final que pour respecter la résolution effective, la surface totale du CNA du CAN-A est identique à celle d'un CNA utilisé dans un CAN de Nyquist, à résolution effective égale. Ainsi, compte tenu du fait qu'un CNA représente la quasi-totalité de la surface de la partie analogique d'un convertisseur analogique numérique, le gain en surface pour le CAN-A demeure assez limité pour la partie analogique. De plus, comme il a été montré au paragraphe 6.1, les migrations technologiques n'ont que peu de conséquences sur la diminution de la surface des CAN-As. Le paramètre surface n'est donc que peu déterminant pour l'augmentation du Facteur de Mérite du CAN-A donné par la relation (26). Ce dernier est par contre amélioré en jouant sur les autres paramètres, notamment sur la consommation électrique moyenne P_m , puisqu'elle est fortement diminuée en raison de la réduction de l'activité du CAN-A due à l'échantillonnage asynchrone.

La deuxième contrainte de conception très sévère se situe au niveau des comparateurs. En effet, ils sont chargés de détecter la traversée des niveaux de quantification qui déclenche le prélèvement et la conversion des échantillons. Ceci doit donc se faire très précisément, ce qui implique donc des caractéristiques de gain et de slew-rate très forte, qu'il est difficile d'obtenir en conservant des courants de polarisation raisonnables. Bien sûr, plus la résolution effective finale $ENOB$ visée pour le CAN-A est importante et plus le cahier des charges des comparateurs est difficile à respecter. Cet aspect limite donc ce nouveau type de conversion aux applications faible et moyenne résolution (autour de 8-bits). De plus, de par le côté « asynchrone » de l'échantillonnage, le comparateur ne peut être implémenté qu'avec un circuit « temps continu ». Ainsi des comparateurs latchés tels que ceux qui sont utilisés dans la quasi-totalité des convertisseurs de Nyquist mettant en œuvre des horloges et de très faibles courants de polarisation ne peuvent être employés.

6.3 Amélioration des performances des CAN-As

Les deux circuits conçus au Chapitre 5 mettent en œuvre une structure micropipeline à trois étages et un protocole quatre-phases. Bien que les résultats mesurés électriquement soient bons, il est encore possible d'augmenter le Facteur de Mérite des CAN-As. Ceci peut se faire soit à haut niveau, en modifiant l'architecture de conversion, soit au niveau transistor en améliorant la conception de chacun des blocs analogiques et numériques.

6.3.1 Approches multi-résolution

Le principe de la conversion asynchrone présenté jusqu'ici est comparable à celui d'un CAN de poursuite (cf. paragraphe 1.3.1.2). Un problème peut provenir du fait que le bloc numérique de conversion implémenté dans la boucle n'est qu'un simple comp-

teur/décompteur. Ainsi, bien que la résolution matérielle du CAN reste faible comparé à la haute résolution effective accessible, cela peut donner lieu à un sur-échantillonnage du signal lorsque celui-ci a une forte activité et une forte dynamique. Un nombre moyen d'échantillons par seconde plus que nécessaire peut alors être prélevé. Ceci est bien sûr la cause d'une consommation et d'une quantité de données inutiles compte tenu de la pertinence des informations délivrées. Ce problème est bien sûr difficile à résoudre puisque le contrôle de tout le système dépend uniquement de l'activité du signal. Néanmoins, des architectures mettant en œuvre un matériel plus complexe, afin de réaliser de la *conversion multi-résolution* sont envisageables et des solutions sont présentées ci-dessous.

Dans le cadre d'un échantillonnage de Nyquist, L. Alacoque a proposé des techniques dans [ALA 02] afin de raffiner les algorithmes de conversion pour réduire l'activité d'un CAN de type Approximations Successives (cf. paragraphe 2.3). Cependant, ces techniques ne sont pas applicables dans le cas d'un échantillonnage par traversées de niveaux. Le problème du mode d'échantillonnage choisi pour le CAN-A est que la conversion d'un échantillon doit être déclenchée uniquement à l'instant précis de commutation d'un comparateur, i.e. à la traversée exacte d'un niveau de référence. L'utilisation d'un circuit d'échantillonnage blocage est donc prohibée. Ainsi pour une implémentation multi-résolution du CAN-A, deux approches sont envisageables.

La première approche est donnée Figure 126. Le montage est basé sur une non linéarité plus complexe décrite Figure 127. Au lieu de comparer l'erreur entre le signal d'entrée et le signal issu du CNA par rapport à deux références, il est comparé à quatre références. Les deux premières sont toujours $+q/2$ et $-q/2$, il y a alors incrémentation ou décrémentation de 1 du compteur, les deux autres sont $+3q/2$ et $-3q/2$, et il y a incrémentation ou décrémentation de 2 du compteur. Les deuxièmes seuils peuvent être généralisés à : $+(2k+1)q/2$ et $-(2k+1)q/2$ pour une incrémentation ou décrémentation de $k+1$ du compteur. Ce genre d'approche est proposé d'une façon quasi similaire dans [ALA 02]. Au niveau implémentation, le simple latch analogique nécessaire pour le CAN-A doit maintenant être remplacé par un bloc beaucoup plus complexe. Tout d'abord il y a deux couples de bits de contrôle, $(+q/2, -q/2)$ et $(+(2k+1)q/2, -(2k+1)q/2)$, seulement exclusifs deux à deux. Le nouveau latch analogique doit donc avoir non seulement le comportement « dynamique » vu auparavant, mais aussi gérer la priorité du bit ' $+(2k+1)q/2$ ' respectivement ' $-(2k+1)q/2$ ' sur le bit ' $+q/2$ ' respectivement ' $-q/2$ '. De plus, afin de conserver l'échantillonnage par traversées de niveaux, ce bloc doit être sensible non pas à l'état des quatre bits comme c'était le cas auparavant, mais aux transitions de '0' à '1'. Ce CAN-A multi-résolution peut être généralisé avec encore plus de seuils de comparaisons. Le montage extrême mettant en œuvre une non-linéarité d'ordre $M/2$ reviendrait à un CAN Flash de M -bits.

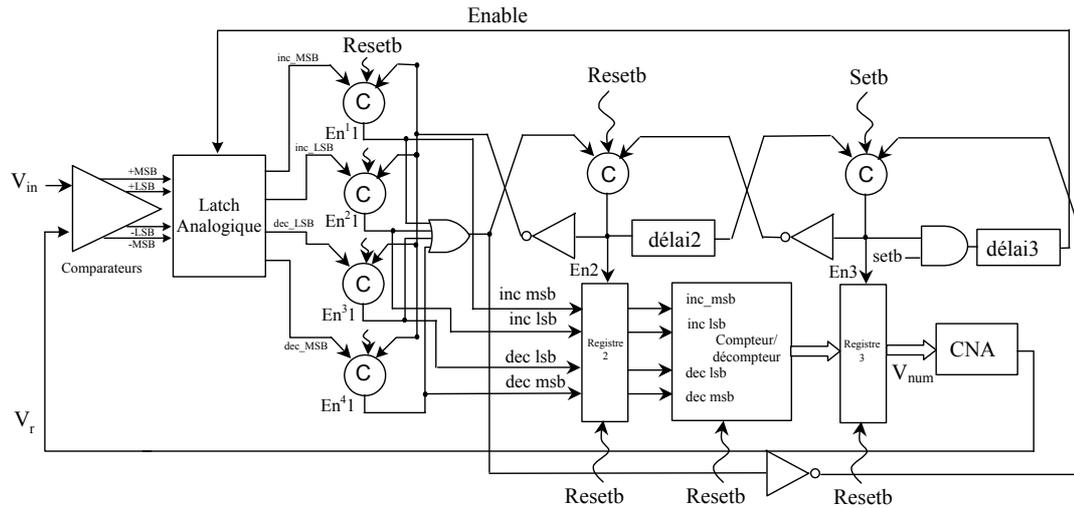


Figure 126 : Schéma de principe du CAN-A multi-résolution de base.

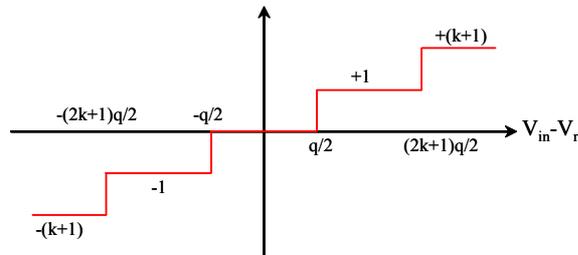


Figure 127 : Non-linéarité du CAN-A donné Figure 126.

Le schéma de principe de la deuxième approche est donné Figure 128 pour deux étages en parallèle. Deux boucles sont présentes : la boucle de poids forts (MSB) fonctionnant comme un CAN-A simple et la boucle des poids faibles (LSB) fonctionnant comme un CAN-A simple mais sur le résidu. Le principe de conversion est semblable à celui donné Figure 21. Le fonctionnement des compteurs à l'intérieur des deux boucles est le suivant : lorsqu'un quantum de LSB est traversé, le compteur de LSB est incrémenté ou décrémenté. Lorsqu'un quantum de MSB est traversé, le compteur de MSB est incrémenté ou décrémenté, et le compteur de LSB respectivement mis à zéro ou à la valeur maximale. Ce montage peut être généralisé tel que montré Figure 129 pour une résolution matérielle $M=4\text{-bits}$. Dans ce cas, il s'agit d'un fonctionnement « similaire » à un CAN à Approximations Successives mais totalement asynchrone. Le fonctionnement du latch analogique est similaire à celui utilisé pour le CAN-A multi-résolution de la première approche. La complexité du montage est similaire à la classe de CAN-As multi-résolutions.

Pour l'utilisation de tels convertisseurs multi-résolutions, un compromis doit être trouvé entre le gain en activité apporté et la complexité et la consommation du matériel ajouté. Pour leur conception, beaucoup de paramètres doivent être fixés. Tout d'abord l'ordre de la multi-résolution doit être choisi, i.e. l'ordre de la non-linéarité pour la première forme ou le nombre de boucle en parallèle pour la deuxième implémentation.

Il y a de plus le choix de la valeur des quantum secondaires. Ces paramètres doivent être fixés par des considérations statistiques sur le signal : l'activité du CAN-A doit être minimale tout en ayant un nombre moyen d'échantillons par seconde suffisant afin de répondre aux critères de reconstruction de l'échantillonnage irrégulier (cf. paragraphe 2.2.2).

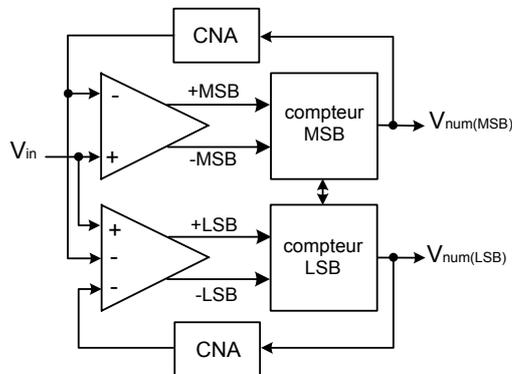


Figure 128 : Deuxième approche multi-résolution.

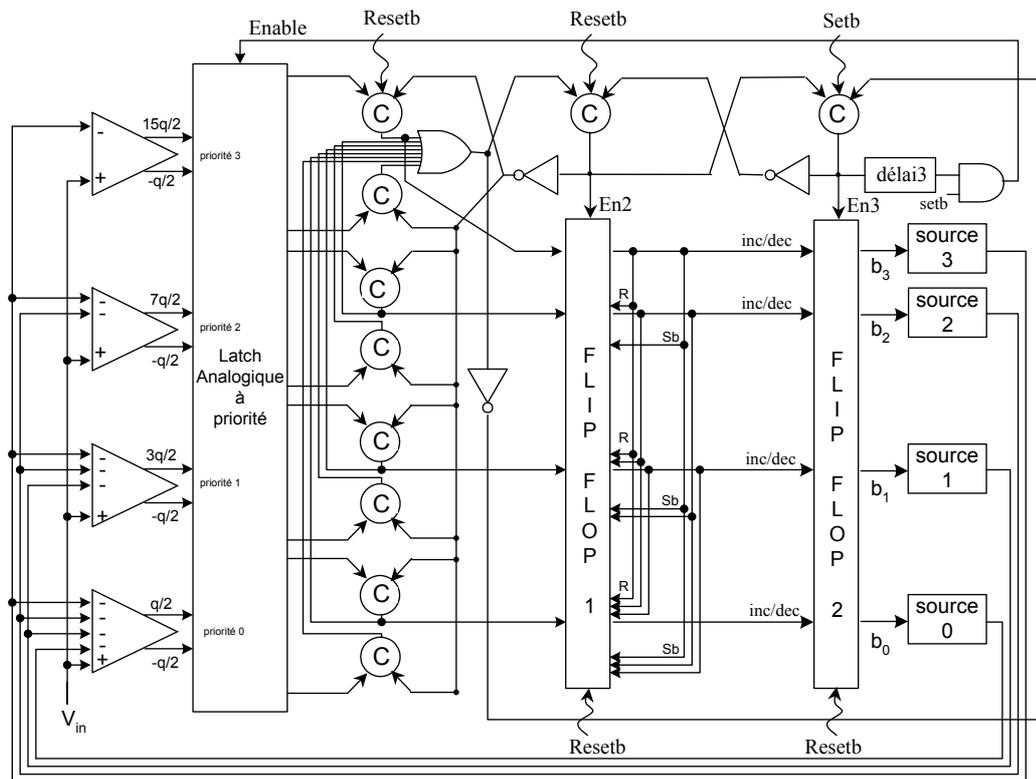


Figure 129 : Généralisation et implémentation du CAN-A présenté Figure 128 avec $M=4$ -bits.

6.3.2 Améliorations de la logique asynchrone

La structure employée pour cette étude est un circuit micropipeline avec un protocole quatre-phases. Ce genre de protocole est assez consommant compte tenu des réinitiali-

sations des bits de contrôle à chaque traitement de donnée. Le fait de passer à un protocole deux-phases serait sûrement intéressant afin de réduire l'activité de la partie contrôle du CAN-A (cf. Chapitre 2). Ceci se ferait bien sûr au détriment du matériel puisque ce genre de circuits est plus complexe car il doit être sensible aux fronts et non aux niveaux. Cependant, la simplicité de la boucle induirait une très faible augmentation du nombre de transistors. De plus, la réduction de l'activité électrique due à ce nouveau protocole, serait également bénéfique pour la partie analogique qui est par définition sensible aux commutations toujours bruyantes des parties numériques.

Enfin, une structure autre que micropipeline, par exemple QDI est aussi envisageable. Ce genre d'implémentation, quel que soit le protocole, serait cependant assez difficile à mettre en œuvre concernant les liens entre les blocs analogiques et les blocs numériques.

6.3.3 Améliorations de l'implémentation transistor

La conception au niveau transistor des parties analogiques et numériques des deux CAN-As présentés au Chapitre 5 peut aussi être améliorée afin de réduire la consommation électrique.

Considérons tout d'abord la partie numérique. Le principal point pouvant être travaillé concerne l'implémentation des délais dans les contrôleurs. Comme il a été vu auparavant, pour des applications assez lentes de type parole, audio... le temps de boucle maximal δ_{max} à implémenter peut être assez long : de l'ordre de la microseconde. De plus, comme il a été expliqué, il est intéressant d'obtenir le temps de boucle δ afin de s'approcher le plus possible de cette limite supérieure, afin de relâcher les contraintes de conception fréquentielles des blocs analogiques du CNA. Concevoir de tels délais avec les bibliothèques standard du fondeur conduit à des surfaces de silicium rédhitoires (cf. paragraphe 5.3.1.2). Des délais plus performants doivent donc être étudiés. Une solution consisterait par exemple à employer le timer comme un délai programmable. De plus, le compteur/décompteur a été conçu comme s'il s'agissait d'un circuit synchrone classique à partir de simples bascules en parallèle. Une conception plus astucieuse exploitant les caractéristiques asynchrones du convertisseur et les propriétés du codage thermomètre employé permettraient également d'obtenir une consommation électrique de ce bloc beaucoup plus faible.

Il en est de même pour la partie analogique, quelle que soit l'approche de conception envisagée, chaque bloc peut localement être amélioré. Cependant, pour les comparateurs, compte tenu de leurs contraintes de fort gain et de fort slew-rate, des courants de polarisation importants seront toujours nécessaires. Les degrés de libertés pour la conception de ce bloc seront donc assez limités.

6.3.4 Relâchement des contraintes de conception

Les principales contraintes de conception analogique discutées au paragraphe précédent sont inhérentes au mode d'échantillonnage choisi et semblent impossibles à évi-

ter. Cependant, comme c'est le cas pour les CAN de Nyquist, il se peut que des composants analogiques de « mauvaise qualité » puissent être employés dans le circuit, en ajoutant un bloc de correction numérique afin d'atteindre la résolution effective de l'application. Ce genre de problématique pourrait être étudiée par la suite dans le cadre du CAN-A, car il se peut que des solutions simples d'un point de vue fonctionnement et du matériel utilisé puissent être mises en œuvre dans cet environnement asynchrone.

De même, par analogie aux convertisseurs synchrones $\Sigma\Delta$, une mise en forme du bruit ou un autre type de traitement numérique pourrait être étudiée dans la boucle de conversion asynchrone. Cette idée semble la plus prometteuse, bien que le formalisme mathématique à adopter reste à étudier puisqu'il ne s'agit plus de celui des transformées en Z (l'échantillonnage n'est pas régulier en temps).

6.6 Conclusion

Dans ce dernier Chapitre, une discussion sur cette nouvelle famille de convertisseurs asynchrones a été faite. Nous avons tenté de porter une vue critique sur la nouvelle classe de convertisseurs étudiés.

Tout d'abord l'étude de l'influence de la migration technologique sur les caractéristiques des CAN-As montre que très peu de gains en terme de surface de silicium peuvent être espérés.

Les points bloquants pour la conception de ces convertisseurs asynchrones ont ensuite été récapitulés. Néanmoins, des améliorations à étudier ont été présentées pour augmenter le Facteur de Mérite. Le principal paramètre sur lequel il est possible de jouer est la consommation électrique moyenne du circuit. Tout d'abord, des structures de CAN-A multi-résolution permettraient de réduire l'activité du circuit et le nombre d'échantillons convertis lorsque l'activité du signal analogique est importante. Cependant la complexité en terme de conception et de matériel à mettre en œuvre n'en fait peut être pas une piste de recherche à privilégier dans l'immédiat. Des solutions plus prometteuses concernent d'abord des modifications de l'implémentation asynchrone de la boucle de conversion telles que l'utilisation d'un protocole deux phases et/ou d'un circuit QDI afin de réduire de manière significative la consommation électrique de la partie logique du circuit. De plus, au niveau transistor, la conception de chacun des blocs analogiques et numériques est à approfondir. Enfin, la piste la plus prometteuse à suivre consiste à étudier la réalisation d'un traitement ou d'une mise en forme du bruit au sein même de la boucle de conversion. Pour cela une théorie adaptée au traitement du signal à échantillonnage irrégulier doit être élaborée.

Conclusion

Ce manuscrit de thèse décrit les principes et la théorie associée d'une nouvelle famille de *Convertisseurs Analogiques Numériques Asynchrones* (CAN-As) basés sur une quantification du temps. Ce travail se situe dans le contexte des Systèmes sur Puce ou SoCs (*System on Chip*) et des Objets Communicants. Dans un cadre plus général, le but de cette thèse a été une première étape d'une réflexion visant à repenser complètement les chaînes classiques de traitement du signal, au niveau théorie du signal et implémentation électrique, afin de réduire de façon massive leur activité et donc leur consommation électrique. Pour cela, une conception de systèmes intégrés, uniquement contrôlés par l'information contenue dans le signal d'entrée, a été étudiée. Ce travail a ainsi conduit à la description d'une nouvelle classe de CANs mettant simultanément en œuvre une conception asynchrone (pas d'horloge globale) et un échantillonnage asynchrone (ou irrégulier dans le temps). En effet, des travaux de recherche ont montré que l'échantillonnage irrégulier ou que la conception asynchrone permet de réduire certains problèmes des CANs usuels. Ici, ces deux caractéristiques ont été employées conjointement afin de cumuler leurs avantages.

Tout d'abord l'échantillonnage mis en œuvre dans ces CAN-As se démarque complètement de l'échantillonnage régulier selon la théorie de Shannon. Il s'agit d'un *échantillonnage par traversées de niveaux* (ou *level crossing sampling*) donnant lieu à un échantillonnage non régulier dans le temps du signal analogique. Pour cela, des niveaux de quantification sont régulièrement disposés selon l'axe des amplitudes, et un échantillon est prélevé puis converti par le système uniquement lorsque le signal analogique d'entrée traverse un des niveaux prédéfinis. Le système de conversion délivre donc en sortie des couples amplitude/temps, correspondant à l'amplitude de l'échantillon courant et au temps écoulé depuis l'échantillon précédent. Cette technique permet ainsi de ne prélever que des échantillons pertinents et donc de réduire considérablement l'activité du circuit et le nombre d'échantillons numériques à stocker ou à traiter. Cette technique d'échantillonnage se démarque complètement de l'échantillonnage de Nyquist pour lequel une horloge de période fixe ordonne la conversion des échantillons. En pratique, cette composante est rarement atteinte et donc cette forte valeur de la fréquence d'échantillonnage conduit à un nombre important d'échantillons convertis pouvant être redondants ou inutiles, ce qui engendre une activité et une dissipation d'énergie du système indésirable. La théorie associée à ce nouveau genre de CANs est duale de la théorie des CANs de Nyquist : usuellement, il y a échantillonnage en temps et quantification en amplitude, dans les cas des CAN-As, il y a échantillonnage en amplitude et quantification en temps, d'où le titre de cette thèse. La théorie qui en découle implique un rapport signal sur bruit indépendant de la résolution matérielle du convertisseur (i.e. du nombre de bits physiquement implémentés).

De plus, l'implémentation matérielle pour les CAN-As est de type asynchrone, c'est-à-dire que toute horloge globale au système a été supprimée au profit de signaux de contrôle localisés. Ce genre d'approche se marie particulièrement bien avec l'échantillonnage par événements retenu pour ces nouveaux convertisseurs.

L'architecture de conversion asynchrone de base proposée dans ces travaux est une boucle de rétroaction asservie sur le signal analogique à convertir, aucun échantillonneur bloqueur n'est présent. Elle est composée d'un quantificateur de différence, d'un compteur/décompteur, et d'un Convertisseur Numérique Analogique (CNA). Toutes les communications entre ces différents blocs sont assurées par des signaux de requêtes et d'acquiescements. Le signal d'entrée analogique est comparé à la valeur courante numérique convertie par le CNA, il y a conversion d'un nouvel échantillon uniquement si une variation sensible entre les deux signaux est détectée. Le choix retenu pour l'implémentation architecturale est une structure micropipeline à trois étages, mettant en œuvre un protocole quatre-phases. Contrairement aux circuits asynchrones classiques, la partie *data path* est ici composée de blocs numériques mais aussi analogiques. La nouvelle boucle de conversion a ensuite été comparée aux structures similaires synchrones telles que le Convertisseur à Approximations Successives (CAS) ou le convertisseur de poursuite, et aux chaînes de modulation classiques (PCM, DPCM, $\Sigma\Delta$). Il en résulte que l'approche envisagée pour la conversion analogique numérique dans ce manuscrit est complètement originale. D'un point de vue fonctionnel, il a été montré que pour des CANs de résolution matérielle égales à N -bits, le CAN-A permet d'avoir un gain en terme de nombre moyen de cycles par seconde de $\frac{100.(N-1)}{N}\%$ par rapport

à un CAS et de $\frac{100.(2^N-1)}{2^N}\%$ par rapport à un CAN de poursuite. Dans le cadre de

l'échantillonnage de Nyquist, la comparaison entre une chaîne de conversion sur-échantillonnée entièrement synchrone, et une chaîne synchrone mettant en œuvre un *front-end* de conversion asynchrone montre que, dans le cas du CAN-A, deux ordres de grandeurs peuvent être gagnés en terme de nombre moyen de cycles par seconde. En admettant que la consommation dynamique d'un circuit est proportionnelle à son activité, ceci laisse espérer un gain en terme de dissipation d'énergie du même ordre de grandeur.

Une méthodologie de conception originale pour cette nouvelle famille de convertisseurs, se démarquant complètement de celle associée aux convertisseurs de Nyquist a ensuite été proposée. La méthode se situe tout d'abord au niveau système où les caractéristiques haut niveau du CAN-A sont déterminées en fonction de la classe de signaux analogiques à convertir et de l'application ciblée. Elle permet de réduire le matériel implémenté et l'activité du convertisseur, en vue de limiter sa consommation électrique. Il est ainsi déterminé la résolution matérielle minimale du CAN-A, la résolution matérielle du timer, la période maximale de l'horloge du timer, et le temps de boucle maximal. Pour cela, toutes les caractéristiques du signal, fréquentielles et statistiques, sont exploitées. Enfin, la méthode poursuit l'étude au niveau transistor où chaque caractéristique des blocs analogiques du CAN-A a été modélisée afin de garantir la résolution effective ciblée pour le convertisseur. Ces études théoriques ont été menées dans

le cadre d'une conception analogique en mode courant puis d'une conception en mode tension.

Enfin, la conception de deux CAN-As a été réalisée en vue d'estimer précisément leurs Facteur de Mérite (FoM). Dans ce cadre, la méthodologie générale de conception a été mise en œuvre pour une application de type parole. La technologie HCMOS8d de STMicroelectronics, technologie CMOS standard $0,18\mu m$, a été utilisée. Afin d'estimer les limites de ces nouveaux CANs et fixer un cahier des charges précis, les contraintes de conception analogiques ont été estimées pour différentes résolutions effectives, puis des implémentations au niveau transistor pour chaque bloc analogique ont été proposées. La conception de la partie numérique puis analogique a ensuite été détaillée. Enfin, les circuits ont été entièrement conçus au niveau transistor puis simulés électriquement. Dans le cas de la conception en mode courant, le facteur de Mérite du CAN-A intégrant sa surface vaut $FoM=1,23.10^{18}$, ce qui le place au niveau des meilleurs CANs de Nyquist publiés actuellement. Il vaut $FoM=1,28.10^{19}$ pour le circuit en mode tension, soit un ordre de grandeur de plus par rapport au meilleur CAN de Nyquist donné dans l'état de l'art du Chapitre 1. Ceci laisse donc espérer de très bons résultats dans le futur, lors de l'optimisation de l'architecture du CAN-A et de la conception de chaque sous-bloc. De plus, dans le cas du mode courant, il a été montré que les harmoniques du courant consommé dans la bande utile sont atténués de $61,4\%$ par rapport à ceux d'un CAS. Ces résultats devraient être similaires dans le cas de la conception du CAN-A en mode tension. Enfin, les problèmes de conversion dûs à la métastabilité sont complètement supprimés de par la conception du timer et de la partie synchronisation du CAN-A.

Le fait d'avoir une quantification en temps et non en amplitude pour ces nouveaux convertisseurs permet d'obtenir une résolution effective $ENOB$ indépendante de la résolution matérielle M du CAN-A. Il est possible d'obtenir une résolution $ENOB$ importante, avec une valeur de M très faible, limitant ainsi le matériel et l'activité du circuit. Cependant les contraintes au niveau de la conception des parties analogiques sont assez fortes. En effet, bien que seulement M -bits soient physiquement implémentés pour le convertisseur, c'est-à-dire 2^M-1 niveaux de quantification, chacun de ces niveaux doit être fixé avec une précision de $ENOB$ -bits. Au niveau du Convertisseur Numérique Analogique (CNA) situé dans la boucle de conversion, cette condition a pour conséquence d'augmenter la surface de chaque source élémentaire. En définitive, la surface totale du CNA est identique à celle d'un CNA qui implémenterait directement la résolution de $ENOB$ -bits dans le contexte de l'échantillonnage de Nyquist. Compte tenu du fait que la surface du CNA est majoritaire dans la surface de la partie analogique du CAN-A, le gain en terme de surface en implémentant seulement M -bits pour le CAN-A est limité. De plus, l'élément critique pour les CAN-As est le comparateur, celui-ci doit détecter très distinctement le franchissement d'un niveau de référence. Les contraintes de gain et de slew-rate sont donc assez forte et s'opposent aux caractéristiques de faible consommation imposées par le contexte de conception. Par contre, comme il a pu être vu, les contraintes au niveau fréquence de coupure des blocs analogiques ne sont pas très élevées pour les applications ciblées : parole, audio, capteur... Toutes ces contraintes de conception analogiques limitent par conséquent l'utilisation des CAN-As à des applications faible et moyenne résolution, de l'ordre de 8 -bits. De plus, la Condition de Poursuite imposée par l'absence d'échantillonneur bloqueur

impose l'utilisation des CANAs à des signaux de bande passante pouvant aller jusqu'à environ 1MHz . Ces ordres de grandeur sont tout à fait en accord avec des applications de type Objets Communicants tel que le projet Smart Dust [WARN 01].

Des améliorations pourraient être, par la suite, apportées à la boucle de conversion. Tout d'abord, à architecture équivalente, la conception de chaque sous-bloc analogique ou numérique peut être améliorée afin de réduire localement sa consommation électrique. De plus, d'un point de vue système, d'autres implémentations architecturales pourraient être envisagées telles que l'utilisation d'un protocole deux-phases ou d'une implémentation QDI. Enfin, lorsque le signal d'entrée est très actif, il y a conversion d'un grand nombre d'échantillons, d'où un « sur-échantillonnage » du signal induisant une augmentation du volume de données à traiter et donc de la consommation électrique du convertisseur. Des architectures multi-résolutions proposées dans ce manuscrit pourraient résoudre en partie ce genre de problèmes, mais au détriment d'un surcoût en matériel. Des critères utilisant les propriétés statistiques du signal devraient être trouvés afin de fixer le compromis idéal entre le choix des paramètres de l'architecture multi-résolution et le gain en terme de dissipation d'énergie. Cependant, cette solution serait assez semblable à une approche de conversion simple-résolution. C'est pour cela que la solution la plus prometteuse, afin de limiter encore l'activité électrique du convertisseur, serait de réaliser un traitement numérique à l'intérieur même de la boucle de conversion. Ceci nécessitera par la suite l'utilisation d'un formalisme mathématique adapté.

Comme il a pu être vu, la sortie numérique du CAN-A est composée d'échantillons non uniformément répartis dans le temps. Le but de cette nouvelle approche de conversion est d'éviter de ré-échantillonner régulièrement ce signal selon la fréquence de Nyquist : nous souhaitons réaliser un système numérique complet de post-traitement, entièrement asynchrone d'un point de vue de la conception et de l'échantillonnage des données, c'est-à-dire un système à pilotage événementiel par l'information utile contenue dans le signal. Dans ce cas, la théorie du signal usuelle n'est bien sûr pas applicable puisque les échantillons ne sont pas répartis à une période fixe. Une nouvelle théorie ainsi que de nouveaux algorithmes de traitement du signal doivent être développés (transformée de Fourier, filtrage...). Le gain en terme d'activité constaté pour la nouvelle famille de convertisseurs est-t-il encore vérifié pour les étages numériques implémentant des algorithmes selon cette nouvelle théorie ? Cette piste de recherche est en cours d'étude et laisse présager des résultats forts intéressants en ce qui concerne la conception de *Systems on Chip* (SoCs) et d'Objets Communicants faible consommation et faibles émissions électromagnétiques.

Bibliographie de l'auteur

- [ALL 02a] **E. Allier, G. Sicard, L. Fesquet, et M. Renaudin**, "Dispositif et Procédé de Conversion Analogique-Numérique", brevet français, Institut National Polytechnique de Grenoble (INPG), 31 Janvier 2002, FR2835365.
- [ALL 02b] **E. Allier**, "Conversion Analogique-Numérique Asynchrone Faible Consommation", *Journées Nationales du Réseau des Doctorants en Microélectronique (JNRDM'02)*, 23-25 Avril 2002, Grenoble, France.
- [ALL 02c] **E. Allier, L. Fesquet, G. Sicard, et M. Renaudin**, "Low Power Asynchronous A/D Conversion", *Proceedings of the 12th International Workshop on Power and Timing, Modeling, Optimization and Simulation (PATMOS'02)*, 11-13 September 2002, Sevilla, Spain.
- [ALL 03a] **E. Allier, G. Sicard, L. Fesquet, et M. Renaudin**, "A New Class of Asynchronous Analog-to-Digital Converters", *Proceedings of the 3rd ACiD Workshop*, 27-28 January 2003, Heraklion, Crete, Greece.
- [ALL 03b] **E. Allier, G. Sicard, L. Fesquet, et M. Renaudin**, "A New Class of Asynchronous A/D Converters based on Time Quantization", *Proceedings of the 9th IEEE International Symposium on the Design of Asynchronous Circuits and Systems (ASYNC'03)*, 12-16 May 2003, Vancouver, BC, Canada.
- [ALL 03c] **E. Allier, G. Sicard, L. Fesquet, et M. Renaudin**, "Asynchronous ADCs : Design Methodology and Case Study", *Proceedings of the 8th International Workshop on ADC Modelling and Testing (IWADC'03)*, 8-10 September 2003, Perugia, Italy.
- [ALL 03d] **E. Allier, G. Sicard, L. Fesquet, et M. Renaudin**, "Convertisseur Analogique-Numérique Faible Consommation : Conception Asynchrone et Echantillonnage Irrégulier", *4^{ème} Colloque sur le Traitement Analogique de l'Information, du Signal et ses Applications (TAISA'03)*, 25-26 Septembre 2003, Louvain-la-Neuve, Belgique.

Bibliographie

- [ABOU 02] **H. Aboushady, F. Montaudon, F. Paillardet et M. M. Louerat**, "A 5mW, 100kHz Bandwidth, Current-Mode Continuous-Time Sigma-Delta Modulator with 84dB Dynamic Range", *Proceedings of the ESSCIRC*, Florence, Italy, 24-26 September 2002.
- [ABR 01] **A. Abrial, J. Bouvier, M. Renaudin, P. Senn et P. Vivet**, "A New Contactless Smart Card IC using On-Chip Antenna and Asynchronous Microcontroller", *Journal of Solid State Circuits*, vol. 36, no., pp. 1101-1107, 2001.
- [AES 02] **F. Aeschlimann**, "*Traitement Numérique du Signal sur des Signaux Echantillonnés Irrégulièrement*", Rapport de stage de DEA SIPT, Institut National Polytechnique de Grenoble, Laboratoire TIMA, équipe CIS, Juin 2002.
- [ALA 02] **L. Alacocque**, "*Boucle Analogique Numérique Verrouillée sur l'Amplitude*", Institut National des Sciences Appliquées, Lyon, 2002.
- [ALA 03] **L. Alacocque, M. Renaudin et S. Nicolle**, "An Irregular Sampling and Local Quantification Scheme A-D Converter", *IEE Electronics Letters*, vol. 39, no. 3, pp. 263-264, 6 February 2003.
- [ALBI 03] **M. Albiol, J. L. Gonzalez et E. Alarcon**, "Improved Design Methodology for High Speed High Accuracy Current Steering D/A Converter", *Proceedings of the Design, Automation and Test in Europe (DATE) Conference*, Munich, Germany, 3-7 March 2003.
- [AMO 02] **M. M. Amourah, S. Q. Malik et R. L. Geiger**, "An MSB-First Monotonic Switched Capacitor Serial DAC", *Proceedings of the Midwest Symp. on Circuits and Syst.*, Tulsa, OK, August 2002.
- [AN 00] **W. An et A. T. Salama**, "An 8-b, 1-Gsample/s Folding-Interpolating Analog-to Digital Converter", *Proceedings of the ESSCIRC*, Stockholm, Sweden, 19-21 September, 2000.
- [AND 97] **E. André**, "*Optimisation et Synthèse de Fonctions de Traitement du Signal Mixte pour une Chaîne de Réception à Base de Sigma-Delta Passe-*

Bande: Application à la Radiodiffusion Numérique", Thèse de Doctorat, INPG, Grenoble, 1997.

- [AVD 79] **S. A. Avdonin**, "On the Question of Riesz Bases of Exponential Functions in L^2 ", *Vestnik Leningrad Univ. Math.*, vol. 7, pp. 5-12, 1979.
- [BAI 94] **F. Bailleu et Y. Blanchard**, "Capacités Commutées et Signal Analogique", Dunod, Paris, 1994.
- [BAI 96] **F. Bailleu, Y. Blanchard, P. Loumeau, H. Petit et J. Porte**, "Capacités Commutées et Applications", Dunod, Paris, 1996.
- [BAS 98] **J. Bastos, A. M. Marques, M. Steyaert et W. Sansen**, "A 12-bit Intrinsic Accuracy High Speed CMOS DAC", *IEEE Journal of Solid-State Circuits*, vol. 33, no. 12, pp. 1959-1969, 1998.
- [BEN 92] **J. J. Benedetto**, "Irregular Sampling and Frames, in *Wavelets: a Tutorial in Theory and Applications*", C.K. Chui ed., Academic Press, pp. 445-508, 1992.
- [BEU 66] **F. J. Beutler**, "Error Free Recovery from Irregularly Spaced Samples", *SIAM Review*, vol. 8, no. 3, pp. 328-335, July 1966.
- [BIL 92] **I. Bilinskis et A. Mikelsons**, "Randomized Signal Processing", Cambridge, Prentice Hall, 1992.
- [BLAK 73] **I. F. Blake et W. C. Lindsey**, "Level Crossing Problems for Random Processes", *IEEE Trans. Inform. Theory*, vol. IT-19, no., pp. 295-315, May 1973.
- [BLEC 00] **E. B. Blecker, O. E. Erdogan, P. J. Hurst et S. H. Lewis**, "An 8-bit 13-Msample/s Digital-Background-Calibrated Algorithmic ADC", *Proceedings of the ESSCIRC*, Stockholm, Sweden, 19-21 September 2000.
- [BULT 00] **K. Bult**, "Analog Design in Deep Sub-Micron CMOS", *Proceedings of the ESSCIRC*, Stockholm, Sweden, 19-21 September 2000.
- [BURG 01] **T. Burger et Q. Huang**, "A 13,5mW, 185MSample/s Sigma-Delta Modulator for UMTS/GSM Dual Standard IF Reception", *Proceedings of the ISSCC*, San Francisco, CA, USA, 5-7 February 2001.
- [CAL 99] **T. Calin, L. Anghel et M. Nicolaidis**, "Built-In Current Sensor for IDDQ Testing in Deep Submicron CMOS", *Proceedings of the 17TH IEEE VLSI Test Symposium*, California, April 1999.

- [CHEN 03] **F. Chen, S. Ramaswamy et B. Bakkaloglu**, "A 1,5V 1mA 80dB Passive Sigma-Delta ADC in 0,13um Digital CMOS Process", *Proceedings of the ISSCC*, San Francisco, CA, USA, 9-13 February 2003.
- [CHEN 01] **H. Chen, B. Song et K. Bacrania**, "A 14-b 20-Msamples/s CMOS Pipelined ADC", *IEEE Journal of Solid-State Circuit*, vol. 36, no. 6, pp. 997-1001, June 2001.
- [CHES] **D. B. Chester, K. Fant, D. Ferguson, A. Taubin et J. McCardle**, "*The Use of Null Convention Logic in Enhanced Performance Interpolating Digital-to-Analog Converters*", Theseus Logic, Maitland, FL, www.theseus.com.
- [CHOE 01] **M. Choe, B. Song et K. Bacrania**, "An 8-b 100-Msamples/s CMOS Pipelined Folding ADC", *IEEE Journal of Solid-State Circuit*, vol. 36, no. 2, pp. 184-194, February 2001.
- [CHU 02] **S. Chuang et T. L. Sculley**, "A Digitally Self-Calibrating 14-bit 10-MHz CMOS Pipelined A/D Converter", *IEEE Journal of Solid-State Circuit*, vol. 37, no. 6, pp. 674-683, June 2002.
- [CONT 99] **M. Conti, S. Orcioni, C. Turchetti et G. Biagetti**, "A Current Mode Multistable Memory Using Asynchronous Successive Approximation A/D Converter", *Proceedings of the IEEE Int. Conf. on Electronics, Circ. and Systems*, Cyprus, September 1999.
- [DASP] **DASP**, "*Digital Alias Free Signal Processing*", <http://www.edi.lv/dasp-web/>,
- [dWAE 00] **S. De Waele et P. M. T. Broersen**, "Error Measures for Resampled Irregular Data", *IEEE Trans. Instrumentation and Measurement*, vol. 49, no. 2, pp. 216-222, April 2000.
- [dRIO 97] **R. Del Rio-Fernandez, G. Linan-Cembrano, R. Dominguez-Castro et A. Rodriguez-Vasquez**, "A Mismatch-Insensitive High-Accuracy High-Speed Continuous-Time Current Comparator in Low Voltage CMOS", *Proceedings of the Design of Circuits and Integrated Systems Conf. (DCIS'97)*, Sevilla, Spain, November 1997.
- [DEL 91] **J. P. Delmas**, "*Éléments de Théorie du Signal: les Signaux Déterministes*", Ellipses, Paris, 1991.
- [DEZ 03] **A. Dezzani et E. Andre**, "A 1,2V Dual-Mode WCDMA/GPRS Sigma-Delta Modulator", *Proceedings of the ISSCC*, San Francisco, CA, USA, 9-13 February 2003.

- [DIE 02] **C. Diedrich**, "*Conception de Générateurs de Tests pour l'Autocontrôle de Circuits Analogiques et Mixtes*", Projet Fin d'Etudes Ingénieur IS-MRA/ENSI de CAEN, Septembre 2002.
- [DIN 03] **A. V. Dinh Duc**, "*Synthèse Automatique de Circuits Asynchrones QDI*", Thèse de Doctorat, Institut National Polytechnique de Grenoble, 2003.
- [DON 02] **C. Donovan et M. P. Flynn**, "A Digital 6-bit ADC in 0.25-um CMOS", *IEEE Journal of Solid-State Circuit*, vol. 37, no. 3, pp. 432-437, March 2002.
- [DUF 52] **R. Duffin et A. Schaeffer**, "*A Class of Nonharmonic Fourier Series*", *Trans. Amer. Math. Soc.*, pp. 341-366, 1952.
- [ELD 00] **Y. C. Eldar et A. V. Oppenheim**, "Filterbank Reconstruction of Bandlimited Signals from Nonuniform and Generalized Samples", *IEEE Transactions on Signal Processing*, vol. 48, no. 10, pp. 2864-2875, October 2000.
- [ESS 02] **M. Essalhiene, L. Fesquet et M. Renaudin**, "Dynamic Voltage Scheduling for Real Time Asynchronous Systems", *Proceedings of the 12th International Workshop on Power and Timing, Modeling, Optimization and Simulation (PATMOS)*, Sevilla, Spain, 11-13 September 2002.
- [FANT 97] **K. Fant et S. A. Brandt**, "*NULL Convention Logic*", Theseus Logic Inc., www.theseus.com, 1997.
- [FEI 94] **H. G. Feichtinger et K. H. Grochenig**, "*Theory and practice of irregular sampling*." J. Benedetto and M. Frazier, editors, *Wavelets: Mathematics and Applications*, pp. 305-363. CRC Press, 1994.
- [FONT 99] **L. Fontaine**, "*Traitement des Signaux à Echantillonnage Irrégulier. Application au Suivi Temporel de Paramètres Cardiaques*", Thèse de Doctorat, Institut National Polytechnique de Lorraine, 1999.
- [FON 83] **P. G. Fontolliet**, "*Systèmes de Télécommunications - Bases de Transmissions*", Dunod, 1983.
- [FREI 83] **D. A. Freitas et K. W. Current**, "CMOS Current Comparator Circuit", *Electronics Letters*, vol. 19, no. 17, pp. 695-697, August 1983.
- [GEE 01] **G. Geelen**, "A 6b 1,1GSample/s CMOS A/D Converter", *Proceedings of the ISSCC*, San Francisco, CA, USA, 5-7 February 2001.
- [GER 01] **F. Gerfers, M. Ortmanns et Y. Manoli**, "A 12-Bit Power Efficient Continuous-Time Sigma-Delta Modulator with 250uW Power Consumption", *Proceedings of the ESSCIRC*, Villach, Austria, 18-20 September 2001.

- [GIN 02] **R. Ginosar**, "Synchronization and Arbitration", *Proceedings of the ACiD Summer School on Asynchronous Circuit Design*, Grenoble, France, July 15-19 2002.
- [GRE 65] **R. Greenhalgh**, "Analog-to-Digital Converter System", *IBM Technical Disclosure Bulletin*, New York, US, vol. 9, no. 7, pp. 763, February 1965.
- [GRE 01] **B. R. Greenley, R. Veith et U. Moon**, "A 1,8V CMOS DAC Cell with Ultra High Gain Op-Amp in 0,043mm²", *Proceedings of the IEEE Int. Symp. Circuits Syst. (ISCAS)*, 2001.
- [GUL 01] **K. Gulati et H. S. Lee**, "A Low-Power Reconfigurable Analog-to-Digital Converter", *Proceedings of the ISSCC*, San Francisco, CA, USA, 5-7 February 2001.
- [GUY 01] **A. Guyot**, "*Conception de Circuits Logiques*", cours de DEA Microélectronique, UJF, Grenoble, 2001.
- [HAU 95] **S. Hauck**, "Asynchronous Design Methodologies: an Overview", *Proceedings of the IEEE*, vol. 83, no. 1, pp. 66-93, January 1995.
- [HIG 85] **J. R. Higgins**, "*Five Short Stories about the Cardinal Series*", *Bull. Amer. Math. Soc.* 12, pp. 45-89, 1985.
- [ISMA 98] **A. M. Ismail, S. K. ElMeteny et A. M. Soliman**, "A New Family of Highly Linear CMOS Transconductors Based on the Current Tail Differential Pair", *Elsevier Microelectronics Journal*, vol. 29, no. 11, pp. 753-767, November 1998.
- [ISMA 99] **A. M. Ismail, S. K. ElMeteny et A. M. Soliman**, "A New Family of CMOS Highly Linear Transconductors Based on Differential Pairs", *Microelectronics Journal*, vol. 30, no., pp. 753-767, August 1999.
- [ISMA 00] **A. M. Ismail et A. M. Soliman**, "Novel CMOS Wide-Linear-Range Transconductance Amplifier", *IEEE Transactions On Circuits And Systems I*, vol. 47, no. 8, pp. 1248-1253, August 2000.
- [ITRS 03] **ITRS**, "*International Technology Roadmap for Semiconductors*", <http://public.itrs.net/>, 2003.
- [JAM 02] **S. M. Jamal, D. Fu, P. J. Hurst et S. H. Lewis**, "A 10b 120MSample/s Time-Interleaved Analog-to-Digital Converter with Digital Background Calibration", *Proceedings of the ISSCC*, San Francisco, CA, USA, 4-6 February 2002.

- [JENQ 88] **Y. C. Jenq**, "Digital Spectra on Nonuniformly Sampled Signals: Fundamentals and High-Speed Waveform Digitizers", *IEEE Trans. Instrumentation and Measurement*, vol. 37, no. 2, pp. 245-251, June 1988.
- [JENQ 90] **Y. C. Jenq**, "Digital Spectra of Nonuniformly Sample Signals: Theories and Applications - Measuring Clock/Aperture Jitter of an A/D System", *IEEE Trans. Instrumentation and Measurement*, vol. 39, no. 6, pp. 969-971, December 1990.
- [JENQ 97] **Y. C. Jenq**, "Perfect Reconstruction of Digital Spectrum from Nonuniformly Sampled Signals", *IEEE Trans. Instrumentation and Measurement*, vol. 46, no. 3, pp. 649-652, June 1997.
- [JERR 77] **A. J. Jerri**, "The Shannon Sampling Theorem - Its Various Extensions and Applications: A Tutorial Review", *Proceedings of the IEEE*, vol. 65, no. 11, pp. 1565-1596, November 1977.
- [JES 01] **P. G. A. Jespers**, "*Integrated Converters, D to A and A to D Architectures, Analysis and Simulations*", Oxford university Press, 2001.
- [JIA 02] **R. Jiang et T. S. Fiez**, "A 1,8V 14b Sigma-Delta A/D Converter with 4Msamples/s Conversion", *Proceedings of the ISSCC*, San Francisco, CA, USA, 4-6 February 2002.
- [JOH 96] **D. A. Johns et K. Martin**, "*Analog Integrated Circuit Design*", John Wiley & Sons, Inc., 1996.
- [KAD 64] **M. I. Kadec**, "The Exact Value of the Paley-Wiener Constant", *Soviet. Math. Dokl.*, vol. 20, no., pp. 559-561, 1964.
- [KAP 02] **M. S. Kappes, H. Jensen et T. Gloerstad**, "A Versatile 1.75mW CMOS Continuous-Time Delta-Sigma ADC with 75dB Dynamic Range for Wireless Applications", *Proceedings of the ESSCIRC*, Florence, Italy, 24-26 September 2002.
- [KAV 02] **K. Kaviani, O. Oralkan, B. T. Khuri-Yakub et B. A. Wooley**, "A Multichannel, Pipeline Analog-to-Digital Converter for an Integrated 3-D Ultrasound Imaging System", *Proceedings of the ESSCIRC*, Florence, Italy, 24-26 September, 2002.
- [KES 01] **M. Keskin, U. Moon et G. C. Temes**, "A 1-V, 10-MHz Clock-Rate, 13-Bit CMOS Sigma-Delta Modulator Using Unity-Gain-Reset Opamp", *Proceedings of the ESSCIRC*, Villach, Austria, 18-20 September, 2001.
- [KIM 98] **J. H. Kim et K. S. Yoon**, "An 8-bit CMOS 3.3V 65MHz Digital-to-Analog Converter with a Symmetric Two-Stage Current Cell Matrix Ar-

- chitecture", *IEEE Trans. Circ. Syst. II: Analog and Digital Signal Processing*, vol. 45, no. 12, pp. 1605-1609, December 1998.
- [KIM 02] **M. Kim, H. Yoon, Y. Lee et S. Lee**, "An 11b 70MHz 1.2mm² 49mW 0.18um CMOS ADC with On-Chip Current/Voltage References", *Proceedings of the ESSCIRC*, Florence, Italy, 24-26 September 2002.
- [KIN 99] **D. Kinniment et A. Yakovlev**, "Low Power, Low Noise Micropipelined Flash A/D Converter", *IEE Proc. Circuits Devices Syst.*, vol. 146, no. 5, pp. 263-267, October 1999.
- [KIN 00] **D. Kinniment, A. Yakovlev et B. Gao**, "Synchronous and Asynchronous A/D Conversion", *IEEE Transactions on Very Large Scale Integration Systems*, vol. 8, no. 2, pp. 217-220, April 2000.
- [KIN 98] **D. J. Kinniment, B. Gao, A. V. Yakovlev et F. Xia**, "Towards Asynchronous A/D Conversion", *Proceedings of the Fourth International Symposium on Advanced Research in Asynchronous Circuits and Systems, ASYNC'98*, San Diego, CA, March 30 - April 2 1998.
- [KOLI 00] **K. Koli**, "CMOS Current Amplifiers: Speed versus Nonlinearity", Rapport vol. 30, Chap. 1, Helsinki University of Technology Electronic Circuit Design Laboratory, Helsinki, 2000.
- [KUD 01] **J. Kudoh, T. Matsuura et E. Imaizumi**, "A 3.2-mA 6-bit pipelined A/D converter for Bluetooth RF transceiver", *Proceedings of the ESSCIRC*, Villach, Austria, 18-20 September 2001.
- [KUHN 02] **K. J. Kuhn**, "Integration of Mixed Signals Elements into a High Performance Digital CMOS Process", *Intel Technology Journal*, vol. 6, no. 2, 16 May 2002.
- [KUL 02] **S. Kulhalli, V. Penkota et R. Asv**, "A 30mW 12b 21MSample/s Pipelined CMOS ADC", *Proceedings of the ISSCC*, San Francisco, CA, USA, 4-6 February 2002.
- [KUT 02] **F. Kuttner**, "A 1,2V 10b 20MSample/s Non-Binary Successive Approximation ADC in 0,13um", *Proceedings of the ISSCC*, San Francisco, CA, USA, 4-6 February 2002.
- [LAN 67] **H. J. Landau**, "Sampling, Data Transmission, and the Nyquist Rate", *IEEE Proc.*, vol. 55, no., pp. 1701-1706, October 1967.
- [LAZZ 89] **J. Lazzaro, S. Ryckebusch, M. A. Mahowald et C. A. Mead**, "Winner-Take-All Networks of $O(n)$ Complexity", *Advances in Neural Information Processing System*, Vol 1, D.S. Touretsky, Ed. Los Altos, CA: Morgan Kaufman, pp. 703-711, 1989.

- [LEC 99] **P. Lecoy**, "*Technologie des Télécoms*", Hermès, 1999.
- [LEV 40] **N. Levinson**, "*Gap and Density Theorems*", Coll. Publ. 26, Amer. Math. Soc., New York, 1940.
- [LIM 00] **Y. C. Lim, W. H. Lai, X. W. Zhang et M. F. Li**, "Improved Cross-Coupled Quad Transconductor Cell", *Microelectronics Journal*, vol. 31, no. 2, 2000.
- [LIN 98] **C. Lin et K. Bult**, "A 10-b, 500MSample/s CMOS DAC in 0,6mm²", *IEEE Journal of Solid-State Circuits*, vol. 33, no. 12, pp. 1948-1958, December 1998.
- [LIN 03] **C. S. Lin et B. D. Liu**, "A New Successive Approximation Architecture for Low-Power Low-Cost CMOS A/D Converter", *IEEE Journal of Solid-State Circuit*, vol. 38, no. 1, pp. 54-62, January 2003.
- [LINA 97] **G. Linan-Cembrano, R. Del Rio-Fernandez, R. Dominguez-Castro et A. Rodriguez-Vasquez**, "A Robust High-Accuracy High-Speed Continuous-Time CMOS Current Comparator", *Electronics letters*, vol. 33, no., pp. 2082-2084, December 1997.
- [LITO 98] **M. Litong et C. Saloma**, "Detection of Subthreshold Oscillations in a Sinusoid-Crossing Sampling", *Physical review E*, vol. 57, no. 3, pp. 3579-3588, March 1998.
- [LOL 02] **A. Loloee, A. Zanchi, H. Jin, S. Shehata et E. Bartolome**, "A 12b 80MSps Pipelined ADC Core with 190mW Consumption from 3V in 0.18um Digital CMOS", *Proceedings of the ESSCIRC*, Florence, Italy, 24-26 September 2002.
- [LOUM 02] **P. Loumeau, J. F. Naviner, H. Petit, L. Naviner et P. Desgreys**, "Analog to Digital Conversion : Technical Aspects", *Annales des Télécommunications, Radio Logicielle: 1. L'Evolution Technique*, vol. 57, no. 5-6, pp. 338-385, Mai/Juin 2002.
- [MARB 02] **W. J. Marble**, "A 10-bit transfer-charge Amplifier-based A/D converter with 400-uW/MSPs dynamic power dissipation", *Proceedings of the ESSCIRC*, Florence, Italy, 24-26 September 2002.
- [MARK 81] **J. W. Mark et T. D. Todd**, "A Nonuniform Sampling Approach to Data Compression", *IEEE Transactions on Communications*, vol. COM-29, no. 4, pp. 24-32, January 1981.
- [MART 93] **A. Martin**, "*Synthesis of Asynchronous VLSI Circuits*", Rapport Caltech-CS-TR-93-28, 1993.

- [MART 98] **R. J. Martin**, "*Irregularly Sampled Signals : Theories and Techniques for Analysis*", PhD Thesis, University College, London, 1998.
- [MARV 87] **F. Marvasti**, "*A Unified Approach to Zero-crossing and Non-Uniform Sampling*", Oak Park, Illinois: Nonuniform Publications, 1987.
- [MARV 89] **F. A. Marvasti**, "An Iterative Method to Compensation for Interpolation Distortion", *IEEE Trans. ASSP*, vol. 37, no. 1, pp. 1617-1621, 1989.
- [MARZ 00] **P. Marziliano et M. Vetterli**, "Reconstruction of Irregularly Sampled Discrete-Time Bandlimited Signals with Unknown Sampling Locations", *IEEE Transactions on Signal Processing*, vol. 48, no. 12, pp. 3462-3471, December 2000.
- [MEHR 99] **I. Mehr et D. Dalton**, "A 500-Msample/s, 6-bit Nyquist-Rate ADC for Disk-Drive Read-Channel Applications", *IEEE Journal of Solid-State Circuit*, vol. 34, no. 7, pp. 912-920, July 1999.
- [MEHR 01] **I. Mehr et L. Singer**, "A 55-mW, 10-bit, 40-Msample/s Nyquist-Rate CMOS ADC", *IEEE Journal of Solid-State Circuit*, vol. 35, no. 3, pp. 318-325, March 2000.
- [MIN 03] **B. Min, P. Kim, D. Boisvert et A. Aude**, "A 69mW 10b 80MS/s Pipelined CMOS ADC", *Proceedings of the ISSCC*, San Francisco, CA, USA, 9-13 February 2003.
- [MING 01] **J. Ming et S. H. Lewis**, "An 8-Bit 80-Msample/s Pipelined Analog-to-Digital Converter With Background Calibration", *IEEE Journal of Solid-State Circuit*, vol. 36, no. 10, pp. 1489-1497, October 2001.
- [MIY 02] **D. Miyazaki, M. Furuta et S. Kawahito**, "A 16mW 30MSample/s 10b Pipelined A/D Converter Using a Pseudo-Differential Architecture", *Proceedings of the ISSCC*, San Francisco, CA, USA, 4-6 February 2002.
- [MIY 03] **D. Miyazaki, S. Kawahito et M. Furuta**, "A 10-b 30-MS/s Low-Power Pipelined CMOS A/D Converter Using a Pseudodifferential Architecture", *IEEE Journal of Solid-State Circuit*, vol. 38, no. 2, pp. 369-373, February 2003.
- [MOO 00] **U. Moon, J. Silva, J. Steensgaard et G. C. Temes**, "A Switched Capacitor DAC with Analog Mismatch Correction", *Proceedings of the IEEE Int. Symp. Circuits Syst. (ISCAS)*, May 2000.
- [MORE 00] **C. Moreland, F. Murden, M. Elliott, J. Young, M. Hensley et R. Stop**, "A 14-b 100-Msample/s Subranging ADC", *IEEE Journal of Solid-State Circuit*, vol. 35, no. 12, pp. 1791-1798, December 2000.

- [MORI 00] **J. C. Morizio**, "14-bit 2.2-MS/s Sigma-Delta ADC's", *IEEE Journal of Solid-State Circuit*, vol. 35, no. 7, pp. 968-976, July 2000.
- [MORT 00] **S. Morteza pour et E. K. F. Lee**, "A 1-V, 8-bit, Successive Approximation ADC in Standard CMOS Process", *IEEE Journal of Solid-State Circuit*, vol. 35, no. 4, pp. 642-646, April 2000.
- [MUR 03] **B. Murmann et B. E. Boser**, "A 12b 75MS/s Pipelined ADC Using Open-Loop Residue Amplification", *Proceedings of the ISSCC*, San Francisco, CA, USA, 9-13 February 2003.
- [NED 84] **A. Nedungadi et T. R. Viswanathan**, "Design of Linear CMOS Transconductance Elements", *IEEE Transactions on Circuits and Systems*, vol. 31, no., pp. 891-894, October 1984.
- [OLI 01] **O. Oliaei, P. Clement et P. Gorisse**, "A 5mW Sigma Delta Modulator with 84dB Dynamic Range for GSM, EDGE", *Proceedings of the ISSCC*, San Francisco, CA, USA, 5-7 February 2001.
- [OPP 95] **A. V. Oppenheim, A. S. Willsky et I. T. Young**, "Signals and Systems", Prentice Hall Ed., New-Delhi, 1995.
- [OPR 00] **I. E. Opris, B. C. Wong et S. W. Chin**, "A Pipeline A/D Converter Architecture with Low DNL", *IEEE Journal of Solid-State Circuit*, vol. 35, no. 2, pp. 281-285, February 2000.
- [PAL 34] **R. E. A. C. Paley et N. Wiener**, "Fourier Transforms in the Complex Domain." *Amer. Math. Soc. Coll. Publ.*, vol. 19, no., 1934.
- [PAN 00] **H. Pan, M. Segami, M. Choi, J. Cao et A. A. Abidi**, "A 3.3-V 12-b 50-MS/s A/D Converter in 0.6-um CMOS with over 80-dB SFDR", *IEEE Journal of Solid-State Circuit*, vol. 35, no. 12, pp. 1769-1780, December 2000.
- [PANY 02] **D. Panyasak, G. Sicard et M. Renaudin**, "A Current Shaping Methodology for Low EMI Asynchronous Circuits", *Proceedings of the EMC Compo. Workshop*, Toulouse, France, 14-15 November 2002.
- [PAP 77] **A. Papoulis**, "Generalized Sampling Expansions", *IEEE Trans. Circ. Syst.*, vol. 24, no., pp. 652-654, November 1977.
- [PARK 01] **Y. I. Park, S. Karthikeyan, F. Tsay et E. Bartolome**, "A10b 100MSample/s CMOS Pipelined ADC with 1,8V Power Supply", *Proceedings of the ISSCC*, San Francisco, CA, USA, 5-7 February 2001.

- [PEL 89] **M. Pelgrom, A. Duinmaijer et A. Welbers**, "Matching Properties of MOS Transistors", *IEEE Journal Solid State Circuits*, vol. 24, no., pp. 1433-1440, December 1989.
- [PERR 02] **D. Perrot**, "*Optimisation et Dessin au Micron d'un CAN Asynchrone*", Rapport de stage de DESS CSINA, Laboratoire TIMA, équipe CIS, Septembre 2002.
- [POU 02] **K. Poulton, R. Neff, A. Muto, W. Liu, A. Burnstein et M. Heshami**, "A 4GSample/s 8b ADC in 0,35 μ m CMOS", *Proceedings of the ISSCC*, San Francisco, CA, USA, 4-6 February 2002.
- [POU 03] **K. Poulton, R. Neff, B. Setterberg, B. Wuppermann, T. Kopley, T. Jewett, J. Pernillo, C. Tan et A. Montijo**, "A 20GS/s ADC with a 1MB Memory in 0,18 μ m CMOS", *Proceedings of the ISSCC*, San Francisco, CA, USA, 9-13 February 2003.
- [PRO 01] **G. Promitzer**, "12-bit Low-Power Fully Differential Switched Capacitor Noncalibrating Successive Approximation ADC with 1-MS/s", *IEEE Journal of Solid-State Circuit*, vol. 36, no. 7, pp. 1138-1143, July 2001.
- [RAB 78] **L. R. Rabiner et R. W. Schafer**, "*Digital Processing of Speech Signals*", Prentice Hall Inc., 1978.
- [RAZ 95] **B. Razavi**, "*Principles of Data Conversion System Design*", IEEE Press, New York, 1995.
- [REN 00] **M. Renaudin**, "Asynchronous Circuits and Systems: a Promising Design Alternative", *Journal of Microelectronics*, vol. 54, no., pp. 133-149, 2000.
- [REU 02] **R. Reutemann, P. Balmelli et Q. Huang**, "A 33mW 14b 2,5MSample/s Sigma Delta A/D Converter in 0,25 μ m Digital MOS", *Proceedings of the ISSCC*, San Francisco, CA, USA, 4-6 February 2002.
- [RIGA 02] **J. B. Rigaud**, "*Spécification de Bibliothèques pour la Synthèse de Circuits Asynchrones*", Thèse de Doctorat, Institut National Polytechnique de Grenoble, 2002.
- [ROD 95] **A. Rodriguez-Vasquez, R. Dominguez-Castro et M. Delgado-Restituto**, "High Resolution CMOS Current Comparators: Design and Applications to Current-Mode Function Generation", *Analog Integrated Circuits and Signal Processing*, vol. 7, no. Special Issue on Current-Mode Circuits, pp. 149-165, March 1995.
- [ROL 03] **L. Rolindez**, "*Design de Circuits de Signal Mixtes Analogiques-Numériques avec Taches de Test Incorporées dans la Puce en Technologie CMOS Submicronique*", Projet de fin d'études pour l'obtention du diplôme

d'ingénieur industriel électronique, Centro Politécnico Superior, Universidad de Zaragoza, Espagne, Septembre 2003.

- [ROM 98] **P. Rombouts, L. Weyten, J. Raman et S. Audenaert**, "Capacitor Mismatch Compensation for Quasi Passive Switched Capacitor DAC", *IEEE Trans. Circ. Syst. II: Analog and Digital Signal Processing*, vol. 45, no. 1, pp. 68-71, January 1998.
- [ROM 01] **P. Rombouts, W. D. Wilde et L. Weyten**, "A 13.5-b 1.2-V Micropower Extended Counting A/D Converter", *IEEE Journal of Solid-State Circuit*, vol. 36, no. 2, pp. 176-183, February 2001.
- [ROS 88] **F. U. Rosenberg, C. E. Molnar, T. J. Chaney et T. P. Fang**, "Q-Modules: Internally Clocked Delay Insensitive Modules", *IEEE Transactions on Computers*, vol. 37, no., pp. 1005-1018, September 1988.
- [SALO 02] **T. Salo, T. Hollman, S. Lindfors et K. A. I. Halonen**, "A Dual-Mode 80MHz Sigma-Delta Modulator for a GSM/WCDMA IF-Receiver", *Proceedings of the ISSCC*, San Francisco, CA, USA, 4-6 February 2002.
- [SAN 00] **A. Sanchez-Sinencio et J. Silva-Martinez**, "CMOS Transconductance Amplifiers, Architectures and Active Filters: A Tutorial", *IEE Proc. Circuits Devices Syst.*, vol. 147, no. 1, February 2000.
- [SAU 02] **J. Sauerbrey, D. Schmitt-Landsiedel et R. Thewes**, "A 0.5V, 1uV Successive Approximation ADC", *Proceedings of the ESSCIRC*, Florence, Italy, 24-26 September 2002.
- [SAY 94] **N. Sayiner**, "A Level-Crossing Sampling Scheme for A/D Conversion", University of Pennsylvania, 1994.
- [SAY 96] **N. Sayiner, H. V. Sorensen et T. R. Viswanathan**, "A Level Crossing Scheme for A/D Conversion", *IEEE Transactions on Circuits and Systems II*, vol. 43, no. 4, pp. 335-339, April 1996.
- [SCHO 00] **P. Scholtens**, "A 2.5 Volt 6 bit 600MS/s Flash ADC in 0.25um CMOS", *Proceedings of the ESSCIRC*, Stockholm, Sweden, 19-21 September 2000.
- [SCHO 02] **P. Scholtens et M. Vertregt**, "A 6b 1,6GSamples/s Flash ADC in 0,18um CMOS Using Averaging Termination", *Proceedings of the ISSCC*, San Francisco, CA, USA, 4-6 February 2002.
- [SCO 02b] **M. D. Scott**, "An Ultra-Low Power ADC for Distributed Sensor Networks", Master of Sciences, Berkley, University of California, 2002.

- [SCO 02a] **M. D. Scott, B. E. Boser et K. S. J. Pister**, "An Ultra-Low Power ADC for Distributed Sensor Networks", *Proceedings of the ESSCIRC*, Florence, Italy, 24-26 September 2002.
- [SERR 98] **T. Serrano-Gotarredona et B. Linares-Barranco**, "A High-Precision Current-Mode WTA-MAX Circuit with Multichip Capability", *IEEE Journal of Solid-State Circuits*, vol. 32, no. 2, February 1998.
- [SEZ 97] **Z. Sezguin Günay et E. Sanchez-Simencio**, "CMOS Winner-Take-All Circuits: A Detail Comparison", *Proceedings of the ISCAS'97*, Hong-Kong, June 1997.
- [SHA 97] **M. Shams, J. C. Ebergen et M. I. Elmasry**, "Optimizing CMOS Implementations of the C-element", *Proceedings of the International Conference on Computer Design*, 1997.
- [SHA 60] **H. S. Shapiro et R. A. Silvermann**, "Alias Free Sampling of Random Noise", *Journal Appl. Math.*, vol. 8, no. 1, pp. 225-236, 1960.
- [SHI 01] **C. Shi, Y. Wu, C. Lin et M. Ismail**, "Design and Power Optimization of High-Speed Pipeline ADC for Wideband CDMA Application", *KLUWER Analog Integrated Circuits and Signal Processing*, vol. 26, no., pp. 229-238, 2001.
- [SIC 99] **G. Sicard**, "*Une Rétine Bio-inspirée Analogique pour un Capteur de Vision Intelligent Adaptatif*", Thèse de Doctorat, Institut National Polytechnique de Grenoble, 1999.
- [SONG 00] **B. Song, P. L. Rakers et S. F. Gillig**, "A 1-V, 6-b, 50-MSamples/s Current-Interpolating CMOS ADC", *IEEE Journal of Solid-State Circuit*, vol. 35, no. 4, pp. 647-651, April 2000.
- [ST 01] **STMicroelectronics**, "*HCMOS8d Design Rules Manual*", 2001.
- [SUB 02] **D. Subiela, S. Engels, L. Dugoujou, R. Esteve-Bosch et B. Mota**, "A Low-Power 16-channel AD Converter and Digital Processor ASIC", *Proceedings of the ESSCIRC*, Florence, Italy, 24-26 September 2002.
- [SUM 01] **L. Sumanen, M. Waltari et K. A. I. Halonen**, "A 10-bit 200-MS/s CMOS Parallel Pipeline A/D Converter", *IEEE Journal of Solid-State Circuit*, vol. 36, no. 7, pp. 1048-1055, July 2001.
- [SUTH 89] **I. E. Sutherland**, "Micropipelines", *Communications of the ACM*, vol. 32, no., pp. 720-738, June 1989.
- [TAB 03] **A. Tabatabaei, K. Onodera, M. Zargari, H. Samavati et D. K. Su**, "A Dual Channel Sigma-Delta ADC with 40MHz Aggregate Signal Band-

- width", *Proceedings of the ISSCC*, San Francisco, CA, USA, 9-13 February 2003.
- [TAFT 01] **R. C. Taft et M. R. Tursi**, "A 100-MS/s, 8-bit CMOS Subranging ADC with Sustained Parametric Performance from 3.8V down to 2.2V", *IEEE Journal of Solid-State Circuit*, vol. 36, no. 3, pp. 331-338, March 2001.
- [TAP 02] **G. Tapang et C. Saloma**, "Dynamic Range Enhancement of an Optimized 1-bit A/D Converter", *IEEE Trans. Circ. Syst. II: Analog and Digital Signal Processing*, vol. 49, no. 1, pp. 42-47, January 2002.
- [THO 01] **D. U. Thompson et B. A. Wooley**, "A 15-b Pipelined CMOS Floating-Point A/D Converter", *IEEE Journal of Solid-State Circuit*, vol. 36, no. 2, pp. 299-303, February 2001.
- [TSU 98] **S. Tsukamoto, W. G. Schofield et T. Endo**, "A CMOS 6-b, 400-Msample/s ADC with Error Correction", *IEEE Journal of Solid-State Circuit*, vol. 33, no. 12, pp. 1939-1947, December 1998.
- [TUI 02] **T. Tuikkanen, A. Kivi et T. Rahkonen**, "A Double Sampling 8-bit, 50 MS/s, 32 mW Pipeline Converter with +6dB Overdrive Headroom", *KLUWER Analog Integrated Circuits and Signal Processing*, vol. 30, no., pp. 7-14, 2002.
- [UENO 01] **T. Ueno, A. Yasuda, T. Yamaji et T. Itakura**, "A Fourth Order Sigma-Delta Modulator Using Second-Order Bandpass Noise-Shaping Dynamic Element Matching", *Proceedings of the ESSCIRC*, Villach, Austria, 18-20 September, 2001.
- [UYT 02] **K. Uyttenhove et M. Steyaert**, "A 1.8V, 6-bit, 1.3-GHz CMOS Flash ADC in 0.25 μ m CMOS", *Proceedings of the ESSCIRC*, Florence, Italy, 24-26 September, 2002.
- [UYT 03] **K. Uyttenhove, J. Vandenbussche, E. Lauwers, G. Gielen et M. Steyaert**, "Design Techniques and Implementation of an 8-bit 200-MS/s Interpolating/Averaging CMOS A/D Converter", *IEEE Journal of Solid-State Circuit*, vol. 38, no. 3, pp. 483-493, March 2003.
- [vBOSC 01c] **A. van den Bosch, A. F. Borremans, M. Steyaert et W. Sansen**, "A 10-bit 1-GSample/s Nyquist Current Steering CMOS D/A Converter", *IEEE Journal of Solid-State Circuits*, vol. 36, no. 3, pp. 315-324, March 2001.
- [vBOSC 01a] **A. van den Bosch, M. Steyaert et W. Sansen**, "The Impact of Statistical Design on the Area of High Performance CMOS Current-Steering D/A Converters", *KLUWER Analog Integrated Circuits and Signal Processing*, vol. 28, no., pp. 141-148, 2001.

- [vPLAS 99] **G. A. M. van den Plas, J. Vandenbussche, W. Sansen, M. Steyaert et G. Gielen**, "A 14-bit Intrinsic Accuracy Q^2 Random Walk CMOS DAC", *IEEE Journal of Solid-State Circuits*, vol. 34, no. 12, pp. 1708-1718, December 1999.
- [vVEL 02] **R. van Velhoven, K. Philips et B. Minnis**, "A 3,3mW Sigma-Delta Modulator for UMTS in 0,18um CMOS with 70dB Dynamic Range in 2MHz Bandwidth", *Proceedings of the ISSCC*, San Francisco, CA, USA, 4-6 February 2002.
- [vVEL 03] **R. van Velhoven**, "A Tri-Mode Continuous-Time Sigma-delta Modulator with Switched-Capacitor Feedback DAC for a GSM-EDGE/CDMA2000/UMTS Receiver", *Proceedings of the ISSCC*, San Francisco, CA, USA, 9-13 February 2003.
- [vBUS 01] **J. Vandenbussche, G. Van der Plas, W. Daems, A. van den Bosch, G. Gielen, M. Steyaert et W. Sansen**, "Systematic Design of High Accuracy Steering D/A Converter Macrocells for Integrated VLSI Systems", *IEEE Trans. Circ. Syst. II: Analog and Digital Signal Processing*, vol. 48, no. 3, March 2001.
- [VENK 00] **R. Venkataramani et Y. Bresler**, "Perfect Reconstruction Formulas and Bounds on Aliasing Error in Sub-Nyquist Nonuniform Sampling of Multi-band Signals", *IEEE Transactions on Information Theory*, vol. 46, no. 6, pp. 2173-2183, September 2000.
- [VIV 01] **P. Vivet**, "*Une Méthodologie de Conception de Circuits Intégrés Quasi-Insensibles aux Délais: Application à l'Etude et à la Réalisation d'un Processeur RISC 16-bits Asynchrone*", Thèse de Doctorat, Institut National Polytechnique de Grenoble, 2001.
- [WADA 02] **A. Wada, K. Tani, S. Kobayashi et T. Sawai**, "A 14mW 10-bit 20-Msample/s ADC in 0.18 um CMOS with 61MHz-input", *Proceedings of the ESSCIRC*, Florence, Italy, 24-26 September, 2002.
- [WALD 99] **R. H. Walden**, "Analog to Digital Converter Survey and Analysis", *IEEE Journal on Selected Areas in Communications*, vol. 17, no. 4, pp. 539-550, April 1999.
- [WALT 01] **M. Waltari et K. A. I. Halonen**, "1-V 9-Bit Pipelined Switched-Opamp ADC", *IEEE Journal of Solid-State Circuit*, vol. 36, no. 1, pp. 129-134, January 2001.
- [WAN 00] **Y. Wang et B. Razavi**, "An 8-Bit 150-MHz CMOS A/D Converter", *IEEE Journal of Solid-State Circuit*, vol. 35, no. 3, pp. 308-317, March 2000.

- [WARN 01] **B. Warneke, M. Last, B. Liebowitz et K. S. J. Pister**, "Smart Dust: Communicating with a Cubic Millimeter Computer", *IEEE Computers*, vol. 34, no. 1, pp. 44-51, January 2001.
- [WER 99] **T. Werther**, "Reconstruction from Irregular Samples with Improves Locality", Université de Vienne, Autriche, Rapport de Magister, <http://www.univie.ac.at/NuHAG/>, 1999.
- [WIL 78] **R. G. Wiley**, "Recovery of Band-limited Signals from Unequally Spaced Samples", *IEEE Trans. Communications*, vol. COMM 26, no., pp. 135-137, 1978.
- [WOJ 00] **J. J. Wojtiuk**, "Randomised Sampling for Radio Design", PhD Thesis, University of South Australia, 2000.
- [YAN 00] **S. Yan et E. Sanchez-Sinencio**, "Low Voltage Analog Circuit Design Techniques : a Tutorial", *IEICE Trans. Analog Integrated Circuits and Systems*, vol. E00-A, no. 2, pp. 1-17, February 2000.
- [YANG 01] **W. W. Yang, D. Kelly, I. Mehr, M. T. Sayuk et L. Singer**, "A 3-V 340-mW 14-b 75-MSample/s CMOS ADC With 85-dB SFDR at Nyquist Input", *IEEE Journal of Solid-State Circuit*, vol. 36, no. 12, pp. 1931-1936, December 2001.
- [YAO 67] **K. Yao et J. B. Thomas**, "On Some Stability and Interpolatory Properties on Nonuniform Sampling Expansions", *IEEE Trans. Circuit Theory*, vol. CT-14, no., pp. 404-408, December 1967.
- [YOO 03] **S. M. Yoo, J. B. Park, H. S. Yang, H. H. Bae, K. H. Moon, H. J. Park, S. H. Lee et J. H. Kim**, "A 10b 150MS/s 123mW 0,18um CMOS Pipelined ADC", *Proceedings of the ISSCC*, San Francisco, CA, USA, 9-13 February 2003.
- [YUN 96] **K. Yun, P. Beerel et J. Arceo**, "High Performance Asynchronous Pipeline", *Proceedings of the International Symposium on Advanced Research in Asynchronous Circuits and Systems (ASYNC'96)*, Aizu-Wakamatsu, Japan, 17-28 April 1996.
- [ZHE 99] **Z. Zheng, U. Moon, J. Steensgaard, B. Wang et G. C. Temes**, "Capacitor Mismatch Cancellation Technique for a Successive Approximation A/D Converter", *Proceedings of the IEEE Int. Symp. Circuits Syst. (IS-CAS)*, 1999.

