



HAL
open science

**Contribution a l'optimisation des memoires analogiques
rapides et bas bruit dans les technologies
submicroniques. Application aux chaines d'acquisition
des trajectometres de la physique des particules**

Florent Vautrin

► **To cite this version:**

Florent Vautrin. Contribution a l'optimisation des memoires analogiques rapides et bas bruit dans les technologies submicroniques. Application aux chaines d'acquisition des trajectometres de la physique des particules. Micro et nanotechnologies/Microélectronique. Université Louis Pasteur - Strasbourg I, 2000. Français. NNT: . tel-00006340

HAL Id: tel-00006340

<https://theses.hal.science/tel-00006340>

Submitted on 29 Jun 2004

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THESE

présentée à

L'UNIVERSITE LOUIS PASTEUR (STRASBOURG I)
ECOLE DOCTORALE DES SCIENCES PHYSIQUES ET DE L'INGENIEUR

par

Florent VAUTRIN

pour obtenir le grade de

DOCTEUR

Spécialité : microélectronique

**Contribution à l'optimisation des mémoires analogiques rapides
et bas bruit dans les technologies submicroniques.**

*Application aux chaînes d'acquisition des trajectomètres de la physique des
particules.*

SOUTENUE le 20 Novembre 2000

Devant la commission d'examen formée de :

MM. F.BRAUN	<i>Professeur, Université Louis Pasteur (Strasbourg I)</i>
D.MATHIOT	<i>Professeur, Université Louis Pasteur (Strasbourg I) - Président</i>
Ph. MARCHEGAY	<i>Professeur, ENSERB-Bordeaux</i>
J.MICHEL	<i>Maître de conférences, Université Louis Pasteur (Strasbourg I)</i>
J.SAMITIER	<i>Professeur, Université de Barcelone (Espagne)</i>

A mon Grand Père,

« Une grandeur physique se définit bien plus exactement par une équation que par une mesure ; mais en procédant de la sorte on renonce au fond à connaître la signification propre de la grandeur en cause, tout en lui conservant son nom, ce qui entraîne facilement des imprécisions et des malentendus. »

Max PLANCK

Je remercie Monsieur le Professeur Jean-Louis RIESTER, Directeur du Laboratoire d'Électronique et de Physique des Systèmes Instrumentaux, Strasbourg, de m'avoir accueilli au sein de son laboratoire.

Que Monsieur le Professeur Francis BRAUN, Professeur à l'Université Louis Pasteur, Strasbourg soit assuré de ma reconnaissance pour m'avoir proposé ce sujet de thèse et pour avoir accepté de faire partie du jury.

Je remercie Monsieur le Professeur Daniel MATHIOT, Directeur du laboratoire PHASE, Strasbourg d'avoir accepté de présider le jury.

Je tiens également à remercier Monsieur le Professeur Philippe MARCHEGAY, Directeur de l'ENSERB, Bordeaux et Monsieur le Professeur Joseph SAMITIER, Professeur à l'Université de Barcelone, Espagne d'avoir accepté de juger ce travail en qualité de rapporteurs.

Monsieur Jacques MICHEL, Maître de Conférences à l'Université Louis Pasteur, Strasbourg, a été mon codirecteur durant cette thèse. Je lui suis particulièrement reconnaissant de la confiance dont il a fait preuve à mon égard, de son enthousiasme, de sa patience, de sa disponibilité et de sa contribution à ce travail. J'ai eu beaucoup de plaisir à travailler avec lui pendant plus de trois ans et ai largement profité de son expérience. Qu'il soit remercié pour avoir accepté de participer à ce jury.

Ma gratitude va aussi aux personnes avec qui j'ai eu l'occasion de travailler ou qui m'ont tout simplement apporté leur aide, leur soutien, leur sympathie. Merci donc à :Mohsen AYACHI, Freddy ANSTOTZ, Jean-Daniel BERST, Jean-Philippe BLONDE, Yves-André CHAPUIS, Gilles CLAUS, Claude COLLEDANI, Claude GIRERD, Luc HEBRARD, Jean-Pierre LENORMAND, Nicole MAYET, Denis MONTANER, Christian PETER, Philippe POURE, Leïla SEIFERT, Christophe LALLEMENT. Je tiens à remercier particulièrement Jean-Louis SOHLER pour son aide précieuse lors des phases de tests, Stéphane PRUNIERE pour son « aide informatique » et Christian ILLINGER pour son aide lors de la conception de la carte de tests. Que ceux que j'ai oubliés me pardonnent.

Cette ambiance sympathique, je l'ai partagée avec d'autres doctorants que je tiens à remercier pour leur bonne humeur : Fabrice, Vincent, Hayet, Youssef, Jean-Pierre, Bruno, Roger et Saïd.

Je ne saurais oublier, mes Parents qui m'ont encouragé durant toutes mes études et sans qui, ce travail n'aurait pas existé. Mon Frère, qui malgré son jeune âge m'a devancé. Et enfin Delphine, que je remercie pour son soutien important, sa patience qui a permis de me supporter, son Amour : que cette thèse représente l'aboutissement de ces années de vie nomade. Ce manuscrit leur est particulièrement dédié.

Table des matières

CHAPITRE I INTRODUCTION	3
A LES EXPÉRIENCES DE LA PHYSIQUE DES PARTICULES	4
B CONCEPTS D'UNE MÉMOIRE ANALOGIQUE	7
<i>B.1 Spécificités d'une mémoire analogique</i>	7
<i>B.2 Influence de la technologie</i>	10
<i>B.3 État de l'art des architectures de mémoires analogiques</i>	12
C LES SYSTÈMES INSTRUMENTAUX	15
<i>C.1 Rapport signal sur bruit</i>	16
<i>C.2 Temps d'acquisition</i>	19
<i>C.3 Les limitations en acquisition (erreurs dynamiques)</i>	20
<i>C.4 Les spécifications liées à la Non-linéarité (erreur statique)</i>	22
D SYNOPSIS DU TRAVAIL	27
CHAPITRE II ANALYSE DE LA CELLULE DE MODE TENSION	29
A INTRODUCTION	30
B ANALYSE DES PHASES DE FONCTIONNEMENT ET MISE EN ÉQUATIONS	32
<i>B.1 Phase d'acquisition</i>	33
<i>B.2 Phase d'échantillonnage</i>	33
<i>B.3 Phase de stockage</i>	34
<i>B.4 Phase de lecture</i>	34
<i>B.5 Résumé</i>	35
C LIMITES DE FONCTIONNEMENT	36
<i>C.1 La pleine échelle d'entrée en régime statique</i>	36
<i>C.2 Régime dynamique</i>	39
<i>C.3 Précision en terme de non-linéarité</i>	50
<i>C.4 Précision en terme de bruit</i>	68
<i>C.5 Synthèse</i>	73
D INFLUENCE DU SYSTÈME DE LECTURE D'UNE CELLULE EN MODE TENSION	74
<i>D.1 Lecture en tension</i>	74
<i>D.2 Lecture en charge</i>	76
CHAPITRE III ANALYSE DE LA CELLULE DE MODE COURANT	79
A INTRODUCTION	80
B ANALYSE DES PHASES DE FONCTIONNEMENT ET MISE EN ÉQUATIONS	81
<i>B.1 Phase d'acquisition (Φ_{acq})</i>	83
<i>B.2 Phase d'échantillonnage (Φ_{ech})</i>	87
<i>B.3 Phase de stockage (Φ_{st})</i>	90
<i>B.4 Phase de lecture (Φ_{lec})</i>	91
<i>B.5 Résumé des différentes phases de fonctionnement</i>	93
<i>B.6 Analyse simplifiée</i>	94
C LIMITES DE FONCTIONNEMENT	96
<i>C.1 Plage dynamique d'entrée en régime statique</i>	96
<i>C.2 Régime dynamique</i>	99
<i>C.3 Précision en terme de non-linéarité</i>	106
<i>C.4 Précision en terme de bruit</i>	116
<i>C.5 Résumé</i>	120
D REVUE DES SOLUTIONS DE CORRECTIONS CLASSIQUES	121

<i>D.1 Injections de charge</i>	121
<i>D.2 Variation de la tension de drain v_{DS} :</i>	123
CHAPITRE IV EXPLOITATIONS DES MODÈLES & MESURES	129
A EXPLOITATION DES MODÈLES	130
<i>A.1 Modèle en mode tension</i>	130
<i>A.2 Modèle en mode courant</i>	133
B MESURES	139
<i>B.1 Description du circuit prototype</i>	140
C TESTS DU CIRCUIT PROTOTYPE	156
<i>C.1 Description du banc de mesures</i>	156
<i>C.2 Description du protocole de tests</i>	156
<i>C.3 Résultats de mesures</i>	159
CHAPITRE V CONCLUSIONS & PERSPECTIVES	165
RÉFÉRENCES BIBLIOGRAPHIQUES	169
ANNEXES	175

CHAPITRE I INTRODUCTION

Le travail présenté dans ce manuscrit s'inscrit dans le cadre de la physique des particules. De nouvelles expériences sont développées, nécessitant des systèmes d'acquisition novateurs car soumis à de nombreuses contraintes. Parmi l'ensemble des sous-systèmes d'une expérience, nous nous sommes intéressés au trajectomètre permettant de relever une cartographie en trois dimensions des trajectoires des particules issues de collisions frontales proton-proton. Dans ces trajectomètres, le signal électrique créé par des capteurs, doit être traité au plus près du détecteur, avant d'être extrait du module d'expérience pour des traitements analytiques des données. Ce signal électrique doit, entre autre, être mémorisé avant qu'un premier tir grossier soit appliqué à l'ensemble des données acquises. C'est plus particulièrement les performances et les limitations introduites par ces mémoires analogiques que nous aborderons et détaillerons dans cette thèse.

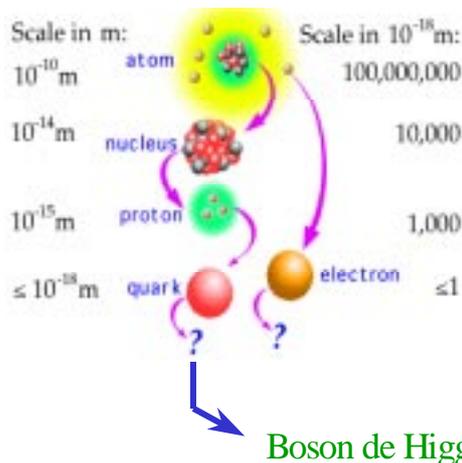
Ce travail se place donc à la frontière de deux domaines : les architectures électroniques intégrées et les systèmes d'acquisition de données. Il sera nécessaire de détailler quelque peu les définitions et les principes propres aux systèmes d'acquisition afin de mieux comprendre les objectifs visés dans ce travail. Ce dernier porte sur une analyse **quantitative** des performances et limitations de structures électroniques. Ces performances sont :

- ✓ La vitesse d'acquisition et de restitution des signaux électriques
- ✓ La précision en terme de linéarité et de bruit

Nous détaillerons ces deux aspects au paragraphe suivant dans le cadre général des systèmes d'acquisition. Les concepts qui y seront introduit constitueront notre fil d'Ariane tout au long de notre travail.

A LES EXPÉRIENCES DE LA PHYSIQUE DES PARTICULES

L'objectif des nouvelles expériences de physique des particules est la confirmation du modèle standard avec ses extensions futures. Cette confirmation passe par l'observation et la mesure



d'un nouvel élément qui est le boson de Higgs. Ce boson est le vecteur à l'origine de la masse de toutes les autres particules. Pour son observation, il faut une énergie de l'ordre de 2×8 TeV. Une telle énergie ne peut être obtenue qu'en accélérant des particules massives tel le proton $\left(E = \frac{1}{2} m v^2 \right)$ dans un accélérateur circulaire de très grand rayon (pour limiter les pertes par Bremsstrahlung). Un tel accélérateur est actuellement en chantier au CERN¹ à Genève, c'est le LHC².

Une collision frontale quasi-parfaite entre deux protons, transfère alors assez d'énergie à chaque quark afin de faire apparaître le boson de Higgs. Mais cette collision est rare et de plus génère (comme les autres collisions imparfaites et majoritaires) de très nombreuses autres particules. C'est en observant toutes les gerbes de particules ainsi générées que l'existence du boson de Higgs sera vérifiée.

¹ CERN – Centre Européen de Recherche Nucléaire

² LHC – Large Hadron Collider

L'observation des gerbes de particules issues des collisions se fera au cœur même d'une expérience (CMS ou ATLAS) [CER-94] visualisée figure I-1. C'est un volume truffé de détecteurs dont le centre est placé au point de collision. Au voisinage immédiat de ce point on trouve le trajectomètre permettant de relever la trajectoire des sous-particules dans le volume expérimental. Pour atteindre la résolution spatiale souhaitée, on dispose ainsi dans un volume cylindrique (rayon : 0,4m, longueur : 2,25m) environ 10^7 détecteurs. Chacun présentant une surface sensible de $50\mu\text{m}\times 64000\mu\text{m}$. Le détecteur peut être assimilé à une diode en inverse, dans laquelle le passage d'une particule libère des paires électrons-trous. Une électronique de proximité, jouxtant chaque détecteur, intègre ces charges, les met en forme puis les mémorise sous forme analogique.

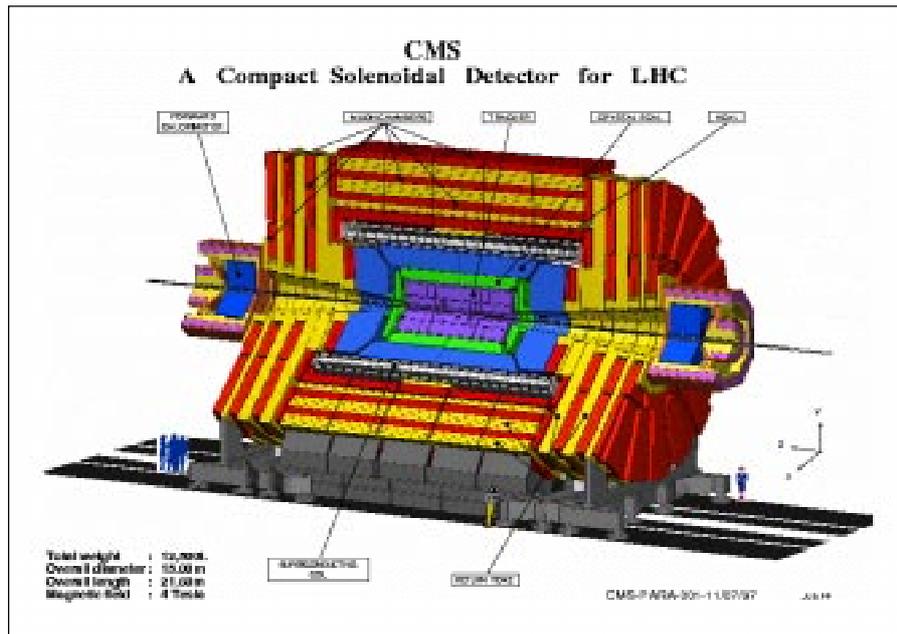


Figure I-1 : trajectomètre

Les événements intéressants (le boson de Higgs) étant très rares, on réalise 40.10^6 collisions par seconde. Chaque image dans le trajectomètre issue d'une collision est ainsi mémorisée dans les circuits de proximité (« front end electronic chips »). Ceci fixe la fréquence d'acquisition de la mémoire à 40 MHz (fréquence de collision appelée BCO³).

Il est impossible de traiter une telle quantité de données (40.10^6 événements/seconde $\times 10^7$ capteurs $\times 8$ bits $\rightarrow 400$ Tbytes/seconde $\rightarrow 650.10^3$ CDROM/seconde). Dans le but de n'extraire du trajectomètre que des informations pertinentes, on doit décider pour chaque donnée acquise par la mémoire, si on la transmet ou si on la détruit. Cette décision s'appuie sur la cohérence des réponses de divers autres détecteurs de l'expérience. Cela entraîne un retard dans la prise de décision ; retard évalué à environ 4 μs . Ce retard fixe alors la profondeur de la mémoire dans le trajectomètre de manière à pouvoir conserver la donnée le temps de la prise de décision. La profondeur mémoire (nombre de cellules constituant la mémoire) est donnée par le rapport $T_{\text{retard}}/T_{\text{acq}}$ où T_{retard} est le temps de décision et T_{acq} est la période d'acquisition inversement proportionnelle à la fréquence d'acquisition. Pour un T_{retard} de 4 μs et un T_{acq} de 25 ns la profondeur sera de 160 cellules. Une première évaluation du taux d'acceptation, faite par les physiciens, est de

³ BCO - Beam Cross Over

1/400 ce qui conduit aujourd'hui à un transfert de 10^5 événements/seconde $\times 10^7$ canaux $\times 8$ bits
 \rightarrow 1 Tbytes/seconde \rightarrow 1538 CDROM/seconde.

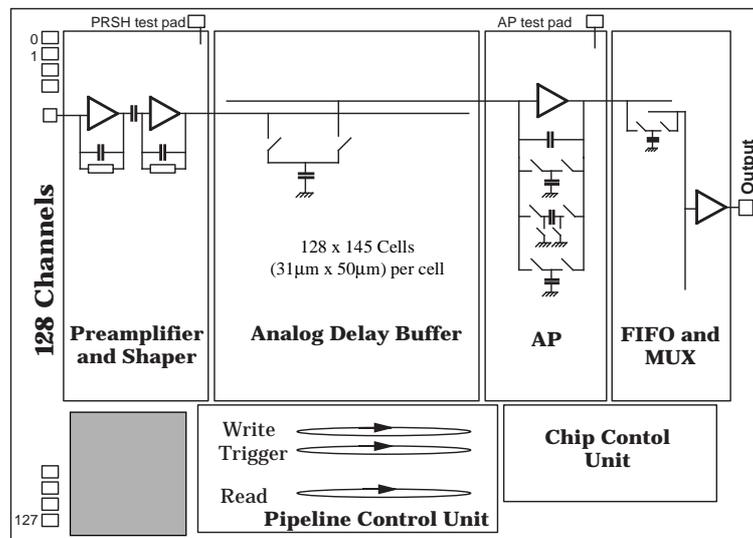


Figure I-2 synoptique de la chaîne électronique

L'électronique de proximité juxtant les détecteurs subit de multiples contraintes. Les premières sont liées à la fonctionnalité recherchée :

- ✓ Vitesse d'acquisition de 40 MHz ce qui conduit à un temps d'acquisition de 25 ns
- ✓ Une résolution minimale de 6 bits mais 9 ou 10 bits sont déjà souhaités dans les futures expériences
- ✓ Une uniformité des cellules d'une mémoire meilleure que la résolution.

Les secondes contraintes sont environnementales. La surface occupée par les circuits électroniques doit rester faible comparée à la surface des détecteurs. Ces derniers sont parfaitement juxtaposés aux circuits électroniques, imposant de fait que les canaux électroniques adoptent le pas des détecteurs (50µm). Le circuit électronique dédié à chaque canal doit donc tenir dans une surface de 50µm \times 12000µm.

Ces circuits placés au centre de l'expérience ne doivent pas échauffer le cœur de l'expérience. Compte tenu des possibilités technologiques de refroidissement, on doit limiter la puissance dissipée par canal à environ 2 mW (la puissance extractible dans un volume $[(\pi \times (0,4)^2 \times 2,25) \text{ m}^3]$ est limitée à 20kW).

Au cœur de l'expérience, les circuits seront traversés par des particules à très haute énergie. On évalue la dose totale d'irradiations pour une durée de 10 ans à 10Mrads soit 100 Kgray avec une fluence neutronique de 10^{14} neutrons/cm². Par conséquent, les circuits électroniques devront présenter une tenue aux irradiations particulièrement forte. La première réponse qui fut donnée à ce problème est l'emploi d'une technologie particulière (technologie DMILL⁴ 0,8 µm développée par le LETI⁵). La seconde réponse, actuellement envisagée, est l'utilisation de technologies fortement submicroniques. Cela justifie en partie notre intérêt pour de telles technologies.

⁴ DMILL – Durci Mixte sur Isolant Logico-Linéaire

⁵ LETI – Laboratoire d'Electronique et Technique de l'Information

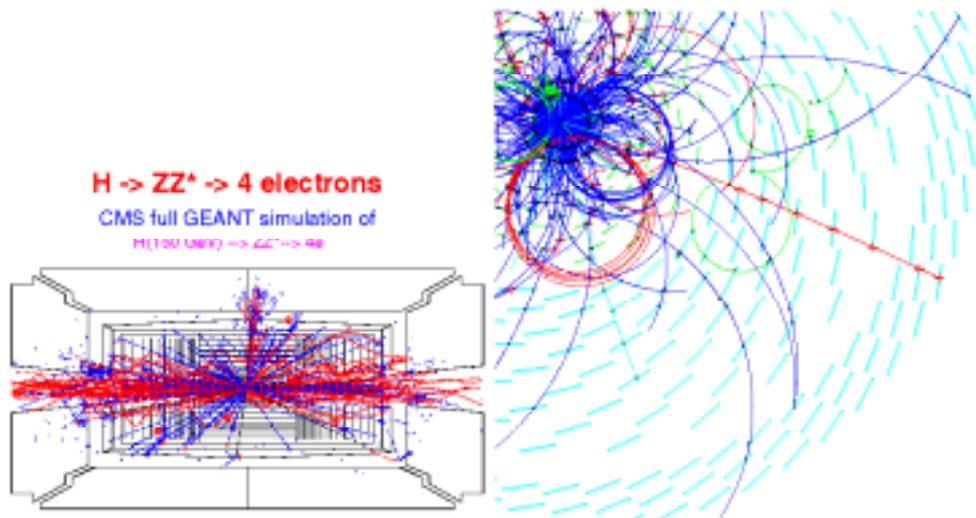


Figure I-3 : gerbes de particules au sein de l'expérience.

B CONCEPTS D'UNE MÉMOIRE ANALOGIQUE

La conception d'une mémoire analogique est influencée d'une part par la technologie utilisée et d'autre part par l'application visée. Une rapide revue des solutions existantes (paragraphe B.3) montre qu'il faut définir très précisément les objectifs de l'application pour choisir une solution. Mais avant d'aborder cette revue, il nous faut exposer les spécificités des mémoires analogiques (paragraphe B1) et l'influence des technologies actuelles (paragraphe B2).

B.1 Spécificités d'une mémoire analogique

Par définition, une mémoire analogique est constituée de plusieurs milliers de canaux, eux-mêmes formés de plusieurs centaines de cellules de profondeur. Chaque cellule doit agir comme une cellule échantillonneur-bloqueur. Étudier une mémoire consiste donc à déterminer les performances d'un échantillonneur-bloqueur et d'y superposer une distribution aléatoire des caractéristiques électriques inhérentes à la distribution spatiale des cellules dans un circuit intégré.

Dans notre cadre particulier, la localisation du signal dans la mémoire est inconnue au cours du fonctionnement. Il devient donc impossible (mais de toute manière impensable compte tenu du très grand nombre) d'apporter une quelconque correction au signal. De ce fait l'un des critères important est la reproductibilité des caractéristiques d'une cellule de mémorisation de type échantillonneur-bloqueur.

Une attention particulière sur les choix techniques permet de limiter la dispersion des caractéristiques des cellules : taille des composants non minimale, dessin des masques (layout) favorisant la reproductibilité et limitant les couplages capacitifs ainsi que les courants de fuite. Malheureusement, de tels choix conduisent à des surfaces importantes pour chaque cellule. Or le grand nombre de cellules est particulièrement pénalisant du point de vue puissance et surface. Toute concession faite sur une cellule élémentaire sera amplifiée par le grand nombre de telles cellules et pénalisera l'ensemble de la chaîne électronique. Ce préambule nous impose de **rechercher des solutions minimalistes** contrairement à une approche classique en analogique. Une telle étude est inédite et de surcroît incontournable à

notre point de vue pour les futurs systèmes électroniques intégrés. Afin de mieux comprendre l'ambivalence du problème, rappelons que classiquement pour augmenter la vitesse on opte pour des courants de repos de grande valeur permettant de réduire le "slew rate" des étages; alors que pour la précision, on opte pour des surfaces importantes afin de minimiser les erreurs relatives et améliorer les rapports fixant les gains. Par ailleurs des solutions de compensation (structure différentielle, contre-réaction, ...) sont introduites pour corriger les défauts secondaires. Une très large revue de presse a été conduite à ce sujet. Par conséquent, si l'on veut limiter la surface et la puissance, des concessions doivent être faites au niveau de la précision, cela nous imposent d'analyser plus finement les solutions minimalistes en terme de précision.

Une spécificité importante d'une mémoire analogique est son mode de fonctionnement. Son principe de fonctionnement est très simple. Elle doit agir comme un opérateur de retard pur; son gain sera donc unitaire. Elle agira comme un copieur ; elle cherche à reproduire en interne la grandeur externe. Cette fonctionnalité peut être déclinée de plusieurs façons, chacune d'elle est appelée mode.

- Cellule en mode tension

Dans ce type de cellule, l'information matérialisée par une tension est stockée sous forme de charges dans un condensateur. Lors de la lecture, on peut soit copier cette tension au travers d'un amplificateur à impédance d'entrée infinie, soit récupérer la charge stockée et l'intégrer afin de régénérer une tension équivalente en sortie.

Dans le premier cas, la lecture est non destructive et permet donc une relecture. Situation intéressante si l'on cherche à employer cette donnée dans un processus de déconvolution ou de filtrage. Dans le second cas la lecture est destructive.

- Cellule en mode courant

Dans ce type de cellule, l'information transcrite sous forme courant est transposée en charges stockées dans la grille d'un transistor. Une contre réaction locale permet d'ajuster la charge stockée afin d'imposer la parfaite tension v_{GS} autorisant la circulation dudit courant dans le canal. La lecture consistera alors à détourner le courant drain-source i_{DS} dans le dispositif de sortie.

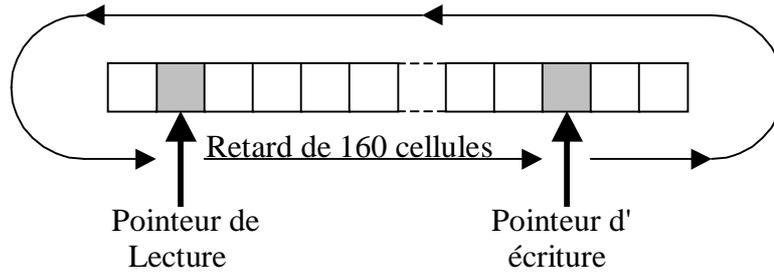
Une autre spécificité des mémoires analogiques est son mode de séquençement, c'est à dire le mode opératoire au cours du temps, gérant les différentes phases de fonctionnement. On peut distinguer deux modes :

- soit une acquisition discontinue
- soit une acquisition continue.

Dans le cas de l'acquisition discontinue, les phases d'écriture et de lecture sont disjointes. C'est à dire que l'on "remplit" intégralement la mémoire avant de la "vider" complètement. Ce mode de fonctionnement est particulièrement simple et autorise des structures de type aval qui seront présentées ultérieurement.

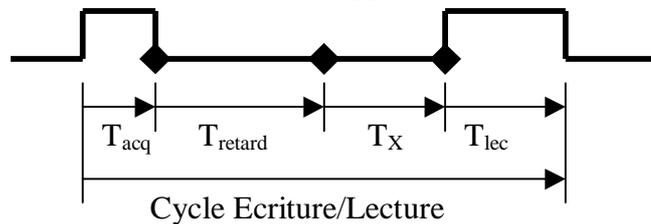
Dans le second cas, on souhaite simultanément écrire dans une cellule et lire une autre cellule. Ce type d'architecture nécessite donc deux bus différents, l'un d'écriture l'autre de lecture.

Forme simpliste
d'une mémoire
analogique



Sous sa forme simpliste, l'écriture et la lecture s'opèrent à la même fréquence. Un retard pur s'établit donc entre l'entrée et la sortie. Sous sa forme réelle (tout au moins dans le cadre de la physique des particules), la lecture s'opère à une fréquence inférieure à l'écriture. Cela impose de valider les quelques données sélectionnées par l'expérience (on parle de tri sélectif) avant de les lire. Une gestion complexe de contournement pour le pointeur d'écriture doit être mise en place. Par suite, les phases de lecture sont aléatoires par rapport à l'écriture [MIC-93]

Cycle d'écriture et lecture



Un cycle d'écriture/lecture peut alors être décomposé comme suit:

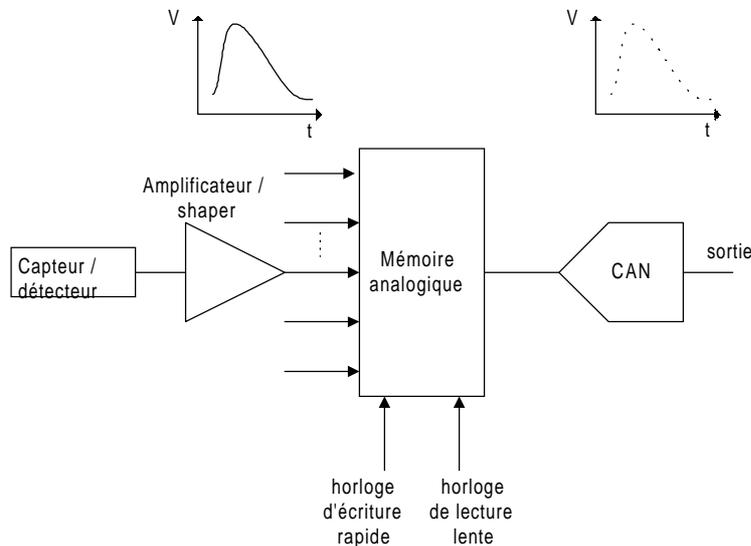
$$T_{\text{cycle}} = T_{\text{acq}} + T_{\text{retard}} + T_X + T_{\text{lec}}$$

où T_{acq} est la durée d'acquisition fixée par la machine (25ns), T_{retard} le temps nécessaire à la sélection des bons évènements (la prise de décision est évaluée à 4 μ s), T_X une durée aléatoire avant la lecture (dont la moyenne est évaluée à 10 μ s) et T_{lec} la durée de lecture (10 μ s). Les choix de séquençage influencent très fortement les architectures de mémoires analogiques comme nous le montrerons dans le paragraphe B2. Par ailleurs, ces données sont importantes pour le calcul du bruit de fond et l'effet des courants de fuite.

Une dernière spécificité des mémoires est introduite ici. Parmi les deux modes de séquençage, nous avons focalisé notre travail sur le mode continu. Celui-ci est en fait le mode retenu dans les nouvelles expériences de physique car il permet d'accroître l'efficacité d'acquisition (plus de temps mort) compte tenu de la rareté des très bons évènements. Ce choix n'est pas limitatif quant à la généralité de notre étude. Il est par contre impératif pour l'optimisation finale. La réalisation de telles mémoires (basée sur le principe d'acquisition continue) impose la présence d'une piste d'écriture **et** une autre de lecture. Elles sont particulièrement longues du fait du grand nombre de cellules alignées (160x50 μ m soit 8mm); elles sont très fortement capacitives et/ou résistives. Tant l'étage d'entrée que l'étage de sortie devront en tenir compte pour conserver soit la vitesse, soit la précision. De plus, une diaphonie peut se produire entre les signaux logiques commandant soit l'écriture, soit la lecture et la grandeur analogique à mémoriser. Les signaux logiques traversent l'ensemble de la mémoire, leur couplage peut être très pénalisant si des mesures architecturales ne sont pas prises. Par conséquent, il devient impératif de prendre en compte les effets parasites dans l'analyse des cellules élémentaires afin qu'elles conservent une validité pour les mémoires analogiques.

La figure ci-dessous illustre une architecture typique pour la physique des particules. Le signal après mise en forme est mémorisé sous forme analogique pour optimiser la facteur

précision/puissance. Après sélection des meilleurs évènements, une lecture lente est opérée avec le même soucis de limitation de la puissance. Les données sont ensuite extraites de l'expérience avant d'être converties sous forme digitale hors de l'enceinte expérimentale.



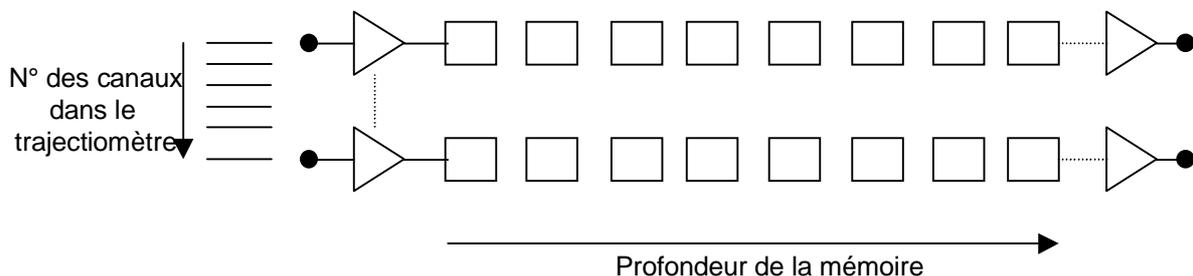
Un bref calcul de la surface d'une telle mémoire illustre l'importance de nos propos. Chaque canal électronique doit adopter le pas des détecteurs afin de pouvoir se juxtaposer à ceux-ci. La surface minimale d'une cellule mémoire est donc définie par le produit largeur×hauteur :

Dans les solutions actuelles réalisées dans une technologie $0,8\mu\text{m}$, la largeur typique est de $50\mu\text{m}$ et la hauteur de $30\mu\text{m}$: $S_{\text{min}}=(\text{largeur}\times\text{hauteur})=(50\times 30)\mu\text{m}^2$.

La profondeur mémoire doit être au minimum de 160 cellules. Pour l'ensemble du trajectomètre on compte 10^7 canaux. La surface totale de la mémoire analogique implantée dans le trajectomètre sera de:

$$S_{\text{MIN}} = 10^7 \times 160 \times (30 \times 50) \mu\text{m}^2 = 2,4 \text{ m}^2$$

soit environ 130 « wafers » de 6 pouces réservés pour la mémoire.



B.2 Influence de la technologie

Dans le paragraphe A, les impératifs de la physique expérimentale ont fixé les critères vitesse ($T_{\text{acq}}=25\text{ns}$) et précision (résolution de 6 à 10 bits) pour la mémoire. Trois autres facteurs sont contraints par l'environnement expérimental (puissance, surface, tenue aux radiations). Contrairement aux deux autres, ils sont simplement bornés et peuvent être conditionnés par la technologie. Une analyse grossière montre qu'en choisissant une technologie submicronique,

on peut réduire la puissance grâce à la réduction de la tension d'alimentation, réduire la surface de facto et enfin réduire l'influence des irradiations par la réduction des volumes d'oxyde. Le prix à payer est bien évidemment reporté principalement sur la précision par la réduction des dynamiques de travail en tension. Pour des raisons d'accessibilité (les anciennes technologies disparaissent pour raison économique) et de coût, il apparaît incontournable de se tourner vers des technologies submicroniques standards (COTS⁶ imposée, par ailleurs, par la directive Péri) dédiées aux applications numériques. Les caractéristiques de ces dernières introduisent de nouvelles contraintes majeures sur l'électronique, à savoir une très forte densité d'intégration. On parle désormais de GSI⁷. Le report des contraintes sur la précision peut être nuancé par une observation particulière. Dans une recherche d'optimisation Surface/Précision, comparons les avantages apportés par la réduction des dimensions technologiques; comparons pour cela deux technologies pour une même surface. Soit $S=W*L$ la surface occupée par un transistor de taille minimale dans la plus grande des deux technologies. Alors, dans la seconde technologie, et pour la même surface, on peut choisir un couple (W',L') tel que $S=W*L=W'*L'$ mais où L' tend vers la dimension technologique minimale. De fait on aura $W'/L' \gg W/L$, ce qui est favorable au rapport Signal à Bruit dans les préamplificateurs mais aussi pour les interrupteurs où la résistance drain source est inversement proportionnelle à W/L . De fait, à surface équivalente, la précision n'est pas totalement handicapée par la réduction technologique. La réduction des dynamiques de travail et les effets secondaires dans les caractéristiques des transistors jouent alors en défaveur de la précision. C'est pour cela que des analyses plus détaillées doivent être menées pour quantifier la précision finale que l'on veut atteindre.

Nous rappelons que les performances ultimes d'un transistor ont été posées en 1965 par Johnson ; elles peuvent se résumer par l'expression, suivante :

$$V_m f_T = \frac{E_m v_{sat}}{2\pi}$$

où V_m est la tension d'alimentation maximale, f_T est la fréquence de coupure, E_m le champ de rupture du matériau et v_{sat} la vitesse de saturation des porteurs. Puisque V_m donne une indication de l'échelle dynamique et f_T de la vitesse du dispositif, le terme $V_m f_T$ donne une indication sur la limite des capacités de traitement du signal par un transistor dans un matériau donné ; pour le silicium cette limite est d'environ $200V \cdot GHz$. L'implication d'une telle relation, est qu'il y a un compromis fondamental à faire entre la vitesse d'un dispositif et son échelle dynamique réduite.

La diminution des tensions d'alimentation imposée par le maintien du champ de rupture lorsque l'épaisseur des oxydes de grille diminue, est pénalisante pour les applications analogiques basées sur le mode tension. Dans ce mode, l'information est véhiculée par une tension, or en réduisant ainsi la dynamique des signaux on limite de facto le rapport signal à bruit.

Il nous apparaît incontournable aujourd'hui de poser un regard motivé par le constat précédent sur les structures en mode courant introduites en 1988 par Daubert et Hugues [DAU-88], [HUG-89] pour lesquelles la dynamique de signaux n'est pas immédiatement liée aux tensions d'alimentation.

⁶ COTS – Commercial Off The Shell, se dit d'une technologie standard

⁷ GSI – Giga Scale Integration

Un autre aspect motivant cette réorientation est la bande passante des systèmes électroniques en courant (travaillant sous faible impédance, avec très peu d'effets "selfiques" ce mode peut conduire à une bande passante élevée). Une particularité du domaine qui nous intéresse est la soumission des systèmes électroniques aux radiations. Le courant électrique étant un phénomène principalement dynamique (écoulement de charges), sa sensibilité à des dépôts ponctuels et instantanés est réduite.

L'ensemble des points abordés ci-dessus nous a donc conduit à orienter notre travail sur la précision ultime que l'on peut atteindre avec des structures minimalistes dans des technologies fortement submicronique. Une étude conjointe des deux modes de fonctionnement sera menée avant d'analyser les avantages respectifs dans une optimisation pour la physique des particules.

B.3 État de l'art des architectures de mémoires analogiques

Pour souligner nos précédents propos, regardons les réalisations antérieures dans le cadre de la physique des particules. On perçoit nettement que les structures à acquisition continue ont été plus rarement adoptées. Dans les plus anciennes expériences divers facteurs justifiaient une acquisition de type discontinue. D'une part, aucun système informatique ne pouvait traiter en temps réel un grand flot de données. De plus l'accélérateur, lui-même, introduisait des temps mort entre les séries de collisions. Aujourd'hui, les évolutions techniques et la rareté des bons événements physique modifient les impératifs fixés par les nouvelles expériences; elles imposent une architecture de type acquisition continue. Peu d'études détaillées dans ce cadre ont été menées; c'est un des objectifs de ce travail.

Une première architecture (fig. I-4) a été implantée dans l'expérience AMU [FRE-85] pour l'accélérateur de particules de Stanford ($f_{ccr}=150$ MHz). Elle est du type acquisition continue. Chaque cellule de mémorisation possède son propre "buffer" par cellule de mémorisation (un simple MOS monté en suiveur afin de limiter la dissipation thermique). Dans cette architecture la variation de gain de cellule à cellule est importante. Elle est due au simple MOS monté en suiveur lequel introduit de surcroît une non-linéarité due à sa caractéristique.

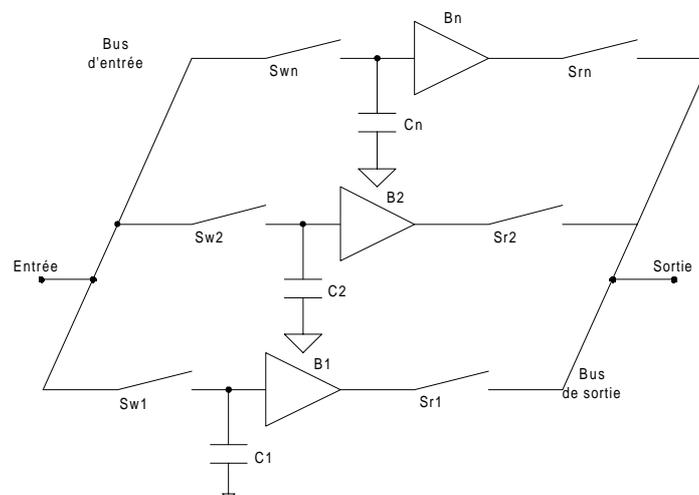


Figure I-4 : AMU structure avec un amplificateur par canal

Afin de pallier la forte dissipation thermique due à la présence d'un amplificateur par canal, et de limiter la variation de gain de cellule à cellule, une nouvelle architecture (fig. I-5) orientée bus est introduite dans [KLEIN-90] et [ANG-94]. Son principe de fonctionnement est ici du type acquisition discontinue. Elle acquiert autant de points consécutifs que la mémoire peut en contenir puis les lit un à un. Ce principe a été acceptable dans les précédentes expériences du CERN car les taux de croisements de particules étaient plus faibles. Dans les nouvelles expériences, les contraintes sont plus sévères demandant une remise à plat des principes. Par rapport à la structure précédente, ce type de mémoire présente une architecture réduisant considérablement la dissipation thermique du fait de l'utilisation d'un seul amplificateur par canal.

Lors de la phase d'écriture, trois interrupteurs (S1,S2 et Swk) sont nécessaire. Avec de très gros interrupteurs S1 et S2 la phase d'écriture est similaire au cas précédent. Quant à la phase de lecture, on ouvre les interrupteurs S1 et S2 pour isoler la source d'entrée. La mise en contre-réaction (par fermeture de S3 et S4 et ouverture de S5) rend la structure insensible à la non-linéarité de la capacité et aux capacités parasites. La variation de gain de cellule à cellule et la variation d'offset sont limitées. Elles sont conditionnées par la dissymétrie (mismatch en anglais) de l'interrupteur d'échantillonnage.

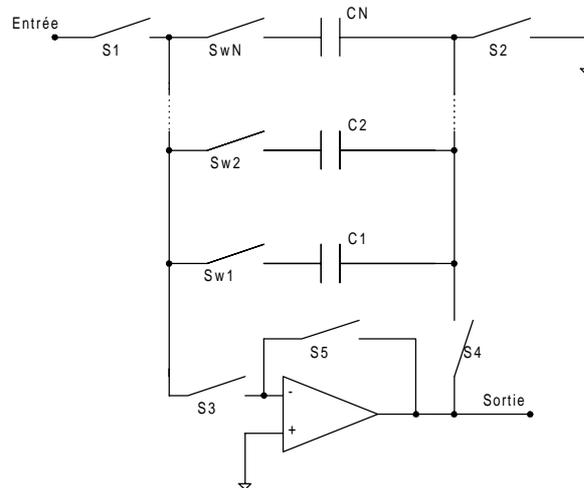


Figure I-5: architecture orientée bus - interrupteurs dans le chemin du signal -

	Interrupteurs
Ecriture	S1, SwN,S2
Lecture	S3,S4,SwN

Cette structure induit une dépendance de l'erreur due aux injections de charge à la tension d'entrée car l'interrupteur est placée en amont de la capacité de mémorisation. Une autre architecture avec l'interrupteur placé en aval est présentée dans [BUT-89], [MOS-90] et [HAL-94].

Comme la solution précédente, la solution présentée sur la figure I-6 est du type acquisition discontinue. Les interrupteurs étant placés dans le chemin de retour du signal rendent l'injection de charges indépendante du niveau du signal d'entrée (voir le chapitre suivant avec le montage de type aval). La fonction de transfert de cette cellule peut s'exprimer

par la relation : $V_S = \left(\frac{C_i}{C_r} \right) V_{in} + V_{offi}$. Son gain est une fonction linéaire de la capacité de mémorisation.

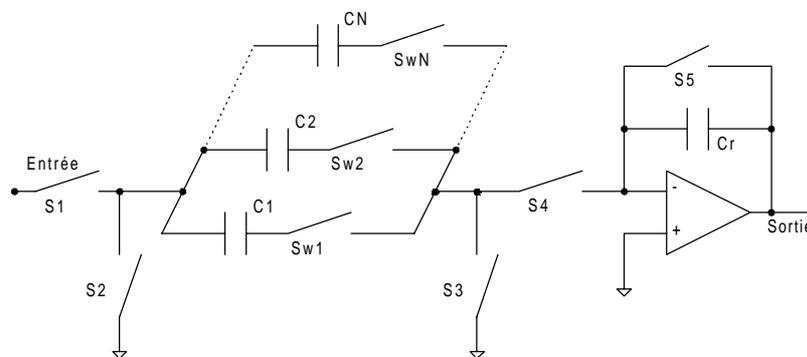


Figure I-6 : interrupteurs dans le "chemin de retour du signal"

	Interrupteurs
Ecriture	S1, S3,S5,SwN
Lecture	S2,S4,SwN

La charge stockée dans la capacité d'échantillonnage est transférée à une capacité commune lors de la phase de lecture. C'est donc une lecture destructive dans la mesure où l'information stockée dans la cellule mémoire est annulée. La variation d'offset cellule à cellule est dominée par la dissymétrie des interrupteurs, alors que la dispersion du gain est gouvernée par la dispersion entre les condensateurs de mémorisation.

Une dernière architecture est présentée par la figure I-7. Cette structure vise un fonctionnement de type acquisition discontinue. Une première étape consiste à mémoriser très rapidement les données puis dans une seconde étape les lire beaucoup plus lentement mais avec grande précision. C'est une structure particulièrement propice aux cellules mode tension avec une configuration aval (configuration qui sera détaillée au prochain chapitre).

Mémoire analogique fonctionnant à 700 MHz (précision de 12 bits)

- tension de piédestal indépendante de l'amplitude du signal d'entrée
- gain des cellules indépendant du signal d'entrée
- temps d'échantillonnage indépendant du signal d'entrée
- un interrupteur de lecture, un interrupteur d'écriture \Rightarrow simplification du circuit de contrôle des interrupteurs.

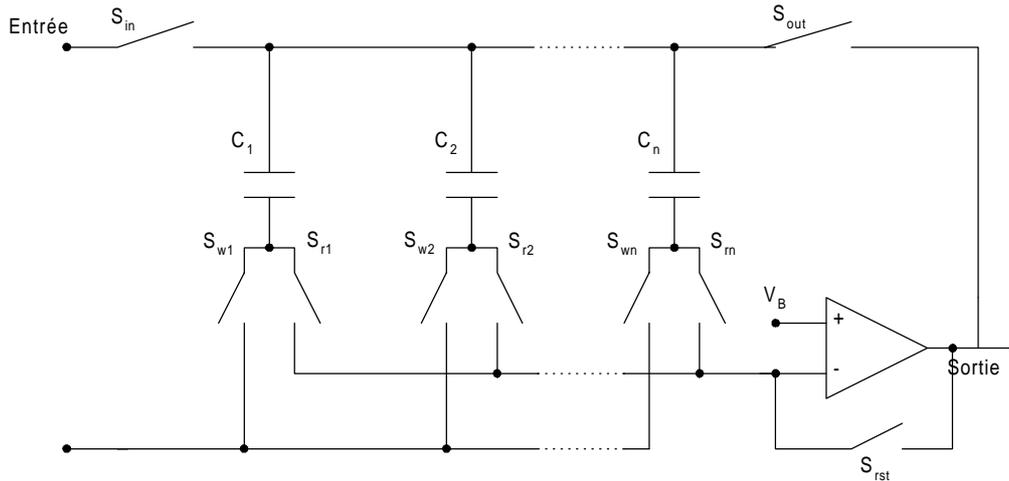


Figure I-7 : configuration de type aval

	Interrupteurs
Écriture	S _{in} , S _{wN}
Lecture	S _{out} , S _{rN}

C LES SYSTÈMES INSTRUMENTAUX

Rappelons que les deux critères imposés par l'expérience sont la vitesse d'acquisition ($T_{acq}=1/f_{acq}$) et la précision traduite en résolution d'amplitude (quantum) par le nombre de bits du codage binaire associé. Pouvoir maîtriser ces deux critères sans trop de concession sur les trois autres impose de les décrire quantitativement.

Dans ce paragraphe, nous allons montrer la dépendance de la vitesse à la précision, faisant de cette dernière notre paramètre fondamental. De ce fait, il constituera notre fil d'Ariane tout au long de ce document.

Après avoir justifié l'option des structures minimalistes dans des technologies submicroniques, il reste à clarifier l'environnement instrumental où se place la mémoire analogique pour en définir les limites de vitesse et de précision.

Dans le domaine de l'instrumentation il est aujourd'hui classique et quasi incontournable de produire des données numériques de mesures. Les raisons en sont multiples :

- stockage des données de mesures,
- traitement mathématique,
- analyse des phénomènes non linéaires et chaotiques,
- transformation en images (tomographie,...),
- transmission à longue distance sans perturbation,
- etc...

Le monde physique est aujourd'hui encore analogique pour l'ensemble des grandeurs macroscopiques que l'on souhaite analyser (certes on peut se tourner vers des approches plus microscopiques et y trouver un monde quantique et donc quantifié, mais cette démarche sort du cadre de l'électronique analogique). Les phénomènes que l'on souhaite y appréhender sont de plus en plus éphémères, complexes, rapides nécessitant une acquisition respectivement permanente, à très large spectre et très rapide.

La charnière entre le monde analogique (et/ou physique) et le monde numérique se situe entre l'échantillonneur-bloqueur et le convertisseur A/N. Ces deux éléments charnières sont en fait indissociables et leurs performances sont liées. Dans notre travail nous nous focalisons sur la partie échantillonneur-bloqueur ; par suite nous considérerons l'organe convertisseur A/N comme notre référence. Si ce dernier présente des limitations, notre objectif est alors d'inscrire nos limitations dans les siennes afin que la limitation totale reste proche de celle du convertisseur.

Une illustration simple de ce principe porte sur le bruit. Considérons un dispositif dans son ensemble. La puissance de bruit totale (P_{bT}) résulte en priorité de la somme du bruit de quantification P_{bq} introduite par le convertisseur et le bruit de fond électronique P_{bf} introduit par l'échantillonneur : $P_{bT} = (P_{bq} + P_{bf})$. Si on limite le bruit de fond à 1/10 du bruit de quantification (un écart de 10dB) alors 90,9% du bruit total est lié au convertisseur : $P_{bT} = (P_{bq} + P_{bf}) \approx (P_{bq})$. L'approximation de la puissance totale de bruit tend alors à qualifier l'ensemble du dispositif avec les caractéristiques du convertisseur seul. C'est dans cette réflexion que s'inscrit notre approche pour les performances de notre mémoire analogique.

Les divers points qui vont être développés ci-dessous visent à déterminer la précision d'une cellule échantillonneur, précision qui est ensuite reliée à la puissance de bruit du convertisseur. Les développements resteront sommaires, seuls les principes doivent apparaître. Dressons succinctement la liste des points qui nous intéressent :

- le bruit de fond par rapport au bruit de quantification,
- la relation vitesse/précision de l'échantillonneur introduit les erreurs de type dynamiques,
- la non-linéarité dans la chaîne introduit l'erreur de type statique.

C.1 Rapport signal sur bruit

Dans un convertisseur adoptant une quantification par arrondi, pour lequel la distribution statistique de l'erreur est considérée uniforme, la variance du bruit de quantification est donnée par $\sigma_q^2 = \frac{q^2}{12}$ où q est le quantum de la conversion définie par : $q = \frac{FS}{2^N}$ où FS représente la pleine échelle des signaux d'entrée (Full Scale en anglais) et N le nombre de bits du convertisseur. Dans le cas le plus général, on accepte de considérer la pleine échelle comme égale à la tension d'alimentation V_{DD} : $FS = V_{DD}$ (pour un circuit alimenté entre V_{DD} et 0 Volt). Cette relation est particulièrement importante et limitative pour le mode tension dans les technologies submicroniques. La résolution en nombre de bits diminue alors avec l'alimentation pour un quantum maintenu supérieur au bruit de fond.

La puissance de bruit de quantification P_{bq} est fixée par la variance du bruit de quantification :

$$P_{bq} = \sigma_q^2 = \frac{q^2}{12} = \frac{FS^2}{12 \cdot 2^{2N}}.$$

Pour définir la puissance du signal plusieurs définitions sont possibles :

- signal ayant une distribution uniforme
- signal ayant une distribution gaussienne
- signal sinusoïdal

Le premier est extrêmement rare, nous ne le considérons pas ici ; il est traité dans [COU-84].

Pour le second signal il faut arbitrairement définir sa pleine échelle. Classiquement, on choisit une plage de $\pm 3\sigma_s$ (σ_s étant l'écart type de la distribution gaussienne du signal) couvrant, avec 99,7% des cas, la pleine échelle (FS) des signaux d'entrée du convertisseur. Il vient alors

$$\text{pour la puissance du signal : } P_{sig} = \sigma_s^2 = \left(\frac{FS}{6}\right)^2.$$

Dans le troisième cas on considère un signal d'entrée fixe et d'amplitude crête - crête égale à la pleine échelle (FS) des signaux d'entrée du convertisseur. C'est évidemment le meilleur cas pour un fabriquant. Il définit une situation optimiste, c'est aussi le cas le plus utilisé. La

$$\text{puissance du signal est alors donnée par : } P_{sig} = v_{eff}^2 = \left(\frac{FS}{2\sqrt{2}}\right)^2.$$

Finalement le rapport signal sur bruit (SNR^8) d'un convertisseur de N bits, exprimé en décibel, est donné par les relations suivantes :

$$\text{Signal aléatoire } \Leftrightarrow SNR_{dB} = 10 \cdot \log\left(\frac{P_{sig}}{P_{bq}}\right) = N \times 6,02 - 4,77$$

$$\text{Signal sinusoïdal } \Leftrightarrow SNR_{dB} = 10 \cdot \log\left(\frac{P_{sig}}{P_{bq}}\right) = N \times 6,02 + 1,76$$

Rappelons que ce rapport inclut uniquement l'erreur de quantification du convertisseur. Si on souhaite analyser la performance réelle de l'ensemble échantillonneur convertisseur, il faut déterminer la puissance de bruit total. Pour cela il faut définir la puissance de bruit introduite par l'échantillonneur/bloqueur $P_{bE/B}$. Cette puissance de bruit sera décomposée en plusieurs termes : $P_{bE/B} = \sigma_{bi}^2 + \sigma_{set}^2 + \sigma_{ap}^2 + \sigma_{NL}^2$. On y trouve le bruit de fond intrinsèque σ_{bi} d'origine thermodynamique et en $1/f$, le bruit d'établissement σ_{set} et le bruit d'ouverture σ_{ap} dont les origines sont les erreurs dynamiques lors de l'instant d'échantillonnage (l'analyse sera détaillée dans les chapitres II et III) et finalement le bruit de non-linéarité σ_{NL} introduit par la non-linéarité de la caractéristique statique du convertisseur. Soit $\sigma_{bE/B}$ l'écart type de ce bruit (qui sera calculé pour chaque mode dans les deux chapitres suivants), on obtient alors pour la puissance totale :

$$P_{bTot} = \sigma_q^2 + \sigma_{bE/B}^2.$$

Il en découle que le rapport Signal à Bruit effectif (SNR_{effdB}) sera inférieur à la limite théorique précédente (SNR_{dB}), mais s'en rapprochera d'autant plus que la puissance de bruit d'échantillonnage diminue. Fixons-nous comme objectif pour le bruit d'échantillonnage : $\sigma_{bE/B} = K^{1/2} * \sigma_q$. Il vient alors pour le rapport signal à bruit :

$$SNR_{effdB} = 10 \cdot \log\left(\frac{P_{sig}}{P_{bTot}}\right) = 10 \cdot \log\left(\frac{P_{sig}}{P_{bq}}\right) - 10 \cdot \log(1 + K) = SNR_{dB} - 10 \log(1 + K).$$

En cas d'égalité du bruit de fond et du bruit de quantification ($K=1$) le rapport SNR est réduit de 3dB ; par contre avec un rapport de 10%, la réduction n'est que de 0,4dB.

⁸ SNR – Signal to Noise Ratio

Soulignons ici que les puissances de bruit doivent être déterminées pour la même bande de fréquence. Celle-ci est fixée à $F_{\text{Echantillonnage}}$ pour le bruit de quantification. En régime échantillonné la puissance de bruit tient compte du recouvrement spectral consécutif au principe de Shannon ; nous la déterminerons donc par rapport à $F_{\text{echantillonnage}}$. Dans le cas de nos mémoires analogiques, cette fréquence est égale à la fréquence de lecture de la mémoire.

Dans le cas où l'on dégraderait encore le rapport Signal à Bruit, on peut inverser la fonction précédente pour définir alors un nombre équivalent de bits pour un SNR réel (inférieur au SNR idéal défini précédemment). Ce nombre équivalent est appelé $ENOB$ (Effectif Number Of Bit), il suit la formule : $ENOB = \frac{SNR_{\text{effdB}} - 1,76}{6,02}$.

On peut définir la résolution du système comme la plus petite valeur d'entrée discernable en sortie. Cette résolution égale donc le quantum. Par conséquent une autre grandeur peut être définie : la plage dynamique de travail DR (Dynamic Range). Elle traduit le rapport entre le plus grand signal acceptable et le plus petit signal discernable. Par définition le plus grand signal s'inscrit dans la pleine échelle de la grandeur d'entrée (FS). L'expression en dB de la plage dynamique de travail sera :

$$DR_{\text{dB}} = 20 \cdot \log\left(\frac{FS}{q} = 2^N\right) = N \times 6,02 = SNR_{\text{dB}} - 1,76.$$

Il faut veiller à ne pas confondre la pleine échelle des signaux d'entrée (FS souvent égale à V_{DD} dans un système optimum) et la plage dynamique qui n'est qu'un rapport de grandeurs identiques (donc sans dimension).

Un point fondamental pour la suite du travail, est la relation existante entre les erreurs et la puissance de bruit d'échantillonnage. Toujours dans un souci de simplicité, nous présentons ici un cas particulier ; mais on trouvera en annexe des analyses plus réalistes montrant un résultat similaire. Considérons une erreur ε comme une variable aléatoire appartenant à l'intervalle $[0, \varepsilon_{\text{MAX}}]$. Cette variable aléatoire possède une densité de probabilité uniforme p_ε vérifiant : $\int_0^{\varepsilon_{\text{MAX}}} p(\varepsilon) d\varepsilon = p_\varepsilon \cdot \varepsilon_{\text{MAX}} = 1$. La puissance $P_{b\varepsilon}$ introduite par cette variable aléatoire est déterminée par la valeur quadratique moyenne de ε et donnée par $E\{\varepsilon^2\}$, qui n'est rien d'autre que la fonction d'auto-corrélation calculée en zéro. Il vient alors pour cette puissance :

$$P_{b\varepsilon} = \int_0^{\varepsilon_{\text{MAX}}} \varepsilon^2 \cdot p(\varepsilon) \cdot d\varepsilon = p_\varepsilon \cdot \frac{\varepsilon_{\text{MAX}}^3}{3} = \frac{\varepsilon_{\text{MAX}}^2}{3}.$$

Comparons cette puissance à la puissance de bruit de quantification :

$P_{bq} = \sigma_q^2 = \frac{q^2}{12} = \frac{FS^2}{12 \cdot 2^{2N}}$. Puisque l'erreur et le quantum sont positifs, il en découle la condition suivante pour maintenir la puissance due à l'erreur inférieure à la puissance de quantification : $P_{b\varepsilon} \leq P_{bq} \Leftrightarrow \frac{\varepsilon^2}{3} \leq \frac{q^2}{12} \Leftrightarrow \varepsilon \leq \frac{q}{2}$. Cette étude simpliste nous permet de poser

la première condition qui bornera nos objectifs de précision pour les diverses erreurs.

Nous postulons également ici que les erreurs dynamiques doivent rester inférieures à l'erreur statique. Il vient alors, pour satisfaire notre objectif principal, les bornes que nous nous

imposons : $\epsilon_{set} \leq q/4$; $\epsilon_{ap} \leq q/4$ et finalement $\epsilon_{NL} \leq q/2$. De cet impératif il en découle une puissance de bruit. Le résultat montre un excès de bruit

$$\sigma_{NL}^2 + \sigma_{set}^2 + \sigma_{ap}^2 = \frac{1}{3} \left[\left(\frac{q}{2} \right)^2 + \left(\frac{q}{4} \right)^2 + \left(\frac{q}{4} \right)^2 \right] = \frac{q^2}{3 \cdot 4} \left[\frac{4}{4} + \frac{1}{4} + \frac{1}{4} \right] = \frac{3}{2} P_{bq} \text{ par rapport au bruit}$$

de quantification. Néanmoins en considérant notre cas particulier simpliste comme défavorable, les bornes spécifiées ci-dessus peuvent être considérer comme acceptable pour une première approche. Nous pourrons, après coup, affiner nos bornes pour satisfaire pleinement nos objectifs.

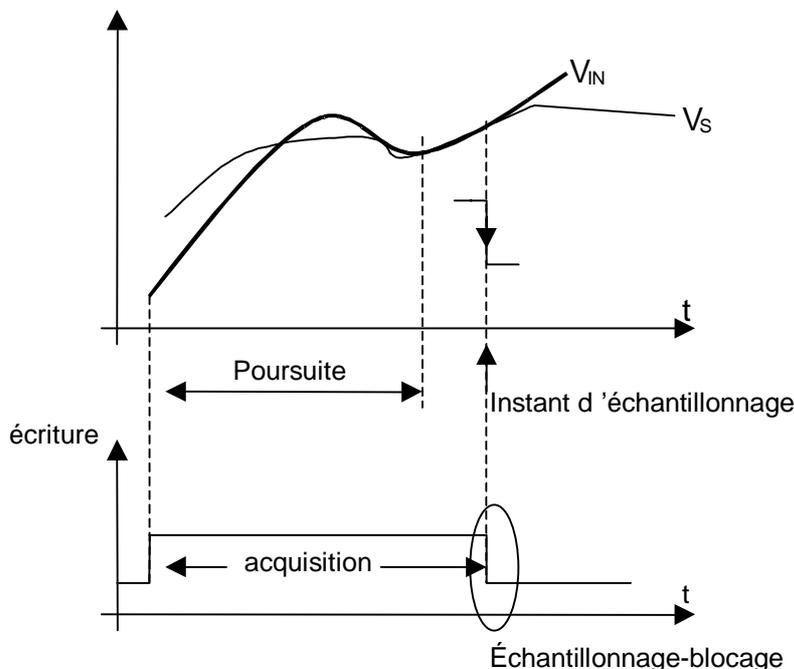
C.2 Temps d'acquisition

Les deux paragraphes suivants visent à détailler les limites imposées par un échantillonneur-bloqueur. Dans ce premier paragraphe nous cherchons simplement à clarifier les terminologies.

Dans un échantillonneur-bloqueur, deux phases opératoires se succèdent :

- ✓ La première phase consiste à capturer le signal, c'est la phase d'acquisition
- ✓ La seconde phase consiste à figer le signal en interne, c'est la phase de blocage.

La première phase (dite phase d'acquisition) impose donc un régime transitoire à la grandeur interne. Partant de la valeur précédemment bloquée (condition initiale) elle doit tendre vers la grandeur externe. Pour plus d'exactitude, cette phase doit être décomposée en deux périodes : la période d'établissement et la période de suivi. La figure ci-dessous illustre ce découpage. La période d'établissement est déterminée par le temps nécessaire au dispositif afin que sa grandeur interne, partant d'une valeur initiale (mémoire précédente), atteigne la grandeur d'entrée avec une certaine précision. Ce temps prend classiquement le nom de temps d'établissement (Settling Time en anglais).



Dans un souci d'optimisation, la période de suivi est souvent réduite à zéro. De fait on assimile classiquement le temps d'acquisition au temps d'établissement (fixant la période de

poursuite). Nous maintiendrons notre découpage car le temps d'acquisition est imposé par l'horloge de l'expérience alors que le temps d'établissement dépend, dans les systèmes non-linéaires, du signal d'entrée et de la condition initiale. Une partie de notre étude portera sur l'analyse du temps d'établissement dont nous chercherons la valeur maximale. Cette valeur maximale devra toujours rester inférieure au temps d'acquisition. Ce faisant la précision atteinte dans les différents cas sera variable. Cette analyse sera décrite ci-dessous.

A la fin du temps d'acquisition, l'ordre d'échantillonnage est donné. Compte tenu des limitations physiques des dispositifs, le passage acquisition/blocage n'est pas instantané. Celui-ci peut également être décomposé en deux parties : un retard à l'ouverture T_{ON} (*aperture delay*) durant lequel l'interrupteur d'écriture s'ouvre progressivement et la fin de la phase d'échantillonnage. On distinguera donc deux instants particuliers dans cette phase d'échantillonnage : l'instant T_i et l'instant T_e (figure II-17). T_i est l'instant idéal d'échantillonnage, l'instant où la commande est activée. L'instant T_e est l'instant d'ouverture réelle de l'interrupteur ; il vient alors $T_e = T_i + T_{ON}$.

C.3 Les limitations en acquisition (erreurs dynamiques)

Faisons abstraction ici des phénomènes d'injections de charges et de caractéristiques Non-Linéaires. Ces phénomènes nous les considérerons tout au long de ce travail comme indépendants de celles induisant les limitations que nous allons décrire maintenant. L'ensemble de ces phénomènes sera combiné à la fin de notre travail, lors de la synthèse, selon le principe de superposition applicable aux systèmes linéaires. Bien évidemment ce choix est discutable, mais nous essayerons de le justifier dans son contexte.

Deux limitations apparaissent dans le processus décrit au paragraphe précédent :

- l'erreur d'établissement
- l'erreur d'ouverture

C.3.1 Erreur d'établissement

L'erreur d'établissement (ε_{set}) peut se définir comme l'écart minimal obtenu en fin de période d'établissement entre les deux grandeurs en regard : $\varepsilon_{set} = V_E - V_{If}$ où V_E et V_{If} sont respectivement la grandeur d'entrée et la grandeur interne au bout du temps d'établissement.

Pour illustrer nos propos choisissons d'analyser un dispositif simple. C'est à dire un système linéaire du 1^{er} ordre auquel nous appliquons un échelon d'amplitude V_E ; soit la grandeur V_{If}

définie par : $V_{If}(t) = V_E \left(1 - \exp\left(-\frac{t}{\tau}\right) \right)$. Cette situation traduit un régime transitoire

comparable au pire cas dans notre échantillonneur. L'instant $t = 0$ correspond au début de l'acquisition (début de la période d'établissement). Avec une durée de suivi nulle, la fin d'acquisition se place au bout du temps d'établissement. Il vient alors pour l'erreur

d'établissement : $\varepsilon_{set} = \exp\left(-\frac{T_{acq}}{\tau}\right)$. Si nous nous fixons comme objectif une erreur

inférieure à un quart de quantum, il vient : $Max(\varepsilon_{set}) \leq \frac{q}{4}$. Cette inégalité implique que la grandeur d'entrée V_E soit dans l'intervalle $[0, FS]$, or le maximum de ε_{set} est donné pour

$V_E=FS$, par suite on aura alors $\exp\left(-\frac{T_{acq}}{\tau}\right) \leq \frac{q/4}{FS} = 2^{-(N+2)}$. Cet objectif nous impose donc

une relation entre la constante de temps du dispositif et les impératifs de l'expérience : T_{acq} et N (vitesse et précision) ; relation qui peut être donnée dans le cas limite par :

$$\frac{T_{acq}}{\tau} = (N + 2) \cdot \ln 2 = 0,7 \cdot (N + 2) .$$

Le tableau ci-dessous donne la constante de temps d'un système du 1^{er} ordre de type RC pour différentes résolutions numériques N :

Nombre de bits N	$T_{acq} = 25\text{ns}$	$C = 1\text{pF}$
6	$\tau = 4,46\text{ns}$	$R = 4,46\text{K}\Omega$
8	$\tau = 3,57\text{ns}$	$R = 3,57\text{K}\Omega$
10	$\tau = 2,98\text{ns}$	$R = 2,98\text{K}\Omega$

Dans une cellule de mémorisation, la résistance est l'équivalent du transistor en régime ohmique lors de la charge du condensateur. On remarque alors que la résistance du transistor doit être de l'ordre du Kilo-Ohm pour une capacité de 1 pico-Farad. Une telle valeur peut être obtenue par un transistor de très petite taille.

Il faut remarquer que pour un système linéaire du 1^{er} ordre, le temps d'établissement, déterminé pour une résolution fixée, est indépendant de l'amplitude du signal d'entrée (ici V_E). Cette particularité justifie, entre autre, qu'on assimile implicitement le temps d'acquisition au temps d'établissement. Cette particularité disparaît dans les systèmes non-linéaires, où le temps d'établissement, à résolution fixée, est fonction de la grandeur d'entrée.

La détermination de la constante de temps τ permet, avec l'approximation du dispositif par un système linéaire du 1^{er} ordre, d'évaluer la bande passante constante du signal d'entrée pour cette résolution ; bande passante devenant variable dans les systèmes non-linéaires. Remarquons qu'aucune relation évidente ne peut être établie entre cette bande passante et la limite de Shannon.

C.3.2 Erreur d'ouverture

Au-delà de la période d'acquisition, les grandeurs externe et interne sont égales. Idéalement, à l'instant T_i , la grandeur interne doit être figée. C'est la valeur idéalement échantillonnée. Du fait du retard à l'ouverture, la grandeur interne évolue encore suivant la grandeur d'entrée. L'erreur d'ouverture (ϵ_{ap}) est alors définie comme la variation de la grandeur d'entrée durant le retard à l'ouverture T_{ON} . Il convient classiquement d'évaluer le pire cas de cette erreur. Celui-ci apparaîtra pour la variation maximale du signal d'entrée, c'est à dire dans la région de la pente maximale d'un signal d'entrée sinusoïdal et conjointement pour la durée T_{ON} maximale c'est à dire $T_{ON} = T_{fall}$.

Dans les circuits logiques, on accepte de postuler que la pente de descente d'un signal est constante et fixée pour une technologie donnée par $U = V_{DD}/T_{fall}$ (où T_{fall} est le temps nécessaire pour passer de V_{DD} à 0 Volt). Dans une technologie $0,25\mu\text{m}$ T_{fall} vaudra typiquement quelques picosecondes (ps).

Comme précédemment nous voulons limiter cette erreur d'ouverture (ϵ_{ap}) à un quart de quantum. Pour un signal d'entrée sinusoïdal : $(FS/2) \cdot \sin(\omega t)$, cette erreur maximale impose une fréquence maximale donnée par :

$$\varepsilon_{ap} = \left. \frac{\partial v_E(t)}{\partial t} \right|_{\max} \cdot T_{fall} = 2\pi f \cdot \frac{FS}{2} \cdot T_{fall}$$

$$\varepsilon_{ap} \leq \frac{q}{4} \implies f \leq f_{MAX} = \frac{q}{4} \cdot \frac{2}{2\pi \cdot FS \cdot T_{fall}} = \frac{1}{\pi \cdot T_{fall} \cdot 2^{N+2}}$$

$$f_{Max} = (\pi \cdot T_{fall} \cdot 2^{N+2})^{-1}$$

Le tableau ci-dessous présente les fréquences maximales admissibles en entrée pour limiter l'erreur d'ouverture à un quart de quantum (lié à la résolution binaire en nombre de bits N) en fonction de T_{fall} .

Nombre de bits N	$T_{fall} = 1\text{ps}$	$T_{fall} = 10\text{ps}$
6	1.250 MHz	125 MHz
8	310 MHz	31 MHz
10	77,5 MHz	7,75 MHz

On remarquera que pour un temps de commutation T_{fall} de l'ordre de la pico-seconde, une fréquence d'échantillonnage de 40 MHz induisant une fréquence de Shannon de 20 MHz, la limitation de l'erreur d'ouverture (ε_{ap}) à un quart de quantum autorise une résolution supérieure à 10 bits.

C.4 Les spécifications liées à la Non-linéarité (erreur statique)

C.4.1 Approche théorique

La force prédictive de la théorie des systèmes linéaires fait que l'on cherche toujours dans la réalité à tendre vers elle. C'est souvent au prix d'imprécisions que l'on qualifie, à défaut, d'acceptable. Dans notre démarche nous chercherons à formaliser les non-linéarités des dispositifs et à en déduire les imperfections qui lui sont liées. Cette approche nous permettra encore une fois de dissocier les effets puis de les traiter au sein de la théorie des systèmes linéaires comme des sources de perturbations additionnelles et indépendantes. La justification viendra à la fin, après optimisation, par la "petitesse" de ces imperfections ; elles pourront être assimilées à de petits écarts.

La présence d'une non-linéarité dans un dispositif induit une déformation du signal qui peut être étudiée par la Série de Fourier. Deux observations peuvent alors être faites : on observe d'une part, un écart entre les amplitudes du signal d'entrée et celles de la composante fondamentale, d'autre part, il apparaît en sortie, de nouvelles composantes du signal sur des fréquences harmoniques. Ces deux observations conduisent dans le cadre des systèmes linéaires échantillonnés à deux conséquences. La première porte sur la présence des raies harmoniques. Ces raies vont selon le principe de Shannon se replier dans la bande fréquentielle de base $[0, Fe/2]$; sans parler des problèmes d'inter-modulation qui peuvent s'en suivre. Leur apparition dans cette bande peut sinon introduire des déformations du signal, sinon des erreurs d'analyse et de décision dans les systèmes de traitement de données (système radar, tomographie, IRM, ...). La seconde conséquence porte sur l'écart qui s'établit entre les amplitudes du signal d'entrée et le fondamental de sortie. Il est toujours envisageable d'éliminer les composantes harmoniques par des filtres fréquentiels, mais ce dernier problème subsiste. Or dans un système instrumental de haute précision, ce type d'écart peut induire la

perte de plusieurs quantums en résolution (comme la perte a lieu dans le monde digital on parle alors de la perte de quelques LSB "*Least Significant Bit*").

La non-linéarité d'un dispositif peut être décrite de deux manières : soit par l'utilisation de fonctions explicites soit par un développement polynomial. La première quoique plus précise nous semble moins générale et moins adaptée à une exploitation de résultats de mesures. Si le modèle explicite diffère de la réalité mesurée la rétroaction est délicate. Pour toutes ces raisons nous avons opté pour la seconde approche. La grandeur de sortie sera donc mise sous la forme suivante :

$$S_{out} = \underbrace{a_0 + a_1 S_{in}}_{\text{droite de référence}} + \underbrace{a_2 S_{in}^2 + a_3 S_{in}^3 + \dots + a_n S_{in}^n}_{\text{termes de non linéarité}}.$$

Dans le membre de droite on trouve un terme du premier ordre qui représente la droite de référence qualifiant le système linéaire. Le second terme d'ordre supérieur représente alors l'écart par rapport à notre référence linéaire ; c'est ce que l'on appellera communément les termes de non-linéarité.

A partir des équations grands signaux, on cherchera à développer les expressions sous forme polynomiale. Par identification des termes, on remontera au modèle ci-dessus.

A partir de ce formalisme, l'expression de l'écart de linéarité vient naturellement par :

$$\varepsilon_{NL} = S_{out} - (a_0 + a_1 S_{in}) = a_2 S_{in}^2 + a_3 S_{in}^3 + \dots + a_n S_{in}^n.$$

L'écart de linéarité (ε_{NL}) ainsi défini est donc une courbe centrée sur zéro. On va alors définir l'erreur de linéarité (NL) comme le pire cas normalisé à la pleine échelle de sortie. Cette erreur de linéarité est alors décrite par la relation : $NL = \frac{\max|\varepsilon_{NL}|}{FS(S_{out})}$. Une concession doit être faite

pour établir une relation entre l'erreur de linéarité (NL) et la grandeur d'entrée (S_{in}). Elle est basée sur l'hypothèse (vérifiée à posteriori) que la pleine échelle de sortie est très proche de la grandeur $a_1 * FS(S_{in})$: $FS(S_{out}) \cong a_1 \cdot FS(S_{in})$. Sous cette hypothèse on peut réécrire l'erreur

de linéarité : $NL = \frac{\max|\varepsilon_{NL}|}{a_1 \cdot FS(S_{in})} = \frac{\max|a_2 S_{in}^2 + a_3 S_{in}^3 + \dots|}{a_1 \cdot FS(S_{in})}$. Il est à remarquer qu'elle est

fonction des paramètres a_n (pour n non nul) et inversement proportionnelle à la pleine échelle d'entrée. Une relation s'établit donc entre le rapport signal à bruit et l'erreur de linéarité NL via la pleine échelle d'entrée $FS(S_{in})$. Rappelons que par définition une mémoire analogique doit présenter idéalement un gain unitaire. Par conséquent on cherchera à avoir un coefficient a_1 qui tend idéalement vers 1.

Si on se fixe comme objectif de limiter l'écart de linéarité (ε_{NL}) à un $\frac{1}{2}$ quantum, alors l'écart de linéarité maximal $\varepsilon_{NL-Max} = \frac{1}{2}$ quantum ; d'où il vient l'erreur de linéarité maximale NL_{Max} :

$$\varepsilon_{NL-Max} = \frac{FS}{2^{N+1}}$$

$$NL_{Max} = \frac{|\varepsilon_{NL-Max}|}{FS} = \frac{1}{2^{N+1}}$$

Une relation directe entre la résolution N du convertisseur et l'erreur de linéarité maximale NL_{max} est établie. Sachant que le rapport signal à bruit pour une référence sinusoïdale SNR s'exprime sous la forme : $SNR = \frac{3}{2} 2^{2N}$, alors une autre relation entre NL_{max} et le rapport signal à bruit SNR est donné par :

$$2^{2N} = \frac{2}{3} SNR = \left(\frac{1}{2NL_{max}} \right)^2.$$

Nous montrons dans l'annexe que cette limitation de l'écart de linéarité (ϵ_{NL}) impose une borne supérieure à P_{NL} de telle manière à ce que $P_{TOT} = P_{bq} + P_{NL} \approx P_{bq}$ donc que la relation SNR idéale reste justifiée.

Un autre avantage du développement polynomial est la simplicité de l'analyse des harmoniques. Soit $\hat{S}_{in} \sin(\omega t)$ le signal d'entrée, le signal de sortie est alors donné par la forme polynomiale :

$$: S_{out} = a_0 + a_1 [\hat{S}_{in} \sin(\omega t)] + a_2 [\hat{S}_{in} \sin(\omega t)]^2 + a_3 [\hat{S}_{in} \sin(\omega t)]^3 + \dots + a_n [\hat{S}_{in} \sin(\omega t)]^n.$$

Après développement limité à l'ordre 3 de cette équation, on trouve les expressions des amplitudes des divers harmoniques :

$$S_{out} = \left(a_0 + \frac{a_2 \hat{S}_{in}^2}{2} \right) + \left(a_1 \hat{S}_{in} + \frac{3a_3 \hat{S}_{in}^3}{4} \right) \sin(\omega t) + \frac{a_2 \hat{S}_{in}^2}{2} \sin(2\omega t) + \frac{a_3 \hat{S}_{in}^3}{4} \sin(3\omega t)$$

$$S_{out} = \hat{S}_0 + \hat{S}_1 \sin(\omega t) + \hat{S}_2 \sin(2\omega t) + \hat{S}_3 \sin(3\omega t)$$

On constate la modification du fondamental et l'apparition d'une puissance dans les raies spectrales. Cette puissance (appelée P_{NL}) peut être définie comme une puissance de perturbation par effet non-linéaire : $P_{NL} = \frac{\hat{S}_2^2}{2} + \frac{\hat{S}_3^2}{2} + \dots + \frac{\hat{S}_n^2}{2}$. On parle aussi couramment du Taux de Distorsion Harmonique (TDH) défini comme suit :

$$TDH = \sqrt{\frac{\frac{\hat{S}_2^2}{2} + \frac{\hat{S}_3^2}{2} + \dots + \frac{\hat{S}_n^2}{2}}{\frac{\hat{S}_1^2}{2}}} = \sqrt{\frac{\hat{S}_2^2 + \hat{S}_3^2 + \dots + \hat{S}_n^2}{\hat{S}_1^2}}.$$

En introduisant la grandeur FS (pleine échelle), on obtient $\hat{S}_{in} = \frac{FS(S_{in})}{2}$, qui permet alors une étude comparative entre les approches spectrales par FFT et les approches statiques avec l'écart de linéarité. Cette comparaison est développée en annexe 2. Le taux de distorsion harmonique TDH s'exprime alors par la relation :

$$TDH = \sqrt{\frac{\left(a_2 FS^2\right)^2 + \left(\frac{a_3}{2} FS^3\right)^2}{\left(2a_1 FS + \frac{3a_3}{8} FS^3\right)^2}}.$$

Nous rappelons que la non linéarité NL est exprimée par la relation $NL = \frac{\max|a_2 S_{in}^2 + a_3 S_{in}^3|}{a_1 FS}$

et que l'écart de linéarité est de la forme $\varepsilon_{NL} = a_2 S_{in}^2 + a_3 S_{in}^3$. Nous cherchons à savoir s'il existe une relation entre NL et TDH. La réponse est affirmative si l'on peut donner une expression de $\max(\varepsilon_{NL})$. Nous avons alors analysé en annexe 2 les polynômes caractérisant les non-linéarités de type saturation. En résumé, un polynôme caractéristique d'une saturation doit vérifier (pour un coefficient a_2 positif) la relation $a_1 > 2a_2 - 3a_3 > 0$ (equ. A). Les coefficients a_1 et a_3 doivent être de signes opposés. Or dans l'application d'une mémoire (fonction de copie), le coefficient a_1 est très proche de 1. Nous montrons alors que pour tout triplet (a_1, a_2, a_3) satisfaisant l'inégalité A, $\max(\varepsilon_{NL})$ est obtenu pour la borne inférieure. L'étude en annexe 1 est faite sur un polynôme avec une variable d'entrée centrée $S_{in} \in \left[-\frac{FS}{2}, +\frac{FS}{2}\right]$ donc $\max|\varepsilon_{NL}| = \left|poly\left(-\frac{FS}{2}\right)\right|$.

Afin d'obtenir un rapport signal sur bruit plus réaliste, on ajoute la puissance liée à la distorsion harmonique P_{NL} à la puissance de bruit de quantification. Le nouveau rapport entre la puissance du signal et la somme des puissances parasites est appelé le *SiNAD (Signal to Noise And Distorsion)* et s'exprime par : $SiNAD = \frac{P_{signal}}{P_{bruit} + P_{NL}}$.

C.4.2 Approche expérimentale

Les concepts de non-linéarité introduits ci-dessus existent sous leur forme expérimentale. Vérifions que les définitions convergent.

Dans un convertisseur A/N, on définit la non-linéarité intégrale (INL *Integral Non Linearity*) comme l'écart entre le signal de sortie d'un convertisseur et une droite de référence. Cette droite de référence n'étant jamais unique, chaque fabricant, ou testeur, se doit de définir cette droite de référence. Il existe dans la littérature technique deux droites classiques:

- la droite obtenue par régression linéaire par la méthode des moindres carrés (*Best Fit Reference Line*)
- la droite joignant les deux points extrêmes (*End Point Reference Line*). [Burr-Brown]

Notons que l'erreur de non-linéarité déterminée à partir de la deuxième méthode peut être deux fois plus importante que celle déterminée avec la méthode des moindres carrés. La non-linéarité de la plupart des systèmes instrumentaux est le plus souvent analysée en phase expérimentale par la première méthode qui donne les "meilleurs" résultats.

Malheureusement ces deux définitions ne permettront pas une comparaison directe des résultats de mesures avec les prédictions d'un modèle polynomial. Pour ce faire on optera lors des phases expérimentales pour l'approche polynomiale, à savoir :

- on commence par soustraire à l'ensemble des données de sortie la grandeur $S_{out}(0)$ correspondant au paramètre a_0
- on cherche la meilleure droite autour de l'origine pour évaluer le gain petit signal correspondant au paramètre a_1
- on reconstruit la droite de référence RL (*Reference Line*) à partir des paramètres a_0 et a_1
- finalement on relève les écarts entre la droite de référence et les données brutes.

De la dernière donnée ainsi reconstruite (écart de linéarité ε_{NL}), on extrait le maximum pour définir l'erreur de linéarité (NL).

Dans le cadre instrumental, un critère fondamental pour un convertisseur est l'obtention d'une relation d'entrée-sortie bijective ; c'est-à-dire que pour chaque grandeur d'entrée, il existe une seule grandeur de sortie et réciproquement. Il est facile de montrer mathématiquement que cela implique que la caractéristique de transfert soit monotone : dérivée de signe constant. Or afin de s'assurer de la monotonie du convertisseur, il a été démontré dans [VAN-94] qu'il suffit de maintenir l'erreur de non-linéarité intégrale (INL) inférieur à $\frac{1}{2}$ LSB (ou quantum) pour garantir la monotonie.

Pour que la non-linéarité introduite par l'échantillonneur/bloqueur reste négligeable devant celle du convertisseur analogique-numérique, nous nous fixons pour nos travaux comme objectif de limiter l'erreur de non-linéarité intégrale à moins d'un demi-quantum.

D SYNOPSIS DU TRAVAIL

Afin de mener à bien cette étude, nous avons articulé ce manuscrit de la manière ci-dessous :

Dans le **deuxième chapitre** nous abordons une analyse détaillée des cellules de mémorisation en mode tension en tant qu'échantillonneur-bloqueur.

Au travers de la description des phases de fonctionnement (écriture, stockage et lecture), nous étudions les imperfections d'une cellule de mémorisation, en particulier le phénomène d'injection de charges et l'influence du système de lecture.

Une revue des solutions de correction classiques de ces imperfections nous a permis d'en discuter les avantages et inconvénients dans le cas de ces mémoires analogiques optimisées.

Une première étude nous amène à distinguer deux types de structure, une structure amont et une structure aval.

La cellule en régime statique et dynamique est étudiée ce qui nous a permis d'évaluer le temps d'établissement, l'erreur d'établissement, l'erreur d'ouverture, les erreurs de non-linéarité et la puissance de bruit intrinsèque de la cellule.

Les erreurs de non-linéarité étant primordiales dans l'évaluation de la précision, nous avons développé à cette fin un modèle polynomial de la tension de sortie en fonction de la tension d'entrée du type $v_{out} = a_0 + a_1 v_{in} + a_2 v_{in}^2 + a_3 v_{in}^3$.

Finalement, ce modèle nous a conduit à une évaluation des compromis précision/vitesse, précision/surface, précision/puissance.

Sur le même canevas que le deuxième chapitre, le **troisième chapitre** décrit l'étude des cellules de mémorisation en mode courant en tant qu'échantillonneur-bloqueur.

L'exploitation du modèle nous permet d'évaluer une non-linéarité de l'ordre de 0,2% pour une surface de $15 \times 35 \mu\text{m}^2$ avec une capacité de mémorisation additionnelle de 0,6pf, un courant de polarisation de $300 \mu\text{A}$ et une fréquence d'échantillonnage de 40 MHz, ce qui correspond à un taux de distorsion harmonique THD de l'ordre de -52dB. Une telle non-linéarité s'inscrit dans une résolution courante de 8 à 9 bits.

Afin de vérifier une première fois, la validité des modèles développés dans les deux chapitres précédents, les résultats de simulation effectuée sous le simulateur ELDO d'ANACAD avec les paramètres d'une technologie $0,25 \mu\text{m}$ sont confrontés aux modèles dans le **quatrième chapitre**. Les résultats confirment les valeurs de non-linéarité prédites par les modèles tant en mode tension qu'en mode courant.

La conception d'un circuit prototype est présentée dans la suite de ce chapitre. Il inclut deux matrices de cellule, une en mode tension et une en mode courant avec des tailles d'interrupteurs (W/L variant de $0,35/0,25$ à $3/2 \mu\text{m}$) et de capacités de mémorisation différentes (de 0,2 pF à 0,8 pF) dans une technologie CMOS $0,25 \mu\text{m}$ du fondeur STMicroelectronics.

Dans un premier temps, nous décrivons le banc de test utilisé et le protocole de tests retenu écrit sous le logiciel HPVEE⁹.

L'analyse des résultats de mesures pour les deux types de cellule permet de confirmer une seconde fois les tendances prédites par les modèles théoriques développés précédemment.

⁹ HPVEE – logiciel de gestion des instruments d'acquisition de Hewlett-Packard.

**CHAPITRE II ANALYSE DE LA CELLULE DE MODE
TENSION**

A INTRODUCTION

La cellule de mémorisation de mode tension est la plus ancienne et la plus « naturelle » des cellules de mémorisation, un schéma simplifiée de cette cellule est donné sur la figure II-1. Son principe de fonctionnement est basé sur le stockage de charges dans une capacité de mémorisation. Deux interrupteurs sont nécessaires à la mémorisation et à la relecture de la charge. Nous noterons S_{ecr} l'interrupteur d'écriture et S_{lec} l'interrupteur de lecture.

Le séquençement des opérations est faite par deux signaux d'horloge. Durant la phase d'écriture l'interrupteur S_{ecr} est fermé et l'interrupteur S_{lec} est ouvert. Pendant la phase de restitution, l'interrupteur S_{lec} est fermé alors que l'interrupteur S_{ecr} est ouvert. Le temps t_{st} représente la durée de la phase de stockage, c'est à dire le temps pendant lequel la cellule sera isolée.

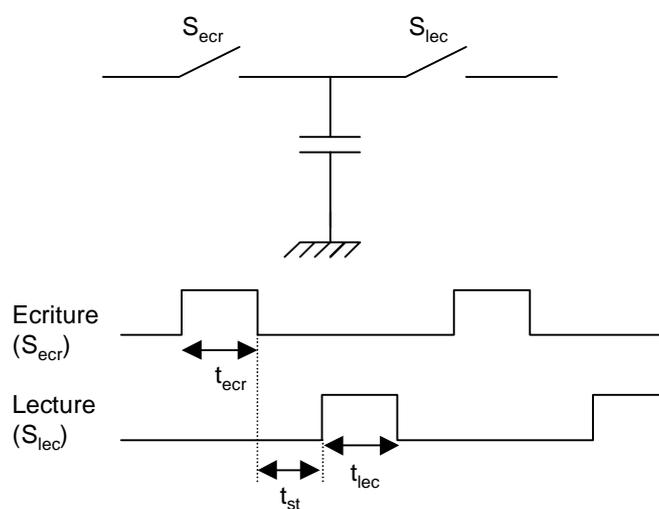


Figure II-1 Cellule de mémorisation simplifiée

Le système de lecture peut être conçu autour de deux principes :

- a) Récupérer la charge mémorisée et l'intégrer (lecture en charge)
- b) Copier la tension mémorisée (lecture en tension)

Le premier principe (a) est destructif c'est à dire que la cellule ne peut être lue qu'une seule fois. Quant au second principe (b), il est non-destructif. La donnée analogique mémorisée est copiée au travers d'un amplificateur à gain unitaire présentant une impédance d'entrée infinie. C'est ce type de lecture qui a été retenue dans notre analyse car elle est compatible avec les cellules en mode courant, nous permettant ainsi une comparaison des modes tension et courant.

La réalité est loin d'être idéale, et nous la détaillerons dans ce chapitre.

D'un point de vue technique, il existe deux configurations pour la réalisation d'une cellule en mode tension. Ces configurations sont définies par la place de la capacité par rapport à l'interrupteur d'écriture :

- interrupteur placé en **amont** de la capacité de stockage
- interrupteur placé en **aval** de la capacité de stockage

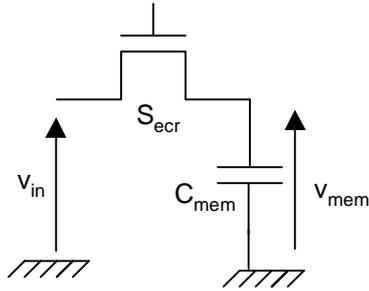


Figure II-2 : interrupteur placé en amont de la capacité de stockage

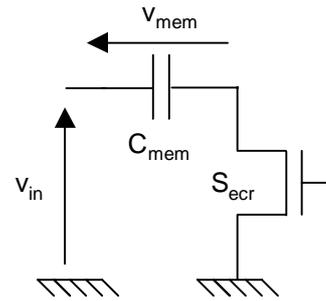


Figure II-3 : interrupteur placé en aval de la capacité de stockage

Dans la majorité des mémoires analogiques actuelles (mémorisation sans temps mort), il est nécessaire d'écrire et de lire simultanément dans deux cellules différentes. La structure en configuration amont est la plus adaptée à ce fonctionnement. Elle permet de séparer électriquement les dispositifs d'écriture et de lecture entre les phases de fonctionnement (écriture, lecture). Cette solution technique ne nécessitant que deux interrupteurs, elle permet de minimiser la surface (nombre de composants réduit) et de maximiser la vitesse (résistance série de l'interrupteur d'écriture). Cette structure est présentée sur la figure II-2

L'autre configuration possible pour les cellules mémoires en mode tension est la configuration aval présentée à la figure II-3.

Cette cellule a été introduite [HAL-94] afin de pallier les inconvénients de la cellule en configuration amont. Elle permet de s'affranchir de la dépendance des paramètres à la variable d'entrée v_{in} .

L'implémentation d'une telle cellule dans une mémoire analogique nécessite une configuration particulière d'interrupteurs afin de déconnecter la capacité du bus de lecture lors de la phase d'écriture et vice-versa. En effet une telle cellule ne permet pas d'obtenir une mémoire analogique dans laquelle il est possible de lire et d'écrire simultanément.

Nous focaliserons notre étude sur la structure en configuration amont.

De plus, un autre aspect caractéristique de ces cellules est à noter. Lors de la phase d'écriture, on ne peut pas déterminer la charge mémorisée précédemment. Donc deux cas peuvent se présenter :

- a) $v_{mem} > v_{in}$ la capacité se décharge
- b) $v_{in} > v_{mem}$ la capacité se charge

Dans le premier cas (a) la source de l'interrupteur est fixée du côté du signal d'entrée v_{in} alors que dans le second cas (b), la source du transistor d'écriture S_{ocr} se fixera du côté de la capacité de mémorisation C_{mem} (tension la plus « négative »).

Rappelons que la tension de seuil v_{th} de l'interrupteur dépend de la tension de substrat v_{bs} , donc de la tension d'entrée v_{in} . Ce phénomène est connu sous le nom d'effet de substrat (*body effect*). Le premier réflexe, afin de contourner cet effet, est de se tourner vers une technologie SOI¹⁰ dans laquelle la source peut être reliée au substrat ; or puisque l'on ne peut pas déterminer la source de l'interrupteur, on ne sait donc pas comment connecter le substrat ce

¹⁰ SOI – Substrat On Insulator – Substrat sur isolant

qui annihile le bénéfice introduit par une technologie SOI dans le cadre des mémoires analogiques.

Cet inconvénient est caractéristique de la cellule dans sa configuration amont, il est par ailleurs incontournable et néfaste en terme de précision.

Les principales limitations qui affectent une cellule de type amont (figure II-2) sont :

- La limitation de la plage dynamique en entrée
- La limitation due au temps d'acquisition fini
- La limitation en précision due aux injections
- La limitation due au bruit intrinsèque.

La limitation de la plage dynamique d'entrée est liée au seuil de conduction de l'interrupteur d'écriture ($v_{GS} \geq v_{th}$). En fonctionnement normal, la tension v_{mem} s'établit de façon à égaler la tension d'entrée v_{in} . Pour des valeurs élevées de v_{in} (tendant vers V_{DD}) la tension grille-source v_{GS} de l'interrupteur tend vers 0 bloquant ce dernier et empêchant la tension v_{mem} d'atteindre son asymptote, à savoir la tension v_{in} . Cette limitation est accentuée par l'effet de substrat.

La limitation en temps d'acquisition est conditionnée par la taille de l'interrupteur d'écriture. En partant de l'hypothèse que l'interrupteur fonctionne en régime ohmique (v_{mem} tend vers v_{in}), la capacité de mémorisation C_{mem} et la résistance série introduite par l'interrupteur d'écriture forment un système non linéaire du premier ordre. La précision sur la valeur mémorisée v_{mem} dépend donc du temps d'acquisition de la cellule.

Ces remarques nous amènent à distinguer un premier lien entre surface/précision et vitesse/précision.

Indépendamment des limitations dynamiques évoquées précédemment, la cellule est limitée en précision par les charges injectées par l'interrupteur d'écriture dans la capacité de mémorisation C_{mem} au moment de l'échantillonnage. De plus, dans une technologie à une couche de polysilicium, la capacité de mémorisation est non-linéaire limitant aussi la précision. De surcroît, un autre paramètre à prendre en compte est la capacité parasite du système de lecture qui altère la précision ; d'autant plus que sa valeur est élevée.

Comme dans chaque système électronique, il est important de déterminer la précision ultime limitée par le bruit intrinsèque des composants. En effet, aucune amélioration visant un niveau de résolution inférieur au niveau de bruit intrinsèque n'a de sens.

B ANALYSE DES PHASES DE FONCTIONNEMENT ET MISE EN ÉQUATIONS

Afin de faire l'analyse des phases de fonctionnement, nous supposons que les limitations dynamiques et statiques sont indépendantes. Les phases sont alors étudiées en régime purement statique c'est à dire pour des temps d'acquisition et de lecture infinis. La cas d'un temps d'acquisition fini est étudié au paragraphe C2 ; ces phases sont également étudiées dans la plage de fonctionnement de la cellule analysée au paragraphe C1.

Les phases de fonctionnements d'une cellule de mémorisation en mode tension sont :

- la phase d'écriture qui se décompose en deux « sous-phases » ou étapes que nous appellerons par commodité de langage phase :
 - ✓ phase d'acquisition
 - ✓ phase d'échantillonnage

- la phase de stockage
- la phase de lecture

B.1 Phase d'acquisition

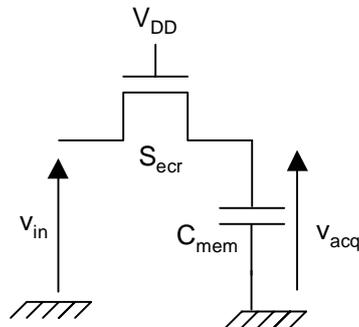


Figure II-4 : Cellule de mémorisation en phase d'acquisition

Lors de la phase d'acquisition l'interrupteur d'écriture S_{ecr} est fermé et relie le signal d'entrée v_{in} à la capacité de mémorisation C_{mem} . Lors de la phase d'acquisition, la tension v_{acq} aux bornes de la capacité de mémorisation s'établit de façon à égaler la tension d'entrée v_{in} :

$$v_{acq} = v_{in} \quad (\text{II-1})$$

Cette égalité ne sera obtenue qu'après un temps d'acquisition infini. L'influence d'un temps d'acquisition fini sera analysé dans le paragraphe C2.

Les technologies submicroniques actuelles ne sont pas dédiées aux applications analogiques. Elles ne bénéficient pas de double polysilicium permettant de fabriquer des capacités linéaires. La seule capacité disponible dans la technologie que nous avons utilisée est une capacité polysilicium/N-well qui est une capacité non-linéaire dont la valeur dépend de la tension appliquée à ses bornes, c'est à dire la tension d'entrée v_{in} . L'étude fine de la capacité de mémorisation dans une telle technologie est abordée dans le paragraphe C.3.2 et en annexe 6.

B.2 Phase d'échantillonnage

Une fois que la tension v_{acq} a atteint la valeur v_{in} à la fin de la phase d'acquisition, on isole la tension v_{acq} dans la capacité C_{mem} . Elle se veut une "copie" de la tension v_{in} . L'isolement est obtenu par l'ouverture de l'interrupteur d'écriture S_{ecr} .

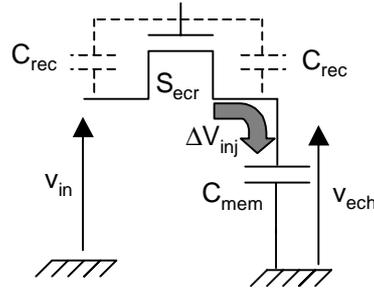


Figure II-5 : Cellule de mémorisation en phase d'échantillonnage

Néanmoins cette opération n'est pas sans effet. L'ouverture de l'interrupteur S_{ecr} induit une tension d'erreur Δv_{inj} aux bornes de la capacité C_{mem} due aux injections de charges. La tension résultante aux bornes de la capacité de mémorisation C_{mem} sera à cet instant :

$$v_{ech} = v_{acq} + \Delta v_{inj} = v_{in} + \Delta v_{inj} \quad (\text{II-2})$$

L'étude des injections de charges est effectuée dans le paragraphe C.3.1.

B.3 Phase de stockage

Cette phase est consécutive à la phase d'échantillonnage. La capacité de mémorisation est maintenant isolée électriquement. Le seul phénomène qui peut induire une modification sur la tension aux bornes de la capacité est l'existence d'un courant de fuite qui peut décharger la capacité de mémorisation C_{mem} . Ce courant de fuite conditionne le temps de rétention de la cellule mais ce point ne sera pas abordé dans la suite du document. Nous noterons v_{st} la tension mémorisée aux bornes de la capacité de mémorisation à la fin de la phase de stockage :

$$v_{st} = v_{in} + \Delta v_{inj} + i_f \frac{t_{st}}{C_{mem}} \quad (\text{II-3})$$

Les courants de fuites impliquent un temps de stockage maximum dans la cellule, ce qui conditionne la fréquence de fonctionnement minimal du système de lecture.

En première approximation, en supposant que les courants de fuite sont négligeables, on a :

$$v_{st} \approx v_{in} + \Delta v_{inj} = v_{ech} \quad (\text{II-4})$$

Cette simplification sous-entend la non prise en compte des problèmes d'irradiations.

B.4 Phase de lecture

Le passage de la phase de stockage à la phase de lecture se fait par la fermeture de l'interrupteur de lecture S_{lec} qui permet de relier la cellule de mémorisation au système de lecture (figure II-6).

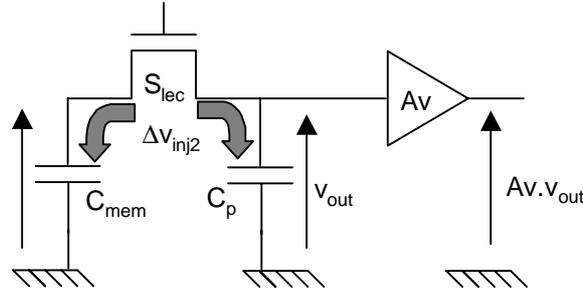


Figure II-6 : Cellule de mémorisation en phase de lecture

Dans cette phase, la capacité parasite C_p représente la somme de plusieurs capacités : la capacité d'entrée du système de lecture (amplificateur), la capacité parasite de piste et les capacités parasites de l'interrupteur de lecture. L'expression de la tension v_{out} résulte de la condition de conservation des charges dans un système isolé.

La charge Q_{mem} dans la capacité de mémorisation au début de la phase de lecture est conditionnée par l'équilibre obtenu en phase de stockage. Elle est donnée par la relation :

$$Q_{mem} = C_{mem} \cdot v_{ech}$$

La charge totale Q_{tot} lors de la phase de lecture est donnée par la relation :

$$Q_{tot} = Q_{mem} + Q_0 + \Delta V_{inj2} (C_{mem} + C_p) \quad (II-5)$$

où Δv_{inj2} est l'erreur due aux injections de charges lors de la fermeture de l'interrupteur de lecture S_{lec} et Q_0 est la charge résiduelle dans la capacité parasite : $Q_0 = v_{out0} C_p$ où v_{out0} est la tension résiduelle dans la capacité parasite C_p . Après fermeture de l'interrupteur de lecture, il vient donc :

$Q_{tot} = v_{out} (C_{mem} + C_p) = C_{mem} v_{ech} + v_{out0} C_p + \Delta V_{inj2} (C_{mem} + C_p)$
 et finalement la tension de sortie v_{out} due au partage de charge entre la capacité parasite et la capacité de mémorisation est donnée par :

$$v_{out} = \frac{C_{mem}}{C_{mem} + C_p} v_{ech} + \frac{C_p}{C_{mem} + C_p} v_{out0} + \Delta v_{inj2} \quad (II-6)$$

B.5 Résumé

Dans ce paragraphe, nous avons détaillé les différentes phases de fonctionnement de la cellule en y introduisant les erreurs introduites lors de ces phases, ce qui nous a amené à une relation de la tension de sortie v_{out} en fonction de la tension d'entrée v_{in} :

$$v_{out} = \frac{C_{mem}}{C_{mem} + C_p} (v_{in} + \Delta v_{inj}) + \frac{C_p}{C_{mem} + C_p} v_{out0} + \Delta v_{inj2}$$

On peut annuler la tension résiduelle v_{out0} en intégrant un interrupteur de remise à zéro en parallèle de la capacité parasite C_p . Cette remise à zéro sera effectuée avant la phase de

lecture. Par ailleurs, nous négligeons également l'injection de charges due à la fermeture de l'interrupteur de lecture.

Finalement, la tension v_{out} est donnée par :

$$v_{out} = \frac{C_{mem}}{C_{mem} + C_p} (v_{in} + \Delta v_{inj}) \quad (\text{II-7})$$

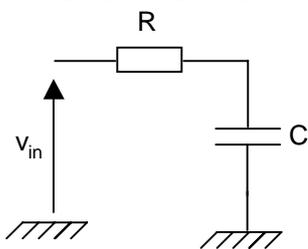
Cette équation paraît très simple de prime abord. Dans un premier temps nous étudierons les limites de fonctionnement statique et dynamique d'une cellule de mémorisation de mode tension. En second lieu, nous étudierons le phénomène non-linéaire d'injections de charges représenté par le terme Δv_{inj} , ainsi que le comportement non-linéaire de la capacité de mémorisation C_{mem} . C'est pourquoi, nous développerons un modèle complet intégrant l'ensemble des erreurs statiques non-linéaires et décrivant la relation $v_{out}=f(v_{in})$.

C LIMITES DE FONCTIONNEMENT

Comme nous l'avons annoncé au début de ce chapitre, nous allons détailler dans ce paragraphe, les limitations d'une cellule de mode tension en configuration amont. L'objectif étant d'analyser les divers aspects limitant la précision d'une telle cellule.

C.1 La pleine échelle d'entrée en régime statique

Représentation d'une cellule idéale de mode tension



Une cellule idéale de mode tension peut être modélisée comme une simple résistance (l'interrupteur) en série avec un condensateur, constituant ainsi un système du premier ordre totalement linéaire. C'est à dire que la constante de temps égale à RC est une constante, ce qui conduit à un temps d'établissement indépendant de la tension d'entrée v_{in} . La valeur de la résistance R doit être faible afin de minimiser la constante de temps. L'optima est d'obtenir un temps d'acquisition égal au temps d'établissement. Une

telle cellule permet de mémoriser la pleine échelle du signal d'entrée (de 0 volt à la tension d'alimentation V_{DD}).

Or le seul moyen de fabriquer un interrupteur dans un circuit intégré est d'utiliser un transistor mosfet, qui présente une résistance dont la valeur dépend de la tension v_{in} .

Intéressons-nous au fonctionnement d'un transistor NMOS afin de déterminer la limite maximale sur la tension d'entrée v_{in} assurant au transistor un régime de fonctionnement ohmique. La détermination de cette limite conduira à définir la plage dynamique de l'entrée, c'est à dire la pleine échelle de la tension d'entrée pour laquelle la tension mémorisée peut égaler la tension d'entrée.

C.1.1 Transistor en régime ohmique

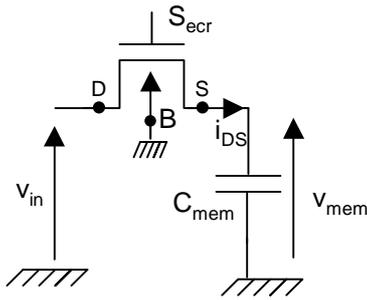


Figure II-7 : mode passant ($v_{in} > v_{mem}$)

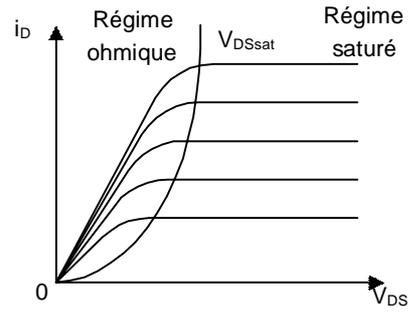


Figure II-8 : caractéristique de fonctionnement d'un transistor NMOS

Lors de la phase d'acquisition, on veut éгалer les tensions v_{in} et v_{mem} . Cette égalisation conduit à deux cas de figure :

- charge de la capacité C_{mem} si $v_{in} > v_{mem0}$
- décharge de la capacité C_{mem} si $v_{in} < v_{mem0}$

où v_{mem0} est la tension existante au début de la phase d'acquisition. C'est la tension résiduelle due à une acquisition précédente. Elle constitue une condition initiale pour la phase d'acquisition.

C.1.1.1 Premier cas : $v_{in} > v_{mem}$

Dans ce cas, le condensateur se charge à travers le transistor. Le courant i_{DS} circule du nœud d'entrée vers la capacité C_{mem} fixant la source du transistor côté capacité (Figure II-7) ; il en résulte $v_{DS} = v_{in} - v_{mem}$. Le transistor fonctionnera en régime ohmique si sa tension drain-source v_{DS} est inférieure à la tension de saturation v_{DSsat} (Figure II-8)

$$0 < v_{DS} < v_{DSsat} = v_{GS} - v_{th} \tag{II-8}$$

où v_{th} est la tension de seuil effective de l'interrupteur d'écriture :

$$v_{th} = V_{T0} + \gamma \left(\sqrt{\Phi - v_{BS}} - \sqrt{\Phi} \right) = V_{T0} + \gamma \left(\sqrt{\Phi + v_{mem}} - \sqrt{\Phi} \right) \tag{II-9}$$

v_{BS} est la tension substrat-source donc $v_{BS} = v_B - v_{mem} = v_{mem}$ (figure II-7). Dans ce régime de fonctionnement (phase d'acquisition) la grille de l'interrupteur est au potentiel V_{DD} représentant le « 1 » logique. Finalement, la condition qui assure le fonctionnement en régime ohmique est donnée par :

$$(v_{DS} = v_{in} - v_{mem}) < V_{DD} - v_{mem} - v_{th}$$

soit après simplification :

$$\boxed{v_{in} < V_M = V_{DD} - v_{th}} \tag{II-10}$$

Pour toute tension d'entrée v_{in} supérieure à cette valeur limite V_M , le transistor quittera le régime ohmique.

C.1.1.2 Second cas : $v_{in} < v_{mem}$

Dans ce cas le courant i_{DS} circule de la capacité vers le générateur d'entrée v_{in} . La capacité se décharge imposant donc le drain côté capacité et par suite la source au nœud d'entrée (figure II-9). Les tensions v_{DS} et v_{GS} sont données par :

$$v_{DS} = v_{mem} - v_{in}$$

$$v_{GS} = V_{DD} - v_{in}$$

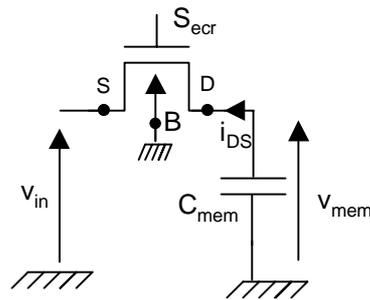


Figure II-9 : mode passant ($v_{in} < v_{mem}$)

Le transistor fonctionne en régime ohmique si $v_{DS} < v_{DSsat}$ ce qui se traduit par :

$$v_{mem} - v_{in} < v_{GS} - v_{th} = V_{DD} - v_{in} - v_{th}$$

soit après simplification :

$$v_{mem} < V_{DD} - v_{th}.$$

Or dans ce second cas $v_{in} < v_{mem}$ cela conduit à la condition suivante :

$$\boxed{v_{in} < V_{DD} - v_{th} = V_M}$$

On peut donc remarquer que ce cas est parfaitement identique au premier. Par conséquent, quel que soit le cas de figure envisagé, **le transistor d'écriture S_{ocr} ne fonctionne en régime ohmique que pour des tensions d'entrée** $\boxed{v_{in} < V_M}$

C.1.2 Blocage du transistor

Pour des tensions d'entrée v_{in} supérieures à V_M , le transistor ne fonctionne plus en régime ohmique. On peut supposer qu'il passe en régime saturé. La tension v_{mem} peut alors encore tendre vers v_{in} , mais plus lentement. Cette situation pourra exister jusqu'à ce que la tension v_{GS} du transistor atteigne la tension de seuil v_{th} produisant un blocage de l'interrupteur, c'est à dire que $v_{GS} = v_{th}$ soit encore que $V_{DD} - v_{mem} = v_{th}$.

La condition de blocage du transistor devient donc :

$$v_{mem} = V_{DD} - v_{th} = V_M$$

Il devient clair maintenant que même avec un temps d'acquisition infini, la tension v_{mem} aux bornes de la capacité C_{mem} , ne peut pas dépasser la valeur $V_M = V_{DD} - v_{th}$.

C.1.3 Conclusion sur le régime du transistor

Les deux cas étudiés précédemment montrent qu'il existe une limitation de la plage dynamique d'entrée sur le cellule de mémorisation.

Le transistor ne peut fonctionner que dans deux régimes :

- Régime ohmique entraînant pour un temps d'acquisition infini l'égalité $v_{in} = v_{mem}$.
- Régime bloqué interdisant l'égalisation des deux grandeurs.

Il en découle une limitation de la pleine échelle du signal d'entrée à $v_{in} \in [0, V_M]$, plage dynamique dans laquelle le transistor est toujours en régime ohmique. Par définition il vient alors $FS = V_M$.

Cette situation est clairement décrite dans la caractéristique ci-dessous.

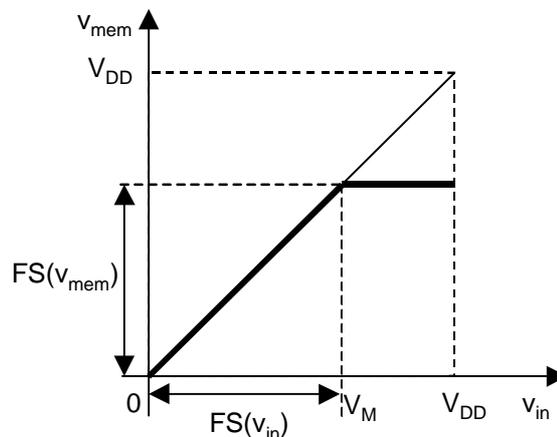


Figure II-10 : caractéristique statique obtenue avec une durée d'acquisition infinie

Dans le cadre de l'utilisation de la technologie HCMOS7 de STMicroelectronics, la tension d'alimentation utilisée est $V_{DD} = 2,5V$. Compte tenu de l'effet de substrat sur l'interrupteur NMOS, la tension maximale admissible en entrée est égale à $V_M = 1,8V$. Ce sont ces valeurs que nous utiliserons dans la suite du manuscrit lors des applications numériques.

C.2 Régime dynamique

Une fois, la pleine échelle de la tension d'entrée établie, nous étudions dans la suite, la limitation introduite en régime dynamique par la cellule. Cette étude permet de définir les erreurs dynamiques ε_{set} et ε_{ap} . On pourra également définir une « pseudo constante de temps », la « pseudo bande passante » et l'instant effectif d'échantillonnage.

C.2.1 Temps d'acquisition infini dans un système non-linéaire

Afin de déterminer la pseudo constante de temps et la pseudo bande passante d'une cellule de type échantillonneur-bloqueur, nous cherchons dans un premier temps l'évolution temporelle de la tension v_{mem} aux bornes de la capacité de mémorisation C_{mem} .

Nous avons démontré que si $v_{in} < V_M$, le transistor se comporte comme une résistance ; d'où le schéma équivalent suivant (figure II-11) de la cellule en phase d'acquisition:

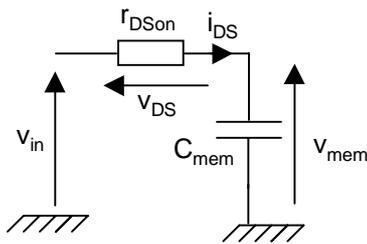


Figure II-11: cellule en phase d'acquisition du signal

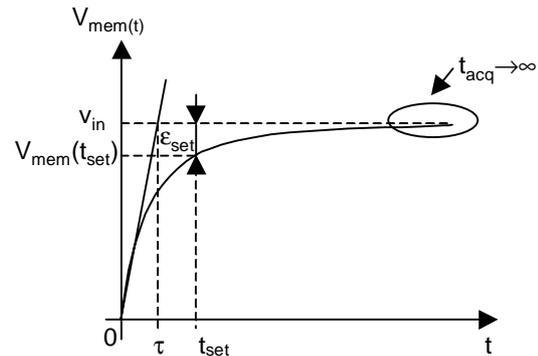


Figure II-12 : définition du temps d'établissement

Dans ce mode de fonctionnement, le courant drain-source i_{DS} est de la forme :

$$i_{ds} = \beta \left[(v_{GS} - v_{th}) v_{DS} - \frac{v_{DS}^2}{2} \right] v_{DS} \text{ avec la convention des figures II-7 et II-11.}$$

Nous traitons ici le premier cas de l'étude précédente, à savoir le cas où $v_{in} > v_{mem}$. Il vient alors d'après la figure II-11 :

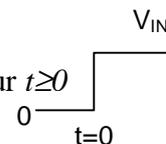
$$i_{DS} = C_{mem} \frac{dv_{mem}}{dt} > 0 \text{ pour } v_{in} \geq v_{mem}(t) \quad \forall t \geq 0 \quad (\text{II-11})$$

☞ Remarque :

Traiter le second cas ($v_{in} < v_{mem}$) fait apparaître une tension v_{GS} constante et maximale, donc la constante de temps de la cellule est minimale. C'est la cas le plus rapide. Puisque nous cherchons le pire cas (à savoir $v_{in} > v_{mem}$) nous excluons le second cas.

Rappelons brièvement les hypothèses de travail et les conditions initiales avant de résoudre l'équation (II-11) :

- $v_{mem}(t=0) = 0$: pire cas de figure
- $v_{in} > v_{mem}$: cas particulier de notre étude
- $v_{in} < V_M$: limite de la plage dynamique
- $v_{in}(t)$ est un échelon (heavyside) d'amplitude v_{in} constante pour $t \geq 0$



Par ailleurs, on peut définir la résistance r_{DSon} du transistor en régime ohmique par la relation suivante :

$$r_{DSon} = \frac{1}{\frac{\partial i_{DS}}{\partial v_{DS}}} = \frac{1}{\frac{\beta}{2} [2(v_{GS} - v_{th}) - 2v_{DS}]} = \frac{1}{\beta(V_M - v_{in})} \quad (\text{II-12})$$

On définit la pseudo constante de temps τ par la relation :

$$\tau(v_{in}) = r_{DSon} \cdot C_{mem} = \frac{C_{mem}}{\beta(V_M - v_{in})} \quad (\text{II-13})$$

On parle de pseudo constante de temps car elle est fonction du signal d'entrée v_{in} . Nous sommes ici hors du cadre des définitions classiques des systèmes linéaires invariants.

De plus, on rappelle que dans une technologie submicronique le paramètre β est de la forme :

$$\beta = f(v_{in}) \approx \frac{\beta_0}{1 + \theta(V_M - v_{in})}$$

où θ est le paramètre de réduction de la mobilité due au champ transverse généré par la grille du transistor et β_0 le facteur de gain du transistor exprimée pour une valeur de mobilité des porteurs μ_0 maximale $\left(\beta_0 = \mu_0 C_{ox} \frac{W}{L} \right)$.

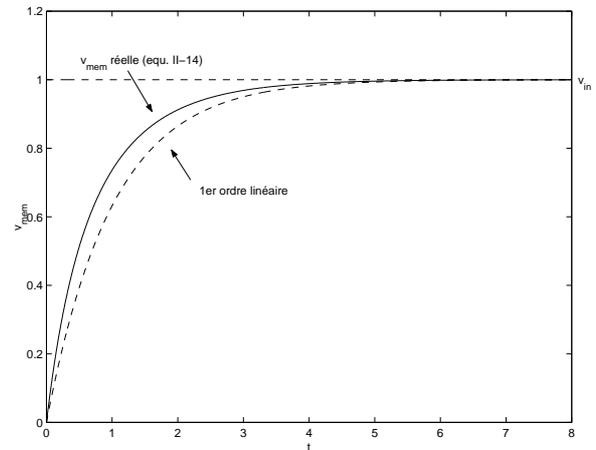
La résolution de l'équation différentielle ci-dessous est donnée en annexe 7 :

$$C_{mem} \frac{dv_{mem}}{dt} - \beta \left[(v_{GS} - v_{th}) - \frac{v_{DS}}{2} \right] v_{DS} = 0.$$

Sa résolution permet d'obtenir l'expression de $v_{mem}(t)$ paramétrée en v_{in} :

$$v_{mem}(t, v_{in}) = v_{in} \frac{(2V_M - v_{in}) \cdot \left(1 - e^{-\frac{t}{\tau}} \right)}{v_{in} - (2V_M - v_{in}) e^{-\frac{t}{\tau}}} \quad (\text{II-14})$$

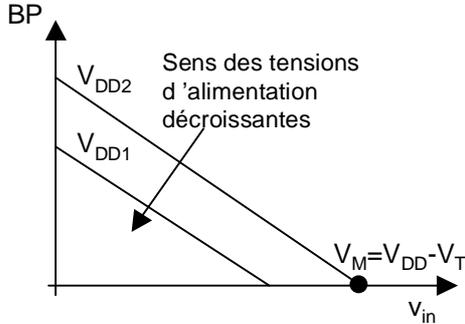
La figure ci-contre représente la tension $v_{mem}(t)$ de l'équation II-14 comparée à un système linéaire du premier ordre pour une constante de temps $\tau = 1ns$ et une tension d'entrée $v_{in} = 1V$.



On définit désormais la pseudo bande passante BP comme égale à l'intervalle $[0, f_c]$ où f_c est la pseudo fréquence de coupure de la cellule ; son expression est alors donnée par :

$$BP(v_{in}) = f_c = \frac{1}{2\pi\tau} = \frac{\beta(V_M - v_{in})}{2\pi C_{mem}} \quad (\text{II-15})$$

Nous pouvons faire quelques commentaires à propos de la pseudo bande passante. Nous rappelons tout d'abord que la pseudo bande passante est ici exprimée pour un temps d'acquisition t_{acq} infini.



En second lieu, la bande passante la plus importante est obtenue pour des tensions d'alimentation élevées, ce qui implique dans des circuits mixtes de choisir les tensions d'alimentation analogiques maximales acceptées par la technologie (dans notre cas $V_{alimAnalog} = V_{alimDigital} = V_{Maxtechno}$). Si la taille minimale des technologies diminue, alors les tensions d'alimentation diminuent, ce qui implique une diminution de la bande passante.

Troisièmement, la bande passante est inversement proportionnelle à l'amplitude des signaux d'entrée, ceci impose un compromis avec le rapport signal à bruit c'est à dire un compromis **vitesse/précision**.

C.2.2 Temps d'acquisition fini dans un système non-linéaire

Dans le paragraphe précédent, nous avons déterminé la pseudo constante de temps pour un temps d'acquisition **infini**. Dans ce cas la situation asymptotique $v_{mem} = v_{in}$ est donc toujours atteinte avec la restriction $v_{in} < V_M$. Si on limite le temps d'établissement, à une valeur **finie** t_{set} , on atteindra une valeur finale $v_{mem}(t_{set}) < v_{in}$. Il en résulte donc une erreur d'établissement \mathcal{E}_{set} [chapitre I] définie comme suit (avec l'hypothèse $v_{in} > v_{mem}$) :

$$\mathcal{E}_{set} = v_{in} - v_{mem}(t_{set}, v_{in}) \quad (\text{II-16})$$

Deux analyses peuvent être menées dans ce cas :

- ✓ Soit l'étude du temps d'acquisition optimum pour une erreur donnée,
- ✓ Soit l'étude de l'erreur introduite pour un temps d'acquisition donné.

Dans le premier cas, le temps d'établissement t_{set} est défini comme le temps nécessaire pour atteindre la valeur finale avec une précision \mathcal{E}_{set} donnée. Dans notre application, le temps d'établissement, comme la constante de temps, n'est pas une constante mais dépend de la tension d'entrée v_{in} .

Si l'on fixe l'erreur d'établissement \mathcal{E}_{set} , alors on pose par définition $v_{mem}(t_{set}, v_{in}) = v_{in} - \mathcal{E}_{set}$. En introduisant cette grandeur dans l'équation II-14, on exprime v_{mem} par la relation suivante :

$$v_{mem}(t_{set}, v_{in}) = v_{in} - \mathcal{E}_{set} = v_{in} \frac{(2V_M - v_{in}) \cdot \left(1 - e^{-\frac{t_{set}}{\tau}}\right)}{v_{in} - (2V_M - v_{in}) e^{-\frac{t_{set}}{\tau}}}$$

Cette relation n'est définie que pour $v_{mem} \geq 0$ c'est à dire pour v_{in} appartenant à l'intervalle $[\varepsilon_{set}, V_M]$. Sous cette restriction, l'inversion de cette équation permet alors d'exprimer le temps d'établissement t_{set} nécessaire pour atteindre cette valeur finale $v_{mem}(t_{set}, v_{in}) = v_{in} - \varepsilon_{set}$:

$$t_{set} = \tau \ln v_{in} \left[\frac{\varepsilon_{set} + 2(V_M - v_{in})}{(2V_M - v_{in})\varepsilon_{set}} \right] \quad (II-17)$$

La grandeur t_{set} est une variable libre. Seule sa valeur maximale $t_{set,max}$ dépend de la précision souhaitée ε_{set} et de la tension d'entrée v_{in} . Sur la figure II-13, nous représentons le temps d'établissement maximum $t_{set,max}$ en fonction du signal d'entrée v_{in} pour deux valeurs de ε_{set} : ε_1 et ε_2 avec $\varepsilon_2 > \varepsilon_1$. On constate que lorsque la précision souhaitée est faible (ε_2), le temps d'établissement maximum $t_{set,max}$ est inférieur à ce qu'il serait pour une précision plus élevée (ε_1).

Remarque :

Notons que la borne inférieure ε_{set} est sans fondement physique. C'est un cas particulier mathématique car lorsqu'on pose $v_{mem} = v_{in} - \varepsilon_{set}$, on suppose que l'erreur d'établissement ε_{set} est maximale, donc constante.

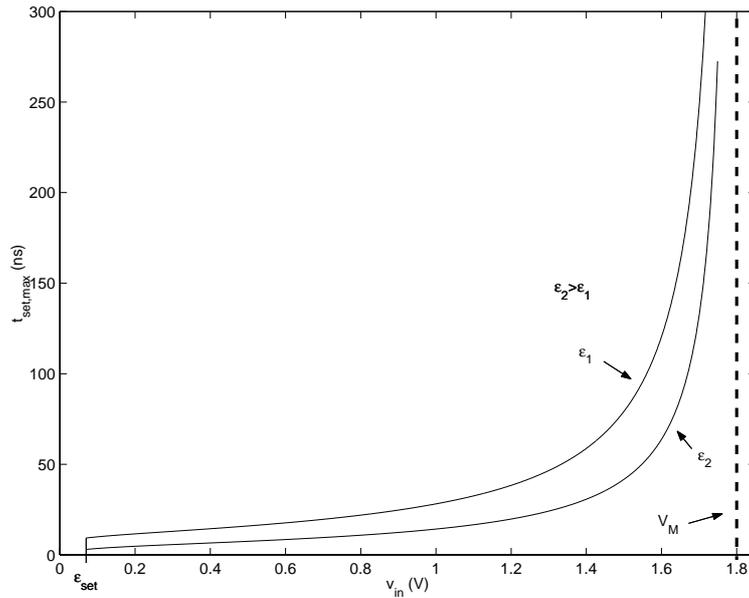


Figure II-13 : $t_{set,max}$ en fonction de v_{in} pour différentes valeurs de ε_{set}

Dans la suite du paragraphe, nous verrons les limitations introduites lorsque nous fixons le temps d'acquisition t_{acq} . Dans ce cas, le temps d'établissement $t_{set,max}$ est égal au temps d'acquisition ($t_{set} = t_{acq}$).

La figure II-14 représente les limitations en plage dynamique introduites lors de la limitation du temps d'établissement à t_{acq} . La tension d'entrée v_{in} est donc restreinte à l'intervalle $[\varepsilon_{set}, V_M']$.

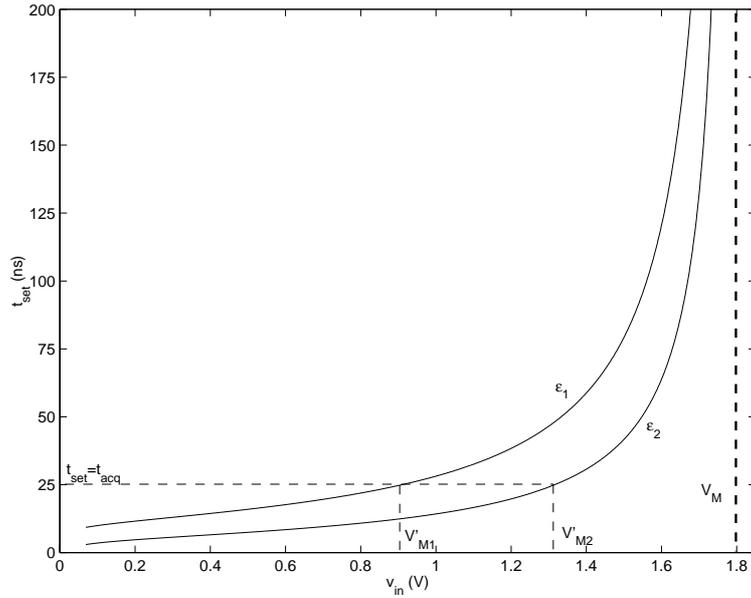


Figure II-14 : limitations introduites lorsque $t_{set}=t_{acq}$

La figure a été tracée avec les mêmes valeurs de ϵ_{set} que la figure II-13. Plus la précision souhaitée est élevée, plus faible est la dynamique d'entrée maximale V'_M .

Selon l'objectif de vitesse que l'on souhaite atteindre, il est important de connaître l'erreur résultante d'un choix du temps d'acquisition fixé. L'équation ci-dessous représente l'erreur d'établissement ϵ_{set} en fonction du temps d'acquisition t_{acq} :

$$\epsilon_{set}(t_{acq}, v_{in}) = v_{in} \cdot \frac{2(V_M - v_{in})}{(2V_M - v_{in})e^{\frac{t_{acq}}{\tau}} - v_{in}} \quad (\text{II-18})$$

L'objectif lors de la conception d'une mémoire est de limiter l'erreur d'établissement ϵ_{set} (relation II-18) à un quart de quantum, cette inégalité est représentée par la relation ci-dessous :

$$\epsilon_{set} \leq \frac{q}{4} = \frac{FS}{4.2^N} = \frac{V'_M}{2^{N+2}}$$

Sur la figure II-15, le nombre de bits effectif ENOB est représenté en fonction du signal d'entrée v_{in} . La courbe a été tracée pour un temps d'acquisition fini égal à 25ns, on constate que selon la résolution souhaitée, la plage dynamique en entrée diminue avec l'augmentation de la résolution.

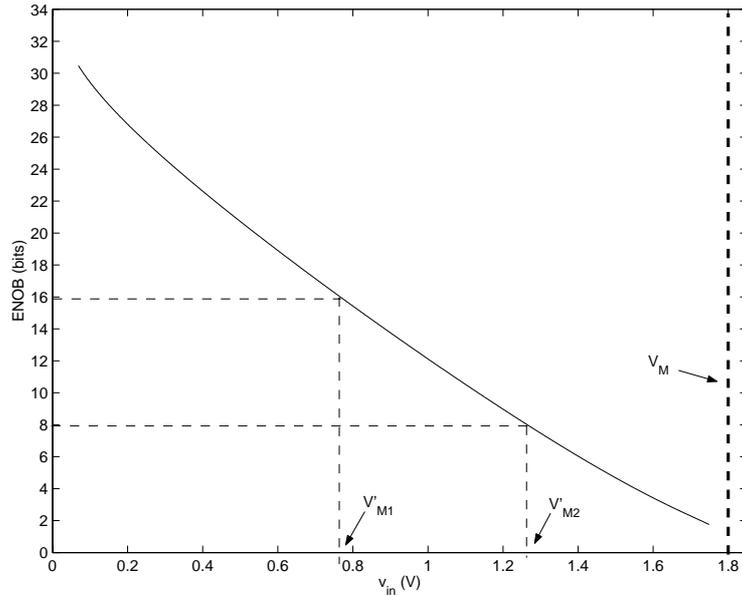


Figure II-15 : résolution en nombre de bits en fonction de v_{in} pour un temps d'acquisition fini

Prenons l'exemple d'un convertisseur analogique-numérique 8 bits. La précision est donc fixée et figée à 8 bits. Il faut donc accepter de travailler avec une plage dynamique d'entrée limitée à V'_M . Si on accepte une réduction supplémentaire de la plage dynamique, la précision augmente. Par contre au-delà de V'_M , on a une perte de la résolution réelle.

Afin d'exprimer la fréquence de coupure de la cellule, on conserve $\varepsilon_{set} > 0$ et on ne considère que des valeurs de v_{in} dans l'intervalle $[\varepsilon_{set}, V'_M]$. En reprenant l'expression de la pseudo constante de temps τ déterminée dans le paragraphe précédent :

$\tau \frac{C_{mem}}{\beta(V'_M - v_{in})}$, on en déduit alors la fréquence de coupure f_c qui est une fonction de v_{in} :

$$f_c = \frac{1}{2\pi\tau} = \frac{\beta(V'_M - v_{in})}{2\pi C_{mem}}$$

Puisqu'il y a une perte de dynamique, nous réintroduisons l'erreur d'établissement ε_{set} et en limitant la tension d'entrée v_{in} à l'intervalle $[\varepsilon_{set}, V'_M]$ (cf. figure II-14). On en déduit alors une fréquence de coupure minimale f_{cm} et une fréquence de coupure maximale f_{cM} données respectivement par les relations :

$$f_{cm} = \frac{\beta\varepsilon_{set}}{2\pi C_{mem}} \text{ et } f_{cM} = \frac{\beta V'_M}{2\pi C_{mem}}$$

On a alors l'expression de la bande passante BP en fonction de la tension d'entrée v_{in} comprise dans l'intervalle $[f_{cm}, f_{cM}]$.

Dans un système d'acquisition, il existe une fréquence maximale dite limite de Shannon qui est égale à la moitié de la fréquence d'échantillonnage $F_{acq}/2$. Fréquence en dessous de laquelle le système d'acquisition devient très lent et la bande passante de la cellule est limitée

par la fréquence $F_{acq}/2$. Pour une fréquence de coupure maximale $f_{cM} > F_{acq}/2$, le système nécessite l'utilisation d'un filtre anti-repliement.

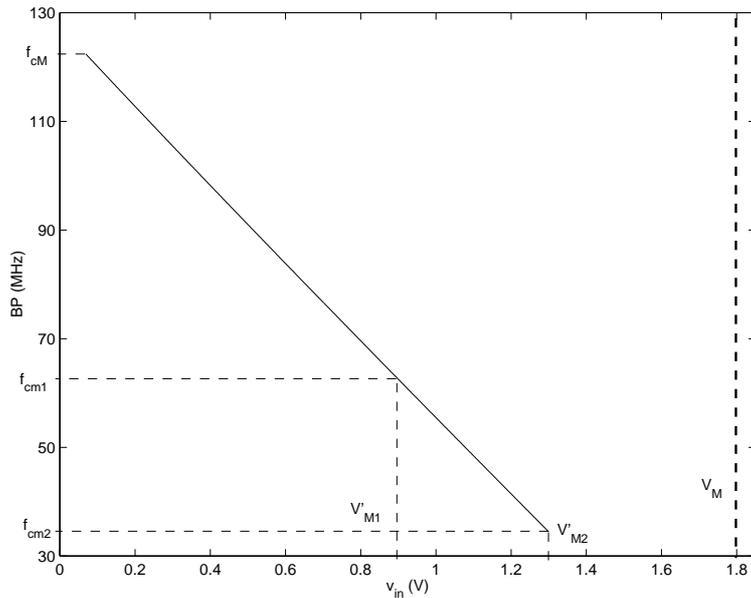


Figure II-16 : fréquence de coupure f_c en fonction de v_{in}

La précision dynamique de la cellule est conditionnée par le rapport t_{acq}/τ :

- Si $t_{acq} \gg \tau$ (cas d'un temps d'acquisition infini), la bande passante n'est pas limitée par le temps d'acquisition t_{acq} .
- Dans le cas contraire, la bande passante est également influencée par t_{acq} ce qui définit une bande passante équivalente.

Le tableau ci-dessous résume le comportement dynamique de la cellule de mémorisation de mode tension :

		BP
précis	$t_{acq} \gg \tau$	Pseudo bande passante (équation II-15) : $f_{cM} = \frac{\beta V'_M}{2\pi C_{mem}}$
peu précis	$t_{acq} \cong \tau$	Bande passante équivalente limitée par le théorème de Shannon : $BP_{equ} < f_{acq}/2$

Nous avons vu qu'ils existent deux cas lors du régime dynamique. Dans les deux cas, la précision est limitée par la résolution du CAN qui suit.

Dans le cas où $t_{acq} \gg \tau$, compte tenu de la bande passante « élevée », une nouvelle erreur va prendre de l'importance : c'est l'erreur d'ouverture qui a été décrite dans le chapitre I et que nous développons dans le paragraphe suivant.

C.2.3 Instant effectif d'échantillonnage

L'objectif de ce paragraphe est double :

- Introduire le retard à l'ouverture t_{ON}
- Évaluer l'erreur d'ouverture ϵ_{ap} .

Nous montrerons d'abord que l'instant effectif d'échantillonnage t_E est différent d'une part de l'instant idéal d'échantillonnage t_I et d'autre part fonction du signal d'entrée.

En supposant que les différentes erreurs déjà présentées sont indépendantes, nous pouvons accepter que pour notre étude l'erreur relative d'établissement soit nulle, ce qui nous conduit à admettre que $v_{mem} \cong v_{in}$. Par suite on aura $v_{GS} = v_G - v_{in}$.

Dans le séquençement d'une cellule, on a montré dans le chapitre I qu'après la phase d'acquisition il y avait une phase d'échantillonnage. Lors de cette phase, le transistor passe du mode passant au mode bloqué dont on rappelle ici les conditions :

- PASSANT : $v_{GS} > v_{th} \Leftrightarrow v_G > v_{in} + v_{th}$
- BLOQUE : $v_{GS} < v_{th} \Leftrightarrow v_G < v_{in} + v_{th}$

Le signal de commande de la grille V_G change donc au-delà de l'instant t_I .

Nous nous attachons à l'étude de la cellule de mémorisation par rapport à l'évolution de la tension de grille V_G du transistor au cours du temps.

La figure ci-dessous résume la situation

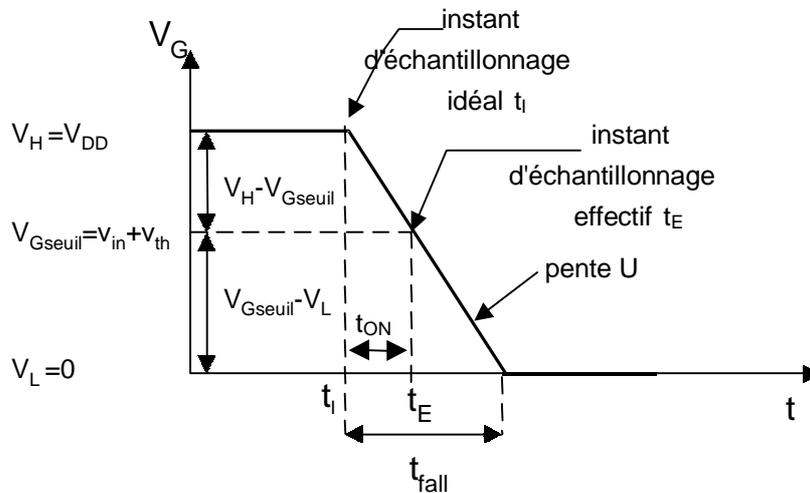
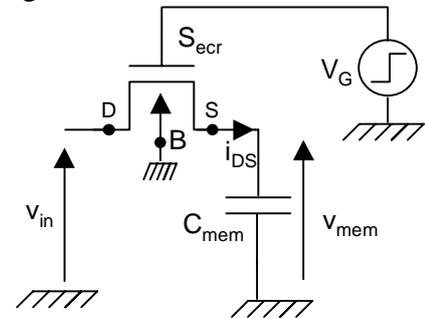


Figure II-17 : instant effectif d'échantillonnage

La transition réelle du potentiel V_G (signal de commande) appliqué à la grille n'est pas instantanée, mais dépend de la pente $\frac{\Delta V_G}{\Delta t}$ (ou *slew rate*) de variation du potentiel V_G , cette pente sera désignée par :

$$U = \frac{\Delta V_G}{\Delta t} \tag{II-19}$$

Remarque :

Le paramètre U dépend de la technologie.

- a) Par la relation II-19, on peut définir un temps de descente t_{fall} qui est le temps mis par le signal de grille du transistor d'écriture S_{ecr} pour passer du niveau haut V_H au niveau bas V_L (Figure II-17), $\Delta V_G = V_H - V_L$ et $\Delta t = t_{fall}$. Dans les circuits mixtes et en technologie submicronique, les tensions V_H et V_L sont choisies respectivement égales à V_{DD} et 0 V. Par conséquent $V_H - V_L = V_{DD}$.

$$t_{fall} = \frac{V_H - V_L}{U} = \frac{V_{DD}}{U} \quad (\text{II-20})$$

- b) L'instant t_I est défini comme l'instant idéal d'échantillonnage, c'est à dire l'instant où l'on souhaite idéalement échantillonner. A cet instant, le transistor devrait passer instantanément de l'état passant à l'état bloqué et nécessitant une transition instantanée de la tension de grille du niveau haut V_H au niveau bas V_L .

La transition réelle de l'état passant à l'état bloqué du transistor s'obtient au passage du seuil de conduction $V_G = V_{Gseuil}$. Cela entraîne un décalage de l'instant effectif d'échantillonnage par rapport à l'instant idéal t_I . Soit t_E l'instant d'échantillonnage effectif, on définit le temps t_{ON} durant lequel le transistor reste conducteur après t_I :

$$t_{ON} = t_E - t_I \quad (\text{II-21})$$

L'ensemble des grandeurs introduites ci-dessus est représentée sur la Figure II-17.

La commutation effective ou réelle se faisant pour $v_{GS} = v_{th}$ c'est à dire pour $v_G = v_{in} + v_{th}$, on introduit la grandeur $V_{Gseuil} = v_{in} + v_{th}$ en dessous de laquelle le transistor est bloqué et au-dessus de laquelle, il est passant.

On définit V_{Gseuil} comme suit :

$$V_{Gseuil} = v_{in} + v_{th} \quad (\text{II-22})$$

Le tableau ci-dessous résume la valeur de la tension sur la grille du transistor et l'état du transistor en fonction du temps.

	$t < t_I$	$t_I < t < t_E$	$t_E < t$
Tension	$V_G = V_H$	$V_H > V_G > V_{Gseuil}$	$V_{Gseuil} > V_G > V_L$
État	Passant	Passant	Bloqué

L'équation de la tension de grille $V_G(t)$ est la suivante pour $(t_I < t < t_I + t_{fall})$:

$$V_G(t) = V_{DD} - U \cdot (t - t_I) = V_{DD} - \frac{V_{DD}}{t_{fall}} (t - t_I) \quad (\text{II-23})$$

Soit encore

$$V_G(t) = V_{DD} \left(1 - \frac{t - t_I}{t_{fall}} \right) \quad (\text{II-24})$$

Par définition de l'instant effectif d'échantillonnage t_E on a :

$$V_G(t_E) = V_{Gseuil} = V_{DD} \left(1 - \frac{t_E - t_I}{t_{fall}} \right) = V_{DD} \left(1 - \frac{t_{ON}}{t_{fall}} \right) = v_{in} + v_{th} \quad (\text{II-25})$$

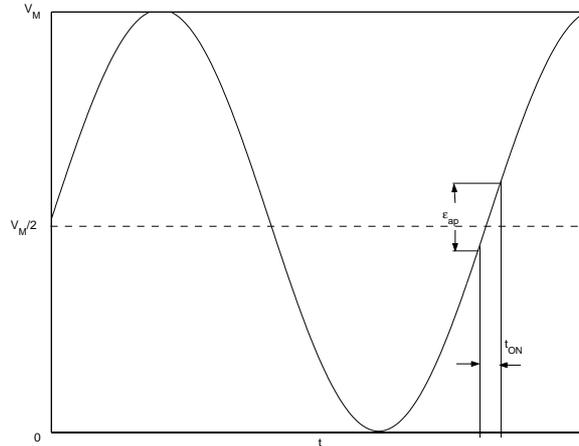
Par identification, on obtient :

$$t_{ON} = \frac{V_M - v_{in}}{U} \quad \text{et} \quad t_E = t_I + t_{ON} \quad (\text{II-26})$$

où t_{ON} représente le retard à l'ouverture.

Durant le retard à l'ouverture t_{ON} , le signal v_{mem} évolue encore en suivant v_{in} . Or idéalement on veut échantillonner $v_{in}(t_I)$. En réalité c'est la tension $v_{in}(t_E)$ qui est échantillonnée. Il apparaît alors une erreur d'ouverture ε_{ap} définie par $\varepsilon_{ap} = v_{in}(t_E) - v_{in}(t_I)$ et introduite au chapitre I. Dans le cas d'un signal d'entrée sinusoïdal centré en $V_M/2$ et d'amplitude $V_M/2$, l'erreur d'ouverture ε_{ap} sera maximale à l'instant $t=kT$ (multiple entier de la période). L'erreur d'ouverture ε_{ap} est alors traduite par la relation :

$$\varepsilon_{ap} = \left. \frac{\partial v_{in}}{\partial t} \right|_{t=0} \cdot t_{ON} = \frac{V_M}{2} \cdot 2\pi f t_{ON}$$



Notre but est de maintenir le maximum de l'erreur d'ouverture ε_{ap} inférieure à un quart de quantum $\left(\max(\varepsilon_{ap}) \leq \frac{q}{4} \right)$. La valeur maximale de ε_{ap} est exprimée par :

$$\max(\varepsilon_{ap}) = \frac{V_M}{2} \cdot 2\pi \cdot f_{\max} \cdot t_{ON} \Big|_{v_{in} = \frac{V_M}{2}}$$

$$\max(\varepsilon_{ap}) = \frac{V_M}{2} \cdot 2\pi \cdot \frac{\beta V_M}{2C_{mem}} \cdot \frac{V_M}{2U}$$

Donc la condition $\left(\max \varepsilon_{ap} \leq \frac{q}{4} \right)$ se traduit par :

$$\frac{V_M^3 \cdot \beta \cdot \pi}{4 \cdot U \cdot C_{mem}} \leq \frac{q}{4} = \frac{V_M}{2^{N+2}} \text{ soit } \boxed{\frac{V_M^2 \cdot \beta \cdot \pi}{U \cdot C_{mem}} \leq \frac{1}{2^N}}$$

Par cette étude de l'instant effectif d'échantillonnage, nous avons mis en évidence l'existence d'un seuil de conduction V_{Gseuil} qui permet de déterminer le moment où le transistor se bloque. Cette tension de seuil conditionne les injections de charges qui seront étudiées dans le paragraphe C.3.1. De plus nous avons défini le terme t_{ON} qui conditionne l'erreur d'ouverture ε_{ap} .

En résumé, on a montré que le temps d'établissement est une fonction de la grandeur d'entrée. Ceci conduit, dans le cas d'un système d'acquisition travaillant avec une durée d'acquisition t_{acq} finie, à l'apparition de deux sources d'erreur : l'erreur d'établissement ε_{set} et l'erreur d'ouverture ε_{ap} .

La première est indépendante de la fréquence du signal d'entrée si le pire cas a été traité correctement. Elle n'est alors fonction que de l'amplitude de v_{in} . Elle peut donc de ce fait introduire une distorsion harmonique et influencer le *Sinad* (cf. chapitre I). Son effet est traduit en $ENOB^{11}$ par l'introduction de la puissance de non-linéarité P_{NL} .

La seconde est fonction de l'amplitude et de la fréquence. Puisque l'on compare toujours les erreurs à un signal d'entrée couvrant la pleine échelle FS, l'erreur sera évaluée pour ce pire cas. Elle se réduit donc à une dépendance à la fréquence uniquement. Son effet sera traduit en ERB^{12} [VAN-94] c'est à dire la bande passante $BP=[0, f_{max}]$ pour laquelle l'erreur introduite correspond à un quart de quantum.

Le tableau ci-dessous résume le régime dynamique :

DYNAMIQUE	BP
$t_{acq} \gg \tau$	$f_{cM} = \frac{\beta V_M'}{2\pi C_{mem}}$
$t_{acq} \cong \tau$	$BP_{equ} < f_{acq}/2$
ÉCHANTILLONNAGE	Erreur d'ouverture ε_{ap}
	$\frac{V_M^2 \cdot \beta \cdot \pi}{U \cdot C_{mem}} \leq \frac{1}{2^N}$

C.3 Précision en terme de non-linéarité

Après avoir évalué, les erreurs introduites par le régime dynamique, nous allons évaluer l'erreur de non-linéarité introduite en régime statique sur la pleine échelle d'entrée FS.

Notre analyse polynomiale requiert une variable normalisée et centrée, c'est pourquoi nous chercherons un développement limité de la tension v_{out} autour de $v_{in}=V_0$.

¹¹ ENOB – *Effective Number Of Bits* : nombre de bits effectif

¹² ERB – *Effective Resolution Bandwidth*

Posons : $v_{in} = V_0 + \tilde{v}$ avec \tilde{v} la variation de v_{in} autour de V_0 . On transpose alors l'équation II-7 obtenue en régime statique lors de la phase de lecture sous forme polynomiale :

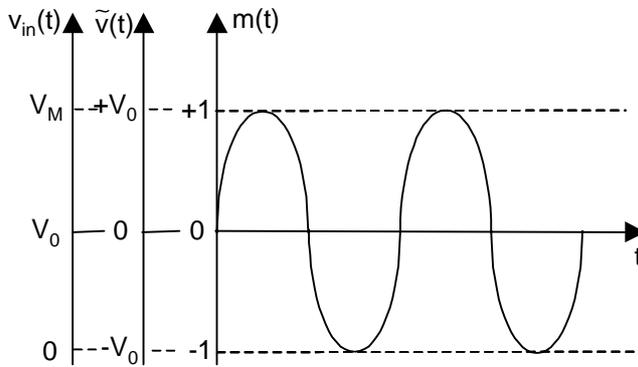
$$v_{out} = a_0 + a_1 \tilde{v} + a_2 \tilde{v}^2 + a_3 \tilde{v}^3 + \dots + a_n \tilde{v}^n \quad (\text{II-27})$$

On introduira une variable d'entrée normalisée $m = \frac{\tilde{v}}{V_0}$ qui est définie dans l'intervalle $[-1,1]$ si $\tilde{v} \in [-V_0, V_0]$.

On peut alors exprimer la forme polynomiale de v_{out} sous la forme :

$$v_{out} = \bar{a}_0 + \bar{a}_1 m + \bar{a}_2 m^2 + \bar{a}_3 m^3 + \dots + \bar{a}_n m^n$$

La relation entre les coefficients a_k et \bar{a}_k est $\bar{a}_k = a_k \cdot (V_0)^k$.



La figure ci-contre représente les deux variables introduites ainsi que leurs plages de variation.

L'introduction d'une variable centrée facilitera, de plus, le développement polynomial de certaines fonctions en v_{in} (tension de seuil effective v_{th} et capacité C_{mem}). Ces développements spécifiques seront présentés dans les paragraphes suivants.

D'après la relation II-7 , l'expression de la tension v_{out} en fonction de la tension d'entrée v_{in} est :

$$v_{out} = \frac{C_{mem}}{C_{mem} + C_p} (v_{in} + \Delta v_{inj}) \quad (\text{II-28})$$

Afin de donner une expression de v_{out} sous forme polynomiale, il faut dans un premier temps évaluer le terme Δv_{inj} par l'analyse du terme d'injections de charges. Cette analyse fera apparaître le besoin de détailler l'effet de substrat modélisé par la tension de seuil effective v_{th} . Enfin, nous modéliserons la capacité de mémorisation C_{mem} . La modélisation de ces trois paramètres conduira à une forme polynomiale de v_{out} décrite par la relation II-27.

C.3.1 Phénomène d'injections de charges

Dans la phase d'échantillonnage, il a été montré que le transistor d'écriture S_{ecr} ne se bloque pas instantanément. Le blocage du transistor correspond alors à l'ouverture de l'interrupteur d'écriture. Or cette ouverture n'est pas neutre. L'ouverture sera décomposée suivant les points suivants :

- avant l'instant d'échantillonnage t_E , le canal du transistor d'écriture S_{ecr} existe toujours et présente une charge Q_{canal} ,

- au moment de l'échantillonnage réel une partie α de la charge du canal est injectée dans la capacité de mémorisation,
- après l'instant d'échantillonnage t_E , la tension de commande sur la grille du transistor d'écriture modifie la tension aux bornes de la capacité de mémorisation par l'intermédiaire des capacités de recouvrement grille-drain (C_{GD}) et grille-source (C_{GS}) du transistor d'écriture.

Nous savons désormais que la tension v_{mem} mémorisée aux bornes de la capacité de stockage C_{mem} atteint à la fin de la phase d'échantillonnage la nouvelle valeur:

$$v_{mem} = v_{mf} + \Delta v_{inj} \quad (\text{II-29})$$

où v_{mf} est l'erreur d'établissement et Δv_{inj} représente l'effet des charges injectées par le transistor lors de sa commutation. Notre étude se plaçant dans le cadre du régime statique, nous posons donc $v_{mf} = v_{in}$ conduisant à la relation :

$$v_{mem} = v_{in} + \Delta v_{inj} \quad (\text{II-30})$$

☞ Remarque :

L'étude dynamique a montré que l'erreur dynamique ε_{set} est négligeable loin des bornes de la plage dynamique d'entrée, on pose alors : $v_{mf} = v_{in} - \varepsilon_{set} \cong v_{in}$.

Puisque la modélisation est faite autour d'un point V_0 dans l'intervalle $[0, V_M]$, cette approximation reste valable même avec un temps t_{acq} fini.

Détaillons maintenant l'expression de la tension Δv_{inj} , en étudiant dans les deux paragraphes suivants ses deux composantes :

- la charge due au canal de conduction Q_{canal}
- la charge due aux capacités de recouvrement Q_{rec}

C.3.1.1 Injection des charges du canal

Lors de la **phase d'acquisition** ($t < t_I$), la charge d'inversion Q_{canal} dans le canal de conduction est donnée par :

$$Q_{canal} = -C_G (v_{GS} - v_{th}).$$

Comme il a été stipulé précédemment, on admet que $v_{in} = v_{mem}$, ce qui conduit à $v_{GS} = V_{DD} - v_{in}$. On réécrit alors l'expression de la charge d'inversion du canal :

$$Q_{canal} = -C_G (V_{DD} - v_{th} - v_{in}) \quad (\text{II-31})$$

avec C_G la capacité de grille du transistor d'écriture S_{ecr} . Cette dernière tient compte des capacités de recouvrement (*overlap*) grille-drain et grille-source (C_{rec}) du transistor. Son expression est donnée par :

$$C_G = C_{OX} (W_{eff} L_{eff}) + 2C_{rec} = C_{OX} W_{eff} (L_{eff} + 2L_D). \quad (II-32)$$

Rappelons que L_D est la longueur de diffusion latérale de la source (ou du drain) sous la grille du transistor.

A l'instant d'échantillonnage ($t = t_E$), une fraction de la charge Q_{canal} est piégée dans la capacité de stockage C_{mem} . Appelons Q_{inj} , la charge piégée. Elle est donnée par :

$$Q_{inj} = \alpha Q_{canal} \quad (II-33)$$

Par conséquent l'erreur de tension ε_{canal} introduite par le partitionnement de la charge du canal est donnée par :

$$\varepsilon_{canal} = \frac{Q_{inj}}{C_{mem}} = -\alpha \frac{C_G}{C_{mem}} (V_M - v_{in}) \quad (II-34)$$

L'expression littérale du paramètre α est donnée par EICHENBERGER et GUGGENUHL dans leur publication [EIC-90], elle dépend entre autres paramètres de la pente U du signal de commande sur la grille de l'interrupteur et d'un facteur r décrivant la symétrie des impédances (C_i et C_{mem}) de part et d'autre de l'interrupteur.

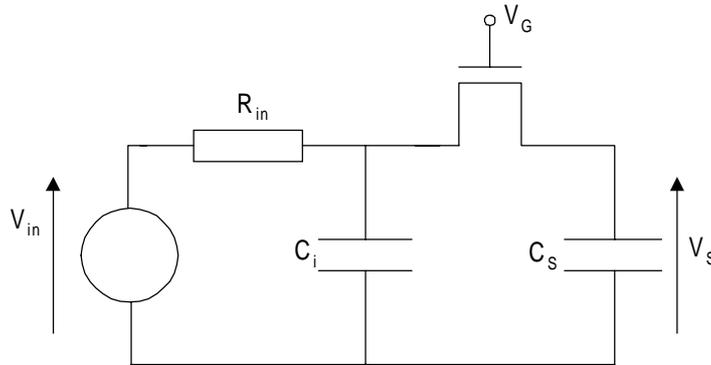


Figure II-18 : configuration utilisée pour l'étude des injections de charge [EIC-90]

Remarque :

La capacité C_i représente la capacité parasite de la piste d'accès à la cellule de mémorisation. Cette piste est longue dans les mémoires analogiques donc la valeur de la capacité C_i est élevée.

Une approche simplifiée est proposée par SHEU et al. [SHE-84] en faisant tendre le facteur de symétrie r vers l'infini (la capacité C_i du coté du générateur est supposée infinie). En fait, les auteurs posent l'hypothèse que la cellule est attaquée par une source de tension idéale et statique. Cette hypothèse est reprise dans [SHI-87] et [SHE-87].

Par souci de généralité, nous allons donc exploiter le modèle exact de α (selon [EIC-90]) donné ci-dessous :

$$\alpha = \sqrt{\frac{\pi UC_{mem}}{2\beta}} \cdot \sqrt{\frac{r}{r+1}} \cdot \frac{r-1}{r+1} \cdot \frac{erf\left[\sqrt{\frac{\beta}{2UC_{mem}}} \cdot \sqrt{\frac{r+1}{r}} \cdot (V_M - v_{in})\right]}{2(V_M - v_{in})} + \frac{1}{r+1} \quad (\text{II-35})$$

avec $r = \frac{C_i}{C_{mem}}$.

La valeur du coefficient α ($0 \leq \alpha \leq 1$) est fonction de :

- la tension d'entrée v_{in}
- la pente U du signal de commande sur la grille de l'interrupteur
- la symétrie r des impédances de part et d'autre de l'interrupteur, notons toutefois que si ces deux impédances sont égales [WEG-87], [EIC-90], on a alors une équipartition de la charge entre le drain et la source :

$$Q_{inj} = \frac{Q_{canal}}{2} \quad (\text{II-36})$$

- si $r > 1$, on minimise les injections dues au canal. Cette valeur de r est une orientation pour la conception

Dans leur article WEGMANN et VITTOZ [WEG-87] introduisent le paramètre

$$B = V_M \cdot \sqrt{\frac{\beta}{UC_{mem}}} \text{ qui représente la « caractéristique de l'interrupteur », en fait ce paramètre a}$$

une variation identique à celle de l'argument de la fonction d'erreur (erf) dans l'expression de α (relation II-35). Ce paramètre met en évidence deux points importants :

- pour des valeurs de B peu élevées (valeurs de U élevées donc temps t_{fall} très faible), l'équipartition de la charge entre la source et le drain est assurée indépendamment de la valeur des impédances à la source et au drain. En fait, lors de la fermeture rapide de l'interrupteur, le canal de conduction disparaît très rapidement, donc les charges présentes au drain et à la source du transistor ne peuvent pas s'écouler à travers le canal d'où une équipartition de la charge indépendante du rapport $r = C_i/C_{mem}$. Ce phénomène est également confirmé dans [SHI-87] La figure II-19 met en évidence ce phénomène pour des temps $t_{fall} < 1ns$.

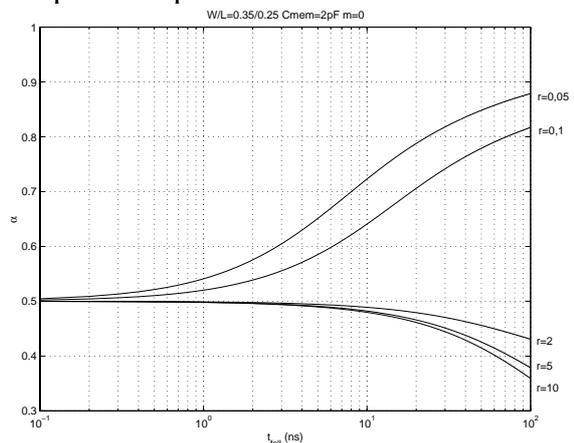


Figure II-19 : α fonction de t_{fall} pour différentes valeurs de r

- pour des valeurs élevées de B (t_{fall} élevé), l'équipartition de la charge entre le drain et la source n'est plus assurée. En effet pour des temps de commutation faibles, le canal de

conduction entre la source et le drain disparaît lentement. Ceci permet à la majorité de la charge du canal de s'écouler vers le nœud dont l'impédance est la plus faible (capacité la plus importante). C'est ce qui est mis en évidence sur la figure II-19, pour des temps de descente t_{fall} supérieures à une nanoseconde l'équipartition n'est

plus assurée. En réalité le partitionnement des charges est particulièrement sensible au facteur de symétrie r . On observe par ailleurs que le paramètre α est réduit pour des valeurs de r supérieures à l'unité.

Dans le cas particulier des mémoires analogiques, la capacité C_i (la capacité parasite des pistes) est très supérieure à la capacité de mémorisation C_{mem} ($C_i \gg C_{mem}$) donc $\alpha < 1/2$. De plus dans une technologie submicronique, le temps de descente t_{fall} de la tension de grille de l'interrupteur d'écriture S_{ecr} est très faible, donc la fraction α tend vers $1/2$. Dans la suite, nous limiterons notre étude en admettant que $\alpha = \frac{1}{2}$ (pire cas).

C.3.1.2 Injection de charges par recouvrement

Lorsque le transistor est bloqué ($t > t_E$), le canal de conduction a disparu et la charge Q_{rec} injectée dans la capacité de mémorisation est due aux capacités de recouvrement (*overlap*) C_{GD} (grille-drain) et C_{GS} (grille-source) par l'intermédiaire du signal de commande de l'interrupteur, on admet que :

$$C_{GD} = C_{GS} = C_{rec}$$

Durant le transitoire de la tension de grille V_G du transistor d'écriture ($t > t_E$) (figures II-17 et II-20), la charge Q_{rec} due aux capacités de recouvrement de S_{ecr} est de la forme :

$$Q_{rec} = -C_{rec} (V_{G_{seuil}} - V_L) = -C_{rec} (v_{in} + v_{th}) \quad (II-37)$$

Donc l'erreur de tension ϵ_{rec} due aux capacités de recouvrement est :

$$\boxed{\epsilon_{rec} = \frac{Q_{rec}}{C_{mem}} = -\frac{C_{rec}}{C_{mem}} (v_{in} + v_{th})} \quad (II-38)$$

C.3.1.3 Tension d'erreur globale Δv_{inj}

Définissons désormais la tension d'erreur globale Δv_{inj} qui est la somme des contributions des deux types d'injections. Lorsque $v_{in} \leq V_M$, la tension d'erreur Δv_{inj} est donnée par la relation :

$$\begin{aligned}
\Delta v_{inj} &= \varepsilon_{canal} + \varepsilon_{rec} \\
\Delta v_{inj} &= -\alpha \frac{C_G}{C_{mem}} (V_{DD} - v_{in} - v_{th}) - \frac{C_{rec}}{C_{mem}} (v_{in} + v_{th}) \\
\Delta v_{inj} &= \frac{1}{C_{mem}} [(\alpha C_G - C_{rec})(v_{in} + v_{th}) - \alpha C_G V_{DD}]
\end{aligned} \tag{II-39}$$

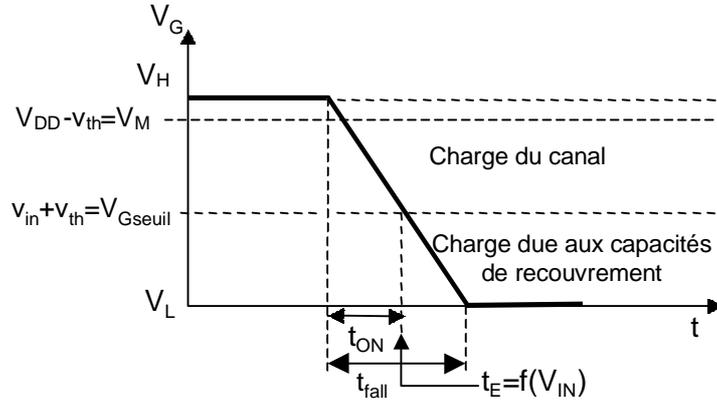


Figure II-20: répartition des injections de charge

On constate sur la figure II-20 que V_{Gseuil} est une fonction du signal d'entrée v_{in} . Par conséquent, la part des charges du canal est prépondérante pour des valeurs de v_{in} faibles, les charges due aux capacités de recouvrement deviennent prépondérantes pour des valeurs de v_{in} plus importantes. La tension d'erreur Δv_{inj} due aux injections de charges est donnée par :

$$\Delta v_{inj} = -\alpha \frac{C_G}{C_{mem}} (V_{DD} - V_{Gseuil}) - \frac{C_{rec}}{C_{mem}} V_{Gseuil} \tag{II-40}$$

C.3.2 Modélisation de l'effet de substrat

Dans le paragraphe précédent, nous avons vu que la tension de seuil v_{th} du transistor apparaît dans le terme d'erreur d'injections de charges. Afin de modéliser, le terme Δv_{inj} , nous nous proposons de donner une expression polynomiale de la tension de seuil v_{th} en \tilde{v} et limitée au degré n .

Soit alors la tension v_{th} sous la forme suivante :

$$v_{th} = V_{th0} + V_{th1}\tilde{v} + V_{th2}\tilde{v}^2 + \dots + V_{thn}\tilde{v}^n \tag{II-41}$$

Rappelons que la tension de seuil effective d'un transistor MOS est donnée par la relation :

$$\begin{aligned}
v_{th}(V_0 + \tilde{v}) &= V_{T0} + \gamma(\sqrt{\Phi + V_0 + \tilde{v}} - \sqrt{\Phi}) \\
v_{th}(V_0 + \tilde{v}) &= (V_{T0} - \gamma\sqrt{\Phi}) + \gamma\sqrt{\Phi + V_0} \cdot \sqrt{1 + \frac{\tilde{v}}{\Phi + V_0}} = V_a + \gamma\sqrt{V_\Phi} \cdot \sqrt{1 + \frac{\tilde{v}}{V_\Phi}}
\end{aligned} \tag{II-42}$$

$$\text{En posant : } \begin{cases} V_a = V_{T0} - \gamma\sqrt{\Phi} \\ V_\Phi = \Phi + V_0 \end{cases}$$

Le développement limité à l'ordre n du terme $\sqrt{1 + \frac{\tilde{v}}{V_\Phi}}$ permet d'exprimer la tension v_{th} selon la relation II-43 :

$$v_{th}(V_0 + \tilde{v}) = V_a + \gamma\sqrt{V_\Phi} \left[1 + \frac{1}{2} \frac{\tilde{v}}{V_\Phi} - \frac{1}{8} \left(\frac{\tilde{v}}{V_\Phi} \right)^2 + \dots + (-1)^{n-1} \frac{1.3.5\dots(2n-3)}{2.4.6\dots 2n} \left(\frac{\tilde{v}}{V_\Phi} \right)^n \right] \quad (\text{II-43})$$

Dans notre modèle, la variation de V_{T0} et de γ en fonction des dimensions W_{eff} et L_{eff} du transistor est prise en compte. En effet, en se basant sur le modèle MM9 level 902 de Philips pour la technologie HCMOS7 de STMicroelectronics, on peut exprimer les valeurs V_{T0} et γ d'un transistor de taille W_{eff} , L_{eff} en fonction des valeurs V_{T0ref} et γ_{ref} d'un transistor de référence de dimensions W_{ref} , L_{ref} données dans les paramètres technologiques :

$$\begin{cases} \gamma = \gamma_{ref} + \left(\frac{1}{L_{eff}} - \frac{1}{L_{ref}} \right) \cdot SLK0 + \left(\frac{1}{W_{eff}} - \frac{1}{W_{ref}} \right) \cdot SWK0 \\ V_{T0} = V_{T0ref} + \left(\frac{1}{L_{eff}} - \frac{1}{L_{ref}} \right) \cdot SLVTO + \left(\frac{1}{L_{eff}^2} - \frac{1}{L_{ref}^2} \right) \cdot SL2VTO + \left(\frac{1}{W_{eff}} - \frac{1}{W_{ref}} \right) \cdot SWVTO \end{cases}$$

où $SLK0$, $SLVTO$, $SL2VTO$ représentent respectivement les coefficients de dépendance de γ et de V_{T0} à la longueur effective L_{eff} du transistor et $SWK0$, $SWVTO$ représentent respectivement les coefficients de dépendance de γ et de V_{T0} à la largeur effective W_{eff} du transistor.

Ces paramètres prennent en compte l'effet canal court d'un transistor dans une technologie submicronique [BRU-96]. Lorsque la longueur L_{eff} diminue, la tension de seuil diminue. Cette variation de v_{th} en fonction de L_{eff} et W_{eff} conditionne la valeur de tension V_M admissible en entrée de la cellule.

C.3.3 Modélisation de la capacité de mémorisation

C.3.3.1 Modèle littéral

Dans ce paragraphe, nous donnons une expression de la capacité de mémorisation qui est une capacité polysilicium-Nwell non linéaire. A ce jour, nous n'avons pas trouvé de modèle générique afin d'exprimer une telle capacité. La difficulté de développer un tel modèle vient du fait de la difficulté à résoudre les équations différentielles non-linéaires à coefficients variables décrivant une telle capacité.

Afin de donner un modèle simple, nous nous proposons d'utiliser le modèle développé par le fondeur STMicroelectronics qui est issu d'un « best-fit », et qui représente la capacité de mémorisation par la relation :

$$C_{mem} = C_{peri} + CMIN + \frac{CMAX - CMIN}{1 + \frac{(CMAX - CFB)}{(CFB - CMIN)} \exp \left[\frac{-(v_{in} - VFB)}{SL1 + 0.5SL2(v_{in} - VFB) + 0.5\sqrt{(SL2(v_{in} - VFB))^2 + EPS^2}} \right]} \quad (\text{II-44})$$

que l'on appellera dans la suite du document : « formule de ST ».

Ce modèle permet de définir la capacité pour les trois régimes de fonctionnement de la capacité : accumulation, déplétion et inversion. Le détail des paramètres de ce modèle est donné en annexe 6.

Dans notre application, les tensions à mémoriser étant strictement positives $v_{in} \in [0, V_M]$, nous supposons que la capacité ne sera jamais en régime d'accumulation. On peut alors simplifier le modèle en prenant pour C_{mem} la relation :

$$C_{mem} = C_{peri} + CMIN + \frac{CMAX - CMIN}{1 + \frac{(CMAX - CFB)}{(CFB - CMIN)} \exp \left[\frac{-(v_{in} - VFB)}{SL1} \right]} \quad (\text{II-45})$$

SL1 et VFB sont respectivement un paramètre d'ajustage du modèle et la tension de bande plate.

Ce modèle de ST peut encore être approché par une forme exponentielle dans notre domaine de fonctionnement.

$$C_{mem} = C_{peri} + CFB + (CMAX - CFB) \left(1 - e^{-\frac{(v_{in} - VFB)}{SL}} \right)$$

où SL est un paramètre d'ajustage identique à SL1 et SL2 du modèle de ST.

Cette forme approchée nous permettra un développement limité plus simple. En introduisant le changement de variable $\tilde{v} = v_{in} - V_0$, le développement limité sera déterminé autour du point V_0 . L'équation ci-dessus devient donc :

$$C_{mem} = \underbrace{C_{peri} + CMAX}_{C_n} - \underbrace{(CMAX - CFB)}_{C_0} \underbrace{e^{-\left(\frac{V_0 - VFB}{SL}\right)} e^{-\frac{\tilde{v}}{SL}}}_{C_x} \quad (\text{II-46})$$

Il apparaît deux termes dans cette relation approchée : un terme constant C_n et un terme variable C_x . Le terme constant C_n représente la valeur nominale de la capacité lors de la conception. Le terme variable C_x , représente l'écart entre la valeur réelle C_{mem} et la valeur nominale C_n visée lors de la conception. Mais le terme variable C_x est conditionné par le point de repos V_0 . Il vient alors pour une variation \tilde{v} nulle $C_x(\tilde{v} = 0) = C_0$ qui est une fonction de la valeur centrale V_0 .

L'introduction de ces termes conduit à une expression simple de la capacité de mémorisation C_{mem} :

$$C_{mem} = C_n + C_x(\tilde{v}) = C_n - C_0 \cdot e^{-\frac{\tilde{v}}{SL}} \quad (\text{II-47})$$

C.3.3.2 *Forme polynomiale de la capacité de mémorisation*

Notre but est de mettre la capacité sous la forme polynomiale suivante :

$$C_{mem} = C_{m0} + C_{m1}\tilde{v} + C_{m2}\tilde{v}^2 + C_{m3}\tilde{v}^3 + \dots + C_{mn}\tilde{v}^n$$

Selon la relation II-47, le développement limité du terme de $e^{-\frac{\tilde{v}}{SL}}$ autour de 0, permet finalement d'obtenir une expression polynomiale de C_{mem} :

$$C_{mem} = C_n - C_0 \left[1 - \frac{\tilde{v}}{SL} + \frac{1}{2} \frac{\tilde{v}^2}{SL^2} - \frac{1}{6} \frac{\tilde{v}^3}{SL^3} + \dots + \frac{(-\tilde{v})^n}{n!SL^n} \right] \quad (II-48)$$

Comparons les deux modèles de la capacité : modèle de ST (relation II-46) et le modèle polynomial (relation II-48). La figure II-21 présente les deux approches. L'approche polynomiale est obtenue pour $V_0=V_M/2$ avec $SL=0,41$.

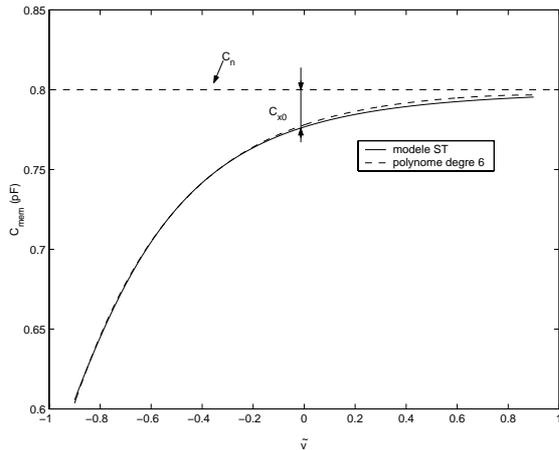


Figure II-21 : comparaison entre modèle ST et forme polynomiale

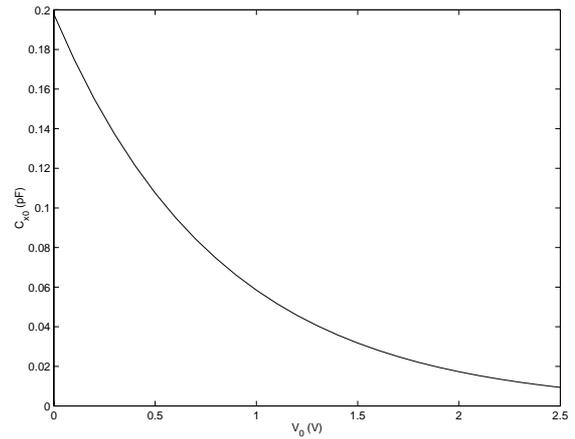


Figure II-22 : variation de l'écart absolu C_{x0} en fonction de V_0

La figure II-22 illustre la dépendance du terme C_0 à la tension de repos V_0 . Afin de conserver une plage dynamique maximale on choisit $V_0 = V_M/2$ soit 0,9V. On peut alors s'intéresser à l'écart relatif C_{mem}/C_n pour de très faibles variations de \tilde{v} . On a alors : $\frac{C_{mem}}{C_n} \cong 1 + \frac{C_0}{C_n}$. La figure II-23 représente le terme d'erreur C_0/C_n en pourcentage.

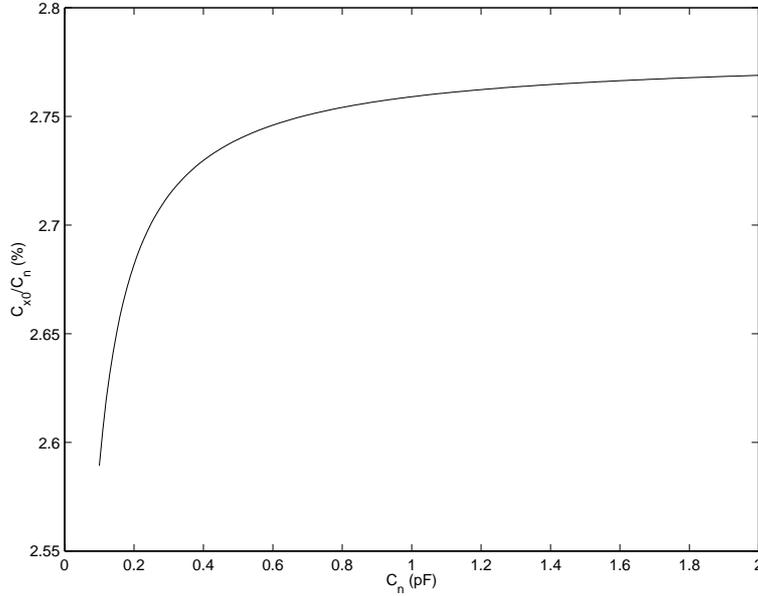


Figure II-23 : rapport C_0/C_n en fonction de C_n .

C.3.4 Mise sous forme polynomiale de v_{out}

Dans les paragraphes précédents, nous avons établi les relations intervenant dans l'expression de la tension de sortie v_{out} (relation II-7). Dans ce paragraphe, nous nous baserons sur ces expressions afin de les réintroduire dans l'équation II-7.

Dans ce paragraphe, le développement est fait autour de V_0 ($v_{in} = V_0 + \tilde{v}$).

En y injectant tout d'abord l'expression de ΔV_{inj} (équation II-39) on en déduit :

$$v_{out} = \frac{C_{mem}}{C_{mem} + C_p} (\tilde{v} + V_0) + \frac{C_{mem}}{C_{mem} + C_p} \left[\frac{(\alpha C_G - C_{rec})}{C_{mem}} (V_0 + \tilde{v} + v_{th}) - \frac{\alpha C_G}{C_{mem}} V_{DD} \right] \quad (\text{II-49})$$

Dans une seconde étape, on introduit les expressions de la tension v_{th} que l'on limite à l'ordre 4 (relation II-43). Il en découle la relation suivante :

$$v_{out} = \frac{1}{C_{mem} + C_p} \left[\frac{C_{mem}(V_0 + \tilde{v}) - \alpha C_G V_{DD}}{C_{mem} + C_p} + (\alpha C_G - C_{rec}) \left\{ V_0 + \tilde{v} + V_a + \gamma \sqrt{V_\Phi} \left(1 + \frac{1}{2} \frac{\tilde{v}}{V_\Phi} - \frac{1}{8} \left(\frac{\tilde{v}}{V_\Phi} \right)^2 + \frac{1}{16} \left(\frac{\tilde{v}}{V_\Phi} \right)^3 - \frac{5}{128} \left(\frac{\tilde{v}}{V_\Phi} \right)^4 \right) \right\} \right] \quad (\text{II-50})$$

En injectant finalement la forme polynomiale de C_{mem} (II-48) limitée à l'ordre 5 dans l'équation (II-50), on obtient un rapport de polynômes :

$$v_{out} = \frac{N_0 + N_1 \tilde{v} + N_2 \tilde{v}^2 + \dots + N_p \tilde{v}^p}{D_0 + D_1 \tilde{v} + D_2 \tilde{v}^2 + \dots + D_p \tilde{v}^p}$$

On identifie alors les paramètres N_n du numérateur et D_n les paramètres du dénominateur :

$$\left\{ \begin{array}{l} N_0 = V_0 C_n \left(1 - \frac{C_0}{C_n} \right) + (\alpha C_G - C_{rec}) (V_0 + V_a + \gamma \sqrt{V_\Phi}) - \alpha C_G V_{DD} \\ N_1 = \left[C_n \left(1 - \frac{C_0}{C_n} \right) + \frac{V_0 C_0}{SL} \right] + (\alpha C_G - C_{rec}) \left(\frac{\gamma}{2\sqrt{V_\Phi}} + 1 \right) \\ N_2 = \frac{C_0}{SL} \left(1 - \frac{V_0}{2SL} \right) - (\alpha C_G - C_{rec}) \frac{\gamma}{8(\sqrt{V_\Phi})^3} \\ N_3 = -\frac{C_0}{2SL^2} \left(1 - \frac{V_0}{3SL} \right) + (\alpha C_G - C_{rec}) \frac{\gamma}{24(\sqrt{V_\Phi})^4} \\ N_4 = \frac{C_0}{6SL^6} \left(1 - \frac{V_0}{4SL} \right) - (\alpha C_G - C_{rec}) \frac{5\gamma}{128(\sqrt{V_\Phi})^5} \\ N_5 = -\frac{C_0}{24SL^4} \end{array} \right. \quad (\text{II-51a})$$

et

$$\left\{ \begin{array}{l} D_0 = C_n \left(1 - \frac{C_0}{C_n} \right) + C_p \\ D_1 = \frac{C_0}{SL} \\ D_2 = -\frac{C_0}{2SL^2} \\ D_3 = \frac{C_0}{6SL^3} \\ D_4 = -\frac{C_0}{24SL^4} \\ D_5 = \frac{C_0}{120SL^5} \end{array} \right. \quad (\text{II-51b})$$

L'expression finale de v_{out} d'ordre 3 est obtenue par une division polynomiale suivant les puissances croissantes car le terme D_0 est non-nul :

$$v_{out} = \frac{N_0 + N_1 \tilde{v} + N_2 \tilde{v}^2 + \dots + N_5 \tilde{v}^5}{D_0 + D_1 \tilde{v} + D_2 \tilde{v}^2 + \dots + D_5 \tilde{v}^5} = a_0 + a_1 \tilde{v} + a_2 \tilde{v}^2 + a_3 \tilde{v}^3$$

$$\text{Si on pose } \begin{cases} \xi_0 = \frac{N_0}{D_0} \\ \xi_1 = N_1 - \xi_0 D_1 \\ \xi_2 = N_2 - \xi_0 D_2 \\ \xi_3 = N_3 - \xi_0 D_3 \end{cases} \quad (\text{II-52})$$

Alors on peut exprimer les coefficients a_n du quotient de la division polynomiale de la manière suivante :

$$\begin{cases} a_0 = \xi_0 \\ a_1 = \xi_1 \\ a_2 = \xi_2 - \eta_0 \frac{\xi_1}{SL} \\ a_3 = \xi_3 - \eta_0 \frac{\xi_2}{SL_1} + \left(\frac{\eta_0}{2} + \eta_0^2 \right) \frac{\xi_1}{SL^2} \end{cases} \quad (\text{II-53})$$

Rappelons ici les notations et leurs interprétations physiques introduites pour les différentes grandeurs influentes :

$$C_{mem0} = C_n - C_0 = C_n \left(1 - \frac{C_0}{C_n} \right) : \text{la valeur de la capacité de mémorisation en } v_{in}=V_0$$

$$C_0 = C_n - C_{mem0} : \text{l'écart entre la valeur nominale } C_n \text{ et la valeur réelle } C_{mem0}$$

$$C_T = C_p + C_{mem0} = D_0 : \text{la capacité totale lors de la phase de lecture}$$

$$\eta_0 = \frac{C_0}{C_T} : \text{l'erreur relative de } C_{mem0} \text{ à } C_T$$

$$V_{G0} = V_{th0} + V_0 : \text{la tension de conduction de } S_{ecr} \text{ (cf. paragraphe C.2.3) à } v_{in}=V_0$$

$$V_\Phi = \Phi + V_0 : \text{un paramètre lié à la tension de seuil } v_{th}$$

On peut exprimer les paramètres ξ_n des relations II-53 en fonction des grandeurs ci-dessus :

$$\begin{cases} \xi_0 = \frac{C_0}{C_T} V_0 - \eta_0 V_0 - \frac{\alpha C_G}{C_T} V_{DD} + \frac{\alpha C_G - C_{rec}}{C_T} V_{G0} \\ \xi_1 = \frac{C_0}{C_T} \left[1 - \frac{V_0}{SL} \eta_0 \right] - \eta_0 \left[1 - \frac{V_0}{SL} \right] - \frac{\alpha C_G}{C_T} \cdot \frac{V_{DD}}{SL} \eta_0 + \eta_0^2 \frac{V_0}{SL} + \frac{\alpha C_G - C_{rec}}{C_T} \left[1 + \frac{V_{G0}}{SL} \eta_0 + \frac{\gamma}{2\sqrt{V_\Phi}} \right] \\ \xi_2 = \frac{C_0}{C_T} \cdot \frac{V_0}{2SL^2} \eta_0 + \frac{\eta_0}{SL} \left[1 - \frac{V_0}{2SL} \right] - \frac{\alpha C_G}{C_T} \cdot \frac{V_{DD}}{2SL^2} \eta_0 - \eta_0^2 \frac{V_0}{2SL^2} + \frac{\alpha C_G - C_{rec}}{C_T} \left[\frac{V_{G0}}{2SL^2} \eta_0 - \frac{\gamma}{8(\sqrt{V_\Phi})^3} \right] \\ \xi_3 = -\frac{C_0}{C_T} \cdot \frac{V_0}{6SL^3} \eta_0 - \frac{\eta_0}{2SL^2} \left[1 - \frac{V_0}{3SL} \right] + \frac{\alpha C_G}{C_T} \cdot \frac{V_{DD}}{6SL^3} \eta_0 + \eta_0^2 \frac{V_0}{6SL^3} + \frac{\alpha C_G - C_{rec}}{C_T} \left[\frac{V_{G0}}{6SL^3} \eta_0 + \frac{\gamma}{24(\sqrt{V_\Phi})^4} \right] \end{cases} \quad (\text{II-54})$$

C.3.5 Principe de l'étude de non-linéarité

Nous avons exprimé la tension v_{out} en faisant un développement limité de la relation II-7 en $v_{in} = V_0 + \tilde{v}$ avec \tilde{v} une petite variation de autour de V_0 . L'expression obtenue est la suivante :

$$v_{out}(V_0 + \tilde{v}) = a_0 + a_1\tilde{v} + a_2\tilde{v}^2 + a_3\tilde{v}^3 \quad (\text{II-55})$$

Les interprétations à partir de cette relation restent simples :

- on ne peut pas définir d'erreur d'offset dans cette variable de sortie centrée sur $v_{out}(V_0)$.
- le gain statique autour de $\tilde{v} = 0$ est donnée par a_1 qui doit idéalement tendre vers 1, c'est la tangente de la caractéristique $v_{out}=f(v_{in})$ en $v_{in}=V_0$.
- l'écart de linéarité est défini pour la variable de sortie centrée par rapport à la droite de référence $RL = a_0 + a_1\tilde{v}$:

$$\varepsilon_{NL} = v_{out}(\tilde{v}) - a_0 - a_1\tilde{v} = a_2\tilde{v}^2 + a_3\tilde{v}^3 \quad (\text{II-56})$$

La non-linéarité NL est alors exprimée par la relation (cf. annexe 5) :

$$NL = \frac{\max|\varepsilon_{NL}|}{FS(v_{out})} \text{ avec } FS(v_{out}) = a_1FS(\tilde{v}) \quad (\text{II-57})$$

Comme nous l'avons stipulé dans le paragraphe C.3, l'introduction de la variable normalisée $m = \frac{\tilde{v}}{V_0}$ définie dans l'intervalle $[-1,1]$ permet alors d'exprimer la tension de sortie v_{out} sous la forme :

$$v_{out} = \bar{a}_0 + \bar{a}_1m + \bar{a}_2m^2 + \bar{a}_3m^3 + \dots + \bar{a}_nm^n$$

avec $\bar{a}_k = a_k(V_0)^k$.

Dans les applications nécessitant une grande précision [MAR-99], [HEL-98], on opte pour une approche expérimentale. Cette approche est basée sur la mesure du taux de distorsion harmonique (TDH).

Seule l'approche expérimentale permet d'évaluer les imperfections réelles d'un système aussi complexe. Les concepteurs choisissent de sur dimensionner leur système afin d'atteindre les performances requises avec une dynamique d'entrée réduite. Même si les objectifs sont atteints, la compréhension des imperfections leur échappe. Nous pouvons exprimer le taux de distorsion harmonique TDH en fonction des coefficients \bar{a}_n (cf. annexe 3) par la relation :

$$TDH = \frac{V_0}{2a_1} \sqrt{a_2^2 + a_3^2 \left(\frac{V_0}{2}\right)^2} = \frac{1}{2\bar{a}_1} \sqrt{\bar{a}_2^2 + \frac{\bar{a}_3^2}{4}}$$

☞ Remarque :

Dans la suite du paragraphe, lors de l'étude de l'influence des paramètres, nous choisissons de développer les expressions polynomiales de la capacité de mémorisation et de la tension de seuil autour de $V_0 = V_M/2$.

C.3.6 Analyse simplifiée

Avant de détailler plus en avant l'analyse de la non-linéarité, nous pouvons, dans un premier temps, faire une analyse simplifiée et tirer quelques grands principes :

- Si le transistor d'écriture est de taille minimale, la charge injectée lors de la phase d'échantillonnage est faible car les capacités de grille C_G et de recouvrement C_{rec} sont minimales.
- De plus si la valeur de la capacité de mémorisation C_{mem} augmente, l'influence des charge injectées devient encore plus négligeable. L'augmentation de la valeur de la capacité parasite C_p rend la charge due aux injections encore plus négligeable car le paramètre α tend vers 0 lorsque la valeur de C_p augmente (cf. figure II-19).
- L'écart de linéarité ϵ_{NL} est une fonction de v_{in} , si ϵ_{NL} diminue par rapport à la quantification en sortie, il faut s'assurer que le bruit de quantification reste supérieur au bruit de fond afin de ne pas perdre de bits.

D'après les équations II-53 et II-54, on peut déterminer trois facteurs d'influence qui imposent des limitations à la non-linéarité NL et au taux de distorsion harmonique TDH :

- ✓ η_0 qui est lié à la non-linéarité de la capacité C_{mem}
- ✓ αC_G et C_{rec} représentent l'injection de charges et sont liées à la taille de l'interrupteur d'écriture S_{ecr} .
- ✓ la valeur de la capacité parasite C_p qui influence la performance de la cellule.

Ces critères internes et externes à la cellule sont étudiés dans les deux paragraphes suivants.

C.3.7 Influence des paramètres de la cellule sur la non-linéarité

La dépendance de l'erreur de linéarité à la capacité de mémorisation nous amène à tracer l'évolution du taux de distorsion harmonique en fonction de la valeur nominale C_n de la capacité de mémorisation.

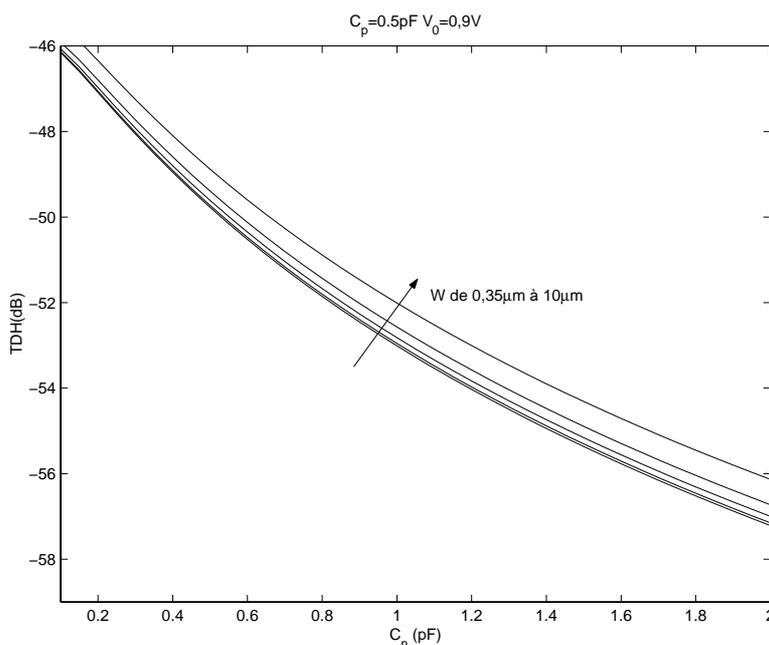
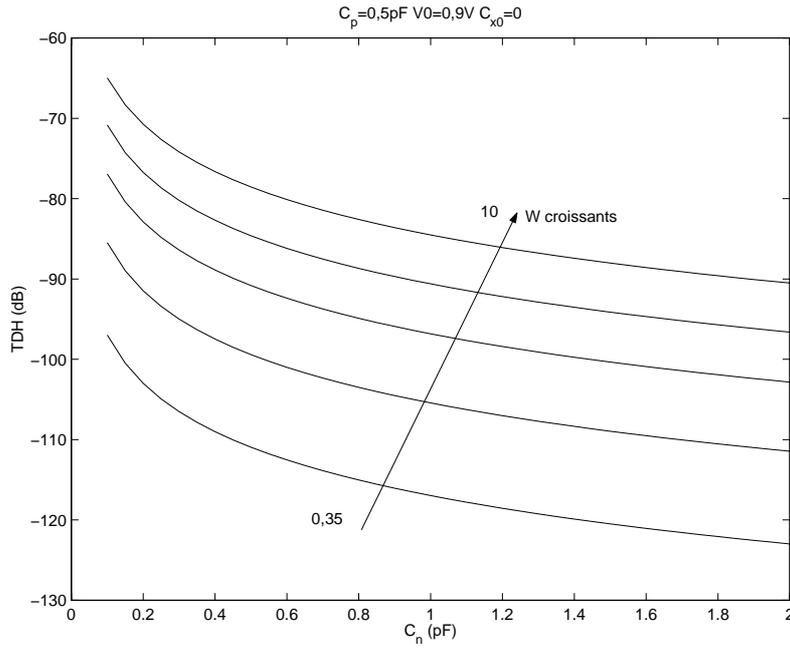


Figure II-24 : TDH en fonction de C_{mem} pour différentes tailles d'interrupteur

La figure ci-dessus a été tracée pour une valeur de capacité parasite C_p de 0,5pF et un interrupteur de longueur minimale à savoir 0,25 μm , nous verrons dans le paragraphe suivant que cette capacité a une influence sur la non-linéarité. Les largeurs W choisies sont 0,35, 1, 2,5, 5 et 10 μm .

Ces figures ont été tracées en négligeant la non-linéarité introduite par le temps d'acquisition fini. Dans une technologie simple polysilicium c'est la non-linéarité de la capacité de mémorisation qui apporte une contribution majeure à la non-linéarité de la cellule, la largeur W de l'interrupteur de mémorisation est d'importance moindre. Mais il faut tout de même garder à l'esprit que la non-linéarité est conditionnée par la valeur finale v_{mf} atteinte lors de la phase d'acquisition. C'est la raison pour laquelle l'évolution de la non-linéarité et du taux de distorsion harmonique a été tracée pour différentes largeurs W_{eff} du transistor d'écriture S_{ecr} , car c'est cette largeur qui fixe la résistance à l'état passant de l'interrupteur, donc la constante de temps de la cellule

Nous avons étudié la variation du TDH pour une capacité non-linéaire, or si la technologie utilisée permet la fabrication de capacités linéaires à double polysilicium, par exemple, le modèle est exploitable, en supposant que l'écart absolu entre la valeur nominale de la capacité C_n et la valeur de la capacité au point de polarisation C_{mem0} est nul. La variation du TDH est représenté sur la figure II-25, nous constatons en premier lieu que la non-linéarité est beaucoup plus faible, en second lieu la linéarité est principalement affectée par la contribution de l'interrupteur d'écriture par sa largeur et l'injection de charges.

Figure II-25 : TDH en fonction de C_n pour $C_0=0$

C.3.8 Influence des paramètres externes à la cellule

Dans le paragraphe précédent, nous avons mis en évidence la dépendance de la non-linéarité à la valeur de la capacité de mémorisation. Dans ce paragraphe, nous étudions l'influence des paramètres externes à la cellule, c'est à dire l'influence de la capacité parasite C_p vue par la cellule lors de la phase de lecture.

Notre objectif est de limiter l'écart de linéarité au demi quantum, ce qui se traduit par la relation :

$$\text{Max}|\varepsilon_{NL}| = \varepsilon_{N,\text{max}} \leq \frac{q}{2} = \frac{FS_{out}}{2^{N+1}} = a_1 \frac{FS_{in}}{2^{N+1}} = a_1 \frac{V_M}{2^{N+1}} \quad (\text{II-58})$$

Sur la figure II-26, l'écart de linéarité ε_{NL} est représenté en fonction de la variable normalisée m et paramétré en C_n/C_p . On constate que la valeur maximale de ε_{NL} atteint un pic pour $C_n/C_p=1$ et diminue ensuite. Nous mettons ce phénomène en évidence sur la figure II-27 en traçant la variation de la valeur maximale $\varepsilon_{NL,\text{max}}$ en fonction du rapport C_n/C_p .

De plus, la condition (II-58) est représentée pour un nombre de bits $N=8$, $N=9$ et $N=10$. Si le gain a_1 de la cellule diminue en fonction de la capacité parasite, les contraintes sur a_2 et a_3 sont plus drastiques afin de maintenir l'écart de linéarité maximal inférieur au demi quantum. De plus, si le gain a_1 diminue, la pleine échelle en sortie FS_{out} diminue, donc le bruit de quantification P_{bq} diminue ainsi que la puissance du signal P_{signal} . Il faut alors veiller à ce que le bruit de quantification reste supérieur au bruit de fond afin de ne pas perdre les bits de poids faible dans le bruit.

D'après le figure II-27, on constate que pour avoir une résolution d'au moins 8 bits la valeur nominale C_n de la capacité de mémorisation doit être au moins égale à six fois la capacité parasite C_p .

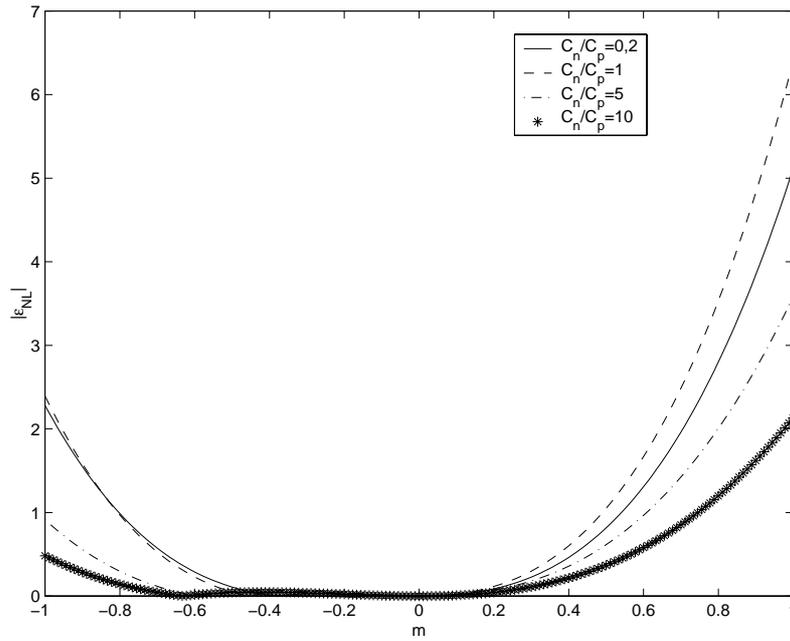


Figure II-26 : écart de linéarité ε_{NL} en fonction de m pour paramétré en C_n/C_p

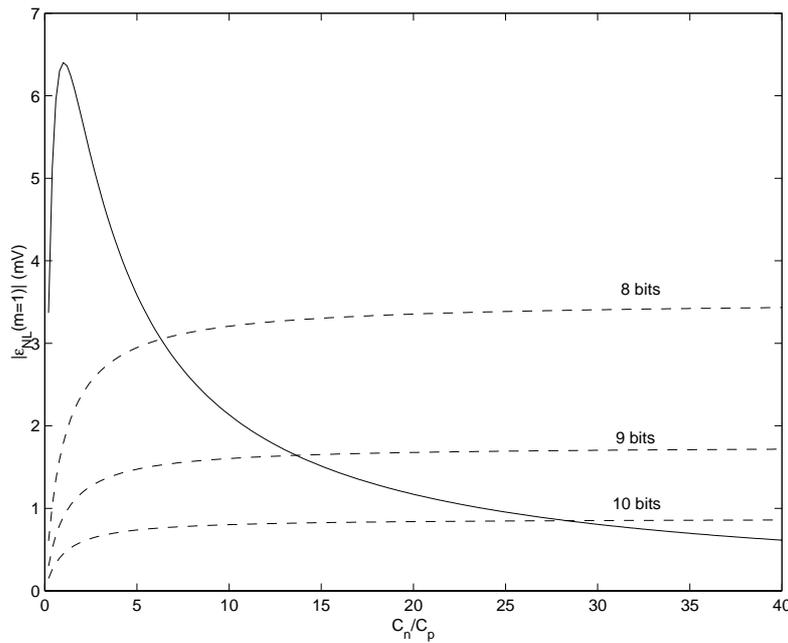


Figure II-27 : $\varepsilon_{lin,max}$ en fonction de C_n/C_p

Ce qui conditionne l'erreur de linéarité NL, ainsi que la pleine échelle en sortie FS_{out} est le gain a_1 de la cellule qui diminue lorsque la valeur de C_p augmente. L'évolution du gain de la cellule est présentée sur la figure II-28.

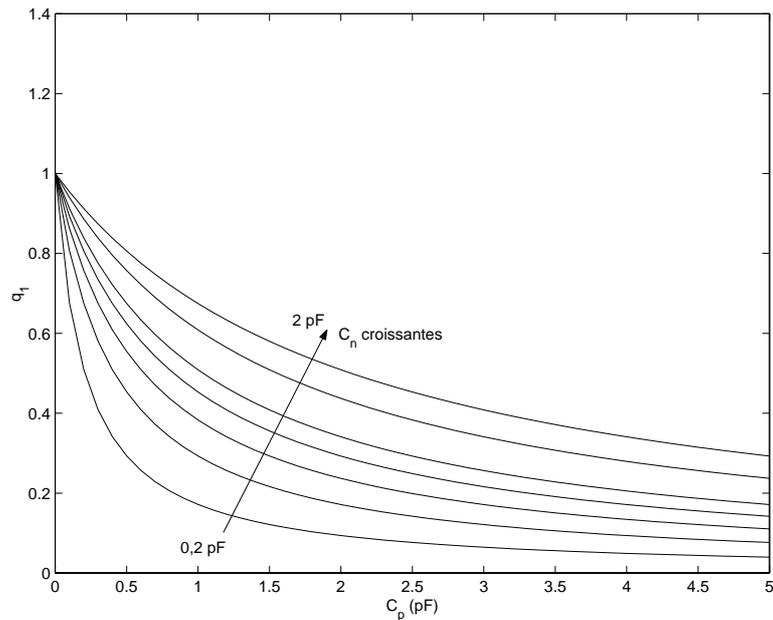


Figure II-28 : variation du gain a_1 en fonction de la capacité parasite

En résumé lors de la lecture de la cellule, un partage de charge s'opère entre la capacité de mémorisation C_{mem} et la capacité parasite C_p (capacité de piste et capacité d'entrée de l'étage de sortie). Ce partage de charge agit comme un diviseur de tension, il est fonction de la valeur de la capacité parasite (figure II-28), ce qui réduit donc le rapport signal à bruit du système. Notons qu'afin d'obtenir une non-linéarité d'au moins 10 bits, la rapport C_n/C_p doit être supérieur à 28 (figure II-27).

C.4 Précision en terme de bruit

Nous avons étudié les imprécisions dynamiques et statiques d'une cellule de mémorisation. La dynamique d'entrée d'une cellule est conditionnée par le bruit du aux non-linéarités mais également par le bruit intrinsèque de la cellule. Dans ce paragraphe, nous donnons une description du bruit intrinsèque de la cellule du aux composants qui la constituent.

Le bruit provient essentiellement du transistor MOS qui sert d'interrupteur. Ses sources de bruit sont au nombre de deux :

- ✓ le bruit en $1/f$
- ✓ le bruit thermique

- ◆ Le bruit en $1/f$ ou bruit de scintillement est attribué à des fluctuations du nombre de porteurs. Sa valeur quadratique moyenne est donnée par :

$$\overline{v_{bf}^2} = \frac{K_f}{C_{ox} W L f} \Delta f$$

où K_f est un paramètre technologique. La densité spectral de puissance $S_f(f)$ du bruit de scintillement est égale à :

$$S_f(f) = \frac{\overline{v_{bf}^2}}{\Delta f} = \frac{K_f}{C_{ox} W L f}$$

- ◆ Le bruit thermique est dû à l'agitation thermique des électrons dans le transistor. On peut représenter la valeur quadratique moyenne de bruit thermique par :

$$\overline{v_{bT}^2} = 4k TR_{on} \Delta f$$

où Δf est la bande de fréquences dans laquelle le bruit est mesuré et R_{on} est la résistance drain-source du transistor lorsqu'il fonctionne en régime linéaire. On la suppose constante dans l'étude du bruit de la cellule.

La densité spectrale de puissance $S_T(f)$ du bruit thermique est donnée par la relation :

$$S_T(f) = \frac{\overline{v_{bT}^2}}{\Delta f} = 4k TR_{on}$$

Le bruit thermique est un bruit blanc car sa densité spectrale de puissance DSP est uniforme sur toute la plage de fréquences.

Le bruit global généré par un transistor MOS a une densité spectrale résultante $S(f) = S_T + S_f$. Lors de l'étude du bruit nous ne prendrons en compte que le bruit thermique, en effet son effet est plus important que le bruit en $1/f$ [GRE-86] dans un système commuté.

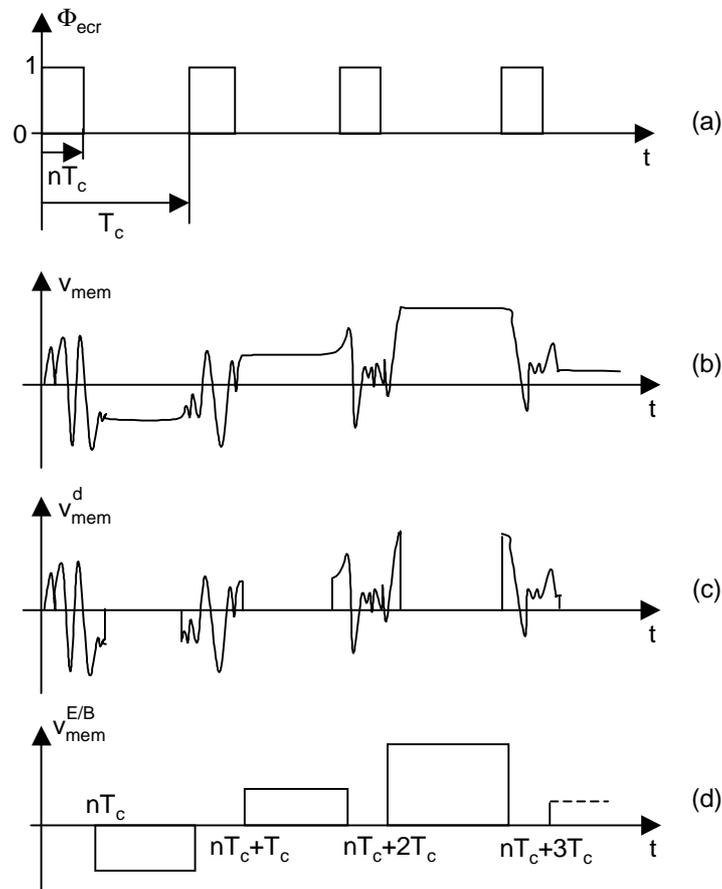


Figure II-29 : tension v_{mem} lors de l'acquisition

On pose l'hypothèse que le signal d'entrée v_{in} est nul, et que la résistance série r_{DSon} est constante lorsque $\Phi_{ecr}=1$ (figure II-29a). Lorsque le transistor est passant, le bruit v_b du transistor S_{ecr} apparaît directement dans v_{mem} . Lorsque le transistor d'écriture s'ouvre, au moment de l'échantillonnage, la dernière valeur de v_b est échantillonnée dans v_{mem} . Le signal représenté sur la figure II-29b peut être divisé en un signal « direct » v_{mem}^d qui est égal à v_{mem} lorsque le transistor S_{ecr} est passant (figure II-29c), et un signal échantillonné $v_{mem}^{E/B}$ qui est représenté par des segments constants de v_{mem} lorsque le transistor d'écriture est bloqué (figure II-29d).

Afin de calculer la valeur quadratique moyenne de v_{mem}^d , nous représentons la cellule par le schéma de la figure II-30 lorsque le transistor est passant. La résistance R_{on} et la C_{mem} forment un filtre passe-bas du premier ordre dont la fonction de transfert est $\frac{1}{1+j\omega\tau}$; avec $\tau = R_{on}C_{mem}$ la constante de temps de la cellule supposée constante lorsque le transistor S_{ecr} est passant. La densité spectrale $S(f)$ de v est alors donnée par :

$$S(f) = \frac{\overline{v^2}}{\Delta f} = S_T(f) \left| \frac{1}{1+2\pi f\tau} \right|^2 = \frac{4kTR_{on}}{1+(2\pi f\tau)^2} \quad (\text{II-59})$$

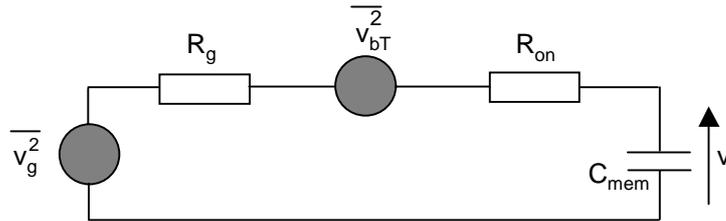


Figure II-30 : circuit équivalent lors de la phase d'acquisition

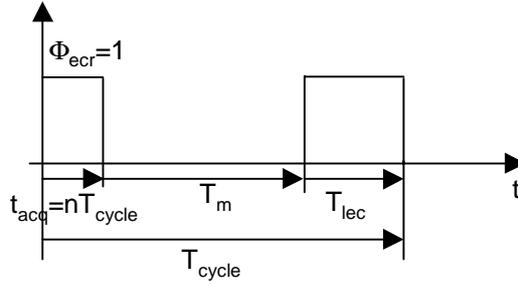
La valeur moyenne de v pour toutes les fréquences est alors donnée par :

$$\overline{v^2} = \int_0^\infty S(f)df = \frac{4kTR_{on}}{2\pi} \int_0^\infty \frac{d\omega}{1+\omega^2\tau^2} = \frac{4kTR_{on}}{2\pi} \cdot \frac{1}{\tau} \arctan(\omega\tau) \Big|_0^\infty = \frac{kT}{C_{mem}} \quad (\text{II-60})$$

Puisque la capacité est connectée au signal d'entrée uniquement lorsque le transistor est passant ($\Phi_{ecr}=1$), la puissance de bruit doit être multipliée par le rapport cyclique

$n = \frac{t_{acq}}{T_{cycle}} < 1$ du signal d'horloge, ce qui donne :

$$\overline{(v_{mem}^d)^2} = \frac{nkT}{C_{mem}} \quad (\text{II-61})$$



De la même manière la densité spectrale $S^d(f)$ de v_{mem}^d est $nS(f)$, où $S(f)$ est donnée par l'équation II-59. La figure II-29 montre que $v_{mem}^{E/B}(t)$ est obtenue en échantillonnant le signal $v_{mem}^d(t)$ aux instants nT_{cycle} , $nT_{cycle} + T_{cycle}$, $nT_{cycle} + 2T_{cycle}$, $nT_{cycle} + 3T_{cycle}$ et ainsi de suite, avec une fréquence $f_c = \frac{1}{T_{cycle}}$. Les échantillons sont maintenus pendant l'intervalle $T_m = (1-n)T_{cycle} -$

T_{lec}

En supposant que les valeurs de $S(f)$ ne sont pas corrélées à différentes fréquences, la densité spectrale après échantillonnage $S^{E/B}(f)$ est reliée à la densité spectrale $S(f)$ par la relation [ENZ-89] :

$$S^{E/B}(f) = \frac{\overline{(v_{mem}^{E/B})^2}}{\Delta f} = \left(\frac{T_m}{T_{cycle}} \right)^2 \left(\frac{\sin(\pi T_m f)}{\pi T_m f} \right)^2 \sum_{k=-\infty}^{\infty} S(f - kf_c) \quad (\text{II-62})$$

L'équation II-59 est transformée en une densité spectrale de puissance bilatérale :

$$S(f) = \frac{\overline{v^2}}{\Delta f} = \frac{1}{2} \cdot \frac{4k TR_{on}}{1 + (\omega\tau)^2} \quad (\text{II-63})$$

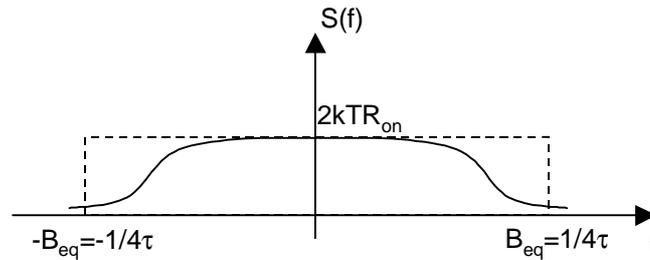


Figure II-31 : spectre du bruit

La figure II-31 représente la forme du spectre $S(f)$, le spectre peut être approximé par un rectangle. La bande passante associée à la réponse idéale est $B_{eq} = 1/4\tau$. Selon la relation II-62, cette réponse doit être décalée par des multiples entiers de $f_c = 1/T_{cycle}$, et les repliements s'additionnent.

En supposant une précision de 0,1% (soit une non-linéarité d'au moins 9 bits) lors de la charge de la capacité, c'est à dire que $nT_{cycle} \geq 7\tau$ alors la bande passante du bruit direct B_{eq} doit satisfaire la condition :

$$B_{eq} = \frac{1}{4\tau} \geq \frac{7}{4nT_{cycle}} = \frac{7}{4n} f_c > 3,5 f_c \text{ avec } n < 0,5.$$

Après avoir additionné tous les répliquas non-corrélés, la densité spectrale de puissance $S(f)$ est multipliée par un facteur $2B_{eq}/f_c$. En général, la somme de l'équation II-62 donne une densité spectrale égale à :

$$\frac{2B_{eq}}{f_c} S(f) \cong \frac{1}{\frac{2R_{on}C_{mem}}{f_c}} 2kTR_{on} = \frac{kT}{C_{mem}f_c} \quad (\text{II-64})$$

La puissance de bruit total dans la bande de base $-f_c/2 \leq f \leq f_c/2$ due à tous les repliements est donc kT/C_{mem} . Les repliements dus à l'échantillonnage du bruit concentrent donc la puissance de bruit total de l'interrupteur dans la bande de base. Ce résultat montre que réduire la résistance R_{on} à l'état passant de S_{ecr} en dessous des conditions requises pour une précision donnée lors de l'établissement est inutile. En effet, la DSP du bruit direct $S^d(f)$ diminue et le nombre de repliements augmentent, les deux effets s'annulent donc. Par contre, l'augmentation de la valeur de la capacité C_{mem} réduit les DSP du bruit direct et du bruit échantillonné.

En injectant l'équation II-64 dans l'équation II-62, on obtient la densité spectrale du bruit échantillonné :

$$S^{E/B}(f) = \frac{\overline{(V_{mem}^{E/B})^2}}{\Delta f} = \left((1-n) - \frac{T_{lec}}{T_{cycle}} \right)^2 \frac{\sin^2(\pi T_m f)}{(\pi T_m f)^2} \frac{kT}{f_c C_{mem}}. \quad (\text{II-65})$$

On rappelle que : $T_m = (1-n)T_{cycle} - T_{lec}$

En supposant que les bruits direct et échantillonné ne sont pas corrélés, leurs DSP peuvent s'ajouter afin d'obtenir la densité spectrale de puissance totale due au bruit thermique :

$$\begin{aligned} S^T(f) &= S^d(f) + S^{E/B}(f) = nS(f) + S^{E/B}(f) \\ S^T(f) &= \frac{4kTnR_{on}}{1 + (2\pi f\tau)} + \left((1-n) - \frac{T_{lec}}{T_{cycle}} \right)^2 \frac{\sin^2(\pi T_m f)}{(\pi T_m f)^2} \frac{kT}{f_c C_{mem}} \end{aligned} \quad (\text{II-66})$$

Dans notre application, le temps d'acquisition t_{acq} est très faible (25 ns) devant le temps de cycle T_{cycle} (24µs) le rapport cyclique n est très faible de l'ordre de 10^{-3} , la puissance totale est principalement dominée par le bruit échantillonné. Sa densité spectrale est alors :

$$S^T(f) = \left(1 - \frac{T_{lec}}{T_{cycle}} \right)^2 \sin^2(\pi T_m f) \frac{kT}{f_c C_{mem}}.$$

À cause du fonctionnement particulier d'une mémoire analogique, le bruit de fond intrinsèque est donc très faible et sa valeur est inférieure au quart de quantum. Le bruit dû à la dispersion des paramètres des cellules dans la mémoire est plus pénalisant, en effet la variation d'amplitude due à la localisation de la cellule dans la mémoire est corrélée à la variation de l'offset a_0 et du gain de cellule à cellule a_1 . C'est donc la distribution aléatoire des paramètres de chaque cellule dans la mémoire analogique qui constitue le bruit de l'ensemble de la mémoire.

C.5 Synthèse

En se référant à l'équation de sortie déterminée dans le paragraphe B.4 par l'analyse des phases de fonctionnement, la tension de sortie v_{out} est donnée par la relation :

$$v_{out} = \frac{C_{mem}}{C_{mem} + C_p} (v_{in} + \Delta v_{inj}) + \Delta v_{inj2}$$

La dynamique d'entrée d'une cellule est limitée à $v_{in} < V_M = V_{DD} - v_{th}$ afin de maintenir un fonctionnement en régime ohmique de l'interrupteur d'écriture et d'éviter le blocage de l'interrupteur.

Rappelons que notre but est de maintenir les erreurs dynamiques inférieures à un quart de quantum. L'étude du fonctionnement dynamique a permis d'établir les conditions :

- sur l'erreur d'établissement :

$$\varepsilon_{set} \leq \frac{q}{4} = \frac{FS}{4 \cdot 2^N} = \frac{V'_M}{2^{N+2}}$$

- et sur l'erreur d'ouverture :

$$\frac{V_M^2 \cdot \beta \cdot \pi}{U \cdot C_{mem}} \leq \frac{1}{2^N}$$

La mise sous forme polynomiale $v_{out} = a_0 + a_1 \tilde{v} + a_2 \tilde{v}^2 + a_3 \tilde{v}^3 = \bar{a}_0 + \bar{a}_1 m + \bar{a}_2 m^2 + \bar{a}_3 m^3$ a permis d'identifier les paramètres a_n et \bar{a}_n :

$$\begin{cases} a_0 = \xi_0 \\ a_1 = \xi_1 \\ a_2 = \xi_2 - \eta_0 \frac{\xi_1}{SL} \\ a_3 = \xi_3 - \eta_0 \frac{\xi_2}{SL_1} + \left(\frac{\eta_0}{2} + \eta_0^2 \right) \frac{\xi_1}{SL^2} \end{cases} \quad \text{et } \bar{a}_k = a_k (V_0)^k$$

avec :

$$\left\{ \begin{array}{l} \xi_0 = \frac{C_0}{C_T} V_0 - \eta_0 V_0 - \frac{\alpha C_G}{C_T} V_{DD} + \frac{\alpha C_G - C_{rec}}{C_T} V_{G0} \\ \xi_1 = \frac{C_0}{C_T} \left[1 - \frac{V_0}{SL} \eta_0 \right] - \eta_0 \left[1 - \frac{V_0}{SL} \right] - \frac{\alpha C_G}{C_T} \cdot \frac{V_{DD}}{SL} \eta_0 + \eta_0^2 \frac{V_0}{SL} + \frac{\alpha C_G - C_{rec}}{C_T} \left[1 + \frac{V_{G0}}{SL} \eta_0 + \frac{\gamma}{2\sqrt{V_\Phi}} \right] \\ \xi_2 = \frac{C_0}{C_T} \cdot \frac{V_0}{2SL^2} \eta_0 + \frac{\eta_0}{SL} \left[1 - \frac{V_0}{2SL} \right] - \frac{\alpha C_G}{C_T} \cdot \frac{V_{DD}}{2SL^2} \eta_0 - \eta_0^2 \frac{V_0}{2SL^2} + \frac{\alpha C_G - C_{rec}}{C_T} \left[\frac{V_{G0}}{2SL^2} \eta_0 - \frac{\gamma}{8(\sqrt{V_\Phi})^3} \right] \\ \xi_3 = -\frac{C_0}{C_T} \cdot \frac{V_0}{6SL^3} \eta_0 - \frac{\eta_0}{2SL^2} \left[1 - \frac{V_0}{3SL} \right] + \frac{\alpha C_G}{C_T} \cdot \frac{V_{DD}}{6SL^3} \eta_0 + \eta_0^2 \frac{V_0}{6SL^3} + \frac{\alpha C_G - C_{rec}}{C_T} \left[\frac{V_{G0}}{6SL^3} \eta_0 + \frac{\gamma}{24(\sqrt{V_\Phi})^4} \right] \end{array} \right.$$

Ces relations permettent de déterminer trois facteurs d'influence qui imposent des limitations à la non-linéarité NL et au taux de distorsion harmonique TDH :

- ✓ η_0 qui est lié à la non-linéarité de la capacité C_{mem}
- ✓ αC_G et C_{rec} représentent l'injection de charges et sont liées à la taille de l'interrupteur d'écriture S_{ecr} .

la valeur de la capacité parasite C_p qui influence la performance de la cellule.

D INFLUENCE DU SYSTÈME DE LECTURE D'UNE CELLULE EN MODE TENSION

Que ce soit pour la configuration aval ou la configuration amont, on peut distinguer deux méthodes de lecture en mode tension :

- une lecture en tension
- une lecture en charge

Pour la lecture en mode tension, on suppose que la tension aux bornes de la capacité de stockage C_{mem} est $v_s = v_{in} + \varepsilon_{vin}$

D.1 Lecture en tension

D.1.1 Lecture simple par un amplificateur de gain A0

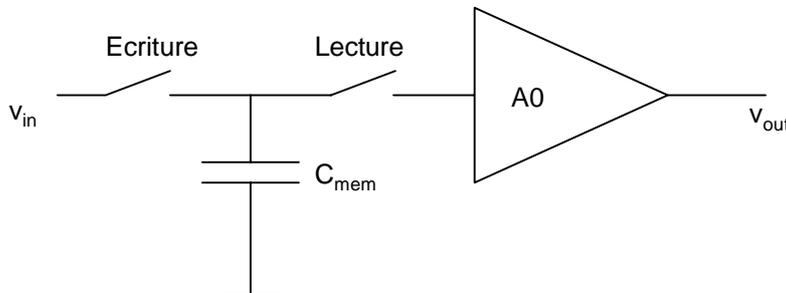


Figure II-32 : lecture en tension par un simple amplificateur de gain A0

Dans le cas d'une mémoire analogique on peut modéliser les phénomènes de la lecture sous la forme simplifiée ci-dessous (Figure II-33) :

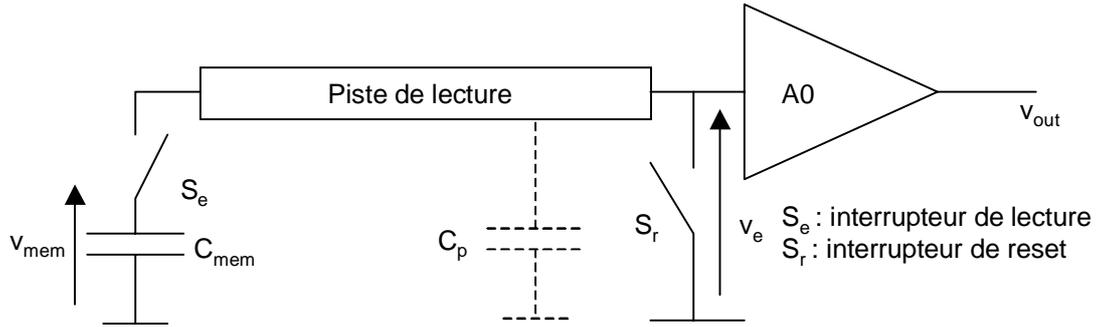


Figure II-33 : Modélisation de la cellule en mode lecture

- a) Lors de la lecture de la cellule de stockage C_{mem} , il y a redistribution de la charge Q_{mem} stockée dans C_{mem} avec la charge Q_0 de la capacité parasite de la piste C_p . Soit $Q_T = Q_{mem} + Q_0$ la charge totale après fermeture de l'interrupteur de lecture. On en déduit alors la tension v_e présente à l'entrée de l'amplificateur :

$$v_e = \frac{Q_{mem} + Q_0}{C_{mem} + C_p}$$

Afin de s'assurer que la charge présente dans la capacité parasite de la piste sera la même (si possible nulle : $Q_0=0$) à chaque lecture, on place un interrupteur de remise à zéro S_r au bout de la piste afin de décharger C_p . Une fois la capacité déchargée, on peut fermer l'interrupteur de lecture. On a alors :

$$v_e = \frac{Q_{mem} + Q_0}{C_{mem} + C_p} = \frac{C_{mem}}{C_{mem} + C_p} v_{mem} + \frac{C_p}{C_{mem} + C_p} V_0 = \frac{C_{mem}}{C_{mem} + C_p} v_{mem} + V_{off_{LEC}} \quad (II-67)$$

D'où :

$$v_{out} = A_0 v_e = \frac{A_0 C_{mem}}{C_{mem} + C_p} v_{mem} + A_0 V_{off_{LEC}} \quad (II-68)$$

La lecture en tension avec un amplificateur de gain A_0 pose deux problèmes :

- b) Relire plusieurs fois la capacité de stockage C_{mem} est possible si $C_{mem} \gg C_p$, ce qui est vrai pour une simple cellule d'échantillonnage/blocage. Or dans le cas d'une mémoire analogique, du fait de la longueur de la piste (multiplicité des cellules), la capacité parasite de piste C_p est supérieure à la capacité de stockage C_{mem} ce qui interdit donc toute relecture (la lecture est donc destructive), sauf si le concepteur n'a pas de contrainte quant à la surface du circuit.
- c) Dans le cadre des mémoires analogiques, la dispersion sur la valeur de la capacité est amplifiée par le gain A_0 de l'amplificateur de lecture qui lui-même est susceptible de varier d'un canal à l'autre.

D.1.2 Lecture par la capacité de stockage en contre-réaction

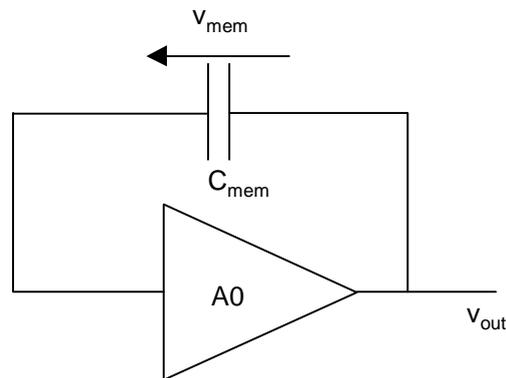


Figure II-34 : lecture en tension avec la capacité de stockage en contre-réaction

Lors d'une lecture en tension, la capacité de stockage C_{mem} est placée dans la boucle de contre-réaction de l'amplificateur de lecture, il est préférable de mettre des interrupteurs de remise à zéro afin de décharger la capacité parasite de piste C_p et ainsi s'assurer d'avoir des conditions initiales identiques avant chaque lecture.

Dans le cas d'une configuration idéale on a :

$$v_{out} = \frac{A_0}{1 + A_0} v_{mem} \quad (\text{II-69})$$

En choisissant $A_0 \gg 1$ (gain de l'amplificateur élevé) on a alors :

$$v_{out} = v_{mem}$$

Ce mode de lecture avec la capacité mise en contre-réaction de l'amplificateur opérationnel n'apporte aucun gain lors de la lecture, il n'y pas de dispersion des valeurs de la capacité de stockage.

D.2 Lecture en charge

La figure ci-dessous représente la configuration de l'amplificateur de lecture lors d'une lecture en charge

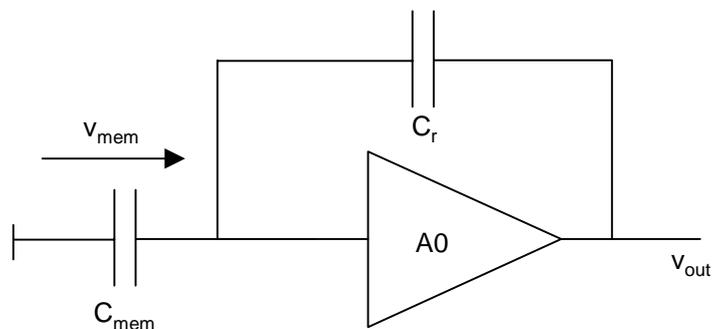


Figure II-35 : Lecture en charge

Lors d'une lecture en charge, l'amplificateur opérationnel introduit une masse virtuelle provoquant la décharge de la capacité C_{mem} . La charge de C_{mem} est alors transférée dans la capacité de contre-réaction C_r .

On peut exprimer la tension de sortie v_{out} par la relation :

$$v_{out} = \frac{-Q_{mem}}{C_r} \quad (\text{II-70})$$

soit

$$v_{out} = -\frac{C_{mem}}{C_r} v_{mem} \quad (\text{II-71})$$

Il apparaît donc un gain en lecture :

$$A_0 = \frac{v_{out}}{v_{mem}} = -\frac{C_{mem}}{C_r} \quad (\text{II-72})$$

La lecture en charge pose 2 problèmes :

- le transfert de la charge de la capacité C_{mem} vers la capacité C_r entraîne donc la disparition de la donnée de la cellule de mémorisation. La lecture en charge est donc une lecture destructive. Si la mémoire est utilisée dans un algorithme glissant, il y a alors impossibilité d'utiliser la valeur mémorisée plusieurs fois.
- dans le cadre d'une mémoire analogique le gain en lecture est sujet à la dispersion sur la valeur de la capacité de stockage C_{mem} .

Dans ce chapitre, nous avons déterminé une caractéristique polynomiale d'entrée-sortie pour une cellule de mode tension. Cette relation polynomiale permet l'étude quantitative de la non-linéarité introduite par les composants de la cellule et l'émergence de facteurs d'influence. Cette démarche de mise en équation et d'établissement de facteurs d'influence sera menée dans le chapitre suivant pour les cellules de mémorisation de mode courant.

CHAPITRE III ANALYSE DE LA CELLULE DE MODE COURANT

A INTRODUCTION

Depuis son introduction en 1972, la technique dite à capacités commutées a dominé dans les systèmes de traitement du signal. Au milieu des années 1980, des systèmes de traitement du signal plus complexes ont fait leur apparition et sont réalisés numériquement, les circuits à capacités commutées interviennent dans les convertisseurs A/N ou N/A et les filtres. Afin d'implanter des systèmes complets, la partie numérique et la partie analogique à capacités commutées doivent coexister sur la même puce. Mais cette technologie à capacités commutées n'est pas totalement compatible avec une technologie numérique VLSI. En effet, une telle technique, dans laquelle les signaux sont représentés par des charges, requiert des capacités flottantes et leur linéarité et leur hystérésis constituent une limite fondamentale à la précision d'une mémoire en mode tension. La fabrication de telles capacités nécessite des masques et des étapes technologiques supplémentaires, ce qui évidemment augmente le coût.

De plus l'augmentation continue de la densité d'intégration des circuits numériques a poussé à l'utilisation de technologies submicroniques qui nécessitent un fonctionnement sous tension d'alimentation réduite. Or la tendance actuelle est l'évolution de la technologie au profit des applications numériques. Les circuits analogiques conçus pour opérer dans le domaine des tensions souffrent de cette diminution ; donc en 1989 une nouvelle structure a vu le jour. Elle opère dans le domaine du courant et porte le nom de technique à "courant commuté". Les signaux ne sont donc plus représentés par des échantillons de tension mais par des échantillons de courant.

Les cellules mémoire à courant commuté reposent sur le fait qu'un transistor MOS ne nécessite pas de courant de grille afin de maintenir un courant drain-source constant. Ce qui permet de stocker temporairement une information analogique dans la capacité de grille.

Une cellule de première génération basée sur un miroir de courant a été introduite par Vittoz dans [WEG-89]. Afin de pallier la dissymétrie de cette cellule, une nouvelle cellule dite de seconde génération a été conçue, elle est également connue sous le nom de copieur de courant [DAU-88] ou de miroir de courant dynamique. La cellule de base est constituée d'un seul transistor de mémorisation et de trois interrupteurs (figure III-1). Lors de la phase d'écriture une contre-réaction s'établit dans la cellule ce qui élimine le problème d'appairage rencontré avec la cellule mémoire de première génération. Pour une tension V_{GS} fixée, on aura donc un courant de drain I_D fixé et imposé par la tension V_{GS} . Le courant d'entrée i_{IN} est donc mémorisé sous forme d'une tension de grille indépendamment des valeurs exactes des composants, ce qui confère une **parfaite reproductibilité**, situation favorable aux structures massivement parallèles.

Nous avons donc étudié ce type de mémoire comme alternative à la solution tension dans le cadre de LHC.

L'objectif de ce chapitre est d'établir une description quantitative des principales limitations des cellules en mode courant : vitesse et précision. En particulier l'aspect de la non-linéarité. Une telle approche quantitative permettra une recherche d'optimisation pour LHC.

B ANALYSE DES PHASES DE FONCTIONNEMENT ET MISE EN ÉQUATIONS

Nous rappelons qu'une cellule en mode courant (ou copieur de courant) de deuxième génération est constituée d'un transistor de mémorisation T_m , de trois interrupteurs S_{ecr} , S_{ech} , S_{lec} , d'une source de polarisation I_B et d'une capacité de mémorisation additionnelle C_{mem} (fig. III-1).

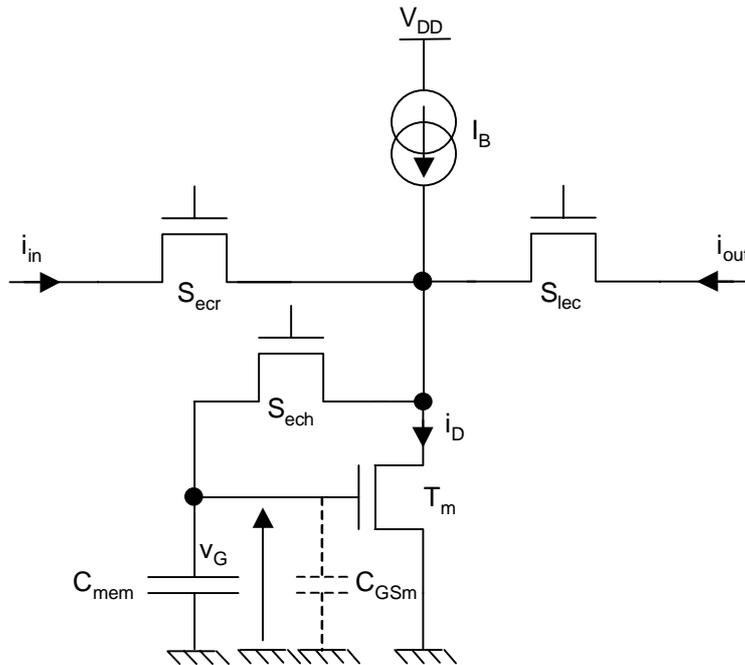
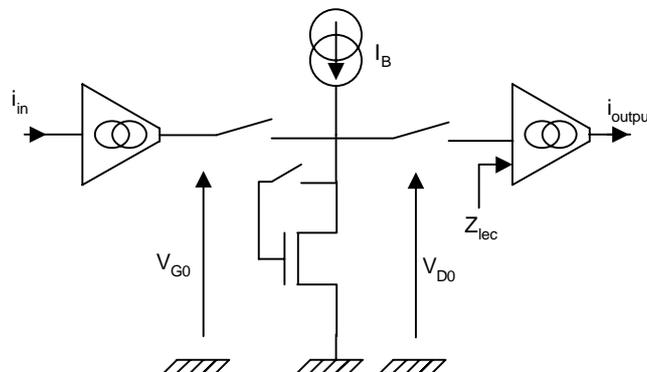


Figure III-1 cellule de base (seconde génération)

La convention de signe adopté pour les courants i_{in} et i_{out} dans ce chapitre est telle que lorsque le courant d'entrée i_{in} est positif, le courant de sortie i_{out} est également positif.

Le schéma ci-dessous illustre une voie complète d'un échantillonneur/bloqueur en mode courant :



Lors du dimensionnement d'une cellule en mode courant, il faut déterminer les tensions de repos V_{G0} et V_{D0} . La détermination de ces grandeurs statiques est conditionnée par la chaîne analogique. En sortie, la tension V_{D0} doit en première approche assurer un bon fonctionnement de l'amplificateur et de la cellule lors de la phase de lecture. En entrée, la

tension V_{G0} doit agir de même lors de la phase d'écriture. De plus, afin de minimiser les erreurs entre les phases d'écriture et de lecture, les tensions V_{D0} et V_{G0} doivent être égales. Une solution évidente sera de choisir $V_{G0}=V_{D0}=V_{DD}/2$.

Une fois ces tensions V_{G0} et V_{D0} fixées, il reste à déterminer la dynamique du courant que l'on souhaite mémoriser. Cette dynamique impose la valeur du courant de polarisation I_B . Or la tension V_{G0} étant fixée à $V_{DD}/2$, le seul paramètre sur lequel le concepteur peut agir est le rapport W/L du transistor de mémorisation. Le point de repos doit donc satisfaire l'équilibre entre la tension V_{G0} et le courant de polarisation I_B lorsque le courant d'entrée i_{in} est nul. On peut alors affirmer que le transistor fonctionne en régime saturé car $V_{DS}=V_{D0}=V_{GS}=V_{G0}>V_{DSsat}=V_{GS}-V_{T0}$.

Pour un courant i_{in} nul, il vient alors :

$$i_{DS}=I_B \text{ avec } v_{GS}=V_{G0}. \text{ Soit encore } I_B = \frac{\beta}{2} \frac{W}{L} (V_{G0} - V_{T0})^2.$$

Le rapport W/L est donc fixé par l'équation ci-dessus assurant l'équilibre statique au point de repos. En introduisant la transconductance g_{m0} autour du point de repos :

$$g_{m0} = \left. \frac{\partial i_{DS}}{\partial v_{GS}} \right|_{(I_B, V_{G0})} = \sqrt{2\beta \frac{W}{L} I_B} = \beta \frac{W}{L} (V_{G0} - V_{T0}).$$

On remarque que les quatre grandeurs I_B , V_{G0} , W/L et g_{m0} sont liées par les équations ci-dessus.

Le fonctionnement de la cellule en mode courant s'effectue donc naturellement autour d'un point d'équilibre. La grandeur d'entrée i_{in} peut donc prendre des valeurs symétriques autour de 0 : i_{in} appartient alors à l'intervalle $[-I_B, I_B]$. L'intervalle est borné par la valeur $-I_B$ qui entraîne le blocage du transistor de mémorisation T_m . Pour $i_{in}>-I_B$, le transistor fonctionne en régime saturé. Mais nous limiterons l'intervalle en valeur positive de i_{in} afin d'obtenir une symétrie autour de 0.

Il devient alors facile d'introduire une variable normalisée et centrée $m=i_{in}/I_B$ dont le domaine de validité est $[-1,1]$.

On définit alors la pleine échelle du courant d'entrée $FS(i_{in})$ comme l'écart maximum que peuvent prendre deux valeurs du courant d'entrée i_{in} : $FS(i_{in})=I_B-(-I_B)=2I_B$.

Par analogie, on définit la pleine échelle normalisée $FS(m)=1-(-1)=2$. On a alors la relation suivante : $FS(i_{in})=FS(m) \times I_B$.

Détaillons maintenant les expressions du courant de drain i_D dans le transistor de mémorisation T_m pour chaque phase de fonctionnement de la cellule en faisant apparaître les erreurs inhérentes à chacune de ces phases :

- la phase d'écriture se décompose en deux phases :
 - phase d'acquisition (Φ_{acq})
 - phase d'échantillonnage (Φ_{ech})
- la phase de stockage (Φ_{st})
- la phase de lecture (Φ_{lec})

Le séquençage global d'une telle cellule est différent d'une cellule de mode tension. Durant la phase d'acquisition une contre-réaction locale $i_{DS}-v_{GS}$ doit être établie. Cette contre-réaction doit être supprimée juste avant la fin de la phase d'écriture afin de mémoriser l'état d'équilibre introduit par celle-ci.

La figure III-2 représente le chronogramme des signaux de commande sur les interrupteurs de la cellule. On constate le décalage temporel qui doit exister entre les signaux de commandes des transistors S_{ecr} et S_{ech} .

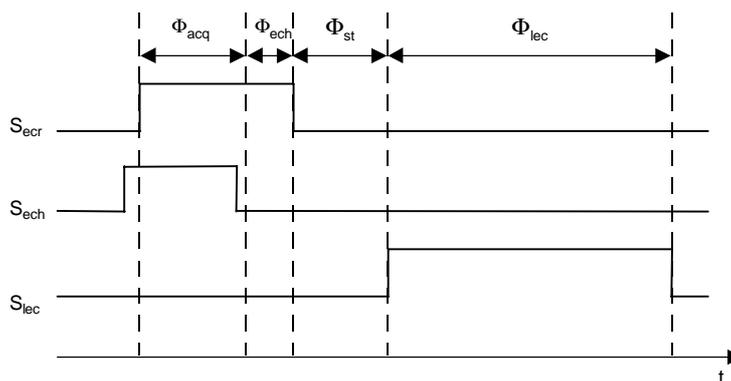


Figure III-2. Chronogrammes de fonctionnement d'une cellule à courant commuté.

☞ **Remarque :**

Dans la suite de l'étude théorique, nous ferons nos applications numériques pour une cellule de mémorisation de référence dont les principales caractéristiques sont données dans le tableau ci-dessous :

$(W/L)_m$	5/0,5 μm
$(W/L)_{ech}$	0,35/0,25 μm
$(W/L)_{ecr,lec}$	10/0,25
g_{m0}	$9,2 \cdot 10^{-4}$
I_B	320 μA
V_{G0}	1,2 V
V_{T0}	0,6 V
Z_{lec}	836 Ω

Tableau III-1 : Valeurs typiques de la cellule de référence

B.1 Phase d'acquisition (Φ_{acq})

Durant cette phase, la contre-réaction introduite par le transistor d'échantillonnage S_{ech} va permettre d'ajuster parfaitement la tension v_{GS} du transistor de mémorisation T_m afin que le courant i_{DS} égale le courant $I_B + i_{in}$. Lors de cette égalité de courant, la tension v_{GS} devient statique. Le courant de contre-réaction i_X est donc nul. L'ouverture du transistor S_{ech} , à la fin de la phase d'acquisition, permet idéalement de figer cet état d'équilibre.

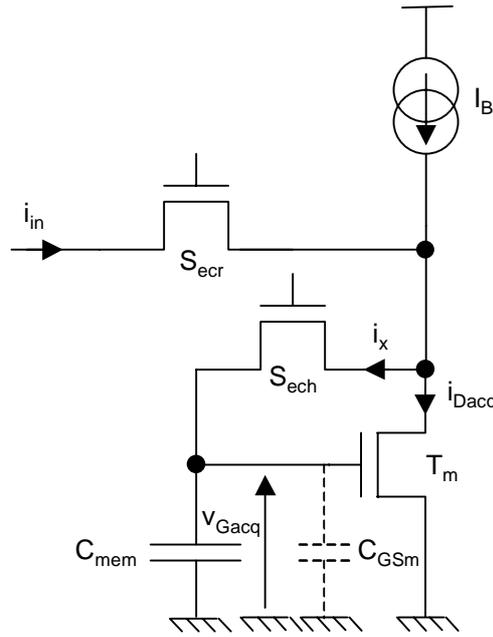


Figure III-3: cellule en mode courant en phase d'acquisition

On note $C_{Gm} = C_{mem} + C_{GSm}$ la capacité totale de mémorisation, c'est la somme de la capacité additionnelle C_{mem} et de la capacité grille-source intrinsèque C_{GSm} du transistor de mémorisation T_m .

On note v_{Gacq} la tension de grille du transistor de mémorisation et v_{Dacq} sa tension de drain, lors de la phase d'acquisition.

Durant cette phase, le transistor de mémorisation T_m est monté en résistance avec $v_{Gacq} = v_{Dacq}$ (les interrupteurs S_{ech} et S_{ech} sont fermés). Puisque $v_{Gacq} = v_{Dacq}$, la tension de drain v_{Dacq} est toujours supérieure à la tension v_{Dssat} , le transistor T_m fonctionne alors en régime saturé et son courant de drain est exprimé par la relation :

$$i_{Dacq} = \frac{\beta}{2} (v_{Gacq} - V_{T0})^2 (1 + \lambda v_{Gacq})$$

Afin de simplifier les expressions, nous introduirons dès que possible la grandeur :

$$v_{GT} = v_{Gacq} - V_{T0} \quad (III-1)$$

donc

$$i_{Dacq} = \frac{\beta}{2} v_{GT}^2 (1 + \lambda v_{Gacq})$$

avec

$$\beta = f(i_{in}) \approx \frac{\beta_0}{1 + \theta_1 v_{GT} + \theta_2 v_{Gacq}}$$

où θ_1 est le paramètre de réduction de la mobilité due au champ vertical généré par la grille du transistor et θ_2 est le paramètre de réduction de la mobilité due au champ transversal généré par la tension v_{Dacq} .

Du fait de la contre-réaction établie par l'interrupteur d'échantillonnage S_{ech} ($v_{Gacq}=v_{Dacq}$) la tension v_{Gacq} mémorisée prend en compte toutes les non-linéarités du composant. Cette tension s'établit de façon à ce que le courant de drain i_{Dacq} satisfasse la loi des nœuds. Lorsque la cellule a atteint son équilibre, aucun courant ne circule dans l'interrupteur d'échantillonnage S_{ech} ($i_x = 0$) et la capacité de mémorisation $C_{Gm} = C_{mem} + C_{GSm}$ est chargée à une tension v_{Gacq} nécessaire au maintien du courant de drain $i_{Dacq} = I_B + i_{in}$. Il vient alors en introduisant la variable normalisée m :

$$\boxed{i_{Dacq} = \frac{\beta}{2} v_{GT}^2 (1 + \lambda v_{Gacq}) = i_{in} + I_B = (1 + m) I_B} \quad (III-2)$$

En négligeant l'effet de modulation de la longueur du canal ($\lambda=0$) durant la phase d'acquisition (car ce phénomène est intégré dans la tension v_{GS} par la contre-réaction), le courant de drain s'exprime par la relation simplifiée :

$$\boxed{i_{Dacq} = \frac{\beta}{2} v_{GT}^2 = (1 + m) I_B} \quad (III-3)$$

On calcule la transconductance g_m par la relation :

$$g_m = \frac{\partial i_{Dacq}}{\partial v_{Gacq}} = \beta v_{GT} .$$

En utilisant la relation (III-3) on peut exprimer g_m comme suit :

$$g_m = \beta v_{GT} = \sqrt{2\beta(i_{in} + I_B)} = g_{m0} \sqrt{1 + m} . \quad (III-4)$$

On y voit apparaître deux grandeurs fondamentales caractérisant la cellule au point statique :

$$\begin{cases} V_{GT0} = V_{G0} - V_{T0} \\ g_{m0} = \beta \frac{W}{L} V_{GT0} = \sqrt{2\beta I_B} \end{cases}$$

La relation (III-3) s'écrit aussi :

$$\beta v_{GT} = \frac{2i_{Dacq}}{v_{GT}} = \frac{2I_B}{v_{GT}} (1 + m)$$

d'où on en déduit une expression liant v_{GT} à g_m :

$$v_{GT} = \frac{2I_B}{g_m} (1 + m) \cong \frac{2I_B}{g_{m0}} \sqrt{1 + m} \quad (III-5)$$

Remarque :

On a montré dans l'introduction que le point de polarisation imposait un rapport W/L fixé pour le transistor de mémorisation T_m ainsi que le courant de polarisation I_B .

Sachant que $i_{DS}=I_B$ et $v_{Gacq}=V_{G0}$ au point $i_{in}=0$ ($m=0$) on a la relation :

$$I_B = \frac{\beta}{2} \frac{W}{L} (V_{G0} - V_{T0})^2 = \frac{\beta}{2} \frac{W}{L} V_{GT0}^2$$

qui montre que ces grandeurs I_B et W/L sont liées. On en déduit alors que le rapport $\frac{I_B}{W/L}$ est

une variable fixée par le point de polarisation.

Afin de préparer la mise sous forme polynomiale du courant de sortie i_{out} (paragraphe C.3), nous mettons dans un premier temps la tension v_{GT} sous une forme polynomiale en utilisant un développement limité à l'ordre 3 du terme $\sqrt{1+m}$ [HEL-98,MAR-99]. La tension v_{GT} s'exprime alors par la relation :

$$v_{GT} = V_{GT0} + V_{GT1}m + V_{GT2}m^2 + V_{GT3}m^3 \quad (\text{III-6a})$$

avec

$$\left\{ \begin{array}{l} V_{GT0} = \frac{2I_B}{g_{m0}} = V_{G0} - V_{T0} \\ V_{GT1} = \frac{I_B}{g_{m0}} \\ V_{GT2} = -\frac{I_B}{4g_{m0}} \\ V_{GT3} = \frac{I_B}{8g_{m0}} \end{array} \right.$$

Finalement lors de la phase d'acquisition on aura :

$$i_{in} + I_B = (m+1)I_B = \frac{\beta}{2} v_{GT}^2$$

et

$$v_{Gacq} = v_{Dacq} = v_{GT} + V_{T0} = V_{G0} + V_{GT1}m + V_{GT2}m^2 + V_{GT3}m^3 \quad (\text{III-6b})$$

où V_{G0} traduit la tension v_{Gacq} pour $i_{in}=0$.

B.2 Phase d'échantillonnage (Φ_{ech})

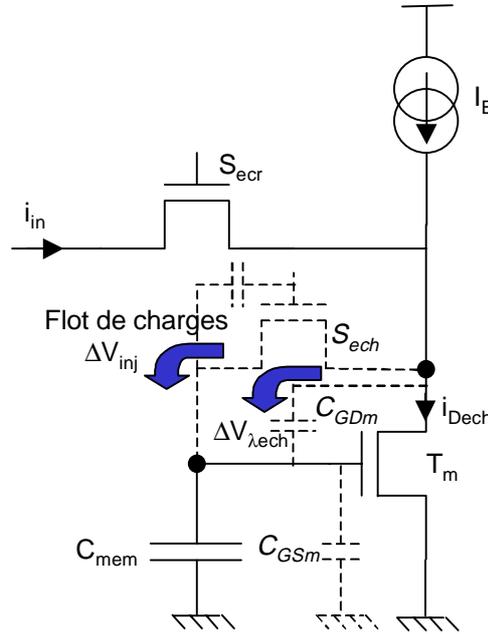


Figure III-4 : cellule de mémorisation lors de la phase d'échantillonnage

La transition de la phase d'acquisition à la phase d'échantillonnage se fait par l'ouverture de l'interrupteur d'échantillonnage S_{ech} . Afin de limiter au maximum les erreurs d'injection, on appliquera un retard sur l'ouverture de l'interrupteur S_{ocr} par rapport à S_{ech} , en fait on isole la cellule en ouvrant S_{ech} avant S_{ocr} .

L'ouverture de l'interrupteur S_{ech} introduit une tension ΔV_{inj} dans la capacité de mémorisation C_{Gm} due aux injections de charges [MAC-83],[WIL-85],[TEM-86],[KUO-86]. L'analyse de l'injection de charges est identique à celle déjà menée pour les cellules de mode tension. Nous reprendrons les mêmes notations dans cette analyse. Cette tension est exprimée ci-dessous :

$$\Delta V_{inj} = \frac{Q_{inj}}{C_{Gm}} \quad (III-7)$$

avec

$$Q_{inj} = - \underbrace{\alpha C_{Gech} (V_{DD} - v_{Tech} - v_{Gacq})}_{\text{charge due au canal}} - \underbrace{C_{retech} (v_{Gacq} + v_{Tech})}_{\text{charge due aux capacités de recouvrement}} \quad (III-8)$$

La relation III-8 fait intervenir les grandeurs suivantes :

- α qui représente la fraction de la charge du canal injectée dans la capacité totale de mémorisation C_{Gm} ,
- $C_{Gech} = C_{ox} W_{effech} (L_{effech} + 2L_D)$ la capacité de grille du transistor d'échantillonnage
- $C_{retech} = C_{ox} W_{effech} L_D$ la capacité de recouvrement du transistor d'échantillonnage

- v_{Tech} la tension de seuil du transistor d'échantillonnage.

La tension de seuil est représentée par l'équation ci-dessous :

$$v_{Tech} = V_{T0ech} + \gamma \left(\sqrt{\Phi_b + v_{Gacq}} - \sqrt{\Phi_b} \right). \quad (\text{III-9})$$

La plupart des auteurs expriment la charge due aux capacités de recouvrement en disant qu'elle est due à la variation de potentiel $V_H - V_L = V_{DD}$ sur la grille de l'interrupteur d'échantillonnage S_{ech} , la relation III-8 peut donc s'exprimer par :

$$Q_{inj} = -\alpha C_{Gech} (V_{DD} - v_{Tech} - v_{Gacq}) - C_{retech} V_{DD} \quad (\text{III-10})$$

En supposant que la charge due aux capacités de recouvrement est constante et égale à $C_{retech} V_{DD}$, on surestime l'erreur. De plus, les capacités de recouvrement sont faibles comparées à la valeur de la capacité de grille de S_{ech} rendant acceptable cette simplification. Finalement si on suppose que la tension de seuil du transistor d'échantillonnage S_{ech} est constante, la tension d'erreur due aux injections de charges est de la forme, :

$$\Delta V_{inj} = -K_{inj} [(V_{DD} - V_{T0ech} - V_{T0}) - v_{GT}] - K_{rec} V_{DD} \quad (\text{III-11})$$

avec

$$\begin{cases} K_{inj} = \frac{C_{Gech}}{C_{Gm}} \\ K_{rec} = \frac{C_{retech}}{C_{Gm}} \end{cases}$$

Pour notre cellule de référence (tableau III-1), en injectant la relation III-6b exprimant v_{Gacq} en fonction de m dans la relation III-11, nous pouvons estimer la tension d'erreur ΔV_{inj} en fonction de m pour différentes valeurs de capacités additionnelles C_{mem} . En prenant le pire cas, $\alpha=1$, on représente l'évolution de la tension ΔV_{inj} en fonction de m et C_{mem} sur la figure III-5.

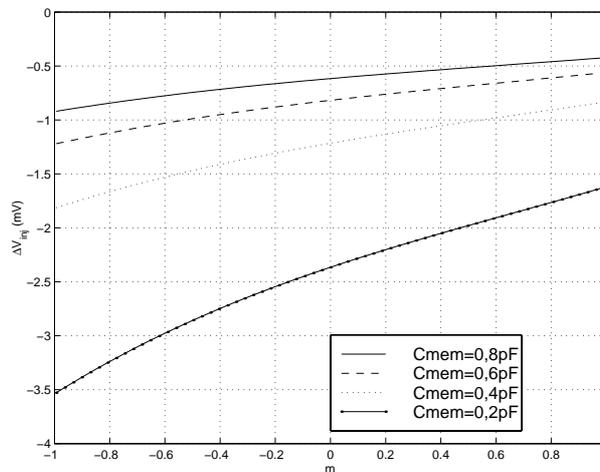


Figure III-5 : tension ΔV_{inj} en fonction de m pour différentes valeurs de C_{mem}

☞ **Remarque :**

Notons toutefois, que par rapport à une cellule de mode tension, le facteur de symétrie des impédances r est inférieur à 1, en effet la capacité de drain C_D est très inférieure à la capacité de mémorisation C_{Gm} . De plus dans [MAC-93], il a été montré que le transistor mémoire monté en diode constitue un circuit de réduction de la quantité de charges injectées par rapport au montage de mode tension, car une partie de la charge injectée par le canal est drainée vers la masse par l'intermédiaire du générateur $g_m \Delta V_{inj}$. En fait la fraction de charge injectée ne dépasse pas 2/3 [RIF-99].

Suite à la variation de la tension v_{GS} , la tension v_{DS} varie également. Le passage de la phase d'acquisition à la phase d'échantillonnage induit alors une autre erreur $\Delta V_{\lambda ech}$ sur la tension de grille due à la variation de la tension du drain ΔV_{Dech} :

$$\Delta V_{Dech} = v_{Dech} - v_{Dacq} \quad (III-12)$$

La variation de la tension de drain ΔV_{Dech} est transmise à la grille à travers la capacité de recouvrement C_{GDm} du transistor de mémorisation T_m , cette variation peut s'exprimer en régime établi de la façon suivante :

$$\Delta V_{\lambda ech} = \frac{C_{GDm}}{C_{GDm} + C_{Gm}} \Delta V_{Dech} = K_{\lambda} \Delta V_{Dech} \quad (III-13)$$

avec

$K_{\lambda} = \frac{C_{GDm}}{C_{GDm} + C_{Gm}}$ représentant l'expression du diviseur capacitif formée par la capacité de mémorisation totale $C_{Gm} = C_{GSm} + C_{mem}$ et la capacité de recouvrement grille-drain C_{GDm} du transistor de mémorisation T_m .

La détermination des grandeurs ΔV_{inj} et ΔV_{λ} (relations III-11 et III-13) permet d'établir l'expression du courant dans le transistor de mémorisation T_m lors de la phase d'échantillonnage :

$$\begin{aligned} i_{Dech} &= \frac{\beta}{2} (v_{GT} + \Delta V_{inj} + \Delta V_{\lambda ech})^2 (1 + \lambda v_{Dech}) \\ &= i_{in} + I_B = (m + 1) I_B \end{aligned} \quad (III-14)$$

☞ **Remarque :**

On peut diminuer l'influence du phénomène d'injection de charges en utilisant la technique du demi-interrupteur fictif. Il faut pour cela, s'assurer de l'équipartition de la charge du canal, le seul moyen d'y parvenir est d'utiliser un temps de descente très faible pour la tension de commande sur la grille de l'interrupteur d'échantillonnage. D'autres solutions de compensation sont discutées dans le paragraphe D.

B.3 Phase de stockage (Φ_{st})

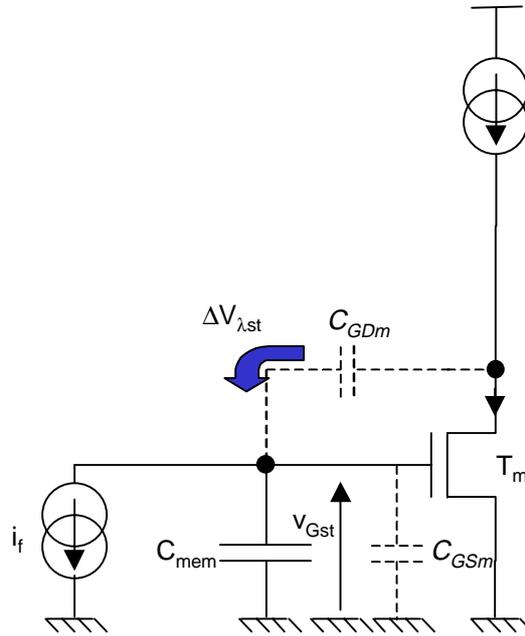


Figure III-6. Cellule de mémorisation en phase de stockage.

La transition entre la phase d'échantillonnage et la phase de stockage se fait par l'ouverture de l'interrupteur d'écriture S_{ecr} . La cellule est donc isolée électriquement et le courant de drain suit la caractéristique de la source de courant I_B .

Le passage de la phase d'échantillonnage à la phase de stockage induit une tension d'erreur $\Delta V_{\lambda st}$ sur la tension de grille due à la variation de la tension de drain ΔV_{Dst} :

$$\Delta V_{Dst} = v_{Dst} - v_{Dech} \quad (\text{III-15})$$

La variation de la tension de drain ΔV_{Dst} est transmise à la grille à travers la capacité grille-drain C_{GDm} du transistor de mémorisation T_m , cette variation peut s'exprimer de la façon suivante :

$$\Delta V_{\lambda st} = \frac{C_{GDm}}{C_{GDm} + C_{Gm}} \Delta V_{Dst} = K_{\lambda} \cdot \Delta V_{Dst} \quad (\text{III-16})$$

La phase de stockage est une phase intermédiaire entre les phases d'écriture et de lecture, nous verrons qu'elle est « transparente » dans l'expression du courant de sortie i_{out} .

Sur la figure III-6 on a représenté le courant de fuite i_f , qui provoque une décharge de la capacité C_{Gm} , si on note t_{st} la durée de la phase de stockage alors l'erreur ΔV_{Gf} sur la tension de grille mémorisée due aux courants de fuite est exprimée par la relation :

$$\Delta V_{Gf} = i_f \frac{t_{st}}{C_{Gm}} \quad (\text{III-17})$$

Le courant de fuite impose donc une durée maximale de stockage afin de préserver la précision de la cellule, soit encore la *fréquence minimale* de fonctionnement du système de lecture. Le courant de fuite est d'autant plus important lorsque la cellule a été irradiée.

B.4 Phase de lecture (Φ_{lec})

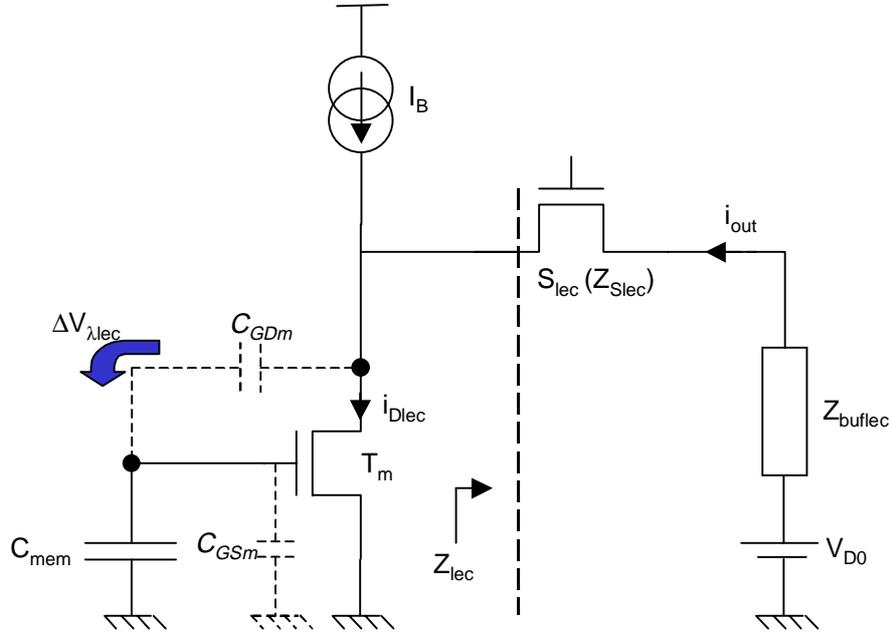


Figure III-7 : Cellule de mémorisation en phase lecture.

La transition entre la phase de stockage et la phase de lecture se fait par la fermeture de l'interrupteur de lecture S_{lec} . Dans cette phase il n'y a pas de contre-réaction, la tension v_{Dlec} est donc imposée par le circuit de lecture. On note Z_{lec} l'impédance de charge vue par le transistor de mémorisation T_m . Cette impédance est la somme de l'impédance d'entrée de l'amplificateur de lecture Z_{buflec} et de l'impédance série Z_{Slec} de l'interrupteur de lecture S_{lec} : ($Z_{lec} = Z_{Slec} + Z_{buflec}$). Le modèle de Thévenin équivalent pour l'étage de lecture impose la tension statique V_{D0} au transistor de mémorisation pour le point de repos $i_{in} = 0$. Si on suppose que le système de lecture fonctionne de manière linéaire sur la plage dynamique de fonctionnement de la cellule de mémorisation, alors on doit admettre que la grandeur Z_{buflec} est constante. Il vient alors pour la tension v_{Dlec} :

$$v_{Dlec} = V_{D0} - Z_{lec} i_{out} \quad (\text{III-18})$$

Il s'ensuit une variation $\Delta V_{\lambda lec}$ sur la tension de grille due à la variation de la tension de drain ΔV_{Dlec} lors du passage de la phase de stockage à la phase de lecture :

$$\Delta V_{Dlec} = v_{Dlec} - v_{Dst} \quad (\text{III-19})$$

et

$$\Delta V_{\lambda lec} = \frac{C_{GDm}}{C_{GDm} + C_{Gm}} \Delta V_{Dlec} = K_{\lambda} \Delta V_{Dlec} \quad (\text{III-20})$$

on en déduit alors le courant de drain i_{Dlec} dans le transistor de mémorisation pour la phase de lecture :

$$i_{Dlec} = \frac{\beta}{2} (v_{GT} + \Delta V_{inj} + \Delta V_{\lambda ech} + \Delta V_{\lambda st} + \Delta V_{\lambda lec})^2 (1 + \lambda v_{Dlec}) \quad (III-21)$$

☞ **Remarque :**

Lors de la phase d'acquisition, le transistor d'échantillonnage établissait une contre-réaction, donc l'effet de $(1 + \lambda v_{Dacq})$ était négligeable (équation III-1). En effet la contre réaction oblige le transistor de mémorisation à travailler au voisinage de V_{G0} . Or en phase de lecture, on ne connaît pas à priori la valeur de la tension de drain v_{Dlec} , c'est pourquoi il n'y a pas de simplification à priori acceptable dans la relation III-21.

L'ensemble des termes $\Delta V_{\lambda x}$ apparaissant dans la relation III-21, proviennent du pont diviseur capacitif reliant le drain à la grille du transistor de mémorisation T_m . On peut alors les additionner afin de faire apparaître la grandeur résultante ΔV_{λ} définie par :

$$\Delta V_{\lambda} = \Delta V_{\lambda ech} + \Delta V_{\lambda st} + \Delta V_{\lambda lec}.$$

En développant l'expression, on obtient finalement :

$$\Delta V_{\lambda} = \frac{C_{GDm}}{C_{GDm} + C_{Gm}} (v_{Dlec} - v_{Dacq}) = K_{\lambda} (v_{Dlec} - v_{Dacq}) \quad (III-22)$$

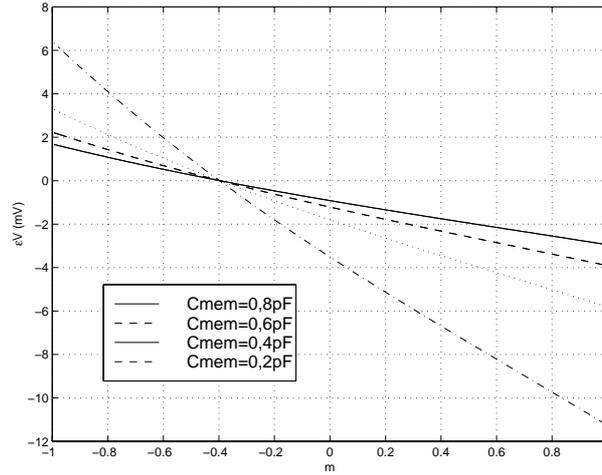
On peut donc grouper tous les termes d'erreur ramenés à la grille du transistor T_m en posant :

$$\varepsilon V = \Delta V_{inj} + \Delta V_{\lambda} \quad (III-23)$$

L'expression finale du courant de drain du transistor T_m en phase de lecture est alors donnée par :

$$i_{Dlec} = \frac{\beta}{2} (v_{GT} + \varepsilon V)^2 (1 + \lambda v_{Dlec}) \quad (III-24)$$

La figure ci-dessous représente la variation de la tension d'erreur εV en fonction de m pour différentes valeurs de capacité additionnelle C_{mem} . Ces courbes ont été tracées pour les paramètres de la cellule de référence (tableau III-1).


 Figure III-8 : εV en fonction de m pour différentes valeurs de C_{mem}

On peut alors noter l'expression du courant de sortie i_{out} qui peut être relié à la tension mémorisée $v_{GT} + \varepsilon V$ par l'intermédiaire du courant i_{Dlec} :

$$i_{out} + I_B = i_{Dlec} = \frac{\beta}{2} (v_{GT} + \varepsilon V)^2 (1 + \lambda v_{Dlec}) \quad (\text{III-25})$$

En introduisant l'expression de v_{Dlec} (equ. III-18) dans l'expression de i_{Dlec} (equ. III-25), on obtient une équation récurrente en i_{out} :

$$i_{out} + I_B = i_{Dlec} = \frac{\beta}{2} (v_{GT} + \varepsilon V)^2 [1 + \lambda (V_{D0} - Z_{lec} i_{out})]$$

Le choix de conception sur le point de repos nous a conduit à poser $V_{D0} = V_{G0}$. Le terme $Z_{lec} i_{out}$ représente l'influence du circuit de lecture sur le courant i_{Dlec} . Postulons à priori que les écarts entre i_{out} et i_{in} restent faibles malgré les nombreuses imperfections. Il vient alors : $i_{out} \cong i_{in}$. Cette égalité nous permet de résoudre le problème de récurrence de l'équation III-25. On donnera une relation approchée de la tension v_{Dlec} :

$$v_{Dlec} = V_{D0} - Z_{lec} i_{out} \cong V_{D0} - Z_{lec} i_{in} \quad (\text{III-26})$$

Ce qui conduit finalement à la relation :

$$\boxed{i_{out} + I_B = i_{Dlec} = \frac{\beta}{2} (v_{GT} + \varepsilon V)^2 [1 + \lambda (V_{D0} - Z_{lec} i_{in})]} \quad (\text{III-27})$$

B.5 Résumé des différentes phases de fonctionnement

Dans ce paragraphe, nous avons obtenu une expression du courant de sortie i_{out} en fonction de quatre grandeurs auxiliaires v_{GT} , ΔV_{inj} , ΔV_{λ} et v_{Dlec} . Par la simplification : $v_{Dlec} \cong V_{D0} - Z_{lec} m I_B$ toutes ces grandeurs s'expriment en fonction du courant d'entrée $i_{in} = m I_B$.

Il est donc possible de mettre chacune de ces grandeurs sous forme polynomiale afin d'obtenir une relation polynomiale globale entre les courants d'entrée i_{in} et de sortie i_{out} à partir des relations ci-dessous :

$$\begin{cases} i_{in} + I_B = i_{Dacq} = \frac{\beta}{2} v_{GT}^2 = (m+1)I_B \\ i_{out} + I_B = i_{Dlec} = \frac{\beta}{2} (v_{GT} + \varepsilon V)^2 (1 + \lambda v_{Dlec}) \end{cases}$$

Si on pose :

$$v_{GT} = V_{GT0} + V_{GT1}m + V_{GT2}m^2 + V_{GT3}m^3 \text{ la tension de grille lors de la phase d'acquisition}$$

$$v_{Dlec} = V_{D0} - Z_{lec}mI_B \text{ la tension de drain en phase de lecture}$$

$$\varepsilon V = \underbrace{\Delta V_{inj}}_{\text{interrupteur } S_{ech}} + \underbrace{\Delta V_{\lambda}}_{\text{transistor } T_m} = V_{\varepsilon 0} + V_{\varepsilon 1}m + V_{\varepsilon 2}m^2 + V_{\varepsilon 3}m^3 \text{ la contribution des erreurs lors des}$$

trois phases de fonctionnement.

On peut alors déterminer une expression polynomiale du courant de sortie i_{out} en fonction de i_{in} et de m en effectuant le changement $m = \frac{i_{in}}{I_B}$:

$$\begin{cases} i_{out} = a_0 + a_1 i_{in} + a_2 i_{in}^2 + a_3 i_{in}^3 \\ i_{out} = \bar{a}_0 + \bar{a}_1 m + \bar{a}_2 m^2 + \bar{a}_3 m^3 \end{cases}$$

avec $\begin{cases} \bar{a}_0 = a_0 \\ \bar{a}_1 = a_1 I_B \\ \bar{a}_2 = a_2 I_B^2 \\ \bar{a}_3 = a_3 I_B^3 \end{cases}$

Ce développement polynomial du courant de sortie i_{out} est explicité dans le paragraphe C.3 afin d'étudier la non-linéarité de la cellule de mémorisation.

B.6 Analyse simplifiée

Le but de cette étude est de fournir une analyse simple quant au dimensionnement d'une cellule de mémorisation.

Selon les équations III-2 et III-24 on pose :

$$\begin{cases} i_{in} + I_{Bacq} = i_{Dacq} \\ i_{out} + I_{Blec} = i_{Dlec} \end{cases}$$

En remarquant que $v_{Dacq} = v_{Gacq}$ et en acceptant que $I_{Bacq} = I_{Blec} = I_B$, on peut exprimer la fonction de transfert de la cellule par la relation :

$$\left(\frac{i_{Dlec}}{i_{Dacq}} \right) = \frac{1 + \lambda v_{Dlec}}{1 + \lambda v_{Dacq}} \left(1 + \frac{\varepsilon V}{v_{GT}} \right)^2 \quad (\text{III-28})$$

- a) En négligeant, en première approche, l'effet de modulation de canal représentée par λ ($\lambda=0$), l'équation III-28 s'écrit alors :

$$\left(\frac{i_{Dlec}}{i_{Dacq}} \right) \cong \left(1 + \frac{\varepsilon V}{v_{GT}} \right)^2 \quad (\text{III-29})$$

Cette relation montre que pour obtenir un gain constant (indépendant de i_{in}) la tension v_{GT} doit être très grande devant la tension d'erreur εV ($\varepsilon V \ll v_{GT}$). Le concepteur peut minimiser cette tension ($\Delta V_{inj} + \Delta V_{\lambda}$) en dimensionnant l'interrupteur d'échantillonnage S_{ech} à sa taille minimale. Ceci est bénéfique en terme de surface, de puissance de commutation ($\propto CV^2f$), mais contraignant pour la vitesse (temps d'établissement de la cellule).

La tension v_{Gacq} restant voisine de V_{G0} , on choisit $V_{G0} = V_{DD}/2$ afin de faciliter la répartition des potentiels statiques dans toute la chaîne.

La tension d'erreur εV est inversement proportionnelle à la capacité de mémorisation $C_{mem} + C_{GSm}$ (relations III-11, III-22 et III-23). Minimiser εV revient à augmenter la valeur de la capacité de mémorisation C_{mem} , au détriment de la vitesse de fonctionnement (la constante de temps de la cellule est proportionnelle à $(C_{mem} + C_G)/g_m \cong C_{mem}/g_m$ au premier ordre).

Afin de pallier la diminution de vitesse induite par l'augmentation de C_{mem} et la réduction géométrique de S_{ech} , il paraît évident d'augmenter la transconductance g_m du transistor de mémorisation T_m afin de garder un rapport C_{mem}/g_m constant.

Le premier compromis portant sur le rapport vitesse/précision conduit à un autre compromis surface/précision. En effet, augmenter g_m conduit à augmenter la largeur W_{eff} du transistor de mémorisation, augmentation qui n'a pas d'influence significative sur la capacité totale de mémorisation $C_{GSm} + C_{mem}$ (si C_{mem} est une capacité additionnelle de valeur très supérieure à la capacité de grille intrinsèque C_{GSm} de T_m). Donc augmenter C_{mem} et g_m conduit à une augmentation de la surface occupée. Malheureusement l'augmentation de la valeur de g_m impliquerait une augmentation de l'erreur sur le courant

i_{out} . Mais le maintien du point de repos implique un rapport $\frac{I_B}{W/L}$ constant donc une valeur

de g_m constante. A défaut, augmenter W impose d'augmenter I_B donc la puissance dissipée.

- b) Conformément au point a), on suppose désormais que le terme $\varepsilon V/v_{GT}$ a été minimisé. L'étude porte sur l'influence du paramètre de modulation de longueur du canal λ non nul ($\lambda \neq 0$) ici, la relation III-28 s'écrit :

$$\left(\frac{i_{Dlec}}{i_{Dacq}} \right)_{DC} = \frac{1 + \lambda v_{Dlec}}{1 + \lambda v_{Dacq}} \quad (\text{III-30})$$

- Afin de garder un gain statique constant, la tension de drain lors de la phase de lecture v_{Dlec} doit être indépendante du courant de sortie i_{out} (donc du courant i_{in}). Ceci est obtenu en concevant un système de lecture à impédance d'entrée nulle ($Z_{buflec} \rightarrow 0$) qui impose par conséquent une tension de drain V_{D0} constante si possible égale à la tension de repos V_{G0} de la cellule de mémorisation.
- En remarquant que $v_{Gacq} = v_{Dacq}$ par contre-réaction, la tension v_{Gacq} doit être indépendante du courant d'entrée i_{in} . Si on suppose en première approximation que $v_{Gacq} = V_{G0} + i_{in}/g_m$ alors le terme g_m doit être maximisé. Ce qui revient à augmenter la largeur W_{eff} de T_m . Mais afin de garder le paramètre λ faible, le transistor T_m devra avoir une longueur L_{eff} suffisante ($\lambda \propto 1/L_{eff}$). Sous cette hypothèse, le courant de drain i_D ne sera alors pas affecté par une quelconque variation de la tension de drain v_D . La conséquence directe est une augmentation de surface.

Le concepteur devra faire un compromis entre précision/vitesse/surface/puissance en trouvant un compromis entre la valeur de la capacité C_{mem} , la valeur de la transconductance g_m par W et de la valeur de λ par L .

De nombreux articles ([TOU-90],[LOE-99]) donnent des solutions afin de garder la tension de drain constante ou de diminuer la conductance de sortie g_{DS} du transistor de mémorisation. Les structures cascode et cascode régulée sont un exemple de ces solutions, mais là encore il faudra faire un compromis surface/précision et puissance/précision car d'autres sources de polarisation sont utilisées. Ces structures sont présentées et discutées dans le paragraphe D.

C LIMITES DE FONCTIONNEMENT

Dans ce paragraphe, nous étudions les limites de fonctionnement d'une cellule de mémorisation de type copieur de courant :

- Le régime statique qui permet de déterminer la dynamique d'entrée maximale
- Le régime dynamique qui permet de déterminer une bande passante équivalente ainsi qu'un temps d'acquisition
- La non-linéarité
- Le bruit de fond intrinsèque

C.1 Plage dynamique d'entrée en régime statique

En régime de fonctionnement « normal » durant la phase d'acquisition, les grandeurs internes de la cellule sont asservies à la grandeur d'entrée par la contre-réaction introduite par le transistor d'échantillonnage S_{ech} . La convergence des grandeurs internes se fait théoriquement au bout d'un temps infini. Cette étude se place donc en régime statique, en supposant un temps d'acquisition infini.

Néanmoins, les grandeurs internes agissent sur les caractéristiques des composants de la cellule. Il nous faut, comme pour le mode tension au chapitre précédent, analyser ces effets afin de déterminer l'intervalle d'entrée pour lequel les grandeurs internes peuvent converger sans erreur. Cet intervalle d'entrée constitue alors la plage dynamique d'entrée dont l'étendue s'appelle la pleine échelle d'entrée $FS(i_{in})$

Nous chercherons donc les équations des grandeurs internes au point de convergence et nous relèverons les limitations introduites par les éléments de la cellule.

Au point d'équilibre, le transistor de mémorisation T_m satisfait aux équations suivantes :

$$\begin{cases} v_{Dacq} = v_{Gacq} \\ i_{Dacq} = I_B + i_{in} = (m+1)I_B \\ m = \frac{i_{in}}{I_B} \end{cases}$$

or

$$i_{Dacq} = \frac{\beta}{2} v_{GT}^2$$

on en déduit alors la tension de la grille et du drain du transistor T_m :

$$v_{Gacq} = v_{Dacq} = \frac{2I_B}{g_{m0}} \sqrt{1+m} - V_{T0} \quad (\text{III-31})$$

La situation du transistor d'écriture S_{ecr} est particulière. L'une des bornes (source S ou drain D) est connectée à un point haute impédance, et l'autre à un point basse impédance dont la tension est donnée par v_{Gacq} . Il en résulte, selon la figure ci-contre, que pour un courant d'entrée i_{in} **négatif**, la source du transistor d'écriture est du côté haute impédance ce qui n'entraîne pas de limitation de sa conductance par la tension v_{GS} .

Dans ce cas, la seule limitation viendra de la cellule car le courant i_{in} négatif sera limité à la valeur $-I_B$.

Pour une courant d'entrée i_{in} **positif**, la source du transistor S_{ecr} est contrôlée par le potentiel v_{Gacq} . Ce transistor introduit donc une limitation par sa tension de commande $v_{GS} = V_{DD} - v_{Gacq}$. Il se bloquera pour une tension $v_{GS_{ecr}}$ inférieure à sa tension de seuil $V_{th_{ecr}}$. Ce cas ($i_{in} > 0$) introduit une limitation donnée par :

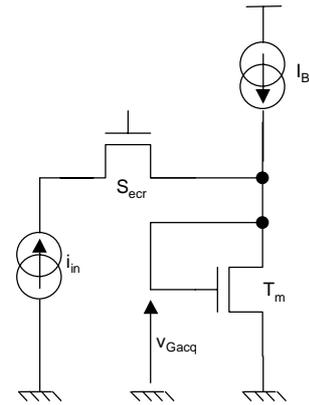
$$V_{TH_{ecr}} \leq V_{DD} - v_{Gacq} = (V_{DD} - V_{T0}) - \frac{2I_B}{g_{m0}} \sqrt{1+m} \quad \text{pour } m > 0 \quad (\text{III-32})$$

Cette limitation sur $v_{GS_{ecr}}$ assure parallèlement un bon fonctionnement de la source de polarisation interne I_B , car sa tension $v_{DS_{I_B}} = v_{GS_{ecr}} \geq V_{TH_{ecr}} \geq V_{T0}$. Cette tension $v_{DS_{I_B}}$ est alors supérieure à la tension de saturation drain-source du transistor fonctionnant en source de courant I_B .

Les bornes du courant d'entrée sont donc données par l'équation III-32 et $-I_B$:

$$i_{in} \in [-I_B, I_{max}]$$

avec



$$I_{\max} = \frac{\beta_m}{2} (V_{DD} - V_{T_m} - V_{TH_{ecr}})^2 - I_B \quad (\text{III-33})$$

Cherchons à savoir dans quel état est le transistor d'écriture S_{ecr} lorsque $i_{in} \in [-I_B, i_{\max}]$, c'est à dire $m \in [-1, i_{\max}/I_B]$. Calculons la tension de saturation drain-source en fonction de i_{in} :

$$v_{DS_{sat_{ecr}}} = v_{GS_{ecr}} - V_{T_{ecr}} = (V_{DD} - V_{TH_{ecr}} - V_{T_0}) - \frac{2I_B}{g_{m0}} \sqrt{m+1} \quad (\text{III-34})$$

On constate que pour des courants d'entrée i_{in} négatifs ($m < 0$), la tension $v_{DS_{sat_{ecr}}}$ augmente assurant un régime de fonctionnement ohmique au transistor d'écriture. En fait, cela signifie que la tension réelle $v_{DS_{ecr}}$ a une très forte probabilité d'être inférieure à la tension de saturation. Or dans ce cas ($m < 0$) la source de S_{ecr} est du côté haute impédance, permettant au terme $v_{GS_{ecr}}$ d'assurer la conduction du courant. Dans ce cas, la résistance $R_{DS_{on}}$ du transistor d'écriture S_{ecr} peut être négligée.

Pour un courant d'entrée positif ($m > 0$), on cherchera, lors de la conception, à assurer une plage dynamique d'entrée symétrique en imposant $I_{\max} > I_B$.

On calcule alors $v_{Gacq}(+I_B) = v_{Gacq}(m=1) = \frac{2\sqrt{2}I_B}{g_{m0}} - V_{T_0}$. Puisque la tension

$v_{GS_{ecr}} = V_{DD} - v_{Gacq}(m=1)$ doit rester supérieure à la tension de seuil pour un courant d'entrée $i_{DS_{ecr}}$ de I_B , il suffit de vérifier l'inégalité suivante : $V_{DD} - v_{Gacq}(m=1) - V_{TH_{ecr}} > 0$.

La solution à cette situation impose que l'on s'assure en premier lieu que la tension $v_{Gacq}(m=1)$ satisfasse la condition requise. Par la suite, on peut évaluer les dimensions du transistor S_{ecr} . Pour ce faire, on choisit une situation défavorable qui permet de satisfaire l'inégalité dans les autres cas. Cette situation défavorable est le régime saturé du transistor S_{ecr} . Le courant $i_{DS_{ecr}}$ est alors donné par la relation :

$$i_{DS_{ecr}} = \frac{\beta_{ecr}}{2} \left(\frac{W}{L} \right)_{ecr} (v_{GS_{ecr}} - V_{TH_{ecr}})^2.$$

Puisque $v_{GS_{ecr}} - V_{TH_{ecr}}$ tend vers 0, il faudra augmenter le rapport W/L du transistor S_{ecr} afin d'assurer la conduction du courant $i_{DS_{ecr}}$. Il suffit donc d'imposer ce pire cas pour un courant $i_{DS_{ecr}} > I_B$. On choisira typiquement le cas $i_{DS_{ecr}} = 2I_B$ pour le régime saturé.

Finalement, on peut admettre que pour une plage dynamique d'entrée symétrique $[-I_B, I_B]$ le transistor fonctionne en régime ohmique avec une résistance R_{DS} faible pour des courants d'entrée négatifs et plus élevée pour des courants d'entrée positifs. L'augmentation du rapport

$\left(\frac{W}{L} \right)_{ecr}$ peut améliorer la situation.

C.2 Régime dynamique

Par analogie au mode tension, l'objectif de cette étude est de déterminer les erreurs d'établissement ε_{set} et d'ouverture ε_{ap} . L'approche est légèrement différente du mode tension. En effet dans une cellule de mode courant, il existe une contre-réaction lors de la phase d'acquisition. L'étude de la contre-réaction permet de déterminer l'ordre du système, donc le temps d'établissement de la cellule. De cette étude, on pourra alors déterminer la pseudo constante de temps, ainsi que la pseudo bande passante.

Afin de mener notre développement, nous représentons la cellule de mémorisation par le modèle équivalent ci-dessous lors de la phase d'acquisition :

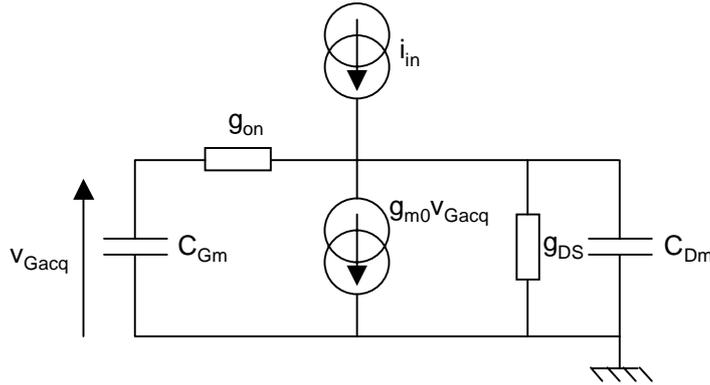


Figure III-9 : Modèle équivalent petits signaux lors de la phase d'acquisition

g_{on} est la conductance de l'interrupteur d'échantillonnage S_{ech} , la capacité C_{Gm} est la somme des capacités grille-source intrinsèque C_{GSm} de T_m et de la capacité additionnelle C_{mem} ($C_{Gm} = C_{mem} + C_{GSm}$), C_{Dm} est la capacité équivalente ramenée au drain de T_m , elle est égale à la somme des capacités grille-drain des interrupteurs S_{ech} , S_{lec} , S_{ecr} , de la source de courant I_B , du transistor de mémorisation T_m et de leurs capacités drain-substrat ; g_{DS} représente la conductance de T_m et g_{m0} la transconductance de T_m au point de repos V_{G0} .

Dans le cas d'une cellule en mode courant, la variable asservie est le courant de drain i_{Dm} dans le transistor T_m . Le but de l'asservissement est d'égaliser le courant i_{Dm} à la somme $i_{in} + I_B$. Par définition, l'erreur d'établissement ε_{set} est définie par $\varepsilon_{set} = (i_{in} + I_B) - i_{Dm}$. Néanmoins, la condition d'égalité passe par la tension de grille v_{Gacq} du transistor T_m . Il nous faut alors relier les deux grandeurs. A partir du schéma équivalent (figure III-9), on a :

$$i_{Dm} = g_{m0} v_{Gacq} = g_{m0} (V_{G0} + v_{gacq})$$

où v_{gacq} traduit les variations autour du point de repos V_{G0} relatives aux variations du courant d'entrée i_{in} . Puisque nous avons la relation $I_B = g_{m0} V_{G0}$, nous avons alors :

$$i_{Dm} = I_B + g_{m0} v_{Gacq}.$$

L'erreur d'établissement s'exprime donc par la relation :

$$\varepsilon_{set} = i_{in} - g_{m0} v_{gacq}.$$

Il suffit alors d'exprimer la réponse temporelle de v_{gacq} à une entrée de type échelon de courant. En notation de Laplace, pour l'étude du régime transitoire, on a alors :

$$\varepsilon_{set}(p) = i_{in}(p) - g_{m0} v_{gacq}(p)$$

soit aussi : $\varepsilon_{set,rel}(p) = \frac{\varepsilon_{set}(p)}{i_{in}(p)} = 1 - g_{m0} \frac{v_{gacq}(p)}{i_{in}(p)}$.

L'étude se résume donc à celle de la fonction de transfert $F(p) = \frac{v_{Gacq}}{i_{in}}$. A partir de cette

étude, il est possible d'exprimer les originaux temporels des grandeurs $v_{gacq}(t)$ et $i_{in}(t)$ par la transformée de Laplace inverse L^{-1} .

L'étude de ce système se ramène à l'étude d'un second ordre. On supposera que la conductance à l'état passant g_{on} de l'interrupteur est constante, dans le cas contraire on se ramène aux systèmes non-linéaires. La fonction de transfert $F(p) = \frac{v_{Gacq}}{i_{in}}$ de la cellule est la suivante (p étant la variable de Laplace) :

$$F(p) = \frac{v_{gacq}}{i_{in}} = \frac{1}{g_{m0} + g_{DS}} \cdot \frac{1}{1 + \frac{p}{g_{m0} + g_{DS}} \left[\left(1 + \frac{g_{DS}}{g_{on}}\right) C_{Gm} + C_{Dm} \right] + \frac{C_{Dm} C_{Gm}}{g_{on} (g_{m0} + g_{DS})} p^2} \quad (\text{III-35})$$

Si on suppose que g_{m0} est très grand devant g_{DS} alors $F(p)$ s'écrit :

$$F(p) = \frac{v_{gacq}}{i_{in}} \cong \frac{1}{g_{m0}} \cdot \frac{1}{1 + \frac{C_{Gm} + C_{Dm}}{g_{m0}} p + \frac{C_{Dm} C_{Gm}}{g_{on} g_{m0}} p^2} \quad (\text{III-36})$$

En identifiant la relation (III-36) à la forme standard d'un système du second ordre :

$$F(p) = \frac{K}{1 + \frac{2\xi}{\omega_0} p + \frac{1}{\omega_0^2} p^2} \quad (\text{III-37})$$

on en déduit alors les coefficients ω_0 , ξ et K en fonction des paramètres de la cellule de mémorisation:

$$\begin{cases} \omega_0 = \sqrt{\frac{g_{m0} g_{on}}{C_{Dm} C_{Gm}}} \\ \xi = \frac{(C_{Dm} + C_{Gm})}{2} \sqrt{\frac{g_{on}}{g_{m0}} \cdot \frac{1}{C_{Dm} \cdot C_{Gm}}} \\ K = \frac{1}{g_{m0}} \end{cases} \quad (\text{III-38})$$

Le discriminant du dénominateur est donné par $\Delta = \frac{1}{\omega_0^2} (\xi^2 - 1)$. Le système présentera donc

deux comportements dynamiques différents selon le signe du déterminant. La valeur critique $\xi = 1$ introduit la valeur critique g_{crit} de g_{on} pour laquelle le discriminant Δ est nul :

$$g_{crit} = \frac{4C_{Gm} C_{Dm}}{(C_{Gm} + C_{Dm})^2} g_{m0} \quad (\text{III-39})$$

Le choix de la variable critique g_{on} découle du fait que le transistor S_{ech} est inopérant dans les autres phases de fonctionnement. C'est donc une variable « libre » que l'on peut contraindre pour la phase d'acquisition. Le dimensionnement du transistor S_{ech} conduit donc à la détermination de sa conductance g_{on} .

C.2.1 Régime sur-amorti

Pour une valeur $g_{on} > g_{crit}$, on a $\xi > 1$. La fonction de transfert $F(p)$ a alors deux pôles réels distincts et négatifs : p_1 et p_2 . Ce qui conduit à un régime transitoire apériodique. On parle alors de régime **sur-amorti**.

On peut alors écrire $F(p)$ sous la forme :

$$F(p) = \frac{K_0}{(1 + \tau_1 p)(1 + \tau_2 p)} \quad (\text{III-40})$$

avec

$$\begin{cases} K_0 = \frac{K\omega_0^2}{p_1 p_2} = K = \frac{1}{g_{m0}} \\ \tau_1 = -\frac{1}{p_1} \\ \tau_2 = -\frac{1}{p_2} \end{cases} \quad (\text{III-41})$$

et

$$\begin{cases} p_1 = -\omega_0 \left(\xi + \sqrt{\xi^2 - 1} \right) = -\frac{1}{2} g_{on} \frac{C_{Dm} + C_{Gm}}{C_{Dm} C_{Gm}} \left[1 + \sqrt{1 - 4 \frac{g_{m0}}{g_{on}} \frac{C_{Dm} C_{Gm}}{(C_{Dm} + C_{Gm})^2}} \right] \\ p_2 = -\omega_0 \left(\xi - \sqrt{\xi^2 - 1} \right) = -\frac{1}{2} g_{on} \frac{C_{Dm} + C_{Gm}}{C_{Dm} C_{Gm}} \left[1 - \sqrt{1 - 4 \frac{g_{m0}}{g_{on}} \frac{C_{Dm} C_{Gm}}{(C_{Dm} + C_{Gm})^2}} \right] \end{cases} \quad (\text{III-42})$$

La constante de temps équivalente pour un système du second ordre sur amorti est :

$$\tau = \max \left[\frac{1}{\omega_0 \left(\xi + \sqrt{\xi^2 - 1} \right)}, \frac{1}{\omega_0 \left(\xi - \sqrt{\xi^2 - 1} \right)} \right] \quad (\text{III-43})$$

avec $\xi > 1$, c'est à dire $g_{on} \gg g_{crit}$, on a alors $\tau_2 \gg \tau_1$ donc $\left(\tau = \frac{1}{\omega_0 \left(\xi - \sqrt{\xi^2 - 1} \right)} \right)$. On peut

alors réexprimer $F(p)$ par : $F(p) \cong \frac{K}{1 + \tau_2 p}$. Cette forme réduite s'approche d'un système à

pôle dominant, c'est à dire un système du premier ordre. Dont la constante de temps τ est donnée par :

$$\tau = -\frac{1}{T_2} = \frac{C_{Gm} + C_{Dm}}{2g_{m0}} \left(1 + \sqrt{1 - 4 \frac{g_{m0}}{g_{on}} \frac{C_{Dm} C_{Gm}}{(C_{Dm} + C_{Gm})^2}} \right) \quad (\text{III-44})$$

On peut ainsi définir la bande passante équivalente BP de la cellule en phase d'acquisition, lorsqu'elle fonctionne en régime sur-amorti :

$$BP = \frac{1}{2\pi\tau} = \frac{1}{\pi} \frac{g_{m0}}{C_{Gm} + C_{Dm}} \frac{1}{1 + \sqrt{1 - 4 \frac{g_{m0}}{g_{on}} \frac{C_{Dm} C_{Gm}}{(C_{Dm} + C_{Gm})^2}}} \quad (\text{III-45})$$

Il est également possible de déterminer le temps d'établissement t_{set} à ε_{set} près du système du premier ordre :

$$t_{set} = \tau \ln \left(\frac{1}{\varepsilon_{set,rel}} \right) = \frac{C_{Gm} + C_{Dm}}{2g_{m0}} \left(1 + \sqrt{1 - 4 \frac{g_{m0}}{g_{on}} \frac{C_{Dm} C_{Gm}}{(C_{Dm} + C_{Gm})^2}} \right) \ln \left(\frac{1}{\varepsilon_{set,rel}} \right) \quad (\text{III-46})$$

C.2.2 Régime sous-amorti

Le second mode de fonctionnement dynamique est atteint lorsque $g_{on} < g_{crit}$. On a alors $\xi < 1$. Par suite la fonction de transfert F(p) a deux pôles complexes conjugués p_1 et p_2 . Ce qui conduit à un régime transitoire périodique amorti. On parle de régime **sous-amorti** :

Les pôles complexes sont donnés par :

$$\begin{cases} p_1 = -\xi\omega_0 + j\omega_0\sqrt{1-\xi^2} \\ p_2 = -\xi\omega_0 - j\omega_0\sqrt{1-\xi^2} \end{cases} \quad (\text{III-47})$$

Précisons que le temps d'établissement minimal d'un système du second ordre est obtenu en régime sous-amorti, lorsque l'amplitude du premier dépassement est égale à la valeur de l'erreur relative d'établissement $\varepsilon_{set,rel}$ tolérée [YAN-90],[ASC-99].

On introduit donc un critère de dépassement D donné par la relation

$$D = \exp \left(\frac{-\pi\xi}{\sqrt{1-\xi^2}} \right) \text{ soit encore } \xi = \frac{1}{\sqrt{1 + \left(\frac{\pi}{\ln D} \right)^2}} \quad (\text{III-48})$$

☞ Remarque :

Dans la suite de l'étude nous travaillerons avec l'erreur d'établissement relative $\varepsilon_{set,rel}$ car les paramètres D et ξ sont déterminés à partir de fonctions de transfert **normalisées**.

Si on suppose que le temps d'établissement t_{set} est égal à l'instant où le premier dépassement apparaît alors on peut l'exprimer par la relation :

$$t_{set} = \frac{\pi}{\omega_0 \sqrt{1-\xi^2}} = \frac{-\ln D}{\xi \omega_0} = \frac{1}{\omega_0} |\ln D| \sqrt{1 + \left(\frac{\pi}{\ln D} \right)^2} \quad (\text{III-49})$$

En remplaçant les grandeurs ω_0 et ξ dans la relation III-49, par leurs expressions données par la relation III-38 et en introduisant l'erreur d'établissement $\varepsilon_{set_rel} = D$, on peut exprimer le temps d'établissement t_{set} par la relation :

$$t_{set} = \frac{2}{g_{on}} \frac{C_{Dm} C_{Gm}}{C_{Dm} + C_{Gm}} |\ln \varepsilon_{set_rel}| = \sqrt{\frac{C_{Dm} C_{Gm}}{g_{m0} g_{on}}} \cdot \sqrt{1 + \left(\frac{\pi}{\ln \varepsilon_{set_rel}} \right)^2} \cdot |\ln \varepsilon_{set_rel}| \quad (\text{III-50})$$

On peut alors exprimer la bande passante équivalente BP de la cellule en phase d'acquisition, lorsqu'elle fonctionne en régime sous-amorti :

$$BP \cong \frac{\omega_0}{2\pi} = \frac{1}{2\pi} \sqrt{\frac{C_{Dm} C_{Gm}}{g_{m0} g_{on}}} \quad (\text{III-51})$$

Si on exprime la conductance g_{on} de l'interrupteur S_{ech} par la relation :

$$g_{on} = \frac{\beta_{ech}}{2} (V_{DD} - v_{GT} - V_{T0} - V_{T0ech})$$

où V_{T0ech} est la tension de seuil de S_{ech} supposée constante, on représente l'évolution de g_{crit} et de g_{ON} pour la cellule de référence avec une capacité C_{mem} de 0,6pF en fonction de m :

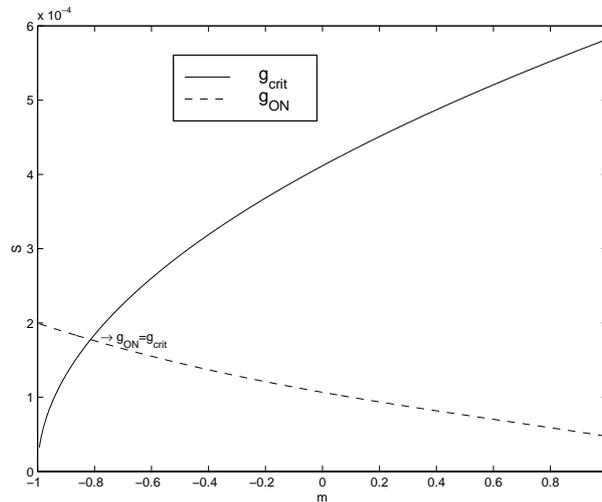


Figure III-10 : évolution de g_{crit} et g_{ON} pour la cellule de référence ($C_{mem}=0,6pF$)

La figure III-10 montre que notre cellule de référence fonctionne en régime sous-amorti pour un indice de modulation supérieur à $-0,8$. En augmentant la valeur de la capacité de mémorisation, on déplace le point pour lequel $g_{crit}=g_{ON}$ réduisant ainsi la dynamique du signal d'entrée. Un compromis est à faire entre précision et vitesse. Mais nous verrons dans la suite de l'étude qu'augmenter la valeur de la capacité de mémorisation n'apporte aucun bénéfice en terme d'erreur de non-linéarité, de plus une valeur élevée de C_{Gm} est préjudiciable en terme de vitesse.

C.2.3 Récapitulatif sur le régime dynamique

Nous rappelons que notre objectif est de limiter l'erreur d'établissement ε_{set} à un quart de quantum, cette condition se traduit par :

$$\max|\varepsilon_{set}| = \hat{\varepsilon}_{set} = \frac{q}{4} = \frac{FS(i_{in})}{2^{N+2}} = \frac{I_B}{2^{N+1}}$$

avec un courant d'entrée i_{in} appartenant à l'intervalle $[-I_B, I_B]$. La grandeur relative $\hat{\varepsilon}_{set,rel}$ est exprimée par :

$$\hat{\varepsilon}_{set,rel} = \frac{\hat{\varepsilon}_{set}}{\hat{i}_{in}} = \frac{\hat{\varepsilon}_{set}}{I_B} = \frac{1}{2^{N+1}}.$$

La condition sur l'erreur d'établissement donnée par les équations ci-dessus est :

$$\max|\varepsilon_{set,rel}(t_{set})| \leq \hat{\varepsilon}_{set,rel} = \frac{1}{2^{N+1}}. \quad (\text{III-52})$$

On remarque que pour les deux cas envisagés (premier et deuxième ordre), l'erreur d'établissement reste inférieure à ε_{set} pour un instant t supérieur à t_{set} . L'objectif, lors de la conception est simple. Il suffit de chercher la durée t_{set} maximale permettant de garantir l'erreur d'établissement donnée et de fixer la durée d'acquisition t_{acq} au-delà de la durée t_{set} maximale. Afin de rendre la situation optimale, nous prendrons le cas limite c'est à dire : $t_{acq} = t_{set,max}$.

C.2.3.1 Cas du premier ordre

Lorsque $g_{on} > g_{crit}$, $\xi > 1$, le système est équivalent à un premier ordre. L'erreur d'établissement relative est donnée par la relation :

$$\varepsilon_{set,rel}(t_{set}) = e^{-\frac{t_{set}}{\tau}} \leq \frac{1}{2^{N+1}}.$$

Donc si $t_{acq} = t_{set,max}$ alors le temps d'acquisition doit satisfaire la condition suivante : $t_{acq} \geq \tau \cdot (N+1) \cdot \ln 2$ ce qui finalement donne les inégalités :

$$\left\{ \begin{array}{l} \tau = \frac{C_{Gm} + C_{Dm}}{2g_{m0}} \left(1 + \sqrt{1 - 4 \frac{g_{m0}}{g_{on}} \frac{C_{Dm} C_{Gm}}{(C_{Dm} + C_{Gm})^2}} \right) \leq \frac{t_{acq}}{(N+1) \ln 2} \\ BP = \frac{1}{2\pi\tau} \geq \frac{(N+1) \ln 2}{2\pi \cdot t_{acq}} = \frac{(N+1) \ln 2}{\pi} \cdot \frac{F_{acq}}{2} \end{array} \right. \quad (\text{III-53})$$

C.2.3.2 Cas du second ordre

Lorsque $g_{on} < g_{crit}$, $\xi < 1$, le système est équivalent à un second ordre. Dans ce cas de figure, nous traitons le cas où le premier dépassement est égale à l'erreur d'établissement ce qui implique :

$$D = \hat{\varepsilon}_{set,rel} = \frac{1}{2^{N+1}} \quad (III-54)$$

Donc :

$$t_{acq} = t_{set,max} \geq \frac{2}{g_{on}} \cdot \frac{C_{Dm} C_{Gm}}{C_{Dm} + C_{Gm}} \cdot (N + 1) \ln 2 \quad (III-55)$$

On fixera la bande passante BP approximativement à :

$$BP = f_0 = \frac{\omega_0}{2\pi} = \frac{1}{2\pi} \sqrt{\frac{g_{m0} g_{on}}{C_{Dm} C_{Gm}}}$$

or d'après l'inégalité précédente la pulsation ω_0 doit satisfaire la relation :

$$\omega_0 \geq \frac{(N + 1) \ln 2}{\xi \cdot t_{acq}} = 2 \ln 2 \cdot \frac{N + 1}{\xi} \cdot \frac{F_{acq}}{2}$$

En remplaçant ξ par la relation III-48, on peut exprimer la condition sur la bande passante par :

$$f_0 \geq \frac{\ln 2}{\pi} \cdot (N + 1) \cdot \sqrt{1 + \left(\frac{\pi}{(N + 1) \ln 2} \right)^2} \cdot \frac{F_{acq}}{2}$$

Les relations III-53 et III-55 donnent la condition à respecter sur le temps d'acquisition pour une résolution N donnée selon l'ordre du régime dynamique, qui est déterminé par un premier dimensionnement par la condition donnée par l'équation III-39.

Le système le plus rapide est le second ordre lorsque l'amplitude du premier dépassement est égale à la valeur de l'erreur relative d'établissement. Afin de s'assurer d'un tel fonctionnement le concepteur doit dimensionner la cellule de mémorisation en respectant la condition :

$$g_{on} < \frac{4C_{Gm} C_{Dm}}{(C_{Gm} + C_{Dm})^2} g_{m0}$$

C.3 Précision en terme de non-linéarité

Le but de cette étude est de déterminer la précision statique que l'on peut obtenir avec une cellule de mémorisation en mode courant. Nous chercherons à mettre le courant de sortie i_{out} sous forme polynomiale afin de mettre en évidence les paramètres qui conditionnent la précision. Par précision, nous entendons bruit de fond intrinsèque et non-linéarité. Nous focaliserons notre étude sur la détermination de la non-linéarité dans le but de la maîtriser totalement en fonction des paramètres de la cellule de mémorisation.

Dans les paragraphes précédents, nous avons exprimé la tension v_{gt} et la tension d'erreur εV sous forme polynomiale d'ordre trois en fonction de m . En réinjectant les expressions de ces deux tensions dans l'expression du courant de drain de lecture i_{Dlec} , on peut alors exprimer i_{out} sous la forme polynomiale suivante :

$$i_{out} = a_0 + a_1 i_{in} + a_2 i_{in}^2 + a_3 i_{in}^3 \quad (\text{III-56})$$

et en introduisant la grandeur réduite $m = \frac{i_{in}}{I_B}$ alors on peut exprimer i_{out} sous la forme :

$$i_{out} = a_0 + a_1 I_B m + a_2 I_B^2 m^2 + a_3 I_B^3 m^3 \quad (\text{III-57})$$

avec $m \in [-1,1]$. On peut alors exprimer le courant de sortie i_{out} en fonction de m avec des coefficients réduits \bar{a}_n :

$$i_{out} = \bar{a}_0 + \bar{a}_1 m + \bar{a}_2 m^2 + \bar{a}_3 m^3$$

avec

$$\begin{cases} \bar{a}_0 = a_0 \\ \bar{a}_1 = a_1 I_B \\ \bar{a}_2 = a_2 I_B^2 \\ \bar{a}_3 = a_3 I_B^3 \end{cases}$$

L'expression finale du courant de drain du transistor T_m en phase de lecture est donnée par :

$$i_{Dlec} = \frac{\beta}{2} (v_{GT} + \varepsilon V)^2 (1 + \lambda v_{Dlec}) = i_{out} + I_B$$

avec $\varepsilon V = \Delta V_{inj} + \Delta V_\lambda$.

Afin de déterminer une expression polynomiale du courant de sortie i_{out} , il faut dans un premier temps mettre la tension d'erreur εV sous forme polynomiale, pour cela exprimons les tensions ΔV_{inj} et ΔV_λ par leur forme polynomiale [VAU-00]. En remplaçant la tension v_{Gacq} par son expression polynomiale (equ. III-6b) dans les relations III-13 et III-21, on obtient :

$$\Delta V_{inj} = -K_{inj} [V_{DD} - V_{T0ech} - (V_{G0} + V_{GT1}m + V_{GT2}m^2 + V_{GT3}m^3)] - K_{rec} V_{DD}$$

et

$$\Delta V_{\lambda} = K_{\lambda} [(V_{D0} - Z_{lec} \cdot m I_B) - (V_{G0} + V_{GT1}m + V_{GT2}m^2 + V_{GT3}m^3)]$$

On en déduit alors une expression de la tension d'erreur εV :

$$\begin{aligned} \varepsilon V &= \Delta V_{inj} + \Delta V_{\lambda} \\ &= -K_{inj} (V_{DD} - V_{T0ech} - V_{G0} - V_{GT1}m - V_{GT2}m^2 - V_{GT3}m^3) - K_{rec} V_{DD} \\ &\quad + K_{\lambda} (V_{D0} - Z_{lec} I_B m - V_{G0} - V_{GT1}m - V_{GT2}m^2 - V_{GT3}m^3) \end{aligned}$$

En développant cette expression, la tension d'erreur εV s'exprime sous une forme polynomiale en m par :

$$\boxed{\varepsilon V = V_{\varepsilon 0} + V_{\varepsilon 1}m + V_{\varepsilon 2}m^2 + V_{\varepsilon 3}m^3} \quad (\text{III-58})$$

dont on déduit les coefficients $V_{\varepsilon j}$:

$$\left\{ \begin{aligned} V_{\varepsilon 0} &= K_{\lambda} (V_{D0} - V_{G0}) - K_{inj} (V_{DD} - V_{T0ech} - V_{G0}) - K_{rec} V_{DD} \\ V_{\varepsilon 1} &= V_{GT1} \cdot \left[K_{inj} - K_{\lambda} \left(\frac{Z_{lec} I_B}{V_{GT1}} + 1 \right) \right] = \frac{I_B}{g_{m0}} (K_{inj} - K_{\lambda}) - K_{\lambda} Z_{lec} I_B \\ V_{\varepsilon 2} &= V_{GT2} \cdot (K_{inj} - K_{\lambda}) = -\frac{I_B}{4g_{m0}} (K_{inj} - K_{\lambda}) \\ V_{\varepsilon 3} &= V_{GT3} \cdot (K_{inj} - K_{\lambda}) = \frac{I_B}{8g_{m0}} (K_{inj} - K_{\lambda}) \end{aligned} \right.$$

En combinant les équations III-25 et III-26, on en déduit une expression du courant de drain i_{Dlec} dans le transistor de mémorisation T_m durant la phase de lecture :

$$i_{Dlec} = \frac{\beta}{2} \left[\begin{aligned} &V_{GT0} \left(1 + \frac{V_{\varepsilon 0}}{V_{GT0}} \right) + m V_{GT1} \left(1 + \frac{V_{\varepsilon 1}}{V_{GT1}} \right) \\ &+ m^2 V_{GT2} \left(1 + \frac{V_{\varepsilon 2}}{V_{GT2}} \right) + m^3 V_{GT3} \left(1 + \frac{V_{\varepsilon 3}}{V_{GT3}} \right) \end{aligned} \right]^2 \times [1 + \lambda V_{D0} - \lambda Z_{lec} I_B m] \quad (\text{III-59})$$

En introduisant les variables réduites suivantes :

$$\left\{ \begin{array}{l} \Gamma_0 = \frac{V_{\varepsilon 0}}{V_{GT0}} = \frac{g_{m0}}{2I_B} [K_{\lambda} (V_{D0} - V_{G0}) - K_{inj} (V_{DD} - V_{T0ech} - V_{G0}) - K_{rec} V_{DD}] \\ \Gamma_1 = \frac{V_{\varepsilon 1}}{V_{GT1}} = K_{inj} - K_{\lambda} (g_{m0} \cdot Z_{lec} + 1) \\ \Gamma_{23} = \Gamma_2 = \Gamma_3 = \frac{V_{\varepsilon 2}}{V_{GT2}} = \frac{V_{\varepsilon 3}}{V_{GT3}} = K_{inj} - K_{\lambda} \end{array} \right. \quad (\text{III-60})$$

on réécrit la relation III-27 sous la forme :

$$\begin{aligned} i_{Dlec} &= \frac{\beta}{2} \left[V_{GT0} (1 + \Gamma_0) + m V_{GT1} (1 + \Gamma_1) \right. \\ &\quad \left. + m^2 V_{GT2} (1 + \Gamma_{23}) + m^3 V_{GT3} (1 + \Gamma_{23}) \right]^2 \times [1 + \lambda V_{D0} - \lambda Z_{lec} I_B m] \\ &= i_{out} + I_B \end{aligned} \quad (\text{III-61})$$

En multipliant les deux termes de l'équation III-61, on obtient le courant de sortie i_{out} en fonction de m :

$$i_{out} = i_{Dlec} - I_B = \bar{a}_0 + \bar{a}_1 m + \bar{a}_2 m^2 + \bar{a}_3 m^3.$$

On identifie alors les coefficients a_0, a_1, a_2 et a_3 :

$$\left\{ \begin{array}{l} a_0 = I_B [(1 + \Gamma_0)^2 (1 + \lambda V_{D0}) - 1] \\ a_1 = \frac{\bar{a}_1}{I_B} = (1 + \Gamma_0)(1 + \Gamma_1)(1 + \lambda V_{D0}) - (1 + \Gamma_0)^2 \lambda Z_{lec} I_B \\ a_2 = \frac{\bar{a}_2}{I_B^2} = \frac{1}{4I_B} \left[\{(1 + \Gamma_1)^2 - (1 + \Gamma_0)(1 + \Gamma_{23})\} (1 + \lambda V_{D0}) - 4(1 + \Gamma_0)(1 + \Gamma_1) \lambda Z_{lec} I_B \right] \\ a_3 = \frac{\bar{a}_3}{I_B^3} = \frac{1}{8I_B^2} \left[(1 + \Gamma_{23})(\Gamma_0 - \Gamma_1)(1 + \lambda V_{D0}) - 8 \{ (1 + \Gamma_1)^2 - (1 + \Gamma_0)(1 + \Gamma_{23}) \} \lambda Z_{lec} I_B \right] \end{array} \right. \quad (\text{III-62})$$

En supposant que l'erreur due aux injections de charges est faible c'est à dire que $V_{ej} \ll V_{GTn}$,

les termes $\Gamma_j = \frac{V_{\varepsilon_j}}{V_{GTn}}$ sont donc très inférieurs à 1, ces hypothèses sont vérifiées par des

applications numériques sur une cellule de référence. Les termes croisés $\Gamma_i \Gamma_j$ et les termes Γ_j^2 , peuvent alors être négligés devant 1, nous pouvons alors réécrire les coefficients a_n sous la forme :

$$\left\{ \begin{array}{l} a_0 = I_B [(1 + 2\Gamma_0)(1 + \lambda V_{D0}) - 1] \\ a_1 = (1 + \Gamma_0 + \Gamma_1)(1 + \lambda V_{D0}) - (1 + 2\Gamma_0) \lambda Z_{lec} I_B \\ a_2 = \frac{1}{4I_B} [(2\Gamma_1 - \Gamma_0 - \Gamma_{23})(1 + \lambda V_{D0}) - 4(1 + \Gamma_0 + \Gamma_1) \lambda Z_{lec} I_B] \\ a_3 = \frac{1}{8I_B^2} [(\Gamma_0 - \Gamma_1)(1 + \lambda V_{D0}) - 8(2\Gamma_1 - \Gamma_0 - \Gamma_{23}) \lambda Z_{lec} I_B] \end{array} \right. \quad (\text{III-63})$$

Afin d'étudier l'influence des paramètres d'une cellule de mémorisation sur la non-linéarité, nous isolons les termes qui dépendent de I/C_{Gm} (f_0, f_1, f_2, f_3) de λ (g_2) et de λ/C_{Gm} (h_0, h_1, h_2 et h_3) dans les coefficients a_n :

$$\left\{ \begin{array}{l}
 a_0 = \underbrace{I_B (2\Gamma_0 - 1)}_{f_0\left(\frac{1}{C_{Gm}}\right)} + \underbrace{(2\Gamma_0)I_B \lambda V_{D0}}_{h_0\left(\frac{\lambda}{C_{Gm}}\right)} \\
 a_1 = \underbrace{1 + \Gamma_0 + \Gamma_1}_{f_1\left(\frac{1}{C_{Gm}}\right)} + \underbrace{\lambda(V_{D0} - Z_{lec} I_B)}_{s_1(\lambda)} + \underbrace{(\Gamma_0 + \Gamma_1)\lambda V_{D0} - 2\Gamma_0 \lambda Z_{lec} I_B}_{h_1\left(\frac{\lambda}{C_{Gm}}\right)} \\
 a_2 = \frac{1}{4I_B} \left[\underbrace{(2\Gamma_1 - \Gamma_0 - \Gamma_{23})}_{f_2\left(\frac{1}{C_{Gm}}\right)} + \underbrace{(-4\lambda Z_{lec} I_B)}_{s_2(\lambda)} + \underbrace{\{-(\Gamma_0 + \Gamma_{23})\lambda V_{D0} - 4\lambda Z_{lec} I_B (\Gamma_0 + \Gamma_1)\}}_{h_2\left(\frac{\lambda}{C_{Gm}}\right)} \right] \\
 a_3 = \frac{1}{8I_B^2} \left[\underbrace{(\Gamma_0 - \Gamma_1)}_{f_3\left(\frac{1}{C_{Gm}}\right)} + \underbrace{\lambda V_{D0} (\Gamma_0 - \Gamma_1) - 8(2\Gamma_1 - \Gamma_0 - \Gamma_{23})\lambda Z_{lec} I_B}_{h_3\left(\frac{\lambda}{C_{Gm}}\right)} \right]
 \end{array} \right. \quad (\text{III-64})$$

Les équations ci-dessus laissent apparaître les facteurs d'influence sur les coefficients. Comme le montrent les figures 11 à 14, les coefficients sont proportionnels au paramètre λ pour des valeurs de capacités C_{Gm} élevées, mais deviennent inversement proportionnels à cette capacité pour de faibles valeurs de celles-ci.

On observe dans le cas d'une cellule de référence (cf. tableau III-1) que la zone de transition entre les plages asymptotiques se situe aux environs de 0,4 à 0,5pF pour C_{Gm} . Ceci implique qu'une solution optimale, pour le compromis précision-surface est à chercher pour de telles valeurs de la capacité C_{Gm} . L'autre implication est la dépendance au paramètre λ du transistor. Puisque notre choix s'est porté sur des structures minimalistes, ce paramètre ne peut pas être réduit indéfiniment. Ce constat nous impose de regarder les autres facteurs multiplicatifs de λ , à savoir V_{D0} et $Z_{lec} \cdot V_{D0}$. Ces deux grandeurs conditionnent le point de repos, c'est à dire la puissance par I_B , la surface et la transconductance par g_{m0} . Notons toutefois que Z_{lec} est une grandeur « libre » dans le dimensionnement de la cellule. Néanmoins son influence est réelle, nous développerons ce point dans le paragraphe C.3.6 et dans le chapitre IV.

Les figures ci-dessous représentent l'évolution des quatre coefficients en fonction de la capacité de mémorisation C_{Gm} :

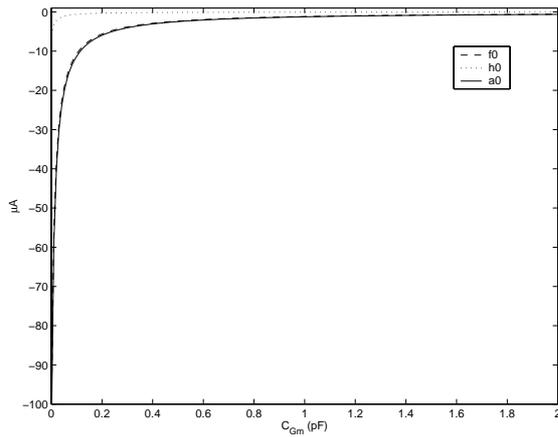


Figure III-11 : représentation des fonctions f_0 , h_0 en fonction de C_{Gm}

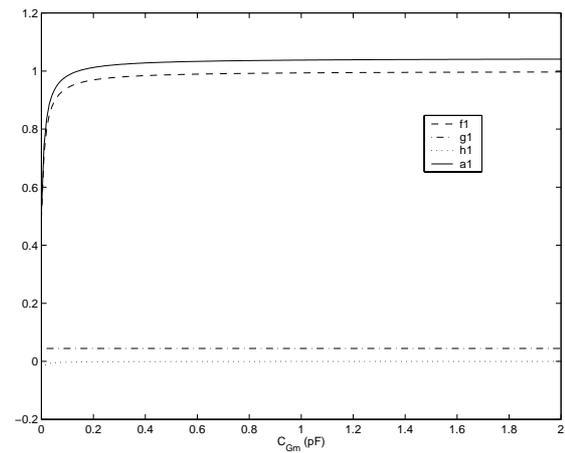


Figure III-13 : représentation des fonctions f_1 , g_1 , h_1 en fonction de C_{Gm}

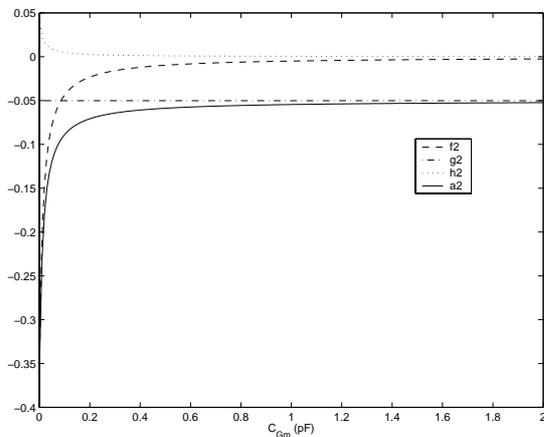


Figure III-12 : représentation des fonctions f_2 , g_2 , h_2 en fonction de C_{Gm}

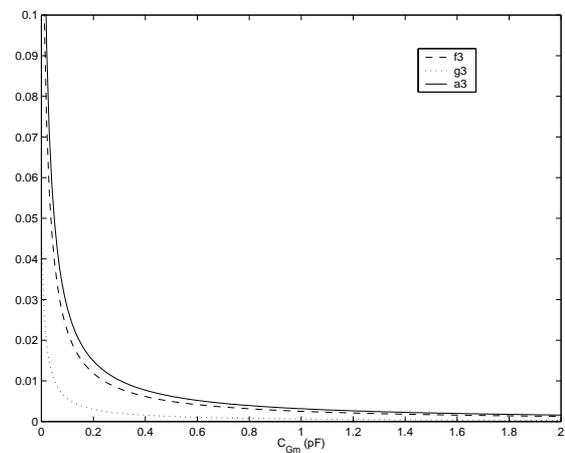


Figure III-14 : : représentation des fonctions f_3 , h_3 en fonction de C_{Gm}

On peut remarquer que pour les coefficients a_0 , a_1 et a_3 une bonne approximation est donnée respectivement par les fonctions f_0 , f_1 et f_3 . De plus, pour les quatre coefficients les fonctions h peuvent être ignorées en première approche.

Le coefficient a_2 est particulier ; le terme g_2 dépend de λ et introduit une asymptote horizontale fonction de la valeur de λ . (l'influence de ces termes sera discutée ultérieurement).

L'analyse de l'équation III-56, $i_{out} = a_0 + a_1 i_{in} + a_2 i_{in}^2 + a_3 i_{in}^3$ fait apparaître trois effets importants :

- Le coefficient a_0 décrit l'erreur d'offset. Cette erreur est à l'origine de la dispersion cellule à cellule dans la mémoire analogique.
- Le coefficient a_1 décrit le gain statique du système linéaire dans une approche petit signal.
- Les coefficients a_2 et a_3 conditionnent l'écart de linéarité dans la caractéristique statique.

C.3.1 Erreur d'offset

D'après la figure III-11, le terme $h_0 \left(\frac{\lambda}{C_{Gm}} \right)$ est négligeable, l'erreur d'offset ε_{off} est alors exprimée par la relation :

$$\varepsilon_{off} = a_0 \cong (2\Gamma_0 - 1)I_B.$$

D'après les relations III-6a et III-56, on peut écrire :

$$\varepsilon_{off} \cong g_{m0} V_{OFF} - I_B = I_B \left(2 \frac{V_{OFF}}{V_{GT0}} - 1 \right) = FS(i_{in}) \left(\frac{V_{OFF}}{V_{GT0}} - \frac{1}{2} \right) \quad (\text{III-65})$$

avec

$$V_{OFF} = -K_{rec} V_{DD} + K_{\lambda} (V_{D0} - V_{G0}) - K_{inj} (V_{DD} - V_{G0} - V_{T0ech})$$

Afin de conserver une plage dynamique suffisante le long de la chaîne, on choisit par conception d'imposer $V_{G0} = V_{DD}/2 = V_{D0}$, si on réintroduit cette condition dans la relation ci-dessus le terme V_{OFF} se réduit à

$$V_{OFF} = -K_{rec} V_{DD} - K_{inj} (V_{DD} - V_{G0} - V_{T0s})$$

qui traduit, selon la relation III-11, une erreur due aux injections de charges.

On constate que l'erreur ε_{off} est inversement proportionnelle à V_{GT0} . Si on augmente la tension V_{GT0} , le terme V_{G0} devient très grand devant εV_0 ($\varepsilon V_0 \ll V_{G0}$), l'erreur d'offset tend vers 0.

Si la tension V_{G0} est fixée, alors si on veut augmenter la plage de courants admissibles en entrée $FS(i_{in})$, il faut augmenter le terme g_{m0} ce qui amplifie l'erreur εV_0 et par conséquent l'erreur $\Delta i \cong g_{m0} \varepsilon V_0$.

C.3.2 Erreur de gain

Le coefficient a_1 représente la pente à l'origine, c'est à dire le gain en petits signaux. Le gain théorique g_{ideal} d'une cellule est égal à 1, on peut ainsi définir une erreur de gain absolue :

$$\Delta G_{abs} = a_1 - 1$$

et une erreur de gain relative εG :

$$\varepsilon G = \frac{\Delta G_{abs}}{g_{ideal}} = \frac{a_1 - 1}{1} = a_1 - 1$$

D'après l'équation III-60 et la figure III-13, le gain théorique d'une cellule étant unitaire alors :

$$\varepsilon_G \cong \Gamma_0 + \Gamma_1$$

C.3.3 Analyse du terme de non-linéarité :

$a_0 + a_1 i_{in}$ représente la droite de référence qui est dominante en petits signaux. On étudiera donc l'écart de linéarité ε_{NL} en posant :

$$\varepsilon_{NL} = i_{out} - (a_0 + a_1 i_{in}) = a_2 i_{in}^2 + a_3 i_{in}^3 = a_2 (mI_B)^2 + a_3 (mI_B)^3 = (mI_B)^2 (a_2 + a_3 mI_B) \quad (\text{III-66})$$

On définit l'erreur de non-linéarité NL comme suit (annexe 5) :

$$NL = \frac{\max|\varepsilon_{NL}|}{a_1 \cdot FS} = \frac{\max|a_2 (mI_B)^2 + a_3 (mI_B)^3|}{a_1 \cdot FS} \quad (\text{III-67})$$

C.3.4 Détermination du taux de distorsion harmonique TDH

Dans les applications nécessitant une grande précision [MAR-99], [HEL-98], on opte pour une approche expérimentale. Cette approche est basée sur la mesure du taux de distorsion harmonique (TDH).

Seule l'approche expérimentale permet d'évaluer les imperfections réelles d'un système aussi complexe. Les concepteurs choisissent de sur dimensionner leur système afin d'atteindre les performances requises avec une dynamique d'entrée réduite. Même si les objectifs sont atteints, la compréhension des imperfections leur échappe. Notre approche plus théorique cherche à combler cette lacune.

Selon l'équation III-62, en posant $m(t) = M \sin(\omega t)$ on obtient :

$$i_{out}(t) = \hat{I}_0 + \hat{I}_1 \sin \omega t - \hat{I}_2 \cos 2\omega t - \hat{I}_3 \sin 3\omega t \text{ avec}$$

$$\begin{cases} \hat{I}_0 = \bar{a}_0 + \frac{\bar{a}_2}{2} M^2 \\ \hat{I}_1 = \bar{a}_1 M + \frac{3\bar{a}_3}{4} M^3 \\ \hat{I}_2 = \frac{\bar{a}_2}{2} M^2 \\ \hat{I}_3 = \frac{\bar{a}_3}{4} M^3 \end{cases} \quad (\text{III-68})$$

On définit alors les grandeurs HD caractérisant chacune des composantes harmoniques par rapport à la composante fondamentale :

$$HD_2 = \frac{\hat{I}_2}{\hat{I}_1} = \frac{\frac{\bar{a}_2}{2} M^2}{\bar{a}_1 M + \frac{3\bar{a}_3}{4} M^3}$$

$$HD_3 = \frac{\hat{I}_3}{\hat{I}_1} = \frac{\frac{\bar{a}_3}{4} M^3}{\bar{a}_1 M + \frac{3\bar{a}_3}{4} M^3} \quad (\text{III-69})$$

On en déduit alors l'expression du taux de distorsion harmonique TDH :

$$\begin{aligned}
 TDH &= \sqrt{HD_2^2 + HD_3^2 + \dots + HD_n^2} \\
 &\cong \sqrt{\left(\frac{\bar{a}_2}{2} M^2\right)^2 + \left(\frac{\bar{a}_3}{4} M^3\right)^2} = \sqrt{\left(\frac{a_2}{2} \left(\frac{FS}{2}\right)^2\right)^2 + \left(\frac{a_3}{4} \left(\frac{FS}{2}\right)^3\right)^2} \\
 &= \sqrt{\left(\bar{a}_1 M + \frac{3}{4} \bar{a}_3 M^3\right)^2} = \sqrt{\left(a_1 \left(\frac{FS}{2}\right) + \frac{3}{4} a_3 \left(\frac{FS}{2}\right)^3\right)^2}
 \end{aligned} \tag{III-70}$$

D'après les relations III-63 et III-66, l'écart de linéarité ϵ_{NL} et par suite l'erreur de non-linéarité NL dépendent, tout comme le taux de distorsion harmonique TDH , uniquement des coefficients a_2 et a_3 , sachant que $a_1 \approx 1$.

C.3.5 Influence des paramètres de la cellule sur la non-linéarité

La dépendance du terme d'erreur ϵ_V à la capacité de mémorisation nous amène à tracer l'évolution de la non-linéarité NL en % et du taux de distorsion harmonique TDH en fonction de la capacité de mémorisation totale C_{Gm} . Cette dépendance réapparaît dans les coefficients a_2 et a_3 .

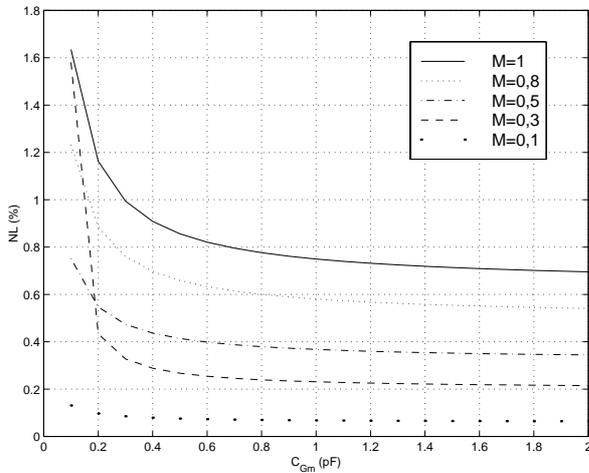


Figure III-15 : $NL=f(C_{Gm})$ pour différents m

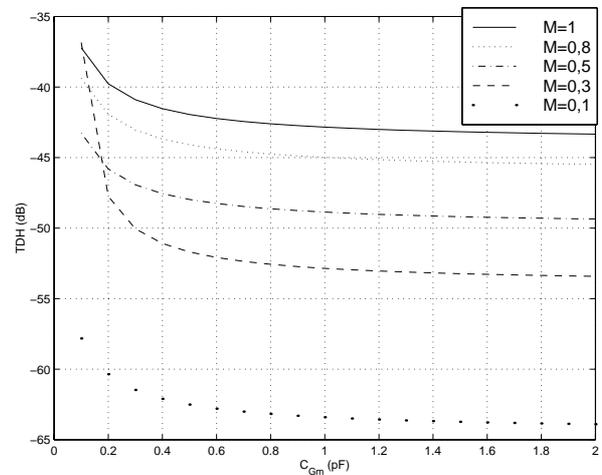


Figure III-16 : $TDH=f(C_{Gm})$ pour différents m

Les figures III-15 et III-16 mettent en évidence la dépendance de l'erreur de linéarité et du TDH à la valeur de la capacité de mémorisation C_{Gm} . Plus cette valeur est élevée, plus faible est l'erreur de linéarité. Cette tendance confirme ce qui a été énoncé dans le paragraphe B.6. Les courbes montrent qu'augmenter indéfiniment la valeur de la capacité additionnelle C_{mem} n'apporte aucun bénéfice en terme de linéarité. En effet on remarque que la caractéristique $NL=f(C_{mem})$ admet une tangente horizontale imposée par le terme g_2 du coefficient a_2 . C'est une limitation introduite par le paramètre λ . Il est possible de déterminer une valeur optimale pour la capacité C_{mem} , valeur pour laquelle la non-linéarité est quasi minimale et les

paramètres de surface et de vitesse sont pris en compte. Nous étudierons par la suite la cause de cette tangente horizontale, par l'étude de l'écart de linéarité.

De plus, une dépendance de l'erreur de linéarité à la dynamique du signal d'entrée est évidente. Plus le paramètre de modulation m est faible, plus faible est l'erreur de non-linéarité.

Si la cellule est conçue de manière à minimiser l'effet du λ ($\lambda \rightarrow 0$), alors les termes a_2 et a_3 , donc la linéarité ne dépendent que de la capacité de mémorisation C_{Gm} , particularité mise en évidence par les figures ci-dessous :

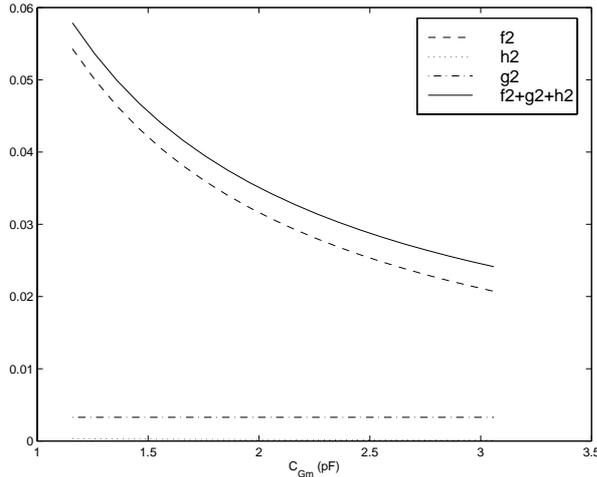


Figure III-17 :représentation des fonctions f_2 , g_2 , h_2 en fonction de C_{Gm} ($\lambda \rightarrow 0$)

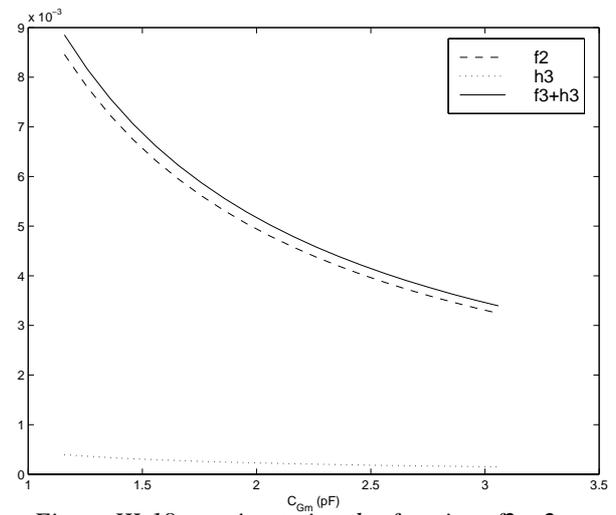


Figure III-18:représentation des fonctions f_2 , g_2 , h_2 en fonction de C_{Gm} ($\lambda \rightarrow 0$)

Afin de modéliser une valeur de λ faible, il est nécessaire d'augmenter la longueur L de la grille de T_m mais afin de garder le point de repos (tableau III-1) constant nous devons garder un rapport W/L constant. Donc augmenter L revient à augmenter W , c'est ce qui explique les valeurs élevées des capacités de mémorisation, en effet la capacité intrinsèque grille-source d'un transistor avec un faible λ est de l'ordre de 1,2pF. Les figures ci-dessus nous montrent bien la faible influence de λ sur les coefficients a_2 et a_3 lorsque ce paramètre tend vers 0.

Nous avons étudié dans ce paragraphe, l'influence des paramètres λ et C_{Gm} sur la non-linéarité. Dans le paragraphe suivant, nous étudions l'influence des paramètres extérieurs à la cellule notamment l'interrupteur de lecture et le système de lecture.

C.3.6 Influence des paramètres externes à la cellule sur la non-linéarité

Le relation III-64 met en évidence une dépendance du terme a_2 à l'impédance de charge Z_{lec} vue par le transistor T_m et du courant de polarisation I_B :

$$4I_B \bar{a}_2 \approx \varepsilon_{NL} = f_2(C_{Gm}) + g_2(\lambda, Z_{lec})$$

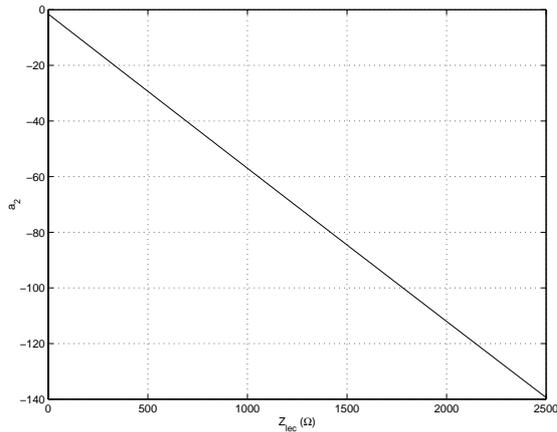


Figure III-19 : évolution de a_2 en fonction de Z_{lec}

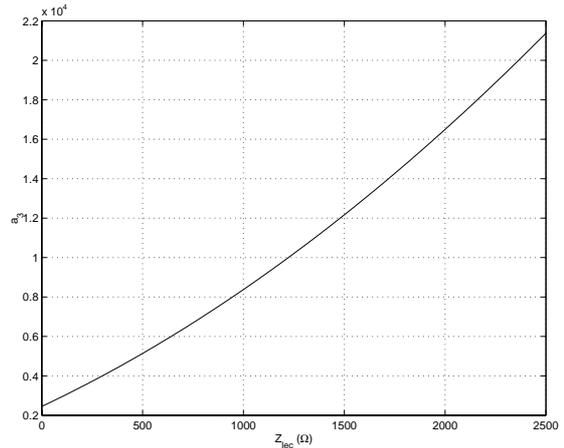


Figure III-20 : évolution de a_3 en fonction de Z_{lec}

Selon la valeur des coefficients a_2 et a_3 , l'écart de linéarité ε sera soit de forme quadratique lorsque a_3 tendra vers 0, soit de forme cubique lorsque le terme a_2 tendra vers 0 soit une combinaison des deux formes pour d'autres valeurs de a_2 et a_3 (cf. annexe 2). Les figures III-19 et III-20 nous montrent que les valeurs des coefficients a_2 et a_3 dépendent de l'impédance Z_{lec} . La figure ci-dessous représente l'évolution de la valeur absolue de l'écart de linéarité en fonction de m pour différentes valeurs de Z_{lec}

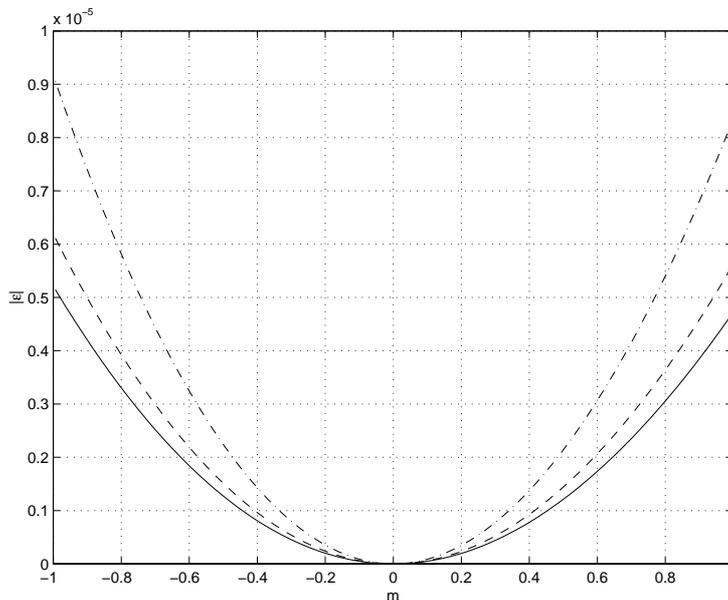


Figure III-21 : Écart de linéarité en fonction de m pour différents Z_{lec}

La forme de l'écart de linéarité ε_{NL} dépend de l'impédance Z_{lec} . Cette impédance conditionne d'une part la linéarité de la cellule et d'autre part la plage dynamique de la cellule. Plus cette impédance est élevée, plus l'inclinaison des courbes est importante, ce qui conduit à une valeur maximale de $|\varepsilon_{NL}|$ plus importante d'où une erreur de non-linéarité plus élevée.

Afin de diminuer cette erreur de non-linéarité, nous avons le choix entre deux possibilités, soit diminuer la valeur de Z_{lec} c'est à dire concevoir un système de lecture avec une faible impédance d'entrée et veiller à minimiser l'impédance de l'interrupteur S_{lec} . Le fait de

minimiser ces impédances, permet d'utiliser la cellule sur toute sa plage dynamique tout en gardant une non-linéarité faible.

Une deuxième alternative, s'offre à l'utilisateur dans le cas où il n'a pas de degré de liberté sur l'impédance Z_{lec} . On peut diminuer la plage dynamique d'utilisation de la cellule de la cellule en prenant un faible indice de modulation m .

C.4 Précision en terme de bruit

Étudier la précision d'une cellule de seconde génération revient à étudier la non-linéarité (paragraphe C.3.3) et le bruit. Afin de compléter l'analyse de la non-linéarité, nous décrirons dans ce paragraphe le bruit d'une cellule de mémorisation en mode courant [DAU-90]. Une des particularités des cellules en mode courant est qu'une partie d'un bruit en basse fréquence est annulée et que l'échantillonnage modifie la répartition et le niveau du bruit

2 types de bruit existent :

- Le bruit échantillonné durant l'acquisition du signal i_{in}
- Le bruit direct lors de la restitution du courant i_{out}

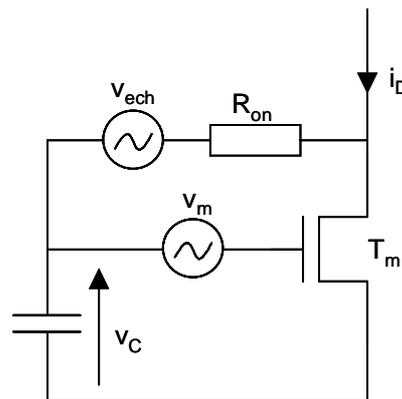


Figure III-22 : sources de bruit de la cellule lors de la phase d'acquisition

En supposant que l'interrupteur d'échantillonnage a une résistance à l'état passant R_{on} , on peut lui associer une source de bruit blanc v_{ech} avec une densité spectrale $S_{v_{ech}}(f)$:

$$S_{v_{ech}}(f) = 4kTR_{on} \quad (0 < f < +\infty) \quad (\text{III-71})$$

De même, le transistor de mémorisation T_m peut être remplacé par un transistor « non bruyant » et une tension de bruit v_M ramenée en entrée. Cette source comprend le bruit thermique (bruit blanc) et le bruit en $1/f$, on note sa densité spectrale de puissance PSD $S_m(f)$:

$$S_m(f) = 4kT \left(\frac{2}{3g_m} \right) + \frac{K_{fn}}{C_{OX}(WL)_m |f|} \quad (\text{III-72})$$

où K_{fn} est un paramètre technologique.

C.4.1 Bruit échantillonné :

Les bruits de l'interrupteur d'échantillonnage et du transistor de mémorisation modifient la tension aux bornes de la capacité C_{Gm} . Lors de l'ouverture du transistor d'échantillonnage S_{ech} , un échantillon de ce bruit est mémorisé dans C_{Gm}

Le bruit est filtré par le comportement dynamique de la cellule. Les deux sources de bruit ne sont pas soumises à la même fonction de transfert

Afin d'obtenir la densité spectrale du bruit échantillonné résultant, nous devons obtenir celle des deux composantes non échantillonnées.

.On détermine la PSD $S_{dv0}(f)$ du bruit à la capacité C_{Gm} du au bruit de l'interrupteur [DAU-90]:

$$S_{dv0}(f) = |H_{ech}(f)|^2 S_{vech}(f) \cong \left(\frac{\left(\frac{g_{ds}}{g_m} \right)^2}{1 + \left(\frac{f}{f_0} \right)^2} \right) S_{vech}(f) \quad (\text{III-73})$$

où $H_{ech}(f)$ est la fonction de transfert $|v_c/v_{ech}|$ avec $f_0 = g_m/2\pi C_{Gm}$.

De la même manière la densité spectrale de bruit à la capacité due au bruit venant du transistor de mémorisation T_m est :

$$S_{dv1}(f) = |H_m(f)|^2 S_{vm}(f) \cong \left(\frac{1}{1 + \left(\frac{f}{f_0} \right)^2} \right) S_{vm}(f) \quad (\text{III-74})$$

où $H_m(f)$ est la fonction de transfert $|v_c/v_m|$.

Tant que les deux sources sont non corrélées, on peut additionner leurs deux densités spectrales afin d'obtenir la densité spectrale du bruit non échantillonné :

$$S_{dv}(f) = S_{dv0}(f) + S_{dv1}(f). \quad (\text{III-75})$$

D'après l'équation III-73, il est évident que le bruit provenant du transistor T_m est dominant tant que $g_{ds}/g_m \ll 1$ après filtrage. Nous négligerons donc le terme $S_{dv0}(f)$ dans la suite de l'analyse.

C.4.2 Auto-annulation du bruit en 1/f

Une des propriétés inhérente aux cellules en mode courant est qu'elles suppriment le bruit en basse fréquence. Ceci est du au fait que lors de la phase de lecture (Φ_{lec}), le bruit

échantillonné à la fin de la phase d'échantillonnage (Φ_{ech}) se retrouve avec le bruit direct du transistor de mémorisation. En conséquence, la composante de bruit qui varie faiblement lors de la phase de lecture est la même dans le courant mémorisé et dans le courant de bruit du transistor. Donc, les composantes de bruit variant faiblement, correspondantes à la partie basse fréquence du bruit, sont supprimées. On appelle cet effet double échantillonnage ou auto zéro. Donc le bruit en $1/f$ devient négligeable devant le bruit thermique :

$$S_i(f) = \frac{8}{3} kTg_m \quad (\text{III-76})$$

Si les sources de bruit ne sont pas corrélées, alors la densité spectrale totale du bruit en courant $S_i^{total}(f)$ est :

$$S_i^{total}(f) = S_{di}(f) + S_i^{E/B}(f) \quad (\text{III-77})$$

où $S_i^{E/B}(f)$ est la densité spectrale après échantillonnage.

L'opération d'échantillonnage blocage altère la densité spectrale car le bruit aux fréquences supérieures à la fréquence de Nyquist est replié. La densité spectrale après échantillonnage, $S_i^{E/B}(f)$, peut être exprimée par :

$$S_i^{E/B}(f) = \left(\frac{T_m}{T_E} \right)^2 \sin^2(fT_m) \sum_{k=-\infty}^{\infty} S_{di}(f - kf_e) \quad (\text{III-78})$$

avec une fréquence d'horloge de $f_E = 1/T_E$ et un temps de maintien T_m .

En utilisant la technique de « la bande équivalente de bruit », on peut évaluer analytiquement la somme de l'équation III-78 (cf. chapitre II).

Avec cette technique, $S_v(f)$ est remplacée par une densité spectrale rectangulaire avec une densité de bruit uniforme $S_i(f)$ sur une bande de fréquence B :

En utilisant la bande équivalente de bruit afin d'évaluer l'équation III-78, on obtient une estimation de la densité spectrale PSD $\hat{S}_i^{E/B}(f)$ après échantillonnage :

$$\hat{S}_i^{E/B}(f) = 2BT_E \left(\frac{T_m}{T_E} \right)^2 \sin^2(fT_m) S_i(f) \quad (\text{III-79})$$

Pour un bruit filtré par un passe bas du premier ordre, la bande équivalente de bruit est :

$$B_{eq1} = \left(\frac{\pi}{2} \right) f_c = \frac{\omega_c}{4} \quad (\text{III-80})$$

d'où :

$$\hat{S}_i^{E/B}(f) = \frac{\omega_c}{2} T_E \left(\frac{T_m}{T_E} \right)^2 \sin^2(fT_m) S_i(f) \quad (\text{III-81})$$

Pour un bruit filtré par un système passe-bas du second ordre, on peut exprimer B par la relation :

$$B_{eq2} = \left(\frac{\pi}{2}\right) f_0 Q = \frac{\omega_0 Q}{4} \quad (\text{III-82})$$

où Q est le facteur de qualité donc :

$$\hat{S}_i^{E/B}(f) = \frac{\omega_0 Q}{2} T_E \left(\frac{T_m}{T_E}\right)^2 \sin^2(f T_m) S_i(f) \quad (\text{III-83})$$

D'où la densité spectrale de bruit totale [RIF-99] :

$$S_i^{total}(f) = S_{di}(f) + S_i^{E/B}(f)$$

$$S_i^{total}(f) = \frac{1}{\left(1 + \left(\frac{f}{f_0}\right)^2\right)^2} S_i(f) + \frac{1}{2} \omega_0 Q T_E \sin^2(f T_E) S_i(f) \quad (\text{III-84})$$

Dans [RIF-99], et [SHA-95] on trouve la puissance totale de bruit P_b obtenue en intégrant la densité spectrale totale sur la bande de fréquence $[0, f_E/2]$:

$$P_b = i_{beff}^2 = \frac{2}{3} \frac{kT}{C_{Dm} + C_{Gm}} g_m^2 \quad (\text{III-85})$$

On peut alors définir le rapport signal sur bruit maximal SNR_{max} ou encore la dynamique de la cellule par la relation :

$$SNR_{max} = \frac{P_s}{P_b} \quad (\text{III-86})$$

où P_s est la puissance maximale du signal, pour une sinusoïde d'amplitude maximale mI_B alors :

$$P_s = i_{eff}^2 = \frac{(MI_B)^2}{2} \quad (\text{III-87})$$

d'où une dynamique maximale pour la cellule de mémorisation :

$$SNR_{max} = \frac{P_s}{P_b} = \frac{3}{4} \frac{C_{Gm} + C_{Dm}}{kT} \left(\frac{MI_B}{g_{m0}}\right)^2 \quad (\text{III-88})$$

cette relation est valable pour une source de polarisation idéale. Si l'on tient compte du bruit amené par la source de polarisation, on peut exprimer la dynamique maximale par :

$$SNR_{max} = \frac{P_s}{P_b} = \frac{3}{4} \frac{C_{Gm} + C_{Dm}}{kT} \frac{(MI_B)^2}{g_{m0}(g_{m\dot{a}} + 2g_{mb})} \quad (\text{III-89})$$

où g_{mb} est la transconductance de la source de polarisation I_B .

On peut alors tracer la dynamique de la cellule en fonction de M pour différentes valeur de capacité C_{Gm} :

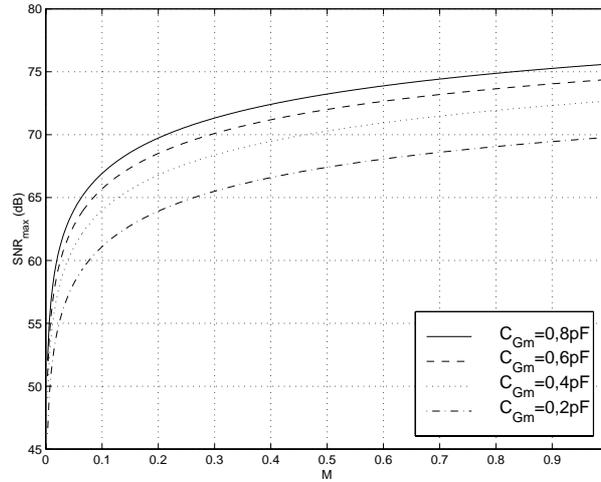


Figure III-23 : SNRmax en fonction de M pour différentes valeurs de C_{Gm}

C.5 Résumé

L'étude d'une cellule de mémorisation en mode courant a permis d'établir une relation entre le courant de sortie et celui d'entrée :

$$i_{out} + I_B = i_{Dlec} = \frac{\beta}{2} (v_{GT} + \varepsilon V)^2 [1 + \lambda(V_{D0} - Z_{lec} i_{in})].$$

La plage dynamique en entrée de la cellule est limitée à l'intervalle $[-I_B, I_B]$. L'étude du comportement dynamique a mis en évidence que le fonctionnement le plus rapide de la cellule était le cas d'un second ordre lorsque l'amplitude du premier dépassement est égale à la valeur de l'erreur relative d'établissement. Afin de s'assurer d'un tel fonctionnement le concepteur doit dimensionner la cellule de mémorisation en respectant la condition :

$$g_{on} < \frac{4C_{Gm} C_{Dm}}{(C_{Gm} + C_{Dm})^2} g_{m0}$$

En limitant l'erreur d'établissement au quart de quantum, les paramètres de la cellule doivent vérifier l'inégalité :

$$\sqrt{\frac{g_{m0} g_{ON}}{C_{Dm} C_{Gm}}} \geq 2 \ln 2 \cdot (N + 1) \cdot \sqrt{1 + \left(\frac{\pi}{(N + 1) \ln 2} \right)^2} \cdot \frac{F_{acq}}{2}.$$

La mise sous forme polynomiale du courant de sortie i_{out} , $i_{out} = a_0 + a_1 I_B m + a_2 I_B^2 m^2 + a_3 I_B^3 m^3 = \bar{a}_0 + \bar{a}_1 m + \bar{a}_2 m^2 + \bar{a}_3 m^3$ a permis d'identifier les coefficients a_n et \bar{a}_n :

$$\left\{ \begin{array}{l}
 a_0 = \underbrace{I_B(2\Gamma_0 - 1)}_{f_0\left(\frac{1}{C_{Gm}}\right)} + \underbrace{(2\Gamma_0)I_B\lambda V_{D0}}_{h_0\left(\frac{\lambda}{C_{Gm}}\right)} \\
 a_1 = \underbrace{1 + \Gamma_0 + \Gamma_1}_{f_1\left(\frac{1}{C_{Gm}}\right)} + \underbrace{\lambda(V_{D0} - Z_{lec}I_B)}_{g_1(\lambda)} + \underbrace{(\Gamma_0 + \Gamma_1)\lambda V_{D0} - 2\Gamma_0\lambda Z_{lec}I_B}_{h_1\left(\frac{\lambda}{C_{Gm}}\right)} \\
 a_2 = \frac{1}{4I_B} \left[\underbrace{(2\Gamma_1 - \Gamma_0 - \Gamma_{23})}_{f_2\left(\frac{1}{C_{Gm}}\right)} + \underbrace{(-4\lambda Z_{lec}I_B)}_{g_2(\lambda)} + \underbrace{\{-(\Gamma_0 + \Gamma_{23})\lambda V_{D0} - 4\lambda Z_{lec}I_B(\Gamma_0 + \Gamma_1)\}}_{h_2\left(\frac{\lambda}{C_{Gm}}\right)} \right] \\
 a_3 = \frac{1}{8I_B^2} \left[\underbrace{(\Gamma_0 - \Gamma_1)}_{f_3\left(\frac{1}{C_{Gm}}\right)} + \underbrace{\lambda V_{D0}(\Gamma_0 - \Gamma_1) - 8(2\Gamma_1 - \Gamma_0 - \Gamma_{23})\lambda Z_{lec}I_B}_{h_3\left(\frac{\lambda}{C_{Gm}}\right)} \right]
 \end{array} \right.$$

avec

$$\left\{ \begin{array}{l}
 \Gamma_0 = \frac{V_{\varepsilon 0}}{V_{GT0}} = \frac{g_{m0}}{2I_B} [K_\lambda(V_{D0} - V_{G0}) - K_{inj}(V_{DD} - V_{T0ech} - V_{G0}) - K_{rec}V_{DD}] \\
 \Gamma_1 = \frac{V_{\varepsilon 1}}{V_{GT1}} = K_{inj} - K_\lambda(g_{m0} \cdot Z_{lec} + 1) \\
 \Gamma_{23} = \Gamma_2 = \Gamma_3 = \frac{V_{\varepsilon 2}}{V_{GT2}} = \frac{V_{\varepsilon 3}}{V_{GT3}} = K_{inj} - K_\lambda
 \end{array} \right. .$$

Ces coefficients mettent en évidence plusieurs facteurs d'influence sur la non-linéarité d'une cellule :

- La valeur de la capacité totale de grille C_{Gm} ,
- Le paramètre de modulation du canal λ ,
- L'impédance de l'interrupteur de lecture et celle d'entrée du dispositif de lecture Z_{lec} .

Notons que le point de repos de la cellule est fixé par le rapport $\frac{I_B}{(W/L)_{T_m}}$.

D REVUE DES SOLUTIONS DE CORRECTIONS CLASSIQUES

D.1 Injections de charge

Dans [DAU-88] les auteurs proposent une cellule à transconductance réduite par diviseur capacitif qui atténue la tension d'erreur due aux injections. Cette solution utilise une contre-réaction négative.

Dans [WEG-90a] et [WEG-90b] les auteurs proposent une solution permettant de **réduire l'excursion du signal de commande** sur la grille de l'interrupteur d'échantillonnage, la tension de grille de S_{ech} est fixée à une valeur juste inférieure à v_{Gacq} nécessaire au blocage de S_{ech} . Cette technique limite donc la charge injectée Q_{inj} .

Dans [YAN-90] et [SON-93], les auteurs proposent **une cellule avec réplication et miroir de courant**. Deux transistors identiques sont montés en parallèle, le transistor de réplication génère un courant de polarisation plus un courant du aux injections de charges indépendant du courant d'entrée. Le transistor de mémorisation draine un courant de polarisation et le courant du aux injections de charges (dépendant et indépendant du signal d'entrée), en sortie le courant du transistor de réplication est inversé par le miroir est additionné au courant de sortie de la cellule mémoire annulant ainsi l'effet premier ordre (indépendant du signal d'entrée) des injections des charges. Une telle solution ne nécessite pas de signaux d'horloge autres que ceux de la cellule de base, par contre la surface occupée, la consommation et le bruit sont supérieurs à une cellule de base et la fréquence de fonctionnement est moins élevée.

Dans [TOU-90a], les auteurs proposent une **cellule algorithmique**. Cette cellule est composée de trois cellules mémoires, qui permettent d'accéder à l'erreur d'injection de charge de la cellule de mémorisation, de l'inverser et de la repasser dans la même cellule permettant d'annuler totalement l'erreur due aux injections de charges. Une telle cellule présente donc une bonne précision au détriment d'une augmentation de surface et de puissance dissipée. De plus, elle nécessite une génération de signaux d'horloge complexes qui limite la vitesse de fonctionnement

Une cellule S^2I basée sur le **multi échantillonnage** est présentée dans [HUG-93a] qui comporte deux transistors un pMOS et un nMOS. L'acquisition se fait en deux étapes, lors de la première phase le transistor P fonctionne comme une source de courant et le courant d'entrée est mémorisée dans le nMOS. Lors de la deuxième phase, le pMOS est connecté en diode et mémorise l'erreur de courant du transistor nMOS plus un petite variation du courant d'entrée (le courant d'entrée est supposé très inférieur au courant de polarisation). Lors de la phase de restitution, l'erreur résiduelle est celle mémorisée par le pMOS. Mais cette erreur est quasiment constante du fait d'un faible courant mémorisé dans le pMOS. Ce courant résiduel peut être considéré comme un offset.

Une telle cellule n'augmente ni la surface occupé, ni la consommation, ni le bruit par rapport à une cellule de base. Par contre sa fréquence de fonctionnement est au moins deux fois inférieurs à celle d'une cellule classique de seconde génération. Dans [SHA-95] les auteurs proposent une cellule de type S^2I combinée à la méthode du diviseur capacitif présentée dans [DAU-88].

Le principe de la cellule S^2I a été repris par TOUMAZOU dans [TOU-94]. Dans cette configuration, la cellule résultante comporte n cellules élémentaires et l'acquisition se fait en n étapes. Cette structure annule complètement l'erreur d'injections dépendantes du signal d'entrée et le courant résiduel est vraiment un offset à condition que les variations du courant d'entrée soit très faibles. Une telle structure implique une puissance consommée et une surface occupée supérieures à une cellule classique. La fréquence de fonctionnement est d'autant plus faible que le nombre n d'étapes est important.

Une autre technique utilisant l'effet Miller est explicité par GUGGENBUHL dans [GUG-94]. Puisque l'erreur d'injection de charges diminue lorsque la capacité de mémorisation augmente, alors les auteurs utilisent une capacité de faible valeur (non pénalisante en terme de vitesse) dans la boucle de contre réaction d'un amplificateur Miller de gain A . La capacité résultante de mémorisation en entrée $(A+1)C_m$ est placée à la grille du transistor de mémorisation.

Dans [ZEN-97], les auteurs proposent une solution qui combine la technique de répliation et le principe du multi-échantillonnage SⁿI. et qui annule la partie de l'erreur dépendante et indépendante.

Dans [RIF-99], une cellule mémoire autocompensée est présentée. Elle utilise le principe de répliation de soustraction de l'erreur. Une telle cellule occupe une surface trois fois plus importante qu'une simple cellule, sa consommation est plus importante par contre la distorsion apportée par les injections de charge est très faible au détriment de la fréquence d'utilisation.

D.2 Variation de la tension de drain v_{DS} :

Ce paragraphe constitue une partie bibliographique des structures les plus courantes qui visent à minimiser les défauts des cellules en mode courant.

D.2.1 Structure cascode

Cette structure permet d'obtenir une tension de drain constante lors de la phase d'écriture et la phase de lecture. Elle est constituée d'un transistor à grille commune en série avec le transistor T_m de mémorisation. En fait la combinaison cascode des deux transistors T_m et T_C est équivalente à un unique transistor avec des valeurs de tension d'Early V_E et de capacité drain grille C_{GD} respectivement augmentée et diminuée d'un facteur égal au gain source drain de T_C : $g_{mc}r_{DSc} \approx 100$ [TOU90]. Puisque ce gain est très élevé, les erreurs dues à la conductance de sortie g_{DS} et à la capacité grille-drain C_{GD} sont énormément réduites.

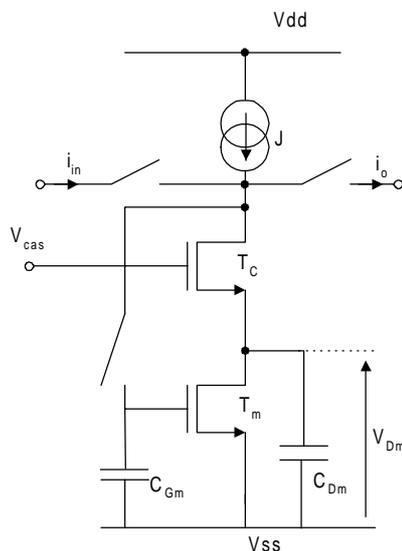


Figure III-24: structure cascode

Afin d'augmenter la plage dynamique de sortie, la tension de polarisation V_{cas} doit être aussi faible que possible. Sa valeur minimum est dictée par la nécessité de garder le transistor T_m saturé. On pose alors :

$$V_{cas} = V_{Dm} + V_T + \sqrt{\frac{2(J + i_{in})}{\beta_c}} \quad (\text{III-90})$$

or afin de garder T_m saturé la tension V_{Dm} doit vérifier l'inégalité

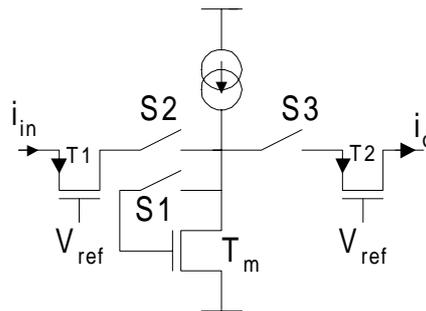
$$V_{Dm} > V_{DSmsat} = \sqrt{\frac{2(J + i_{in})}{\beta_m}} \quad (\text{III-91})$$

On en déduit alors la condition sur la tension V_{cas}

$$V_{cas} \geq V_T + \sqrt{2(J + i_{in}) \left(\frac{1}{\sqrt{\beta_m}} + \frac{1}{\sqrt{\beta_c}} \right)} \quad (\text{III-92})$$

☞ **Remarque :**

à la suite de l'étude de la structure cascode, on peut proposer une solution qui permet d'obtenir les mêmes performances, mais la cellule est plus simple.



Les transistors $T1$ et $T2$ sont montés en grille commune, ils forment donc des transistors cascode présentant ainsi une impédance d'entrée très faible (idéalement nulle) et une impédance de sortie très élevée (idéalement infinie).

D.2.2 Structure cascode régulée

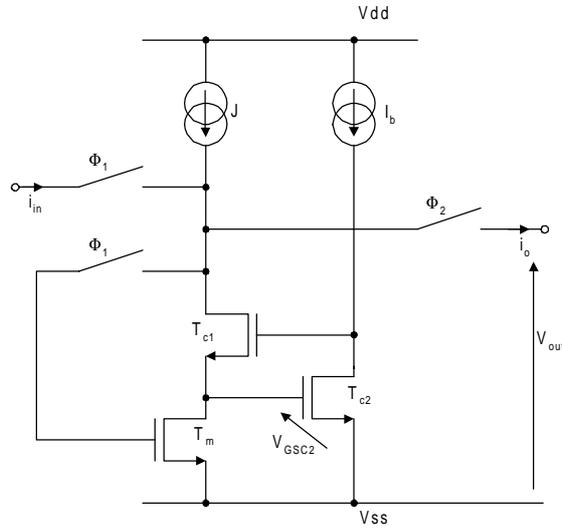


Figure III-25 : structure cascode régulée

Dans [TOU90], les auteurs proposent une cellule mémoire cascode régulée à courant commuté qui permet d'augmenter la résistance de sortie d'un facteur 10000 donc de réduire la variation de V_{DS} de ce même facteur.

Cette structure permet à la résistance de sortie de rester très élevée même si le transistor de mémorisation T_m est non saturé.

- Principe de fonctionnement :

Pendant la phase $\Phi 1$ (écriture), T_m est monté en résistance et sa capacité de grille se charge jusqu'à ce que V_{GSm} soit suffisante pour maintenir le courant de drain $J+i_{in}$. La grille de T_{c2} est connectée au drain de T_m et évalue V_{DSm} . Tant que T_{c2} convoite un courant constant I_b ($I_b \ll J$), toute différence entre V_{DSm} et la tension V_{GSC2} nécessaire au maintien de I_b est amplifiée par la boucle formée par T_{c1} et T_{c2} . De cette façon, V_{DSm} est maintenue constante à V_{GSC2} .

Pendant la phase $\Phi 2$ (lecture), T_m maintient le courant de drain échantillonné et l'effet de toute variation sur la tension de sortie sur V_{DSm} est réduit par le gain de la boucle ($g_{mc1}r_{DSc1}g_{mc2}r_{DSc2} \sim 10000$ lorsque tous les transistors sont saturés).

T_{c2} reste en saturation tant que $V_{OUT} \geq V_{GSC2} + V_{DSsC1}$ où V_{DSsC1} est la tension de saturation de T_{c1} . Pour $V_{GSC2} \leq V_{OUT} \leq V_{GSC2} + V_{DSsC1}$, T_{c2} entre dans la région de saturation et tant que la gain de la boucle diminue, il reste opérationnel. En fait la particularité de la cellule à fonctionner avec de faibles valeurs de tension d'alimentation, permet à celle-ci d'être mise en cascade.

Le gain très élevé de la boucle permet au transistor de mémorisation T_m de fonctionner en régime de non-saturation., donc les erreurs dues aux injections de charges sont fortement réduites. En effet avec le transistor de mémorisation T_m non saturé, la transconductance devient indépendante du signal d'entrée i_{in} $\left(g_{mm} = \mu C_{OX} \left(\frac{W}{L} \right) V_{Dm} = cte \right)$ avec

$V_{Dm}=V_{GS2}=\text{constante}$. Si l'injection de charges est rendue indépendante du signal d'entrée, l'erreur induite sera considérée comme un offset.

Notons toutefois, que ce la structure cascode régulée présente une conductance de sortie fortement supérieure à la structure cascode simple uniquement lorsque le transistor de mémorisation est saturé. Lorsqu'il entre en conduction, la conductance de sortie de la cellule cascode régulée devient comparable à celle du montage cascode standard.

De plus, la tension de saturation du transistor T_m est égale à la tension de grille V_{GS2} du transistor T_{C2} , et dépend donc de la tension de seuil. Or cette tension de seuil peut varier d'une intégration à l'autre de 20 à 30 % autour de la valeur typique, les performances d'une telle mémoire sont donc fortement liées aux variations de la technologie. Cette structure est complexe à mettre en œuvre, et la surface occupée est plus importante qu'une structure cascode simple, il en est de même pour la consommation. Une telle structure est inutilisable dans une mémoire analogique.

D.2.3 Asservissement du potentiel de drain du transistor de mémorisation

Ces deux structures d'asservissement sont présentées dans cette étude pour information dans le cadre des cellules de mémorisation de type échantillonnage-blocage mais n'ont aucun intérêt dans le cadre plus spécifique des mémoires analogiques massivement parallèles qui rappelons le, sont très contraignantes en surface et en puissance.

D.2.4 Par utilisation d'amplificateurs OTA

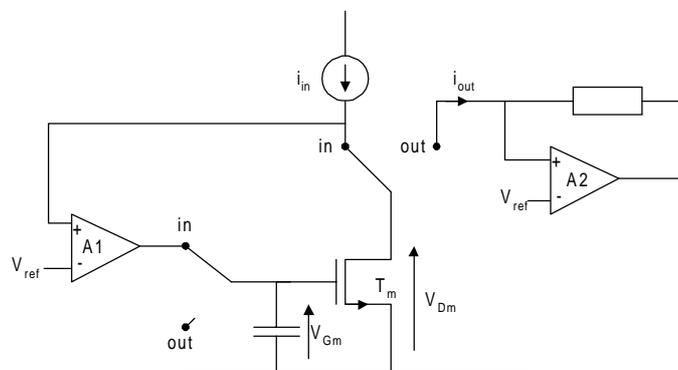


Figure III-26: asservissement du potentiel de drain à l'aide d'amplificateurs OTA

En position in, l'amplificateur A1 force le transistor de mémorisation T_m à soutirer le courant i_{in} sous un potentiel de drain $V_{DSm}=V_{ref}$

Une structure à amplificateur OTA réduit la fréquence maximale de fonctionnement de la cellule, par l'ajout d'une constante de temps importante. De plus, l'utilisation de capacités linéaires en vue de la stabilité des amplificateurs fait perdre à la structure en courant sa compatibilité avec les technologies CMOS submicroniques.

D.2.5 Par utilisation d'un suiveur de courant

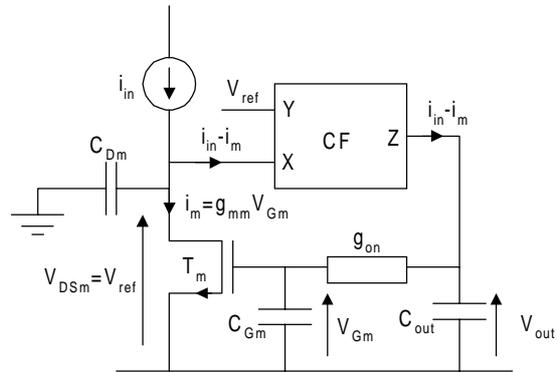


Figure III-27: asservissement du potentiel de drain à l'aide d'un suiveur de courant

CHAPITRE IV EXPLOITATIONS DES MODÈLES & MESURES

Dans ce chapitre, nous exploitons les modèles développés dans les chapitres II et III afin de faire apparaître les facteurs dominants. Nous confronterons en premier lieu les résultats obtenus avec des données de simulation et en second avec des données de mesures, afin de valider les modèles. L'exploitation du modèle sera faite sur les deux types de cellules :

- ✓ Cellules de mode tension
- ✓ Cellules de mode courant

A EXPLOITATION DES MODÈLES

A.1 *Modèle en mode tension*

Dans le chapitre II, le modèle polynomial a été développé autour de $V_0 = V_{DD}/k$. Afin d'exploiter le modèle et de le confronter aux résultats de simulation, nous choisirons de développer le modèle autour de $V_M/2$. Or la grandeur V_M étant une fonction de la tension d'entrée v_{in} et de la taille du transistor d'écriture, nous prendrons pour V_M : $V_M = \frac{3}{5}V_{DD}$ ($V_M \cong V_{DD} - 2V_{T0}$). Le modèle sera donc développé autour de $V_M/2$ soit $k=10/3$.

A.1.1 Influence de la capacité de mémorisation

La figure IV-1 représente l'évolution de l'erreur de linéarité en fonction de la valeur de la capacité de mémorisation. Les données de simulation ont été extraites du simulateur pour une taille du transistor d'écriture $(W/L)=2,5/0,25$.

Plus la valeur de la capacité de mémorisation est importante, plus faible est l'erreur de linéarité (précision statique). Mais il faut garder à l'esprit, qu'augmenter la valeur de la capacité de mémorisation afin de diminuer l'erreur de linéarité est préjudiciable en terme de vitesse, donc en terme d'erreur de poursuite ; la non-linéarité que l'on aura obtenue avec une grande valeur de capacité sera dégradée par l'erreur introduite par un temps d'acquisition fini (erreur dynamique). En fait, il faut faire un compromis entre vitesse, précision et surface afin de définir une valeur de capacité optimale permettant de répondre aux trois critères cités précédemment.

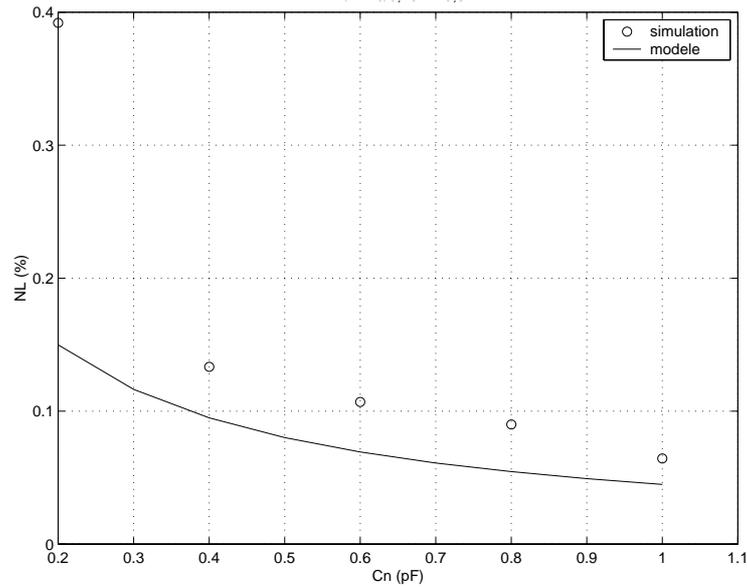


Figure IV-1 : erreur de linéarité en fonction de la capacité de mémorisation (simulation et modèle)

Sur la figure IV-2, nous représentons la surface de la capacité exprimée en μm^2 en fonction de la valeur nominale de la capacité. Cette figure permet d'évaluer la surface afin de faire un compromis surface/précision.

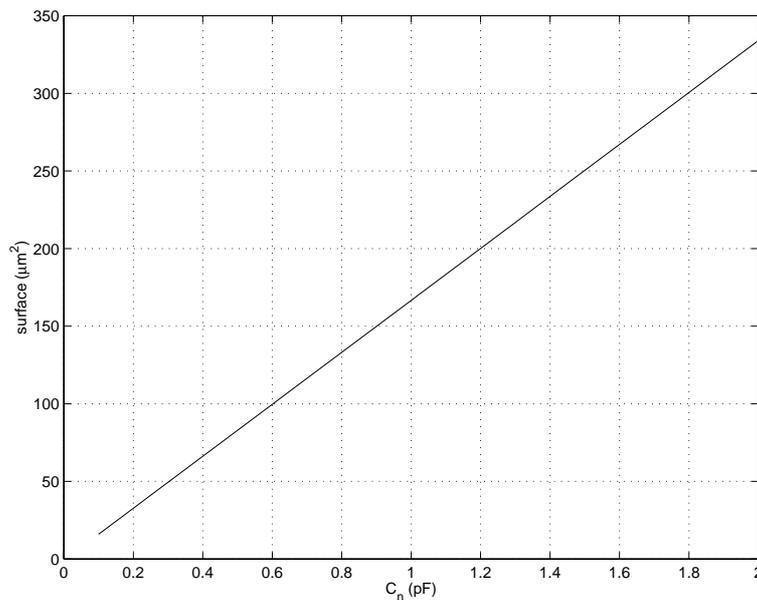


Figure IV-2 : surface occupée par la capacité de mémorisation

A.1.2 Influence de la taille des interrupteurs

Nous avons vu dans le paragraphe précédent, que la valeur de la capacité de mémorisation a une forte influence sur l'erreur de linéarité. Dans le chapitre II, nous avons également montré que la taille de l'interrupteur d'écriture conditionnait l'erreur de linéarité mais dans des proportions moindres que la valeur de la capacité.

La taille de l'interrupteur a une influence sur la précision dynamique et statique. Concernant, la vitesse de fonctionnement de la cellule, l'interrupteur d'écriture doit être dimensionné de

manière à minimiser sa résistance à l'état passant, ce qui nécessite un rapport W/L élevé. Le plus judicieux est de choisir, la longueur L au minimum de la technologie et d'augmenter la largeur W . En effet, si on fixe une valeur de capacité imposée par des critères, de surface et de précision, il sera nécessaire de dimensionner l'interrupteur d'écriture de manière à garder le produit $R_{on} * C_{mem}$ minimal, qui représente la constante de temps de la cellule. Bien entendu, le dimensionnement de l'interrupteur se fera en respectant les critères de surface, de précision et de vitesse.

A.1.3 Influence de la capacité parasite en phase de lecture

La capacité parasite en phase de lecture dégrade la linéarité de la cellule, car elle dégrade la valeur du gain de la cellule. Pour des valeurs de capacité de mémorisation élevée, l'influence de la capacité parasite est moindre

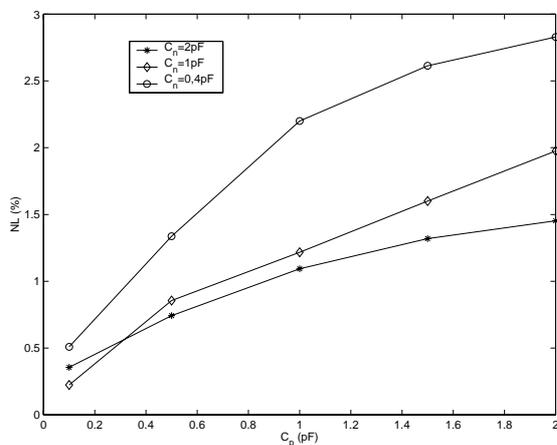


Figure IV-3 : erreur de non-linéarité en fonction de C_p pour différentes valeurs de C_n (simulation)

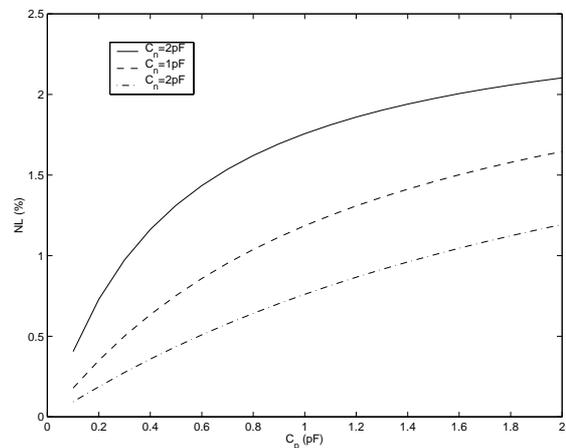


Figure IV-4 : erreur de non-linéarité en fonction de C_p pour différentes valeurs de C_n (modèle)

Sur les figures IV-3 et IV-4, nous avons représenté, l'erreur de linéarité en fonction de la capacité parasite C_p . Or, nous avons vu dans le chapitre II, que la dégradation de la linéarité était essentiellement due à une chute du gain de la cellule. C'est pourquoi nous représentons sur la figure IV-5, la variation du gain \bar{a}_1 en fonction de la valeur de la capacité de mémorisation.

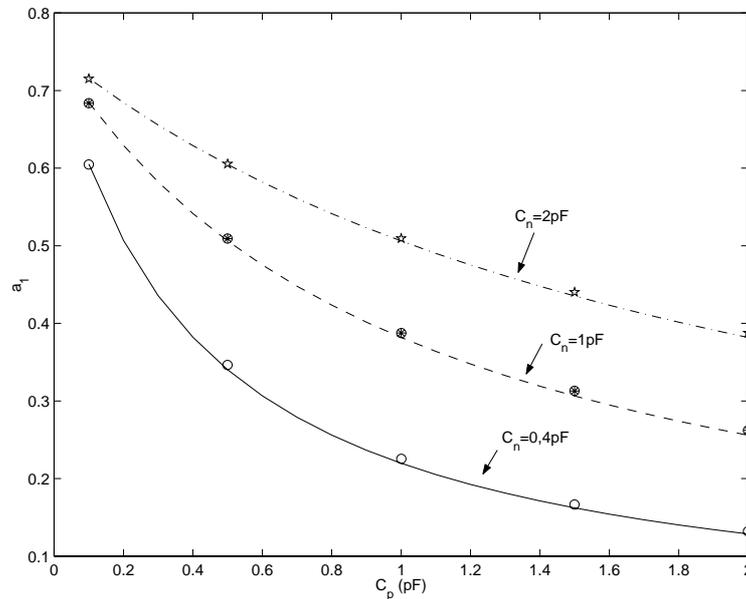


Figure IV-5 : Évolution du gain \bar{a}_1 en fonction de la capacité de mémorisation (modèle et simulation)

A.1.4 Limites du modèle

Afin de garder un modèle simple et exploitable nous avons volontairement limité l'ordre du polynôme à 3 afin de faire ressortir des grandeurs influentes. La modélisation à l'ordre 3 ne prend pas en compte toutes les linéarités d'ordre supérieur de la capacité de mémorisation. Afin d'obtenir un modèle plus précis, le concepteur peut utiliser la relation fonctionnelle (equ. II-6) qui permet une meilleure prédiction.

Nous avons supposé, lors de l'établissement du modèle que la capacité parasite C_p était constante, or dans un système de lecture présentant une capacité d'entrée non nulle, cette capacité n'est pas constante et varie en fonction de la tension à ses bornes (cas d'une capacité de grille par exemple).

A.2 Modèle en mode courant

A.2.1 Influence de la capacité de mémorisation

La figure IV-6 met en évidence l'influence de la capacité de mémorisation sur l'erreur de non-linéarité de la cellule. La courbe a été tracée pour une valeur du paramètre de modulation λ donnée. On remarque que l'erreur de non-linéarité présente une asymptote lorsque la valeur de la capacité de mémorisation augmente. Ce phénomène a été étudié dans le chapitre III, et

nous avons montré que cette tangente est imposé par le paramètre λ . Nous détaillerons son influence dans le paragraphe A.2.2.

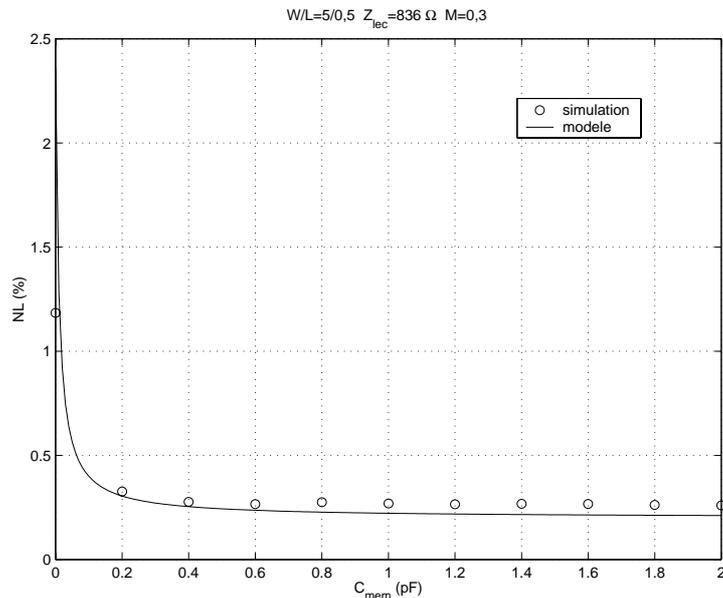


Figure IV-6 : NL en fonction de C_{mem} (modèle et simulation)

La figure IV-7 met en évidence la dépendance de l'erreur de linéarité à la pleine échelle en entrée (M). Plus M est grand, plus importante est l'erreur de linéarité. La diminution de la pleine échelle en entrée FS permet de minimiser l'erreur de linéarité. De plus la diminution de M entraîne une réduction de la puissance dissipée, mais nous avons démontré dans le chapitre III que le paramètre M conditionnait le rapport signal à bruit donc la précision de la cellule. M doit au moins être égal à 0,3 afin d'obtenir une non-linéarité d'au moins 10 bits.

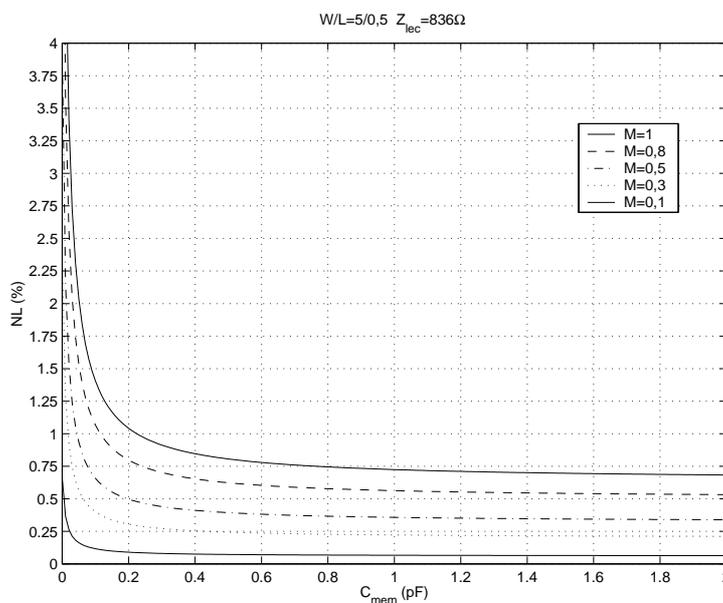


Figure IV-7 : NL en fonction de C_{mem} pour différentes valeurs de M (modèle)

Lors du dimensionnement de la cellule, il faut prendre en compte le régime de fonctionnement dynamique de la cellule. Nous avons vu dans le chapitre III, que pour obtenir

une vitesse de fonctionnement maximale, la cellule doit fonctionner en régime sur-amorti, la condition de fonctionnement pour ce régime est que la conductance g_{ON} de l'interrupteur d'échantillonnage S_{ech} (choisi de taille minimale afin de limiter les injections de charges) soit inférieure à une valeur critique g_{crit} qui dépend de la capacité de mémorisation. En fait, si l'on augmente la valeur de la capacité de mémorisation, on diminue la plage admissible en entrée de la cellule pour assurer un fonctionnement de la cellule en régime sur-amorti. La figure ci-dessous, montre la limite de fonctionnement de la cellule en régime sur-amorti pour différentes valeurs de capacité de mémorisation.

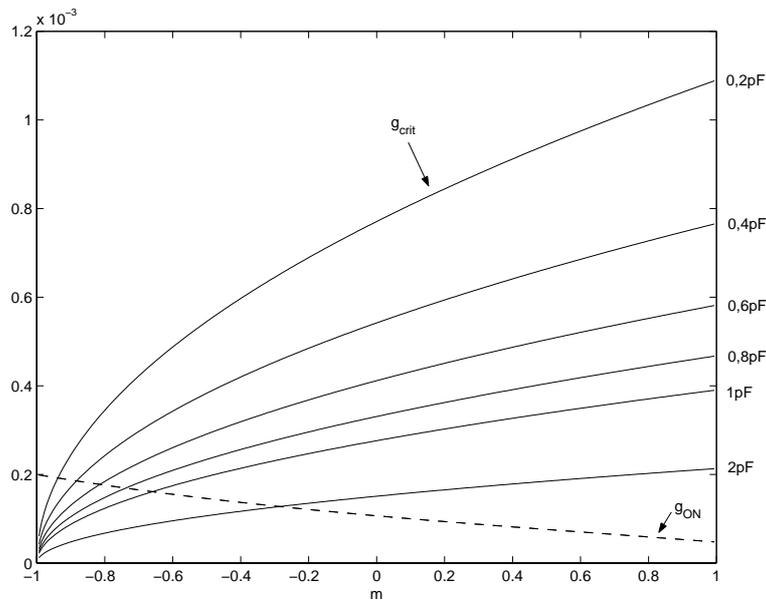


Figure IV-8 : g_{ON} et g_{crit} en fonction de m pour différentes valeurs de C_{Gm}

Sur la figure IV-8, on constate que lorsque la valeur de la capacité de mémorisation C_{Gm} augmente, le point pour lequel $g_{ON}=g_{crit}$ se déplace vers la droite, c'est à dire que la plage admissible en entrée (M) diminue.

A.2.2 Influence du paramètre λ

Nous avons montré que le paramètre λ impose une asymptote sur l'erreur de linéarité lorsque l'on augmente la valeur de la capacité de mémorisation. Donc afin de réduire l'influence de ce paramètre, il faut le diminuer, ce qui revient à augmenter la longueur L du transistor de mémorisation, tout en veillant à augmenter la largeur W du transistor afin de garder un point de repos constant. Nous rappelons que le point de repos est imposé par la transconductance g_{m0} du transistor.

La figure IV-9, représente l'évolution de l'erreur de linéarité en fonction de la capacité de mémorisation totale C_{Gm} pour une impédance $Z_{lec}=836\Omega$ et $M=0,3$. Sur cette figure, on constate que plus le paramètre λ est faible, plus faible est l'erreur de linéarité. Lorsque le transistor de mémorisation est de taille suffisante pour avoir une valeur de capacité de grille intrinsèque optimale (cas du transistor $W/L=50/5$), il n'est pas nécessaire d'ajouter une capacité de mémorisation supplémentaire. Ce qui est bénéfique en terme de surface. En fait la surface supplémentaire occupée par un transistor de mémorisation avec un faible λ est compensée par le fait qu'il n'y a pas besoin de capacité additionnelle. Grâce à un

dimensionnement judicieux du transistor de mémorisation, le compromis vitesse/précision/surface est résolu.

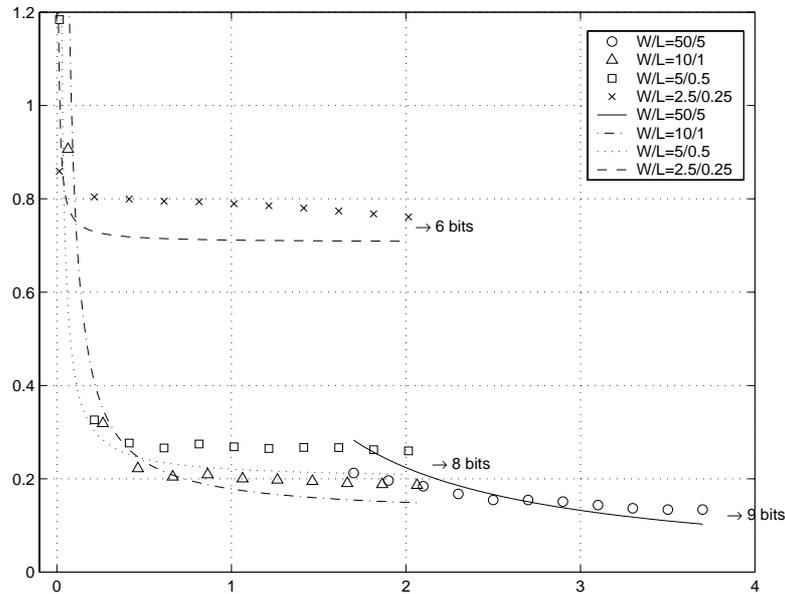


Figure IV-9 : NL en fonction de C_{Gm} pour différentes valeurs de λ (modèle et simulation)

A.2.3 Influence de l'impédance de charge Z_{lec}

Sur la figure IV-10, nous présentons l'évolution de l'écart de linéarité en fonction de la valeur de l'impédance de charge Z_{lec} . L'impédance de charge Z_{lec} vue par la cellule de mémorisation est la somme de la résistance à l'état passant de l'interrupteur de lecture et la résistance d'entrée du système de lecture. Cette valeur d'impédance conditionne la valeur maximum de l'écart de linéarité. Plus l'impédance est grande, plus la valeur maximale de l'écart de linéarité est grande. En fait, cette valeur est donnée pour les valeurs de m négatives. Deux options de conception sont possibles, soit diminuer l'impédance de charge en concevant un dispositif de lecture à impédance d'entrée faible et augmenter la largeur W de l'interrupteur de lecture S_{lec} . L'augmentation de la taille de l'interrupteur doit être faite en gardant à l'esprit l'optimisation de la surface de la cellule.

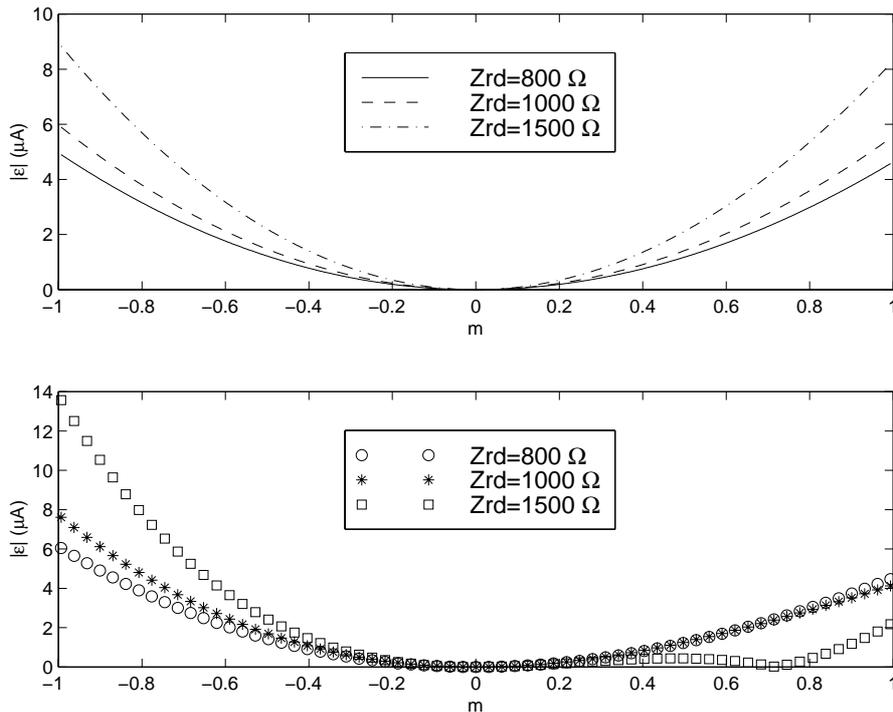


Figure IV-10 : NL en fonction de m pour différentes valeurs de Z_{lec} (modèle et simulation)

Nous discuterons dans le paragraphe suivant, les différences entre les courbes simulées et celles issues du modèle notamment en ce qui concerne la dissymétrie des courbes.

A.2.4 Limites du modèle

La comparaison du modèle avec des données issues des simulations et des mesures nous oblige à revenir sur l'étude du terme de non-linéarité ε . En effet on constate une dissymétrie de part et d'autre de la valeur $m=0$, le maximum de la fonction ε existe pour des valeurs de m négatives.

Le modèle développé est optimiste pour $m < 0$ et pessimiste pour $m > 0$. En s'intéressant à l'interrupteur d'écriture, on remarque que l'impédance Z_{Slec} n'est pas constante. Des simulations effectuées sur plusieurs largeurs W de l'interrupteur de lecture (Figure IV-11) mettent en évidence ce phénomène (la longueur L du transistor est minimale).

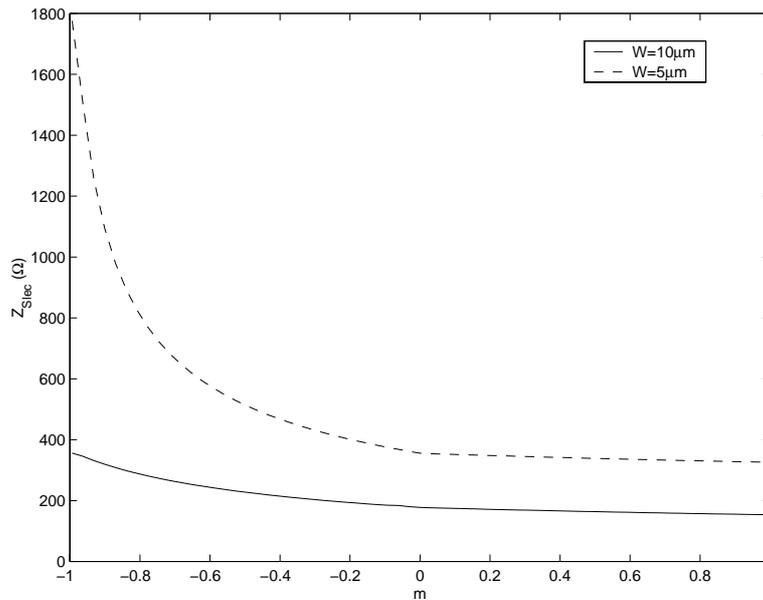


Figure IV-11 : $Z_{sléc}$ en fonction de m (simulation)

En fait l'impédance de l'interrupteur sera maximale pour des valeurs de m négatives ce qui explique le maximum de ε pour ces valeurs. Afin de modéliser la variation de l'impédance de l'interrupteur d'écriture en fonction du courant qui le traverse, nous avons représenté dans le chapitre III (figure III-12) la variation des coefficients a_2 et a_3 en fonction de l'impédance Z_{lec} .

De plus une étude de l'évolution de l'écart de non-linéarité met en évidence pour un interrupteur de petite taille la présence de racines dans le terme ε ce qui donne la condition suivante sur les coefficients a_2 et a_3 : $a_2 + a_3 m I_B = 0$ donc lorsque $a_2/a_3 = -m I_B$ pour $m \neq 0$.

Rappelons toutefois que dans notre modèle, nous avons supposé, en première approximation, de nombreux paramètres constants :

- λ paramètre de modulation de longueur du canal.
- les capacités intrinsèques aux transistors
- le coefficient α d'injection de charges
- la tension de seuil V_{T0}
- l'impédance de charge Z_{lec} de la cellule.

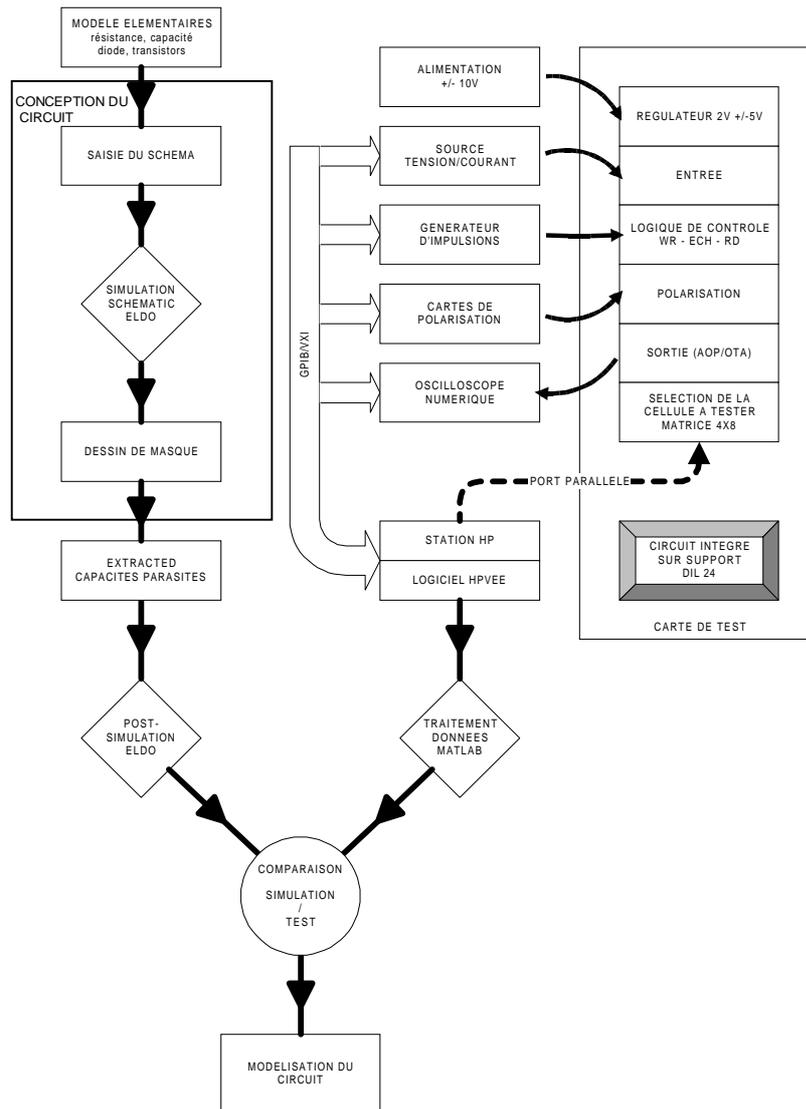
On a supposé à chaque étape de fonctionnement de la cellule que le source de courant de polarisation était parfaite donc $I_{bias} = I_{bias0}$. Or dans une cellule réelle avec une source de courant non cascodée, le courant de polarisation varie avec la tension de drain V_{DS} . On peut alors exprimer le courant de polarisation par la relation :

$$i_{bias} = I_{bias0} + g_{DSb} (V_{Dm} - V_{DD})$$

où g_{DSb} représente la conductance de sortie du transistor de polarisation, V_{Dm} la tension de drain du transistor de mémorisation et I_{bias0} la valeur du courant de polarisation pour $i_{in} = 0$. Le courant de polarisation est donc une fonction de i_{in} par l'intermédiaire de la tension V_{Dm} .

B MESURES

Le but de ce paragraphe est de décrire le circuit fabriqué dans une technologie submicronique, et de justifier les choix de conception. Il est important de noter que nous avons eu accès à la technologie tardivement (avril 1998) et que le temps qui nous était imparti avant l'envoi du circuit chez le fondeur (juin 1998) était limité. Nous n'avons donc pas pu prendre en compte tous les paramètres influents sur la précision qui ont été mis en évidence dans les chapitres II et III.



La figure ci-dessus représente le cheminement qui a été suivi depuis la conception du circuit jusqu'au développement du modèle. C'est ce cheminement que nous suivrons dans ce chapitre, c'est à dire que dans un premier temps nous présenterons le circuit réalisé ainsi que les équations de dimensionnement des éléments du circuit. Dans une deuxième partie, le banc de mesures ainsi que le protocole de tests seront présentés et enfin des résultats de mesures seront comparés aux simulations et au modèle développé dans les chapitres II et III.

B.1 Description du circuit prototype

Le circuit DELPHINE a été réalisé dans la technologie CMOS 0,25 μ m (HCMOS7) du fondeur STMicroelectronics. Ce circuit inclut deux mémoires analogiques de 4 canaux chacune et de 8 cellules de profondeur. Une des mémoires fonctionne en mode courant (ICORE), l'autre fonctionne en mode tension (VCORE). Le troisième bloc est le décodeur qui permet d'adresser indépendamment chaque cellule de chaque mémoire.

Un tel choix de conception nous permettra de mettre en évidence certaines conclusions quant à la réduction des dimensions technologiques.

La figure ci-dessous représente le layout du circuit DELPHINE.

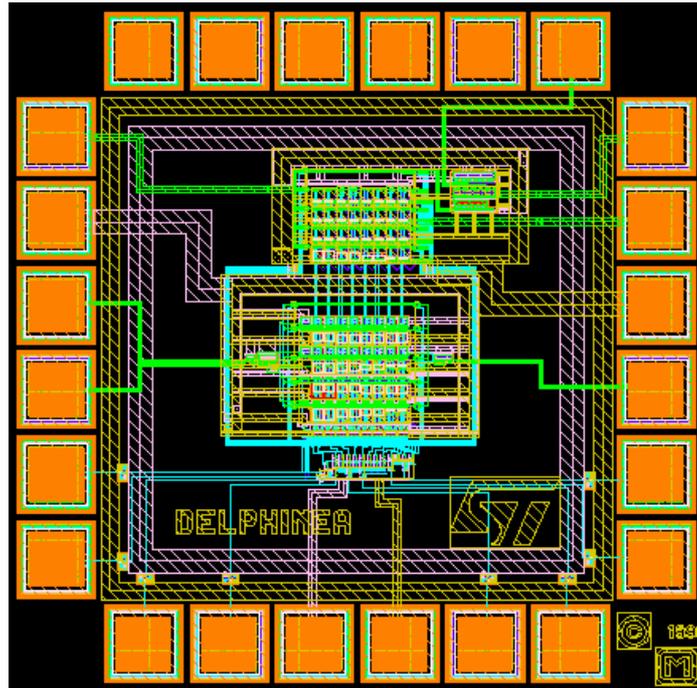


Figure IV-12 : layout du circuit DELPHINE

Nous présentons dans la suite du paragraphe, les deux mémoires ainsi que les équations de dimensionnement de chacun des éléments constituant ces mémoires.

B.1.1 La mémoire en mode tension (VCORE)

Le tableau IV-1 présente la mémoire en mode tension du circuit, il décrit les paramètres de chaque cellule, à savoir la valeur de la capacité de mémorisation C_{mem} et la taille des interrupteurs d'écriture et de lecture WR/RD.

RD WR 3/2 Cmem 0,2 pF Vcell_D1	RD WR 3/2 Cmem 0,2 pF Vcell_D1	RD WR 3/2 +dummy 1,5/2 Cmem 0,2 pF Vcell_D2	RD WR 3/2 +dummy 1,5/2 Cmem 0,2 pF Vcell_D2	RD WR 0,70,25 Cmem 0,2 pF Vcell_D3	RD WR 0,70,25 Cmem 0,2 pF Vcell_D3	RD WR 0,70,25 +dummy 0,35/0,25 Cmem 0,2 pF Vcell_D4	RD WR 0,70,25 +dummy 0,35/0,25 Cmem 0,2 pF Vcell_D4	L4
RD WR 2,5/0,25 Cmem 0,2 pF Vcell_C1	RD WR 2,5/0,25 Cmem 0,2 pF Vcell_C1	RD WR 1,4/0,25 Cmem 0,2 pF Vcell_C2	RD WR 1,4/0,25 Cmem 0,2 pF Vcell_C2	RD WR 0,7/0,25 Cmem 0,2 pF Vcell_C3	RD WR 0,7/0,25 Cmem 0,2 pF Vcell_C3	RD WR 0,35/0,25 Cmem 0,2 pF Vcell_C4	RD WR 0,35/0,25 Cmem 0,2 pF Vcell_C4	L3
RD WR 3/2 Cmem 0,2 pF Vcell_B1	RD WR 3/2 Cmem 0,2 pF Vcell_B1	RD WR 2,25/1,5 Cmem 0,2 pF Vcell_B2	RD WR 2,25/1,5 Cmem 0,2 pF Vcell_B2	RD WR 1,5/1 Cmem 0,2 pF Vcell_B3	RD WR 1,5/1 Cmem 0,2 pF Vcell_B3	RD WR 0,75/0,5 Cmem 0,2 pF Vcell_B4	RD WR 0,75/0,5 Cmem 0,2 pF Vcell_B4	L2
RD WR 0,35/0,25 Cmem 0,8 pF Vcell_A1	RD WR 0,35/0,25 Cmem 0,8 pF Vcell_A1	RD WR 0,35/0,25 Cmem 0,6 pF Vcell_A2	RD WR 0,35/0,25 Cmem 0,6 pF Vcell_A2	RD WR 0,35/0,25 Cmem 0,4 pF Vcell_A3	RD WR 0,35/0,25 Cmem 0,4 pF Vcell_A3	RD WR 0,35/0,25 Cmem 0,2 pF Vcell_A4	RD WR 0,35/0,25 Cmem 0,2 pF Vcell_A4	L1
C1	C2	C3	C4	C5	C6	C7	C8	

Tableau IV-1: tableau synoptique de VCORE

La mémoire en mode tension est donc une mémoire à 4 canaux (référéncés de L1 à L4) de 8 cellules de profondeur chacun (référéncés de C1 à C8).

La figure ci-dessous représente le layout de la mémoire en mode tension VCORE.

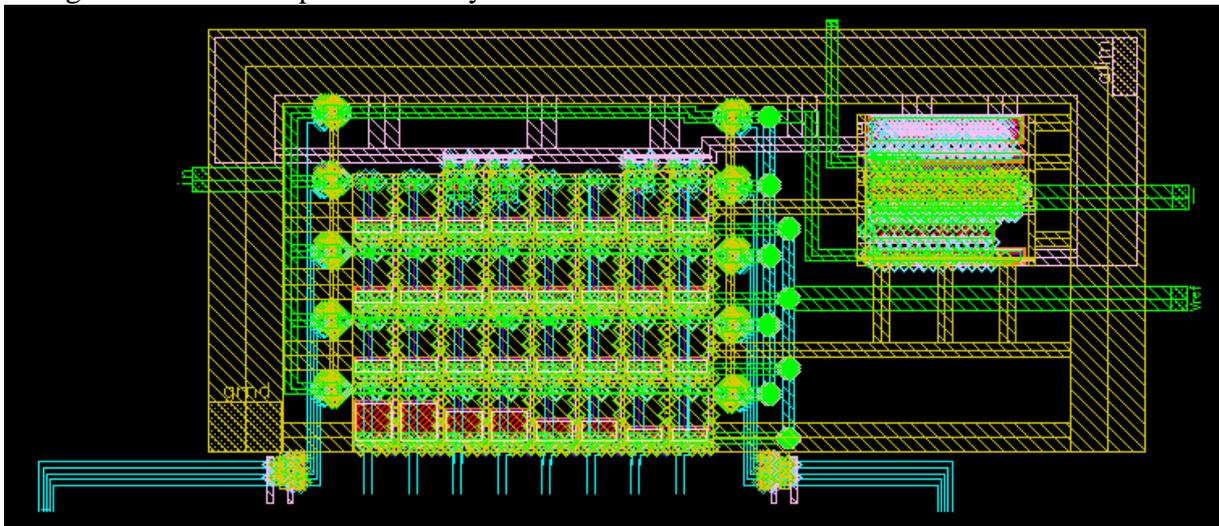


Figure IV-13 : layout de la mémoire en mode tension

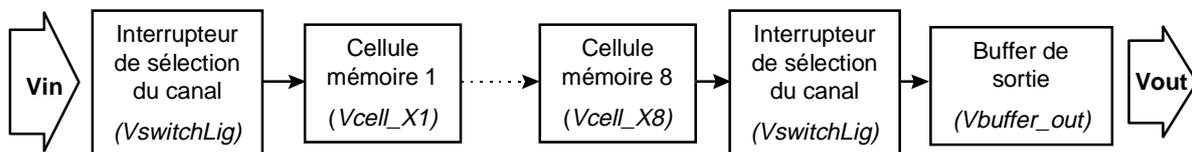


Figure IV-14 : synoptique d'un canal de VCORE

Sur la figure IV-14 nous avons représenté le synoptique d'un canal analogique de la mémoire. Les interrupteurs de sélection du canal permettent de choisir le canal où se trouve la cellule à tester, ces interrupteurs sont commandes par le décodeur ligne décrit dans le paragraphe B.1.3.2.

Un buffer de sortie, commun aux quatre lignes, permet à la cellule d'être lue par l'intermédiaire du système de mesure en présentant une faible impédance de sortie.

B.1.1.1 Cellule mémoire

La figure IV-15 donne une vue schématique d'une cellule de mémorisation en mode tension. La capacité de mémorisation C_{mem} est une capacité poly-Nwell dont la description a été donnée dans le chapitre II et l'annexe 6. Les interrupteurs ont été dimensionnés selon le tableau IV-1. La tension V_{ref} permet d'appliquer un potentiel de référence sur l'armature inférieure du condensateur. Dans notre application, cette tension est nulle.

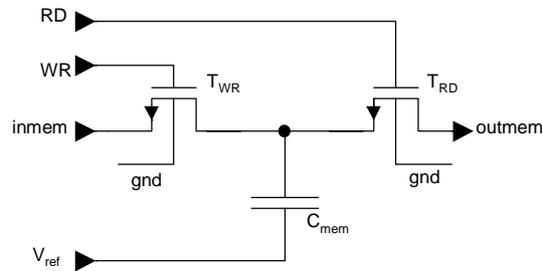


Figure IV-15 : schéma d'une cellule mémoire (Vcell_A1)

Comme nous l'avons indiqué dans le chapitre II, la cellule est composée de deux interrupteurs dont le substrat est polarisé au potentiel le plus bas, ces interrupteurs sont commandés par les signaux WR et RD, commandant respectivement l'écriture dans la cellule et la lecture de la cellule. Ces signaux sont générés par le générateur de pulse présenté sur le synoptique du banc de tests au paragraphe C.1.

B.1.1.2 Le buffer de sortie (Vbuffer_out)

La figure IV-16 donne une vue schématique du buffer de sortie et de l'étage de polarisation. La structure conçue est simple : le buffer est constitué en entrée d'un montage drain commun (ou « source suiveuse ») à transistors P en cascade avec un montage drain commun à transistors N.

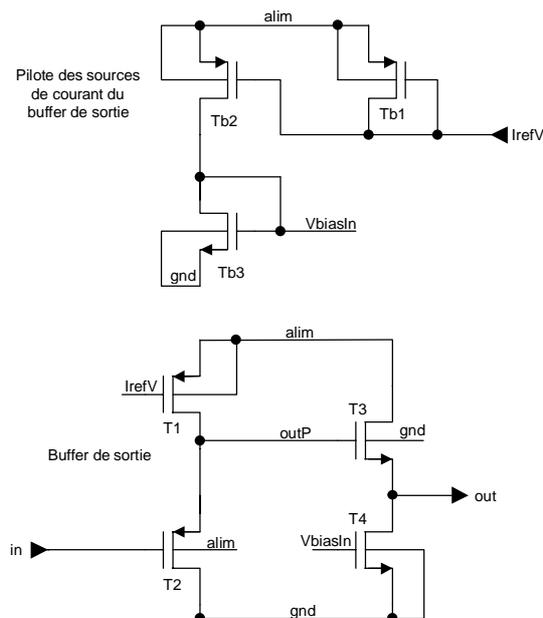


Figure IV-16 : schéma du buffer de sortie

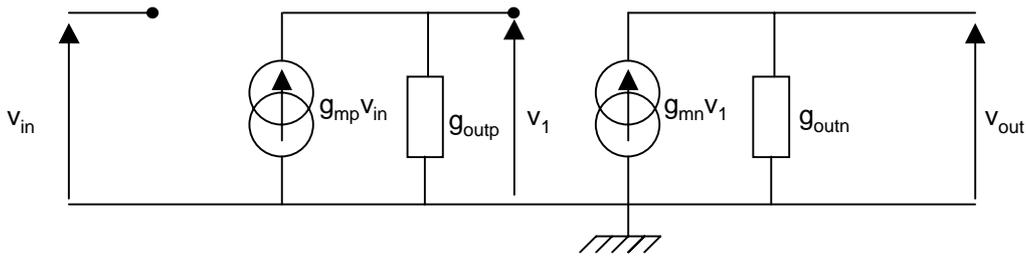
	ST 0,25μm
	W/L
Tb1	50/1
Tb2	200/1
Tb3	40/1
T1	40/4
T2	100/0,5
T3	100/0,5
T4	200/1

Tableau IV-2 : dimensions des transistors du buffer de sortie

On se fixe les caractéristiques suivantes pour le buffer de sortie de VCORE :

- un gain unitaire
- un produit gain×bande de 100 MHz
- une charge de 1kΩ et de 50pF

B.1.1.2.1 Étude du buffer de sortie



D'après le schéma équivalent donné par la figure ci-dessus, nous avons les relations suivantes :

$$\left\{ \begin{array}{l} \frac{v_{out}}{v_1} = \frac{1}{\left(1 + \frac{g_{outn}}{g_{mn}}\right)} \\ \frac{v_1}{v_{in}} = \frac{1}{\left(1 + \frac{g_{outp}}{g_{mp}}\right)} \end{array} \right. \quad (IV-1)$$

On en déduit la fonction de transfert du buffer de sortie :

$$\frac{v_{out}}{v_{in}} = \frac{v_{out}}{v_1} \cdot \frac{v_1}{v_{in}} = \frac{1}{\left(1 + \frac{g_{outn}}{g_{mn}}\right) \left(1 + \frac{g_{outp}}{g_{mp}}\right)}$$

avec g_{outx} la conductance de sortie des transistors d'entrée P et N, égale à la somme :

$$g_{outx} = g_{mbx} + g_{dsx}$$

$$\text{où } g_{mbx} = \frac{\gamma}{2\sqrt{2\Phi_p + V_{SB}}}.$$

Afin de faire tendre le rapport v_{out}/v_{in} vers 1, le terme $\frac{g_{outx}}{g_{mx}}$ doit être très inférieur à 1. Ceci implique dans un premier temps de faire tendre la conductance de sortie g_{outx} vers 0, ce qui implique un L grand. Dans un deuxième temps, le terme g_{mx} doit être grand, ce terme étant proportionnel au rapport W/L, ce rapport doit être élevé. La conductance de sortie ne peut pas être nulle à cause du terme g_{mbx} qui représente l'effet de substrat, ce qui explique que le gain du buffer est inférieur à 1. L'ajustement des dimensions des transistors par la simulation permet d'obtenir un gain de 0,7 ce qui est confirmé par les résultats expérimentaux.

Le buffer de sortie de VCORE a été dimensionné pour un courant de référence externe I_{refV} de 100 μA , et il délivre un courant de sortie de 2mA.

B.1.2 La mémoire en mode courant (ICORE)

Le tableau IV-3 présente la mémoire en mode courant du circuit DELPHINE :

	RD WR 2,5/0,25 ECH 0,35/0,25 Cmem 0,6 pF	RD WR 2,5/0,25 ECH 0,35/0,25 Cmem 0,6 pF	RD WR 5/0,25 ECH 0,35/0,25 Cmem 0,6 pF	RD WR 5/0,25 ECH 0,35/0,25 Cmem 0,6 pF	RD WR 10/0,25 ECH 0,35/0,25 Cmem 0,6 pF	RD WR 10/0,25 ECH 0,35/0,25 Cmem 0,6 pF	RD WR 10/0,25 ECH 2,5/0,25 Cmem 0,6 pF	RD WR 10/0,25 ECH 2,5/0,25 Cmem 0,6 pF	L4
± 250 μA	Icell_D1	Icell_D1	Icell_D2	Icell_D2	Icell_D3	Icell_D3	Icell_D4	Icell_D4	
Tmem: 5/0,5	RD WR 10/0,25 ECH 0,35/0,25 Cmem 0,8 pF	RD WR 10/0,25 ECH 0,35/0,25 Cmem 0,8 pF	RD WR 10/0,25 ECH 0,35/0,25 Cmem 0,6 pF	RD WR 10/0,25 ECH 0,35/0,25 Cmem 0,6 pF	RD WR 10/0,25 ECH 0,35/0,25 Cmem 0,4 pF	RD WR 10/0,25 ECH 0,35/0,25 Cmem 0,4 pF	RD WR 10/0,25 ECH 0,35/0,25 Cmem 0,2 pF	RD WR 10/0,25 ECH 0,35/0,25 Cmem 0,2 pF	L3
	Icell_C1	Icell_C1	Icell_C2	Icell_C2	Icell_C3	Icell_C3	Icell_C4	Icell_C4	
	RD WR 0,35/0,25 ECH 0,35/0,25 Cmem 0,6 pF	RD WR 0,35/0,25 ECH 0,35/0,25 Cmem 0,6 pF	RD WR 0,7/0,25 ECH 0,35/0,25 Cmem 0,6 pF	RD WR 0,7/0,25 ECH 0,35/0,25 Cmem 0,6 pF	RD WR 1,4/0,25 ECH 0,35/0,25 Cmem 0,6 pF	RD WR 1,4/0,25 ECH 0,35/0,25 Cmem 0,6 pF	RD WR 2,5/0,25 ECH 0,35/0,25 Cmem 0,6 pF	RD WR 2,5/0,25 ECH 0,35/0,25 Cmem 0,6 pF	L2
± 50 μA	Icell_B1	Icell_B1	Icell_B2	Icell_B2	Icell_B3	Icell_B3	Icell_B4	Icell_B4	
Tmem: 1,5/0,5	RD WR 2,5/0,25 ECH 0,35/0,25 Cmem 0,8 pF	RD WR 2,5/0,25 ECH 0,35/0,25 Cmem 0,8 pF	RD WR 2,5/0,25 ECH 0,35/0,25 Cmem 0,6 pF	RD WR 2,5/0,25 ECH 0,35/0,25 Cmem 0,6 pF	RD WR 2,5/0,25 ECH 0,35/0,25 Cmem 0,4 pF	RD WR 2,5/0,25 ECH 0,35/0,25 Cmem 0,4 pF	RD WR 2,5/0,25 ECH 0,35/0,25 Cmem 0,2 pF	RD WR 2,5/0,25 ECH 0,35/0,25 Cmem 0,2 pF	L1
	Icell_A1	Icell_A1	Icell_A2	Icell_A2	Icell_A3	Icell_A3	Icell_A4	Icell_A4	
	C1	C2	C3	C4	C5	C6	C7	C8	

Tableau IV-3: tableau synoptique de ICORE

Chaque cellule a été implémentée deux fois dans la matrice afin d'assurer une symétrie

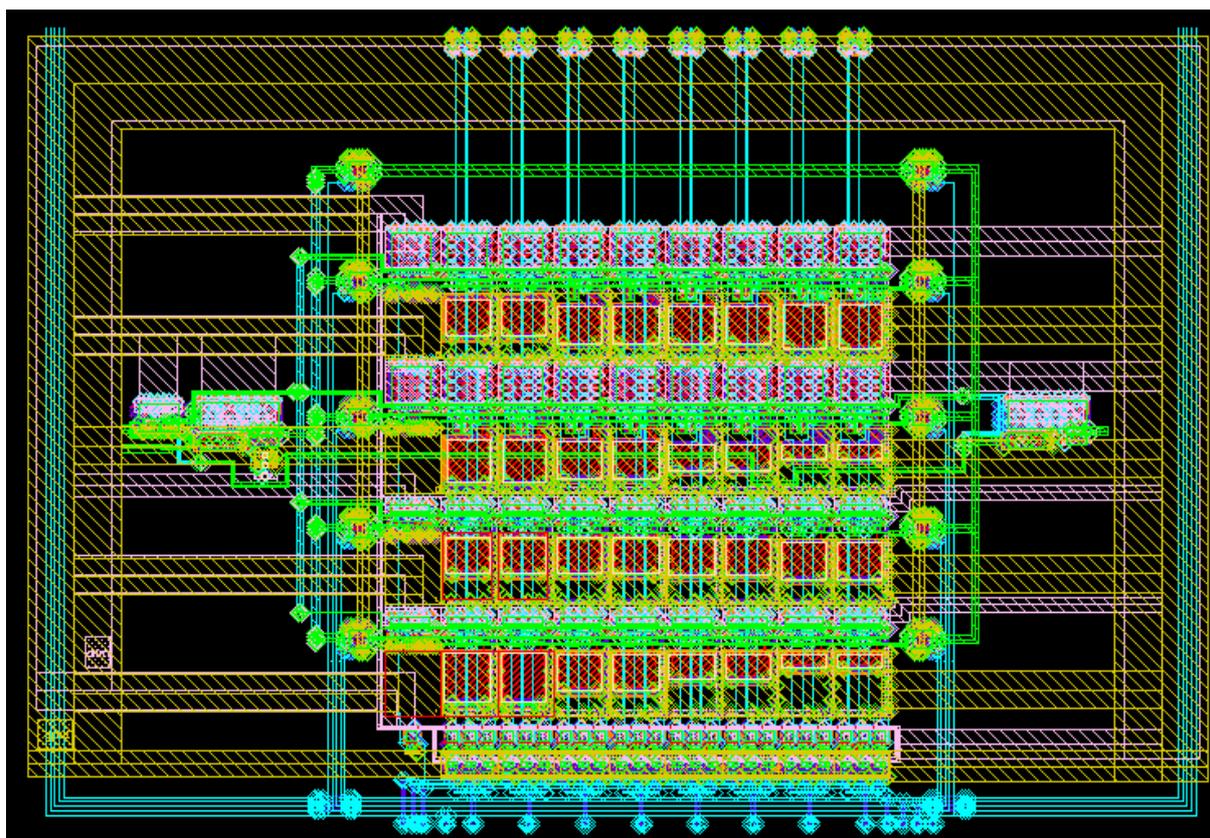


Figure IV-17 : layout de la mémoire en mode courant (ICORE)

Chaque canal de la mémoire (lignes L1 à L4) a la structure suivante :

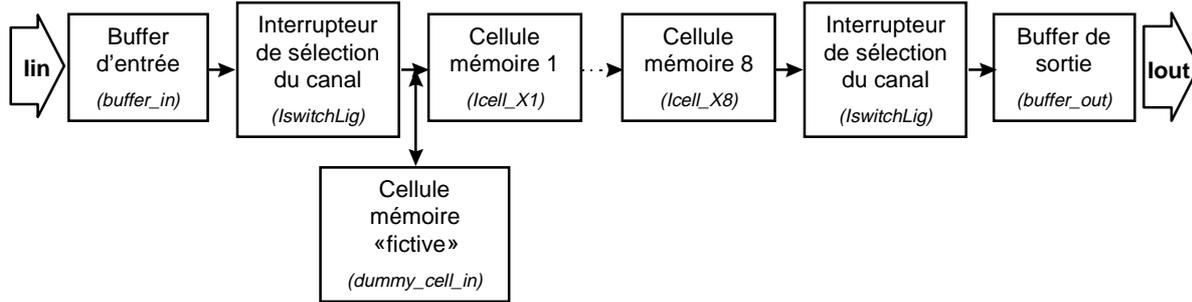


Figure IV-18 : synoptique d'un canal de ICORE

Les buffers d'entrée et de sortie sont communs aux quatre canaux, la sélection des canaux se fait par l'intermédiaire des interrupteurs de sélection du canal commandés par la logique de décodage du circuit (cf. paragraphe).

Les cellules mémoires « fictives » ont été ajoutées afin de permettre au buffer d'entrée de rester en saturation lorsque l'interrupteur de lecture de la cellule est ouvert, cette cellule permet donc au buffer de voir la même charge quelle que soit la phase de fonctionnement et permet au courant de s'écouler.

La mémoire en mode courant est donc une mémoire à 4 canaux (référéncés de L1 à L4) de 8 cellules de profondeur chacun (référéncées de C1 à C8).

Lors des simulations d'un canal analogique en mode courant, nous avons constaté qu'avec un courant de polarisation de $300\mu\text{A}$, il apparaissait un coude dans la caractéristique d'entrée. Ce coude signifie que le courant en entrée est limité à une valeur i_{INmax} , avec une taille d'interrupteur minimale la caractéristique présentait un coude à $50\mu\text{A}$. Cette saturation se produisait aussi bien pour les valeurs positives du courant et les valeurs négatives. Dans le circuit DELPHINE, nous avons dimensionné les interrupteurs d'écriture et de lecture afin que la caractéristique d'entrée présente un coude à $200\mu\text{A}$. Les canaux L3 et L4 ont donc été dimensionnés pour des courants d'entrée de $\pm 250\mu\text{A}$ avec un courant de polarisation de $300\mu\text{A}$. La première cellule du canal L4 (C1-C2), présente alors ce coude à $200\mu\text{A}$. En se déplaçant dans le canal analogique L4 de la gauche vers la droite (de C1 à C8), les interrupteurs ont été dimensionnés afin de déplacer le coude de saturation vers la limite supérieure du courant admissible en entrée ($250\mu\text{A}$). On atteint dans les cellules C5 et C6 une caractéristique d'entrée linéaire. En effet dans ces cellules les interrupteurs ont la taille optimale nécessaire à la pleine échelle dynamique en entrée. De plus les tailles différentes pour les interrupteurs permettent de mettre en évidence l'influence de la résistance de l'interrupteur sur la non-linéarité.

Le canal L3 a été dimensionné avec des interrupteurs de taille optimale (pleine échelle dynamique en entrée). Seules les valeurs des capacités de mémorisation varient, cette variation permettra de mettre en évidence :

- Les phénomènes d'injections de charges
- La variation de la constante de temps (donc de la bande passante) de la cellule
- La précision de la mémorisation et de la restitution.

Les canaux L1 et L2 ont été dimensionnés pour une dynamique d'entrée de $\pm 50\mu\text{A}$, les deux canaux sont construits de la même manière que les canaux L3 et L4. La dynamique est plus faible, ce qui nous permettra de faire des mesures plus fines.

La figure IV-19 présente la répartition des potentiels le long du canal analogique.

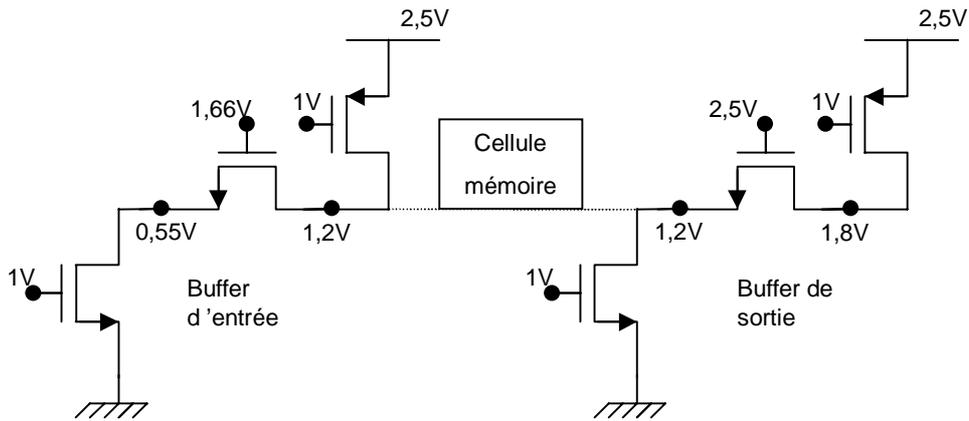


Figure IV-19 : distribution des tensions dans un canal analogique de ICORE

La figure ci-dessus nous permet d'expliquer le choix des tensions dans le canal analogique. En effet lors de la conception du circuit, bien que nous travaillions en mode courant, nous avons été confrontés au problème du choix des différentes tensions le long du canal analogique.

Afin d'assurer une répartition des potentiels permettant à chaque élément de la chaîne de fonctionner dans son régime de fonctionnement adéquat, nous choisirons $V_{G0} = V_{DD}/2$ (cf. paragraphe), c'est ce qui nous a paru le plus naturel.

☞ Remarque :

Dans les paragraphes qui suivent, nous donnons le principe de dimensionnement des éléments du circuit. Afin de faire un premier dimensionnement à la main, nous avons utilisé un modèle du premier ordre ainsi que les paramètres fournis par le fondeur. Afin d'obtenir les caractéristiques désirées, nous avons dû ajuster les éléments grâce à des données simulées. Au moment de concevoir le circuit nous n'avions pas de données plus précises quant à la technologie utilisée, nous avons donc conçu un circuit de caractérisation mais les résultats de caractérisation ne sont pas pris en compte dans ce document.

B.1.2.1 Les buffers d'entrée et de sortie (buffer_in, buffer_out)

En fait ces buffers sont des transistors montés en grille commune traversés par un courant de polarisation $I_0 = 400\mu\text{A}$. Une telle configuration présente une impédance d'entrée très faible ($1/g_m$) ce qui permet de diminuer l'impédance Z_{lecbuf} notamment pour le buffer de sortie (cf. chapitre III) et une impédance de sortie élevée.

Cette configuration permet de fixer le potentiel de la source du buffer (nœud faible impédance), le potentiel du drain étant fixé

- pour le buffer d'entrée par la tension de grille V_{G0} du transistor de mémorisation
- pour le buffer de sortie par le circuit externe.

Le buffer d'entrée a été dimensionné afin de pouvoir passer des courants de $\pm 250\mu\text{A}$. Il est polarisé par un courant de $400\mu\text{A}$.

☞ Remarque:

les buffers d'entrée et de sortie sont communs aux canaux L1 à L4.

Notons que cet étage doit rester saturé quel que soit le courant d'entrée.

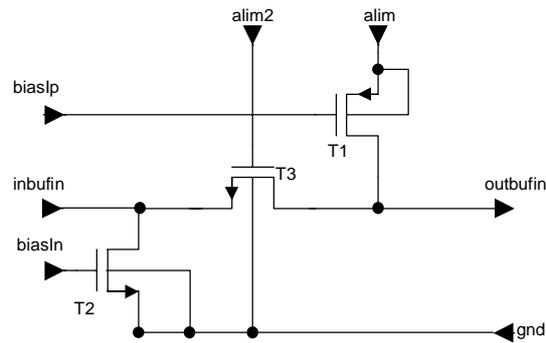


Figure IV-20 : schéma du buffer d'entrée

	W/L
T1	84/1
T2	20/1
T3	15/0,5

Tableau IV-4 : dimensions des transistors du buffer d'entrée

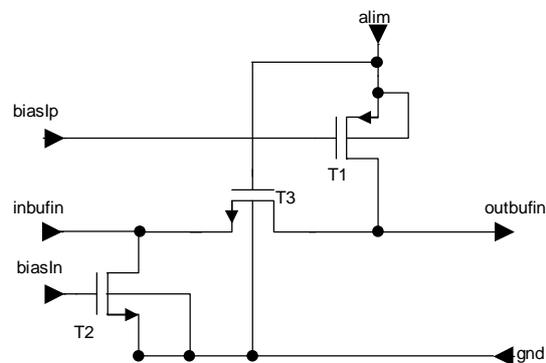


Figure IV-21 : schéma du buffer de sortie

	W/L
T1	84/1
T2	20/1
T3	10/0,5

Tableau IV-5 : dimensions des transistors du buffer d'entrée

B.1.2.1.1 Équations de dimensionnement des buffers :

Les buffers doivent rester en régime saturé quel que soit le courant d'entrée.
Rappelons l'équation du courant drain source i_{DS} lorsque le transistor est saturé :

$$i_{DS} = \frac{\beta_n}{2} (v_{GS} - v_T)^2 = \frac{KP_n}{2} \frac{W}{L} (v_{GS} - v_T)^2$$

On en déduit alors le paramètre W/L qui nous permet de dimensionner les buffers. Lors du dimensionnement, seule la tension de drain des buffers est imposée par le reste du circuit. Le concepteur choisit alors les autres paramètres :

- le courant de polarisation I_0 qui doit être choisi en fonction de la valeur du courant d'entrée que l'on souhaite mémoriser.
- la tension de source v_S qui en entrée doit être choisie de manière à ce que la source de courant N travaille en régime saturé.
- la tension de grille v_G qui doit être choisie afin que le transistor soit toujours dans son régime de saturation. En effet, la tension de grille impose la tension drain-source de saturation ($v_{DSsat} = v_{GS} - v_T$), or elle doit être choisie en fonction de la tension de drain du buffer qui, rappelons-le, est imposée par la cellule de mémorisation pour le buffer d'entrée et le circuit externe pour le buffer de sortie. Afin que le transistor soit saturé, la tension de drain doit satisfaire l'inégalité $v_{DS} > v_{dsat}$, ce qui impose la condition suivante pour le choix de la tension de grille v_G :

$$v_D + v_T > v_G$$

Afin de dimensionner le transistor, le concepteur doit utiliser la relation :

$$\frac{W}{L} = \frac{2i_{DS}}{KP_n (v_{GS} - v_T)^2} \text{ avec } v_D + v_T > v_G$$

Le tableau ci-dessous regroupe les différentes tensions entrant en jeu lors de la conception des buffers et qui permettent de satisfaire les conditions de fonctionnement évoquées précédemment.

	VD	VS	VG
Buffer d'entrée	1,2 V	0,55 V	1,66 V
Buffer de sortie	1,8 V	1,2 V	2,5 V

KP_n est un paramètre technologique donné par le fondeur, c'est le facteur de gain du transistor.

☞ Remarque concernant les tensions de seuil des buffers :

On rappelle l'équation du premier ordre donnant la tension de seuil en fonction des paramètres de substrat :

$$V_T = V_{T0} + \gamma \left(\sqrt{2\Phi_F + V_{SB}} - \sqrt{2\Phi_F} \right)$$

En utilisant les valeurs des paramètres technologiques et en se basant sur les valeurs données dans le tableau ci-dessus, on peut calculer la valeur théorique de la tension de seuil en tenant compte de l'effet de substrat. On rappelle que le substrat est connecté à la masse donc $V_B = 0V$.

Pour le buffer d'entrée on a $V_T=0,65V$.

Pour le buffer de sortie on a $V_T=0,75V$.

Avec les paramètres technologiques fournis par le fondeur, le calcul des rapports W/L donne. Un premier dimensionnement du buffer à l'aide des équations SPICE level 1 permet de déterminer un rapport W/L . Ces valeurs sont injectées dans le simulateur ELDO afin de vérifier les caractéristiques.

- **Buffer d'entrée** : on prend $V_T=0,65 V$ (valeur théorique) on obtient $\frac{W}{L} = 15$

avec un V_T de $0,79 V$ (valeur fournie par ELDO), on obtient $\frac{W}{L} = 30$

- **Buffer de sortie** : on prend $V_T=0,75 V$ (effet de substrat) on obtient $\frac{W}{L} = 10$

avec un V_T de $0,91 V$ (valeur fournie par ELDO), on obtient $\frac{W}{L} = 20$.

B.1.2.2 Cellule mémoire

Une cellule de mémorisation en mode courant est un miroir de courant actif avec une source de courant de référence. La valeur du courant de référence dépend du courant d'entrée admissible dans la voie électronique de ICORE ($\pm 50\mu A$; $\pm 250\mu A$). Nous choisisons un courant de polarisation de $300\mu A$ pour les cellules des lignes L3 et L4 et un courant de $100\mu A$ pour les cellules des lignes L1 et L2.

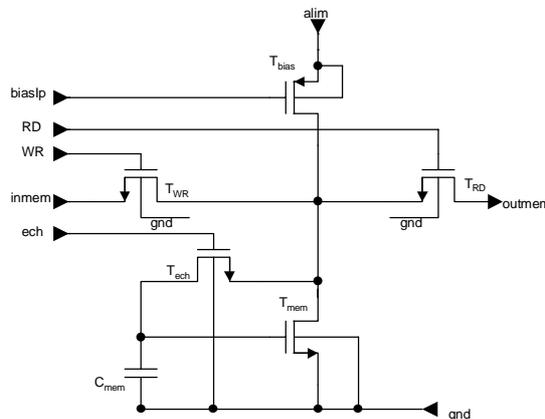


Figure IV-22 : schéma d'une cellule mémoire (Icell_A1)

Les signaux de commande d'écriture (WR) et de lecture (RD) sont générés par le générateur de pulse (cf. paragraphe C.1). Comme nous l'avons indiqué dans le paragraphe B du chapitre III, le signal de commande de l'échantillonnage (ECH) doit être légèrement en avance sur le signal d'écriture (WR), ceci est réalisé en mettant un câble coaxial, possédant un retard fixé, ce qui permet de retarder les deux signaux WR et RD.

B.1.2.2.1 Équations de dimensionnement d'une cellule de mémorisation

Nous avons vu dans le paragraphe III, que lorsque le courant de polarisation était fixé ainsi que la tension de grille V_{G0} , le seul paramètre libre était le rapport W/L du transistor.

La relation permettant de déterminer le rapport W/L est la relation classique :

$$\frac{W}{L} = \frac{2I_B}{KP_n(V_{G0} - V_{T0})^2}$$

- Pour un courant de polarisation de $300\mu A$, et une tension de grille de $1,2V$ c'est à dire pour un courant en entrée compris dans l'intervalle $[-250\mu A ; +250\mu A]$ et une tension de seuil $V_T=0,6V$, on a un rapport $\frac{W}{L} = 6$.
- Pour un courant de polarisation de $100\mu A$, et une tension de grille de $1,2V$ c'est à dire pour un courant en entrée compris dans l'intervalle $[-50\mu A ; +50\mu A]$ et une tension de seuil $V_T=0,6V$, on a un rapport $\frac{W}{L} = 2$.

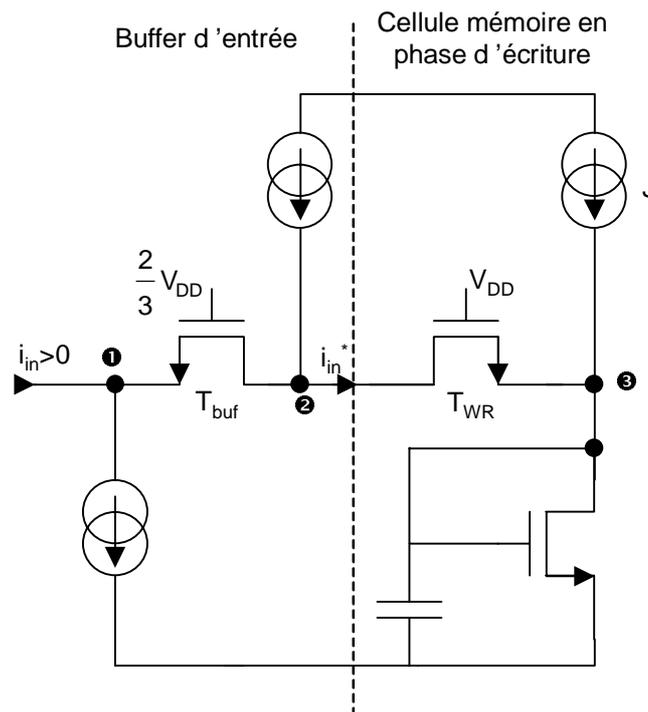


Figure IV-23 : cellule de mémorisation en phase d'écriture

Le nœud ② est un nœud haut impédance.

Lorsque le courant d'entrée est positif : le nœud ③ est la source de l'interrupteur T_{WR} , alors que le nœud ② est son drain. Donc, lorsque le courant d'entrée augmente la tension au nœud ② augmente (donc la tension V_{DS} du transistor). L'interrupteur lorsqu'il est de taille minimale présente une caractéristique $i_{DS} = f(V_{DS})$ figée.

B.1.2.3 Pilote des sources de courant (I_{ref})

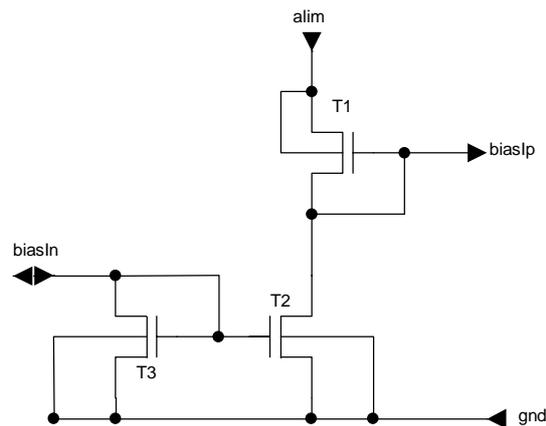


Figure IV-24 : schéma du pilote des sources de courant

	W/L
T1	21/1
T2	5/1
T3	5/1

Tableau IV-6 : dimensions des transistors du pilote des sources de courant

Le pilote des sources de courant a été dimensionné pour un courant de référence externe I_{ref} de $100 \mu\text{A}$. Ce pilote permet de fournir les tensions de grille nécessaires aux différentes sources de courant N ($biasIn$) et P ($biasIp$) de ICORE.

Il a été dimensionné afin de fournir une tension V_{gs} de 1V, en effet la différence ($V_{gs} - V_t$) des transistors des sources doit être la plus importante possible à cause de la dispersion sur les tensions de seuil V_t des transistors. De plus, il est important de ne pas choisir une tension de contrôle trop élevée pour les sources de courant, car leur tension de saturation $V_{DSsat} = V_{GS} - V_T$, ne doit pas être trop importante du fait de la variation de la tension de source en fonction du courant d'entrée.

B.1.2.3.1 Équations de dimensionnement du pilote de courant

Le pilote de courant est une structure qui fonctionne avec des transistors saturés. Dans le pilote de courants que nous avons développé, nous trouvons des transistors P et N. Donc afin de le dimensionner, on pose les équations suivantes :

$$\left(\frac{W}{L}\right)_n = \frac{2i_{DS}}{KP_n(v_{GS} - v_T)^2}$$

$$\left(\frac{W}{L}\right)_p = \frac{2i_{DS}}{KP_p(v_T - v_{GS})^2}$$

La tension v_{GS} que doivent fournir les pilotes de courant est de 1V, en utilisant les paramètres technologiques (tensions de seuil de 0,6 V), on obtient pour les rapports W/L :

$$\binom{W}{L}_n = 5$$

$$\binom{W}{L}_p = 21$$

B.1.3 Décodeur

Le décodeur permet de sélectionner la cellule que l'on souhaite étudier. La sélection se fait par l'intermédiaire d'un mot binaire de 5 bits. 3 bits sont nécessaires au décodage du numéro de colonne et 2 bits au décodage de la ligne. Le décodeur est donc conçu autour de deux entités :

- Un décodeur colonne
- Un décodeur ligne.

La logique utilisée pour les décodeurs est une logique à base de portes NAND. Les portes de base ont été dessinées en « full custom » car le kit de design ne proposait pas de bibliothèque de composants.

B.1.3.1 Décodeur colonne (*DecodCol*)

Le tableau IV-1 donne la table de vérité du décodeur colonne.

		Ci3	Ci2	Ci1
C	1	0	0	0
O	2	0	0	1
L	3	0	1	0
O	4	0	1	1
N	5	1	0	0
N	6	1	0	1
E	7	1	1	0
	8	1	1	1

Table IV-1 : table de vérité du décodeur colonne

Lorsqu'une colonne est sélectionnée, tous les interrupteurs de la colonne sont valides, la sélection de la ligne étant effectuée par l'intermédiaire du décodeur ligne décrit dans le paragraphe suivant. La figure IV-25, représente le schéma du décodeur colonne conçu à partir des portes de base NAND.

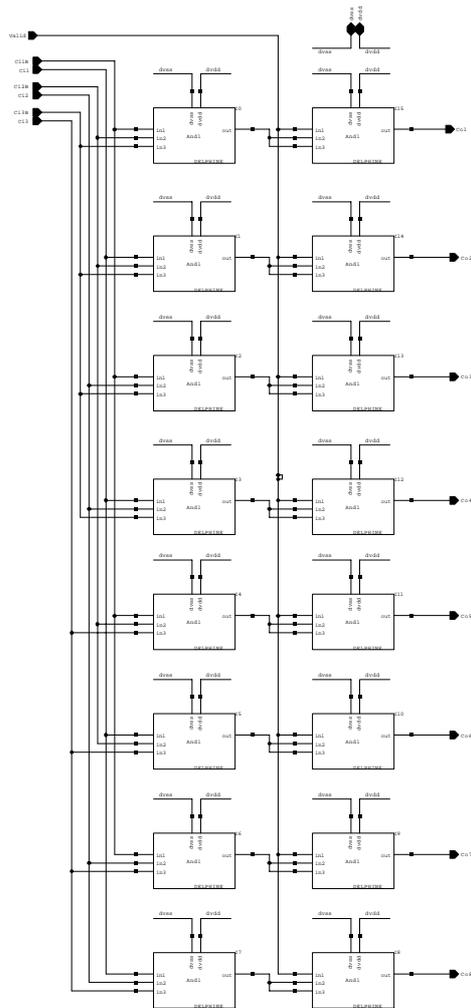


Figure IV-25 : schéma du décodeur colonne

B.1.3.2 Décodeur ligne (DecodLigne)

Le décodeur ligne permet de sélectionner la ligne souhaiter et commande les interrupteurs de sélection de canal (*VswitchLig* ou *IswitchLig*). Le tableau IV-2 donne la table de vérité du décodeur ligne.

	Li2	Li1
1	0	0
2	0	1
3	1	0
4	1	1

Table IV-2 : table de vérité du décodeur ligne

Le schéma du décodeur ligne est donné sur la figure IV-26.

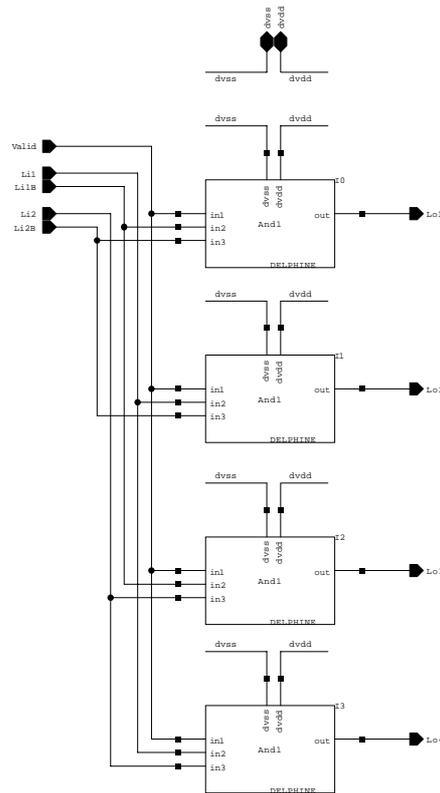


Figure IV-26 : schéma du décodeur ligne

B.1.3.3 Décodeur Tests (DecodTests)

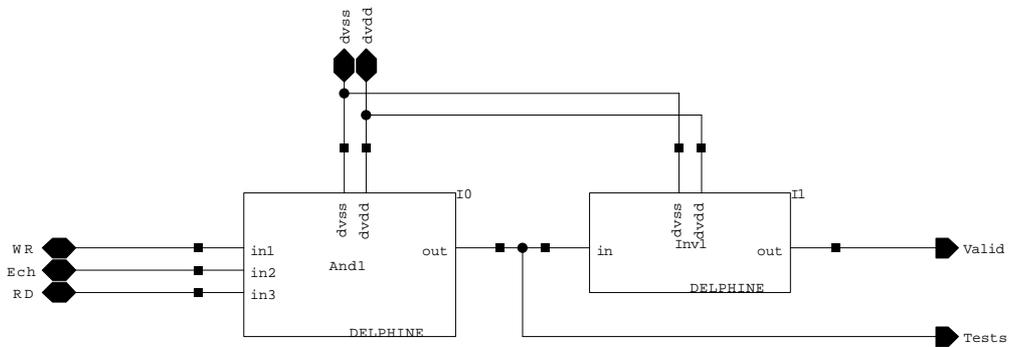
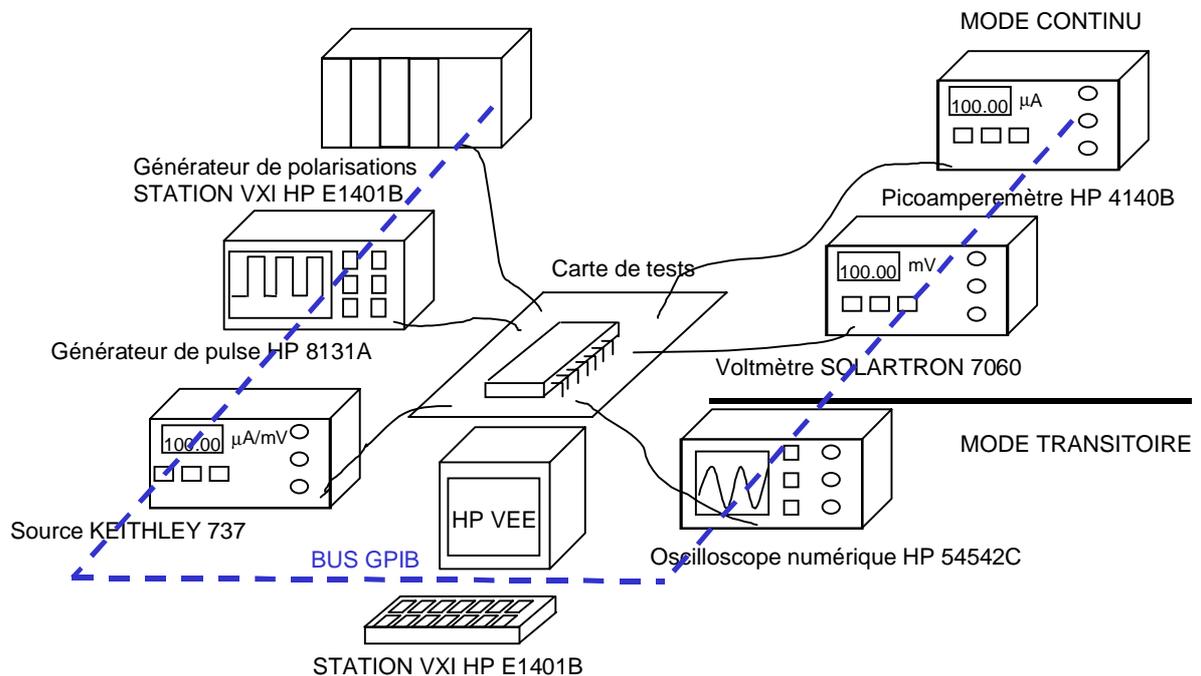


Figure IV-27 : schéma du décodeur tests

Le décodeur est une combinaison qui permet de tester les amplificateurs d'entrée et de sortie de VCORE et ICORE afin de les caractériser. Dans cette configuration, les cellules de mémorisation ne sont pas utilisées, la sortie du buffer d'entrée est directement connectée à l'entrée du buffer de sortie. C'est ce mode test qui est utilisé dans le protocole en mode continu afin de caractériser les buffers d'entrée-sortie et les interrupteurs de sélection des lignes.

C TESTS DU CIRCUIT PROTOTYPE

C.1 Description du banc de mesures



La figure ci-dessus représente le banc de mesures mis en place afin de caractériser le circuit de test. Les instruments sont connectés par un bus GPIB et sont contrôlés par le logiciel HPVEE de Hewlett-Packard qui gère les protocoles de mesures.

C.2 Description du protocole de tests

Deux protocoles ont été mis en place afin de tester le circuit :

- Un protocole en mode continu qui permet de caractériser les éléments des chaînes analogiques de VCORE et de ICORE (buffers) ainsi que les amplificateurs de la carte de tests.
- Un protocole en mode transitoire qui permet de caractériser les différentes cellules de VCORE et ICORE

Nous présentons ces protocoles dans les deux paragraphes suivants.

C.2.1 Protocole en mode continu

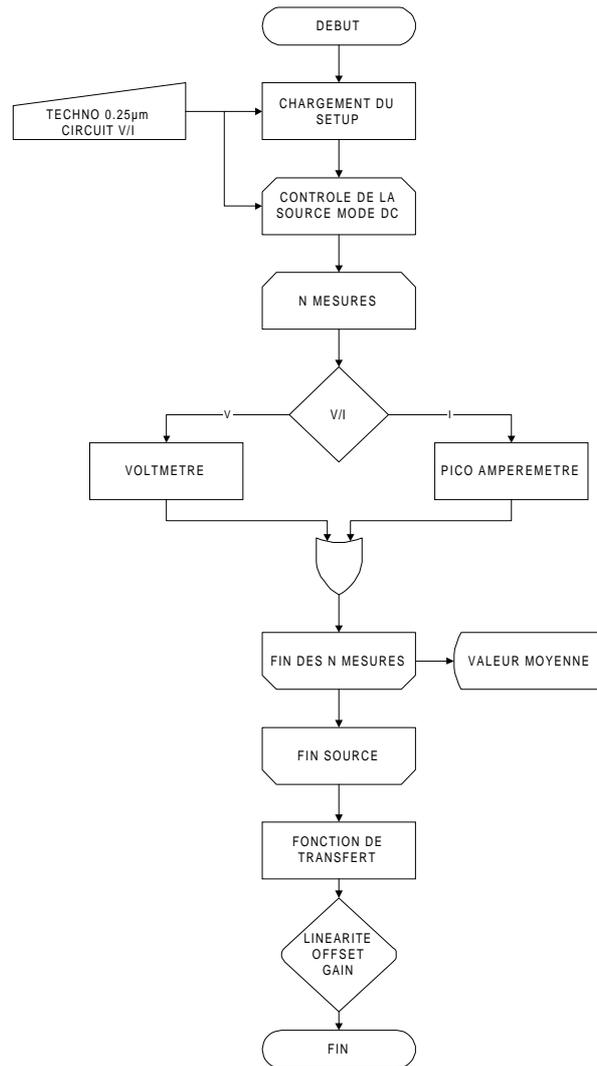


Figure IV-28 : schéma synoptique du protocole en mode continu

Dans ce protocole, seuls les buffers sont connectés entre l'entrée et la sortie. Les instruments de mesures sont réglés afin de générer et de mesurer des signaux en continu. Le courant est mesuré par picoampèremètre HP4140B alors que les tensions sont mesurées par le voltmètre SOLARTRON 7060.

C.2.2 Protocole en mode transitoire

Ce protocole permet de caractériser chaque cellule en sélectionnant via le décodeur la cellule que l'on souhaite traiter qui positionne les interrupteurs de sélection de ligne. Une fois la cellule sélectionnée, la source de tension ou de courant est réglée sur la valeur que l'on souhaite mémoriser. Les interrupteurs d'écriture et de lecture sont commandés par le générateur de pulse qui permet de déclencher l'oscilloscope afin d'acquérir les données. La trame acquise par l'oscilloscope correspond à une période entière d'écriture et de lecture. Cette trame est acquise N fois et une trame moyenne est mémorisée. C'est cette trame qui est enregistrée dans un fichier texte. Une fois les N mesures effectuées, la valeur du signal d'entrée est augmentée et le protocole est répété.

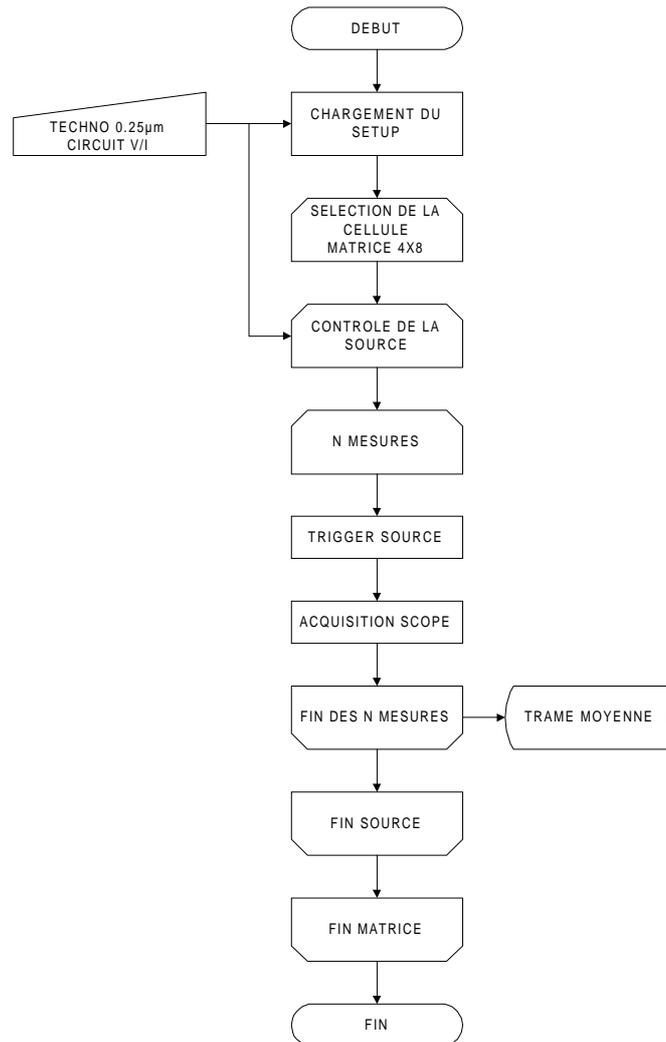


Figure IV-29 : schéma synoptique du protocole en mode transitoire

Remarque :

Afin de caractériser les cellules en mode transitoire, nous souhaitons utiliser le pico-ampéremètre pour les cellules de mode courant et le voltmètre pour les cellules de mode tension. Or il nous a été impossible de synchroniser, ces deux appareils sur le banc de mesures. En effet, notre but est de relever la sortie lors de la phase de lecture, or en utilisant ces instruments, il nous était impossible de savoir quand l'acquisition avait lieu. C'est pourquoi, nous avons utilisé l'oscilloscope afin d'acquérir les trames. Or l'utilisation de cet oscilloscope est un handicap pour la détermination de l'erreur de linéarité. C'est ce que nous détaillons dans le paragraphe suivant au travers de la description de l'extraction des résultats.

C.3 Résultats de mesures

Dans ce paragraphe, nous présentons, les résultats de mesures qui permettent de valider le modèle et confirmer les tendances posées dans les chapitres II, III.

C.3.1 Mode courant

Les figures IV-30 et IV-31 représentent l'échelle en entrée d'une cellule de mémorisation avec un interrupteur d'écriture de taille $(W/L)_{\text{ecr}}=2,5/0,25$ et $(W/L)_{\text{ecr}}=10/0,25$. Nous remarquons un coude de saturation à $200\mu\text{A}$ qui est du à la limite de fonctionnement introduite par les dimensions de l'interrupteur d'écriture.

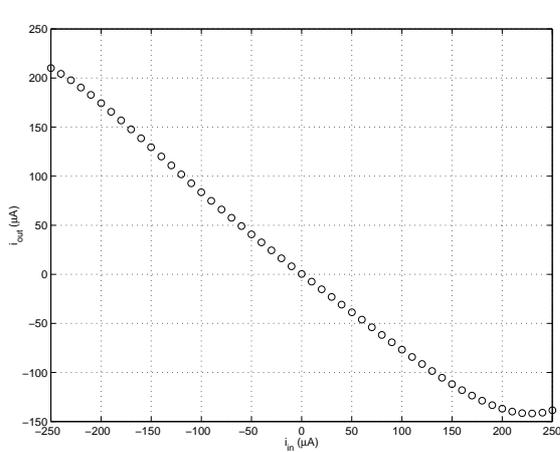


Figure IV-30 : échelle en entrée d'une cellule pour $(W/L)_{\text{ecr}}=2,5/0,25$

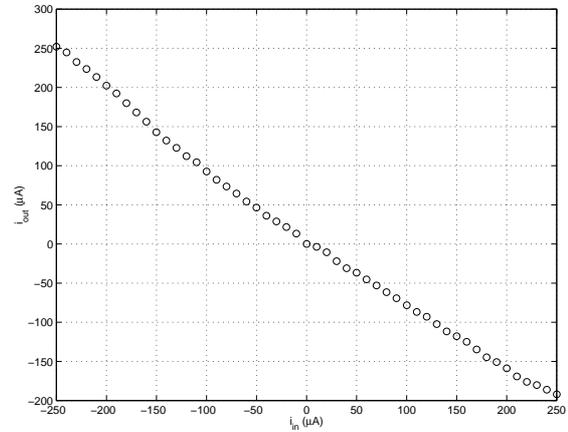


Figure IV-31 : échelle en entrée d'une cellule pour $(W/L)_{\text{ecr}}=10/0,25$

Cette saturation due à la taille du transistor d'écriture est identifiée dans le paragraphe C.1. du chapitre III. C'est le courant d'entrée positif qui contrôle la valeur de la source du transistor d'écriture S_{ecr} . La solution afin d'avoir la pleine échelle dynamique $[-I_B, +I_B]$ est d'augmenter la taille du transistor d'écriture c'est à dire augmenter la valeur du rapport $\left(\frac{W}{L}\right)_{ecr}$, c'est ce qui a été fait sur la figure IV-31.

Sur la figure IV-32, nous représentons l'écart de linéarité ε_i mesuré (courbe en trait plein) et théorique (courbe en pointillés) en fonction de m . Afin de tracer la courbe théorique, nous avons « forcé » le modèle, c'est à dire que nous faisons varier l'impédance de lecture Z_{lec} en fonction du courant d'entrée i_{in} afin de représenter la réalité, en effet cette impédance représente la somme des impédances du buffer de lecture et du transistor de lecture qui sont des fonctions du courant d'entrée i_{in} (cf. figure IV-11).

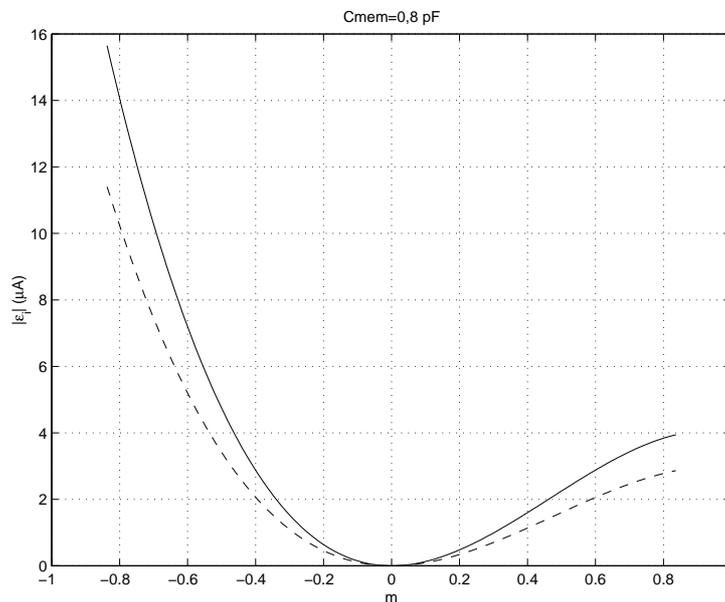


Figure IV-32 : écart de linéarité (modèle et mesures)

La forme de l'écart de linéarité présenté sur la figure IV-32 confirme ce qui a été énoncé dans l'annexe 2, à savoir que l'écart de linéarité est maximal pour la borne inférieure de l'intervalle dans lequel est comprise la variable d'entrée normalisée m si on suppose une forme de type saturation, forme que l'on constate lors des mesures. Si on suppose que $a_1 \approx 1$ (cf. annexe 2), l'écart de linéarité est de la forme $\varepsilon_{NL}(m) = a_2 m^2 + a_3 m^3$. La figure IV-32 confirme les prédictions théoriques ainsi que celles du modèle. En effet la relation $a_1 > 2a_2 - 3a_3 > 0$ est vérifiée aussi bien pour la mesure que pour la théorie.

Dans les annexes 1 à 5, nous donnons une étude détaillée de la non-linéarité exprimée à partir d'un polynôme, ainsi qu'une définition de cette non-linéarité. Cette étude théorique a été confirmée aussi bien par les mesures que par les simulations.

C.3.2 Mode tension

La figure IV-33 représente la caractéristique statique d'entrée-sortie d'une cellule de mémorisation de mode tension. Nous avons représenté la valeur V_M pour laquelle le transistor d'écriture S_{ecr} se bloque.

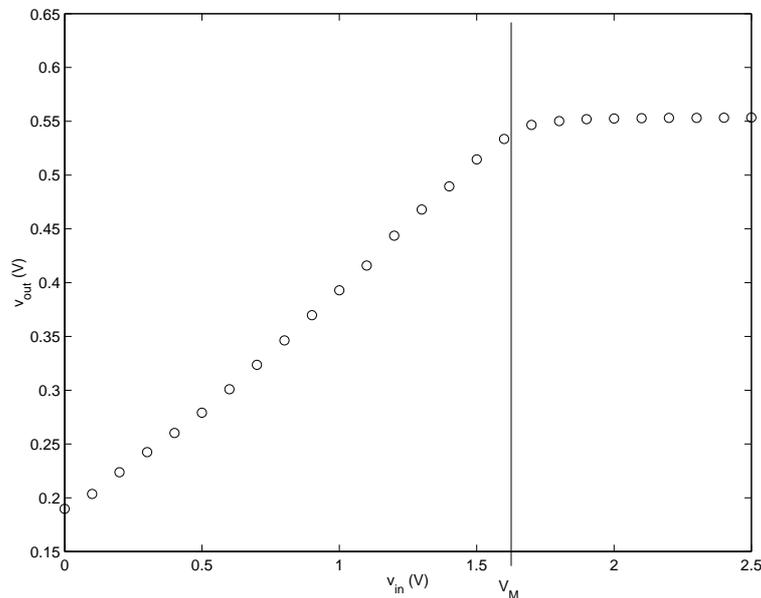


Figure IV-33 : caractéristique statique d'entrée sortie

Cette tension V_M maximale est la tension exprimée par la relation II-10 du chapitre II, elle est égale à $V_{DD} - v_{th}$. Dans le cas de la mesure (interrupteur de taille minimale), pour une tension d'alimentation de 2,5V, la tension maximale admissible en entrée est de 1,62V. Cette tension maximale tient compte de l'effet de substrat.

La diminution des dimensions technologiques induit une diminution de la tension d'alimentation V_{DD} qui implique une réduction du signal admissible en entrée de la cellule ; et par conséquent une dégradation du rapport signal à bruit.

C.3.2.1 Remarque sur l'extraction des résultats

Nous avons vu dans le paragraphe C.2.2 que l'acquisition des données passait par l'acquisition d'une trame complète. Afin d'en extraire une caractéristique d'entrée-sortie, il faut déterminer un point unique pour chaque valeur en entrée. Ce point est déterminé par un moyennage sur le « plateau » lors de la phase de lecture, un tel moyennage permet de diminuer l'erreur due aux instruments de mesures.

Notre but est d'obtenir l'erreur de linéarité en fonction d'une droite de référence que l'on note DR :

$$DR = a_0 + a_1 x$$

On peut alors définir l'erreur de linéarité ε par la relation :

$$\varepsilon = y_{test} - (a_0 + a_1 x)$$

où y_{test} représente les données brutes issues des mesures.

Afin de s'affranchir du bruit de quantification de l'oscilloscope, on détermine un polynôme P_{ytest} par la méthode des moindres carrés, qui permet de passer au mieux dans les données. La détermination de ce polynôme entraîne bien évidemment une erreur $\sigma_{P_{ytest}}$ par rapport aux données brutes :

$$y_{test} \approx P_{ytest} \pm \sigma_{P_{ytest}}$$

On redéfinit alors la non-linéarité ε_p sur le polynôme P_{ytest} :

$$\varepsilon_p = P_{ytest} - (a_0 + a_1 x) \pm \sigma_{P_{ytest}}$$

L'erreur de linéarité est défini comme suit :

$$NL = \frac{\max |\varepsilon_p \pm \sigma_{P_{ytest}}|}{a_1 \cdot FS} = \begin{cases} \frac{\max |\varepsilon_p \pm \sigma_{P_{ytest}}|}{a_1 \cdot FS} & \text{si } \max |\varepsilon_p| > 3\sigma \\ \frac{3\sigma}{a_1 \cdot FS} & \text{si } \max |\varepsilon_p| < 3\sigma \end{cases}$$

Prenant comme exemple le cas de la mesure sur des cellules de mode courant, la sensibilité verticale de l'oscilloscope était de 100mV/div, or le nombre de division étant de 8 et le nombre de bits de 8, le pas de quantification de l'oscilloscope est de l'ordre de 10mV. C'est ce qu'on constate sur la figure IV-34 lorsque l'on trace la différence entre les données brutes et les données issues du polynôme reconstitué en fonction des données brutes.

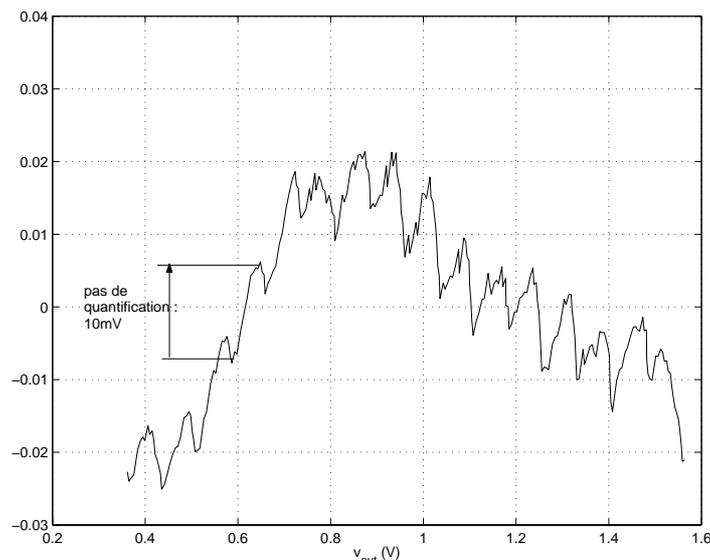


Figure IV-34 : représentation de l'écart entre les données mesurées et le polynôme extrait sur ces données

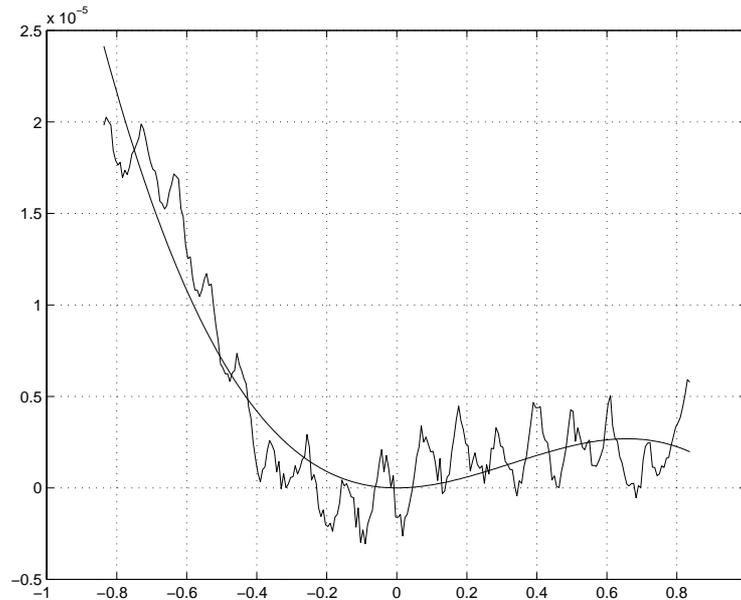


Figure IV-35 : comparaison de l'écart de linéarité à partir d'un polynôme sur les données et les données brutes.

Les résultats de mesures donnés dans le paragraphe précédent, ne sont que des estimateurs et permettent de confirmer les tendances énoncées dans les chapitres II et III.

Remarque :

Lors de la mesure des cellules de mode tension, la précision du banc de test n'a pas permis d'évaluer la non-linéarité des cellules mesurées. En effet, sur la figure IV-35, la détermination de la non-linéarité d'une cellule en mode courant est faite en déterminant un polynôme (très peu différent de la situation réelle) dans les données de mesure bruitées. Ce polynôme permet de confirmer la forme de l'écart de linéarité prédite par le modèle polynomial.

Or, le pas de quantification de l'oscilloscope limite la précision de la mesure. D'après les études menées dans les chapitres II et III, nous avons mis en évidence que la non-linéarité d'une cellule de mode tension est plus faible que celle d'une cellule de mode courant. A la vue des résultats obtenus sur une cellule de mode tension, une infinité de polynômes pouvait être déterminées à partir des données. Certains de ces polynôme reflétant une situation connue et d'autres non. Puisque nous ne savions pas quel polynôme choisir, les résultats ne sont pas reproduits dans ce document car il ne correspondait pas aux prédictions théoriques.

La solution afin de pallier cet inconvénient aurait été d'utiliser un banc de tests avec des instruments plus précis, mais des questions de coût nous ont empêchés de faire l'acquisition de nouveau matériel. Une autre solution afin d'obtenir des résultats qui permettraient de valider les modèles par la mesure passe par la conception d'un autre circuit de tests en prenant soin d'obtenir des non-linéarités plus mesurables.

CHAPITRE V CONCLUSIONS & PERSPECTIVES

Conclusions

Le travail présenté dans cette thèse a conduit à élaboration de modèles polynomiaux développés pour des cellules de mode tension et de mode courant. Ces modèles permettent de décrire la non linéarité introduite par les composants des cellules et d'aboutir à une optimisation afin de minimiser les erreurs de non-linéarité en tenant compte des critères de puissance, de surface, de vitesse et de reproductibilité propres au domaine de la physique des particules.

Le premier chapitre fournit une vue d'ensemble des expériences de la physique des particules en faisant ressortir les contraintes drastiques sur l'électronique d'acquisition au sein de l'expérience. Cet environnement spécifique nous amène à présenter les concepts d'une mémoire analogique et de dresser un état de l'art des structures existantes. Nous introduisons les cellules de mode courant comme alternative au mode tension lors de l'utilisation d'une technologie submicronique.

Par la suite nous généralisons aux systèmes instrumentaux, les spécifications liées à la non-linéarité par une approche théorique et expérimentale. L'approche théorique permettant d'introduire un polynôme caractéristique qui rend possible l'analyse quantitative de la non-linéarité introduite par une cellule de mémorisation.

Dans le second chapitre, l'analyse des phases de fonctionnement d'une cellule de mémorisation en configuration amont (seule structure permettant d'écrire et de lire simultanément dans une mémoire analogique) a permis la mise en équations de la tension de sortie. Une analyse des limites de fonctionnement de la cellule met en évidence des limites dynamiques telles que la constante de temps équivalente, la bande passante équivalente et des limites statiques telles que les injections de charges, l'effet de substrat et la non-linéarité de la capacité de mémorisation.

Ces limites dynamiques permettent de mettre en évidence une erreur d'établissement ε_{set} qui est fonction de l'amplitude du signal d'entrée et une erreur d'ouverture ε_{ap} qui est fonction de la fréquence du signal d'entrée. Ces erreurs doivent être limitées à un quart de quantum afin de ne pas pénaliser l'erreur finale/

Ce sont ces limites statiques qui sont incluses dans le modèle polynomial. L'analyse des coefficients de ce polynôme met en évidence l'influence des paramètres de la cellule sur la non-linéarité telles que la valeur de la capacité de mémorisation et la taille du transistor d'écriture. Une augmentation de la taille de la capacité diminue l'erreur de linéarité alors qu'une augmentation de la taille du transistor d'écriture augmente l'erreur d'injections de charges donc l'erreur de linéarité. Un autre paramètres externe à la cellule influençant la non-linéarité est la valeur de la capacité parasite qui lorsqu'elle augmente dégrade le gain de la cellule.

Dans le troisième chapitre, la même étude que dans le second chapitre a été menée sur une cellule de mode courant de seconde génération. La mise sous forme polynomiale du signal de sortie prend en compte la conductance finie (paramètre λ) et la capacité grille-drain C_{GD} du

transistor de mémorisation, l'injection de charges due à l'interrupteur d'échantillonnage. De plus, l'impédance Z_{lec} vue par le transistor de mémorisation dégrade la linéarité de la cellule lorsque sa valeur augmente.

Le quatrième chapitre propose une exploitation des modèles qui ont été confrontés à des résultats de simulation. Les résultats de simulation confirment les tendances énoncés par les modèles, c'est à dire la diminution de l'erreur de linéarité pour les deux modes tension et courant. Les modèles ont été également confrontés aux mesures issues d'un circuit de test décrit dans ce chapitre. Ces mesures confirment les tendances énoncées par les modèles théoriques.

Au cours du manuscrit, il est apparu qu'une résolution de 12 bits pouvait être facilement obtenue en mode tension avec une capacité linéaire et une tension d'alimentation de 2,5 V alors qu'en mode courant, on peut obtenir une résolution de 9 à 10 bits indépendamment de la linéarité de la capacité de mémorisation, et en premier ordre quelle que soit la valeur de la tension d'alimentation V_{DD} du circuit. Pour les technologies actuelles le mode tension garde encore un avantage sur le mode courant. Or les futures technologies très fortement submicroniques (on parle désormais de nanotechnologies) impose une réduction des tensions d'alimentation ; de plus de telles technologies ne permettent pas la réalisation de capacités linéaires à faible surface ce qui devient un véritable handicap pour les structures de mode tension. A partir de ces observations, le mode courant nous apparaît donc une alternative intéressante pour la conception de mémoires analogiques dans les futures technologies, ces mémoires devant répondre aux contraintes drastiques imposées par le domaine particulier de la physique des particules (cf. chapitre I).

Perspectives

Les perspectives à ce travail de thèse s'inscrivent dans trois axes majeurs : l'approfondissement de l'étude des cellules, la conception d'un nouveau circuit prototype et l'intégration des modèles dans un langage de description de circuits analogiques.

Axe 1

- L'approfondissement de l'étude des cellules passe par l'inclusion dans le modèle en courant de la dépendance de l'impédance Z_{lec} au courant d'entrée i_{in} .
- De plus une analyse Monte-Carlo permettant d'étudier la variation des paramètres technologiques sur les coefficients des polynômes doit être menée. Cette analyse doit aboutir à une expression de l'erreur de linéarité sur l'ensemble d'une mémoire analogique.
- Introduire dans le modèle l'influence des irradiations sur les cellules afin d'étudier l'évolution des erreurs dans le cadre spécifique de la physique des particules.

Axe 2

- La conception d'un nouveau circuit prototype en technologie submicronique est envisagée. Ce circuit prototype inclura les cellules optimisées décrites dans le chapitre VI, ainsi qu'une matrice de cellules permettant de valider totalement les modèles par des résultats expérimentaux en y incluant tous les paramètres influents étudiés dans les chapitres II et III.
- La conception d'un circuit prototype dans une technologie plus petite permettra de vérifier la prédictibilité des modèles.

Axe 3

- L'étude menée dans les chapitres II et III a abouti au développement de polynômes qui peuvent être intégrés dans un langage de modélisation tel VHDL-AMS.

Références bibliographiques

- [ANG-94] F. ANGHINOLFI, et al., **DYN1: a 66 Mhz front end analog memory chip with first level trigger capture for uses in future high luminosity particle physics experiments**, *Nucl. Inst. And Meth. in Phys. Research*, vol. A-344, pp.173-179, 1994.
- [ANS-98a] F. ANSTOTZ, J. MICHEL, JL. SOHLER, **Développement d'une architecture électronique en technologie sub-micronique fortement durcie aux radiations pour la lecture des détecteurs à micropistes dans l'expérience CMS**, C2I Nov 98 p677-684, HERMES 1999 ISBN 2-86601-730-7
- [ANS-98b] F. ANSTOTZ, Y. HU, J. MICHEL, JL. SOHLER, D. LACHARTRE, **FILTRES: A 128 channels VLSI mixed front end read out electronic development for microstrip detectors**, *Nuclear Instruments and Methods in Physics Research A*, A412, pp 123-134, 1998
- [ASC-99] G. ASCH, **Acquisition de données: du capteur à l'ordinateur**, Editions DUNOD, 1999.
- [BRU-96] H. BRUT, **Contribution à la modélisation et à l'extraction des paramètres de tension de seuil, de résistance série et de réduction de longueur dans les transistors MOS submicroniques**, *Mémoire de thèse, Université de Grenoble*, décembre 1996.
- [BUT-89] W. BUTTLER, et al., **Design and performance of a 10 Mhz CMOS analog pipeline**, *Nucl. Inst. And Meth. in Phys. Research*, vol. A-277, pp.217-221, 1989.
- [CER-94] **The Compact Muon Solenoid**, Technical Proposal, CERN/LHCC 94-38
- [COU-84] F. DE COULON, **Théorie et traitement des signaux**, *Volume VI du traité d'électricité, d'électronique et d'électrotechnique de l'école polytechnique de Lausanne*, Dunod ISBN 2-04-015778-6, 1984.
- [DAU-88] S.J. DAUBERT, D. VALLANCOURT, Y.P. TSIVIDIS, **Current copier cells**, *Electronics Letters*, vol. 24, No. 25, pp.1560-1562, Dec. 1988.
- [DAU-88] S.J. DAUBERT, D. VALLANCOURT, Y.P. TSIVIDIS, **Current copier cells**, *Electronics Letters*, vol. 24, No. 25, pp.1560-1562, Dec. 1988.

- [DAU-90] S.J. DAUBERT, D. VALLANCOURT, **Operation and analysis of current copier circuits**, *IEE Proceedings*, vol. 137, Pt. G, No. 2, pp. 109-115, Avril 1990.
- [EICH-90] C. EICHENBERGER, W. GUGGENBUHL, **On Charge Injection in Analog MOS Switches and Dummy Switch Compensation Techniques**, *IEEE Trans. Circuits Syst.*, vol. 37, No 2, pp.256-264, Fev. 1990.
- [ENZ-89] C. ENZ, **High precision CMOS micropower amplifier**, *Thèse n°802*, EPFL, 1989
- [FRE-85] D.R. FREYTAG, J.T. WALKER, **Performance report for Stanford/SLAC microstore analog memory unit**, *IEEE Trans. Nucl. Sci.*, vol. NS-32, No 1, pp.622-625, Fev. 1985.
- [GRE-86] R. GREGORIAN, G.C. TEMES, **Analog MOS integrated circuits for signal processing**, *éditions WILEY & Sons Inc.*, 1986.
- [GUG-94] W. GUGGENBUHL, J. DI, J. GOETTE, **Switched-current memory circuits for high-precision applications**, *IEEE J. Solid State Circuits*, vol. 29, No 9, pp.1108-1116, Sept. 1994.
- [HAL-94] G.M. HALLER, B.A. WOOLEY, **A 700-Mhz switched-capacitor analog waveform sampling circuit**, *IEEE J. Solid State Circuits*, vol. 29, No 4, pp.500-508, Avril 1994.
- [HALL-94] G. HALL, **Front end electronics for silicon tracking at LHC**, *IEEE Transaction on Nuclear Science*, Vol. 41 n°4 p1086, August 1994
- [HEL-98] M. HELFENSTEIN, G.S. MOSCHYTZ, **Distorsion Analysis of Switched-Current Circuits**, *IEEE International Symposium on Circuits and Systems, Monterey*, vol. 1, pp. 29-32, Mai 1998.
- [HUG-89] J.B. HUGHES, N.C. BIRD, I.C. MACBETH, **Switched currents - A new technique for analog sampled-data signal processing**, *Proc. IEEE International Symposium on Circuits and Systems*, pp. 1584-1587, Mai 1989.
- [HUG-90a] J.B HUGHES, I.C. MACBETH, D.M. PATTULLO, **Second generation switched-current signal processing**, *Proc. of the IEEE Int. Symp. Circuits and systems*, pp. 2805-2808, Mai 1990.
- [HUG-93a] J.B. HUGHES, K.W. MOULDING, **S2I: a switched-current technique for high performance**, *Electronics Letters*, vol. 29, No. 16, pp.1400-1401, Août 1993.
- [KLE-88] S.A. KLEINFELDER, **Development of a switched capacitor based multi-channel transient waveform recording integrated circuit**, *IEEE Trans. Nucl. Sci.*, vol. NS-35, No 1, pp.151,154, Fev. 1988.

- [KUO-86] J.B. KUO, R.B. DUTTON, B.A. WOOLEY, **MOS Pass Transistor Turn-Off Transient Analysis**, *IEEE Trans. Electron Devices*, vol. ED-33, No 10, pp.1545-1555, Oct. 1986.
- [LOE-99] T.LOELIGER, W. GUGGENBUHL, **Cascode Configurations for Switched Current Copiers**, *Analog Integrated Circuits and Signal Processing*, vol. 19, pp.115-127, 1999.
- [MAC-83] D. MacQUIGG, **Residual charge on a switched capacitor**, *IEEE J. Solid State Circuits*, vol. SC-18, No 6, pp.811-813, Dec. 1983.
- [MAC-93] D. MACQ, P. JESPERS, **Charge injection in current copier cells**, *Electronics Letters*, vol. 29, No. 9, pp.780-781, Avril 1993.
- [MAR-99] J.M. MARTINS, V.F. DIAS, **Harmonic Distorsion in Switched-Current Audio Memory Cells**, *IEEE Transactions on circuits and systems-II :ANALOG AND DIGITAL SIGNAL PROCESSING*, vol. 46, No 3, pp.326-334, Mars 1999.
- [MIC-93] J. MICHEL, **Conception et réalisation d'une architecture intégrée dédiée au traitement parallèle et massif des signaux analogiques délivrés par des détecteurs silicium à très haute résolution spatiale**, *Mémoire de thèse, Université de Strasbourg I*, février 1993.
- [MIC-94] J. MICHEL et al., **Design and performance of an analog delay and buffer chip for use with silicon strip detectors at LHC**, *NIMA A339*, pp. 564-569, 1994
- [MIC-00] J. MICHEL, F.VAUTRIN, F. BRAUN, **Comparative Accuracy Study of Current-Mode versus Voltage-Mode Analog Memory in 0.25 μ m Technology**, *Proc. of the 6th Workshop on Electronics for LHC Experiments, Cracow, Poland*, pp. 530-534, September 2000.
- [MOS-90] J. MOSCHEN, et al., **High-speed analog CMOS pipeline system**, *Nucl. Inst. And Meth. in Phys. Research*, vol. A-288, pp.180-186, 1990
- [RIF-99] P. RIFFAUD-DESGREYS, **Étude du phénomène d'injection de charges dans les cellules à courants commutés pour la réalisation d'un circuit de compensation optimisé. Application à la conception d'un convertisseur numérique analogique algorithmique**, *Mémoire de Thèse, Université de Bordeaux I*, Oct. 1999.
- [SHA-95] P. SHAH, C. TOUMAZOU, **A theoretical basis for very wide dynamic range switched-current analogue signal processing**, *Analog Integrated Circuits and Signal Processing*, vol. 7, pp.201-213, 1995.
- [SHE-84] B.J. SHEU, C. HU, **Switch-Induced Error Voltage on a Switched Capacitor**, *IEEE J. Solid State Circuits*, vol. SC-19, No 4, pp.519-525, Août 1984.

- [SHE-87] B.J. SHEU, J.H. SHIEH, M.PATIL, **Modeling Charge Injection in MOS Analog Switches**, *IEEE Trans. Circuits Syst.*, vol. CAS-34, No 2, pp.214-216, Fev. 1987.
- [SHI-87] J.H. SHIEH, M. PATIL, B.J. SHEU, **Measurement and Analysis of Charge Injection in MOS Analog Switches**, *IEEE J. Solid State Circuits*, vol. SC-22, No 2, pp.277-281, Avril 1987.
- [SON-93] M. SONG, Y. LEE, W. KIM, **A Clock Feedthrough Reduction Circuit for Switched-Current Systems**, *IEEE J. Solid State Circuits*, vol. 28, No 2, pp.133-137, Fév. 1993.
- [TEM-86] G.C. TEMES, **Simple formula for estimation of minimum clock-feedthrough error voltage**, *Electronics Letters*, vol. 22, No. 20, pp.1069-1070, Sept. 1986.
- [TOU-90] C. TOUMAZOU, J.B. HUGHES, D.M. PATTULO, **Regulated cascode switched-current memory cell**, *Electronics Letters*, vol. 26, No. 5, pp.1560-1562, Mars 1990.
- [TOU-90a] C. TOUMAZOU, N.C. BATTERSBY, C. MAGLARAS, **High-performance algorithmic switched-current memory cell**, *Electronics Letters*, vol. 26, No. 19, pp.1593-1595, Sept. 1990.
- [TOU-94] C. TOUMAZOU, S. XIAO, **n-step charge injection cancellation scheme for very accurate switched current circuits**, *Electronics Letters*, vol. 30, No. 9, pp.680-681, Avril 1994.
- [VAN-94] RUDY VAN DE PLASSCHE, **Integrated Analog to Digital and Digital to Analog converters**, KLUWER ACADEMIC PUBLISHERS, 1994.
- [VAU-00] F. VAUTRIN, J. MICHEL, F. BRAUN, **Modeling and Simulation of Non-Linearity Error in a Current Copier Cell in a Standard 0.25 μ m Technology**, *Proc. of the XV Design of Circuits and Integrated Systems Conference DCIS'2000, Montpellier, France*, pp. 21-24, Nov. 2000.
- [WEG-87] G. WEGMANN, E.A. VITTOZ, F. RAHALI, **Charge Injection in Analog MOS Switches**, *IEEE J. Solid State Circuits*, vol. SC-22, No 6, pp.1091-1097, Dec. 1987.
- [WEG-89] G. WEGMANN, E.A. VITTOZ, **Very accurate dynamic current mirrors**, *Electronics Letters*, vol. 25, No. 10, pp.644-646, Mai. 1989.
- [WEG-90b] G. WEGMANN, E.A. VITTOZ, **Analysis and improvements of accurate dynamic current mirrors**, *IEEE J. Solid State Circuits*, vol. 25, No 3, pp.699-706, Juin 1990.
- [WIL-85] W.B WILSON, et al., **Measurement and Modeling Charge Feedthrough in n-Channel MOS Analog Switches**, *IEEE J. Solid State Circuits*, vol. SC-20, No 6, pp.1206-1213, Dec. 1985.

- [YAN-90] H.C. YANG, T.S. FIEZ, D.J. ALLSTOT, **Current feedthrough effects and cancellation techniques in switched-current circuits**, *Proc. of the IEEE Int. Symposium on Circuits and Systems*, pp. 3186-3188, Mai 1990.
- [ZEN-97] X. ZENG, C.K. TSE, P.S. TANG, **Complete Clock-Feedthrough Cancellation in Switched-Current Circuits by Combining the Replica Technique and the N-step Principle**, *Analog Integrated Circuits and Signal Processing*, vol. 12, pp.145-152, Avril 1997.

ANNEXES

Introduction

Dans ces 4 premières annexes nous allons présenter une analyse théorique générique des propriétés d'un polynôme limité à l'ordre trois et décrivant les caractéristiques statiques d'une cellule de type échantillonneur-bloqueur. Pour la clarté des développements voici les notations adoptées dans ce manuscrit :

Soit un dispositif physique décrit par la relation d'entrée-sortie ci dessous :

$$S_{out} = \underbrace{a_0 + a_1 S_{in}}_{\text{droite de référence}} + \underbrace{a_2 S_{in}^2 + a_3 S_{in}^3 + \dots + a_n S_{in}^n}_{\text{termes de non linéarité}}$$

Cette relation est traduite par un polynôme $P(S_{in})$ dont la tangente à l'origine sera considérée comme la droite de référence pour notre évaluation de la linéarité. De plus nous limiterons le degré du polynôme à 3. Ce qui réduit la caractéristique à l'équation suivante :

$$S_{out} = a_0 + a_1 S_{in} + a_2 S_{in}^2 + a_3 S_{in}^3$$

La variable d'entrée S_{in} est **centrée** telle que $S_{in} \in [-FS_i/2, FS_i/2]$, où FS_i représente la pleine échelle d'entrée (de l'anglais *Full Scale*).

La droite de référence décrite ci-dessus est donnée par :

$$RL(S_{in}) = a_0 + a_1 S_{in}$$

L'écart à la linéarité est alors traduit par la grandeur $\varepsilon_{NL}(S_{in}) = P(S_{in}) - RL(S_{in})$ qui s'exprime encore par les relations suivantes :

$$\varepsilon_{NL}(S_{in}) = S_{out} - (a_0 + a_1 S_{in}) = a_2 S_{in}^2 + a_3 S_{in}^3 + \dots + a_n S_{in}^n$$

$$\varepsilon_{NL}(S_{in}) = a_2 S_{in}^2 + a_3 S_{in}^3$$

Afin de généraliser l'étude, nous introduisons une variable d'entrée **centrée et normalisée**

$m = \frac{S_{in}}{FS_i/2}$ s'inscrivant par conséquent dans l'intervalle $m \in [-1, 1]$. Les expressions de la

grandeur de sortie et l'écart de linéarité s'écrivent alors :

$$S_{out} = \bar{a}_0 + \bar{a}_1 m + \bar{a}_2 m^2 + \bar{a}_3 m^3$$

$$\varepsilon_{NL}(m) = \bar{a}_2 m^2 + \bar{a}_3 m^3$$

avec les nouveaux coefficients définis par :

$$\bar{a}_k = a_k \cdot \left(\frac{FS_i}{2} \right)^k$$

Toujours par soucis de généralisation, nous chercherons à normaliser la grandeur de sortie; cela revient à la normalisation au gain \bar{a}_1 . Il en découle donc l'expression suivante :

$$\frac{S_{out}}{\bar{a}_1} = \frac{\bar{a}_0}{\bar{a}_1} + m + \frac{\bar{a}_2}{\bar{a}_1} m^2 + \frac{\bar{a}_3}{\bar{a}_1} m^3 = \bar{\bar{a}}_0 + m + \bar{\bar{a}}_2 m^2 + \bar{\bar{a}}_3 m^3$$

Finalement on dispose de trois expressions de cette caractéristique. La première pour la grandeur réelle d'entrée, la seconde avec une variable d'entrée normalisée et la troisième après normalisation au gain petit signal autour de l'origine.

$$P(S_{in}) = S_{out}(S_{in}) = \sum_{k=0}^3 a_k S_{in}^k$$

$$P(m) = S_{out}(m) = \sum_{k=0}^3 \bar{a}_k m^k$$

$$P_r(m) = \frac{S_{out}(m)}{\bar{a}_1} = \sum_{k=0}^3 \bar{\bar{a}}_k m^k$$

Les coefficients des polynômes précédents sont donnés par :

$$\bar{a}_k = a_k \cdot \left(\frac{FS_i}{2} \right)^k$$

$$\bar{\bar{a}}_k = \frac{\bar{a}_k}{\bar{a}_1} = \frac{a_k}{a_1} \cdot \left(\frac{FS_i}{2} \right)^{k-1}$$

Équation aux dimensions :

Définissons l'unité pour la grandeur d'entrée réelle S_{in} : UE.

On peut également aussi définir la puissance normalisée (par rapport à une impédance de 1 Ohm) associée à un tel signal: $P_{Sin} = 1/2 * (S_{in})^2$. L'unité de cette puissance sera donc naturellement le Watt (W).

On peut alors donner la dimension des divers coefficients définis ci-dessus :

$$\begin{cases} \dim[a_k] = (UE)^{1-k} \\ \dim[(a_k)^2] = [(UE)^2]^{1-k} = [W]^{1-k} \end{cases}$$

$$\begin{cases} \dim[\bar{a}_k] = UE \\ \dim[(\bar{a}_k)^2] = (UE)^2 = W \end{cases}$$

$$\begin{cases} \dim[\bar{\bar{a}}_k] = 0 \Leftrightarrow \text{Sans Dimension} \\ \dim[(\bar{\bar{a}}_k)^2] = 0 \Leftrightarrow \text{Sans Dimension} \end{cases}$$

Par conséquent pour l'analyse des grandeurs sans dimension (NL , TDH et S/N) on utilisera les coefficients $\bar{\bar{a}}_k$. Et pour les grandeurs avec une dimension UE ou W (S_{out} , ϵ_{NL} , P_{Sin} , P_{NL2} ...), on utilisera les coefficients \bar{a}_k .

Pour les analyses harmonique ou de Signal à Bruit, le dispositif excité par un signal sinusoïdal en entrée: $S_{in}(t) = \hat{S}_{in} \cdot \sin(\omega t)$ où S_{in} appartient à l'intervalle $[0, FS_i/2]$. L'expression de la puissance associée au signal d'entrée en fonction de son amplitude est donnée par :

$P_{Sin}(Sin) = \frac{\hat{S}_{in}^2}{2}$. Sa dimension est celle d'une puissance (W). Cette puissance atteindra son maximum pour l'amplitude maximale admise en entrée, soit $S_{in} = FS_i/2$. Il vient donc:

$$\max[P_{Sin}(Sin)] = \hat{P}_{Sin} = \frac{1}{2} \left(\frac{FS_i}{2} \right)^2.$$

Mais on peut aussi travailler avec la variable normalisée $m(t) = M \sin(\omega t)$ où M est réduit à l'intervalle $[0,1]$ avec comme relation d'équivalence : $S_{in} = M \cdot FS_i / 2$. Le terme $P_{Sin}(m) = \frac{M^2}{2}$ traduit la pseudo puissance de la variable d'entrée m . Cette pseudo puissance est sans dimension. Aucune interprétation physique ne peut donc y être liée !

Néanmoins les termes de type $(\bar{a}_k M^k)^2$ auront tous une dimension de puissance. Il vient alors les équivalences suivantes :

$$\left\{ \begin{array}{l} (\bar{a}_1 M)^2 = a_1^2 \left(\frac{FS_i}{2} \right)^2 M^2 = 2 \cdot a_1^2 \cdot \hat{P}_{Sin} \\ (\bar{a}_2 M^2)^2 = a_2^2 \left(\frac{FS_i}{2} \right)^4 M^4 = 4 \cdot a_2^2 \cdot \hat{P}_{Sin}^2 \\ (\bar{a}_3 M^3)^2 = a_3^2 \left(\frac{FS_i}{2} \right)^6 M^6 = 8 \cdot a_3^2 \cdot \hat{P}_{Sin}^3 \end{array} \right.$$

On peut alors faire apparaître une relation très importante liant la pseudo puissance et la puissance réelle du signal : $P_{Sin}(m) \cdot \left(\frac{FS_i}{2} \right)^2 = \frac{M^2}{2} \cdot \left(\frac{FS_i}{2} \right)^2 = M^2 \cdot \hat{P}_{Sin}$.

Il faut remarquer que le coefficient a_l est d'une grande importance. Idéalement il tend vers l'unité, ce qui amène donc à réécrire la relation entre les divers coefficients avec :

$$\bar{a}_k = a_k \cdot \left(\frac{FS_i}{2} \right)^{k-1}$$

Dans un système purement linéaire, le coefficient $a_l = S_{out} / S_{in}$ prend alors la signification du gain du système. Mais son signe dépendra des conventions adoptées. Ces conventions étant totalement arbitraires, aucune perte de généralité n'est à craindre si nous imposons que ce coefficient a_l soit toujours positif.

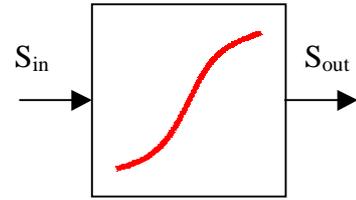
Annexe 1

Expression de l'écart de linéarité et l'erreur de non-linéarité

Considérons un dispositif dont la caractéristique statique est non-linéaire. Nous chercherons donc à exprimer la grandeur de sortie S_{out} en fonction de S_{in} . De cette étude nous donnerons une expression analytique de l'erreur de non-linéarité NL .

L'expression de la grandeur de sortie est donnée par une expression polynomiale $P(S_{in})$ qui peut être obtenue par un développement en série de Taylor :

$$S_{out} = \underbrace{a_0 + a_1 S_{in}}_{\text{droite de référence}} + \underbrace{a_2 S_{in}^2 + a_3 S_{in}^3 + \dots + a_n S_{in}^n}_{\text{termes de non linéarité}}$$



Nous limiterons le degré de ce polynôme à l'ordre 3 pour conserver une simplicité dans les relations sans perdre en généralité. Ceci réduit la caractéristique à l'équation suivante :

$$S_{out} = a_0 + a_1 S_{in} + a_2 S_{in}^2 + a_3 S_{in}^3.$$

Le polynôme précédent sera développé autour d'un point de référence S_{in-ref} . Il en découle que la variable d'entrée S_{in} sera centrée sur ce point. A défaut, un changement de variable permettra de se ramener à une variable d'entrée S_{in} centrée. Par définition, pour la suite de l'exposé on acceptera que $S_{in} \in [-FS_i/2, FS_i/2]$, où FS_i représente la pleine échelle d'entrée.

L'analyse de linéarité porte sur l'écart entre la caractéristique décrite par le polynôme $P(S_{in})$ et la droite de référence passant par l'origine (de la variable S_{in}) et portée par la pente à l'origine de cette caractéristique. La spécification de la droite de référence RL (*Reference Line* en anglais) est donnée par :

$$RL(S_{in}) = a_0 + a_1 S_{in}$$

L'écart entre la caractéristique et la droite de référence est mesuré par la grandeur appelée écart de linéarité et défini par: $\varepsilon_{NL}(S_{in}) = P(S_{in}) - RL(S_{in})$ qui s'exprime encore par les relations suivantes :

$$\varepsilon_{NL}(S_{in}) = S_{out} - (a_0 + a_1 S_{in}) = a_2 S_{in}^2 + a_3 S_{in}^3 + \dots + a_n S_{in}^n$$

soit encore après limitation à l'ordre 3 :

$$\varepsilon_{NL}(S_{in}) = a_2 S_{in}^2 + a_3 S_{in}^3.$$

Afin de généraliser l'étude, nous introduisons une variable d'entrée **centrée et normalisée** :

$m = \frac{S_{in}}{FS_i/2}$ s'inscrivant par conséquent dans l'intervalle $m \in [-1, 1]$. Les expressions de la

grandeur de sortie et l'écart de linéarité s'écrivent alors :

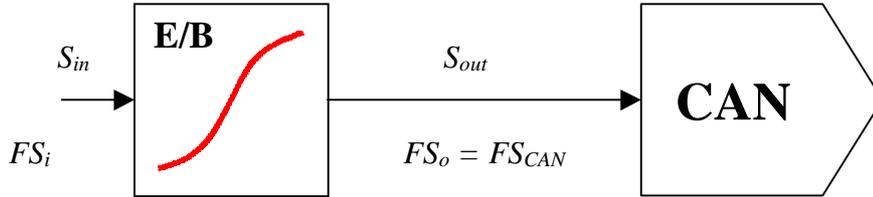
$$S_{out} = \bar{a}_0 + \bar{a}_1 m + \bar{a}_2 m^2 + \bar{a}_3 m^3$$

$$\varepsilon_{NL}(m) = \bar{a}_2 m^2 + \bar{a}_3 m^3$$

avec les nouveaux coefficients définis par :

$$\bar{a}_k = a_k \cdot \left(\frac{FS_i}{2} \right)^k.$$

Rappelons qu'une cellule d'échantillonnage–blocage précède en général un convertisseur analogique-numérique (CAN). Comme notre objectif est de contraindre les performances de l'échantillonneur-bloqueur à ne pas dégrader celles du convertisseur, nous prendrons ces dernières comme références.



Pour satisfaire à notre objectif, on impose que l'écart de linéarité de la cellule reste inférieur à une fraction du quantum du convertisseur : $\epsilon_{NL} \leq \frac{q}{K} = \frac{FS_{CAN}}{K \cdot 2^N}$ où FS_{CAN} est la pleine échelle d'entrée du convertisseur et où N représente le nombre de bits de résolution du convertisseur.

Cette relation fondamentale pour notre travail va diriger nos investigations. Les deux membres de l'inégalité précédente sont de même nature (tension ou courant). On peut donc introduire la grandeur réduite et sans dimension suivante :

$$\text{l'erreur de non-linéarité : } NL = \frac{\max[\epsilon_{NL}]}{FS_{CAN}} = \frac{\max[\epsilon_{NL}]}{FS_o} = \frac{1}{K \cdot 2^N}.$$

Cette grandeur représente le pire cas de notre objectif. Son exploitation impose donc de clarifier le terme $\max[\epsilon_{NL}]$ en revenant à l'expression polynomiale générale. Comme l'écart de linéarité est une fonction du signal d'entrée il faut établir une relation entre la pleine échelle d'entrée et celle de sortie. Pour cela on va postuler que la pleine échelle de sortie est peu différente de la projection de celle d'entrée au travers de la droite de référence RL . On aura donc : $FS_{CAN} = FS_o = |a_1| \cdot FS_i = a_1 \cdot FS_i$ dans la mesure où l'on considère que des gains a_1 positifs. Cette approximation sera d'autant plus justifiée que l'écart de linéarité sera faible. Comme par ailleurs cet écart de linéarité devra rester inférieur à une fraction de quantum, notre hypothèse est acceptable.

Selon notre approche, la grandeur FS_{CAN} est imposée par le choix du convertisseur. La pleine échelle d'entrée FS_i est donc adaptée pour satisfaire la relation précédente.

Nous allons développer l'expression de l'erreur de linéarité.

$$NL = \frac{\max[\epsilon_{NL}]}{a_1 \cdot FS_i} = \frac{\max[\bar{a}_2 m^2 + \bar{a}_3 m^3]}{a_1 \cdot FS_i}$$

En remarquant que l'on peut écrire : $2 \cdot \bar{a}_1 = a_1 \cdot FS_i$ l'expression de l'erreur de non-linéarité devient encore :

$$NL = \frac{\max[\bar{a}_2 m^2 + \bar{a}_3 m^3]}{2 \cdot \bar{a}_1} = \frac{1}{2} \cdot \max\left[\frac{\bar{a}_2}{\bar{a}_1} m^2 + \frac{\bar{a}_3}{\bar{a}_1} m^3 \right] = \frac{1}{2} \cdot \max[\bar{\bar{a}}_2 m^2 + \bar{\bar{a}}_3 m^3]$$

Cette dernière expression est alors la plus compacte et la plus générale.

Rappelons que nous travaillons sur le polynôme normalisé :

$$S_{out} = \bar{a}_0 + \bar{a}_1 m + \bar{a}_2 m^2 + \bar{a}_3 m^3$$

à partir duquel on a pu tirer l'écart de linéarité :

$$\varepsilon_{NL}(m) = \bar{a}_2 m^2 + \bar{a}_3 m^3$$

avec les nouveaux coefficients définis par :

$$\bar{a}_k = a_k \cdot \left(\frac{FS_i}{2} \right)^k$$

Si nous passons au polynôme réduit :

$$P_r(m) = \frac{S_{out}}{\bar{a}_1} = \bar{\bar{a}}_0 + m + \bar{\bar{a}}_2 m^2 + \bar{\bar{a}}_3 m^3$$

on peut définir un écart de linéarité réduit par :

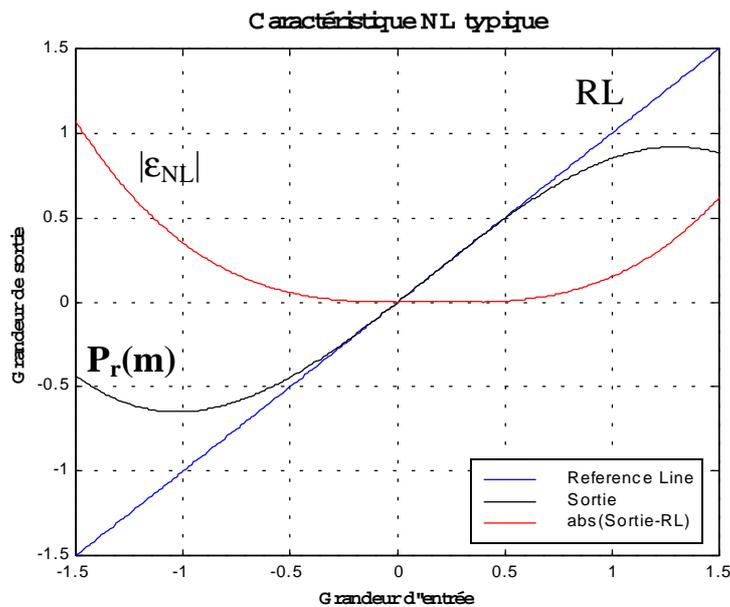
$$\bar{\bar{\varepsilon}}_{NL}(m) = \bar{\bar{a}}_2 m^2 + \bar{\bar{a}}_3 m^3$$

Cette grandeur ne doit pas être confondue avec l'écart de linéarité. La grandeur $\bar{\bar{\varepsilon}}_{NL}(m)$ est sans dimension alors que la grandeur $\varepsilon_{NL}(m)$ a la même dimension que le quantum.

$$NL = \frac{1}{2} \cdot \max[\bar{\bar{\varepsilon}}_{NL}] = \frac{1}{K \cdot 2^N}$$

Dans la mesure où l'objectif est de contraindre les coefficients du polynôme $P(S_{in})$ de telle manière à ce que l'écart de linéarité reste inférieur à une fraction de quantum, il faut mener une étude générique sur le polynôme réduit $P_r(m)$ afin de pouvoir évaluer le grandeur $\max[\bar{\bar{\varepsilon}}_{NL}]$.

La figure ci-dessous illustre l'analyse que l'on va développer dans l'annexe 2 sur le polynôme réduit $P_r(m)$ pour définir l'ensemble des polynômes répondant à une définition générique d'une caractéristique non-linéaire de type saturation. On peut ensuite en tirer l'expression du maximum de l'écart de linéarité, nous permettant de relier les valeurs des coefficients avec la contrainte maximale de linéarité que l'on s'est imposée.



Résumé:

Le polynôme P(Sin) traduit la relation : $S_{out} = a_0 + a_1 S_{in} + a_2 S_{in}^2 + a_3 S_{in}^3$ avec un domaine de validité de la grandeur d'entrée: $S_{in} \in [-FS_i/2, FS_i/2]$.

Le changement de variable d'entrée : $m = \frac{S_{in}}{FS_i/2}$ ramène la variable dans $m \in [-1, 1]$.

On en déduit l'écart de linéarité : $\varepsilon_{NL}(m) = \bar{a}_2 m^2 + \bar{a}_3 m^3$ avec les nouveaux coefficients définis par : $\bar{a}_k = a_k \cdot \left(\frac{FS_i}{2}\right)^k$

L'objectif de l'étude est de contraindre la cellule à ce que $\varepsilon_{NL} \leq \frac{q}{K}$.

Le pire cas de cette condition s'écrit alors au travers de l'erreur de non-linéarité :

$$NL = \frac{\max[\varepsilon_{NL}]}{a_1 \cdot FS_i} = \frac{1}{K \cdot 2^N}.$$

On introduit une relation d'équivalence entre les pleines échelles d'entrée et de sortie par:

$$FS_{CAN} = FS_o = |a_1| \cdot FS_i = a_1 \cdot FS_i.$$

Il vient alors : $NL = \frac{1}{2} \cdot \max[\bar{a}_2 m^2 + \bar{a}_3 m^3] = \frac{1}{K \cdot 2^N}$.

En introduisant le polynôme réduit $P_r(m) = \frac{S_{out}}{\bar{a}_1} = \bar{a}_0 + m + \bar{a}_2 m^2 + \bar{a}_3 m^3$, on peut exprimer

une grandeur réduite : $\bar{\varepsilon}_{NL}(m) = \bar{a}_2 m^2 + \bar{a}_3 m^3$. Avec cette grandeur on peut ramener l'analyse de la non-linéarité dans le pire cas à :

$$NL = \frac{1}{2} \cdot \max[\bar{\varepsilon}_{NL}] = \frac{1}{K \cdot 2^N}.$$

Annexe 2

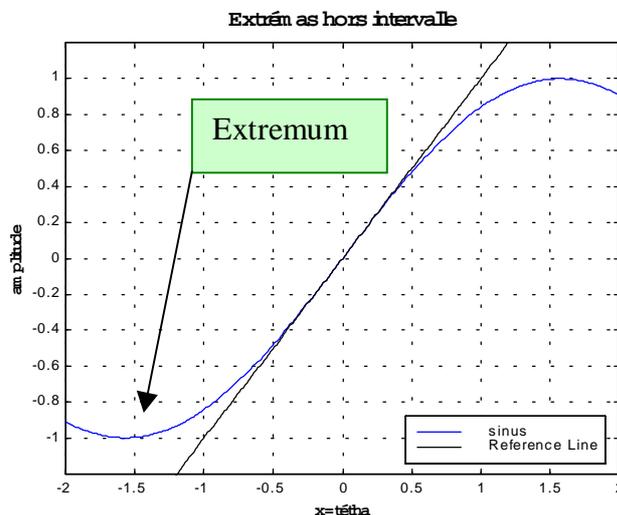
Solutions générales polynomiales pour les caractéristiques non-linéaires de type saturation.

En électronique, la forme la plus classique pour une caractéristique d'entrée-sortie est la forme de type saturation. Nous chercherons ici à déterminer l'ensemble des polynômes répondants à une définition d'une caractéristique de ce type. En fait l'ensemble des solutions sera déterminé par les n-uplets des coefficients du polynôme.

Pour limiter la complexité des développements, ce polynôme sera limité à l'ordre 3 : $P(m) = \bar{a}_0 + \bar{a}_1 m + \bar{a}_2 m^2 + \bar{a}_3 m^3$ avec la variable $m \in [-1, 1]$. Le premier coefficient représente l'offset, le second représente le gain petit signal du dispositif autour de l'origine et les deux derniers coefficients traduisent les effets non-linéaires du dispositif.

Ce polynôme doit présenter quelques particularités qu'il nous faut détailler.

- Il doit être **strictement croissant** dans l'intervalle $m \in [-1, 1]$; par suite on aura $\frac{\partial P(m)}{\partial x} = \bar{a}_1 + 2\bar{a}_2 m + 3\bar{a}_3 m^2 > 0$. Pour la croissance stricte au voisinage de zéro un coefficient a_1 **positif** est nécessaire. Le signe de la croissance est lié à la convention de signe arbitraire qui a été retenue pour la définition de la caractéristique. On pourra donc toujours adapter la convention de manière à se ramener à une pente positive sans restreindre la généralité de l'étude. Le terme a_0 est sans effet sur la condition précédente d'où une étude pour un **cas particulier** : $a_0 = 0$ ne restreint pas plus la généralité de l'analyse pour ce type de caractéristique. La condition de croissance stricte revient à chercher les racines de $P'(x)$ et à les rejeter à l'extérieur de l'intervalle $[-1, 1]$.
- D'autre part la caractéristique doit présenter des asymptotes quasi horizontales aux extrémités de l'intervalle. Ces asymptotes sont introduites par des **extremums du polynôme rejetés de part et d'autre à l'extérieur de l'intervalle**.



1. Lieu des racines de $P(m)$

Comme présenté précédemment, nous allons étudier le polynôme $P(m) = \bar{a}_1 m + \bar{a}_2 m^2 + \bar{a}_3 m^3$ sans offset et avec un gain strictement positif. Ce polynôme devient alors :

$$P(m) = \bar{a}_1 m \cdot \left[1 + \frac{\bar{a}_2}{\bar{a}_1} m + \frac{\bar{a}_3}{\bar{a}_1} m^2 \right] = \bar{a}_1 m \cdot \left[1 + \bar{\bar{a}}_2 m + \bar{\bar{a}}_3 m^2 \right].$$

On peut remarquer que les racines du polynôme $P(m)$ sont identiques à celles du polynôme réduit $P_r(m)$. On trouve trois racines :

- $m_0 = 0$
- $m_{10} = \frac{1}{2\bar{\bar{a}}_3} \left[-\bar{\bar{a}}_2 + \sqrt{\Delta_r} \right]$
- $m_{20} = \frac{1}{2\bar{\bar{a}}_3} \left[-\bar{\bar{a}}_2 - \sqrt{\Delta_r} \right]$

avec par définition : $\Delta_r = \bar{\bar{a}}_2^2 - 4 \cdot \bar{\bar{a}}_3$, le déterminant du polynôme entre crochets.

On cherche des solutions réelles, ce qui impose un déterminant positif et par suite :

$$\Delta_r \geq 0 \Rightarrow \bar{\bar{a}}_2^2 \geq 4 \cdot \bar{\bar{a}}_3$$

Le tableau ci-dessous présente la condition à satisfaire ainsi que la conséquence pour les deux cas de figure :

	$\bar{\bar{a}}_3 \geq 0$	$\bar{\bar{a}}_3 \leq 0$
Condition: $\Delta_r \geq 0$	$\bar{\bar{a}}_2^2 \geq 4 \cdot \bar{\bar{a}}_3$	Sans condition
Conséquence de la condition et du signe du coefficient	$0 \leq \sqrt{\Delta_r} < \bar{\bar{a}}_2 $	$0 < \bar{\bar{a}}_2 < \sqrt{\Delta_r}$

La conséquence est obtenue après avoir réécrit le déterminant :

$$\Delta_r = \bar{\bar{a}}_2^2 - 4 \cdot \bar{\bar{a}}_3 = \bar{\bar{a}}_2^2 \left(1 - 4 \cdot \frac{\bar{\bar{a}}_3}{\bar{\bar{a}}_2^2} \right)$$

Il vient alors pour respecter la condition de signe du déterminant: $\left(1 - 4 \cdot \frac{\bar{\bar{a}}_3}{\bar{\bar{a}}_2^2} \right) \geq 0$.

Pour le cas $\bar{\bar{a}}_3 \geq 0$, on aura donc $4 \cdot \frac{\bar{\bar{a}}_3}{\bar{\bar{a}}_2^2} \geq 0$ conduisant à: $1 > \left(1 - 4 \cdot \frac{\bar{\bar{a}}_3}{\bar{\bar{a}}_2^2} \right) \geq 0$

Il en découle finalement: $\sqrt{\Delta_r} = |\bar{\bar{a}}_2| \sqrt{\left(1 - 4 \cdot \frac{\bar{\bar{a}}_3}{\bar{\bar{a}}_2^2} \right)} < |\bar{\bar{a}}_2|$.

Pour le cas $\bar{\bar{a}}_3 \leq 0$, on aura donc $4 \cdot \frac{\bar{\bar{a}}_3}{\bar{\bar{a}}_2^2} \leq 0$ conduisant à: $\left(1 - 4 \cdot \frac{\bar{\bar{a}}_3}{\bar{\bar{a}}_2^2} \right) > 1$.

Il en découle finalement : $|\bar{\bar{a}}_2| < \sqrt{\Delta_r} = |\bar{\bar{a}}_2| \sqrt{\left(1 - 4 \cdot \frac{\bar{\bar{a}}_3}{\bar{\bar{a}}_2^2} \right)}$.

Cherchons maintenant le signe des racines m_{10} et m_{20} . Comme les extremums du polynôme devront être de signes opposés, il est évident que les racines du polynôme devront également être de signes opposés. Le tableau ci-dessous récapitule l'étude de signe des racines.

	$\bar{a}_2 \geq 0$		$\bar{a}_2 \leq 0$	
	$\bar{a}_3 \geq 0$	$\bar{a}_3 \leq 0$	$\bar{a}_3 \geq 0$	$\bar{a}_3 \leq 0$
$[-\bar{a}_2 + \sqrt{\Delta_r}]$	-	+	+	+
m_{10}	-	-	+	-
$[-\bar{a}_2 - \sqrt{\Delta_r}]$	-	-	+	-
m_{20}	-	+	+	+

Comme on cherche les solutions présentant deux extremums de signes opposés, on devra donc aussi rechercher les racines non nulles de signes opposés. Par suite la condition à respecter sera : $\bar{a}_3 \leq 0$.

En conséquence, on aura aussi les conséquences suivantes :

$\bar{a}_2 \geq 0$	$ m_{20} > m_{10} $
$\bar{a}_2 \leq 0$	$ m_{10} > m_{20} $

2. Lieu des extremums de $P(x)$

Il s'agit d'analyser la dérivée du polynôme $\frac{\partial P(m)}{\partial x} = \bar{a}_1 + 2\bar{a}_2 m + 3\bar{a}_3 m^2$ pour en extraire les racines qui situeront les extremums du polynôme. Comme nous l'avons stipulé précédemment, nous allons étudier le polynôme $P(m) = \bar{a}_1 m + \bar{a}_2 m^2 + \bar{a}_3 m^3$ sans offset et avec un gain strictement positif. La dérivée du polynôme devient alors :

$$\frac{\partial P(m)}{\partial m} = \bar{a}_1 \cdot \left[1 + 2 \frac{\bar{a}_2}{\bar{a}_1} m + 3 \frac{\bar{a}_3}{\bar{a}_1} m^2 \right] = \bar{a}_1 \cdot [1 + 2\bar{a}_2 m + 3\bar{a}_3 m^2].$$

On peut encore une fois remarquer que les racines du polynôme $P'(m)$ sont identiques à celles du polynôme réduit $P'_r(m)$. On trouve trois racines :

a. $x_0 = 0$

b. $x_{10} = \frac{1}{6\bar{a}_3} [-2\bar{a}_2 + \sqrt{\Delta_x}]$

c. $x_{20} = \frac{1}{6\bar{a}_3} [-2\bar{a}_2 - \sqrt{\Delta_x}]$

avec par définition : $\Delta_x = 4\bar{a}_2^2 - 3 \cdot 4 \cdot \bar{a}_3 = 4(\bar{a}_2^2 - 3 \cdot \bar{a}_3)$ le déterminant du polynôme entre crochets.

On cherche des solutions réelles, ce qui impose un déterminant positif et par suite :

$$\Delta_x \geq 0 \Rightarrow \bar{a}_2^2 \geq 3 \cdot \bar{a}_3$$

Le tableau ci-dessous présente la condition à satisfaire ainsi que la conséquence pour les deux cas de figure :

	$\bar{a}_3 \geq 0$	$\bar{a}_3 \leq 0$
Condition: $\Delta_x \geq 0$	$\bar{a}_2^2 \geq 3 \cdot \bar{a}_3$	Sans condition
Conséquence de la condition et du signe du coefficient	$0 \leq \sqrt{\Delta_x} < 2 \cdot \bar{a}_2 $	$0 < 2 \cdot \bar{a}_2 < \sqrt{\Delta_x}$

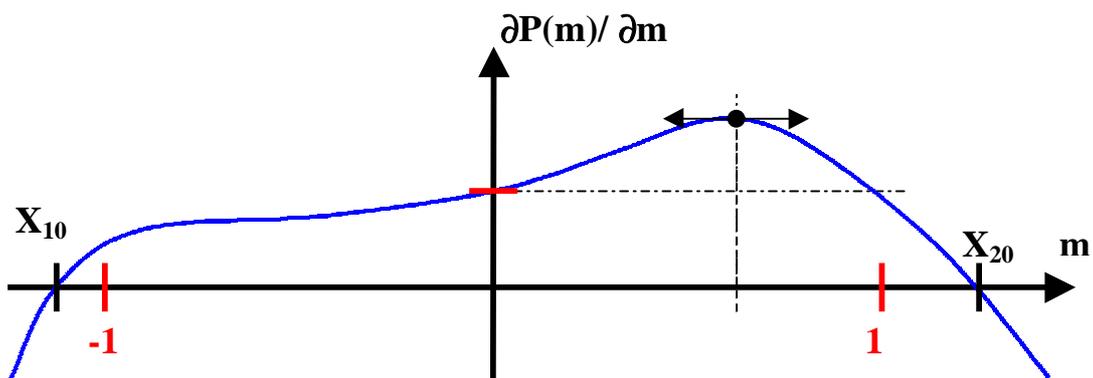
Cherchons maintenant le signe des racines x_{10} et x_{20} . Comme les extremums du polynôme devront être de signes opposés, il est évident que les racines du polynôme devront également être de signes opposés. Le tableau ci-dessous récapitule l'étude de signe des racines.

	$\bar{a}_2 \geq 0$		$\bar{a}_2 \leq 0$	
	$\bar{a}_3 \geq 0$	$\bar{a}_3 \leq 0$	$\bar{a}_3 \geq 0$	$\bar{a}_3 \leq 0$
$[-2\bar{a}_2 + \sqrt{\Delta_x}]$	-	+	+	+
x_{10}	-	-	+	-
$[-2\bar{a}_2 - \sqrt{\Delta_x}]$	-	-	+	-
x_{20}	-	+	+	+

Puisque l'on cherche les solutions présentant deux extremums de signes opposés, on devra donc aussi rechercher les racines non nulles de signes opposés. Par suite la condition à respecter sera : $\bar{a}_3 \leq 0$.

On aura alors les conséquences suivantes :

$\bar{a}_2 \geq 0$	$ x_{20} > x_{10} $
$\bar{a}_2 \leq 0$	$ x_{10} > x_{20} $



La figure ci-dessus représente l'allure générale de la dérivée du polynôme pour le cas où le coefficient d'ordre deux est positif. On y voit la position des racines x_{10} et x_{20} , soit encore la position des extremums du polynôme $P(m)$.

La condition finale à satisfaire par les coefficients de ce polynôme pour présenter une caractéristique de type saturation impose de rejeter les extremums à l'extérieur de l'intervalle $[-1, 1]$. Cette étude sera menée au paragraphe 4.

3. Lieu de l'écart de linéarité

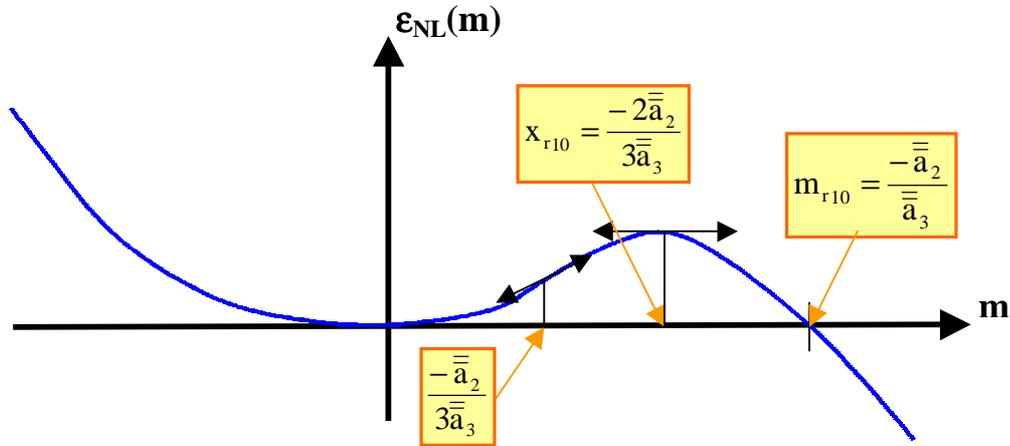
Pour l'étude en précision du dispositif, nous avons montré que l'on doit limiter l'écart de linéarité défini par : $\varepsilon_{NL}(m) = \bar{a}_2 m^2 + \bar{a}_3 m^3$. La limite imposée à cette grandeur est une fraction de quantum du convertisseur. Mais cette grandeur est liée au quantum par la quantité $FS_{CONV} = a_1 FS_i = 2 \cdot \bar{a}_1$ fonction du gain du dispositif. Cette limitation peut donc encore se traduire par un pire cas :

$$NL = \frac{\max[\bar{a}_2 m^2 + \bar{a}_3 m^3]}{2 \cdot \bar{a}_1} = \frac{1}{2} \cdot \max\left[\frac{\bar{a}_2}{\bar{a}_1} m^2 + \frac{\bar{a}_3}{\bar{a}_1} m^3\right] = \frac{1}{2} \cdot \max[\bar{a}_2 m^2 + \bar{a}_3 m^3].$$

Cette grandeur peut alors être étudiée comme le polynôme particulier $P_{\varepsilon_{NL}}(m) = \bar{a}_2 m^2 + \bar{a}_3 m^3$. Cherchons les racines et les extremums de ce polynôme particulier.

- Racines de $P_{\varepsilon_{NL}}(m) = \bar{a}_2 m^2 + \bar{a}_3 m^3$
 - 2 racines en $m_{r0} = 0$
 - 1 racine en $m_{r10} = \frac{-\bar{a}_2}{\bar{a}_3}$
- Racines de $\frac{\partial P_{\varepsilon_{NL}}(m)}{\partial m} = 2\bar{a}_2 m + 3\bar{a}_3 m^2$
 - 1 racine en $x_{r0} = 0$
 - 1 racine en $x_{r10} = \frac{-2\bar{a}_2}{3\bar{a}_3}$
- Racines de $\frac{\partial^2 P_{\varepsilon_{NL}}(m)}{\partial m^2} = 2\bar{a}_2 + 6\bar{a}_3 m$
 - 1 racine en $\frac{-\bar{a}_2}{3\bar{a}_3}$

Si l'on ne retient que le cas où les deux coefficients sont de signes opposés (comme démontré au paragraphe précédent) on peut représenter les points particuliers de la grandeur $\varepsilon_{NL}(m)$



Les paragraphes 2 et 3 nous ont donné les racines et les extremums du polynôme $P(m)$. La condition de stricte croissance dans l'intervalle et la condition d'asymptote quasi horizontale aux extrémités, conduisent toutes deux à rejeter les extremums à l'extérieur de l'intervalle avec l'obligation que les deux extremums soient de signes opposés. Cette étude a pu être faite sur le polynôme réduit qui limite donc les contraintes sur seulement deux coefficients \bar{a}_2 et \bar{a}_3 .

Cherchons maintenant l'ensemble des couples (\bar{a}_2, \bar{a}_3) répondant à la définition précédente. Pour cela les deux racines du polynôme $\frac{\partial P(m)}{\partial x} = \bar{a}_1 + 2\bar{a}_2 m + 3\bar{a}_3 m^2$ doivent être de signes contraires ce qui impose des coefficients de signes contraires. Nous limiterons la démonstration au cas particulier suivant: $\begin{cases} \bar{a}_2 > 0 \\ \bar{a}_3 < 0 \end{cases}$.

Dans ce cas particulier on aura les racines suivantes :

- $x_{10} = \frac{1}{6\bar{a}_3} [-2\bar{a}_2 + \sqrt{\Delta_x}] < 0$
- $x_{20} = \frac{1}{6\bar{a}_3} [-2\bar{a}_2 - \sqrt{\Delta_x}] > 0$

avec le déterminant : $\Delta_x = 4\bar{a}_2^2 - 3 \cdot 4 \cdot \bar{a}_3 = 4(\bar{a}_2^2 - 3 \cdot \bar{a}_3)$.

On a aussi montré que dans ce cas de figure on aura $|x_{20}| > |x_{10}|$. Ceci permet alors de poser très simplement la condition pour rejeter les extremums à l'extérieur de l'intervalle :

$|x_{20}| > |x_{10}| > 1$. Il vient alors encore :

$$-x_{10} = \frac{-1}{6\bar{a}_3} [-2\bar{a}_2 + \sqrt{\Delta_x}] = \frac{-2\bar{a}_2}{6\bar{a}_3} \left[-1 + \sqrt{1 - \frac{3\bar{a}_3}{\bar{a}_2^2}} \right] > 1$$

avec $-\frac{\bar{a}_2}{3\bar{a}_3} > 0$ et $1 - \frac{3\bar{a}_3}{\bar{a}_2^2} > 1 \Rightarrow \sqrt{1 - \frac{3\bar{a}_3}{\bar{a}_2^2}} > 1$.

L'inégalité s'exprime encore :

$$\sqrt{1 - \frac{3\bar{a}_3}{\bar{a}_2^2}} > 1 - \frac{3\bar{a}_3}{\bar{a}_2^2} > 0$$

Les termes de part et d'autre de l'inégalité étant positifs, on peut les élever au carré en conservant le sens de l'inégalité. Cela conduit au résultat suivant :

$$1 - \frac{3\bar{a}_3}{\bar{a}_2^2} > \left[1 - \frac{3\bar{a}_3}{\bar{a}_2^2}\right]^2.$$

Finalement, avec la condition de signe pour les coefficients $\begin{cases} \bar{a}_2 > 0 \\ \bar{a}_3 < 0 \end{cases}$, on aura la condition pour

rejeter les extremums à l'extérieur de l'intervalle :

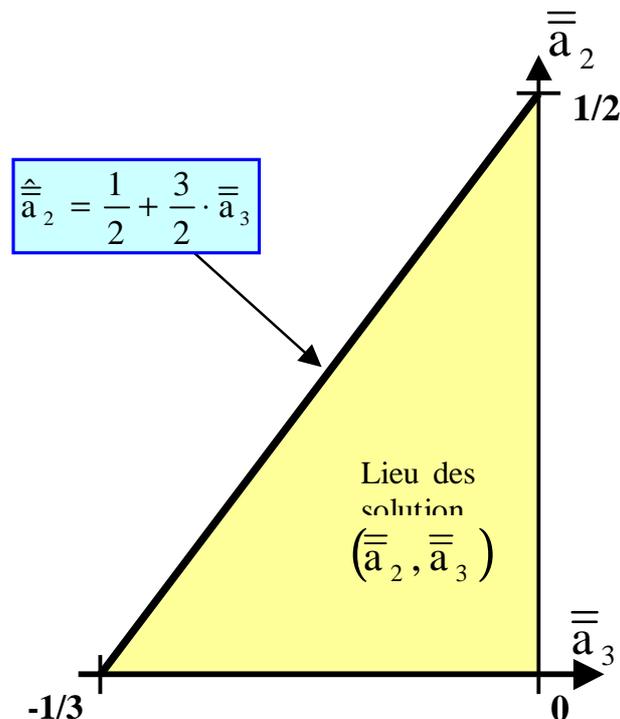
$$1 > 2\bar{a}_2 - 3\bar{a}_3 > 0$$

Pour tracer le lieu géométrique des solutions de l'inégalité précédente, on supposera le coefficient \bar{a}_3 fixé. Le coefficient \bar{a}_2 est alors libre. Mais si l'on définit la valeur limite de

coefficient libre $\hat{\bar{a}}_2$, on aura : $1 = 2 \cdot \hat{\bar{a}}_2 - 3 \cdot \bar{a}_3$; soit enfin : $\hat{\bar{a}}_2 = \frac{1}{2} + \frac{3}{2} \cdot \bar{a}_3$.

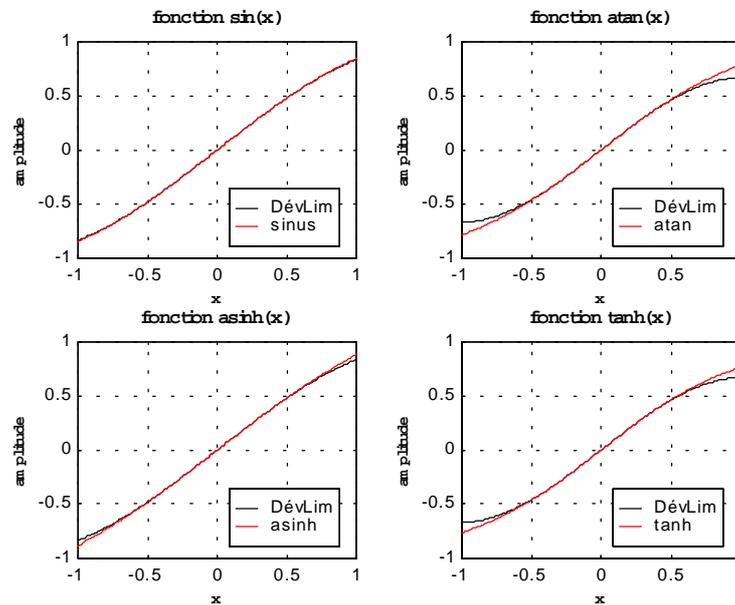
On peut alors visualiser le lieu des couples (\bar{a}_2, \bar{a}_3) solutions des inégalités ci-dessus assurant que le polynôme $P(x)$ présente deux extremums de signes opposés et extérieurs à l'intervalle d'entrée $[-1,1]$. Sachant que les coefficients vérifient $\begin{cases} \bar{a}_2 > 0 \\ \bar{a}_3 < 0 \end{cases}$, l'aire des solutions est limitée

par les axes (\bar{a}_2, \bar{a}_3) et par la limite $\hat{\bar{a}}_2$ imposée par l'inégalité.



A partir du résultat précédent on peut tirer un polynôme particulier où le coefficient du second ordre est nul et le coefficient du troisième ordre reste dans l'intervalle $[-1/3,0]$. Un tel polynôme correspond au développement limité de fonctions classiques qui présentent des caractéristiques de type saturation parfaitement en accord avec notre définition.

On remarque donc, que d'une manière générale, les coefficients a_1 et a_3 sont de signes opposés. De plus, le coefficient a_3 est inférieur (en valeur absolue) au tiers de a_1 . Ces observations sont en accord avec les développements limités des fonctions citées précédemment et ayant une forme de saturation. D'autre part, ces fonctions sont symétriques autour de zéro ce qui est caractérisé par un coefficient a_2 nul.



Les développements limités utilisés ci-contre sont donnés par:

- Sinus(x) $\approx x - x^3/3!$ ArgSh(x) $\approx x - x^3/3!$
- ArcTg(x) $\approx x - x^3/3$ Th(x) $\approx x - x^3/3$

Classification fine des caractéristiques de type saturation généralisée :

Une caractéristique de type « saturation pure » présente une symétrie par rapport à l'origine. Cette symétrie peut être décomposée en 2 symétries simples :

- 1 symétrie par rapport à l'axe des ordonnées : $P(-m) = P(m)$ fonction impaire
- 1 symétrie par rapport à la droite de référence RL passant par l'origine.

Cette dernière symétrie se traduit alors, pour la fonction $\mathcal{E}_{NL}(m)$ par une fonction paire puisque par définition elle traduit les variations du polynôme P autour de la droite de référence RL .

Une telle situation impose conformément au résultat du paragraphe 3 que la racine, l'extremum et le point d'inflexion soient nuls; ce qui impose donc que le coefficient \bar{a}_2 soit nul. On a alors une caractéristique purement cubique dont on a déjà vu qu'elle correspond au développement limité de fonctions trigonométriques dont l'allure décrit parfaitement les formes d'une caractéristiques non-linéaire de type « saturation pure ».

Néanmoins l'ensemble des solutions que nous avons retenu est plus vaste que ces cas particuliers. Nous allons donc chercher des classes distinctes de notre ensemble de solutions.

Ces classes, basées sur l'ensemble de couples (\bar{a}_2, \bar{a}_3) défini au paragraphe 4, vont en fait détailler l'allure de la grandeur $\mathcal{E}_{NL}(m)$ par l'intermédiaire de la grandeur $\mathcal{E}_{NL}(m)/\bar{a}_1$ normalisée. Les deux variables d'influence seront donc la racine m_{r10} et l'extremum x_{r10} définis au paragraphe 3. On peut distinguer les deux classes suivantes :

Classe « saturation pure » :

Cette classe se distingue par le fait que $\mathcal{E}_{NL}(m)$ soit de signe opposé aux extrémités de l'intervalle, c'est à dire que $\mathcal{E}_{NL}(+1)$ et $\mathcal{E}_{NL}(-1)$ sont de signes opposés. Cette situation impose donc que la racine se place dans l'intervalle, c'est à dire que l'on vérifie $|m_{r10}| < 1$.

En considérant comme au paragraphe précédent que la variable \bar{a}_3 est fixée, on peut définir la valeur limite de la variable \bar{a}_2 pour que la racine soit inférieure à l'unité : $\bar{a}_2 = -\bar{a}_3$. L'ensemble des couples (\bar{a}_2, \bar{a}_3) faisant partie de cette classe, est donc compris dans l'aire limitée en partie haute par la droite $\bar{a}_2 = -\bar{a}_3$.

Classe « quadratique » :

Cette classe est l'opposée de la précédente, à savoir que la grandeur $\mathcal{E}_{NL}(m)$ conserve un signe constant sur l'intervalle. On peut néanmoins distinguer deux sous classes :

Sous classe « fortement quadratique » :

Dans cette sous classe la grandeur $\mathcal{E}_{NL}(m)$ ne présente que deux maxima $\{\mathcal{E}_{NL}(+1), \mathcal{E}_{NL}(-1)\}$. Ceci impose donc que l'extremum soit rejeté hors de l'intervalle, c'est à dire que l'on doit vérifier $|x_{r10}| > 1$. L'ensemble des couples (\bar{a}_2, \bar{a}_3) faisant partie de cette sous classe, est donc

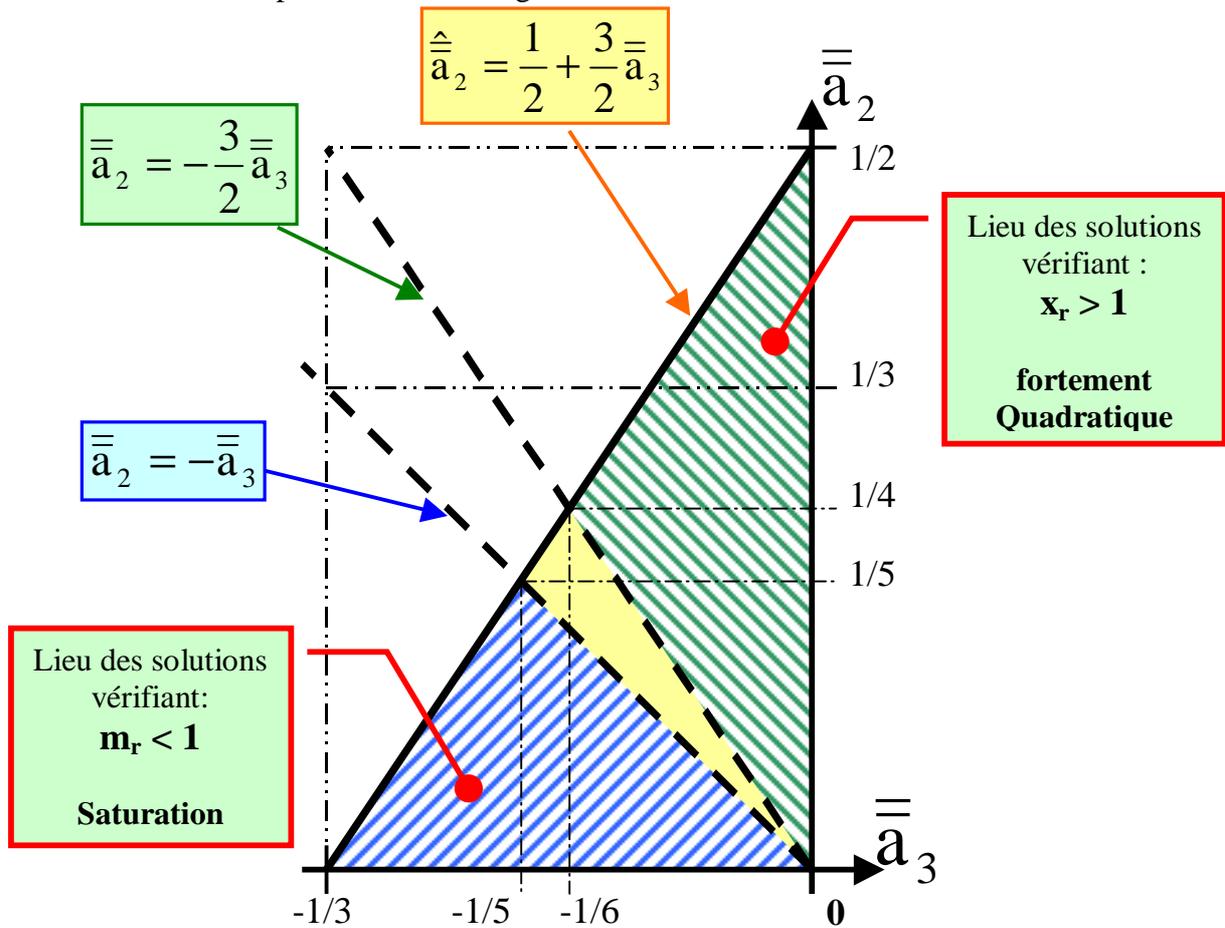
compris dans l'aire limitée en partie basse par la droite $\bar{a}_2 = -\frac{3}{2}\bar{a}_3$.

Sous classe « faiblement quadratique encore appelé « intermédiaire » »

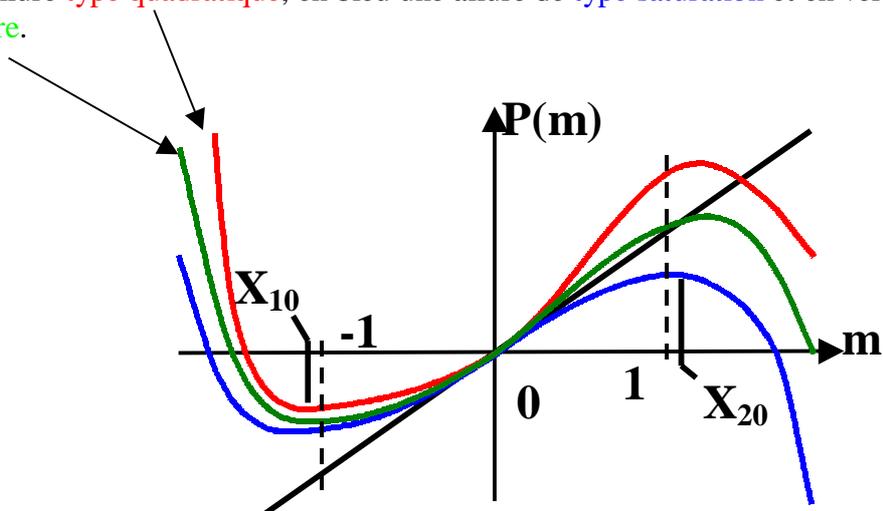
Cette sous classe est située entre les deux ensembles précédents. Elle décrit le cas où la racine est supérieure à l'unité mais pas encore l'extremum. Elle vérifie donc $|m_{r10}| > 1$ et $|x_{r10}| < 1$.

Dans cette sous classe la grandeur $\mathcal{E}_{NL}(m)$ va donc présenter trois maxima $\{\mathcal{E}_{NL}(+1), \mathcal{E}_{NL}(x_{r10}), \mathcal{E}_{NL}(-1)\}$.

Les trois classes sont présentées sur la figure ci-dessous :

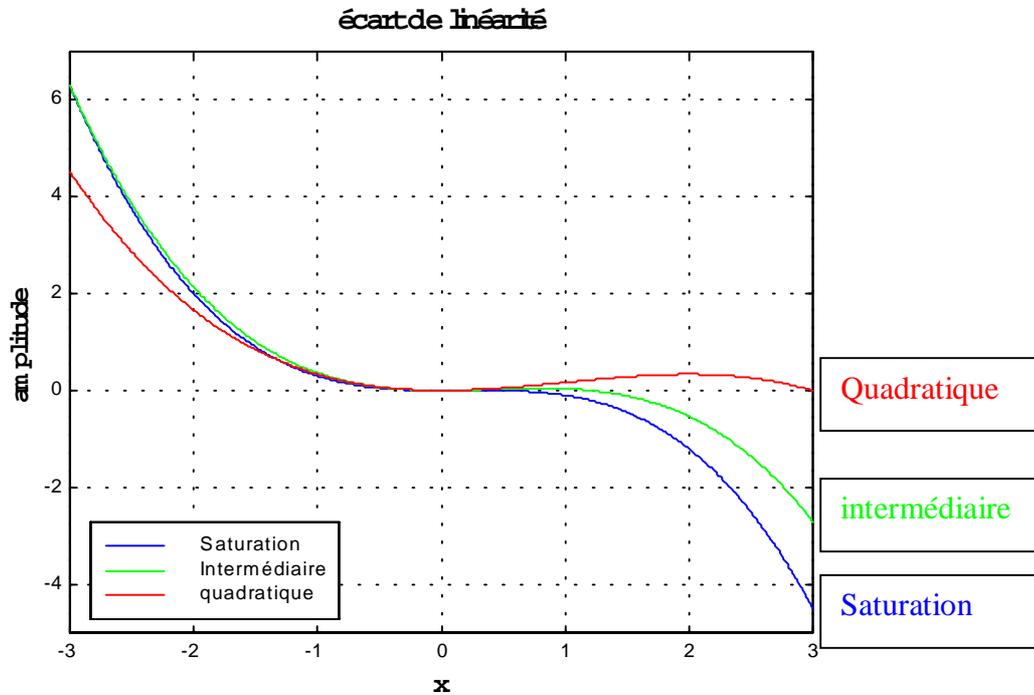


La figure ci-dessous visualise les trois types de caractéristiques que peut donner le polynôme $P(m)$ suivant les couples de coefficients (a_2, a_3) . Dans l'intervalle d'entrée $[-1, 1]$, on trouve en rouge une allure **type quadratique**, en bleu une allure de **type saturation** et en vert une **situation intermédiaire**.

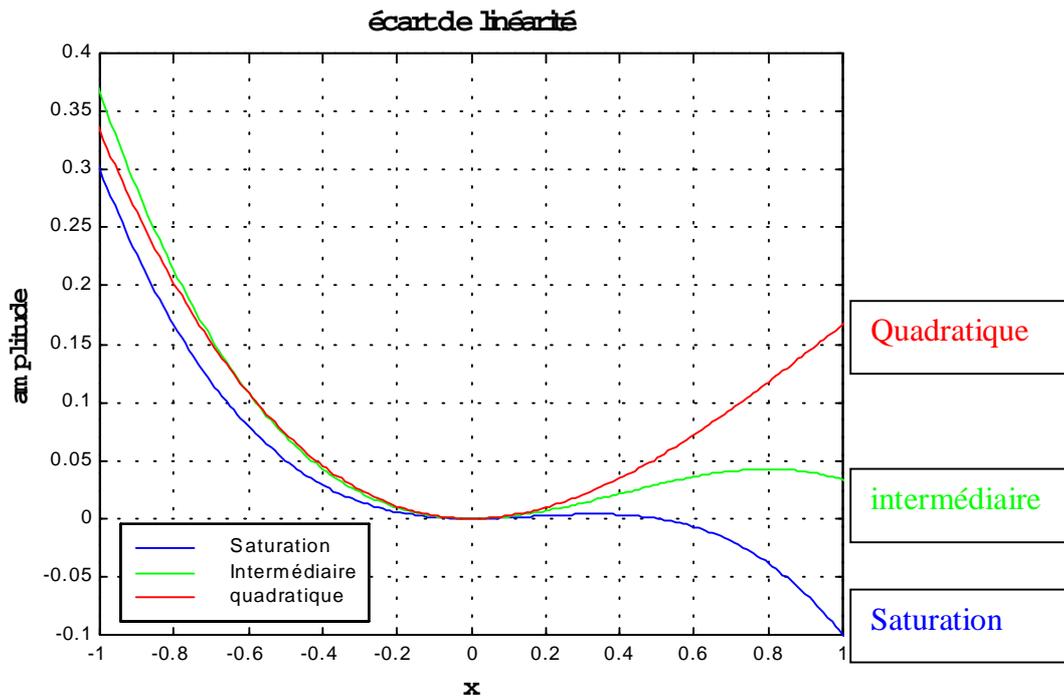


Exemples de polynômes présentant des caractéristiques appartenant aux trois classes :

Dans la première figure, les polynômes sont présentés au-delà de l'intervalle pour illustrer l'étude générale qui a été faite au paragraphe 3. Les trois caractéristiques possèdent un extremum et une racine non nulle. Elles ont donc des comportements aux limites très similaires; mais autour de l'origine leurs caractéristiques diffèrent beaucoup.



La seconde figure ramène l'analyse dans l'intervalle considéré. On distingue mieux la particularité de la sous classe intermédiaire.



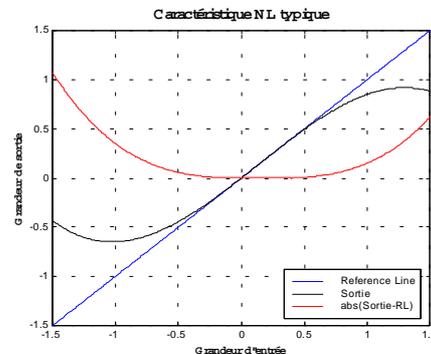
4. Analyse des maxima de l'écart de linéarité $\varepsilon_{NL}(x)$

Il nous faut maintenant analyser la fonction $\max[|\varepsilon_{NL}(m)|]$. La recherche de précision nous impose de rechercher la **valeur maximale de cet écart de linéarité**. Pour ce faire il nous faut étudier la grandeur NL dans l'intervalle $x \in [-1, 1]$. En introduisant l'expression du polynôme réduit, on peut ré-exprimer l'erreur de linéarité par :

$$NL = \frac{\max[|\varepsilon_{NL}|]}{2\bar{a}_1} = \frac{1}{2} \max[|\bar{a}_2 m^2 + \bar{a}_3 m^3|]$$

En fait on va étudier l'évolution d'une grandeur réduite définie par : $\varepsilon_R(m) = \bar{a}_2 m^2 + \bar{a}_3 m^3$

La figure ci contre illustre l'influence des coefficients \bar{a}_2 et \bar{a}_3 sur la linéarité.



Le paragraphe 3 a fait apparaître trois classes de polynômes. Dans la sous classe intermédiaire on a pu relever 3 valeurs particulière de l'écart de linéarité :

$$\max|\varepsilon_R(m)| = \begin{cases} |\varepsilon_R(-1)| \\ |\varepsilon_R(-x_{r10})| \\ |\varepsilon_R(1)| \end{cases}$$

Rappelons les conditions dans lesquelles s'inscrit cette étude. Nous cherchons un polynôme présentant deux extremums de signes opposés hors de l'intervalle $[-1, 1]$. La condition de signe opposé impose aussi que les coefficients soient de signes opposés. Nous ne détaillerons

ici que les résultats pour le cas : $\begin{cases} \bar{a}_2 > 0 \\ \bar{a}_3 < 0 \end{cases}$.

a) calcul de $\varepsilon_R(m=-1)$

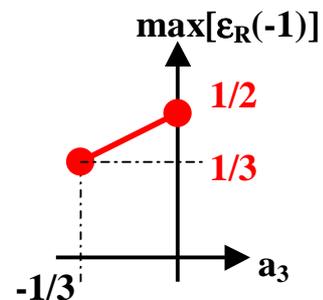
Au point $(m=-1)$, on a donc : $\bar{a}_2 m^2 + \bar{a}_3 m^3 = \bar{a}_2 - \bar{a}_3 > 0$. Dans le cas généralisé, pour chaque valeur de \bar{a}_3 , il existe une valeur maximale de \bar{a}_2 donnée par

$$\hat{\bar{a}}_2 = \frac{1}{2} + \frac{3}{2}\bar{a}_3.$$

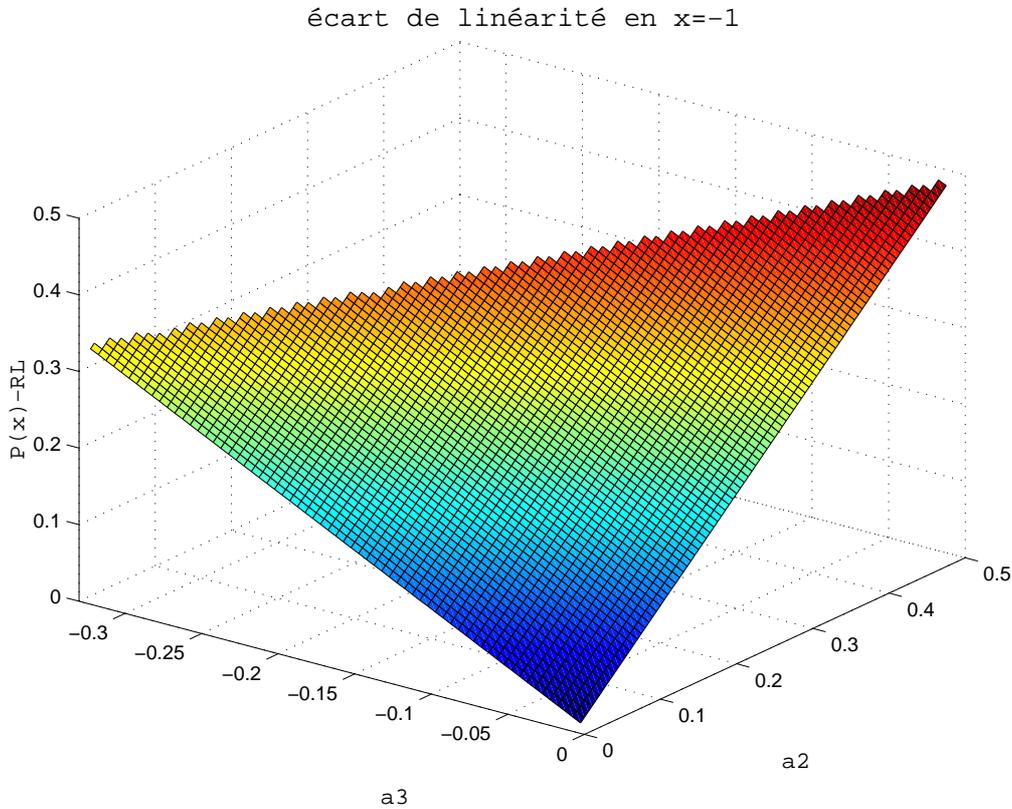
Or le maximum de la grandeur $\varepsilon_R(m=-1)$ est obtenu justement pour cette valeur maximale de \bar{a}_2 , conduisant alors à l'expression suivante :

$$0 < \varepsilon_R(-1) = \hat{\bar{a}}_2 - \bar{a}_3 < \max[\varepsilon_R(-1)] = \left[\frac{1}{2} + \frac{\bar{a}_3}{2} \right] > 0.$$

Les valeurs maximales de $\varepsilon_{NL}(m=-1)$ sur l'ensemble des solutions, sont traduites par le graphique ci-contre.



Une simulation sur l'aire d'ensemble montre l'évolution de l'écart de linéarité normalisé $\varepsilon_R(m=-1) = \bar{a}_2 - \bar{a}_3$ en fonction des valeurs \bar{a}_2 et \bar{a}_3 . L'image 3D ci dessous confirme que le lieu du maxima est situé sur l'hypoténuse du triangle.

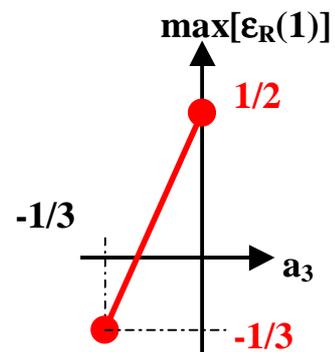


b) calcul de $\varepsilon_R(m=1)$

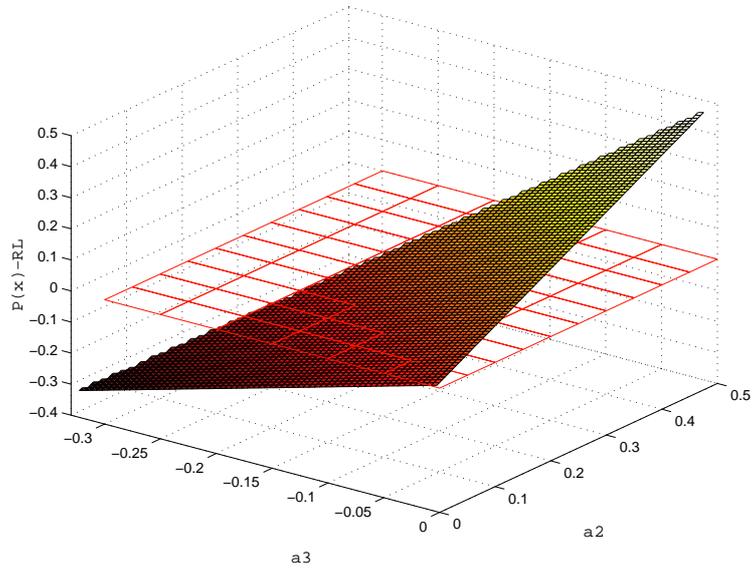
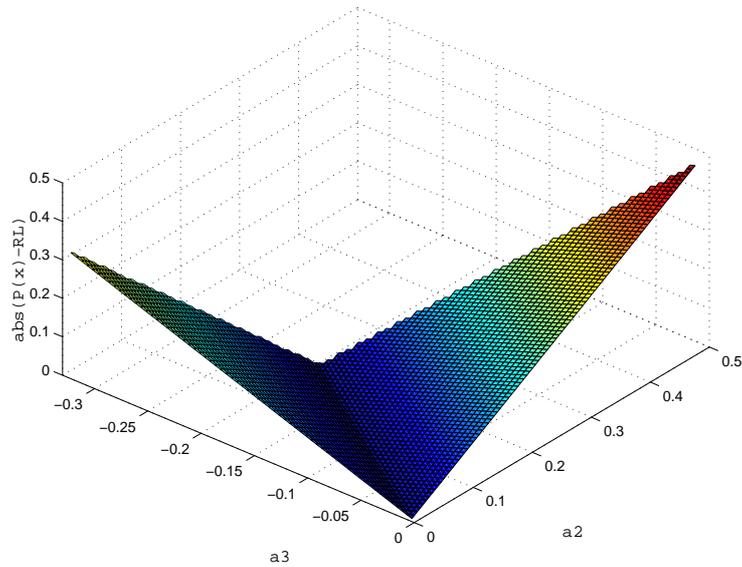
Au point $m=1$, on a donc : $\bar{a}_2 m^2 + \bar{a}_3 m^3 = \bar{a}_2 + \bar{a}_3$. Dans le cas généralisé, pour chaque valeur de \bar{a}_3 , il existe une valeur maximale de \bar{a}_2 donnée par $\hat{\bar{a}}_2 = \frac{1}{2} + \frac{3}{2}\bar{a}_3$. Or le maximum de la grandeur $|\varepsilon_R(m=1)|$ est obtenu justement pour cette valeur maximale de \bar{a}_2 , conduisant alors à l'expression suivante :

$$\varepsilon_R(+1) = \hat{\bar{a}}_2 + \bar{a}_3 < \max[\varepsilon_R(+1)] = \left[\frac{1}{2} + \frac{\bar{a}_3}{2} > 0 \right].$$

Les valeurs maximales de $\varepsilon_{NL}(m=1)$ sont traduites par le graphique ci-contre.



Ces valeurs maximales en fonction des coefficients sont confirmées par les simulations ci-dessous sur l'aire totale du triangle. On voit que l'écart devient négatif au passage de la ligne $\bar{a}_2 = -\bar{a}_3$ pour laquelle la racine de $\varepsilon_R(m)$ est unitaire.

écart de linéarité en $x=1$ Écart de linéarité réduite $\varepsilon_R(m)$ en $m=1$.Abs(écart de linéarité en $x=1$)Valeur absolue de l'écart de linéarité en $x=1$.

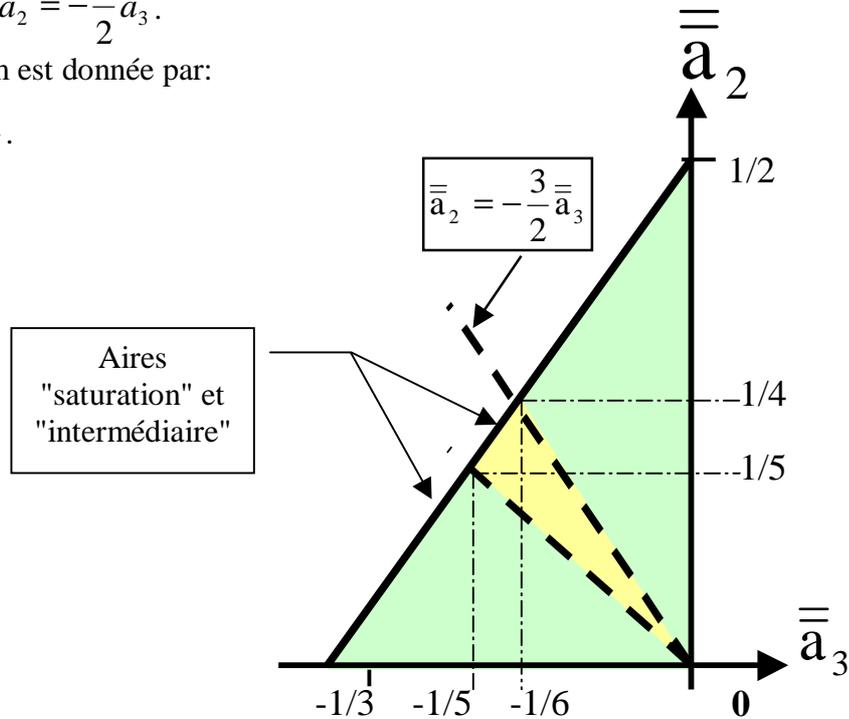
c) calcul de $\varepsilon_R(m=X_r)$

la grandeur $\varepsilon_R(m)$ ne présente un extremum dans l'intervalle d'entrée au point $m=X_r$, que pour un couple de coefficients (\bar{a}_2, \bar{a}_3) des classes Saturation et Intermédiaire. L'aire est donc

limitée par l'équation : $\bar{a}_2 = -\frac{3}{2}\bar{a}_3$.

La valeur de l'extremum est donnée par:

$$\varepsilon_{NL}(X_m) = \frac{4}{27} \cdot \frac{\bar{a}_2^3}{\bar{a}_3^2}.$$

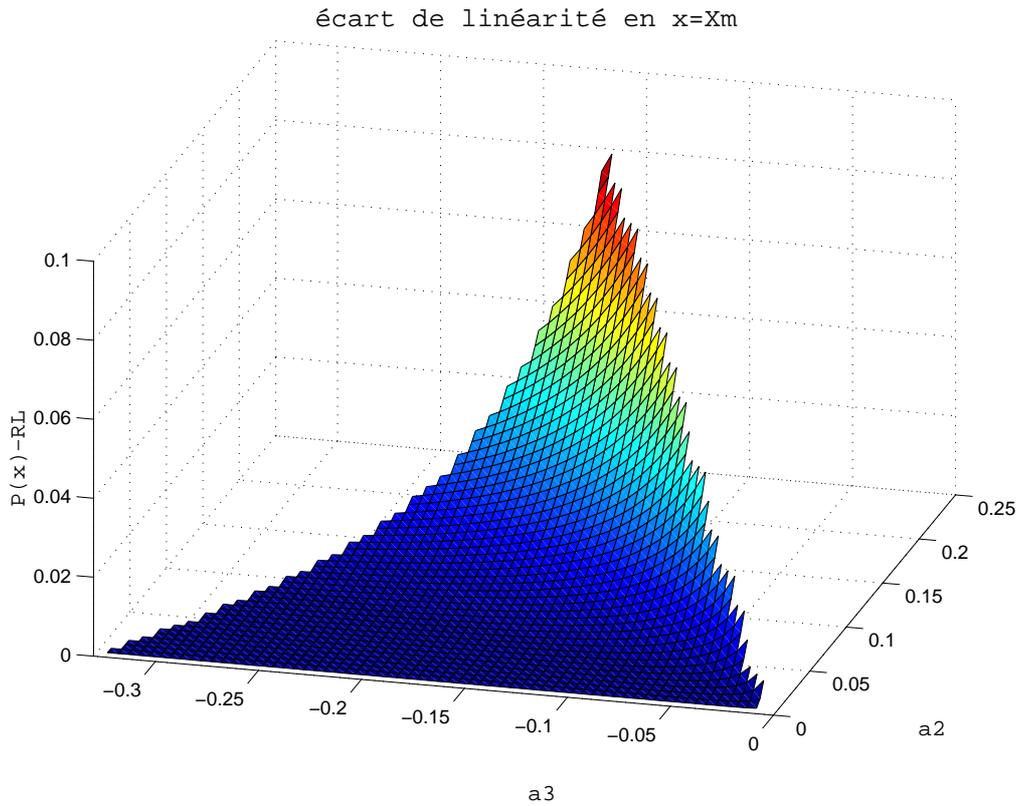


La dérivée de $\varepsilon_R(m=X_r)$ suivant \bar{a}_2 est strictement positive; par conséquent le maximum de $\varepsilon_R(X_r)$ s'obtiendra pour la valeur maximale de \bar{a}_2 . Le couple qui fixe la valeur maximale de $\varepsilon_R(X_r)$ est donc $\left(\bar{a}_2 = \frac{1}{4}, \bar{a}_3 = -\frac{1}{6}\right)$. Par suite ce maximum est donné par :

$$\max[\varepsilon_R(X_r)] = \frac{4 \cdot [1/4]^3}{27 \cdot [-1/6]^2} = \frac{1}{12} > 0.$$

Cette valeur maximale en fonction des coefficients est confirmée par les simulations ci-dessous sur l'aire totale du triangle. On voit que $\varepsilon_R(x_r)$ est maximum pour le couple

$$\left(\bar{a}_2 = \frac{1}{4}, \bar{a}_3 = -\frac{1}{6}\right).$$



Synthétisons les résultats obtenus.

Pour le cas on aura les inégalité suivantes :

$$\begin{cases} |\varepsilon_R(+1)| > |\varepsilon_R(-1)| \\ |\varepsilon_R(+1)| > |\varepsilon_R(x_r)| \end{cases}$$

ce qui nous donne comme valeur maximale :

$$|\max[\varepsilon_R(m)]| = |\varepsilon_R(+1)| = \bar{a}_2 - \bar{a}_3 = \bar{a}_2 + |\bar{a}_3|$$

Finalement en revenant à l'erreur de linéarité on trouve :

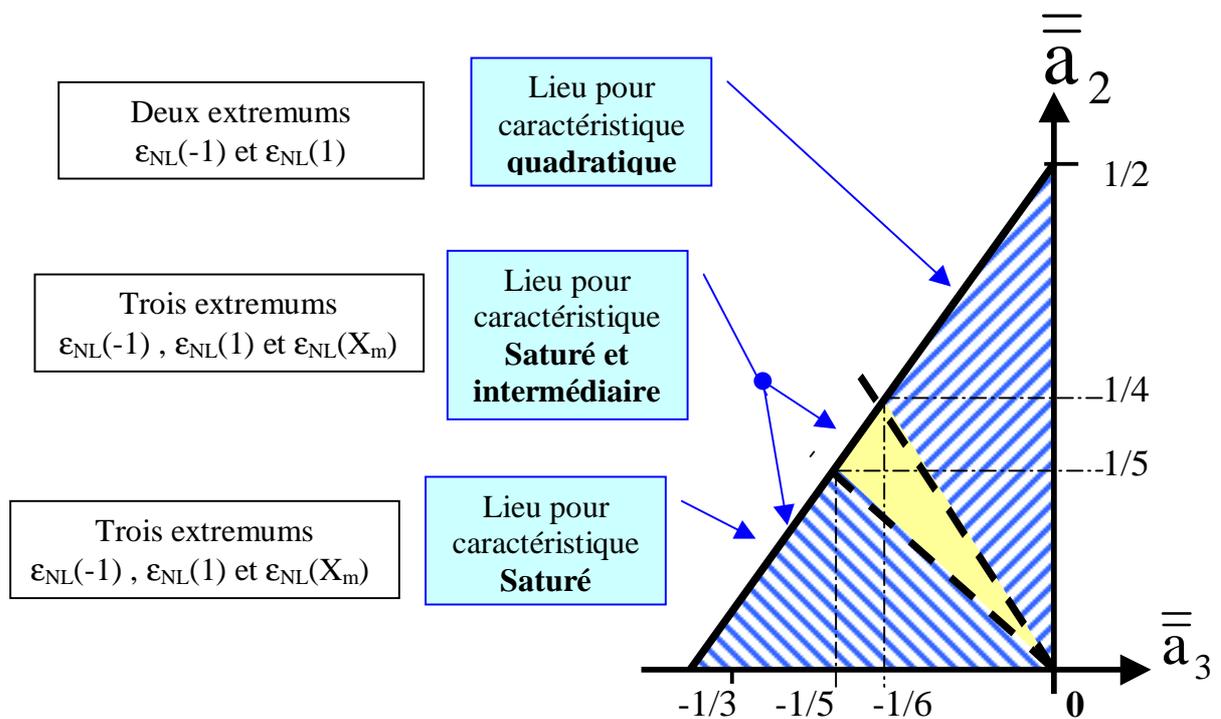
$$NL = \frac{\max|\varepsilon_{NL}(m)|}{2\bar{a}_1} = \frac{1}{2} \max|\varepsilon_R(m)| = \frac{1}{2} [\bar{a}_2 - \bar{a}_3] = \frac{1}{2} [\bar{a}_2 + |\bar{a}_3|] = \frac{1}{K \cdot 2^N}$$

en réintroduisant les coefficients de base on trouve :

$$NL = \frac{\bar{a}_2 - \bar{a}_3}{2\bar{a}_1} = \frac{2a_2 FS_i - a_3 FS_i^2}{8a_1} = \frac{1}{K \cdot 2^N}$$

avec le produit $a_1 \cdot FS_i = FS_{CAN}$ constant !

5. Résumé sur le maxima de $\varepsilon_{NL}(x)$



Dans le cas où X_m introduit un extremum on aura :

$$\max |\varepsilon_{NL}(X_m)| \leq a_1/12.$$

Pour l'extremum en $x = 1$ on aura :

$$\max |\varepsilon_{NL}(1)| \leq \max |\varepsilon_{NL}(-1)|$$

avec $\max |\varepsilon_{NL}(-1)| \in [a_1/3, a_1/2]$.

Par conséquent, on peut postuler que :

$$\max |\varepsilon_{NL}(x)| \leq \max |\varepsilon_{NL}(-1)|$$

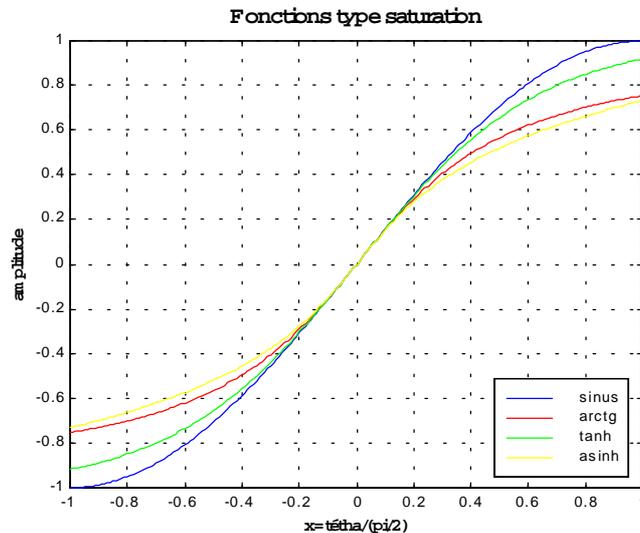
quel que soit le couple (a_2, a_3) !

On peut toutefois remarquer que $\max |\varepsilon_{NL}(1)| = \max |\varepsilon_{NL}(-1)|$ pour les deux cas suivants :

- $a_3 = 0$ (donc $a_2 = a_1/2$) : caractéristique purement quadratique
- $a_2 = 0$ ($a_3 = -a_1/3$) : caractéristique purement cubique.

Quelques cas simples de polynômes présentant des caractéristiques non linéaires de type saturation générale. Les polynômes les plus proche de la saturation « pure » sont les polynômes de type cubique, c'est à dire avec un coefficient a_2 nul.

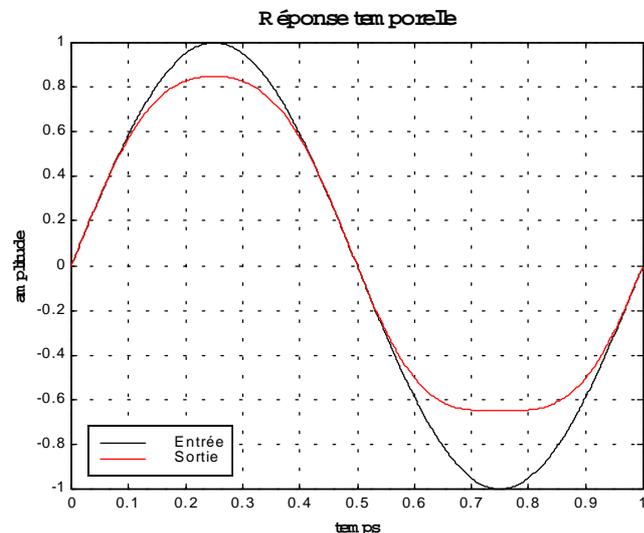
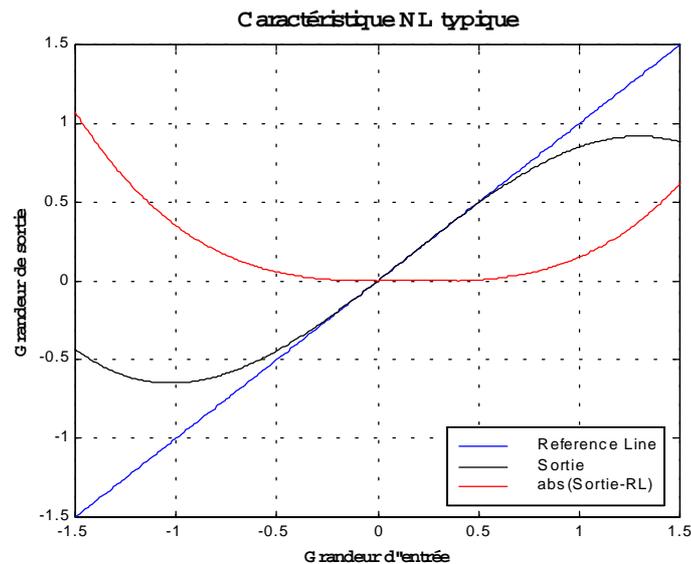
- $\text{Sinus}(\theta)$
- $2/\pi * \text{ArcTg}(\pi/2 * \theta)$
- $\text{Th}(\theta)$
- $1/\pi * \text{ArgSh}(\pi * \theta)$



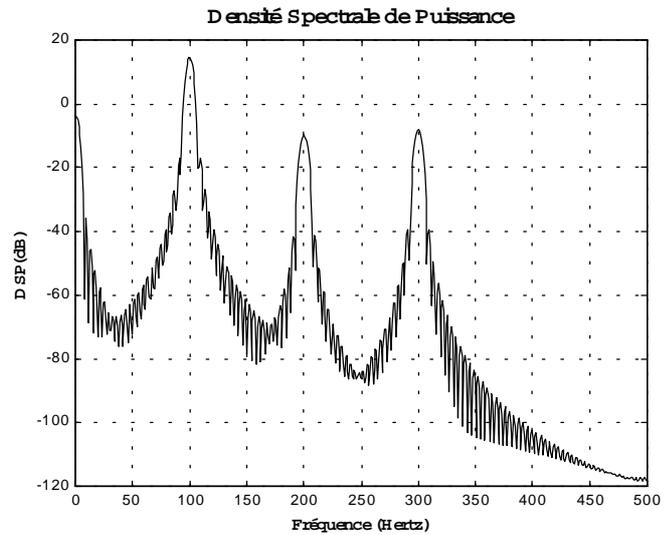
La figure ci-contre montre une caractéristique typique de type saturation avec un coefficient a_2 positif. Le polynôme ci dessous est donnée par : $P(x) = x + 0,1x^2 - 0,25x^3$; c'est à dire pour des coefficients $[a_1=1 ; a_2=0,1 ; a_3=-0,25]$. Une première vérification de la validité des coefficients impose : $1 > 2*0,1 - 3*(-0,25) > 0$; c'est à dire $1 > 0,95 > 0$. La seconde vérification porte sur la localisation des extremums et sur la monotonicité de la pente. Les extremums sont hors de l'intervalle $[-1,1]$, et la pente y est de signe constant.

La conséquence est alors la non symétrie de l'écart à la linéarité $\epsilon_{NL} = \text{Sortie} - \text{ReferenceLine}$. On peut montrer que $\max(\epsilon_{NL})$ est obtenu pour la grandeur $x=-1$.

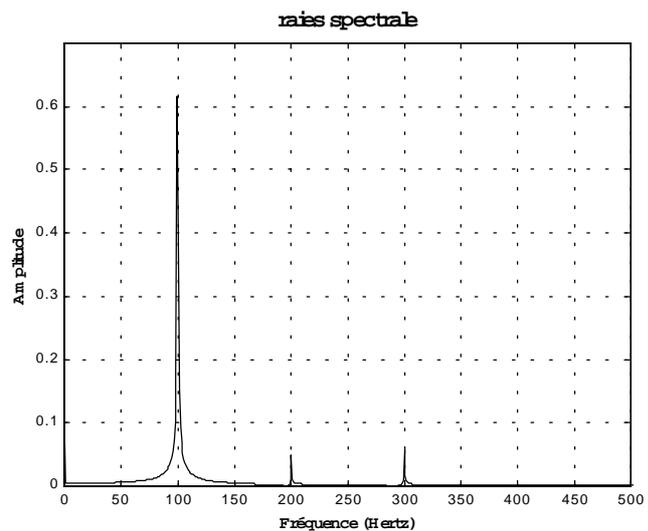
La figure ci-contre montre le tracé du signal d'entrée en noir et du signal de sortie en rouge. On y observe le phénomène de saturation inhérent à ce type de caractéristique.



Le spectre du signal de sortie fait apparaître la transposition d'une partie de l'énergie du signal du fondamentale (à 100Hz) vers les harmoniques. C'est l'énergie translatée sur les harmoniques qui constitue la puissance de bruit de non-linéarité P_{NL} .



La représentation des amplitudes sur une échelle linéaire fournit une vision plus qualitative du degré de non-linéarité de la caractéristique statique.



Annexe 3

Analyse des puissances dues à la non-linéarité.

Nous cherchons ici à donner une expression de la puissance liée à la non-linéarité de la cellule. Cette puissance peut être calculée selon deux approches différentes :

- Une approche déterministe basée sur le développement en série de Fourier d'un signal traversant la cellule. Le signal de sortie est donc obtenu par l'expression polynomiale de la caractéristique;
- une autre approche basée sur une analyse statistique de l'écart de linéarité. On évalue la densité de probabilité de la grandeur $\mathcal{E}_{NL}(m)$, puis on calcule le moment d'ordre 2 (Espérance mathématique de valeur quadratique moyenne).

1. Approche polynomiale déterministe de P_{NL}

On considère le dispositif décrit en annexe 1 par le polynôme $P(m)$ limité à l'ordre 3 :

$$S_{out} = \bar{a}_0 + \bar{a}_1 m + \bar{a}_2 m^2 + \bar{a}_3 m^3.$$

Plaçons notre analyse en régime harmonique avec comme variable d'entrée $m(t) = M \sin(\omega t)$. L'amplitude du signal s'inscrit donc dans l'intervalle $M \in [0, 1]$, coresponsable pour la variable S_i à l'intervalle $[0, FS_i/2]$.

Le signal de sortie peut donc être mis sous la forme :

$$S_{out} = \bar{a}_0 + \bar{a}_1 [M \sin(\omega t)] + \bar{a}_2 [M \sin(\omega t)]^2 + \bar{a}_3 [M \sin(\omega t)]^3 + \dots + \bar{a}_n [M \sin(\omega t)]^n.$$

Après développement limité à l'ordre 3 de cette équation, on trouve les expressions des amplitudes des divers harmoniques : $S_{out} = \hat{S}_0 + \hat{S}_1 \sin(\omega t) - \hat{S}_2 \cos(2\omega t) - \hat{S}_3 \sin(3\omega t)$

$$\text{Avec les composantes harmoniques données par : } \left\{ \begin{array}{l} \hat{S}_0 = \left(\bar{a}_0 + \frac{\bar{a}_2 M^2}{2} \right) \\ \hat{S}_1 = \left(\bar{a}_1 M + \frac{3\bar{a}_3 M^3}{4} \right) \\ \hat{S}_2 = \frac{\bar{a}_2 M^2}{2} \\ \hat{S}_3 = \frac{\bar{a}_3 M^3}{4} \end{array} \right.$$

La puissance associée à ce signal est alors exprimée par la demi somme quadratiques des

$$\text{amplitudes de chaque harmonique : } P_{Sout} = \hat{S}_0^2 + \frac{\hat{S}_1^2}{2} + \frac{\hat{S}_2^2}{2} + \frac{\hat{S}_3^2}{2}.$$

Cette puissance peut être décomposée en trois termes différents :

- Un terme présentant la puissance statique P_{Stat} qui traduit le décalage de la valeur moyenne du signal de sortie lorsque la caractéristique n'est plus parfaitement symétrique :

$$P_{Stat} = \hat{S}_0^2 = \left[\bar{a}_0 + \frac{\bar{a}_2 M^2}{2} \right]^2.$$

- Un terme lié au signal d'entrée, c'est le fondamental du signal de sortie P_{Fond} :

$$P_{Fond} = \frac{\hat{S}_1^2}{2} = \frac{1}{2} \left[\frac{4\bar{a}_1 M + 3\bar{a}_3 M^3}{4} \right]^2.$$

Un dernier terme traduisant l'effet de la non-linéarité de la caractéristique P_{NL3} ;[remarque: l'indice 3 signifie que le développement des calculs a été limité à l'ordre 3] :

$$P_{NL3} = \frac{\hat{S}_2^2}{2} + \frac{\hat{S}_3^2}{2} = \frac{M^4}{32} [4\bar{a}_2^2 + \bar{a}_3 M^2].$$

Il nous faut maintenant introduire l'objectif de précision imposé à l'erreur de linéarité selon le résultat de l'annexe 2 :

$$NL = \frac{\bar{a}_2 - \bar{a}_3}{2\bar{a}_1} = \frac{1}{K \cdot 2^N}$$

$$\bar{a}_2 - \bar{a}_3 = \frac{2\bar{a}_1}{K \cdot 2^N} = \frac{q}{K}.$$

L'hypothèse selon laquelle $q/K \ll 1$ est rarement mise en défaut dans un système réel. Nous le considérons donc vérifié dans tous les cas de figures pour les systèmes intégrés. De l'hypothèse précédente il vient donc : $(\bar{a}_2 - \bar{a}_3)^2 \ll 1$.

En développant ce résultat, on trouve l'inégalité suivante :

$$\bar{a}_2^2 + \bar{a}_3^2 \leq \left(\frac{q}{K} \right)^2 + 2\bar{a}_2\bar{a}_3 \leq \left(\frac{q}{K} \right)^2.$$

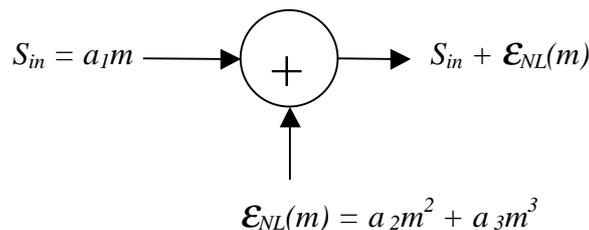
La majoration de cette expression permet donc de borner le terme de puissance de non-linéarité P_{NL3} . Le maximum de puissance est obtenu pour le maximum de signal, par

conséquent on trouve : $\max[P_{NL3}(M)] = P_{NL3}(1) = \hat{P}_{NL3} \leq \frac{1}{2} \left(\frac{q}{2K} \right)^2$.

La forme finale est donc : $\hat{P}_{NL3} \leq \frac{q^2}{8K^2}$.

2. Détermination de la puissance liée à la non-linéarité par approche statistique

On peut modéliser la cellule par le schéma bloc suivant:



Il en découle que le signal de sortie peut alors être approché par : $S_{out} = \bar{a}_1 m + \bar{a}_2 m^2 + \bar{a}_3 m^3$.

Si l'on postule que le signal d'erreur $\mathcal{E}_{NL}(m)$ est indépendant du signal d'entrée, alors on peut exprimer la puissance du signal de sortie par : $P_{Sout} = P_{Sin} + P_{NL}$.

Il en découle que la puissance attribuée à la non-linéarité est donnée par :

$$P_{NL} = E\{\mathcal{E}_{NL}^2\} = \int_{-\infty}^{+\infty} \mathcal{E}_{NL}^2 \cdot p_{\mathcal{E}} \cdot d\mathcal{E}, \text{ où } E\{\mathcal{E}_{NL}\} \text{ est la fonction espérance mathématique}$$

Pour évaluer cette grandeur il nous faut évaluer la densité de probabilité $p_{\mathcal{E}}$ de la grandeur $\mathcal{E}_{NL}(m)$, puis on calcule le moment d'ordre 2 (espérance mathématique de valeur quadratique moyenne). On va donc évaluer la densité de probabilité pour une fonction d'écart de type carré $\mathcal{E}_{NL}(m) = a_2 m^2$ en considérant deux cas de figures pour la densité de probabilité de la variable m :

- Cas d'une densité de probabilité uniforme
- Cas d'une densité de probabilité non uniforme

On rappelle ici la loi de transformation d'une densité de probabilité :

$$p_y(y) = |J| \cdot p_x[x = f^{-1}(y)]$$

avec $J = \frac{\partial x}{\partial y}$ le Jacobien de la transformation [Coulom84].

Cas d'une densité de probabilité uniforme :

La variable $m \in [-M, M]$ avec une densité de probabilité uniforme donnée par : $p_m = 1/2M$. La variable \mathcal{E}_{NL} aura donc une densité de probabilité $p_{\mathcal{E}}$ donnée par :

$$p_{\mathcal{E}}(\mathcal{E}_{NL}) = \frac{1}{2M \sqrt{\bar{a}_2 \mathcal{E}_{NL}}}$$

Il vient alors en calculant le moment d'ordre 2 de \mathcal{E}_{NL} :

$$P_{NLa} = \frac{1}{5} [\bar{a}_2 M^2]^2$$

Cas d'une densité de probabilité non uniforme :

La variable m possède cette fois-ci une densité de probabilité égale à la distribution des amplitudes d'un signal sinusoïdal ; elle est donnée par :

$$p_m(m) = \frac{1}{\pi \sqrt{M^2 - m^2}}$$

La variable \mathcal{E}_{NL} aura donc une densité de probabilité $p_{\mathcal{E}}$ donnée par :

$$p_{\mathcal{E}}(\mathcal{E}_{NL}) = \frac{1}{\sqrt{\bar{a}_2 \mathcal{E}_{NL}}} \cdot \frac{1}{\pi \sqrt{M^2 - \frac{\mathcal{E}_{NL}}{\bar{a}_2}}}$$

Il vient alors en calculant le moment d'ordre 2 de ε_{NL} :

$$P_{NLb} = \frac{3}{8} [\bar{a}_2 M^2]^2.$$

On peut remarquer que l'écart de linéarité maximal est $\max[\varepsilon_{NL}] = \varepsilon_{NL}(M) = \hat{\varepsilon}_{NL} = \bar{a}_2 M^2$.

Dans ce cas on peut réexprimer les deux puissances calculées ci-dessus :

$$P_{NLa} = \frac{1}{5} (\hat{\varepsilon}_{NL})^2$$

$$P_{NLb} = \frac{3}{8} (\hat{\varepsilon}_{NL})^2.$$

Comparaison des divers résultats

Pour le cas déterministe, en posant $\hat{\varepsilon}_{NL} = \bar{a}_2 - \bar{a}_3 = \frac{q}{K}$, nous avons trouvé :

$$P_{NL3} \leq \frac{q^2}{8K^2} = \frac{3}{2} \frac{P_{bq}}{K^2}$$

où P_{bq} est la puissance de bruit de quantification introduite par le convertisseur.

Pour le cas statistique, en posant $\hat{\varepsilon}_{NL} = \bar{a}_2 = \frac{q}{K}$, nous avons trouvé :

$$P_{NLa} = \frac{q^2}{5K^2} = \frac{12}{5} \frac{P_{bq}}{K^2}$$

$$P_{NLb} = \frac{3}{8} \frac{q^2}{K^2} = \frac{9}{2} \frac{P_{bq}}{K^2}.$$

Pour le cas particulier $K=2$ qui guide notre étude, nous trouvons finalement :

$$P_{NLa} \leq 0,6 \cdot P_{bq}$$

$$P_{NLb} \leq 1,125 \cdot P_{bq}.$$

$$P_{NL3} \leq 0,375 \cdot P_{bq}$$

3. Analyse du Taux de Distorsion Harmonique

Comme pour la détermination de la puissance liée à la non linéarité, le dispositif est ici encore excité par un signal sinusoïdal en entrée avec la variable normalisée $m(t) = M \sin(\omega t)$ où M est réduit à l'intervalle [0,1]. On peut rappeler ici les expressions du signal de sortie et les puissances associées.

Le signal de sortie est donné par : $S_{out} = \bar{a}_0 + \bar{a}_1 m + \bar{a}_2 m^2 + \bar{a}_3 m^3$.

Soit encore après développement : $S_{out} = \hat{S}_0 + \hat{S}_1 \sin(\omega t) - \hat{S}_2 \cos(2\omega t) - \hat{S}_3 \sin(3\omega t)$.

La puissance du fondamental s'écrit alors : $P_{Fond} = \frac{\hat{S}_1^2}{2} = \frac{M^2}{32} [4\bar{a}_1 + 3\bar{a}_3 M^2]^2$.

La puissance liée à la non-linéarité est alors : $P_{NL3} = \frac{\hat{S}_2^2}{2} + \frac{\hat{S}_3^2}{2} = \frac{M^4}{32} [4\bar{a}_2^2 + \bar{a}_3^2 M^2]$.

Par définition, on introduit le rapport de la puissance de non-linéarité à la puissance du fondamental que l'on appelle le Taux de Distorsion Harmonique TDH . Il vient alors :

$$TDH_3^2 = \frac{P_{NL3}}{P_{Fond}} = M^2 \frac{4\bar{a}_2^2 + \bar{a}_3^2 M^2}{(4\bar{a}_1 + 3\bar{a}_3 M^2)^2} = M^2 \frac{4\bar{a}_2^2 + \bar{a}_3^2 M^2}{(4 + 3\bar{a}_3 M^2)^2}.$$

C'est une grandeur sans dimension comme le témoigne le dernier terme de l'expression ci dessus. D'autre part la grandeur TDH est fonction de l'amplitude M du signal d'entrée. Tout comme le rapport signal à bruit qui sera développé à l'annexe 4, on peut déterminer son pire cas pour un signal d'entrée maximum : $M=1$. Il vient alors :

$$TDH_{3Max}^2 = \frac{4\bar{a}_2^2 + \bar{a}_3^2}{(4 + 3\bar{a}_3)^2}.$$

Approche petit signal :

Mais l'on peut aussi faire une autre lecture du comportement harmonique de la cellule. Dans une approche petit signal, on posera que l'amplitude du signal d'entrée reste très faible afin de n'exploiter que la partie linéaire de la caractéristique. Le terme M restera donc très faible ($M \ll 1$) et des simplifications peuvent être introduites :

$$P_{Fond} \approx P_{Fond0} = \frac{1}{2} [\bar{a}_1 M]^2 = \bar{a}_1^2 \frac{M^2}{2}$$

$$P_{NL3} \approx P_{NL30} = \frac{\bar{a}_2^2 M^4}{8}.$$

Il vient alors pour l'expression du taux de distorsion harmonique :

$$TDH_3^2 \approx TDH_{30}^2 = \left(\frac{\bar{a}_2}{\bar{a}_1} \right)^2 \frac{M^2}{4} = \bar{a}_2^2 \frac{M^2}{4}.$$

☞ Remarque:

Dans certains ouvrages, les auteurs apportent une simplification qu'au terme fondamental; ce qui conduit donc à un résultat intermédiaire pour le taux de distorsion harmonique :

$$TDH_3^2 = \frac{P_{NL3}}{P_{Fond}} \approx \frac{M^2}{16} \left(\frac{4\bar{a}_2^2 + M^2 \bar{a}_3^2}{\bar{a}_1^2} \right) = \frac{M^2}{16} (4\bar{a}_2^2 + M^2 \bar{a}_3^2).$$

Expression dont on peut calculer la valeur maximale pour $M = 1$ (quoique limite par rapport à l'hypothèse posée) :

$$TDH_{3Max}^2 \approx \frac{\bar{a}_2^2}{4} + \frac{\bar{a}_3^2}{16}.$$

La même approche petit signal peut alors utilisée l'expression de la puissance liée à la non-linéarité obtenue par l'approche statistique. Il faut se rappeler que cette dernière a été limitée à une caractéristique du second ordre (caractéristique quadratique). En rappelant la variable $\max[\varepsilon_{NL}] = \varepsilon_{NL}(M) = \hat{\varepsilon}_{NL} = \bar{a}_2 M^2$, il vient alors pour les termes de puissances selon les deux cas envisagés au paragraphe précédent :

$$P_{NLa} = \frac{1}{5} (\hat{\varepsilon}_{NL})^2 = \frac{1}{5} \bar{a}_2^2 M^4$$

$$P_{NLb} = \frac{3}{8} (\hat{\varepsilon}_{NL})^2 = \frac{3}{8} \bar{a}_2^2 M^4.$$

Finalement pour des régimes harmoniques de faibles amplitudes, on aura trois termes équivalents pour traduire la distorsion harmonique :

$$TDH_a^2 \approx \frac{2}{5} \bar{a}_2^2 M^2$$

$$TDH_b^2 \approx \frac{3}{4} \bar{a}_2^2 M^2 .$$

$$TDH_{30}^2 \approx \frac{1}{4} \bar{a}_2^2 M^2$$

Discussion générale :

- On rappelle que les coefficients réduits vérifient ces inégalité s:
$$\begin{cases} 0 \leq \bar{a}_2 \leq \frac{1}{2} \\ -\frac{1}{2} \leq \bar{a}_3 \leq 0 \end{cases}$$
- Pour des signaux de faibles amplitudes, on constate que l'erreur quadratique est dominante. Cela justifie aussi le choix fait pour déterminer la puissance liée à la non-linéarité en approche statistique.
- Le cas particulier de caractéristiques **purement cubiques** permet de conserver au signal de sortie une symétrie de glissement (la somme de fonctions impaires reste une fonction impaire). Cette particularité se traduit dans la décomposition en série de Fourier par l'absence de termes harmoniques de rang pair. Le terme *TDH* devient alors :
$$TDH_{3Max}^2 = \frac{\bar{a}_3^2}{(4 + 3\bar{a}_3)^2} = \left(\frac{\bar{a}_3}{4 + 3\bar{a}_3} \right)^2 .$$
- Dans le cas particulier de caractéristiques **purement quadratiques**, le signal de sortie ne conserve aucune symétrie. Cela se traduit dans la décomposition en série de Fourier par l'absence de termes harmoniques de rang impair. Le terme *TDH* devient alors :
$$TDH_{3Max}^2 = \left(\frac{\bar{a}_2}{2} \right)^2 .$$
- Le cas des caractéristiques avec un coefficient a_2 non nul présente des discontinuités dans le signal. Par conséquent les termes harmoniques auront des valeurs élevées. C'est donc le cas le plus défavorable des deux. Cette affirmation peut être vérifiée en calculant la FFT des deux caractéristiques normalisée suivantes : $m+1/3m^2$ et $m-1/3m^3$.
- On peut aussi remarquer que le coefficient a_1 agit au dénominateur de l'expression de la *TDH*. Par conséquent une valeur de a_1 supérieure à l'unité est plutôt favorable, alors qu'une valeur inférieure à l'unité est plutôt défavorable.

Annexe 4

Analyse du rapport Signal à Bruit.

Rappelons les expressions liées au signal d'entrée. La puissance réelle du signal d'entrée est donnée par : $P_{Sin}(S_{in}) = \frac{\hat{S}_{in}^2}{2}$. Cette puissance, fonction de l'amplitude, atteint sa valeur maximale pour l'amplitude maximale autorisée, c'est à dire :

$$\max P_{Sin}(S_{in}) = \hat{P}_{Sin} = \frac{1}{2} \left(\frac{FS_i}{2} \right)^2 = \frac{FS_i^2}{8}.$$

Il faut se rappeler la relation entre l'amplitude du signal réel et celle de la variable d'entrée normalisée : $\hat{S}_{in} = M \cdot \frac{FS_i}{2}$.

Il en découle une relation fondamentale : $P_{Sin}(S_{in}) = \frac{M^2}{2} \cdot \left(\frac{FS_i}{2} \right)^2 = M^2 \cdot \hat{P}_{Sin}$.

Comme nous l'avons déjà montré en annexe 3, la puissance totale en sortie peut être représentée comme la somme de deux termes de puissances : la puissance du signal traversant un système linéaire de gain a_1 et la puissance additionnelle introduite par la non-linéarité.

La puissance du signal de sortie dans le cas linéaire correspond à la puissance du fondamental dans le cas général : $P_{Fond} = a_1^2 P_{Fond} = a_1^2 \frac{M^2}{2} \cdot \left(\frac{FS_i}{2} \right)^2 = \bar{a}_1^2 \frac{M^2}{2} = a_1^2 M^2 \cdot \hat{P}_{Sin}$. C'est donc aussi la puissance en entrée du convertisseur CAN.

La puissance totale en sortie peut alors être donnée par : $P_{Sout} = P_{Fond} + P_{NL}$.

L'expression liée au bruit de quantification est rappelée ci-dessous :

$$P_{Bq} = \frac{q^2}{12} = \frac{FS_{CONV}^2}{12 \cdot 2^{2N}}.$$

Il vient un premier rapport signal à bruit qui est le rapport S/N idéal, c'est à dire sans adjonction de bruit supplémentaire. Il est calculé en sortie de la cellule et en entrée du convertisseur.

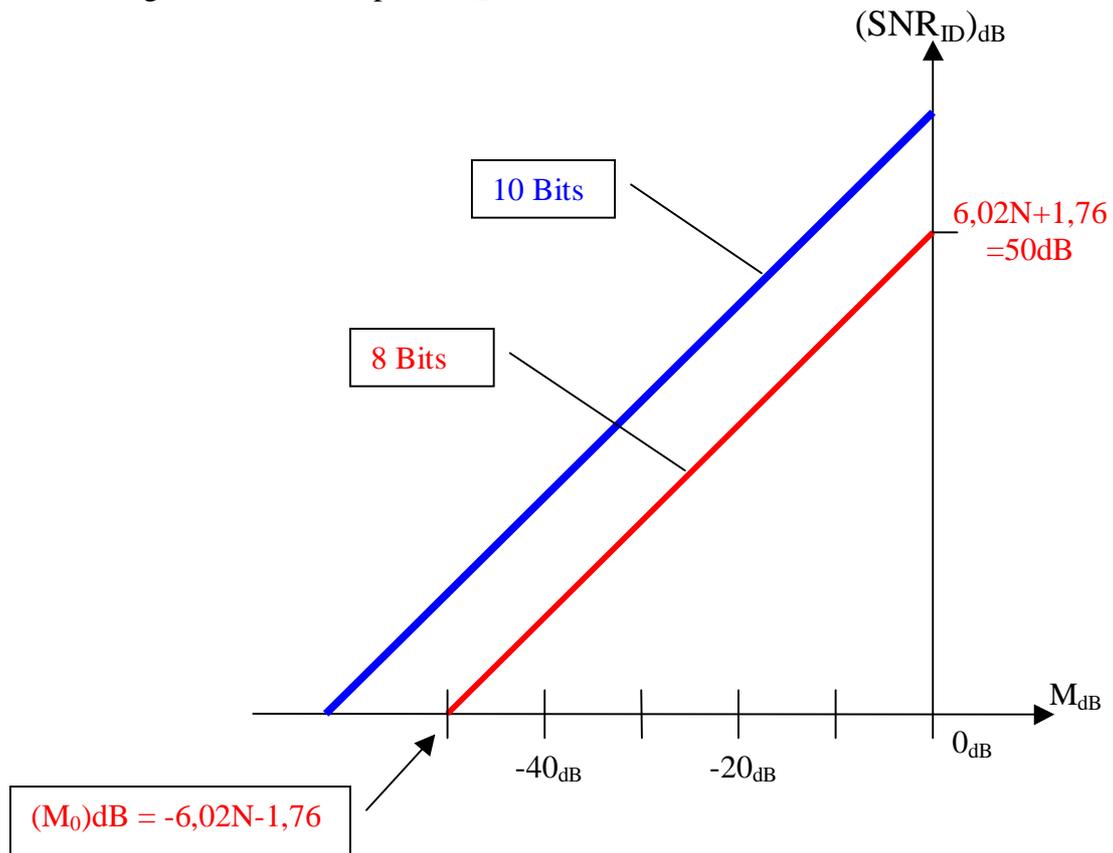
$$SNR_{ID} = \frac{P_{Fond}}{P_{Bq}} = M^2 \frac{3}{2} 2^{2N}.$$

Ce rapport peut aussi être calculé en entrée de la cellule à condition de calculer la puissance de bruit de quantification ramenée en entrée de la cellule.

Le rapport signal à bruit est donc fonction de l'amplitude du signal d'entrée. Son expression en dB est donnée par : $[SNR_{ID}]_{dB} = 10 \log \left(\frac{P_{Fond}}{P_{Bq}} \right) = 20 \log M + (6,02N + 1,76)$ où $M \in [0, 1]$.

Le rapport signal à bruit est une grandeur sans dimension. On doit donc poser arbitrairement une valeur de référence pour l'un des signaux. On choisit traditionnellement de prendre comme référence de puissance la puissance maximale du signal en entrée; c'est à dire lorsque $M=1$.

On peut visualiser le rapport SNR dans le cas idéal (sans non-linéarité) en fonction de la puissance du signal d'entrée. On compte donc la puissance par rapport à la puissance maximale du signal obtenu alors pour $M_{dB}=0$.



On peut remarquer que la valeur maximale du rapport signal à bruit est donnée par la formule classique : $6,02N + 1,76$. On peut aussi trouver la puissance du signal d'entrée pour lequel le rapport signal à bruit vaut 1; elle est donnée par le point d'intersection de la droite par l'abscisse : $(M_0)_{dB}$.

Annexe 5

Définitions de la non-linéarité *NL*.

Il existe au moins trois définitions pour déterminer l'erreur de non-linéarité. Chacune à ses avantages et ses inconvénients. Celle que nous retiendrons devra nous permettre une comparaison avec le polynôme $p(x) = a_0 + a_1x + a_2x^2 + a_3x^3$.

Nous allons analyser ces trois définitions :

1. Définition « instrumentale »

Elle vise à traiter les données sans corrélation avec la forme analytique de la caractérisation. Sur l'ensemble des **données de mesure**, on cherche la droite de régression selon les moindres carrés. Cette droite $g_1(x) = \alpha_0 + \alpha_1x$ réduit au maximum l'écart $\varepsilon_1 = f(x) - g_1(x)$ sur toute l'étendue de mesure (avec $f(x)$ la caractéristique des données de mesure). La définition de l'erreur de linéarité est alors donnée par la relation :

$$NL_1 = \frac{\max|\varepsilon_1|}{Y_M - Y_m}$$

où Y_M et Y_m sont respectivement les valeurs maximale et minimale de la caractéristique $f(x)$ de mesure :

$$\begin{cases} Y_M = f(x_M) \\ Y_m = f(x_m) \end{cases}$$

On remarquera que dans ce cas on n'aura pas (sauf exception rare) :

$$\begin{cases} [Y_M = f(x_M)] = g_1(x_M) \\ [Y_m = f(x_m)] = g_1(x_m) \end{cases}$$

Mais dans beaucoup de cas on accepte cette égalité d'où :

$$NL_1 \cong \frac{\max|\varepsilon_1|}{g_1(x_M) - g_1(x_m)} = \frac{\max|\varepsilon_1|}{\alpha_1(x_M - x_m)} = \frac{\max|\varepsilon_1|}{\alpha_1 FS(x)}$$

avec $FS(x) = x_M - x_m$ l'étendue de mesure pour x , FULL SCALE sur x .

2. Définition pour « convertisseur »

Comme pour la définition précédente, elle ne cherche pas à corréler les données avec la forme littérale de la caractéristique.

Dans cette démarche, on définit la droite de référence $g_2(x)$ telle qu'elle relie les deux points extrêmes de la caractéristique de mesure :

$$\begin{cases} g_2(x_M) = Y_M \\ g_2(x_m) = Y_m \end{cases}$$
 par définition. On aura alors $g_2(x) = \beta_0 + \beta_1 x$. On en déduit immédiatement la définition de la non-linéarité :

$$NL_2 \equiv \frac{\max|\varepsilon_2|}{Y_M - Y_m} = \frac{\max|\varepsilon_2|}{\beta_1 FS(x)}$$

avec $\varepsilon_2 = f(x) - g_2(x)$.

3. Définition « polynomiale »

Cette définition est spécifiquement développée afin de corrélérer les données de mesure avec les données théoriques de l'expression polynomiale $p(x)$.

La droite de régression est donc choisie de manière à se rapprocher de la tangente à l'origine :

$$g_3(x) \rightarrow a_0 + a_1 x.$$

Dans la mesure où l'on considère un polynôme au voisinage de l'origine, on peut montrer que :

$$\lim_{x \rightarrow 0^+} p(x) \cong a_0 + a_1 x.$$

La corrélation entre la mesure et le polynôme devient immédiate. On peut alors définir :

$$NL_3 = \frac{\max|a_2 x^2 + a_3 x^3|}{g_3(x_M) - g_3(x_m)} = \frac{\max|a_2 x^2 + a_3 x^3|}{a_1 FS(x)}.$$

Cette définition implique (pour une bonne exploitation) que la caractéristique $f(x)$ soit continue et faiblement non-linéaire au voisinage de 0.

De plus, cette méthode est très sensible aux valeurs \tilde{a}_0 et \tilde{a}_1 estimées. Toute erreur sur a_0 se

reporte sur

$$\varepsilon_3 = f(x) - g_3(x)$$

$$\varepsilon_3 = (a_0 - \tilde{a}_0) + a_2 x^2 + a_3 x^3 \quad !!$$

☞ Remarque :

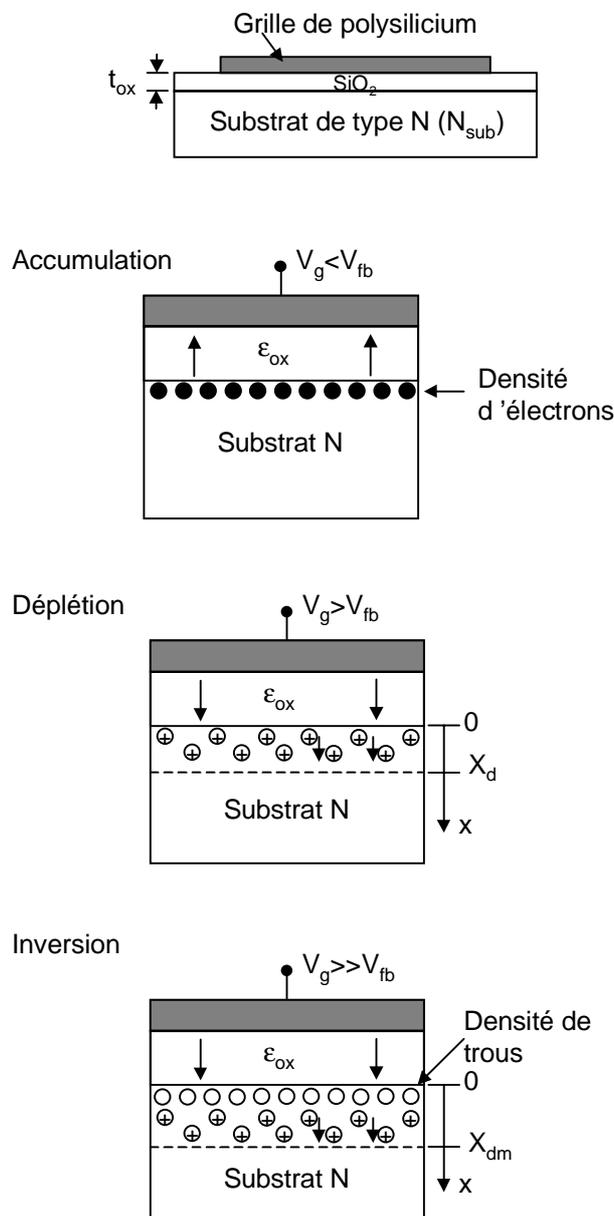
Les deux premières définitions n'imposent pas de pré traitement des données, elles sont applicables systématiquement (c'est leur avantage). La définition polynomiale impose une sélection de la meilleure droite de référence, c'est une étude au cas par cas (c'est son inconvénient).

Annexe 6

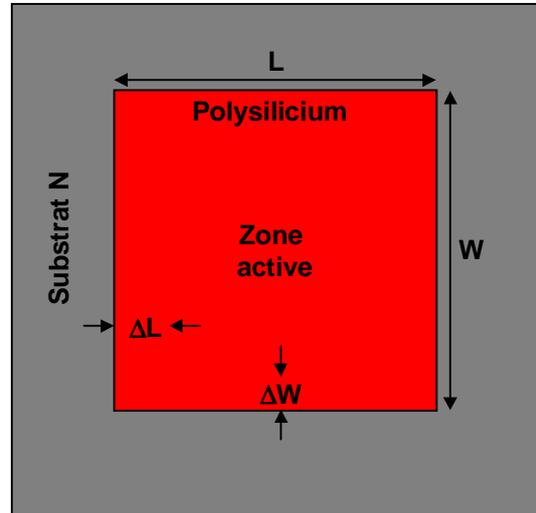
Modélisation de la non-linéarité de la capacité intégrée

Dans cette annexe, nous détaillons le modèle de la capacité Nwell-polysilicium donné par le fondeur STMicroelectronics. La capacité est une capacité MOS dans un substrat N. Ce modèle haute fréquence tient compte des trois régimes de fonctionnement, accumulation, déplétion et inversion.

Nous répertorions dans la suite de l'annexe, les paramètres utilisés dans le modèle mathématique de la capacité.



La figure ci-dessous représente la capacité dans les trois modes de fonctionnement. La tension V_{fb} représente la tension de bandes plates.



La surface AREA de la capacité est donnée par la relation (cf. figure ci-dessus)

$$AREA = (W - 2\Delta W)(L - 2\Delta L)$$

où W et L sont respectivement la largeur et la longueur de grille dessinées du transistor. ΔW et ΔL représentent la différence, respectivement, entre la largeur (longueur) de grille effective et la largeur (longueur) de grille dessinée

Le périmètre PERI est représentée par la relation :

$$PERI = 2 * [(W - 2\Delta W) + (L - 2\Delta L)]$$

On pose C_{MAX} la valeur de la capacité d'oxyde (C_{ox}) :

$$C_{MAX} = \frac{\epsilon_{ox}}{t_{ox}} \cdot AREA$$

avec ϵ_{ox} la constante diélectrique de l'oxyde (SiO_2) et t_{ox} l'épaisseur d'oxyde.

On définit la longueur de Debye LD :

$$LD = \sqrt{\frac{\epsilon_{Si} kT}{q^2 N_{SUB}}}$$

Si on définit $CFBS$ la capacité de bande-plate par la relation :

$$CFBS = \frac{\epsilon_{Si}}{LD} \cdot AREA$$

On peut exprimer la capacité dans le régime de bandes plates CFB sous la forme :

$$CFB = \frac{C_{MAX} \cdot C_{FBS}}{C_{MAX} + C_{FBS}}$$

En posant X_{DM} l'extension maximale en profondeur de la zone de déplétion (cf. figure):

$$X_{DM} = \sqrt{\frac{2\epsilon_{Si}\Phi}{qN_{SUB}}}$$

avec

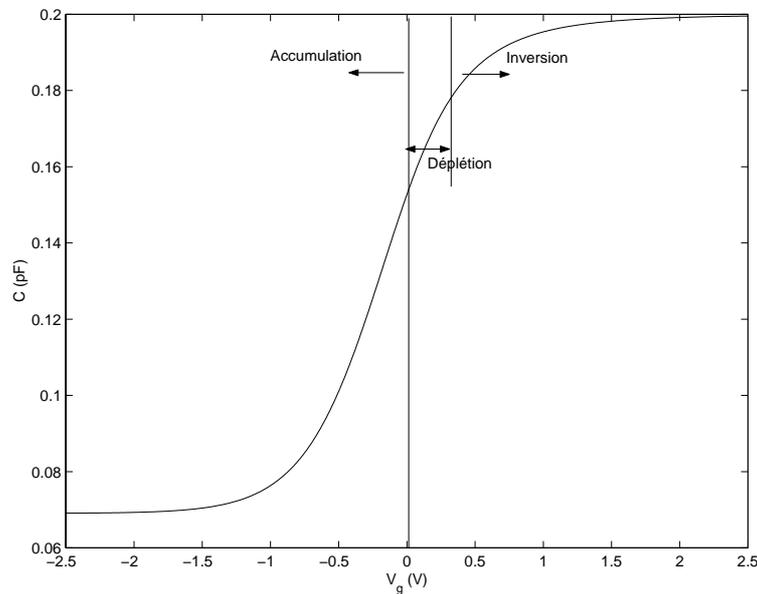
$\Phi = 2 \cdot \frac{kT}{q} \cdot \log \frac{N_{SUB}}{n_i}$ le potentiel de Fermi, N_{sub} le dopage du caisson N et n_i la concentration intrinsèque des porteurs.

On exprime alors la valeur de la capacité de déplétion CDEP par :

$$C_{DEP} = \frac{\epsilon_{Si}}{X_{DM}} \cdot AREA$$

On détermine la capacité en régime d'inversion C_{MIN} (C_{MAX} en série avec CDEP) par la relation :

$$C_{MIN} = \frac{C_{MAX} \cdot C_{DEP}}{C_{MAX} + C_{DEP}}$$



La figure ci-dessus a été tracée à partir de la relation donnée ci-dessous issue du modèle fourni par le fondeur STMicroelectronics. Cette formule est issue d'un « best-fit » :

$$C_{mem} = C_{peri} + C_{MIN} + \frac{C_{MAX} - C_{MIN}}{1 + \frac{(C_{MAX} - C_{FB})}{(C_{FB} - C_{MIN})} \exp \left[\frac{-(v_{in} - V_{FB})}{SL1 + 0.5SL2(v_g - V_{FB}) + 0.5\sqrt{(SL2(v_g - V_{FB})^2 + EPS^2}} \right]}$$

Annexe 7

Détermination de l'expression de la tension aux bornes de la capacité lors de sa charge.

On rappelle l'équation du courant de drain du transistor lorsqu'il fonctionne en régime linéaire :

$$i_{DS} = \frac{\beta}{2} [2(v_{GS} - v_{th})v_{DS} - v_{DS}^2] \quad (1)$$

D'après la figure II-11, on a la relation :

$$C_{mem} \frac{dv_{mem}}{dt} - i_{DS} = 0 \quad (2)$$

En posant $\beta' = \frac{\beta}{2}$ et en remplaçant i_{DS} par son expression (relation 1) dans (2) on obtient :

$$C_{mem} \frac{dv_{mem}}{dt} - \beta' [2(v_{GS} - v_{th})v_{DS} - v_{DS}^2] = 0. \quad (3)$$

Notre étude se place dans le cas où $v_{in} > v_{mem}$, c'est à dire lorsque la source du transistor est du côté de la capacité et le drain du côté du générateur d'entrée :

$$\begin{cases} v_S = v_{mem} \\ v_D = v_{in} \end{cases} \quad (4)$$

On peut alors réécrire l'équation (3) en posant $V_M = V_{DD} - v_{th}$ comme suit :

$$C_{mem} \frac{dv_{mem}}{dt} - \beta' [2(V_{DD} - v_{mem} - v_{th})(v_{in} - v_{mem}) - (v_{in}^2 - 2v_{in}v_{mem} + v_{mem}^2)] = 0 \quad (5)$$

$$C_{mem} \frac{dv_{mem}}{dt} - \beta' v_{mem}^2 + 2\beta' V_M v_{mem} - \beta' v_{in} (2V_M - v_{in}) = 0$$

En divisant la relation ci-dessous par $-\beta'$ on a alors :

$$-\frac{C_{mem}}{\beta'} \frac{dv_{mem}}{dt} + v_{mem}^2 - 2V_M v_{mem} + v_{in} (2V_M - v_{in}) = 0 \quad (6)$$

$$\text{En posant } \begin{cases} k = \frac{C_{mem}}{\beta'} = \frac{2C_{mem}}{\beta} \\ a = 1 \\ b = -2V_M \\ c = v_{in} (2V_M - v_{in}) \end{cases} \quad , \text{ on peut mettre la relation (6) sous la forme :}$$

$$\frac{dv_{mem}}{av_{mem}^2 + bv_{mem} + c} = \frac{dt}{k} \quad (7)$$

Le résultats de l'intégrale $\int \frac{dv_{mem}}{av_{mem}^2 + bv_{mem} + c}$ est donné par : $\frac{1}{\sqrt{\Delta}} \ln \left(\frac{2av_{mem} + b - \sqrt{\Delta}}{2av_{mem} + b + \sqrt{\Delta}} \right)$ avec

$\Delta > 0$.

Vérifions dans un premier temps le signe du discriminant Δ :

$$\Delta = b^2 - 4ac = 4V_M^2 - 4v_{in}(2V_M - v_{in})$$

$$\Delta = 4(V_M - v_{in})^2$$

Quelque soit la valeur de la tension d'entrée v_{in} le discriminant est toujours positif.

En remplaçant les coefficients a,b et k par leur expression, on obtient l'égalité :

$$\frac{\beta}{2C_{mem}} t = \frac{1}{2(V_M - v_{in})} \ln \frac{v_{mem}(t) - (2V_M - v_{in})}{v_{mem}(t) - v_{in}} + C_0 \text{ où } C_0 \text{ est une constante d'intégration.}$$

On cherche l'expression de v_{mem} en fonction de t et des paramètres de la cellule :

$$\frac{v_{mem}(t) - (2V_M - v_{in})}{v_{mem}(t) - v_{in}} = K_0 e^{\frac{\beta(V_M - v_{in})}{C_{mem}} t} \quad (8)$$

D'après la relation (8), on en déduit l'expression de $v_{mem}(t)$:

$$v_{mem}(t) = \frac{(2V_M - v_{in}) - K_0 v_{in} e^{\frac{t}{\tau}}}{1 - K_0 e^{\frac{t}{\tau}}} \quad (9)$$

$$\text{avec } \tau = \frac{C_{mem}}{\beta(V_M - v_{in})}$$

Les conditions initiales $v_{mem}(0) = 0$ nous permettent d'identifier le coefficient K_0 :

$$0 = 2V_M - v_{in} - K_0 v_{in} \Rightarrow K_0 = \frac{2V_M - v_{in}}{v_{in}} \quad (10).$$

En injectant l'expression de K_0 (10) dans la relation (9), on obtient l'expression finale de $v_{mem}(t)$:

$$v_{mem}(t) = v_{in} \cdot \frac{(2V_M - v_{in}) \cdot \left(1 - e^{\frac{t}{\tau}}\right)}{v_{in} - (2V_M - v_{in}) e^{\frac{t}{\tau}}} \quad (11)$$

Résumé

Le domaine de la physique des particules nécessite l'acquisition continue de données dans des mémoires analogiques constituées de plusieurs millions de cellules de mémorisation. Une cellule de mémorisation étant un simple échantillonneur-bloqueur. Les contraintes imposées par l'environnement sur ces cellules sont drastiques. Un compromis entre surface, précision, vitesse et puissance dissipée est à trouver. L'étude peut se généraliser au domaine instrumental où la non-linéarité est la principale limitation à l'intégration des systèmes.

L'étude présentée porte sur l'analyse quantitative de la non-linéarité dans une cellule minimaliste en mode tension et en mode courant. Afin de déterminer la précision ultime que l'on peut atteindre avec une structure minimaliste, des modèles polynomiaux ont été établis à partir des équations grands signaux des composants. L'étude des coefficients des polynômes a permis de dégager des facteurs d'influence relatifs aux composants de la cellule. Ces modèles ont été confrontés à des résultats de simulations et un circuit prototype a été conçu dans une technologie 0,25 μm afin de faire la corrélation avec des résultats de mesures. Une résolution de 12 bits peut être facilement obtenue en mode tension alors que 9 bits sont atteints en mode courant. Il est montré que le mode tension est beaucoup plus sensible aux paramètres technologiques. Le mode courant apparaît alors comme une alternative intéressante pour la conception de mémoires analogiques précises dans des technologies fortement submicroniques. Une description complète de l'élaboration des modèles et de leur exploitation est donnée dans ce manuscrit.

Mots clés

Circuits intégrés mixtes
Mémoires analogiques
Acquisition rapide
Instrumentation
Non linéarité
Modèles polynomiaux
Submicronique
Mode tension
Mode courant

Abstract

High-energy physics experiments need continuous data acquisition in analog memories done by several thousands of memory cells. A memory cell is analogous to a sample and hold structure. Constraints imposed by the severe environment are drastic. A trade-off between area, accuracy, speed and power dissipation must be found. The study can be generalized to instrumental systems for which non-linearity is a major limitation to their integration.

The present work presents a non-linearity quantitative analysis for voltage and current modes. In order to determine the ultimate accuracy we can reach with a minimum architecture, polynomial models have been developed from components large signal equations. Coefficients analysis has led to the determination of influence parameters related to cell components. The models have been confronted to simulation results and a prototype circuit has been designed in a 0.25 μm technology. A 12 bits resolution can be easily obtained with a voltage mode cell whereas a 9 bits resolution is obtained in current mode. It is shown that the voltage mode is more sensitive to the technology parameters. Switched-current mode appears like an interesting alternative to design accurate analog memories in deeper technologies. A full description of models development and their exploitation are given in this thesis.

Keywords

Mixed integrated circuits
Analog memories
Fast acquisition
Instrumentation
Non linearity
Polynomial models
Submicronics
Switched current
Switched capacitor