



HAL
open science

Circuits intégrés amplificateurs à base de transistors HEMT pour les transmissions numériques à très haut débit (≥ 40 Gbit/s)

Chafik Meliani

► To cite this version:

Chafik Meliani. Circuits intégrés amplificateurs à base de transistors HEMT pour les transmissions numériques à très haut débit (≥ 40 Gbit/s). Micro et nanotechnologies/Microélectronique. Université Paris-Diderot - Paris VII, 2003. Français. NNT : . tel-00007587

HAL Id: tel-00007587

<https://theses.hal.science/tel-00007587>

Submitted on 30 Nov 2004

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Université de Paris VII Denis Diderot
U.F.R. de Physique

THÈSE

Présentée et soutenue publiquement par

Chafik MELIANI

Pour obtenir

LE TITRE DE DOCTEUR EN SCIENCES
DE L'UNIVERSITÉ PARIS VII DENIS DIDEROT

Discipline : Électronique

Circuits intégrés amplificateurs à base de transistors HEMT pour les transmissions numériques à très haut débit (≥ 40 Gbit/s)

Soutenue le 17 juin 2003 devant la commission d'examen

<i>Président</i>	Alain L'HOIR	<i>Professeur</i>	Université Denis Diderot
<i>Rapporteurs</i>	Michel CAMPOVECCHIO	<i>Professeur</i>	Université de Limoges
	Paul CROZAT	<i>Professeur</i>	Université d'Orsay
<i>Examineurs</i>	René LEFEVRE	<i>Ing. de recherche</i>	Alcatel-OPTO+
	Marc ROCCHI	<i>Ing. de recherche</i>	OMMIC
<i>Directeur de thèse</i>	Georges ALQUIE	<i>Professeur</i>	Université Pierre et Marie Curie

Thèse préparée au laboratoire Alcatel OPTO+/France Telecom R&D
Unité de recherche : Circuits et modules à base de HEMT

A mes parents.

Remerciements

*« Innover, ce n'est pas avoir une nouvelle idée mais arrêter d'avoir une vieille idée »
Edwin Herbert Land, Inventeur et physicien Américain*

Cette thèse a été effectuée au sein du laboratoire OPTO+, ex-GIE entre le CNET et Alcatel. A ce titre, je souhaiterais remercier M. Francois Brillouet, chef de l'unité OPTO+ et M. André Scavennec, directeur adjoint du GIE et ex-responsable des activités FranceTelecom, pour m'y avoir accueilli et m'avoir permis de travailler dans des conditions des plus favorables.

René Lefèvre, Directeur de thèse Alcatel : Je voudrais sincèrement le remercier de la confiance originelle qu'il a su m'accorder, ainsi que de la nécessaire autonomie dont j'ai pu jouir pour mener à terme ce travail. Ensuite, pour m'avoir conseillé et encadré tout au long de ces trois années au sein de son groupe.

Je remercie M. Georges Alquié, Professeur à l'université Paris VI, d'avoir accepté d'être mon directeur de thèse. Merci également à M. Michel Campovecchio, Professeur à l'université de Limoges, et à M. Paul Crozat, Professeur à l'université d'Orsay, d'une part, d'avoir accepté la délicate tâche d'être rapporteurs du présent travail, et d'autre part pour leurs conseils et critiques constructives. Merci à M. Alain L'Hoir, Professeur à l'université Paris VII, d'avoir présidé ce jury, et à M. Marc Rocchi, Directeur Général d'OMMIC d'avoir par sa présence même témoigné de l'intérêt pour ce travail.

Georg Post (Technologie InP) : Ma sincère gratitude à Georg, tout d'abord pour ses conseils avisés pour les choix technologiques et électroniques sur InP, ensuite pour sa disponibilité et son aide, qui se sont traduits par de franches et constructives critiques, que j'ai véritablement appréciées ; et sans lesquelles, certainement ce manuscrit ni le travail dont il découle n'auraient pu prendre leurs formes actuelles.

La thèse étant aussi le fruit d'un travail de groupe, je souhaiterais remercier les quelques personnes qui y ont activement participé :

Gaëlle Rondeau (technologie InP) et Sylvain Blayac (Transistor TBH) : Un grand merci à Gaëlle, avec laquelle j'ai fort efficacement interagi pour créer une véritable symbiose entre la technologie et la conception. Merci pour ses efforts (souvent prolongés !) et sa détermination qui ont finalement porté leurs fruits ! Sylvain, dont j'ai beaucoup apprécié les discussions et questionnements que nous avons pu avoir ensemble, notamment sur le transistor (mesure et conception); et qui m'ont maintes fois éclairé. Une chose, Sylvain, « j'espère que Séo sud qu'on se reverra ! »

Wissam Mouzannar (Conception circuits) : Un merci à sa mesure, à ce grand rugbyman concepteur pour les conseils avisés dont il m'a fait part tout au long de ces trois années et pour sa gestion avec efficacité de l'activité GaAs. Que ce soit en électronique ou autre, le côtoyer fut fort enrichissant !

Filipe Jorge et Sylvie Vuye (Mesures et montage en boîtier) : Certainement, par leur discrète mais indiscutable efficacité et les choix judicieux qu'ils ont pris aux moments opportuns pour les mesures et le montage, ont activement participé et influé sur ce travail. Merci !

Merci aussi, à Jean Maurice Hayano, pour les minutieux travaux de découpe d'Alumine qu'il a effectués avec efficacité et délicatesse, ainsi qu'à Jean Landreau pour les découpes de puces InP.

Eric Dutisseuil (Modélisation HEMT, mesures) : Merci à Eric d'avoir mené à terme ce nécessaire travail de modélisation et de mesure sur le transistor, qui a permis de faire des conceptions de qualité avec la technologie InP.

Les secrétaires à OPTO+ : Bernadette Duval (sans laquelle ce manuscrit ne serait pas entre vos mains !!), Sylvie LeCalvez, Colette Delvault, Pascale Téfaine ; que ce soit pour publier un article, imprimer une thèse, ou régler tout problème administratif, leurs interventions sont continues, déterminantes, et discrètes ! Merci !

Enfin, je souhaiterais remercier mes compagnons de route les plus proches, avec lesquels j'ai partagé mon bureau et mon quotidien, et qui se sont comme moi, lancés, il y a trois ans de cela dans cette aventure :

Frédéric Grillot : Alias Agatha Christie, ou encore «Equationman» ! En dépit du bruit incessant produit par son ordinateur chroniquement en panne pendant 2 ans, l'invention de l'open space m'a indéniablement fait passer trois agréables années en compagnie de ce physicien passionné.

Abed-Elhak Kasbari : Avec lequel nous fîmes abroger cette hypothétique frontière entre l'analogique et le numérique ! Je voudrais le remercier des enrichissantes discussions et réflexions que nous avons pu avoir ensemble ainsi que de sa disponibilité et sa foncière sympathie. Enfin, mêmes si ses compétences dans le domaine de l'électronique sont indéniables, je suis toujours subjugué par le légendaire état de rangement quasi statique de son bureau !!

Merci encore à mes deux acolytes pour les inoubliables moments partagés au bureau 108 ! Et n'oublie pas Fred : publish or perish !

Je souhaiterais aussi remercier tous les autres acteurs (du laboratoire) que j'ai côtoyés pendant ces trois années: Mohand Achouche (pour son inestimable aide !), Joël Jacquet (camarade de 20h00 !), Jacques Moulu (l'Efficace !), Catherine Costa et Sandra Olivera Sanchez (pour leurs continuelles aides et soutiens. Merci.), Tristan Lucas (mon vieil ami et collègue expert du HEMT à basse température, et pour lequel, les faux restaurants Japonais n'ont plus aucun secret !), Hassiba Taggueb et Fadhila Haned (pour leurs précieuses aides pour la soutenance !), Bouzid Simozrag, Philippe Berdager, Mokhtaria Mejdoub, Suwimol Withitsoonthorn, Mathias Kahn, Muriel Riet, Muriel Muller, Jean Godin, Jean Décobert, Carmen Gonzalez, Chérif Kerkar, Stéphane Sylvestre (pour ses précieuses critiques !), Frédéric Adelaide, Didier Prieto, Didier Pillet, Bertrand Riou, Jean-Luc Lafragette, Aurélien Bergonzo, Francis, Cornelia Cuisin, Agnieska Konczykowska, Nabil Sahri, Fabrice Blache, Stéphane Demiguel, Pascal Pecci, Antonina Plais, Alexandre Shen, Nicolas Trenado, et tous les autres ...

Mes frères et ma sœur. Sans lesquels rien n'aurait été possible. Merci à mon grand frère pour son soutien inconditionnel et ses encouragements ! Et pour lequel ma gratitude n'a d'égale que la sévérité de mes critiques !

Mes parents : Comme je leurs dois tout, je crois qu'un merci dans son habit le plus simple suffirait. Depuis le début, ils ont toujours été là et sans eux je ne serais certainement pas là. Je voudrais les remercier pour tout. Entre autres, de ces quelques milliers d'heures de cours particuliers personnellement dispensés par mon père, auxquels j'ai eu droit (ou plutôt le devoir) étant enfant ; et qui aujourd'hui encore me rendent la vie plus facile ... Je voudrais qu'ils sachent ici, ma gratitude, pour tout, au-delà des détails. Merci.

Marcoussis, avril 2003

TABLE DES MATIÈRES

INTRODUCTION	1
1. LES TRANSMISSIONS NUMERIQUES A TRES HAUTS DEBITS	5
1.1 LA FIBRE OPTIQUE	6
1.1.1 LONGUEURS D'ONDE	6
1.1.2 LA DISPERSION CHROMATIQUE	7
1.1.3 L'EFFET KERR	7
1.2 LES SYSTEMES DE TRANSMISSIONS	8
1.2.1 LA HIERARCHIE NUMERIQUE	8
1.2.1.1 La hiérarchie numérique plésiochrone PDH	8
1.2.1.2 Hiérarchie numérique synchrone SDH	8
1.2.2 LES TECHNIQUES DE MULTIPLEXAGE	9
1.2.2.1 La transmission ETDM	9
1.2.2.2 La transmission OTDM	10
1.2.2.3 La transmission WDM	11
1.3 LE CODAGE NUMERIQUE	12
1.4 LE SIGNAL NUMERIQUE	13
1.5 L'AMPLIFICATION ELECTRIQUE DES SIGNAUX NUMERIQUES	14
2. LE TRANSISTOR HEMT	18
2.1 PRINCIPE DE FONCTIONNEMENT	19
2.2 EFFET MESFET PARASITE	20
2.3 LA STRUCTURE HEMT AMELIOREE GENERIQUE	21
2.3.1 LES CONTACTS OHMIQUES DE DRAIN ET DE SOURCE	21
2.3.2 L'ESPACEUR	21
2.3.3 LE RECESS DE GRILLE	21
2.4 LA GRILLE EN CHAMPIGNON	22
2.5 CARACTERISTIQUES ELECTRIQUES	22
2.6 LE SCHEMA EQUIVALENT PETIT SIGNAL	26
2.7 LE P-HEMT GAAS	27
2.8 TECHNOLOGIE HEMT SUR SUBSTRAT INP	29
2.8.1 LE TRANSISTOR HEMT INP	30
2.8.2 LES COURBES STATIQUES	30
2.8.3 LE MODELE PETIT SIGNAL	31
2.8.3.1 Extraction des éléments parasites extrinsèques	31
2.8.3.2 Epluchage des mesures	41
2.8.3.3 Extraction du schéma équivalent intrinsèque	43
2.8.3.4 Les fréquences de transition et d'oscillation maximale	43
2.9 COMPARAISON ENTRE LES DEUX TECHNOLOGIES GAAS ET INP	45
2.10 ETAT DE L'ART	46

3. AMPLIFICATION	50
3.1 LE MONTAGE EN SOURCE COMMUNE	51
3.1.1 LE FONCTIONNEMENT GRAND SIGNAL	52
3.1.2 ELEMENTS PARASITES	53
3.2 LE MONTAGE GRILLE COMMUNE	54
3.3 LE MONTAGE CASCODE	55
3.4 LE MONTAGE DRAIN COMMUN (OU SOURCE SUIVEUSE)	60
3.5 LA PAIRE DIFFERENTIELLE	60
3.5.1 LA PAIRE DIFFERENTIELLE EN MODE REFERENCE	62
3.5.2 FONCTIONNEMENT EN GRAND SIGNAL	66
3.5.3 ELEMENTS PARASITES	66
3.6 STRUCTURES COMPOSEES	68
3.6.1 STRUCTURES DISCRETES	68
3.6.1.1 SCFL (Source coupled FET logic)	68
3.6.1.2 Amplificateur à contre-réaction	69
3.6.2 STRUCTURES DISTRIBUES	70
3.6.2.1 Amplificateurs distribués une entrée, une sortie	70
3.6.2.2 Amplificateurs double-distribués	70
3.6.2.3 L'amplificateur transversal	71
3.6.2.4 L'amplificateur distribué à division de capacité	71
3.6.2.5 Amplificateur distribué à inductances variables	72
3.6.2.6 Cellule de Gilbert distribuée	72
3.6.2.7 Amplificateur distribué doublement alimenté	72
3.7 LES PARASITES DU LAYOUT	74
3.7.1 CROISEMENTS	74
3.7.2 PROPAGATION	75
3.7.3 COUPLAGE PARASITE	76
3.7.4 LIGNES D'ALIMENTATION	77
3.7.5 PLOTS D'ACCES	77
3.8 CONCLUSIONS	78
4. AMPLIFICATION DISTRIBUEE	83
4.1 LE PRODUIT GAIN-BANDE	84
4.2 PRINCIPES DES AMPLIFICATEURS DISTRIBUES ULTRA LARGE BANDE	85
4.3 AMPLIFICATEURS DISTRIBUES : METHODOLOGIE	86
4.3.1 CALCULS PRELIMINAIRES	86
4.3.2 NOMBRE D'ETAGES OPTIMAL	87
4.3.3 LES DELAIS DE GROUPE	88
4.4 AMPLIFICATEURS DISTRIBUES LARGE BANDE POUR LE 40 GBIT/S ...	93
4.4.1 CHOIX D'ARCHITECTURE	93

4.4.2 CHOIX DU GAIN EN MILIEU DE BANDE ET DU NOMBRE D'ETAGES	94
4.4.3 LES LIGNES DE TRANSMISSION	95
4.4.4 DECOUPLAGE DE LA DEUXIEME GRILLE	98
4.5 OPTIMISATIONS NUMERIQUES	99
4.6 RESULTATS EXPERIMENTAUX	102
4.6.1 MESURES EN PETIT SIGNAL	102
4.6.2 MESURES EN GRAND SIGNAL	105
4.7 DISCUSSION	106
5. AMPLIFICATION DIFFERENTIELLE	110
5.1 AMPLIFICATEURS DIFFERENTIELS	111
5.1.1 AMPLITUDES DE SORTIE CORRELEES AUX LARGEURS DE TRANSISTORS	112
5.1.2 LES LIMITES DE L'AMPLIFICATION DIFFERENTIELLE	113
5.1.3 METHODOLOGIE D'OPTIMISATION DE LA PAIRE DIFFERENTIELLE	113
5.1.3.1 Effet de la source de courant	114
5.1.3.2 Inconvénients du mode référencé	115
5.1.4 AMPLIFICATION DIFFERENTIELLE : APPROCHE CLASSIQUE	117
5.1.4.1 Optimisation numérique	118
5.1.4.2 L'effet des parasites du layout	121
5.2 RESULTATS EXPERIMENTAUX	124
MESURES SOUS POINTES	124
5.3 DISCUSSION	128
5.4 AMPLIFICATION DIFFERENTIELLE : NOUVELLE APPROCHE	130
5.4.1 POINTS CRITIQUES	131
5.4.2 NOMBRE D'ETAGES	131
5.4.3 CALCULS DC	133
5.4.4 OPTIMISATION HF	134
5.4.5 CHARGE ACTIVE DISTRIBUEE	140
5.4.6 RESULTATS EXPERIMENTAUX	146
5.4.6.1 Mesures sous pointes	146
5.4.6.2 Montage en boîtier	151
5.4.6.3 Découplage large bande	154
5.4.6.4 Mesures en boîtier	156
5.5 DISCUSSION	158
CONCLUSION	161

Introduction

Au-delà des considérations techniques de traitement de signal et de l'établissement croissant de protocoles informatiques de transmission, deux raisons principales ont poussé à améliorer l'efficacité des transmissions numériques :

- D'une part, la conversion de grandeurs dites analogiques issues des appareils de mesures et autres dispositifs senseurs (tels que les capteurs d'image, de son, etc.) en des grandeurs numériques par des techniques de plus en plus diverses et économiques.
- D'autre part, la multiplication des moyens de récupération de ces données du milieu « extérieur » via toutes les nouvelles innovations dans les domaines du multimédia et de l'interactivité homme-machine.

L'effet de ces deux avancées technologiques a eu pour résultat de standardiser les modes de transmissions de données. Le support de transmission devenait clairement indépendant des données à transmettre. Ceci a eu pour conséquence de concentrer l'effort sur les techniques pour transmettre des débits de données de plus en plus importants, avec un taux d'erreurs plus faible.

Dans ce cadre, les efforts se sont concentrés ces dernières années sur les transmissions numériques sur fibre optique. De tous les supports de transmission de données, elle est celle disposant de la capacité (des transmissions à plus de 10 THz ont été démontrées) la plus importante, et de l'atténuation linéique (0,2 dB/Km) la plus faible, notamment pour la longueur d'onde optimale de 1,55 μm ; ce qui nécessite moins de répéteurs que pour les transmissions purement électriques.

C'est le remplacement de la hiérarchie numérique plésiochrone (presque synchrone) par la hiérarchie numérique synchrone (SDH), notamment, qui a permis de monter en débit sans pénaliser les taux d'erreurs. Ainsi, les trames à très haut débit sont le résultat de l'empaquetage de niveaux hiérarchiques successifs de trames aux débits de plus en plus faibles jusqu'à la trame de base STM1 (Synchronous Transport Module) qui est au débit de 155,52 Mbit/s en Europe. Par la suite, les niveaux se succèdent par multiplexage temporel, STM4 (622,08 Mbit/s), STM16 (2488,32 Mbit/s), STM32 (9953,28 Mbit/s), etc.

Les débits susdits sont ceux possibles de la norme SDH. Ils sont systématiquement réalisés à l'aide de techniques de multiplexage temporel électrique. D'autres techniques comme le multiplexage en longueurs d'onde ou le multiplexage temporel optique sont utilisées pour les débits optiques beaucoup plus élevés. Des transmissions avec des débits de plus de 10 Tbit/s ont été démontrées en laboratoire lorsque les techniques de multiplexage temporel et en longueurs d'onde sont utilisées.

En terme d'application, le réseau se compose de trois groupes : Les transmissions longues distances (quelques centaines à 10000 Km), le métropolitain (10 à 100 Km) et l'accès (quelques Km).

Ce sont les transmissions très longues distances (utilisées pour les liaisons sous-marines et terrestres), qui nécessitent le plus de débit. Typiquement, le SEA long de 4000 km est composé de 2 fibres pour 8 longueurs d'onde par fibre et un débit par longueur d'onde de 2,5 Gbit/s, ce qui correspond au total à un débit de 40 Gbit/s.

Aujourd'hui, les investigations exploratoires en électronique rapide concernent deux aspects :

- Les capacités des moyens technologiques bas coût pour les débits de 40 Gbit/s.
- La faisabilité des transmissions à 80 Gbit/s.

En effet, la faisabilité de systèmes électriques à 40 Gbit/s n'est désormais plus à prouver. Aujourd'hui, la question concerne plus les moyens et les techniques à mettre en œuvre, notamment par rapport à leurs coûts.

De façon globale, c'est l'association des deux techniques, optiques et électriques, qui permettraient d'atteindre les débits escomptés. Bien évidemment, le résultat global sera un point d'équilibre entre contraintes et performances pour les deux supports. Et précisément, aujourd'hui même, cette donnée est toujours manquante. Les deux méthodes sont simultanément poussées au bout de leurs capacités.

Du point de vue de l'électronique, les progrès technologiques ont décuplé ses possibilités. Les traditionnelles technologies dédiées à l'électronique rapide GaAs et InP ont vu leurs performances fréquentielles brut s'améliorer très rapidement. Alors qu'en même temps, d'autres technologies, telle que le SiGe concurrencent sérieusement les performances des technologies III-V. Même des technologies telles que le CMOS deviennent de plus en plus compétitives. Face à l'essor des technologies dites grand public, les questions de coût des technologies III-V sont à l'ordre du jour. L'éclosion du transistor M-HEMT, HEMT hybride associant mobilité de l'InP et productivité du GaAs est l'illustration même de ces contraintes économiques. Clairement, l'effort pour les hauts débits est transféré du domaine technologique à celui des méthodologies de conception.

Par ailleurs, les III-V restent les technologies les plus rapides. Elles sont certainement les seules à pouvoir proposer, aujourd'hui, des solutions pour les très haut débit tel que le 80 Gbit/s.

La thèse

La présente thèse a débuté en 2000 au sein du groupement d'intérêt économique OPTO+ (CNET-Alcatel), elle s'inscrit dans une logique exploratoire concernant les méthodologies de conception et faisabilité de circuits pour le très haut débit (43 Gbit/s).

Traditionnellement, les systèmes de transmission voient leurs circuits déclinés en deux groupes. L'ensemble des circuits dits analogiques concerne principalement l'amplification (à l'émission et la réception), la récupération d'horloge, etc. Et l'ensemble des circuits dits numériques concerne les fonctions de base telles que les circuits de décision, le multiplexage et le démultiplexage.

Historiquement, les deux technologies rapides HEMT et TBH se sont chacune spécialisées dans l'un des deux domaines.

Le TBH, de part sa fonction de transfert abrupte et ses faibles dispersions de tensions de seuil s'est progressivement imposé pour les circuits numériques.

Le HEMT, de part son impédance d'entrée relativement élevée, ses tensions de claquages importantes, et son f_{MAX} élevé, s'est révélé un très bon candidat pour les fonctions d'amplification large bande à grand gain.

Après un premier chapitre où les transmissions numériques à haut débit sont décrites, une description du transistor HEMT est donnée dans le chapitre 2. Nous commençons par la description de ce que nous appelons HEMT générique, chaînon entre le principe physique et le composant final ; que nous poursuivons par une description des deux technologies dont nous disposons sur substrats InP et GaAs et des modèles utilisés lors des simulations.

Par la suite, nous donnons une image des techniques actuelles utilisées pour l'amplification de signaux numériques, ses déclinaisons, ses fondements théoriques et ses applications. Cette description concernera aussi bien les étages élémentaires traditionnels que les innovations spécifiques pour les très hauts débits.

Dans le chapitre 4 nous présentons l'amplification distribuée. Nous l'illustrerons par des exemples de simulations numériques, que nous appliquons par la suite à la technologie InP. Ce chapitre conduit de façon exploratoire à la conception, réalisation et caractérisation d'amplificateurs très large bande. Nous décrivons les étapes successives (analytiques et numériques) pour définir avec une relative précision les capacités d'une technologie donnée appliquées aux transmissions numériques à très haut débit. Tout ceci sera terminé par une discussion comparative avec les résultats expérimentaux dans laquelle nous évoquons les points à éclaircir encore.

Le cinquième chapitre concerne une autre philosophie de l'amplification large bande. L'amplification différentielle. Nous parlons d'abord de ses principes ; et de la même façon nous développons une méthode déterministe pour prévoir les performances de circuits d'une technologie donnée. Après une série de premières mesures, nous discutons des résultats obtenus sur des circuits limiteurs.

Nous discutons par la suite des limites de l'approche différentielle classique et présentons les architectures distribuées que nous avons proposées pour les repousser.

C'est dans cette partie que nous établissons la dualité entre l'électronique discrète pour les basses fréquences et la théorie distribuée pour les hautes fréquences. Ce chapitre constitue le début d'une étape de généralisation de la technique distribuée à toutes les briques de base de l'électronique.

Ce chapitre sera clos par une discussion comparative entre les deux approches et une comparaison à l'état de l'art.

Chapitre 1

Les transmissions numériques à très hauts débits

1.	<u>LES TRANSMISSIONS NUMERIQUES A TRES HAUTS DEBITS</u>	5
1.1	LA FIBRE OPTIQUE	6
1.1.1	LONGUEURS D'ONDE	6
1.1.2	LA DISPERSION CHROMATIQUE	7
1.1.3	L'EFFET KERR	7
1.2	LES SYSTEMES DE TRANSMISSIONS	8
1.2.1	LA HIERARCHIE NUMERIQUE	8
1.2.1.1	La hiérarchie numérique plésiochrone PDH	8
1.2.1.2	Hiérarchie numérique synchrone SDH	8
1.2.2	LES TECHNIQUES DE MULTIPLEXAGE	9
1.2.2.1	La transmission ETDM	9
1.2.2.2	La transmission OTDM	10
1.2.2.3	La transmission WDM	11
1.3	LE CODAGE NUMERIQUE	12
1.4	LE SIGNAL NUMERIQUE	13
1.5	L'AMPLIFICATION ELECTRIQUE DES SIGNAUX NUMERIQUES	14

1. Les transmissions numériques à très hauts débits

Dans ce chapitre, nous décrivons les techniques utilisées pour les transmissions numériques à très hauts débits. Entre la partie optique et la partie électronique – plus concernée dans le cadre de cette thèse –, nous trouvons les briques de base composant un système de transmission sur fibre optique.

Nous verrons comment de considérations globales de transmissions (le taux d'erreur), nous déduisons les performances d'éléments de base comme les amplificateurs électroniques d'extrémité.

Nous décrivons aussi, les techniques permettant de relier les grandeurs mesurées en environnement expérimental, aux spécifications du système.

Aussi, après avoir défini les centres d'intérêts principaux de cette thèse au sein d'un système de transmission numérique à très haut débit, nous décrivons les choix faits en terme de techniques d'amplification pour les signaux numériques.

1.1 La fibre optique

L'avènement des techniques numériques pour les transmissions de données a permis de rendre les circuits de traitement du signal indépendants du type de données transmises.

La fibre optique a amené trois avantages supplémentaires :

- Elle permet de transmettre des données à plus hauts débits grâce aux fibres monomodes (longueurs d'onde 1,3 μm 1,55 μm).
- Elle est insensible aux parasites extérieurs, notamment, elle est insensible aux parasites électromagnétiques. Le coût en est sensiblement réduit, les structures de blindage électromagnétique et autres isolateurs de l'extérieur ne sont plus nécessaires [1].
- Grâce à l'amplification optique, (typiquement, les EDFA, Erbium Doped Fiber Amplifier), les conversions optique/électrique (s) peuvent être évitées, et le traitement en tout optique devient possible repoussant ainsi les limites des débits et des distances de transmission d'une part ; et réduisant les coûts d'autre part.

1.1.1 Longueurs d'onde

En effet, le faible coût des fibres, ainsi que leurs faibles pertes, permettent d'espacer les coûteux répéteurs. Les fibres optiques en verre de Silice présentant plusieurs minima d'absorption dans l'infrarouge à 0,85 μm , 1,3 et 1,55 μm (Fig. ci-dessous).

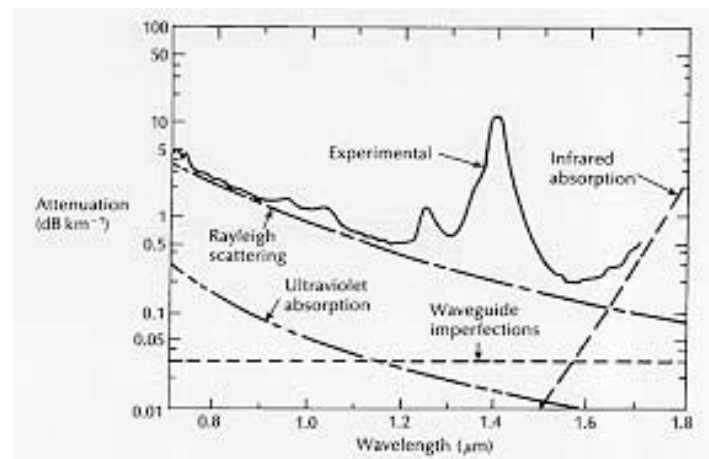


Figure 1.1 Spectre d'atténuation mesuré pour une fibre monomode à très peu de perte (-), et spectres d'atténuation calculés (-).

Dans la fenêtre 1,55 μm où l'atténuation est la plus faible, l'onde lumineuse n'est atténuée que de 0,2 dB/km. Cette faible atténuation linéique autorise la mise en place de liaisons opérationnelles de plusieurs centaines de km sans répéteurs.

Cette performance déplace en partie le centre de gravité du coût de la transmission, aux modules en extrémités de la fibre optique.

Pour la transmission de signaux numériques sur fibre optique, ci-dessous quelques paramètres clefs :

- L'atténuation par unité de longueur.
- Les effets non-linéaires.
- La dispersion chromatique.

Le dernier est responsable de l'élargissement des impulsions lumineuses par modification du spectre fréquentiel de ces dernières, et peuvent ainsi détériorer le taux d'erreur.

Les premières fibres furent celles fonctionnant à 1,3 μm , communément appelées fibres standards. L'apparition des fibres à dispersion décalée permis d'utiliser la bande des longueurs d'onde contrées autour de 1,55 μm permettant de plus grandes distances de transmission.

1.1.2 La dispersion chromatique

Elle est principalement qualifiée par le coefficient de dispersion chromatique

$D = \frac{\partial^2 \beta}{\partial \omega^2}$ [2] avec β le vecteur d'onde et ω la pulsation. Lorsqu'il est positif, c'est le régime de dispersion anormal. Les impulsions se contractent. Cela peut se traduire par une instabilité de modulation provoquant l'éclatement d'une impulsion en plusieurs maxima.

Lorsque le coefficient D est négatif, c'est le régime de dispersion normale ; les impulsions subissent des distorsions proportionnelles à la valeur de D . Elles s'élargissent et augmentent ainsi le taux d'interférence.

1.1.3 L'effet Kerr

C'est la dépendance de l'indice de réfraction où se propagent l'onde de la puissance lumineuse instantanée. Deux phénomènes résultent de cette non-linéarité:

- L'automodulation de phase, se traduisant par le changement de l'indice en fonction de l'amplitude instantanée, ainsi il se produit un retard de phase, qui est maximal au sommet de l'impulsion. Ce phénomène induit un élargissement de l'impulsion du même type que celui dû au régime de dispersion normal, et son effet s'y additionne.
- L'intermodulation : dans un système à plusieurs longueurs d'onde, elle correspond à une modulation de phase croisée entre les différentes longueurs d'onde. Ainsi, sont engendrées des impulsions dites produit d'intermodulation augmentant ainsi le taux d'erreurs.

1.2 Les systèmes de transmissions

Cette section concerne principalement les signaux électriques. Nous y décrivons l'organisation et multiplexage (principalement temporel) des trames des signaux numériques. Aujourd'hui, les débits électriques en bouts de fibre sont de l'ordre de quelques Gbit/s. Par débit électrique, l'on entend le débit de l'information ramenée sur support électrique juste avant sa conversion en signal optique [3].

1.2.1 La hiérarchie numérique

A l'image des techniques de hiérarchisation de plus en plus communes, et dont l'illustration la plus frappante serait certainement l'informatique, les transmissions numériques disposent elles aussi de divers niveaux hiérarchiques ; dont la brique de base serait certainement le signal d'un multiplex à 2 Mbit/s selon la norme Européenne, et 1,5 pour les USA [4]. Ce débit correspond au multiplexage de 32 voies de 64 Kbit/s chacune, dont 2 pour la signalisation.

Les réseaux ont toujours fonctionné en hiérarchie plésiochrone, ie. presque synchrone ; en effet, dans ce cas, les divers équipements travaillent à la même fréquence nominale, mais ne sont pas synchronisés. Afin de contourner les limitations de la technologie plésiochrone à très haut débit, c'est la hiérarchie synchrone qui est finalement utilisée.

1.2.1.1 La hiérarchie numérique plésiochrone PDH

Dans ce système, les multiplexeurs comportent des mécanismes de resynchronisation, permettant de remettre en phase les divers trains de données multiplexés ; notamment en y insérant des trains supplémentaires de bit.

Aussi, afin de router un signal donné, il est nécessaire de démultiplexer jusqu'à un débit suffisamment facile à traiter puis le remultiplexer.

Globalement, ce système a été très vite abandonné pour les transmissions à très haut débit, notamment à cause des problèmes de gestion et maintenance des réseaux, et de la diversité trop importante des réseaux plésiochrones dans le monde.

1.2.1.2 Hiérarchie numérique synchrone SDH

C'est le principe de la lettre adressée. Les informations circulent toutes suivant le même standard : un train d'impulsions appelé conteneur, dans lequel sont rajoutées toutes les informations système telles que l'adressage, etc. Dans ce conteneur sont insérées les données. Ainsi, les problèmes de désynchronisation éventuelle, sont éliminés grâce à l'adressage rajouté dans le train d'impulsions.

Ces conteneurs sont bien sûr complètement indépendants des signaux qu'ils transportent. La trame de base repose sur le multiplex STM-1 'synchronous transfer multiplex', à 155,52 Mbit/s. Les débits supérieurs normalisés sont le STM-2 à 622,08 Mbit/s, le STM-16 à 2488,32 Mbit/s, le STM-64 à 9953,28 Mbit/s.

1.2.2 Les techniques de multiplexage

Dans le cadre des transmissions numériques sur fibre optique, diverses techniques de multiplexage sont utilisées afin de passer du débit de base de 2 Mbit/s [5], à ceux transportés sur fibre de quelques Tbit/s. Ils existent deux techniques génériques, le multiplexage optique de longueurs d'onde, et le multiplexage temporel, qui peut être optique ou électrique. A noter que ces techniques sont appliquées uniquement aux signaux à très hauts débits, et ne concernent pas le réseau très en amont après la conversion optique électrique, qui devient purement électrique. Typiquement, ces techniques concernent des débits supérieurs à quelques Gbit/s.

1.2.2.1 La transmission ETDM

Electrical Time Division Multiplexing, c'est la technique nécessitant le moins d'opérations optiques. Comme son nom l'indique, tout le multiplexage est réalisé électriquement. Les signaux à N Gbit/s (typiquement à 2,5 Gbit/s) sont multiplexés en une ou plusieurs étapes (des multiplexeurs 2 vers 2, ou 4 vers 1), puis injectés dans un amplificateur de puissance, (le driver de modulateur), qui module la lumière injectée dans la fibre optique via le modulateur de laser.

Dans la fibre, le signal est régulièrement régénéré par le biais d'amplificateurs optiques. Du côté de la réception, le signal est converti via la photodiode, amplifié avec un dispositif faible bruit ; après quoi, l'horloge est extraite du signal qui est injecté dans un circuit de décision pour la resynchronisation et remise en forme (Bascule D). Il est par la suite démultiplexé en des trames au débit plus bas.

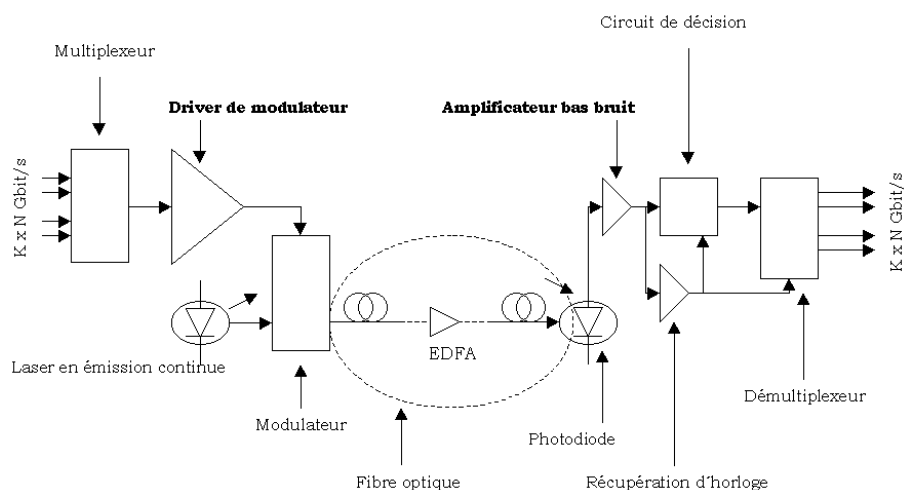


Figure 1.2 Transmission ETDM.

Le système ETDM est celui qui demande le plus de performances à la partie électrique du réseau (notamment pour les circuits précédant directement le modulateur de laser), par le fait que toutes les opérations de multiplexage sont réalisées en électrique.

1.2.2.2 La transmission OTDM

Optical Time Division Multiplexing, la technologie OTDM est une technologie tout optique monomode (elle est souvent associée aux techniques de multiplexage de longueurs d'onde WDM, et multiplexage temporel SDH). Elle consiste à multiplexer Temporellement des trains d'impulsions par des moyens purement optiques :

A l'image de la transmission ETDM, le signal électrique module l'intensité du signal optique ; au détail près que celui-ci est sous forme de courtes d'impulsions. Une multitude de ces sources pulsées sont obtenues à partir d'un laser en émission continue, d'un modulateur et d'un coupleur 1->K. Elles sont ensuite modulées par les signaux électriques des divers canaux à transmettre de n Gbit/s chacun. Ces trains optiques sont ensuite injectés dans un coupleur K->1, afin de les décaler temporellement puis de les superposer en un seul signal optique. Ainsi ce dernier comportant $K \times n$ Gbit/s est amplifié puis envoyé dans la fibre.

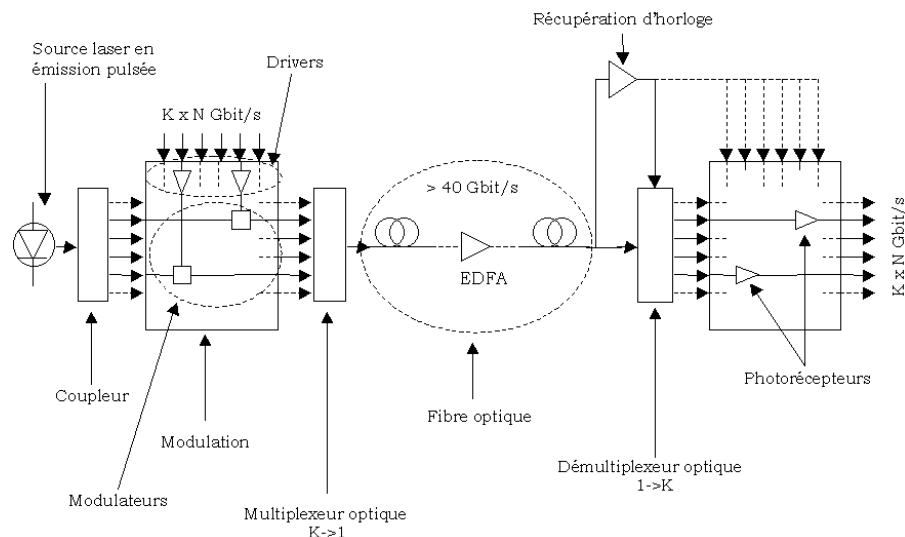


Figure 1.3 Transmission OTDM.

A la réception, le signal est amplifié, et l'horloge extraite. Elle est synchronisée au signal à 40 Gbit/s à l'aide d'une boucle à verrouillage de phase, et sert de base de temps pour le démultiplexage des $K \times n$ Gbit/s.

Les deux techniques ci-dessus (ETDM et OTDM) utilisent le plus souvent le codage RZ, facilitant ainsi la récupération d'horloge qui se fait par filtrage directe du signal, dont le spectre contient une composante à 40 GHz.

Ils ont été validés à plus de 100 Km, notamment en y associant les technologies de multiplexage en longueurs d'onde.

1.2.2.3 La transmission WDM

Dans le Wavelength Division Multiplexing, l'idée d'envoyer plusieurs longueurs d'onde dans une même fibre. Chaque longueur d'onde est modulée par un signal numérique au débit électrique maximum possible (typiquement 40 Gbit/s en prototype).

En augmentant le nombre de longueurs d'onde injectée dans la même fibre, on parle aussi de DWDM (Dense WDM).

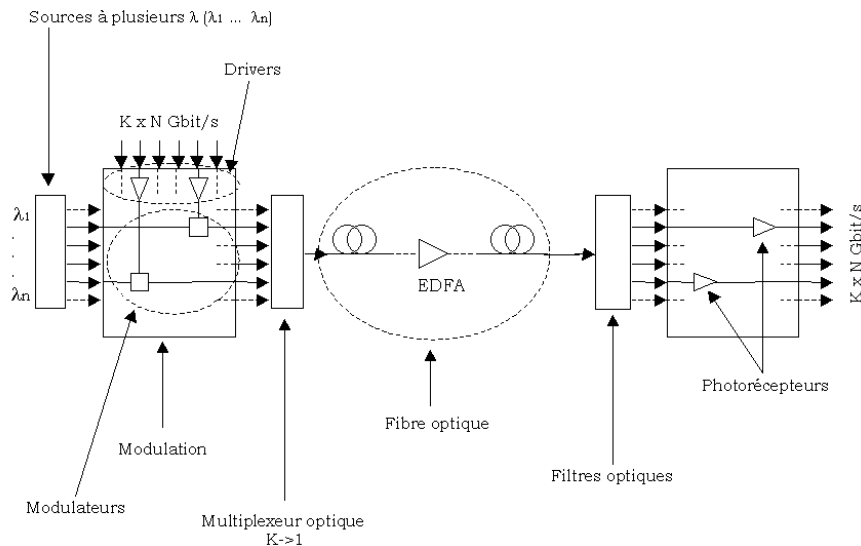


Figure 1.4 Transmission WDM.

En émission, plusieurs lasers avec des longueurs d'onde différentes sont utilisés. Chacune d'elle est modulée par un signal numérique au débit électrique maximum possible via une batterie de modulateurs. En effet, la modulation externe est préférée car les phénomènes de couplage phase-intensité (chirp) sont moins importants qu'en modulation directe de laser. Elle permet également d'obtenir un meilleur taux d'extinction.

Les multiplexeurs, démultiplexeurs, déphaseurs optiques sont réalisés avec des composants passifs. Le démultiplexage en longueur d'onde est réalisé optiquement. Ensuite, chaque voie est détectée et amplifiée par une batterie de photorécepteurs.

Les plus hauts débits actuels sont atteints à l'aide de techniques WDM et DWDM, de plus de quelques Tbit/s [6][7][8].

1.3 Le codage numérique

L'information analogique de base est d'abord numérisée. D'après le théorème de C. Shannon, un signal échantillonné à un rythme supérieur à deux fois sa plus haute fréquence significative, est correctement représenté par ses échantillons .

Chaque échantillon du signal est représenté par un ensemble de bits selon la précision de la conversion. Ces données numériques sont codées afin de réduire le spectre fréquentiel occupé et ainsi les contraintes sur les circuits électroniques utilisés [9][10].

Le codage en ligne adapte le signal en bande de base à un canal également en bande de base, mais avec une largeur de bande plus réduite ou un filtrage des composantes à basse fréquence. Egalement, il a pour but de récupérer le rythme nécessaire à la régénération du signal. Les codes AMI et HDB3 utilisent trois niveaux logiques permettant ainsi de repousser les spectres des signaux plus hauts en fréquence en réduisant les composantes DC [11] :

- Le code AMI : Alternate Mark inversion, où le bit est alternativement positif ou négatif.
- Le code HDB3 : High density bipolar 3. Les bits 0 ont une valeur 0. Les bits 1 change de polarité alternativement : une suite binaire (1 1 0 1) donne (1 -1 0 1) ; et une suite de quatre bits 0 est remplacée par une suite de trois 0 et un 1 de même polarité que le bit précédent les bits 0. Par exemple, une suite binaire (101110000) donne (1 0 -1 1 -1 0 0 0 -1). Ceci augmente la fréquence de coupure basse du spectre significatif du signal.
- Les codes nB mT : où le signal est divisé en mots de n bits, auxquels on fait correspondre m niveaux choisis dans un alphabet.

Mais les deux codes les plus utilisés dans pour les transmissions numériques sont le NRZ (Non return to zero), et le RZ (return to zero) ; et se contentent de deux niveaux logiques uniquement :

- NRZ : le temps bit du code est entièrement occupé par le niveau 0 ou 1 du bit contenant l'information. Un signal à 40 Gbit/s, en NRZ correspondrait à un temps bit de 25 pS.
- RZ : Pour chaque bit d'information de niveau « 1 », une impulsion est transmise puis le niveau du signal est remis à zéro. Ainsi, dans un temps bit du codage RZ, seule une partie est occupée par le signal, l'autre partie étant toujours à 0. Ce code est préféré pour les transmissions longues distances. Par définition, il diminue les interférences intersymboles.

- **Les codes correcteurs d'erreurs**

En introduisant une corrélation entre les bits d'une trame transmise ; ils établissent une sorte de langage composé uniquement d'un ensemble de mots autorisés. Ainsi, à la réception, par comparaison des mots autorisés à ceux transmis, ces codes correcteurs d'erreurs permettent de baisser considérablement les taux d'erreurs d'une transmission.

Par contre, ils augmentent le débit total à débit d'information identique, et imposent ainsi des performances accrues aux composants.

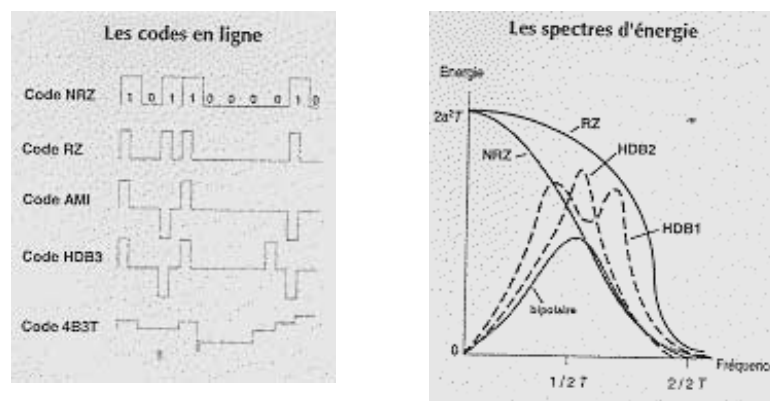


Figure 1.5 Les codes en ligne et leurs spectres d'énergie associés.

La figure ci-dessus montre les spectres fréquentiels correspondant à chaque type de codage. Le système de transmission, notamment les modules en bout de fibre doivent transmettre les signaux avec un minimum de détérioration du spectre fréquentiel.

1.4 Le signal numérique

Le caractère passe-bas, le bruit ajouté, et les non-linéarités des canaux de transmission induisent des perturbations mutuelles entre les bits de la trame soit par intermodulation ou par modification de la forme des signaux. Pour un temps bit T_m , la superposition d'un train d'impulsions avec une périodicité donnée (multiple du temps bit) aboutit à un diagramme appelé diagramme de l'œil. Ce nom lui a été attribué à cause de la forme des losanges qu'il contient d'une part, et de son utilité principalement qualitative.

De façon globale, le facteur de qualité d'une transmission numérique est le taux d'erreurs. Cette valeur étant difficile à mesurer dans des conditions équivalentes à celles en fonctionnement réel, notamment à cause de l'aspect statistique et aléatoire, le diagramme de l'œil présente un bon compromis pour la validation d'un circuit ou module.

La fiabilité de la mesure ou la simulation du diagramme de l'œil dépend du nombre de bits observés en un temps donné. Plus ce nombre est grand, plus l'indication de la qualité du dispositif mesuré est précise.

Ainsi, certaines longueurs de séquences ont été choisies selon les capacités des appareils de mesure et des compromis de fiabilité, telles que les séquences pseudo-aléatoires de 2^8-1 et $2^{15}-1$ bits.

Via quelques considérations statistiques, le diagramme de l'œil est relié aux facteurs de qualité d'une transmission numérique, tels que la gigue de phase, les bruits sur les niveaux logiques, et le facteur de qualité $Q=(\text{signal}/\text{bruit})$ [Annexe A].

De façon qualitative, nous pouvons nous attendre à quelques axiomes :

- Plus les temps de montée et de descente du signal numérique sont faibles, plus la probabilité d'erreur est faible, puisque les niveaux haut et bas seront plus facilement discernables car plus rapidement atteints.
- Plus les bruits sur les niveaux logiques (haut et bas) sont faibles, plus le taux d'erreur est faible, pour les mêmes raisons.

Ces deux considérations sont relativement classiques pour tous les types de transmissions numériques. Dans le cas des très hauts débits « électriques », la technologie microélectronique touche à ses limites, les constantes de temps des signaux numériques (les temps de montée et de descente doivent être une fraction du temps bit à 40 Gbit/s : 25 pS) sont du même ordre de grandeur que les constantes de temps des éléments parasites des composants actifs (typiquement leurs capacités parasites sont de l'ordre de quelques dizaines de fF, avec quelques Ohms de résistance série cela fait des constantes de temps de quelques pS) :

Comme le signal numérique (en l'occurrence Code NRZ) est vu comme un signal aléatoire, les temps occupés successivement par les niveaux hauts et bas ont des durées aléatoires. Ceci signifie que les quantités de charges accumulées dans les diverses capacités parasites des composants, à la fin de chaque cycle de charge/décharge sont aléatoires ce qui implique des conditions initiales aléatoires de charge pour le cycle suivant.

C'est l'origine des phénomènes appelés gigue de phase et bruit d'amplitude. (ou bruit de niveau).

En effet, en plus de l'effet de filtrage dû au caractère passe bas des composants, un effet de dispersion sur les pentes des signaux et leurs niveaux logiques vient s'ajouter et changer aléatoirement les formes d'onde, ce qui cause la fermeture du diagramme de l'œil.

1.5 L'amplification électrique des signaux numériques

La figure suivante illustre la partie électronique d'une transmission à très haut débit, dans laquelle sont entourés les éléments principalement concernés dans le cadre de cette thèse.

Les amplificateurs sont près de l'interface sur le chemin du signal entre sa partie optique et sa partie électrique, directement connectés aux modulateurs et aux détecteurs de lumière.

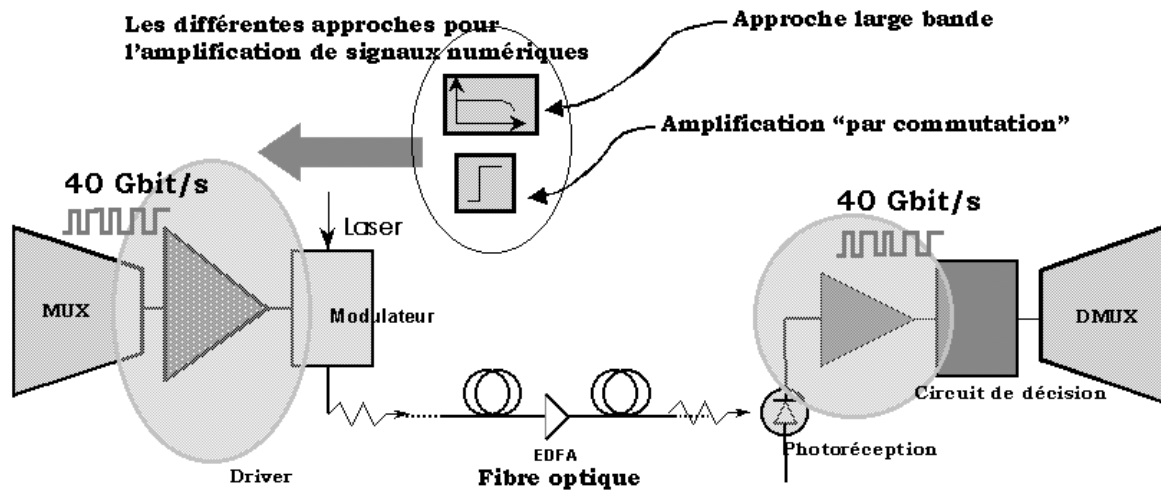


Figure 1.6 Circuits étudiés dans le cadre de la thèse.

Les amplificateurs électroniques d'extrémité sont soumis à diverses contraintes :

- Ce sont les circuits travaillant aux plus hauts débits électriques de la chaîne de transmission. En émission, ils commandent la modulation de la lumière injecté dans la fibre, et en réception, ils convertissent le photocourant binaire à un débit de 40 Gbit/s ou plus en une tension électrique.
- En réception, l'amplificateur doit être à faible bruit, en ce sens que les signaux traités après la conversion par la photodiode sont dans la gamme des micro-ampères, comparables aux bruits des circuits eux-mêmes.
- En émission, les amplificateurs sont principalement utilisés pour commander des modulateurs externes de lasers. Ceux ci nécessitent des tensions de commande de quelques Volts (typiquement 3 Volts pour les modulateurs à Electroabsorption, et 6 pour les modulateurs au Niobate de Lithium). Ainsi, aux contraintes fréquentielles, s'additionnent des contraintes en terme d'amplitude des signaux de sortie.

Selon les débits des signaux numériques à amplifier et les performances des technologies utilisées, deux approches sont possibles pour ce type d'amplificateurs :

- L'approche numérique, qui est applicable lorsque les fréquences de coupure intrinsèques des composants sont largement supérieures aux débits à traiter (typiquement au moins un rapport de 5). Elle consiste à considérer l'amplificateur comme un circuit fonctionnant principalement en commutation entre deux niveaux logiques. Cette approche est utilisée pour les très bas débits (typiquement STM-2), ou lorsque les amplitudes nécessaires ne sont pas très

élevées (typiquement aux sortie des circuits numériques rapides, quelques centaines de millivolts).

- L'approche analogique, qui consiste à traiter le signal numérique (pseudo)aléatoire comme un spectre d'une densité de puissance donnée, et à l'amplifier comme tel. Les techniques et la théorie utilisée dans ce cadre sont principalement linéaires. Les effets non-linéaires tels que la saturation, la remise en forme et la limitation sont négligés dans un premier temps car ils supposeraient une modification du spectre fréquentiel du signal qui sort du cadre de la théorie des systèmes linéaires.

Pour les transmissions à très hauts débits, la dualité entre les domaines temporels et fréquentiels existe mais les règles de correspondances sont difficiles à établir.

Dans le cadre de cette thèse, nous nous proposons d'étudier les deux approches suscitées, analytiquement d'abord, d'en donner les limites lorsqu'elles sont appliquées à des technologies données ; ensuite de les comparer en terme de performances temporelles (taux d'erreurs, qualité de l'œil).

-
- [1] « France Telecom – les télécommunications », Berget Levrault International, mai 1993.
- [2] « Laser Diode Modulation and noise », K. Petermann, Kluwer Academic publishers, Tokyo, 1988.
- [3] « Télécommunication : réalités et virtualités, un avenir pour le XXIème siècle », Michel Feneyrol, Editions MASSON, 1996.
- [4] « Electronic communications systems, fundamentals through advanced », W. Tomasi, Editions Prentice Hall, 1988.
- [5] « Systèmes de télécommunications », P.-G. Fontolliet, CENT-ENST, Editions Dunod, 1983.
- [6] G. Vareille, F. Pitel, O. Ait Sab, and J-F. Marcerou, “1 Tbit/s WDM C+L Band Transmission over 4000km of Non-Zero Dispersion Shifted Fiber” in Proc ECOC 2000, Munich.
- [7] S. Kawanishi, H. Takara, K. Uchiyama, I. Shake, K. Mori, « 3 Tbit/s (160 Gbit/s×19) OTDM/WDM transmission experiment », Optical Fiber Communication Conference, 1999, and the International Conference on Integrated Optics and Optical Fiber Communication, 1999.
- [8] S. Bigo, W. Idler, J.-C. Antona, G. Charlet, C. Simonneau, M. Gorleir, M. Molina, S. Borne, C. de Barros, P. Sillard, P. Tran, R. Dischler, W. Poehlmann, P. Nouchi, Y. Frignac, « Transmission of 125 WDM channels at 42.7 Gbit/s (5 Tbit/s capacity) over 12/spl times/100 km of TeraLight/spl trade/ Ultra fibre », European Conference on Optical Communication, 2001.
- [9] K. Pedrotty, « High speed circuits for lightwave communications », International Journal of High speed Electronics and Systems, Vol. 9, No. 2, 1998.
- [10] E. Sano and K. Hagimoto, « Present status and future prospects of high-speed lightwave ICs based on InP », International Journal of High speed Electronics and Systems, Vol. 9, No. 2, 1998.
- [11] « Telecommunication systems », Pierre-Girard Fontolliet, The Artech House Telecom Library, 1986.

Chapitre 2

Le transistor HEMT

2.1	PRINCIPE DE FONCTIONNEMENT	19
2.2	EFFET MESFET PARASITE	20
2.3	LA STRUCTURE HEMT AMELIOREE GENERIQUE	21
2.3.1	LES CONTACTS OHMIQUES DE DRAIN ET DE SOURCE	21
2.3.2	L'ESPACEUR	21
2.3.3	LE RECESS DE GRILLE	21
2.4	LA GRILLE EN CHAMPIGNON	22
2.5	CARACTERISTIQUES ELECTRIQUES	22
2.6	LE SCHEMA EQUIVALENT PETIT SIGNAL	26
2.7	LE P-HEMT GAAS	27
2.8	TECHNOLOGIE HEMT SUR SUBSTRAT INP	29
2.8.1	LE TRANSISTOR HEMT INP	30
2.8.2	LES COURBES STATIQUES	30
2.8.3	LE MODELE PETIT SIGNAL	31
2.8.3.1	Extraction des éléments parasites extrinsèques	31
2.8.3.2	Epluchage des mesures	41
2.8.3.3	Extraction du schéma équivalent intrinsèque	43
2.8.3.4	Les fréquences de transition et d'oscillation maximale	43
2.9	COMPARAISON ENTRE LES DEUX TECHNOLOGIES GAAS ET INP	45
2.10	ETAT DE L'ART	46

2. Le transistor HEMT¹

« ... Ces résultats laissent à prédire que le transistor à gaz d'électrons 2D ... sera très utile pour les applications hautes fréquences et la logique à très haut débit. »

D. Delagebeaudeuf et Al, Août 1980, Elec. Lett.

Depuis la fabrication des premiers exemplaires dans les années 80 [1][2] ses domaines d'application ne cessent de croître. De plus en plus, les applications faible bruit et faible consommation font partie de son domaine de prédilection [3], mais les hautes fréquences restent son application naturelle. C'est la maîtrise des techniques de croissance cristalline qui a permis son développement. S'ajoute à cela la plus-value due à l'utilisation d'hétérojonctions, dont découle une nette amélioration fréquentielle comparé à son plus proche cousin, le MESFET [2].

Dans ce chapitre, nous allons décrire le principe de fonctionnement du HEMT, ainsi que les deux technologies que nous avons utilisées. En premier, seront décrits les principes de base du transistor HEMT et des diverses améliorations structurales à l'origine des versions actuelles, suivit par la construction du modèle équivalent petit signal générique du HEMT. On terminera par une description des technologies P-HEMT GaAs et HEMT InP utilisées.

¹ Appelé aussi TEGFET (Two Electron Gas Field Effect Transistor) ou MODFET (Modulation Doped Field Effect Transistor).

2.1 Principe de fonctionnement

L'idée du HEMT comme de tous les transistors à effet de champs est le contrôle du courant drain-source par le biais d'une tension de commande, et ainsi « fabriquer » une source de courant contrôlée en tension.

Le transistor à effet de champs peut se décrire comme un barreau semi-conducteur dopé, aux extrémités duquel sont portées deux électrodes : le drain et la source. Une troisième électrode est rajoutée entre ces deux dernières : la grille, qui va former selon le type de transistor, une jonction P.N, M.O.S ou Schottky. Ainsi, La section de conduction du semi-conducteur, qui est définie par le volume du matériau contenant des charges va dépendre de la largeur de la zone de charge d'espace et donc de la polarisation appliquée sur la grille. Comme ces transistors fonctionnent souvent en régime inverse pour la jonction grille semi-conducteur, ou alors avec une grille isolée par un diélectrique (dans le cas du MOS); leur impédance à l'entrée est fortement capacitive, d'où un courant d'entrée quasi nul.

Le principe du HEMT est basé sur l'hétérojonction entre semi-conducteurs à grand et petit GAP : Dans sa forme originelle, on a fait croître une couche non intentionnellement dopée GaAs suivie d'une couche de $\text{Al}_x\text{Ga}_{1-x}\text{As}$ fortement dopée N^+ . La Figure 2.1 représente le diagramme de bandes de l'hétérostructure GaAs- $\text{Al}_x\text{Ga}_{1-x}\text{As}$ avant contact.

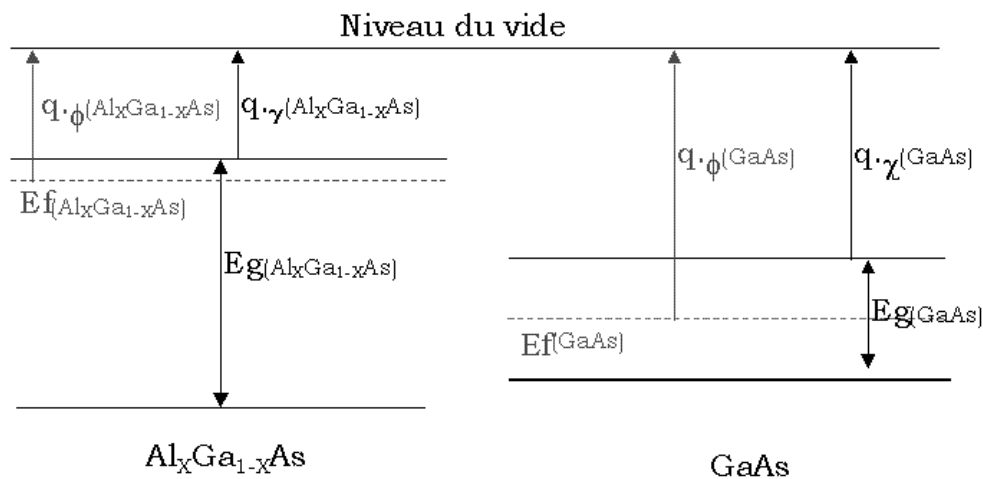


Figure 2.1 Diagramme de bandes d'une hétérojonction GaAs- $\text{Al}_x\text{Ga}_{1-x}\text{As}$ avant contact.

Après contact et à équilibre thermodynamique, les niveaux de Fermi des deux semi-conducteurs s'alignent. Le puits quantique ainsi réalisé à l'interface de l'hétérojonction GaAs- $\text{Al}_x\text{Ga}_{1-x}\text{As}$ N^+ est de forme triangulaire.

La bande de conduction du matériau à plus faible *gap* va se courber et sera traversée par le niveau de Fermi E_f de la structure. De ce niveau va dépendre la concentration des porteurs dans le puits quantique qui regroupe toutes les charges libres responsables de la conduction dans le GaAs : ça sera le canal.

La densité des porteurs dans le canal va dépendre aussi de la différence de *gap* entre les deux matériaux et du dopage de l' $\text{Al}_x\text{Ga}_{1-x}\text{As}$ N^+ . La Figure 2.2 représente l'hétérojonction après contact.

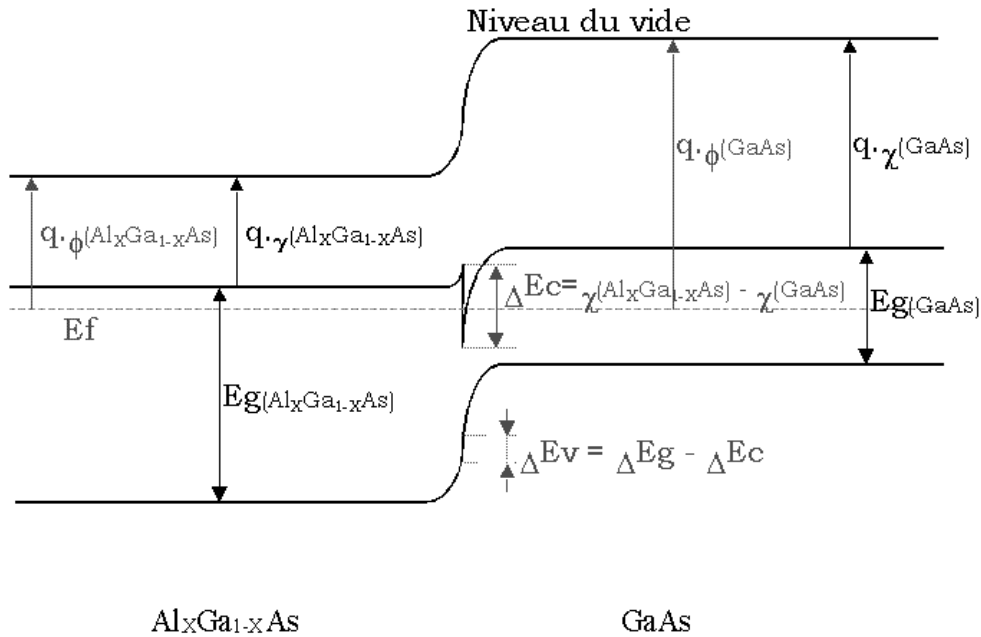


Figure 2.2 Diagramme de bandes d'une hétérojonction GaAs-Al_xGa_{1-x}As après contact.

Ainsi, les ions donneurs qui sont principalement dans la couche barrière Al_xGa_{1-x}As sont spatialement isolés des électrons principalement confinés dans le puits quantique. L'interaction Coulombienne électrons-ions en est fortement réduite [4]. C'est là, la principale cause de l'amélioration de mobilité dans le canal du HEMT qui est beaucoup plus forte que dans un canal volumique de MESFET.

2.2 Effet MESFET parasite

Lorsque la couche barrière est fortement dopée ou alors la tension grille-source pas suffisamment négative (d'où une déplétion partielle de l'Al_xGa_{1-x}As), une conduction parasite dans cette couche détériore la transconductance g_m de l'effet HEMT principal lorsque la tension grille-source augmente : un courant MESFET parasite vient se rajouter au courant HEMT principal. De ce fait, la commande du courant drain-source global n'est plus aussi efficace car une partie de ce courant est localisée dans l'AlInAs qui a des propriétés de transports moins intéressantes. Ceci explique la détérioration de la transconductance, qui est à l'origine de la forme en cloche de celle-ci en fonction de la tension de grille.

2.3 La structure HEMT améliorée générique

Le cœur du HEMT est complètement décrit par l'hétérojonction, le puits quantique qui en découle et la jonction Schottky grille semi-conducteur. Plusieurs phénomènes parasites (DC ou hautes fréquences) viennent se greffer à sa périphérie. De ce fait, certaines améliorations sur la structure physique sont devenues tellement communes qu'on peut définir une structure de base améliorée du HEMT pour tous les types de matériaux utilisés par la suite :

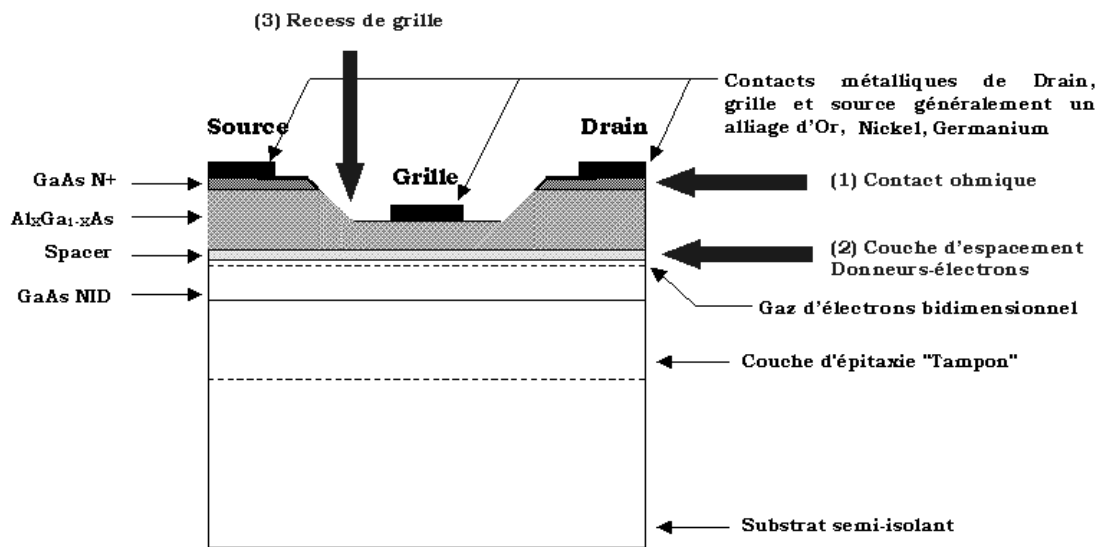


Figure 2.3 Coupe schématique de la structure de base d'un HEMT.

2.3.1 Les contacts ohmiques de drain et de source

Pour éviter l'apparition d'une jonction Schottky parasite sur les contacts de drain ou de source, on insère une couche fortement dopée N+ afin de réaliser un contact ohmique et ainsi diminuer les résistances parasites série. Celles-ci, notamment la résistance de source sont responsables d'une chute de gain du transistor. La corrélation $R_s - G_{m_{\text{extrinsèque}}}$ sera traitée plus en détails dans la partie concernant le modèle.

2.3.2 L'espaceur

Afin d'accentuer l'isolation spatiale entre les ions donneurs dans la couche barrière et les électrons dans le puits quantique, et ainsi améliorer la mobilité de ces derniers, une couche non intentionnellement dopée est insérée entre le puits et la barrière : c'est le Spacer. Son épaisseur est typiquement de quelques dizaines d'Angström.

2.3.3 Le recess de grille

Le recess de grille consiste à réduire l'épaisseur de la couche barrière sous la grille. Dans des conditions optimales de fonctionnement, la couche ternaire doit être complètement déplétée et aucun courant parasite à celui du canal ne doit y circuler. En pratique, et pour des tensions V_{gs} suffisamment positives, il y subsiste

toujours un courant parasite. Le recess est avant tout responsable du contrôle de la tension de pincement des transistors.

Les résistances parasites de source et de drain sont optimisées par le choix d'épaisseur de la couche de contact N⁺ et de barrière non-recessée. Elles sont définies comme la mise en série des résistances des contacts ohmiques du drain et de la source, et des résistances des régions du canal qui ne sont ni sous les contacts ohmiques ni sous contrôle de la tension V_{gs}. La diminution des résistances de contact s'obtient par une meilleure densité de charge dans les régions d'accès.

2.4 La grille en champignon

En supposant une distribution bidimensionnelle continue des électrons dans le puits quantique dans le sens d'écoulement du courant, la proportion d'électrons arrivant à l'électrode de sortie suite à un signal de commande sur la grille dépend de leur vitesse. Macroscopiquement, cela se mesure par la fréquence de coupure du transistor f_t . A matériau identique, donc mobilité identique, la fréquence de coupure est déterminée par la longueur de grille. De ce fait, on aboutit à des structures mettant en œuvre des grilles de plus en plus courtes.

D'un autre côté, on définit une résistance d'accès à la grille intrinsèque. Elle représente toutes les parties métalliques d'accès à la jonction Schottky. De ce fait, plus la surface d'une section de grille et ses accès sont larges (pour des grilles longues), moins élevée est la valeur de cette résistance. Comme nous le verrons par la suite, cette résistance est responsable de l'affaiblissement du signal à l'entrée et d'une diminution de la fréquence de coupure.

L'optimisation de ces deux paramètres a aboutit à des grilles en champignon : ainsi, la résistance d'accès est diminuée car les sections des accès sont plus larges, et le temps de transit diminué car la grille (le pied du champignon) est courte.

2.5 Caractéristiques électriques

La structure complexe du HEMT, rend très difficile une modélisation analytique complète du composant. Le recours au calcul numérique en est obligatoire, ce qui pose de façon récurrente le problème de définition des facteurs de qualité.

Dans cette section, nous allons définir les paramètres décrivant le comportement global du HEMT. Nous verrons par la suite que souvent ces paramètres ne sont pas les plus adéquats à l'optimisation en terme de circuit. Pour chaque paramètre, nous allons tenter d'établir la corrélation entre les performances circuit et ce que nous appellerons par la suite caractéristiques électriques du transistor.

Le courant drain-source

Le modèle du courant drain-source d'un HEMT doit prendre en compte les contributions de trois effets :

- Le courant engendré par l'effet HEMT : le courant du gaz d'électron 2D calculé sous la grille. Ce courant est issu du mouvement des électrons dans le puits quantique à l'interface de l'hétérojonction. On définit n_s la densité surfacique équivalente des électrons dans le puits.

$$I_{HEMT \text{ int rinsèque}} = e \cdot W \cdot n_s(x) \cdot V_{HEMT \text{ int rinsèque}}(E(x)) \quad (2.1)$$

Avec

x : Position sur l'axe source → drain.

W : La largeur de grille du composant.

$E(x)$: Le champ électrique longitudinal à une abscisse donnée sous la grille.

$V_{HEMT \text{ intrinsèque}}(E(x))$: La vitesse des électrons dans le gaz 2D.

$n_s(x)$: La densité surfacique de charges du gaz 2D.

La densité de charges dans le puits peut être augmentée en augmentant le dopage de la barrière. La limite est fixée par le champ électrique à la jonction Schottky qui devient de plus en plus important à mesure que le dopage augmente ; et induit des risques de claquage.

- Le courant de l'effet MESFET parasite. En considérant la barrière comme un canal de FET classique partiellement obstrué par la ZCE de la jonction Schottky :

$$I_{MESFET} = e \cdot W \cdot N_D \cdot h(x) \cdot V_{MESFET}(E(x)) \quad (2.2)$$

Avec

N_D : La densité volumique de dopant dans la barrière ou la densité volumique équivalente à la couche de dopant dans le cas d'un HEMT à dopage planaire.

$h(x)$: L'épaisseur du canal MESFET à une abscisse x sous la grille.

V_{MESFET} : La vitesse des électrons dans la barrière.

- Les éléments parasites résistifs des chemins d'alimentation des drain, grille et source du transistor induisent des chutes des tensions V_{ds} et V_{gs} , et donc une diminution du courant I_{ds} et transconductance extrinsèques.

La saturation de vitesse des électrons

Au-delà d'une certaine tension V_{ds} , Les électrons dans le canal atteignent leur vitesse de saturation. Au premier ordre, par les équations 2.1 et 2.3 le courant drain-source dépendra de la densité surfacique des électrons dans le canal qui est reliée au niveau de Fermi dans le matériau à faible GAP ; et de la largeur du canal MESFET lorsque celui-ci est présent, qui lui dépend de la zone de charge d'espace de la jonction Schottky. La saturation de vitesse des électrons a pour effet la saturation des courbes $I_{ds}(V_{ds})$ du transistor ; et l'on définit une tension V_{ds_sat} correspondant au champ électrique dans le canal pour lequel les électrons atteignent leur vitesse de saturation.

Le contrôle par la tension de grille

Lorsqu'une tension V_g est appliquée sur la grille, les niveaux de Fermi dans le métal et dans le GaAs se séparent d'une valeur absolue égale à $e \cdot V_g$.

Pour un V_g négatif, le niveau de Fermi dans le canal baisse. Ainsi, la densité d'électrons dans le canal baisse ce qui (pour des V_{ds} supérieures à V_{ds_sat}) implique une diminution du courant drain-source. L'effet est inverse pour une tension V_g positive, le niveau de Fermi dans le canal monte, et plus de niveaux énergétiques y sont occupés par les électrons issus de la barrière. De la même façon, la corrélation est démontrée pour des $V_{ds} > V_{ds_sat}$ entre la tension de grille et le courant I_{ds} .

Les courbes $I_{ds}(V_{ds})$

La Figure 2.4 représente les courbes statiques $I_{ds}(V_{ds})$ d'un P-HEMT GaAs pour une largeur de grille de $100 \mu\text{m}$. Sur ces courbes sont observés deux régimes limites de fonctionnement. Le régime ohmique à $V_{ds} < 0,5 \text{ V}$: Le courant I_{ds} varie en fonction des tensions V_{gs} et V_{ds} . Le régime de saturation à $V_{ds} > 1,5 \text{ V}$: I_{ds} est quasi-constant en fonction de V_{ds} et varie seulement en fonction de V_{gs} .

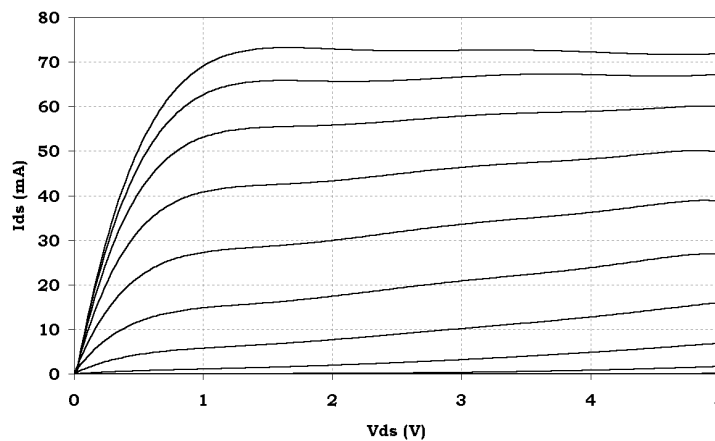


Figure 2.4 Caractéristique statique d'un P-HEMT GaAs de $100 \mu\text{m}$ de largeur de grille.

La transconductance

La transconductance intrinsèque g_m est définie comme la variation du courant I_{ds} en fonction de la tension V_{gs} intrinsèque (i.e. la ddp entre le métal de grille à l'interface de la jonction schottky et le semi-conducteur) à V_{ds} constant :

$$g_m = \left[\frac{\partial I_{ds}}{\partial V_{gs}} \right]_{V_{ds}=cste} \quad (2.4)$$

Le g_m intrinsèque traduit le contrôle de charge dans le canal par la tension de grille.

La conductance de sortie

La conductance de sortie g_d est définie comme la variation du courant I_{ds} en fonction de V_{ds} à V_{gs} constant :

$$g_d = \left[\frac{\partial I_{ds}}{\partial V_{ds}} \right]_{V_{gs}=cste} \quad (2.5)$$

Le g_d traduit la conduction drain-source parasite de la structure. Elle peut servir d'indicateur de régime de saturation. Elle est principalement due aux états énergétiques introduits dans la bande interdite et aux effets de canal court (faible facteurs de forme longueur canal/épaisseur couches).

La capacité grille-source

C_{gs} décrit l'interaction capacitive sous la grille entre la grille et la source. Sa valeur est majoritairement déterminée par la partie de la capacité de la zone de charge d'espace de la jonction Schottky grille-source.

$$C_{gs} = \left[\frac{\partial Q}{\partial V_{gs}} \right]_{V_{gd}=cste} \quad (2.6)$$

Avec :

Q : La charge de la ZCE de la jonction Schottky.

La capacité grille-drain

C_{gd} est définie comme l'interaction capacitive dans le semi-conducteur entre la grille et le drain. Elle reflète la variation de la quantité de charge dans la ZCE de la jonction Schottky à tension V_{gs} constante.

$$C_{gd} = \left[\frac{\partial Q}{\partial V_{gd}} \right]_{V_{gs}=cste} \quad (2.7)$$

Cette capacité détériore les performances dynamiques de deux façons différentes :

Par effet Miller : Une partie de C_{gd} (ou multiple de C_{gd}) se retrouve reportée à l'entrée du transistor s'additionnant avec la capacité C_{gs} et diminuant ainsi le gain extrinsèque du transistor à haute fréquence.

Par couplage direct : A haute fréquence, C_{gd} relie directement l'entrée du transistor à sa sortie et peut provoquer des instabilités.

Comme l'illustre la Figure 2.5, pour une utilisation à haute fréquence, il est plus avantageux de travailler avec des tensions V_{gd} au-delà de 1,5 V afin de minimiser l'influence de C_{gd} .

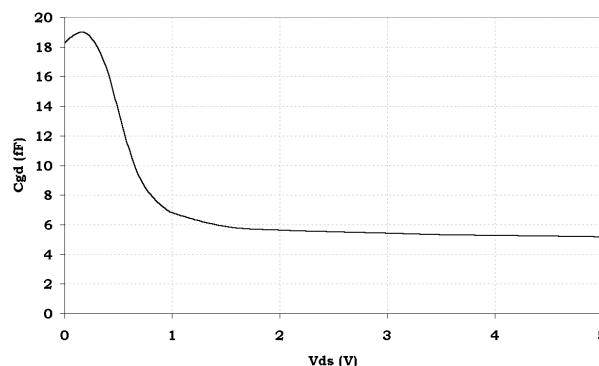


Figure 2.5 Variation de la capacité grille-drain en fonction de la tension de drain pour un $V_{gs}=0$ V pour un transistor P-HEMT 0,1 de $2 \times 25 \mu\text{m}$ de largeur de grille.

La capacité entre le drain et la source

L'origine de C_{ds} est l'interaction capacitive entre les deux régions du canal sous les contacts ohmiques de drain et de source.

Les résistances R_i et R_{gd}

Même lorsque la barrière est totalement dépletée sous la grille, elle ne l'est pas complètement dans les zones qui ne sont pas exactement sous la grille, surtout dans les régions d'accès au canal actif. De ce fait, les capacités C_{gs} et C_{gd} se retrouvent en série avec deux zones partiellement conductrices, respectivement R_i et R_{gd} .

Les résistances d'accès R_d et R_s

Elles proviennent d'une part des résistances des contacts ohmiques de drain et de source. Et d'autre part, de la densité de charge limitée dans les régions d'accès. Le gain extrinsèque du transistor $g_{m_{\text{extrinsèque}}}$ diminue pour des valeurs élevées de R_s .

Les éléments extrinsèques

Un premier schéma équivalent petit signal du HEMT peut déjà être établi en utilisant les éléments cités ci-dessus. Ces paramètres décrivent l'effet HEMT et les parasites issus de sa propre structure. Par ailleurs, lorsqu'un transistor HEMT est physiquement réalisé, quelques inductances se rajoutent au schéma, L_g , L_d , L_s : Les inductances parasites d'accès, respectivement aux grille, drain, et source.

2.6 Le schéma équivalent petit signal

Le schéma équivalent petit signal pour les transistors à effet de champ, y compris le HEMT, peut être décrit comme suit dans sa version la plus élémentaire [5] :

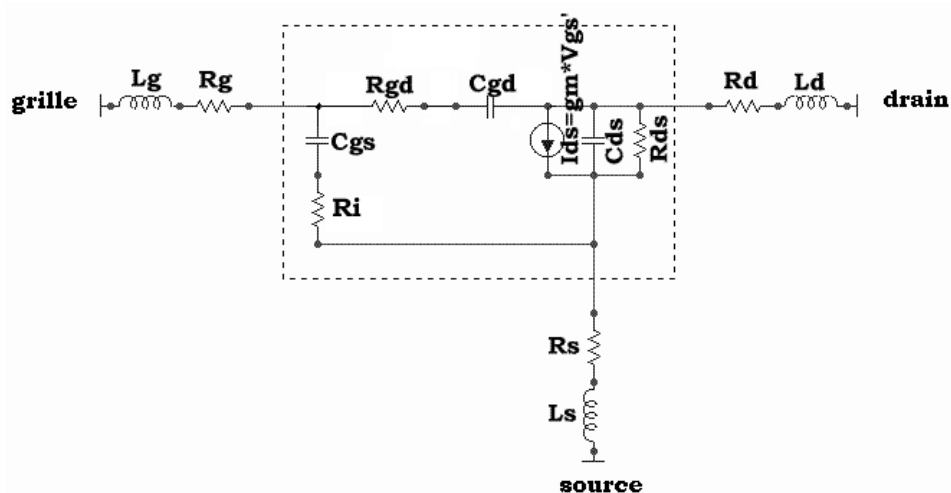


Figure 2.6 Schéma équivalent petit signal de base pour les transistors à effet

2.7 Le P-HEMT GaAs

Une coupe du P-HEMT (HEMT Pseudo-morphique) sur substrat GaAs est présentée dans la figure ci-dessous.

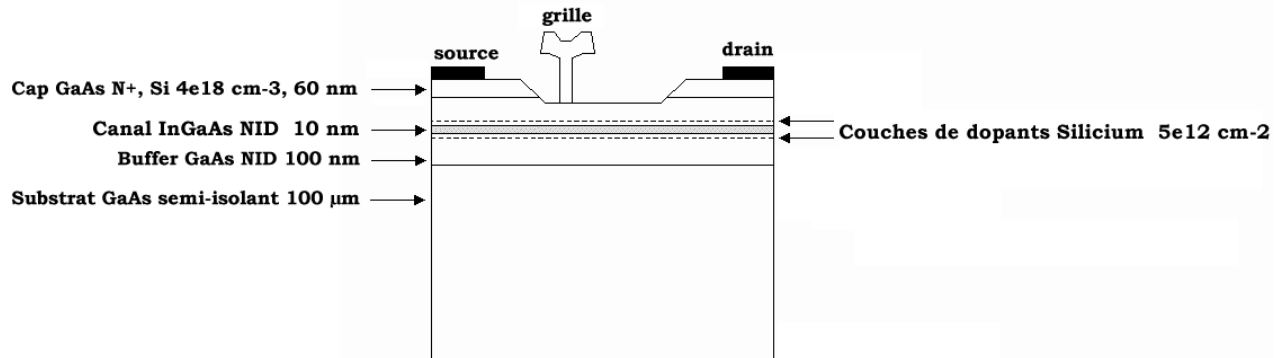


Figure 2.7 Structure de couches du P-HEMT GaAs.

Les dopants sont confinés dans deux couches de Silicium disposées de part et d'autre du canal InGaAs. Le tout sur un substrat GaAs de 100 μm . La figure suivante représente les caractéristiques DC d'un transistor P-HEMT de la fonderie OMMIC mesurées et simulées avec le modèle CAO grand signal.

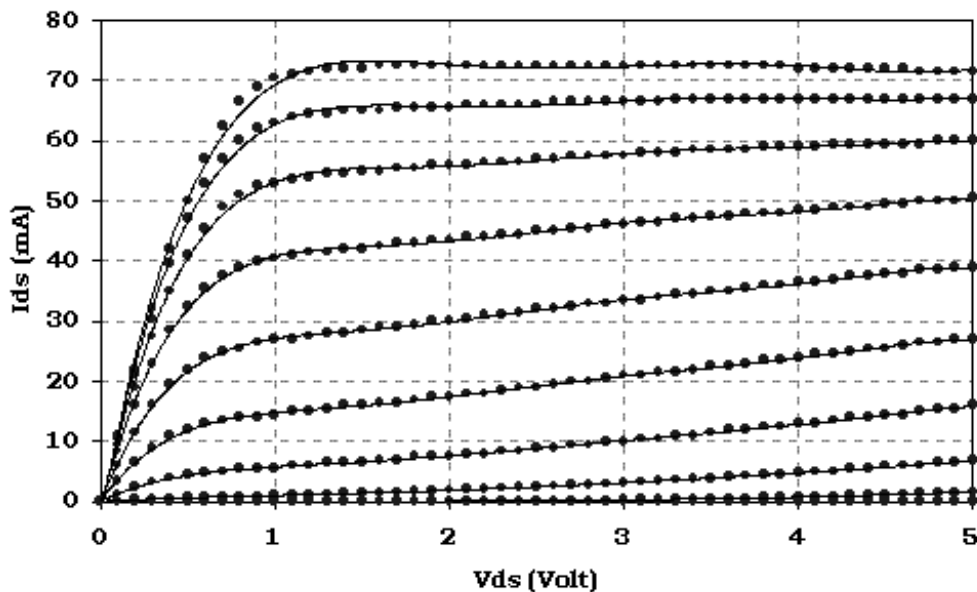


Figure 2.8 Courbes DC mesurées (\bullet) et simulées (-) (Modèle CAO) pour un transistor de 100 μm de largeur de grille. V_{gs} variant de -1 à 0,8 Volt avec un pas de 0,2 Volt.

Sur les figures suivantes sont représentées les courbes des parties réelles et imaginaires des paramètres S d'un transistor P-HEMT de 2x25 μm de largeur de grille mesurées et simulées avec les modèles CAO petit et grand signaux.

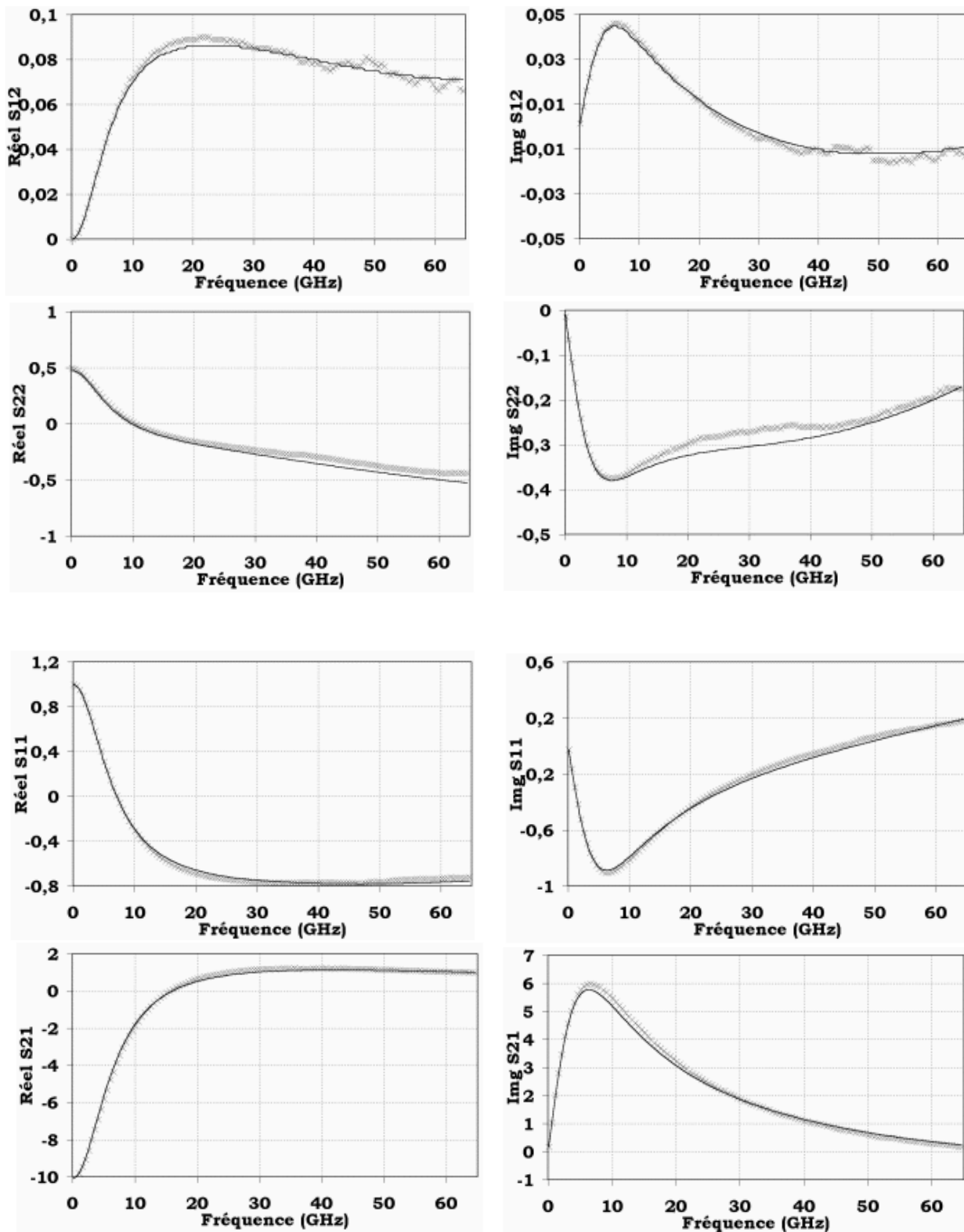


Figure 2.9 Parties réelles et imaginaires des paramètres S simulés (-) et mesurés (x) d'un transistor p-HEMT ($W=2 \times 25 \mu\text{m}$, $V_{gs}=0$, $V_{ds}=2$).

2.8 Technologie HEMT sur substrat InP

La figure ci-dessous présente un récapitulatif des éléments fournis par la technologie interne sur InP.

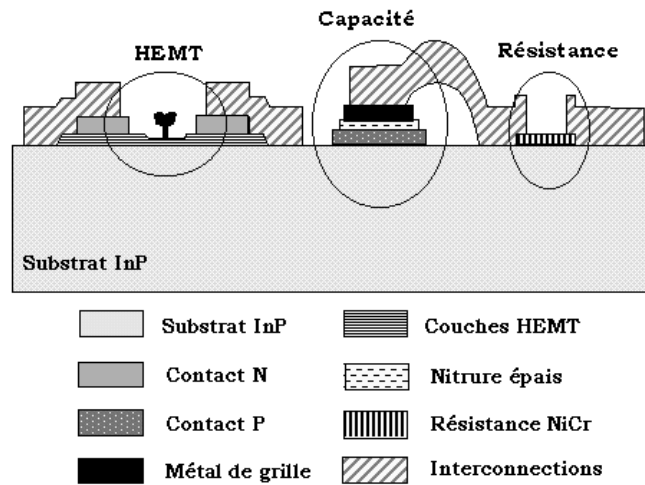


Figure 2.10 Eléments de la technologie interne HEMT InP.

Le tableau ci-dessous donne les caractéristiques électriques typiques des couches utilisées pour les éléments passifs de la technologie. Aussi, elle dispose d'un seul niveau d'interconnexion épaisse et d'une technologie à pont à air afin de réduire les capacités parasites lors des croisements d'interconnexions.

	Substrat	Résistance	Capacité	Pont à air
Epaisseur, hauteur (μm)	400	≈ 0.03	1,5	4
Résistance carré (Ω)		25		
Epaisseur du dielectrique (μm)			0,15	

Tableau 2.1 Caractéristiques électriques des éléments passifs sur InP.

La figure suivante représente une photo prise par microscopie électronique d'un pont à air. La capacité parasite calculée pour des dimensions typiques de ponts à air ($15\mu\text{m} \times 15\mu\text{m}$) est voisine de 1 fF, alors qu'elle est de 10 fF approximativement pour des croisements « classiques ».

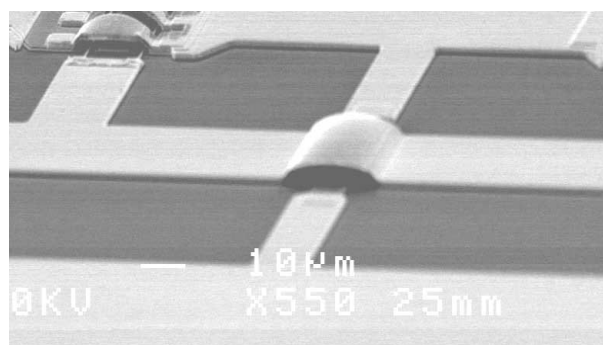


Figure 2.11 Photo MEB d'un pont à air.

2.8.1 Le transistor HEMT InP

Hormis ses avantages intrinsèques de vitesse, l'InP a l'avantage de pouvoir être utilisé autant pour les composants électroniques qu'optiques. La Figure 2.12 présente une coupe verticale du transistor HEMT InP que nous avons utilisé.

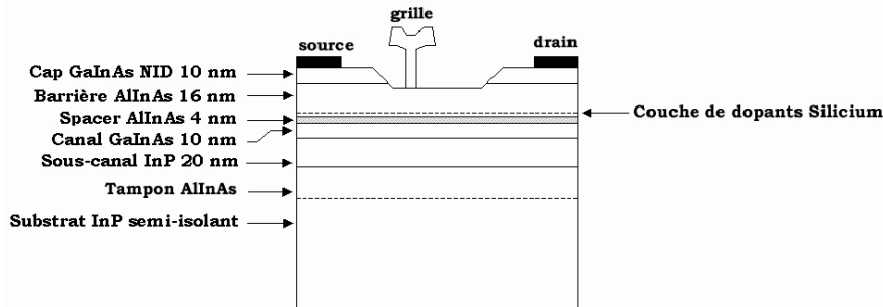


Figure 2.12 Structure de couches d'un transistor InP.

La barrière est réalisée en AlInAs, dans laquelle est insérée à quelque dizaine de nanomètres de l'hétérojonction une fine couche de Silicium qui fournira les charges du canal. Ce dernier est doublé : un premier canal en GaInAs, le plus proche de la couche de Silicium fonctionnera à faible champ, tandis qu'un second canal (en InP) fonctionnera à fort champ. Cette structure, développée au CNET a permis notamment d'atteindre des tensions de claquage élevées nécessaires pour des circuits de puissance tels que les drivers de modulateurs [6]. Suivant le même principe du canal composite, un HEMT « tri-canal » dit « Camel HEMT » ayant une transconductance à deux maxima successifs ; a été développé au CNET [7][8]. Géométriquement, le transistor est composé de deux doigts de grille en parallèle permettant ainsi de réduire les inductances et résistances parasites d'accès pour des largeurs de grille importante ($>30 \mu\text{m}$).

2.8.2 Les courbes statiques

La figure suivante représente le réseau de caractéristiques statiques d'un transistor de $2 \times 25 \mu\text{m}$ de largeur de grille :

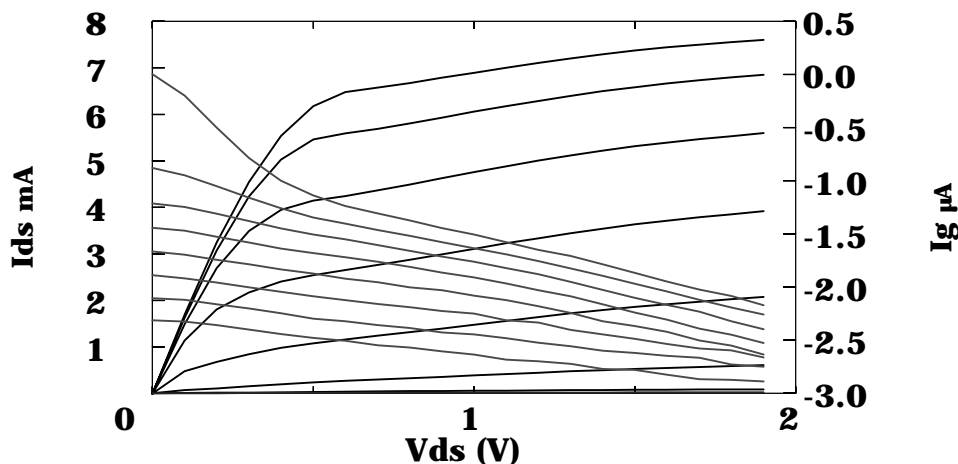


Figure 2.13 Caractéristiques DC d'un HEMT InP typique de $2 \times 25 \mu\text{m}$. V_{gs} variant de $-0,6$ à 0 V avec un pas de $0,1 \text{ V}$.

2.8.3 Le modèle petit signal

Il a été établi à partir des mesures HF réalisées sur des transistors « types » de 50 μm de largeur de grille. Ce chiffre est issu d'une première exploration qui nous a permis de déterminer la taille des transistors nécessaires pour des amplificateurs distribués pouvant fournir approximativement 12 dB de gain large bande. Le cheminement des idées est comme suit : Le gain total basse fréquence des transistors est approché par l'expression : $N.g_m/2$ et comme nous le verrons par la suite les pertes des lignes de transmissions notamment sur la ligne d'entrée limitent le nombre d'étages utiles dans notre cas à moins de 11. Nous en déduisons que le transistor typique utilisable aura une largeur de grille voisine de 50 μm . Et afin de réduire les écarts entre modèles et composants utilisés, nous avons ajusté les paramètres S du modèle petit signal sur les mesures des transistors ayant les largeurs de grille les plus proche de celles utilisables dans les circuits.

2.8.3.1 Extraction des éléments parasites extrinsèques

La figure suivante représente le layout d'un transistor de $2 \times 25 \mu\text{m}$ de largeur de grille. En gris, sont représentés les lignes et les plots de mesure.

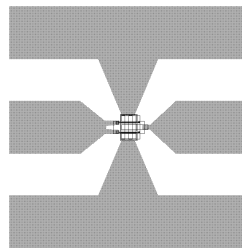


Figure 2.14 Transistor type mesuré pour ajuster le modèle petit signal et ses lignes d'accès.

A nos fréquences d'utilisation, il est nécessaire « d'extraire » les paramètres du transistor intrinsèque sans l'environnement de mesure ; tel qu'il sera utilisé réellement dans le circuit, c'est à dire sans les lignes d'accès et les plots de mesure MSM.

L'ordre de grandeur des éléments réactifs parasites ramenés par les lignes d'accès a été évalué par un calcul analytique à partir de la géométrie de la boîte de mesure.

Il existe plusieurs méthodes de procéder :

- La plus intuitive est la prise en compte de la boîte de mesure lors du calibrage : En effet, il suffit d'effectuer, par exemple un calibrage SOLT en utilisant les motifs de la boîte de mesure ouverts, court-circuités, chargés à 50 Ohms, et connectant directement l'entrée à la sortie pour rapporter les plans de mesure de paramètres S aux accès proches du transistor. L'avantage de cette méthode est de donner directement après calibrage une mesure directe du transistor sans les lignes et plots d'accès. L'inconvénient est qu'il faut réaliser des charges 50 Ohms et des connexions directes entrée sortie spécifiques pour chaque boîte de mesure.

- La deuxième solution consiste à soustraire par une suite de transformations et de mesures via les paramètres S,Y et Z les capacités et inductances parasites introduites par la boîte de mesure :

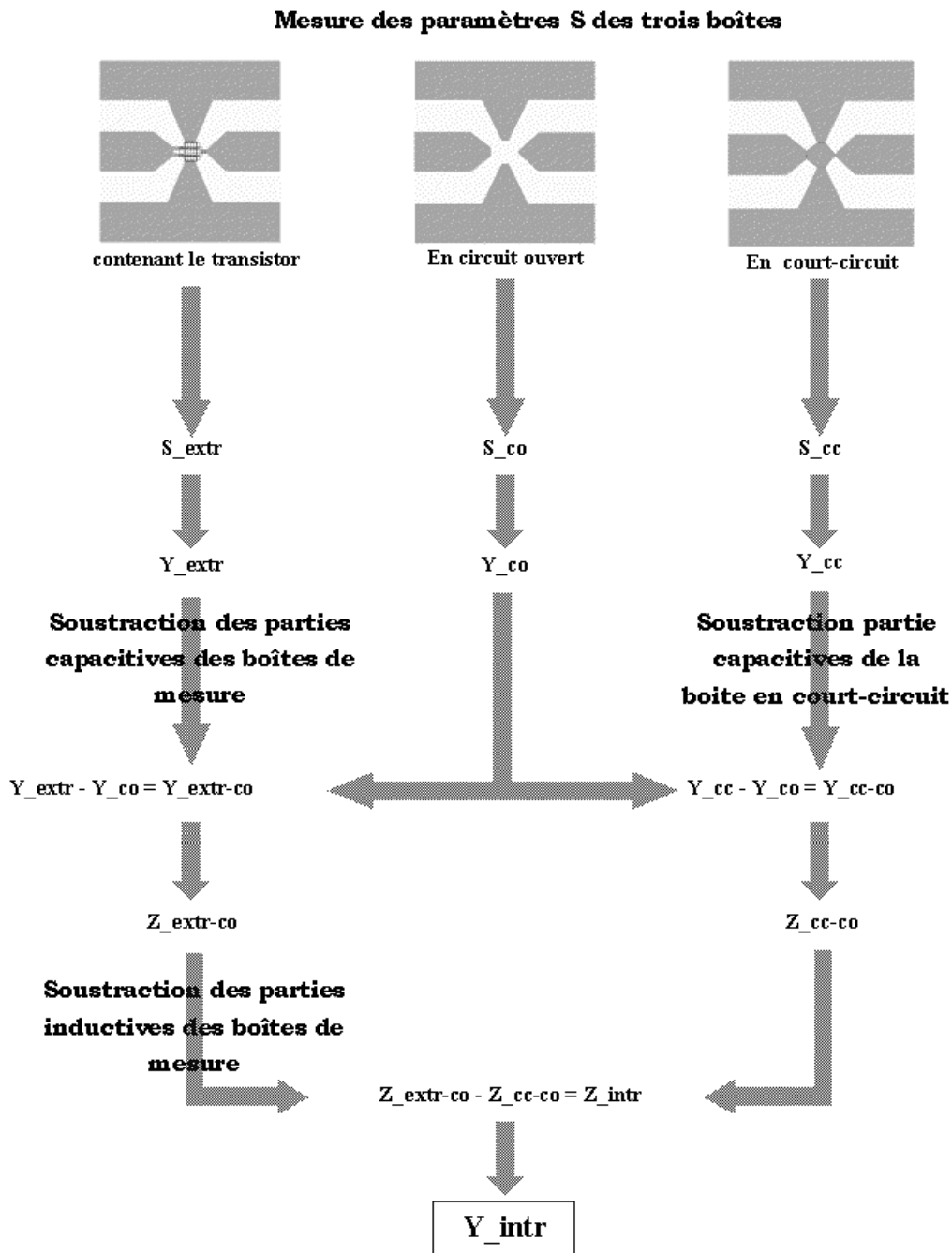


Figure 2.15 Soustraction des capacités et inductances des boîtes de mesures.

- L'autre méthode, proposée par Dambrine [9] consiste à déduire les parasites dus aux boîtes de mesure à partir des mesures des transistors « froids » pincés et passants. Le schéma équivalent du HEMT froid ($V_{ds}=0$) en est sensiblement simplifié et, à priori, les valeurs de ces parasites ne dépendant pas de la polarisation des transistors.

Détermination des capacités de plots C_{pg} et C_{pd}

La figure suivante représente le schéma équivalent petit signal d'un HEMT froid pincé ($V_{gs} \ll V_T$).

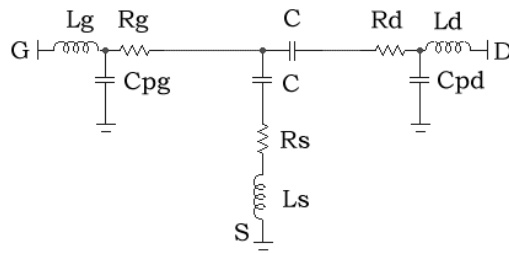


Figure 2.16 Schéma équivalent petit signal du HEMT froid pincé.

Dans ces conditions, les capacités C_{gs} et C_{gd} sont de valeurs égales (pour un HEMT symétrique) car la zone de charge d'espace s'étend symétriquement de part et d'autre de la grille. De plus, à basse fréquence (quelques GHz), les inductances et les résistances parasites ont peu d'influence sur les parties imaginaires des paramètres Y du quadripôle et nous pouvons extraire les capacités des relations suivantes :

$$\text{Im}[Y_{11}] = (C_{pg} + 2.C).w \quad (2.8)$$

$$\text{Im}[Y_{21}] = \text{Im}[Y_{12}] = -C.w \quad (2.9)$$

$$\text{Im}[Y_{22}] = (C_{pd} + C).w \quad (2.10)$$

La deuxième relation nous permet d'extraire la valeur de C . Laquelle est injectée dans les Relations Y_{11} et Y_{22} pour extraire C_{pd} et C_{pg} .

Les courbes suivantes représentent les parties imaginaires des paramètres Y_{12} et Y_{21} extrinsèques calculés à partir des mesures d'un transistor de $2 \times 25 \mu\text{m}$:

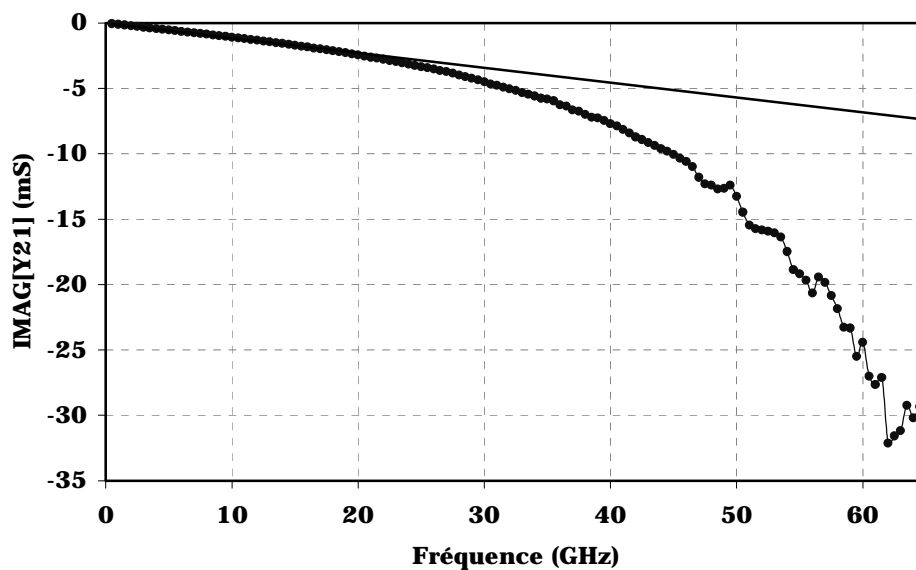


Figure 2.17 Partie imaginaire du paramètre Y_{21} en fonction de la fréquence. Fonction d'ajustage linéaire pour l'extraction de la capacité C .

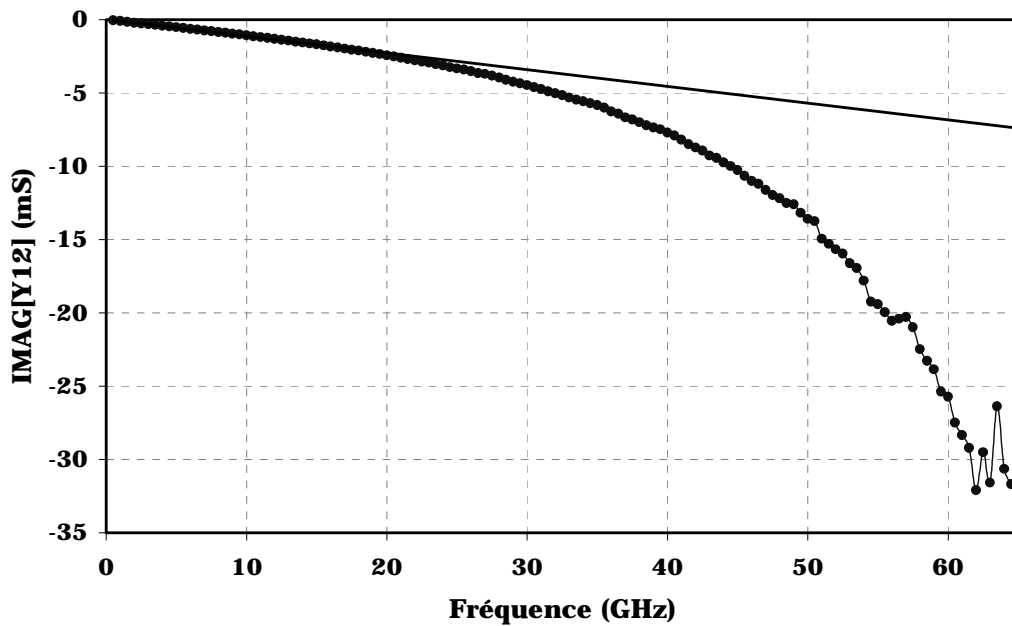


Figure 2.18 Partie imaginaire du paramètre Y_{12} en fonction de la fréquence. Fonction d'ajustage linéaire pour l'extraction de la capacité C .

Les deux courbes ci-dessus nous permettent d'extraire la valeur de la capacité C dans le schéma de la Figure 2.16 :

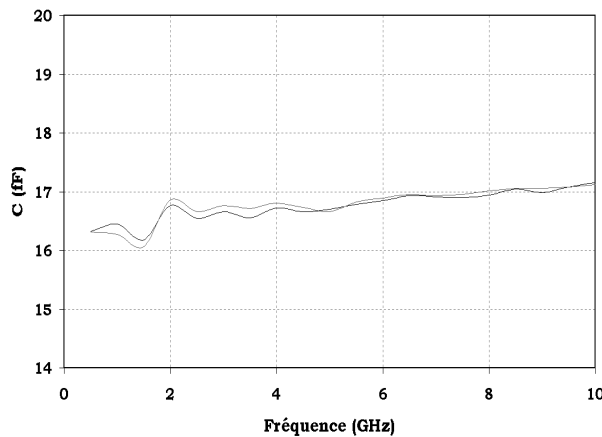


Figure 2.19 Valeur de la capacité C en fonction de la fréquence. Extraite à partir de la partie imaginaire de $S_{21}(-)$ et $S_{12}(-)$

Les deux courbes et les deux valeurs de la capacité C sont très proches ce qui nous rassure quand à la validité du modèle froid-pincé pour notre transistor. La valeur moyenne de C entre 0,5 et 10 GHz est 16,8 fF. De la même façon, on extrait les pentes des Y_{11} et Y_{22} dont les courbes sont présentées ci-dessous. Ainsi nous pouvons extraire les valeurs de C_{pg} et C_{pd} à partir des relations 2.8 et 2.10 :

$$C_{pg} \approx 30 \text{ fF}, C_{pd} \approx 45 \text{ fF}$$

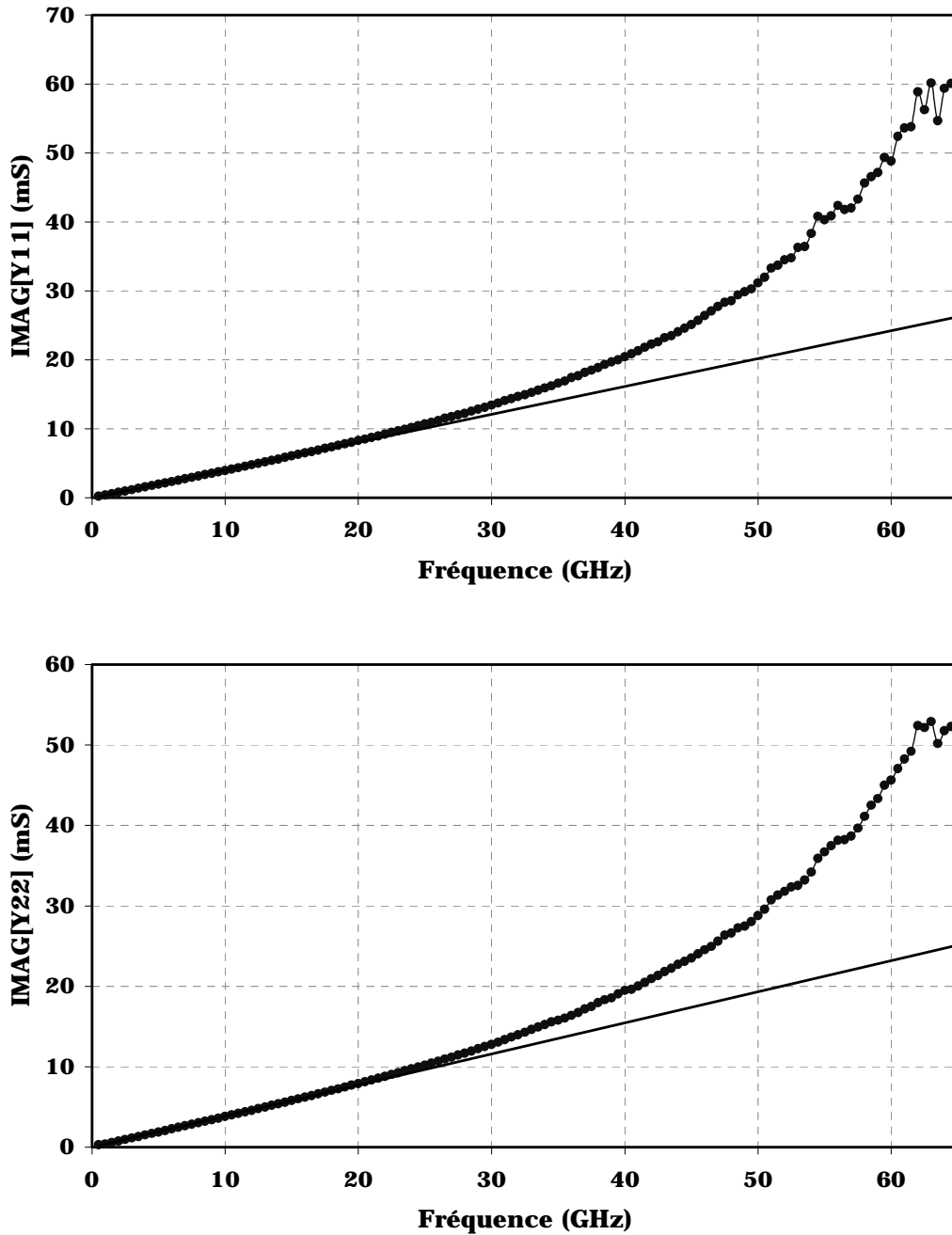


Figure 2.20 Partie imaginaire des paramètres Y_{11} et Y_{22} et en fonction de la fréquence, pour un HEMT froid pincé. $(C_{pg}+2C)=63$ fF, $(C_{pd}+C)=62$ fF.

Cette méthode d'extraction doit être maniée avec prudence, car elle tend à majorer les valeurs de C_{pg} : en y incluant les valeurs de C_{pgd} (capacité inter-digitée), et C_{pd}^2 en y incluant la capacité C_{ds} .

² Ceci expliquerait en partie les valeurs de C_{ds} souvent négatives dans les modèles typiques de HEMT.

Détermination des résistances de contact Rg, Rs et Rd

A basse fréquence (<5 GHz), les paramètres Z du FET froid passant dépendent majoritairement des résistances et selfs d'accès. Les capacités parasites influent très peu les parties imaginaires des impédances. En prenant en considération le schéma équivalent distribué de la grille proposé par Dambrine, nous obtenons le schéma de la figure suivante :

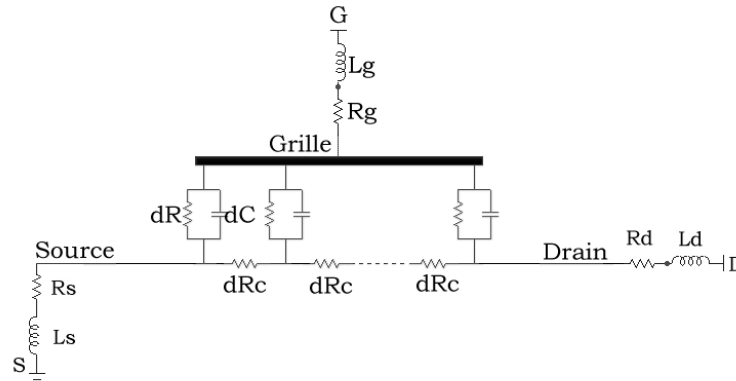
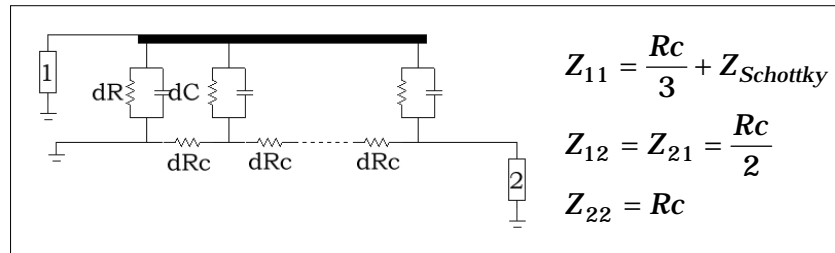


Figure 2.21 Schéma équivalent du HEMT froid passant et de la grille distribuée

$R_c = \sum dR_c$ est la résistance du canal passant. Les paramètres Z du schéma équivalent de la grille distribuée (figure ci-dessous) sont les suivants :



$Z_{schottky}$ étant l'impédance de la jonction Schottky de la grille combinant la capacité et la résistance de jonction : $Z_{Schottky} = R_{Schottky} \parallel C_{Schottky}$. Ainsi, nous pouvons relier les paramètres Z globaux du transistor aux impédances de la grille par les relations suivantes :

$$Z_{11} = R_s + R_g + \frac{R_c}{3} + R_{Schottky} + j\omega(L_s + L_g) \tag{2.11}$$

$$Z_{12} = Z_{21} = R_s + \frac{R_c}{2} + j\omega L_s \tag{2.12}$$

$$Z_{22} = R_s + R_c + R_d + j\omega(L_s + L_d) \tag{2.13}$$

Nous pouvons ainsi extraire les valeurs initiales de Rs, Rd et Rg des parties réelles des paramètres Z.

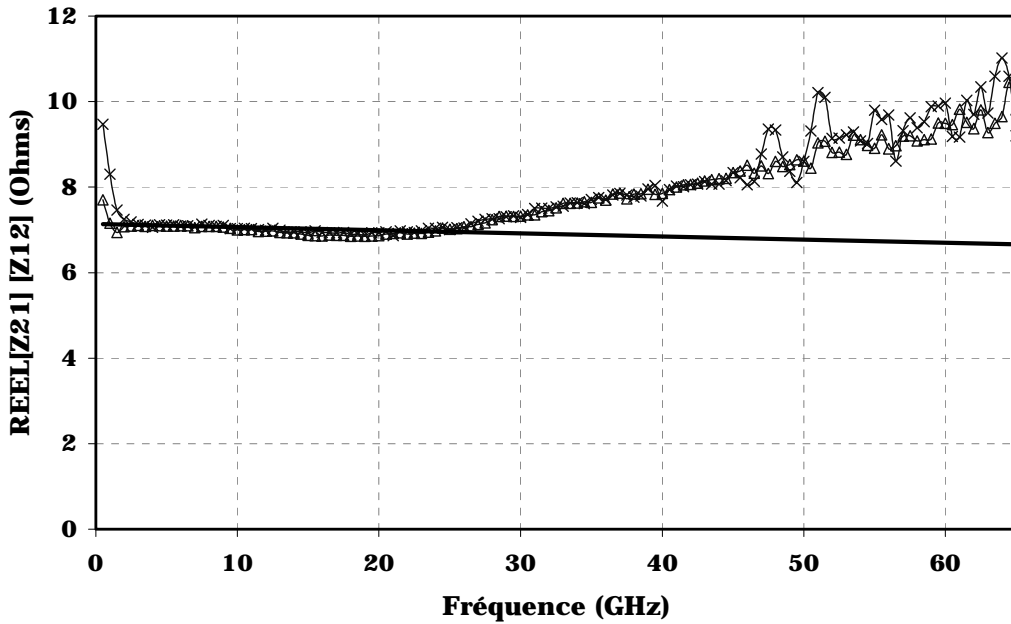


Figure 2.22 Parties réelles des $Z_{21}(x)$ et $Z_{12}(\Delta)$. Partie réelle constante jusqu'à 20 GHz.

A partir de la courbe ci-dessus, est extraite la valeur $R_{s+R_c}/2 \approx 7 \Omega$. La résistance R_c du canal est donnée par une mesure TLM : $302 \Omega/$. Pour un pied de grille de $0,1\mu\text{m}$, cela donne une résistance $R_c = 0,6 \Omega$. La valeur de R_s est de $6,7 \Omega$.

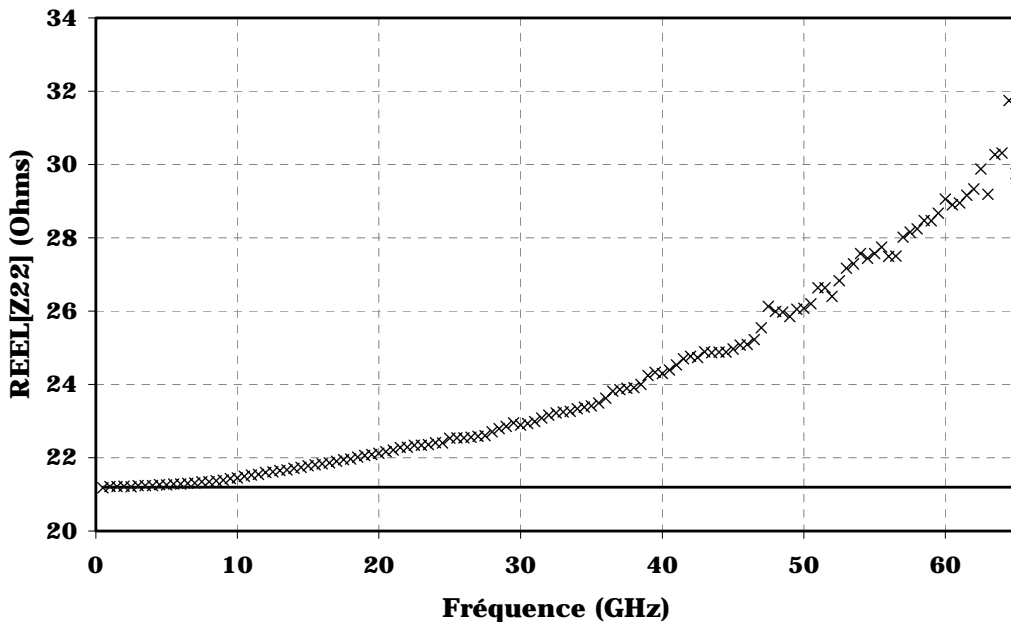


Figure 2.23 Partie réelle du paramètre Z_{22} .

De la courbe ci-dessus, est extraite la valeur de la somme $R_{s+R_d+R_c} = 21,2$, et donc, $R_d = 13,9 \Omega$. R_g est extraite de la figure suivante. A très basse fréquence, la valeur de $R_{\text{éel}}[Z_{11}]$ est la somme des résistances R_s et R_g ainsi qu'une partie de la résistance du canal, et enfin la résistance de la jonction Schottky qui est très élevée

($\approx 1\text{k}\Omega$). A très haute fréquence, cette dernière est shuntée par la capacité de jonction (calculée plus bas dans le texte, de quelques dizaines de fF). Il est possible ainsi, d'extraire la somme $R_s+R_g+R_c/3 = 8,7 \Omega$. Ainsi, $R_g \approx 1,8 \Omega$.

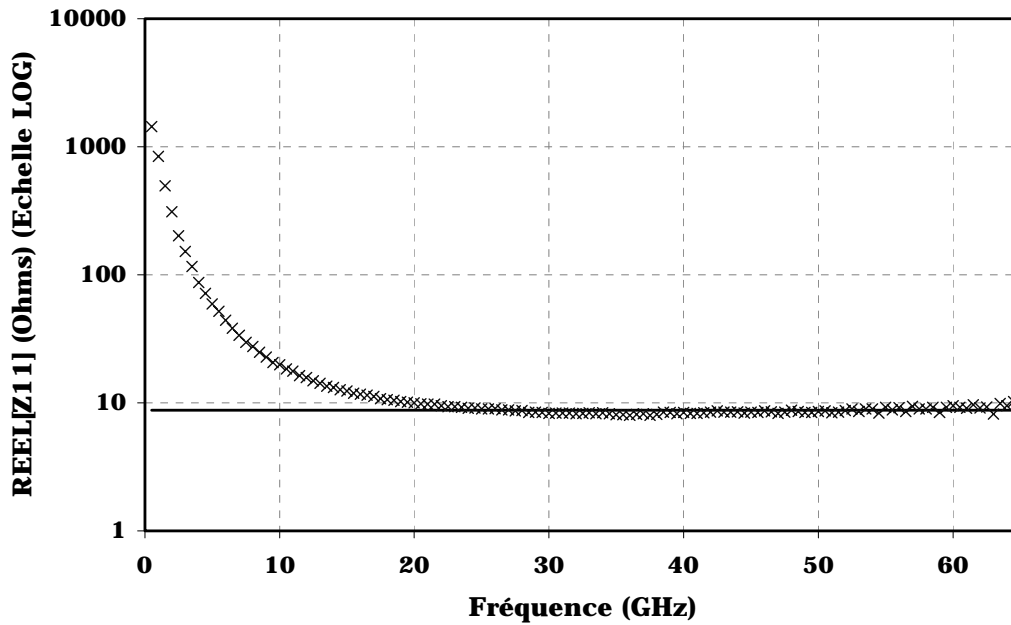


Figure 2.24 Partie réelle du paramètre Z_{11} .

Détermination des inductances parasites L_g , L_s et L_d

A très haute fréquence, pour le HEMT froid passant, l'influence des capacités et résistances parasites est faible dans les parties imaginaires des paramètres Z du quadripôle. Elles dépendent principalement des inductances parasites :

$$\text{Im}[Z_{11}] = (L_g + L_s).w \quad (2.14)$$

$$\text{Im}[Z_{21}] = \text{Im}[Z_{12}] = -L_s.w \quad (2.15)$$

$$\text{Im}[Z_{22}] = (L_d + L_s).w \quad (2.16)$$

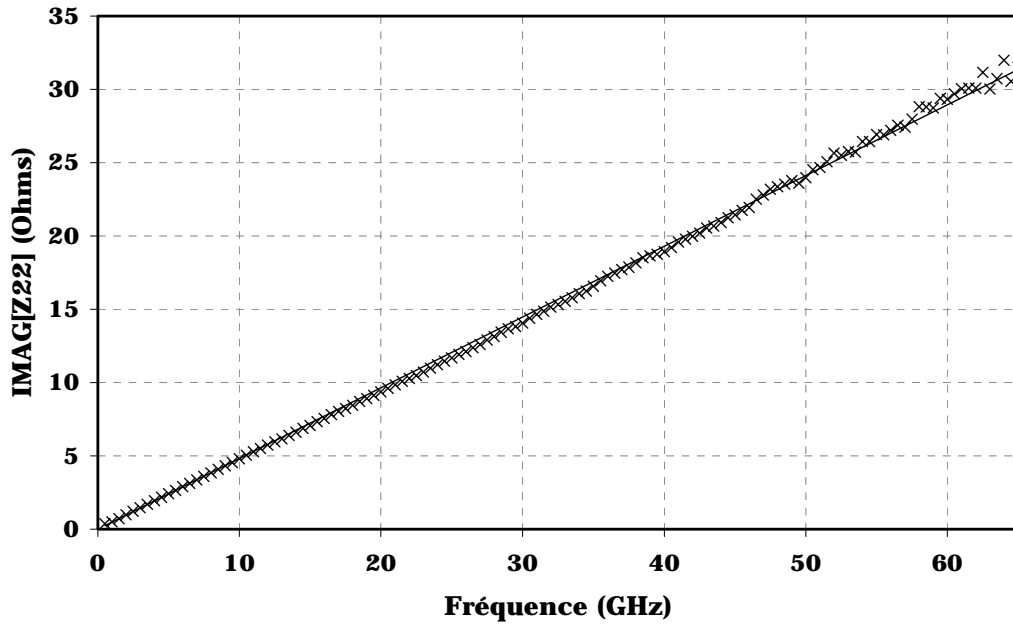


Figure 2.25 Partie imaginaire mesurée (x) et pente (-) du paramètre Z_{22} .

La deuxième relation nous permet via la pente de Z_{21} ou Z_{12} d'extraire L_s , qui injectée dans les deux autres équations, nous donne les valeurs de L_g et L_d .

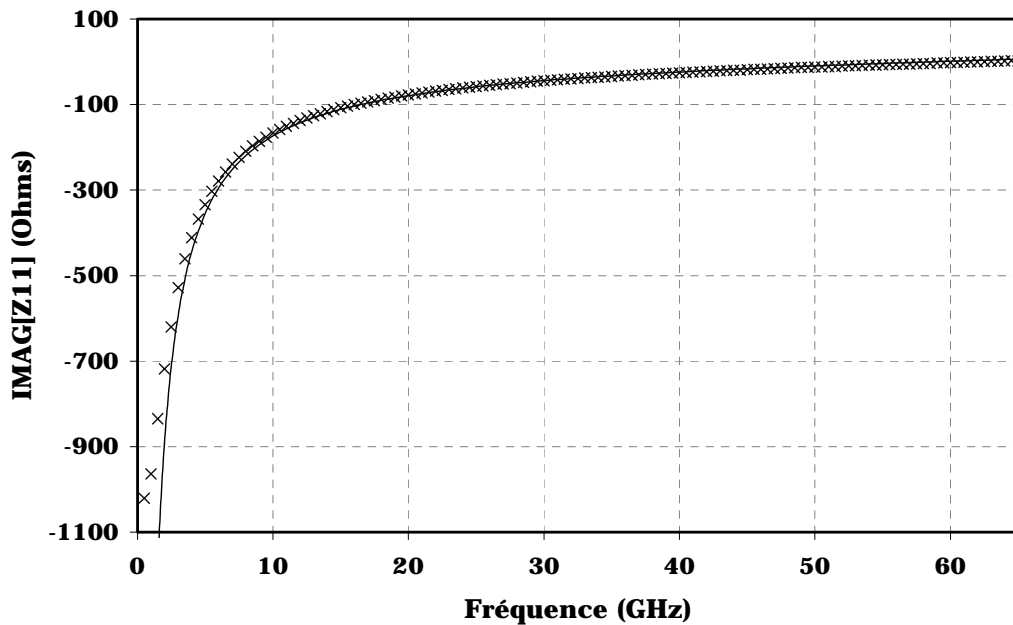


Figure 2.26 Partie imaginaire mesurée (x) et théorique (-) du paramètre Z_{11} .

La Figure 2.25 permet d'extraire via la pente de la partie imaginaire, la valeur de la somme ($L_s + L_d$) comme l'indique le calcul de Dambrine avec suffisamment de précision. Ainsi la valeur extraite est de $(L_s + L_d) = 76$ pH.

Cependant, sur la Figure 2.26, il est clair que le modèle de Dambrine qui suppose des valeurs de capacités relativement faibles n'est pas suffisant pour déterminer la valeur de $(L_s + L_g)^3$. L'expression complète de l'impédance Z_{11} s'écrit comme suit :

$$Z_{11} = R_g + R_s + \frac{R_C}{3} + Z_{Schottky} + j\omega(L_s + L_g)$$

A haute fréquence, $Z_{Schottky} \approx C_{Schottky}$ et la partie imaginaire de Z_{11} s'écrit :

$$\text{Im}[Z_{11}] = j\omega(L_s + L_g) - \frac{j}{C_{Schottky}\omega} \quad (2.17)$$

C'est cette fonction qui est ajustée sur les mesures dans la Figure 2.26. Ainsi, sont extraites les deux valeurs : $L_s + L_g = 82$ pH, et accessoirement $C_{Schottky} = 84$ fF.

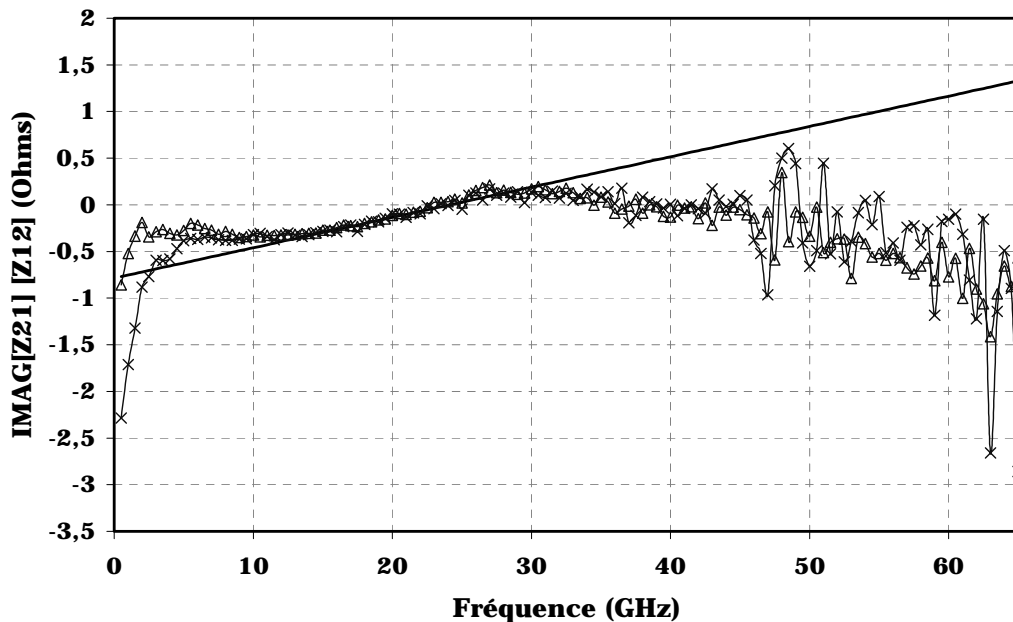


Figure 2.27 Parties imaginaires des $Z_{21}(x)$ et $Z_{12}(\Delta)$.

A basse fréquence (<10 GHz), le schéma de la Figure 2.21 se réduit aux éléments réels uniquement. Ainsi, la partie imaginaire est quasi-nulle (Voir Figure 2.27). En milieu de bande (entre 10 et 30 GHz), la self augmente légèrement la valeur de la partie imaginaire. Une fonction linéaire peut être ajustée dans cette plage de fréquence, ainsi, la valeur de la self extraite est de $L_s = 5,2$ pH. A plus haute fréquence, les capacités (notamment $C_{Schottky}$) font sensiblement baisser les parties imaginaires. Les valeurs de L_g et L_d sont extraites, 77 et 71 pH respectivement.

³ La méthode de Dambrine, a été initialement développée pour les transistors MESFET.

2.8.3.2 Epluchage des mesures

Le transistor et ses accès peuvent être modélisé comme suit :

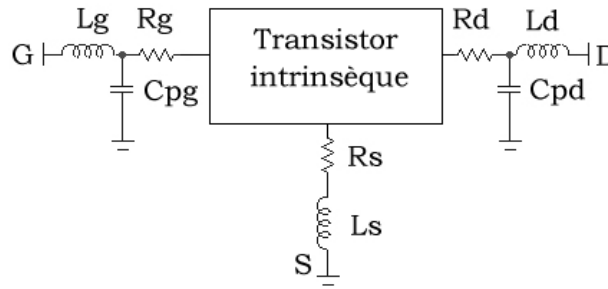


Figure 2.28 Schéma équivalent d'un transistor en prenant en compte les accès.

Ils existent deux méthodes pour extraire les mesures intrinsèques du transistor. La première consiste à construire des matrices de paramètres Z et Y des éléments parasites, et les « éplucher » par une suite d'opérations matricielles [10] :

Soustraire L_g et L_d

$$\begin{bmatrix} Z_{11} - j\omega L_g & Z_{12} \\ Z_{21} & Z_{22} - j\omega L_d \end{bmatrix} \quad (2.18)$$

Soustraire C_{pg} et C_{pd}

$$\begin{bmatrix} Y_{11} - j\omega C_{pg} & Y_{12} \\ Y_{21} & Y_{22} - j\omega C_{pd} \end{bmatrix} \quad (2.19)$$

Soustraire L_s et R_s

$$\begin{bmatrix} Z_{11} - R_s - R_d - j\omega L_s & Z_{12} - R_s - j\omega L_s \\ Z_{21} - R_s - j\omega L_s & Z_{22} - R_s - R_d - j\omega L_s \end{bmatrix} \quad (2.20)$$

L'autre méthode, plus adaptée lorsque l'extraction des éléments parasites ne peut donner que des ordres de grandeur de ces derniers ; consiste à insérer ces éléments dans le schéma équivalent et ajuster ainsi les mesures extrinsèques du transistor dessus. Il est possible d'ajuster plus précisément les valeurs définitives de ces éléments en considérant qu'ils restent constants pour les diverses polarisations possibles du transistor. Les figures suivantes donnent les parties réelles et imaginaires des paramètres S extrinsèques mesurés et simulés d'un transistor de $2 \times 25 \mu\text{m}$ typique à V_{gs} 0,3 et -0,3 respectivement.

Les figures suivantes présentent les paramètres S mesurés et simulés avec le modèle petit signal d'un transistor de $2 \times 25 \mu\text{m}$ de largeur de grille. Les valeurs expérimentales sont suffisamment ajustées pour être fiables lors de simulations circuits.

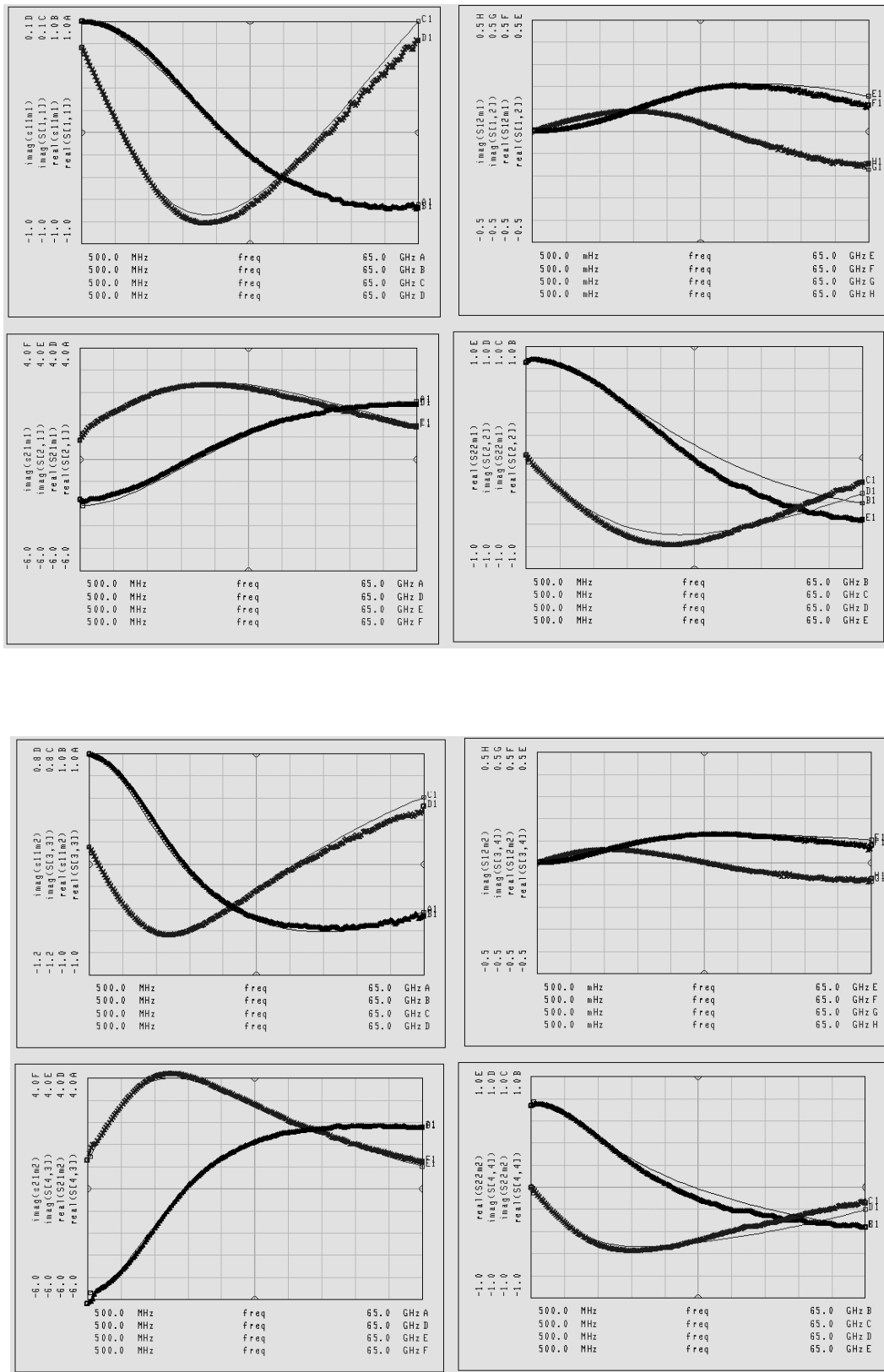


Figure 2.29 Parties imaginaires et réelles de paramètres S simulées (-) et mesurées (x) d'un transistor $2 \times 25 \mu\text{m}$.

2.8.3.3 Extraction du schéma équivalent intrinsèque

A partir de la Figure 2.6, nous pouvons relier les paramètres du schéma équivalent aux éléments de la matrice admittance intrinsèque par les relations suivantes.

Avec $\Delta = 1 + \omega^2 C_{gs}^2 R_i^2$:

$$y_{11} = \frac{R_i C_{gs}^2 \omega^2}{\Delta} + j\omega \left(\frac{C_{gs}}{\Delta} + C_{gd} \right) \quad (2.21)$$

$$y_{12} = -j\omega C_{gd} \quad (2.22)$$

$$y_{21} = \frac{g_m e^{-j\omega\tau}}{1 + j R_i C_{gs} \omega} - j\omega C_{gd} \quad (2.23)$$

$$y_{22} = g_d + j\omega (C_{ds} + C_{gd}) \quad (2.24)$$

Les valeurs initiales de la transconductance g_m et de la conductance de sortie sont extraites de mesures DC. Souvent pour extraire les premières valeurs de C_{gs} , l'approximation $\omega^2 C_{gs}^2 R_i^2 \ll 1$ est faite. Ainsi, les pentes de Y_{11} et Y_{12} donnent les valeurs de C_{gs} et C_{gd} respectivement. Enfin, une optimisation numérique est menée pour ajuster les valeurs des divers éléments du schéma équivalent. Les figures suivantes représentent les paramètres S intrinsèques d'un HEMT de $2 \times 25 \mu\text{m}$. Les paramètres S intrinsèques sont extraits en annulant l'effet des éléments parasites dans le schéma équivalent, c.a.d. en mettant à zéro les valeurs des inductances et résistances et en « ouvrant » les capacités parasites.

Le tableau suivant donne les valeurs des éléments du schéma équivalent petit signal d'un transistor de $2 \times 25 \mu\text{m}$ pour trois polarisations de grille :

Vgs (V)	Cgs(fF)	Gm(mS)	Gd(mS)	Cds(fF)	Ri(Ω)	Cgd(fF)	Rgd(Ω)
-0,3	75	130	3,6	14	4,6	6,9	163
0	32	38	1,65	6,6	4,5	4,8	285
+0,3	19	23	0,8	2	4,5	3,9	28

Tableau 2.2 Valeurs numériques des éléments du schéma équivalent petit signal pour un transistor de $2 \times 25 \mu\text{m}$ à $V_{ds} = 2 \text{ V}$.

La chute importante de g_m pour des tensions V_{gs} positives, est due à l'effet MESFET parasite.

2.8.3.4 Les fréquences de transition et d'oscillation maximale

La fréquence de coupure du gain en courant f_T d'un HEMT est définie comme la fréquence à laquelle le gain dynamique en courant du transistor lorsque la sortie de ce dernier est court-circuitée devient nul.

Elle donne une mesure de la constante de temps intrinsèque de transfert de courant C/gm . Elle comprend peu d'information sur la puissance délivrée par le transistor : elle est l'un des facteurs de mérite les plus utilisés pour décrire une technologie donnée.

Le gain dynamique en courant en court-circuit est égal au paramètre H_{21} du transistor qui est relié aux paramètres S par :

$$H_{21} = \frac{-2 \cdot S_{21}}{(1 - S_{11})(1 - S_{22}) + S_{12} \cdot S_{21}} \quad (2.25)$$

La fréquence de transition est déterminée en extrapolant la droite $H_{21}(f)$ à 20 dB/décade [11].

Stricto sensu, la fréquence de transition n'est pas équivalente à la fréquence du gain en courant nul, car à très haute fréquence, la variation du H_{21} n'est plus exactement celle d'un filtre RC de premier ordre.

Les équations (2.8) à (2.11) nous permettent de calculer le paramètre H_{21} et d'évaluer la fréquence de coupure d'un HEMT via l'approximation du transistor unilatéral :

$$f_T = \frac{gm}{2 \cdot \pi \cdot C_{gs}} \quad (2.26)$$

La fréquence d'oscillation maximale f_{MAX} est définie comme la fréquence à laquelle le gain transducique du transistor adapté en entrée et sortie (dit gain de Mason) est égal à l'unité. En fonction des éléments de la matrice admittance, il s'écrit :

$$U = \frac{1}{4} \cdot \frac{|Y_{21}|^2 \cdot \text{Re}[Y_{11}] \cdot \text{Re}[Y_{22}]}{|Y_{11} \cdot Y_{22}|^2} \quad (2.27)$$

Via l'hypothèse simplificatrice $(R_i \cdot C_{gd} \cdot \omega)^2 \ll 1$, le gain transducique s'exprime :

$$U = \frac{1}{4} \cdot \left[\frac{gm}{C_{gs} \cdot \omega} \right]^2 \cdot \frac{1}{R_i \cdot g_d} \quad (2.28)$$

Nous pouvons ainsi évaluer la fréquence maximale d'oscillation du transistor intrinsèque (sans les résistances d'accès R_g , R_c , et R_s) :

$$f_{MAX} = \frac{gm_0}{4 \cdot \pi \cdot C_{gs}} \cdot \left[\frac{1}{R_i \cdot g_{d0}} \right]^{1/2} \quad (2.29)$$

2.9 Comparaison entre les deux technologies GaAs et InP

Le tableau ci-dessous résume quelques-unes des caractéristiques de trois matériaux, le Silicium, le GaAs et l'InP, à technologie sub-micronique comparable.

Substrat	FET	Mobilité dans le canal ($\text{cm}^2/\text{V}\cdot\text{S}$)	Ft (GHz)	R _{gs} (Ohms)	Gd(mS)
Silicium	N-MOS	2000	62	-	-
GaAs	P-HEMT	9000	98	4,5	2,3
InP	HEMT	12000	150	4	1,6

Tableau 2.3 Récapitulatif des caractéristiques des trois matériaux utilisés pour l'électronique rapide.

Même si les applications très hautes fréquences du Silicium commencent à apparaître [12][13], pour l'instant deux caractéristiques limitent clairement ses possibilités. La mobilité trop faible dans le canal d'un MOS d'une part augmente les résistances d'accès, et limite le temps de transit sous la grille et donc la fréquence de coupure. D'autre part, les pertes trop élevées et la moins bonne isolation [14] du substrat Si relativement aux III-V limitent les possibilités de conception d'amplificateurs distribués⁴. Par ailleurs, certaines techniques de lignes suspendues [15] sont à l'étude et permettraient de s'affranchir de ces inconvénients.

Les substrats GaAs et InP ont beaucoup moins de pertes à hautes fréquences. La différence se fait principalement sur deux caractéristiques :

- La mobilité dans un canal épitaxié sur InP est beaucoup plus élevée que celle dans un canal sur GaAs. Intrinsèquement, des fréquences de fonctionnement plus élevées sont possibles [16].
- Dans le cas de l'InP, il est possible d'intégrer sur la même puce, des composants optiques et électroniques [17].

Ces deux caractéristiques ont deux conséquences :

- Il devient possible avec des architectures compactes (non distribuées) sur InP de réaliser des circuits performants pour les transmissions à 40 Gbit/s qui sont quasi-impossible sur GaAs sans l'utilisation de structures distribuées.
- Il devient possible de réaliser des photorécepteurs monolithiques plus performants en bruit puisque les problèmes liés aux connexions trop longues ou bruitées sont évités et que l'adaptation en bruit peut être réalisée sans soucis de désadaptation en puissance [18].

Par ailleurs, d'après le Tableau 2.3, les deux technologies ont des pertes tout à fait comparables. Il est prévisible que la plus-value sera principalement due à l'amélioration du temps de transit et non aux pertes.

⁴ En effet, seules les structures distribuées sont capables pour le moment de produire des amplitudes de sorties élevées à de très hauts débits.

2.10 Etat de l'art

Traditionnellement, l'amélioration de la fréquence de coupure est réalisée en réduisant la longueur de grille comme le décrit la relation (2.25). Il est possible d'atteindre des fréquences de transition records en réduisant très fortement la longueur de grille à quelques dimensions sub-microniques [19][20][21][22][23][24][25]. Un compromis peut cependant être trouvé entre f_T et f_{MAX} en fonction des dimensions de la grille à l'origine des résistances d'accès [26][27]. Aussi, quelques tentatives prometteuses de transfert de HEMT InP sur GaAs (Métamorphique) ou Silicium [28] sont menées.

La figure suivante représente pour diverses technologies de transistors à effet de champs, leurs fréquences de coupure en fonction des longueurs de grille.

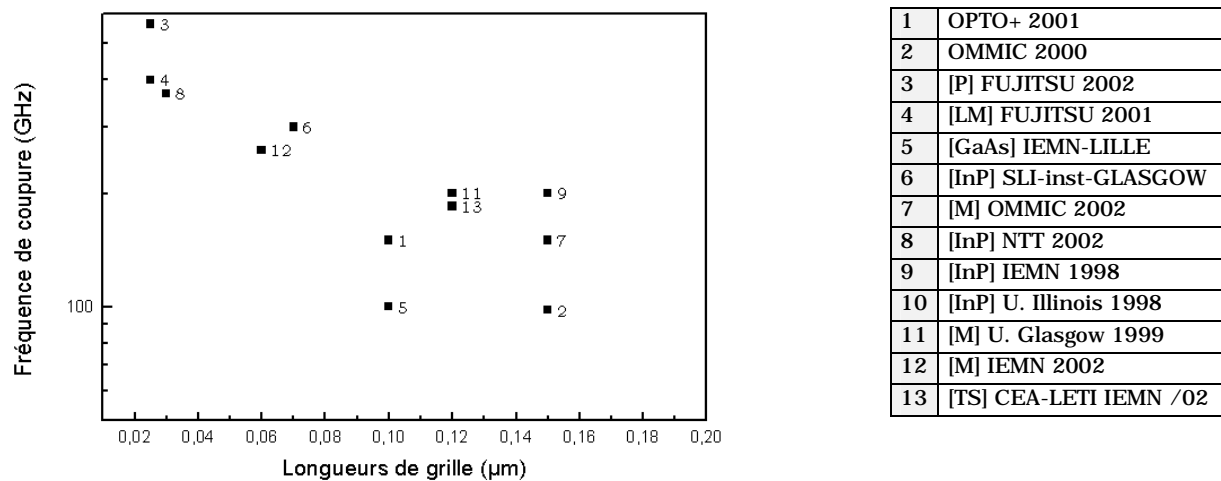


Figure 2.30 Fréquence de coupure de transistors à effet de champ en fonction des longueurs de grille.

Les fréquences maximales d'oscillation sont plus rarement indiquées. Il est tout à fait possible pour un dispositif d'avoir une fréquence de coupure très élevée mais une fréquence d'oscillation maximale relativement faible. Pour les HEMT GaAs et InP la fréquence d'oscillation maximale est généralement voisine du double de la fréquence de coupure. Ceci explique qu'il est possible de d'obtenir des amplificateurs distribués dont la fréquence de coupure à 3 dB est du même ordre que la fréquence de transition du transistor. Ce qui est sensiblement plus difficile à faire avec des transistors tels que les bipolaires à hétérojonction dont le rapport f_{MAX}/f_T est moins élevé.

-
- [1] D. Delagebeaudeuf, P. Delescluse, P. Etienne, M. Laviron, J. Chaplart, et Nuyen T. Linh, « Two dimensional electron gas M.E.S.F.E.T. structure », *Electron. Lett.* Vol. 16, No. 17, Août 1980.
- [2] T. Mimura, S. Hiyamizu, T. Fujii, et K. Nanbu, « A New Field-Effect Transistor with Selectively Doped GaAs/n-Al_xGa_{1-x}As Heterojunctions », *Japanese Journal of Applied Physics*, Vol. 19, No. 5, mai, 1980, pp. L225-L227.
- [3] T. Lucas, Y. Jin, « Investigations on the low-power and low-frequency noise performance of pHEMT at 4.2 K », *Proc. the 5th European Workshop on Low Temperature Electronics*, 2002, pp. 121-124.
- [4] « Composants micro-ondes », P. Pouvil, Les éditions Masson.
- [5] « Electrical and thermal characterization of MESFETs, HEMTs, and HBTs », Robert Anholt, Les éditions Artech House.
- [6] C. Ladner, J. Décobert, S. Sainson, S. Biblemont, G. Post, M. François and M. Muller, « Composite channel InP HEMT for high cut-off frequency*breakdown voltage performance », *23rd Workshop on compound semiconductor devices and integrated circuits*, p. 81, Chantilly, mai 1999.
- [7] H. Maher, J. Decobert, A. Falcou, M. Le Pallec, G. Post, Y.I. Nissim, A. Scavennec « A triple channel HEMT on InP (Camel HEMT) for large-signal high-speed applications », *Electron Devices, IEEE Transactions on* , Vol. 46, Jan. 1999.
- [8] H. Maher, « «Transistors à effet de champ sur substrat InP à canaux composites : structure, technologie et caractérisation », Thèse de doctorat de l'université de Paris sud, 1999.
- [9] G. Dambrine, A. Cappy, F. Heliodore, et E. Playez, « A New Method for Determining the FET Small-Signal Equivalent Circuit », *IEEE Trans. on Microwave Theory and Techniques*, Vol. 36, No. 7, juillet 1988.
- [10] A. Miras and E. Legros, « Very high-frequency small-signal equivalent circuit for short gate length InP HEMTs », *IEEE Trans. Microwave Theory and Tech.*, VOL. 45, No. 7, PP. 1018-1026, 1997.
- [11] S. Blayac, « Transistor bipolaire à double hétérojonction InP/GaInAs pour circuits de communications optiques à très haut débit », Thèse de doctorat de l'université de Montpellier II, 2001.
- [12] M. Vadipour, J. Savoj, « A low power 20 Gb/s CMOS 2:1 Multiplexer/Driver », *Proc. ESSCIRC 2002*, Florence.

[13] Hee-Tae Ahn and D. J. Allstot, « A 0.5-8.5 GHz Fully Differential CMOS Distributed Amplifier », IEEE Journal of Solid-State Circuits, VOL. 37, No. 8, août 2002.

[14] W. Steiner, H.-M. Rein, J. Müllrich and A. Schild, « Reducing Substrate Coupling in 10 and 40 Gbit/s High-Gain Broadband Amplifiers », Proc. ESSCIRC 2002, Florence.

[15] E-C. Park, J-B. Yoon, S. Hong and E. Yoon, « A 2.6 GHz Low Phase-Noise VCO Monolithically Integrated with High Q MEMS Inductors », ESSCIRC 2002, Florence.

[16] J. Decobert, M. Kahn and C. Meliani, « InP and related alloys for electronic devices », à paraître dans *«Le vide : science, technique et applications» de la Société Française du Vide.*

[17] G. Rondeau, S. Biblemont, J. Decobert and G. Post, “Monolithic PIN-HEMT photoreceiver integration”, Proc. Indium Phosphide and Related Materials, 2000, Williamsburg.

[18] P. Fay, C. Caneau and I. Adesida, « High speed MSM/HEMT and p-i-n/HEMT Monolithic Photoreceivers », IEEE Trans. Micr. Waves Theory and Tech., VOL. 50, No. 1, janvier. 2002.

[19] M. Zaknour, O. Schuler, F. Mollot, D. Théron, and Y. Crosnier, «0.1 μm $(\text{Al}_{0.5}\text{Ga}_{0.5})_{0.5}\text{In}_{0.5}\text{P}/\text{In}_{0.2}\text{Ga}_{0.8}\text{As}/\text{GaAs}$ PHEMT grown by gas source molecular beam epitaxy », Electron. Letters, VOL. 35, No. 20 Sep. 1999.

[20] Y. Yamashita, A. Endoh, K. Shinohara, K. Hikosaka, T. Matsui, S. Hyamisu, and T. Mimura, « Pseudomorphic $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ HEMTs with an ultrahigh f_T of 562 GHz », IEEE Electron Device Lett., VOL. 23, No. 10, octobre, 2002.

[21] Y. Yamashita, A. Endoh, K. Shinohara, M. Higashiwaki, K. Hikosaka, T. Mimura, S. Hyamisu, and T. Matsui, « Ultra-short 25 nm gate lattice matched InAlAs/InGaAs HEMTs in the range of 400 GHz cutoff frequency », Electron Device Lett. VOL. 200, No. 8, août 2001.

[22] P. Chevalier, X. Wallart, F. Mollot, B. Bonte, and R. Fauquembergue, « Composite channel HEMTs for millimeter-wave power applications », 10th intern. Conf. on Indium Phosphide and related materials, Tsukuba, 1998.

-
- [23] I. Adesida, A. Mahajan, and G. Cueva, « INP-based HEMTs for high Speed, low power circuit applications », Proc. 5th international conference on Solid-State and Integrated Circuit Technology, 1998.
- [24] D.C. Dumka, W.E. Hoke, P.J. Lemonias, G. Cueva, and I. Adesida, « Metamorphic $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ HEMTs on GaAs substrate with f_T over 200 GHz », Proc. IEDM 99.
- [25] D.L. Edgar, N.I. Cameron, H. McLelland, M.C. Holland, M.R.S. Taylor, I.G. Thayne, C.R. Stanley, and S.P. Beaumont, «Metamorphic GaAs HEMTs with f_T of 200 GHz», Electronics Letters , VOL. 35, juin 1999, pp. 1114 –1115.
- [26] T. Suemitsu, H. Yokoyama, T. Ishii, T. Enoki, G. Meneghesso, and E. Zanoni, « 30-nm two-step recess gate InP-based InAlAs/InGaAs HEMTs », IEEE Trans. on Electron devices, VOL. 49, No. 10, octobre 2002.
- [27] S. Bollaert, Y. Cordier, M. Zaknourne, T. Parenty, H. Happy, S. Lepilliet, and A. Cappy, « f_{MAX} of 490 GHz metamorphic $\text{In}_{0.52}/\text{Al}_{0.48}/\text{As}/\text{In}_{0.53}/\text{Ga}_{0.47}/\text{As}$ HEMTs on GaAs substrate», Electronics Letters , VOL. 38, avril 2002, pp. 389 –391.
- [28] S. Bollaert, X. Wallaert, S. Lepilliet, A. Cappy, E. Jalaguier, S. Pocas, B. Aspar, « 0.12 μm transferred-substrate $\text{In}_{0.52}/\text{Al}_{0.48}/\text{As}/\text{In}_{0.53}/\text{Ga}_{0.47}/\text{As}$ HEMTs on silicon wafer », IEEE Electron Device Letters , VOL. 23, février. 2002, pp. 73 –75.

Chapitre 3

Amplification

Montages élémentaires, Principes des structures composées

3. AMPLIFICATION	50
3.1 LE MONTAGE EN SOURCE COMMUNE	51
3.1.1 LE FONCTIONNEMENT GRAND SIGNAL	52
3.1.2 ELEMENTS PARASITES	53
3.2 LE MONTAGE GRILLE COMMUNE	54
3.3 LE MONTAGE CASCODE	55
3.4 LE MONTAGE DRAIN COMMUN (OU SOURCE SUIVEUSE)	60
3.5 LA PAIRE DIFFERENTIELLE	60
3.5.1 LA PAIRE DIFFERENTIELLE EN MODE REFERENCE	62
3.5.2 FONCTIONNEMENT EN GRAND SIGNAL	66
3.5.3 ELEMENTS PARASITES	66
3.6 STRUCTURES COMPOSEES	68
3.6.1 STRUCTURES DISCRETES	68
3.6.1.1 SCFL (Source coupled FET logic)	68
3.6.1.2 Amplificateur à contre-réaction	69
3.6.2 STRUCTURES DISTRIBUES	70
3.6.2.1 Amplificateurs distribués une entrée, une sortie	70
3.6.2.2 Amplificateurs double-distribués	70
3.6.2.3 L'amplificateur transversal	71
3.6.2.4 L'amplificateur distribué à division de capacité	72
3.6.2.5 Amplificateur distribué à inductances variables	72
3.6.2.6 Cellule de Gilbert distribuée	72
3.6.2.7 Amplificateur distribué doublement alimenté	73
3.7 LES PARASITES DU LAYOUT	74
3.7.1 CROISEMENTS	74
3.7.2 PROPAGATION	75
3.7.3 COUPLAGE PARASITE	76
3.7.4 LIGNES D'ALIMENTATION	77
3.7.5 PLOTS D'ACCES	77
3.8 CONCLUSIONS	78

3. Amplification

Montages élémentaires, Principes des structures composées

Dans ce chapitre seront présentés les principaux étages élémentaires utilisés pour l'amplification. Une étude fréquentielle large bande pour l'amplification de signaux numériques est abordée. D'abord seront décrits les montages élémentaires à un seul transistor, tels que la source commune, la grille commune et le drain commun ainsi que quelques résultats comparatifs d'études analytiques ou numériques. Ensuite seront succinctement présentés les amplificateurs dits « usuels » à base de ces montages élémentaires classiques [1]; et les modifications nécessaires pour les applications large-bande.

Le principe de fonctionnement de la paire différentielle sera décrit, et ses diverses possibles variantes. Enfin, seront décrites les techniques adaptées pour l'amplification différentielle de signaux binaires telle que la SCFL.

Une comparaison entre les montages élémentaires utilisant l'une ou l'autre des deux technologies que nous avons utilisées (P-HEMT GaAs et HEMT InP) sera aussi effectuée.

Dans ce chapitre, les simulations numériques que nous faisons sont réalisées en utilisant les modèles petits-sinaux des transistor HEMT :

- Le modèle du transistor P-HEMT GaAs $0,15\mu\text{m}$ (Technologie OMMIC) validé de $\sim\text{DC}$ à 65 GHz pour des tensions V_{gs} entre $-0,8$ et 1 V et $0 < V_{ds} < 5$ V.
- Le modèle petit signal du transistor HEMT InP $0,1\mu\text{m}$ (Technologie OPTO+) validé de $\sim\text{DC}$ à 65 GHz pour des tensions V_{gs} $-0,3$ et $+0,3$ V et $0 < V_{ds} < 5$ V.

3.1 Le montage en source commune

C'est la structure de base la plus utilisée pour obtenir du gain en tension. C'est la brique de base d'autres montages élémentaires à fort gain en tension (cascode, paire différentielle).

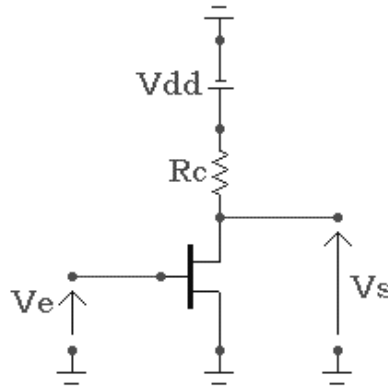


Figure 3.1 Montage en source commune.

Via le schéma équivalent simplifié ci-dessous du HEMT, Le gain en tension petit signal d'un étage en source commune s'exprime par la relation suivante :

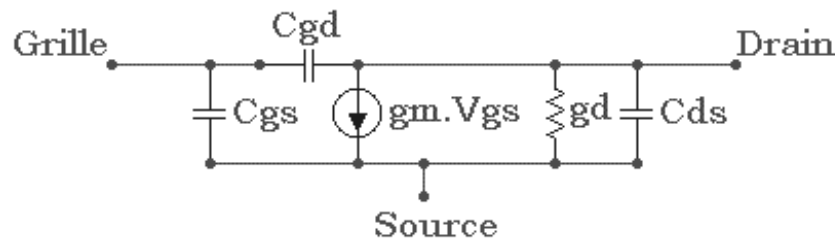


Figure 3.2 Schéma équivalent simplifié du HEMT.

$$A_v = \frac{-gm + j\omega C_{gd}}{gd + G_c + j\omega(C_{ds} + C_{gd})} \quad (3.1)$$

Où $G_c = 1/R_c$. L'admittance d'entrée s'écrit :

$$Y_e = j\omega \left[C_{gs} + C_{gd} \left[1 - \frac{j\omega C_{gd}}{gm + gd + G_c + j\omega(C_{gd} + C_{ds})} \right] \right] \quad (3.2)$$

L'admittance en entrée correspond à la capacité de grille C_{gs} en parallèle avec une partie de la capacité grille drain C_{gd} ramenée par effet Miller. Comme le gain dépend des impédances connectées au drain du transistor, et que celles-ci peuvent être résistives, l'admittance équivalente à l'entrée correspond à une capacité en parallèle avec une résistance. Ce calcul ne tient pas compte du modèle complet du transistor, notamment des résistances série sur la grille et la source R_g et R_s et des résistances de fuite R_{gs} et R_{gd} .

L'admittance de sortie s'écrit :

$$Y_s = gd + j\omega C_{ds} + j\omega C_{gd} \left[\frac{gm + Y_{source} + j\omega C_{gs}}{Y_{source} + j\omega(C_{gd} + C_{gs})} \right] \quad (3.3)$$

Avec Y_{source} , l'admittance interne de la source du signal appliqué à l'entrée. La relation ci-dessus montre que C_{gd} est responsable de la détérioration de l'isolation entrée/sortie. Sans elle, l'admittance de sortie ne dépendrait pas des caractéristiques à l'entrée du transistor. Cet effet induit une diminution de la fréquence de coupure du transistor. Ces effets motivent l'utilisation du montage cascode (décrit en 3.3).

3.1.1 Le fonctionnement grand signal

Pas de changement dans le principe de fonctionnement de la source commune en grand signal. Les effets non linéaires doivent être pris en compte telles que les variations des capacités C_{gs} , C_{gd} et de la transconductance g_m notamment.

La complexité des modèles et les difficultés de caractérisation font qu'une modélisation fiable à très haute fréquence reste incomplète à ce jour. Mais qualitativement, ces nonlinéarités des éléments du schéma équivalent, conduisent à une compression de gain.

En positif, lorsque V_{gs} atteint un certain seuil correspondant à la densité maximale d'électron dans le canal (cf. Chap. 2), il n'est plus possible d'augmenter le courant en sortie. De la même manière, lorsque V_{gs} est suffisamment négative (tension de pincement), plus aucun courant ne circule dans le transistor quelle que soit la variation de la tension de grille. Lorsqu'ils sont maîtrisés, ces effets peuvent être mis à profit pour la transmission et la remise en forme de signaux numériques en permettant notamment de réduire le bruit sur les niveaux logiques.

Le problème, c'est que ces effets ne sont visibles que pour des signaux variant très lentement par rapport aux fréquences de coupure des transistors. A très haute fréquence, plusieurs paramètres viennent atténuer ces limitations de courant :

- Un faible gain.
- Les circuits RC aux constantes de temps proches des temps de montée et descente des signaux, ce qui rend impossible d'atteindre les limites des courbes DC.
- Lorsqu'un signal est appliqué sur la grille :
 - Pour un V_{gs} fortement négatif (pincement), le V_{ds} remonte aux valeurs maximales possibles et le transistor reste dans le régime saturé, la coupure du courant se fait de manière franche.
 - En revanche, pour des V_{gs} très positifs, l'effet de dépolarisation de V_{ds} dû au courant circulant dans la résistance de charge fait qu'il est difficile d'obtenir de la saturation. Typiquement, lorsqu'un transistor est en régime saturé, et que V_{gs} soit de telle sorte que le courant injecté dans la charge est maximal, cette dernière, via le potentiel qui se développe à ses bornes amène le transistor dans la région ohmique et le courant diminue. Ainsi, la saturation (région à faible g_d) n'est pas atteinte à moins d'augmenter considérablement le potentiel source-drain.

3.1.2 Eléments parasites

L'analyse ci-dessus est basée sur le transistor intrinsèque sans prendre en compte les éléments parasites annexes qui influent sur son fonctionnement. Lorsqu'on tient compte de la résistance série de source ou de toute impédance série de source Z_s . En considérant le cas simplifié [2] de la figure ci-dessous, le gain en tension de la source commune ($-g_m \cdot R_c$ pour le cas sans Z_s) est donné par la relation ci-dessous.

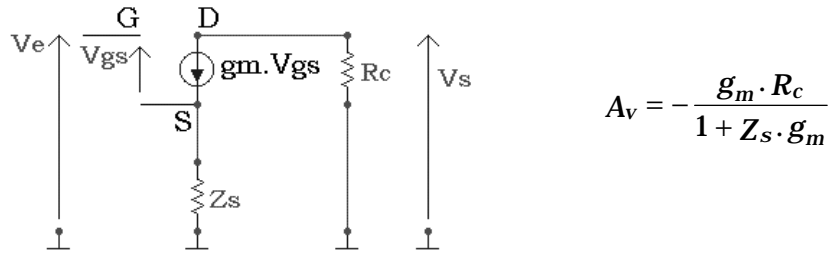


Figure 3.3 Calcul simplifié du gain d'une source commune avec une impédance Z_s à la source.

Cette relation est valable aussi pour le schéma équivalent complet du transistor, et pour des valeurs de Z_s variant en fonction de la fréquence (typiquement des selfs). Ainsi, même si les résistances série sur la source du transistor ont un effet stabilisant, elles baissent le gain considérablement dès que leurs valeurs s'approchent de $1/g_m$. Le retour de masse de la source est extrêmement important, c'est lui qui va déterminer les possibilités de concevoir certains circuits, notamment les circuits distribués.

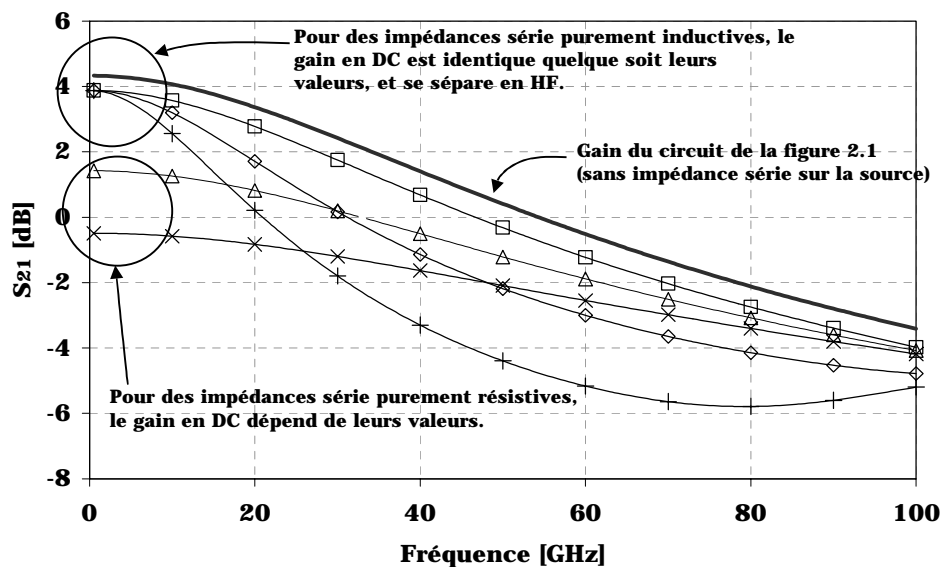


Figure 3.4 S_{21} en dB d'un montage source commune, sans éléments sur la source (-), avec une résistance série 10Ω (Δ), 20Ω (\times), avec une self série 10 pF (\circ), 100 pF (\diamond), et 200 pF ($+$).

Les courbes précédentes démontrent clairement que l'élément série sur la source est à minimiser pour maintenir un gain à très haute fréquence¹. Pour deux

¹ Par ailleurs, d'autres éléments comme la résistance de grille R_i et la conductance de sortie g_d sont responsables des pertes à très hautes fréquences, mais elles ne deviennent prépondérantes que pour les amplificateurs distribués, et restent relativement peu importantes comparées au TBH. (cf. Chap. 4).

éléments résistifs de valeurs différentes, c'est le gain basse fréquence qui est dégradé, alors que les deux courbes se rejoignent quasiment en haute fréquence. Dans le cas des inductances, c'est l'inverse. Ainsi, le premier cas est souvent utilisé pour égaliser le gain, alors que le second est plutôt un effet parasite qui détériore la fréquence de coupure. Sur GaAs, une ligne de 100 μm de long et 10 à 15 μm de largeur a une inductance de 100 pH. De ce fait, l'implantation de ce type de circuit est critique. Un layout optimisé permet d'améliorer les performances de ces architectures.

3.2 Le montage grille commune

Il est surtout caractérisé par une admittance en entrée relativement élevée dont la limite inférieure est g_m :

$$Y_e = j\omega C_{gs} + (j\omega C_{gd} + G_c) \left[\frac{g_m + g_d + j\omega C_{ds}}{G_c + g_d + j\omega(C_{gd} + C_{ds})} \right] \quad (3.4)$$

De ce fait, la fréquence de coupure est plus élevée que celle de la source commune. A basse fréquence, l'admittance d'entrée est réduite à la capacité de grille en parallèle avec la transconductance, $Y_e = g_m + j\omega C_{gs}$. Le gain en tension de la grille commune est du même ordre que celui de la source commune avec un gain en courant ≤ 1 .

$$A_v = \frac{g_m + g_d + j\omega C_{ds}}{g_d + G_c + j\omega(C_{gd} + C_{ds})} \quad (3.5)$$

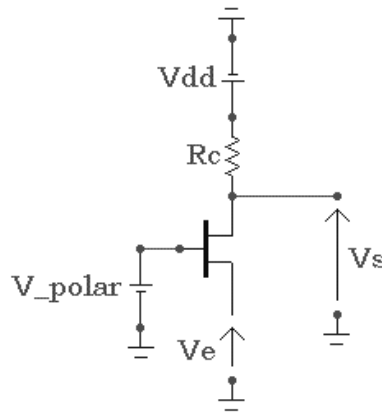


Figure 3.5 Montage en grille commune.

L'admittance de sortie s'exprime comme suit :

$$Y_s = j\omega C_{gd} + (Y_{source} + j\omega C_{gs}) \left[\frac{g_d + j\omega C_{ds}}{Y_{source} + g_d + g_m + j\omega(C_{gs} + C_{ds})} \right] \quad (3.6)$$

L'inconvénient majeur de ce type de structure est un gain en courant de l'ordre de l'unité :

$$A_i = \frac{1}{1 + j\omega R_c \left[\frac{C_{gs}}{A_v} + C_{gd} \right]} \quad (3.7)$$

3.3 Le montage Cascode

Le cascode est une paire de transistors : la source commune et la grille commune. Il associe les avantages de chacun d'eux en évitant leurs inconvénients. Comme indiqué plus haut, le désavantage principal de la source commune est la fréquence de coupure basse à cause du surplus de capacité ramenée à l'entrée par l'effet Miller en prélevant une partie de la capacité C_{gd} . Cet effet est atténué grâce au montage Cascode :

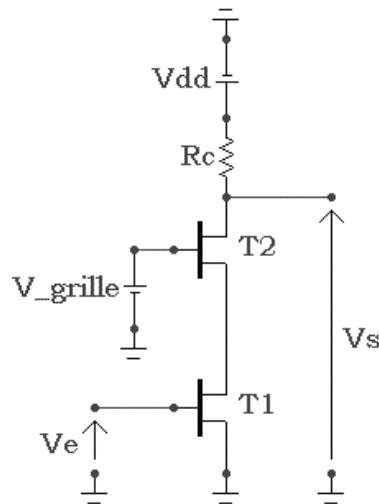


Figure 3.6 Schéma de principe du montage Cascode.

Une partie seulement du gain en tension provient du transistor T1 en source commune. Celui-ci voit une charge (présentée par T2) qui est l'impédance d'entrée de la grille commune. Ainsi, le transistor T2 en grille commune, fait office de transformateur de tension à forte impédance de sortie afin d'améliorer l'isolation entrée/sortie sans amplifier le courant, puisque son impédance d'entrée est plus faible que son impédance de charge.

Le gain ainsi réparti diminue l'effet Miller sur chacun des deux transistors. De plus la capacité concernée par l'effet Miller dans le cas de la grille commune est C_{ds} , beaucoup plus faible que C_{gd} dans le cas de la source commune.

le gain en tension du Cascode est à peu près égal à celui de la source commune :

$$A_v \approx \frac{(g_m + g_d + j\omega C_{ds})(-g_m + j\omega C_{gd})}{-g_d G_c + [g_d + j\omega(2C_{ds} + C_{gd} - C_{ds})][g_d + G_c] + [g_m + 2g_d][j\omega C_{gd} + G_c]} \quad (3.8)$$

L'admittance d'entrée s'écrit :

$$Y_e \approx j\omega \left[C_{gs} + C_{gd} \left[1 - \frac{j\omega C_{gd}}{gm + gd + Y_{e_grille_commune} + j\omega(C_{gd} + C_{ds})} \right] \right] \quad (3.9)$$

Ainsi la capacité rajoutée par C_{gd} via l'effet Miller est diminuée car le facteur $(1-...)$ diminue très fortement d'une part ; et aussi $Y_{e_grille_commune}$ a une plus grande valeur à haute fréquence que G_c . De la même façon, l'admittance de sortie :

$$Y_s = j\omega C_{gd} + (Y_{s_source_commune} + j\omega C_{gs}) \left[\frac{gd + j\omega C_{ds}}{Y_{s_source_commune} + gd + gm + j\omega(C_{gs} + C_{ds})} \right]$$

Au premier ordre, la fréquence de coupure dépend des circuits RC à l'entrée ou en sortie des étages. Pour les Transistors HEMT et P-HEMT utilisés, le circuit RC à l'entrée est celui dont la fréquence de coupure est la plus basse. De ce fait, le Cascode a deux avantages importants, une fréquence de coupure sensiblement plus élevée que celle d'une source commune (lorsque le gain DC est assez élevé) ; et une isolation entrée/sortie améliorée grâce à la réduction de l'effet Miller ; enfin, son admittance de sortie est plus faible.

Sur la figure suivante, sont représentées deux courbes de gain, de la source commune et du Cascode chargés par une résistance de 25 Ohms pour des transistors de $2 \times 25 \mu\text{m}$ (cf. Chap. 4).

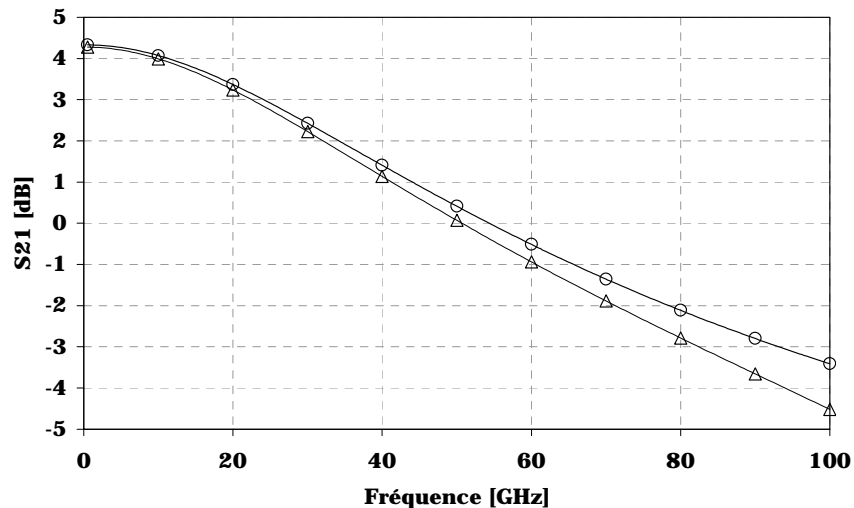


Figure 3.7 Gain en dB des montages en source commune (o) et Cascode (Δ).

Dans ce contre exemple, le montage en source commune reste légèrement plus performant en haute fréquence. Ceci s'explique par le gain DC trop faible des petits transistors que nous avons choisis ($2 \times 25 \mu\text{m}$) et des pertes résistives qui leurs sont associées. Choix qui est expliqué par ailleurs (cf. Chap. 4). Le cascode voit ses performances se détériorer pour des transistors à faible gain et fortes résistances d'accès (typiquement les HEMT de faibles largeurs). A titre indicatif, la figure suivante compare les gains Cascode et source commune avec des transistors de

200 μm de largeur de grille (les gains DC sont plus élevés, et les résistances d'accès plus faibles). A cause du gain DC élevé, la capacité ramenée à l'entrée par effet Miller pour la source commune est importante. L'avantage est plus net dans ce cas, car le cascode ne reporte plus qu'une très faible valeur de cette capacité grâce à l'isolation de la grille commune et à la répartition du gain sur les deux transistors.

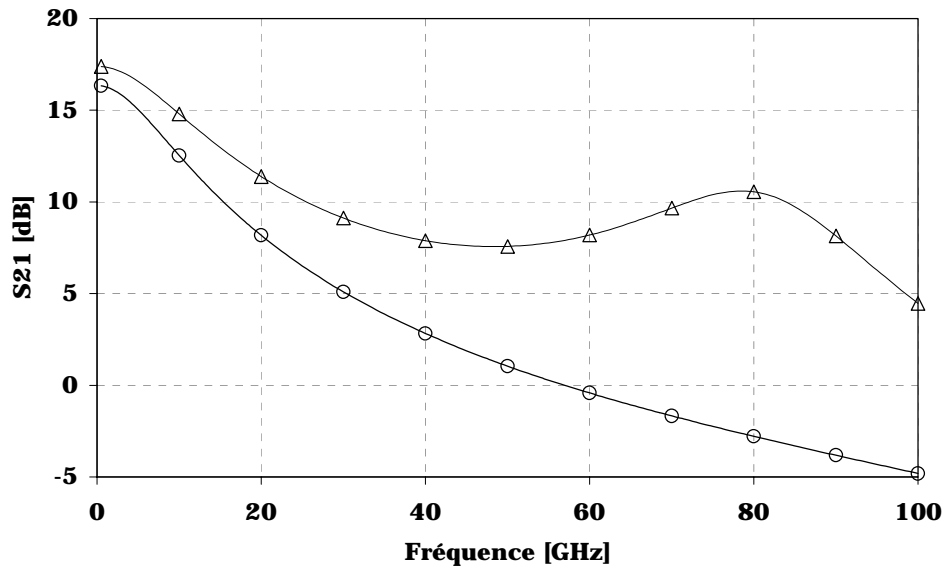


Figure 3.8 Gain en dB des montages en source commune (o) et Cascode (Δ) pour des transistors de 200 μm de largeur de grille.

Par contre, la figure suivante illustre clairement l'avantage du Cascode par rapport à la source commune en terme l'isolation entrée/sortie pour de faibles largeurs de grille.

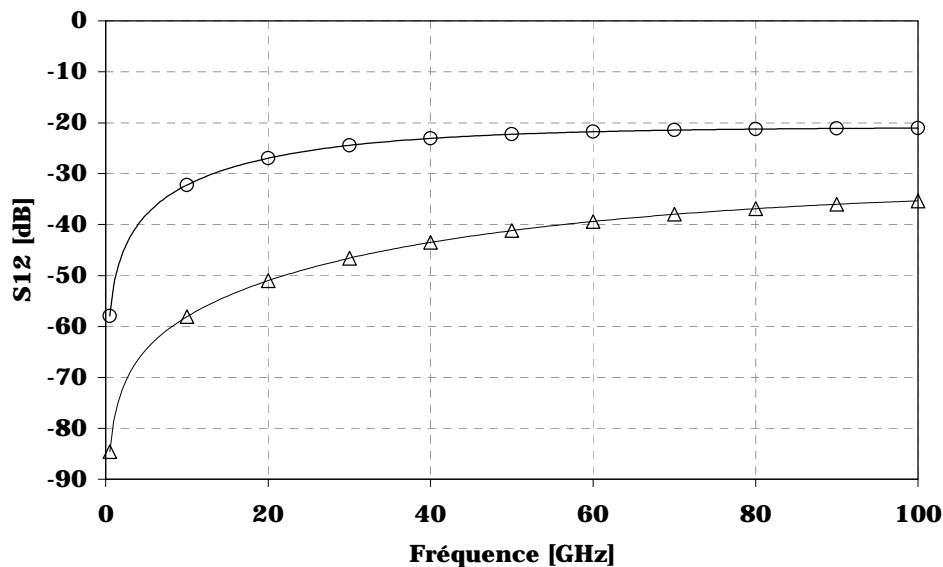


Figure 3.9 Isolation des montages source commune (o) et Cascode (Δ) ($w=200 \mu\text{m}$).

L'autre désavantage du Cascode est l'encombrement plus important lorsqu'il est implémenté comparé à la source commune. Par ailleurs la structure même du Cascode, basé sur le fait de bloquer ou ouvrir deux transistors en même temps fait

qu'il est plus difficile de gérer les phénomènes de gigue de phase spécifiquement. Au premier ordre, lors des simulations, il est plus fréquent d'observer des doubles pentes sur les rampes de montée et descente du signal en sortie d'un cascode que pour une source commune. Les courbes suivantes décrivent les variations des admittances d'entrée et de sortie du Cascode, utilisant des P-HEMT de $2 \times 25 \mu\text{m}$ comparées à celles d'une source commune.

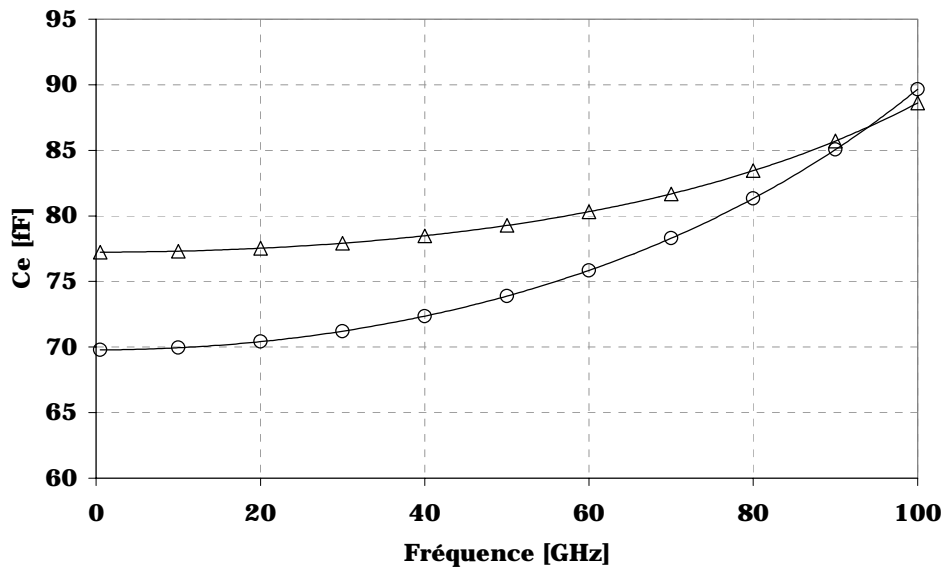


Figure 3.10 Capacités à l'entrée des cellules source commune (Δ) et Cascode (o).

Jusqu'à 65 GHz (Limite de validation du modèle), la capacité à l'entrée de la source commune est légèrement supérieure à celle du Cascode mais du même ordre de grandeur (pour un P-HEMT de $2 \times 25 \mu\text{m}$). La résistance série d'entrée, dont la valeur est déterminante pour la conception d'amplificateurs distribués car c'est le facteur qui en limite principalement le nombre d'étages (cf. Chap. 4), est plus faible pour l'étage Cascode.

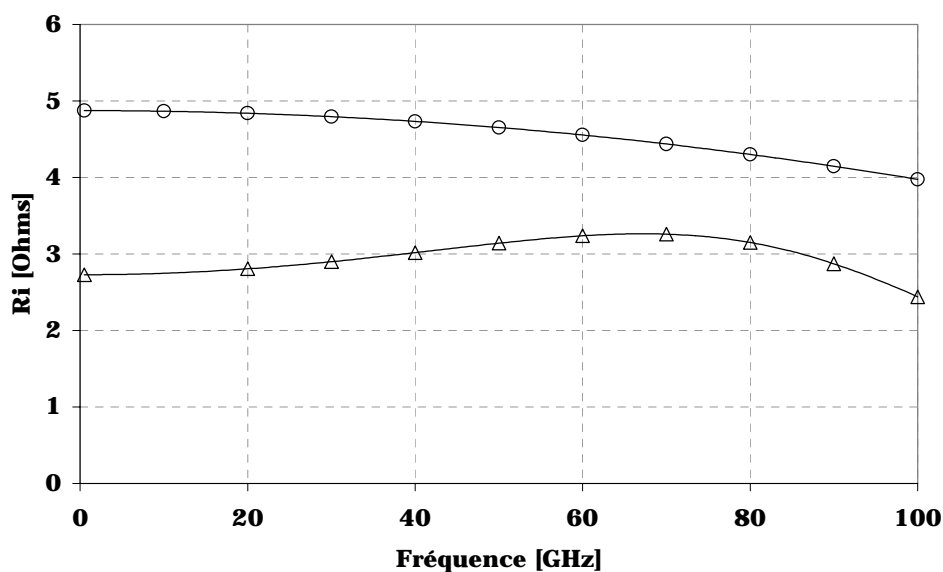


Figure 3.11 Comparaison entre les résistances en entrée des étages source commune (o) et Cascode (Δ).

Un autre avantage du Cascode est la très faible admittance de sortie associée à la source de courant en sortie.

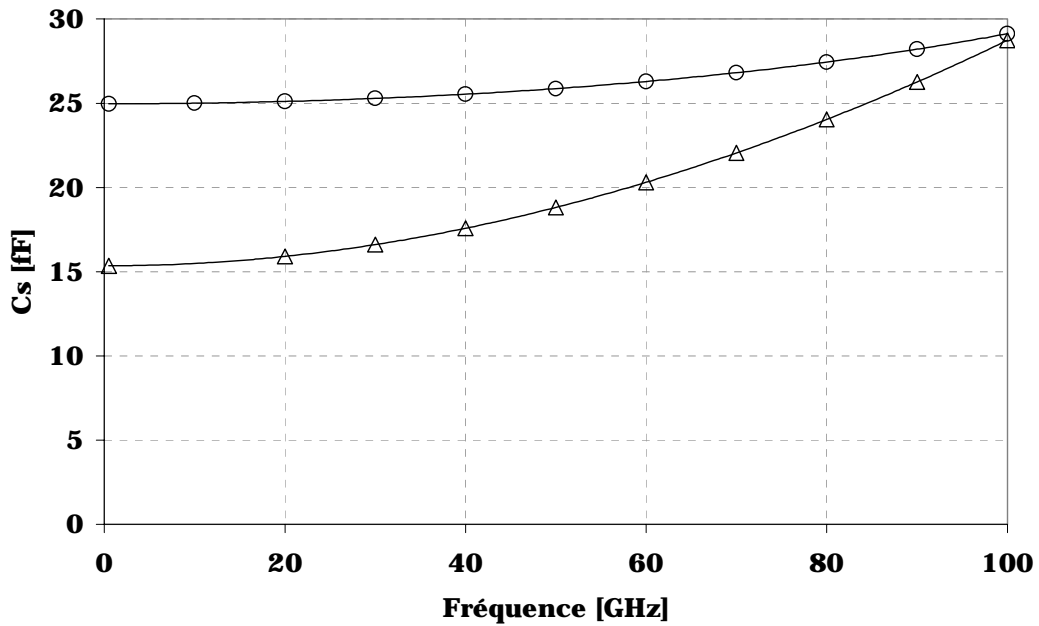


Figure 3.12 Comparaison des capacités de sortie de la source commune (o) et du Cascode (Δ).

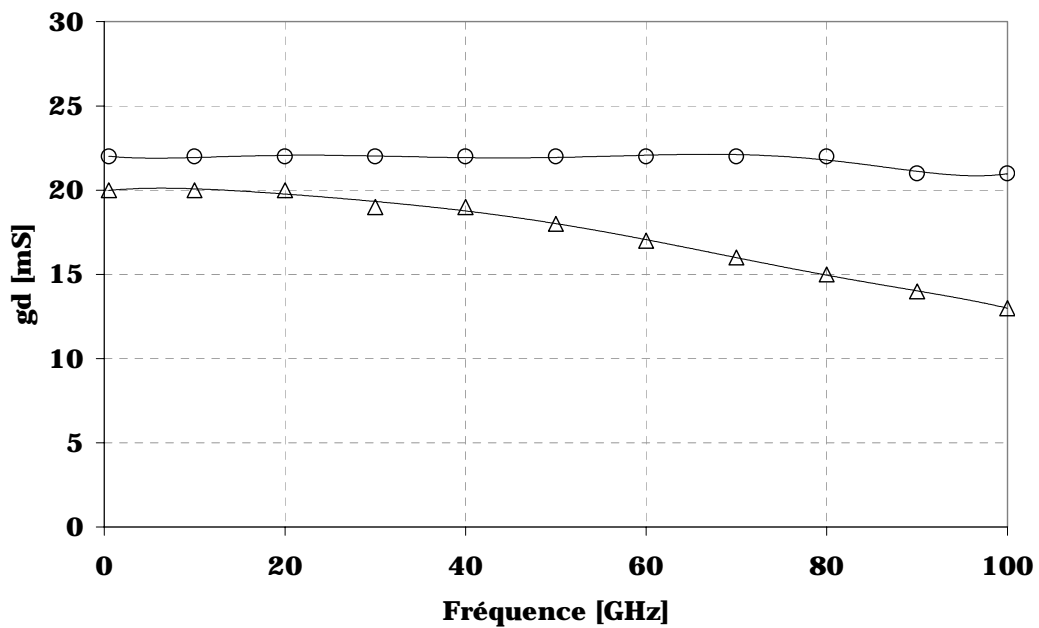


Figure 3.13 Comparaison des conductances de sortie pour une source commune (o) et Cascode (Δ).

Gd est un paramètre très important pour le calcul de la ligne artificielle de sortie dans les amplificateurs distribués. Il détermine les pertes de cette ligne (cf. Chap. 4) et donc limite le courant de sortie global maximal.

3.4 Le montage drain commun (ou source suiveuse)

La figure suivante représente le schéma de principe du montage drain commun. Ce montage est souvent utilisé comme adaptateur d'impédance, et souvent associé aux décaleurs de tension.

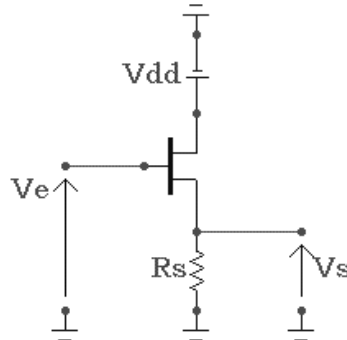


Figure 3.14 Source suiveuse.

Son gain en tension est proche de l'unité pour des résistances de charge élevée par rapport à $1/(g_m + g_d)$.

$$A_v = \frac{g_m + j\omega C_{gs}}{g_d + g_m + G_s + j\omega(C_{gs} + C_{ds})} \quad (3.10)$$

$$Y_e = j\omega[C_{gd} + C_{gs}[1 - A_v]] \quad (3.11)$$

Où $G_s = 1/R_s$. Pour des valeurs de gain en tension proche de l'unité, l'admittance d'entrée se résume à la capacité C_{gd} beaucoup plus faible que C_{gs} . Ainsi, l'impédance d'entrée de la source suiveuse est relativement élevée sur toute la bande jusqu'à la coupure à -3 dB.

$$Z_s = \frac{1}{g_m + g_d + G_s + j\omega(C_{gs} + C_{ds})} \quad (3.12)$$

Pour des valeurs élevées de R_s et dans la bande passante du circuit, l'impédance de sortie se réduit approximativement à $1/g_m$. Elle est relativement faible, ce qui justifie l'utilisation traditionnelle de ce montage pour l'adaptation d'impédance, typiquement dans les amplificateurs à base de paires différentielles [3].

3.5 La paire différentielle

La paire différentielle met en œuvre deux transistors connectés par leurs sources et polarisés par une source de courant. Par définition tous les éléments sont assemblés symétriquement. Ce montage est souvent utilisé en basse fréquence pour les applications nécessitant une marge de manœuvre importante sur les potentiels continus à l'entrée. L'exemple typique est celui de la mesure utilisant un thermocouple. La figure suivante représente le schéma d'une paire différentielle :

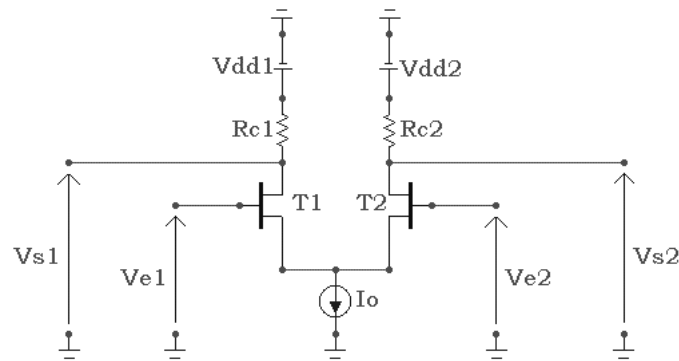


Figure 3.15 La paire différentielle classique.

Afin d'expliquer le fonctionnement de la paire différentielle, nous faisons certaines approximations :

- Les éléments symétriques sont identiques, stricto-sensu.
- La source de courant est idéale.

Ainsi, lorsque les mêmes potentiels sont appliqués sur les deux grilles des transistors actifs, le courant I_o se partage en deux et les mêmes courants circulent dans les deux branches. En mode commun, i.e. lorsque les deux signaux sur les grilles des transistors sont en phase, les tensions sur les drains des transistors sont invariables, le gain mode commun, est idéalement nul. Lorsque les deux signaux sur les grilles sont déphasés et variant faiblement², on définit $\Delta V_e = V_1 - V_2$ la différence entre ces deux tensions à un instant t , avec $V_1 > V_2$. Le transistor T1 par le biais de sa tension de grille débite plus de courant. Comme le montage est alimenté par une source de courant, donc à courant fixe, T2 diminue le courant qu'il débite et inversement lorsque ΔV_e est négative. (Voir fig. ci-dessous). Ainsi, il est possible de trouver un rapport de proportionnalité entre ΔV_e et les courants de sortie, c'est le gain différentiel en tension déterminé plus bas.

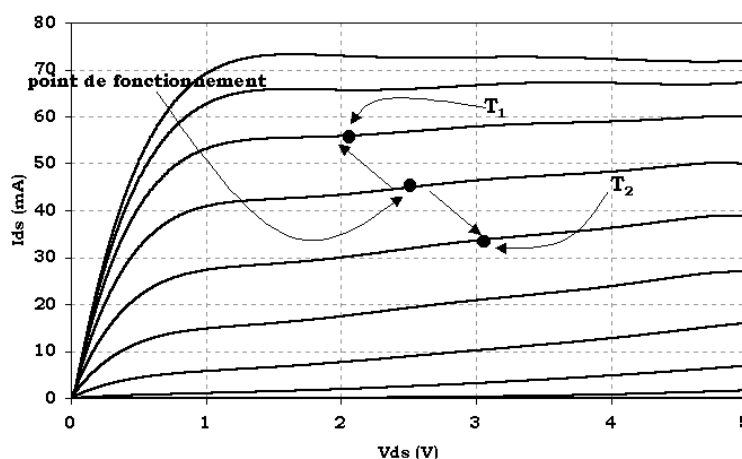


Figure 3.16 Fonctionnement de la paire différentielle avec deux signaux déphasés.

² Donc toujours en régime petit signal.

Un avantage de la paire différentielle est l'amplitude plus faible –par transistor- des signaux à traiter. En mode différentiel, la puissance globale traitée est transportée sur deux signaux complémentaires. Ainsi, à composant identique, donc vitesses de rampes identiques, les temps de montée et de descente sont plus faibles que celui d'un montage source commune. C'est l'une des techniques utilisées pour augmenter les débits traités dans les circuits numériques [4].

3.5.1 La paire différentielle en mode référencé

Le montage en mode référencé fonctionne avec l'une des deux tensions de grilles, par exemple V_2 , maintenue constante idéalement³. Lorsque V_1 augmente, T_1 débite plus de courant. Comme le montage est alimenté en courant constant, T_2 voit son courant diminuer, mais comme son potentiel de grille est constant, c'est son potentiel de source qui augmente pour baisser la valeur de V_{gs} . Lorsque la transconductance varie peu, pour une variation ΔV_1 du potentiel de grille, la source augmente de $\Delta V_1/2$.

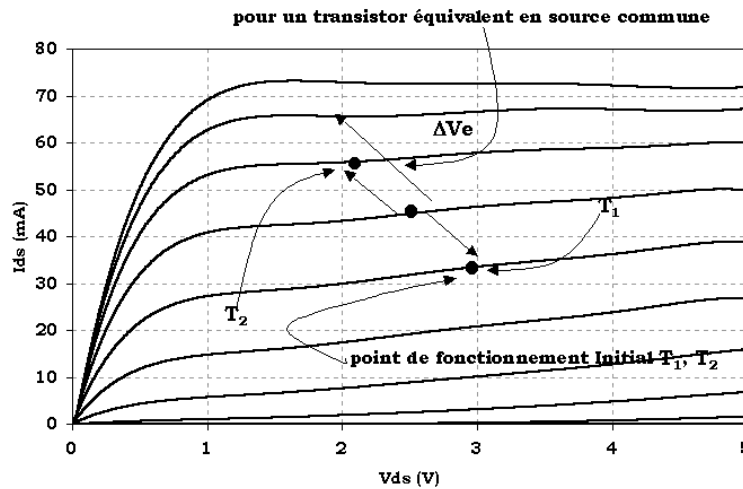


Figure 3.17 Fonctionnement en mode référencé.

Il en résulte que la variation du courant dans chaque branche représente la moitié de celle d'une source commune ou d'un Cascode. C'est un inconvénient potentiel de ce montage comparé à la source commune, le gain en tension est divisé en deux. (mais le produit gain-bande passante ne souffre pas).

C'est ce mode de fonctionnement principalement, que nous choisirons pour concevoir nos amplificateurs.

Le gain petit signal en mode référencé lorsque la source de courant est idéale s'exprime :

$$A_v = \frac{-gm + j\omega C_{gd}}{2 \cdot [gd + Gc + j\omega(C_{ds} + C_{gd})]} \approx \frac{A_{v(\text{source_commune})}}{2} \quad (3.13)$$

En mode différentiel, Les impédances d'entrée/sortie sont sensiblement égales à celles de la source commune. Par contre, en mode référencé, l'impédance d'entrée

³ Nous verrons par la suite comment le découplage est réalisé pratiquement.

est le double de celle de la source commune (à cause du nœud de source flottant dans la paire différentielle). Ces calculs sont effectués en supposant la source de courant idéale. L'amplitude maximale est limitée en grand signal par $R_c \cdot I_o$.

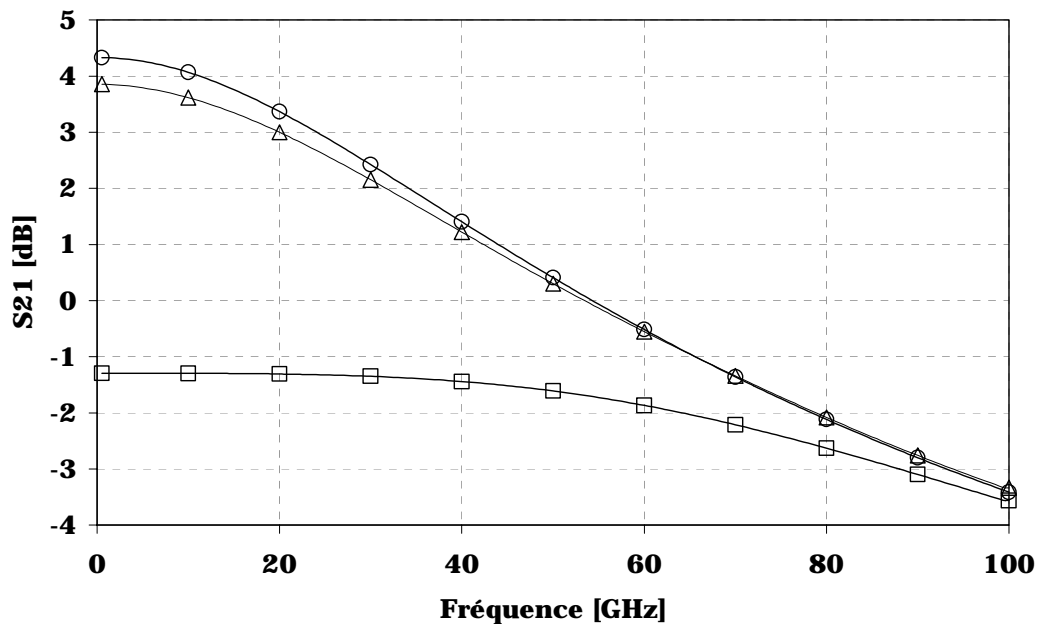


Figure 3.18 Gain en dB pour des étages chargés par une résistance 25 Ohms, Source commune $2 \times 25 \mu\text{m}$ (o), paire différentielle $2 \times 25 \mu\text{m}$ (), paire différentielle $2 \times 50 \mu\text{m}$ (Δ).

La figure ci-dessus illustre qu'à dimensions identiques, la paire différentielle (en mode référencé) a moitié moins de gain (-6 dB) qu'une source commune.

La courbe ci-dessus démontre l'utilité de la paire différentielle par rapport à la source commune dans les circuits numériques [5] ; elle a une bande passante clairement plus élevée mais un gain plus faible. Dans l'absolu, cela revient à traiter la même « quantité » de signal mais réparti en deux signaux complémentaires de plus faibles amplitudes, donc plus rapides ; confirmant ainsi l'avantage des amplificateurs différentiels en termes de fréquences de coupure comparés aux amplificateurs discrets non-différentiels [2].

D'autre part, une paire différentielle avec des transistors de largeur de grille double de celle d'une source commune a approximativement le même gain référencé (Δ) mais ne présente pas une plus-value intéressante pour la bande passante. (en tout cas, en petit signal).

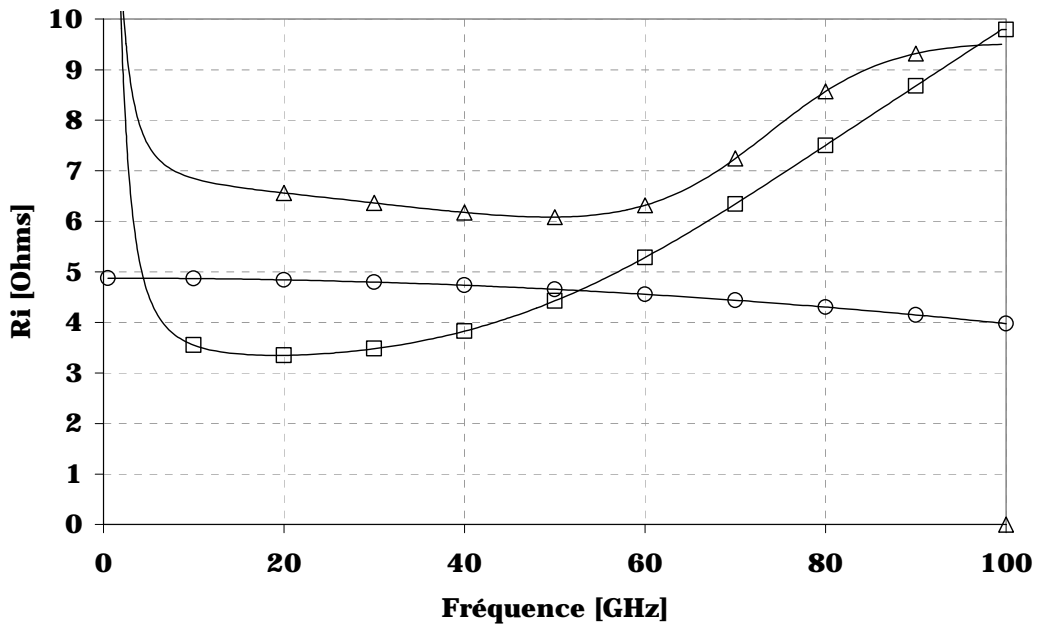


Figure 3.19 Résistances séries d'entrée des étages chargés par une résistance 25 Ohms, Source commune $2 \times 25 \mu\text{m}$ (o), et en mode référencé : paire différentielle $2 \times 25 \mu\text{m}$ (Δ), paire différentielle $2 \times 50 \mu\text{m}$ (.)

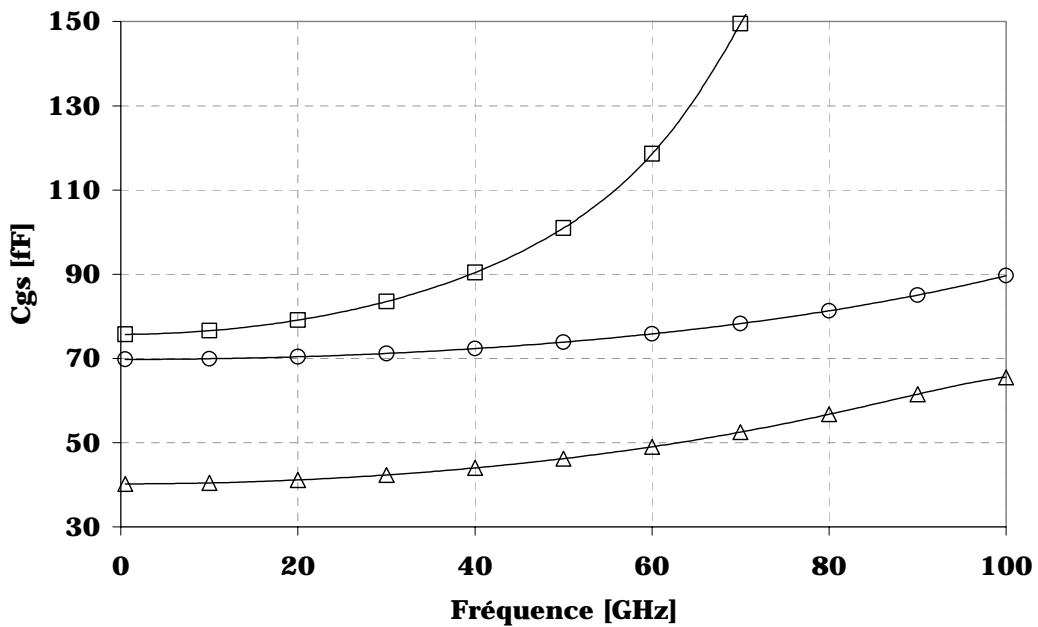


Figure 3.20 Capacités d'entrée des étages chargés par une résistance 25 Ohms, Source commune $2 \times 25 \mu\text{m}$ (o), et en mode référencé : paire différentielle $2 \times 25 \mu\text{m}$ (Δ), paire différentielle $2 \times 50 \mu\text{m}$ (.)

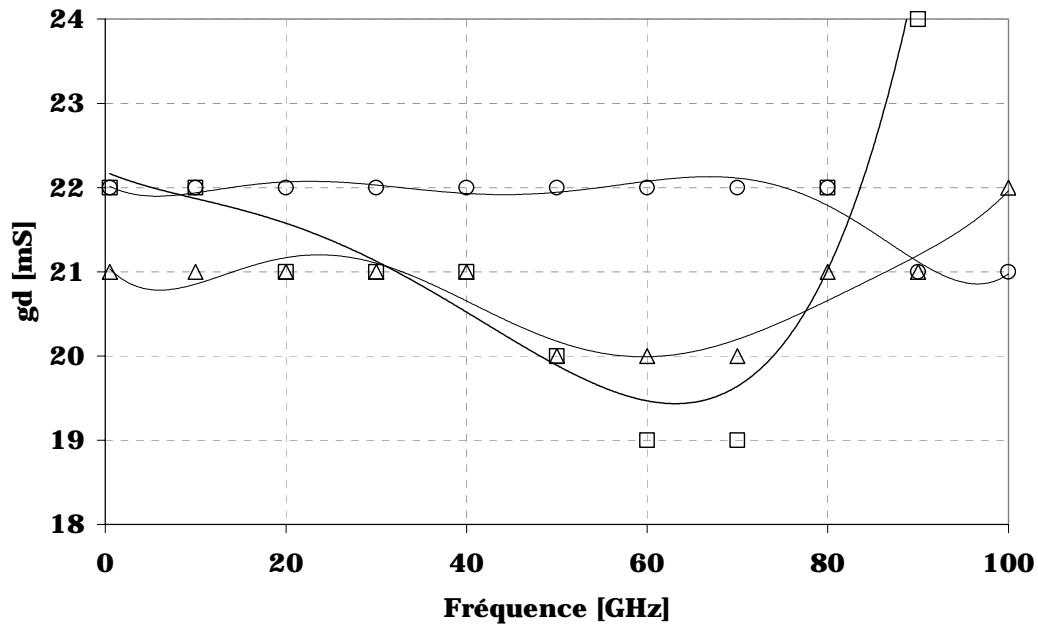


Figure 3.21 Conductances de sortie des étages, Source commune $2 \times 25 \mu\text{m}$ (o), paire différentielle $2 \times 25 \mu\text{m}$ (Δ), paire différentielle $2 \times 50 \mu\text{m}$ (□).

On observe sur les fig. 3.21 et 3.22 que la paire différentielle à dimensions identiques ($2 \times 25 \mu\text{m}$) a moins d'éléments parasites à l'entrée et à la sortie, moyennant moins de gain disponible (-6dB) en mode référencé. La puissance totale traitée est la même que celle en source commune mais emmagasinée dans les deux signaux complémentaires, et il serait théoriquement possible de l'injecter dans une seule résistance de charge « flottante ».

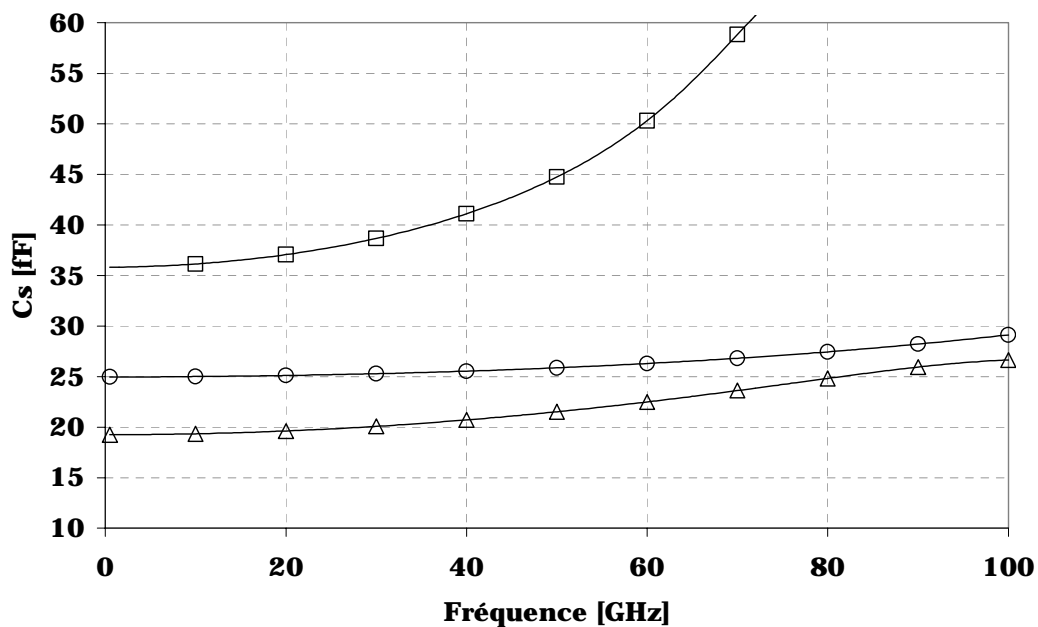


Figure 3.22 Comparaison entre les capacités de sortie des étages, Source commune $2 \times 25 \mu\text{m}$ (o), paire différentielle $2 \times 25 \mu\text{m}$ (Δ), paire différentielle $2 \times 50 \mu\text{m}$ (□).

3.5.2 Fonctionnement en grand signal

Comparée aux montages source commune et Cascode, la paire différentielle produit un fonctionnement de saturation grand signal différent. En plus des variations nonlinéaires des paramètres du schéma équivalent, la paire est alimentée par un courant constant commun.

Lorsque la différence entre les deux signaux déphasés aux entrées de la paire différentielle est suffisamment élevée (ou l'amplitude du signal d'entrée est suffisamment grande pour le mode référencé), le courant dans la première branche augmente et est limité de manière abrupte par la source de courant constant. Si les tensions de polarisations des résistances de charge sont choisies de telle sorte qu'il n'y ait pas d'effet de dépolarisation significatif de V_{ds} pour les valeurs limite de V_{gs} , il se produit une saturation contrôlée par le biais de la source de courant. Il devient théoriquement possible de faire de la saturation simultanée sur les niveaux haut et bas pour des signaux rapides [5], à condition que l'injection de courant soit parfaite⁴ [6]. Il est possible de l'améliorer en utilisant des miroirs de courant ou des sources de courant cascodées.

3.5.3 Eléments parasites

Le calcul du gain petit signal de la paire différentielle a été fait en considérant la source de courant idéale. En pratique, ils existent quelques problèmes :

- Pour des courants débités relativement importants (50 mA), la taille du transistor utilisé comme source de courant induit une capacité parasite C_{ds} importante, et donc des fuites de courant vers la masse. Le gain différentiel de la paire est amorti, l'injection du courant alternativement dans une branche puis dans l'autre est de moins en moins efficace.
- En mode référencé, lorsque le potentiel varie sur une des deux grille, et que l'autre grille est mal découplée, la variation de la tension de source (la masse virtuelle) n'est plus suffisante pour injecter tout le courant alternativement dans une branche de la paire puis dans l'autre. Une partie de ce courant est perdue dans « la variation de la seconde grille », le gain se dégrade.

Nous pouvons rappeler quelques-uns des éléments critiques de la paire différentielle :

- Le découplage de la deuxième grille lorsqu'il s'agit d'un fonctionnement en référencé.
- L'efficacité de commutation du courant. Tout élément résistif sur les chemins d'injection dégrade le gain, en basse fréquence, pour les résistances pures, et en hautes fréquences pour les inductances. De la même façon que les résistance de

⁴ Nous verrons par la suite (Chap. 4) que pour des amplitudes de sortie relativement fortes, il est nécessaire de fournir des courants importants, et les sources de courant associées sont de moins en moins performantes à cause des capacités parasites C_{ds} . Nous proposerons une solution pour éviter cet effet.

source sont utilisées pour stabiliser le gain des montages source commune ou cascade, les impédances rajoutées entre les sources de courants et les deux transistors permettent de moduler le gain du montage.

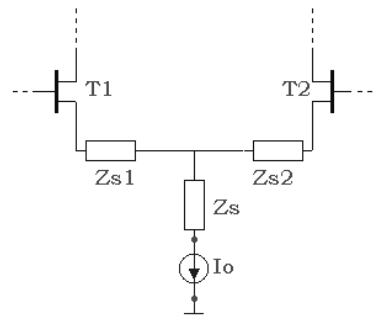


Figure 3.23 Eléments parasites séries sur les sources des transistors et sur la source de courant.

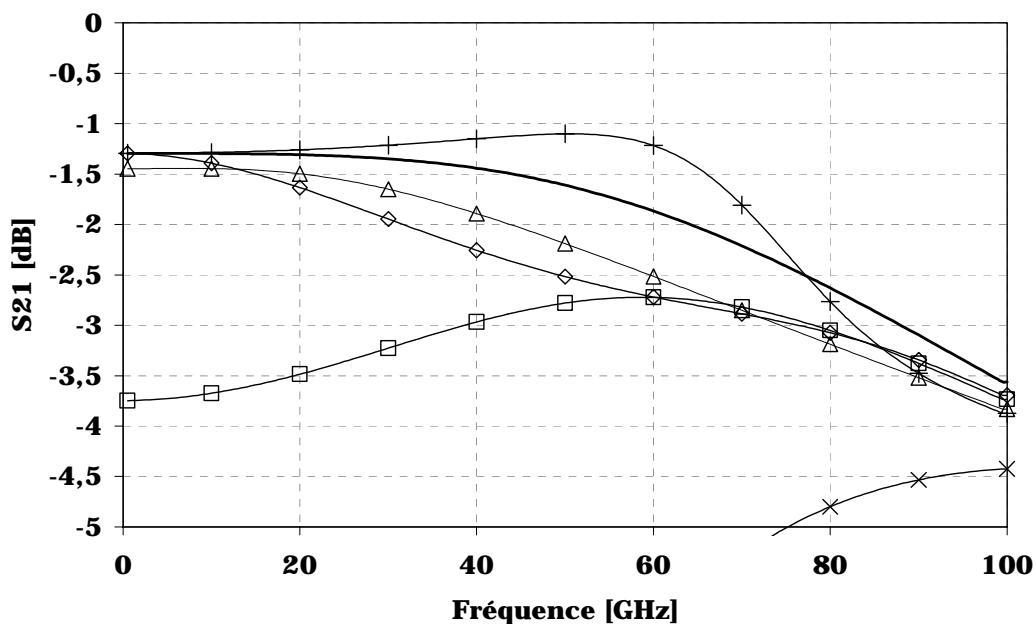


Figure 3.24 S_{21} en dB d'une paire différentielle, sans éléments parasites (-), avec une résistance série $Z_s=200 \Omega$ (Δ), $Z_{s1}=Z_{s2}=100 \Omega$ (x), $Z_{s1}=Z_{s2}=10 \Omega$ (□), avec une self série $Z_s=80 \text{ pH}$ (+), et $Z_{s1}=Z_{s2}=40 \text{ pH}$ (o).

Sur la figure ci-dessus, nous pouvons voir que quelque soit les valeurs des éléments parasites, ils ont beaucoup moins d'effet lorsqu'ils sont sur la branche commune de la source de courant (Δ et +). Pour le cas des résistances par exemple, l'effet de deux résistances de 100 Ohms chacune sur une branche (Z_{s1} et Z_{s2}) est largement plus important que l'effet d'une seule résistance de 200 Ohms (Z_s) sur la branche commune. Et de même pour les inductances.

Théoriquement, le courant dans la source de courant ne varie pas, ce qui explique que le gain est aussi peu sensible aux impédances série de la source de courant. Par contre, même une impédance série de petite valeur introduite dans le chemin du courant entre les deux transistors de la paire diminue considérablement le gain. La distance entre transistors (corrélée à l'inductance série des accès) est primordiale pour les circuits destinés à la commutation rapide [7][8].

3.6 Structures composées

Pour les amplificateurs intégrés en bande de base, dont les largeurs de bande sont relativement proches des fréquences de coupure des transistors⁵, deux structures génériques s'avèrent adaptées. Les amplificateurs différentiels sont les seuls circuits discrets à pouvoir fournir des rapports élevés entre débit et fréquence de coupure mais souffrent chroniquement de ne pouvoir fournir suffisamment de tension, à cause de l'augmentation de leurs capacités parasites avec leurs tailles. D'un autre côté, les amplificateurs distribués donnent à l'heure actuelle les meilleurs résultats en terme de produit gain bande pour une technologie donnée.

3.6.1 Structures discrètes

3.6.1.1 SCFL (Source coupled FET logic)

C'est l'équivalent de la logique ECL pour les transistors bipolaires [9,10]. C'est la structure la plus commune pour les amplificateurs différentiels à base de transistors à effet de champ [11,12,13] : l'association des paires différentielles à des sources suiveuses pour l'adaptation et le décalage de tension. La condition principale pour un fonctionnement rapide est de polariser les transistors suiveurs dans les régions de V_{gd} pour lesquelles les capacités C_{gd} sont les plus faibles possibles.

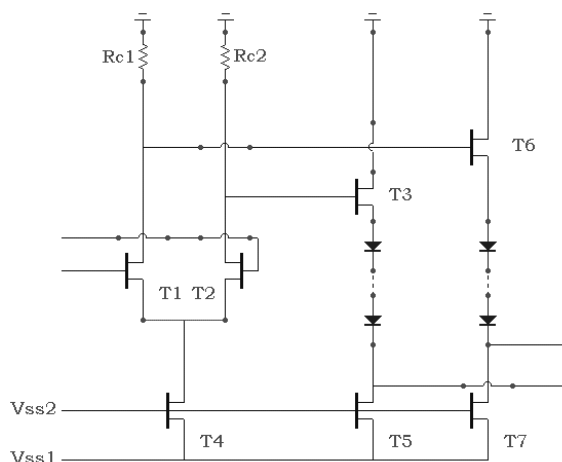


Figure 3.25 Structure SCFL générique.

Souvent, les amplificateurs différentiels sont conçus à base de structures SCFL [2]. Les sources suiveuses servent soit à décaler les tensions continues, auquel cas, sont rajoutées des diodes de décalage (fig. ci-dessus) éventuellement shuntées par une capacité pour une meilleure réponse en fréquence ou alors uniquement pour l'adaptation d'impédance, et donc sans diodes. Un amplificateur différentiel est

⁵ Typiquement ceux destinés à fonctionner à des débits de 40 Gbit/s et utilisant des transistors de 95 GHz de f_T (pour le GaAs) ou 150 GHz (pour l'InP).

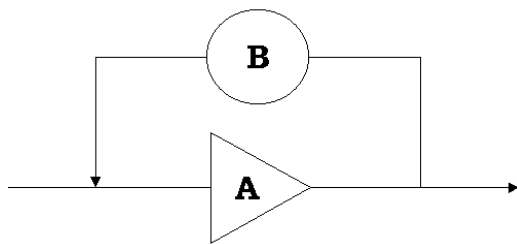
souvent composé d'un premier étage d'adaptation à base de suiveurs, ensuite d'un étage d'amplification différentiel ; qui est à son tour terminé par un suiveur pour l'adaptation d'impédance en sortie. Dans le cas d'un deuxième étage actif, ce dernier sert aussi de décaleur.

Il est aussi possible d'enchaîner les suiveurs si nécessaire [14], ainsi pour les bipolaires, on parle de ECL, E₂CL, etc. Certaines techniques afin d'accélérer les rampes des signaux consistent à relier les sorties des suiveurs aux sorties des paires différentielles qui les précèdent directement via des capacités. Ainsi, à très haute fréquence, le signal est très rapidement injecté à la sortie du décaleur [15].

3.6.1.2 Amplificateur à contre-réaction

La figure suivante représente un schéma synoptique de l'amplificateur à contre-réaction. Cette technique, déjà très utilisée pour les domaines des basses fréquences a été ensuite introduite pour les hyper-fréquences [16]. En se basant sur le principe de conservation du produit gain-bande de Bode-Fanon, la contre-réaction répartit ce produit gain-bande de façon à élargir la bande passante. Cette technique a été très largement utilisée pour les photorécepteurs dédiés aux transmissions à 10 Gbit/s [17,18]; mais montre régulièrement des limites d'utilisation notamment pour fournir de fortes amplitudes de sortie ou en terme de bruit. En effet, la taille des transistors nécessaires pour de forts courants de sortie abaisse considérablement la bande passante des amplificateurs même contre-réactionnés.

Pour les photorécepteurs [19], le bruit que ramène les composants dans les réseaux de contre-réaction, notamment les résistances peut être supérieur à celui compensé par le gain, et le facteur de bruit peut se détériorer.



$$G = \frac{A}{1 + AB}$$

Figure 3.26 Amplificateur à contre-réaction.

La contre-réaction est aussi utilisée pour améliorer la linéarité d'un amplificateur. Lorsque les retards sont correctement gérés, les effets non-linéaires telles que la saturation sont évités grâce à la contre-réaction. Lorsque le gain de l'amplificateur non réactionné A est très élevé, le Gain G est approché à 1/B, typiquement pour un photorécepteur, le gain transimpédance est proche de la valeur de la résistance de contre-réaction en début de bande (lorsque le gm n'est pas encore suffisamment atténué par les capacités parasites).

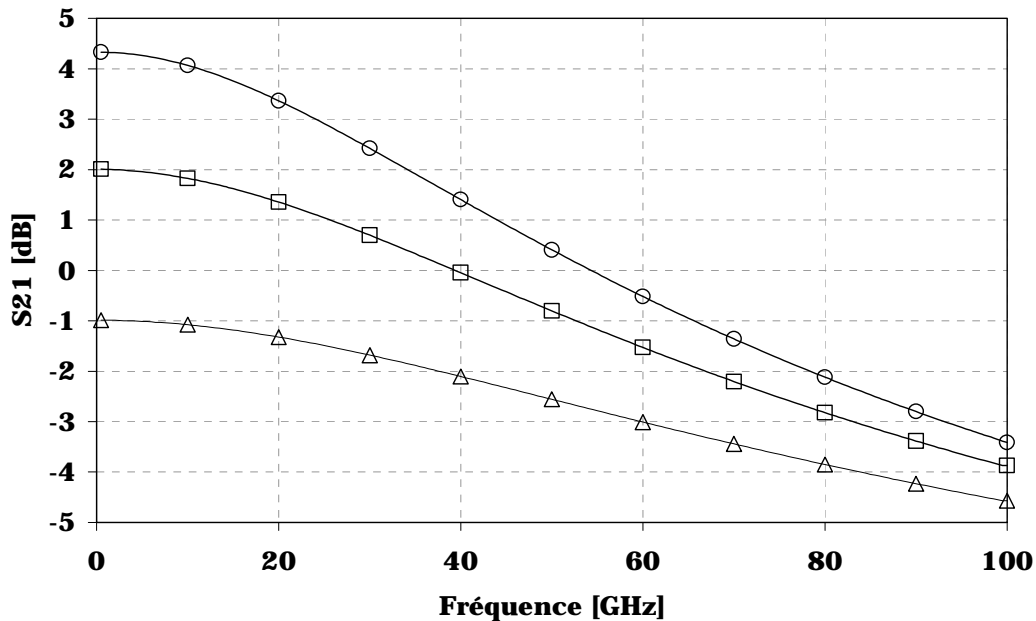


Figure 3.27 A largeur de transistor identique ($2 \times 25 \mu\text{m}$), comparaison des gains de la source commune simple (o), et avec une résistance de contre-réaction, de 500 Ohms (), de 200 Ohms (Δ).

La figure ci-dessus illustre la répartition différente du gain en fonction de la fréquence de telle sorte que la fréquence de coupure à -3dB est augmentée.

3.6.2 Structures distribués

Dans cette section, nous détaillons les différents types d'amplificateurs distribués connus et utilisés ; ainsi que leurs applications et avantages potentiels⁶.

3.6.2.1 Amplificateurs distribués une entrée, une sortie

C'est l'amplificateur distribué de base comme il a été imaginé en utilisant des tubes à vide en 1937 par Percival [20] et réalisé à partir des années 1950 [21,22,23,24] mais utilisant des composants de plus en plus performants [25][26]. Le principe est de mettre en parallèle plusieurs étages amplificateurs en reliant leurs entrées et sorties par des inductances. A basse fréquence, le gain global est la somme des gains des étages. A haute fréquence, le circuit se comporte comme deux lignes de transmission couplées activement.

3.6.2.2 Amplificateurs double-distribués

Ces structures ont été inventées au CNET [27] afin de permettre des amplitudes de sortie relativement élevées à très haut débit [28]. Le principe de base est le même que celui du simple-distribué mais il implique un diviseur de puissance ; le signal d'entrée est propagé sur une ligne unique d'entrée, distribuée sur les grilles de transistors dont les drains sont connectés alternativement à deux lignes de sortie. Ainsi, pour un signal à l'entrée, l'amplificateur donne deux signaux en phase sur chaque ligne de sortie. De la même manière, l'amplificateur combineur de

⁶ La description ainsi que les calculs détaillés en seront données dans le chapitre 4.

puissance, additionne les deux puissances des signaux injectées sur les deux lignes d'entrée sur une ligne unique de sortie. On gagne ainsi 6 dB par rapport à un distribué simple.

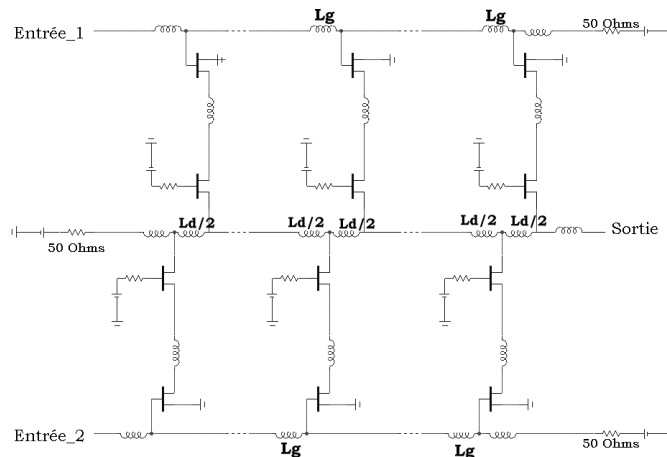


Figure 3.28 Amplificateur combineur double distribué à base d'étages Cascode.

Le double distribué a permis de repousser la limitation en nombre d'étages, due aux pertes des lignes.

3.6.2.3 L'amplificateur transversal

Le principe de l'amplification distribué est quelque peu détourné pour réaliser ce type d'amplificateur [29]. Ces structures sont souvent utilisées pour la remise en forme d'impulsions [30] et sont en réalité des filtres actifs.

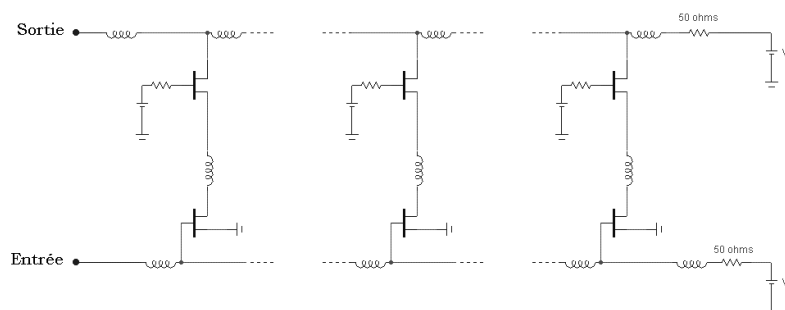


Figure 3.29 Amplificateur transversal.

La figure ci-dessus illustre le principe de l'amplificateur transversal. Le signal de sortie est récupéré sur la « mauvaise » sortie de l'amplificateur distribué classique. En fait, en utilisant les déphasages différents selon le chemin parcouru par le signal, on peut modifier la forme du signal.

3.6.2.4 L'amplificateur distribué à division de capacité

La capacité équivalente à l'entrée de chaque cellule est abaissée en rajoutant une capacité série à C_{gs} (Voir Fig. ci-dessous)

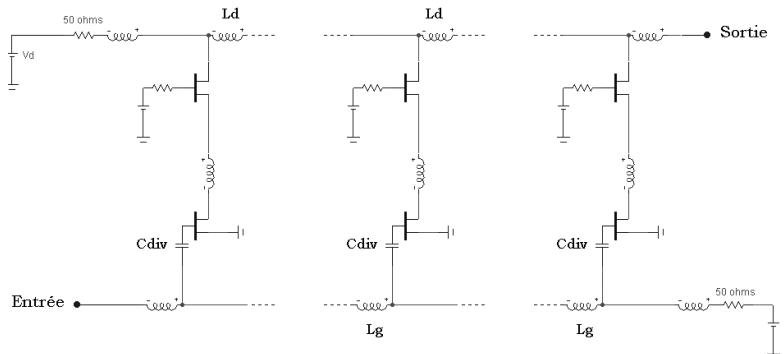


Figure 3.30 Schéma de principe de l'amplificateur distribué avec division de capacité.

Cette technique a été proposée par Ayasli [31], et a été par la suite utilisée pour les amplificateurs ultra large bande [32,33]. La capacité à l'entrée est $C_{in} = M \cdot C_{gs}$ (en considérant le schéma unilatéral du transistor) avec $M = C_{div} / (C_{div} + C_{gs})$. La fréquence de coupure de la ligne artificielle est augmentée, améliorant de même la fréquence de coupure de l'amplificateur. Par ailleurs, ce type de structures est sujet aux mêmes limitations du nombre maximum d'étages dues aux pertes des lignes. Aussi, le facteur M ne peut pas être continuellement augmenté car à haute fréquence, le gain diminue car la puissance est divisée à l'entrée.

De plus, il est impossible de concevoir des amplificateurs large bande passant le continu [34] ; puisque les grilles des transistors sont couplées capacitivement à la ligne d'entrée.

3.6.2.5 Amplificateur distribué à inductances variables

Le désavantage principal de l'amplification distribuée est la perte d'à peu près 50% de la puissance utile en sortie dans la résistance d'adaptation de la ligne de drain. L'analyse [35] démontre que pour propager la puissance sur la ligne de sortie uniquement dans la direction utile, l'impédance caractéristique de la ligne de sortie doit décroître continuellement du premier transistor jusqu'au transistor le plus proche de la sortie. Ainsi, en théorie, il serait possible de 'gagner' 6 dB supplémentaire sur le gain de l'amplificateur. Dans la pratique, une grande fourchette de variation d'impédance est difficile à réaliser.

3.6.2.6 Cellule de Gilbert distribuée

Se basant sur le même principe que pour les cellules Cascode, Imai *et Al* [36] ont conçu un multiplicateur analogique à base de cellule de Gilbert distribuée. De la même façon, les fréquences de coupure hautes sont améliorées grâce à la distribution des capacités d'entrée sur les lignes artificielles.

3.6.2.7 Amplificateur distribué doublement alimenté

Les terminaisons de la ligne d'entrée sont connectées et forment l'entrée de l'amplificateur ; et de même pour la ligne de sortie. Cette technique étudiée [37] a été appliquée au bipolaire [38]. Elle permet de récupérer la puissance dissipée dans la résistance d'adaptation dans le cas d'un amplificateur distribué classique et de l'injecter utilement dans la résistance de charge.

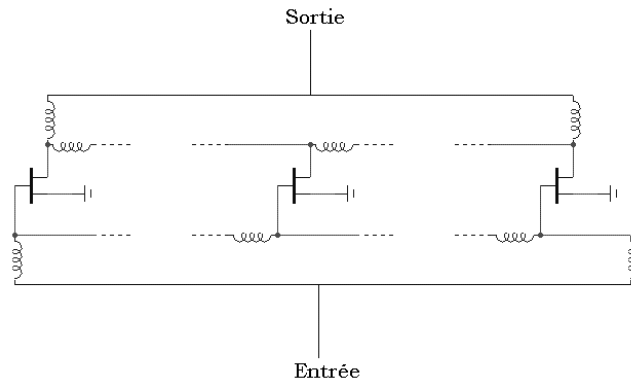


Figure 3.31 Schéma de principe de l'amplificateur distribué doublement alimenté.

Comme le laisse deviner le schéma type de cette structure, ses principaux inconvénients concernent les contraintes sur les interférences entre les signaux se propageant sur les deux parties des lignes d'entrée/sortie d'une part ; et la largeur de bande plus faible comparée aux amplificateurs distribués classiques.

3.7 Les parasites du Layout

Les points évoqués précédemment résument la méthodologie d'optimisation d'une structure SCFL en donnant les points critiques qu'il est nécessaire d'optimiser. A nos fréquences de fonctionnement, lorsque la structure est implantée, deux nouveaux aspects apparaissent :

- Les longueurs d'onde sont du même ordre de grandeur que les dimensions des composants eux-mêmes ainsi que des interconnexions [39].
- Les parasites (notamment capacités et inductances) dus aux croisements entre les niveaux d'interconnexions, ont des valeurs tel que leurs effets (résonances, et filtrage) sont significatifs dans la bande de fréquences utilisables (typiquement entre 50 KHz et 80 GHz).

3.7.1 Croisements

Lorsque deux niveaux d'interconnexions se chevauchent, séparés par un diélectrique, un couplage (souhaité ou non) apparaît entre eux. Lorsque les dimensions du croisement sont considérées comme suffisamment petites comparées aux longueurs d'onde significatives pour ignorer les effets de propagation, il est simplement modélisé par une capacité.

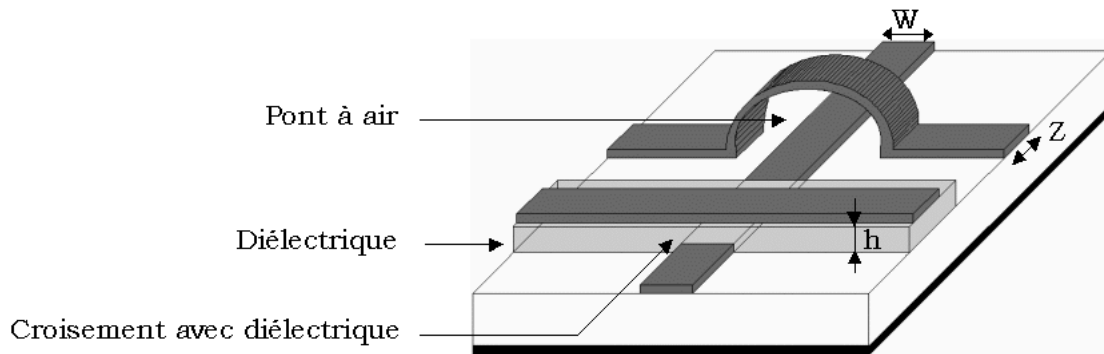


Figure 3.32 Croisements entre deux niveaux de métallisation.

La capacité de couplage d'un croisement classique de deux lignes de transmissions séparées par une épaisseur de diélectrique h, s'écrit [40]:

$$C = \xi_0 \xi_r \left[\frac{WZ}{h} + 1,393.(Z + W) + \frac{2}{3} \left[Z.Ln\left(\frac{W}{Z} + 1,444\right) + W.Ln\left(\frac{Z}{h} + 1,444\right) \right] \right] \quad (3.14)$$

Pour un croisement de $W=10 \mu\text{m}$ par $Z=10 \mu\text{m}$, largeurs de lignes souvent utilisées dans nos circuits, la capacité rapportée est de 38 fF pour une épaisseur de diélectrique de $0,15 \mu\text{m}$. Du même ordre que les capacités parasites d'entrée ou de sortie des transistors. Pour baisser la valeur de cette capacité parasite, il est possible de remplacer le diélectrique par de l'air. Au final, la valeur de la capacité est divisée par 4, pour un croisement de mêmes dimensions. En plus, grâce à l'augmentation simultanée de h à $2 \mu\text{m}$, elle est de 2,8 fF en technologie GaAs et de 1,5 fF en technologie InP. L'effet d'un seul pont à air peut être négligé, mais lorsque

plusieurs croisements de ce type sont insérés dans un circuit, notamment dans un amplificateur distribué, il est nécessaire d'en tenir compte.

3.7.2 Propagation

Pour un signal numérique à 40 Gbit/s de type NRZ, la puissance est majoritairement contenue dans la bande de fréquences de 0 à 70% du débit (cf. Chap. 1). Le spectre significatif s'étend un peu plus vers les 60 GHz (troisième harmonique) pour tenir compte des caractéristiques de forme des signaux. Pour 40 GHz, la longueur d'onde sur GaAs ou InP est de l'ordre de 2 mm, ce qui signifie qu'une ligne de transmission de 100 μm représente déjà le 20^{ième} de la longueur d'onde, limite empirique souvent citée pour l'application du modèle discrétisé des interconnexions.

Typiquement, les dimensions des circuits sont de quelques millimètres carrés ! et les longueurs de lignes entre quelques microns et quelques centaines de microns ! Les simulations devront donc absolument tenir compte de ces interconnexions si on souhaite prévoir avec précision leurs comportements.

Le délai de propagation

Le retard introduit par ces lignes doit aussi être pris en considération. Pour les circuits nécessitant un signal de synchronisation, typiquement une horloge pour des circuits tels que des bascules, ce temps doit être minimisé afin que les changements de niveaux se déclenchent aux bons moments. Pour les amplificateurs, l'approche est différente :

- Pour les amplificateurs discrets, le problème de synchronisation ne se pose pas. Le signal injecté dans un amplificateur mono voie, accumule du retard lorsqu'il traverse le circuit, mais n'exerce d'effet sur le signal qui l'a initié que dans le cas d'une contre réaction (intentionnelle ou non), où certaines compositions de phase peuvent induire des instabilités et doivent donc être précisément simulées. Les phases peuvent aussi être importantes pour le fonctionnement lorsque deux signaux doivent être en opposition de phase (amplificateurs différentiels). Néanmoins cela reste moins critique qu'il ne l'est pour les circuits numériques car ce problème peut être partiellement évité en symétrisant les chemins des signaux.
- Pour les amplificateurs distribués, de la même façon, ce retard peut gêner s'il est associé à des contre réactions. Les signaux d'entrée et de sortie doivent accumuler le même retard par étage pour pouvoir s'additionner en phase. (Cf. Chap. 3).

La dispersion des délais

La dispersion en fonction de la fréquence, des temps de propagation dus aux diverses structures de transmissions joue un rôle extrêmement important et limite l'application aux signaux numériques. Idéalement, toutes les composantes fréquentielles devraient être de même amplitude et se propager à la même vitesse afin de ne pas détériorer la forme d'onde. La dispersion est principalement due à trois effets :

- Les pertes des lignes.
- Les dimensions latérales des lignes peuvent en s'approchant des modes latéraux produire une dispersion des temps de groupe.
- Les proximités des résonances. Sur InP ou GaAs, les lignes de transmissions de l'ordre de 100 μm de long et 10 μm de large (dimensions typiques des lignes utilisées) présentent des inductances de quelques dizaines de pH. Leurs effets sont visibles dans les bandes de fréquences que nous utilisons, que ce soit par le fait que la fréquence de résonance LC avec les capacités parasites est dans la plage de fréquence ; ou même si elle est très élevée, ces effets commencent à apparaître à $F_0/5$. (Les « variations » des capacités d'entrée/sortie des P-HEMT avec de fortes largeurs de grille s'expliquent ainsi) (Cf. Chap. 3). En dessous de 100 μm de long, un circuit RLC discret est suffisant pour les modéliser avec fiabilité. Au-delà, c'est le modèle RLC distribué (consistant à cascader plusieurs cellules), qui est utilisé. Néanmoins, certains simulateurs notamment SPICE, sont incapable de gérer un trop grand nombre de lignes, surtout lorsqu'elles sont de petites dimensions, car les pas de calcul des transitoires deviennent extrêmement faibles. Un compromis est à trouver lors des simulations.

3.7.3 Couplage parasite

Lorsque deux lignes de transmission sont suffisamment proches l'une de l'autre, les champs peuvent s'étendre suffisamment pour induire un couplage. Cet effet peut être intentionnel, mais lorsqu'il ne l'est pas, peut dépasser les seuils de bruit tolérés et ainsi induire des erreurs de traitement de signaux. Certains modèles tiennent compte de ces couplages. Néanmoins, pour des circuits rapides de moyenne complexité, il est relativement difficile de prévoir tous les couplages parasites, notamment ceux introduits par les interconnexions des transistors par exemple. (Voir fig. ci-dessous).

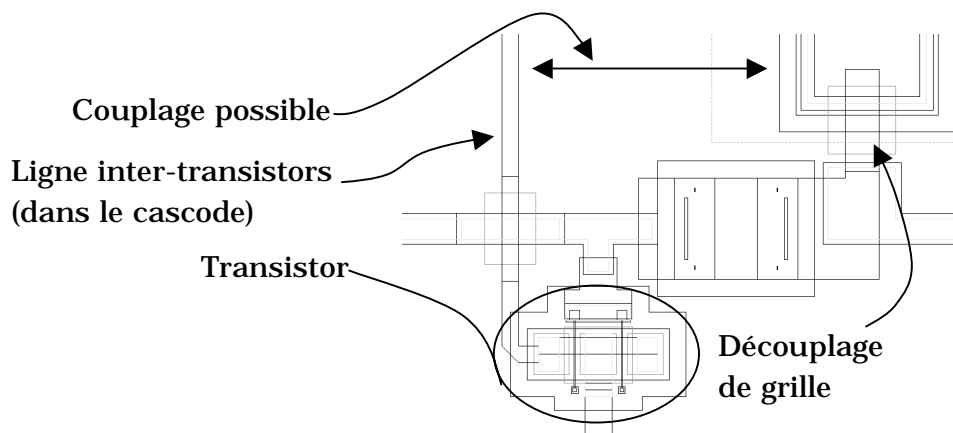


Figure 3.33 Exemple dans un amplificateur distribué de la disposition des lignes et des possibles couplages.

De ce fait, ils doivent être minimisés en imposant des règles de dessin convenables. Typiquement des distances minimales entre lignes.

3.7.4 Lignes d'alimentation

Comme indiqué au chapitre 3, pour chaque structure de base, il est possible de définir des nœuds critiques. Parmi eux, on distingue les nœuds d'alimentation critiques, tels que les résistances de source par exemple. Dans les circuits rapides, les lignes d'alimentation sont souvent relativement longues (pouvant atteindre quelques centaines de microns). Deux phénomènes parasites sont identifiés :

1. Les inductances ramenées isolent le circuit du nœud d'alimentation à tension constante, ce qui peut, selon l'endroit dans le circuit, empêcher le fonctionnement optimal du circuit.
2. Lorsque plusieurs étages sont desservis par la même ligne, les variations de tensions sur ces lignes (relativement flottante à cause des selfs susdites), induisent des variations sur les autres étages et le fonctionnement peut s'en trouver dégradé, jusqu'à l'apparition d'oscillations.

Exhaustivement, les lignes d'alimentation doivent être prises en compte lors des simulations, mais il est possible d'établir une optimisation générique consistant en trois points systématiques et un quatrième point plus innovant :

- Utiliser des lignes larges pour minimiser les inductances parasites.
- Découpler les alimentations au plus proche de l'étage actif.
- Si nécessaire, utiliser des alimentations indépendantes.
- Essayer d'utiliser des techniques d'alimentation insensibles aux longueurs de lignes (typiquement les sources de courants).

3.7.5 Plots d'accès

Selon le type de signaux qu'ils transportent, les plots d'accès peuvent être avantageux ou désavantageux. La capacité d'un plot par rapport au plan de masse inférieur peut servir de découplage supplémentaire lorsqu'il s'agit d'un plot d'alimentation. La capacité de plot est décrite par la relation ci-dessous en faisant une approximation lignes micro ruban. (ξ_0 , ξ_r , ξ_{eff} : Les permittivités diélectriques).

$$C_p = 2\pi\xi_0 \left[\frac{Z\xi_{eff}(W)}{\ln\left(\frac{8h}{W}\right)} + \frac{W\xi_{eff}(Z)}{\ln\left(\frac{8h}{Z}\right)} \right] - \xi_0 \left[\frac{\xi_r W Z}{h} \right] \quad (3.15)$$

$$\xi_{eff}(W) = \frac{\xi_r + 1}{2} + \frac{\xi_r - 1}{2} \left[1 + \frac{10h}{W} \right]^{-\frac{1}{2}} \quad (3.16)$$

$$\xi_{eff}(Z) = \frac{\xi_r + 1}{2} + \frac{\xi_r - 1}{2} \left[1 + \frac{10h}{Z} \right]^{-\frac{1}{2}} \quad (3.17)$$

Pour des substrats III-V, les capacités ramenées par des plots de $100 \times 100 \mu\text{m}^2$ (avec $h=100 \mu\text{m}$, GaAs OMMIC et TBH InP OPTO+) et $80 \times 80 \mu\text{m}^2$ (avec $h=350 \mu\text{m}$ HEMT InP OPTO+) sont de 35 et 20 fF respectivement.

3.8 Conclusions

Nous avons vu dans ce chapitre les structures élémentaires d'amplification classique [41]. Vu les fréquences de fonctionnement souhaitées, nous avons complété ces études en prenant en compte les éléments parasites associés à ces fréquences. Nous avons ainsi établi de façon qualitative les potentialités de chaque montage élémentaire en terme d'amplification large bande et commutation rapide. Les diverses structures composées connues et utilisées pour les amplificateurs de signaux rapides ont été décrites. Leurs avantages et inconvénients respectifs sont confrontés aux besoins en termes de traitement du signal dont il est question dans le premier chapitre.

Les amplificateurs utilisés dans les drivers de modulateurs ou les photorécepteurs sont conçus à base de structures génériques décrites plus haut [42]; moyennant certaines améliorations ou spécificités induites par leurs applications respectives.

Ces diverses techniques peuvent être associées pour accumuler leurs avantages respectifs et éventuellement annuler leurs inconvénients. Ainsi, ces structures peuvent être adaptées aux circuits faibles bruit, ou grand signal, etc.

Des structures innovantes ont été proposées [43] notamment pour permettre des amplitudes de sortie plus importantes. En terme de bande passante, la supériorité des structures distribuées est claire. D'autres inconvénients telles que la complexité de l'implantation font préférer encore les structures discrètes pour des amplitudes de signaux relativement réduites. C'est cette dualité que nous avons étudiée et expérimenté au cours de cette thèse.

-
- [1] « Circuits fondamentaux de l'électronique analogique », Tran Tien Lang, Les éditions Lavoisier.
- [2] « Microwave circuit design using linear and nonlinear techniques », George D. Vendelin, Anthony, M. Pavio, Ulrich, L. Rohde, Editions Wiley, 1990.
- [3] Z. Lao, A. Thiede, U. Nowotny, H. Lienhart, V. Hurm, M. Schlechtweg, J. Hornung, W. Bronner, K. Kohler, A. Hulsmann, B. Raynor, and T. Jakobus, « 40 Gb/s High-Power Modulator Driver IC for Lightwave Communication Systems », IEEE Journal of Solid State Circuits, Vol. 33, No. 10, octobre 1998.
- [4] H.-M. Rein, M. Moller, « Design considerations for very-high-speed Si-bipolar IC's operating up to 50 Gb/s », IEEE Journal of Solid-State Circuits, Vol. 31, août 1996, pp. 1076 -1090.
- [5] Z. Lao, M. Berroth, V. Hurm, A. Thiede, R. Bosch, P. Hofmann, A. Hulsmann, C. Moglestue, K. Kohler. « 25 Gbit/s AGC Amplifier, 22 Ghz Transimpedance Amplifier and 27.7 Ghz Limiting Amplifier ICs using AlGaAs.GaAs-HEMT », ISSCC97, PAPER SA 21.6.
- [6] A. Kasbari, P. Andre, J. Godin, A. Konczykowska, « 40Gbit/s master-slave D-type flip-flop in InP DHBT technology », Electronics Letters , Vol. 38, mars 2002, pp. 330-331.
- [7] A. Konczykowska, P. Jorge, A. Kasbari, N. Sahri, J. Godin, « 48 Gbit/s InP DHBT MS-DFE with very low time jitter », Electronics Letters , Vol. 38, septembre 2002, pp. 1081-1083.
- [8] T. Otsuji, K. Murata, T. Enoki, Y. Umeda, « 80 Gbit/s multiplexer IC using InAlAs/InGaAs/InP HEMTs », Electronics Letters , Vol. 34, janvier 1998, pp. 113-114.
- [9] G. Georgiou, Y. Baeyens, C. Young-Kai, A.H. Gnauck, D. Gropper, P. Paschke, R. Pulella, M. Reinhold, C. Dorschky, J.-P. Mattia, T.W. von Mohrenfels, C. Schullien, « Clock and data recovery IC for 40-Gb/s fiber-optic receiver », Solid-State Circuits, IEEE Journal of , Vol. 2, septembre 2002, pp. 1120 -1125.
- [10] K. Ishii, H. Nosaka, M. Ida, K. Kurishima, I. Enoki, T. Shibata, E. Sano, « High-input-sensitivity, low-power 43 Gbit/s decision circuit using InP/InGaAs DHBTs », Electronics Letters , Vol. 38, juin 2002, pp. 557-558.
- [11] Z. Lao, V. Hurm, A. Thiede, M. Berroth, M. Ludwig, H. Lienhart, M. Schlechtweg, J. Hornung, W. Bronner, K. Kohler, A. Hulsmann, G. Kaufel, and

T. Jakobus, «Modulator Driver and Photoreceiver for 20 Gbit/s Optic-Fiber Links», Journal of lightwave technology, Vol. 16, No. 8, août 1998.

[12] T. Takada, H. Ohtsuka, M. Ohhata, « A new interfacing method 'SCFL-interfacing' is proposed for ultra-high-speed logic ICs », GaAs IC, 1990.

[13] T. Otsuji, M. Yoneyama, Y. Imai, T. Enoki, Y. Umeda, « 64 Gbit/s multiplexer IC using InAlAs/InGaAs/InP HEMTs », Electronics Letters , Vol. 33, août 1997, pp. 1488 -1489.

[14] Z. Lao, R. Bosch, V. Hurm, A. Thiede, M. Schlechtweg, W. Bronner, J. Hornung, A. Hulsmann, T. Jakobus, «DC 30 GHz bandwidth and 36 dB gain limiting amplifier for 40 Gbit/s optical transmission systems », Electronics Letters , Vol. 33, décembre 1997, pp. 2139 -2141.

[15] T. Kai-Yap, et Al, « Sub-15 ps Gate Delay with New AC-Coupled Active Pull-Down ECL Circuit », IEEE BIPOLAR CIRCUITS AND TECHNOLOGY MEETING 6, 1991.

[16] « Applications des transistors à effet de champ en Arséniure de Gallium », R. Soares, J. Graffeuil, J. Obregon, Les éditions Eyrolles, 1984.

[17] A.L. Gutierrez-Aitken, K. Yang, X. Zhang, G.I. Haddad, P. Bhattacharya, L.M. Lunardi, « 16-GHz bandwidth InAlAs-InGaAs monolithically integrated p-i-n/HBT photoreceiver », IEEE Photonics Technology Letters , Vol. 7, novembre 1995, pp. 1339-1341.

[18] A.L. Gutierrez-Aitken, K. Yang, X. Zhang, G.I. Haddad, P. Bhattacharya, « 9 GHz bandwidth InP-based integrated PIN-HBT photoreceiver », Proceedings., Seventh International Conference on Indium Phosphide and Related Materials, 1995, pp. 357-360.

[19]A. Boyogueno, B. Kaminska, M. Slamani, « A preamplifier IC design for photonic links », IEEE International Symposium on Circuits and Systems, 2000. Proceedings. ISCAS 2000 Genève, Vol. 5, 2000, pp. 285-288.

[20] W.S. Percival, « Thermionic valve circuits », Brevet Britannique 460562, janvier 1937.

[21] W.H. Horton, J.H. Jasberg, J.D. Noe, « Distributed amplifiers : practical considerations and experimental results », Proceeding IRE, Vol. 38, pp. 748-753, juillet 1950.

-
- [22] H.G. Bassett, L.C. Kelly, « Distributed amplifiers :some new methods for controlling gain/frequency and transient responses in amplifiers having moderate bandwidths », Proc. Inst. Elec. Eng., Vol. 101, pt III, pp. 5-14, 1954.
- [23] James B. Beyer, S.N. Prasad, R.C. Becker, J.E. Nordman, G.K. Hohenwater, « MESFET distributed amplifier design guidelines », IEEE Transactions on microwave theory and techniques, Vol. 32, No. 3, pp. 268, mars 1984.
- [24] Thomas T.Y. Wong, « Fundamentals of distributed amplification », Artech house, 1993.
- [25] H. Shigematsu, M. Sato, Hirose, Y. Watanabe, « A 54-GHz distributed amplifier with 6-V/sub PP/ output for a 40-Gb/s LiNbO/sub 3/ modulator driver », IEEE Journal of Solid-State Circuits, Vol. 2, septembre 2002, pp. 1100 -1105.
- [26] S. Masuda, T. Hirose, T. Takahashi, S. Iijima, K. Ono, N. Hara, K. Joshin, M. Nishi, S. Yokokawa, « An over 110-GHz InP HEMT flip-chip distributed baseband amplifier with inverted microstrip line structure for optical transmission systems », GaAs IC Symposium, 2002. 24th Annual Technical Digest , 2002, pp. 99 -102.
- [27] E.Legros, « Amplificateur distribué », Brevet Français No. 9701544, 11 février 1997.
- [28] A. Thiam, E. Legros, S. Vuye, P. André, E. Wawrzykowski, C. Joly, « 40 Gbit/s GaAs P-HEMT driver module for optical communications », Electronics Letters , Vol. 34, novembre 1998, pp. 2232 -2234.
- [29] A.P. Freundorfer, D.H. Choi, Y. Jamani, « Adaptive transversal preamplifier for high speed lightwave systems », Microwave and Wireless Components Letters, IEEE, Vol. 11, juillet 2001, pp. 293 -295.
- [30] Y. Jamani, A.P. Freundorfer, « An active transversal filter MMIC for very high-speed lightwave systems » , IEEE Photonics Technology Letters , Vol. 9, juin 1997, pp. 836 -838.
- [31] Y. Ayasli, S. Millee, R. Mozzi, and L. Hanes, « Capacitively coupled traveling-wave power amplifier », IEEE, Microwave and millimeter-wave circuits symposium digest, pp. 5-8, 1988.
- [32] B. Agarwal, A.E. Schmitz, J.J. Brown, M. Matloubian, M.G. Case, M. Le, M. Lui, M.J.W. Rodwell, « 112-GHz, 157-GHz, and 180-GHz InP HEMT traveling-wave amplifiers », IEEE Transactions on Microwave Theory and Techniques, Vol. 46, décembre 1998, pp. 2553 -2559.

-
- [33] J. Pusch, B. Agarwal, R. Pullela, L.D. Nguyen, M.V. Le, M.J.W. Rodwell, L. Larson, J.F. Jensen, R.Y. Yu, M.G. Case, « Capacitive-division traveling-wave amplifier with 340 GHz gain-bandwidth product », IEEE MTT-S International Microwave Symposium Digest, 1995, pp. 1661 –1664, Vol. 3.
- [34] B. Agarwal, A.E. Schmitz, J.J. Brown, M. Le, M. Lui, M.J.W. Rodwell, « A 1-157 GHz InP HEMT traveling-wave amplifier », Radio Frequency Integrated Circuits (RFIC) Symposium, 1998 IEEE, pp. 21 –23.
- [35] G. Huel, L. Jiming, H. Wu, S. Yongan, « A high-efficiency distributed amplifier by using varying impedance », Microwave and Optical Technology letters, Vol. 26, No. 5, septembre 2000.
- [36] G. Imai, S. Kimura, Y. Umeda, T. Enoki, « A dc to 38-GHz Distributed Analog Multiplier Using InP HEMT's », IEEE Microwave and Guided Wave Letters, Vol. 4, décembre 1994.
- [37] I.A. Botterill, C.S. Aitchison, « Effect of hybrids on gain performance of dual-fed distributed amplifiers », Electronics Letters , Vol. 30, juin 1994, pp. 1067-1068.
- [38] I.A. Botterill, C.S. Aitchison, « Accurate prediction of the small-signal gain of the HBT dual-fed distributed amplifier », Microwave Symposium Digest, 1995, IEEE MTT-S International , 1995 pp. 1073-1076, Vol. 3.
- [39] N. Kauffmann, « Méthodologie De conception de circuits intégrés haut débit en technologie TBDH InP pour les communications optiques à 40 Gbit/s », Thèse de doctorat d'électronique de l'université d'Orsay, 1999.
- [40] S.I. Long, S.E. Butner, « Gallium Arsenide Digital Integrated Circuit Design », McGraw-Hill, 1990.
- [41] A.S. Sedra, K.C. Smith, « Microelectronic circuits », Holt-Saunders International Editions, 1982.
- [42] R. Lefèvre, W. Mouzannar, A. Lestra, S. Vuye, D. Ferling, F. Jorge, D. Pillet, et W. Idler, "Double distributed GaAs P-HEMT ICs for 40 Gbit/s High Output Voltage Driver Modules", GaAs MANTECH 2001, Las Vegas.
- [43] A. Thiam, Thèse de doctorat d'électronique de l'université PARIS-SUD Orsay, « Conception et réalisation de modules micro et optoélectroniques large bande, à base de transistors PHEMT GaAs pour les transmissions à très haut débit (40 Gbit/s) ».

Chapitre 4

Amplification distribuée

4. AMPLIFICATION DISTRIBUEE	83
4.1 LE PRODUIT GAIN-BANDE	84
4.2 PRINCIPES DES AMPLIFICATEURS DISTRIBUES ULTRA LARGE BANDE	85
4.3 AMPLIFICATEURS DISTRIBUES : METHODOLOGIE	86
4.3.1 CALCULS PRELIMINAIRES	86
4.3.2 NOMBRE D'ETAGES OPTIMAL	87
4.3.3 LES DELAIS DE GROUPE	88
4.4 AMPLIFICATEURS DISTRIBUES LARGE BANDE POUR LE 40 GBIT/S ...	93
4.4.1 CHOIX D'ARCHITECTURE	93
4.4.2 CHOIX DU GAIN EN MILIEU DE BANDE ET DU NOMBRE D'ETAGES	94
4.4.3 LES LIGNES DE TRANSMISSION	95
4.4.4 DECOUPLAGE DE LA DEUXIEME GRILLE	98
4.5 OPTIMISATIONS NUMERIQUES	99
4.6 RESULTATS EXPERIMENTAUX	102
4.6.1 MESURES EN PETIT SIGNAL	102
4.6.2 MESURES EN GRAND SIGNAL	105
4.7 DISCUSSION	106

4. Amplification distribuée

Dans ce chapitre seront décrits les principes de l'amplification distribuée, les choix en terme d'architecture ainsi que les étapes pour aboutir au résultat optimisé final, dans le cadre de la technologie disponible.

Nous parlons de l'approche analytique linéaire, de ses limites, et de ses caractéristiques propres comparée à l'approche numérique de simulation linéaire et non-linéaire. Cette dernière sera utilisée, et ses limites seront aussi abordée.

Par la suite, nous illustrerons par des exemples de circuits cette théorie ; nous appliquerons les deux approches analytique et numérique, selon leurs points forts, aux diverses étapes de la réflexion.

Tout ceci, sera abordé dans un environnement technologique donné, entendre, la technologie HEMT InP interne avec ses limitations et ces avantages.

Nous développons des techniques adaptées spécifiquement aux contraintes de la technologie coplanaire.

4.1 Le produit gain-bande

Au-delà d'une certaine limite, Le gain et la bande passante d'un amplificateur « discret » ne peuvent plus être simultanément augmentés.

Le critère de Bode-Fano stipule que l'amélioration de la bande de fréquences utile d'un amplificateur s'accompagne obligatoirement de la détérioration de l'adaptation.

Le gain total d'un amplificateur discret à plusieurs étages adaptés s'exprime :

$$G_{Tot} = G_0^N \quad (4.1)$$

G_0 étant le gain par étage, et N le nombre total d'étages. Cette relation signifie que pour que le gain global soit supérieur à l'unité, il faut au moins un étage ayant un gain supérieur à l'unité, ce qui limite sa bande passante.

D'autre part, l'amplificateur global aura obligatoirement une bande passante plus faible que celle d'un étage d'amplification. La bande passante peut être améliorée par contre réaction, mais le produit gain bande restera constant.

Le principe de l'amplification distribuée est la sommation des gains des différents étages, contrairement à la multiplication des gains de la chaîne classique :

$$G_{Tot} = \frac{N}{2} \cdot G_0 \quad (4.2)$$

Deux conséquences découlent de cette relation : La première est que des amplificateurs avec la même bande passante (ou très proche) de celle des étages et N fois leurs gains (adapté en sortie) sont possibles. La deuxième, est qu'il devient possible d'assembler un amplificateur avec des étages à gain unité ou inférieur à l'unité, et donc d'améliorer sensiblement la bande passante. La figure ci-dessous présente le gain en fonction de la fréquence d'amplificateurs discrets et distribués. Le produit gain bande des premiers est inférieur à celui des amplificateurs distribués [1].

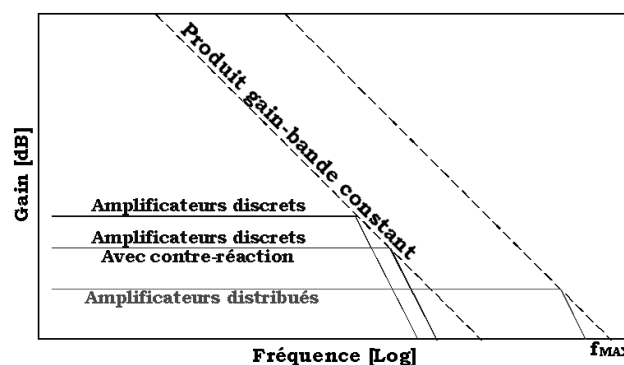


Figure 4.1 Gains en fonction de la fréquence, pour des amplificateurs discrets, et distribués.

4.2 Principes des amplificateurs distribués ultra large bande

La figure ci-dessous représente le schéma bloc d'un amplificateur distribué :

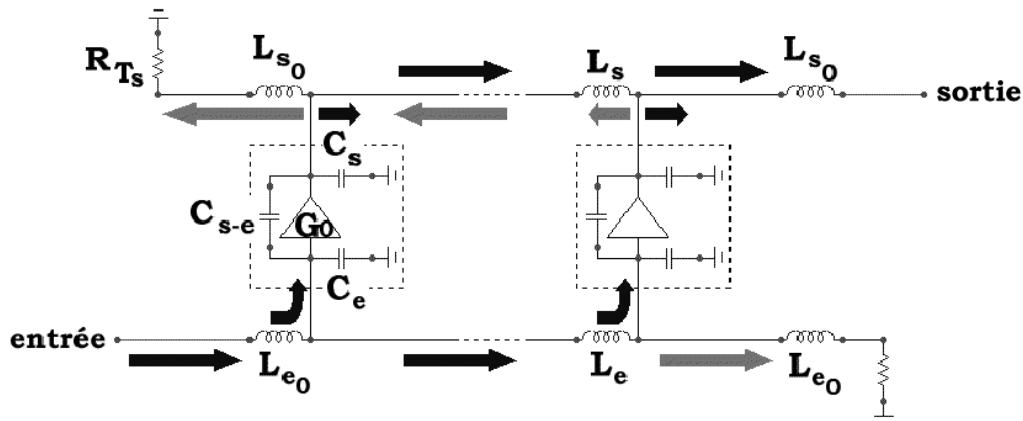


Figure 4.2 Schéma bloc d'un amplificateur distribué.

Les cellules d'amplification ont un gain G_0 et trois capacités parasites C_e , C_s , C_{s-e} ; les plus significatives pour le dimensionnement des inductances et le calcul des impédances caractéristiques.

Le principe de base de l'amplificateur distribué est le raccordement en parallèle de plusieurs étages via des inductances. Ainsi, en basse fréquence cela revient à mettre ces étages en parallèle stricto sensu : le gain global est la somme des gains de chacun des étages. En haute fréquence, le montage se comporte comme deux lignes de transmission couplées par les étages d'amplification.

Deux conditions sont absolument nécessaires pour les amplificateurs à très haut débit :

- La longueur d'onde significative la plus courte dans le spectre du signal à amplifier doit être sensiblement supérieure à la « distance électrique » entre les étages afin que le modèle discret de la ligne de transmission soit valide [2][3].
- Les délais de propagation sur les lignes d'entrée et de sortie doivent être égaux afin de sommer en phase les signaux issus de chaque étage.

Dans un amplificateur distribué, le signal injecté à l'entrée se propage sur la ligne artificielle modélisée par les inductances rajoutées et les capacités parasites d'entrée des étages. Par chaque étage est prélevée une partie de la puissance qui est amplifiée et réinjectée dans la ligne artificielle de sortie. Pour un amplificateur distribué avec suffisamment d'étages pour ignorer les effets de bords de la ligne, le signal de sortie se divise en deux : une partie se propage dans la même direction que sur la ligne d'entrée : la puissance utile qui sera injectée dans la charge. L'autre partie, se propageant dans le sens inverse, devra être absorbée par une résistance de terminaison (R_{Ts} sur le schéma) afin d'éviter les réflexions multiples et les détériorations éventuelles du temps de groupe et autres caractéristiques temporelles. Les relations suivantes décrivent les impédances caractéristiques et les temps de propagation des lignes de transmissions artificielles sans pertes :

$$Z_e = \sqrt{\frac{L_e}{C_e + (1 + G_0)C_{s-e}}}, Z_s = \sqrt{\frac{L_s}{C_s + (G_0/1 + G_0)C_{s-e}}} \quad (4.3)$$

$$\tau_e = \sqrt{L_e \cdot (C_e + (1 + G_0)C_{s-e})}, \tau_s = \sqrt{L_s \cdot (C_s + (G_0/1 + G_0)C_{s-e})} \quad (4.4)$$

4.3 Amplificateurs distribués : Méthodologie

Un amplificateur en bande de base est globalement décrit par une valeur de gain et une bande passante (fréquence de coupure à -3dB). L'adaptation, la stabilité, sont évidemment deux conditions absolument indispensables.

4.3.1 Calculs préliminaires

Il est possible d'évaluer la fréquence de coupure maximale possible d'un amplificateur distribué avec une technologie donnée. C'est la fréquence de coupure la plus basse d'une des deux lignes artificielles (entrée/sortie) qui limite la fréquence de coupure du circuit :

$$\frac{1}{2\pi\sqrt{LC}} \quad (4.5)$$

Deux approches sont possibles selon l'objectif visé :

(1) Pour un débit et une amplitude d'entrée donnés, l'amplitude souhaitée pour le signal de sortie détermine le gain total en tension nécessaire et donc la largeur de grille totale à technologie donnée.

(2) Dans une optique purement exploratoire, c'est le transistor conjuguant la plus haute fréquence de transition et la plus haute fréquence maximale d'oscillation qui sera utilisé. Le nombre d'étage maximum N_{opt} détermine le courant de sortie disponible et donc l'amplitude de sortie sur 50 Ohms.

Pour un transistor typique de notre Technologie InP, La capacité parasite C_{gs} est plus élevée que C_{ds} . De ce fait, c'est la ligne artificielle de grille qui va limiter la fréquence de coupure de l'amplificateur distribué :

$$Z_c = 50\Omega = \sqrt{\frac{L}{C}} \Rightarrow L = 2500 \cdot 35e10^{-15} \approx 90pH \quad (4.6)$$

$$\text{et} \quad f_c \approx \frac{1}{2\pi\sqrt{90e10^{-12} \cdot 35e10^{-15}}} \approx 90GHz \quad (4.7)$$

Dans le calcul ci-dessus nous pouvons faire une estimation de la bande passante possible avec un tel transistor en configuration cascode car nous ne tenons compte que de la capacité parasite C_{gs} . A titre indicatif, le calcul complet tenant compte de l'effet Miller -plus significatif- d'un étage en source commune est le suivant : Idéalement¹ [4]chaque transistor voit à sa grille ou son drain deux impédances de

¹ En effet, ce raisonnement n'est strictement vrai que lorsque la ligne artificielle est considérée comme suffisamment longue pour que tous les transistors soient dans la même configuration vis à vis des deux bouts de la ligne quelque soit leur position.

50Ω chacune. La capacité parasite à l'entrée en tenant compte de l'effet Miller devient : $C_{in} = C_{gs} + (1 + A).C_{gd}$ avec le gain du transistor $A = \frac{g_m}{g_d + 1/25}$ ce qui

donne une fréquence de coupure de :

$$Z_c = 50\Omega = \sqrt{\frac{L}{C}} \Rightarrow L = 2500 \cdot \left(35e10^{-15} + \left(\frac{25e10^{-3}}{1,65e10^{-3} + 0,04} \right) \cdot 4,8e10^{-15} \right) \approx 95 \text{ pH}$$

$$f_c \approx \frac{1}{2\pi \sqrt{95e10^{-12} \cdot 38e10^{-15}}} \approx 84 \text{ GHz}$$

La fréquence de coupure d'un amplificateur distribué à base de cellules en source commune est clairement inférieure à celle d'un amplificateur à base de cellules cascode.

4.3.2 Nombre d'étages optimal

Les relations et le schéma de principe de l'amplificateur distribué ci-dessus ne sont strictement valable que pour des lignes artificielles sans pertes, i.e. :

- Les inductances rajoutées sont très faiblement résistives, et ainsi dans le calcul, seul l'effet inductif est pris en compte.
- Les impédances d'entrée/sortie des amplificateurs sont strictement capacitives, ainsi il n'induisent pas de pertes ohmiques dans la ligne. Autrement dit $f_{MAX} = \infty$.

Si cela était le cas, il serait possible d'augmenter à l'infini le gain d'un amplificateur distribué tout en conservant la même bande passante, et le gain ne serait limité que par des considérations de grands signaux ou d'effets de dépolarisation, or ce n'est absolument pas le cas. Le nombre d'étages d'un distribué, est limité par les pertes des lignes et des cellules d'amplification et est évalué par la relation suivante [5]:

$$N_{opt} = \frac{\ln(\alpha_s) - \ln(\alpha_e)}{\alpha_s - \alpha_e} \quad (4.8)$$

Avec α_e et α_s , les pertes linéiques des lignes artificielles d'entrée et de sortie respectivement. Ces quelques éléments théoriques nous permettent de trouver des solutions initiales aux variables principales de la conception, qui seront optimisées par la suite à l'aide de simulations numériques, dans lesquelles nous tiendrons compte de toutes les variables structurales.

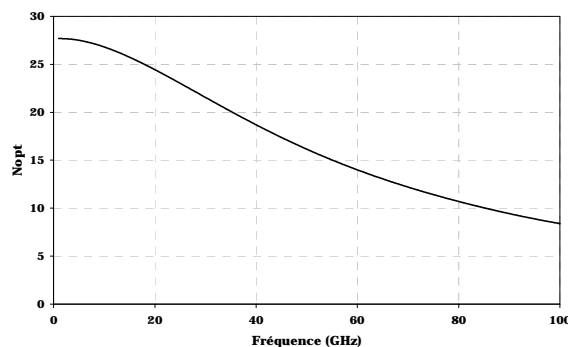


Figure 4.3 Nombre d'étages optimum pour un amplificateur distribué à base de cellule Cascode en HEMT InP pour 2x35 μm de largeur de grille.

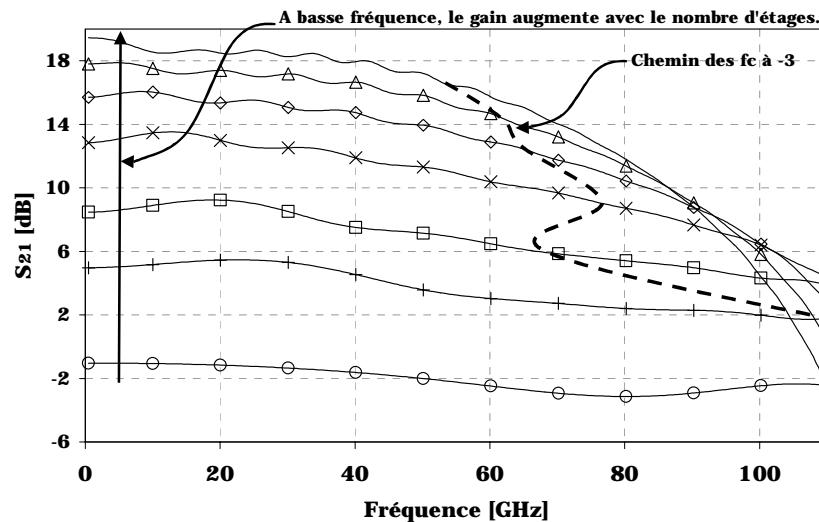


Figure 4.4 Gain d'un amplificateur distribué en fonction du nombre d'étages (de 2 à 22 par pas de 4) avec des largeurs de grille de $2 \times 35 \mu\text{m}$.

Le gain basse fréquence, voire DC, croît avec le nombre d'étages (à peu près 1 dB par étage). Comme on s'y attend, à très haute fréquence (100 GHz), ce n'est plus le cas. De 2 à 14 étages, le gain croît effectivement de la même façon, mais au-delà, il décroît lorsqu'on augmente le nombre d'étages ; le gain ramené par les étages supplémentaires ne compense plus les pertes induites par les lignes de transmission. Ce comportement est décrit analytiquement par la relation donnant la valeur optimale du nombre d'étages. Lorsqu'on trace le chemin des fréquences de coupure à -3dB , pour un nombre d'étages supérieur à 10, la fréquence de coupure décroît lorsqu'on augmente le nombre d'étages. Pour un nombre d'étages plus petit que 10, le nombre de cellule ne suffit plus à synthétiser un modèle de transmission sur une ligne artificielle, et la fréquence de coupure varie différemment selon les dimensions des transistors (donc leurs capacités parasites) et des fréquences d'utilisation. Ainsi, si l'on souhaite augmenter la fréquence de coupure au détriment du gain, deux techniques peuvent être utilisées :

- Soit diminuer le nombre d'étages, jusqu'à la limite mentionnée ci-dessus.
- Soit à nombre d'étages identique, diminuer la taille des transistors. Ainsi, le modèle distribué de la ligne reste valable mais avec des gains plus faibles par cellule. Cette technique a ses limites car les petits transistors ont plus de parasites par rapport à leur zone active. La largeur de grille optimale en terme de capacités d'entrée/sortie pour les transistors est de $2 \times 15 \mu\text{m}$ en technologies P-HEMT GaAs, par exemple. Pour des transistors plus gros, les capacités augmentent homothétiquement, et pour des dimensions plus petites, des effets de bord apparaissent.

4.3.3 Les délais de groupe

L'amplification distribuée est fondée sur l'addition en phase des courants injectés par chaque transistor dans la ligne de drain. Pour amplifier des signaux numériques, les temps de groupe et gain de l'amplificateur doivent être les plus plats possible afin que les différentes composantes fréquentielles du spectre des

signaux se propagent à la même vitesse et puissent en sortie de l'amplificateur reformer sans déphasage le même spectre fréquentiel et ainsi le même signal temporel. Une technique préliminaire simple concernant l'égalité des délais de groupe des lignes d'entrée/sortie est déduite en partant des considérations suivantes :

- Les transistors dans chaque cellule étant de très petite taille, ils n'influent pas sur le temps de groupe de l'amplificateur, au premier ordre. La différence entre les temps des lignes d'entrée/sortie induite par la cellule d'amplification, n'a d'importance qu'à très haute fréquence. Typiquement, la figure ci-dessous montre le délai de groupe d'une cellule Cascode.

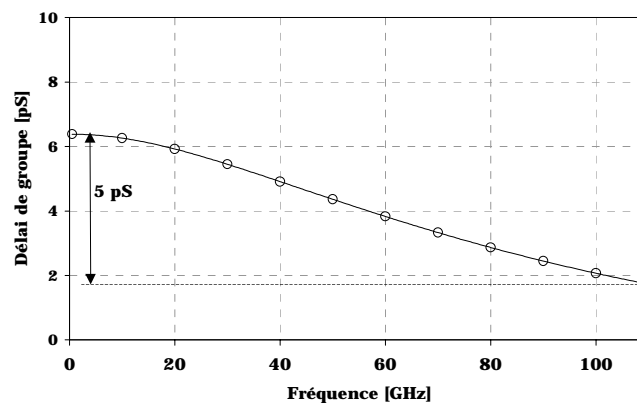


Figure 4.5 Temps de groupe d'une cellule Cascode de $2 \times 35 \mu\text{m}$.

- Les temps de groupe des lignes d'entrée/sortie variant de la même façon en fonction de la fréquence (une légère augmentation), le temps de groupe global de l'amplificateur est plat sur une large bande, cela signifie que les temps de groupe de chaque ligne sont plats sur cette même bande.
- La clé de voûte du raisonnement est la suivante :

Les deux effets responsables d'une baisse du gain dans un amplificateur distribué sont l'effet passe-bas des sections LC et les interférences destructives entre les lignes d'entrée/sortie. Considérons la dégradation du gain lorsque le délai total de la ligne de sortie s'écarte de celui de la ligne d'entrée. Le cas le plus défavorable en terme de différence entre les temps de groupe, est celui où, à une fréquence donnée, une moitié de l'amplificateur fonctionne en opposition de phase avec l'autre moitié. Dans ce cas, il y a interférence destructive. Fig. ci-dessous.

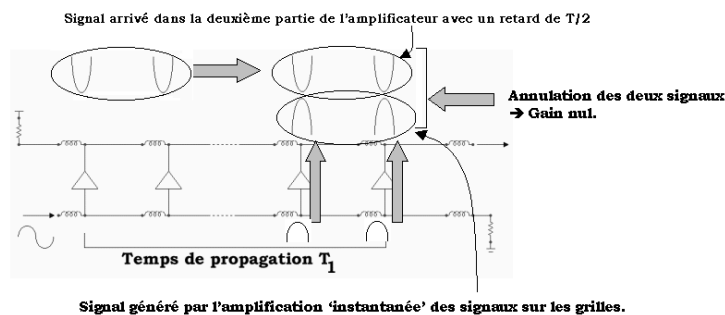


Figure 4.6 Cas où une moitié de l'amplificateur annule le courant injecté par l'autre moitié.

Soit T_1 le délai total de la ligne d'entrée et T_2 celui de la ligne de sortie. Nous considérons d'abord que tout le retard d'une ligne par rapport à l'autre est accumulé abruptement à l'interface entre les deux parties de l'amplificateur, et qu'il n'y a pas d'effet dus aux dimensions finies des lignes. L'interférence destructive a lieu lorsque la différence entre les délais de groupe jusqu'au milieu de l'amplificateur correspond à la moitié de la période de la composante fréquentielle concernée :

$$\frac{T_1}{2} - \frac{T_2}{2} = K \frac{T_0}{2}$$

Avec k un nombre entier impair et T_0 la période de la composante fréquentielle concernée.

Ainsi, les signaux injectés dans cette deuxième moitié de l'amplificateur sont déphasés de π par rapport à ceux de la première partie. A la fréquence correspondant à la relation ci-dessus, le gain de l'amplificateur chute très fortement et le temps de groupe de l'amplificateur varie abruptement même pour des temps de groupe plats pour chaque ligne indépendamment.

La figure ci-dessous simule les temps de propagation de groupe des lignes d'entrée/sortie, ainsi que le délai de groupe global de l'amplificateur où un écart de 20 pS a été volontairement introduit pour illustrer l'interférence destructive.

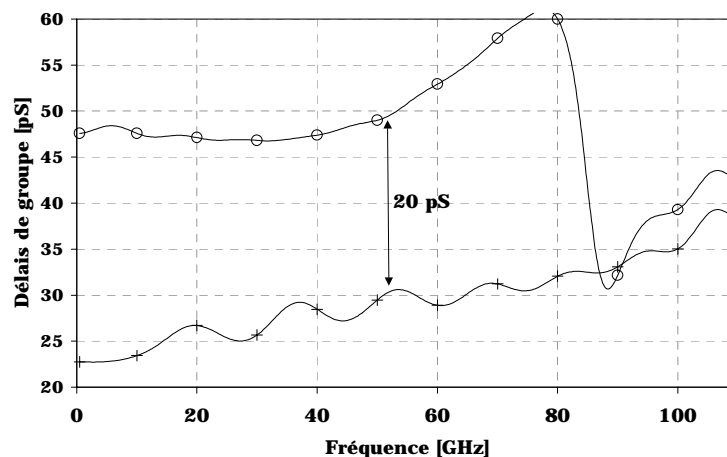


Figure 4.7 Temps de groupe des lignes d'entrée (o), sortie (+).

La différence entre les temps de groupe induit une baisse de gain ainsi qu'un creux pour le temps de groupe global de l'amplificateur, à la fréquence d'interférence destructive de 45 GHz :

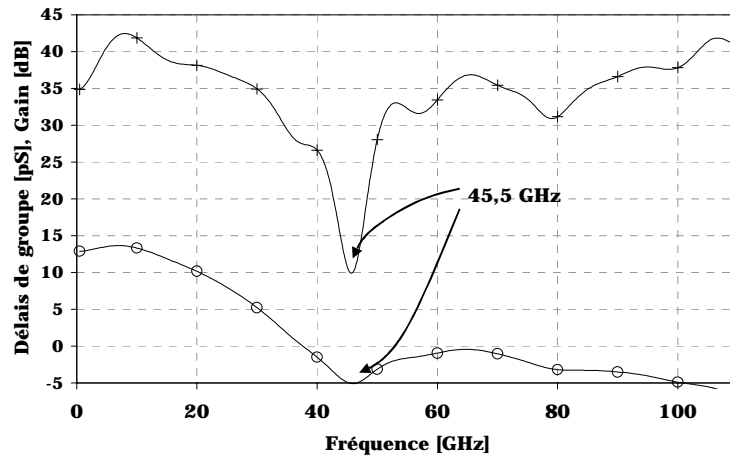


Figure 4.8 Gain de l'amplificateur (o) pour un retard de 20 pS (Ce qui donne une fréquence de creux de $1/20 \text{ pS} \cong 50 \text{ GHz}$) entre les deux lignes d'entrée/sortie, temps de groupe global (+).

Lorsque les temps de groupe sont quasiment égaux, la fréquence pour laquelle a lieu l'interférence destructive, est repoussée très haut, hors de l'intervalle de fréquence qui nous intéresse. Ainsi, l'efficacité en terme d'addition en phase est optimale.

$$\Delta T = \frac{K}{f_0}$$

La figure suivante représente les temps de groupe de la ligne d'entrée pour des valeurs différentes de longueurs de lignes ; en gardant constant le temps de groupe de la ligne de sortie. Pour une ligne de sortie constante, plus les sections de la ligne d'entrée sont longues plus la résonance de la courbe de délai de groupe se déplace vers les basse fréquence.

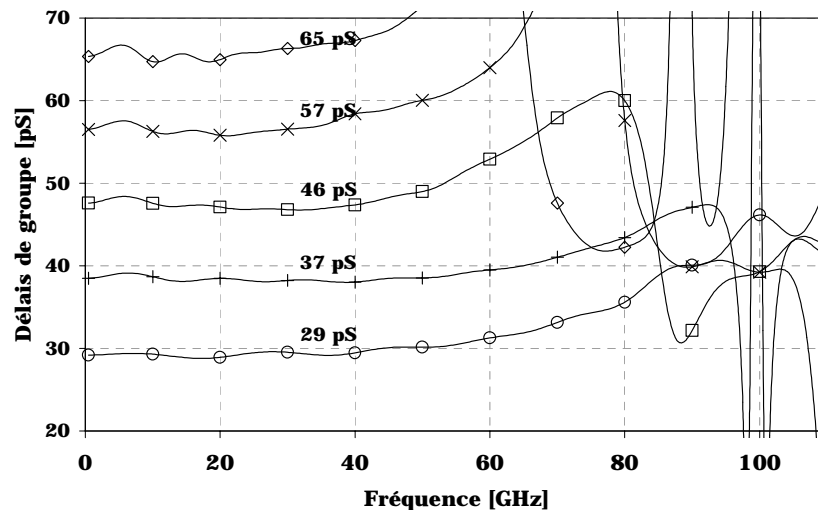


Figure 4.9 Temps de groupe de la ligne d'entrée en fonction de la longueur des inductances de $200 \mu\text{m}$ à $600 \mu\text{m}$ par pas de $100 \mu\text{m}$.

Pour le temps de groupe de la ligne de sortie donné par la figure 4.7, les différences entre les temps de groupe des deux lignes correspondent aux fréquences d'extinction du gain suivantes : 250 GHz, 83 GHz, 47 GHz, 31 GHz, et 25 GHz. Cela

signifie que pour des différences de moins de 10 pS, l'interférence destructive n'est plus visible dans la bande des 110 GHz.

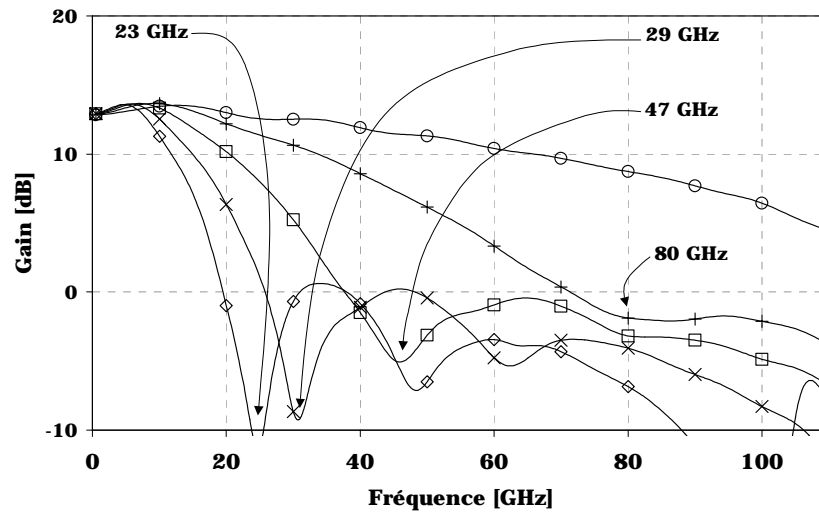


Figure 4.10 Gain d'un amplificateur distribué en fonction de la différence entre les temps de groupe des lignes d'entrée/sortie, respectivement 4 pS, 12 pS, 21 pS, 32 pS, et 41 pS.

Les fréquences pointées correspondant à des creux dans le gain du circuit correspondent bien à celles où la différence entre les temps de groupe des lignes d'entrée/sortie conduit à un déphasage de 180° sur les sorties.

Cela signifie aussi, que moins il y'a de différence entre les temps de groupe des lignes d'entrée/sortie, plus la pente du gain en haute fréquence est douce, et inversement.

Il en résulte que pour la conception d'amplificateurs distribués large bande, en première approche, la platitude de gain et du temps de groupe global équivaut à l'égalité des temps de groupe des deux lignes de transmission. En prenant en considération que la simulation finale globale est nécessaire, des effets supplémentaires pondèrent ce principe :

- D'une part, les cellules amplificatrices modifient le temps de groupe, notamment en fonctionnement non-linéaire, et influent ainsi sur les interférences sur le ligne de sortie.
- D'autre part, le gain comme le temps de groupe ne sont jamais parfaitement plats, et il est difficile voire impossible de décorréler l'effet de l'interférence des effets de fréquence de coupure du segment LC.
- De plus, le raisonnement ci-dessus suppose que les lignes sont sans pertes, et que la puissance injectée par chaque transistor ne dépende pas de sa position le long de la ligne.

Il est de toute façon nécessaire en amplification distribuée de vérifier l'égalité des temps de groupe sur les lignes d'entrée/sortie.

4.4 Amplificateurs distribués large bande pour le 40 Gbit/s ...

4.4.1 Choix d'architecture

Traditionnellement, c'est la paire Cascode qui est utilisée pour la conception d'amplificateurs distribués ultra large bande [6]. De l'ensemble des étages d'amplification élémentaires, notre choix s'est effectivement porté sur lui pour les raisons suivantes :

- Avec la source commune, il est le montage le plus simple en terme d'implantation géométrique, parmi les trois étages élémentaires ayant un gain en courant et en tension. (En comptant la paire différentielle).
- Entre la source commune et la cascode, c'est ce dernier qui allie le mieux isolation entrée/sortie au gain haute fréquence.
- Par élimination de l'effet Miller, la capacité en sortie et en entrée du cascode est moins élevée que pour une source commune (Cf. Chap. 3). Ce qui permet des fréquences de coupure de l'amplificateur plus hautes et des gains HF légèrement plus élevés.

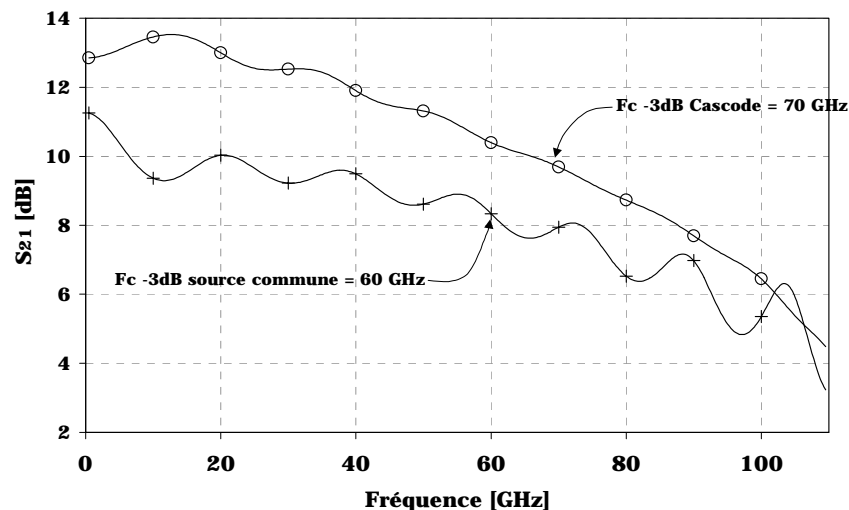


Figure 4.11 Gain d'un amplificateur distribué en technologie InP, avec 700 μm de largeur totale de grille pour 10 étages Cascode (o), source commune (+).

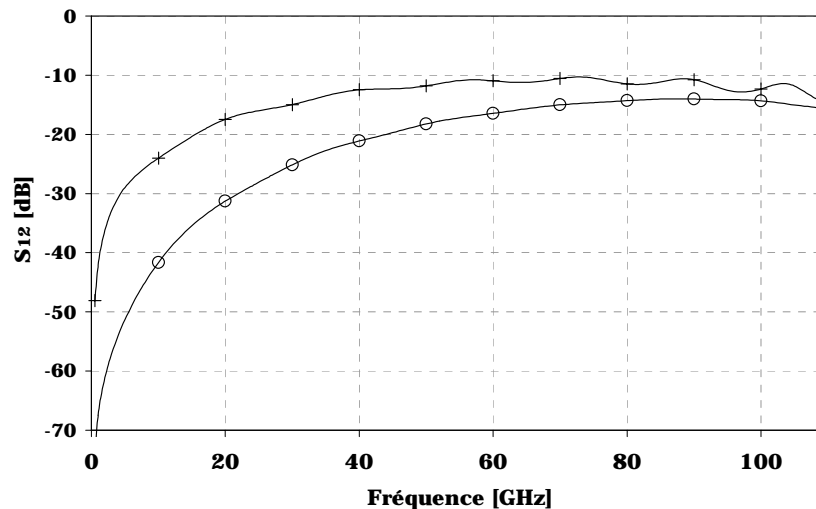


Figure 4.12 Isolation entrée/sortie d'un amplificateur distribué en technologie InP, avec 700 μm de largeur totale de grille pour 10 étages Cascode (o), source commune (+).

- Bien qu'ils soient critiques, les lignes d'interconnexion entre les deux transistors du cascode et le découplage de la grille commune constituent un degré de liberté supplémentaire permettant d'ajuster le gain. (Notamment, ils permettent d'introduire du peaking à haute fréquence au détriment de la variation de délai de groupe).
- Enfin, nous l'avons expliqué dans le chapitre 3, en terme de différence de potentiel, les transistors en configuration Cascode sont beaucoup moins stressés, car il ne voit à leurs bornes que la moitié de la tension supportée par un seul transistor en source commune.

4.4.2 Choix du gain en milieu de bande et du nombre d'étages

Nous l'avons vu plus haut, en terme de fréquence de coupure, la capacité d'entrée de 35 fF semble être suffisamment faible pour obtenir des performances de l'ordre de 90 GHz à -3dB. Pour un gain optimum entre 60 et 80 GHz, le nombre d'étages est entre 14 et 10. La figure suivante présente le gain en fonction de la fréquence des cinq amplificateurs de 10 à 14 étages possibles à largeur totale de grille constante de 700 μm . Le point de départ consiste à fixer un gain en milieu de bande entre 12 et 14 dB. Les simulations sont faites en utilisant des inductances idéales pour isoler l'effet de chaque élément de l'architecture.

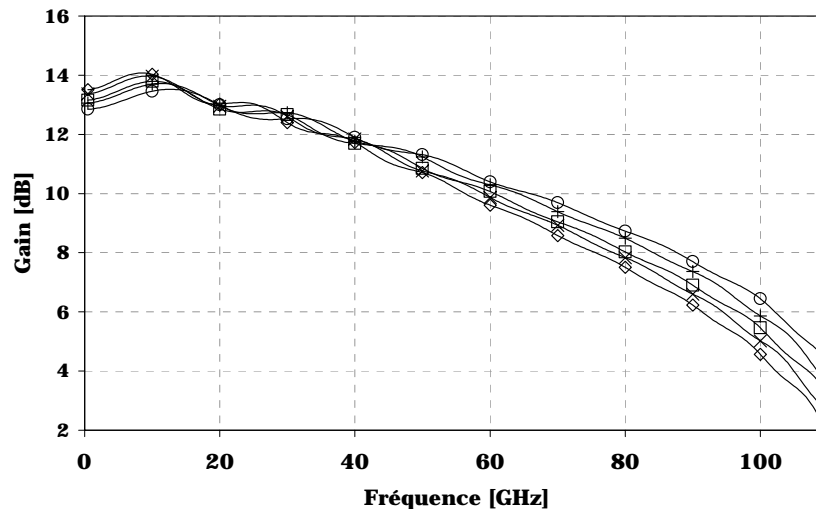


Figure 4.13 Gain petit signal d'un amplificateur pour un nombre d'étages variable 10, 11, 12, 13, 14 à largeur de grille totale constante : 700 μm .

Le gain continu ou basse fréquence est pratiquement identique pour les cinq versions d'amplificateurs car la transconductance équivalente totale est constante. Par contre, l'amplificateur avec 10 étages a un gain très haute fréquence de 2 dB supérieur à celui avec 14 étages, à cause des pertes hautes fréquences induites par les longueurs et les discontinuités de lignes supplémentaires.

4.4.3 Les lignes de transmission

La technologie dont nous disposons ne fournissant pas de trous via, nous avons donc utilisé des lignes de transmission coplanaires. L'avantage de ces lignes est d'avoir des degrés de liberté en plus comparées aux lignes micro-ruban :

- Il est possible de modifier les caractéristiques de la ligne indépendamment de l'épaisseur du substrat. Pour une longueur donnée de la ligne, il est aussi possible de changer son impédance caractéristique seulement en modifiant ses dimensions latérales avec plus de latitude que pour une ligne micro-ruban. Ces possibilités assouplissent quelque peu les contraintes géométriques lors de l'implantation des circuits.
- Le fait que les caractéristiques dynamiques de la ligne ne dépendent pas de la géométrie du substrat lato sensu, donne plus de liberté pour la manipulation, montage et traitement des puces, que ce soit du point de vue mécanique ou électrique.
- Enfin, les plans de masse des lignes coplanaires étant reportés sur la face avant, permettent aussi lorsqu'ils sont correctement découplés, un potentiel DC libre contrairement au plan de masse figé à 0 Volt absolu dans le cas des lignes micro-ruban. Cela confère une liberté supplémentaire en terme de polarisation continu des circuits, et peut aussi améliorer le comportement HF en évitant les capacités de liaison par exemple.

Dans les exemples de circuits que nous avons conçus, nous avons détecté un point sensible quant à l'utilisation des lignes coplanaires :

- L'égalisation des plans de masse : dans certaines situations, un morceau du plan de masse peut se retrouver isolé de la masse « réelle » ramenée par les plots de mesure. Il faut donc le relier aux autres plans de masse ainsi qu'aux plots.

La figure suivante représente la configuration typique de notre amplificateur distribué :

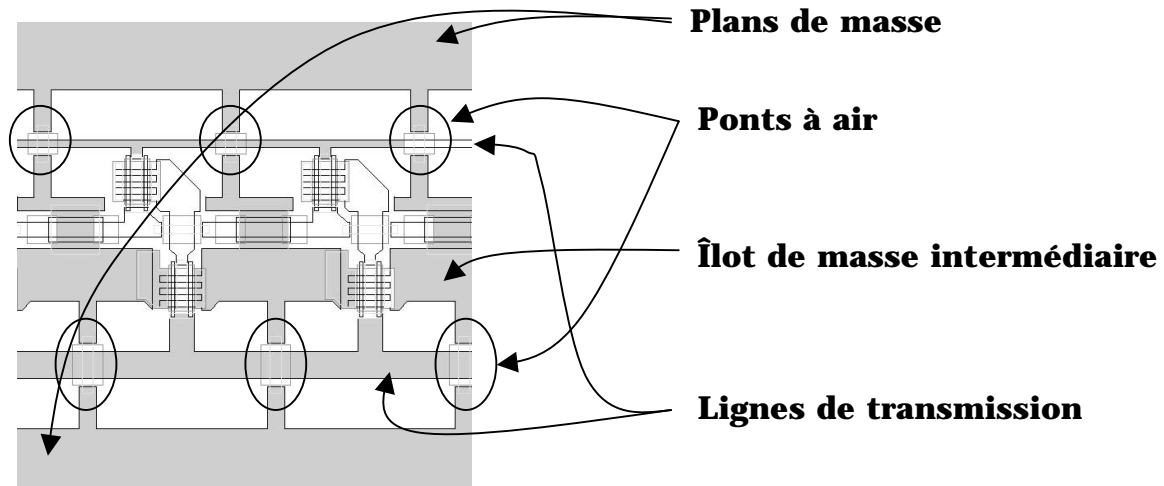


Figure 4.14 Plans de masse et interconnexion entre les zones de masse dans l'amplificateur coplanaire.

Nous avons connecté les plans de masse extérieurs, aux zones de masse intermédiaire par le biais de ponts à air, disposés le long des lignes de transmissions. Leur densité linéique est déterminée par deux facteurs :

- Ils ramènent une capacité parasite de l'ordre du fF (Cf. Chap. 2). Ainsi, un trop grand nombre modifierait l'impédance caractéristique de la ligne ainsi que le mode de propagation.

Typiquement, les lignes que nous utilisons pour concevoir les amplificateurs distribués sur InP ont des inductances équivalentes de quelques $0,5 \mu\text{H}/\text{m}$. Pour des lignes de $10 \mu\text{m}$ de largeur de conducteur central et $30 \mu\text{m}$ de gap, les valeurs des capacités linéiques sont de l'ordre de $100 \text{ pF}/\text{m}$. Dans notre cas, les lignes font environ $200 \mu\text{m}$ de long, ce qui correspond à 20 fF de capacité par tronçon de ligne pour chaque cellule du distribué.

Les ponts à air que nous utilisons présentent une capacité parasite $< 1 \text{ fF}$ pour un pont à air de $15 \times 15 \mu\text{m}^2$ (Cf. Chap. 2).

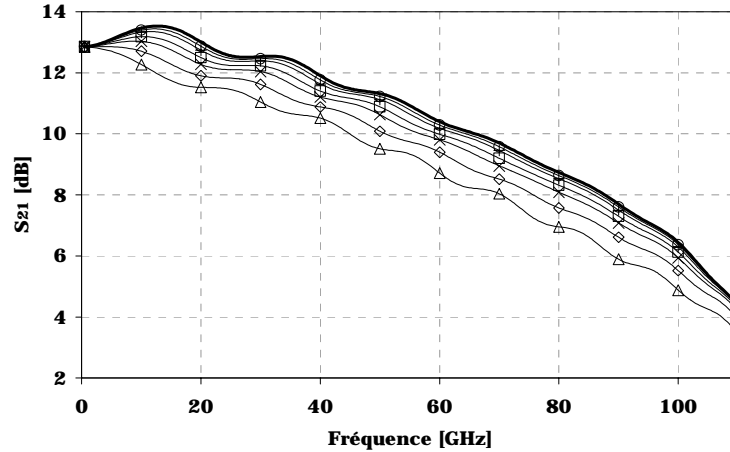


Figure 4.15 Gain d'un circuit distribué en InP avec 10 cellules, en prenant en considération les ponts à air par cellule, respectivement sans pont (-), 1 pont (o), 2 ponts (+), 4 ponts (), 6 ponts (x), 10 ponts (∅), 15 ponts (Δ).

Clairement, on voit qu'en partant du même point en DC, plus il y'a de pont par tronçon de ligne, plus le gain chute en haute fréquence, car les capacités parasites des ponts rajoutent une capacité linéique qui baisse la fréquence de coupure de la ligne artificielle.

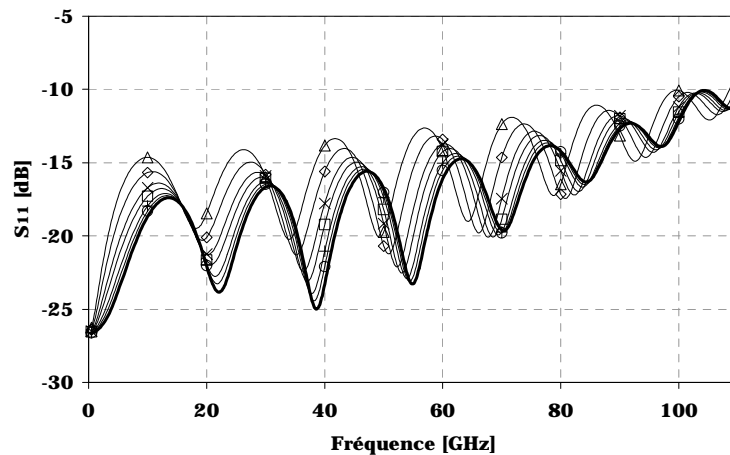


Figure 4.16 S_{11} d'un circuit distribué en InP avec 10 cellules, en prenant en considération les ponts à air par cellule, respectivement sans pont (-), 1 pont (o), 2 ponts (+), 4 ponts (), 6 ponts (x), 10 ponts (∅), 15 ponts (Δ).

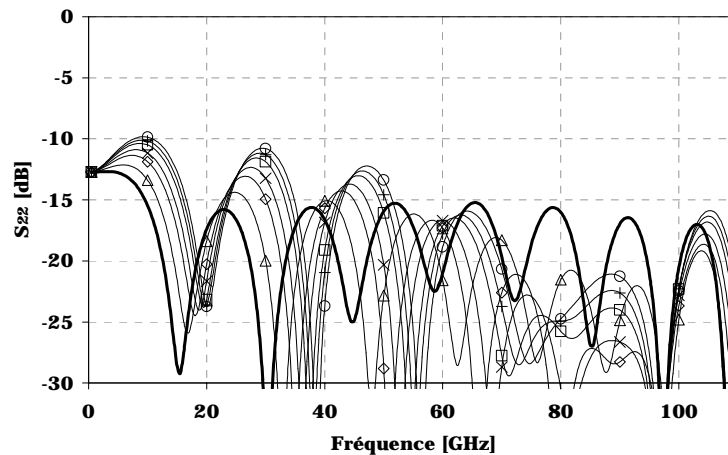


Figure 4.17 S_{22} d'un circuit distribué en InP avec 10 cellules, en prenant en considération les ponts à air par cellule, respectivement sans pont (-), 1 pont (o), 2 ponts (+), 4 ponts (), 6 ponts (x), 10 ponts (\emptyset), 15 ponts (Δ).

De la même façon que pour le gain, les capacités parasites des ponts modifient l'impédance caractéristique des lignes et ainsi les réflexions à l'entrée et la sortie. Sur une longueur de ligne de 200 μm , (soit 20 fF de capacité équivalente), 5 ponts à air par section apparaissent comme la limite supérieure (baisse d'environ 1 dB du gain). L'effet est plus important sur les réflexions à l'entrée et à la sortie, où pour le même nombre de ponts, on obtient une détérioration de 5 dB.

- Le process technologique utilisé limite à 5 μm la distance minimale entre ponts à air adjacent et à 35 μm leur largeur au maximum.

Ces deux considérations, technologique et électrique fixe une limite supérieure au nombre de ponts possibles sans altérer les caractéristiques initiales du circuit. Dans notre cas, nous avons pu implanter le circuit avec le minimum de ponts par cellule, un seul croisement à pont à air pour chacune des lignes d'entrée/sortie.

4.4.4 Découplage de la deuxième grille

Nous l'avons vu dans le chapitre 3, le découplage de la grille du deuxième transistor du Cascode est relativement critique. Lorsque la cellule est implantée sur le layout, il faut que cette grille ait un chemin basse impédance à la masse pour éviter de baisser le gain en haute fréquence et de détériorer la stabilité. Traditionnellement (typiquement pour les amplificateurs en technologie micro ruban), des capacités de quelques pF sont utilisées pour réaliser le découplage à travers un via-hole moyennant résistances série d'amortissement. Les tous-via n'étant pas disponibles dans notre cas, les capacités doivent être reliées aux plans de masse des lignes coplanaires.

Nous cherchons à alimenter l'ensemble des grilles cascode à partir d'une ligne métallique. Lorsque les longueurs de lignes sont inférieures au seuil discret de l'équation des télégraphistes, le découplage discret équivaut à une ligne très basse impédance. Typiquement, pour une capacité de découplage de 3 pF par étage, et des lignes d'interconnexion de 300 μm de long pour 30 μm de large (quelques 200 pH d'inductance), l'impédance caractéristique équivalente de la ligne artificielle est

de 12 Ohms. Sa fréquence de coupure est de 40 GHz. Vu la configuration technologique dont nous disposons et l'encombrement qui nous était possible, nous avons choisi de calculer les éléments d'une ligne micro-ruban basse fréquence dont le plan de masse est reporté sur le substrat et connecté aux plans de masse des lignes coplanaires. Ainsi, le chemin entre l'électrode de masse de la capacité de découplage et la source du transistor est raccourci, car le plan de masse auquel est connecté la capacité est celui auquel sont connectées directement les sources des transistors (Voir layout sur la figure ci-dessous).

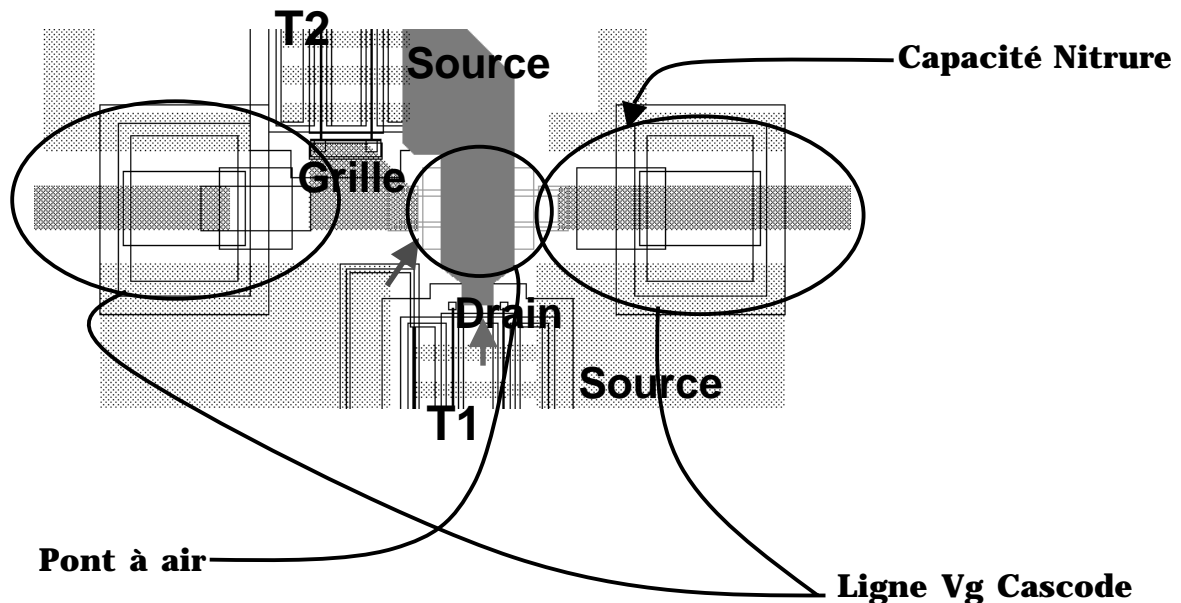


Figure 4.18 Exemple de layout pour le découplage de grille Cascade.

L'épaisseur du diélectrique que nous avons utilisé est de 150 nm avec une constante diélectrique de 6,5. Pour les mêmes dimensions de la lignes, c'est à dire 300 μm de long et 30 μm de large, la capacité équivalente est de 3,4 pF, l'inductance est de 2 pH. Ainsi, il est possible de baisser considérablement l'impédance caractéristique de la ligne de 12 Ohms à 1 Ohm avec les mêmes dimensions. Sa fréquence de coupure est de 400 GHz.

Dans notre cas, la ligne basse fréquence était entrecoupée par des ponts afin de connecter les deux transistors dans le Cascade. De ce fait, l'impédance caractéristique augmente légèrement. Pour une inductance d'interconnexion supplémentaire de 50 pH sur 100 μm , l'impédance caractéristique est alors de 6 Ohms pour un encombrement moins important.

4.5 Optimisations numériques

Au vu des calculs préliminaires effectués, nous avons développé deux versions d'amplificateurs large bande équivalentes en gain mais avec des bandes passantes différentes. Le premier étant optimisé pour des bandes passantes de l'ordre de 60 GHz, avec une platitude de gain maximale [7][8]. Le second pour une bande maximale au prix d'ondulations sur le gain et la phase.

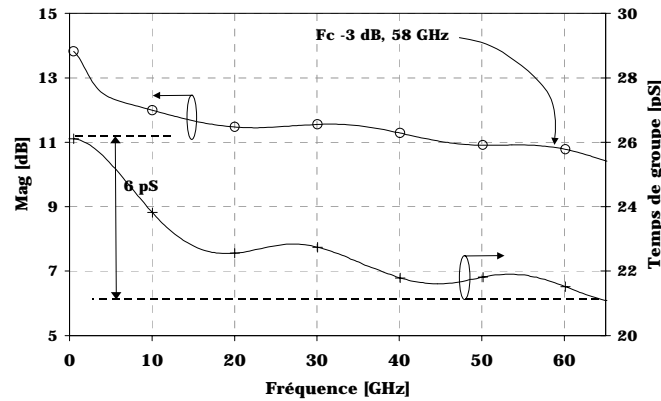


Figure 4.19 Gain petit signal (o) et délai de groupe (+) d'un amplificateur distribué coplanaire à 10 étages.

Les deux circuits sont constitués de 10 cellules Cascode pouvant délivrer au maximum 11 mA chacune. Les transistors ont donc des largeurs de grille de $2 \times 35 \mu\text{m}$. (Cf. Chap. 2). La tension maximale en sortie sur une charge de 50 Ohms est donc de 3 Vpp. Les simulations ci-dessus ne tiennent compte que des effets parasites sur puce, Elles ne tiennent pas compte des effets des connexions externes dans le module par exemple. Le gain décroît faiblement à partir des basses fréquences et coupe à -3 dB à 58 GHz. De ce fait (Cf. chap. 1), le temps de groupe est assez plat sur toute la bande de fréquence que nous avons exploré. En effet, il ne varie que de 6 ps sur toute la bande, ce qui est en dessous des seuils fixés précédemment, pour des signaux numériques à 80 Gbit/s. Les entrée/sortie sont relativement bien adaptées sur 50 Ohms (voir la fig. suivante).

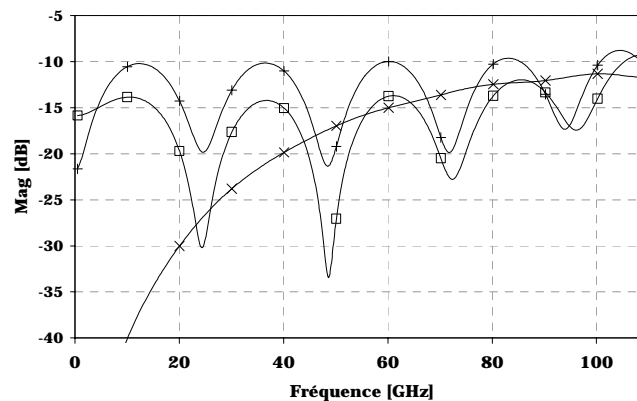


Figure 4.20 Paramètres S_{11} (), S_{22} (+) et S_{12} (x) d'un amplificateur distribué coplanaire à 10 étages.

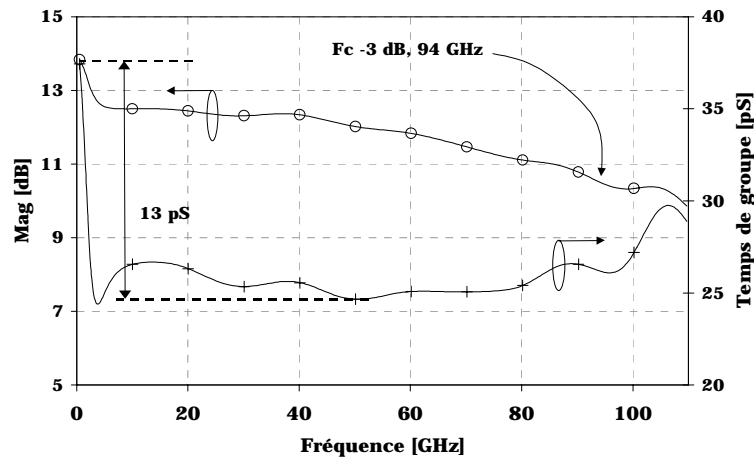


Figure 4.21 Gain petit signal (o) et délai de groupe (+) d'un amplificateur distribué coplanaire à 10 étages adapté pour 94 GHz.

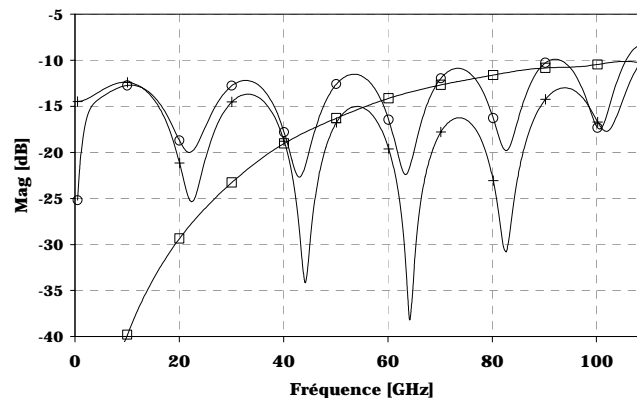


Figure 4.22 Paramètres S_{11} (+), S_{22} (x) et S_{12} (o) d'un amplificateur distribué coplanaire à 10 étages.

Le gain du deuxième amplificateur est bien plus plat en milieu de bande comparé à celui du premier circuit. Il décroît plus brutalement à 70 GHz, ce qui a pour effet d'amplifier les variations sur le temps de groupe, qui sont donc nettement supérieures à celles du premier circuit.

Afin d'éviter les discontinuités des lignes coplanaires et éviter les complications de modèle qui pourraient en découler, nous avons choisi de travailler à longueurs de lignes inter-étages identiques.

Il en résulte que pour égaliser les délais de groupe entre les lignes d'entrée/sortie, il fallait augmenter les inductances inter-étages sur la ligne de drain. Ainsi, via la relation 4.3, le temps de groupe est légèrement augmenté jusqu'à égaliser celui de la ligne de grille. Cela mène à des inductances sur la ligne de drain de valeur plus élevées que celles de la ligne de grille au détriment des premières conclusions dans 4.3.1, qui ne tiennent compte que de l'adaptation d'impédance sans prendre en considération la contrainte géométrique des longueurs identiques que nous nous sommes imposée.

4.6 Résultats expérimentaux

4.6.1 Mesures en petit signal

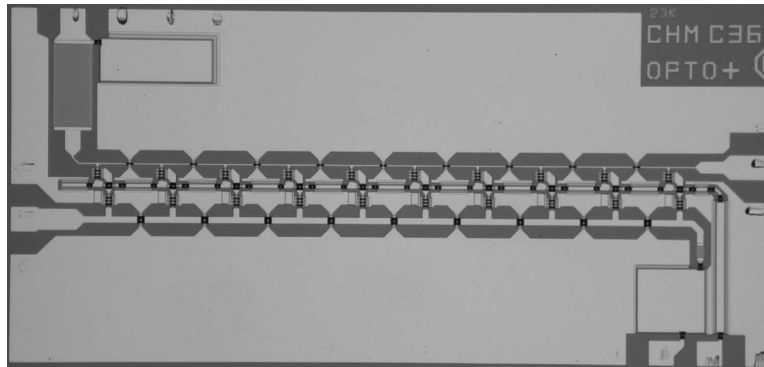


Figure 4.23 Amplificateur distribué coplanaire en HEMT InP.

Nous avons mesuré en petit signal et sous pointes les deux amplificateurs. Les mesures ont été effectuées sur un analyseur de réseaux Anritsu jusqu'à 110 GHz pour le circuit à la bande la plus large.

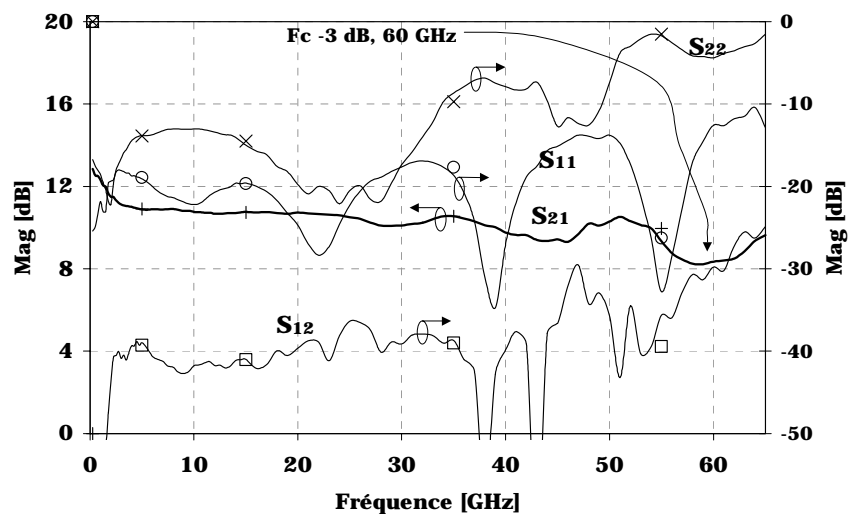


Figure 4.24 Mesures petit signal de l'amplificateur distribué avec 60 GHz de fréquence de coupure -3dB .

Comme prévu, la fréquence de coupure à -3dB est de 60 GHz. Les taux de réflexion en entrée/sortie sont relativement faibles. Néanmoins, le paramètre S_{22} remonte en haute fréquence. Nous l'expliquons par la dispersion technologique sur l'épaisseur de la couche utilisée pour fabriquer les résistances.

Les mesures que nous avons effectuées par la suite donnent des valeurs de résistances carré de 25 % supérieures à celles insérées dans la simulations lors de la conception du circuit.

Lorsque cette nouvelle valeur est utilisée pour les simulations nous retrouvons la même remontée de la réflexion en sortie à haute fréquence.

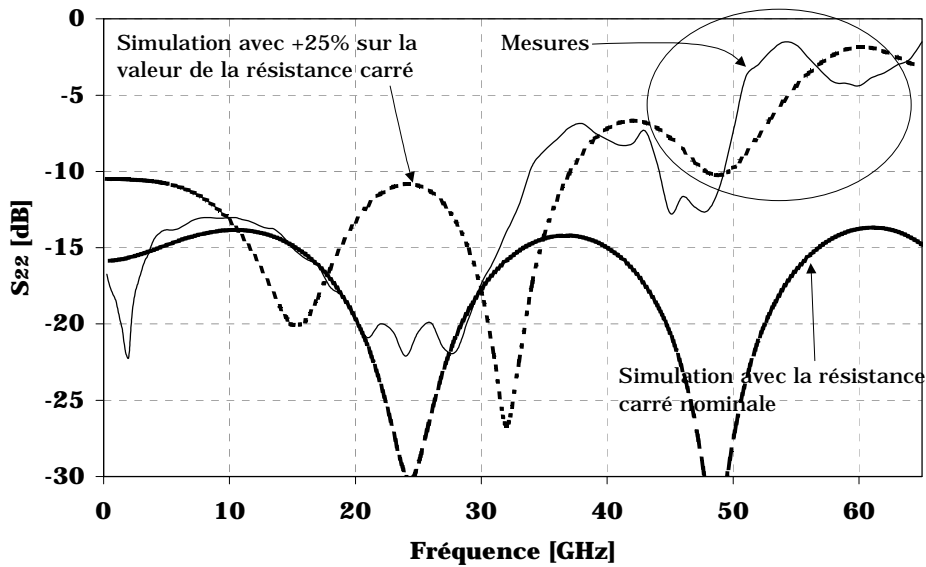


Figure 4.25 Comparaison entre mesures (-) et simulation (- -) du paramètre S_{22} en insérant les nouvelles valeurs des résistances mesurées après réalisation des puces.

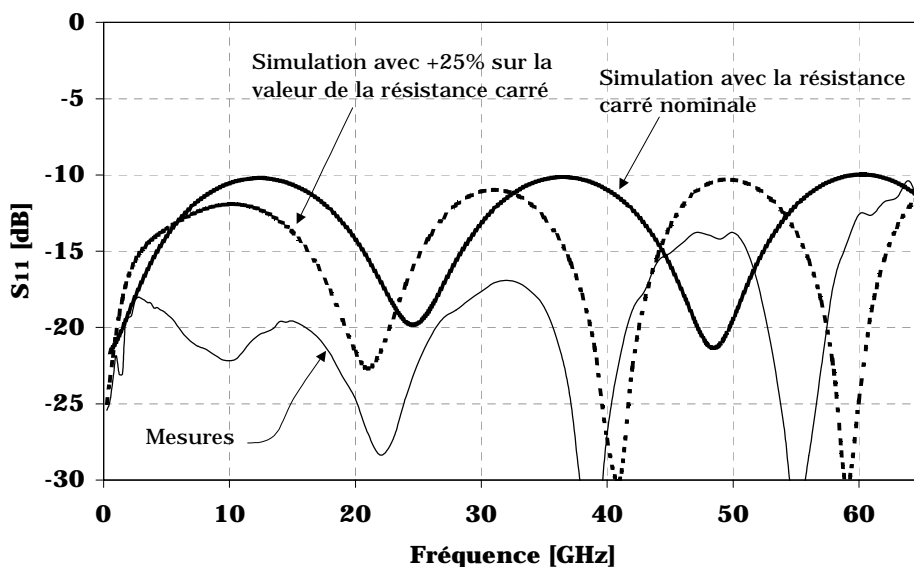


Figure 4.26 Comparaison entre mesures (-) et simulation (- -) du paramètre S_{11} en insérant les nouvelles valeurs des résistances mesurées après réalisation des puces.

L'effet de la variation technologique des couches résistives influe beaucoup plus sur la réflexion en sortie que sur celle en entrée. Cependant ce sont les mêmes couches qui sont utilisées dans les deux cas. Ceci s'explique par les pertes –notamment haute fréquence– beaucoup plus importantes pour la ligne de grille comparées à la ligne de drain. Ainsi, le coefficient de réflexion en bout de ligne voit beaucoup plus la résistance de terminaison de drain.

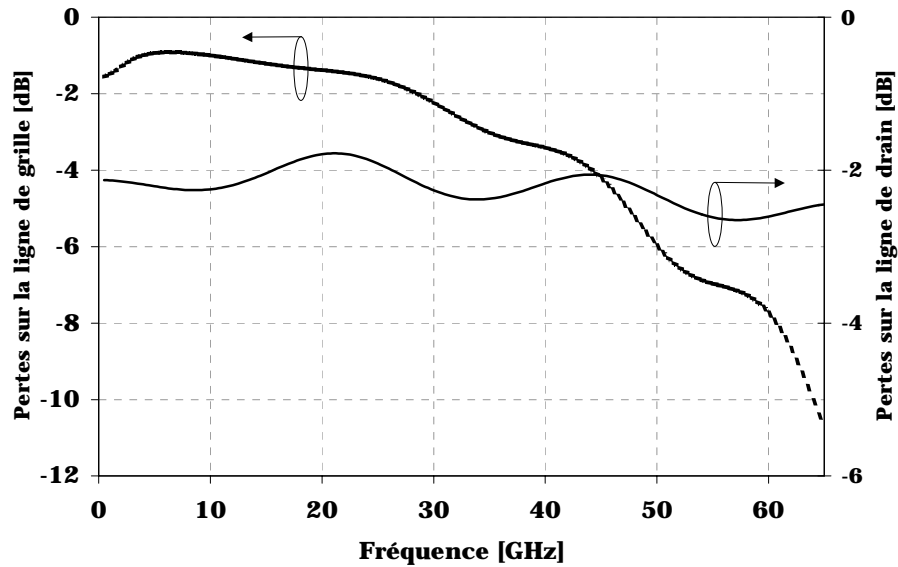


Figure 4.27 Pertes sur les lignes de drain et de grille d'un amplificateur distribué en HEMT InP.

En effet, à 60 GHz, la puissance réfléchiée par la résistance de terminaison de drain est renvoyée à la sortie avec un rapport d'un demi. Dans le cas de la ligne de grille, seulement un quart de cette puissance est renvoyée à l'entrée.

Ceci explique que c'est le facteur de réflexion en sortie qui est le plus sensible à la dispersion technologique sur la valeur des résistances carré.

Les courbes suivantes concernent l'amplificateur optimisé pour un maximum de largeur de bande.

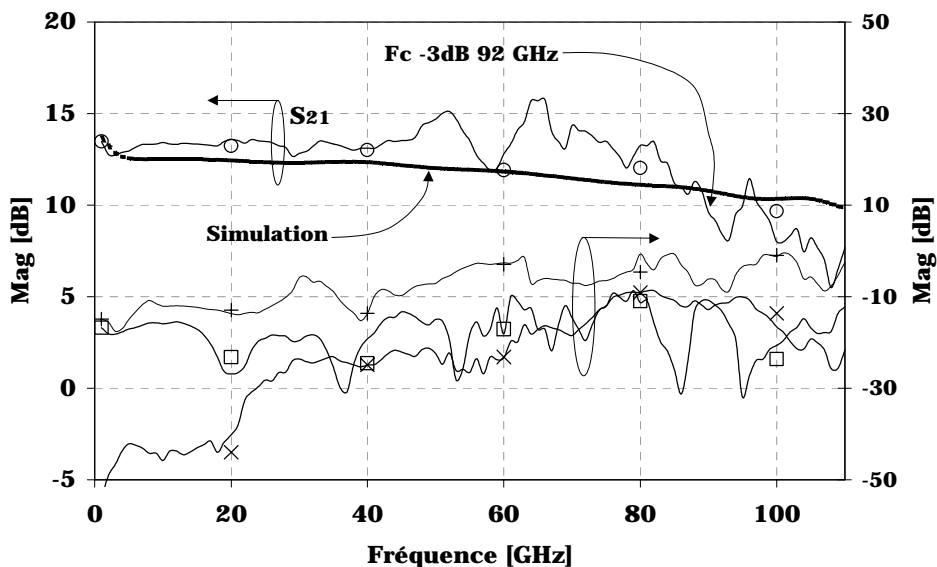


Figure 4.28 Mesures en petit signal d'un amplificateur distribué en HEMT InP. S_{21} mesuré (o), simulé (-). S_{11} (), S_{12} (x), S_{22} (+) : mesurés.

De la même façon que pour le premier amplificateur, la réflexion en sortie augmente dangereusement à très haute fréquence (-2 dB). Pour le gain, les mesures s'ajustent

relativement bien aux simulations. La fréquence de coupure calculée est très voisine de celle mesurée (92 GHz).

4.6.2 Mesures en grand signal

Le premier circuit est mesuré sous pointes avec un signal à 40 Gbit/s selon la configuration ci-dessous.

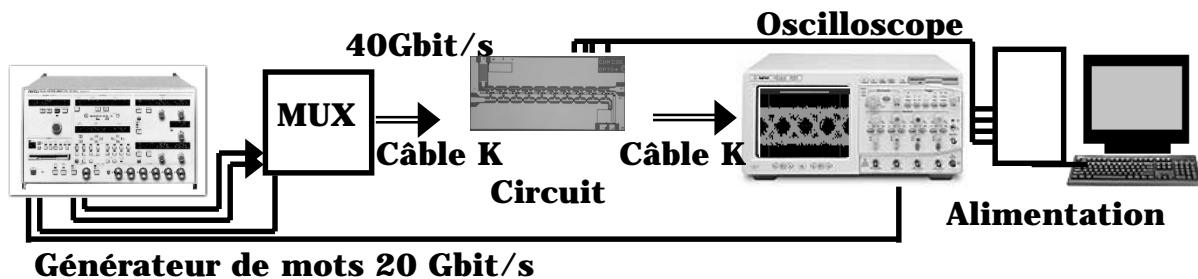


Figure 4.29 Configuration de la mesure en grand signal.

La mesure reflètera les performances de quatre parties :

- Le signal d'entrée (Le générateur, le MUX, l'horloge).
- **Le circuit.**
- Les câbles, pointes et autres dispositifs sur le chemin du signal.
- Le scope.

Les performances du circuit peuvent être dégrossies grâce aux mesures petit signal effectuées précédemment. Il est possible aussi d'avoir un ordre de grandeur de l'influence du scope, se basant sur les performances petit signal de la tête d'échantillonnage.

Ce qui reste par contre « incalibrable », ce sont les câbles et pointes de mesure : ne sachant pas quel est le spectre du signal en sortie de l'amplificateur, il apparaît hasardeux d'essayer de calibrer les câbles de mesures en petit signal pour en extraire le comportement du circuit.

La mesure effectuée en grand signal sur puce est donc légèrement pessimiste mais donne une idée des performances minimales que fournit le circuit.

Nous obtenons un signal à 40 Gbit/s de 2 Vpp, pour 600 mVpp d'amplitude d'entrée, avec un bruit d'amplitude moyen de 400 mVpp.

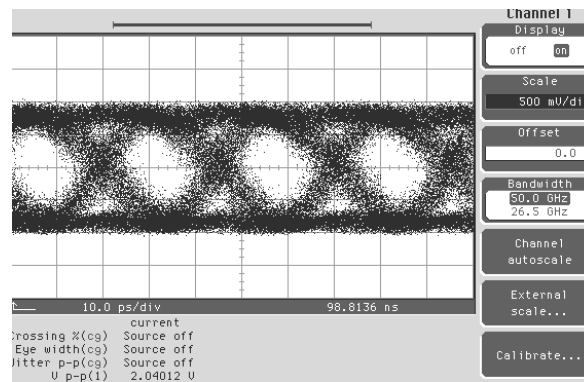


Figure 4.30 Signal à 40 Gbit/s en sortie de l'amplificateur distribué avec 60 GHz de fréquence de coupure, pour 600 mVpp en entrée.

4.7 Discussion

- L'amplification distribuée apparaît bien comme la technique la mieux adaptée pour la conception très large bande [9][10][11]. L'adaptation d'impédance en entrée/sortie est effectuée de façon naturelle en utilisant les caractéristiques d'impédance de lignes de transmission.
- Nous avons examiné les relations entre les temps de groupe des lignes d'entrée/sortie et les gain et temps de groupe globaux. Ainsi, en première approche, les conditions de platitude sur les gain et temps de groupe de l'amplificateur sont nécessaires et suffisantes pour garantir les platitude et égalité des temps de groupe sur les lignes d'entrée/sortie.
- Nous avons aussi pointé les nœuds critiques dans un amplificateur distribué. Ainsi, cette structure peut être utilisée en technologie coplanaire moyennant une optimisation de ces nœuds et l'adaptation de ces architectures à la technologie utilisée, notamment :
 - Dans notre cas, cela revenait à étudier les plans de masse des lignes coplanaires [12] et les meilleures solutions pour éviter des éventuelles propagations parasites [13][14] et les adapter pour une approche large bande.
 - Aussi, il a fallu étudier les polarisations des grilles cascode et un découplage plus adapté à cette technologie, qui nous a permis par ailleurs de réduire l'encombrement tout en baissant son impédance caractéristique équivalente.
 - L'utilisation de la technologie coplanaire réduit fortement les dimensions des puces (dans notre cas $2,5 \times 1,22 \text{ mm}^2$) à performances identiques, car d'une part, les trous-via sont évités ; d'autre part, les distances minimales pour garantir un faible

couplage parasite entre les lignes micro-ruban, sont plus faibles dans le cas coplanaire car les lignes sont écrantées par les plans de masse intermédiaires.

- L'utilisation d'une technologie purement coplanaire permet aussi des niveaux continus flottants en entrée/sortie contrairement aux micro-ruban nécessitant un plan de masse figée [15].

Dans ce même cadre, nous avons optimisé les chemins de masse les plus critiques notamment en les connectant au plus proche de la référence du signal et non de la masse commune du circuit en entier, permettant ainsi d'éviter les problèmes de baisse de gain en haute fréquence.

L'association de ces techniques et études séparées de chacun des paramètres dans l'amplificateur distribué nous a permis d'obtenir un résultat à l'état de l'art [16] en terme de produit gain bande (410 GHz) avec une pente douce du gain après la coupure à -3 dB ; ainsi, le gain est de 8 dB à 110 GHz.

Aussi, le rapport empirique f_c/f_T (Fréquence à -3 dB de l'amplificateur sur Fréquence de coupure du gain en courant du transistor) est du même ordre que le meilleur rapport obtenu pour des amplificateurs réalisés avec des technologies plus matures [17][18][19] telle que la technologie P-HEMT GaAs : 0,7.

- Cependant, la question de la dualité entre la bande passante à -3dB d'un amplificateur et la forme du signal du type impulsion de grande amplitude à sa sortie reste entier.
 - La méthodologie pour les circuits distribués basée sur l'approche linéaire (qu'elle soit analytique ou numérique) est suffisante pour la conception d'amplificateur large bande DC-100 GHz ... [20][21][22]
 - Les optima locaux sont évités en utilisant une approche analytique. Le résultat final tenant compte de tous les éléments parasites du circuit et du layout est optimisé en effectuant des calculs numériques.

-
- [1] H. Shigematsu, M. Sato, T. Hirose, Y. Watanabe, « A distributed amplifier for 40 GBPS fiber-optic communications systems », *Journal of light-wave technologies*, avril, 2002.
- [2] Paul F. Combes, « Micro-ondes. 2. Circuits passifs, Propagation, Antennes, Cours et exercices », Editions DUNOD.
- [3] A. Zolomy, « Gain-bandwidth performance comparison of lumped and distributed element distributed amplifiers », *International Conference on Microwaves, Radar and Wireless Communications*. 2000, Vol. 1, pp. 101-104.
- [4] G. Huel, L. Jiming, H. Wu, S. Yongan, « A high-efficiency distributed amplifier by using varying impedance », *Microwave and Optical Technology letters*, Vol. 26, No. 5, septembre 2000.
- [5] « *Microwave Engineering* », David M. Pozar, John Wiley & Sons, Inc, 1998.
- [6] R. Lefèvre, E. Legros, A. Thiam, P. André, S. Vuye, "Very high speed driver and photoreceiver modules for 40 Gbit/s optical communications" in *Proc OFC 99*, San Diego.
- [7] J.M. Carroll, M. Coutant, M.S. Heins, C.F. Campbell, E. Reese, "0.25 μ m pHEMT 40Gb/s E/O Modulator Drivers", In. *Proc. IEEE. MTT'S 2002*
- [8] R.E. leoni III, S.J. Lichwala, J.G. Hunt, C.S. Whelan, P.F. Marsh, W.E. Hoke, T.E. Kazior., "A DC-45 GHz METAMORPHIC HEMT TRAVELING WAVE AMPLIFIER", In. *Proc. IEEE. GaAs Digest 2001*.
- [9] A.H. Baree, I.D. Robertson, « Analysis and design of multi-octave MMIC active baluns using a distributed amplifier gate line termination technique », *Digest of Papers Microwave and Millimeter-Wave Monolithic Circuits Symposium*, mai 1995, pp. 217-220.
- [10] A. Zolomy, « Synthesis method for distributed amplifiers », *14th International Conference on Microwaves, Radar and Wireless Communications*, 2002, Vol. 2, pp. 512-515.
- [11] H. Shigematsu, M. Sato, T. Hirose, Y. Watanabe, « A 54-GHz distributed amplifier with 6-V/sub PP/ output for a 40-Gb/s LiNbO/sub 3/ modulator driver », *IEEE Journal of Solid-State Circuits*, Vol. 37, septembre 2002, pp. 1100-1105.
- [12] Y. Baeyens, R. Pallela, J.P. Mattia, H.-S. Tsai, Y.-K. Chen, « A 74-GHz bandwidth InAlAs/InGaAs-InP HBT distributed amplifier with 13-dB gain », *IEEE Microwave and Guided Wave Letters*, Vol. 9, novembre 1999, pp. 461-463.

-
- [13] M. Schlechtweg, P.J. Tasker, W. Haydl, « Design and caractérisation of MMIC's in coplanar wave guide technology up to 80 GHz », in Proc. Colloquium on Analysis, Design and Applications of Coplanar Waveguides, IEE, Oct 1993.
- [14] M. Schlechtweg, P.J. Tasker, W. Reinert, J. Braunstein, W. Haydl, A. Hulsmann, K. Kohler, « High gain 70-80 GHz MMIC amplifiers in coplanar waveguide technology », Electronics Letters , Vol. 29 , Jun 1993, pp. 1119 -1120.
- [15] H. Shigematsu, M. Sato, T. Hirose, Y. Watanabe, "A 54 GHz Distributed Amplifier With 6-Vpp Output for a 40 Gb/s LiNbO₃ Modulator Driver", IEEE Journal of Solid-State Circuits, VOL. 37, NO. 9, Septembre 2002.
- [16] C. Meliani, G. Post, G. Rondeau, J. Decobert, W. Mouzannar, E. Dutisseuil, R. Lefevre, « DC-92 GHz ultra-broadband high gain InP HEMT amplifier with 410 GHz gain-bandwidth product », Electronics Letters , Vol. 38, septembre 2002, pp. 1175-1177.
- [17] M. Leich, M. Ludwig, A. Kuri, A. Hülsmann, M. Schlechtweg, "6Vpp-66 GHz-ultrabroad amplifier for fibre-optical transmission systems", Electron. Lett., november 2001, VOL 37, pp. 1397-1398.
- [18] A. Thiam, E. Legros, S. Vuye, P. André, E. Wawrzynkowski, C. Joly, "40 Gbit/s GaAs P-HEMT driver module for optical communications", Electron. Lett., november 1998, VOL. 34, pp. 2232-2234.
- [19] M.S. Heins, C.F. Campbell, M.-Y. Kao, M.E. Muir, J.M. Carroll, « A GaAs MHEMT distributed amplifier with 300-GHz gain-bandwidth product for 40-Gb/s optical applications », in Proc. Microwave Symposium Digest, 2002 IEEE MTT-S International, Vol. 2, pp. 1061-1064.
- [20] S. Masuda, T. Hirose, T. Takahashi, S. Iijima, K. Ono, N. Hara, K. Joshin, M. Nishi, S. Yokokawa, « An over 110-GHz InP HEMT flip-chip distributed baseband amplifier with inverted microstrip line structure for optical transmission systems », Annual Technical Digest Gallium Arsenide Integrated Circuit (GaAs IC) Symposium, pp. 99 -102.
- [21] R. Majidi-Ahy, C.K. Nishimoto, M. Riaziat, M. Glenn, S. Silvermann, S-L. Weng, Y-C. Pao, G.A. Zclasiuk, S.G. Bandy, Z.C.H. Ton, "5-100 GHz InP coplanar waveguide MMIC distributed amplifier". IEEE Trans. Microwave Theory Tech., vol. 38, pp. 1986-1993, 1990.
- [22] S. Kimura, Y. Imai, Y. Umeda, T. Enoki, "0-90 GHz InAlAs/InGaAs/InP HEMT distributed baseband amplifier IC", Electron. Lett., August 1995, VOL 31, pp. 1430-1431.

Chapitre 5

Amplification différentielle

5. AMPLIFICATION DIFFERENTIELLE	110
5.1 AMPLIFICATEURS DIFFERENTIELS	111
5.1.1 AMPLITUDES DE SORTIE CORRELEES AUX LARGEURS DE TRANSISTORS	112
5.1.2 LES LIMITES DE L'AMPLIFICATION DIFFERENTIELLE	113
5.1.3 METHODOLOGIE D'OPTIMISATION DE LA PAIRE DIFFERENTIELLE	113
5.1.3.1 Effet de la source de courant	114
5.1.3.2 Inconvénients du mode référencé	115
5.1.4 AMPLIFICATION DIFFERENTIELLE : APPROCHE CLASSIQUE	117
5.1.4.1 Optimisation numérique	118
5.1.4.2 L'effet des parasites du layout	121
5.2 RESULTATS EXPERIMENTAUX	124
5.2.1 MESURES SOUS POINTES	124
5.3 DISCUSSION	128
5.4 AMPLIFICATION DIFFERENTIELLE : NOUVELLE APPROCHE	130
5.4.1 POINTS CRITIQUES	131
5.4.2 NOMBRE D'ETAGES	131
5.4.3 CALCULS DC	133
5.4.4 OPTIMISATION HF	134
5.4.5 CHARGE ACTIVE DISTRIBUEE	140
5.4.6 RESULTATS EXPERIMENTAUX	146
5.4.6.1 Mesures sous pointes	146
5.4.6.2 Montage en boîtier	151
5.4.6.3 Découplage large bande	154
5.4.6.4 Mesures en boîtier	156
5.5 DISCUSSION	158

5. Amplification différentielle

Pour les amplificateurs de signaux numériques, deux approches sont à priori possibles :

- L'utilisation de circuits numériques de puissance, donc fonctionnant principalement en commutation ; afin de produire un signal à deux niveaux de forte amplitude.
- Ou alors, l'utilisation d'amplificateurs linéaire (ne saturant pas en amplitude) large bande, i.e. ayant un gain constant sur une bande de fréquence -donnée-, déterminée par le débit souhaité et la densité spectrale du signal numérique.

Traditionnellement, les amplificateurs différentiels s'inscrivent dans la première approche. Dans les deux cas, les conditions de stabilité, et d'adaptation sont évidemment indispensables.

Dans ce chapitre, nous présentons le principe de l'amplification différentielle en considérant les effets importants à nos fréquences d'utilisation. Nous étudierons la dualité qui peut exister entre les approches numérique et analogique. En guise d'illustration, nous présentons les architectures que nous avons étudiées et optimisées. Aussi, nous proposerons des solutions originales pour étendre le domaine de son utilisation.

5.1 Amplificateurs différentiels

Le principe décrit dans le chapitre 3 concernant l'amplification différentielle prédit que la paire différentielle est la structure la plus adéquate si l'on souhaite faire de la saturation de niveaux pour des signaux à 40 Gbit/s. Le but est d'étudier la faisabilité de circuits amplificateurs capables d'améliorer le facteur Q du signal (cf. Chap. 1). A ce jour, les structures différentielles délivrent au maximum quelques 2 à 3 V d'amplitude en sortie unique pour le 40 Gbit/s [1][2][3].

De précédentes études ont montré que la gigue de phase du signal de sortie dépend très fortement de celle du signal de synchronisation, typiquement l'horloge, pour les circuits numériques (fonctionnant en commutation). D'un point de vue petit signal, la technique des constantes de temps [4] permet d'évaluer les limites fréquentielles de la structure et de prédire les variations de celle-ci en fonction des tailles des transistors. Il suffit de calculer au premier ordre la constante de temps associée à chaque capacité, en considérant sa propre valeur et la résistance équivalente qu'elle voit à ses bornes.

En considérant la paire différentielle avec une source de courant idéale, l'analyse du montage est réduite à l'analyse d'un seul bras.

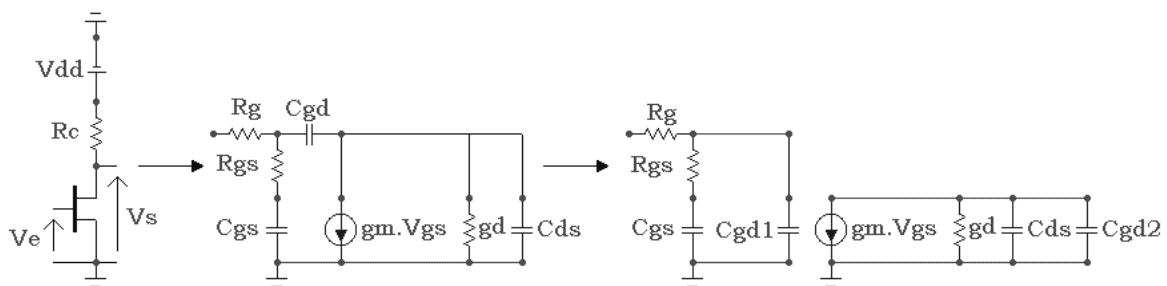


Figure 5.1 Schéma équivalent d'un bras de la paire différentielle, avant et après extraction de l'effet Miller.

Trois constantes de temps pour ce montage :

$$\tau_{cgs} = Cgs.[Rg + Rgs]$$

$$\tau_{gd1} = Rg.[(1 + gm.(Rc \parallel (1/gd)).Cgd)]$$

$$\tau_{sortie} = Rc.[((1 + gm.(Rc \parallel (1/gd)))/(gm.(Rc \parallel (1/gd)).Cgd) + Cds)]$$

La constante de temps globale de la structure est la somme des deux constantes d'entrée et de sortie. Pour les structures HEMT que nous utilisons, Rg reste quasi constante quelle que soit la largeur du transistor ; par contre les capacités varient quasi-linéairement en fonction de la largeur de grille. Le premier compromis est au niveau des tensions de sortie.

Nous calculons les constantes de temps pour la paire différentielle en fonction des largeurs des transistors souhaitées ; en considérant une résistance de charge de 25 Ohms¹.

¹ Que ce soit pour un amplificateur discret ou distribué, la charge en sortie du transistor est d'approximativement 25 Ohms, 50 Ohms pour l'adaptation (ou pour l'absorption dans le cas du distribué), en parallèle avec l'impédance 50 Ohms de la charge utile. Cf. Chap. 3.

Le calcul exposé dans la figure suivante tient compte uniquement des capacités d'entrée sortie et celles rapportées par effet Miller.

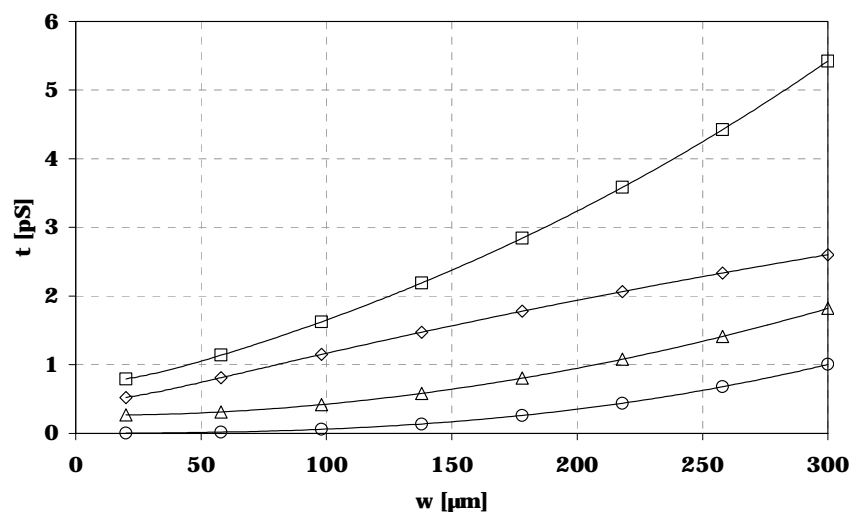


Figure 5.2 Constantes de temps pour le schéma équivalent d'une paire différentielle simplifiée. (o) pour la capacité Cgd, (Δ) Cds, (◊) Cgs, (□) : Total.

Les effets dus à la capacité parasite de la source de courant et aux capacités parasites d'interconnexions et de croisements ne sont pas prises en compte.

5.1.1 Amplitudes de sortie corrélées aux largeurs de transistors

Typiquement, pour un driver de modulateur Niobate, les amplitudes de sortie souhaitées sont de l'ordre de 6 V. Pour une charge utile de 50 Ohms, une charge d'adaptation de 50 Ohms est nécessaire en parallèle. Pour 6 V de tension de sortie, un courant de 240 mA est nécessaire. En se référant aux courbes DC du transistor, et en fixant les tensions maximales sur la grille à $V_{gs}=0$ V ; la largeur de transistors nécessaire est de quelque 400 μm . En extrapolant les courbes de la Figure 5.2, la constante de temps du montage différentiel serait de 7,5 pS, ce qui représente grossièrement les deux tiers du temps de montée : 11,2 pS. Finalement, le calcul théorique optimiste des temps de montée et descente de ce type de montage est de 22.5 pS approximativement ! Quasiment le temps Bit. La première conclusion est qu'une amplitude de sortie de 6 V sur 50 Ohms pour une structure différentielle n'est pas faisable de façon directe. Certaines études injectent les deux sorties différentielles dans une charge 50 Ohms flottante pour atteindre 5 V d'amplitude de sortie à 40 Gbit/s.

D'autre part, l'adaptation d'impédance est d'autant moins efficace que les capacités d'entrée sortie sont de valeurs élevées. Pour une adaptation résistive simple², la limite est fixée par la constante de temps du circuit RC d'entrée. La figure suivante présente le coefficient de réflexion en dB à l'entrée d'une paire différentielle idéale

² D'autres méthodes existent (notamment l'adaptation réactive), mais ne sont guère adaptées pour les applications ultra large bande (la bande s'étend de quelques dizaines de kHz à quelques dizaines de GHz). Spécifiquement, ces méthodes ne sont pas optimales en termes de délai de groupe, et finissent par détériorer le signal.

(i.e. où l'on ne tient compte que des éléments parasites intrinsèques des transistors, et où la source de courant est considérée comme parfaite) en fonction de la largeur de grille des transistors actifs de la paire.

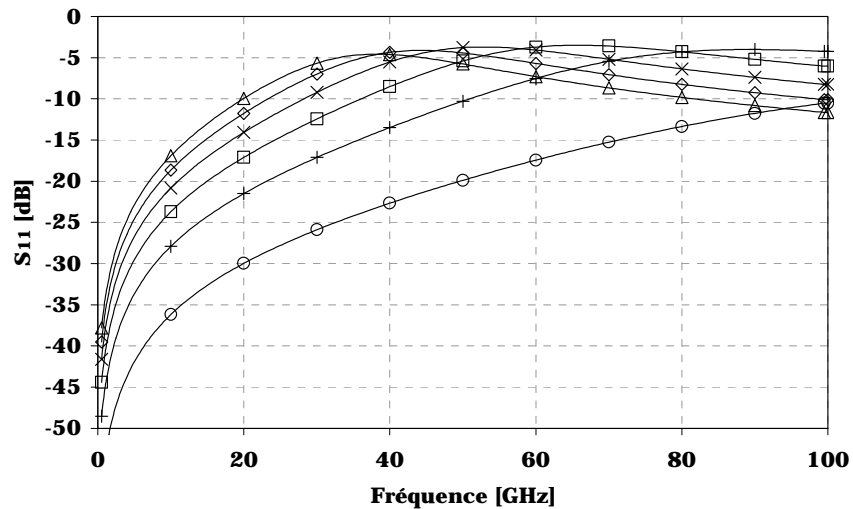


Figure 5.3 Réflexion à l'entrée d'une paire différentielle, $2 \times 20 \mu\text{m}$ (o), $2 \times 60 \mu\text{m}$ (+), $2 \times 100 \mu\text{m}$ (), $2 \times 140 \mu\text{m}$ (X), $2 \times 200 \mu\text{m}$ (◊), $2 \times 220 \mu\text{m}$ (Δ).

A partir de paire différentielle utilisant des transistors de $200 \mu\text{m}$ de largeur de grille, l'adaptation est très nettement détériorée. S_{11} passe de -17 dB ce qui est raisonnable pour un calcul encore optimiste (car ne tenant pas compte encore des interconnexions) à -7 dB , $200 \mu\text{m}$ c'est la largeur de grille nécessaire pour 3 V de sortie seulement.

5.1.2 Les limites de l'amplification différentielle

Jusque là, les calculs décrivant l'amplification différentielle concernent uniquement le fonctionnement petit signal. L'élargissement apparent [5] de la bande passante dû notamment aux effets non linéaires ne sont pas décrits. Néanmoins, il est possible de donner une première conclusion assez complète, qui est que l'adaptation large bande de ce type d'amplificateurs lorsqu'on souhaite fournir un grand courant de sortie n'est pas directement faisable.

D'autre part, en technologie P-HEMT GaAs, les capacités parasites associées aux transistors rendent impossible l'obtention d'amplitudes de sortie de 6 V .

Nous avons porté notre choix sur l'étude en vue de son optimisation d'une structure différentielle classique telle que décrite dans le chapitre 3. Les transistors choisis ont une largeur de grille de $140 \mu\text{m}$, pouvant délivrer en DC 80 mA donc 2 V_{pp} sur une charge 50 Ohms . Le gain petit signal d'un tel montage en continu est de $2,75$.

5.1.3 Méthodologie d'optimisation de la paire différentielle

L'étude menée dans le chapitre 2 est relativement complète concernant les effets intrinsèques des transistors dans la paire différentielle. Deux points restent à compléter cependant, le fonctionnement complet en mode référencé en tenant compte de la source de courant réelle, et les effets parasites significatifs lors de l'implantation du montage.

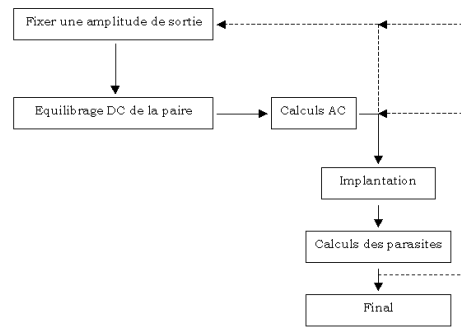


Figure 5.4 Boucle pour l'optimisation systématique de la paire différentielle.

5.1.3.1 Effet de la source de courant

Dans ce qui suivra, nous appelons gain direct le rapport entre l'amplitude du signal de sortie sur le drain du transistor dont la grille est attaquée par le signal d'entrée. (lorsque la paire est en mode référencée).

Le gain croisé est le rapport de l'amplitude du signal de sortie sur le drain du transistor opposé à celui dont la grille est attaquée par le signal d'entrée.

Afin d'isoler l'effet capacitif de la source de courant sur le fonctionnement de la paire différentielle, le gain en tension du montage représenté par la figure ci-dessous :

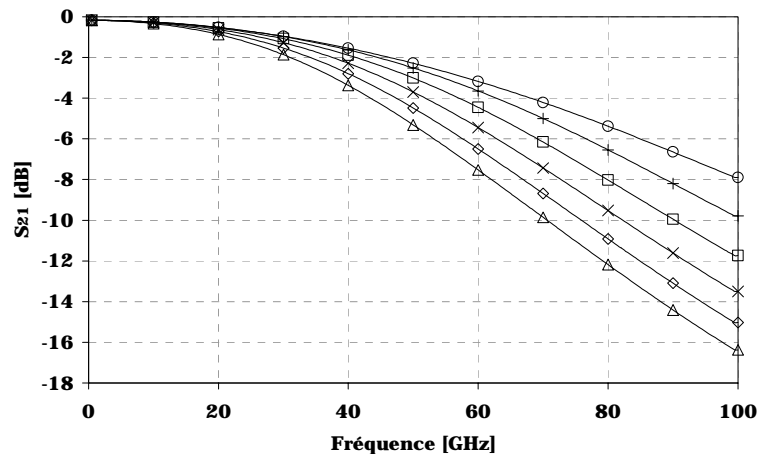


Figure 5.5 Gain croisé en mode référencé d'une paire différentielle de $2 \times 15 \mu\text{m}$ avec capacité parasite sur le point commun sur les sources des transistors, 0 fF (o), 20 fF (+), 40 fF (), 60 fF (X), 80 fF (◊), 100 fF (Δ).

Le gain direct en mode référencé converge vers le gain de la source commune lorsque les capacités parasites sur la source augmentent au détriment du gain croisé. En augmentant, la capacité baisse la valeur du gain différentiel en augmentant le gain commun. Pour les applications grand signal, ceci n'est pas très intéressant, car les effets d'accélération et de saturation ne sont plus disponibles d'une part, et la bande passante à -3 dB est fortement réduite. C'est le gain croisé qui représente au mieux le gain du mode différentiel, car il dépend de la masse virtuelle de la paire. La Figure 5.5 représente le gain croisé d'une paire différentielle en P-HEMT GaAs. A 60 GHz par exemple, sur un gain de -2 dB, il y'a 2 dB de perte entre le cas sans capacité parasite et le cas avec une Capacité de 50 fF.

5.1.3.2 Inconvénients du mode référencé

La division du gain par deux paraît l'inconvénient théorique principal de la paire différentielle en mode référencé Cf. Chap. 2. Lorsque la structure différentielle réelle est considérée, d'autres points critique apparaissent. En mode référencé, Les gain croisé et direct dépendent fortement de la variation du potentiel de source, qui est initié d'une part par l'injection à courant constant dans la paire et d'autre part par le potentiel fixe de la deuxième grille.

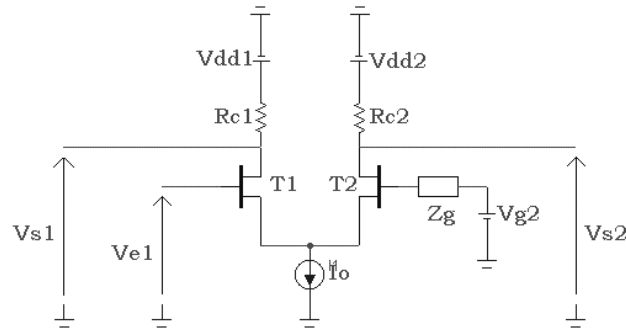


Figure 5.6 Paire différentielle en mode référencé avec élément parasite sur le découplage de grille.

Dans un modèle où la transconductance est constante, la variation V_{gs} à l'entrée est divisée par deux via la variation du potentiel de source. Lorsque la grille de T2 est relativement mal découplée, deux phénomènes apparaissent, le premier est la baisse du gain à cause de l'absorption de la variation de la source par la variation du potentiel de grille, et l'autre est l'instabilité due à l'impédance élevée sur la grille du second transistor. Ces deux effets sont plus facilement quantifiables sur le gain du mode différentiel. La figure suivante présente le gain croisé de la paire différentielle ci-dessus. Pour un fonctionnement référencé, le gain croisé est uniquement dû à la variation de la tension de source ; et donc principalement représentatif du gain en mode différentiel.

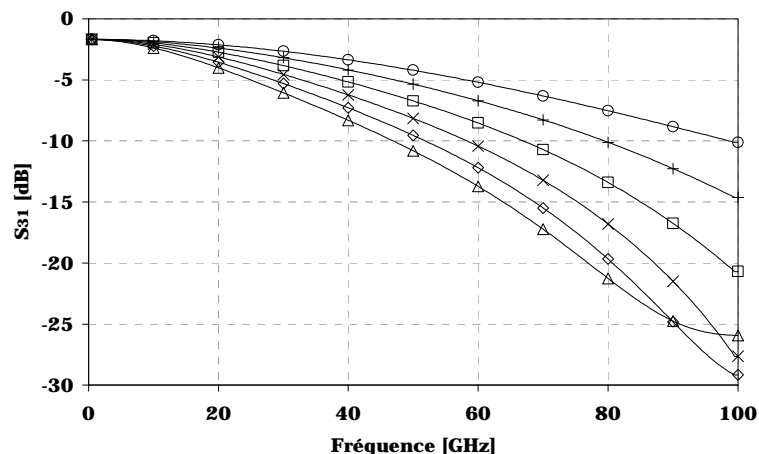


Figure 5.7 Gain croisé d'une paire différentielle ($2 \times 25 \mu\text{m}$) en mode référencé avec une résistance série sur la grille référencée $Z_g = R_g = 0\Omega$ (o), 20Ω (+), 40Ω (□), 60Ω (X), 80Ω (◇), 100Ω (Δ).

La figure précédente représente les variations du gain en fonction de la résistance série de grille. A basse fréquence, le gain est quasiment identique quelle que soit la valeur de cette résistance. En milieu de bande (vers 40 GHz), Le gain perd 1 dB pour chaque augmentation de 20 Ohms de la résistance. Cette perte augmente avec la fréquence.

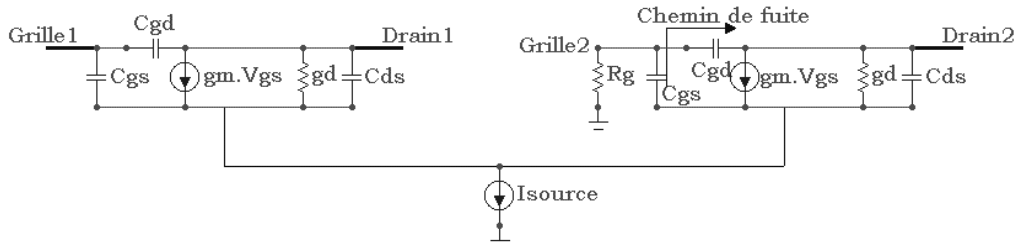


Figure 5.8 Schéma équivalent de la paire différentielle en mode référencé.

Comme le courant global alimentant la paire est constant, chaque variation de courant de drain sur un des deux bras s'accompagne d'une variation égale en valeur absolue et inverse en signe. Pour des valeurs nulles ou très faibles de la résistance série de grille, la variation du courant s'écoule dans le circuit de drain du deuxième transistor uniquement³. Pour des valeurs suffisamment élevées de R_g , le circuit de grille s'apparente à un circuit ouvert, et un courant peut circuler de la source vers la grille et continuer vers le drain sans passer par la source de courant (Voir Fig. ci-dessus). Ce courant est représenté par le terme relatif à C_{gd} dans l'expression du gain du montage en grille commune. Cf. Chap. 3. Le gain direct se comporte de la même façon en milieu de bande mais différemment à très hautes fréquences. Lorsque le potentiel de grille devient trop flottant (i.e. la résistance série suffisamment élevée), le gain tend vers le gain en mode commun à très haute fréquence s'approchant de celui de la source commune. (Voir Fig. ci-dessous).

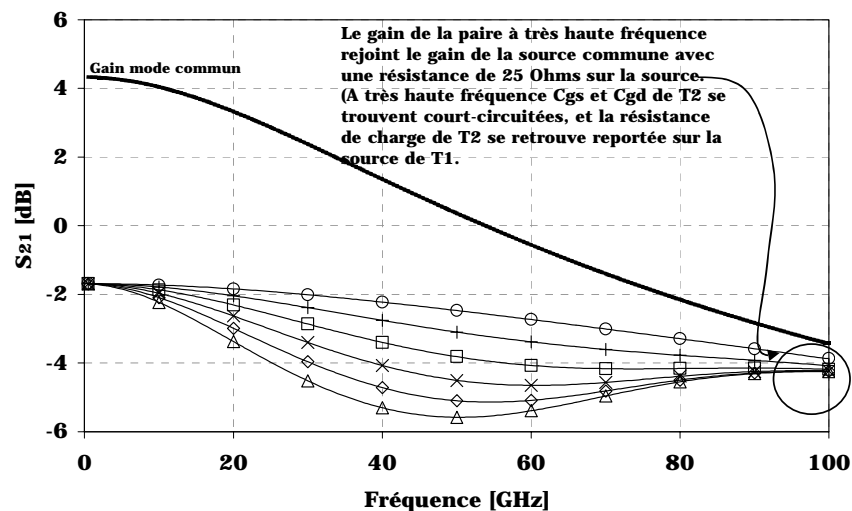


Figure 5.9 Gain direct d'une paire différentielle de $2 \times 25 \mu\text{m}$ en fonction de la valeur de la résistance de grille 0Ω (o), 20Ω (+), 40Ω (-), 60Ω (X), 80Ω (ϕ), 100Ω (Δ).

³ En effet, une faible résistance de grille revient à mettre à la masse C_{gd} et C_{gs} .

L'explication en est la suivante, pour des valeurs très fortes de résistances de grille et à très hautes fréquences, le chemin le moins résistif pour le courant traversant le deuxième transistor est celui via C_{gs} et C_{gd} .

De ce fait, dans ce cas, le chemin source-grille-drain ne sert plus que de soupape au premier transistor, qui fonctionne désormais comme un transistor en source commune⁴ puisqu'il n'a plus d'injection à courant constant sur sa source.

5.1.4 Amplification différentielle : Approche classique

Nous avons choisi de développer une structure différentielle simple (DCL) basé sur une paire différentielle unique et pouvant fournir une amplitude de sortie de 2 V sur une charge 50 Ohms à 40 Gbit/s. Ainsi, seront évaluées de façon indépendante les caractéristiques transitoires de cette structure. Le calcul DC de la paire différentielle et l'adaptation d'impédance en sortie montrent qu'un courant de 150 mA d'amplitude est nécessaire. Afin de bénéficier d'un maximum de contrôle de courant, l'amplitude d'entrée sera fixée à 1 Volt. Le gain est d'approximativement 6 dB. Le schéma est représenté dans la figure ci-dessous.

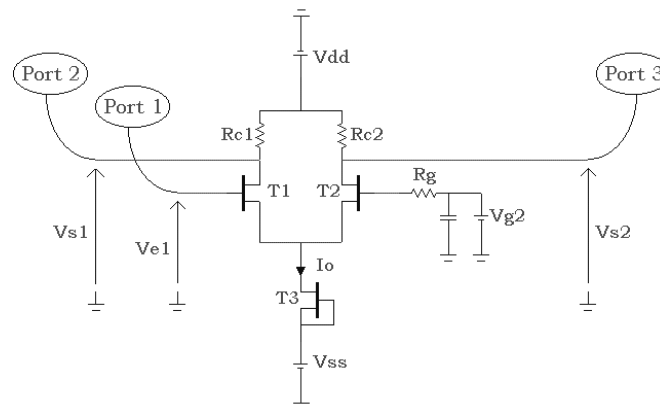


Figure 5.10 Schéma de la cellule différentielle type optimisée.

Avec une amplitude d'entrée de 1 Vpp, et dans le cas d'un g_m relativement constant, le premier transistor voit son V_{gs} varier de $-0,25$ à $+0,25$ V ; ce qui fait une largeur de grille de $360 \mu\text{m}$ pour fournir 150 mA. Le choix d'optimiser une structure différentielle non-cascodée est justifié dans le but d'isoler les effets de chaque élément parasite du transistor et ainsi mesurer la sensibilité de la structure en fonction de chacun de ces éléments isolément. D'autre part, les effets de double pente (Cf. Chap. 3) dûs au Cascode sont aussi évités minimisant ainsi le risque d'interactions avec d'autres phénomènes que ceux intrinsèques au transistor dans sa configuration la plus simple. Par ailleurs, à fort gain DC⁵, l'effet Miller est très élevé. La paire est donc optimisée pour fonctionner dans les domaines à faibles C_{gd} .

⁴ Plus précisément, il se comporte comme une source commune avec une résistance de source de 25 Ohms sur sa source (qui est la résistance de charge de T2).

⁵ L'effet Miller est d'autant plus prononcé que le gain basse fréquence du transistor est élevé (Cf. Chap .3), ce qui est le cas ici. Un P-HEMT GaAs de $360 \mu\text{m}$ de grille a un gain DC sur 25 Ohms de ~ 7 !

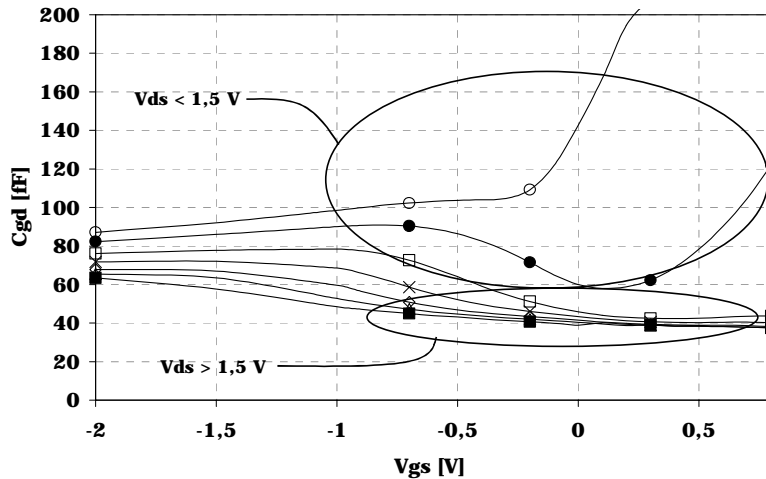


Figure 5.11 Capacité C_{gd} en fonction de V_{gs} et des diverses polarisations de drain V_{ds} (0,5 V : \circ , 1 V : \bullet , 2 V : \square , 3 V : \times , 4 V : \diamond , 5 V : \blacksquare).

C_{gd} est d'autant plus importante que le transistor est large. Pour un transistor relativement petit (de 50 μm de largeur de grille typiquement), le gain en tension est légèrement inférieur à l'unité, et la capacité grille drain est extrêmement faible (Au premier ordre, ces deux grandeurs varient homothétiquement par rapport à la largeur de grille). La capacité ramenée par effet Miller varie comme le produit du gain par la capacité C_{gd} et donc varie comme le carré de la largeur de grille.

Les capacités C_{gs} et C_{ds} sont tellement importantes (quelques dizaines de fF) pour ces valeurs de largeur de grille qu'il est obligatoire de les compenser localement en fréquence (vers 40 GHz) pour pouvoir assurer une bande passante aux environs de 40 GHz moyennant un léger peaking dans le gain.

5.1.4.1 Optimisation numérique

L'optimisation est faite principalement sur le gain en mode direct. Les courbes suivantes servent à fixer un compromis bande/gain (et donc courant de sortie).

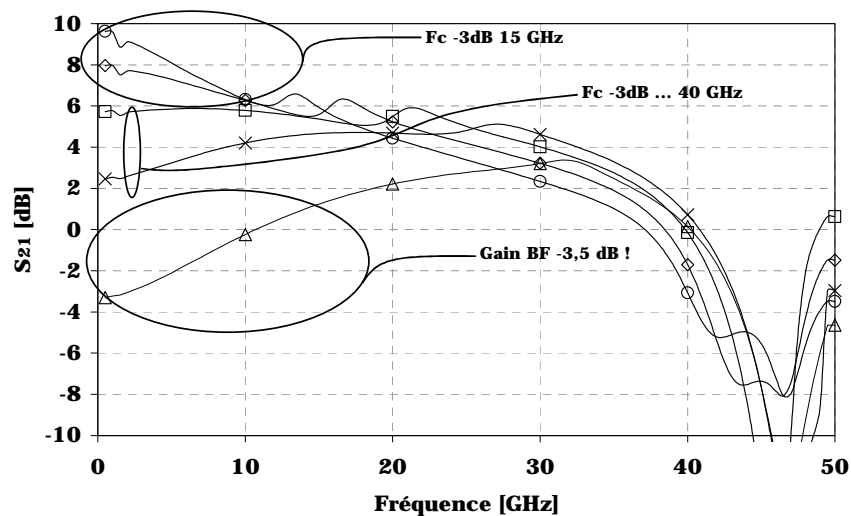


Figure 5.12 Gain direct du mode référencé d'une paire différentielle avec inductances de compensation en fonction des largeurs des transistors 100 μm (Δ), 200 μm (\times), 300 μm (\square), 400 μm (\diamond), 500 μm (\circ).

De la courbe ci-dessus, il apparaît clairement que le compromis entre le Gain et la bande passante se trouve pour des largeurs de transistors entre 200 et 300 μm . Pour 200 μm de largeur de grille, la fréquence de coupure à -3dB est approximativement de 40 GHz. Elle est de 34 GHz pour 300 μm . Le gain en milieu de bande est de 5 dB. Il est possible de fournir beaucoup plus de courant, mais la bande passante est très fortement réduite (aux environs de 12 GHz !). Il est aussi possible de rehausser artificiellement le gain à très haute fréquence en utilisant des techniques d'égalisation tel que les résonances RLC, mais elles nuisent sensiblement au temps de groupe. Le meilleur compromis semble bien être 300 μm de largeur de grille.

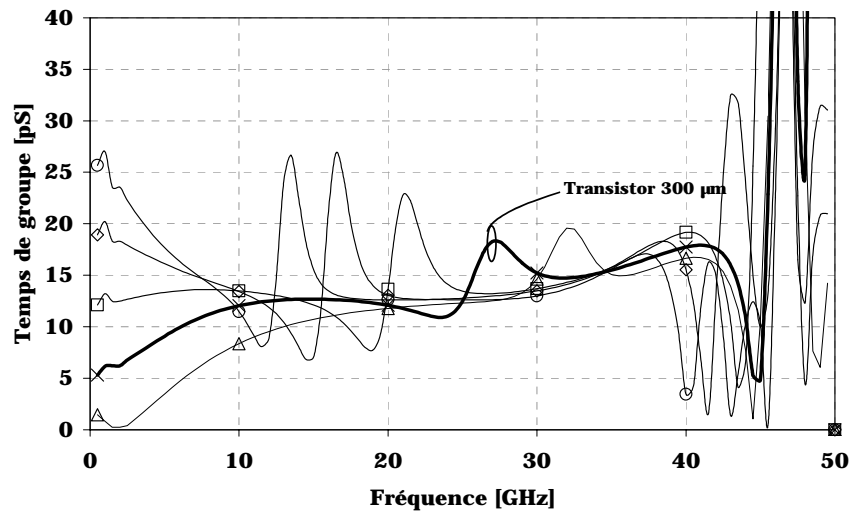


Figure 5.13 Délai de groupe pour une paire différentielle en fonction de la largeur des transistors 100 μm (Δ), 200 μm (X), 300 μm (\square), 400 μm (\diamond), 500 μm (o).

Concernant le délai de groupe, le compromis en terme de variation minimale dans la bande est celui pour 200 μm de largeur de grille. Ci-dessous sont représentés les paramètres S optimisés de la cellule différentielle. Le port 3 est la deuxième sortie de la paire (Gain indirect).

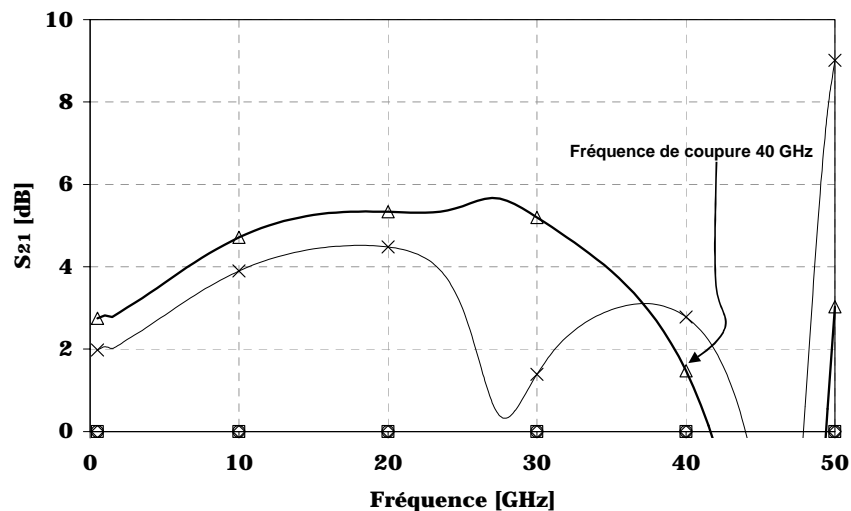


Figure 5.14 Gain différentiel optimum pour 2 V d'amplitude de sortie, direct (Δ), indirect (X).

Le gain passe par un maximum étalé à moyenne fréquence, car les capacités parasites des transistors sont légèrement compensées par les inductances ramenées par les lignes d'interconnexions. Néanmoins pour la voie directe, le gain est relativement constant jusqu'à 35 GHz et chute après pour couper à -3dB à 40 GHz. Le gain indirect montre clairement l'instabilité du découplage et son importance sur le déclenchement du mode commun (Voir le détail dans ce même chapitre, plus haut). Notamment, le creux dans le gain croisé à 28 GHz est issu du retard cumulé sur le chemin source-grille de T2 comparé à T1. Lors de simulation ne tenant pas compte des parasites du layout, les deux gains sont strictement équivalents, mais dès lors que les lignes d'alimentation et de découplage sont rajoutées, le gain indirect chute.

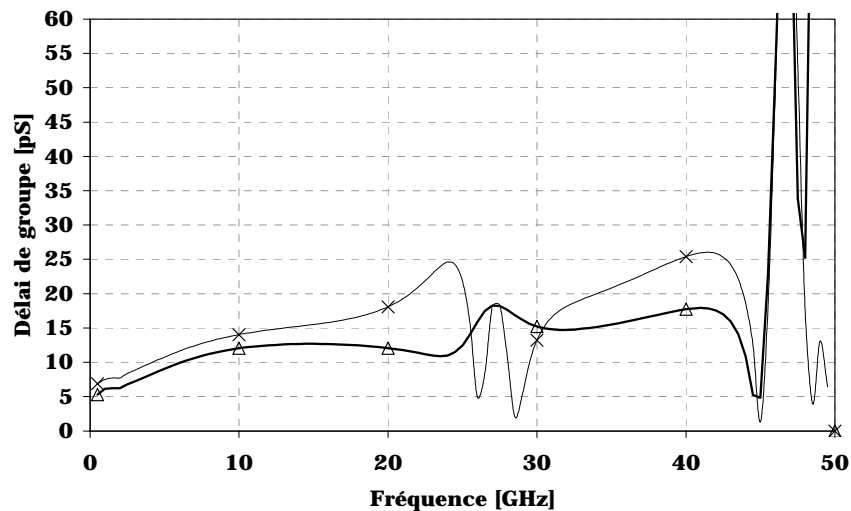


Figure 5.15 Temps de groupe de la cellule différentielle, direct (Δ), indirect (\times).

L'adaptation est faite à l'aide de résistances parallèles en entrée et en sortie et des inductances ramenées par les lignes sur les capacités d'entrée/sortie des transistors.

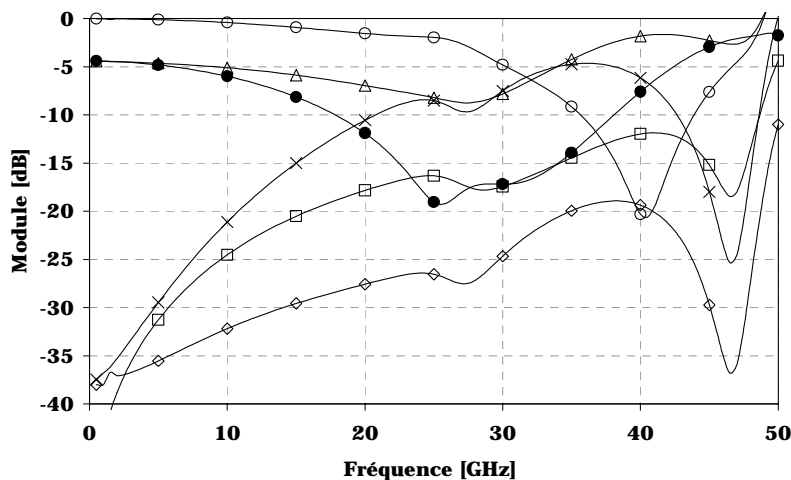


Figure 5.16 Paramètres d'adaptation de la cellule différentielle S_{11} (\circ), S_{22} (\bullet), S_{33} (Δ), S_{12} (\times), S_{23} (\circ), S_{32} (\diamond).

Sur les trois ports (Voir Fig. 5.10), la réflexion en basse fréquence est relativement élevée (> 5 dB), et est irrégulière ; car elle est majoritairement réactive, et commence à fonctionner lorsque les inductances compensent les impédances d'entrée des capacités. Cet effet est le désavantage principal pour ces structures en fonctionnement large-bande.

5.1.4.2 L'effet des parasites du layout

Les simulations petits signaux sont relativement fiables, et les résultats qu'elles donnent dès lors que tous les éléments sont modélisés et insérés sont quantitativement prévisibles. Les simulations grands signaux restent peu sûres comparées à elles, mais elles nous permettent de détecter assez fidèlement les tendances de façon qualitatives.

Ci-dessous le diagramme de l'œil à 40 Gbit/s en sortie de la cellule différentielle pour 1 Vpp à l'entrée. Nous avons injecté à l'entrée un signal sans gigue de phase, mais avec un temps de montée non-idéal de 5 pS pour éviter d'amplifier les rebonds et oscillations susceptibles d'apparaître, notamment à cause du peaking sur le gain petit signal.

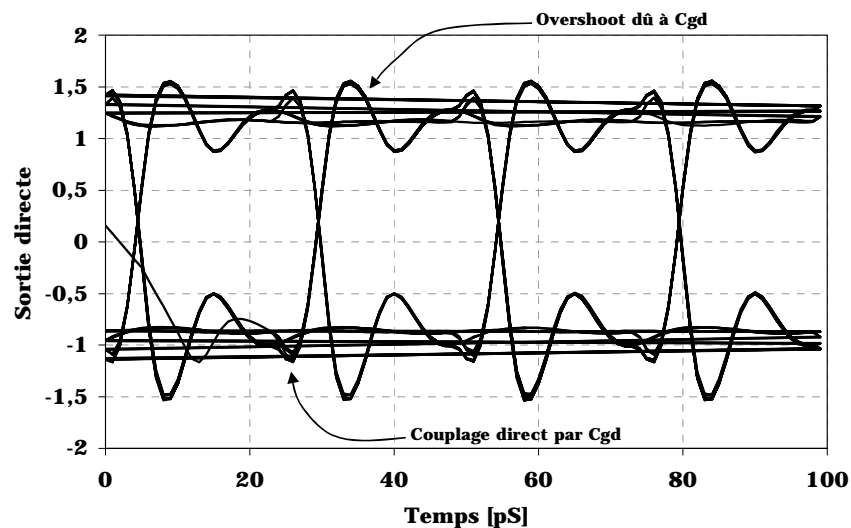


Figure 5.17 Diagramme de l'œil de la sortie directe pour un signal d'entrée de 1Vpp.

Le diagramme de l'œil ci-dessus est obtenu par simulation d'une paire différentielle sans éléments parasites. La gigue de phase est quasiment nulle, d'une part parce que le signal d'entrée est parfait ; d'autre part, parce que les transistors n'en rajoutent pas beaucoup. Par contre, le bruit d'amplitude est beaucoup plus flagrant, même pour un cas aussi optimiste que celui sans parasites de connexion. Ce phénomène s'explique par deux parasites : Le couplage direct induit par la capacité Cgd qui est équivalent à un gain positif dépendant de la fréquence et inférieur à l'unité. Et, l'overshoot qui vient de la contre-réaction retardée via Cgd.

Le problème des oscillations est beaucoup moins présent pour la sortie croisée lorsque la grille référencée est correctement découplée, au détriment du gain légèrement plus faible. Dans le cas de la sortie indirecte, il n'y a pas de couplage parasite entrée/sortie fort.

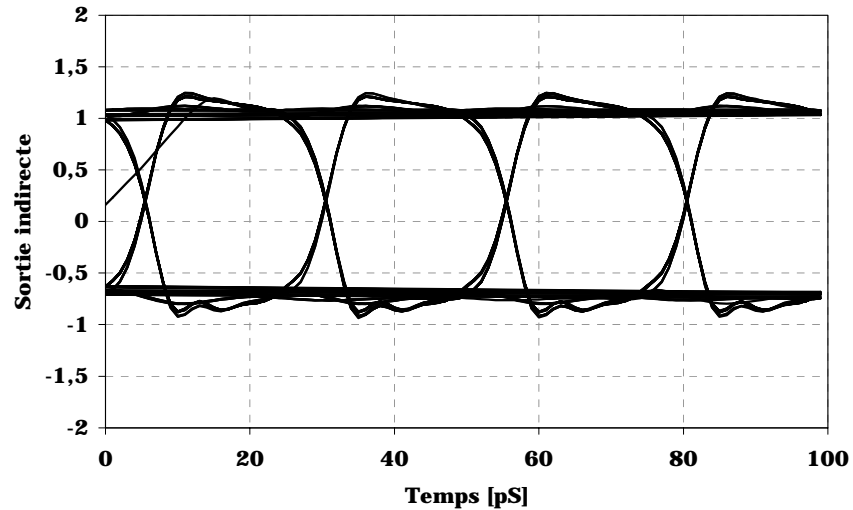


Figure 5.18 Diagramme de l'œil de la sortie indirecte pour un signal d'entrée de 1Vpp.

L'effet des parasites d'interconnexions sur les chemins des sources des transistors peut être analytiquement prévu et a été expliqué plus haut dans le texte. Concernant les parasites sur les connexions entre les deux sources des transistors, l'effet grand signal est identique à celui en régime petit signal, mais en y rajoutant les variations non-linéaires des composants du schéma équivalent.

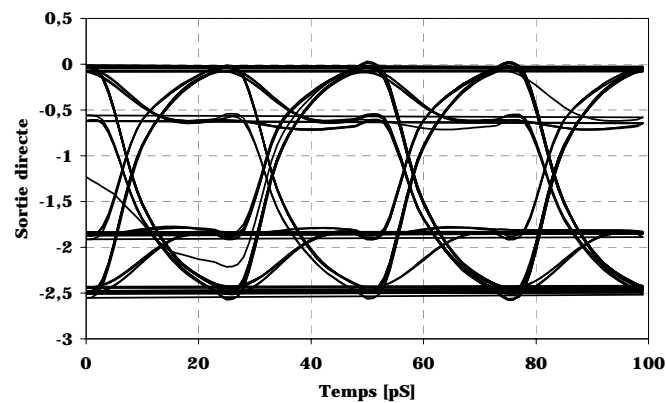


Figure 5.19 Diagramme de l'œil de la sortie directe pour un signal d'entrée de 1Vpp avec les parasites sur les connexions de source.

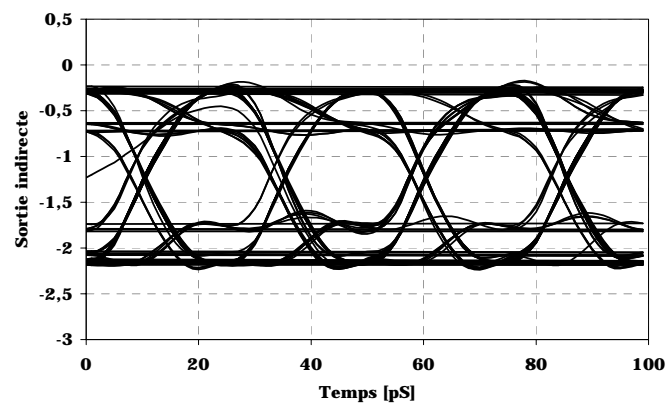


Figure 5.20 Diagramme de l'œil de la sortie indirecte pour un signal d'entrée de 1Vpp avec les parasites sur les connexions de source.

En terme de bruit d'amplitude, la différence n'est plus aussi nette entre les sorties directe et indirecte. La quasi-globalité du bruit d'amplitude est ramenée par les retards induits par les parasites sur la connexion des sources des deux transistors de la paire.

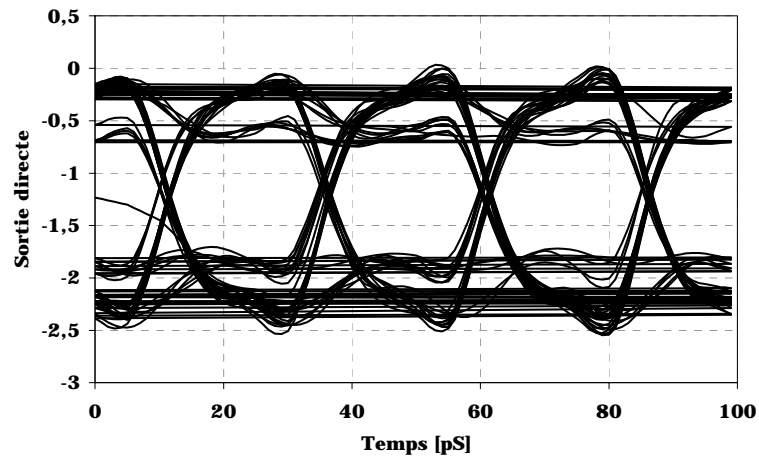


Figure 5.21 Sortie directe avec prise en compte de tous les parasites du layout.

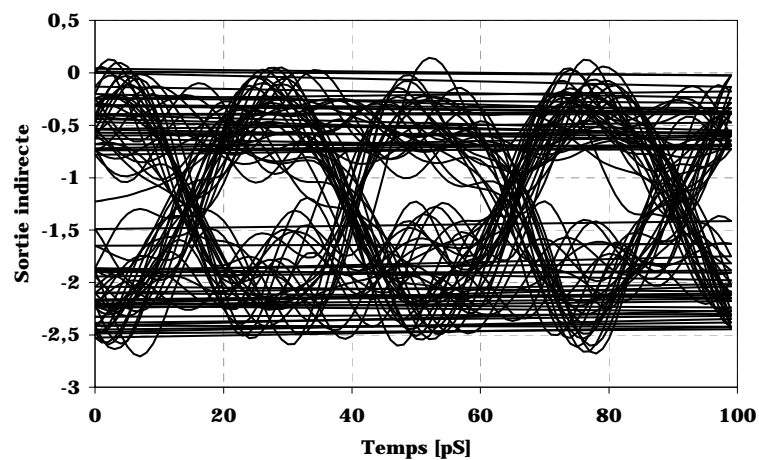


Figure 5.22 Sortie indirecte avec prise en compte de tous les parasites du layout.

La sortie directe est principalement altérée par le layout des interconnexions de source. Le rajout des autres parasites ne la modifie pas de beaucoup. Par contre, la sortie indirecte est extrêmement détériorée par les interconnexions car la qualité de cette sortie dépend fortement du découplage de grille.

5.2 Résultats expérimentaux

5.2.1 Mesures sous pointes

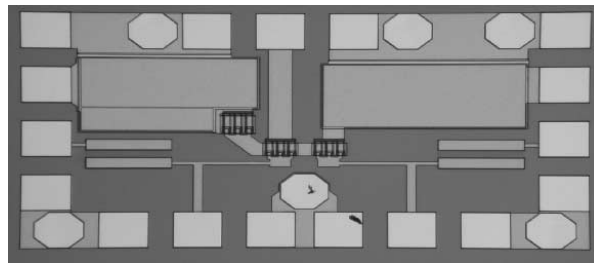


Figure 5.23 Photo du circuit différentiel discret. Taille de la puce $1,2 \times 0,7 \text{ mm}^2$.

Nous avons mesuré en petit signal le gain direct du circuit différentiel discret entre 50KHz et 65 GHz. La consommation du circuit est de 660 mW ($6\text{V} \times 110\text{mA}$). Les résistances d'adaptation consomment approximativement 200 mW. Les grille des transistors actifs sont polarisées à 2 V. La source du transistor fonctionnant en source de courant est à 0 V.

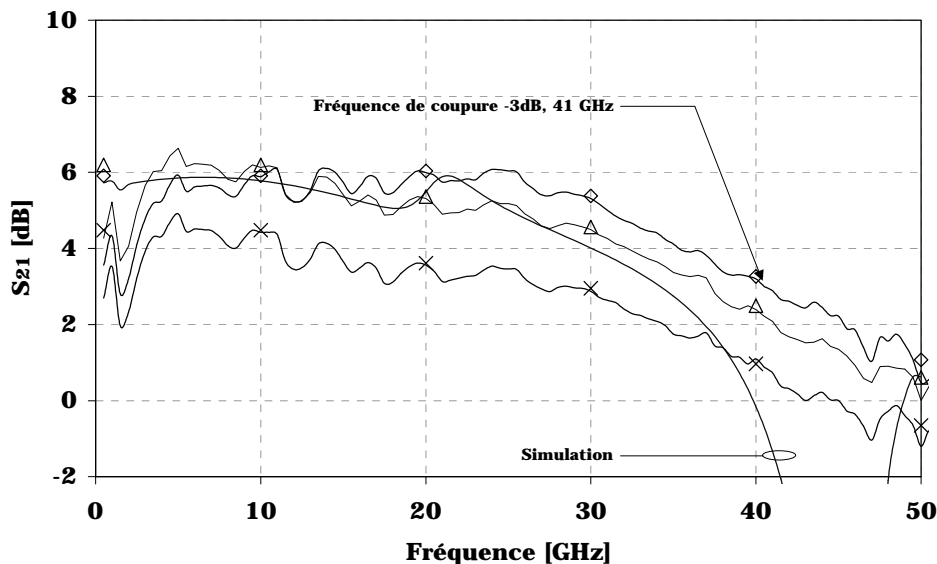


Figure 5.24 Gain direct des amplificateurs différentiels discrets.

Nous obtenons un gain large bande moyen de 5,5 dB avec une fréquence de coupure de 41 GHz. Comme prévu par la simulation, le gain baisse à très basse fréquence. Ce qui est inquiétant c'est la dispersion relativement importante sur les quelques circuits mesurés. C'est la valeur de la transconductance, principalement qui est la cause de cette dispersion, car la fréquence de coupure, elle, reste constante.

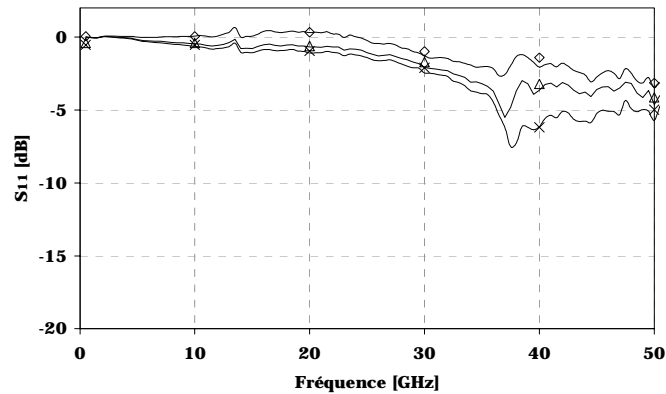


Figure 5.25 Coefficient de réflexion à l'entrée des amplificateurs différentiels discrets.

De la même façon, l'adaptation est faite à l'aide d'éléments réactifs, notamment des inductances micro-ruban (Fig. 5.25). De ce fait, en basse fréquence, le coefficient de réflexion est dangereusement élevé. Il est possible d'améliorer l'adaptation en rajoutant une partie réelle à l'impédance basse fréquence, mais au détriment de deux caractéristiques :

- La consommation DC est plus élevée, car la résistance d'adaptation consomme un courant continu.
- La méthodologie adaptation n'est plus systématique. En fonction des bandes de fréquence à couvrir, et des transistors utilisés, il faudra découper en plusieurs parties l'intervalle de fréquence. D'autre part, cette méthode est extrêmement sensible aux dispersions technologiques car basée principalement sur les résonances RLC.

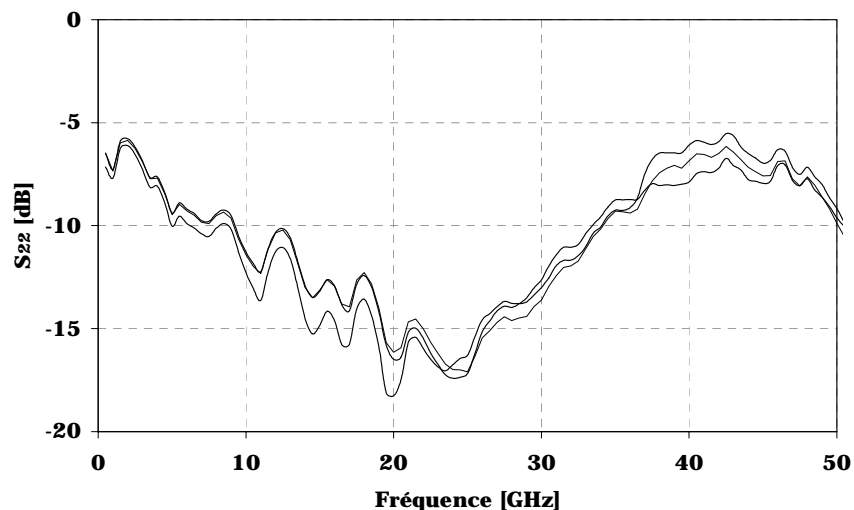


Figure 5.26 Coefficient de réflexion à la sortie des amplificateurs différentiels discrets.

L'adaptation en sortie ne présente pas les mêmes problèmes que pour l'entrée, car la résistance qui sert pour la polarisation des transistors est dimensionnée pour adapter l'impédance aussi. De ce fait, le coefficient de réflexion, est abaissé de naturellement. Ceci est dû aussi, au fait que la capacité C_{gd} est bien plus faible que C_{gs} , ce qui repousse les résonances plus haut en fréquence et permet une adaptation résistive que l'on qualifie de 'large bande'.

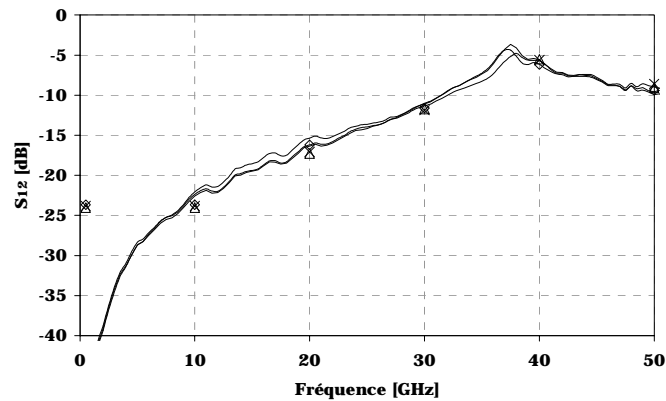


Figure 5.27 Isolation entrée/sortie de l'amplificateur différentiel.

Le couplage parasite entrée/sortie est presque uniquement dû à la capacité C_{gd} . De ce fait, l'isolation est meilleure à basse fréquence, contrairement à l'adaptation.

Les transistors ont été dimensionnés afin de drainer tout le courant fourni par la source de courant. Ainsi, en grand signal, l'amplitude de sortie devrait être limitée et ne dépendrait que de la polarisation du circuit.

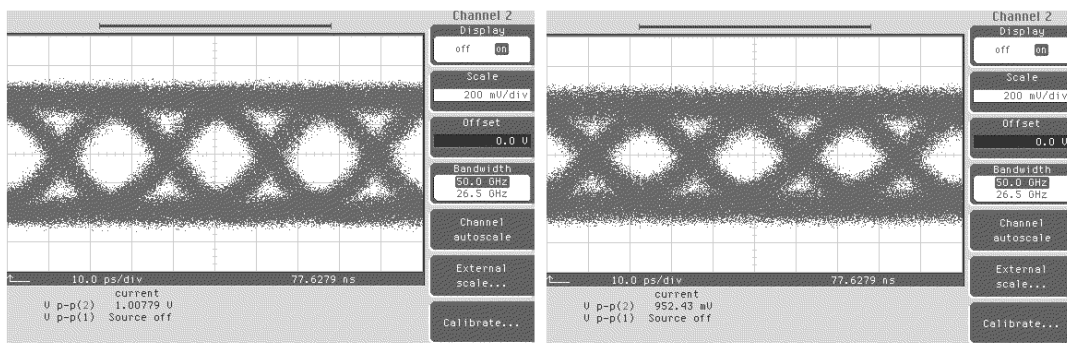


Figure 5.28 Diagrammes de l'œil à 40 Gbit/s. A gauche, à l'entrée du circuit, A droite après passage dans les câbles entrée + sortie sans le circuit.

Lorsque le signal traverse un seul des deux câbles de mesure, il est moins atténué, mais aussi moins gigué. L'effet n'est pas transférable de la même façon lorsque le signal traverse le circuit puisque de nouvelles composantes fréquentielles sont créés pendant l'amplification non-linéaire. Les comparaisons entrée/sortie sont légèrement optimistes, car nous n'y tenons compte que de l'effet du premier câble.

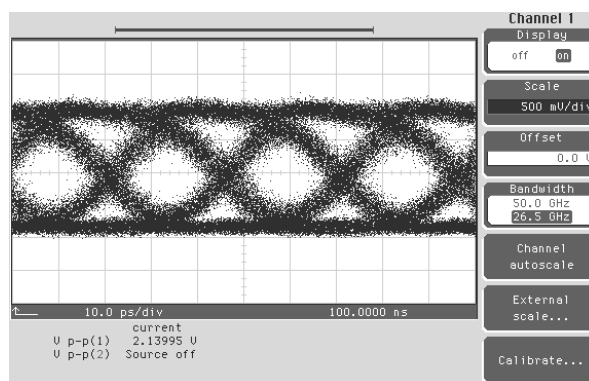


Figure 5.29 Diagramme de l'œil à 40 Gbit/s en sortie pour une amplitude de 1 Vpp à l'entrée.

Le bruit sur les niveaux entre l'entrée et la sortie n'ont pas changé, grâce à la commutation à courant constant. De ce fait, le facteur Q entre l'entrée et la sortie est légèrement amélioré ($Q_{\text{entrée}}=4$, $Q_{\text{sortie}}=6$)[6]. Ces valeurs restent faibles, mais démontrent l'effet de la source de courant sur la forme des signaux à bas Q . La gigue de phase n'a pas beaucoup changé, et reste relativement secondaire comme effet de la paire différentielle.

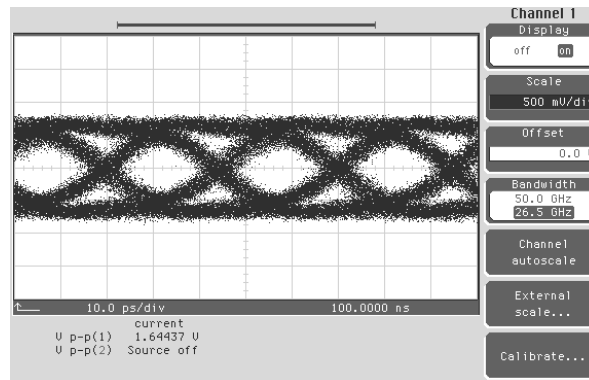


Figure 5.30 Diagramme de l'œil à 40 Gbit/s à l'entrée du circuit.

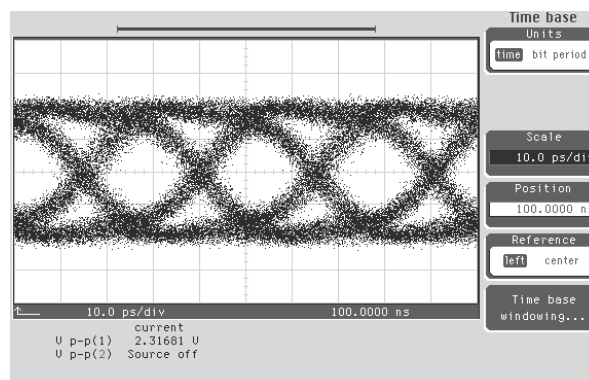


Figure 5.31 Diagramme de l'œil à 40 Gbit/s en sortie du circuit pour une amplitude de 1,6 Vpp à l'entrée.

Au-delà d'une certaine valeur à l'entrée, l'amplitude de sortie ne varie plus homothétiquement en fonction du signal à l'entrée. Typiquement, pour une amplitude d'entrée de 1,6 Vpp, la sortie est de 2,3 Vpp, ce qui correspond à un gain petit signal de 3,6 dB. En fait, les transistors actifs à l'état ouvert, drainent tout le courant fourni par la source de courant ; et quelle que soit la tension de commande, l'amplitude de sortie est limitée par $R_{\text{load}} \times I_{\text{source}}$. En abaissant la tension de polarisation de la paire à 4 Volt, il est possible d'accentuer cet effet :

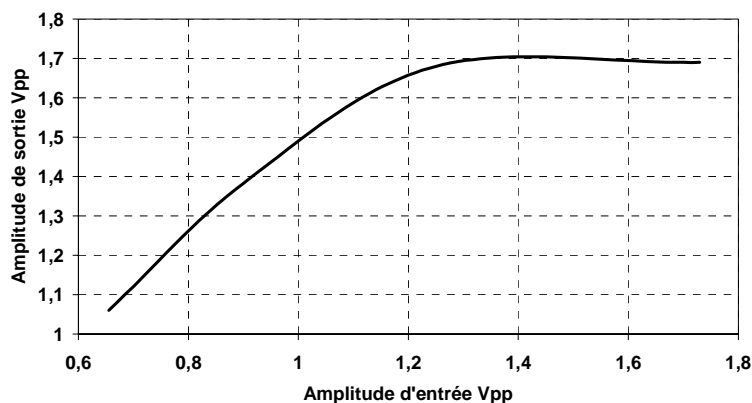


Figure 5.32 Amplitude de sortie en fonction de l'entrée en régime de saturation.

5.3 Discussion

La paire différentielle semble être adaptée pour les fonctions de remise en forme : l'écrêtage des niveaux logiques spécifiquement. L'amélioration de la gigue de phase n'est pas claire. A ces débits, avec les technologies actuelles, ce type de circuit ne remplace pas une bascule D avec une source d'horloge externe.

Cependant, deux limites apparaissent à l'application de la technologie P-HEMT aux amplificateurs différentiels pour les transmissions à 40 Gbit/s.

- La première concerne la fréquence de coupure à -3dB qui est sensiblement plus faible que celle d'un amplificateur distribué, et dans tous les cas que celle nécessaire pour correctement amplifier les composantes du signal NRZ à 40 Gbit/s et garantir un délai de groupe constant jusqu'à la troisième harmonique (cf. Chap. 1). L'obtention d'une bande passante de 40 GHz ou plus est réalisée par des techniques de compensation et d'égalisation qui détériorent le temps de groupe et donc la forme des signaux. De plus, la capacité C_{gd} relativement élevée induit un couplage direct important qui détériore de la même façon le signal de sortie. La capacité C_{ds} aussi influe beaucoup sur le courant de fuite de la source de courant et détériore ainsi le gain différentiel au profit du gain en mode commun, beaucoup moins intéressant en terme de bande passante pour des largeurs de transistors pouvant fournir quelques Volts sur 50 Ohms. La première conclusion est que pour des signaux de quelques volt, la paire différentielle traditionnelle à base de la technologie actuelle P-HEMT GaAs n'est pas la solution adéquate pour les transmissions à 40 Gbit/s.
- D'autre part, les capacités d'entrée/sortie de valeurs relativement élevées et dont le comportement en grand signal est très fortement non-linéaire rendent très difficile l'adaptation sur 50 Ohms. Les réflexions en entrée/sortie sont souvent élevées, notamment lorsqu'on utilise des techniques d'égalisation, l'adaptation

commence à être efficace en milieu de bande, et souvent la paire n'est pas correctement adaptée à basse fréquence. L'adaptation large bande reste un problème récurrent pour la paire différentielle à forte amplitude de sortie. Une approche systématique ne peut pas être développée car dépendant des bandes de fréquences et des taille de transistors

Il semble donc impossible de concevoir de manière systématique et prévisible des amplificateurs différentiels pouvant fournir des amplitudes de sortie de quelques Volts sur 50 Ohms. En tout cas, en utilisant la technologie P-HEMT telle qu'elle est actuellement.

5.4 Amplification différentielle : Nouvelle Approche

La problématique est posée par les conclusions ci-dessus concernant l'amplification différentielle. Cependant, deux points méritent encore d'être traités :

- Déterminer s'il est possible à technologie constante d'étendre encore le domaine fréquentiel d'application de la paire différentielle.
- Si possible, en développant une approche large bande plus systématique.

Ensuite, il est possible d'établir une liste des caractéristiques souhaitées :

- Fortes amplitudes de sortie (entre 3 et 6 Volt sur 50 Ohms).
- Amplification des signaux à 40 Gbit/s et adaptation entrée/sortie large bande.

Les limites sont les mêmes que pour les autres amplificateurs discrets :

- Capacités d'entrée/sortie trop importantes : fréquences de coupure très basses, et une adaptation d'impédance quasiment impossible.

En utilisant le même principe que pour les amplificateurs à base de Cascode ou de source commune, nous avons proposé la structure différentielle-distribuée. Au détail près que dans ce type de cellule, il y'a un nœud complètement indépendant pour chaque cellule : la masse virtuelle.

De la même façon que pour un amplificateur distribué classique, les avantages de la distribution sont d'additionner les gains de chaque étage. Ainsi, il est possible d'augmenter les amplitudes de sortie en gardant les bandes passantes relativement élevées d'un étage. L'adaptation est traitée comme pour une ligne de transmission. Etant par définition large bande, il devient possible pour des largeurs de grille relativement importantes mais distribuées d'être adaptées sur 50 Ohms.

La figure ci-dessous représente le schéma de principe d'une paire différentielle distribuée.

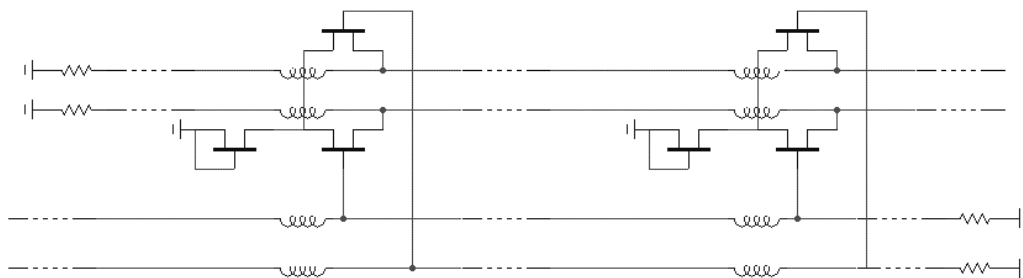


Figure 5.33 Schéma de principe de la paire différentielle distribuée.

Les capacités d'entrée/sortie sont intégrées dans le modèle de la ligne pour synthétiser une ligne artificielle de transmission d'impédance caractéristique $Z_c=(L/C)^{1/2}$ terminée par des impédances d'absorption 50 Ohms. Chaque paire différentielle est alimentée indépendamment par sa propre source de courant. La taille réduite de celle-ci permet des valeurs très faibles de la capacité C_{ds} et donc un mode différentiel amélioré comparé à celui de la paire différentielle équivalente non-distribuée.

5.4.1 Points critiques

La paire différentielle distribuée hérite de quelques-unes des limitations de l'amplificateur distribué classique.

- Le nombre d'étages ne peut être augmenté à l'infini. De la même façon, les pertes des lignes limitent le nombre d'étages maximal et définissent un nombre optimal qui dépend du gain de chaque cellule et des pertes de chaque tronçon de ligne. Ce nombre est le même que pour un distribué classique même si le gain définitif est globalement divisé par deux.

$$G = \frac{gm^2 \cdot Z_e \cdot Z_s \cdot (e^{-N\alpha_e \cdot l_e} - e^{-N\alpha_s \cdot l_s})^2}{2 \cdot 4 \cdot (e^{-\alpha_e \cdot l_e} - e^{-\alpha_s \cdot l_s})^2} \Rightarrow N_{opt} = \frac{\ln(\alpha_s) - \ln(\alpha_e)}{\alpha_s - \alpha_e}$$

Avec Z_s et Z_e les impédances d'adaptation (=50 Ohms), gm la transconductance par transistor, et l_s , l_e les longueurs électriques de la cellule du modèle discret des lignes de sortie et d'entrée respectivement.

- Les temps de groupe des lignes d'entrée/sortie doivent être égaux pour que les signaux de sortie sur chaque cellule s'additionnent en phase.
- Le découplage de la deuxième grille reste critique.
- Malgré cela, les parasites dus aux interconnexions sont relativement mieux intégrés et utilisés que pour la structure discrète.

Par ailleurs, de part ses propres spécificités, comparée au cascode ou à la source commune, la paire différentielle se caractérise par quelques points originaux :

- Elle est insensible aux chemins de retour de masse sur la source de courant. De ce fait, nous disposons d'un degré de liberté de plus pour les décalages continus des signaux de sortie contrairement aux amplificateurs distribués à base de cascode où le chemin de masse est un facteur déterminant [7].
- A l'image de la paire différentielle discrète, quel que soit le gain des transistors actifs de la paire, le courant de sortie maximal est limité par la source de courant.
- En grand signal, le comportement de la paire différentielle est modifié à cause de l'injection de courant constant et de la masse virtuelle qui en découle. A l'image de la paire discrète, la saturation est réalisée plus facilement qu'avec un amplificateur distribué à base de cellule cascode.

5.4.2 Nombre d'étages

L'idée est de développer et concevoir un étage d'amplification différentielle pouvant fournir des amplitudes de sortie de quelques volts, pour des débits de 40 Gbit/s. Comme indiqué dans le premier chapitre, les fréquences de coupure minimums de ces circuits doivent être entre 40 et 60 GHz selon la qualité souhaitée du diagramme de l'œil. Le cœur du circuit est un amplificateur distribué composé de huit cellules différentielles qui correspondent à l'optimum pour le compromis gain-bande passante. Pour des transistors de $2 \times 15 \mu\text{m}$ de largeur de grille, et en considérant le mode différentiel idéal uniquement, les valeurs des constantes d'affaiblissement dans le cas simplifié où $w \cdot R_i \cdot C_{gs} \ll 1$ [8] :

$$\alpha_e = \frac{\omega^2 R_i C_{gs}^2 Z_e}{2} + \frac{Z_e}{2R_{gs}} \quad (5.1)$$

$$\alpha_s = \frac{Z_s}{2R_{ds}} \quad (5.2)$$

Pour le P-HEMT GaAs, nous avons noté que le nombre d'étage optimal calculé est de supérieur à celui optimisé numériquement. Cette différence vient du fait que toutes les pertes sont prises en compte lors des simulations, et que d'autres paramètres sont optimisés ; mais aussi, le terme concernant la résistance d'entrée parallèle à la résistance n'est pas pris en compte. En rajoutant ce terme (le deuxième terme en R_{gs}), on obtient des valeurs réalistes qui serviront de référence pour la suite. Le nombre optimal d'étages dépend de la fréquence, il donne le meilleur compromis pour le gain à une fréquence donnée. Pour nos circuits, prévus pour des fréquences de coupure entre 50 et 60 GHz, ce nombre est calculé pour ces fréquences là.

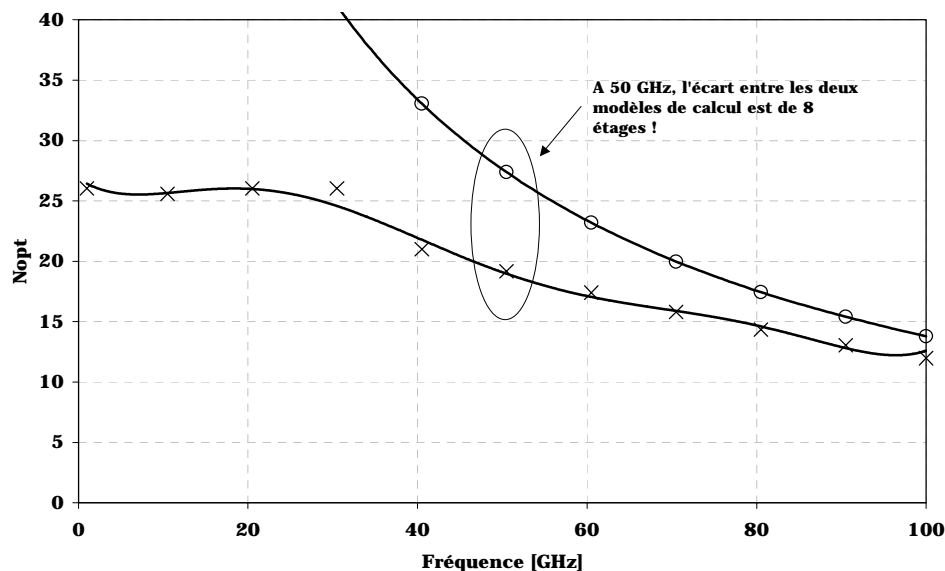


Figure 5.34 Nombre optimal calculé d'étages pour une distribué en technologie P-HEMT pour un modèle sans fuites résistives d'entrée (o) et avec (x). (pour des transistors de $2 \times 15 \mu\text{m}$).

Dans le calcul le plus réaliste de la figure ci-dessus, ne sont pas pris en considération les éventuelles atténuations issues du modèle bilatéral (i.e. la capacité C_{gd} ou la résistance R_{gd}) soit par effet Miller soit par couplage direct. D'autre part, les pertes introduites par les lignes de propagation, ainsi que tous les autres éléments parasites ramenés par le layout ne sont pas pris en compte. Néanmoins, ce calcul est suffisamment réaliste (pour les amplificateurs distribués à base de P-HEMT, le nombre d'étages avoisine la douzaine), et indique que les pertes principales proviennent des résistances d'entrée et de sortie des transistors-mêmes. Dans notre cas, le chiffre final à 60 GHz est de 16 étages. Bien sûr, les éventuels effets supplémentaires dus à des phénomènes de dépolarisation en fonctionnement grand signal ne sont pas pris en compte et pourraient changer radicalement les données du problème. De surcroît, ce calcul démontre que pour des transistors

plus performants (par exemple ayant des capacités C_{gs} plus faibles), il serait possible d'augmenter le nombre d'étages d'un distribué car la résistance en série avec la capacité apparaît beaucoup plus tard en fréquence ; par ailleurs, c'est la résistance de fuite parallèle R_{gs} qui va limiter principalement le nombre d'étages. Et probablement, elle sera un facteur plus important que la capacité C_{gs} elle-même car variant presque inversement l'une par rapport à l'autre. Pour des transistors de longueurs de grille plus faibles encore, c'est la perte DC qui limitera le nombre d'étages.

5.4.3 Calculs DC

Chaque cellule est alimentée par une source saturable indépendante délivrant 19 mA. Ce transistor est pour un fonctionnement symétrique i.e. à chaque fois qu'un des deux transistors de la paire est passant, tout le courant de la source le parcourt et inversement. Ainsi, pour huit étages, l'amplitude de sortie est de quelque 4 Volts sur 50 Ohms. (19 mA x 8 x 50 Ohms).

La paire différentielle est utilisée en mode référencée. (Voir Fig. ci-dessous).

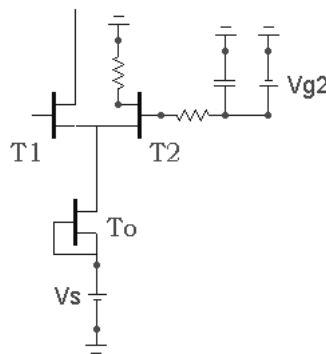


Figure 5.35 Cellule différentielle utilisée dans l'amplificateur distribué.

La deuxième grille est découplée par une capacité de 2 pF via une résistance d'amortissement de quelques Ohms. Cette résistance sert à réduire les rebonds sur le signal en sortie et à améliorer l'adaptation en sortie. Les transistors actifs sont dimensionnés ($2 \times 15 \mu\text{m}$) de telle sorte que tout le courant de la source ($4 \times 15 \mu\text{m}$) est évacué par le transistor lorsque $V_{gs} = 0,5 \text{ V}$ (amplitude garantie sans claquage).

Un point critique dans le cadre de l'optimisation DC : les courants maximaux supportés par les rubans d'interconnexion. Cette donnée détermine le seuil minimum des dimensions des éléments tels que les résistances ou les lignes de transmissions notamment celles fournissant des courants élevés. (Par exemple, la ligne de drain est dimensionnée avec une largeur minimum de $8 \mu\text{m}$ car le courant d'alimentation principal du circuit la traverse. Dans le cas d'un amplificateur à base de cellules Cascode, ce courant est d'environ 100 mA).

5.4.4 Optimisation HF

Le principe de fonctionnement est décrit par la théorie de l'amplification distribuée. Lorsque le circuit est implanté, il est tenu compte des parasites rapportés par le layout, notamment, les capacités de croisement.

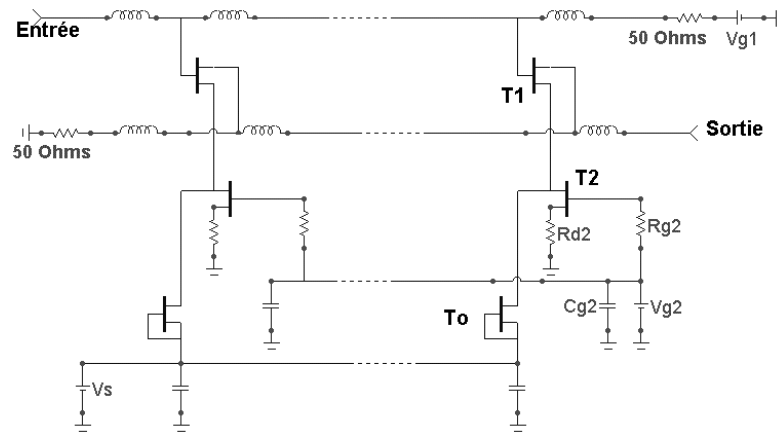


Figure 5.36 Paire différentielle distribuée.

- Même si de part le fait qu'elle soit distribuée, la paire différentielle intègre les éléments parasites sur les lignes d'entrée et de sortie, les découplages des alimentations de grille et de drain restent les points les plus critiques de la structure à l'image de son équivalente discrète.
- Le second point concerne les points d'attache des éléments discrets. Les résistances et capacités utilisés doivent être conçues afin qu'elles soient dans la continuité des lignes d'interconnexion. Notamment, les résistances de terminaison sur les lignes de grille et de drain sont adaptées aux largeurs des lignes de transmissions pour éviter les sauts d'impédance. Ces terminaisons sont composées soit de résistances soit de résistances en parallèle avec des capacités soit par des charges actives.

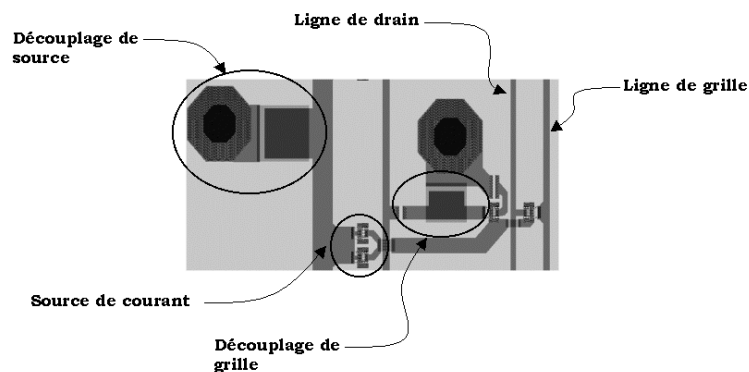


Figure 5.37 Layout d'une cellule de l'amplificateur distribué différentiel.

De la même façon que pour la paire différentielle discrète, nous avons établi un certain nombre de principes de dessin nécessaire pour un fonctionnement optimisé et qui sont illustrés par la figure ci-dessus :

- Connexion courte entre les deux sources des transistors.
- Découplage HF pour la grille du deuxième transistor.
- Découplage HF pour la source de courant.

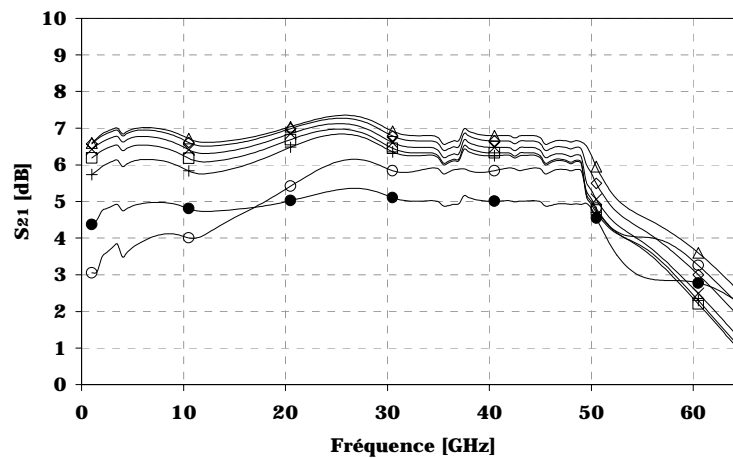


Figure 5.38 Gain petit signal d'une paire différentielle distribuée de 8 étages pour diverses polarisations d'entrée $V_{in}=V_{g1}$ $-3,9$ V(Δ), $-3,3$ V (\diamond), $-3,1$ V(x), $-2,9$ V (), $-2,7$ V(+), $-2,5$ V(\bullet), $-1,9$ V(o) avec $V_s=-5$ V.

La figure ci-dessus représente le gain petit signal simulé en fonction du potentiel continu à l'entrée. En configuration référencée, ce potentiel se traduit par une tension V_{gs} donnée, qui correspond à la moitié de la variation de V_{in} . Typiquement, dans notre cas, nous faisons varier V_{in} de $-3,9$ V à $-1,9$ V (pour un potentiel de deuxième grille de $-2,9$ V), ce qui correspond à une amplitude sur une seule grille de $-3,4$ à $-2,4$. En terme de V_{gs} , Cela correspond à une variation de $-0,5$ à $+0,5$. Ainsi, le transistor commute entre un canal ouvert au maximum et l'état bloqué ou quasiment aucun courant ne circule. En fonction du potentiel d'entrée, la fréquence de coupure est quasi-constante de 58 GHz sauf pour des potentiels très élevés vers $+0,4$ de V_{gs} . Il est à noter aussi que l'on obtient le produit gain bande typique sur GaAs, i.e. un gain de 12 dB pour 60 GHz de bande passante mais divisé par deux à cause du fonctionnement en mode référencé.

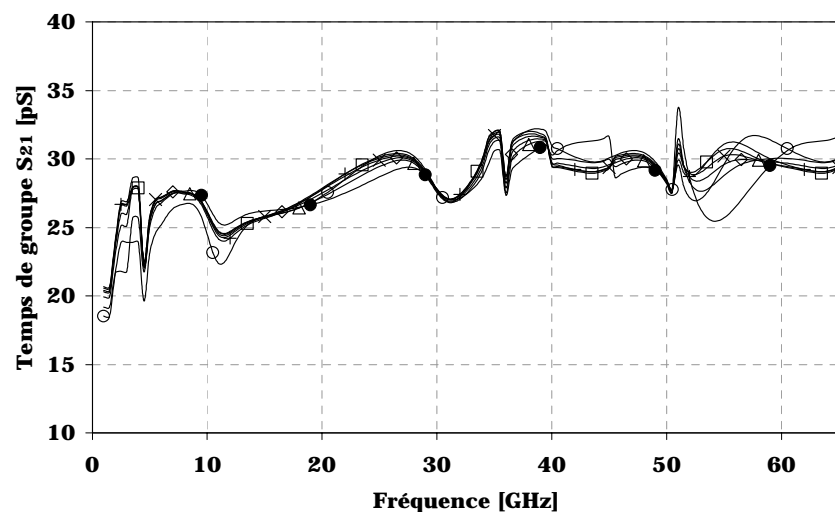


Figure 5.39 Délai de groupe de la paire différentielle distribuée, pour diverses polarisations d'entrée V_{in} $-3,9$ V(Δ), $-3,3$ V (\diamond), $-3,1$ V(x), $-2,9$ V (), $-2,7$ V(+), $-2,5$ V(\bullet), $-1,9$ V(o).

Entre 1 et 30 GHz (i.e. 0,7 fois le débit, qui représente la partie du spectre comprenant la majorité de la puissance du signal), le temps de groupe varie de 10 pS. Entre 30 et 65 GHz, il reste centré sur 30 pS avec ± 4 pS de bruit.

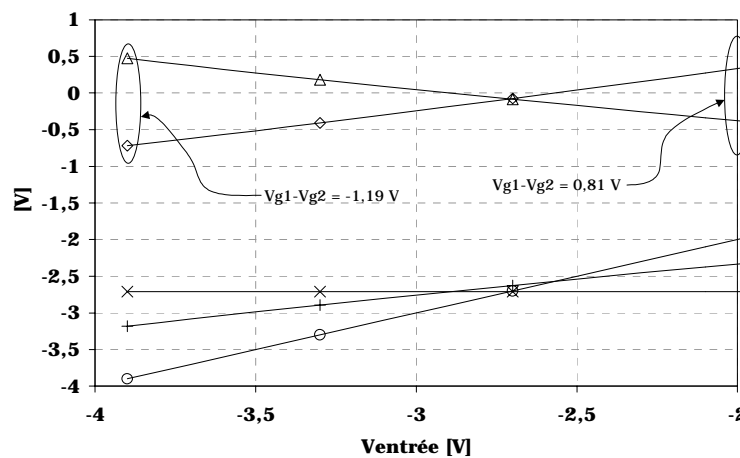


Figure 5.40 Variation des potentiels de grille dans une cellule différentielle en fonction du potentiel de la grille active $Vg1(o)$, $Vsource(+)$, $Vg2(x)$, $Vgs1(o)$, $Vgs2(\Delta)$.

Pour une variation de potentiel d'entrée de -4 à -2 V, la différence de potentiel grille-source de ce transistor varie de $-0,72$ à $-0,39$ V (1,1 V de variation). Sur la deuxième grille, la tension varie de $0,47$ à $-0,41$ (0,8 V d'amplitude). Ainsi, c'est pratiquement la moitié de la variation de la tension d'entrée qui est reportée sur les grilles des transistors. Les deux variations ne sont pas encore totalement symétriques sur les grilles à cause de la compression des courbes du transistor. En effet, à cause du fait que la transconductance n'est pas constante en fonction de la tension de grille, la variation du courant de drain circulant dans un transistor ne correspond pas à la même variation de tension de grille selon le point de polarisation du transistor. La symétrie peut être améliorée au détriment de la bande ou du gain. Généralement, elle est aussi améliorée en cascade plusieurs étages différentiels à la suite. La variation de la tension Vgs du premier transistor correspond à la différence maximale entre les deux grilles des transistor. C'est à partir de cette tension que peut être déterminé le gain différentiel. Idéalement, il faudrait ramener le point de croisement entre le potentiel de la première grille et le potentiel de source au milieu de l'intervalle de variation. Dans notre cas, seule la sortie du premier transistor est utilisée. Nous avons donc préféré que la variation de tension d'entrée soit majoritairement reportée sur la grille du transistor dit « actif » pour profiter ainsi d'un maximum de gain. Le deuxième transistor sert uniquement de soupape d'évacuation et d'accélérateur de pente par le biais de la source de courant et de la différence de la transconductance selon les points (Vds, Vgs) où se trouve le transistor. Dans la mesure où le transistor peut dissiper sans dommage la puissance correspondante, il est possible de mettre son drain à la masse. La pente du signal de sortie sur le drain du premier transistor est améliorée car la constante de temps du circuit RC de sortie devient plus faible ; mais c'est la symétrie du signal qui est détériorée. Nous avons préféré connecter ce drain à la masse par une

résistance de 10 Ohms qui est l'optimum entre constante de temps faible et symétrie des signaux sur les grilles des transistors.

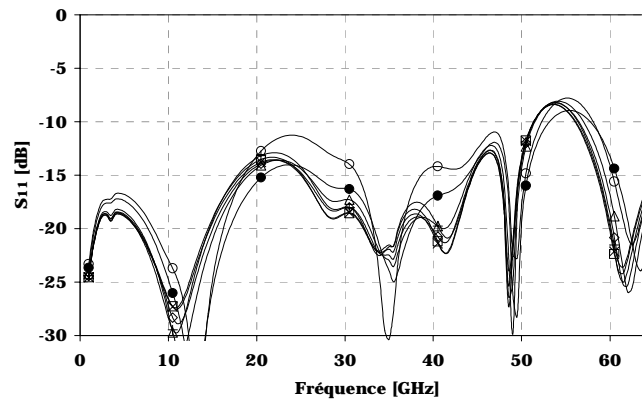


Figure 5.41 S_{11} de la paire différentielle distribuée en fonction du potentiel DC d'entrée, $V_{g1} = -3,9V(\Delta)$, $-3,3V(\diamond)$, $-3,1V(x)$, $-2,9V(\)$, $-2,7V(+)$, $-2,5V(\bullet)$, $-1,9V(o)$.

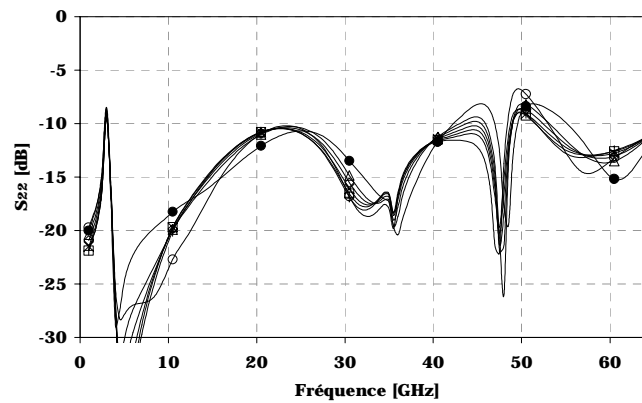


Figure 5.42 S_{22} de la paire différentielle distribuée en fonction du potentiel DC d'entrée, $V_{g1} = -3,9 V(\Delta)$, $-3,3 V(\diamond)$, $-3,1 V(x)$, $-2,9 V(\)$, $-2,7 V(+)$, $-2,5 V(\bullet)$, $-1,9 V(o)$.

L'adaptation étant réalisée de la même façon que pour un amplificateur distribué, elle est large bande et relativement constante. Comparée à la paire différentielle discrète, l'avantage de l'adaptation apparaît clairement.

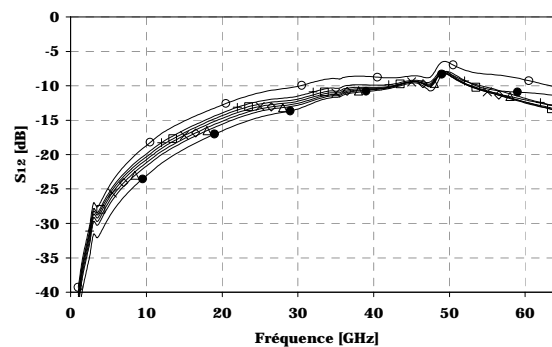


Figure 5.43 S_{12} de la paire différentielle distribuée en fonction du potentiel DC d'entrée, $-3,9 V(\Delta)$, $-3,3 V(\diamond)$, $-3,1 V(x)$, $-2,9 V(\)$, $-2,7 V(+)$, $-2,5 V(\bullet)$, $-1,9 V(o)$.

Nous avons aussi effectué des simulations temporelles pour étudier la saturation. De la même façon que pour la paire différentielle discrète, nous avons d'abord fait

des simulations en considérant uniquement les éléments parasites intrinsèques des transistors (dont on tient compte dans le modèle) afin de mesurer l'effet des parasites du layout.

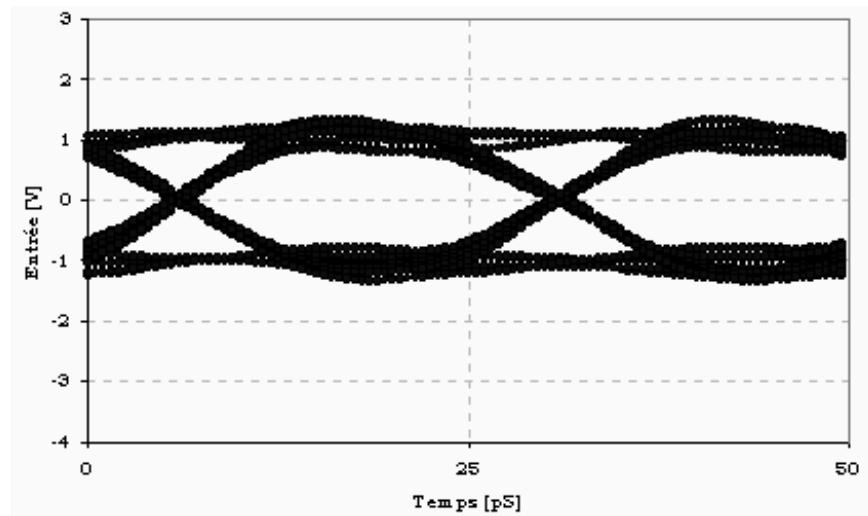


Figure 5.44 Diagramme de l'œil du signal à 40 Gbit/s à l'entrée de la paire différentielle distribuée.

Le signal d'entrée est légèrement bruité car c'est le signal « mesuré » à l'entrée de l'amplificateur après l'impédance interne 50 Ohms rajoutée au générateur idéal. Le bruit est issu des réflexions multiples dues à la légère désadaptation en entrée ; malgré cela, le signal reste correct et illustre l'adaptation tout à fait correcte de l'amplificateur en entrée.

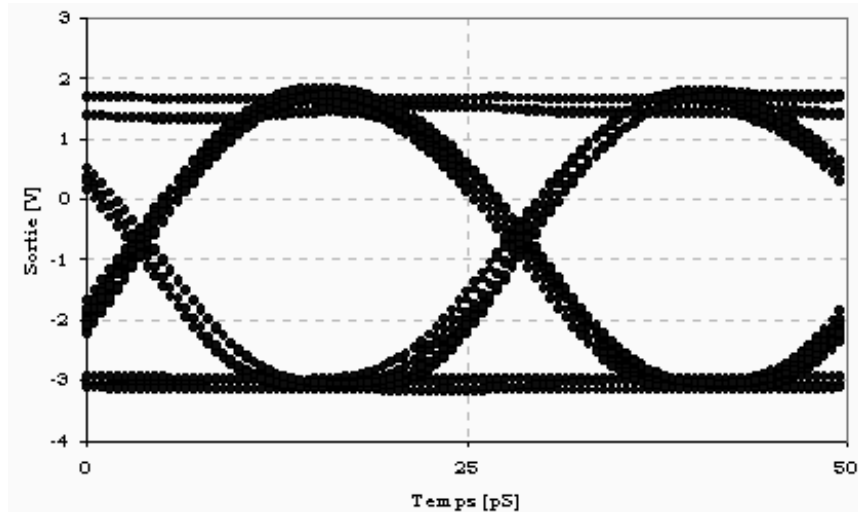


Figure 5.45 Diagramme de l'œil du signal à 40 Gbit/s à la sortie de la paire différentielle distribuée.

La figure ci-dessus est obtenue en faisant une simulation temporelle sans aucun élément parasites du layout. Seules les lignes de transmissions rajoutées pour le fonctionnement distribuées sont simulées. La longueur de la séquence de 2^7 bit paraît comme étant un bon compromis entre temps de simulation et fiabilité des résultats de calcul.

Pour un signal de 2 Vpp à l'entrée, nous obtenons un signal de sortie de 4,5 Vpp, ce qui correspond à gain légèrement supérieur à 6 dB. Le facteur Q du signal est de $Q_{\text{sans_parasites}}=18$. Dû à la division du signal sur les deux grilles des transistors, il est possible d'appliquer des amplitudes relativement élevées à l'entrée (2 Vpp) qui seraient fatales pour un circuit non différentiel. La figure suivante représente le schéma équivalent d'une cellule différentielle en tenant compte des effets parasites de layout. En gris est représenté le schéma de la partie que nous avons simulée et appelée 'sans parasites de layout', et en blanc les éléments que nous avons rajouté pour les simulations plus complètes.

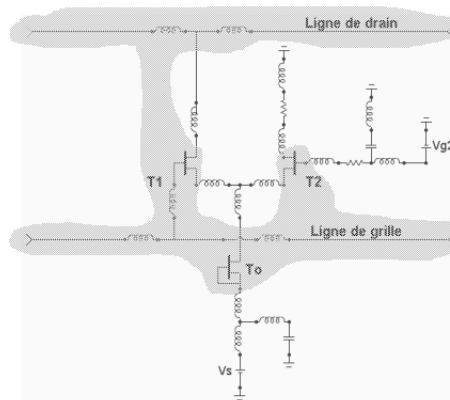


Figure 5.46 Schéma équivalent tenant compte de quelques éléments parasites de layout. Les selfs sont de l'ordre de quelques dizaines de pH (entre 20 et 80 pH), les capacités de quelques pF (2 à 10 pF).

Les éléments rajoutés réellement dans la simulation sont encore plus nombreux. Notamment, nous avons rajouté tous les éléments en bout de circuit telles que les connexions aux plots, etc.

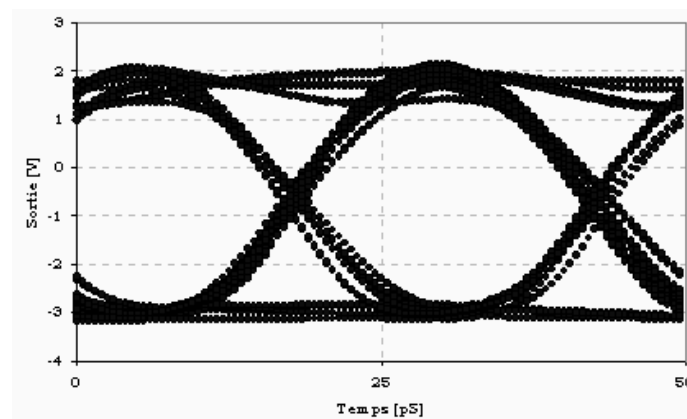


Figure 5.47 Diagramme de l'œil simulé en sortie de la paire différentielle distribuée en tenant compte de tous les parasites du layout.

Ayant à l'esprit les différences de résultats de simulation de la paire discrète selon qu'on tienne compte ou pas des parasites, il apparaît que la différence ici n'est pas aussi importante. Le signal a un petit peu plus de gigue, et de bruit d'amplitude, ($Q_{\text{parasites}}=15$) mais reste tout à fait comparable à celui simulé sans éléments parasites.

Par ailleurs, le problème de la consommation subsiste. Pour un courant de polarisation des transistors actifs de la paire différentielle de 9 mA par étage, la résistance de terminaison voit une chute de tension de 4 V sur quelques 8 V de tension de polarisation. De plus, le point de fonctionnement des transistors est extrêmement sensible à la polarisation de la résistance de terminaison.

Nous avons étudié une charge active qui paraît bien plus adaptée dans ce cas :

- A cause de la consommation relativement importante de la résistance de terminaison de drain, qui pose des contraintes de dimensionnement.
- D'autre part, cela permettrait de rendre insensible à la polarisation drain, le comportement de l'amplificateur, et d'éviter une saturation parasite par dépolarisation de V_{ds} (cf. Chap 3).

5.4.5 Charge active distribuée

Traditionnellement, les charges passives d'adaptation aux sorties des amplificateurs sont remplacées par des charges actives lorsqu'on a besoin d'impédances de sortie élevées. Ainsi, en utilisant la résistance dynamique du transistor en régime de saturation, il est possible d'émuler une résistance de grande valeur⁶ avec un fort courant de polarisation mais avec de faibles tensions de polarisation. Cette technique est très souvent utilisée pour les circuits fonctionnant à faible fréquence [9] notamment en technologie MOS [10]. Hormis ses avantages de valeurs élevées de résistance de sortie, elle confère aussi l'avantage de la stabilité en température et en tension de polarisation comparée à une résistance en couches minces. De plus, la consommation est très fortement réduite ainsi que l'encombrement physique et la température de bruit équivalent [11].

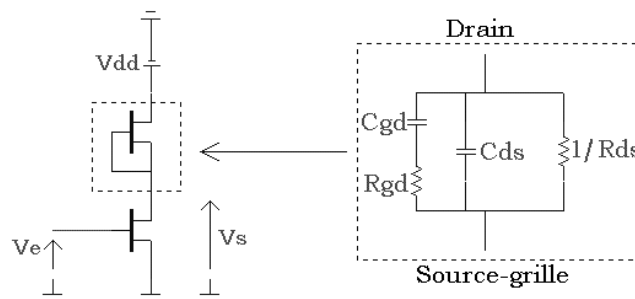


Figure 5.48 Schéma équivalent de la charge active en transistor à effet de champ.

En basse fréquence, l'impédance de la charge saturable est égale à la conductance de sortie g_d . En hautes fréquences, les capacités C_{ds} et C_{gd} contribuent au calcul de l'impédance. A très haute fréquence, dans les amplificateurs discrets, les charges actives sont souvent utilisées aussi ; plus spécialement dans les circuits numériques qui nécessitent des signaux d'amplitude peu élevés (quelques centaines de millivolt, voire le Volt). Ceci, s'explique par la capacité parasite de plus en plus importante accompagnant la charge active pour des variations de courant importantes en sortie.

⁶ Dans le cas des FET : le G_d en parallèle avec la source de courant du transistor.

Pour les amplificateurs distribués, nous l'avons vu plus haut, sur la ligne de sortie, la moitié de la puissance est dissipée dans la résistance 50 Ohms de bout de ligne⁷. Le problème de cette puissance dissipée inutilement a été traité et quelques propositions [12][13] ont été faites mais restent trop contraignantes en terme de platitude de gain et de temps de groupe. De ce fait, il reste nécessaire d'adapter la ligne artificielle sur son impédance réciproque faute de quoi, le diagramme de l'œil se dégraderait à cause des réflexions multiples qui pourraient se développer à son extrémité. Pour un transistor HEMT GaAs ou InP que nous utilisons pour réaliser nos circuits à base de FET, l'impédance en parallèle avec la source de courant pour une largeur de grille de $2 \times 25 \mu\text{m}$ est de quelques centaines d'Ohms. Pour réaliser une impédance d'adaptation de l'amplificateur en sortie de 50 Ohms, il faudrait en mettre quelques-uns en parallèle :

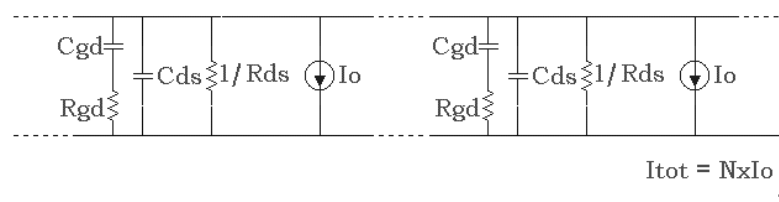


Figure 5.49 Schéma équivalent de la charge active distribuée. Avec N : nombre d'étages.

Pour les amplificateurs distribués à 40 Gbit/s, plusieurs problèmes se posent :

- L'adaptation par une charge purement résistive en bout de la ligne de drain n'est pas idéale car l'impédance de sortie des transistors varie en fonction de la fréquence et n'est pas fixe alors que celle d'une charge passive est constante.
- La ligne de drain est polarisée via la charge résistive, qui doit supporter une puissance relativement élevée pour les amplificateurs délivrant de fortes amplitudes de sortie (typiquement les drivers de modulateurs, quelques Volt sur 50 Ohms). Dans les amplificateurs distribués à charge passive, plus de la moitié de la puissance continue est dissipée dans cette résistance.
- Dans le cas d'une charge active, la largeur de grille nécessaire pour arriver à une valeur de g_d de 50 Ohms est accompagnée d'une capacité parasite très importante (généralement quelques centaines de fF), et détériore la fréquence de coupure de l'amplificateur. De plus, pour les transistors HEMT avec de très grandes largeurs de grille ($>100 \mu\text{m}$), les résistances et capacités de sortie varient en fonction de la fréquence.

⁷ Cela dépend de la position des transistors le long de la ligne ; mais globalement, et dans le cas d'une adaptation parfaite, la puissance HF est bien divisée en deux, une partie utile et l'autre dissipée dans la résistance de terminaison. En DC, une partie (66 %) de la puissance consommée par l'amplificateur est dissipée uniquement dans la résistance.

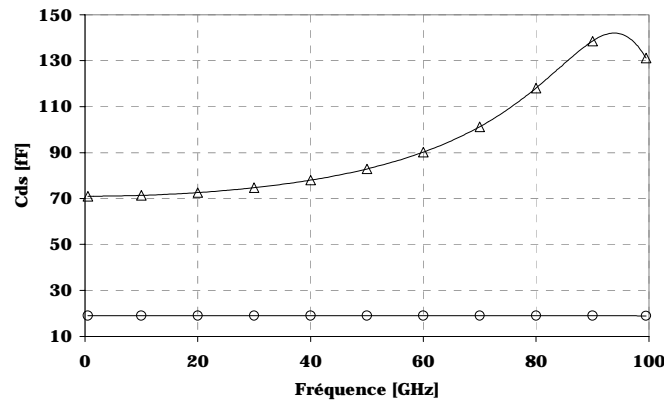


Figure 5.50 Variation des valeurs des capacités drain-source d'un HEMT GaAs en source saturable 30 μm (o) et 150 μm (Δ) de largeur de grille pour $V_{ds}=2\text{ V}$.

Pour un transistor de 30 μm de largeur de grille avec $V_{gs}=0\text{ V}$, la capacité C_{ds} est de 18 fF à 1 GHz et de 19 fF vers 80 GHz. La variation est de moins de 5 % sur toute la bande. D'une part, cela donne une mesure de la véracité du modèle du transistor, notamment ceux dont les largeurs de grille sont relativement faibles (<40 μm). Pour les transistors à large grille, les variations de la capacité drain-source compliquent considérablement la conception, notamment dans les structures distribuées. Dans l'exemple ci-dessus, (150 μm de largeur de grille), la capacité C_{ds} varie de 70 à 120 fF (>50 %) sur la même bande que celle considérée ci-dessus. Cette variation s'explique par la proximité de la résonance LC de la capacité C_{ds} et des selfs parasites qui lui sont associées dans le transistor. Cela illustre les limites de validité du modèle du transistor.

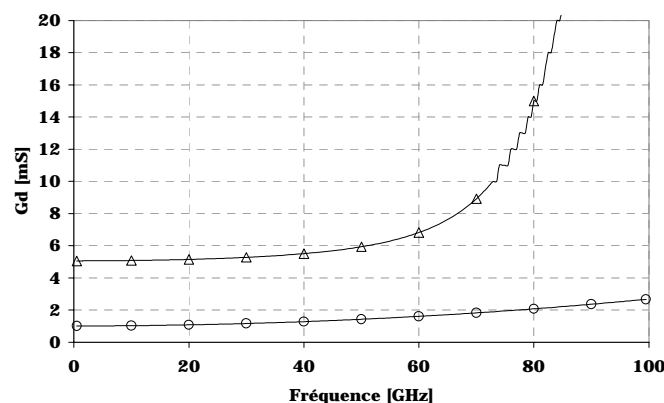


Figure 5.51 Variation des valeurs des conductances de sortie d'un HEMT GaAs en source saturable 30 μm (o) et 150 μm (Δ) de largeur de grille pour $V_{ds}=2\text{ V}$.

Les différences de comportement de la conductance de sortie du HEMT pour 30 et 150 μm de largeur de grille, sont moins importantes que pour les capacités. Néanmoins, à très hautes fréquences, le transistor le plus large voit sa conductance de sortie augmenter beaucoup plus rapidement que celle d'un petit transistor. L'autre aspect est le domaine de validité de cette approche en fonction de la tension de drain, qui va déterminer la plus-value la plus importante de la charge active par rapport à une charge passive ; sa stabilité en fonction de la polarisation.

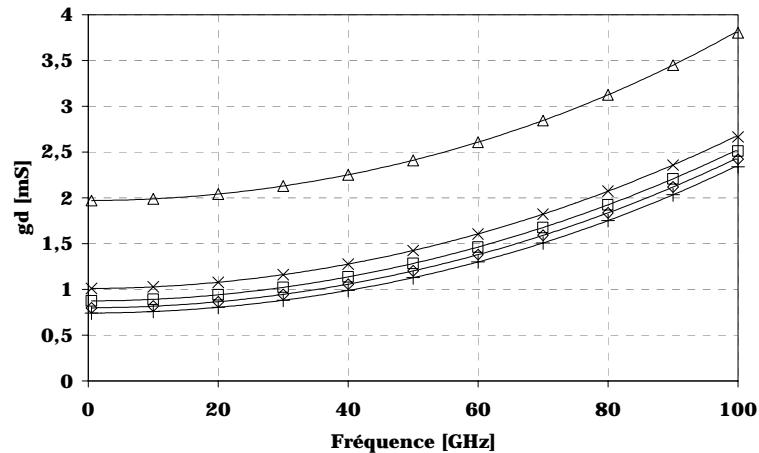


Figure 5.52 Conductance de sortie d'un transistor P-HEMT GaAs en source saturable de $2 \times 15 \mu\text{m}$ de largeur de grille pour des V_{ds} de 1V (Δ) à 5V (\circ) avec un pas de 1 V.

Entre 2 V et 5 V de tension de drain, la conductance de sortie varie très peu en fonction de V_{ds} . (moins de 15 % de variation à 60 GHz).

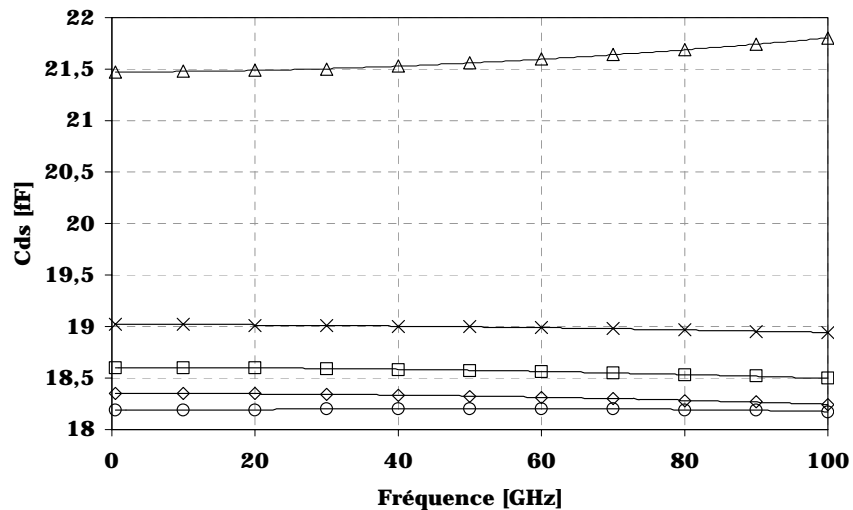


Figure 5.53 Capacité drain-source C_{ds} d'un P-HEMT GaAs en source saturable de $2 \times 15 \mu\text{m}$ de largeur de grille pour des V_{ds} de 1V (Δ) à 5V (\circ) avec un pas de 1 V.

Il est évident que pour des variations de V_{ds} entre 2 et 5V, la capacité ne change quasiment pas, (elle passe de 18,25 à 19 fF) ; alors qu'elle est de 21 fF pour $V_{ds}=1\text{V}$.

Les quatre figures précédentes nous mènent vers deux premières conclusions :

- Pour avoir des éléments parasites en sortie relativement constants en fonction de la fréquence, il est nécessaire d'utiliser Des transistors de petites tailles.
- Pour que leurs variations soient encore plus faibles, il faut les polariser à des tensions de drain supérieures à 2 V.

De ce raisonnement, nous pouvons prévoir un avantage important de la charge active, l'impédance caractéristique de la ligne formée par les capacités de drain des transistors et les inductances rapportées varie très faiblement en fonction de la tension de polarisation de l'amplificateur.

L'autre avantage est le courant DC quasi-constant, du fait de l'utilisation de la région saturée du transistor comparé au régime ohmique pur d'une charge résistive. Certains problèmes d'échauffement des couches minces résistives utilisées pour fabriquer les résistances et de désadaptation qui en découle peuvent ainsi être évités [14].

Il résulte qu'il est intéressant d'utiliser des transistors de faibles largeurs de grille (50 μm typiquement) pour deux raisons :

- Les transistors qu'on utilise dans un amplificateur distribué ont des tailles du même ordre.
- Les capacités et résistances de sortie varient moins en fonction de la fréquence.

La charge active distribuée reprend le même principe que celui utilisé pour les amplificateurs distribués. Des charges saturables sont connectées le long d'une ligne terminée par une charge résistive de 50 Ohms. En haute fréquence, la ligne se comporte comme une ligne artificielle en compensant les capacités de chaque transistor, et l'impédance caractéristique est aussi égale à 50 Ohms approximativement. De plus, comme les transistors utilisés sont de faible largeur, la variation de leurs impédances de sortie est équivalente à celle des transistors actifs dans l'amplificateur, et l'adaptation est meilleure.

De plus, il est possible de porter la sortie en DC à des potentiels différents sans altérer la qualité de l'adaptation. Cet avantage est significatif dans le cas d'amplificateurs différentiels, et permet une liberté quasi-absolue en terme de choix de décalage DC. Cela peut être très intéressant pour le montage en module de plusieurs circuits monolithiques [15].

En utilisant ces principes, nous avons conçu une charge distribuée pour l'adaptation et la polarisation de l'amplificateur différentiel distribué. La valeur moyenne de l'impédance caractéristique est de 50 Ohms. Nous avons choisi des transistors de $2 \times 15 \mu\text{m}$, associés en série pour ajuster la valeur finale de l'impédance et polarisé à $V_{ds} > 2 \text{ V}$.

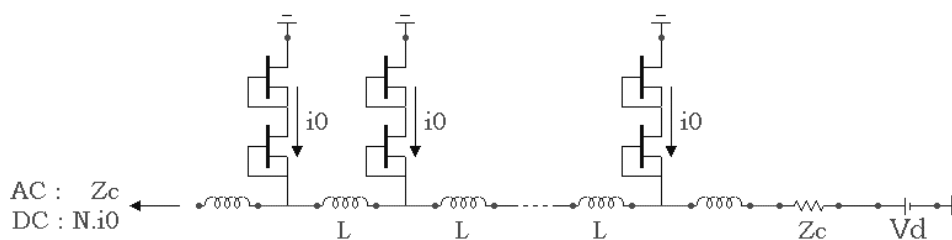


Figure 5.54 Schéma de principe de la charge active distribuée.

Le courant total DC circulant dans la charge active est de 54 mA et la puissance DC dissipée est de 216 mW, et l'adaptation est identique quelle que soit la tension de polarisation à partir de 2 V de V_{ds} par transistor, mais elle est aussi invariante à très haute fréquence même pour les tensions de drain de 1V. La figure suivante illustre clairement l'avantage en terme de stabilité en tension de la charge active distribuée.

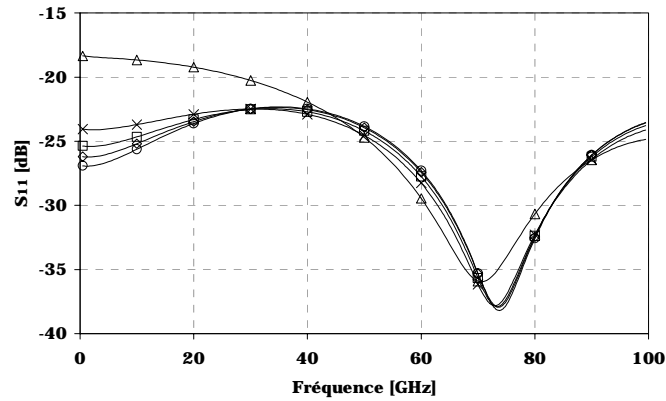


Figure 5.55 Réflexion à l'entrée d'une charge active de 6 étages avec des transistors de $2 \times 15 \mu\text{m}$, pour V_{ds} variant de 1 à 5 V (Δ : 1V, \times : 2V, \square : 3V, \diamond : 4V, \circ : 5V).

Nous avons conçu une charge active débitant 75 mA et adaptée 50 Ohms en utilisant des transistors de $30 \mu\text{m}$ de largeur de grille. La figure ci-dessous représente le coefficient de réflexion en sortie de la paire différentielle distribuée avec charge active. La chute de tension sur les bornes de la charge active est de l'ordre de 2 V. Ainsi, la consommation de la terminaison de grille est réduite et la stabilité en polarisation de drain améliorée (Voir fig. ci-dessus).

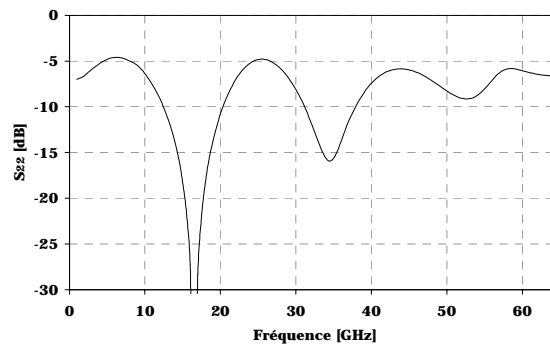


Figure 5.56 Coefficient de réflexion en sortie de la paire différentielle distribuée avec charge active distribué pour $V_{g1} = -2,9 \text{ V}$.

5.4.6 Résultats expérimentaux

5.4.6.1 Mesures sous pointes

Nous avons d'abord mesuré en petit signal les circuits avec charge passive :

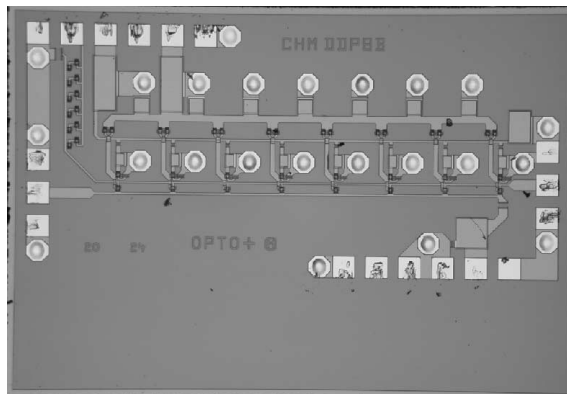


Figure 5.57 Circuit différentiel distribué à 8 étages.

Les deux grilles sont polarisées par leurs résistances de terminaison respectives à $-2,9$ V avec un courant quasi nul (de l'ordre de quelques microampères). Afin de ramener le potentiel continu des drains des transistors actifs aux environs de 0 V, la résistance de terminaison de drain est polarisée à $3,5$ V pour un courant de 60 mA qui est le courant DC dans les branches directes des paires. Les sources sont à -5 V avec un courant total moyen de 177 mA. Le courant circulant dans les branches indirectes est de 117 mA. Comme prévu par le calcul, sur une consommation totale de $1,1$ W, la résistance de terminaison de drain consomme 210 mW, soit 20% . Cela est plus faible que dans le cas d'un distribué classique (à cause de la dissipation dans la deuxième branche de la paire différentielle qui n'est pas comptabilisée ici), mais reste relativement élevée ; et surtout, cette polarisation influe beaucoup sur le fonctionnement du circuit car elle détermine son point de fonctionnement.

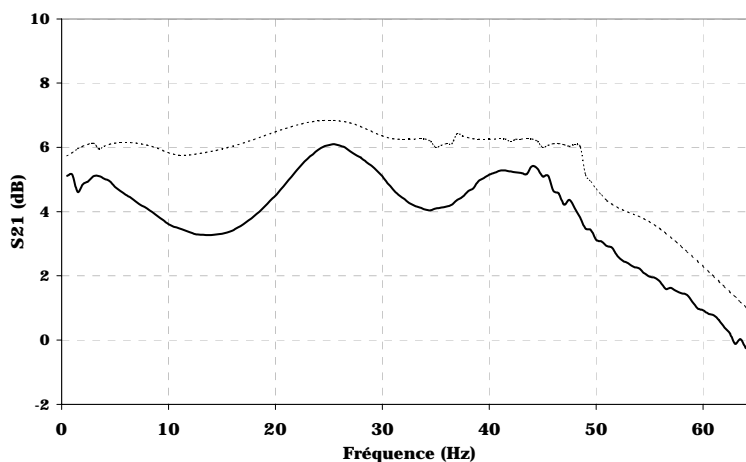


Figure 5.58 Gain petit signal de la paire différentielle distribuée avec charge passive. mesuré(-), simulé(--).

Nous obtenons un gain moyen petit signal de 5 dB et une fréquence de coupure à -3 dB de 53 GHz. Le gain simulé est légèrement supérieur (entre $0,5$ et $1,5$ dB de

différence). Cela peut s'expliquer par l'échauffement de la résistance de terminaison de drain qui –dû au coefficient élevé de la couche résistive- nous oblige à limiter le courant de polarisation et de baisser le potentiel sur le drain des transistors ($V_{ds} \cong 1$ V). Nous verrons par la suite que cette perte est éliminée pour les circuits à charge active.

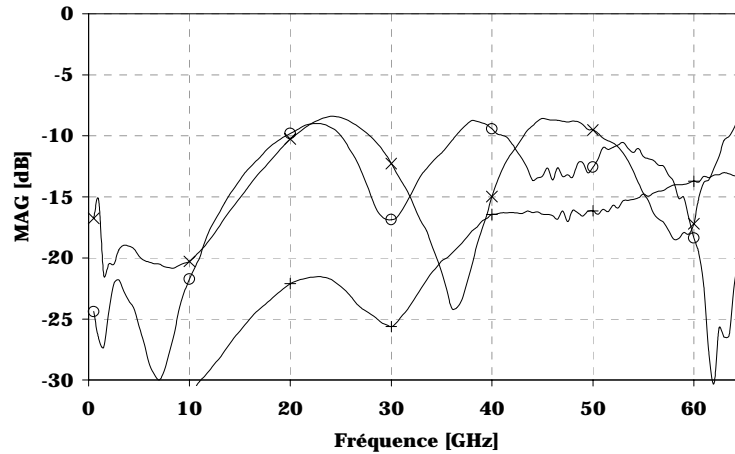


Figure 5.59 Paramètres S de la paire différentielle distribuée avec charge passive, S_{11} (o), S_{22} (x), $S_{12}(+)$.

Pour des raisons de dissipation trop importante dans la résistance de drain et de sensibilité à la polarisation de drain, nous avons décidé de ne pas monter ces puces en boîtier. Par la suite nous présentons les mesures petit signal de la paire différentielle distribuée avec charge active distribuée :

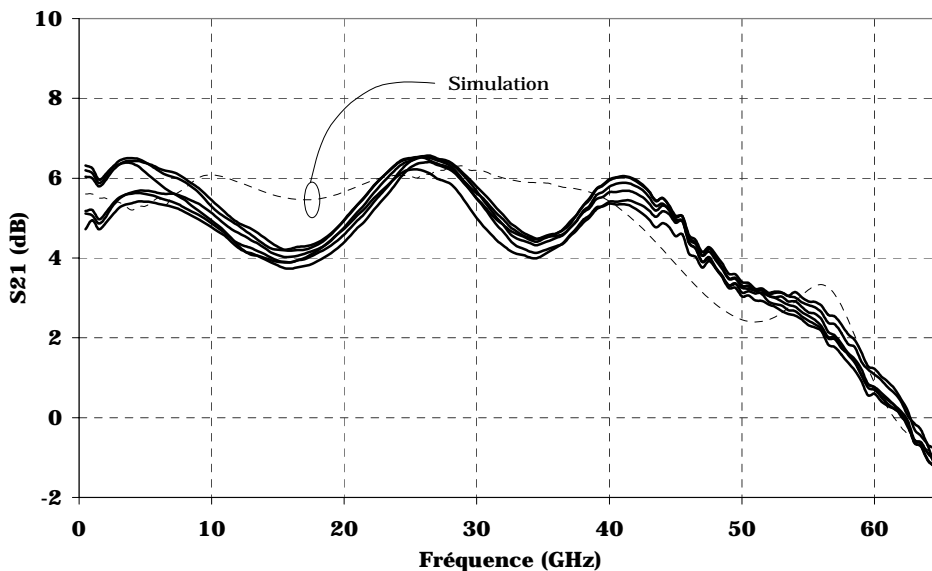


Figure 5.60 Gain petit signal mesuré (-) et simulé (-) de la paire différentielle distribuée avec charge active distribuée.

Le circuit présente un gain légèrement supérieur à 5 dB avec une ondulation de 2 dB et une fréquence de coupure à -3 dB de 56 GHz. La figure ci dessus présente le gain mesuré de plusieurs circuits de même type comparé au gain simulé. Les

simulations sont plus fiables que dans le cas de la charge passive. De plus, elles donnent une idée assez précise de la fréquence de coupure -3dB . Dans ce cas, la charge active distribuée est polarisée à 2 V en fournissant un courant de polarisation de 64 mA , ce qui correspond à une puissance continue de 128 mW ; qui ne représente plus que 11% de la puissance totale consommée par le circuit.

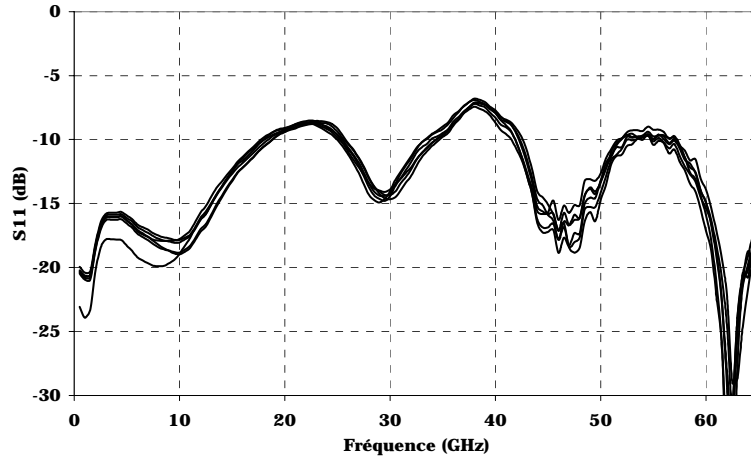


Figure 5.61 Paramètre S_{11} mesuré de la paire différentielle distribuée avec charge active distribuée.

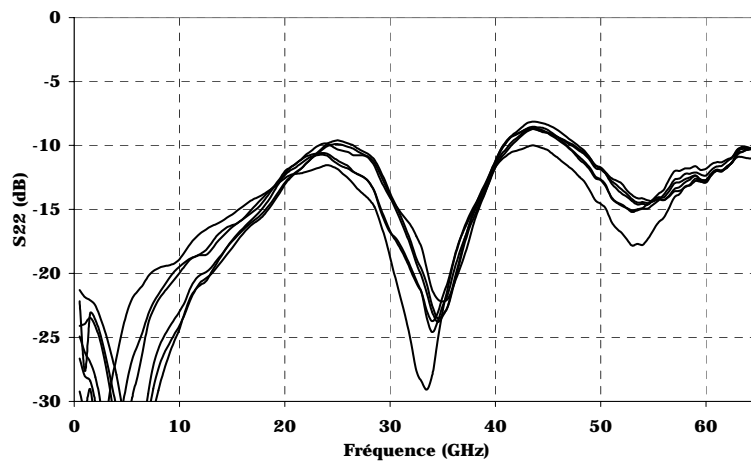


Figure 5.62 Paramètre S_{22} mesuré de la paire différentielle distribuée avec charge active distribuée.

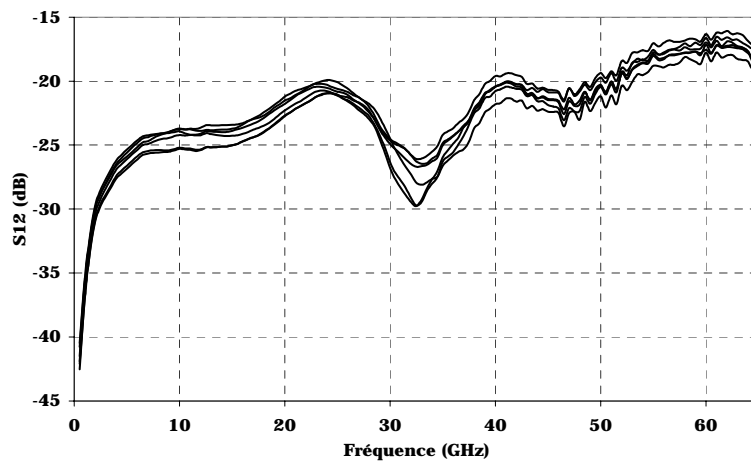


Figure 5.63 Paramètre S_{12} mesuré de la paire différentielle distribuée avec charge active distribuée.

Nous avons effectué des mesures temporelles sous pointes sur le circuit distribué à charge active. Le signal 40 Gbit/s injecté est réalisé par multiplexage de deux signaux à 20 Gbit/s. Tout d'abord, nous avons mesuré le signal en sortie du Mux après passage dans le câble afin de visualiser le signal réellement injecté dans le circuit. (Figure ci-dessous).

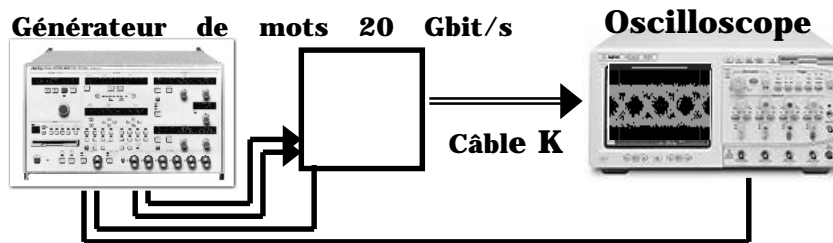


Figure 5.64 Mesure du signal 40 Gbit/s injecté dans le circuit.

La comparaison que nous faisons est pessimiste, en ce sens qu'elle ne tient compte –pour le signal d'entrée- que de la dégradation due au premier câble. Pour le signal de sortie, deux sources supplémentaires de dégradation se rajoutent :

- Les pointes de mesures, qui ne peuvent malheureusement pas être calibrées en numérique.
- Le câble de la sortie du circuit vers l'oscilloscope, qui dégrade différemment le signal selon sa qualité à la sortie du circuit ; ce qui interdit d'en tenir compte si nous souhaitons faire une comparaison réaliste.

La figure suivante représente les diagrammes de l'œil instantannés et en accumulation du signal injecté dans le circuit.

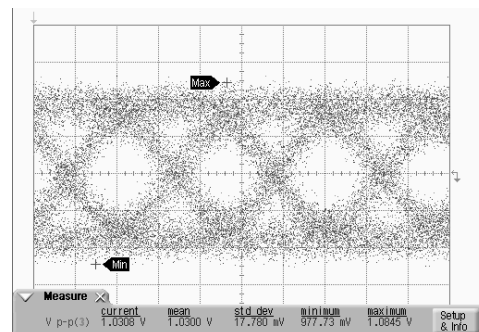


Figure 5.65 Diagramme de l'œil instantané du signal injecté à l'entrée du circuit.

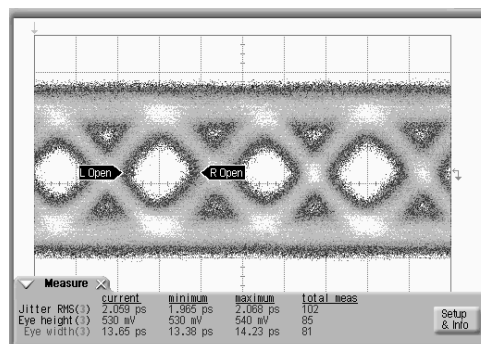


Figure 5.66 Diagramme de l'œil en accumulation du signal injecté à l'entrée du circuit.

La configuration du banc de mesure est présentée par la figure ci-dessous :

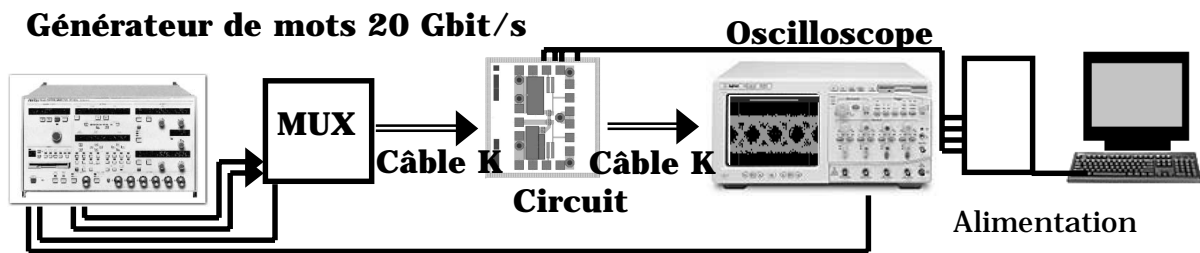


Figure 5.67 Mesures numériques à 40 Gbit/s.

Nous injectons un signal de 1 Vpp à 40 Gbit/s. La polarisation de la charge active est entre 1,5 V et 3 V pour un courant fixe de 65 mA. La mesure est limitée par le signal généré d'une part (40 Gbit/s au maximum), et par le dispositif de mesure, dont les câbles (k ou v : qui détériorent le signal numérique) et les pointes de mesures qui ont une bande passante de 65 GHz mais surtout une variation importante du temps de groupe.

La figure suivante présente le diagramme de l'œil en sortie de la paire différentielle distribuée pour un signal de 0,7 Vpp à l'entrée. Le facteur Q du signal en sortie est de 8. Comparé à celui à l'entrée, il est légèrement amélioré mais reste relativement faible. Ceci est dû à la saturation sur les niveaux haut et bas qui garde l'amplitude du bruit sur les niveaux constante, pour une ouverture de l'œil supérieure ce qui mène à un ratio bruit/hauteur d'œil plus élevé.

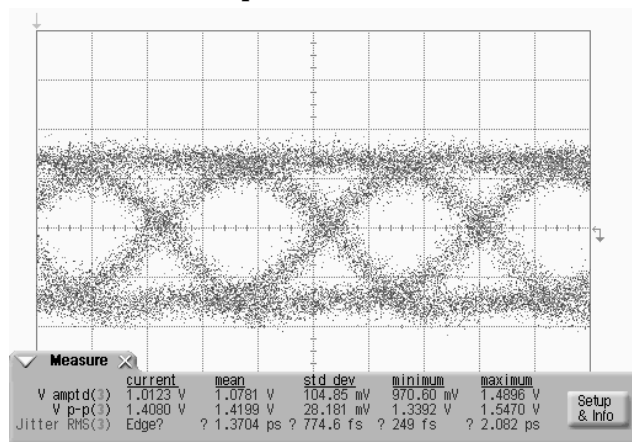


Figure 5.68 Diagramme de l'œil instantané en sortie de la paire différentielle pour un signal à l'entrée de 0,7 Vpp.

En accumulation, on observe bien (Fig. suivante) que l'œil est plus large en sortie qu'en entrée de quelques 2 pS. Ceci est dû à l'accélération des rampes issue du régime de 'quasi-commutation' dans lequel fonctionne la paire différentielle, et à la saturation qui en résulte sur les niveaux haut et bas, ce qui limite la dispersion sur ces niveaux.

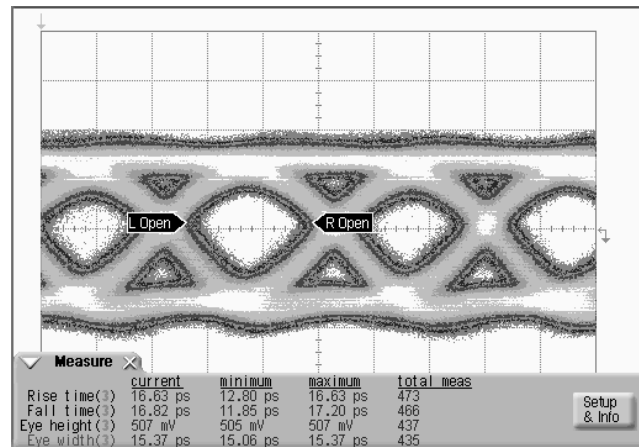


Figure 5.69 Diagramme de l'œil en accumulation en sortie de la paire différentielle pour un signal à l'entrée de 0,7 Vpp.

Grâce à la division de tension à l'entrée de la paire différentielle, il est possible d'appliquer au maximum un signal de $2 \times (0,5 + 0,5) = 2$ V. A cause du fonctionnement à courant constant, le gain sature à partir 1,5 Vpp de signal d'entrée, le signal de sortie est de 2,6 Vpp. A partir de 1,5 Vpp à l'entrée, la variation du signal est d'à peu près 1 V sur la grille du transistor actif. Le transistor draine tout le courant fourni par la source de courant pour Vgs négatif, et bloque tout le courant lorsque le Vgs devient très négatif.

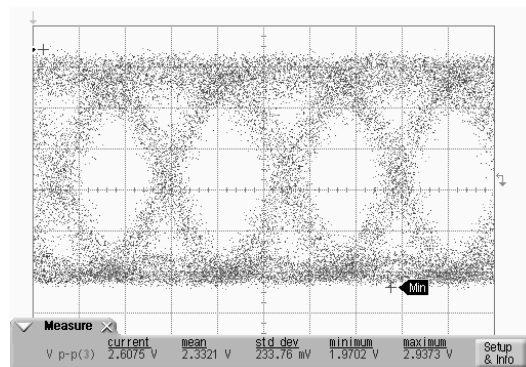


Figure 5.70 Diagramme de l'œil instantané du signal en sortie de la paire différentielle distribuée pour 1,5 Vpp d'amplitude en entrée.

Il est possible de faire varier le niveau de saturation en sortie en modifiant la polarisation de la charge active. Cela revient à changer le point de repos des charges saturables, et donc l'intervalle de variation du potentiel de sortie ; mais à polarisation identique, et au-delà d'une certaine amplitude d'entrée, l'amplitude de sortie demeure constante.

5.4.6.2 Montage en boîtier

La mise en boîtier a deux objectifs :

- Assurer une manipulation pratique et moins risquée du circuit tout en permettant des configurations électriques diverses.
- Conserver les caractéristiques du circuit telles qu'elles sont sans les dégradations ou autres modifications induites par les câbles, et autres pointes

de mesure ; notamment pour les mesures numériques où il n'existe pas de méthode de calibrage ...

Ainsi, le résultat final est une boîte noire avec deux ports, l'entrée et la sortie et quelques broches pour l'alimentation.

Dans le cas de notre circuit, et à très haute fréquence, il est possible de définir la méthodologie de mise en boîtier en quatre points :

- Le rôle du boîtier en tant qu'évacuateur thermique. Nos circuits consomment approximativement 1 W. Le GaAs a une faible conductivité thermique, qui conduit à un auto-échauffement des transistors qui implique un vieillissement accéléré d'une part, mais surtout une dégradation des caractéristiques du circuit d'autre part, à cause des variations des caractéristiques des transistors, notamment la conductance de sortie. Ces variations de température font aussi varier les valeurs des résistances, et notamment, les résistances de terminaison des lignes artificielles ce qui a une incidence directe sur le gain et l'adaptation du circuit.
- Le boîtier est aussi un isolateur électromagnétique, i.e. il interface entre l'environnement extérieur et le circuit un plan à potentiel constant ; cependant, il faut que les dimensions internes du boîtier soient les plus petites possibles afin d'éviter que des résonances s'y propagent ou s'y amplifient.
- Le chemin HF du signal. Bien que les câbles et autres pointes de mesure soient évités par le montage en boîtier, ils ne sont que remplacés par d'autres connexions plus courtes. Les connecteurs sont reliés aux plots du circuit par des lignes micro-ruban 50 Ohms sur substrat d'Alumine reliées elles-mêmes par des rubans d'or aux plots sur la puce. (Voir Fig. ci-dessous).

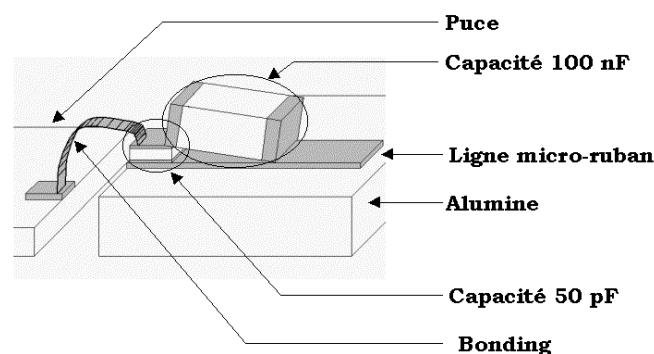


Figure 5.71 Capacités de liaison Haute Fréquence (50KHz - 65GHz).

Le couplage HF est effectué à l'aide de deux capacités de 100 nF et 50 pF en parallèle montées à cheval l'une sur l'autre. La capacité de plus grande valeur (100nF, de dimensions $1\text{mm} \times 500\mu\text{m}^2$) sert à coupler les fréquences relativement basses (jusqu'à quelques centaines de MHz) ; la capacité 50 pF ($250\mu\text{m}^2$ pour $100\mu\text{m}$ d'épaisseur), à une fréquence de coupure basse de quelques centaines de MHz, et sert à coupler le signal jusqu'aux très hautes fréquences.

Théoriquement, les lignes de transmissions et les connecteurs sont adaptés 50 Ohms. La désadaptation est fatale pour la qualité du signal à cause des longueurs des lignes et des longueurs d'onde des signaux. En effet, les deux

sont tout à fait comparables, (la longueur d'onde sur Alumine à 50 GHz est de quelques 2 mm, alors que la longueur typique d'une ligne entre le circuit et le connecteur est de 0,5 mm donc très largement supérieure au seuil empirique du vingtième de la longueur d'onde. De ce fait, la moindre désadaptation peut générer des réflexions multiples et dégrader le signal. Il en découle deux conséquences, raccourcir les lignes signal, et éviter les discontinuités d'impédance sur le chemin du signal, typiquement les capacités de liaison, les rubans, etc.

Le couplage HF du signal est effectué par le biais de deux capacités en parallèle de 47 et 10 nF.

- Les alimentations doivent être fixes. Le découplage capacitif permet de les relier en dynamique au nœud commun qui est la masse. Idéalement, ces nœuds doivent avoir une impédance nulle vers la masse. En pratique, on cherche à la rendre aussi faible que possible, afin d'éviter toute fluctuation de ces potentiels. Les éventuelles fluctuations des tensions d'alimentation, sont principalement issues d'appels en courant importants (en fonctionnement en commutation), ou de phénomènes de couplages parasites entre diverses alimentations. Ces pour ces raisons, qu'il est parfois nécessaire d'alimenter isolément certains étages critiques. De plus, les appels en courant dépendent beaucoup du mode de fonctionnement des circuits. Pour les circuits SCFL, ou plus simplement différentiels, les variations de courant sont quasi-nulles. Sachant que les courants sont générés en utilisant des sources saturables, l'effet d'une éventuelle variation de tension est écrantée par les courbes DC du transistor en régime de saturation. Pour les circuits fonctionnant principalement en mode commun, le découplage des alimentations est crucial ; et même pour nos circuits différentiels, le découplage sert de réservoir temporaire de courant, et annule les éventuelles variations de tensions issues de modes communs parasites.

Les connexions sont réalisées par une combinaison de lignes sur puce, Alumine et de rubans d'or. Ce sont les caractéristiques de ces connexions mêmes qui induisent des variations sur les niveaux des alimentations.

- Leur résistivité apporte une chute de tension, et isole en augmentant l'impédance série les alimentations de la puce. Cette résistivité croît en température, et devient prépondérante pour les lignes de faible largeur (de quelques Ohms pour 100 μm de long.
- L'électromigration : les atomes du métal migrent sous l'effet de fortes densités de courants DC. Au fil du temps, les zones aux extrémités des lignes se vident de leurs atomes. Une réaction en chaîne se déclenche alors, en augmentant la densité de courant qui a son tour augmente la migration des atomes. A terme, ce phénomène induit de fortes résistances série sur les lignes alimentation. Il est évité en limitant les densités de courant.
- Enfin, le troisième effet est inductif (cf. Chap. 3). L'inductance équivalente série de la ligne de transmission induit une commutation transitoire de la tension lors d'appel de courant.

Le découplage capacitif baisse l'impédance série des plots d'alimentation en les court-circuitant en AC à la masse. En transitoire, cela équivaut à une source de courant locale, qui fournit momentanément le surplus de courant nécessaire à maintenir constant le niveau d'alimentation. Cela correspond à une mise en parallèle d'une source de tension et d'une source de courant, qui étant beaucoup plus proche du circuit, peut fournir très rapidement le courant nécessaire. (Voir fig. ci-dessous).

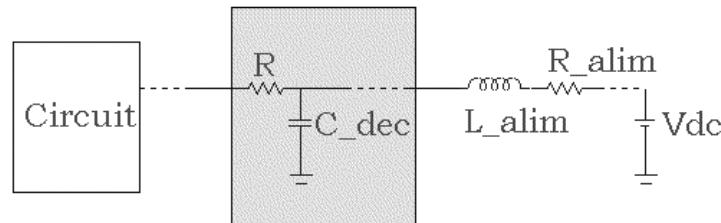


Figure 5.72 Schéma de découplage classique.

Ce modèle est applicable et valable à deux conditions :

- Les circuits fonctionnent en bande relativement étroite. En tout cas, il n'est pas valable pour des circuits fonctionnant sur quelques décades de fréquences. (ce qui est le cas ici).
- Les composants utilisés ont des dimensions physiques négligeables. En effet, à ces fréquences de fonctionnement, les dimensions des composants sont comparables aux longueurs d'onde et les inductances des interconnexions ont des constantes de temps relativement proches des intervalles des fréquences de fonctionnement. Par exemple, une capacité de grande valeur (100 nF) ne peut pas être utilisée pour un découplage à 50 GHz car les inductances de ses connexions rendent l'impédance série élevée et donc le découplage peu efficace.

5.4.6.3 Découplage large bande

Afin de fournir une basse impédance sur toute la bande fréquence entre 50 KHz et 60 GHz, il est nécessaire de connecter en parallèle des circuits de découplage Basse Fréquence, et Haute Fréquence. Les premiers étant disposés plus loin de la puce, alors que les derniers sont mis au plus près de celle-ci. En fait, un troisième découplage très haute fréquence est rajouté sur la puce même lors de la conception du circuit. Dans certains cas, il n'est même pas nécessaire de découpler par rapport à la masse mais seulement par rapport au nœud de la branche alimentée du circuit. Par exemple, il est plus efficace de découpler une source de tension alimentant la grille des transistors d'abord par rapport à leurs sources respectives.

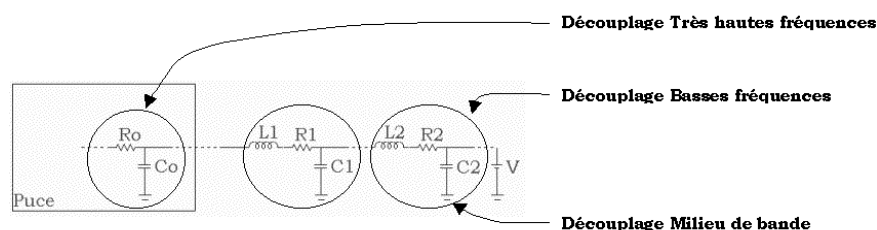


Figure 5.73 Découplage large bande.

Dans notre cas, le découplage HF sur puce est réalisé par des capacités de quelques pF en série avec des résistances de quelques ohms pour baisser le facteur de surtensions des circuits équivalent RLC. Le découplage BF sur Alumine est réalisé par une capacité de 100 nF et une résistance de 3 à 5 Ohms, toutes les deux de grandes dimensions. Le découplage HF sur alumine est réalisé par une capacité puce de 50 pF de 250 μm de côté mise au plus près de la puce sans résistance d'amortissement afin de raccourcir les fils en or entre les plots et la capacité.

- **Capacité 100 nF**

Ses dimensions sont de 1x1,25 mm² avec une hauteur de 250 μm . Les contacts métalliques couvrent les faces de part et d'autre de la capacité. Etant de taille importante comparée aux longueurs d'onde à 50 GHz, son efficacité dépend fortement des désadaptations d'impédance qu'elle induit.

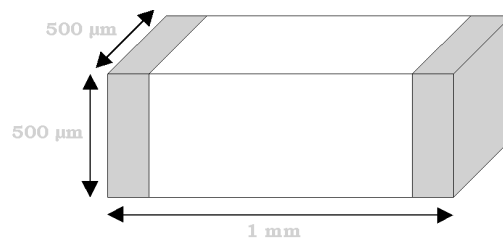


Figure 5.74 Capacité 100 nF.

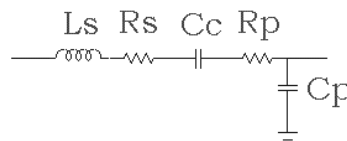


Figure 5.75 Schéma équivalent de la capacité.

Rs (Ohms)	Ls (pH)	Rp (Ohms)	Cp (fF)	Cc (nF)
8	150	71,7	12,6	100

Tableau 5.1 Valeurs des composants du schéma équivalent de la capacité 10 nF.

- **Capacité 50 pF**

De plus petites dimensions que la capacité 10 nF, elle est en céramique et de forme carrée ; les deux contacts s'effectuant sur les surfaces inférieure et supérieure de 240 μm de côté. La figure suivante illustre sa disposition sur l'alumine.

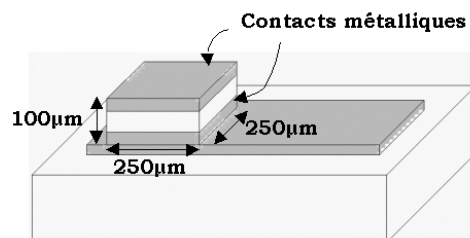


Figure 5.76 Capacité 50 pF.

Les fils de liaisons ont une inductance linéique de quelque $0,3 \text{ pH}/\mu\text{m}$.

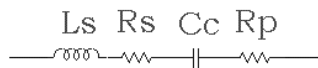


Figure 5.77 Schéma équivalent de la 50 pF .

Rs (Ohms)	Ls (pH)	Rc (Ohms)	Cc (pF)
3,5	35	1,15	50

Tableau 5.2 Valeurs des composants du schéma équivalent de la capacité 50 pF .

Lors des simulations boîtier, les schémas équivalents des capacité ainsi que des fils de liaison sont intégrés dans le calculateur afin de tenir compte des parasites qui en découlent.

5.4.6.4 Mesures en boîtier

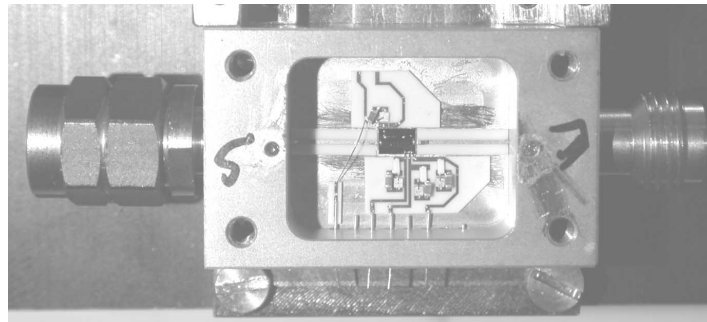


Figure 5.78 Photo de l'intérieur du boîtier.

Les mesures en boîtier sont effectuées en utilisant une tête d'échantillonnage reportée de 70 GHz de F_c avec une faible gigue de phase, ce qui permet de mesurer le signal disponible sur le connecteur du boîtier. Cela évite un long câble coaxial.

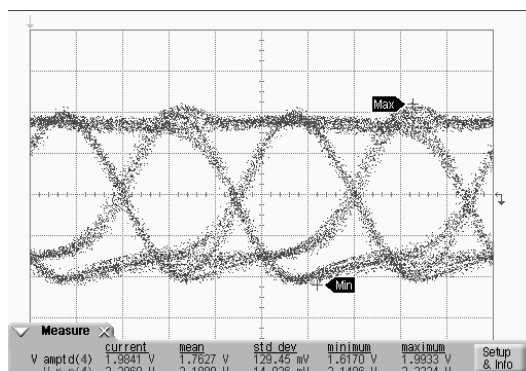


Figure 5.79 Diagramme de l'œil instantané en sortie du MUX, appliqué à l'entrée du circuit. $500 \text{ mV}/\text{Div}$, $10 \text{ pS}/\text{Div}$.

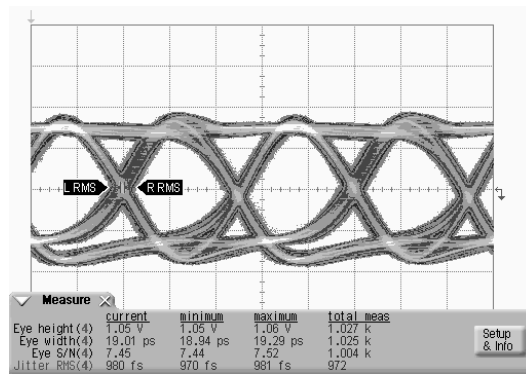


Figure 5.80 Diagramme de l'œil en accumulation en sortie du MUX, appliqué à l'entrée du circuit. 500 mV/Div, 10 pS/Div.

Le signal ci-dessus est appliqué à l'entrée du circuit pour les mêmes polarisations que celles appliquées pour les mesures sous pointes, sauf celle de la charge active qui est fixée à 4 V afin de permettre une plus grande dynamique en sortie.

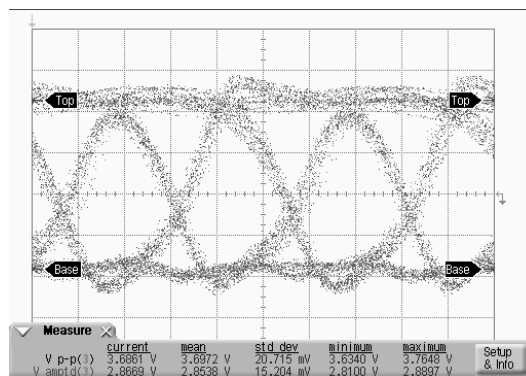


Figure 5.81 Diagramme de l'œil instantané en sortie du circuit pour 2,2 Vpp en entrée. 700 mV/Div, 10 pS/Div.

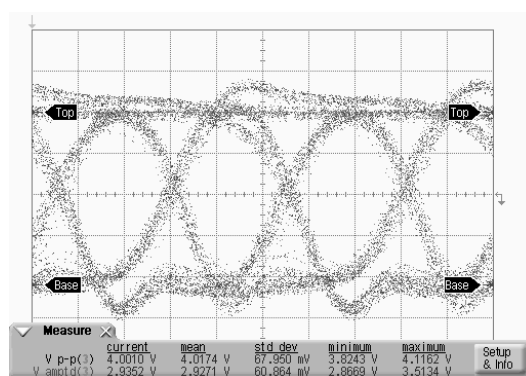


Figure 5.82 Diagramme de l'œil instantané en sortie du circuit pour 2,5 Vpp en entrée. 700 mV/Div, 10 pS/Div.

Pour des amplitudes d'entrée suffisamment élevée (2,5 Vpp en référencé → 1,2 Vpp pour les tension grille source, les signaux saturent à 4 Vpp comme prévu. (Fig. Ci-dessus).

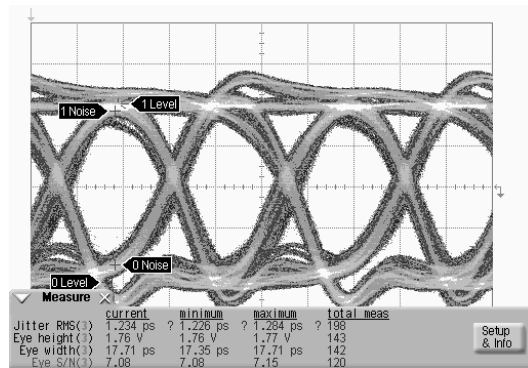


Figure 5.83 Diagramme de l'œil en accumulation en sortie du circuit pour 2,5 Vpp en entrée. 700 mV/Div, 10 pS/Div.

Pour des amplitudes maximales de 2,5 Vpp à l'entrée en mode référencé, le circuit délivre 4 Vpp en sortie avec 1,2 pS de gigue de phase. Pour ce mode de fonctionnement extrême, le facteur Q des signaux à l'entrée et à la sortie, sont comparables (entrée 7,45, sortie 7,08).

5.5 Discussion

Il est possible d'appliquer la même théorie de la distribution aux circuits différentiels comme aux cascade.

Que ce soit pour les cascade ou les paires différentielles, il est nécessaire de concevoir des circuits distribués pour les transmissions à 40 Gbit/s en technologie rapide avec $f_T \cong 100$ GHz. En terme de bande passante, la supériorité des structures distribuée apparaît clairement.

Les problèmes de l'adaptation large bande sont réglés de la même façon en utilisant les lignes de transmission artificielles.

En combinant les caractéristiques propres de la paire différentielle et de l'amplificateur distribué, il est possible d'allier les avantages de chacun d'eux en réduisant les inconvénients.

Ainsi, la même méthodologie systématique peut être appliquée à la conception d'amplificateurs différentiels large bande.

-
- [1] N. Kauffmann, S. Blayac, M. Abboun, P. Andre, F. Aniel, M. Riet, J.-L. Benchimol, J. Godin, A. Konczykowska, « InP HBT driver circuit optimization for high-speed ETDM transmission », *IEEE Journal of Solid-State Circuits*, Vol. 36, pp. 639-647, avril 2001.
- [2] Z. Lao, A. Thiede, U. Nowotny, H. Lienhart, V. Hurm, M. Schlechtweg, J. Hornung, W. Bronner, K. Kohler, A. Hulsmann, B. Raynor, and T. Jakobus, « 40 Gb/s High-Power Modulator Driver IC for Lightwave Communication Systems », *IEEE Journal of Solid State Circuits*, Vol. 33, No. 10, octobre 1998.
- [3] Y. Baeyens, G. Georgiou, J.S. Weiner, A. Leven, V. Houtsma, P. Paschke, Q. Lee, R.F. Kopf, Yang Yang, L. Chua, C. Chen, C.Y. Liu, Young-Kai Chen, « InP D-HBT ICs for 40-Gb/s and higher bitrate lightwave transceivers », *IEEE Journal of Solid-State Circuits*, Vol. 2, septembre 2002, pp. 1152 -1159.
- [4] M. Menouni, « Conception et réalisation d'une chaîne d'émission très haut débit à base de transistors bipolaires à hétérojonction GaAs », Thèse de doctorat d'électronique de l'université d'Orsay, 1996.
- [5] D.S. McPherson, F. Pera, M. Tazlauanu, S.P. Voinigescu, « A 3-Volt fully differential distributed driver for 40 Gb/s optical transmission systems », *GaAsIC 2002*, Monterey, CA.
- [6] C.Meliani, W.Mouzannar, F.Jorge and R.Lefèvre, « 40 Gbit/s reshaping amplifier cell », *Proc. EDMO 2001*, Vienna.
- [7] S.G. Bandy, C.B. Cooper, M. Day, S. Salimian, C. Yuen, G.A. Zdasiuk, « Via hole studies on a monolithic 2-20 GHz distributed amplifier », *IEEE Transactions on Microwave Theory and Techniques*, Vol. 36, Juillet 1988, pp. 1191-1195.
- [8] David. M. Pozar, « *Microwave Engineering* », Editions John Wiley & sons, INC, 1998.
- [9] A.S. Sedra, K.C. Smith, « *Microelectronic circuits* », Holt-Saunders International Editions, 1982.
- [10] D.J. Comer, D.T. Comer, « Teaching MOS integrated circuit amplifier design to undergraduates », *IEEE Transactions on Education*, Vol. 44, août 2001, pp. 232-238.
- [11] P.K. Ikalainen, « Low-noise distributed amplifier with active load », *IEEE Microwave and Guided Wave Letters*, Vol. 6, Jan. 1996, pp. 7-9.

[12] G. Huel, L. Jiming, H. Wu, S. Yongan, « A high-efficiency distributed amplifier by using varying impedance », Microwave and Optical Technology letters, Vol. 26, No. 5, septembre 2000.

[13] B.M. Green, S. Lee, K. Chu, K.J. Webb, L.F. Eastman, « High efficiency monolithic gallium nitride distributed amplifier », IEEE Microwave and guided wave letters, Vol. 10, juillet 2000, pp. 270-272.

[14] A. Thiam, Thèse de doctorat d'électronique de l'université PARIS-SUD Orsay, « Conception et réalisation de modules micro et optoélectroniques large bande, à base de transistors PHEMT GaAs pour les transmissions à très haut débit (40 Gbit/s) ».

[15] C. Meliani, G. Rondeau, G. Post, J. Decobert, W. Mouzannar, E. Dutisseuil, R. Lefèvre, «A high gain-bandwidth product InP HEMT distributed amplifier with 92 GHz cut-off frequency for 40 Gbit/s applications and beyond», in Proc. GaAs IC 2002, Monterey CA.

Conclusion

La mise en place de systèmes de transmissions numériques sur fibres optiques nécessite la réalisation de circuits intégrés fonctionnant à très haut débit. C'est dans ce cadre, que s'inscrivent les travaux de recherche menés au cours de cette thèse. Plus spécifiquement, ce travail concerne les amplificateurs de signaux numériques pouvant fournir de fortes amplitudes de sortie (quelques Volt sur des impédances de charge de 50 Ohms) ; principalement utilisés dans la partie électrique de commande des lasers pour l'émission.

Après une première étape où la cartographie des technologies microélectroniques, et des techniques électroniques disponibles pour la réalisation de ces fonctions est présentée, des choix ont été faits pour les architectures les plus prometteuses pour les amplificateurs à très haut débit.

L'amplification différentielle et l'amplification distribuée ont été confirmées comme étant les deux architectures par excellence pour les signaux très rapides. Elles allient gain en tension et fréquence de coupure élevés.

L'amplification distribuée

L'amplification distribuée s'impose comme la technique la plus adaptée à la réalisation d'amplificateurs large bande.

Nous avons mis en lumière en les décorrélant au mieux, les éléments clés dans le calcul d'un dispositif distribué classique (à base de cellules HEMT Cascode) ; d'abord de façon analytique le plus précisément possible, ensuite numériquement.

Cette approche, nous a permis d'éviter les possibles optima locaux d'une simulation numérique ; mais surtout, nous a permis d'établir une hiérarchie et des relations de cause à effet entre les éléments que nous avons étudiés et les performances globales de l'amplificateur.

Ainsi, nous avons isolé l'effet des chemins de masse, des nœuds basse fréquence dans la cellule Cascode (retour de masse de la source du transistor, découplage de la grille du transistor en grille commune, etc.), et de la connexion entre les deux transistors de la cellule. Toutes les structures stabilisées utilisant ce type d'architecture résultent de l'optimisation de ces trois points simultanément. L'implantation relativement figée des amplificateurs distribués réalisés en technologie micro-ruban décrite dans la littérature en est l'illustration même. Dans ce travail, nous avons donné des relations quantitatives le plus souvent obtenus par simulation, et plus rarement analytiques, entre ces éléments d'interconnexion et les performances globales de l'amplificateur.

Cette approche a été des plus fructueuses dans notre cas. Cependant, la technologie dont nous disposions ne comportait pas de trous-via : nous avons pu appliquer ces techniques d'optimisation à la technologie coplanaire, et de nouveaux problèmes se sont posés.

Typiquement, un plan de masse ne pouvait plus être défini clairement. Lorsque le circuit est implanté, la masse est répartie de manière discontinue sur la surface du circuit. Les fréquences d'utilisation étant très élevées, l'éloignement physique des divers points de masse les isole électriquement en rajoutant des éléments parasites, notamment inductifs. De ce fait, nous avons utilisé une technique différente d'optimisation.

A haute fréquence, à cause des éléments parasites série, la masse n'est plus un nœud commun stricto-sensu à tout le circuit. Les nœuds qui s'y connectent sont écrantés par les impédances des éléments parasites. De ce fait, tous les nœuds basse fréquence critiques ont été étudiés et découplés par rapport au plan de masse le plus proche, et le plus efficace. (En ce sens que, la grille du Cascode est d'abord découplée par rapport à la source du transistor de la même cellule, qui est par la suite connectée aux autres sources, etc.).

Nous avons aussi traité la question de la propagation sur les lignes artificielles d'un amplificateur distribué et développé une technique basée sur les interférences destructives permettant d'approcher le jeu de valeurs finales optimum des lignes d'un amplificateur distribué. Il est possible de pointer les fréquences de résonance résultant des différences entre les temps de groupe d'entrée et de sortie. Ainsi, nous avons montré que lorsque les gains et temps propagation de groupe sont plats, les temps de groupe sur les lignes d'entrée/sortie sont plats et égaux, au premier ordre.

Profitant d'une technologie des plus avancées en terme de performances du composant actif (HEMT InP couple f_T/f_{MAX} 130 GHz/>250 GHz), nous avons illustré les techniques analytiques et numériques que nous avons étudiées et développées en réalisant un amplificateur distribué coplanaire. Ce circuit présentait un produit gain bande à l'état de l'art de 410 GHz.

La faisabilité des composants pour les transmissions à 80 Gbit/s apparaît comme étant le prochain défi en terme de débit pour les circuits rapides. Dans ce cadre, nous avons participé à l'étude globale d'une technologie proposant des solutions pour les transmissions à ces débits. De plus, la structure que nous proposons peut être interfacée par couplage direct afin d'éviter les capacités de liaison dans les boîtiers de modulateurs, trop onéreuses à monter, et source de problèmes HF.

L'amplification différentielle

L'amplification différentielle représente la deuxième technique classique pour la conception d'amplificateurs rapides. De la même façon nous avons étudié analytiquement puis numériquement les effets de chacun des éléments de la paire différentielle sur ces performances globales.

Comparée à la source commune ou au Cascode, le chemin source-masse n'est plus critique, et des polarisations aux impédances sources relativement élevées peuvent être appliquées sans nuire aux performances de l'amplificateur.

Lorsque la paire est utilisée en mode référencée, la deuxième grille (ou base) est mise à la masse en dynamique. De cette connexion dépend l'efficacité de l'injection de courant dans les deux bras de la paire, et donc le gain de la paire différentielle. Elle représente l'équivalent de la grille du Cascode. Dans le même ordre d'idées, le chemin entre les deux sources des transistors est critique aussi. Il conditionne la fréquence de coupure de la paire.

Partant de cette première étude, nous avons étudié puis réalisé un amplificateur différentiel pouvant fournir 2,5 Vpp sur une charge 50 Ohms. Tout comme certaines études précédentes, l'avaient montré, les amplitudes limites actuelles de l'amplification non-distribuée sont de quelques 3 Vpp à 40 Gbit/s quelque soit les technologies utilisées [Fraunhofer Institut].

De plus, nous avons analysé l'effet des parasites de layout sur les performances globales de l'amplificateur.

Par la suite, nous avons proposé une solution associant les avantages de l'amplification distribuée et de l'amplification différentielle, la paire différentielle distribuée.

Nous prouvons que la même méthodologie de conception que celle utilisée pour l'amplification distribuée classique est applicable à cette nouvelle approche.

En plus de la distribution des capacités parasites et de l'effet large bande des lignes de transmission artificielles ; dans la paire différentielle distribuée, les nœuds de masse virtuelle sont isolés et les courants parasites annulés par symétrie. Ceci améliore l'efficacité d'injection de courant dans les deux bras.

Ainsi, nous arrivons à coupler l'aspect commutation de la paire différentielle à l'aspect très large bande de l'amplificateur distribué. Et de la même manière, nous établissons une procédure systématisée pour la conception de distribués différentiels.

A technologie constante, nous avons étendu le domaine d'utilisation de l'amplification différentielle. L'exemple que nous avons conçu et réalisé concerne un

amplificateur avec 57 GHz de fréquence de coupure et 6 dB de gain utilisant une charge active distribuée pour une meilleure dynamique de sortie. L'amplitude de sortie est de 4 Vpp maximum. Pour l'amplificateur différentiel, ce résultat est à l'état de l'art en terme de tension de signal de sortie.

Circuits en éléments discrets/ Circuits distribués

Les philosophies sont fondamentalement différentes. La première consiste à utiliser le gain disponible en considérant un effet de filtrage RC (typiquement les capacités d'entrée/sortie dans un transistor) ; alors que la seconde, considère un effet RLC des inductances rajoutant pour le calcul des lignes de transmission artificielles.

Ce qui renvoie aux fréquence de coupure du gain en courant et fréquence d'oscillation maximale des transistors que nous utilisons. En effet, dans le premier cas, les performances globales sont plus sensibles aux fréquences de coupure des gains en courant des transistors alors que les seconds sont beaucoup plus fortement corrélés aux fréquences d'oscillation maximales.

Les premières architectures permettent des implantations beaucoup plus compactes, d'où leur grand intérêt pour les circuits logiques.

Les simulations numériques montrent que les circuits distribués sont beaucoup moins sensibles aux parasites du layout que les circuits à base de composants discrets. Ceci s'explique par le fait que les distribués intègrent une partie déjà importante de ces parasites dans leur principe de fonctionnement même ; notamment les variations des capacités dans leur cas sont diluées tout le long du principe actif, et sont ainsi absorbés par les effets dispersifs et dissipatifs des interconnexions.

Perspectives

La poursuite de l'étude de circuits amplificateurs à base de technologie coplanaires, conduira certainement à une modification de notre vision du boîtier de commande de modulateur bi-puces. Ce sont les nœuds critiques du Cascode qui ont impliqué une telle configuration du boîtier (association des gains de deux amplificateurs ou plus en cascade). Le fait que les puces coplanaires soient moins sensibles aux chemins de masse lève les contraintes sur les niveaux continus d'entrée/sortie, ce qui permettra certainement la conception de driver de modulateur mono-puce.

Notamment, une étude plus poussée concernant les interconnexions dans la cellule Cascode et les couplages entre les lignes de grille ou de drain avec la connexion entre les deux transistors permettrait d'appliquer à la technologie coplanaire des structures plus complexes tels que les amplificateurs distribués à double ligne de sortie, ou les paires différentielles distribués.

La structure différentielle distribuée est une structure générique pouvant être utilisée dans plusieurs architectures de circuits.

- Moyennant un décalage de tension DC, les deux signaux complémentaires en sortie de la paire peuvent être injectés dans une même charge flottante de 50 Ohms. Ceci signifierait que des technologies pouvant fournir 3 Vpp par bras, suffiraient à proposer des solutions pour les modulateurs en Niobate de Lithium nécessitant 6 Vpp. Les technologies en question sont le SiGe, bien plus compétitif en terme de rendement et de coût.
- Lors des derniers mois de cette thèse nous avons aussi conçu des amplificateurs différentiels distribués en utilisant le transistor bipolaire à hétéro-jonction TBH. Il sera intéressant d'étudier des structures d'amplification intégrées aux circuits numériques basées sur les paires distribuées, ainsi profitant des signaux en mode complémentaire issus des circuits numériques. Une étude approfondie de ces structures aboutira certainement à des circuits numériques à plus fortes tensions de sortie.
- Enfin, il serait nécessaire d'explorer la possibilité d'utiliser ces structures au cœur même de circuits logiques (portes XOR distribuée, par exemple ...).

Des questions d'ordre plus philosophiques sont ouvertes à travers l'étude de la structure différentielle distribuée :

- Est-il possible de distribuer toutes les autres structures, telles que la cellule de Gilbert, etc. Et de manière efficace ... ?
 - Est-il possible par des innovations d'ordre structural de dépasser d'autres limites technologiques. Par exemple, est-il plausible de réaliser des circuits à fortes amplitudes de sortie (6 Vpp sur 50 Ohms) en utilisant des technologies classiques (SiGe) moyennant des solutions architecturales de plus en plus complexes ...
 - Finalement, ce que nous cherchions depuis le début, c'est d'extraire la fonction intrinsèque $I_{ds}=f(V_{gs})$ de l'intérieur du transistor sans aucun de ses parasites. Et paradoxalement, au-delà de certaines fréquences d'utilisation, plus nous rajoutons d'éléments, plus nous dépouillons le transistor ... !
-

Annexe A

Diagramme de l'œil et transmissions numériques

L'émission d'une série aléatoire de symboles à deux niveaux « haut » et « bas » de durée T_m , conduit à la réception à un signal $x(t)$ qui est la somme des réponses du système à chacun de ces symboles. Par suite du caractère passe-bas des canaux de transmission, ces différentes réponses se perturbent mutuellement. La superposition graphique de tous les intervalles de temps T_m associés au signal $x(t)$ permet d'apprécier ces perturbations des transitoires de commutation.

Ce diagramme représente le degré de discrimination entre les niveaux logiques du signal $x(t)$ et fournit, par conséquent, de bons renseignements sur l'immunité aux erreurs de la liaison.

Il permet d'une part, d'apprécier l'interférence entre symboles, et d'autre part, d'ajuster l'instant d'échantillonnage dans le régénérateur au moment précis d'interférence minimale (point d'ouverture maximale de l'œil).

Le but de la présente annexe est d'introduire les valeurs quantitatives concernant les diagrammes de l'œil, et de relier ces grandeurs graphiques instantanées par des notions de statistique -notamment- à des grandeurs reliées aux transmissions numériques.

Facteurs de mérite pour le diagramme de l'œil

La figure ci-dessous représente les paramètres génériques mesurables sur un diagramme de l'œil.

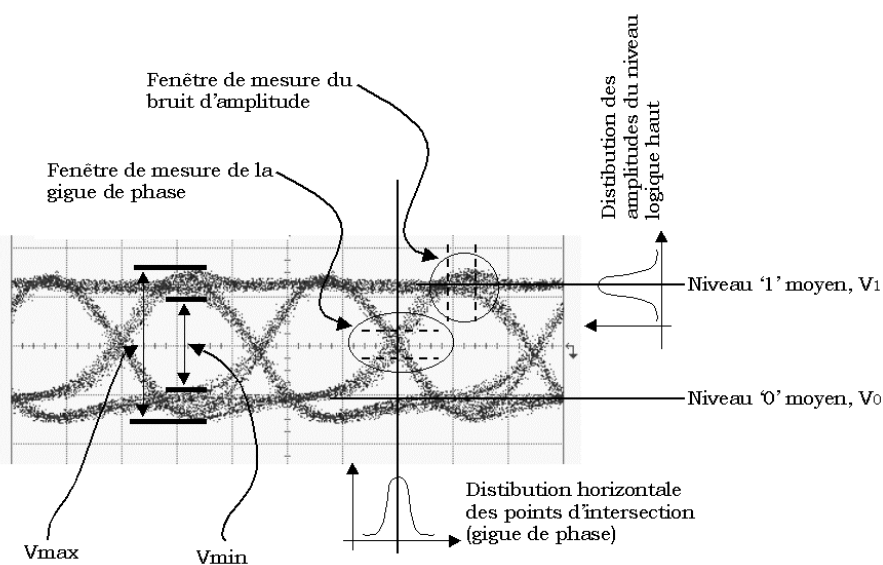


Fig. A.1. Diagramme de l'œil à 40 Gbit/s. 10 pS/Div.

On définit V_0 et V_1 , les niveaux logiques moyen bas et haut respectivement.

La gigue de phase

La gigue de phase est définie comme la distribution temporelle des points d'intersection des rampes montantes et descendantes du signal dans le diagramme de l'œil.

Le bruit de niveau

Les niveaux logiques haut et bas ont des valeurs analogiques fluctuantes autour des niveaux moyens V_1 et V_0 définis plus haut. On définit σ_1 , σ_0 les écarts type des valeurs des niveaux haut et bas respectivement. La hauteur de l'œil H est définie par : $H = (V_1 - 3\sigma_1) - (V_0 + 3\sigma_0)$.

Le facteur Q

Le facteur Q donne une mesure du rapport signal à bruit :

$$Q = \frac{V_1 - V_0}{\sigma_1 + \sigma_0}$$

La qualité globale d'une transmission est quantifiée par le BER (Bit Error Rate), le taux d'erreur, qui représente le rapport entre le nombre de bit faux après réception divisé par le nombre de bits transmis.

Ce paramètre peut être relié aux paramètres « graphiques » du diagramme de l'œil moyennant quelques considérations :

- L'amplitude du signal aux niveaux haut et bas est une variable *Gaussienne*, d'écart type σ . Elle est centrée sur u pour une valeur logique '1', et sur 0 pour une valeur logique '0'.
- Nous définissons une tension U_s (tension de seuil) correspondant à la valeur du signal de passage entre niveaux logiques 0 et 1.

La probabilité $P(0/1)$ pour que '0' soit reçu lorsque '1' est émis équivaut à la probabilité que la tension soit inférieure au seuil U_s .

$$P(0/1) = \frac{1}{\sqrt{2\pi\sigma^2}} \int_{-\infty}^{U_s} \exp\left[-\left(\frac{x-u}{\sqrt{2\sigma^2}}\right)^2\right] dx = \frac{1}{2} \operatorname{erfc}\left[\frac{u-U_s}{\sqrt{2\sigma^2}}\right]$$

Avec $\operatorname{erfc}(x) = 1 - \operatorname{erf}(x) = \frac{2}{\sqrt{\pi}} \int_x^{\infty} \exp(-x^2) dx$

De même, la probabilité pour que 1 soit reçu lorsque '0' est émis est :

$$P(1/0) = \frac{1}{2} \operatorname{erfc}\left[\frac{U_s}{\sqrt{2\sigma^2}}\right]$$

Pour $U_s = u/2$, la probabilité d'erreur est $Pe = \frac{1}{2} \operatorname{erfc} \left[\frac{Q}{\sqrt{2}} \right]$ avec $Q = \frac{U_s}{\sigma} = \frac{u}{2\sigma}$

Pour une longue suite d'impulsions, la probabilité d'erreurs totale équivaut au taux d'erreurs. Ainsi, nous estimons le BER à partir du paramètre graphique Q par :

$$BER = \frac{1}{2} \operatorname{erfc} \left[\frac{Q}{\sqrt{2}} \right]$$

Typiquement, un BER de $6 \cdot 10^{-10}$ correspond à un facteur Q de 6.

«En réalité, on sait seulement quand on sait peu. Avec le savoir augmente le doute.»

Goethe

RÉSUMÉ

La systématisation de la conversion analogique/numérique a eu pour effet d'uniformiser le mode de transmission de données aux transmissions numériques ; et notamment sur fibre optique. Dans ce cadre, cette thèse traite des méthodologies de conception et faisabilité de circuits amplificateurs de signaux rapides. Après l'étude de l'effet des éléments parasites sur les structures amplificatrices de base (spécifiquement, les problèmes de chemins de masse, et de référencement de signaux d'entrée), la théorie de distribution est appliquée à la technologie coplanaire InP ; où via une méthodologie que nous avons cherché à systématiser (notamment pour les conditions d'égalité et de faible variation des délais de groupe), sont réalisés des amplificateurs large bande avec $F_c=92\text{GHz}$ et entre autres, un produit gain-bande à l'état de l'art de 410 GHz. Au delà des problèmes posés par la technologie coplanaire tels que les discontinuités de masse et la nécessité de préserver le mode de propagation coplanaire, elle ouvre de nouvelles possibilités telles que des lignes artificielles d'entrée/sortie à longueurs identiques, et permet une compacité plus élevée que celle des techniques micro-ruban.

Les limites de l'amplification différentielle sont ensuite investies et repoussées, en proposant une structure innovante : la paire différentielle distribuée ; alliant ainsi le fonctionnement à courant constant du mode différentiel (donc avec un degré de liberté supplémentaire, pour le potentiel DC en sortie), à l'aspect large bande du distribué. Des amplificateurs avec 4 Vpp en sortie à 40 Gbit/s ont ainsi été réalisés en pHEMT GaAs. Ce résultat, permettrait à terme, l'élimination des capacités de passage dans les modules driver et la conception de drivers de modulateur mono-puce.

Mots-clés : Communications optiques, Amplificateurs large bande, High Electron Mobility Transistor (HEMT), Circuits intégrés rapides, Technologies InP, GaAs, Driver de modulateur, Parasites du layout, Distribués.

ABSTRACT

In the framework of optical long haul transmissions, this thesis analyses design methodologies and feasibility of front-end electrical amplifiers for optical fibre transmissions. Following the study of the layout parasitics effect (especially the ground paths and the referenced input signals aspects) on the conventional amplifying structures, the theory of distribution was applied to our InP coplanar technology. Through a methodology that we aimed to systematise, especially for the low variation and equality group delay conditions, broadband amplifiers with $F_c=92\text{GHz}$ and amongst others, a state of the art gain-bandwidth product of 410 GHz were fabricated.

Despite the difficulties inherent to the coplanar techniques such as the ground areas discontinuity, they allow for more compact chips than the micro-strip techniques, as well as identical length input/output artificial transmission lines.

The limits of the differential amplification were subsequently studied and extended, by proposing an innovating structure: the distributed differential pair. Thus, combining the constant current operation of the differential-mode (then less critical bias conditions) with the distributed broadband aspect. Amplifiers with 4 Vpp output voltage at 40 Gbit/s were fabricated in pHEMT GaAs. This is a promising result for the one-chip integration of future modulator drivers by avoiding broadband bypass capacitors.

Keywords: Optical communications, Broadband amplifiers, High Electron Mobility Transistor (HEMT), Very high speed integrated circuits, InP, GaAs Technologies, modulator drivers, Layout parasitics, Distributed.