



**HAL**  
open science

# Conditions optimales de fonctionnement pour la fiabilité des transistors à effet de champ micro-ondes de puissance

Jean-Luc Muraro

► **To cite this version:**

Jean-Luc Muraro. Conditions optimales de fonctionnement pour la fiabilité des transistors à effet de champ micro-ondes de puissance. Micro et nanotechnologies/Microélectronique. Université Paul Sabatier - Toulouse III, 1997. Français. NNT: . tel-00010072

**HAL Id: tel-00010072**

**<https://theses.hal.science/tel-00010072>**

Submitted on 8 Sep 2005

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

N° d'ordre : 2623

Année : 1997

---

# **THESE**

---

Préparée

**Au Laboratoire d'Analyse et d'Architecture des Systèmes du CNRS**

en vue de l'obtention du

**DOCTORAT de l'UNIVERSITE PAUL SABATIER de TOULOUSE**

Spécialité : Electronique - composants actifs Micro-ondes

par

**Jean Luc MURARO**

---

## **CONDITIONS OPTIMALES DE FONCTIONNEMENT POUR LA FIABILITE DES TRANSISTORS A EFFET DE CHAMP MICRO-ONDES DE PUISSANCE**

---

Soutenue le 25 Mars 1997 au LAAS, devant la commission d'examen :

**Y CROSNIER      Président**  
**J GRAFFEUIL    Directeur de thèse**

**J M DUMAS      Rapporteur**  
**Y DANTO        Rapporteur**

**R QUERE**  
**R PLANA**  
**P G TIZIEN**  
**G FLOURY**  
**P SAUNIER**  
**G GREGORIS**

**Thèse préparée dans le cadre du groupe  
Composants et Circuits Micro-ondes du LAAS**

**dans le service Qualité Etudes  
d'ALCATEL TELECOM**

**et en collaboration avec le CNES  
(Département Composants Electroniques)**

*Les travaux présentés dans ce mémoire ont été préparés au sein du groupe Composants et Circuits Micro-ondes du Laboratoire d'Analyse et d'Architecture des Systèmes (LAAS) du CNRS à Toulouse.*

*Je tiens tout d'abord à remercier Monsieur le Professeur J GRAFFEUIL, directeur de cette thèse, pour la confiance qu'il m'a accordée tout au long de ces années de recherche. Qu'il sache combien ses conseils ont été précieux pour mener à bien ses travaux.*

*Cette thèse a été réalisée au sein du service Qualité Etudes de la société Alcatel Espace. J'exprime mes profonds remerciements à Monsieur A LE HENAFF chef du service Qualité Etudes pour la confiance qu'il m'a témoignée en m'accueillant dans son équipe.*

*J'exprime toute ma reconnaissance à Monsieur le Professeur Y CROSNIER de l'Université de Lille qui a accepté de présider ce jury.*

*Je tiens à remercier chaleureusement Messieurs les Professeurs J M DUMAS de l'Université de Limoges et Y DANTO de l'Université de Bordeaux pour l'intérêt qu'ils ont porté à mes travaux en me faisant l'honneur d'accepter de les rapporter.*

*R PLANA, Maître de conférences à l'Université Paul Sabatier a assuré l'encadrement scientifique de ces travaux de recherche. Je tiens à lui témoigner ma reconnaissance et mon amitié pour ses conseils, sa disponibilité et sa participation à ce jury.*

*Je ne saurais exprimer ce que je dois à Monsieur G GREGORIS, responsable de la section Qualité Etudes Avancées d'Alcatel Espace ainsi qu'à Madame F COPPEL et Monsieur S CARABEUX, ingénieurs à Alcatel Espace qui m'ont fait bénéficier de leurs compétences techniques au cours de très nombreuses et fructueuses discussions. Je tiens à leur assurer de ma profonde sympathie et de mon amitié pour leur disponibilité et la qualité des relations que nous avons entretenues tout au long de ces trois années.*

*Je tiens à remercier la société Texas Instruments à Dallas et plus particulièrement Monsieur P SAUNIER ingénieur à Texas Instruments pour l'honneur qu'il me fait en acceptant d'être membre de ce jury. J'associe également à ces remerciements Messieurs J M LEOD, D RAGGLE et K DECKER ingénieurs à Texas Instruments pour l'intérêt qu'ils ont porté à ce travail.*

*Je suis très heureux de la participation à ce jury de Monsieur G FLOURY chef du service Répéteur à Alcatel Espace et de Monsieur le Professeur R QUERE, Directeur de l'IUT de Brive.*

*Je tiens à remercier vivement Monsieur P G TIZIEN, mon parrain scientifique ainsi que Messieurs J L ROUX et L LAPIERRE, ingénieur au CNES pour les conseils qu'ils m'ont prodigués et pour avoir suivi constamment le déroulement de cette thèse.*

---

*Je fais part de ma profonde gratitude à Monsieur J L CAZAUX, responsable des Etudes Amont du service Répéteur ainsi qu'à Messieurs B RIVIERRE, D ROQUES, H BURET, A DARBANDI, P COVAL, A BENSOUSSAN, C MAUREL et toutes les personnes du service Qualité Etudes pour l'intérêt qu'ils ont porté à ce travail.*

*Que la section Métrologie du service Répéteur sous la responsabilité de Monsieur F BRASSEAU soit vivement remerciée pour la disponibilité et l'aide apportée. J'associe à ces remerciements le service Hybride et le service Maquette.*

*J'adresse toute ma sympathie à l'ensemble des docteurs ou futurs docteurs du groupe CCM du LAAS, à B DUCROS, C PHILIPOT, F MINATO, J FERRIER, I NOBIRON, M ZOYO, P MONFRAIX, et plus particulièrement à C DE KEUKELEIRE docteur issue également de la section Qualité Etudes Avancées qui m'a fait l'honneur de venir assister à cette soutenance.*

*Toute mon amitié à C CASSOU (expert des connecteurs SMA) et T BEN pour la gentillesse, la disponibilité et l'efficacité qu'ils m'ont témoignées lors de ces travaux de recherche.*

*Enfin je ne saurais terminer ces remerciements sans exprimer ma profonde gratitude à la société Alcatel Espace et au Centre National d'Etudes Spatiales pour la confiance qu'ils m'ont accordée en acceptant de cofinancer ma bourse de recherche et à toutes les personnes que j'ai côtoyées au cours de ces trois années et que je n'ai pu citer.*

---

---

**TABLE DES MATIERES**


---

<b>INTRODUCTION GENERALE</b>	<b>8</b>
------------------------------	----------

<b>CHAPITRE I : NOTIONS DE BASE SUR LA FIABILITE DES CIRCUITS SUR AsGa DANS LE DOMAINE DE L'AMPLIFICATION DE PUISSANCE</b>
--

<b>1 INTRODUCTION</b>	<b>12</b>
<b>2 PRINCIPES DE BASE</b>	<b>13</b>
2.1 La fiabilité	13
2.2 Lois d'accélération	13
2.2.1 Action de la température	14
2.2.2 Action de la densité de courant : l'électromigration	17
2.2.3 Action du champ électrique : l'ionisation par impact	18
2.2.4 Autres contraintes	21
2.3 Les différents tests de vieillissement accéléré	22
2.4 Traitement mathématique de la fiabilité	26
2.4.1 Fonction de Fiabilité	27
2.4.2 Principales lois de probabilité utilisés en fiabilité	29
2.4.2.1 La loi normale	30
2.4.2.2 La loi log-normale (ou loi de Galton)	31
2.4.3 Tests d'hypothèses de distribution : ajustements graphiques	33
2.4.3.1 Estimateurs de la fonction de fiabilité R(t) et de F(t)	34
2.4.3.2 Echelle gaussio-logarithmique	34
<b>3 MECANISMES DE DEGRADATION DES MESFET</b>	<b>36</b>
3.1 Dégradation de la grille du transistor	36
3.1.1 Interaction Au/GaAs : diffusion du métal de grille dans le canal « gate sinking »	37
3.1.2 Effet de l'Hydrogène	37
3.1.3 Electromigration de la grille	39
3.2 Dégradation des contacts ohmiques	39
3.2.1 Les effets d'inter diffusion des contacts ohmiques Au Ge / Ni	40
3.2.2 Electromigration drain / source	41

---

3.3 Dégradation de la surface : les états de surface	41
3.3.1 Le "Gate Lag"	41
3.3.2 Dispersion fréquentielle de la transconductance	43
3.4 Le "burn out thermique"	45
3.5 Principaux mécanismes de défaillances activés par une contrainte dynamique	46
3.5.1 Dégradation de la surface	47
3.5.2 Effet de l'ionisation par impact en régime de forte compression	48
3.6 Autres mécanismes de dégradation	50
<b>4 PRESENTATION TECHNOLOGIQUE DU PROCEDE DE FABRICATION DE LA FILIERE ETUDIEE</b>	<b>54</b>
4.1 Elements passif de la filière	54
4.2 Elément actif de la filière : le transistor HFET	55
<b>5 CONCLUSION</b>	<b>59</b>

---

**CHAPITRE II : METHODOLOGIE D'EVALUATION DE LA FIABILITE  
DES MMIC DE PUISSANCE SUR AsGa**

<b>1 INTRODUCTION</b>	<b>65</b>
<b>2 REGLE DE REDUCTION DES CONTRAINTES</b>	<b>66</b>
<b>3 VEHICULES DE TEST</b>	<b>68</b>
3.1 Le véhicule de caractérisation technologique (TCV)	68
3.1.1 Eléments passifs du TCV	68
3.1.2 Elément actif du TCV (plots 18 et 24)	73
3.1.3 Banc de mesures des paramètres statiques du TCV	75
3.1.4 Condition de polarisation des différentes cellules du TCV au cours du vieillissement	75
3.2 Le circuit d'évaluation dynamique (DEC)	76
3.2.1 L'amplification de puissance	77
3.2.2 La modélisation linéaire	79
3.2.3 La modélisation non linéaire	82
3.2.3.1 Mesures impulsionnelles	82
3.2.3.2 Les non linéarités du transistor	83
3.2.3.3 Réseau de sortie du transistor	87
3.2.4 Réalisation	88
3.2.4.1 Simulation	90
3.2.4.2 Résultats expérimentaux	91
3.2.4.3 Caractérisation du DEC au cours du vieillissement	93
<b>4 MISE EN OEUVRE DES ESSAIS</b>	<b>95</b>
4.1 La température	95
4.1.1 Evaluation de la température de jonction	95
4.1.2 Application : détermination des températures de vieillissement	99
4.2 Evaluation de la technologie : files d'essais	99
4.2.1 Véhicule de caractérisation technologique	100
4.2.2 Véhicule de caractérisation dynamique	103
4.3 Evaluation de l'application : files d'essais	104
4.3.1 Le vieillissement sous contraintes dynamiques graduelles "Step Stress R.F"	104
4.3.2 Le vieillissement sous contraintes dynamiques "Life test R.F"	106
<b>5 CONCLUSION</b>	<b>110</b>

**CHAPITRE III : EVALUATION TECHNOLOGIQUE DE LA FILIERE  
MMIC ETUDIE**

<b>1 INTRODUCTION</b>	<b>113</b>
<b>2 STOCKAGE A HAUTE TEMPERATURE A 300°C SUR LE TCV</b>	<b>114</b>
2.1 Eléments passifs du TCV	114
2.1.1 Structure TLM GaAs	114
2.1.2 Structure TLM AuGeNi	116
2.1.3 Capacités	116
2.1.4 Chaîne de pont à air	116
2.1.5 Courant de fuite entre deux lignes interdigitées	116
2.1.6 Ligne méandre	117
2.2 Transistor HFET 600µm	117
2.2.1 Tension de claquage	117
2.2.2 Contact de grille Schottky	118
2.3 Mesure de Gaz résiduels (RGA)	122
2.4 Conclusion sur le stockage à haute température sur TCV	122
<b>3 VIEILLISSEMENT SOUS CONTRAINTES ELECTRIQUES STATIQUES SUR LES ELEMENTS PASSIF DE LA FILIERE (TCV)</b>	<b>124</b>
3.1 Structure TLM	124
3.1.1 TLM GaAs	124
3.1.2 TLM TaN	126
3.1.3 TLM AuGeNi	127
3.2 Ligne méandre, chaîne de pont à air et capacités	131
3.3 Conclusion sur les essais de vieillissement sur les elements passifs du TCV	131
<b>4 VIEILLISSEMENT SOUS CONTRAINTES ELECTRIQUES STATIQUES SUR LE TRANSISTOR DE LA FILIERE ETUDIEE</b>	<b>133</b>
4.1 Résultats du vieillissement sous contraintes statiques sur le transistor	134
4.2 Interprétation des resultats du vieillissement sous contraintes statiques	137
<b>5 CONCLUSION SUR L'EVALUATION TECHNOLOGIQUE DE LA FILIERE</b>	<b>141</b>



**CHAPITRE IV : DEFINITION DU DOMAINE DE FONCTIONNEMENT  
SUR EN REGIME NON LINEAIRE**

<b>1 INTRODUCTION</b>	<b>145</b>
<b>2 ESSAIS DE VIEILLISSEMENT SOUS CONTRAINTES DYNAMIQUES SUR LE DEC</b>	<b>146</b>
2.1 Présentation du contexte	146
2.2 Délimitation de l'aire de sûreté de fonctionnement au moyen du "step stress"	146
2.2.1 Intérêt du "step stress"	146
2.2.2 Résultats obtenus	147
2.2.3 Analyse des résultats	150
2.3 Evaluation des dérives -Life test R.F.-	151
2.3.1 Résultats	152
2.3.2 Conclusion sur les essais de vieillissement sous contraintes dynamiques (4500 heures)	153
<b>3 MODELE DU MECANISME DE DEGRADATION SUSPECTE</b>	<b>155</b>
3.1 Mise en évidence de l'ionisation par impact	156
3.1.1 Mesure du courant de trous	158
3.1.2 Dépendance en température du courant de trous	161
3.1.3 Mise en évidence du seuil de déclenchement du phénomène d'ionisation par impact	162
3.1.4 Dépendance de la valeur de la tension de claquage drain - source en fonction de la valeur de la tension grille - source	163
<b>4 L'IONISATION PAR IMPACT ET SES CONSEQUENCES SUR LE FONCTIONNEMENT DU TRANSISTOR (EFFET PARASITE)</b>	<b>166</b>
4.1 Origine de l'effet de coude : synthèse bibliographique	168
4.1.1 Influence de la passivation	168
4.1.2 Influence de l'interface substrat-couche active	168
4.2 Effet de coude sur le transistor HFET	170
4.3 Conclusion	172
<b>5 L'IONISATION PAR IMPACT ET SES CONSEQUENCES SUR LA FIABILITE DU TRANSISTOR : LA DIMINUTION DE LA PUISSANCE DE SORTIE ("LE POWER SLUMP")</b>	<b>173</b>
5.1 La diminution de la puissance de sortie	173
5.2 Définition de l'aire de fonctionnement	175
5.3 Evaluation des zones de sécurité des amplificateurs de puissance à partir de la C A O	177
5.3.1 Visualisation des phénomènes de limitation du transistor lors de l'amplification de puissance	177
5.3.2 Simulation des contraintes appliquées lors du Life Test R.F.	180
5.4 Méthodologie de définition d'une aire de fonctionnement sûr lors de l'amplification de puissance	187

---

<b>6 CONCLUSION</b>	<b>190</b>
<b>CONCLUSION GENERALE</b>	<b>193</b>

*A mes parents,*

*A Céline,*



## Introduction générale

---

**A**u cours des trois dernières décennies, le domaine des composants à état solide micro-ondes a subi de profondes modifications en raison de la maîtrise de nouveaux matériaux semi-conducteurs comme l'Arséniure de Gallium dont les propriétés permettent de réaliser des composants susceptibles de fonctionner aux fréquences millimétriques (>30 GHz). Les applications sont nombreuses tant dans les systèmes terrestres que spatiaux.

Bien qu'il soit difficile de réaliser un isolant de "très bonne" qualité à la surface de l'Arséniure de Gallium (structures du type Métal Isolant Semi conducteur) comme avec le Silicium, l'Arséniure de Gallium favorise la réalisation de structures de type Schottky et donc des structures de type Métal Semi conducteur à hauteur de barrière élevée. Les jonctions Schottky réalisées présentent de bonnes caractéristiques électriques (facteur d'idéalité, très faibles courants inverses), rendant aisée la fabrication de transistors à effet de champ à jonction Schottky appelés MESFET.

Pour une utilisation aux fréquences hautes (domaine des télécommunications), il est important que le type de porteur intervenant présente de bonnes propriétés de transport (mobilité, vitesse). A titre de comparaison la mobilité des électrons et la vitesse maximale de ces derniers sont respectivement 6 fois et 2 fois plus élevées dans l'Arséniure de Gallium que dans le Silicium. C'est pour cette raison que les transistors à effet de champ qui sont des dispositifs unipolaires (c'est à dire ne mettant en jeu qu'un seul type de porteur) sont élaborés exclusivement sur du matériau de type n afin de profiter des caractéristiques plus favorables des électrons. La saturation de la vitesse en champ élevé est atteinte pour un champ électrique 4 fois moins élevé. De ce fait les longueurs de grille obtenues comprises typiquement entre 0.5 et 1  $\mu\text{m}$  permettent une amélioration du temps de transit des porteurs sous la grille et par la suite de la fréquence de coupure  $f_T$  du produit du gain en courant par la bande passante. Un autre avantage conséquent vient du fait que l'Arséniure de Gallium est semi isolant (résistivité comprise entre  $10^7$  et  $10^9 \Omega.\text{cm}$  à température ambiante) ce qui constitue un énorme avantage sur les plans de la simplification technologique et de la performance électrique.

Ces propriétés font que l'Arséniure de Gallium a acquis une suprématie dans le domaine des fréquences supérieures à 4 GHz pour toutes les applications d'amplification et de génération de signaux à faible et moyenne puissance.

Afin d'utiliser ces composants dans le domaine spatial, il est fondamental que la fiabilité de ceux-ci soit bien établie, et leurs mécanismes de défaillance compris. Profitant de l'expérience

et des résultats obtenus à partir du Silicium, les diverses technologies en Arséniure de Gallium progressent rapidement.

Toutefois les premiers essais de fiabilité sur Arséniure de Gallium ont remis en cause les concepts de base de la fiabilité des composants micro-électronique élaborés à partir du retour d'expérience des composants Silicium. L'utilisation des composants en Arséniure de Gallium nécessite de prendre en compte non seulement le type de transistor mais encore son **mode de fonctionnement** (validation de l'application). De plus, la température ne doit pas être considérée comme le principal facteur d'accélération des mécanismes de dégradation comme c'est le cas sur les composants Silicium.

Afin de garantir la durée de vie d'un équipement spatial, on impose une réduction des taux de contraintes (en termes de température, courant, tension) appliquées sur le composant. Ce principe bien qu'intuitif (la durée de vie du composant sera d'autant plus longue si celui-ci subit moins de contraintes) est normalisé et contractuel sur tout équipement embarqué.

Cependant dans le domaine des composants en Arséniure de Gallium et plus particulièrement les circuits intégrés monolithiques de puissance (MMIC) il y a incompatibilité entre les besoins en performances d'une part et les réductions des taux de contrainte utilisés habituellement d'autre part.

L'objectif de cette étude est de démontrer la fiabilité des éléments de base par des essais de contraintes représentatifs de l'utilisation du circuit intégré micro-onde monolithique (pré évaluation de la filière) et de déterminer des règles de réduction des contraintes c'est à dire des aires de sécurité de fonctionnement adaptées aux caractéristiques réelles du composant et à son mode de fonctionnement. Cette étude se décompose en quatre chapitres.

Le premier chapitre comporte les notions fondamentales de la fiabilité des composants en Arséniure de Gallium. Les principales lois d'accélération des mécanismes de dégradation ainsi que les tests de vieillissement mis en oeuvre seront présentés. Des notions mathématiques permettant le traitement de données extraites au cours des différentes files d'essais seront également introduites. Après avoir rappelé les principes de base de la fiabilité, nous présenterons une synthèse des principaux mécanismes de défaillances des transistors en Arséniure de Gallium. Nous terminerons ce chapitre par une présentation technologique de la filière MMIC étudiée.

Le second chapitre est consacré à une méthodologie permettant l'évaluation de la fiabilité des circuits intégrés en Arséniure de Gallium. Une attention toute particulière sera apportée aux véhicules de test et à la mise en oeuvre des essais de vieillissement accéléré permettant l'évaluation d'un point de vue de la fiabilité de la filière considérée.

A partir des résultats obtenus lors des essais de stockage à haute température et de vieillissement sous contraintes électriques statiques, la fiabilité de la technologie sera démontrée. Cette partie fait l'objet du troisième chapitre.

La fiabilité de la technologie étudiée ayant été démontrée, nous validerons dans le quatrième chapitre l'application considérée (l'amplification de puissance) au travers d'essais de vieillissement sous contraintes électriques dynamiques.

Nous concluons cette étude par la présentation d'une méthode alliant la simulation avec des essais de vieillissement accéléré de courte durée qui permet d'évaluer la fiabilité des transistors de puissance en Arséniure de Gallium.





**Chapitre I** | **Notions de base sur la  
fiabilité des circuits en  
Arséniure de Gallium dans  
le domaine de  
l'amplification de  
puissance**



## **1 INTRODUCTION**

---

**L'**étude de la qualité des composants sur Arséniure de Gallium nécessite au préalable une bonne connaissance des principes de base de la fiabilité des composants électroniques.

Ainsi, afin de déterminer la durée de vie des composants en mode opérationnel, la méthode utilisée consiste à réaliser des essais de vieillissement accéléré. Les principaux facteurs d'accélération (température, densité de courant, champ électrique etc.) et les tests de vieillissement associés seront présentés.

Ces notions de base de la fiabilité seront suivies d'un bref rappel mathématique avec notamment la présentation de la loi log-normale qui permet la détermination de la fiabilité de la plupart des composants électroniques à base de semi-conducteur.

Nous présenterons ensuite une synthèse des performances en fiabilité des composants les plus couramment utilisés en termes de mécanismes de défaillance et nous donnerons les méthodes élémentaires d'interprétation des tests de vieillissement. Les données de fiabilité comme l'énergie d'activation, le temps moyen avant défaillance (MTTF) seront également analysées, bien que celles-ci soient inhérentes aux conditions d'essais et plus exactement au critère de défaillance choisi qui est un paramètre de mission. Une attention toute particulière sera apportée au vieillissement sous contraintes dynamiques plus représentatif des conditions de fonctionnement lors d'une utilisation en régime non linéaire pour l'amplification de puissance.

Nous terminerons ce chapitre par la présentation du procédé de fabrication des différents composants électriques (passif et actif) de la filière étudiée.



## **2 PRINCIPES DE BASE**

---

### **2.1 LA FIABILITE**

La qualité d'un produit n'assurera la totale satisfaction du client que dans la mesure où elle se maintiendra pendant toute la période d'utilisation de celui-ci. La fiabilité du composant exige donc ce maintien de la qualité dans le temps.

La fiabilité peut être définie également comme l'aptitude d'un dispositif à accomplir une fonction requise dans des conditions d'utilisation et pour une période de temps déterminées. Le terme fiabilité doit être considéré comme un paramètre supplémentaire d'un dispositif au même titre que ses paramètres électriques ou mécaniques. La principale différence réside dans le fait que l'on évalue la fiabilité au lieu de la mesurer.

La fiabilité est fonction des conditions d'utilisation. Les paramètres de fiabilité sont fonction inhérente des contraintes appliquées aux composants, qu'il s'agisse des contraintes résultant du fonctionnement (puissance appliquée, densité de courant, tension etc.) ou des contraintes d'environnement (température ambiante, chocs, vibration etc.).

La complexité croissante des composants électroniques (notamment dans le domaine spatial) et l'augmentation de leur densité d'intégration rendent les utilisateurs de plus en plus exigeants vis à vis de la fiabilité et des techniques d'évaluation correspondantes. Il apparaît dès lors que comme pour la qualité, il s'agit surtout de construire la fiabilité plutôt que de la contrôler. En d'autres termes, la fiabilité doit être prise en considération dès le stade de la conception après avoir défini dans un premier temps des aires de fonctionnement réalistes propres au composant et à son mode de fonctionnement.

### **2.2 LOIS D'ACCELERATIONS**

Les défaillances affectant les composants électroniques sont d'ordre mécanique, électrique, chimique, ou combinées.

Tout mécanisme de défaillance, à partir du moment où le processus est enclenché, peut être accéléré par une contrainte adaptée à la nature de la défaillance :

- la température pour un processus de diffusion ou de corrosion.
- la température associée à une différence de potentiel pour une migration électrolytique.

Ces processus sont régis par différentes lois :

- la loi d'Arrhénius, [1].
- la loi d'Eyring, [2], [3].
- la loi de Black, [4].

### **2.2.1 Action de la température**

La loi d'Arrhénius donne la vitesse de réaction de la plupart des mécanismes physico-chimiques responsables de la dégradation de tout composant électronique. Ceux-ci comprennent les migrations ioniques, la formation de composés intermétalliques, les changements moléculaires des matériaux isolants, ainsi que les réarrangements au niveau des structures microscopiques et cristallographiques des matériaux.

Cette loi s'exprime par la relation :

$$v = A \exp \frac{E_a}{k T} \quad \text{Equation 2-1}$$

où  $v$  est la vitesse de réaction,  $E_a$  l'énergie d'activation,  $k$  la constante de Boltzmann ( $8.62 \cdot 10^{-5}$  eV/K),  $T$  la température du dispositif en degré Kelvin et  $A$  un facteur de proportionnalité que l'on considère comme étant constant en fonction de la température.

Il apparaît immédiatement que la température  $T$  est un facteur d'accélération de ces mécanismes.

Le facteur d'accélération  $A_c$  de ces mécanismes est de la forme :

$$A_c = \exp \frac{E_a}{k} \left( \frac{1}{T_1} - \frac{1}{T_0} \right) \quad \text{Equation 2-2}$$
$$\text{MTTF} (T_0) = A_c \times \text{MTTF} (T_1)$$

où :  $T_1$  est la température de contrainte,  $T_0$  est la température de référence et  $\text{MTTF} (T)$  le temps moyen avant défaillance à la température  $T$ .

On réalise donc des tests accélérés à des températures supérieures à la température de fonctionnement, afin d'obtenir des données de fiabilité dans un temps relativement court (des tests de fiabilité réalisés à des températures de fonctionnement demanderaient plusieurs dizaines d'années !). Ces tests doivent contraindre les échantillons de manière contrôlée, c'est à dire sans introduire des modes de défaillance non représentatifs de l'utilisation.

La durée de vie  $t_{mj}$  du composant à la température de jonction considérée  $T_j$  est déterminée par extrapolation des durées de vies obtenues à plus hautes température (voir figure 2-1).

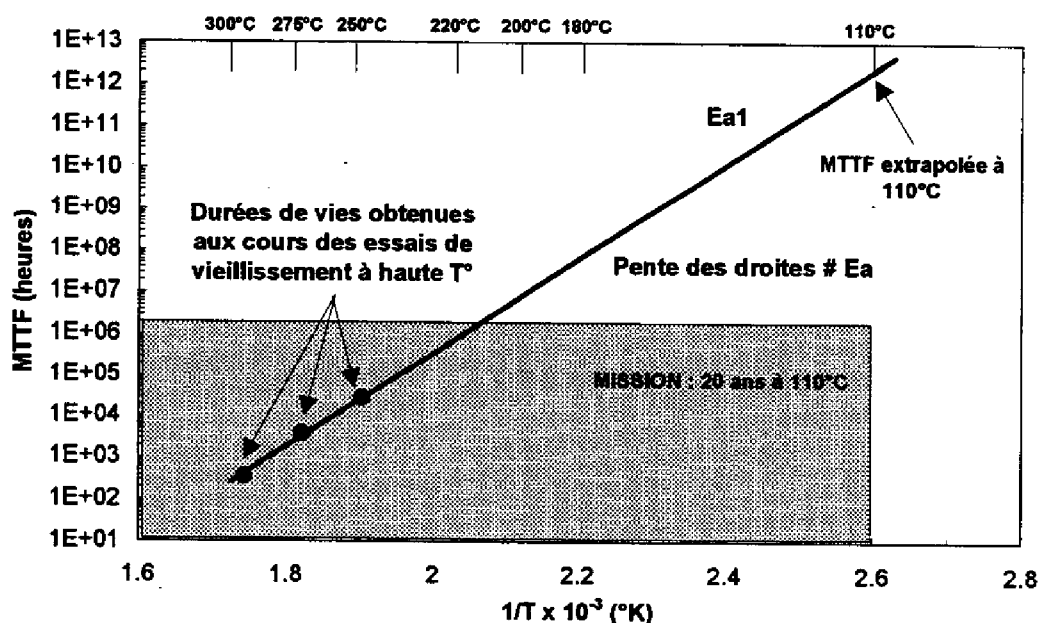


Figure 2-1 : Détermination du MTTF (Arrhénius)

La technologie en Arséniure de Gallium ne présente pas le même degré de maturité que la technologie Silicium. Si l'on considère la dépendance de la température sur les mécanismes de dégradation mis en évidence, deux domaines distincts apparaissent (voir figure 2-2).

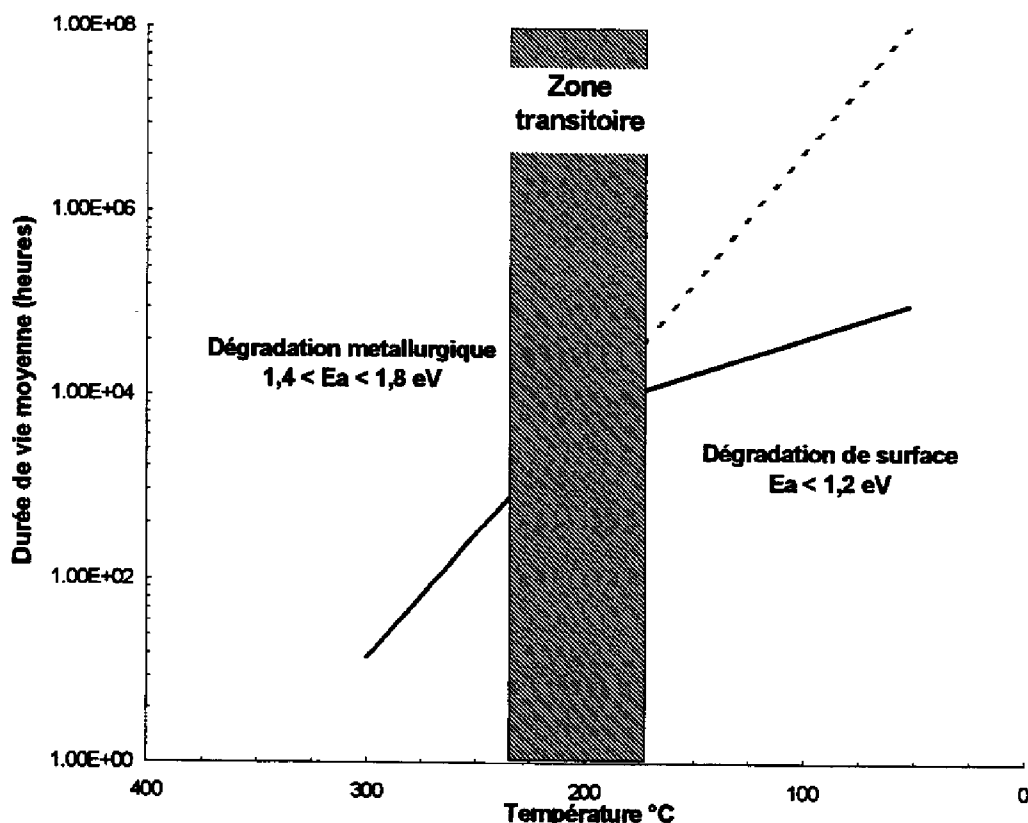
Pour des températures de l'ordre de 230°C à 330°C, les mécanismes de dégradation mis en évidence sont strictement dépendants de la température. Ce sont des dégradations des différents métaux qui composent le circuit. Les énergies d'activation dues à ces phénomènes varient entre 1.4 eV et 1.8 eV.

Les dégradations liées à la surface du composant apparaissent à des températures inférieures à 210°C. Pour mettre en évidence ces effets surfaciques, le transistor doit être polarisé afin d'appliquer un champ électrique relativement fort. Les énergies d'activation de ces mécanismes sont de l'ordre de 0.8 eV à 1.2 eV et de ce fait conditionne la durée de vie du composant.

Les dégradations apparaissant à des températures comprises entre 210°C et 250°C dépendent fortement des étapes technologiques propres aux fondeurs. Cela explique la disparité dans la littérature des énergies d'activation propre à un phénomène déterminé à cette gamme de température. L'application de telles températures s'effectue uniquement dans le but d'évaluer la robustesse de la technologie. Ces températures ne sont pas représentatives des conditions de fonctionnement et de ce fait ne peuvent pas être considérées comme un facteur d'accélération du vieillissement du composant. Les énergies d'activation déterminées sous de

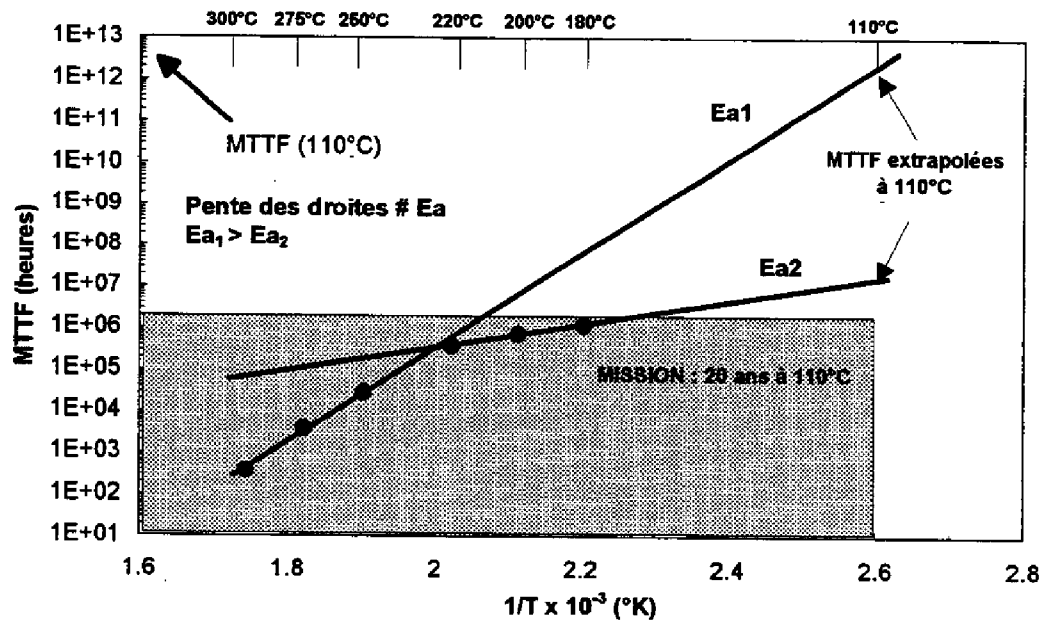
telles conditions doivent être utilisées avec beaucoup de précaution afin de déterminer la durée de vie du composant dans des conditions réelles de fonctionnement. L'application d'une valeur de température très élevée afin d'accélérer les mécanismes de dégradation et donc de réduire la durée du test peut s'avérer très délicate. En effet, il est très dangereux d'extrapoler les données obtenues à hautes températures à des températures de fonctionnement normal car rappelons-le ceci suppose dans l'équation 2-1 que A et  $E_a$  restent indépendants de la température ce qui n'est plus obligatoirement vérifié pour de très hautes températures. Un mécanisme de dégradation dont l'énergie d'activation est faible peut être masqué à hautes températures par exemple par une dégradation des contacts ohmiques dont l'énergie d'activation est élevée. Alors que ce mécanisme peut jouer un rôle prépondérant à des températures plus basses (voir Fig. 2-3).

En outre dans le cas des composants en Arséniure de Gallium des mécanismes de dégradation liés à l'ionisation par impact peuvent apparaître (dont l'activation est inversement proportionnelle à l'élévation de la température, voir paragraphe 2.2.3). Dans ce cas bien particulier les essais à hautes températures sont inutiles.



*Figure 2-2 : Mécanismes de dégradation en fonction de la température*





**Figure 2-3 : Visualisation du MTTF en fonction de la température pour des énergies d'activation de fortes et faibles valeurs**

La plupart des données de fiabilité sont définies en considérant que  $T_1$  représente la température de canal ou de jonction du transistor. La détermination de  $T_1$  n'est donc pas directe et les différentes méthodes permettant d'accéder à sa valeur seront présentées ultérieurement.

Cependant dans le cas de certains mécanismes de dégradation en relation avec l'environnement du composant (liés à l'hydrogène par exemple), la température ambiante devra être prise en compte.

### **2.2.2 Action de la densité de courant : l'électromigration**

Le phénomène d'électromigration est activé par la combinaison de la température et du courant électrique. Il s'agit du mouvement d'atomes métalliques, entraînés par des courants électroniques élevés ( $10^6$  A/cm<sup>2</sup> dans l'aluminium). Le flux d'électrons génère par collisions élastiques un déplacement des atomes (par transfert de quantité de mouvement) dans le sens de propagation électronique, d'où l'apparition de lacunes et d'amas métalliques le long du conducteur.

Si un mouvement uniforme se produit dans toute la zone métallique, aucun problème de fiabilité n'est à craindre. Par contre, lorsque les mouvements migratoires ne sont pas homogènes, il se produit, soit une accumulation de matière pouvant conduire à des courts-circuits, soit un affaiblissement des zones métalliques provoquant des circuits ouverts.

La durée de vie (MTTF) d'un composant soumis au phénomène d'électromigration est modélisé par l'équation de Black [4] :

$$MTTF = A J^{-2} \exp \frac{E_a}{kT} \quad \text{Equation 2-3}$$

où : A est une constante, J la densité de courant,  $E_a$  l'énergie d'activation, k la constante de Boltzmann et T la température de canal.

Le facteur d'accélération de ce mécanisme de défaillance est de la forme :

$$A_C = \frac{J_2^2}{J_1^2} \exp \frac{E_a}{K} \left( \frac{1}{T_1} - \frac{1}{T_2} \right) \quad \text{Equation 2-4}$$

### **2.2.3 Action du champ électrique : l'ionisation par impact**

L'ionisation par impact résulte d'une collision entre un électron chaud et le réseau cristallin. Pour acquérir une telle énergie, le porteur doit être accéléré par un fort champ électrique. Les principaux paramètres électriques de l'ionisation par impact sont :

- le taux d'émission fonction du champ électrique,  $\alpha(E)$
- le champ critique d'ionisation

Ce dernier permet de déterminer le seuil d'énergie  $\mathcal{E}_i$  au delà duquel un électron pourra rompre une liaison et créer une paire électron - trou.

Le taux de génération de paire électron trou est donné par la relation suivante [5] :

$$G = \alpha_n(E) n v_n + \alpha_p(E) p v_p \quad \text{Equation 2-5}$$

où : n et p sont les concentrations respectives des électrons et des trous,  $v_n$  ( $v_p$ ) est la vitesse de saturation de l'électron (du trou), et  $\alpha_n$  ( $\alpha_p$ ) est le coefficient d'ionisation par impact de l'électron (du trou).

Ce coefficient  $\alpha_n$  qui représente le nombre de paire électron - trou généré par un électron et par unité de longueur dépend de la valeur du champ électrique E et est fortement lié à l'orientation du cristal [6].

La compréhension physique du phénomène d'ionisation par impact relève de l'étude des interactions entre les électrons qui se déplacent dans le semi conducteur et les vibrations du réseau cristallin.

Chaque mode de vibration du réseau cristallin est caractérisé par une pulsation  $\omega$  et un vecteur d'onde q. Suivant la direction de ce dernier, on distingue deux types de vibration :

- les vibrations optiques dont les fréquences sont peu dispersées.
- les vibrations acoustiques dont l'énergie croît avec le module du vecteur d'onde.

L'énergie de chaque mode vibratoire étant quantifiée, l'échange d'énergie du mode de vibration avec un électron ne peut se faire que par la perte ou le gain d'un quantum d'énergie appelé phonon. Ces perturbations liées aux vibrations du cristal sont appelées collisions électron phonon.

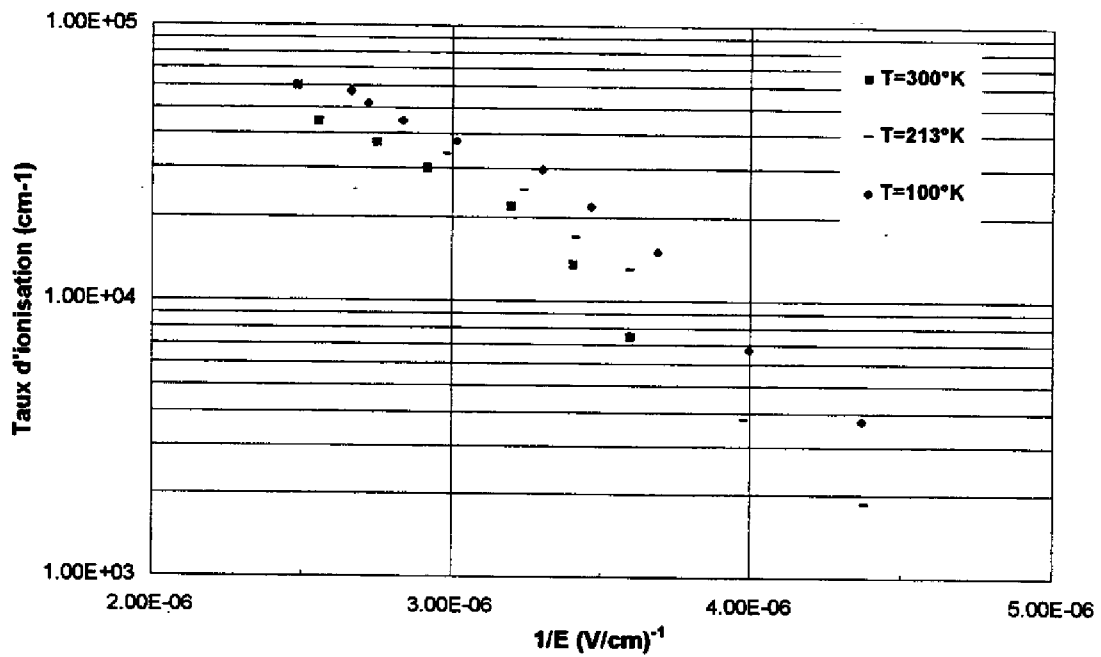
Les principales caractéristiques physiques liées à l'interaction électron phonon évoquées ci-dessus ont été caractérisées [7], [8] et ont permis d'évaluer l'influence de la température sur ce phénomène. Ainsi à partir de la caractérisation :

- du seuil d'énergie d'ionisation,
- du libre parcours moyen lié à une interaction avec un phonon optique,
- de l'énergie moyenne perdue par collision,

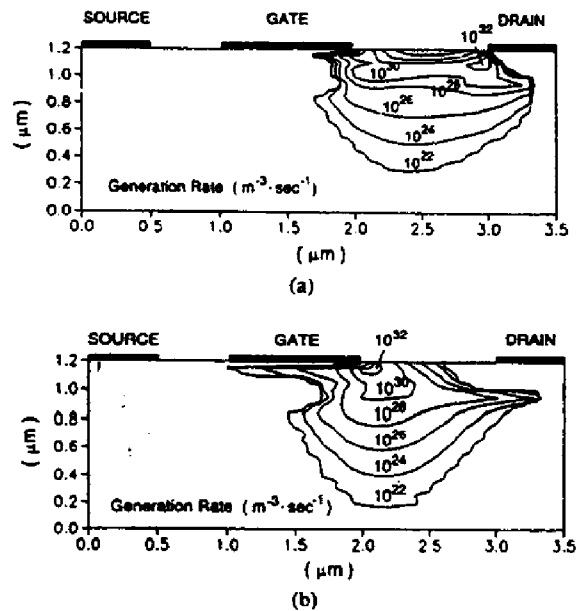
la valeur du taux d'ionisation sur du Silicium en fonction de la valeur du champ électrique pour différentes températures a été déterminée (voir figure 2-4).

Nous voyons que pour un champ électrique donné, la valeur du coefficient d'ionisation décroît lorsque la température augmente.

Le taux de génération de paire électron - trou dépend du produit de la densité de courant et du coefficient d'ionisation par impact. De ce fait l'ionisation par impact est directement corrélée à la valeur du champ électrique et à la mobilité des porteurs. Dans le cas des transistors à effet de champ de type « MESFET », l'ionisation par impact se produit soit au voisinage de la grille, coté drain où la valeur du champ électrique est la plus élevée, [9], [10] (voir Figure 2-5) ou bien dans le canal où à la fois densité de courant et valeur du champ électrique sont suffisamment importantes.



*Figure 2-4 : Valeurs expérimentales du coefficient d'ionisation des électrons  $\alpha_n$  fonction de l'inverse du champ électrique à 3 températures différentes sur du Silicium [3].*



*Figure 2-5 : Visualisation des taux de génération des porteurs par ionisation par impact sur un transistor à effet de champ- (a) :  $V_{GS}=0$  volt, (b) :  $V_{GS} = -3$  volts [12]*

#### **2.2.4 Autres contraintes**

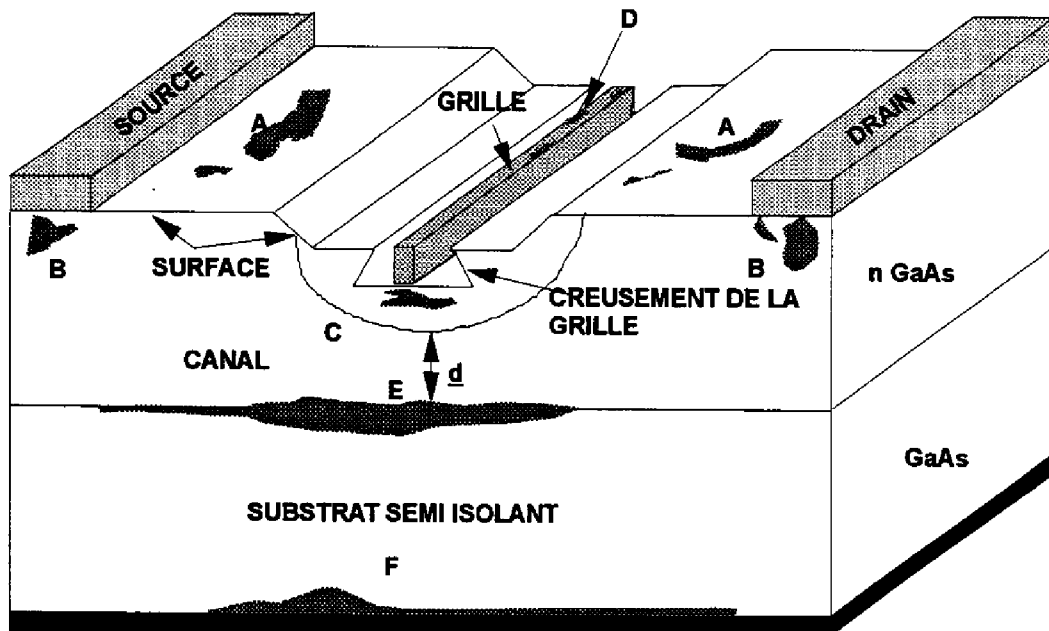
Il existe d'autres contraintes telles que la tension, l'humidité, la combinaison de la température et de l'humidité qui peuvent accélérer les mécanismes de défaillances. Les facteurs d'accélération de ces diverses contraintes ont été modélisés (loi d'Eyring, formule de Sbar et Kozakiewicz etc.) [11], [12], [13].

Leurs utilisations ne sont pas de toute simplicité en raison de la complexité des formules (nombre d'inconnues élevé).

Les principaux facteurs d'accélération ayant été explicités, les tests de vieillissement associés spécifiques au transistor sur Arséniure de Gallium sont présentés dans le paragraphe suivant.

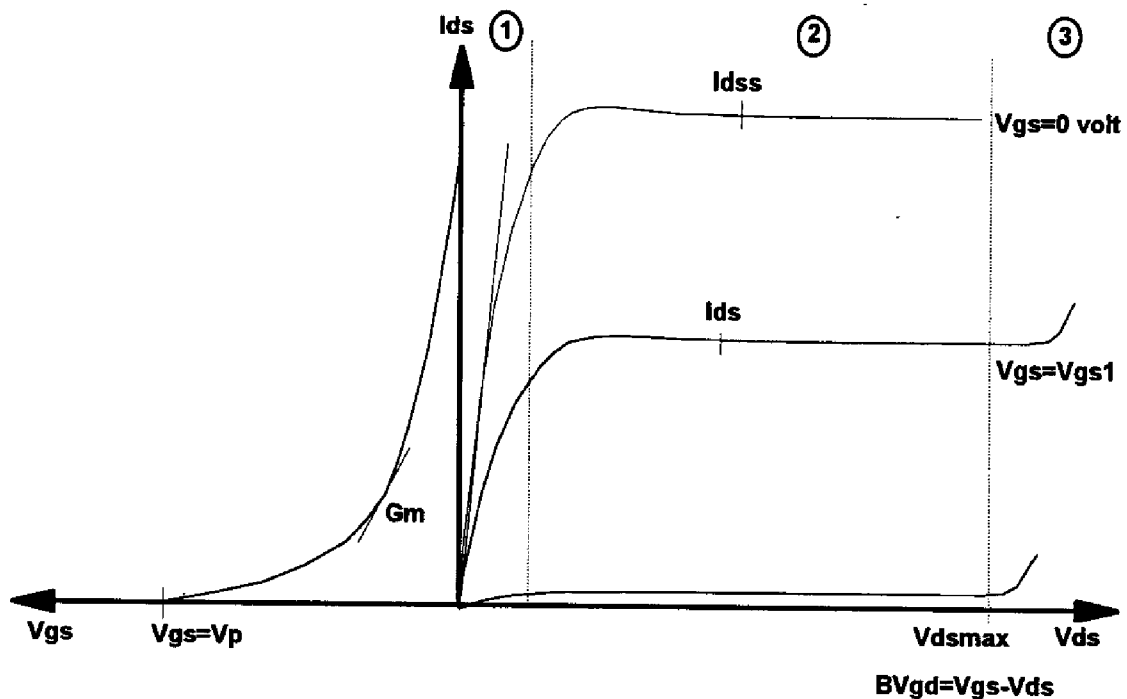
### **2.3 LES DIFFERENTS TESTS DE VIEILLISSEMENT ACCELERE**

Pour une bonne compréhension des tests et de leurs applications, il est bon de présenter dans un premier temps la structure du transistor à effet de champ sur Arséniure de Gallium. La figure 2-6 est une représentation schématique du transistor sur laquelle sont indiquées les différentes régions qui le composent ainsi que la localisation des principaux mécanismes de défaillances.



*Figure 2-6 : Schéma d'un MESFET montrant la localisation des principaux mécanismes de défaillance : (A) Surface de GaAs entre les métallisations de grille et de source (drain), (B) Contact ohmique source et drain, (C) Contact de grille Schottky et région du canal, (D) Métallisation de grille, (E) Interface canal / substrat, (F) Interface substrat / face arrière.*

Un réseau de courbes statiques typique du transistor à effet de champ est représenté sur la figure 2-7.



**Figure 2-7 : Réseau de courbes statiques typique d'un transistor de type MESFET**

Sur la caractéristique  $I_{ds} = f(V_{ds})$  à  $V_{gs} = cte$ , trois régions différentes apparaissent.

La région ① est appelée zone ohmique. Le courant de drain est proportionnel à la tension de drain. On définit pour une valeur de tension  $V_{gs}$  donnée, la résistance de canal notée  $R_{dson}$  par :

$$R_{dson} = \left. \frac{\Delta V_{ds}}{\Delta I_{ds}} \right|_{V_{gs}=cte} \quad \text{Equation 2-6}$$

La région ② est appelée zone de saturation. La valeur du courant de drain pour une valeur de tension drain donnée est commandée par la tension de grille (la profondeur  $d$  du canal est modulée par la zone "déplétée" créée par la jonction de grille de type Schottky polarisée en inverse). La valeur de la tension grille pour laquelle le courant de drain est nul est appelée tension de pincement,  $V_p$ . La valeur du courant de drain pour une tension  $V_{gs} = 0$  volt est appelé courant de saturation,  $I_{dss}$ .

A partir de la caractéristique  $I_{ds}=f(V_{gs})$  à  $V_{ds}=cte$ , on définit la transconductance du transistor,  $G_m$  par :

$$G_m = \left. \frac{\partial I_{ds}}{\partial V_{gs}} \right|_{V_{ds}=cte} \quad \text{Equation 2-7}$$

La région ③ correspond au régime d'avalanche. Il s'agit d'une des principales limites du fonctionnement des transistors à effet de champ. Ce phénomène se traduit par une augmentation brutale du courant  $I_{gd}$  entre le contact de grille et de drain du transistor au delà d'une certaine valeur de la tension grille - drain notée  $BV_{gd}$  et définie par :

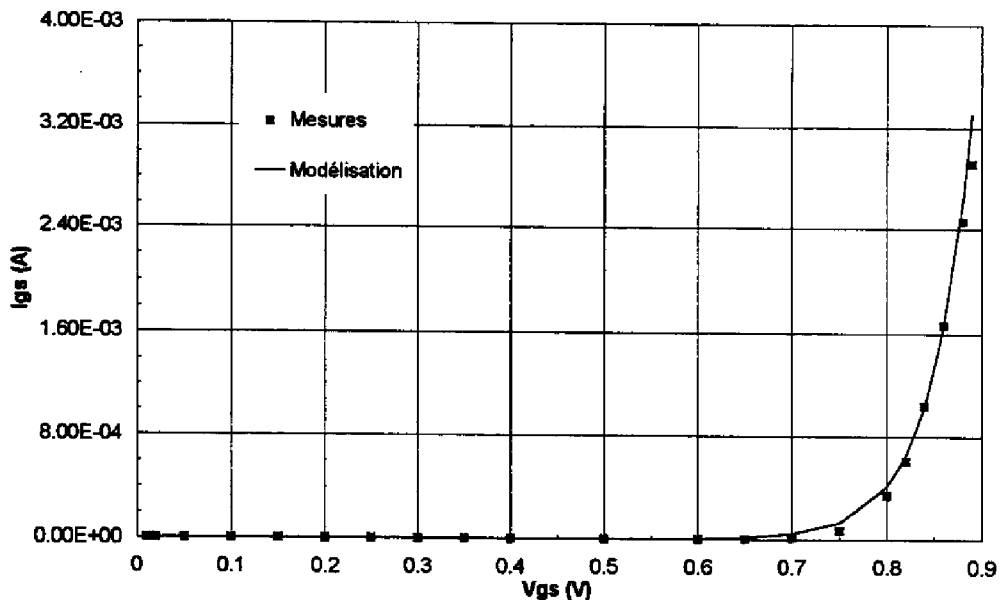
$$BV_{gd} = V_{gs} - V_{ds\ max} \quad \text{Equation 2-8}$$

La composante du courant d'avalanche  $I_{gd}$  vient se superposer au courant de saturation  $I_{ds}$  entraînant la destruction du composant.

On caractérise également le passage en direct de la jonction Schottky constitué par le métal de grille et le semi-conducteur par une équation exponentielle (voir figure 2-8) :

$$I_{gs} = I_s \exp\left(\frac{V_{gs}}{n U_T} - 1\right) \quad \text{Equation 2-9}$$

où :  $n$  est le facteur d'idéalité de la diode,  $I_s$  le courant inverse de saturation et  $U_T$  le potentiel thermodynamique (25 mV à 300°K).



*Figure 2-8 : Mesures et modélisation du courant direct de la diode du transistor étudié*



La mesure de ces différentes caractéristiques électriques permet l'évaluation et la localisation des éventuelles dégradations susceptibles de survenir lors des essais de vieillissement. Les principaux tests de vieillissement accéléré sur ce type de transistor sont :

- Stockage Haute Température (SHT) : les échantillons non polarisés sont stockés à différentes températures dans le but d'accélérer les mécanismes de défaillance thermiquement activés tels que les inter diffusions localisées aux interfaces métal/semi-conducteur, semi-conducteur/semi-conducteur, et à l'intérieur d'un métal.
- Vieillissement Accéléré sous Contraintes Statiques (VACS) : les échantillons sont stockés à différentes températures et polarisés dans des conditions statiques similaires à celles du fonctionnement normal dans le but de combiner les effets de la température et des contraintes électriques.
- Vieillissement Accéléré sous Polarisation Directe de la grille (VAPDG) : la grille de la diode Schottky est polarisée en direct afin d'imposer de fortes densités de courant sous haute température pour accélérer le phénomène d'électromigration sur cette dernière.
- Vieillissement Accéléré sous Polarisation Inverse de la grille (VAPIG) : la grille de la diode Schottky est polarisée en inverse (proche de sa tension de claquage) afin d'observer les effets cumulés des fortes valeurs du champ électrique notamment au niveau de la stabilité du claquage et de la température. Ce test est utilisé pour mettre en évidence les effets de surface.
- Vieillissement Accéléré sous Contraintes Dynamiques (VACD) : ces essais représentatifs des conditions de fonctionnement permettent de mettre en évidence les mécanismes de dégradation activés par une utilisation non linéaire (claquage grille-drain, électromigration de la grille).
- Vieillissement Accéléré sous Environnement Humide (VAEH) : les échantillons sont polarisés dans un environnement humide sous haute température.

Le tableau 2-1 résume l'efficacité de ces différents tests sur la détection des principaux modes de dégradation.

	SHT	VACS	VAPIG	VAPDG	VACD	VAEH
DEGRADATION DE LA SURFACE GaAs	*	**	**		**	**
DEGRADATION DES CONTACTS OHMIQUES	**	**	*	*	*	
ELECTROMIGRATION DES CONTACTS OHMIQUES		*		*	*	
CANAL ET JONCTION SCHOTTKY	**	**	*	*	*	
ELECTROMIGRATION DU METAL DE LA GRILLE		*		**	**	
CORROSION DU METAL						**

**Tableau 2-1 : Efficacité des différents tests sur la détection des principaux modes de dégradation des transistors de type MESFET**

Les résultats obtenus au cours de ces différents essais de vieillissement doivent être analysés. Nous présentons dans les lignes qui vont suivre les principaux outils mathématiques nécessaires à l'obtention de données de fiabilité.

#### **2.4 TRAITEMENT MATHEMATIQUE DE LA FIABILITE**

Le terme fiabilité représente une caractéristique indiquant une probabilité de bon fonctionnement ou une proportion de succès. L'estimation de la probabilité de bon fonctionnement ne peut se faire que sur des expériences faites sur un grand nombre de dispositifs. Cette notion de bon fonctionnement est la plupart du temps parfaitement définie. Des spécifications fixent les domaines dans lesquels les diverses caractéristiques des dispositifs doivent se trouver pour qu'un composant soit considéré comme bon.

On note deux types de défauts :

- Les défauts catalectiques qui mettent immédiatement et définitivement le dispositif hors d'usage.

- Les défauts de dérive qui proviennent d'une dérive lente d'un paramètre hors de certaines limites.

### **2.4.1 Fonction de Fiabilité**

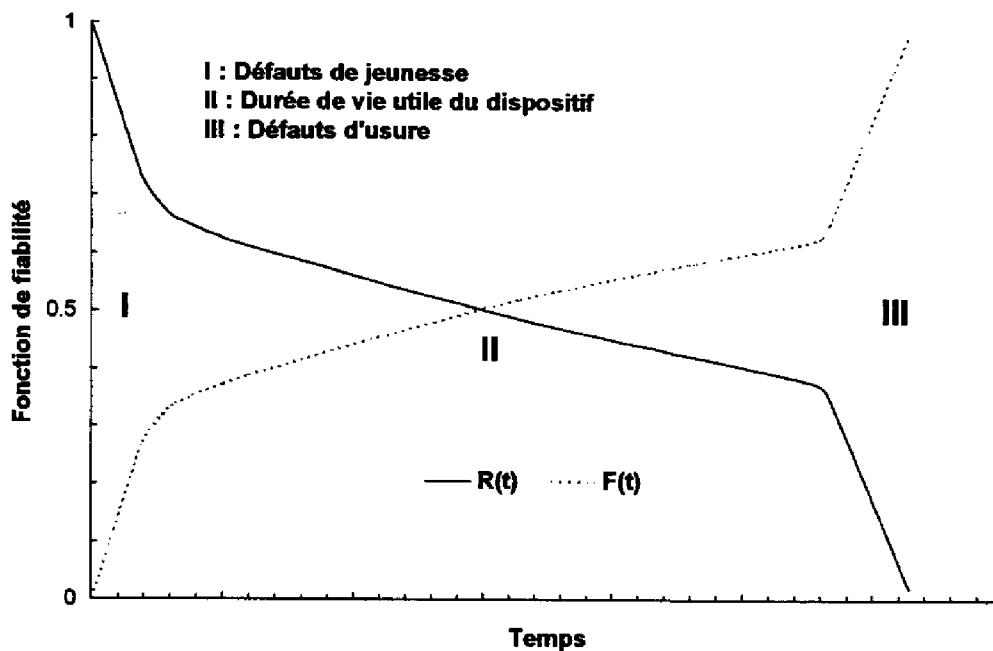
La fiabilité est la probabilité de non défaillance jusqu'à un âge  $t$ . Elle est donnée par la relation :

$$R(t) = 1 - F(t) = 1 - \int_0^t f(u) du \quad \text{Equation 2-10}$$

avec  $R(0) = 1$  et  $R(\infty) = 0$

où :  $f$  est la densité de probabilité d'apparition d'un défaut et  $F$  la fonction de répartition associée.

Dans le cas des dispositifs électroniques, la courbe donnant la fiabilité  $R$  en fonction du temps  $a$ , en général, l'allure suivante (voir Fig. 2-9). Les défauts de jeunesse et d'usure sont situés respectivement dans les régions I et III tandis que la durée de vie utile de l'appareil se situe au niveau de la région II.



**Figure 2-9 : Fiabilité en fonction du temps**

On utilise également la notion de Taux de défaillances  $\lambda$ , donnée par la relation :

$$\lambda(t) = \frac{f(t)}{R(t)} = -\frac{1}{R} \frac{dR}{dt} \quad \text{Equation 2-11}$$

où  $\lambda(t) dt$  est la probabilité conditionnelle de défaillance dans l'intervalle  $t$  et  $t+dt$ , sachant que le système est resté en état de marche jusqu'au temps  $t$ .

Remarque :  $\lambda(t)$  est une densité de probabilité conditionnelle car elle ne considère que la probabilité de défaillance des survivants, alors que la densité de probabilité  $f(t)$  est rapportée au nombre initial de dispositifs.

Il en résulte que si  $\lambda(t) = \lambda_0 = \text{Cte}$ , le système ne s'use pas : il a la même chance de tomber en panne entre 0 et  $dt$ , qu'entre  $t$  et  $t+dt$  s'il est arrivé jusqu'au temps  $t$ . Dans ce cas, il est facile de vérifier que l'on a :

$$\begin{aligned} R(t) &= e^{-\lambda_0 t} \\ F(t) &= 1 - e^{-\lambda_0 t} \\ f(t) &= \lambda_0 e^{-\lambda_0 t} \end{aligned} \quad \text{Equation 2-12}$$

Le temps moyen  $\theta$  jusqu'à défaillance est donné par :

$$\theta = \int_0^{\infty} t f(t) dt \quad \text{Equation 2-13}$$

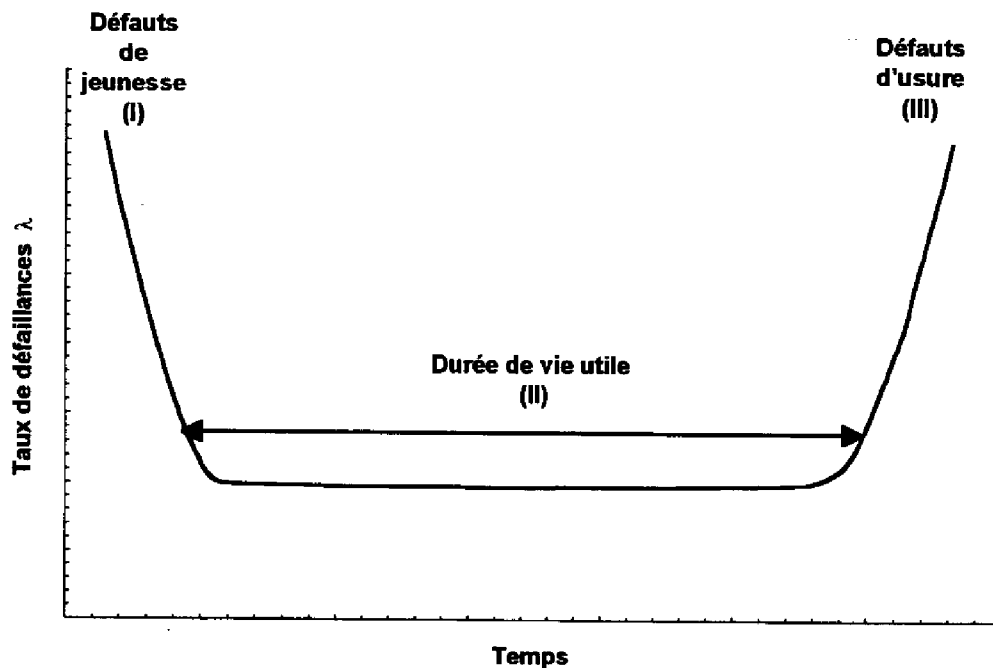
C'est en effet la moyenne des durées de vie individuelles de chaque pièce dont la densité de probabilité de fin de vie est  $f(t)$ . La figure 2-10 représente l'évolution dans le temps de  $\lambda(t)$  pour les dispositifs électroniques. Cette courbe est déduite de la courbe de la figure 2-9.

On distingue sur cette courbe trois régions qui avaient déjà été repérées sur la figure 2-9.

Dans la région I, le taux de défaillances décroît ; c'est la période où se manifestent les défauts de jeunesse, c'est à dire ceux qui n'ont pu être éliminés par le contrôle de fabrication. Au cours de cette période le système s'améliore puisque la probabilité conditionnelle d'apparition de défaut décroît.

La région III correspond au contraire à la période d'usure du système : la probabilité conditionnelle croît. Le début de la région III correspond à la fin de la vie utile du dispositif.

La région II correspond à la période normale de fonctionnement : le taux de défaillances est constant, c'est à dire que la défaillance du dispositif a la même chance de se produire quel que soit le temps considéré, si celui-ci est resté en bon état jusqu'à cet instant. Cette région est sous l'entière responsabilité de l'utilisateur. Le taux de défaillances  $\lambda$  est fonction inhérente de la conception et de l'utilisation du dispositif.



**Figure 2-10 : Evolution du taux de défaillances d'un dispositif électronique dans le temps**

On admet qu'au cours de la durée de vie utile d'un dispositif le taux de défaillances est constant. La fiabilité est mesurée à tout instant par le taux de défauts  $\lambda_0$ .  $\lambda_0$  s'exprime en proportion de défauts par heures (ou en défauts par pièces-heures). Les chiffres trouvés lorsque le dispositif est un composant actif semi conducteur sont en général de l'ordre de  $10^{-9}$  défauts par pièces-heures ce qui correspond à 1 FIT.

Ce bref rappel mathématique a montré l'importance de la densité de probabilité d'apparition d'un défaut. Le paragraphe suivant présente les principales lois utilisées lors de l'évaluation de la fiabilité des dispositifs électroniques.

#### **2.4.2 Principales lois de probabilité utilisés en fiabilité**

Les principales lois de probabilité utilisées en fiabilité sont :

- La loi de survie exponentielle utilisée lorsque le taux de défaillance est constant, c'est à dire au niveau du palier de la courbe en baignoire
- La loi normale utilisée pour rendre compte de la période d'usure.
- La loi log-normale utilisée lorsque le logarithme de la durée de vie suit une distribution normale : c'est le cas de la plupart des mécanismes de défaillance dans les

semi-conducteurs. Cette loi est donc très utilisée dans la technique des essais accélérés. C'est cette dernière que nous utiliserons.

- La loi de Weibull qui présente l'avantage de dépendre de 3 paramètres. Suivant la valeur de ces derniers on peut être en présence d'une loi exponentielle, normale etc..

Dans le cadre de notre étude, nous nous intéressons aux défauts d'usure des dispositifs électroniques. Nous allons donc présenter les principales caractéristiques mathématiques des lois normales et log-normales.

#### **2.4.2.1 La loi normale**

La loi normale est la loi d'une variable X continue, variant de  $-\infty$  à  $+\infty$ , dont la densité de probabilité  $f(x)$  est :

$$f(x) = \frac{1}{\sigma_x \sqrt{2 \Pi}} e^{-\frac{(x-\mu_x)^2}{2 \sigma_x^2}} \quad \text{Equation 2-14}$$

La loi normale dépend de deux paramètres :

- son espérance mathématique ou moyenne :

$$E[X] = \mu_x \quad \text{Equation 2-15}$$

remarque : dans le cadre d'essais de vieillissement accéléré, la variable x correspond au temps.  $\mu_x$  correspond alors à la durée de vie moyenne.

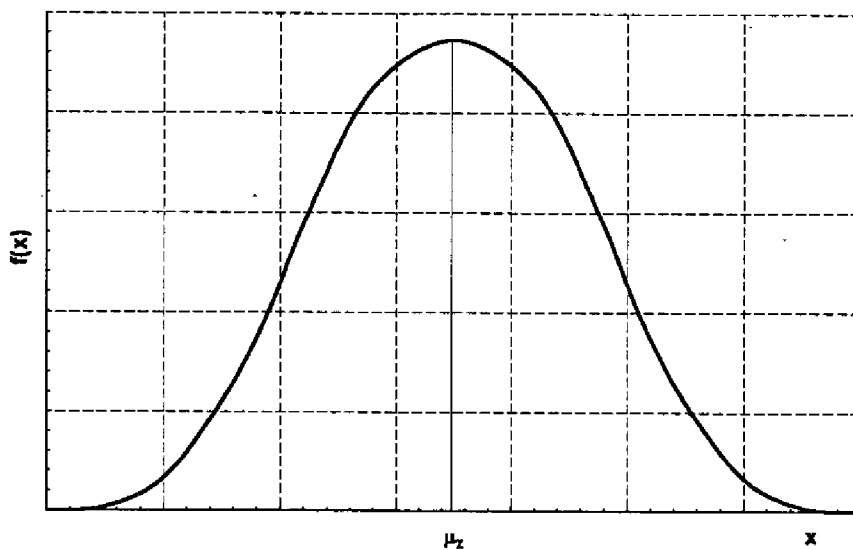
- sa variance ou écart type :

$$V[X] = \sigma_x^2 \quad \text{Equation 2-16}$$

La courbe représentative de  $f(x)$  est, symétrique par rapport à  $x=\mu_x$ . (voir figure 2-11).

La fonction de répartition associée est :

$$F(x) = \int_{-\infty}^x \frac{1}{\sigma_x \sqrt{2 \Pi}} e^{-\frac{(u-\mu_x)^2}{2 \sigma_x^2}} du \quad \text{Equation 2-17}$$



**Figure 2-11 : Courbe représentative de la densité de probabilité de la loi normale notée  $N(\mu, \sigma)$**

Toute loi normale  $N(\mu, \sigma)$  se ramène par le changement de variable

$$u = \frac{x - \mu_x}{\sigma_x} \quad \text{Equation 2-18}$$

à une loi normale de moyenne nulle et d'écart type unité, dite loi normale réduite dont les densités de probabilité  $f(u)$  est notée :

$$f(u) = \frac{1}{\sqrt{2\pi}} e^{-\frac{u^2}{2}} \quad \text{Equation 2-19}$$

#### **2.4.2.2 La loi log-normale (ou loi de Galton)**

Cette loi est utilisée lorsque le logarithme de la durée de vie suit une distribution normale. Afin de se ramener dans le cas d'essais de fiabilité, nous adopterons dorénavant la variable temps, notée  $t$  plutôt qu'une variable  $x$  plus générale. La loi log-normale est caractérisée par :

- sa densité de probabilité :

$$f(t) = \frac{1}{t \sigma \sqrt{2\pi}} e^{-\frac{(\ln t - \mu)^2}{2\sigma^2}} \quad \text{Equation 2-20}$$

où :  $\sigma$  est l'écart type de  $\ln(t)$ ,  $\mu = \ln(t_m)$  est l'espérance mathématique de  $\ln(t)$  et  $t_m$  la durée de vie moyenne.

La fonction de répartition  $F(t)$  qui correspond à la fonction cumulative de défaillance et la fonction de fiabilité  $R(t)$  sont notées par :

$$F(t) = \int_0^t \frac{1}{t \sigma \sqrt{2\pi}} e^{-\frac{1}{2\sigma^2} (\ln t / t_m)^2} dt \quad \text{Equation 2-21}$$

$$F(t) = \frac{1}{2} \left( 1 + \operatorname{erf} \frac{1}{\sqrt{2}\sigma} \ln(t / t_m) \right)$$

$$R(t) = 1 - F(t) = \frac{1}{2} \operatorname{erfc} \frac{1}{\sqrt{2}\sigma} \ln(t / t_m) \quad \text{Equation 2-22}$$

Le temps moyen jusqu'à défaillance (MTTF) représente l'espérance mathématique de la variable  $t$ . Son expression est de la forme [11] :

$$\text{MTTF} = t_m \exp \frac{\sigma^2}{2} \quad \text{Equation 2-23}$$

L'intervalle de confiance limite de la durée de vie d'un dispositif suivant une distribution log-normale est donné par [11] :

$$\ln(t_{50, \beta\%}) = \ln(t_{50}) - \sigma N^{-0.5} T(N-1, \beta) \quad \text{Equation 2-24}$$

où :  $N$  étant la taille de l'échantillon,  $T(N-1, \beta)$  les fractiles de la loi de Student avec  $N-1$  degré de liberté et un intervalle de confiance  $\beta$ .

#### Taux de défaillance d'usure

L'expression du taux de défaillance d'usure est donnée par :

$$\lambda = \frac{f(t)}{1 - Q(t)} = \frac{f(t)}{R(t)} = \frac{\sqrt{2} \exp\left(-\frac{1}{2\sigma^2} (\ln t / t_m)^2\right)}{\sqrt{\pi} t \sigma \operatorname{erfc}\left(\frac{1}{\sqrt{2}\sigma} \ln t / t_m\right)} \quad \text{Equation 2-25}$$



En raison de la complexité de la fonction on utilise une abaque (abaque de Goldthwaite) permettant d'obtenir le taux de défaillance à partir de la durée de vie moyenne.

#### . Taux de défaillance aléatoire

Le taux de défaillance aléatoire (à ne pas confondre avec le taux de défaillance d'usure), traite de la région II de la figure 1-4. Il concerne la fiabilité opérationnelle du composant en relation avec son mode d'utilisation alors qu'une donnée comme le MTTF est liée à la fiabilité intrinsèque du composant (défaut d'usure).

Le taux de défaillance aléatoire est déterminé dans les conditions réelles de fonctionnement (en terme de température, de contraintes électriques et d'environnement). Il ne peut être défini que par le retour d'expérience des dispositifs en fonctionnement. A titre d'exemple, dans le cas des micro processeurs des ordinateurs, il est aisé de déterminer le taux de défaillance aléatoire en raison du grand nombre d'ordinateurs en fonctionnement de par le monde. Dans le cas des applications spatiales la détermination du taux de défaillance aléatoire est délicate en raison de la trop faible population d'équipement embarqué.

Le taux de défaillance aléatoire peut être estimé en utilisant la distribution du "chi-deux" en supposant la loi de distribution des défaillances comme étant exponentielle [27].

$$\lambda = \frac{1}{\text{MTBF}} \times 10^9 \text{ (FIT)}$$

*Equation 2-26*

$$\lambda = \text{chi}^2 \frac{(2(r+1), \alpha)}{2 T} \times 10^9 \text{ (FIT)}$$

où :  $\lambda$  (t) est le taux de défaillance en FIT, MTBF le temps moyen entre défaillance, r le nombre de dispositifs défaillants,  $1-\alpha$  le niveau de confiance et T la grandeur échantillons-heures totale.

Afin de valider les résultats obtenus, il incombe de justifier le choix de la densité de probabilité d'apparition d'un défaut. Pour cela nous utilisons des tests d'hypothèse de distribution.

#### **2.4.3 Tests d'hypothèses de distribution : ajustements graphiques**

Le but de l'utilisation des papiers à échelle fonctionnelle est de trouver à partir des résultats obtenus en exploitation, la loi suivie par le phénomène étudié en utilisant une représentation graphique. Les papiers fonctionnels ont pour effet de rendre linéaire la fonction de distribution cumulative tracée sur ce papier si la loi de distribution suit effectivement la loi correspondant

aux échelles fonctionnelles. Dans le cas d'une distribution de la durée de vie suivant une loi log-normale on utilise un graphique à échelle gausso-logarithmique

### **2.4.3.1 Estimateurs de la fonction de fiabilité R(t) et de F(t)**

Un estimateur de la fonction de fiabilité R(t), à l'instant t est donné par :

$$R(t) = 1 - \frac{n(t)}{N} \quad \text{Equation 2-27}$$

où : n(t) est le nombre de dispositifs défectueux à l'instant t et N le nombre initial de dispositifs. Toutefois, au moment de la défaillance du dernier individu, soit au temps  $t_f$  tel que  $N(t_f)=0$ , on obtient 0 comme estimateur de R, alors que  $R = 0$  pour  $t \rightarrow \infty$ . On démontre qu'il vaut mieux prendre comme estimateur de R, la médiane des valeurs de R que l'on obtiendrait en répétant de nombreuses fois l'expérience. Cet estimateur est le plus couramment utilisé dans le cas d'un nombre d'échantillons relativement faible.

A l'instant t de la i-ème défaillance ( $n(t)=i$ ), on a :

$$\hat{R} = 1 - \frac{i - 0.3}{N + 0.4} \quad \text{Equation 2-28}$$

### **2.4.3.2 Echelle gausso-logarithmique**

Sur l'axe des abscisses, on réalise une échelle logarithmique et sur celui des ordonnées une échelle arithmétique u (-3, -2, -1, 0, +1, +2, +3) pour laquelle on fait correspondre à chaque valeur de u :

$$F(u) = \frac{1}{\sqrt{2\pi}} \int_{-\infty}^u \frac{e^{-\frac{(\ln t)^2}{2}}}{t} dt \quad \text{Equation 2-29}$$

qui n'est autre que la densité cumulative de défaillances. On porte en abscisses les valeurs observées  $t_i$  et en ordonnées sur l'échelle des F(u) les valeurs estimées de la fonction de répartition à partir de l'estimateur :

$$\hat{F}(t_i) = \frac{i - 0.3}{N + 0.4} \quad \text{Equation 2-30}$$

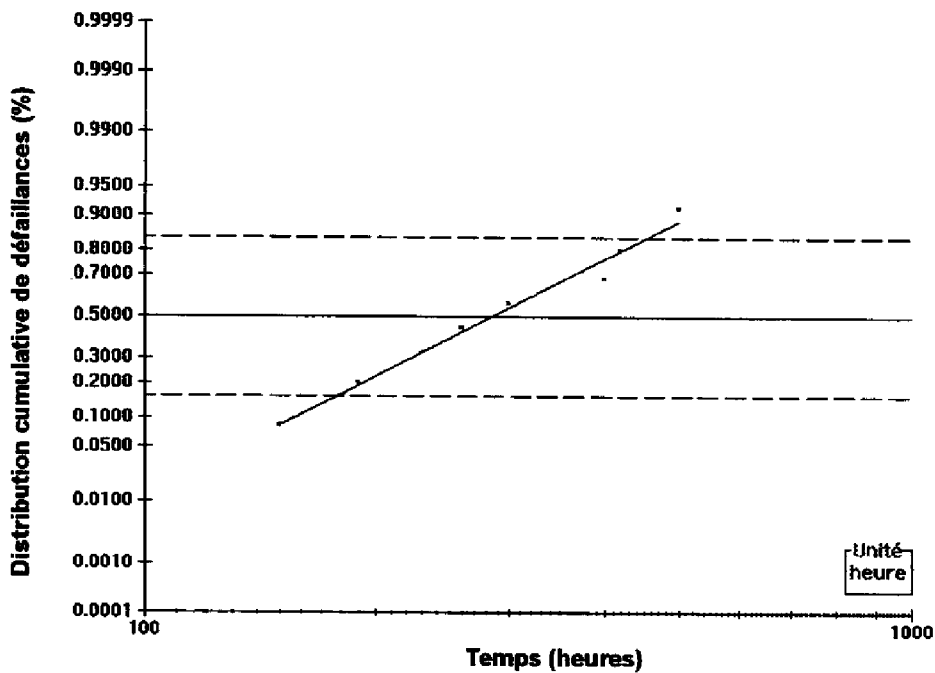
Dans le cas d'une loi log-normale centrée réduite, les ordonnées correspondent sur le diagramme aux valeurs  $u_i$  définies par :

$$u_i = \frac{\text{Ln } t_i - \mu}{\sigma} \quad \text{Equation 2-31}$$

Les points  $(t_i, u_i)$  tendent donc à être alignés sur une droite que l'on appelle droite de Henry. On peut estimer  $\mu$  qui correspond à  $u=0$  et  $\sigma$  qui a pour expression :

$$\sigma = \frac{1}{2} \text{Ln} \frac{t_2}{t_0} \quad \text{Equation 2-32}$$

$t_0$  étant le point d'abscisse correspondant à une valeur de la distribution cumulative de 50% et  $t_2$  le point correspondant à une valeur de 97,7%. La figure 2-12 représente la distribution cumulative des défaillances obtenue lors d'essais de vieillissement à 175°C sous contraintes statiques sur une résistance en AuGeNi. La droite de Henry obtenue justifie le choix d'une loi log-normale pour la densité de probabilité d'apparition d'un défaut. On obtient une durée de vie moyenne de 280 heures et un écart type de l'ordre de 0,2.



**Figure 2-12 : Représentation de la distribution cumulative de défaillances de la résistance AuGeNi sur une échelle gaussio-logarithmique**

### **3 MECANISMES DE DEGRADATION DES MESFET**

---

Cette étude a porté sur des structures de transistors proches des structures MESFET. Ces dernières ont été largement étudiées et l'analyse de leurs mécanismes de dégradation a constitué un bon point de départ. L'objet de ce paragraphe est de synthétiser les mécanismes de défaillances les plus significatifs dans le cas d'une utilisation en amplification de puissance.

#### **3.1 DEGRADATION DE LA GRILLE DU TRANSISTOR**

La nature du métal de grille doit permettre :

- un bon contact Schottky avec un faible courant de fuite et une hauteur de barrière de potentiel suffisamment importante.
- une bonne adhésion avec le GaAs.
- une faible résistivité.
- de bonnes qualités lithographiques.
- une haute stabilité thermique.
- une faible tendance à l'électromigration et à la corrosion.

Les diverses étapes technologiques comme la méthode de dépôt, le nettoyage de la surface GaAs, la passivation etc. doivent être parfaitement maîtrisées.

Les métaux les plus couramment utilisés sont le Titane et l'Aluminium. La conductivité électrique de l'Aluminium est suffisante pour que celui-ci soit utilisé seul. En ce qui concerne le Titane, des composés complexes (Au/Pt/Ti, Au/W/Ti, Au/Cr/Pt/Ti, Au/Pd/Ti) comprenant des barrières d'inter diffusion sont nécessaires en raison de la forte résistance du Ti et de sa tendance à s'oxyder ce qui dégrade les connexions. De tels systèmes complexes présentent une forte résistance aux phénomènes d'électromigration et de corrosion, et permettent de s'affranchir de l'interaction Au/Al (peste pourpre) mise en évidence sur les grilles à base d'Aluminium. Toutefois des mécanismes de défaillances relatifs à l'interaction Au/GaAs et à la réactivité de l'hydrogène dans l'environnement du composant sont susceptibles de se produire sur des grilles à base de Titane.

Des paramètres électriques comme le courant de saturation de drain, la tension de claquage inverse grille-drain ( $BV_{GD}$ ), la capacité d'entrée, les résistances séries parasites de grille dépendent fortement de la nature du contact de grille Schottky.

### **3.1.1 Interaction Au/GaAs : diffusion du métal de grille dans le canal « gate sinking »**

L'interaction de l'or avec le semi-conducteur se manifeste par une pénétration massive de l'or à travers la couche barrière ("*gate sinking*") qui cause un amincissement du canal actif [10], [11], [12], [13], [14], [15].

Les modes de dégradation associés à une inter diffusion Au/GaAs se traduisent par une réduction du courant  $I_{dss}$ , de la valeur absolue de la tension de pincement  $V_p$  et par une augmentation de la résistance de canal ouvert  $R_{DSON}$ .

Ce mécanisme est activé électriquement : que ce soit sous contraintes statiques [18] ou sous contraintes dynamiques [13], [16], [17].

Afin de s'affranchir de ce problème on utilise des barrières d'inter diffusion. L'efficacité de celles-ci dépend des matériaux choisis, de leurs épaisseurs et des impuretés qu'ils contiennent. L'utilisation de films d'Aluminium pour la métallisation de grille est également adoptée avec une fiabilité satisfaisante. En effet les films d'Aluminium constituent une barrière pour la diffusion d'impuretés dopantes et d'atomes provenant du substrat. Il est bon de noter en outre que la diffusion d'atomes d'Aluminium dans la région du canal n'est pas significative aux températures considérées [12], [16], [19], [20].

En résumé, l'interaction Au/GaAs est favorisée par :

- l'amincissement ou la perte d'adhésion des films métalliques,
- les différents gradients de température,
- les mauvais alignements géométriques entre l'or et les couches jouant le rôle de barrière.

Ce mécanisme de défaillance est à redouter plus particulièrement sur des technologies utilisant des grilles à base de Titane.

### **3.1.2 Effet de l'Hydrogène**

Des dispositifs en Arséniure de Gallium dont la particularité est de posséder un métal de grille à base de Platine ou de Palladium montés dans des boîtiers hermétiques sont sujets à des dégradations après déverminage dues à la présence d'hydrogène.

Il s'agit d'un problème majeur de non fiabilité qui préoccupe actuellement la plupart des fondeurs. Le tableau suivant relate les effets constatés chez différents fabricants [21], [22].

FONDEURS	TEXAS INSTRUMENTS	HUGHES	RAYTHEON	TRIQUINT
EFFETS	$\downarrow$ GM, $\downarrow$ VP, $\nearrow$ VP, $\downarrow$ IDSS (MESFET) $\downarrow$ IDSS, $\nearrow$ IDSS (PHEMT)	$\nearrow$  VP , $\nearrow$ IDSS (MESFET)	$\downarrow$ IDSS, VP # CTE (PHEMT)	$\nearrow$ GM, $\nearrow$ IDSS (MESFET)

**Tableau 3-1 : Synthèse des effets de l'Hydrogène chez différents fondeurs**

Une énergie d'activation d'environ 1 eV caractérise ce phénomène.

Le mécanisme de défaillance supposé est lié au dégazage de l'hydrogène H<sub>2</sub> provenant du boîtier ou des matières organiques (colle etc.). L'hydrogène sous l'action d'un catalyseur en l'occurrence le Platine ou le Palladium se scinde en deux ions H<sup>+</sup>. L'atome d'hydrogène diffuse dans le canal et soit neutralise les donneurs, ( $\downarrow$  Idss, |Vp|  $\downarrow$ ), ou bien modifie l'interface Schottky diminuant la tension de diffusion (Idss  $\nearrow$ ).

La grande disparité des données de fiabilité (Ea, concentration d'H<sub>2</sub> minimale permettant l'amorce de la dégradation etc.) publiées jusqu'ici montrent que ce phénomène n'est pas totalement maîtrisé.

De gros moyens [23] ont été récemment mis en oeuvre par Texas Instruments afin de mieux appréhender ce phénomène. Ces travaux effectués sur 160 modules permettent la prise en compte de différents paramètres comme la polarisation, la pression d'hydrogène et la température. Ces résultats ont montré que :

- la polarisation électrique n'a pas d'influence sur le mécanisme de dégradation dû à l'hydrogène.
- ce mécanisme est activé par la température ambiante et non par la température de canal.

La grande homogénéité des résultats obtenus a permis l'extraction d'un modèle mathématique :

$$t = A P^n \exp\left(\frac{E_a}{K T}\right) \quad \text{Equation 3-1}$$

où : t est la durée de vie obtenu pour une décroissance de 10% du courant de drain, T la température en Kelvin, P la pression partielle d'hydrogène, K la Cte de Boltzmann, Ea=0.73 eV, A=5.43 10<sup>-6</sup> et n=0.793.

Les solutions mises en oeuvre pour remédier à ce phénomène sont soit un traitement thermique des boîtiers afin d'éviter le dégazage, soit un changement du métal de grille ou bien l'utilisation de boîtiers non hermétiques.

### **3.1.3 Electromigration de la grille**

L'électrode de grille, de par sa géométrie particulière, est très sensible aux problèmes de fiabilité. La présence de défauts dans le métal cause des vides et des ouvertures dans les doigts de grille avec pour conséquence une perte de contrôle du courant de drain.

Ainsi un signal R.F. de forte amplitude lors du passage de la diode en direct peut affecter les caractéristiques électriques des MESFET en accélérant l'électromigration. L'optimisation des conditions de polarisation et de fonctionnement hyperfréquence génère des courants de grille moyen  $I_g$  de plusieurs milliampères [24]. Cet état de fait concerne surtout les MESFET de puissance où les densités de courant tout comme les températures peuvent être très importantes. Le signal sur la grille pour des puissances d'entrée élevées, va conduire à l'apparition d'un courant de grille, par excursion du point de fonction dynamique sur la caractéristique directe de la grille Schottky; les densités de courant de grille sont alors comprises entre  $10^3$  et  $5 \cdot 10^4$  A/cm<sup>2</sup> [25].

Une évaluation du phénomène d'électromigration des MESFET à grille Aluminium est rapportée par C Canali et al. [20]. Sur l'échantillon défaillant soumis à 3400 heures de test de vieillissement accéléré sous polarisation directe de la grille avec une densité de courant sur cette dernière de  $5 \cdot 10^5$  A/cm<sup>2</sup> à une température de canal de 200°C, le contrôle du courant de drain est perdu, et on ne peut plus atteindre les conditions de pincement.

L'homogénéité des films joue un rôle essentiel dans le phénomène d'électromigration de grille, ceci expliquant la dispersion des données rapportée par la littérature. Les énergies d'activation varient pour la plupart entre 0.5 et 1 eV.

L'électromigration de grille peut être retardée à l'aide d'une passivation sur le métal avec du SiO<sub>2</sub> ou du Si<sub>3</sub>N<sub>4</sub> [26], [27] ou en limitant le courant.

## **3.2 DEGRADATION DES CONTACTS OHMIQUES**

La stabilité des contacts ohmiques sur l'Arséniure de Gallium a toujours constitué une cause majeure de non fiabilité. Le contact ohmique le plus courant est constitué de l'alliage AuGe/Ni.

Sur une couche d'or Germanium dans une proportion qui permet la formation de la phase eutectique (88 % Au, 12 % Ge en poids, la température de l'eutectique étant de 365°C), on dépose une couche de Nickel (environ 300 angströms de Ni pour 1000 angströms de AuGe) ou de Platine qui sont des agents mouillants. Le Nickel semble favoriser la diffusion du Germanium dans la couche semi-conductrice. Des températures importantes sont atteintes lors de la phase de formation, le Germanium remplace le Gallium et ce dernier diffuse dans l'épaisseur d'or qui était déposée sur le sommet du contact afin de favoriser la liaison et d'améliorer la conductivité. On obtient des résistances de l'ordre de  $10^{-6} \Omega/\text{cm}^2$  [31] en raison de la formation de domaines cristallins ayant la même orientation cristallographique que le substrat.

La valeur de la résistance des contacts ohmiques de la source et du drain peut augmenter avec le temps et la température, pouvant amener le dispositif à des dégradations et à des défaillances. Des paramètres électriques comme le courant de saturation, la transconductance, la puissance de sortie et le facteur de bruit s'en trouvent affectés.

Les premières études (milieu des années 1970) mirent en évidence comme principale cause de défaillance une augmentation de la résistance des contacts ohmiques [28], [29]. Ce n'est pas tout à fait exact bien que durant les contraintes à hautes températures, l'augmentation de la résistance des contacts ohmiques est le mécanisme de défaillance prépondérant. Ceci peut être aisément expliqué par la forte valeur de l'énergie d'activation de ce mécanisme ( $>1.5 \text{ eV}$ ). Ce mécanisme activé par la température est donc dominant à des températures supérieures à 200°C mais peut masquer des mécanismes de dégradation dont la valeur de l'énergie d'activation est plus faible (voir figure 2-1).

### **3.2.1 Les effets d'inter diffusion des contacts ohmiques Au Ge / Ni**

Une analyse E.D.X. (Energy Dispersion X-Ray) sur des travaux récents [30] a mis en évidence une diffusion des atomes de Gallium du semi-conducteur vers la couche métallique supérieure sur des dispositifs présentant une chute de Idss au cours d'un stockage thermique à 250°C.

L'augmentation de la résistance de contact est également attribuée à une diffusion d'Au et de Ni qui réduit la concentration des dopants dans le semi-conducteur sous le contact [32], [33].

Ce procédé peut être retardé grâce à une barrière Ag, TiPt ou TiAu entre AuGe/Ni et la couche supérieure d'or. Le taux de dégradation est très lent pour un contact ohmique avec une couche convenable jouant le rôle de barrière. Aucune dégradation n'a été observée après 10<sup>4</sup> heures à 250°C pour un contact avec une barrière d'Ag [34].



Ce mécanisme de dégradation n'est pas important lors des tests sous polarisation tant que la température des contacts est inférieure de 30 à 40 °C par rapport à la température du canal.

Bien que de nombreuses défaillances de ce type aient été recensées lors des premières études de fiabilité, il est raisonnable d'affirmer que les problèmes liés à l'inter diffusion sont très rares sur les dispositifs les plus récents.

### **3.2.2 Electromigration drain / source**

Tout comme sur le métal de grille, le phénomène d'électromigration est susceptible de se produire sur les contacts de drain et de source. La conséquence est une augmentation des résistances d'accès séries [35], [36], [37], [38], [39].

La localisation de ce phénomène se situe le long des doigts de source et de drain, ou bien perpendiculairement au bord des contacts drain et source.

L'utilisation de barrières d'inter diffusion telles que Ti/W ou Ti/Pt entre le contact ohmique et la couche supérieure d'or permet de réduire les risques engendrés par ce mécanisme de défaillance.

## **3.3 DEGRADATION DE LA SURFACE : LES ETATS DE SURFACE**

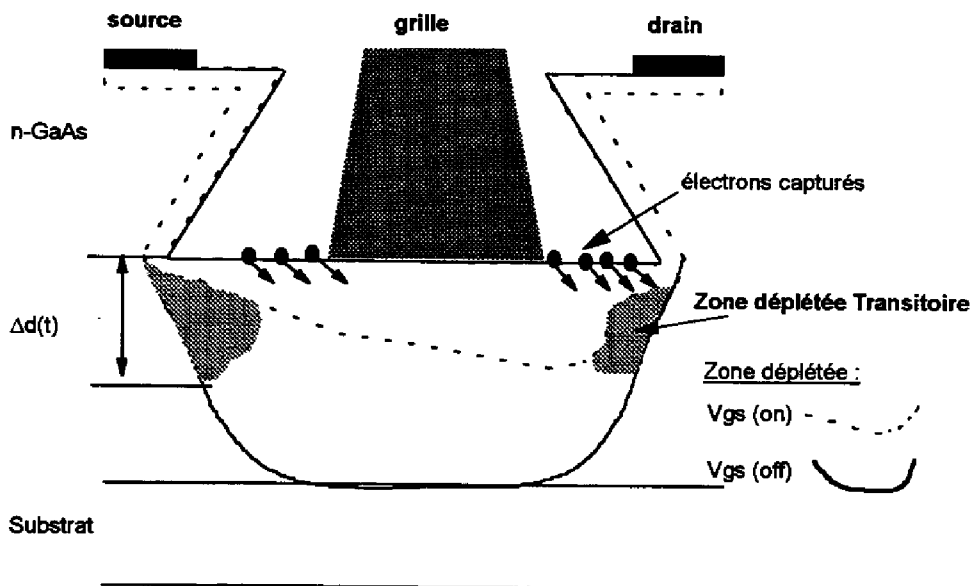
### **3.3.1 Le "Gate Lag"**

Une des particularités des systèmes à base d'Arséniure de Gallium, est l'absence d'un oxyde natif stable à la différence des composants à base de Silicium. De plus dans les composants submicroniques d'aujourd'hui, les lignes de courant sont localisées dans une très fine couche (< 0.1  $\mu\text{m}$ ) proche de la surface. De ce fait les effets de surface jouent un rôle essentiel d'un point de vue fiabilité.

L'association des niveaux profonds et des états de surface est responsable d'un phénomène appelé le "gate lag" [40], [41], [42]. Lors d'une sollicitation en tension sur la grille du transistor, la réponse du courant de drain présente un effet capacitif. Initialement la valeur  $I_{dss}$  est atteinte instantanément alors qu'après vieillissement le courant de drain présente une réponse avec une constante de temps supérieure à quelques 100 ns; ce phénomène affecte l'utilisation du fonctionnement en R.F. [41] et dégrade considérablement les performances des transistors à effet de champ de puissance.

Le "gate lag" est dû à la présence d'états de surface entre l'Arséniure de Gallium et la passivation. Sur le modèle considéré (voir figure 3-1), l'électron capturé est compensé

électriquement par un donneur ionisé de la couche "déplétée" qui s'est développée, réduisant ainsi l'épaisseur du canal de la valeur  $\Delta d(t)$ . Les états de surface émettent ensuite les électrons capturés avec un temps de retard  $\tau$  quand  $V_{GS\ ON}$  est appliquée et la zone "déplétée" retrouve progressivement son épaisseur normale.

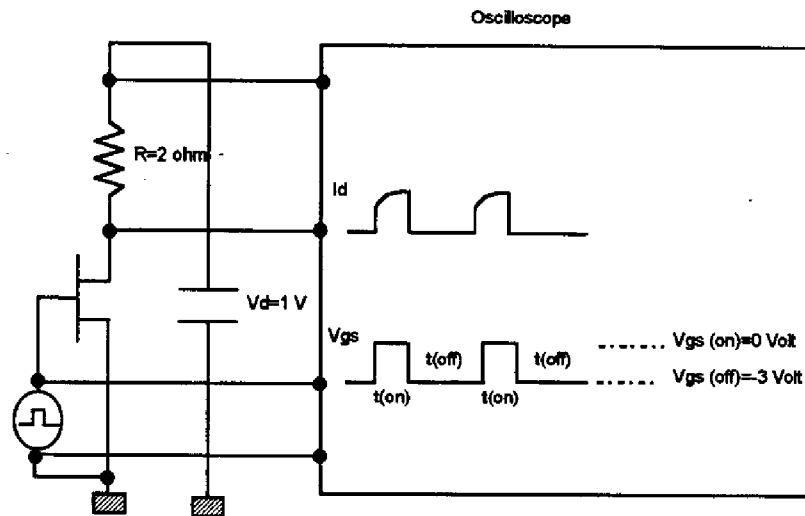


**Figure 3-1: Modèle de la dispersion fréquentielle du courant de drain.**

Le principe de la mesure du "gate lag" est représenté sur la figure 3-2.

Une structure possédant un double creusement de la grille "double recess" permet de s'affranchir du "gate lag" [43] en raison de la diminution de la zone déplétée transitoire.

La présence des états de surface dans les régions d'accès grille-source (drain) à l'interface couche de passivation / couche d'Arséniure de Gallium dépend de plusieurs facteurs : procédures de nettoyage, méthodes de dépôts, composition des films de passivation etc.



*Figure 3-2 : Principe de la mesure du "gate lag".*

### **3.3.2 Dispersion fréquentielle de la transconductance**

La dispersion fréquentielle de la transconductance (chute de  $G_m$  quand la fréquence augmente) [44] [45] [46] [47] n'est autre que la traduction fréquentielle du « gate lag » explicité précédemment.

Le vieillissement du composant se traduit par des changements sur la caractéristique  $G_m(f)$ . Sur des transistors de type MESFET 2W avec une métallisation de grille Au/Pt/Ti et une passivation  $\text{Si}_3\text{N}_4$  [47], une continuelle augmentation en valeur absolue de la tension de claquage grille-drain (source) a été observée au cours du temps, en même temps que la diminution de la dispersion de  $G_m$ . Cette amélioration des caractéristiques du claquage du transistor est due comme nous le verrons plus tard (voir paragraphe 3.5.2) à la diminution du champ électrique en raison de la présence d'une forte densité d'états de surface.

La chute de 25 % de  $G_m(f)$  sur les dispositifs témoins est attribuée à des états de surface présentant une constante de temps lente. Après le test, la dispersion de  $G_m(f)$  est devenue négligeable suggérant une baisse de la densité des états de surface. Des résultats similaires ont été obtenus sous stockage sans polarisation, indiquant que cet effet est activé thermiquement.

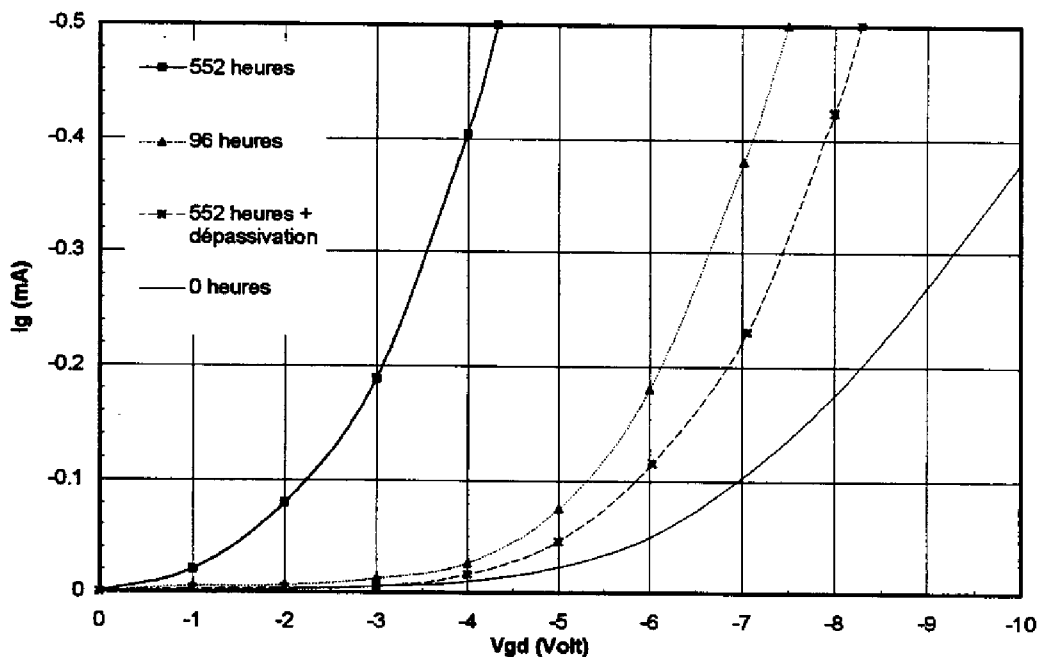
L'énergie d'activation du claquage en tension obtenue lors du vieillissement accéléré pour des températures de canal de  $170^\circ\text{C}$  et  $230^\circ\text{C}$  est d'environ 1 eV. Le critère de défaillance choisi est une augmentation de 500 % du courant grille-drain inverse à  $V_{GS}=-5\text{ V}$ . Cette valeur

de l'énergie d'activation est en accord avec celles trouvées pour les réactions de surface comme la modification de la composition de l'oxyde natif de l'Arséniure de Gallium [48].

La dépassivation du dispositif engendre une forte densité d'états de surface expliquant l'allure des courbes des figures 3-3 et 3-4.

La réduction de la densité des états de surface à l'interface  $\text{Si}_3\text{N}_4/\text{GaAs}$  par traitement thermique améliore la caractéristique  $G_m(f)$  mais cause une décroissance de la tension de claquage grille-drain qui peut provoquer la destruction du composant.

Ces deux phénomènes ("gate lag" et dispersion fréquentielle de la transconductance) se produisent quand l'occupation des états de surface ne permet pas de suivre le signal, c'est à dire lorsque les temps de capture et de relaxation caractéristiques des états de surface sont supérieurs à la période du signal appliqué.



**Figure 3-3 : Caractéristique inverse grille-drain  $I(V)$  d'un MESFET de puissance 2 W [47].**

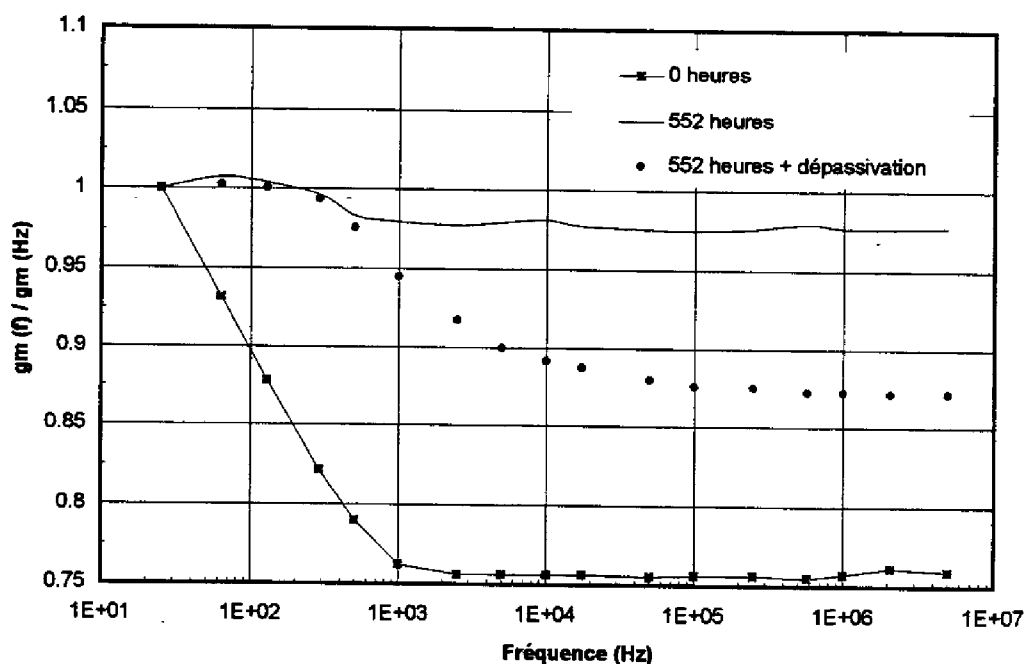


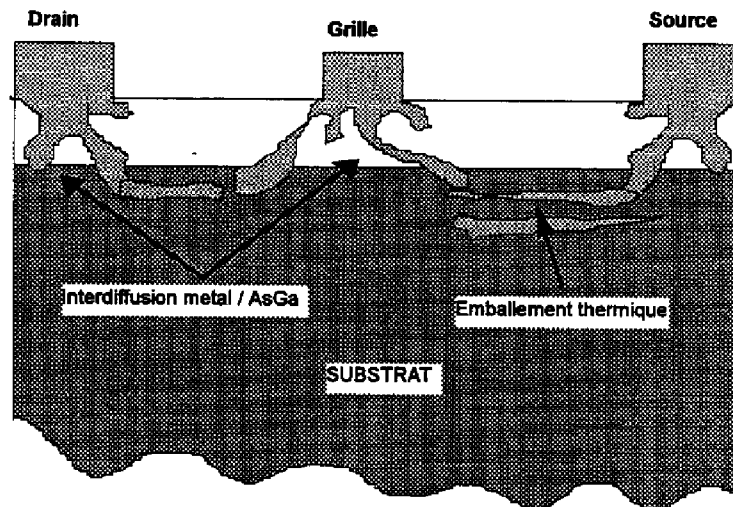
Figure 3-4 : Dispersion fréquentielle de la transconductance  $G_m(f)$  [47].

### 3.4 LE "BURN OUT THERMIQUE"

Le terme "Burn out" décrit la plupart des mécanismes de dégradation se traduisant par une fusion totale ou partielle du transistor. Le burn-out en lui-même n'est pas un mécanisme de défaillance, mais il est le résultat de l'action d'un voire de plusieurs mécanismes précédemment cités. La matière en fusion engendre des éruptions en surface du dispositif et des dommages à l'intérieur du substrat.

Le "burn out thermique" est localisé principalement entre les contacts de source et de drain. Des chemins de conduction entre le contact de grille et le contact de source / drain localisés au niveau de l'interface substrat / couche tampon sont créés par des interdiffusions métal / GaAs, (Fig. 3-5). Le coefficient thermique de la conductivité étant positif dans le substrat, un emballement thermique est initialisé dans les régions de forte densité de courant entraînant par la suite la destruction du composant.

Les solutions technologiques préconisées afin de remédier à ce problème sont une amélioration de la qualité des substrats et une bonne homogénéité des dépôts métalliques.



*Figure 3-5 : Emballement thermique induit par un fort signal R.F. appliqué sur la grille ("Burn out")*

Les diffusions de métal dans l'Arséniure de Gallium sont activés par un signal de forte amplitude sur la grille. De ce fait, afin de garantir la fiabilité d'un transistor fonctionnant en amplification de puissance des tests sous contraintes électriques dynamiques sont nécessaires. Nous allons voir dans le paragraphe suivant les principaux mécanismes de dégradation activés par une contrainte électrique dynamique.

### 3.5 PRINCIPAUX MECANISMES DE DEFAILLANCES ACTIVES PAR UNE CONTRAINTE DYNAMIQUE

En raison d'une dissipation thermique moins importante sous fonctionnement dynamique, les premiers essais de fiabilité consistaient à effectuer du stockage haute température sans polarisation ou sous contraintes statiques uniquement. Cependant le vieillissement sous contraintes dynamiques plus représentatif de l'utilisation du composant surtout lors d'une utilisation en régime non linéaire doit être considéré en priorité.

Lors d'une utilisation en amplification de puissance en régime de forte compression des dégradations de la surface peuvent apparaître. L'excursion du point de fonctionnement dynamique dans des régions proches du claquage grille / drain peut également générer des mécanismes de dégradations liés à la génération des porteurs chauds.

### **3.5.1 Dégradation de la surface**

J M Dumas et al. ont mis en évidence des dégradations à long terme des performances R.F. sur des MESFET de puissance [49]. L'accent est porté sur le rôle joué par la surface et les couches de protection.

Au cours du vieillissement, une dégradation graduelle apparaît sur la puissance de sortie. Cette dégradation met en lumière deux mécanismes.

Le premier mécanisme affecte les dispositifs non protégés. La perte de la puissance de sortie est corrélée à la baisse de la tension de claquage grille-drain à source ouverte ( $BV_{GDO}$ ) et une augmentation du courant de fuite de grille. Le développement du courant de fuite de surface entre la grille et le drain réduit  $BV_{GDO}$  entraînant le claquage du composant par « burn-out ».

Le second mécanisme apparaît sur les T E C protégés avec du  $SiO_2$ . La perte de puissance est corrélée avec une baisse de  $I_{dss}$  et de légères augmentations de  $BV_{GDO}$  et de  $R_{DS(on)}$ . Il n'y a pas de défaillances dues aux contacts ohmiques, aux diverses couches et à la grille Schottky. Une accumulation de matière dont l'origine se situe sur la surface GaAs qui croît à travers la passivation  $SiO_2$ , apparaît au cours du vieillissement. Il s'agit d'excès d'Arsenic et de Gallium oxydé accompagné d'une érosion de la surface du GaAs. Cette érosion rétrécit la couche active dans les régions d'accès expliquant la dérive des paramètres électriques.

Ces deux mécanismes de surface sont expliqués par une oxydation électrochimique du GaAs durant la fabrication du Transistor à effet de champ et/ou durant le vieillissement, produisant de l'oxyde d'Arsenic et de Gallium. Il a été postulé puis vérifié qu'il y a croissance électrochimique d'un oxyde à la surface libre du GaAs dans les zones d'accès. Les phases produites hors équilibre sont  $Ga_2O_3$  et  $As_2O_3$ . Sous l'effet d'un recuit dû à la température de fonctionnement, le système peut être conduit en équilibre via la réaction :



Les phases finales sont alors  $Ga_2O_3$  et As élémentaires et la conduction de surface entre la grille et le drain pourraient alors se faire à travers une fine couche de As métallique libérée graduellement pendant le fonctionnement [49], [50].

Le premier mécanisme résulte de la libération d'Arsenic qui augmente la vitesse des recombinaisons de surface et le courant de fuite de surface.

Une forte oxydation due à la présence de  $SiO_2$  explique le second mécanisme. Les dispositifs passivés à base de l'oxyde  $SiO_2$  présentent une érosion de la surface de l'Arséniure de Gallium due à l'interaction de ce dernier avec le  $SiO_2$ . Il en résulte un rétrécissement du canal et une augmentation de la résistance drain source.

Les composants passivés à base de Nitrure  $\text{Si}_3\text{N}_4$  présentent une réduction de courant de  $I_{dss}$  après un stockage de 200 heures à  $250^\circ\text{C}$ . Un traitement convenable de la surface du GaAs suivi d'un dépôt  $\text{Si}_3\text{N}_4$  par procédé plasma (dépôt plasma en phase vapeur -PECVD-) permet de stabiliser la surface de l'Arséniure de Gallium en éliminant les ions mobiles responsables de la réduction de  $I_{dss}$ .

La conclusion de cette étude est que la passivation  $\text{Si}_3\text{N}_4$  PECVD est satisfaisante, améliorant par là même le MTTF. Il est bon de signaler toutefois qu'une étude de fiabilité sous fonctionnement R.F. sur des MESFET de puissance [51] a mis en évidence une très bonne stabilité des transistors passivés  $\text{SiO}_2$  sous fonctionnement R.F. (pas de dégradation au bout de 1500 heures à une température de canal de  $120^\circ\text{C}$ , compression du gain 8 dB). Ces résultats diffèrent de ceux publiés jusqu'ici [49], [52]. Ceci s'explique par le fait que lors de ce procédé de fabrication particulier, la température de dépôt des films de passivation avait été supérieure à  $320^\circ\text{C}$  modifiant de ce fait les propriétés microscopiques interfaciales entre le GaAs et les films de passivation.

### **3.5.2 Effet de l'ionisation par impact en régime de forte compression**

L'amplification de puissance nécessite d'utiliser les transistors en régime de forte compression. Dans de telles conditions d'applications, l'excursion du point de fonctionnement dynamique peut se produire jusque dans des régions où la valeur du champ électrique grille / drain est considérable. Le phénomène de multiplication des porteurs par ionisation par impact est alors susceptible de se produire.

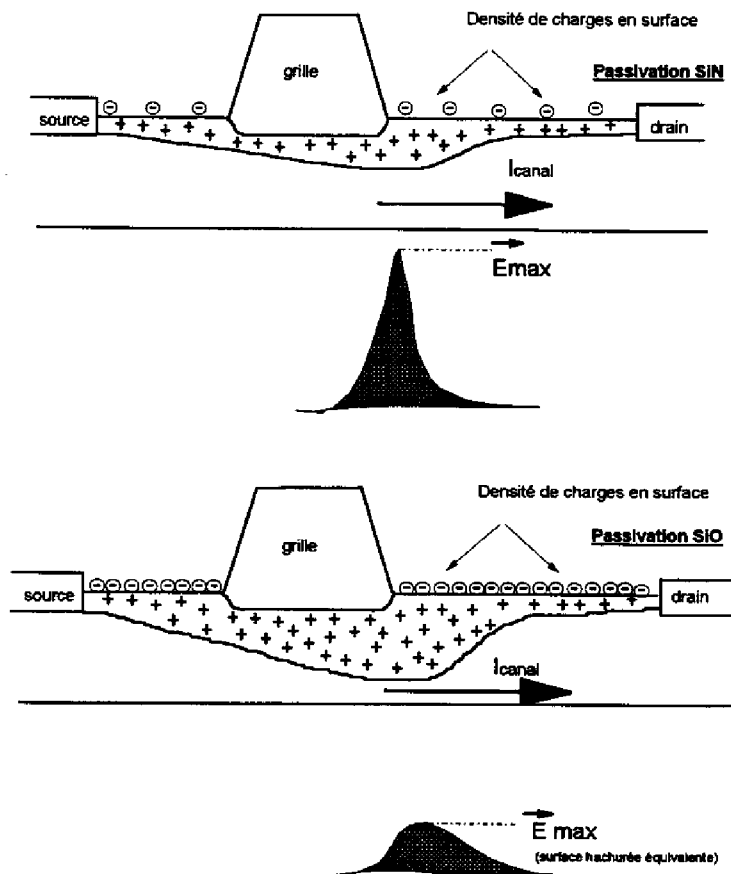
A Paccagnella et al. [53], [54] ont mené une étude sur deux types de passivation (à base de SiN et à base de SiO). L'intensité du phénomène de multiplication des porteurs par ionisation par impact dépend fortement de la qualité de la surface du composant (passivation). La valeur du courant de grille en fonction de la tension grille / drain (source) est plus importante sur les composants passivés SiN. Une différence de 2 Volt sur la valeur de la tension de claquage apparaît entre les dispositifs passivés SiO et ceux passivés SiN.

Pour des tensions inférieures à -5 Volt, l'augmentation du courant de grille pour les deux types de passivation est liée au phénomène d'ionisation par impact déclenché par les électrons chauds du canal qui génèrent à leur tour des paires électron-trou [55]. Les trous ainsi générés sont collectés par la grille et provoquent l'augmentation du courant la traversant.

La différence entre les deux types de passivation réside uniquement dans la valeur du champ électrique maximum, ( $E_{MAX}$ ) à partir duquel se déclenche le processus qui est plus faible pour les dispositifs passivés SiO.



La valeur du champ électrique maximum et donc le début du phénomène d'ionisation par impact, sont fortement corrélés à la densité des états de surface. La figure 3-6 illustre parfaitement ce phénomène. La plus grande concentration des états de surface dans les dispositifs passivés SiO réduit la valeur du champ électrique maximum dans le canal (accumulation de charges de surface négatives) et par conséquent le phénomène d'ionisation par impact. La caractéristique du courant de grille inverse grille-drain,  $I_G$ , se trouve de ce fait améliorée.



**Figure 3-6 : Coupe transversale d'un MESFET avec différentes densités de charges en surface et leurs impacts sur la valeur du champ électrique.**

Lors d'une utilisation en puissance, la valeur du champ électrique entre l'électrode de grille et l'électrode de drain atteint des valeurs  $E_{max}$  susceptibles de générer des mécanismes de défaillance liés à l'ionisation par impact.

Des études récentes [51], [56], [57], se sont intéressées à un phénomène appelé le "Power Slump". Ce phénomène se traduit par une diminution de la puissance de sortie (approximativement 1 dB après 1000 heures de fonctionnement) corrélée à une augmentation du courant de fuite inverse de grille dues à des dégradations de surface introduites par des fortes valeurs de champ électrique. La valeur du courant de drain diminue tandis que la valeur de la tension de claquage grille / drain augmente en raison de la diminution du champ électrique.

Ce type de phénomène présente la particularité de ne pas être activé à haute température. Il est donc la conséquence de l'ionisation par impact dont le coefficient est inversement proportionnel à la température. Ce mécanisme sera explicité plus en détail dans le chapitre IV, lors de l'interprétation des résultats des essais de vieillissement sous contraintes dynamiques.

### **3.6 AUTRES MECANISMES DE DEGRADATION**

Il est bon de noter que des mécanismes de dégradation peuvent survenir notamment en raison de problèmes dus à la corrosion, aux décharges électrostatiques, aux radiations et à la connectique.

#### **• Corrosion électrolytique**

Les très faibles dimensions des transistors à effet de champ sont généralement responsables d'effets de capillarité et de rétention des solutions aqueuses électrolytiques. Le transistor fonctionne donc dans un environnement chimique qui peut conduire à l'apparition de la corrosion. Il se forme donc des piles galvaniques Au/Al et Au/Ti où l'or constitue la cathode et l'Al ou Ti l'anode avec pour conséquences une corrosion de l'anode (grille Schottky) accompagnée d'une libération et d'une migration d'ions métalliques formant des chemins de conduction créant des courts-circuits grille-source et/ou grille-drain.

Ces mécanismes de défaillance sont dus au processus de fabrication du transistor à effet de champ en GaAs générateur de facteurs de contamination introduits par les solvants organiques de nettoyage des surfaces, les produits de dégazage liés à la polymérisation des résines de masquage (Brome, Chlore, Fluor), les solutions acides ou basiques de gravure du méso et les résidus de gravure plasma (Carbone, Fluor).

Les couches diélectriques de protection de surface ( $\text{SiO}_2$  ou  $\text{Si}_3\text{N}_4$ ) n'ont qu'un effet retardateur sur la corrosion. Une protection PECVD  $\text{Si}_3\text{N}_4$  montre une protection plus satisfaisante.

Il faudra accorder donc une attention toute particulière à la nature des métallisations employées sur les transistors à effet de champ en Arséniure de Gallium, et aux diverses étapes du processus de fabrication et d'encapsulation (herméticité). Un contrôle d'inspection visuelle doit être effectué avant la fermeture du boîtier afin d'éliminer les composants présentant des défauts d'assemblage. Pour éviter ce risque, on réalise des opérations de dégazage sous vide avant la fermeture. Des analyses de RGA (Residual Gas Analysis) permettent de mesurer les taux de gaz présents dans le boîtier, mais elles présentent l'inconvénient d'être destructives.

#### • Sensibilité aux décharges électrostatiques

En raison de la nature du substrat semi-isolant, la sensibilité des composants en Arséniure de Gallium à ce phénomène se trouve accrue. Différentes précautions doivent être prises lors de la manipulation et du transport de ces composants (boîtes et bracelets antistatiques etc.).

#### • Effets des radiations

L'effet des radiations sur les composants électroniques est un sujet vaste et complexe. En effet plusieurs types de radiations, de dommages et de composants doivent être considérés.

Les circuits électroniques sont affectés par les neutrons, les protons, les rayons gamma, les rayons cosmiques, les particules alpha, les ions lourds et les électrons. Ces particules (en particulier les électrons et les protons) piégées dans la ceinture de Van Halen, en compagnie des protons énergétiques générés par les éruptions solaires conduisent à des effets de dose cumulée. Les radiations induisent trois types de phénomènes :

- la génération de nouveaux états d'énergie.
- l'ionisation des atomes.
- le déplacement des atomes à l'intérieur du réseau.

La dose irradiante s'exprime en Rad (GaAs) ou en flux de particules. Un Rad (GaAs) est défini comme la dose de radiations permettant de déposer 100 erg/g de GaAs. Le taux de conversion Rad (Si) en Rad (GaAs) est égal à 1.06.

Les composants discrets et les circuits intégrés GaAs présentent une presque totale immunité aux dégradations par ionisation radiative. Les dispositifs à base d'Arséniure de Gallium supportent plus de  $100 \cdot 10^6$  Rad d'ionisation radiative avec seulement une faible fluctuation des paramètres du dispositif.

L'essentiel des défaillances engendrées par les radiations concernent les circuits GaAs numériques (« Single Event Upset ») et non les circuits analogiques.

**• Défauts de connectiques**

Qu'ils soient utilisés en boîtier ou en puce nue, les composants doivent subir des opérations de montage et de câblage qui ont une influence importante sur la fiabilité du circuit. On distingue trois étapes essentielles :

- le report de la puce sur son embase par brasage ou collage.
- la soudure des fils.
- mise en boîtier (propreté et l'herméticité).

Le boîtier permet d'assurer le rôle de support mécanique, de conducteur thermique et de conducteur électrique. Le report de la puce sur son boîtier peut se faire soit par brasure eutectique soit par colle conductrice. Les problèmes de fiabilité concernant le report des composants sont liés à la non homogénéité du report (problèmes de mouillabilité), l'apparition de fissures (contraintes mécaniques) et la contamination de la puce par les solvants utilisés dans les colles conductrices.

L'innocuité de ces opérations sur l'intégrité du composant doit être garantie. Pour cela, différents types d'essais sont mis en oeuvre :

- tests d'environnement mécaniques.
- tests d'environnement thermiques.
- fatigue thermique.
- vérification de la résistance thermique du boîtier.

Les méthodes d'interconnexion des puces font appel aux techniques de dépôt de fils par thermocompression (énergie thermique, pression mécanique), par ultrasons (énergie mécanique).

L'assemblage par thermocompression utilise dans notre cas des fils d'or. Les techniques utilisées sont le "wedge bonding" et le "ball bonding". La différence entre les deux se situant au niveau de la surface des plots de contact et de la longueur des fils qui sont plus importantes avec le "wedge bonding". La fiabilité de la méthode par ultrasons peut être améliorée par l'apport d'une énergie thermique, réduisant ainsi l'énergie par ultrasons. Il s'agit du report thermo-sonique.

Le mécanisme de défaillance le plus souvent rencontré est la formation de fissure. Toutefois, les défauts de connectiques sont aujourd'hui suffisamment contrôlés et représentent une influence négligeable envers les mécanismes de défaillances par rapport à ceux liés au composant.

Le transistor de la filière étudiée est un transistor dont les caractéristiques technologiques sont proches de celles d'un transistor de type MESFET. La description du procédé de fabrication technologique de la filière MMIC étudiée est présentée dans le paragraphe suivant.

---

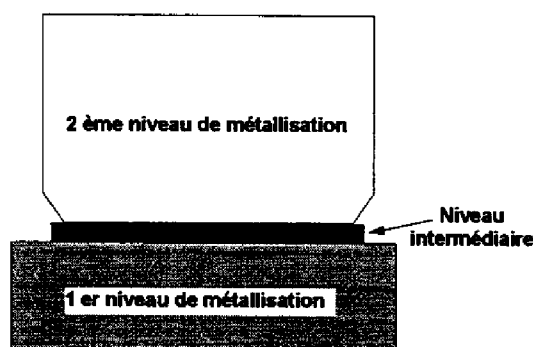
## **4 PRESENTATION TECHNOLOGIQUE DU PROCEDE DE FABRICATION DE LA FILIERE ETUDIEE**

---

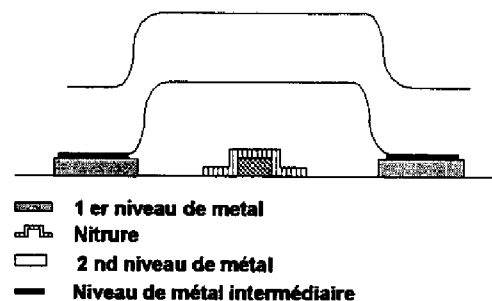
La filière MMIC étudiée est la filière HFET de Texas Instruments. Le transistor HFET propre à Texas Instruments est un transistor dont la structure est particulière. Il s'agit d'un transistor à effet de champ à hétérostructure. De ce fait très peu de résultats de fiabilité existent concernant cette filière exceptés ceux publiés par le fondeur lui-même.

### **4.1 ELEMENTS PASSIF DE LA FILIERE**

Les lignes de connexions sont constituées par la superposition de trois niveaux de métallisations différents (1er niveau, niveau intermédiaire, 2ème niveau) (voir figure 4-1). La superposition de ces trois niveaux de métallisations rend la fabrication des ponts à air plus aisée (voir figure 4-2). Les inductances spirales comportent comme les lignes de connexions les trois niveaux de métallisations.



*Figure 4-1 : Vue en coupe des lignes de connexions*



*Figure 4-2 : Représentation Schématique d'un pont à air*

Deux types de capacités sont disponibles : des capacités séries et parallèles. Le "via - hole" (trou permettant un contact à la masse) des capacités parallèles à la particularité d'être placé juste en dessous de ces dernières.

En ce qui concerne les résistances, quatre types sont disponibles. La nature des métallisations et des résistances de contact associées sont définies dans le tableau suivant.

TYPE DE RESISTANCE	RESISTANCE DE CONTACT
AUGENI	1ER NIVEAU DE METAL
TAN	TAN
METAL OHMIQUE	1ER NIVEAU DE METAL
GaAs IMPLANTE	METAL OHMIQUE

*Tableau 4-1 : Les différents types de résistance de la filière*

#### **4.2 ELEMENT ACTIF DE LA FILIERE : LE TRANSISTOR HFET**

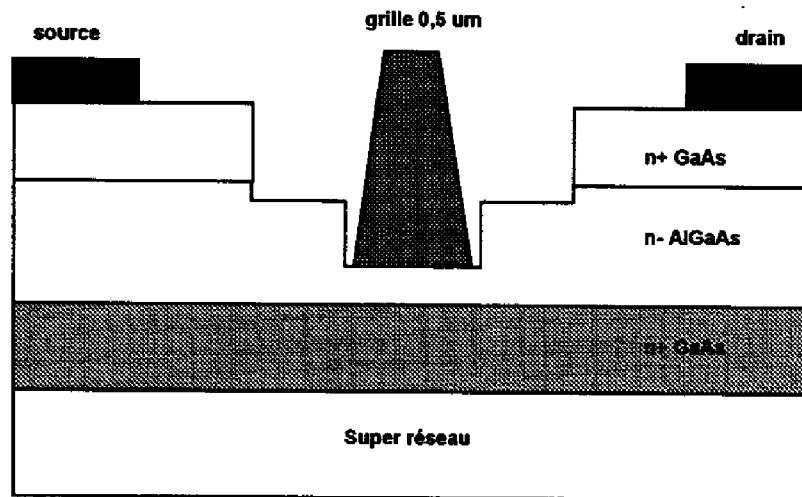
Le transistor HFET étudié est un transistor à effet de champ à hétérostructure AlGaAs/AsGa. La caractéristique technologique de cette structure est représentée sur la figure 4-3.

La technologie utilisée pour cette structure est conventionnelle et très similaire à celle des procédés MESFET classique (procédé de fabrication implanté). Le procédé HFET est réalisé sur substrat épitaxié. La principale différence vient de la présence d'une couche  $Al_{0.24}Ga_{0.76}As$  qui sépare le métal de grille du canal conducteur GaAs. Le dopage de la couche  $Al_{0.24}Ga_{0.76}As$  et la fabrication des contacts ont été optimisés de manière à parvenir à un meilleur compromis entre la résistance de contact et la tension de claquage.

Les principales différences du procédé de réalisation des HFET par rapport à une structure MESFET conventionnelle sont les suivantes :

- Matériau de base incluant une épitaxie d'une couche AlGaAs et d'un super réseau.
- Le recess large est réalisé par lithographie faisceau d'électrons, et gravé en gravure sèche (ceci est rendu possible par la sélectivité de l'attaque AlGaAs par rapport au GaAs).
- Pour la même raison, il n'est pas possible de graver totalement les via-holes par gravure sèche, comme dans le procédé MESFET. Il faut terminer la formation des via-holes par la gravure de l'AlGaAs par voie humide.

Mis à part ces étapes, les autres procédés sont communs. Il est à noter qu'il n'existe qu'une seule étape de passivation dans ces procédés (2000 angströms SiN PECVD). Les ponts à air, notamment, ne sont pas passivés.



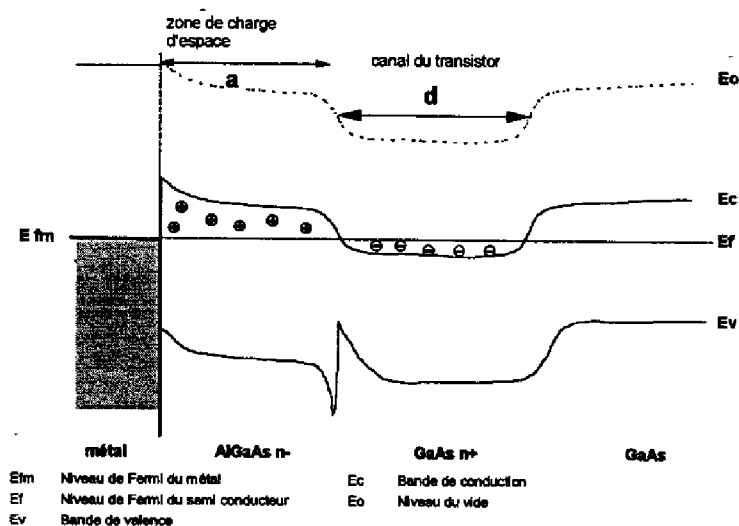
*Figure 4-3 : Caractéristique technologique*

Les avantages d'une telle structure sont nombreux :

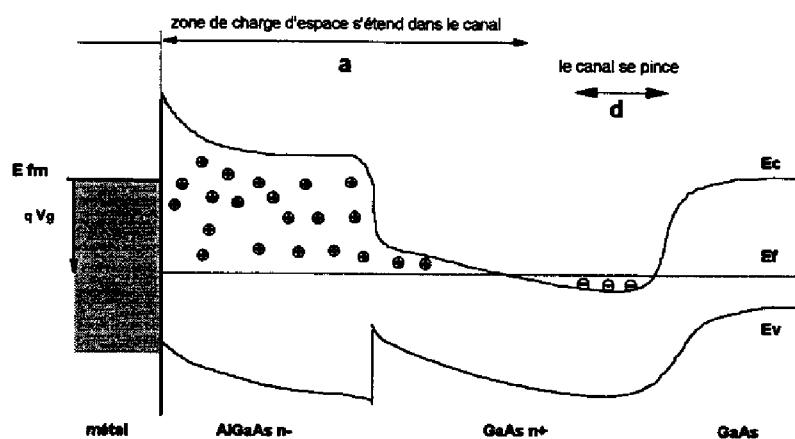
- La Grille déposée sur la couche  $n^-$  AlGaAs permet d'augmenter la tension de claquage et la valeur de la tension directe. L'excursion du point de fonctionnement dynamique dans le cas d'une amplification de puissance est plus importante et de ce fait la puissance de sortie augmente.
- Un faible courant de fuite Schottky.
- Le super réseau empêche l'injection parasite d'électrons dans la couche tampon tout en gardant une forte transconductance près du régime de pincement sous une tension de drain importante.
- Une capacité  $C_{gs}$  plus faible et donc une fréquence de transition  $f_T$  et une fréquence maximale d'oscillation  $f_{max}$  plus élevées qui améliorent le rendement.
- La Grille est éloignée du canal par la couche  $n^-$ , ceci permet d'avoir une transconductance plus constante (par comparaison avec un MESFET). On constate expérimentalement des performances en distorsion très différentes du MESFET avec notamment une amélioration de la linéarité ( $C_{gs}$  est relativement constante).



Le principe de conduction de la structure HFET est similaire à celui d'un transistor de type MESFET. Le schéma des bandes d'énergies de la structure HFET est représenté sur les figures 4-4 et 4-5.



*Figure 4-4 : Structure de bandes du HFET sans polarisation de grille*



*Figure 4-5 : Structure de bandes du HFET avec polarisation de grille négative*

Malgré la présence d'une couche AlGaAs non dopée entre le métal de grille et le canal, il n'y a pas de transfert de charges et de conduction dans un gaz bi-dimensionnel comme c'est le cas sur des transistors de type HEMT.

L'application d'une polarisation négative sur la grille a pour effet d'augmenter la hauteur de la barrière Schottky à l'interface métal semi-conducteur et donc l'épaisseur  $a$  (voir figure 4-5) de la zone de charge d'espace dépeuplée d'électrons. Il est ainsi possible de moduler l'épaisseur  $d$  du canal par une commande en tension appliquée sur la tension grille. Lorsque la tension de grille est égale à la tension de pincement  $V_p$ , le canal est pincé. Le courant drain source est alors nul.

On peut s'attendre donc à ce que les mécanismes de dégradation à redouter seront donc similaires à ceux mis en évidence sur les structures MESFET conventionnelles.

## **5 CONCLUSION**

---

Afin de rester compétitif dans le domaine des équipements embarqués sur satellite, le fabricant doit concevoir des systèmes à haut niveau d'intégration pour minimiser la masse et donc le coût qui lui est directement proportionnel. Pour atteindre cet objectif, les circuits monolithiques en Arséniure de Gallium doivent être élaborés à partir d'une filière "mature" préalablement qualifiée.

Ce chapitre a synthétisé la plupart des mécanismes de défaillance des circuits en Arséniure de Gallium ainsi que les moyens de test pour les mettre en évidence.

Il ressort de cette synthèse bibliographique que la plupart des mécanismes de défaillances sont activés par des régimes de fonctionnement où les conditions de température et (ou) de densité de courant et (ou) de champ électrique sont extrêmes. Toutes ces conditions extrêmes peuvent se rencontrer en amplification de puissance où le point de fonctionnement peut excursionner des régions à forte densité de courant et (ou) à fort champ électrique. D'où la nécessité d'effectuer des tests de vieillissement sous contraintes dynamiques pour la qualification d'une filière et plus particulièrement pour une filière de puissance. En particulier lors d'une utilisation en régime de forte compression, le rendement est alors optimum, l'apparition de mécanismes de défaillance liés à l'ionisation par impact sont à redouter lors de l'excursion du point de fonctionnement dans des régions proches du claquage Grille / Drain.

Outre la mise en évidence des principaux mécanismes de dégradation, ces essais permettront de valider des domaines de fonctionnement que les principales normes d'utilisation liées aux applications spatiales ne prennent pas en compte aujourd'hui.



---

## BIBLIOGRAPHIE DU CHAPITRE I

---

- [1] Finn Jensen (1984) : "Activation Energies and the Arrhénius equation", QRE.
- [2] N Lycoudes (1978) : "The reliability of plastic microcircuits in moist environment", Solid State Technology.
- [3] B Reich (1975) : "Acceleration factors for plastics encapsuled semi-conductors devices", Microelectronics and Reliability
- [4] J R Black "Electromigration : a brief survey and some recent results" IEEE Trans. ED, ED-16, p 388, 1969.
- [5] P. Leturcq, G Rey : "Physique es composants actifs à semiconducteurs", Edition Dunod.
- [6] T S Pearsall et al. : « The band structure dependance of impact ionisation by hot carriers in semiconductors : GaAs », Solid State Electronics, 1978, vol 21, pp 297-302.
- [7] G A Baraff : « Distribution Junctions and Ionizations Rates for Hot Electrons in Semiconductors », Phys. Rev., 128, 2507 (1962).
- [8] C R Crowell ad S M Sze : « Temperature Dependance of Avalanche Multiplication in Semiconductors » Appl. Phys. Let., 9, 242 (1966).
- [9] W R Frensley : « Power Limiting Breakdown Effects in GaAs Mesfets », IEEE, Trans. Electron Devices, Vol. ED-28, p 962, 1981.
- [10] J P R David et al. : « Gate Drain Avalanche Breakdown in GaAs power Mesfets », vol. ED-29, p 1548, 1982.
- [11] Jedec Publication n°118 : Guidelines for GaAs MMIC and Fet Life Testing", JEP118, January 1993, Electronic Industries Association
- [12] K Fukui and al., "Reliability of Power GaAs FETs" IEEE Trans. on Electron Devices, ED-29, N° 3, pp. 395-401, 1982.
- [13] C Canali, F Castaldo, F Fantini, D Ogliari, L Umena and E Zanoni "Gate metallization sinking into the active channel in Ti/W/Au metallized power MESFETs" IEEE El. Dev. Lett., EDL-7, pp. 185-187, 1986.
- [14] D Ogbonnah and al. "Reliability Investigation of 1  $\mu$ m Depletion Mode IC MESFETs", Proc. International Reliability Physics Symposium, pp. 132-137, 1986.
- [15] E Zanoni and al. "Metal-GaAs interaction and contact degradation in microwave MESFETs" Quality and Reliability Engineering International, 6, pp. 29-46, 1990.
- [16] S Kashiwagi and al. "Reliability of high frequency high power GaAs MESFETs, Proc. IRPS 1987 pp. 97-101.
- [17] K J Russel and al. "Power GaAs Fet RF life test using temperature compensated electrical stressing", Proc. IRPS, 1986, pp. 57-60.

- 
- [18] J C Irvin "Reliability of GaAs FETs", "GaAs FET Principles and Technology" Eds J V Dilorenzo, D Khandelwal, Artech House, 1982.
- [19] J C Irvin and al. "Failures Mechanisms and Reliability of Low Noise GaAs FETs" Bell System Techn. J., pp. 57, 1978.
- [20] C Canali and al. "Degradations mechanisms induced by high current density in Al-gate GaAs MESFETs", IEEE Trans. on El. Dev., ED-34, pp. 205-211 (1987).
- [21] GaAs Reliability Workshop, October 16, 1994, Philadelphia, PA.
- [22] GaAs Reliability Workshop, October 29, 1995, San Diego, CA.
- [23] K Decker : "GaAs PHEMT Hydrogen Sensitivity Study", GaAs Reliability Workshop, November 3, 1996, Orlando, Florida.
- [24] J M Dumas "Contribution à l'étude des mécanismes de dégradation du MESFET GaAs", Thèse Doctorat d'Etat, Limoges, 1985.
- [25] K Katsukawa and al. "Reliability of gate metallization in power GaAs MESFETs", Proc. IRPS 1984, pp. 59-62.
- [26] W J Roesh and al. "Proving GaAs Reliability with IC Element Testing" MAN-TECH conference, NASHVILLE Tennessee, 1988.
- [27] S Takase and al. "Final reports on 1/4  $\mu$ m HEMT Space Qualification Tests (SQT-1 and SQT-2), Fujitsu publications DSD91-097 and DSD91-098, 1991.
- [28] R E Lundgren and al. "Reliability study of microwave GaAs field effect transistors", Proc. IRPS, 1978, pp. 255-260.
- [29] D A Abbott and al. "Some aspects of GaAs MESFET reliability", IEEE Trans. on Elect. Microwave Theory and Tech., MTT-24, pp. 317-321, 1976.
- [30] F Magistrali et al. "Characterization and accelerated testing of power GaAs FETs" 2nd ESA Electronic Components Conference, Noordwijk, 1993, pp. 77-79.
- [31] A Cristou "Solid phase formation in Au-Ge/Ni, Ag/In/Ge, In/Au-Ge GaAs ohmic contact systems" Solid State Electron., 22, p 141, 1979.
- [32] T Irie and al. "Reliability study of power GaAs MESFETs", IEEE Trans. on Microw. Theory and Techn., MIT-24, 321-328, 1976.
- [33] G S Marlow "The characteristics of Au-Ge based ohmic contacts to n-GaAs including the effects of aging, Solid-State Electronics, 26, pp. 259-266, 1983.
- [34] T Hashinaga and al., "Active Layer Thinning due to Metal-GaAs Reactions in GaAs ICs with Ti/Pt/Au Gate Metallization" GaAs Rel. Workshop, October 20, 1991, Monterey, CA.
- [35] I Drukier and al. "On the reliability of power GaAs FETs", Proc. IRPS 1979, pp. 150-155.
- [36] A Cristou and al. "Failures modes in GaAs power FET : ohmic contact electromigration and formation of refractory oxides", Proc. IRPS 1981, pp. 182-187.
- [37] F Wilhelmssen and al. "Effect of electromigration on GaAs FET reliability", Proc. ISTFA 1984, pp. 163-169.

- 
- [38] J Turner and al. "An historical perspective of GaAs MESFET reliability work at Plessey", *Semiconductor Device Reliability*, A Cristou and B A Unger (eds), Kluwer Academic, pp. 29-42, 1990.
- [39] C Canali and al. "Effects of high currents and temperature in power MESFET metallizations" *Proc. ESSDERC*, G Soncini and P U Calzolari (eds), Elsevier, pp847-850, 1988.
- [40] J M Dumas and al. "Analysis of surface-induced degradation of GaAs power MESFETs" *IEEE El. Dev. Lett.*, EDL-6, pp. 192-194, 1985.
- [41] G Kervarrec and al. "Failure mechanisms study of a standart GaAs IC technology", *Solid State Devices*, pp. 851-854, 1988.
- [42] J M Dumas and al. "Development of gate-lag effect on GaAs power MESFETs during aging", *Elec. Lett.*, 23, pp. 139-141, 1987.
- [43] Y K Hono et al. "Modeling and Suppression of the Surface Trap Effect on drain Current Frequency Dispersions in GaAs Mesfets", *IEEE GaAs IC Symposium 1994* pp 263-266.
- [44] J Graffeuil : "Le transistor hyperfréquence à effet de champ à grille métallique sur Arséniure de Gallium. Propriétés statiques et dynamiques petits signaux. Analyse des phénomènes de bruit de fond". Thèse Doctorat d'état 1977, Université Paul Sabatier de Toulouse.
- [45] P H Ladbrooke and al. "Low -field low-mobility dispersion of transconductance in GaAs MESFETs with implication for other rate-dependant anomalies", *IEEE Trans. El. Dev.*, ED-35, pp. 257-267, 1988.
- [46] S M Ozeki and al. "Surface analysis of GaAs MESFETs by gm frequency-dispersion measurement of transconductance, Fujitsu Sci. Tech. J., 18, pp. 475-486, 1982.
- [47] C Canali and al. "Change of gm(f) and breakdown voltage induced by thermal annealing of surface in power MESFETs", *IEEE Trans. El. Dev.*, ED-37, pp. 1163-1165, 1990.
- [48] C D Thumond and al. "GaAs oxidation and the Ga-As-O equilibrium phasediagram", *J. Electrochem. Soc.*, 127, pp. 1366-1371, 1980.
- [49] J M Dumas and al. "Comparative reliability study of GaAs power MESFETs : mechanisms for surface-induced degradation and a reliable solution", *Elec. Lett.*, vol 21, N° 2, 1985.
- [50] F Capasso and al. "A proposed hydrogenation/nitridization" *Jour. Electrochemical Society* No 129 pp. 821-824, 1982.
- [51] H Hasegawa et al. "High reliability power GaAs MESFET under RF overdrive condition", *IEEE MTT-S digest*, Vol 1, pp. 289-292, june 1993.
- [52] S Igi and al. "The effects of the passivation film on the reliability of high power GaAs MESFETs", *Proc. ISTFA 1983*, pp. 302-310.
- [53] A Paccagnella, E Zanoni, C Lanzieri, A Centronio and C Tedesco : Correlation between surface state density and impact ionization phenomena in GaAs MESFETs *IEEE Trans Electron Devices*, vol. 38, pp. 2682-2684, 1991.
-

- 
- [54] C Canali et al. "Dependance of Ionization Current on gate bias in GaAs MESFETs", IEEE Trans. on Electron Devices, Vol.40, No.3, 1993.
- [55] K Hui et al. "Impact Ionization in GaAs MESFETs" in IEEE Electronic Devices Letters, Vol 11, No. 3, 1990
- [56] Y A Tkachenko et al. "Gradual Degradation under RF Overdrive of Power GaAs Field-Effect Transistors", GaAs Reliability Workshop, Oct 93.
- [57] D M Hwang et al. "High Voltage Electron beam Current Imaging of Microdefects in Laser Diode and MESFETs", IEEE/IRPS pp.470-477, 1994.



## **Chapitre II**

# **Méthodologie d'évaluation de la fiabilité des MMIC de puissance sur Arséniure de Gallium à base de transistor HFET**



## **1 INTRODUCTION**

---

**D**ans les applications spatiales, la prise en compte et l'évaluation de la fiabilité du dispositif sont indispensables. En effet les durées de vie demandées pour les satellites vont en s'accroissant (actuellement de l'ordre d'une quinzaine d'années) sans possibilité de réparation et dans un environnement hostile (forts écarts thermiques, radiations etc.).

La fiabilité des circuits intégrés monolithiques de puissance ne pourra être évaluée correctement que si l'on valide à la fois la fiabilité intrinsèque du composant liée à la technologie et la fiabilité opérationnelle liée aux conditions d'utilisation (l'amplification de puissance dans ce cas).

L'objet de ce chapitre est de présenter une méthodologie [1], [2] permettant d'évaluer la fiabilité des circuits intégrés en Arséniure de Gallium. La méthode utilisée s'inspire des travaux réalisés par le groupe CNES / CNET / CELAR dans le document « une méthodologie de qualification spatiale des circuits intégrés hyperfréquence sur AsGa », premier document officiel et générique dans ce domaine.

Pour cela deux types de véhicules de test ont été conçus sur la base d'une filière de transistors de puissance :

- un Véhicule de Caractérisation Technologique (TCV)
- un Circuit d'Evaluation Dynamique (DEC)

Le détail de chacun de ces deux véhicules de test sera présenté dans ce chapitre.

L'évaluation de la technologie s'effectuera au travers d'essais de vieillissement en température et sous contraintes électriques statiques sur le Véhicule de Caractérisation Technologique (TCV) et d'essais sous contraintes statiques sur le Circuit d'Evaluation Dynamique (DEC).

Le DEC sera aussi utilisé pour apprécier la fiabilité opérationnelle de la filière au travers d'essais sous contraintes dynamiques spécifiques (hyperfréquence).

Cette méthodologie doit permettre l'évaluation de la fiabilité des circuits intégrés monolithiques de puissance de la filière étudiée, et la mise en oeuvre des règles de conception des amplificateurs de puissance afin d'assurer la fiabilité de ces circuits en phase amont.

Nous terminerons ce chapitre par la présentation et la mise en oeuvre des différentes files d'essais que les véhicules subiront durant cette évaluation. Une attention toute particulière sera apportée à la mesure et à la maîtrise de la température de chaque composant au cours du vieillissement.

## **2 REGLE DE REDUCTION DES CONTRAINTES**

---

Afin de garantir la durée de vie du composant ou de la fonction électronique considérée on applique une réduction des contraintes par rapport aux maxima tolérables (en courant, en tension, en température). Ce principe intuitif (suivant lequel la fiabilité d'un composant est d'autant meilleure si l'on diminue les contraintes appliquées) est normalisé et contractuel pour tout équipement embarqué, mais sujet à discussion.

Les principales normes de réduction des contraintes en vigueur sont :

- . « *Derating requirements applicable to electronic, electrical and electro-mechanical components for ESA space systems* », - *ESA PSS-01-301 Issue 2-*
- . « *Electronic parts, materials, and processes for space and launch vehicles* », -*MIL-STD-1547B-*
- . « *Reliability Requirements AD043 (document alliance)* », -*ALL-PA-AD.04 Issue 1/D-*
- . « *Liste préférentielle des composants, annexe 2* », -*CNES : QFT IN-500 ed 11-*

La définition des taux de contraintes applicables aux MMIC n'est pas clairement mentionnée. Seules sont définies des réductions de taux de charge sur les transistors, les capacités, les circuits intégrés, etc.

Les paramètres de la fonction MMIC à analyser sur lesquels les taux de charges sont applicables figurent dans le tableau 2-1.

L'addition de ces marges préconisées d'une part par le fondeur et d'autre part par les règles standard évoquées précédemment prive le concepteur de la totalité du potentiel en performance de la technologie.

Ces normes, issues pour la plupart du retour d'expérience des fonderies silicium sont définies pour **tout type de transistor**, quel que soit leur **mode de fonctionnement** et ne considèrent que les **paramètres électriques statiques**. Les seules données fondeur connues sont les taux de charge maximal statiques (à titre d'exemple la tension de claquage grille-drain, grille-source pour un transistor à effet de champ). Or ces valeurs statiques sont souvent dépassées en fonctionnement dynamique lors d'une utilisation non linéaire par exemple.

Dans le cas des amplificateurs de puissance à état solide, la recherche de l'amélioration du rendement électrique nécessite d'utiliser ces composants dans des zones de fonctionnement (régime non linéaire) qui ne sont pas forcément compatibles avec les règles de taux de charge précédemment citées. De plus certaines fonctions MMIC développées dans le cadre des répéteurs de nouvelle génération, notamment les « négatrons » (qui constituent les résistances négatives des oscillateurs contrôlés en tension) fonctionnent de façon permanente dans des conditions de forte saturation.

<u>PARAMETRE</u>	<u>TAUX DE REDUCTION / VALEURS MAX. FONDEUR (%)</u>		
	<u>NORME ESA PSS-01</u>	<u>NORME MIL-STD-1547B</u>	<u>NORME ALLIANCE AD04</u>
TENSION DE CLAQUAGE (VGS, VGD)	75%	75%	75%
COURANT DRAIN SOURCE	75%	75% (1)	75%
PUISSANCE DISSIPEE	60 %	60%	60 %
TEMPERATURE JONCTION MAX.	110°C (D.C. et R.F.)	105°C (D.C. et R.F.)	105°C avec R.F. 115°C sans R.F.
DENSITE DE COURANT MAX. DANS LES LIGNES	75 % (2)	75 % (2)	75 % (2)
DENSITE DE COURANT MAX. DANS LES RESISTANCES	75 % (2)	75 % (2)	75 % (2)
TENSIONS MAXIMALES SUR LES CAPACITES	50 %	50 %	50 %

(1) : Pas de valeur max. sur le courant des transistors mais limitation de 75 % sur le courant de sortie des microcircuits.

(2) : Données issues des valeurs maximales des microcircuits.

**Tableau 2-1 : Analyse des taux de charges d'un MMIC selon les trois normes les plus couramment utilisées.**

A ce jour, il n'existe pas de règles précises permettant de connaître à priori lors de la conception des différentes fonctions les limites à ne pas dépasser en régime de forte compression.

### **3 VEHICULES DE TEST**

---

Ces véhicules de test doivent permettre la mise en évidence des mécanismes de défaillance explicités au chapitre I.

Deux types de véhicules de test ont été développés : un véhicule de caractérisation technologique (TCV), et un véhicule de caractérisation dynamique (DEC). Ces deux circuits subiront des essais de vieillissement sous contraintes électriques et thermiques et seront caractérisés tout au long du vieillissement.

#### **3.1 LE VEHICULE DE CARACTERISATION TECHNOLOGIQUE (TCV)**

Le véhicule de caractérisation technologique (TCV) est constitué des cellules élémentaires de la bibliothèque du fondeur. Il a été conçu en appliquant les règles de dessin les plus contraignantes de cette technologie. Son but est de vérifier l'évolution en vieillissement des paramètres statiques des diverses cellules.

Ce circuit est composé des éléments suivants :

- un transistor élémentaire
- un contact de « side gating » (application d'une polarisation à la distance minimale du transistor afin d'évaluer l'influence de cette dernière)
- les différents types de capacités
- les différents types de résistances
- des ponts à air
- des prises de masse à travers le substrat (via-holes)
- des interconnexions entre les différents niveaux de métallisation.

Ce véhicule de test est représenté sur les figures 3-1 et 3-2.

##### **3.1.1 Eléments passifs du TCV**

###### **☛ Structures TLM : plots 21 à 23, 26 à 4 (voir figure 3-1)**

Les structures TLM (Méthode de la Ligne de Transmission) sont constituées de résistances de différentes valeurs placées en série. Elles permettent de déterminer les valeurs des résistances de contact pour les différents types de résistance et les résistances par carré. La modélisation des résistances conduit à l'équation suivante :

$$R = R_{\text{carré}} \cdot \frac{l}{w} + 2 R_c \quad \text{Equation 3-1}$$

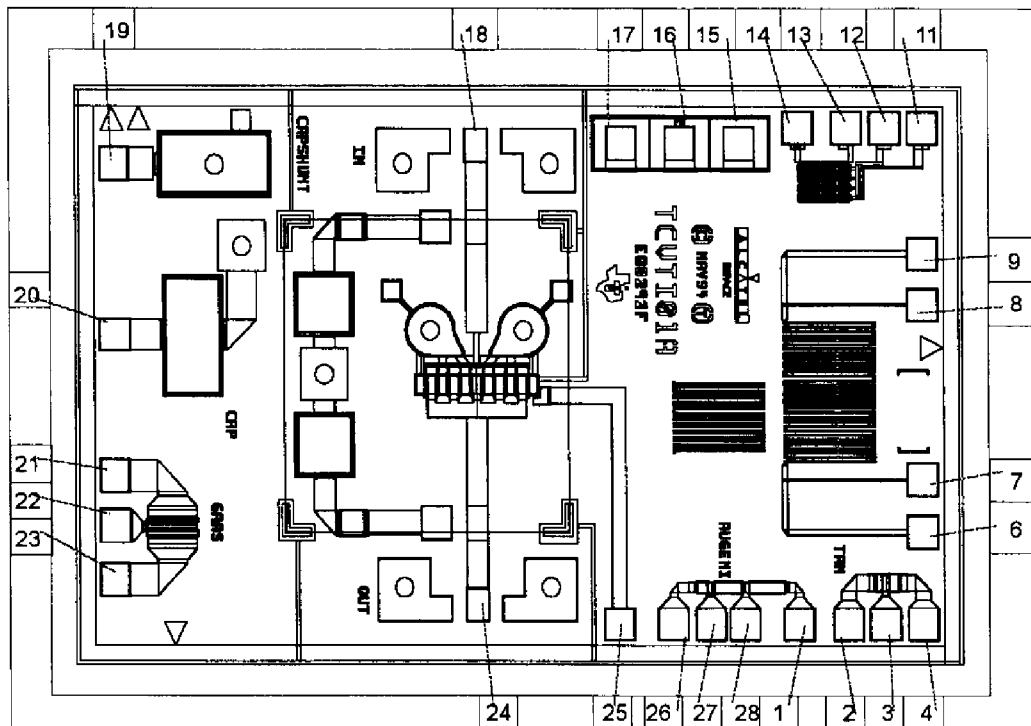


Figure 3-1 : Dessin « layout » du Véhicule de Caractérisation Technologique (TCV)

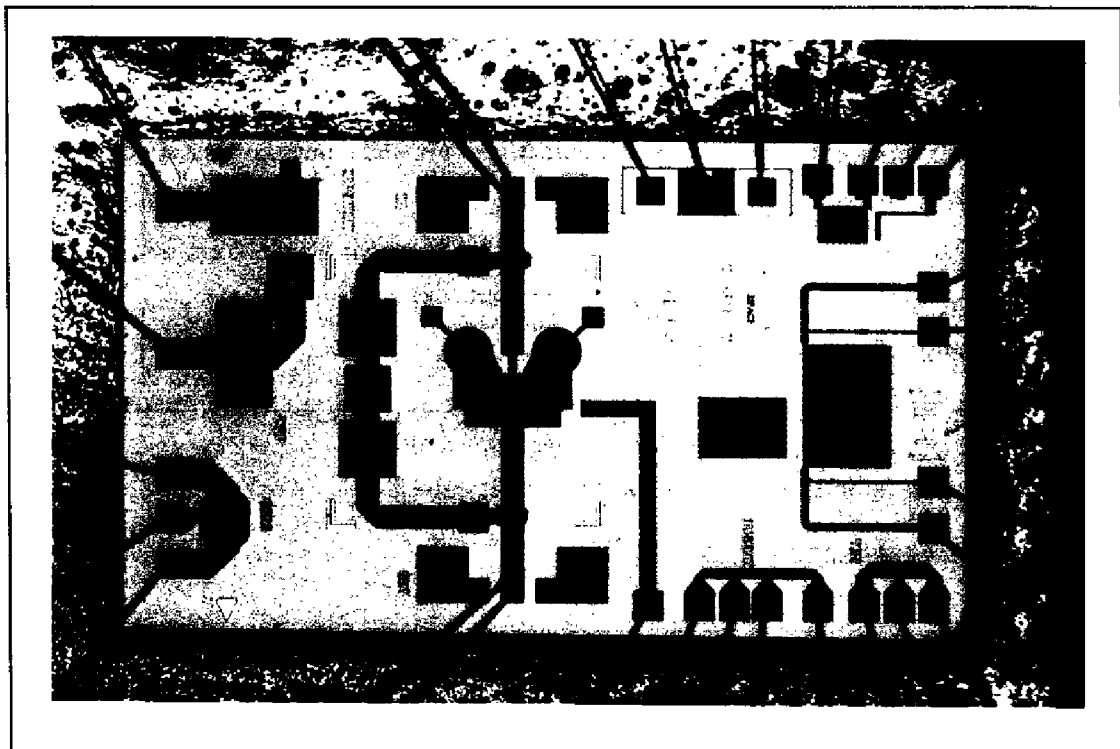


Figure 3-2 : Véhicule de caractérisation technologique

où :  $R$  est la valeur de la résistance (ohm),  $R_{\text{carré}}$  la valeur de la résistance / carré,  $l$  la longueur de la métallisation ou de la surface implantée et  $R_c$  la valeur de la résistance de contact.

En effectuant une régression linéaire entre la valeur de la résistance et la longueur de cette dernière, on obtient pour  $l=0$  la valeur de  $2 R_c$  (intersection de la courbe avec l'axe des ordonnées). La pente de la droite étant égale à la  $R / \text{carré} / \text{largeur}$  de la résistance.

Pour déterminer la valeur de la résistance de contact avec une bonne précision, la structure TLM devra comporter un grand nombre de résistances en série. Dans le cadre de notre étude, le nombre de résistances a été volontairement limité (gain de place), les structures TLM servant dans un premier temps à mettre en évidence une éventuelle cinétique de dégradation.

La contrainte électrique appliquée sur chacune de ces structures au cours du vieillissement accéléré est de deux fois la densité de courant maximale préconisée par le fondeur.

#### **☛ Capacités (plots 19 et 20)**

Les deux types de capacités compris dans la bibliothèque apparaissent sur le TCV :

- Capacité série "MIM" d'une valeur de 20 pF
- Capacité parallèle d'une valeur de 20 pF dont la particularité est de posséder un contact de masse "via-hole" directement placé sous cette dernière.

La distance séparant les prises de masse respectives de ces deux capacités est la distance minimale préconisée par le manuel de conception (voir figure 3-2).

La figure 3-3 représente les reprises de contact sur l'armature inférieure et supérieure d'une capacité MIM.

La contrainte électrique appliquée au cours du vieillissement accéléré est une polarisation continue d'une valeur de 15 volts sur chacune des capacités.

Les paramètres électriques mesurés sont :

- le courant de fuite sous une polarisation continue de 5 volt à chaque mesure de reprise afin d'évaluer la robustesse du diélectrique notamment.
- des mesures initiales et finales de la valeur de la capacité.

#### **☛ Ligne méandre : (plots 6, 7, 8, et 9)**

Il s'agit d'une ligne de connexion réalisée par la déposition successive de 3 niveaux de métallisations (1er niveau, niveau intermédiaire, 2ème niveau). Cette structure comprend 32 lignes (longueur=310  $\mu\text{m}$ , largeur=7  $\mu\text{m}$ ) espacées de 7  $\mu\text{m}$ .

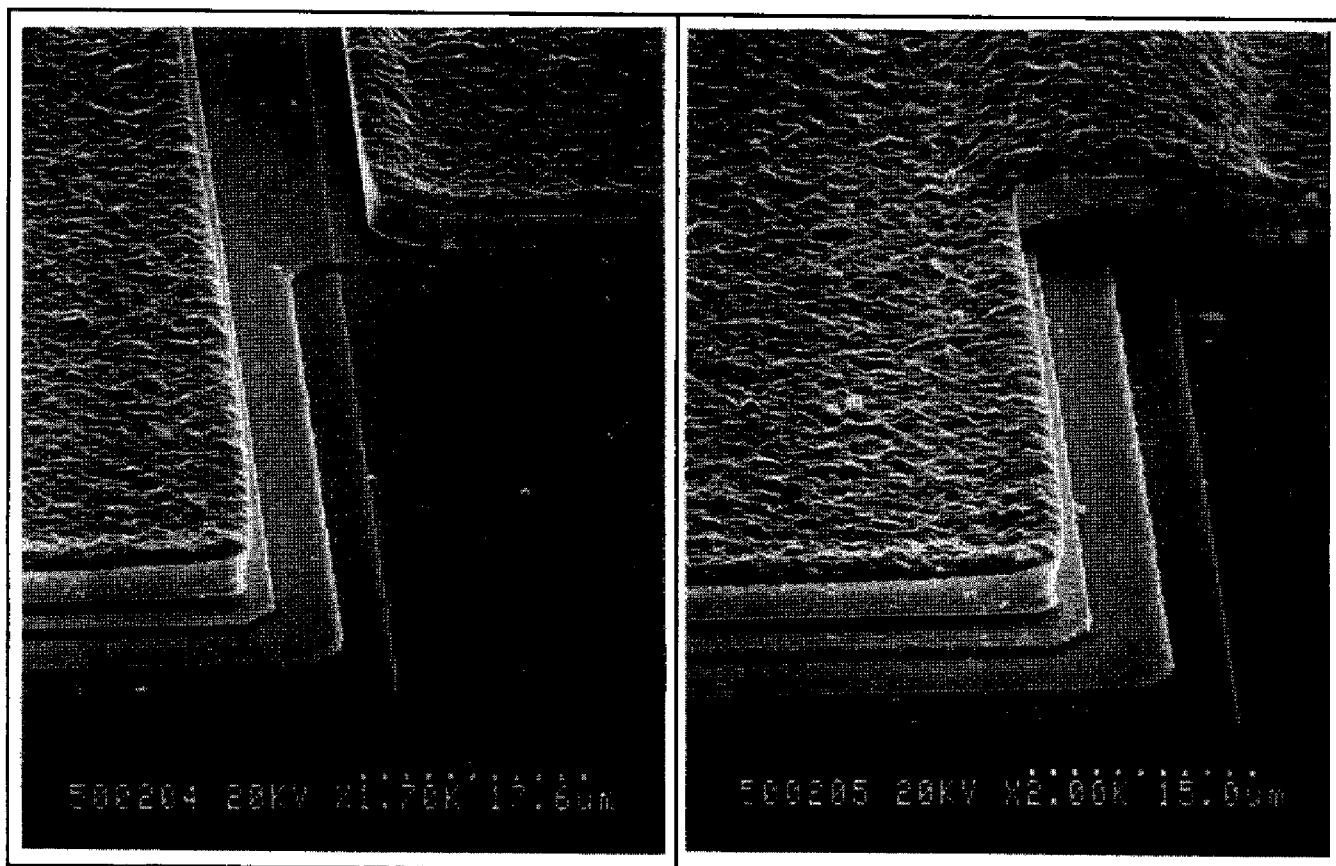


Cette structure est placée sur le véhicule de caractérisation technologique, en raison des analogies géométriques avec les coupleurs de Lange.

La résistance approximative de la ligne méandre (accès compris) est d'environ  $6 \Omega$ .

Le TCV comprend également un motif visuel dont les dimensions sont les limites du manuel de conception (largeur de  $5 \mu\text{m}$ , l'espace entre les lignes étant de  $6 \mu\text{m}$ ). La contrainte électrique appliquée sur cette ligne est deux fois la densité maximale préconisée par le fondeur.

Le paramètre électrique mesuré est la résistance de la ligne à chaque mesure de reprise.



(a)

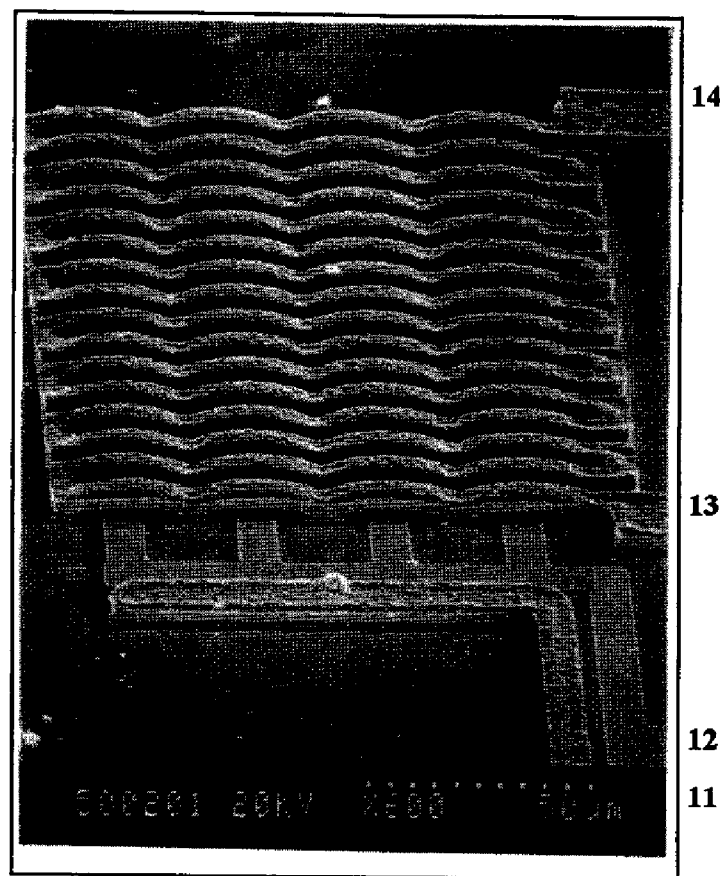
(b)

**Figure 3-3 : Reprise de contact sur l'armature inférieure (a) et supérieure (b) d'une capacité MIM.**

#### **☞ Chaîne de pont à air : (plots 11, 12, 13 et 14)**

Le schéma d'un pont à air est représenté sur la figure 3-4.

Ce motif est constitué par une chaîne de 64 ponts à air. La longueur de chacun de ces ponts à air est de  $20 \mu\text{m}$ , et la largeur de  $5 \mu\text{m}$ .



**Figure 3-4 : Chaîne de pont à air**

La métallisation sous le pont à air est constituée par le premier niveau de métal (plot 12, Fig. 3-4). Une ligne de connexion (plot 11, Fig. 3-4), constituée des 3 métallisations (1er niveau, niveau intermédiaire, 2nd niveau) placée à la distance minimale du premier niveau de métallisation permettra de mettre en évidence d'éventuels chemins de conduction entre ces deux lignes au cours du vieillissement accéléré.

La résistance approximative de cette structure (accès compris) est d'environ  $4 \Omega$ .

La contrainte électrique appliquée à cette structure est deux fois la densité de courant maximale préconisée par le fondeur, et une polarisation de 15 volts entre le premier niveau de métal et la ligne de connexion (entre les plots 11 et 12, et 12 et 13 Fig. 3-4).

Les paramètres électriques mesurés sont :

- la résistance totale de la structure
- le courant de fuite entre deux lignes placées à la distance minimale de  $6 \mu\text{m}$  (plots 11 et 12, Fig. 3-4)
- le courant de fuite entre les premiers et seconds niveaux de métallisations afin d'évaluer l'isolation du pont à air (plots 12 et 13, Fig. 3-4).

### **3.1.2 Élément actif du TCV (plots 18 et 24)**

Le TCV comprend un transistor à effet de champ à hétérostructure (HFET). Ses caractéristiques technologiques sont :

- Grille : TiPtAu
- Contact ohmique : AuGeNi
- Structure à grille enterrée « double recess » (voir figure 3-5)
- Longueur de grille : 0.5 $\mu$ m
- Largeur de grille : 60 $\mu$ m
- Largeur de grille cumulée : 600 $\mu$ m (10 doigts) (voir figure 3-6)

Un circuit de stabilisation du HFET est prévu, constitué par un réseau série résistance / capacité sur la grille et le drain. Les valeurs des composants de ce réseau sont R=50  $\Omega$  et C=10 pF.

En outre, une électrode de "side gating" permettra d'observer l'influence d'un potentiel appliqué à proximité du transistor.

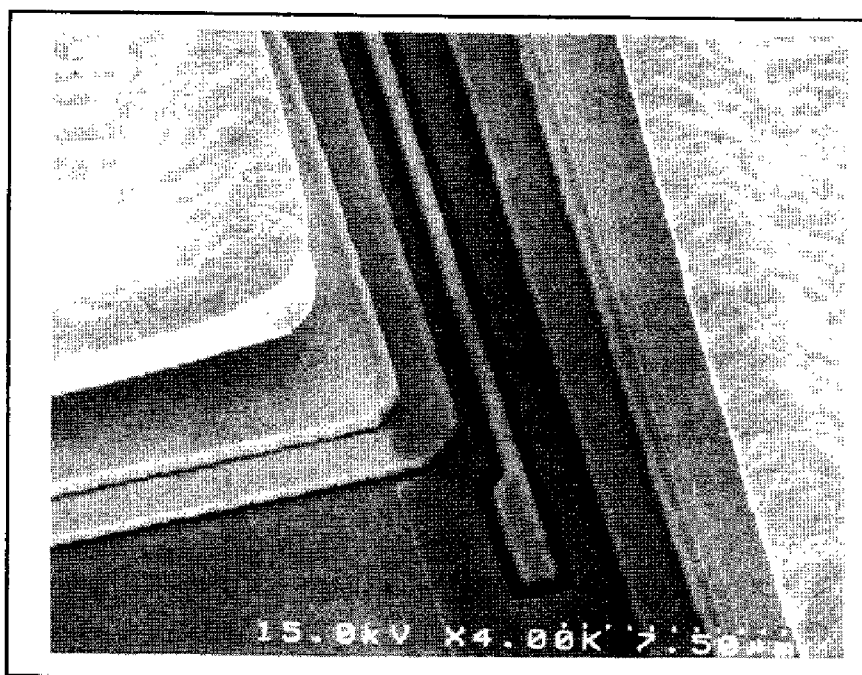
Les polarisations drain-source et grille-source appliquées sur le transistor tout le long du vieillissement sont respectivement égales à  $V_{DS} = 8.5$  volts et  $V_{GS} = -2$  volts. Dans ce cas précis, (le transistor est pincé) la principale contrainte est liée à la valeur du champ électrique grille - drain du transistor, le courant drain-source étant quasiment nul.

Les paramètres statiques mesurés sur le transistor à chaque mesure de reprise sont les suivants :

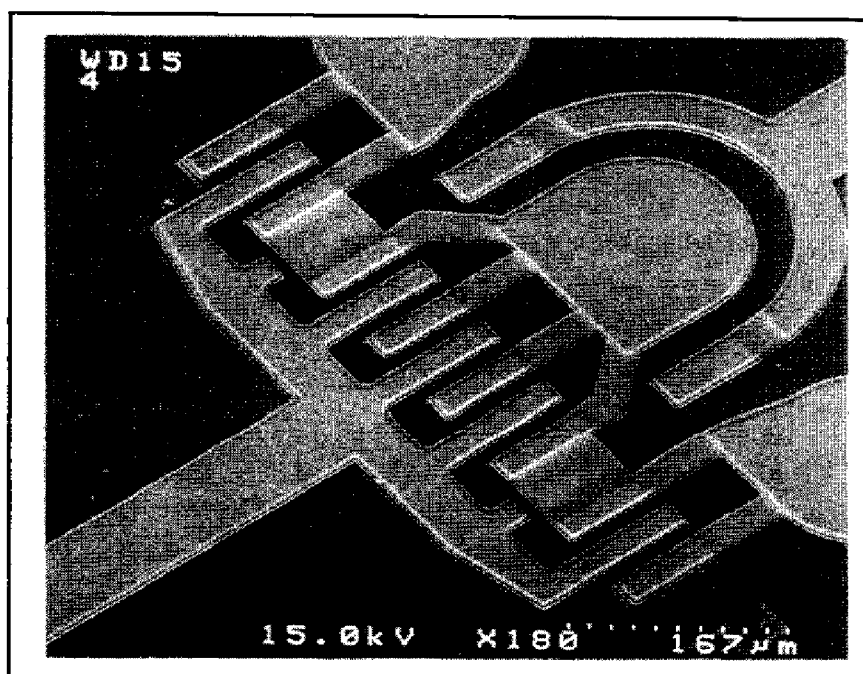
- Tension de pincement  $V_p$  ( $V_{GS}$  pour  $I_{DS}=0.5$  mA/mm de largeur de grille soit 0.3 mA à  $V_{DS}=2$  volt)
- $B_{VGD}$  : Tension de claquage grille-drain,  $I_{GD} = 5$   $\mu$ A (Source en l'air)
- $B_{VGS}$  : Tension de claquage grille-Source,  $I_{GS} = 5$   $\mu$ A (Drain en l'air)
- $I_{DS}$  à  $V_{DS}=2$  volts à  $V_{GS}=-1$  volt.
- Influence du side gating : écart entre  $I_{DS}$  (potentiel « side gating »=0 volt) et  $I_{DS}$  (potentiel « side gating »=8 volt)
- Facteur d'idéalité n et le courant de saturation  $I_{GSO}$  de la jonction en direct.

**Remarque :** La cellule 10 est constituée par un transistor appelé "FATFET" dont la particularité est de posséder une longueur de grille importante.

Le "FATFET" permet d'effectuer des mesures C(V) afin de déterminer le profil de dopage, mais également de mettre en évidence les phénomènes d'inter diffusion au niveau de la jonction du transistor (caractéristique directe de la diode).



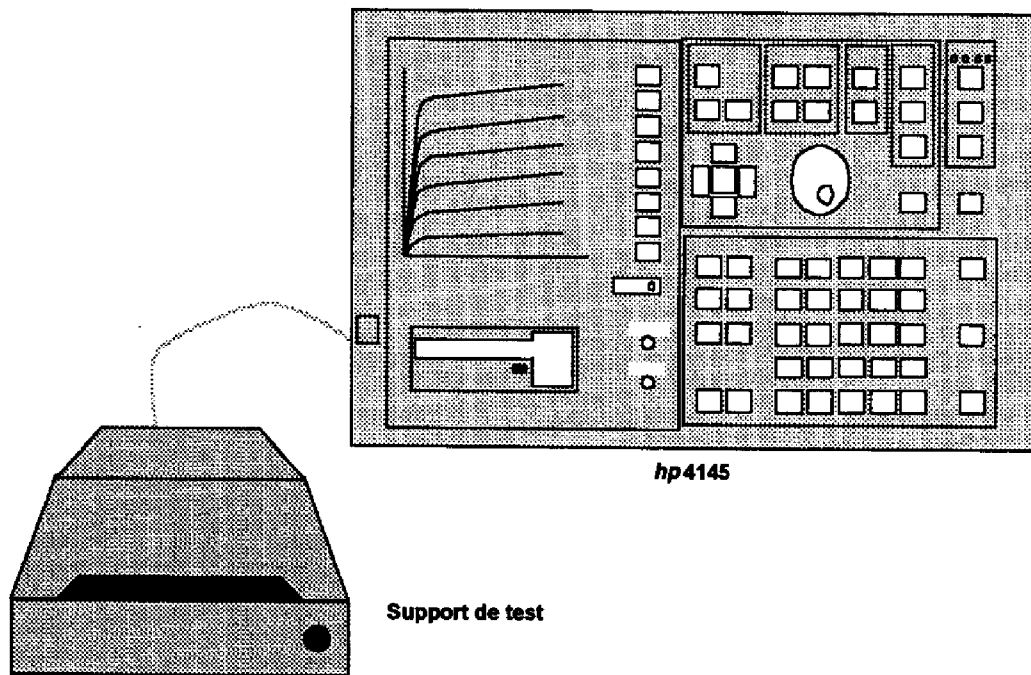
*Figure 3-5 : Le double creusement "recess" de la grille*



*Figure 3-6 : Structure interdigitée du transistor*

### **3.1.3 Banc de mesures des paramètres statiques du TCV**

Les mesures statiques des différentes cellules du TCV explicitées précédemment sont réalisées avec un analyseur de paramètres des semi-conducteurs de la série *hp 4145*. Le TCV assemblé dans un boîtier DIL 28 est placé sur une structure de test reliée au *hp 4145*. Cette structure de test assure une parfaite reproductibilité des différentes mesures. Le banc de mesure des paramètres statiques du TCV est représenté sur la figure 3-7.



*Figure 3-7 : Banc de mesures statiques du TCV*

### **3.1.4 Condition de polarisation des différentes cellules du TCV au cours du vieillissement**

Le tableau 3-1 récapitule les contraintes électriques statiques à appliquer sur les différentes cellules du TCV au cours du vieillissement.

Les paramètres mesurés à chaque mesure de reprise sont également mentionnés.

N° PORTS	DESCRIPTION	CONDITION DE POLARISATION	PARAMETRES MESURES
21,22,23	TLM GaAs	$I=2 \times I_{max}=90 \text{ mA}$	$R1=5 \Omega$ $R2=10 \Omega \Rightarrow R_{contact}$
2,3,4	TLM TaN	$I=2 \times I_{max}=90 \text{ mA}$	$R1=15 \Omega$ $R2=25 \Omega \Rightarrow R_{contact}$
26,27,28,1	TLM AuGeNi	$I=2 \times I_{max}=20 \text{ mA}$	$R1=2 \Omega$ $R2=6 \Omega$ $R3=8 \Omega \Rightarrow R_{contact}$
19	Capa parallèle 20 pF	$V=15 \text{ volts}$	Courant de fuite
20	Capa série 20 pF	$V=15 \text{ volts}$	Courant de fuite
11,12	1 <sup>er</sup> niveau de métal / ligne de connexion	$V=15 \text{ volts}$	Courant de fuite
13,14	Résistance pont à air	$I_{max}=46,25 \text{ mA}$ $I=2 \times I_{max} \# 90 \text{ mA}$ $R \# 2,5 \Omega$	Résistance
12,14	Courant de fuite : Pont à air/1 <sup>er</sup> niveau métal	$V=15 \text{ volts}$	Courant de fuite
6,7,8,9	Ligne méandre	$I=2 \times I_{max}=150 \text{ mA}$ $R \# 7,5 \Omega$	Résistance
18	grille HFET	$V_{gs} = -2 \text{ volts}$	
24	drain HFET	$V_{ds} = 8.5 \text{ volts}$	
25	side gate	$V_{sg} = 8 \text{ volts}$	

Tableau 3-1 : Contraintes électriques appliquées sur les diverses cellules du TCV

### 3.2 LE CIRCUIT D'ÉVALUATION DYNAMIQUE (DEC)

Le circuit d'évaluation dynamique (DEC) permet d'évaluer les éléments actifs de la filière dans l'application : ce véhicule de test est constitué d'un transistor adapté en puissance. Outre le vieillissement sous contraintes statiques, ce véhicule de test doit permettre d'effectuer des essais de vieillissement sous contraintes dynamiques.

### 3.2.1 L'amplification de puissance

Afin de répondre aux cahiers des charges des systèmes de communications spatiaux et terrestres, les amplificateurs de puissance à état solide doivent présenter des performances très intéressantes en termes de puissance délivrée et de consommation.

L'amplification de puissance est réalisée le plus souvent par des tubes à ondes progressives (TOP). En raison de leur masse et de leur volume relativement élevés la tendance actuelle est au remplacement de ces derniers par des amplificateurs à états solides (Solid State Power Amplifier). Ce remplacement ne pourra s'effectuer que si l'on utilise des amplificateurs à état solide délivrant des puissances de sortie élevées et si le rendement (rapport de la puissance utile délivrée à la puissance fournie par l'alimentation) est suffisant.

Pour toute application liée à un fonctionnement en fort signal (c'est le cas notamment de l'amplification en puissance) les non linéarités du composant doivent être prise en compte.

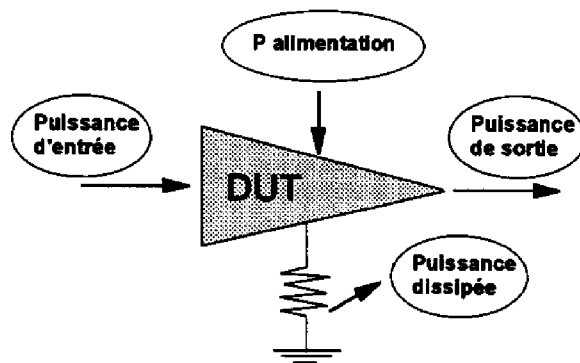


Figure 3-8 : Bilan de puissance d'un amplificateur

En effet en considérant l'amplificateur comme un convertisseur de puissance [3], il vient :

$$P_{diss} = P_a - (G - 1) P_e \quad \text{Equation 3-2}$$

où :  $P_{diss}$  est la puissance dissipée sous forme thermique,  $P_a$  la puissance d'alimentation,  $P_e$  la puissance d'entrée et  $G$  le gain en puissance.

Pour une puissance d'alimentation donnée, si le gain garde une valeur constante, une augmentation progressive du signal d'entrée entraînerait une puissance dissipée négative! Le gain en puissance ne peut rester constant, et on observe le phénomène de compression du gain (voir figure 3-9).

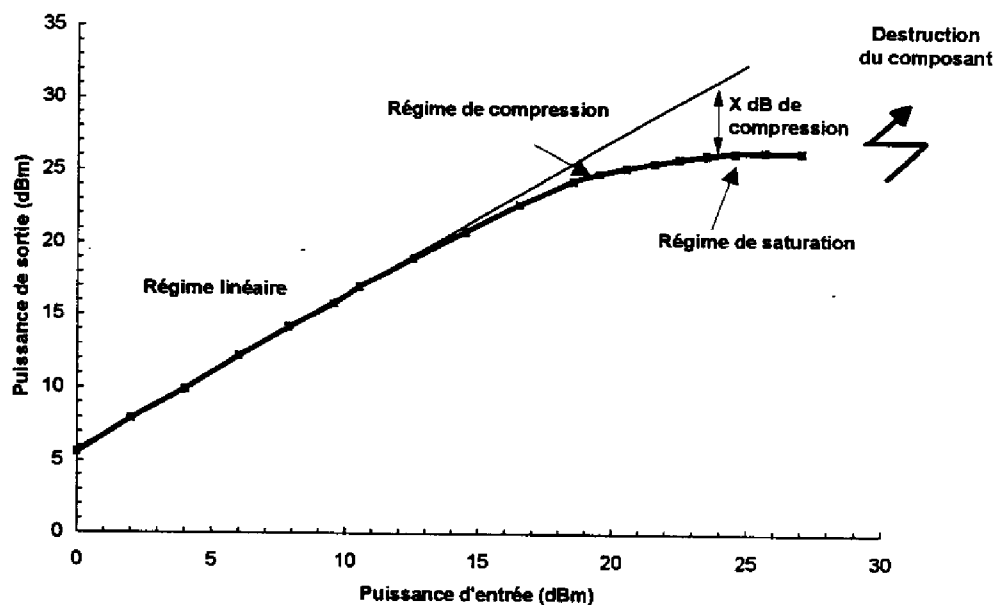


Figure 3-9 : Variation de la puissance de sortie en fonction de la puissance d'entrée du DEC

La figure 3-9 représente les variations de la puissance de sortie en fonction de la puissance d'entrée en dBm. Le comportement du transistor en tant qu'amplificateur de puissance se décompose en quatre régimes :

- le régime linéaire où le rapport de la puissance de sortie sur la puissance d'entrée est constant.
- le régime de compression où le rapport de la puissance de sortie sur la puissance d'entrée décroît. On définit dans cette région un point de compression à  $X$  dB pour lequel le gain est inférieur à  $X$  dB par rapport à sa valeur aux puissances faibles (régime linéaire).
- le régime de saturation où la puissance de sortie reste quasiment constante en fonction de la puissance d'entrée.
- la quatrième région correspond à un fonctionnement limite pouvant entraîner la destruction du composant.

Nous allons présenter dans un premier temps la modélisation linéaire du transistor qui concerne toutes les applications bas niveaux, c'est à dire lorsque le signal d'entrée est de faible amplitude.



### 3.2.2 La modélisation linéaire

#### ☞ Le modèle électrique linéaire du transistor

Pour une utilisation à faible niveau, qui considère de faibles variations du signal hyperfréquence appliqué au transistor autour d'un point de repos continu appartenant à la zone de saturation, le comportement électrique de chaque région du transistor peut être modélisé par une équation linéaire. La figure 3-10 représente la modélisation du transistor en régime petit signal. Le schéma électrique associé est représenté sur la figure 3-11. Ce schéma électrique comporte deux types d'éléments :

- les éléments extrinsèques ou parasites  $L_g, L_s, L_d, R_s, R_d$  indépendants des conditions de polarisation et de la fréquence de fonctionnement. Ce sont en général les éléments d'accès au composant.
- les éléments intrinsèques ou parasites  $G_m, G_d, C_{gs}, C_{ds}, R_i, \tau$  qui dépendent des conditions de polarisation. Cette zone intrinsèque modélise la zone active du transistor.

A chacun de ces éléments correspond une origine physique :

- Les inductances  $L_g, L_s, L_d$  sont des éléments extrinsèques du composant correspondant aux métallisations d'accès.
- $R_s$  et  $R_d$  représentent les résistances d'accès du composant intrinsèque. Ces résistances modélisent les contacts ohmiques et la résistance du canal comprise entre les métallisations et la zone dépeuplée. Ces éléments dépendent de la géométrie du transistor.
- $R_g$  est la résistance de métallisation du contact Schottky.
- $C_{gs}$  et  $C_{gd}$  représentent les capacités introduites par les variations de la zone dépeuplée du canal engendrée par une commande en tension sur la grille respectivement coté source et coté drain
- $C_{ds}$  modélise le couplage entre l'électrode de source et de drain.
- $R_i$  est la résistance du canal.
- $G_m$  est la transconductance définie par :

$$G_m = \left. \frac{\partial I_{ds}}{\partial V_{gs}} \right|_{V_{ds}=cte} \quad \text{Equation 3-3}$$

- $\tau$  est le temps de transit des électrons dans la région du canal à l'origine du déphasage entre  $I_{ds}$  et  $V_{gs}$ .
- $G_d$  est la conductance du drain.

$$G_d = \left. \frac{\partial I_{ds}}{\partial V_{ds}} \right|_{V_{gs}=cte} \quad \text{Equation 3-4}$$

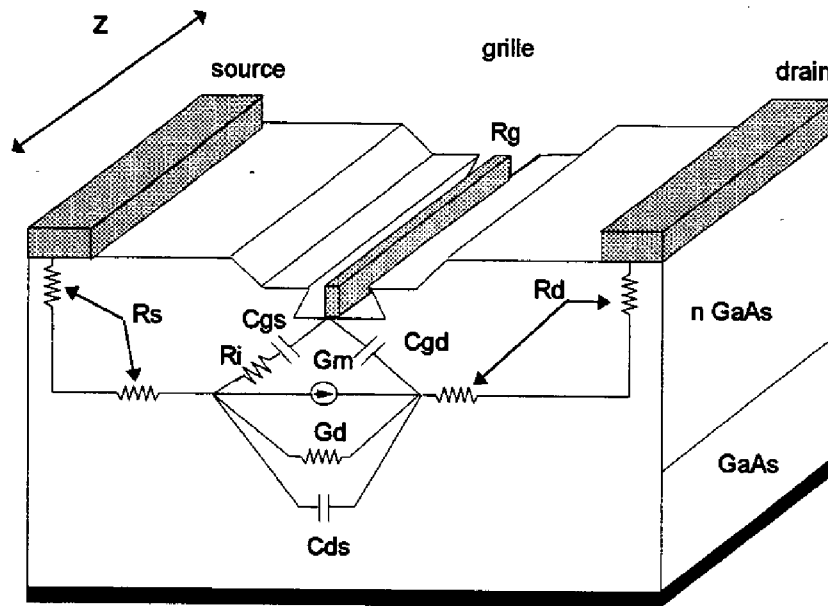


Figure 3-10 : Modélisation du transistor en régime petit signal

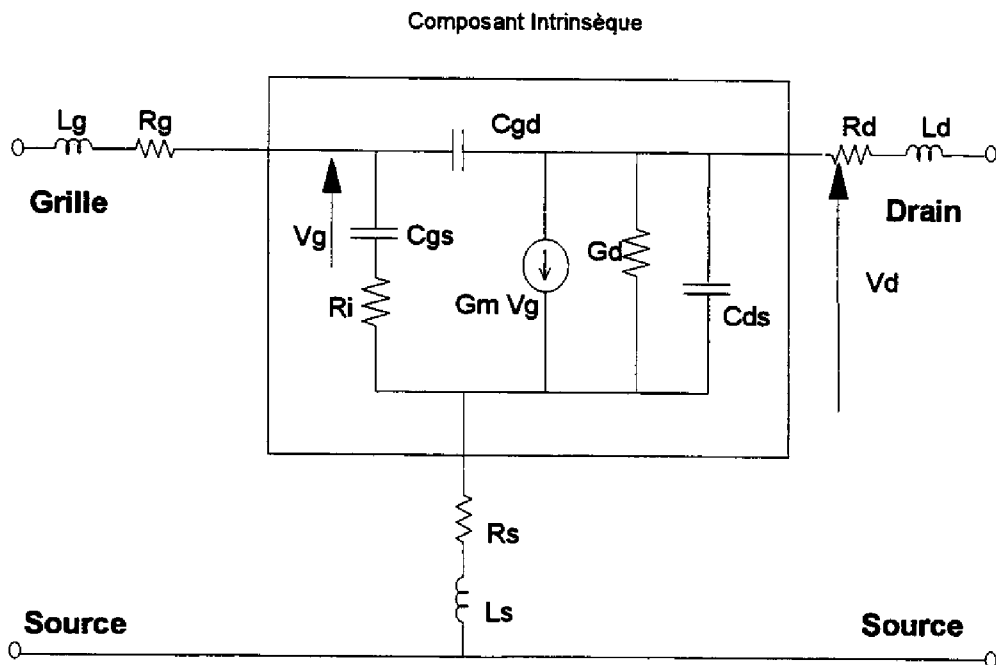


Figure 3-11 : Schéma électrique du transistor en régime petit signal

### **☛ Détermination des éléments linéaires électriques du modèle petit signal**

L'extraction des valeurs des éléments électriques s'effectue de manière analytique, par calculs à partir de la mesure de la matrice de répartition du dispositif [4].

Cette méthode nécessite la connaissance au préalable de tous les éléments d'accès et parasites extrinsèques :

- les résistances  $R_s$ ,  $R_d$ ,  $R_g$ .
- les inductances  $L_g$ ,  $L_s$ ,  $L_d$ .

La détermination de ces éléments s'effectue à partir de mesures appelées « mesures à TEC froid » c'est à dire à  $V_{ds} = 0$  volt. Le transistor est considéré comme un élément passif réciproque ( $G_m=0$ ,  $S_{12}=S_{21}$ ). Dans ces conditions, lorsque l'on polarise la diode en direct de manière à obtenir une densité de courant de l'ordre de  $5 \cdot 10^7$  à  $5 \cdot 10^8$  A/m<sup>2</sup>, la réactance  $C_{gs0}$  du composant est court-circuitée par la résistance dynamique  $R_{dy}$ , de la jonction Schottky. Les paramètres séries parasites sont alors directement mesurables.

$$R_{dy} = \frac{n k T}{q I_s} \quad \text{Equation 3-5}$$

La mesure de la matrice admittance  $[Z_{ij}]$  du quadripôle permet de déterminer  $R_s$ ,  $R_d$ ,  $R_g$ ,  $L_s$ ,  $L_d$ ,  $L_g$ .

Les éléments parasites étant connus, par de simples relations de passage à partir de la matrice  $[S]$  mesurée on détermine la matrice admittance  $[Y_{ij}]$  du composant intrinsèque.

De par la topologie en  $\pi$  du composant intrinsèque (voir figure 3-11), on aboutit à des expressions simples liant les éléments électriques du composant intrinsèque aux paramètres admittance  $Y_{ij}$ .

$$\begin{aligned} Y_{11} &= \frac{R_i C_{gs}^2 \omega^2}{D} + j\omega \left( \frac{C_{gs}}{D} + C_{gd} \right) \\ Y_{12} &= -j\omega C_{gd} \\ Y_{21} &= \frac{G_m \exp(-j\omega \tau)}{1 + j R_i C_{gs} \omega} - j\omega C_{gd} \\ Y_{22} &= G_d + j\omega (C_{ds} + C_{gd}) \end{aligned} \quad \text{Equation 3-6}$$

$$\text{avec } D = 1 + R_i^2 C_{gs}^2 \omega^2$$

Les éléments intrinsèques du modèle « petit signal » sont déterminés à partir des parties réelles et imaginaires des paramètres  $Y_{i,j}$ .

Pour les amplifications de signaux de fortes amplitudes, les non linéarités du transistor doivent être prises en compte. L'obtention de performances en termes de puissance de sortie et de rendement en puissance ajoutée nécessite d'utiliser le transistor en régime non linéaire. C'est pour cela que la conception d'un amplificateur passe dans un premier temps par une modélisation en régime linéaire et une optimisation du fonctionnement de l'amplificateur en régime non linéaire (méthode de la balance harmonique).

### **3.2.3 La modélisation non linéaire**

#### **3.2.3.1 Mesures impulsionnelles**

Lorsque la puissance d'entrée du composant devient importante, l'excursion du signal d'entrée autour du point de repos ne peut plus être considérée comme très faible. Ainsi pour un signal dynamique de forte amplitude appliqué sur la grille du transistor certains éléments du schéma équivalent décrit précédemment deviennent dépendant des amplitudes des tensions appliquées sur la grille ( $V_{gs}$ ) et sur le drain ( $V_{ds}$ ), et constituent chacun une non linéarité prise en compte dans la modélisation électrique du composant.

Ces non linéarités ne pourront être décrites sans une caractérisation précise des différents générateurs de courant du transistor au travers de mesures dites "impulsionnelles":

- $I_{DS} = f(V_{DS}, V_{GS})$
- $I_{DG} = f(V_{DS}, V_{GS})$
- $I_{GS} = f(V_{GS}, V_{DS})$ .

Le principe de la mesure impulsionnelle repose sur la description des caractéristiques du composant par de brèves impulsions autour du point de polarisation choisi. Les durées et récurrences des impulsions doivent être déterminées de manière à ce que l'état thermique du transistor soit fonction inhérente du point de polarisation uniquement.

Pour cela la durée de l'impulsion d'une part doit être suffisamment brève afin de ne pas échauffer le composant quel que soit le niveau de puissance de celle-ci, et d'autre part le temps hors impulsion (c'est à dire lorsque la tension de polarisation seulement est appliquée au transistor) doit être suffisamment grand devant la durée des impulsions. En outre, afin de s'affranchir de la présence des pièges à l'interface substrat semi isolant / couche active, la durée de l'impulsion devra être suffisamment courte (en pratique  $< 1 \mu s$ ) de manière à ce que les états des pièges restent dans un état correspondant à celui qu'ils ont au point de repos.

Le schéma du banc impulsionnel que nous avons utilisé est représenté sur la figure 3-12. Le courant de drain est prélevé par une sonde à effet Hall et le courant de grille est mesuré aux

bornes de la résistance  $R_2$ . L'acquisition des données est effectuée par un ordinateur qui extrait automatiquement les réseaux de courbes.

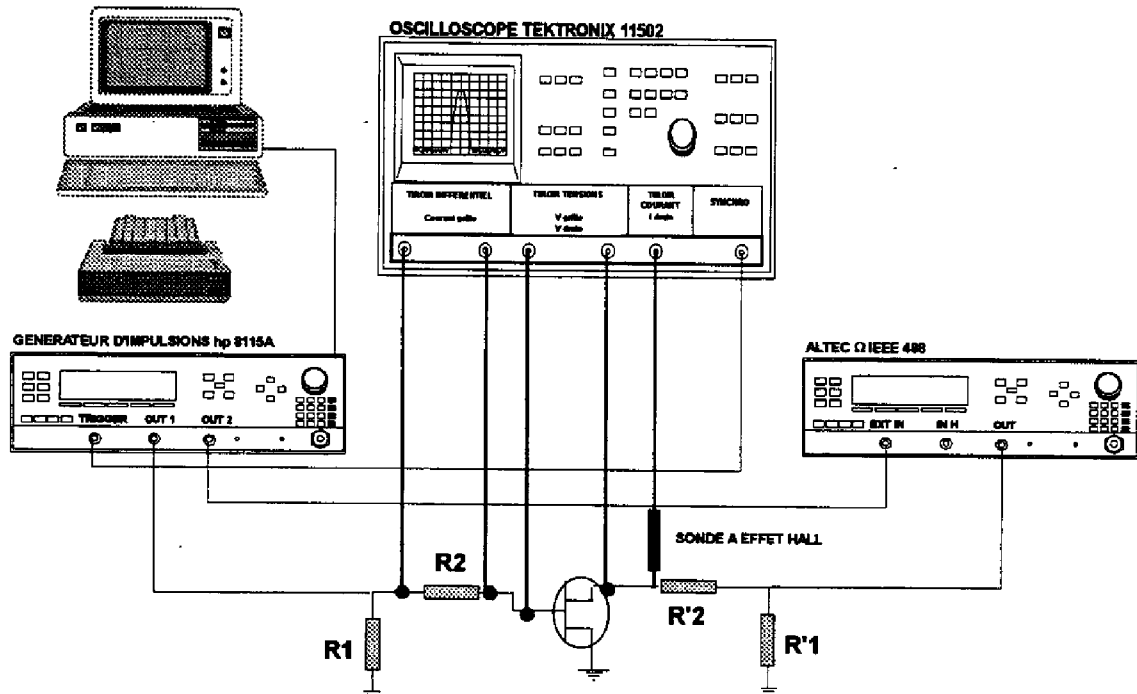


Figure 3-12 : Schéma du banc de mesures impulsives

### 3.2.3.2 Les non linéarités du transistor

La résistance  $R_i$  est fonction du point de polarisation et du courant instantané dans le canal. Toutefois sa valeur devant celle de l'impédance d'entrée du composant est suffisamment faible pour négliger la non linéarité qu'elle introduit. De même, les variations de la capacité drain source  $C_{ds}$  sont suffisamment faibles pour que l'on puisse la considérer indépendante des tensions appliquées. Ces deux grandeurs sont donc considérées constantes et issues du modèle petit signal.

Les particularités du modèle non linéaire développé sont les suivantes :

- Générateur de courant  $I_{DS}$  ( $V_{DS}$ ,  $V_{GS}$ ) modélisé par des fonctions splines bicubiques.
- Générateurs de courant d'avalanche  $I_{DG}$  ( $V_{GS}$ ,  $V_{DS}$ ) et de courant direct  $I_{GS}$  ( $V_{GS}$ ,  $V_{DS}$ ) modélisés par des équations empiriques.
- Modélisation non linéaire de la capacité de la jonction grille source  $C_{GS}=f(V_{GS})$ .
- Modélisation du temps de transit  $\tau$  des électrons sous la grille.

Le modèle non linéaire équivalent est représenté sur la figure 3-13. Le détail de chacune de ces non linéarités est explicité dans les lignes qui vont suivre.

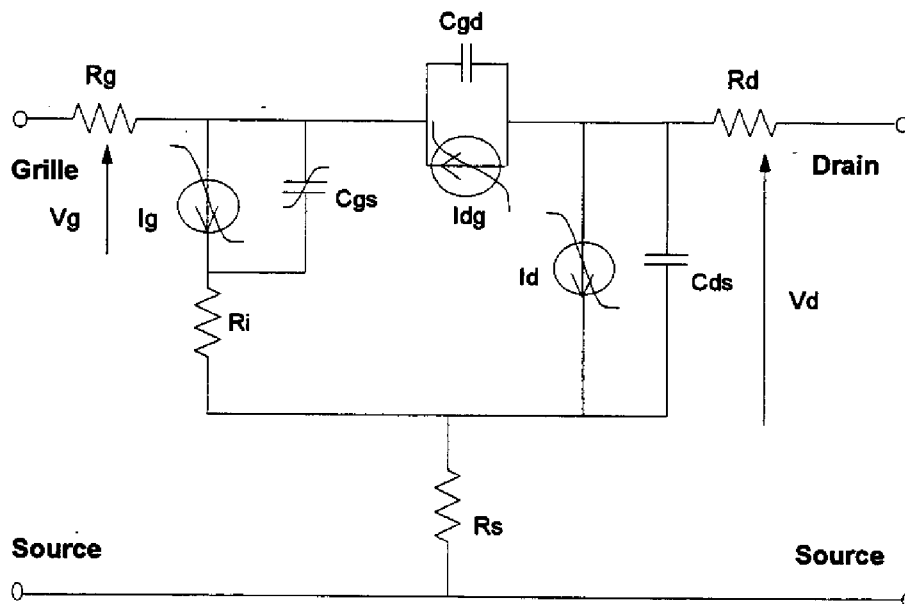


Figure 3-13 : Modèle non linéaire du transistor à effet de champ

### ☛ Source de courant $I_{DS}$

Il existe une grande variété de modèles analytiques de la source de courant  $I_{DS}$  permettant leur utilisation dans des logiciels d'analyse. Les modèles les plus usuels sont ceux de Statz [5], Curtice [6], Tajima [7]. Les paramètres analytiques sont d'autant plus nombreux que l'on souhaite une très bonne adéquation entre les caractéristiques simulées et mesurées. Une étape préalable d'optimisation est nécessaire quand à l'utilisation de ces modèles.

L'évolution de la grandeur  $I_{DS}$  peut être également décrite à l'aide de techniques d'interpolation à partir des points de mesures. L'avantage d'une telle méthode est d'obtenir une modélisation rigoureuse de la mesure et ce d'autant plus que le nombre de points de mesure est important, sans optimisation préalable.

Le principe de la méthode [8] repose sur des interpolations consécutives effectuées sur des intervalles de mesures relativement petit. La technique d'interpolation retenue utilise les fonctions splines cubiques. Elles sont définies par des morceaux de polynômes de degré 3 avec continuité des dérivées jusqu'à l'ordre 2 aux points de raccordement des intervalles.

Ainsi, le courant de drain d'un MESFET peut être représenté par une fonction spline bicubique (voir équation 3-7), en effectuant une interpolation suivant  $V_{GS}$  et  $V_{DS}$  sur les

intervalles  $[V_{GSk}, V_{GSk+1}]$  et  $[V_{DSl}, V_{DSl+1}]$ , k variant de 0 à n et l de 0 à m qui sont les n x m points de mesure (n étant le nombre de points de valeurs de tension  $V_{GS}$ , et m celui de la tension  $V_{DS}$ ). Cette méthode est parfaitement applicable à une caractérisation impulsionnelle, où le courant  $I_{DS}(V_{GS}, V_{DS})$  est mesuré point par point pour les couples de tension  $(V_{GSk}, V_{DSl})$ .

$$I_{DS} = f(V_{GS}, V_{DS}) = \sum_{i=0}^3 \sum_{j=0}^3 a_{k,l}^{i,j} (V_{GSk} - V_{GS})^i (V_{DSl} - V_{DS})^j \text{ Equation 3-7}$$

### ☛ Les capacités de jonction grille-source $C_{gs}$ et grille drain $C_{gd}$

En première approximation, les variations de la capacité d'entrée  $C_{gs}$  par rapport à la tension de grille interne  $V_g$  peuvent être modélisées par l'équation de la capacité de transition d'une jonction Schottky polarisée en inverse :

$$C_{gs} = \frac{C_{gso}}{\sqrt{1 - \frac{V_{gs}}{V_{bi}}}} \text{ Equation 3-8}$$

où  $C_{gso}$  valeur de la capacité à  $V_{gs}=0$  et  $V_{bi}$  tension seuil de la barrière Schottky (comprise entre 0.6 et 0.8 volt) sont des paramètres à déterminer.

Toutefois, la modélisation de la capacité grille / source du transistor en fonction de la tension  $V_{gs}$  s'est avérée délicate en raison de la technologie particulière du HFET (présence d'une couche tampon AlGaAs non dopée entre la grille et le canal conducteur). Nous avons donc modélisé la capacité  $C_{gs}$  à l'aide d'une équation empirique (voir figure 3-14).

Sous polarisation normale, en régime de saturation du courant de drain lorsque  $V_{ds} \gg 0$  volt, la capacité  $C_{gd}$  est supposée indépendante de  $V_{gs}$  et  $V_{ds}$ .

### ☛ Le phénomène d'avalanche grille-drain

Dans le cadre de notre application, le courant d'avalanche grille drain est modélisé par une équation de type exponentielle fonction à la fois de la tension drain - source et de la tension grille - source. La figure 3-15 représente la comparaison simulation / mesures impulsionnelles du courant d'avalanche grille-drain pour différentes valeurs de  $V_{GS}$ .

Le courant d'avalanche grille - drain a été modélisé par l'équation suivante, où a, b, c, d et e sont des paramètres à définir.

$$I_{gd} = a - \exp\left(b + c \exp\left(\frac{V_{ds}}{d}\right) + e V_{gs}\right) \text{ Equation 3-9}$$

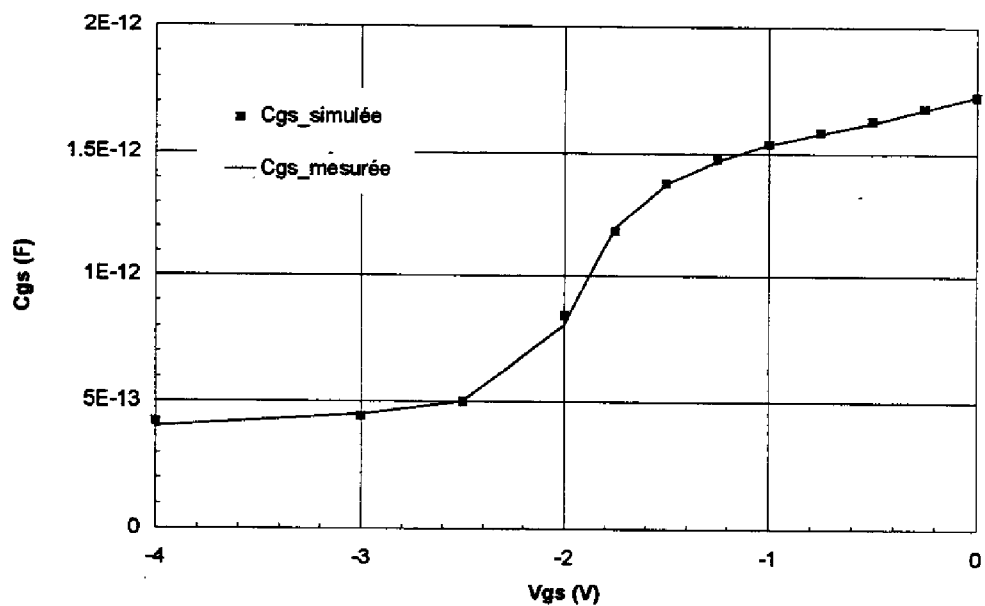


Figure 3-14 : Comparaison simulation - mesure de la valeur de  $C_{gs}=f(V_{gs})$

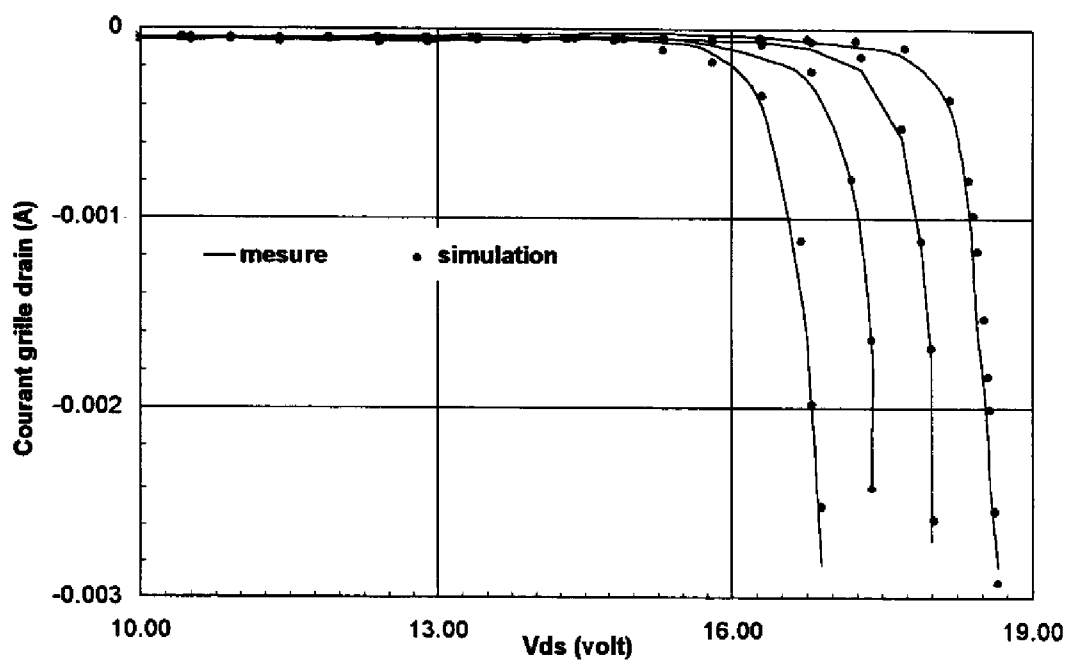


Figure 3-15 : Comparaison simulation / mesures impulsionnelles du courant d'avalanche grille - drain



### **Passage de la jonction en direct**

Lorsque l'amplitude du signal appliqué sur la grille est suffisamment importante, notamment en régime de fortes compression, la tension de grille est supérieure à la tension de seuil de la jonction Schottky  $V_{bi}$  et un courant direct traverse cette dernière.

Ce courant est modélisé par l'équation de la jonction Schottky :

$$I_{gs} = I_{gso} \exp\left(\frac{V_{gs}}{n U_T} - 1\right) \quad \text{Equation 3-10}$$

Le courant de fuite inverse  $I_{gso}$  et le facteur d'idéalité  $n$ , sont déterminés en considérant le logarithme népérien du courant de grille  $I_{gs}$ , lorsque la tension de grille est supérieure à la tension seuil  $V_{bi}$ .

Cependant, pour une bonne modélisation du composant, il est apparu plus judicieux de modéliser le courant grille - source en fonction des tensions grille - source et drain - source par une équation empirique de type exponentielle :

$$I_{gs} = I_s \exp\left(\frac{V_{gs}}{f(V_{ds})} - 1\right) \quad \text{Equation 3-11}$$

### **3.2.3.3 Réseau de sortie du transistor**

La prise en compte des différentes sources de courant non linéaires précédemment explicitées permet la simulation du réseau de sortie  $I_{ds} = f(V_{ds}, V_{gs})$  réel du composant (avec notamment la prise en compte du claquage grille - drain) qui ne peut être directement évalué par des mesures classiques (destruction du composant). La figure 3-16 représente le réseau de sortie du transistor du circuit d'évaluation dynamique obtenu par simulation.

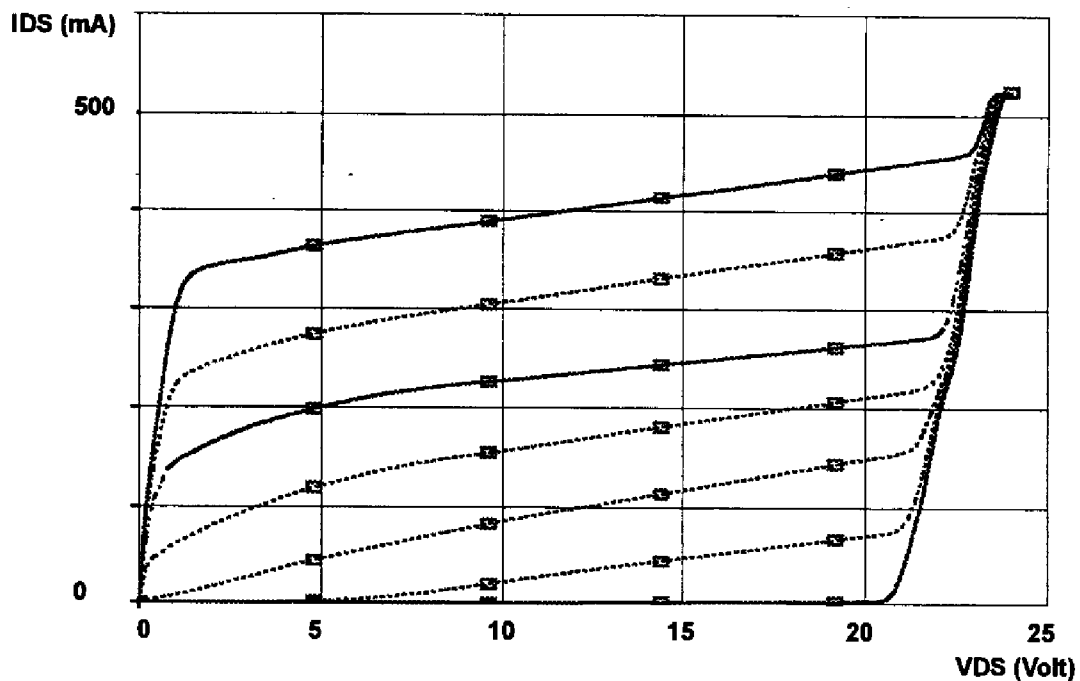


Figure 3-16 : Simulation du réseau de sortie du transistor

### 3.2.4 Réalisation

Le transistor MMIC utilisé pour la réalisation du DEC est le F1200 (voir figure 3-17). Le circuit d'évaluation dynamique comprend donc un transistor MMIC adapté en puissance. Ce transistor de 1200  $\mu\text{m}$  de développement de grille, constitue la cellule élémentaire des transistors de puissance de la bibliothèque du fondeur permettant la réalisation par duplication de transistors de 2400, 4800, 9600  $\mu\text{m}$  de développement de grille.

Le schéma électrique du circuit d'évaluation dynamique est représenté sur la figure 3-18.

Les topologies des deux réseaux de polarisation ne comportent qu'une seule ligne de transmission de longueur égale au  $\frac{1}{4}$  de la longueur d'onde du mode fondamental. Cette simplification des réseaux de polarisation est due à la taille du micro boîtier standard utilisé. En effet, afin que les essais de vieillissement soient représentatifs des conditions réelles de fonctionnement, le processus d'encapsulation (câblage, boîtier, fermeture du boîtier) est similaire à celui utilisé pour les composants MMIC de type "modèle de vol".

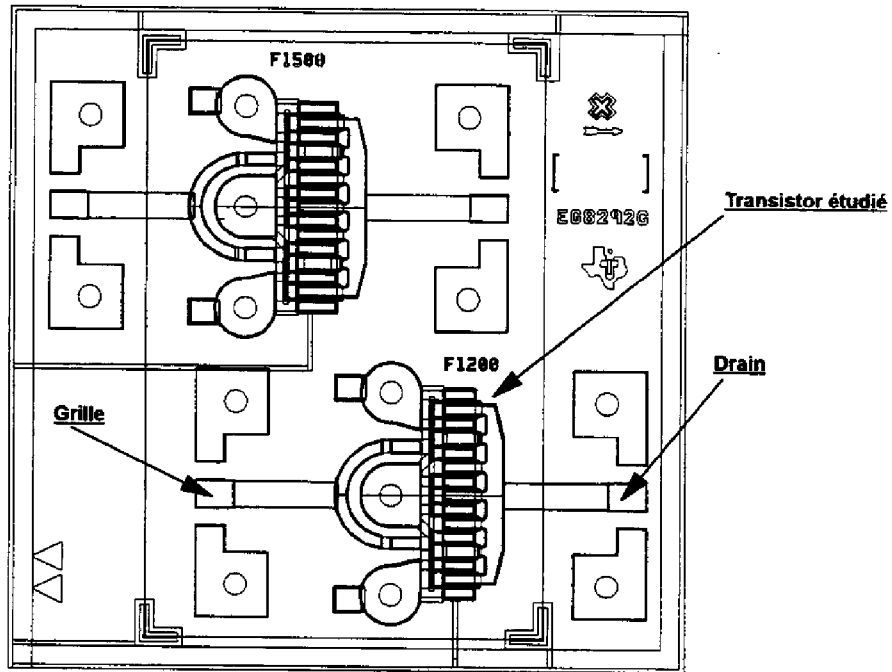
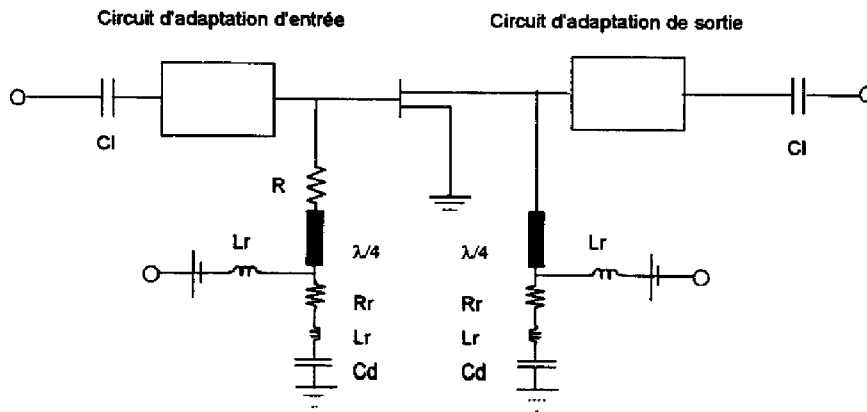


Figure 3-17 : Dessin «layout» de la puce MMIC



C1 capacité de liaison

Cd capacité de découplage

Rr, Lr résistance et inductance des rubans

Figure 3-18 : Schéma du Circuit d'Evaluation Dynamique

### 3.2.4.1 Simulation

#### ☞ Stabilité :

Le banc de vieillissement sous contraintes dynamiques comprend 24 modules. Il importe donc de s'affranchir d'éventuelles oscillations. Afin de rendre le véhicule de test inconditionnellement stable, une résistance série de faible valeur est placée sur la grille, malgré l'impact négatif de celle-ci sur les performances du circuit. La figure 3-19 représente les paramètres de stabilité du transistor de l'amplificateur. Celui-ci est inconditionnellement stable ( $K > 1$  et  $B1 > 0$ ) dans la bande 0 à 20 GHz.

La simulation de ce véhicule de test s'effectue en utilisant les modèles linéaires et non linéaires développés. Les circuits d'adaptation sont générés (à l'aide de la méthode de la balance harmonique) afin d'obtenir un maximum de puissance de sortie et de rendement en puissance ajoutée dans la bande de fréquence désirée (9.2 - 9.8 GHz) et une bonne adaptation entrée - sortie (voir figure 3-20).

Le point de repos du transistor est déterminé de façon à ce que l'amplificateur fonctionne en classe AB (typiquement,  $I_{ds} = I_{dss}/3$ ). Les polarisations de repos appliquées sont :

$V_{DS} = 8.5$  volts et  $V_{GS} = -1.5$  volts.

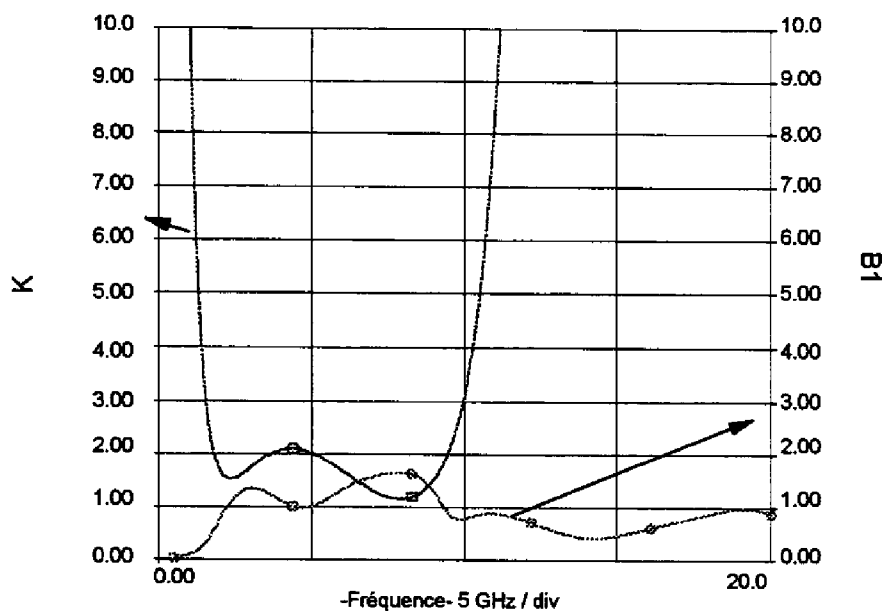


Figure 3-19 : Coefficients de stabilité K et B1 simulés

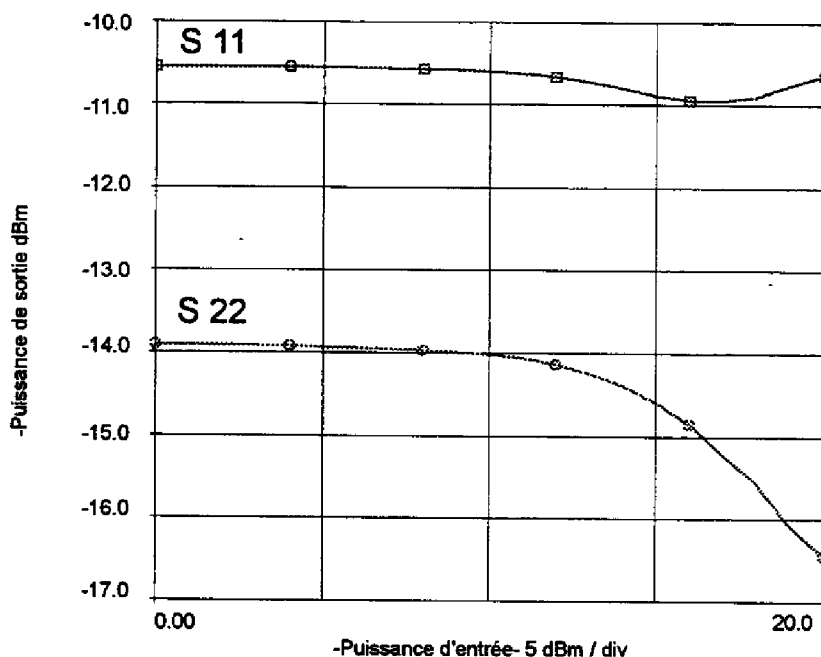


Figure 3-20 : Simulation des coefficients de réflexion d'entrée et de sortie du transistor

### 3.2.4.2 Résultats expérimentaux

Le schéma du banc de mesure permettant d'effectuer les différentes mesures de puissance et de rendement en puissance ajoutée sur les véhicules de caractérisation dynamique est représenté sur la figure 3-21.

Un amplificateur de puissance (SSPA) large bande est utilisé à la sortie du synthétiseur afin de délivrer à l'entrée du Circuit d'Evaluation Dynamique le niveau de puissance souhaité. Le wattmètre numérique de la série *hp* 438A permet la mesure simultanée du niveau de puissance à l'entrée et à la sortie du DEC. Un étalonnage préalable a toutefois été effectué entre le coupleur et l'entrée du transistor afin de déterminer le niveau de puissance réel à l'entrée de ce dernier.

La mesure et la simulation de la puissance de sortie et la mesure du rendement en puissance ajoutée en fonction de la puissance d'entrée du circuit d'évaluation dynamique sont représentées sur la figure 3-22.

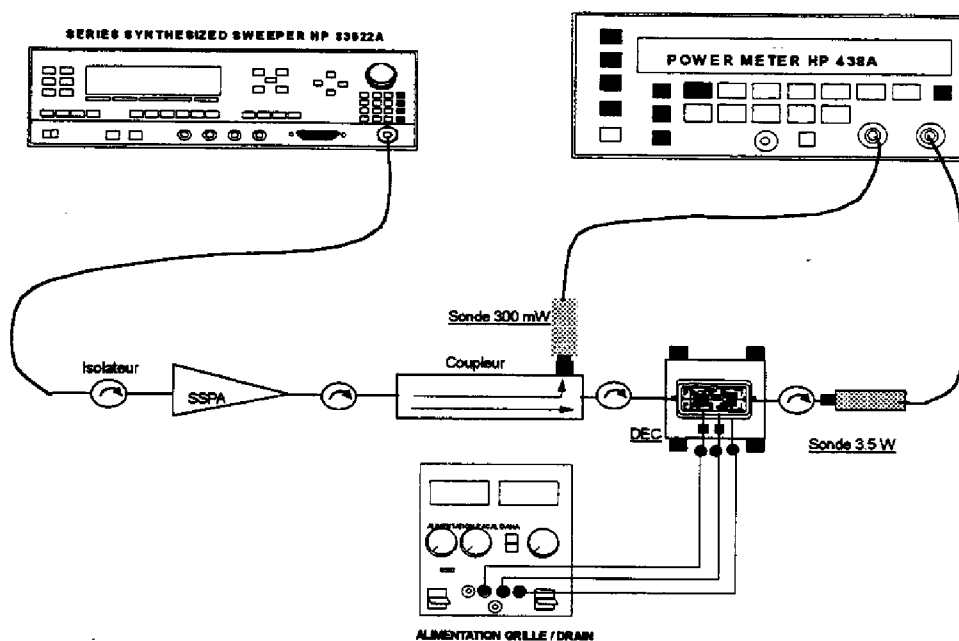


Figure 3-21: Schéma du banc de mesure

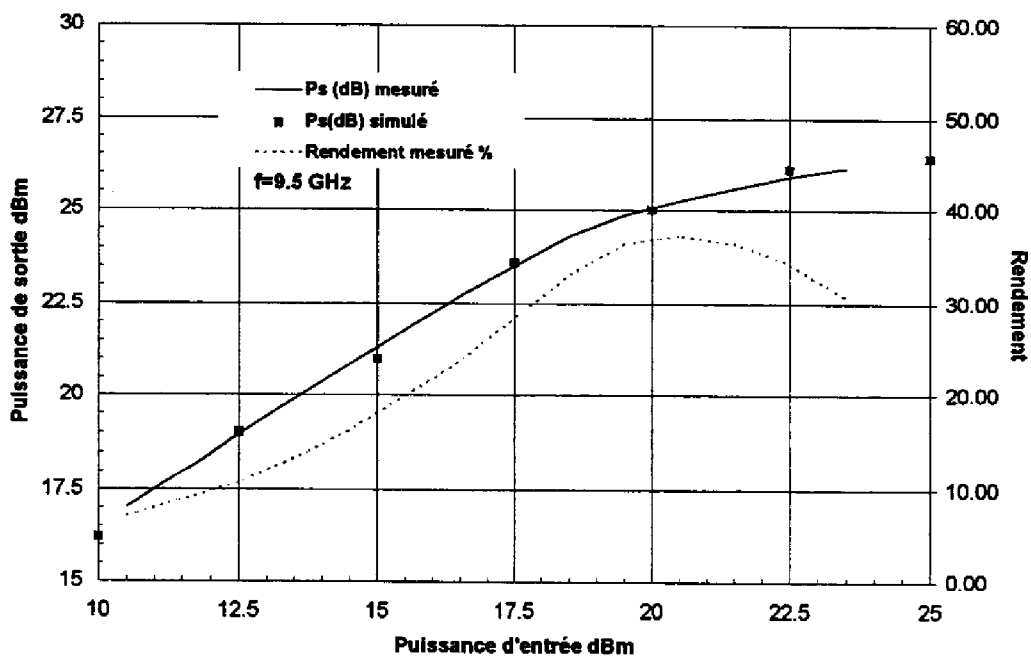


Figure 3-22 : Comparaison simulation / mesures  $P_s=f(P_e)$  et rendement en puissance ajoutée (PAE) du DEC à 9.5 GHz

### 3.2.4.3 Caractérisation du DEC au cours du vieillissement

A chaque mesure de reprise au cours du vieillissement le circuit d'Evaluation Dynamique subit une caractérisation statique et une caractérisation dynamique complète.

#### ☞ Caractérisation statique

Les paramètres statiques mesurés sur le Circuit d'Evaluation Dynamique sont :

- Tension de pincement  $V_p$  ( $V_{GS}$  pour  $I_{DS}=0.5$  mA/mm de largeur de grille soit 0.6 mA à  $V_{DS}=2$  volts)
- $BV_{GDX}$  : Tension de claquage grille-drain, définie pour  $I_G=1.2$  mA à  $V_{DS}=8$  volts.
- Gain statique maximum  $G_m$  défini à  $V_{DS}=2$  volts.
- Résistance de canal,  $R_{DS(on)}$ .
- Courant de saturation à  $V_{DS}=2$  volts et  $V_{GS}=0$  volt.
- Facteur d'idéalité  $n$  et courant de saturation  $I_{gso}$  de la jonction en direct.

Ces mesures sont effectuées via l'analyseur de paramètres *hp 4155* piloté par un ordinateur permettant le stockage de toutes les caractéristiques électriques du transistor (voir figure 3-23).

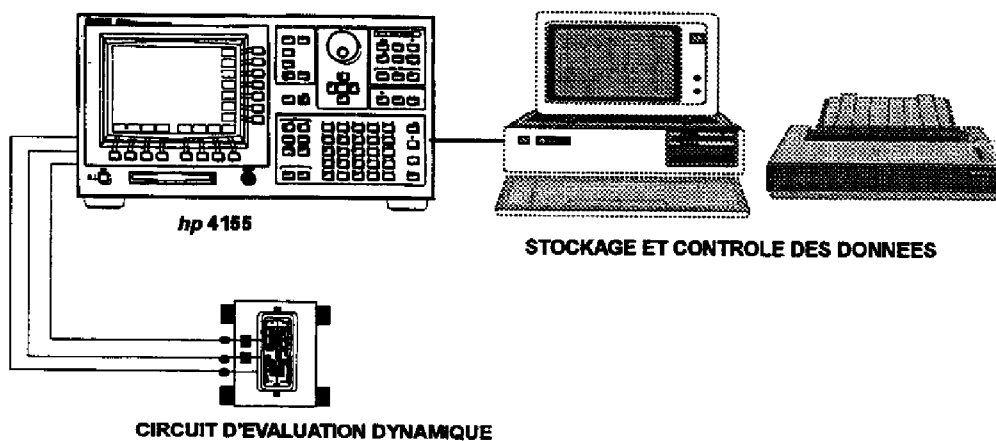


Figure 3-23 : Banc de mesures de reprises statiques du DEC

### **☞ Caractérisation dynamique**

Les mesures dynamiques effectuées sont la caractéristique de la puissance de sortie en fonction de la puissance d'entrée et le rendement en puissance ajoutée. Le banc de mesure est représenté sur la figure 3-21.

Les incertitudes de mesures sur l'ensemble des caractérisations électriques effectuées sur les deux types de véhicules de test durant les essais de vieillissement doivent être minimisées. La reproductibilité des différents bancs de mesure sera garantie par une caractérisation électrique d'un échantillon témoin au début de chaque campagne de mesures.

La même rigueur devra être apportée lors de la mise en oeuvre des files d'essais de vieillissement, notamment en ce qui concerne le contrôle de la température et de la contrainte électrique appliquée (statique et dynamique), ce qui fait l'objet du prochain paragraphe.



## **4 MISE EN OEUVRE DES ESSAIS**

---

### **4.1 LA TEMPERATURE**

La plupart des mécanismes physico-chimiques sont activés par la température (cf. chapitre I). Le type de mécanismes de dégradation mis en évidence (d'ordre métallurgique ou liés à la surface) dépend de la gamme de température appliquée.

L'utilisation de la loi d'Arrhénius nécessite de déterminer avec la meilleure précision possible la température de la zone du canal, puisque c'est dans cette zone que l'on atteint les plus hautes températures au cours du vieillissement sous polarisation.

#### **4.1.1 Evaluation de la température de jonction**

Les estimations de fiabilité (durée de vie, taux de défaillances aléatoire) des composants électroniques actifs sont pratiquement toujours données comme fonction unique de la température de jonction reliée elle même à la température de référence par la mesure de la résistance thermique,  $R_{TH}$ .

$$T_J = T_{REF} + R_{TH} \times P_{DISSIPÉE}$$

*Equation 4-1*

$$R_{TH} = \frac{T_J - T_{REF}}{P_{DISSIPÉE}}$$

où :  $T_J$  est la température de jonction,  $T_{REF}$  la température de référence,  $R_{TH}$  la résistance thermique et  $P_{DISSIPÉE}$  la puissance dissipée en Watt.

Il convient donc d'estimer aussi précisément que possible la température maximum de jonction d'un composant en utilisation afin d'évaluer ultérieurement sa fiabilité.

Il existe différentes méthodes (simulation et mesures) pour déterminer la température de jonction d'un composant.

Les méthodes de simulation sont soit analytiques (résolution de la loi de Fourier) soit numérique (résolution par les éléments finis)

Des simulations effectuées à Alcatel Espace donnent pour le transistor étudié une résistance thermique de l'ordre de 54 °C/W.

Dans le cadre de notre étude, il importait d'accorder un niveau de confiance suffisant à la détermination de la résistance thermique du composant. Nous avons donc privilégié la mesure expérimentale au détriment des méthodes analytiques et numériques. Il existe différentes mesures expérimentales.

### **☛ Méthode électrique**

La mesure électrique repose sur la dépendance linéaire entre la température de fonctionnement d'un transistor à effet de champ et la valeur de la tension grille source à courant grille source constant (tension grille source positive, drain en l'air).

Cette méthode nécessite au préalable une calibration du banc de mesure. Pour cela on place le dispositif à mesurer dans un bain parfaitement isotherme et on relève pour chaque température la tension grille source associée.

On applique ensuite un échelon de tension sur le drain jusqu'à stabilisation thermique. La température (moyenne) de jonction du dispositif à mesurer est déterminée par la mesure de la tension  $V_{gs}$  à un temps  $t_{MD}$  après la commutation. Après la commutation, la variation de la valeur de la tension de la jonction grille / source est fonction de la température uniquement, l'échauffement dû à la conduction dans le canal n'ayant plus lieu.

L'instant de mesure  $t_{MD}$  qui est un temps normatif de l'ordre de la  $\mu s$  et qui doit être inférieur à la constante de temps thermique du dispositif  $\tau_{th}$  est très difficile à fixer avec précision et de ce fait rend la mise en oeuvre de cette méthode très délicate en particulier pour les composants de puissance à substrat aminci où  $\tau_{th}$  est très faible.

### **☛ Méthode infra rouge**

La méthode infrarouge repose sur la mesure de l'énergie rayonnée dans l'hémisphère par un corps. Une grande partie de cette énergie (dont la valeur est fonction de la température du corps) est rayonnée dans l'infrarouge exceptée pour des températures élevées.

Cette méthode nécessite une détermination rigoureuse de l'émissivité du composant et une très bonne résolution spatiale du microscope utilisé. Toutefois, cette méthode ne permet pas de déterminer avec précision les températures au niveau de la grille (0.5 à 1  $\mu m$ ) en raison de la résolution spatiale du microscope qui est au mieux de 10 à 15  $\mu m$ . On obtient de ce fait une évaluation de la température moyenne du composant et non de la température du point chaud qui est en l'occurrence le métal de grille.

Pour ces raisons, nous avons choisi de mesurer la température de la jonction du composant par la méthode des cristaux liquides. Cette méthode présente néanmoins l'inconvénient d'être destructive.

### ☛ Mesure par cristaux liquides

L'analyse thermique par cristaux liquides nécessite l'application d'un cristal biréfringent sensible à la température sur la surface de la puce. La faible conductivité thermique (0.2 à 0.5 W/m K) de ces matériaux nécessite le contrôle de l'épaisseur déposée. L'utilisation d'un solvant au chloroforme permet une application en surface d'une épaisseur minimale et relativement uniforme. Le principe de la méthode repose sur la transition de phase nématique-isotrope. Elle se traduit par l'apparition d'une tâche noire à une température donnée ( 68°C dans notre cas).

Un thermocouple placé sous le boîtier permet de contrôler la température du support. On détermine ensuite la puissance dissipée nécessaire pour obtenir une température du point chaud de 68°C (apparition d'une tache noire, voir figures 4-2 et 4-3) au niveau de chaque doigt de grille. En effectuant cette manipulation pour différentes valeurs de température de support on obtient à partir de l'équation 4-1, la valeur de la résistance thermique (voir figure 4.1). On suppose toutefois que la valeur de la résistance thermique est constante dans la gamme de température considérée.

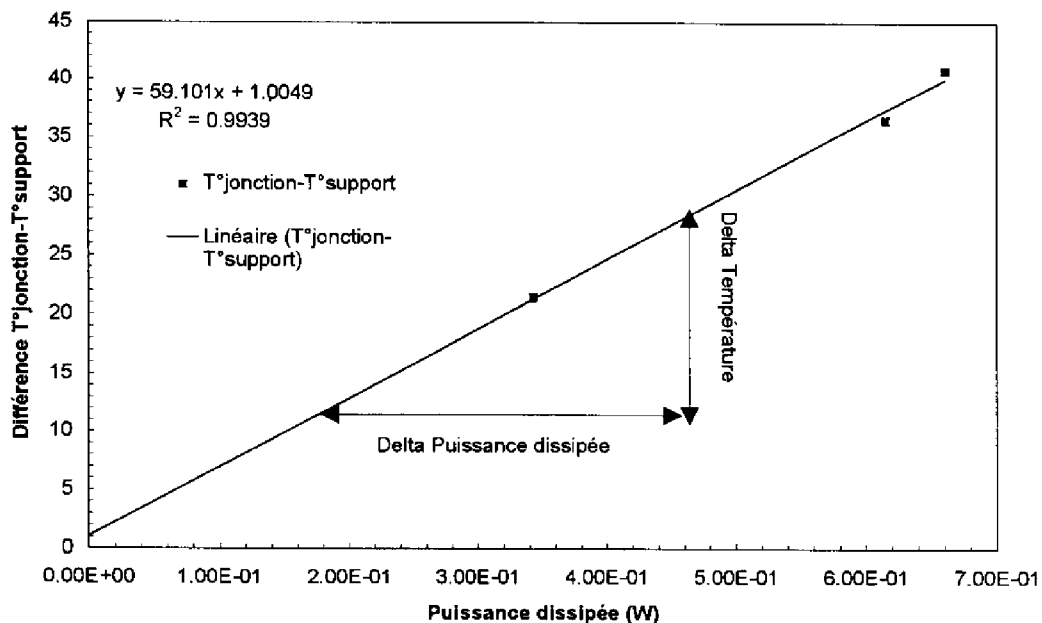
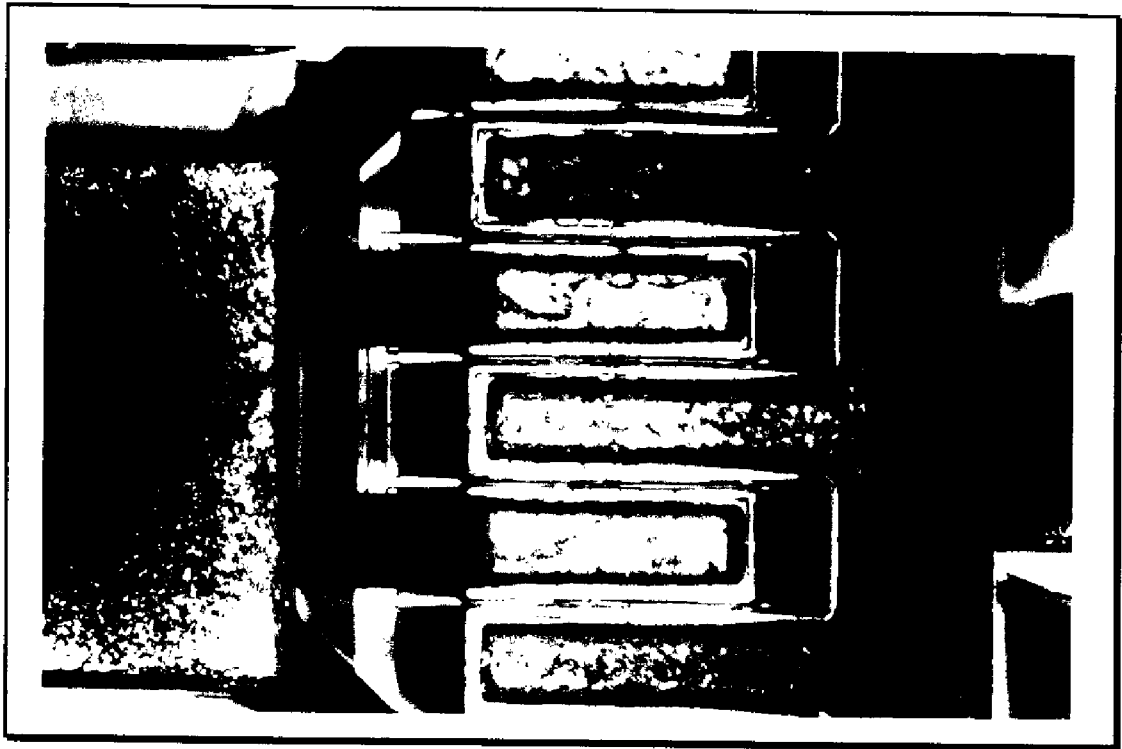
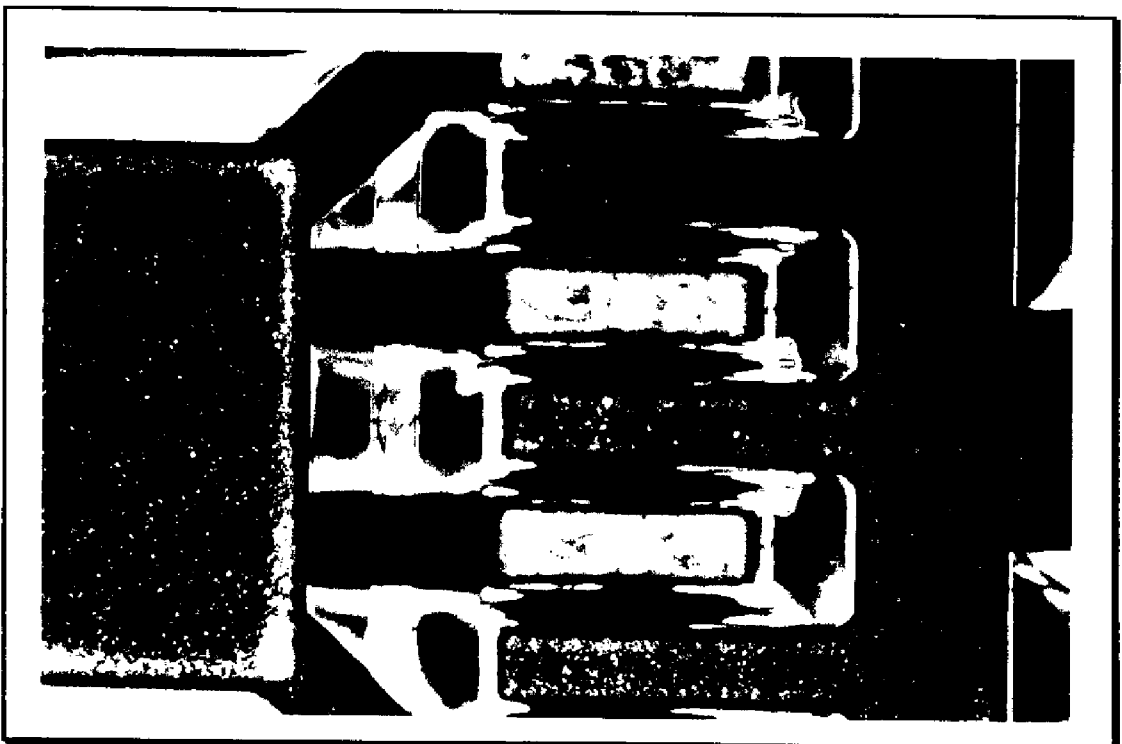


Figure 4-1 : Evaluation de la résistance thermique

Les mesures par cristaux liquides nous ont permis de déterminer une valeur de résistance thermique de 59 °C pour une température de "point chaud" de 68°C à la température ambiante. Ces résultats ont été confirmés par le fondeur Texas Instruments, notamment à partir d'une abaque fonction de la topologie des grilles du transistor (nombre de doigts, longueur, espace entre chacun d'eux).



*Figure 4-2 : Cristaux liquide sur le transistor avant la phase nématique*



*Figure 4-3 : Cristaux liquide sur le transistor après la phase nématique*

#### **4.1.2 Application : détermination des températures de vieillissement**

La résistance thermique ayant été déterminée, il convient, pour une estimation rigoureuse de la température de canal lors du vieillissement accéléré, de prendre en compte la conductivité thermique de l'Arséniure de Gallium.

Connaissant la résistance thermique ( $R_1$ ) à une température donnée ( $T_1$ ), la variation de la résistance thermique en fonction de la température, est donnée par [9] :

$$\frac{R_1}{R_2} \# \left( \frac{T_1}{T_2} \right)^{0.85} \quad \text{Equation 4-2}$$

où :  $T_1$ ,  $T_2$  sont les températures de support en °K,  $R_1$  la résistance thermique à la température de support  $T_1$  et  $R_2$  la résistance thermique à la température de support  $T_2$ .

La détermination de la température de canal au cours du vieillissement est donnée par :

$$T_C = T_{SUP} + \left( \frac{273.5 + T_{SUP}}{273.5 + 25} \right)^{0.85} * P_{DC} * R_{THERMIQUE(25^\circ C)} \quad \text{Equation 4-3}$$

où :  $T_C$  est la température du canal,  $T_{sup}$  la température du support et  $P_{DC}$  la puissance dissipée.

Application : une température d'étuve (donc de support) de 125°C conduit pour une puissance dissipée nominale continue à une température de canal de 175°C.

#### **4.2 EVALUATION DE LA TECHNOLOGIE : FILES D'ESSAIS**

L'évaluation voire la qualification d'une filière MMIC nécessite d'effectuer du vieillissement accéléré sous diverses contraintes (température, tension, courant). La méthode utilisée est reconnue par la majorité des fiabilistes. Cette méthode consiste à séparer les mécanismes de dégradation dus à la métallurgie de ceux dus au semi-conducteur. Elle comprend :

- un stockage haute température à 300°C pendant une durée de 1000 heures afin de mettre en évidence les mécanismes de dégradation dus à la métallurgie.
- des files d'essais sous diverses contraintes électriques à des températures de l'ordre de 175 °C dédiées aux mécanismes de défaillances liés au semi-conducteur.

Sur chacune des différentes files d'essais, des mesures de reprise des différents paramètres seront effectuées tout au long du vieillissement ( $T_0$ ,  $T_0+2$  heures, +4 h, +8 h, +16 h, +32 h, +64 h, +128 h, + 256 h, + 512 h, +1024 h, + 2048 h, + 4096 h). Ces mesures permettent de

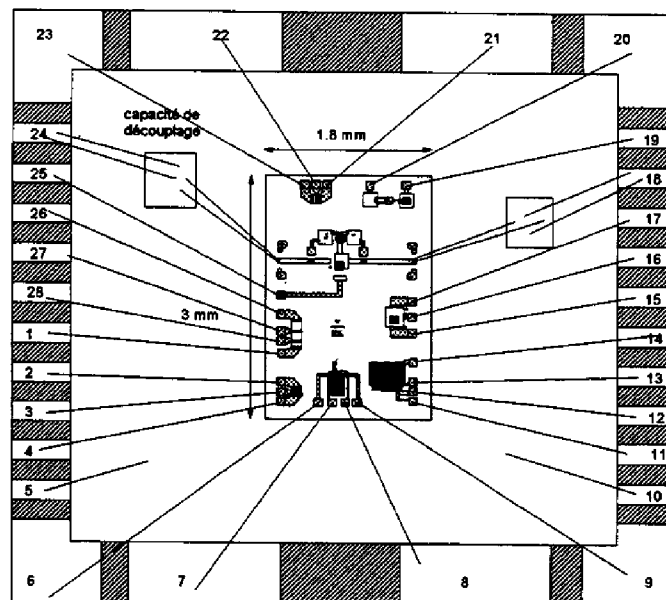
mettre en évidence les phénomènes d'usure mais également les phénomènes de stabilisation des diverses étapes technologiques apparaissant au cours des premières heures du vieillissement.

La mise en boîtier de chacun des véhicules de test ainsi que les différentes files d'essais mises en oeuvre sont présentées dans les lignes qui vont suivre.

#### **4.2.1 Véhicule de caractérisation technologique**

##### **☞ Mise en boîtier**

Le TCV est brasé sur un boîtier DIL 28. Les accès grille et drain du transistor sont connectés à deux capacités de découplage de 100 pF. Le câblage du TCV est représenté sur la figure 4-4.



*Figure 4-4 : Mise en boîtier du TCV*

##### **☞ Stockage haute température sur TCV**

Les véhicules de caractérisation technologique sont placés sur des coupelles en verre puis placés dans une étuve à 300°C.

Le stockage haute température sur des véhicules de test non polarisé permet d'évaluer la métallurgie de ce dernier (phénomène de diffusion, recuit des contacts ohmiques etc.). Ces températures comprises entre 250°C et 300°C ne sont pas représentatives des conditions de

fonctionnement. Toutefois le stockage haute température est un bon indicateur de la robustesse du procédé de fabrication.

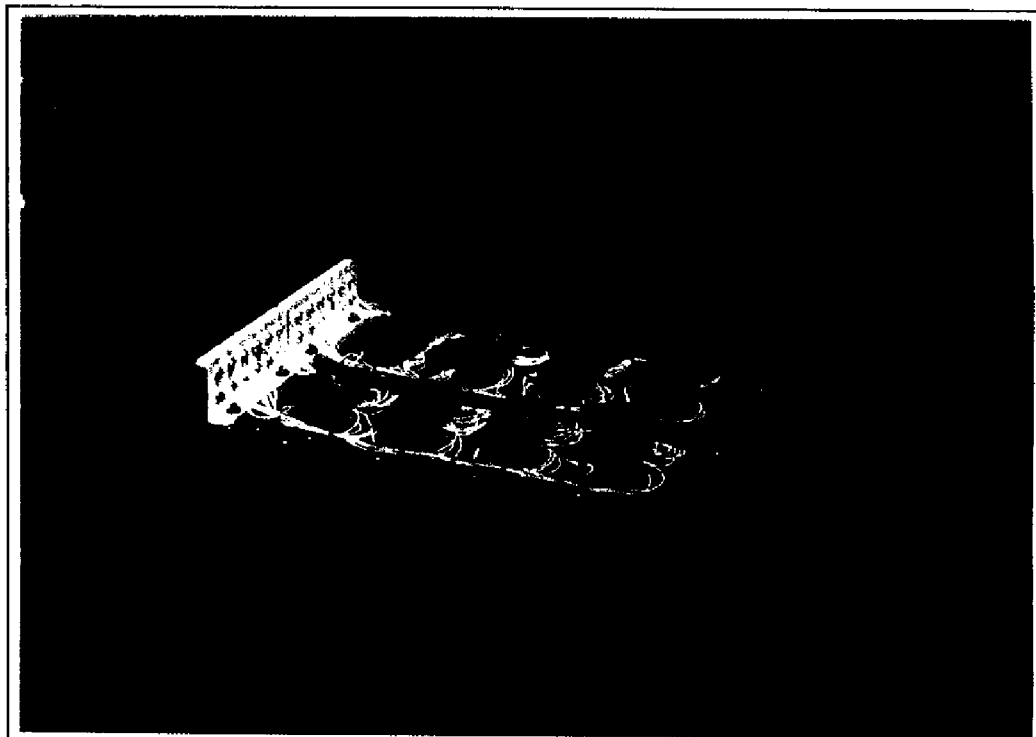
#### **☛ Vieillessement sous contraintes statiques**

Ces files d'essais se rapprochent beaucoup plus des conditions de fonctionnement du circuit en raison d'une part par la gamme de température appliquée (entre 150°C et 200°C) et d'autre part par l'application de contraintes électriques (polarisation nominale sur le drain, grille pincée pour le transistor du TCV). Les densités de courant ou les tensions appliquées sur les autres structures du TCV sont supérieures aux valeurs maximales préconisées par le fondeur.

Le détail des contraintes électriques appliquées sur le Véhicule de Caractérisation Technologique est explicité dans le paragraphe 3.1.4.

Les énergies d'activation extraites de ces files de test détermineront la durée de vie du composant à la température de fonctionnement.

Les boîtiers « DIL 28 » comprenant les véhicules de caractérisation technologique sont placés sur des supports à insertion nulle disposés sur une plaque en aluminium anodisé, Fig. 4-5. L'ensemble de la structure est ensuite placé dans une étuve.



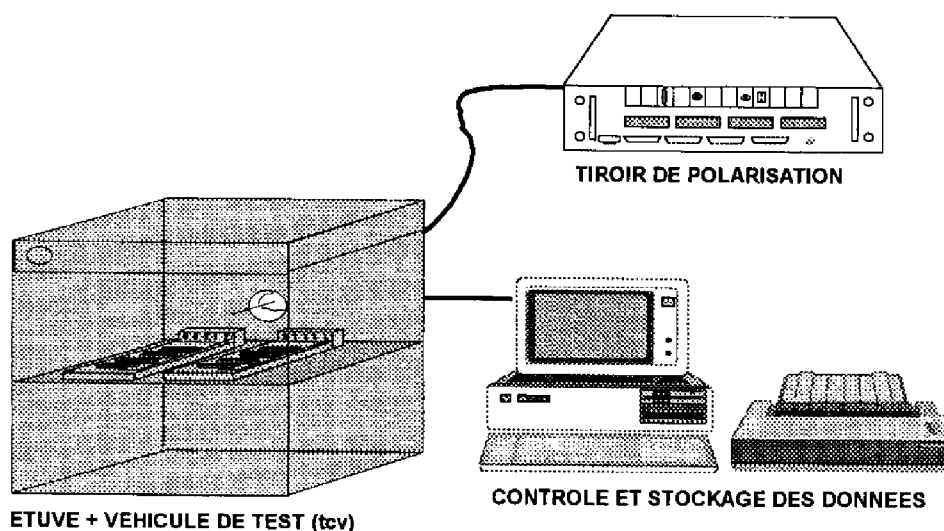
**Figure 4-5 : Plaque + support à insertion nulle + boîtier DIL 28**

Un Système de Test Analogique Modulaire (STAM) permet d'appliquer les différentes contraintes électriques tout au long du vieillissement, Fig. 4-6. Les principales caractéristiques de ce système sont :

- la production et la séquence des contraintes électriques et thermiques.
- l'observation en temps réel des paramètres critiques.
- l'arrêt automatique sur franchissement des seuils.
- la mémorisation du déroulement du test.
- la protection des composants sous test contre toutes perturbations.

La gestion du banc est assurée par différentes entités matérielles, Fig. 4-7 :

- le module est une carte enfichable qui réalise une fonction de traitement analogique ou numérique du signal (alimentation programmable courant / tension, générateur d'impulsion ...).
- les voies A, B, C, désignent les 3 ports d'entrée / sorties.
- le tiroir est la plate-forme de base du système STAM. Il assure l'alimentation de 24 modules. Il doit être connecté à un P.C. qui supporte la fonction d'interface utilisateur.
- le groupe défini à l'intérieur d'un tiroir est constitué d'un ensemble de modules. Il permet en général d'associer les modules utilisés pour produire ou traiter les signaux d'un seul et même composant (marche : arrêt, mémorisation, visualisation, rapport de test ...).
- le répertoire de travail permet d'organiser le disque du P.C. afin de regrouper l'ensemble des tiroirs nécessaires au test d'un lot ou d'un type de composant donné.



*Figure 4-6 : Banc de vieillissement sous contraintes statiques du TCV*



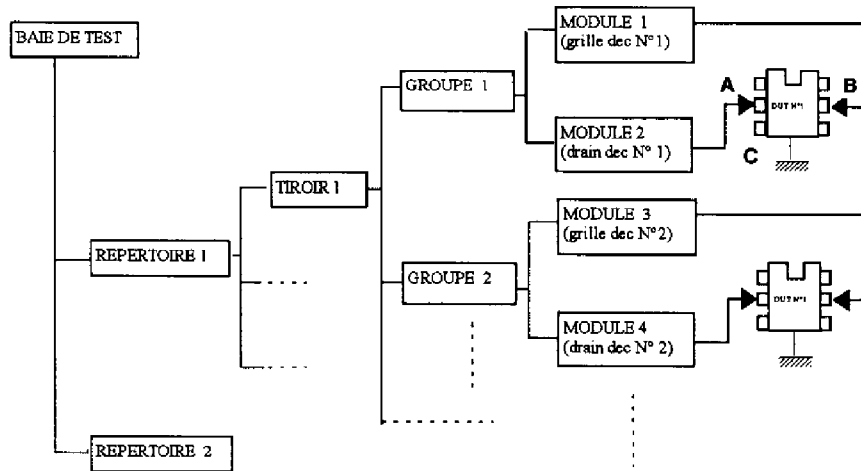


Figure 4-7 : Exemple d'organisation d'un banc de test

#### **4.2.2 Véhicule de caractérisation dynamique**

##### **☛ Mise en boîtier**

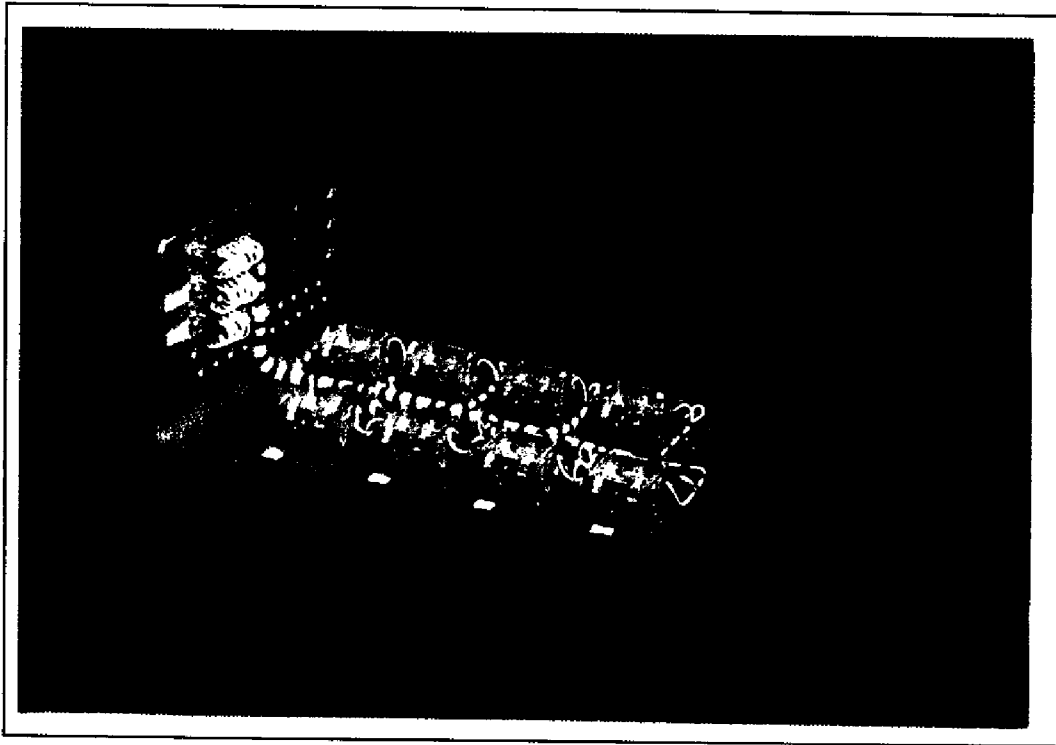
Le véhicule de caractérisation dynamique (transistor + alumines d'adaptation) est encapsulé dans un micro boîtier standard puis placé sur un support de test qui permettra d'appliquer les contraintes électriques (statique + dynamique) lors du vieillissement et lors des mesures de reprise.

##### **☛ Vieillissement sous contraintes statiques**

La polarisation nominale de fonctionnement est appliquée sur chacun des DEC lors du vieillissement ( $V_{DS}=8.5$  volts,  $I_{DS}=I_{DSS/3}$ ). Ces essais de vieillissement sous contraintes statiques effectués sur le véhicule d'évaluation dynamique (DEC) constituent un complément à ceux réalisés sur le TCV. En effet lors du vieillissement sous contraintes statiques du TCV, la contrainte principale appliquée sur ce dernier était une contrainte en champ électrique, le canal étant fortement pincé ( $V_{DS}=8.5$  volts,  $I_{DS}\neq 0$ )

Deux files d'essais sont constituées (8 DEC par file). Les DEC chargés sur une impédance de 50 ohms sont ensuite déposés sur une plaque métallique (figure 4-8) puis placés dans une étuve de manière à ce que la température de canal de chacune des files soit respectivement de 150 et 175°C.

Les polarisations des véhicules de test (DEC) dans toutes les files de vieillissement sont appliquées via le système STAM présenté dans le paragraphe précédent.



*Figure 4-8 : Plaque métallique + 8 DEC (vieillissement sous contraintes statiques)*

#### **4.3 EVALUATION DE L'APPLICATION : FILES D'ESSAIS**

La plupart des données de fiabilité (durée de vie des composants) sont obtenues sous contraintes statiques uniquement. Les normes de réduction des taux de contraintes concernent surtout les paramètres statiques (tension grille drain maximale statique) et semblent de ce fait inadaptées pour une fonction électronique fonctionnant en régime non linéaire (forte compression). Une évaluation rigoureuse d'une filière de puissance nécessitera donc du vieillissement sous contraintes dynamiques, afin de valider l'application considérée.

Pour cela deux files d'essais ont été mises en place : le vieillissement sous contraintes dynamiques graduelles appelé "step stress R.F." et le vieillissement sous contraintes dynamiques appelé "life test R.F." appliqués sur le Circuit d'Evaluation Dynamique.

##### **4.3.1 Le vieillissement sous contraintes dynamiques graduelles "Step Stress R.F."**

Cette file d'essais appelé "vieillessement sous contraintes dynamiques graduelles" est effectuée à température ambiante. Elle consiste à appliquer une augmentation graduelle du point de compression sur des véhicules de caractérisation dynamique polarisés à différentes tensions de drain, jusqu'à l'apparition de dégradation notable. Chacun de ces niveaux est appliqué pendant une durée d'une semaine. Ces différents essais permettront de dégager un domaine de fonctionnement délimité par différentes tensions de drain et différents points de compression, voir figure 4-9.

	Niveau de compression du gain 1	Niveau de compression du gain 2
$V_{DS1}$		●
$V_{DS2}$	●	●

Figure 4-9 : Domaine de fonctionnement délimité à partir du "step stress R.F."

Le schéma synoptique de cette file d'essais est représenté sur la figure 4-10.

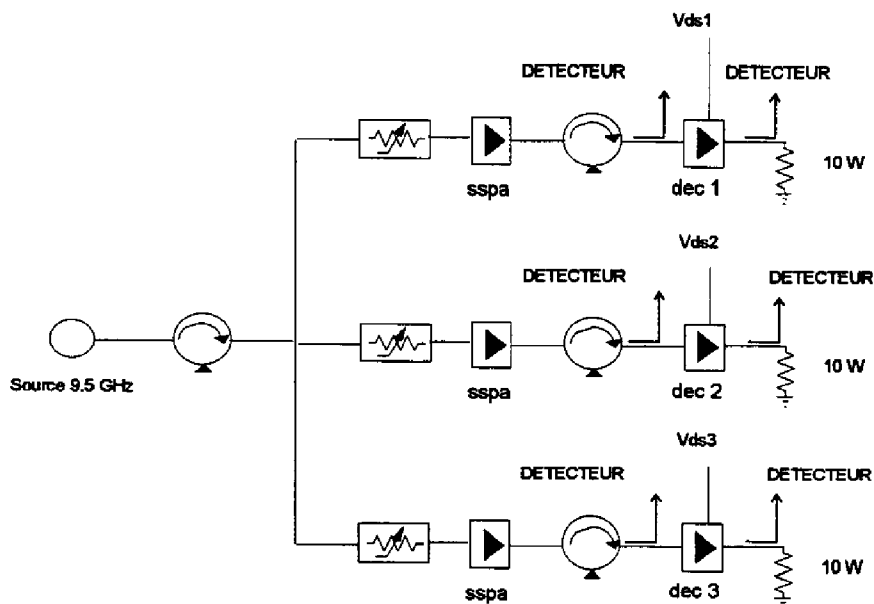


Figure 4-10 : Banc du Vieillessement sous contraintes graduelles

### **4.3.2 Le vieillissement sous contraintes dynamiques "Life test R.F"**

Cette file d'essais est réalisée à température ambiante et à 150°C (12 échantillons + témoin par température). Le choix de la température ambiante est justifié par le fait que les phénomènes de claquage (lié à l'ionisation par impact) sont masqués à des températures élevées.

La figure 4-11 et les photographies 4-12 et 4-13 représentent l'ensemble du banc de life test R.F.

La source hyperfréquence est constituée d'un oscillateur à résonateur diélectrique. Ce signal est ensuite amplifié par des amplificateurs à états solide (SSPA). Les différents atténuateurs placés devant chacun des modules permettent de délivrer le niveau de puissance requis. Les polarisations de grille et de drain sur chacun des modules sont appliquées par le système de test analogique modulaire STAM.

La température de canal de 150°C sur 12 des 24 modules de ce banc de vieillissement est obtenue par l'intermédiaire de thermistances placées sous les véhicules de caractérisation dynamique. Une boucle de régulation en température constituée d'un capteur (un thermocouple placé à proximité de la thermistance) et un comparateur (un régulateur en température Proportionnel-Intégration-Dérivation) est ensuite réalisée. Le thermocouple fournit au régulateur P I D un signal représentatif de la température mesurée. Ce dernier en fonction de la différence entre la température mesurée et la température de consigne détermine l'action à appliquer : chauffage ou refroidissement c'est à dire alimentation ou non des thermistances.

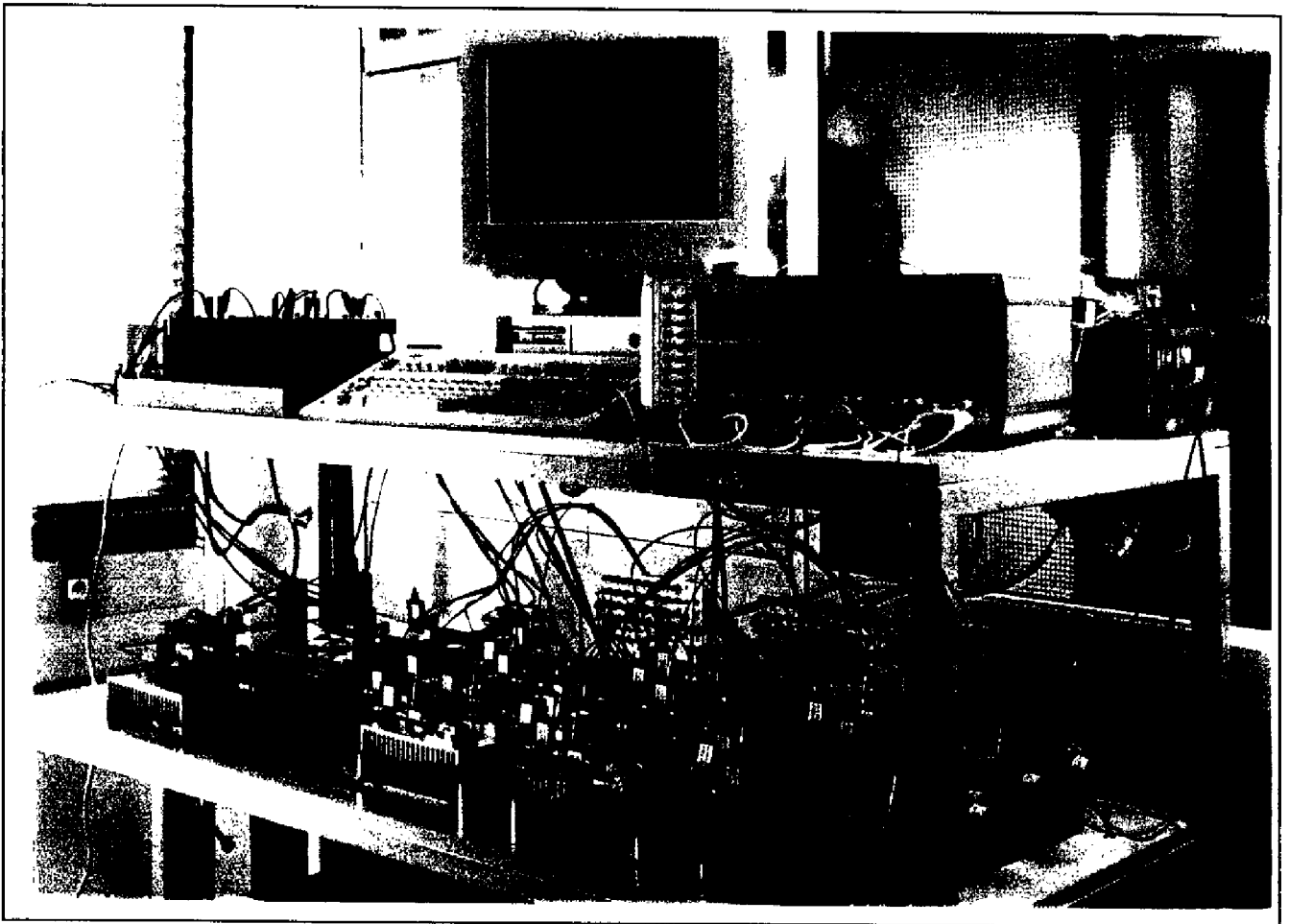
La température du support étant ainsi asservie, connaissant la résistance thermique de l'ensemble (transistor + microboîtier + support) et la puissance dissipée, on obtient la température de canal du transistor.

Les différents niveaux de fonctionnement dynamique qui sont au nombre de trois (voir figure 4-9), sont ceux déterminés à partir des résultats de la file de vieillissement sous contraintes dynamiques graduelles. Un détecteur à diode Schottky est appliqué devant chacun des véhicules de caractérisation dynamique. Ce détecteur délivre une tension proportionnelle au niveau de puissance appliqué. Ces différents signaux sont ensuite stockés et traités permettant le suivi en temps réel des niveaux de puissance et de réajuster ces derniers si une éventuelle variation surviendrait au cours du vieillissement.

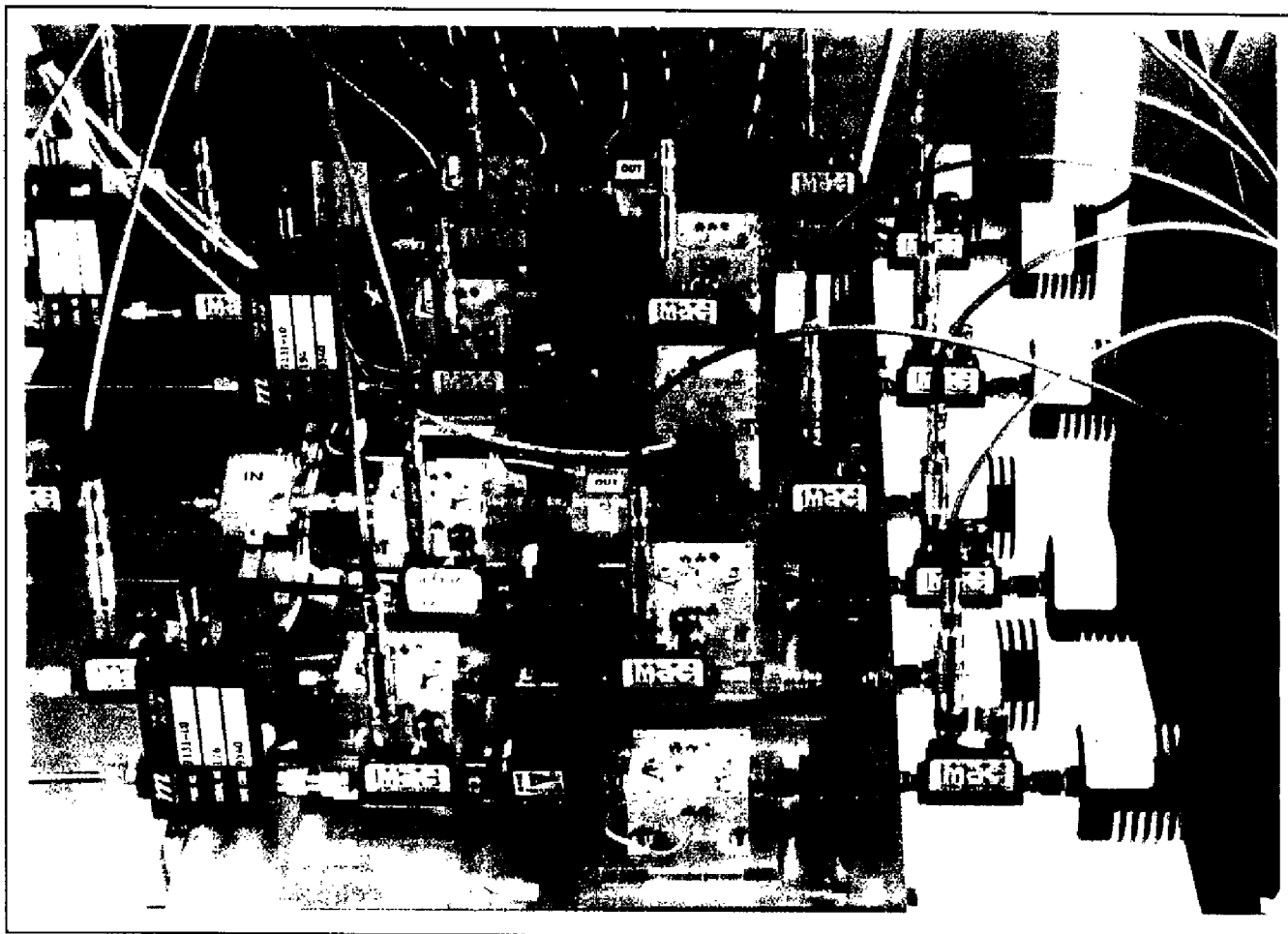
Ce banc de vieillissement sous contraintes dynamiques permet pendant toute la durée du vieillissement (4000 heures), de contrôler les différentes valeurs du courant de grille et de drain ainsi que du niveau de la puissance d'entrée et de sortie de chacun des modules.



Figure 4-11 : Schéma synoptique du banc de contrainte dynamique



*Figure 4-12 : Banc de contrainte dynamique*



*Figure 4-13 : Banc de contrainte dynamique (détail)*

## **5 CONCLUSION**

---

Nous avons présenté dans ce chapitre une méthodologie permettant l'évaluation d'une filière de circuits intégrés monolithiques de puissance.

L'accent est porté sur l'évaluation de **la technologie** mais également de **l'application considérée**. Ce dernier point est fondamental, car la plupart des normes de fiabilité internationales sont issues du retour d'expérience des circuits Silicium. La technologie Silicium ne nécessitait pas la validation de l'application car les domaines d'utilisation sont relativement éloignés des limites de fonctionnement du composant.

Les deux types de véhicules de test conçus doivent permettre la validation de la technologie (Véhicule de Caractérisation Technologique) et de l'application considérée (Circuit d'Evaluation Dynamique).

La température est le principal facteur d'accélération des mécanismes de défaillances dus à la technologie. La détermination de la température de jonction d'un transistor à effet de champ est délicate. Il importe que la mesure de cette dernière soit parfaitement maîtrisée. Nous avons donc présenté la plupart des méthodes de mesure de la température de jonction des transistors à effet de champ. Nous avons adopté celle basée sur l'utilisation des cristaux liquides qui nous a fourni d'excellents résultats.

La mise en oeuvre des différentes files d'essais de vieillissement permettant l'évaluation de la filière MMIC doit être réalisée de manière très rigoureuse. Nous avons présenté le détail de chacune de ces files d'essais de vieillissement. Une attention toute particulière a été apportée à la façon dont sont contrôlés tous les paramètres de vieillissement (température, courant, tension).



## **BIBLIOGRAPHIE DU CHAPITRE II**

---

- [1] J L Muraro, S Carabeux, G Grégoris, D Roques, J Graffeuil, R Plana :  
"Méthodologie d'étude de fiabilité de circuits MMIC de puissance", Neuvièmes  
Journées Nationales Microondes, Paris CNAM 4-5-6 Avril 1995.
- [2] J.L. Muraro, F Coppel, G Grégoris, P G Tizien, R Plana, J Graffeuil : "GaAs power  
MMIC : A design methodology for reliability", 6th European Symposium Reliability of  
Electron Devices, Failure Physics and Analysis, Bordeaux - Arcachon - FRANCE 3-6  
October 1995.
- [3] J Graffeuil, R Soarès, J Obregon : "Applications des transistors à effet de champ en  
Arséniure de Gallium" Ed Eyrolles, Cnet, Enst 1984.
- [4] G Dambrinne : "Caractérisation des transistors à effet de champ : mesure précise de la  
matrice de répartition et détermination directe du schéma équivalent", Thèse présentée à  
l'Université de Lille, 1989.
- [5] H Statz and al. : "GaAs FET device and circuit simulation in SPICE" IEEE Trans. On  
Electron Devices, Vol. 14, N°2, Feb.1987, pp 160-169.
- [6] W R Curtice and al. : "A non linear GaAs FET model for use in the design of output  
circuits for power amplifiers" IEEE Trans. on MTT vol. 33, N°12, Déc 1985, pp 1383-  
1393.
- [7] Y Tajima and al. : "Design of broad-band power GaAs FET amplifiers" IEEE Trans. on  
MTT Vol. 32, N° 3, March 1984 pp 261-267.
- [8] A. Peden, R.A. Perichon : "Modélisation non linéaire des transistors MESFET" Ann.  
Telecom's Vol. 47, 1992, pp 180-192.
- [9] Gallium Arsenide Products, Designer's Information, Texas Instruments 1992.



## **Chapitre III**

## **Evaluation technologique de la filière MMIC étudiée**



## **1 INTRODUCTION**

---

**C**e chapitre synthétise les résultats des différentes caractérisations électriques présentées dans le chapitre II permettant de valider la technologie de la filière étudiée. Pour cela, nous avons mené différents types d'essais sur les deux véhicules de test (TCV et DEC).

a - le stockage haute température (300 °C) pendant 1000 heures afin d'évaluer la robustesse de la filière notamment d'un point de vue métallurgique sur le TCV.

b - le vieillissement sous contraintes statiques sur le TCV à deux températures (150 et 175°C) avec les conditions de polarisation suivantes :

- $V_{DS} = 8.5$  volts,  $V_{GS} = -2$  volts (régime pincé) sur le transistor du TCV.
- Deux fois la densité maximale préconisée par le fondeur sur l'ensemble des structures passives (résistance, lignes de connections, pont à air).
- Une tension de 15 volts appliquée sur les capacités, entre le premier niveau et le deuxième niveau de métallisation (pont à air, etc.).

c - le Vieillissement sous contraintes statiques sur le DEC à des températures de jonction de 150, 175, 200 et 220 °C avec les conditions de polarisation suivantes :

- $V_{DS} = 8.5$  volts,  $I_{DS} \cong I_{DSS}/3$  pour les températures de l'ordre 150 et 175°C.
- $V_{DS} = 8.5$  volts,  $I_{DS} \cong I_{DSS}/2$  pour les températures de l'ordre 200 et 220°C.

Nous allons rapporter et commenter les principaux résultats obtenus.

Les données de fiabilité extraites (durée de vie, énergie d'activation) dans ces conditions de vieillissement et extrapolées à des conditions nominales de fonctionnement seront fournies.

Une analyse des modes de défaillances sur les structures présentant des dérives des paramètres électriques sera également effectuée.

## **2 STOCKAGE A HAUTE TEMPERATURE A 300°C SUR LE TCV**

---

Cette file d'essais permet d'évaluer la robustesse de la filière notamment d'un point de vue métallurgique. Cependant elle ne permet pas d'extraire des données statistiques de fiabilité du fait de l'application d'une seule température (pas de possibilité d'extraction d'une énergie d'activation). Le stockage à haute température à 300°C permettra de montrer les principales structures sur lesquelles les phénomènes d'interdiffusion sont susceptibles de se produire.

### **2.1 ELEMENTS PASSIFS DU TCV**

#### **2.1.1 Structure TLM GaAs**

Cette structure permet de déterminer la valeur de la résistance en fonction de la longueur de cette dernière. Le tracé de cette caractéristique permet d'obtenir :

- la résistance de contact (intersection de la droite avec l'axe des ordonnées)
- la résistance par carré par unité de largeur (pente de la droite)

Les mesures effectuées sur cette structure TLM (voir figure 2-1) mettent en évidence un recuit de la résistance de contact (contact ohmique AuGeNi) suivi d'une stabilisation après environ 32 heures. Il est bon de noter que ces contacts ohmiques sont strictement les mêmes que ceux qui figurent sur le transistor HFET de la filière. Il s'agit de la même étape du procédé de fabrication. Cette dégradation de la résistance de contact est confirmée par le relevé des mesures de la résistance par carré par unité de largeur qui ne présente pas de dégradation.

L'hypothèse suivant laquelle la dégradation est liée à un mécanisme de diffusion entre les différents niveaux de métallisations est confirmée par la figure 2-2. La variation relative de la résistance de contact moyenne sur les huit véhicules de test varie de façon linéaire avec la racine carré du temps en accord avec la théorie de la diffusion.

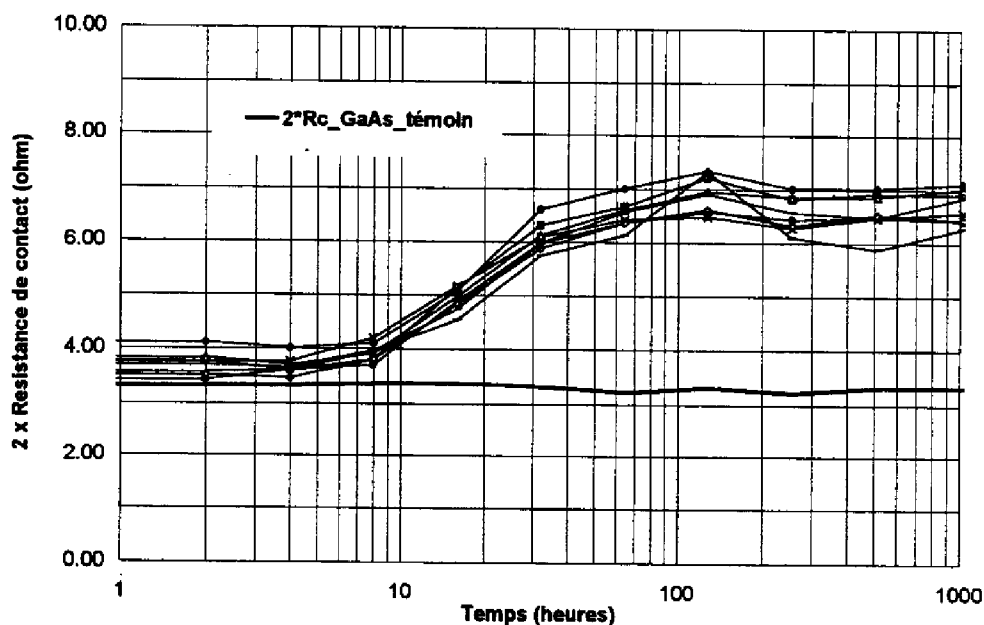


Figure 2-1 : Résistance de contact (métal ohmique) de la structure TLM -Stockage 300°C-

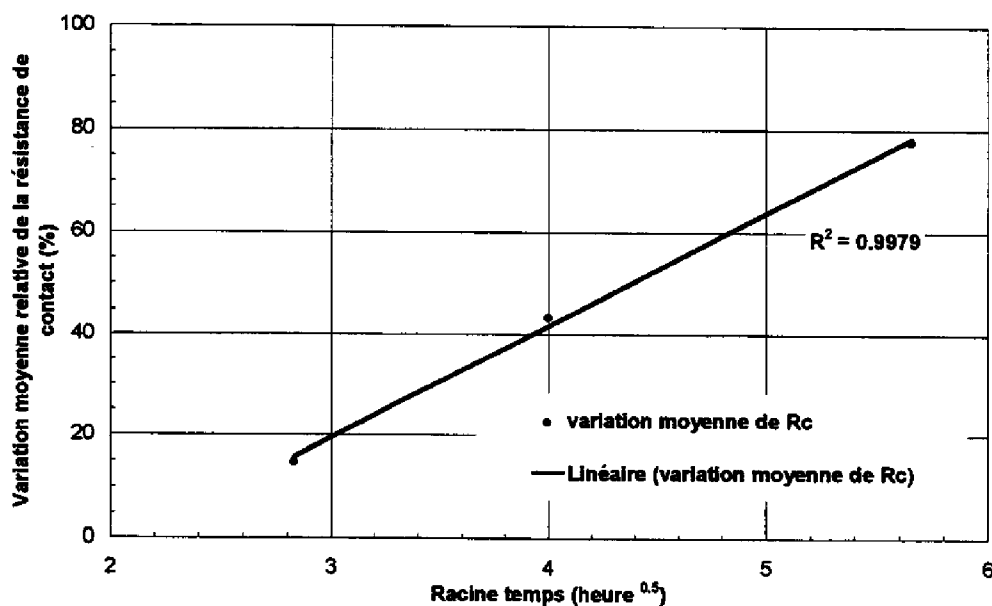


Figure 2-2: Variation de la résistance de contact en fonction de la racine carré du temps

### **2.1.2 Structure TLM AuGeNi**

La résistance totale de la structure TLM AuGeNi présente une brusque variation de la résistance de contact (constituée par le premier niveau de métal) ainsi que de la résistance par carré par unité de largeur après 512 heures. L'ensemble de la structure s'est dégradé et de ce fait on ne peut accéder directement aux paramètres précédemment cités et conclure à une dégradation de ces derniers. Toutefois le temps à partir duquel la dégradation survient (512 heures à 300°C) n'a aucune incidence sur la fiabilité de ce type de résistance.

### **2.1.3 Capacités**

Les diverses mesures effectuées sur les capacités série et parallèle n'ont pas fait apparaître de dégradations notables :

- les courants de fuite mesurés sous une polarisation de 5 volt n'excèdent pas 5 nA tout au long du vieillissement.
- pas de variation de la valeur des capacités avant et après vieillissement.

La robustesse de l'ensemble de ces deux structures (oxyde à base de nitrure, interconnexions métallurgiques) a ainsi été démontrée.

### **2.1.4 Chaîne de pont à air**

La valeur du courant de fuite entre le premier et le deuxième niveau de métallisation n'excède pas les 200 nA tout au long du vieillissement. Aucun chemin de conduction surfacique ou volumique (qui proviendrait de l'effondrement du 2<sup>ème</sup> niveau de métal) n'a été mis en évidence. La stabilité de cette structure est confirmée par les mesures de résistance de la chaîne de ponts à air qui ne présentent pas de variation notable.

### **2.1.5 Courant de fuite entre deux lignes interdigitées**

Ces deux lignes constituées respectivement par le premier niveau de métal et par une ligne de connexion (niveau 1 + niveau intermédiaire + niveau 2) sont séparées par la distance minimale de 5  $\mu\text{m}$ . Le courant de fuite mesuré lors des mesures de reprise effectuées tout au long du vieillissement, sous une polarisation de 5 volt est inférieur à 5 nA. Aucun chemin de conduction transverse n'a donc été mis en évidence au cours du stockage à haute température.



### 2.1.6 Ligne méandre

La résistance de cette ligne de connexion comprenant 3 niveaux de métallisations présente une augmentation au cours du stockage à haute température. La cinétique mise en évidence dans ce cas est fonction linéaire de la racine carré du temps suggérant ici aussi un phénomène de diffusion (voir figure 2-3) du fait de la superposition des trois métaux. La dégradation liée à un phénomène de diffusion mise en évidence dans ce cas précis n'a évidemment pas d'incidence sur la fiabilité de la structure. La dérive finale est inférieure à 3 % après 1000 heures à 300°C!

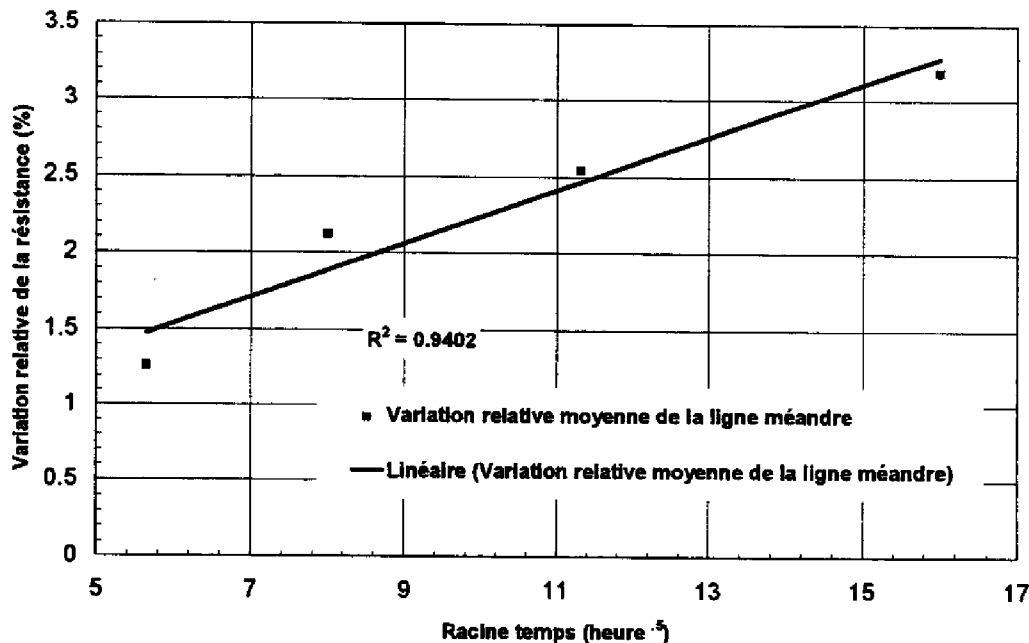


Figure 2-3 : Variation de la résistance de la ligne méandre en fonction de la racine carré du temps

## 2.2 TRANSISTOR HFET 600µM

### 2.2.1 Tension de claquage

Les tensions de claquage grille /source (drain), drain (source) en l'air sont déterminées pour un courant de grille de l'ordre de 5 µA. Il est bon de noter que cette valeur de courant n'est pas représentative d'un courant engendré par un claquage. Le fondeur préconise de déterminer les tensions de claquage grille /source (drain) pour un courant de l'ordre de 600 µA. Toutefois, en considérant un courant de cet ordre de grandeur, on note également une diminution en valeur

absolue de la valeur de la tension de claquage après stockage à haute température (une tension de claquage de l'ordre de 11 volts sur les échantillons vieillis contre 20 volts sur le témoin).

Cette diminution notable de la valeur de ces tensions de claquage apparaît à partir de 256 heures, (voir figure 2-4) probablement due à une modification de la passivation (augmentation du courant de fuite).

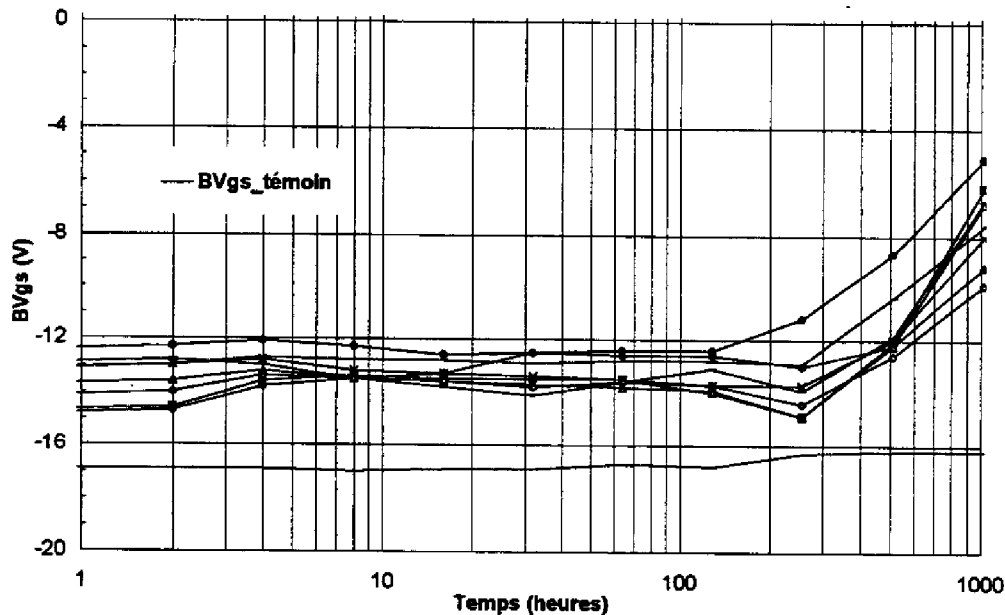


Figure 2-4 : Tension de claquage grille / source HFET 600 um déterminée pour un courant de  $5 \mu A$  (stockage  $300^{\circ}C$ )

### 2.2.2 Contact de grille Schottky

Les mesures des différentes caractéristiques électriques du contact de grille montre une modification de l'interface Schottky qui se traduit par :

- la chute de la tension de seuil  $V_{bi}$  à partir de la visualisation de la caractéristique directe  $I_{gs}(V_{gs})$  avant et après vieillissement (voir figure 2-5)
- l'augmentation dans le temps du facteur d'idéalité  $n$  (voir figure 2-6)

L'hypothèse avancée est un phénomène d'interdiffusion (diffusion de l'Or du contact Schottky en raison de la trop faible épaisseur de la couche de Pt?) au niveau des trois métaux TiPtAu qui composent le contact Schottky. Cette hypothèse est confirmée par la cinétique de la dégradation du facteur d'idéalité  $n$  en racine du temps (figure 2-7).

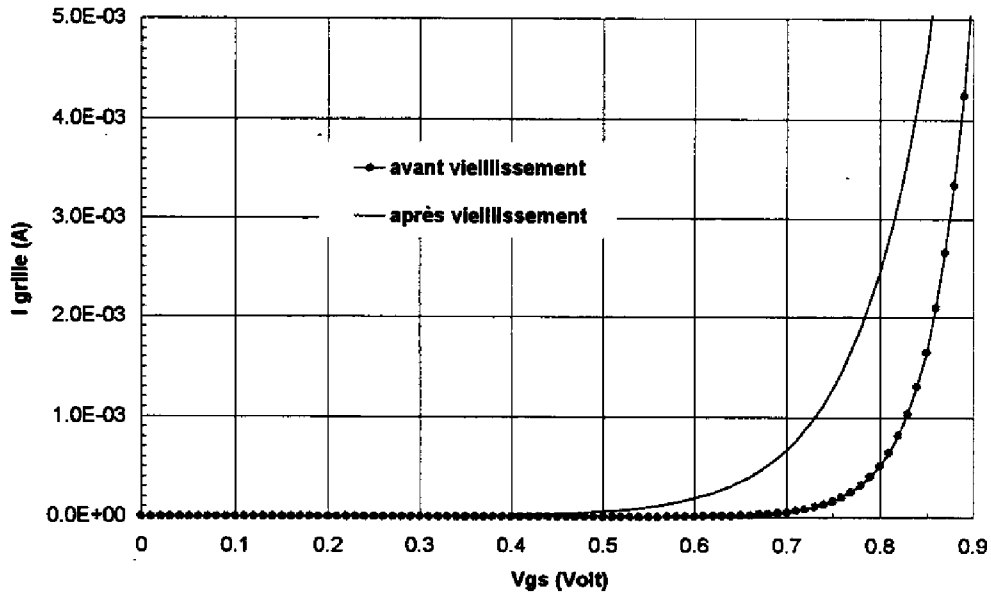


Figure 2-5 : Caractéristique directe de la diode avant et après vieillissement (stockage 300°C)

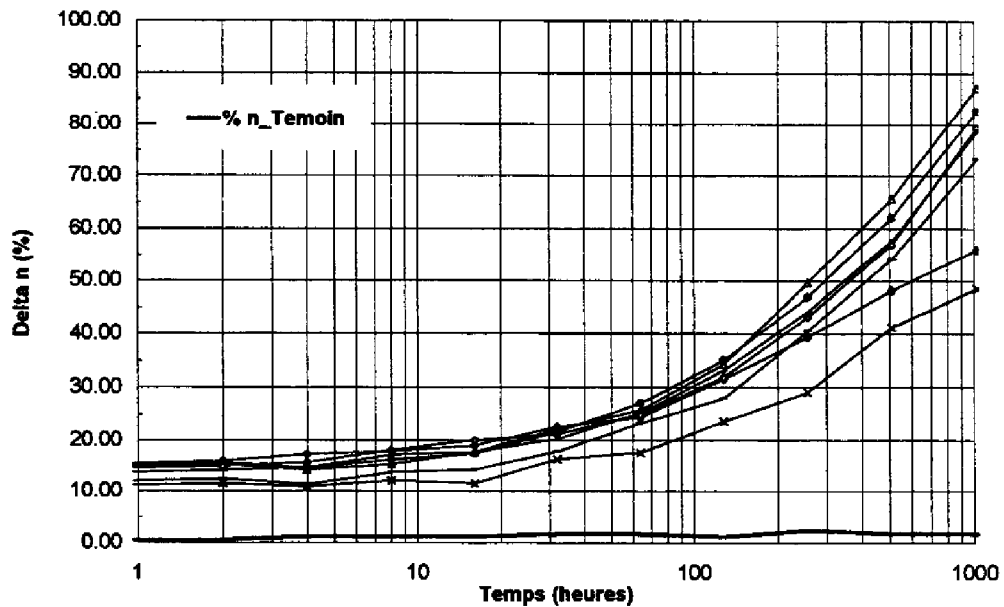


Figure 2-6 : Variation relative du facteur d'idéalité (stockage 300 °C)

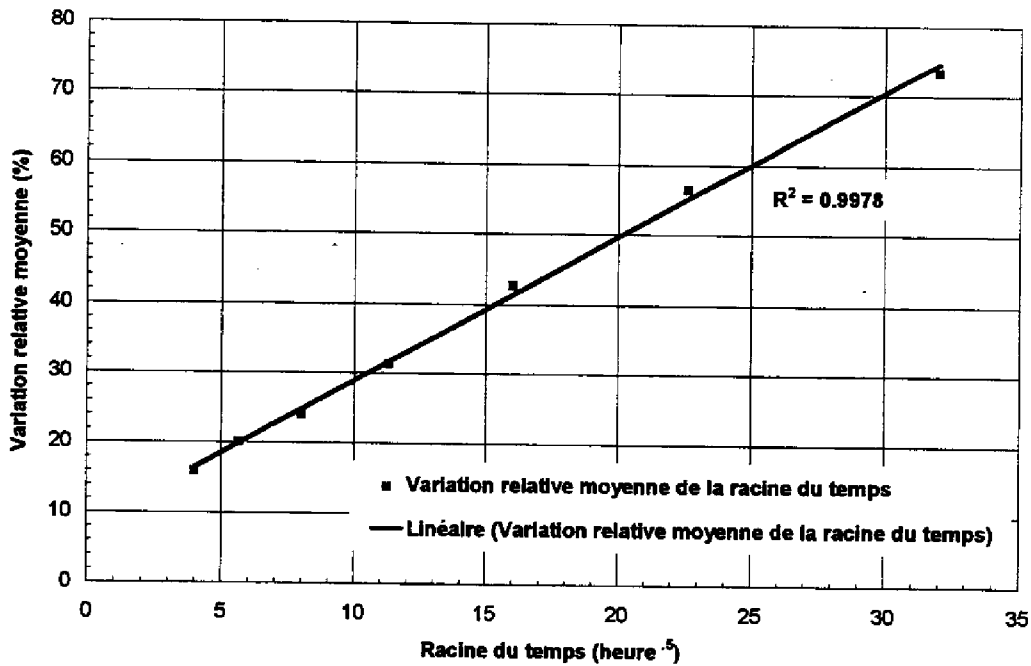


Figure 2-7 : Variation relative moyenne du facteur d'idéalité en fonction de la racine du temps (stockage 300°C)

La modification de l'interface Schottky mise en évidence est parfaitement corrélée avec l'augmentation du courant drain - source (voir figure 2-9). La défaillance survient au même moment, au bout d'une cinquantaine d'heures de vieillissement et la cinétique de l'augmentation du courant drain - source est également en racine du temps (voir figure 2-10).

On remarque sur la figure 2-9 qu'un TCV ne présente pas d'augmentation significative du courant. On peut supposer que pour cet échantillon l'augmentation du courant  $I_{ds}$  est masquée par une l'augmentation de la résistance de contact (voir TLM GaAs). La valeur de la résistance de canal  $R_{dson}$  est d'ailleurs plus élevée sur cet échantillon particulier.

Cette augmentation du courant drain source corrélée à une augmentation de la valeur absolue de la tension de pincement est due à la diminution de la zone déplétée et donc à l'augmentation de la section du canal tout au long du stockage à 300°C (voir figure 2-8). Cette hypothèse est d'ailleurs confirmée par la diminution de la tension seuil  $V_{bi}$  après vieillissement montrée sur la figure 2-5.

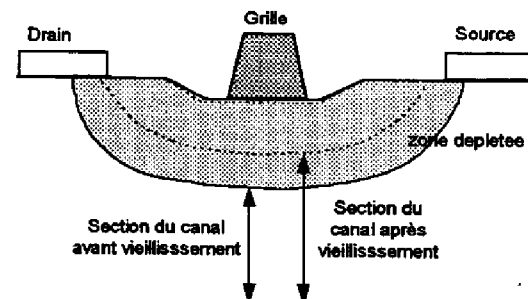


Figure 2-8 : Diminution de la zone "déplétée"

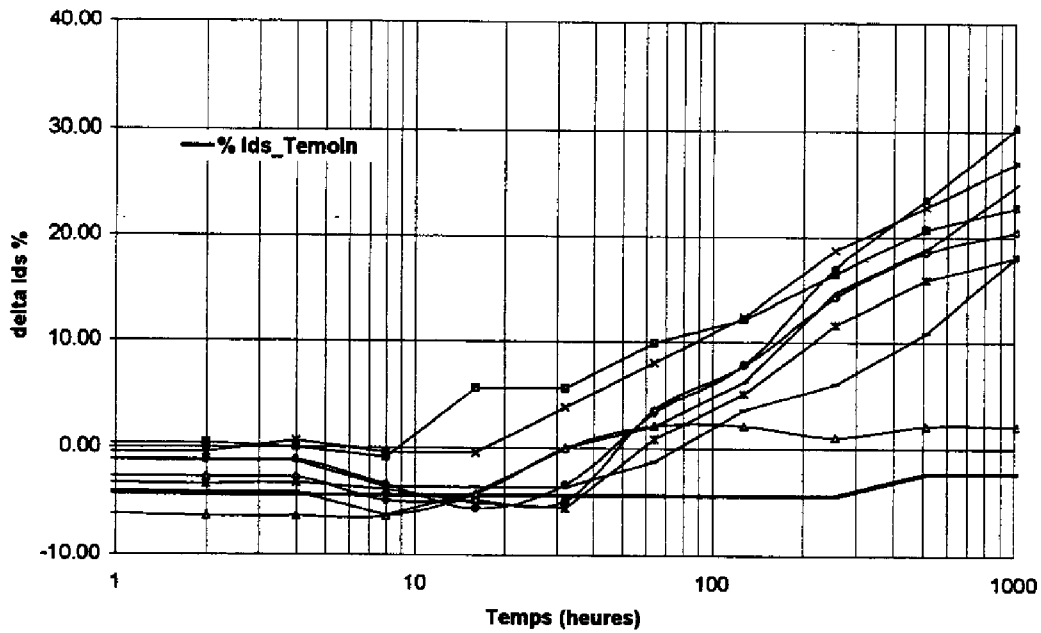


Figure 2-9 : Courant drain source (stockage 300°C)

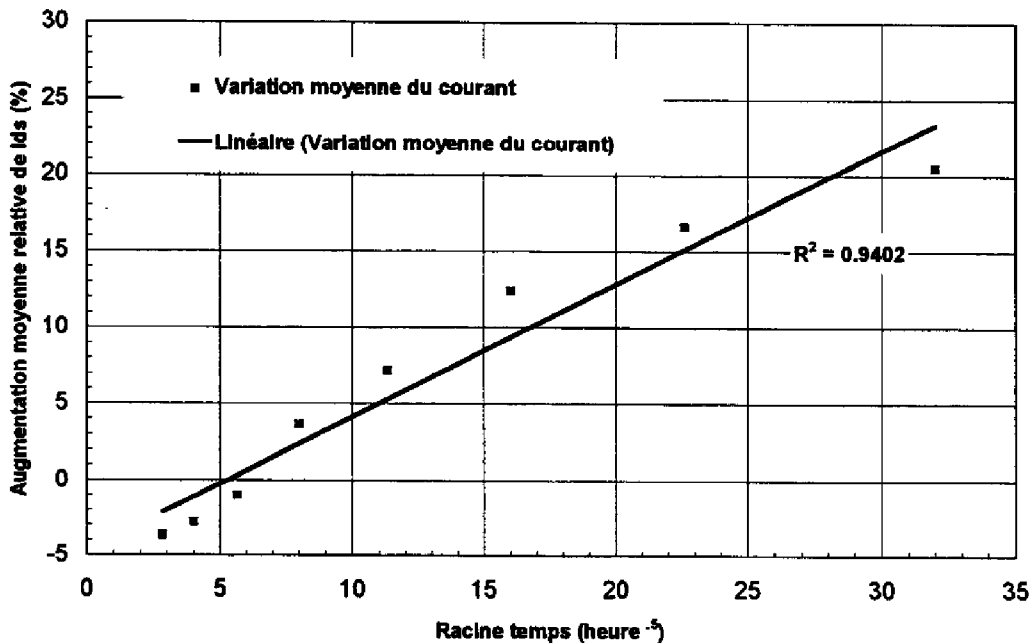


Figure 2-10 : Augmentation relative moyenne du courant drain - source en fonction de la racine du temps

### **2.3 MESURE DE GAZ RESIDUELS (RGA)**

Ces mesures effectuées dans le but de mesurer une éventuelle pollution apportée par des matières organiques (colle, etc.) ou bien pour évaluer le taux d'Hydrogène n'ont pu apporter des informations complémentaires, les boîtiers n'étant plus hermétiques après le stockage à haute température.

### **2.4 CONCLUSION SUR LE STOCKAGE A HAUTE TEMPERATURE SUR TCV**

Le stockage à haute température a permis de confirmer la robustesse du procédé de fabrication de la filière HFET de Texas Instruments. Des phénomènes de diffusion ont été mis en évidence sur les éléments passifs et les éléments actifs (grille et contact ohmique du transistor).

L'ensemble des essais effectués à la température de 300°C n'a pas fait apparaître de dégradations significatives. Aucune dégradation catastrophique entraînant la perte de la fonction électrique n'est survenue. On note cependant des diffusions entre les différentes couches métalliques qui composent les cellules du véhicule de test. Ces diffusions prévisibles en raison de la température appliquée ne sont d'aucun effet sur la durée de vie de ces structures dans des conditions de fonctionnement normales.

A titre d'exemple une durée de vie de 32 heures à 300°C (cf. TLM GaAs) équivaldrait à une température de fonctionnement de 60°C (Température des éléments passifs embarqués) à  $875 \cdot 10^6$  ans pour une énergie d'activation de 1.8 eV (valeur typique pour une dégradation des contacts ohmiques) et 800 ans en considérant une énergie d'activation de 1 eV qui est une hypothèse beaucoup plus pessimiste !

Les tableaux 2-1 et 2-2 résumant les variations absolues et relatives des différents paramètres mesurés au cours du stockage à haute température.

	RESISTANCE CONTACT GaAs ( $\Omega$ )	RESISTANCE CONTACT TAN ( $\Omega$ )	RESISTANCE CONTACT AUGENI ( $\Omega$ )	RESISTANCE PONT A AIR ( $\Omega$ )	RESISTANCE MEANDRE ( $\Omega$ )
VARIATION ABSOLUE MOYENNE	3.26 $\Omega$	0.05 $\Omega$	0.85 $\Omega$	0.025 $\Omega$	0.55 $\Omega$
VARIATION RELATIVE MOYENNE %	<u>95.3 %</u>	3.45 %	<u>46.6 %</u>	0.30 %	9.2 %

*Tableau 2-1 : Résumé des dérives des paramètres électriques des éléments actifs au cours du stockage haute température (300 °C)*

	COURANT DRAIN SOURCE	TENSION PINCEMENT	FACTEUR D'IDEALITE	TENSION DE CLAQUAGE GRILLE / SOURCE	TENSION DE CLAQUAGE GRILLE / DRAIN
VARIATION ABSOLUE MOYENNE	9.35 mA	0.15 V	1.2	-9.5 V	-8.5 V
VARIATION RELATIVE MOYENNE %	<u>23 %</u>	<u>8.5 %</u>	<u>73 %</u>	<u>-56.4 %</u>	<u>-48.7 %</u>

*Tableau 2-2 : Résumé des dérives des paramètres électriques du transistor au cours du stockage haute température (300 °C)*

### **3 VIEILLISSEMENT SOUS CONTRAINTES ELECTRIQUES STATIQUES SUR LES ELEMENTS PASSIF DE LA FILIERE (TCV)**

---

Ces files d'essais de vieillissement réalisées en combinant l'action de la contrainte électrique avec celle de la température permettront d'extraire des données de fiabilité.

#### **3.1 STRUCTURE TLM**

La résistance de contact des différentes résistances étudiées étant obtenue à partir d'une régression linéaire, il est apparu plus judicieux en raison des faibles variations observées d'extraire les données statistiques de fiabilité et donc d'appliquer les critères de défaillances sur la valeur de la résistance totale de la structure qui est une donnée directement mesurable.

##### **3.1.1 TLM GaAs**

En prenant comme critère de défaillance une variation de 3 % de la résistance de cette structure, la distribution cumulative des défaillances suit effectivement une loi log-normale aux températures considérées.

Une cinétique fonction du logarithme du temps semble se dégager et permettra de prévoir des données de fiabilité pour un critère de défaillance de 16 % (voir figure 3-1).

Le tableau 3-1 résume les durées de vie moyenne, les écarts types, les temps moyens jusqu'à défaillance (MTTF) avec un intervalle de confiance de 95 % pour la résistance GaAs.

L'énergie d'activation extraite à partir des essais effectués à des températures de 150 et 175°C est de 1.15 eV pour une variation de la résistance de 3 %. La température étant considérée dans un premier temps comme le seul critère d'accélération de ces files de test, la loi d'Arrhénius permet de transposer les données statistiques de fiabilité figurant sur le tableau 3-1 à des conditions de fonctionnement normales qui sont de l'ordre de 55°C pour les éléments passifs (voir tableau 3-2).



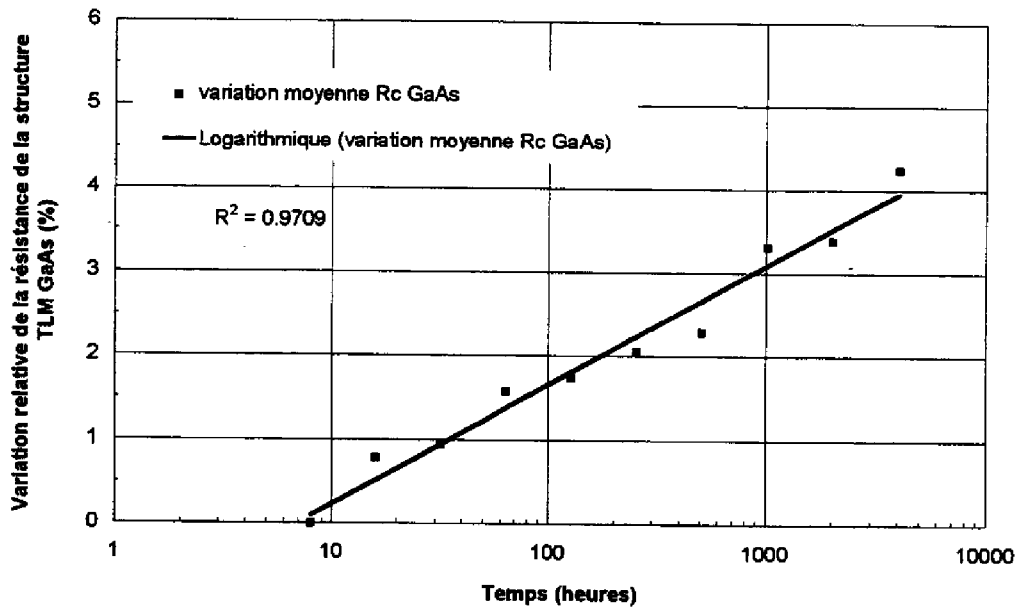


Figure 3-1 : Variation de la résistance fonction du logarithme du temps à 175 °C

CRITERE DE DEFAILLANCE	LIFE TEST 150°C		LIFE TEST 175°C	
	N= 8 PIECES		N= 8 PIECES	
	T <sub>50</sub> T <sub>50,95%</sub> (HEURES) σ	MTTF MTTF (95%) (HEURES)	T <sub>50</sub> T <sub>50,95%</sub> (HEURES) σ	MTTF MTTF (95%) (HEURES)
RESISTANCE (3 %)	5000 4373 0.2	5101 4461	840 687 0.3	878 718
RESISTANCE (16 %)	*	*	2 10 <sup>6</sup> 0.52 10 <sup>6</sup> 2	14.7 10 <sup>6</sup> 4.7 10 <sup>6</sup>

\* dégradation trop minime pour une extrapolation correcte

Tableau 3-1 : Durée de vie moyenne, MTTF @ intervalle de confiance de 95 % de la résistance GaAs (données en heures)

CRITERE DE DEFAILLANCE	EA (EV)	MTTF (Hrs) 175°C	MTTF(95%) (Hrs) 175°C	MTTF (Hrs) 55°C	MTTF(95%) (Hrs) 55°C
RESISTANCE (3 %)	1.15	878	718	46 10 <sup>6</sup>	37 10 <sup>6</sup>
RESISTANCE (16 %)	1.15	14.7 10 <sup>6</sup>	4.7 10 <sup>6</sup>	7.7 10 <sup>11</sup>	24 10 <sup>10</sup>

Tableau 3-2 : Synthèse des données de fiabilité

Des durées de vie de 37 10<sup>6</sup> heures pour une variation de la résistance de 3 % et de 24 10<sup>10</sup> heures pour une variation de la résistance de 16 % ont été obtenues à une température de fonctionnement de 55°C.

### 3.1.2. TLM TaN

La valeur de la résistance TaN présente une légère augmentation au cours du vieillissement accéléré sous contraintes statiques. En prenant comme critère de défaillance de cette résistance une variation de 3 %, la distribution cumulative des défaillances suit également une loi lognormale.

Une cinétique fonction linéaire de la racine carré du temps (phénomène de diffusion) semble se dégager et permettra de prévoir des données de fiabilité pour un critère de défaillance de 16% (voir figure 3-2).

L'extrapolation par la loi d'Arrhénius des données de fiabilité obtenues à une température de fonctionnement de 55°C pour différents critères de défaillances (3% et 16%) est indiquée sur le tableau 3-3.

CRITERE DE DEFAILLANCE	EA	MTTF(Hrs) 175°C	MTTF(95%) 175°C	MTTF(Hrs) 55°C	MTTF(95%) 55°C
RESISTANCE (3 %)	1.18	512	245	35 10 <sup>6</sup>	17 10 <sup>6</sup>
RESISTANCE (16 %)	1.18	9.06 10 <sup>4</sup>	6.4 10 <sup>4</sup>	6.3 10 <sup>9</sup>	4.4 10 <sup>9</sup>

Tableau 3-3 : Synthèse des données de fiabilité pour une densité de courant appliquée égale à 2 x I<sub>max</sub> sur la résistance TaN.

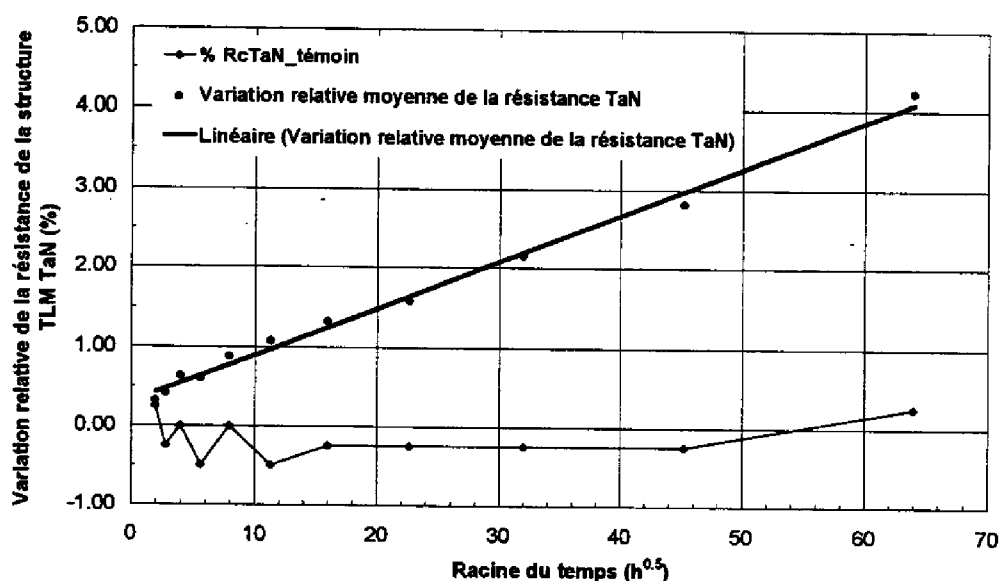


Figure 3-2 : Variation de la résistance fonction de la racine carré du temps

### 3.1.3 TLM AuGeNi

La structure TLM AuGeNi est la seule structure passive qui présente une dégradation notable (variation de la résistance > 16 %) au cours du vieillissement accéléré sous contraintes statiques. Les figures 3-3 et 3-4 représentent la valeur de la résistance de la structure TLM au cours du vieillissement à des températures de 150 °C et 175 °C.

En prenant comme critère de défaillance de cette résistance une variation de 16 %, la distribution cumulative des défaillances suit également dans ce cas précis une loi lognormale (voir chapitre I, figure 2-12).

Les données de fiabilité extraites sur cette structure sont indiquées sur le tableau 3-4.

CRITERE DE DEFAILLANCE	EA	MTTF(Hrs)	MTTF(95%)	MTTF(Hrs)	MTTF(95%)
		175°C	175°C	55°C	55°C
RESISTANCE (16 %)	1.23	303	231	33 10 <sup>6</sup>	25 10 <sup>6</sup>

Tableau 3-4 : Synthèse des données de fiabilité pour une densité de courant appliquée égale à 2 x I<sub>max</sub>

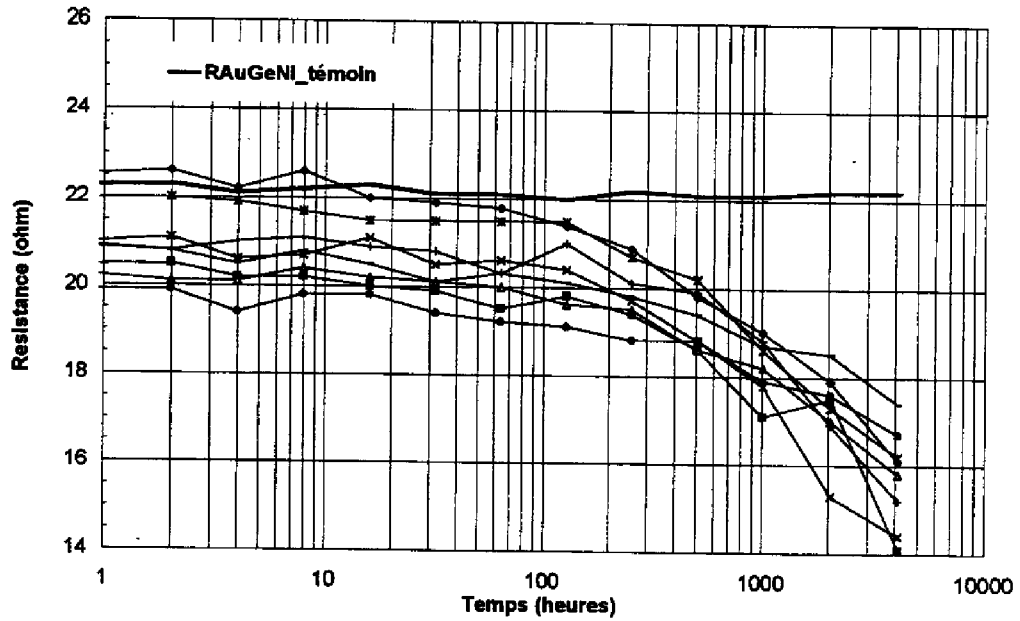


Figure 3-3: Variation de la résistance TLM AuGeNi (150°C)

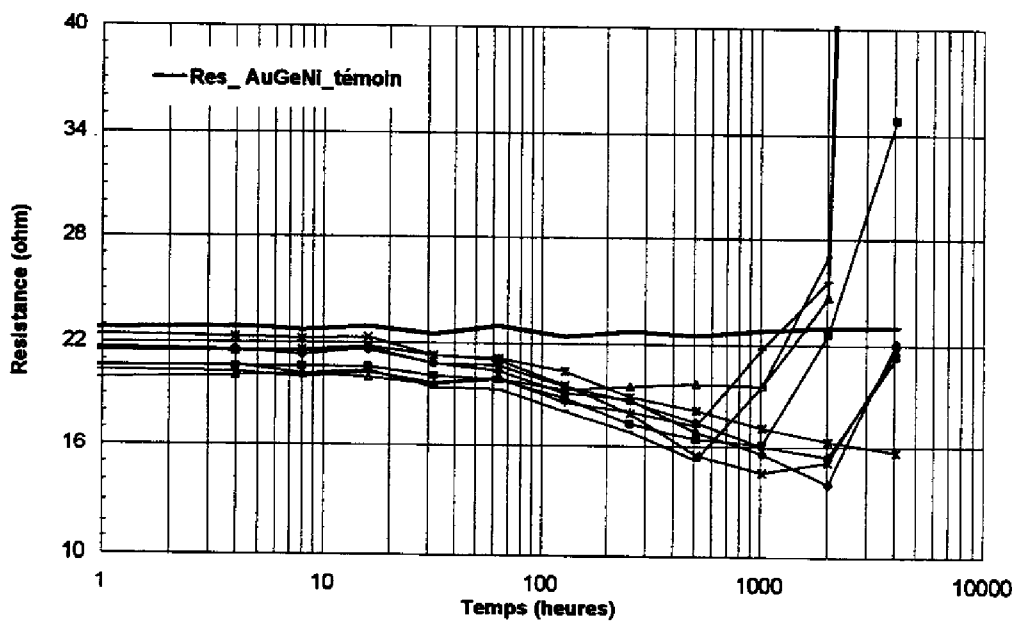


Figure 3-4 : Variation de la résistance TLM AuGeNi (175°C)

L'addition de contraintes thermiques et électriques (diffusion, électromigration) fait apparaître dans ce cas précis une défaillance catastrophique. On note deux cinétiques de dégradation : une diminution de la résistance totale, suivi d'une brusque augmentation pouvant aller jusqu'au court-circuit. Le mécanisme supposé pour cette dernière dégradation est lié à l'électromigration du métal en raison de la forte densité de courant appliquée.

La figure 3-5 représente la loi de Black décrite au chapitre I à laquelle on a superposé les valeurs de MTTF obtenues aux températures de 150 et 175 °C ainsi que la valeur du MTTF obtenu par extrapolation de la loi d'Arrhénius à une température de 55°C (voir tableau 3-4).

Le mécanisme mis en évidence suit parfaitement la loi de Black. L'hypothèse suivant laquelle l'électromigration est responsable du mécanisme de dégradation est confirmée.

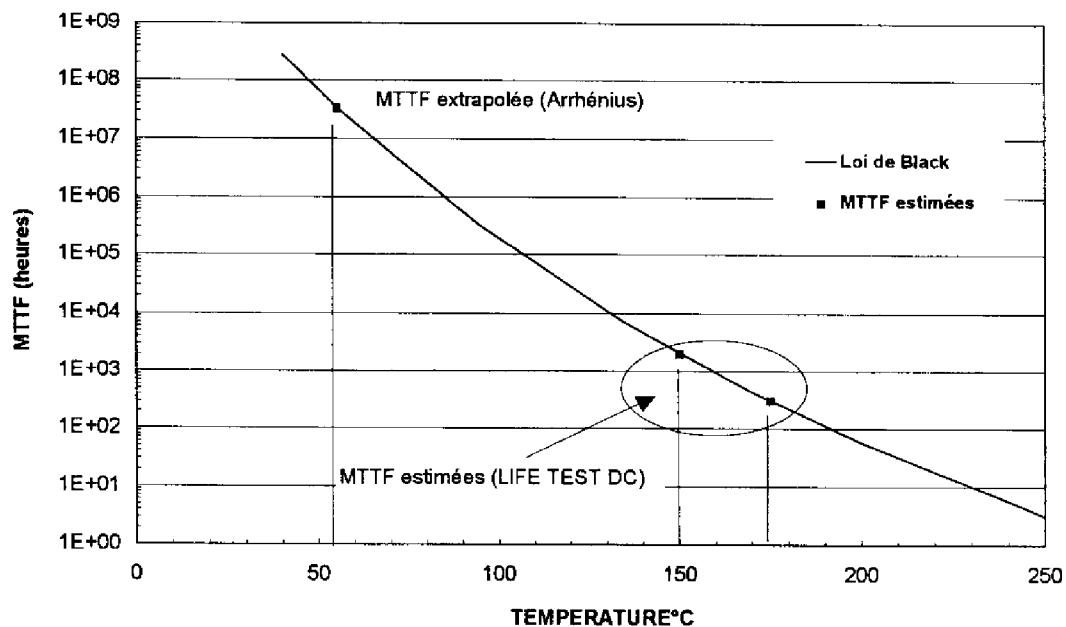


Figure 3-5 : Loi de Black appliquée à la structure TLM AuGeNi

Une analyse physique de construction a été menée. Le phénomène d'électromigration est parfaitement visible sur la figure 3-6. On note le déplacement de la métallisation d'Or confirmée d'ailleurs par des mesures EDX [1].

De ce fait, sachant que la densité de courant appliquée correspond à deux fois la densité maximale, la durée de vie moyenne (pour une densité de courant appliquée égale à la densité maximale préconisée par le fondeur) devra être multipliée par 4 si l'on se réfère à la loi de Black.

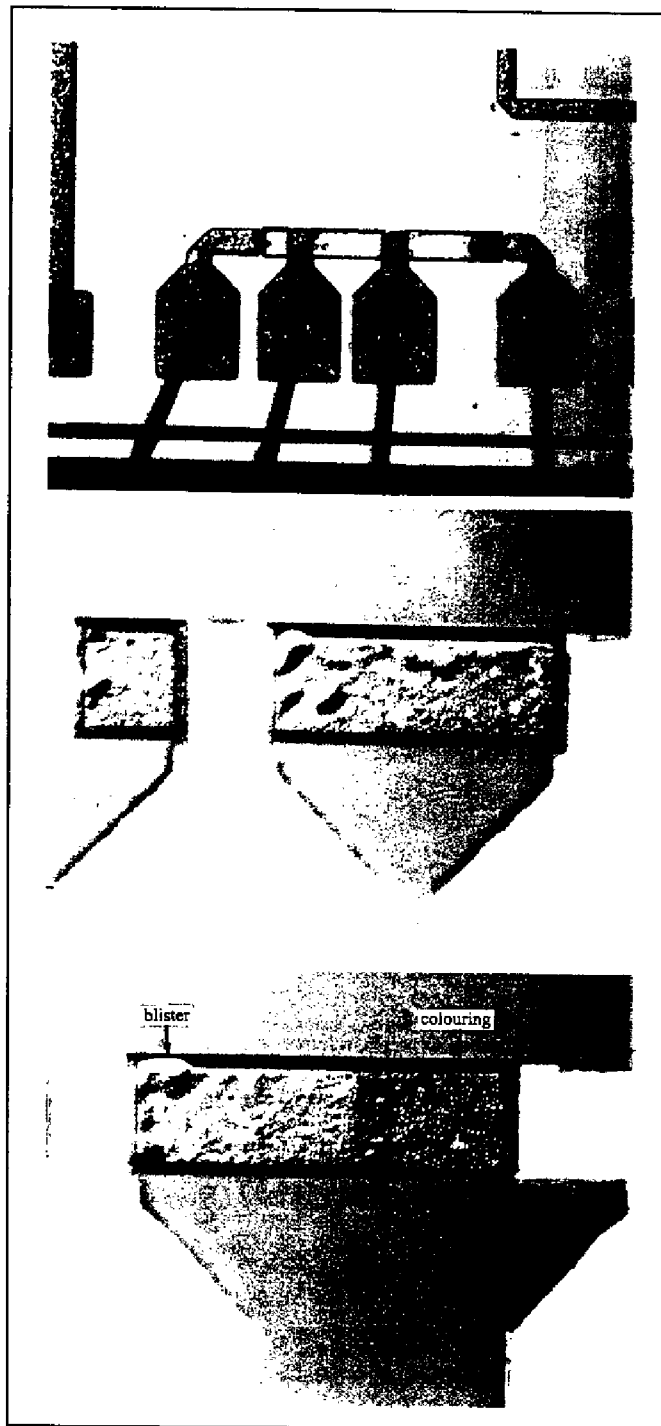


Figure 3-6: Visualisation d'une structure TLM dégradée

### 3.2 LIGNE MEANDRE, CHAÎNE DE PONT A AIR ET CAPACITES

Les différentes mesures de reprises effectuées sur le Véhicule de Caractérisation Technologique, (courant de fuite des capacités, courant de fuite entre les différents niveaux de métallisations, résistance de la chaîne de pont à air), n'ont pas permis de déceler des évolutions significatives tout au long du vieillissement. Aucune dégradation n'a été amorcée.

### 3.3 CONCLUSION SUR LES ESSAIS DE VIEILLISSEMENT SUR LES ELEMENTS PASSIFS DU TCV

Le tableau 3-5 résume les dérives obtenues sur les paramètres électriques des différentes structures du Véhicule de Caractérisation Technologique. Aucune défaillance catastrophique n'est survenue.

Une dérive significative est apparue sur la structure TLM AuGeNi, tandis qu'une cinétique de dégradation est amorcée sur les deux autres structures TLM. Les variations sur les autres paramètres ne permettront pas d'extraire des données de fiabilité précises en raison de la trop faible dérive mise en évidence.

	LIFE TEST 150 °C		LIFE TEST 175 °C	
	VARIATION MOYENNE ABSOLUE	VARIATION MOYENNE RELATIVE %	VARIATION MOYENNE ABSOLUE	VARIATION MOYENNE RELATIVE %
RESISTANCE TLM GaAs ( $\Omega$ )	0.825	2.4 %	1.43	<u>4.32 %</u>
RESISTANCE TLM TAN ( $\Omega$ )	0.7	1.78 %	1.55	<u>4.2 %</u>
RESISTANCE TLM AUGENI ( $\Omega$ )	-5.30	25 %	52.91	<u>261 %</u>
R MEANDRE ( $\Omega$ )	0.025	0.02 %	0.225	3.7 %
R PONT A AIR ( $\Omega$ )	-0.0125	-0.32 %	0.1375	4 %

Tableau 3-5 : Résumé des dérives des paramètres électriques des éléments passifs du TCV au cours du vieillissement sous contraintes statiques

L'application d'une densité de courant égale à 2 fois la densité de courant maximale sur l'ensemble des structures n'a pas fait apparaître de défaillances notables, preuve de la robustesse de la filière étudiée. La seule structure critique d'un point de vue fiabilité est la résistance AuGeNi sur laquelle il est préconisé de respecter les densités de courant maximales. Toutefois les données de fiabilité de cette structure ramenées à une température de 55 °C sont globalement satisfaisantes (11000 ANS !!!)

Les données de fiabilité obtenues sur l'ensemble des structures passives du TCV en prenant un critère de défaillance très minime (<5%!) garantissent une utilisation spatiale de ces composants.

Toutefois la fiabilité de la technologie sera correctement évaluée que si l'on réalise également des essais de vieillissement accéléré sur l'élément actif de la filière à savoir le transistor HFET.



#### **4 VIEILLISSEMENT SOUS CONTRAINTES ELECTRIQUES STATIQUES SUR LE TRANSISTOR DE LA FILIERE ETUDIEE**

---

Le Véhicule de Caractérisation Technologique (TCV) et le Circuit d'Evaluation Dynamique (DEC) comportent tous deux respectivement un transistor de 600 et 1200  $\mu\text{m}$  de développement de grille.

Des données de vieillissement sous contraintes statiques à des températures de jonction de 150 et 175°C ont donc été obtenues sur ces deux types de véhicules de test. La principale différence venant du fait que le transistor du TCV était pincé pendant le vieillissement alors que celui du DEC était polarisé aux conditions nominales de fonctionnement.

Les résultats obtenus sont similaires sur les deux types de véhicules. Nous ne présenterons que ceux du Circuit d'Evaluation Dynamique car les essais de fiabilité sur ce dernier sont plus complets (prolongation des essais à des températures de jonction plus élevées).

Le TCV comprend une électrode de « side gating »  $V_{\text{sg}}$ , permettant d'évaluer l'influence d'un potentiel appliqué tout au long du vieillissement à proximité du transistor. Aucune modification des paramètres intrinsèques du transistor attribuée à la présence de ce potentiel ne fut mise en évidence (les résultats des essais de vieillissement sont similaires sur le DEC qui ne comprenait pas d'électrode de « Side Gating »).

De plus le paramètre  $\Delta I_{\text{ds}}$  permettant d'évaluer la présence de chemin de conduction éventuels entre le transistor et l'électrode de « side gating » et défini par :

$$\Delta I_{\text{ds}}\% = \frac{I_{\text{ds}}(V_{\text{sg}} = 0\text{volt}) - I_{\text{ds}}(V_{\text{sg}} = 8\text{volt})}{I_{\text{ds}}(V_{\text{sg}} = 0\text{volt})} \quad \text{Equation 4-1}$$

est resté inférieur à 2 % sur l'ensemble des deux files de test.

L'intérêt du vieillissement sous contraintes électriques statiques, est de combiner l'action simultanée de la température (température de canal respectivement de 150 et 175 °C) et du courant sur les composants. Pour cela les polarisations statiques appliquées sur les transistors sont les tensions nominales statiques de fonctionnement :

- Tension drain source  $V_{\text{DS}}$  nominale,  $V_{\text{DS}}=8.5$  volts.
- Courant drain source  $I_{\text{DS}} \cong I_{\text{DSS}} / 3$  (classe AB).

Ces files d'essais permettent de mettre en évidence les mécanismes de dégradation susceptibles de modifier les contacts ohmiques, la passivation du composant, la nature du contact Schottky (enfouissement du métal de grille dans le canal) etc.

Les mesures de reprise effectuées sur le Circuit d'Evaluation Dynamique (DEC) confirment les cinétiques de dégradation apparues sur le transistor du véhicule de caractérisation technologique (TCV), à savoir une très légère augmentation du courant de saturation. Toutefois en raison de la gamme de température relativement basse appliquée sur ce véhicule (elles étaient initialement identiques à celles appliquées sur le véhicule de Caractérisation Technologique par soucis de cohérence), nous avons décidé de poursuivre ces essais à des températures de canal respectivement de 200 et 220°C afin d'accélérer les éventuels mécanismes de dégradation susceptibles de se produire.

A la différence du vieillissement sous contraintes dynamiques où la contrainte thermique est appliquée sur les composants par l'intermédiaire d'une thermistance, les composants qui subissent le vieillissement sous contraintes statiques sont placés en étuve. Les températures d'étuve ont été déterminées de manière à ce que les températures de canal des deux files d'essais soient dans un premier temps respectivement de 150 et 175°C (typiquement 110 et 125°C). Toutefois, il est recommandé de ne pas utiliser les charges 50 ohms (placées en entrée et en sortie de chaque modules), ainsi que les différents interfaces composant / tiroir de polarisation à des températures supérieures à 125 °C.

Ceci nous interdit donc d'augmenter la température de l'étuve pour obtenir des températures de canal de l'ordre de 200 et 220°C. Nous avons par conséquent été contraint pour cette nouvelle séquence de vieillissement, d'augmenter la puissance dissipée de chaque composant afin d'atteindre les températures de canal requises. Les nouvelles contraintes électriques appliquées lors du vieillissement à des températures de canal de 200 et 220 °C sont donc :

- Tension drain source  $V_{DS}$  nominale = 8.5 volts
- Courant drain source  $I_{DS} \cong I_{DSS}/2$

#### **4.1 RESULTATS DU VIEILLISSEMENT SOUS CONTRAINTES STATIQUES SUR LE TRANSISTOR**

Les différentes séquences de Test des Circuits d'Evaluation Dynamiques sous contraintes statiques sont les suivantes:

<b>File d'essais 1 :</b>	<b>3500 heures à une température de canal de 150°C</b> + <b>1500 heures à une température de canal de 200°C (8 modules + témoin).</b>
<b>File d'essais 2 :</b>	<b>4000 heures à une température de canal de 175°C</b> + <b>2500 heures à une température de canal de 220°C (8 modules + témoin).</b>

Les principales variations observées lors de ce vieillissement sont apparues sur le courant de drain. On note une très légère augmentation du courant de drain corrélée à une augmentation de la valeur absolue de la tension de pincement.

Les autres paramètres électriques statiques (gain statique, résistance du canal, facteur d'idéalité de la jonction Schottky) et dynamiques (paramètres [s], puissance de sortie) ne présentent pas de variations significatives. Les figures 4-1 et 4-2 représentent la variation relative du courant drain - source maximal de saturation au cours du vieillissement.

Les variations des paramètres mises en évidence (augmentation du courant de drain) sont activées par la température. Cependant l'augmentation du courant de saturation des véhicules de test ayant subi au préalable 4000 heures à une température de l'ordre de 175°C n'est que de 1.7 % pendant 2500 heures à 220°C alors que la variation sur les véhicules de test ayant subi 3500 heures à 150°C est de 3 % pendant seulement 1500 heures à 200°C.

On aboutit au final malgré des durées de test différentes, à une augmentation relative du courant de drain d'environ 5% sur l'ensemble des deux files d'essais.

La mesure de paramètres dynamiques comme la puissance de sortie déterminée à 1 dB de compression à 9.5 GHz est représentée sur la figure 4-3. On note aucune variation notable. En effet la variation des paramètres statiques inférieure à 5 % mise en évidence est trop faible pour que l'on note un impact sur les caractéristiques dynamiques du transistor.

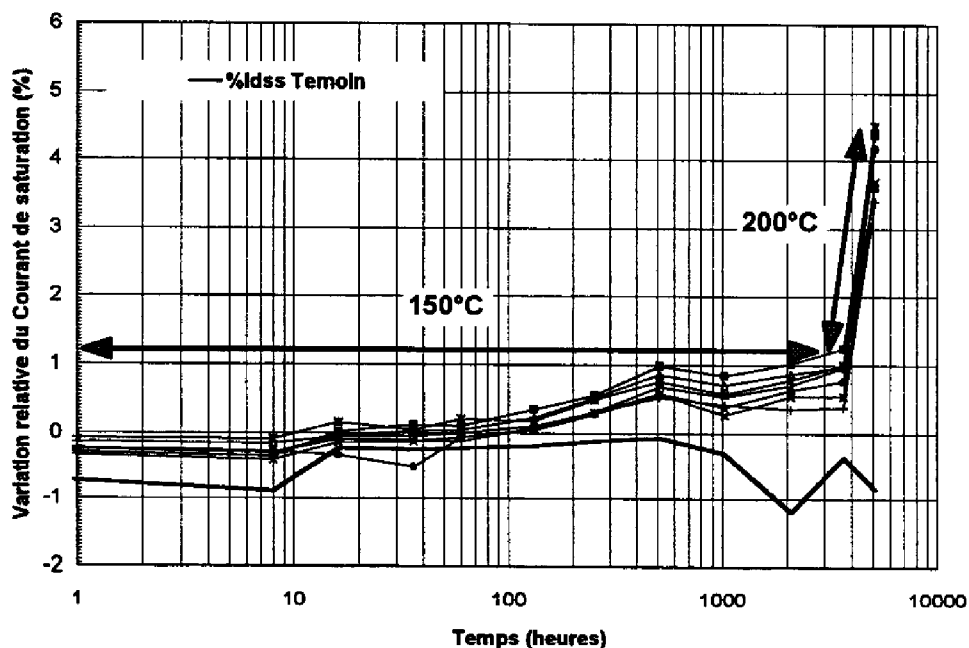


Figure 4-1 : Variation absolue du courant de saturation maximal mesuré à  $V_{DS}=2$  volts  
 -File d'essais 1-

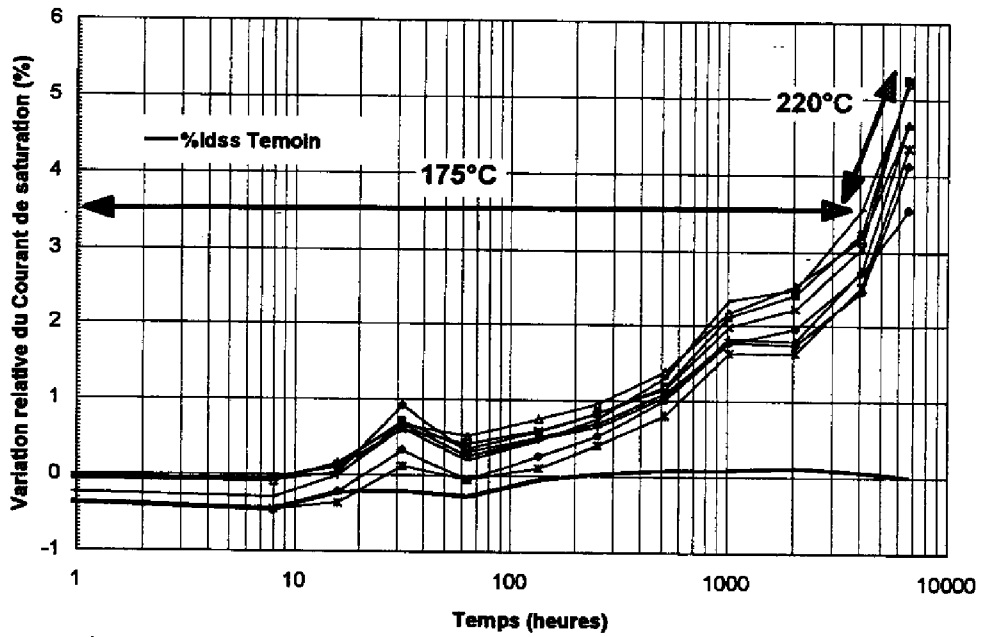


Figure 4-2 : Variation absolue du courant de saturation maximal mesuré à  $V_{DS}=2$  volts  
-File d'essais 2-

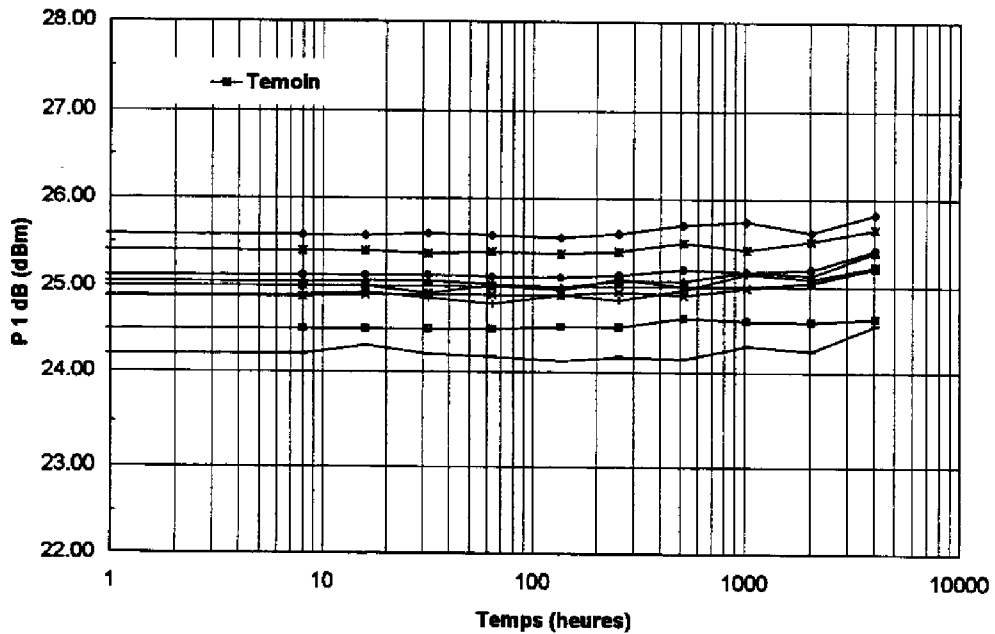


Figure 4-3 : Puissance de sortie mesurée à 9.5 GHz à 1dB de compression -Vieillessement à 175°C-

#### 4.2 INTERPRETATION DES RESULTATS DU VIEILLISSEMENT SOUS CONTRAINTES STATIQUES

Le phénomène mis en évidence est activé par la température (voir tableau 4-1).

	CONDITIONS DE TEST : T°C/CANAL/DUREE	$\Delta I_{DS}$ MOYEN SUR LES 8 DEC	CONDITIONS DE TEST : T°C/CANAL/DUREE	$\Delta I_{DS}$ MOYEN SUR LES 8 DEC	VARIATION RELATIVE TOTALE
FILE 1	175°C 4000 HEURES	→ 2.93%	220°C 2500 HEURES	→ 1.7 %	<b>4.6%</b>
FILE 2	150°C 3500 HEURES	→ 0.8 %	200°C 1500 HEURES	→ 3 %	<b>3.8%</b>

Tableau 4-1 : Synthèse des différentes variations mises en évidence au cours du vieillissement sous contraintes statiques

La prolongation de la durée des différentes files d'essais à des températures de canal plus élevées permet une meilleure compréhension du phénomène (mineur) mis en évidence.

L'hypothèse avancée est un recuit de l'alliage AuGeNi (qui se traduit par une amélioration dans ce cas précis) du contact ohmique jusqu'à stabilisation de ce dernier. Le seuil en température pour lequel ce phénomène est mis en évidence pendant nos tests est d'environ 175°C.

Les contacts ohmiques (voir chapitre I) sont réalisés généralement par la mise en contact d'une couche métallique avec un semi conducteur surdopé en surface. La méthode la plus couramment utilisée pour le matériaux de type n AsGa consiste à déposer un mélange d'Or et de Germanium (AuGe) et à recuire l'échantillon en espérant que le dopant (Ge) diffuse à la surface du semi-conducteur, pour assurer le surdopage. Une couche de Nickel est ensuite déposée afin d'améliorer la mouillabilité de l'alliage. De manière générale, quel que soit le mode de recuit utilisé, la structure métallurgique des contacts AuGeNi avec ou sans élément « mouillant », sur la couche du semi-conducteur évolue de manière irréversible.

La figure 4-4 représente la variation relative moyenne du courant de drain en fonction de la racine carré du temps pour les huit véhicules de test de la file 1 soumis à une température de 175°C.

La cinétique dégagée en racine du temps est conforme avec la théorie de la diffusion. Le coefficient de corrélation est de l'ordre de 0.98 entre la variation du courant en fonction de la racine carré du temps et la régression linéaire effectuée. L'hypothèse avancée est une diffusion (de Germanium ?) au niveau du contact ohmique.

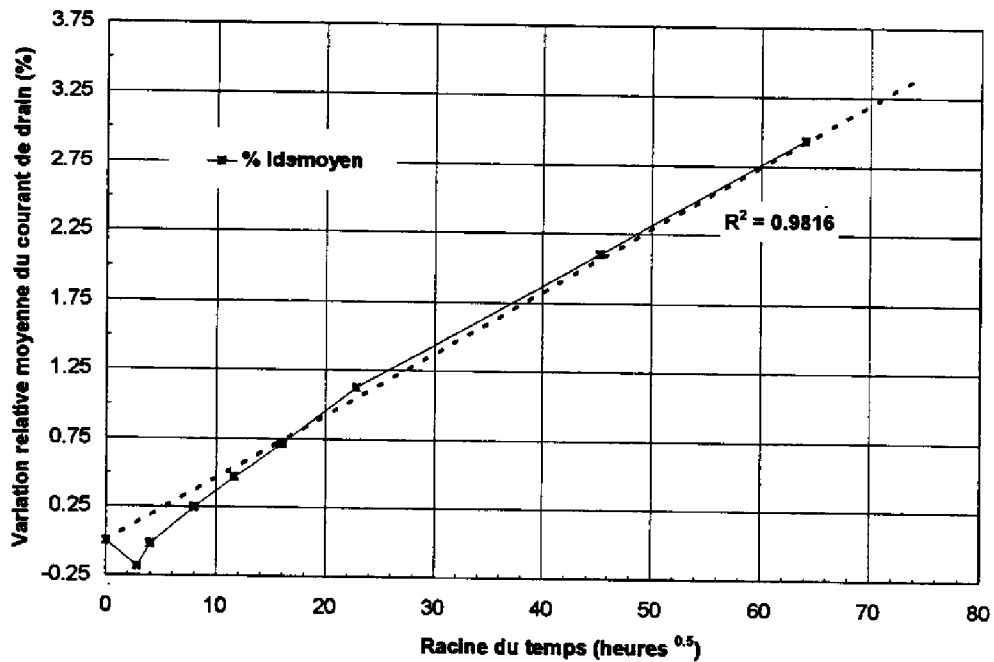


Figure 4-4 : Variation relative moyenne du courant en fonction de la racine  $\sqrt{t}$  ( $T=175^{\circ}\text{C}$ )  
-extrapolations linéaires et coefficients de corrélation associés-

La valeur de la résistance de contact en fonction des interactions métallurgiques entre la couche métallique et le semi-conducteur activés par la température, évolue comme indiqué sur la figure 4-5. L'évolution supposée de la valeur des contacts ohmiques au cours des différentes files de vieillissement (stockage à 300°C sur le TCV et vieillissement sous contraintes statiques du DEC) est également représentée sur ce schéma.

On peut supposer que lors de la réalisation des contacts ohmiques la valeur de la résistance n'a pas été parfaitement optimisée. Le vieillissement sous contraintes statiques à des températures de l'ordre de 200 °C améliore la résistance.

Par contre lors du stockage à haute température, on a vu que le contact ohmique présente une dégradation. On peut donc supposer que dans ce cas précis le recuit à une telle température (300°C) de nouveaux composés métallurgiques apparaissent, dégradant la valeur du contact ohmique.

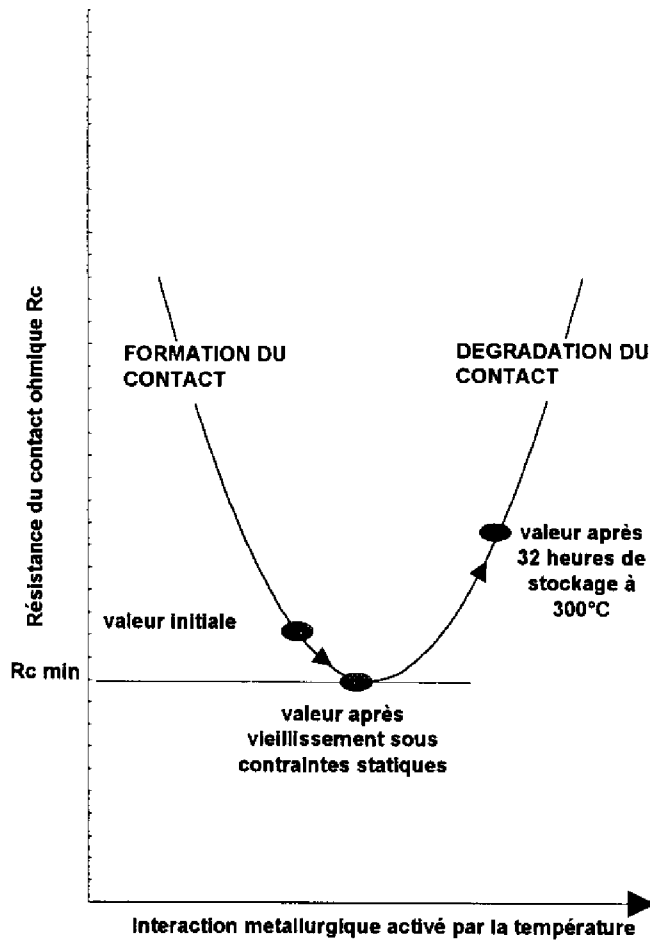


Figure 4-5 : Variation de la valeur de la résistance du contact ohmique en fonction des interactions métallurgiques entre la couche métallique et la couche semi-conductrice.

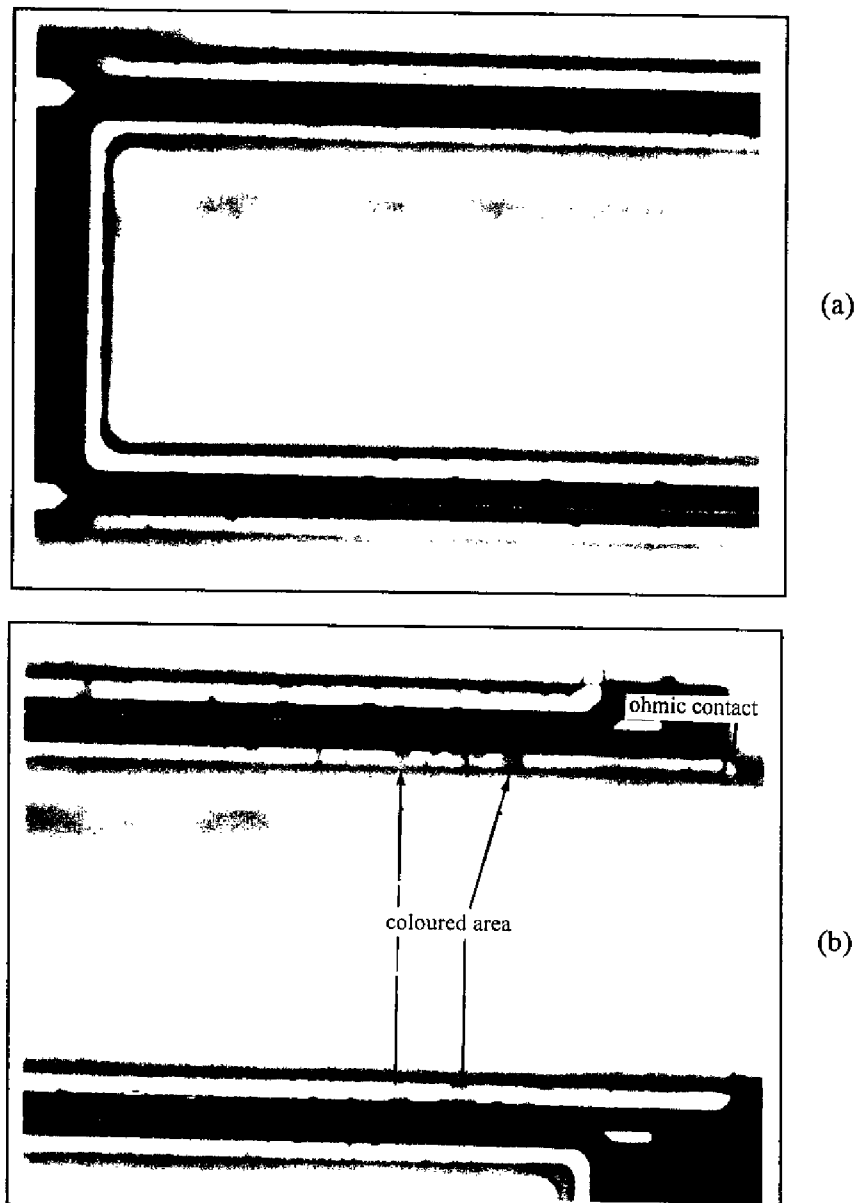
La résistance de canal  $R_{\text{DS(on)}}$  égale à  $V_{\text{DS}}/I_{\text{DS}}$  dans la zone linéaire du transistor est également mesurée à chaque mesure de reprise. Cette mesure traduit toute variations aux niveaux des contacts ohmiques et du canal. Dans le cas du vieillissement sous contraintes statiques aucune variation notable de la résistance de canal n'est apparue.

En effet l'augmentation du courant de saturation mise en évidence se traduit par une diminution relative de  $R_{\text{DS(on)}}$  de l'ordre de 4 % :

$$\Delta R_{\text{DS(on)}} = -\frac{V_{\text{DS}}}{I_{\text{DS}}^2} \Delta I_{\text{DS}} \cong 4\% \quad \text{Equation 4-2}$$

La valeur de la résistance étant de l'ordre de 4 ohm, la précision de l'appareil de mesure (hp 4155) ne permet pas de mettre en évidence une variation d'un tel ordre de grandeur.

Les DEC soumis au vieillissement sous contraintes statiques ont été soumis à une analyse physique de construction après vieillissement. La variation sur les paramètres électriques du transistor (augmentation du courant de saturation de l'ordre de 5 %) est trop faible pour mettre en évidence un éventuel phénomène de diffusion. Toutefois la figure 4-6 confirme que la modification de la structure est bien localisée au niveau des contacts ohmiques.



*Figure 4-6 : Vue des contacts ohmiques du DEC - (a) avant vieillissement - (b) après vieillissement -*



## **5 CONCLUSION GENERALE SUR L'EVALUATION TECHNOLOGIQUE DE LA FILIERE**

---

L'ensemble des essais de vieillissement (vieillessement sous contraintes statiques à des températures de 150 et 175°C) n'ont pas permis de mettre en évidence des mécanismes de dégradations majeurs excepté pour le stockage à haute température qui n'est malheureusement pas représentatif des conditions de fonctionnement. Ceci pour plusieurs raisons :

- la gamme de température appliquée : 150 et 175°C pour le vieillissement sous contraintes statiques. Des températures de l'ordre de 225 °C aurait été préférables pour des tests d'une durée de 4000 heures. Malheureusement les différents interfaces TCV - Tiroirs de commande à notre disposition ne pouvaient supporter une température supérieure à 175 °C.
- la robustesse de la filière. La filière étudiée est une filière mature et stable.

Le traitement statistique des diverses données a permis de dégager une cinétique et d'avoir une idée relativement précise quant à la fiabilité des éléments qui composent le TCV. Il est bon de noter toutefois qu'un traitement statistique rigoureux nécessiterait un nombre d'échantillons de l'ordre de 50 au minimum.

Afin d'obtenir des données statistiques de fiabilité à partir des files d'essais sous contraintes électriques statiques, nous avons estimé la distribution cumulative de défaillances.

Sur la quasi totalité des structures qui composent le Véhicule de Caractérisation Technologique, aucune défaillance catastrophique n'est survenue. On note seulement l'amorce d'une tendance de dégradation. Les données de fiabilité obtenues à partir des mesures ne considéreront qu'un critère de défaillance minimale. A titre d'exemple les critères de défaillances retenus pour les résistances n'ont pu excéder une variation de 3 % (que la précision de la mesure nous autorise) alors qu'une analyse de sensibilité sur diverses fonctions MMICs met en évidence une dérive des performances électriques pour une variation de la résistance de l'ordre de 20%. La tolérance fournie par le fondeur sur ces valeurs de résistance est d'ailleurs de + ou - 16 %.

Afin de se ramener à de telles conditions, nous avons représenté la variation par une courbe de type exponentielle, logarithmique, ou linéaire par rapport à la racine du temps (théorie de la diffusion). Cette représentation mathématique de la variation a permis de prévoir l'instant où le critère de défaillance raisonnable est atteint.

Les principales structures passives de la filière MMIC étudiée (résistance, pont à air, capacité, lignes de connexions etc.) figurent sur le TCV. Toutes ses structures présentent des données de fiabilité très satisfaisantes et ce malgré l'application de contraintes électriques supérieures aux valeurs maximales préconisées par le fondeur.

Le transistor HFET a subi 6500 heures de vieillissement à des températures de canal de l'ordre de 200°C (175 et 220°C). Aucune dégradation significative n'est apparue.

Aucun mécanisme de dégradation lié à des aspects technologiques (diffusion, corrosion, etc.) n'est à redouter sur cette filière.

Nous allons nous attacher maintenant à la validation de la fiabilité opérationnelle des MMIC, à savoir l'amplification de puissance.

## **BIBLIOGRAPHIE DU CHAPITRE III**

---

- [1] Rapport Serma Technologies : " Construction Analysis on MMICs from T.I.", Report 96L1085-Décember 27, 1996.



## **Chapitre IV**

# **Définition du domaine de fonctionnement sûr en régime non linéaire du DEC.**



## 1 INTRODUCTION

---

La technologie de la filière ayant été évaluée hors application (voir chapitre III), il reste à évaluer l'aptitude du HFET à remplir une fonction micro-onde. L'évaluation voire la qualification d'un transistor de puissance nécessite d'effectuer divers essais de vieillissement accéléré, afin de valider l'application du transistor (ici le fonctionnement saturé). Pour cela des essais sous contraintes dynamiques sont effectués, dans le but d'activer tous les mécanismes susceptibles de se produire au cours de son utilisation notamment en régime non linéaire (voir chapitre I).

L'objet de ce chapitre est de synthétiser et d'interpréter l'ensemble des résultats des essais de vieillissement sous contraintes dynamiques effectués sur le transistor du Circuit d'Evaluation Dynamique constitué par un amplificateur mono étage fonctionnant à la fréquence de 9.5 GHz et de définir une aire de sûreté de fonctionnement.

Les différentes files d'essais suivies par le véhicule de caractérisation dynamique sont :

- "Step Stress R.F." pour borner le domaine de sûreté (voir paragraphe 2-2).
- "Life Test R.F." sur une durée de 4500 heures pour quantifier les dérives dans ce domaine (voir paragraphe 2-3).

Remarque : tout au long de ce chapitre, nous désignerons par "Step Stress R.F." le vieillissement sous contraintes dynamiques graduelles et "Life Test R.F." le vieillissement accéléré sous contraintes dynamiques constantes.

Les causes et les effets des mécanismes de dégradations apparus sur le Circuit d'Evaluation Dynamique comprenant un transistor HFET de 1200  $\mu\text{m}$  de développement de grille seront également présentés.

Une attention toute particulière sera apportée au mécanisme d'ionisation par impact dont les conséquences apparaissent tant au niveau du fonctionnement qu'au niveau de la fiabilité du transistor.

Nous proposerons ensuite une méthodologie d'assurance de sûreté de fonctionnement en régime non-linéaire basée sur les résultats de mesure et les simulations associées.

## **2 ESSAIS DE VIEILLISSEMENT SOUS CONTRAINTES DYNAMIQUES SUR LE DEC**

---

### **2.1 PRESENTATION DU CONTEXTE**

La réduction des contraintes appliquées à un composant afin de garantir sa durée de vie est un principe normalisé et reconnu. Toutefois comme cela a été explicité au chapitre II (voir Réduction des contraintes), ces normes sont inadaptées dans le cas d'un fonctionnement en régime non linéaire de forte compression du gain.

A titre d'exemple, la recherche de l'amélioration du rendement électrique nécessite d'utiliser des composants dans des zones de fonctionnement qui ne sont pas forcément compatibles avec les règles de taux de charges. En effet lors de l'excursion du point de fonctionnement dans des régions proches du claquage grille - drain consécutif à l'apparition d'un fort champ électrique ou lors du passage de la jonction Schottky en direct, des mécanismes de défaillances liés à la génération de porteurs chauds (ionisation par impact) ou bien à l'électromigration du métal de grille sont susceptibles de se produire.

Dans la plupart des cas, les fabricants fournissent une tension maximale grille - drain statique qui n'est nullement représentative d'une utilisation dynamique en régime non linéaire. Le concepteur, afin de garantir un certain niveau de performance, est souvent obligé de dépasser cette valeur maximale de tension, alors que les normes préconisent de ne pas dépasser 75 % de la valeur de cette dernière.

### **2.2 DELIMITATION DE L'AIRES DE SURETE DE FONCTIONNEMENT AU MOYEN DU "STEP STRESS"**

#### **2.2.1 Intérêt du "step stress"**

Le but de cette file d'essais est de borner le domaine sûr de fonctionnement en termes de stress électriques dynamiques et de déterminer les différents niveaux qui seront appliqués lors du test de vieillissement. Nous entendons par aire de sûreté de fonctionnement les valeurs maximales des tensions drain - source, grille - source et les niveaux de puissance réellement applicables sur les composants sans impact négatif sur la fiabilité. La tension drain - source et le niveau de puissance d'entrée sont à priori considérés comme les principaux facteurs d'accélération des mécanismes de défaillances induits par le fonctionnement non linéaire.

Le Step Stress consiste à augmenter par palier de une semaine la valeur de la tension drain - source et le niveau de puissance d'entrée et donc du point de compression du gain (par pas de



1 dB de compression) sur des Circuits d'Evaluation Dynamique jusqu'à l'apparition d'une dégradation significative.

### 2.2.2 Résultats obtenus

Les figures 2-1, 2-2 et 2-3 présentent les résultats les plus significatifs quant au mode de défaillance mis en évidence.

Un mode de dégradation apparaît de manière significative pour des tensions de drain de l'ordre de 12 Volts. La signature de ce mode se traduit sur les paramètres statiques du transistor par :

- une réduction du courant de drain (voir figure. 2-1 )
- une augmentation de la résistance du canal  $R_{ds}$  (voir figure 2-2)
- une augmentation en valeur absolue de la tension de claquage grille - drain (voir figure 2-3)

Sur les modules polarisés à des tensions de drain inférieures ou égales à 8.5 Volts aucune dégradation n'apparaît malgré l'application de puissance d'entrée pouvant correspondre jusqu'à 6 dB de compression du gain.

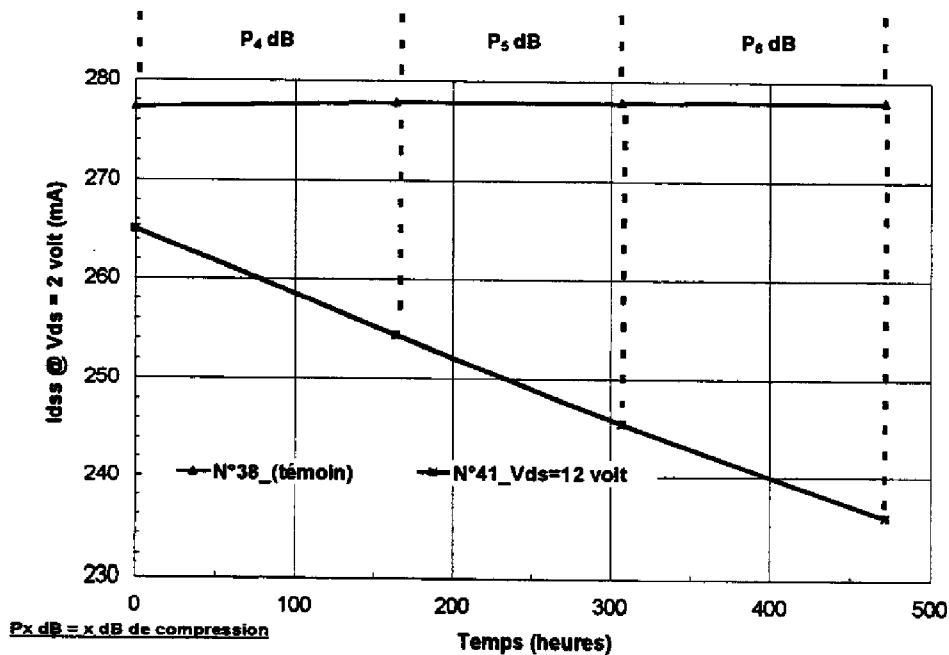


Figure 2-1 : Variation du courant de saturation sur un DEC polarisé à une tension  $V_{DS} = 12$  Volts après des paliers consécutifs allant jusqu'à 6 dB de compression du gain.

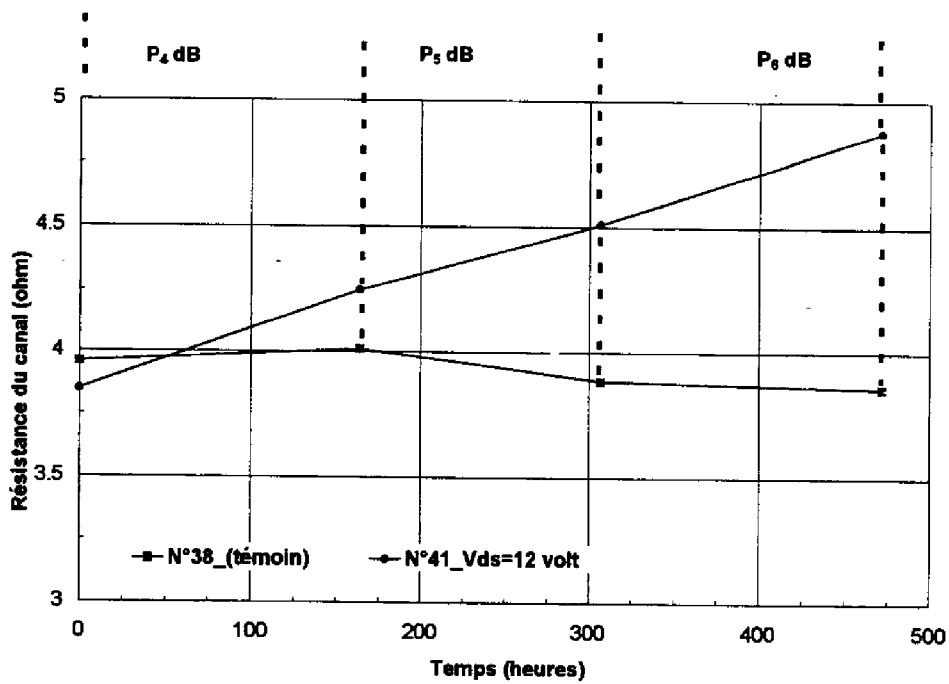


Figure 2-2 : Variation de la résistance de canal sur un DEC polarisé à une tension  $V_{DS} = 12$  Volts après des paliers consécutifs allant jusqu'à 6 dB de compression du gain.

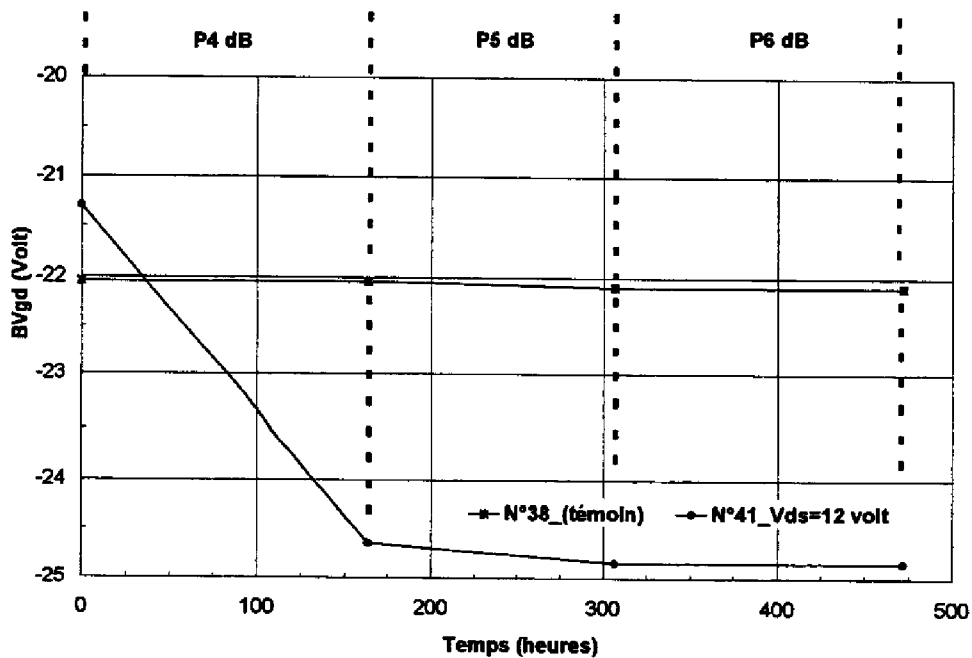


Figure 2-3 : Variation de la tension de claquage  $BV_{GDX}$  sur un DEC polarisé à une tension  $V_{DS} = 12$  Volts après des paliers consécutifs allant jusqu'à 6 dB de compression du gain.

Le tableau suivant synthétise les différentes variations des principaux paramètres mesurés après le vieillissement sous contraintes graduelles dynamiques.

<b><u>CONDITIONS DE VIEILLISSEMENT</u></b>	<b><math>I_{DS}</math> (mA)</b>	<b><math>V_P</math> (V)</b>	<b><math>R_{DSON}</math> (<math>\Omega</math>)</b>	<b><math> BV_{GD} </math> (V)</b>	<b>DEGRADATION</b>
TEMOIN	0.37 %	0.27 %	-1.9 %	1.14 %	
VARIATION TOTALE %					
VARIATION TOTALE % APRES DES PALIERS DE 2 A 5 dB DE COMPRESSION SOUS $V_{DS}=6$ VOLTS	<u>0.28 %</u>	<u>0.57 %</u>	<u>-1.45 %</u>	<u>-0.91%</u>	NON
VARIATION TOTALE % APRES DES PALIERS DE 2 A 6 dB DE COMPRESSION SOUS $V_{DS}=8.5$ VOLTS	<u>0.24 %</u>	<u>1.85 %</u>	<u>-1.69 %</u>	<u>2.89 %</u>	NON
VARIATION TOTALE % APRES DES PALIERS DE 2 A 6 dB DE COMPRESSION SOUS $V_{DS}=9.5$ VOLTS	<u>-1.37 %</u>	<u>1.54 %</u>	<u>0.70 %</u>	<u>9.61 %</u>	NON
VARIATION TOTALE % APRES DES PALIERS DE 4 A 5 dB DE COMPRESSION SOUS $V_{DS}=10$ VOLTS	<u>-3.11 %</u>	<u>-0.61 %</u>	<u>4.76 %</u>	<u>2.29 %</u>	<u>OUI</u>
VARIATION TOTALE % APRES DES PALIERS DE 4 A 5 dB DE COMPRESSION SOUS $V_{DS}=11$ VOLTS	<u>-4.16%</u>	<u>-0.3 %</u>	<u>7.25 %</u>	<u>8.44 %</u>	<u>OUI</u>
VARIATION TOTALE % APRES DES PALIERS DE 4 A 6 dB DE COMPRESSION SOUS $V_{DS}=12$ VOLTS	<u>-11.03</u>	<u>0.28 %</u>	<u>26.72 %</u>	<u>16.66 %</u>	<u>OUI</u>

Tableau 2-1 : Synthèse des mesures du vieillissement sous contraintes graduelles dynamiques

### 2.2.3 Analyse des résultats

En première analyse, la tension de pincement n'étant pas affectée alors que le courant  $I_{DS}$  et la résistance de canal  $R_{DS(on)}$  diminuent et la tension  $|BV_{GD}|$  augmente, on peut supposer que la localisation de la dégradation mise en évidence se situe au niveau du canal drain source et entre les électrodes de grille et de drain.

Une caractérisation du contact Schottky du transistor, (c'est à dire de l'électrode de grille) a été effectuée tout au long du vieillissement sous contraintes graduelles dynamiques. La caractéristique Schottky directe de la jonction grille source est conservée. Aucune dégradation n'est apparue (voir Figure 2-4).

Malgré la modification du canal drain source évoquée plus haut, la valeur de la tension de pincement demeure également inchangée. Une dégradation liée à un enfoncement du métal de grille (« gate sinking ») qui se traduit par une modification de la profondeur du canal et donc de la valeur de la tension de pincement ne peut être envisagée. Cet état de fait confirme les essais effectués à hautes températures sous contraintes statiques où ce mécanisme n'était pas mis en évidence.

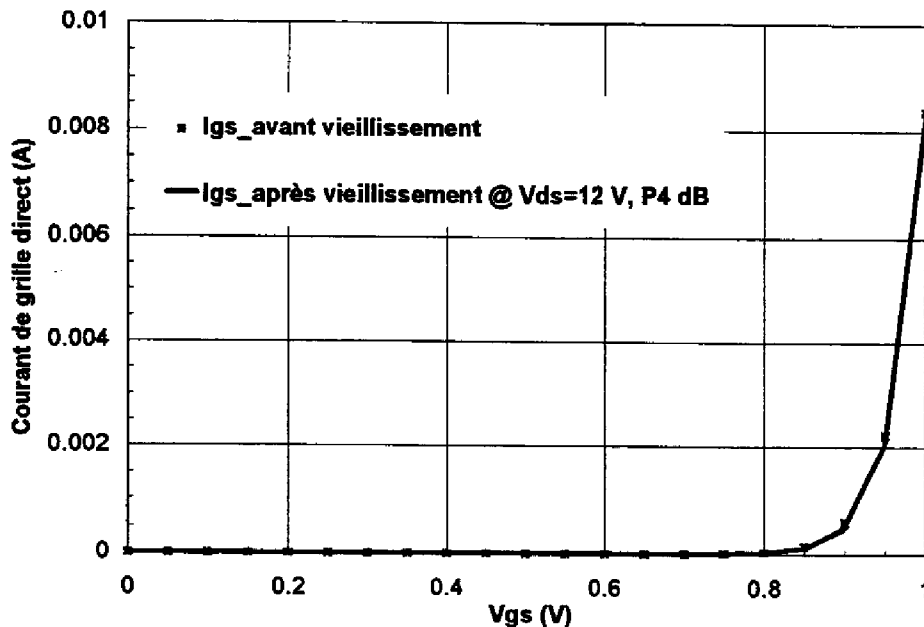


Figure 2-4 : Caractéristique directe de la jonction Schottky d'un DEC polarisé à une tension de drain de 12 Volts après des paliers consécutifs allant jusqu'à 6 dB de compression du gain.

L'ensemble des différentes dérives mises en évidence se traduit par une modification importante du réseau de sortie du transistor (voir figure 2-5).

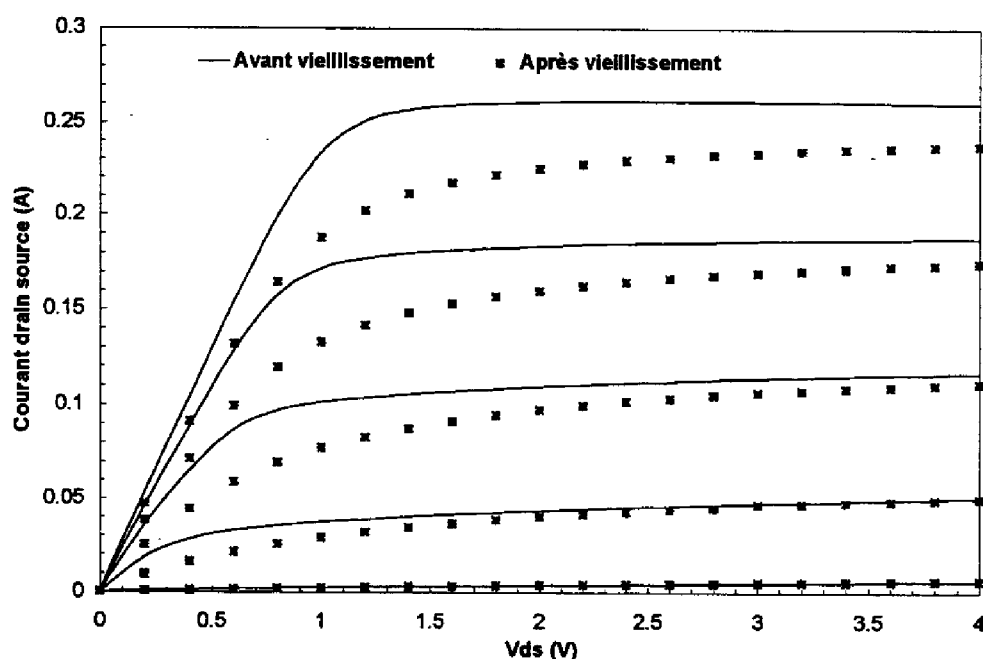


Figure 2-5 : Réseau de sortie avant et après vieillissement sous contraintes graduelles sur le véhicule de test polarisé à une tension de drain de 12 Volts

L'analyse des essais effectués au cours du vieillissement sous contraintes graduelles dynamiques a permis de cerner une aire de fonctionnement sûre à l'intérieur de laquelle seront menés les essais d'évaluation de type "life test R.F." pendant 4500 heures.

Les trois niveaux de fonctionnement choisis de manière à délimiter cette aire de sécurité sont :

- $V_{DS}=8.5$  Volts, 4 dB de compression du gain (niveau 1)
- $V_{DS}=10$  Volts, 2 dB de compression du gain (niveau 2)
- $V_{DS}=10$  Volts, 4 dB de compression du gain (niveau 3)

Les résultats obtenus au cours du "life test R.F." sont présentés dans le paragraphe suivant.

### 2.3 EVALUATION DES DERIVES -LIFE TEST R.F.-

Le détail du banc de vieillissement et la façon dont sont appliquées les différentes contraintes (électriques, thermiques) sont présentés dans le chapitre II.

### 2.3.1 Résultats

Les résultats du vieillissement sous contraintes dynamiques ("life test R.F.") effectués sur une durée de 4500 heures confirment les essais de vieillissement effectués par palier de contraintes (« step stress R.F.»).

Les évolutions des paramètres électriques sur les niveaux 1, 2 et 3 ont été analysées. Aucune variation significative n'a été détectée aux niveaux 1 et 2. Par contre une diminution du courant pouvant dépasser 5 % est observée au niveau 3 (voir figure 2-6).

Cette diminution du courant de saturation drain-source est corrélée comme nous l'avons vu précédemment avec une augmentation de la tension de claquage grille - drain (voir figure 2-7) et de la résistance de canal  $R_{DS(on)}$ .

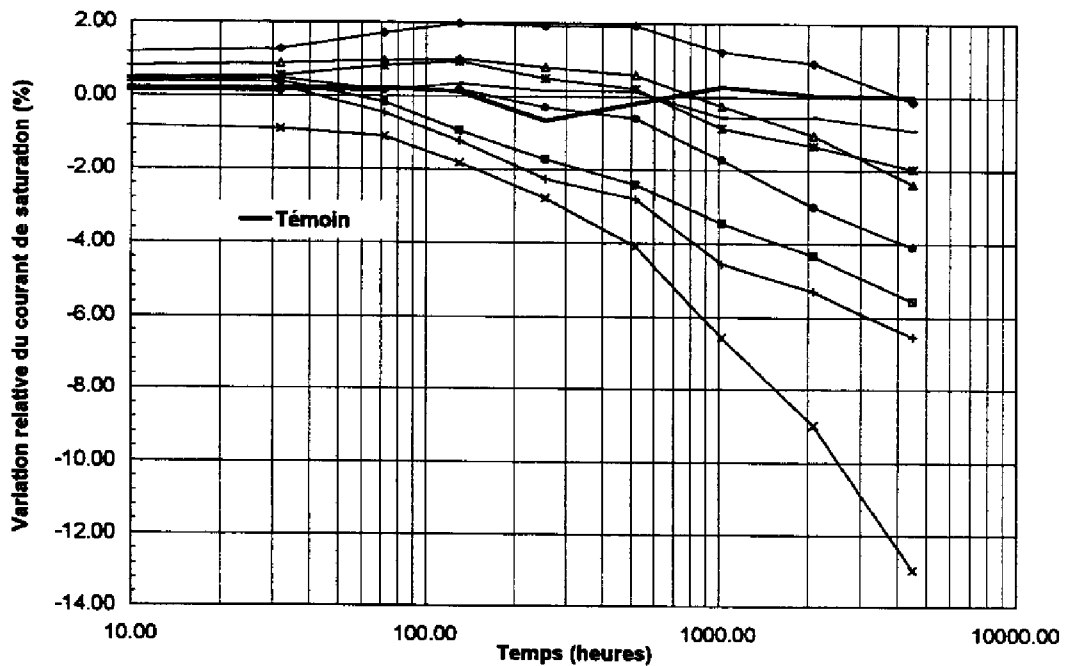


Figure 2-6 : Variation du courant de saturation  $I_{DS}$  au cours du Life Test R.F. (niveau 3)

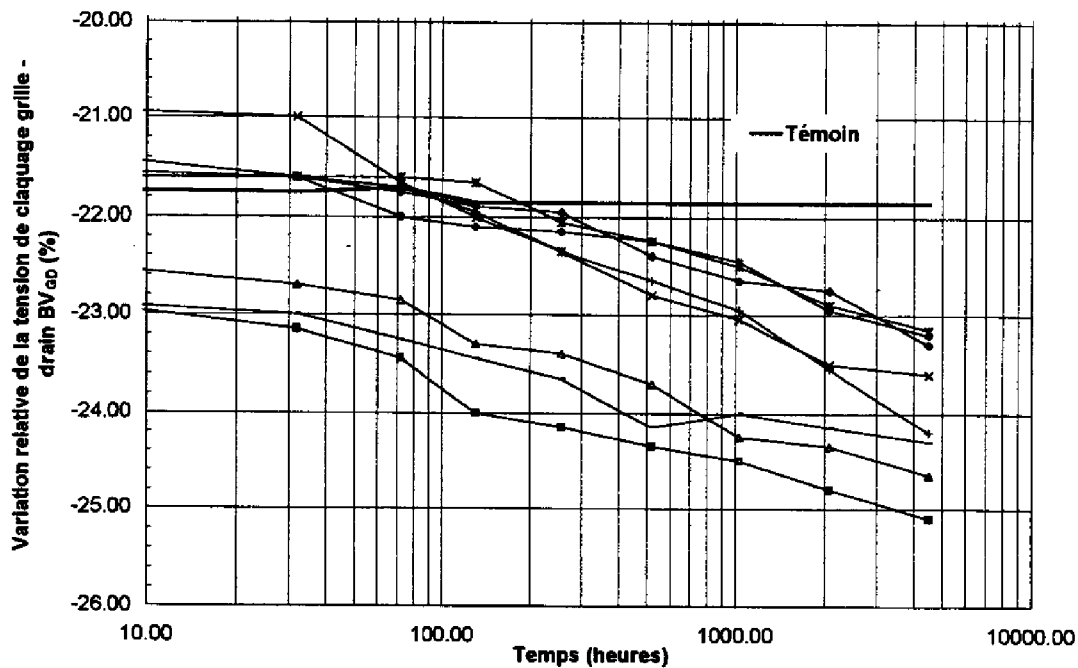


Figure 2-7 : Variation de la tension  $BV_{GD}$  au cours du Life Test R.F. (niveau 3)

### 2.3.2 Conclusion sur les essais de vieillissement sous contraintes dynamiques (4500 heures)

La combinaison d'essais de vieillissement de deux types :

- Vieillissement sous contraintes graduelles dynamiques par palier d'une semaine
- Vieillissement sous contraintes dynamiques pendant 4500 heures

s'est avérée très complémentaire.

En particulier, l'intérêt du vieillissement sous contraintes graduelles ("step stress R.F.") a été démontré.

En effet les résultats de vieillissement sous contraintes R.F. ("Life Test R.F.") corroborent les essais de vieillissement sous contraintes graduelles ("Step Stress R.F."). Les domaines de fonctionnement sûr déterminés rapidement au bout de une semaine de vieillissement lors du "Step Stress R.F." ont été confirmés par les 4500 heures de vieillissement sous contraintes R.F.

L'ensemble des essais réalisés sous contraintes dynamiques a permis de démontrer l'intérêt du vieillissement sous contraintes graduelles ("step stress R.F.") pour l'évaluation du fonctionnement de transistor de puissance.

Aucune dégradation catastrophique n'est survenue. Ce phénomène s'amorce très rapidement lors d'une utilisation du transistor dans une région susceptible de générer de fortes contraintes électriques (typiquement le niveau 3).

La principale particularité de ce mécanisme de dégradation est que celui-ci n'est pas activé thermiquement. En effet au cours du vieillissement sous contraintes graduelles, un échantillon dissipant typiquement 1.15 Watt ( $V_{DS}=8.5$  Volt, 6 dB de compression du gain) n'a présenté aucune dégradation alors que la dégradation est survenue sur un échantillon dissipant seulement 1 Watt mais sous une tension drain plus élevée ( $V_{DS}=9.5$  Volt, 4 dB de compression du gain).

Les mécanismes de dégradation mis en évidence en régime de forte compression du gain semblent donc activés par de fortes valeurs de champ électrique. Des mécanismes de claquage de la jonction grille drain liés à des effets d'ionisation par impact peuvent en être responsables. En effet, contrairement aux mécanismes de diffusion activés principalement par la température, ces mécanismes sont activés par une combinaison de la polarisation, du niveau de puissance, de l'adaptation et des caractéristiques intrinsèques du composant (typiquement la caractéristique de claquage grille - drain). Si l'on se réfère à la figure 2-6, deux échantillons ne présentent pas de dégradation. Sur ces deux échantillons marginaux la caractéristique initiale du courant d'avalanche grille - drain s'amorce pour une valeur plus élevée du champ électrique et donc de la différence de potentiel grille - drain.

Cependant avant d'appliquer de tels types d'essais de vieillissement, la maturité de la filière doit être démontrée au préalable (au travers d'essais classiques sous contraintes statiques et du stockage haute température effectués sur le TCV) afin de n'activer, lors de ces essais, que des mécanismes de dégradation liés aux conditions de fonctionnement. On peut dès lors s'affranchir d'essais classiques de 4000 heures lourds à mettre en oeuvre et dont l'inconvénient majeur est d'être très longs (6 mois).

D'après les résultats obtenus, des mécanismes de dégradations liés à des effets d'ionisation par impact sont suspectés. Nous présenterons donc dans le paragraphe suivant un modèle du mécanisme de dégradation.



### 3 MODELE DU MECANISME DE DEGRADATION SUSPECTE

Le phénomène de claquage du transistor qui prend naissance le plus souvent dans les régions de fort champ électrique entre la grille et le drain, se traduit par une augmentation brutale du courant pouvant entraîner la destruction du composant. Il s'agit d'une des principales limites de fonctionnement d'un transistor de puissance.

Les origines de ce mécanisme sont nombreuses. Nous citerons les plus fréquentes : emballement thermique, effet tunnel et ionisation par impact.

- Le claquage lié à l'emballement thermique (cf. chapitre I) est lié à la dépendance en température de la conductivité du semi conducteur.
- Le rôle de l'effet tunnel, caractérisé par un coefficient de transmission « T » du semi conducteur vers le métal de grille, est significatif lorsque le dopage du semi conducteur est important et si la barrière de potentiel entre le semi conducteur et le métal est suffisamment basse.
- L'ionisation par impact est la conséquence d'un choc inélastique entre un électron chaud et le réseau cristallin et se traduit par la création d'une paire électron trou (transfert d'un électron de la bande de valence à la bande de conduction) (voir figure 3-1). L'électron généré est collecté par le drain et le trou par la grille du transistor.

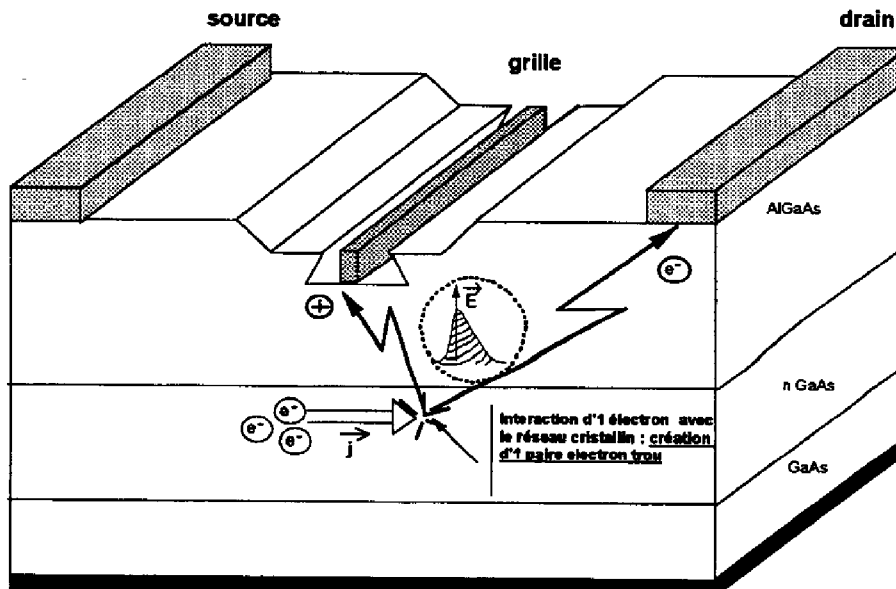


Figure 3-1 : Mécanisme de l'ionisation par impact

Ces deux mécanismes, effet tunnel et ionisation par impact, se différencient par la dépendance de chacun en température. En effet, comme nous l'avons montré au chapitre I, la multiplication des porteurs par ionisation par impact diminue lorsque la température augmente (si la température  $\nearrow$ , la valeur absolue de la tension de claquage par ionisation par impact  $\searrow$ ). Par contre, le coefficient en température de la tension de claquage de la composante tunnel est négatif (si la température  $\nearrow$ , la valeur absolue de la tension de claquage par effet tunnel  $\searrow$ ) en raison de la diminution de la largeur de la bande interdite  $E_g$  dans un semi conducteur en Arséniure de Gallium ( $E_g$ ), quand la température augmente.

Dans le cadre de nos applications où l'obtention des performances électriques (puissance de sortie, rendement) requiert un champ électrique important entre l'électrode de grille et de drain élevé, une attention toute particulière sera apportée à l'ionisation par impact. Le phénomène de multiplication des porteurs par ionisation par impact a été présenté au chapitre I. Nous allons présenter une méthode électrique permettant de mettre en évidence ce phénomène sur les transistors étudiés.

### **3.1 MISE EN EVIDENCE DE L'IONISATION PAR IMPACT**

L'ionisation par impact se traduit sur les transistors à effet de champ par une augmentation soudaine du courant de grille [1], [2], [3].

Les électrons provenant de la création de paires électron - trou sont collectés vers le contact de drain. Ces derniers n'affectent pas la valeur du courant de drain car leur contribution est très faible devant la valeur du courant généré par les électrons du canal en provenance de la source.

Les trous générés par l'ionisation par impact, sous l'influence du champ électrique sont évacués principalement vers la grille où ils sont responsables de l'apparition d'un courant de grille qui se combine aux courants de fuites de cette dernière.

Ce courant de trous lié à l'ionisation par impact peut être exprimé sur un transistor à effet de champ par la relation suivante [4] :

$$I_{\text{trous}} = w \int_0^L \int_0^a q \alpha_n(E) n v_{\text{sat}} dx dy \quad \text{Equation 3-1}$$

où :  $w$  est la largeur de grille,  $L$  la longueur du canal,  $a$  la profondeur du canal,  $v_{\text{sat}}$  la vitesse de saturation,  $n$  la concentration des électrons et  $\alpha_n(E)$  le coefficient d'ionisation par impact.

En raison de la dépendance exponentielle entre la valeur du coefficient d'ionisation et l'inverse de la valeur du champ électrique (voir Figure 3-2), la principale contribution du courant de grille d'ionisation par impact provient de la région du transistor où le champ

électrique et donc le coefficient d'ionisation sont maximum. De ce fait l'équation 3-1 se réduit à :

$$I_{\text{trous}} = \alpha_n(E) I_{\text{ds}} L_{\text{eff}} \quad \text{Equation 3-2}$$

$L_{\text{eff}}$  est la longueur effective où le champ électrique est maximum (les électrons transitent dans cette région à la vitesse de saturation) et  $I_{\text{ds}}$  la valeur du courant de drain.

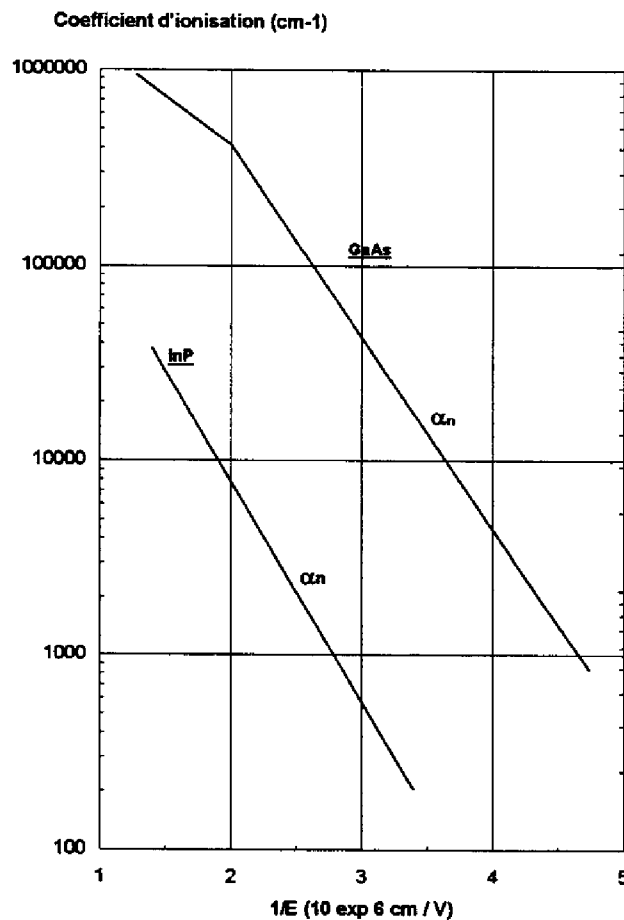


Figure 3-2 : Dépendance du coefficient d'ionisation par impact des électrons avec l'inverse de la valeur du champ électrique pour AsGa et InP d'après [5]

Des modèles à deux dimensions permettent de simuler la valeur du champ électrique [6]. Des relations analytiques simples [7] expriment également la valeur de ce champ. Toutefois dans le cadre de notre étude, ce champ électrique étant difficilement accessible, nous nous limiterons à évaluer le produit  $\alpha_n(E) L_{\text{eff}}$  directement mesurable et donné par le rapport du courant de trou  $I_{\text{trous}}$  sur le courant de drain du transistor  $I_{\text{ds}}$ .

### 3.1.1 Mesure du courant de trous

La principale difficulté pour évaluer le rapport  $I_g/I_{ds}$  est de différencier dans la mesure du courant de grille, le courant de trous  $I_{trous}(V_{GS}, V_{DS})$ , du courant de fuite inverse de la jonction Schottky  $I_{Schottky}(V_{GS}, V_{GD})$ .

En effet :

$$I_{grille}(V_{GS}, V_{DS}) = I_{trous}(V_{GS}, V_{DS}) + I_{Schottky}(V_{GS}, V_{GD}) \quad \text{Equation 3-3}$$

Le courant de fuite inverse de la jonction Schottky se compose du courant de fuite inverse des jonctions grille - source  $I_{Schottky GS}(V_{GS})$  et grille - drain  $I_{Schottky GD}(V_{GD})$ .

$$I_{Schottky}(V_{GS}, V_{GD}) = I_{Schottky GS}(V_{GS}) + I_{Schottky GD}(V_{GD}) \quad \text{Equation 3-4}$$

Les courants inverse  $I_{Schottky GD}(V_{GD})$  et  $I_{Schottky GS}(V_{GS})$  peuvent être évalués par des mesures classiques respectivement source en l'air et drain en l'air. Cependant lorsque la source est en l'air, la valeur de la tension grille - source est approximativement égale à la valeur de la tension grille - drain ce qui ne correspond pas au fonctionnement normal du transistor [4]. De ce fait la valeur du courant  $I_{Schottky GD}(V_{GD})$  obtenue est supérieure à celle obtenue sous des conditions de polarisation nominales en raison de la contribution de la jonction grille - source.

Afin de s'affranchir de la contribution de la jonction grille - source pour l'évaluation du courant de fuite inverse grille - drain  $I_{Schottky GD}(V_{GD})$ , on polarise dans un premier temps le transistor dans son régime de pincement. On soustrait au courant de fuite mesuré  $I'_{grille pincement}$  (fonction de la tension  $V_{GD}$ ), le courant de fuite inverse de la jonction grille - source correspondant à la polarisation grille - source appliquée (canal pincée)  $I_{Schottky GS}(V_{GS=pincement})$  mesuré au préalable.

$$I_{Schottky GD}(V_{GD}) = I'_{grille pincement}(V_{GD}) - I_{Schottky GS}(V_{GS=pincement}) \quad \text{Equation 3-5}$$

La valeur du courant inverse grille - drain obtenue est plus représentative du fonctionnement nominal du transistor plutôt qu'une mesure classique avec la source en l'air.

La mesure de la contribution du courant inverse grille source  $I_{Schottky GS}(V_{GS})$  pose beaucoup moins de difficultés. Elle est obtenue par la mesure classique de la caractéristique inverse grille - source avec le drain en l'air. Le courant de trous est donc obtenu à partir de la mesure du courant de grille  $I_{grille}(V_{GS}, V_{DS})$  pour différentes valeur de  $V_{DS}$  en fonction de la tension  $V_{GS}$  par :

$$I_{trous}(V_{GS}, V_{DS}) = I_{grille}(V_{GS}, V_{DS}) - I_{Schottky GD}(V_{GD}) - I_{Schottky GS}(V_{GS}) \quad \text{Equation 3-6}$$

Les mesures du courant de grille de trous pour différentes valeurs de  $V_{DS}$  en fonction de la tension  $V_{GS}$  sont représentées sur la figure 3-3. L'allure du courant de grille est tout à fait typique d'un courant généré par ionisation par impact.

Lors du passage de la tension de grille  $V_{GS} = V_p$ , ( $V_p$  est la tension de pincement) à  $V_{GS}=0$  Volts, le nombre d'électrons (courant de drain) augmente alors que la valeur du champ électrique diminue. Sous l'action combinée du champ électrique et de la densité des porteurs la génération de paire électron - trou augmente ( $I_g$  croît), passe par un maximum pour ensuite décroître, l'énergie des électrons étant devenue trop faible en raison de la chute de la valeur du champ électrique.

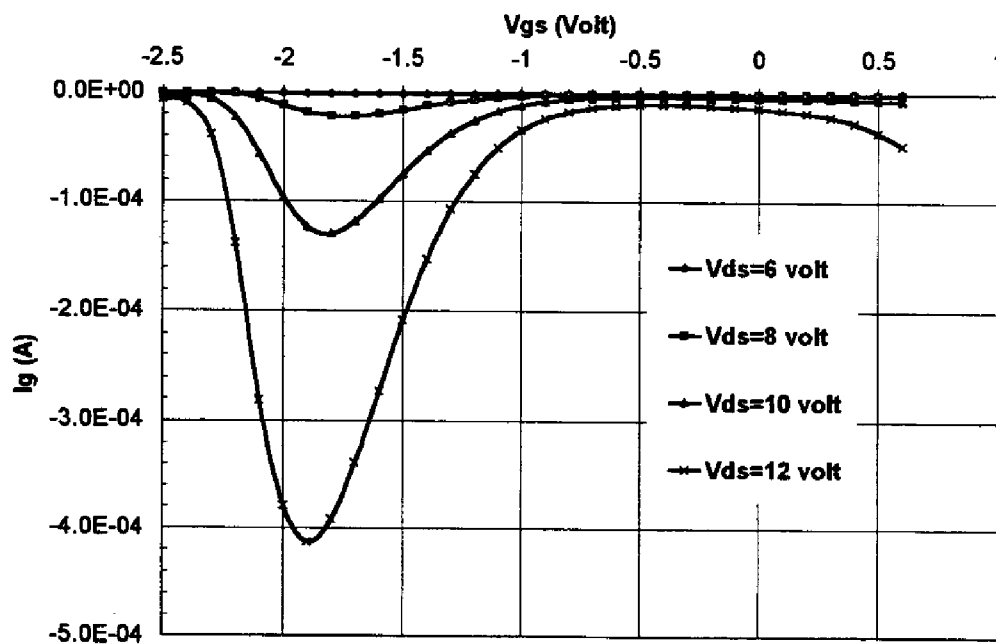


Figure 3-3 : Mesure du courant de trous sur le véhicule de caractérisation dynamique (tension de pincement de l'ordre de -2.5 Volts)

A titre de comparaison, si l'on regarde la courbe obtenue sur un autre type de transistor MMIC de puissance de même taille (voir figure 3-4), nous voyons que l'allure de la courbe en forme de cloche et donc le phénomène d'ionisation par impact est décalée vers des valeurs de tension de grille proche de zéro.

Cette différence peut s'interpréter en faisant l'hypothèse que l'ionisation par impact dans le cas de la figure 3-3 est maximale lorsque la valeur du champ électrique est importante (Tension de grille fortement négative) alors que dans le cas de la figure 3-4, le déclenchement de l'ionisation par impact est provoqué par la densité de courant donc des électrons. En effet, dans

ce cas précis, lorsque le courant de trous dû à un effet d'ionisation par impact est maximal, le canal est ouvert.

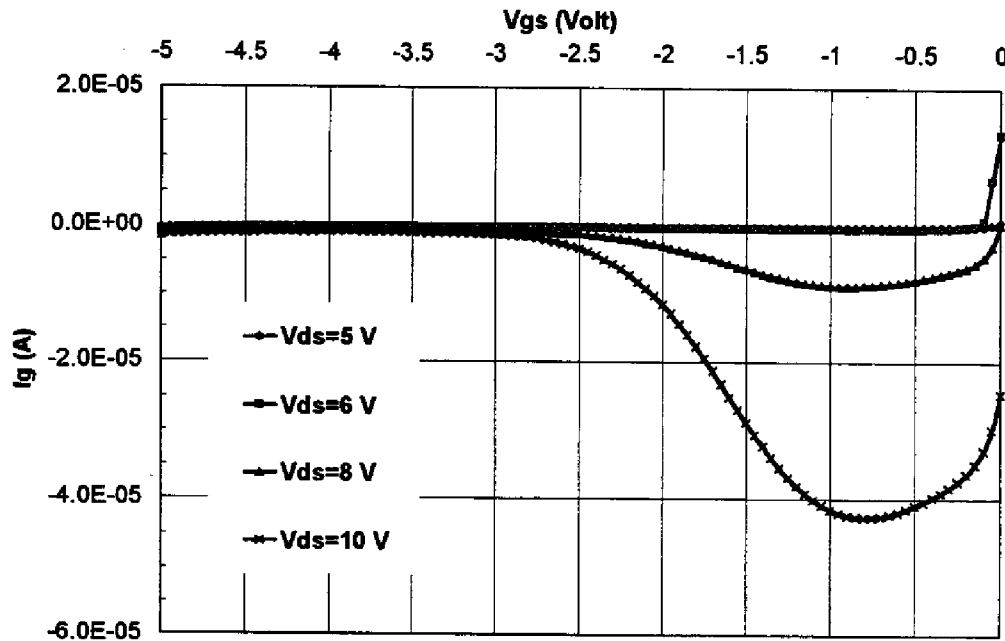


Figure 3-4 : Mesure du courant de trous sur un transistor MMIC de la filière Thomson HP07 (tension de pincement de l'ordre de -4.5 Volts)

La différence de l'allure du courant de trous généré par ionisation par impact sur ces deux types de transistor est sans doute liée à leur technologie respective, notamment au niveau du contact de grille.

Diverses améliorations technologiques ont été apportées afin de remédier à ce problème et de repousser les limites de ce phénomène par l'obtention de tensions de claquage plus élevées.

- le dépôt d'une couche n+ au niveau des contacts de drain et de source [8], [9].
- le creusement de la région où le contact de grille est déposé (« recess ») [10], [11].

Cette dernière amélioration apparaît comme étant la plus significative. Les sites où est localisé le phénomène d'avalanche sont situés principalement sous le côté drain de la grille lorsque le canal est pincé et au niveau de l'électrode de drain lorsque le canal est ouvert [12],[13]. Une comparaison sur deux types de transistors à effet de champ [14] a montré que l'avalanche se situe sur le côté drain de la grille pour les transistors possédant une structure de grille enterrée pour tout type de conditions de polarisation et se déplace vers le contact de drain, quand le canal est ouvert pour les topologies planaires (non enterrées).

Le creusement de la région où le contact de grille est déposé semble diminuer la valeur du champ électrique au voisinage de l'électrode de drain [11] limitant ainsi le phénomène de claquage lorsque le canal est ouvert. Toutefois le creusement au niveau de la grille augmente la valeur de la capacité grille-drain. De ce fait un compromis devra être trouvé si l'on ne veut pas dégrader le gain du transistor par effet Miller.

Au cours de ces cinq dernières années les fabricants (c'est le cas notamment de la compagnie Texas Instruments) ont adopté la structure à double creusement de grille [15], [16] qui repousse encore les limites du fonctionnement du transistor. Cette topologie améliore la tension de claquage non seulement lorsque le canal est pincé, mais également lorsque le canal est ouvert.

Nous avons montré qu'il existe un lien étroit entre la localisation du phénomène de claquage du transistor et sa technologie (simple, double creusement de la région où est déposée la grille). Nous pouvons donc supposer que la différence obtenue dans la mesure du courant de trous sur les transistors HFET et HP07 est liée principalement aux facteurs technologiques de ces derniers : le transistor HFET possède un double creusement de grille contre un seul sur le transistor HP07. De ce fait l'ionisation par impact est localisée sur le transistor HFET au voisinage de la grille (coté drain) alors que sur l'autre type de transistor nous sommes en présence d'ionisation par impact localisée dans le canal du transistor, au niveau de l'électrode de drain.

### **3.1.2 Dépendance en température du courant de trou**

Afin de confirmer l'hypothèse d'un courant de trou généré par ionisation par impact des mesures à diverses température ont été effectuées.

La figure 3-5 représente le courant de trous mesuré pour une tension drain - source de 9 Volts à des températures variant de -10°C à 75°C.

La valeur du courant de trous en forme de « cloche » typique d'un courant généré par ionisation par impact diminue lorsque la température augmente.

Ces mesures confirment la dépendance négative en température du coefficient  $\alpha$  et donc de l'ionisation par impact comme cela l'a été évoqué au chapitre I. L'intensité du phénomène d'ionisation par impact est fonction comme nous le voyons sur la figure 3-5 de la température mais également aussi de la plage des valeurs de tension grille - source pour lesquelles la multiplication des porteurs se produit.

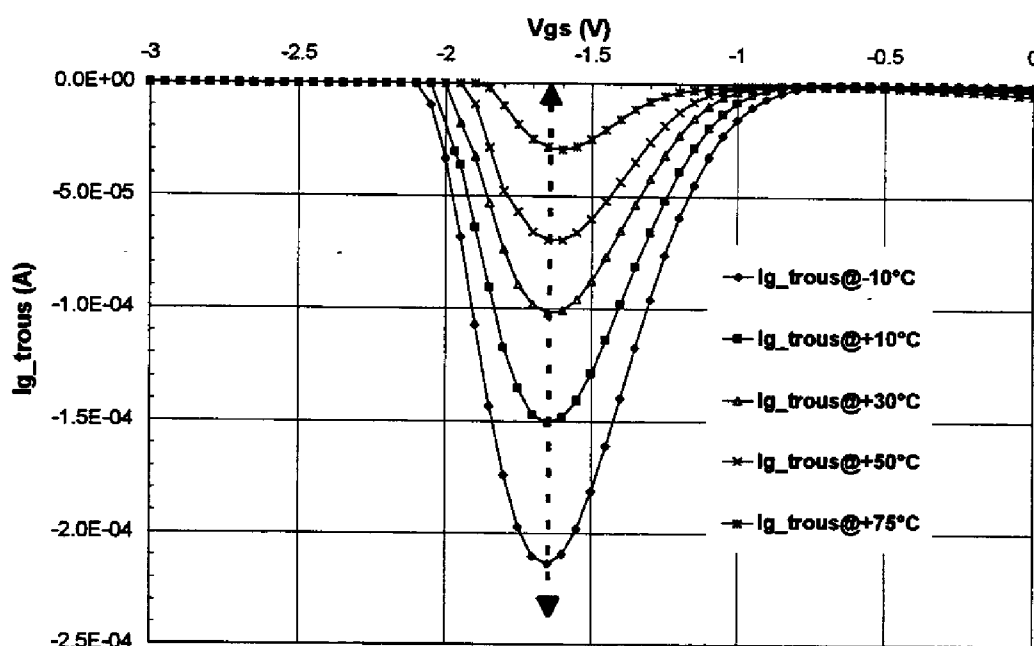


Figure 3-5 : Valeurs du courant de trous généré par ionisation par impact en fonction de la température

### 3.1.3 Mise en évidence du seuil de déclenchement du phénomène d'ionisation par impact

Dans le cas de notre application, le courant de trous mesuré (voir Fig. 3-3) est généré lorsque la valeur du champ électrique est importante (tension de grille fortement négative). La valeur du champ électrique est dans ce cas précis directement liée à la valeur de la différence de potentiel entre l'électrode de grille et de drain.

Nous avons donc représenté sur la figure 3-6 la valeur du rapport  $I_{trous} / I_{ds}$  autrement dit  $\alpha_n(E) \times L_{eff}$  (d'après l'équation 3-2) en fonction de  $1 / V_{GD}$ . Cette figure démontre que le courant de trous dû à l'ionisation par impact est généré à partir d'un certain seuil. On retrouve lorsque le phénomène est amorcé la dépendance linéaire du coefficient d'ionisation par impact avec l'inverse du champ électrique comme indiqué sur la figure 3-2.



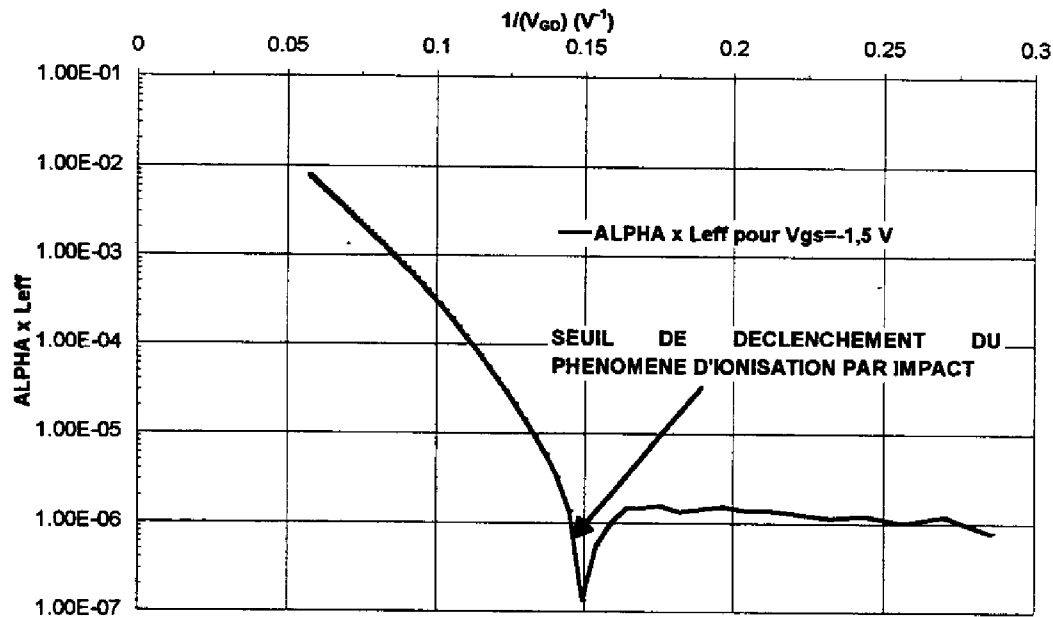


Figure 3-6 : Représentation du produit  $\alpha_n(E) L_{eff}$  en fonction de l'inverse de la tension drain-source.

L'évaluation précise de la valeur du coefficient d'ionisation  $\alpha$  et sa dépendance en fonction de l'inverse de la valeur du champ électrique nécessite de connaître :

- La valeur du champ électrique maximum  $E_{MAX}$ .
- La longueur efficace  $L_{EFF}$ . Cette valeur est fonction du dopage, des caractéristiques géométriques du composant et des polarisations appliquées.

La valeur de  $L_{EFF}$  n'est pas directement mesurable. Toutefois si on prend des valeurs typiques, inférieures au  $\mu m$ , (des simulations donnent des valeurs de l'ordre de  $0,4 \mu m$  [4]), à partir de la figure 2-8 on obtient approximativement la dépendance du coefficient d'ionisation par impact en fonction de l'inverse de la valeur du champ électrique. L'ordre de grandeur obtenu est en accord avec les valeurs de coefficient d'ionisation par impact publiées [5].

### 3.1.4 Dépendance de la valeur de la tension de claquage drain - source en fonction de la valeur de la tension grille - source

La figure 3-7 représente les évolutions de la tension de claquage drain - source du HFET  $BV_{DS}$  définie pour un courant de grille de  $0,8$  mA en fonction de la tension  $V_{GS}$ .

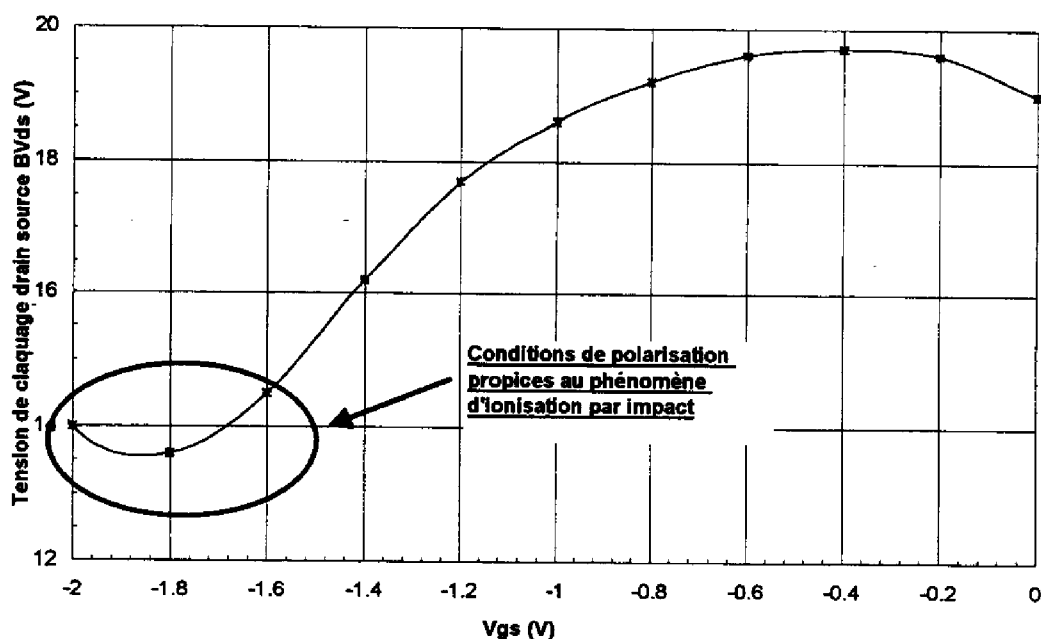


Figure 3-7 : Tension de claquage drain-source du HFET déterminée en fonction de la valeur de la tension grille - source

L'évaluation du phénomène de claquage du HFET par la visualisation de la tension de claquage  $BV_{DS}$  confirme les hypothèses formulées jusqu'ici, à savoir la prépondérance de phénomène d'ionisation par impact.

Lors de l'excursion de la tension de grille de 0 à -0.8 Volt, la densité de courant dans le canal chute alors que la valeur du champ électrique dans le canal ne varie pas énormément. Le seuil pour lequel le phénomène d'ionisation par impact devient considérable n'est pas atteint. La valeur de la tension de claquage drain source augmente légèrement en raison de la diminution de la densité de courant car  $V_{GS}$  diminue.

Pour des polarisations de grille de -0.8 à -1.8 Volt (pincement du canal), le champ électrique augmente. Le phénomène d'ionisation par impact étant plus intense, la valeur de la tension de claquage diminue. Cette valeur présente un minimum pour une tension grille - source du même ordre de grandeur que celle pour laquelle la multiplication des porteurs par ionisation par impact présente un maximum (voir figures 3-3 et 3-5), à savoir  $V_{GS} = -1.8$  Volts.

L'existence d'une tension de grille critique pour laquelle la tension de claquage drain - source est minimale est d'ailleurs confirmée par des simulations physiques du transistor [12]

Ces différentes mesures (mesure du courant de trou, dépendance de la tension de claquage en fonction de la polarisation de grille), mettent en évidence une composante de courant due à la multiplication des porteurs par ionisation par impact lorsque la tension  $V_{GS}$  est proche du

pincement. Ce phénomène est localisé principalement au voisinage de la grille coté drain sur le transistor du circuit d'évaluation dynamique.

Lors de l'utilisation en régime de forte compression du gain, les valeurs dynamiques des différences de potentiel drain - source et grille - drain sont considérables. Le seuil permettant l'amorce de l'ionisation par impact est atteint. Des paires électron - trou sont générées. Toutefois à la différence d'un phénomène de claquage lié par exemple à un emballement thermique, le composant n'est pas détruit. Une destruction de ce dernier liée à l'ionisation par impact nécessiterait d'appliquer des valeurs de champ électrique supérieures à celles fixées par les conditions de fonctionnement.

L'intérêt des manipulations précédemment citées est de mettre en évidence une amorce du phénomène (on parlera de préclaquage du composant) sans pour cela occasionner une dégradation notable du composant.

Les effets de multiplication des porteurs par ionisation par impact ayant été démontrés, nous allons nous attacher maintenant à l'impact de ce phénomène sur le fonctionnement et la fiabilité du composant.

#### 4 L'IONISATION PAR IMPACT ET SES CONSEQUENCES SUR LE FONCTIONNEMENT DU TRANSISTOR (EFFET PARASITE)

La visualisation du réseau statique de sortie  $I_{DS}=f(V_{DS}, V_{GS})$  du transistor HFET met en évidence une région où le courant de drain présente une brusque augmentation (voir figure 4-1). Cet effet relaté dans la littérature est appelé effet de coude [17] [18].

Cet effet mis en évidence par des mesures statiques est atténué lors des mesures impulsionnelles en raison de la durée trop courte de l'impulsion.

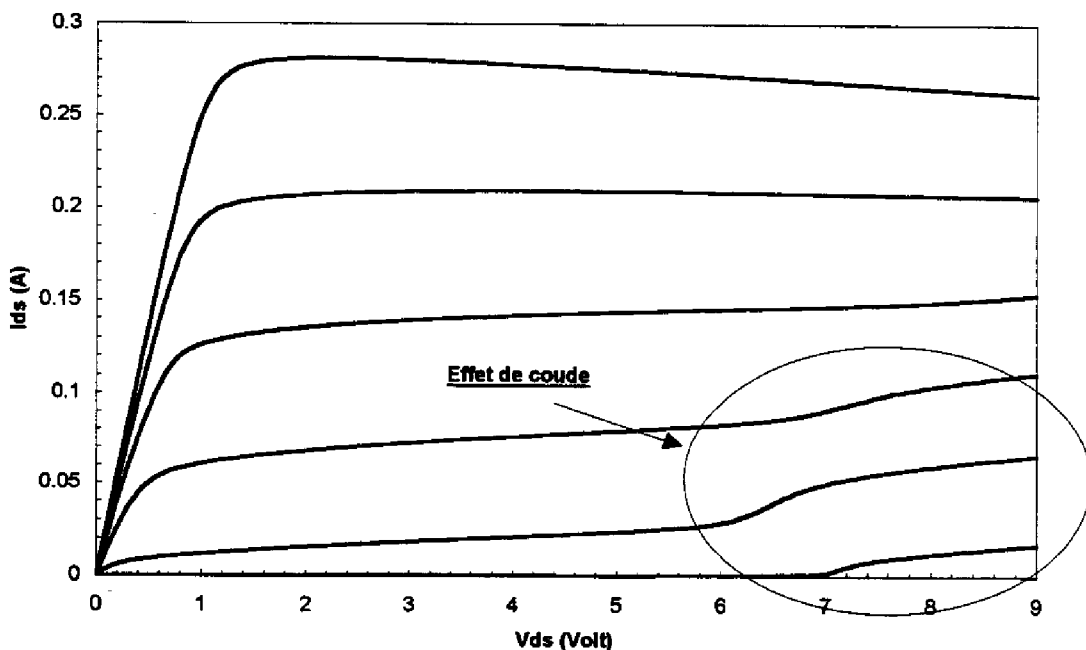


Figure 4-1 : Réseau de sortie statique du transistor HFET

La visualisation simultanée du réseau de sortie -figure 4-1- et du réseau  $I_G(V_{GS}, V_{DS})$  voir figure 3-3, montre une parfaite corrélation entre l'augmentation du courant de grille (« effet de cloche ») et l'augmentation du courant de drain (« effet de coude »). Ces deux effets présentent le même comportement à savoir une diminution lorsque la température augmente (voir figure 4-2). Cet effet de coude peut être également visualisé par la mesure de la conductance de sortie  $g_{DS}$  (voir figure 4-3) à diverses températures.

$$g_{DS} = \left. \frac{\partial I_{DS}}{\partial V_{DS}} \right|_{V_{GS} = \text{cte}}$$

Equation 4-1

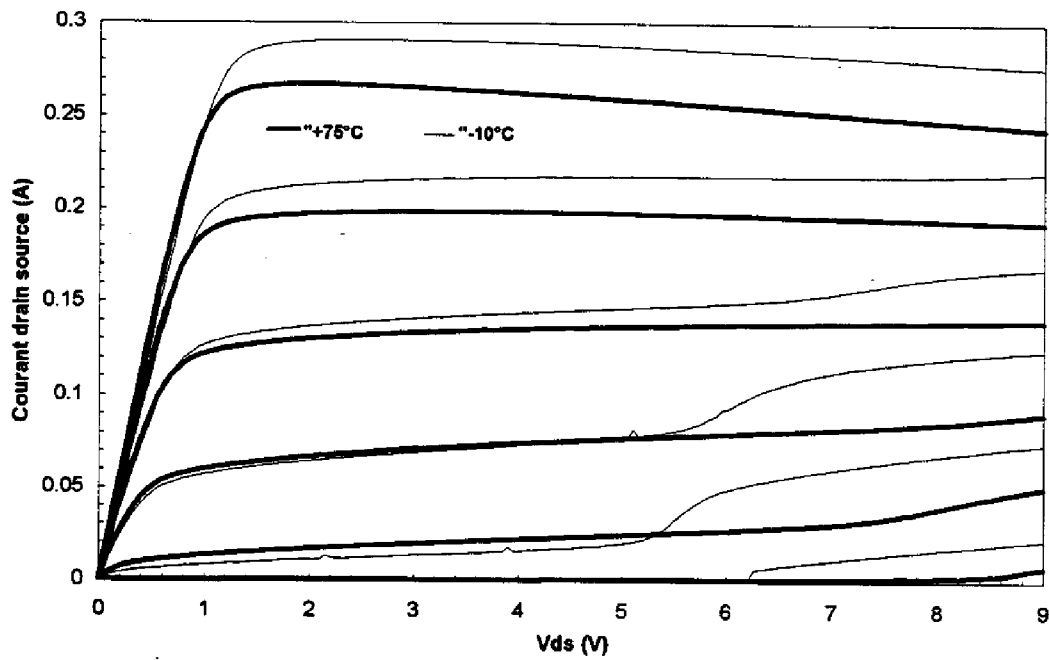


Figure 4-2 : Réseau de sortie du transistor à -10°C et 75°C

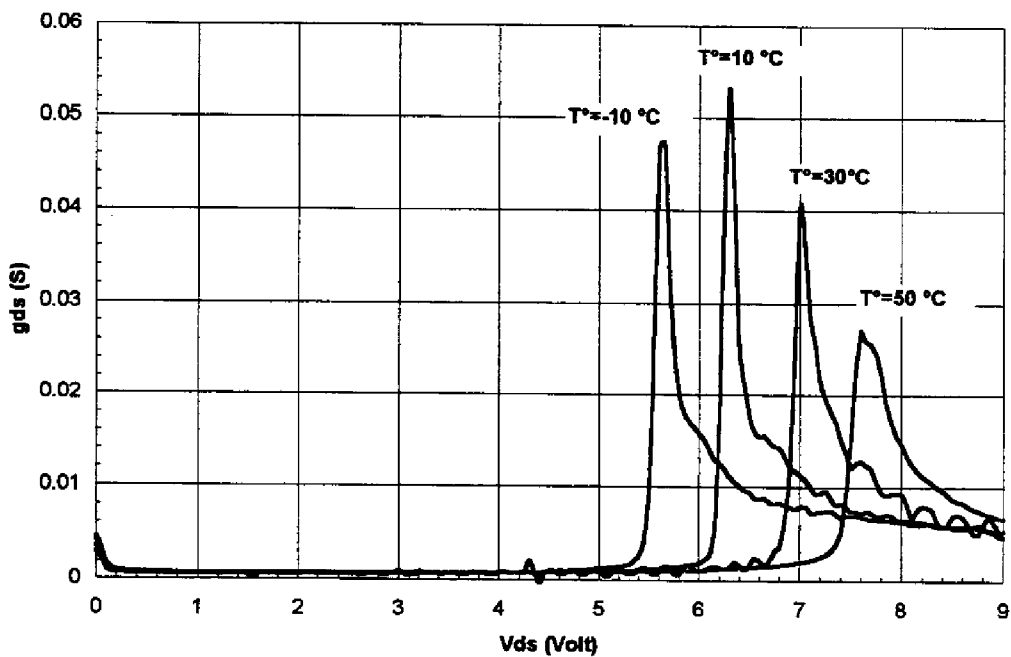


Figure 4-3 : Mesure de la conductance de sortie  $g_{DS}$  à différentes températures

#### **4.1 ORIGINE DE L'EFFET DE COUDE : SYNTHESE BIBLIOGRAPHIQUE**

L'interprétation de l'origine de l'excès de courant de drain (effet de coude) mis en évidence ci-dessus repose sur la multiplication des porteurs résultant du mécanisme d'ionisation par impact générant une paire électron trou.

Dans le cas des transistors à effet de champ sur Arséniure de Gallium, les porteurs majoritaires sont les électrons. Une multiplication de ces derniers par le mécanisme d'ionisation par impact ne modifie pas la densité de ces derniers et par conséquent n'est guère décelable sur le courant de drain.

Cependant à tout électron généré correspond un trou. Cette modification de la densité des porteurs minoritaires est à l'origine de l'effet de coude.

##### **4.1.1 Influence de la passivation**

J M Dumas [17] a montré que des transistors protégés avec une couche de  $\text{SiO}_2$  étaient sujets au coude de courant qui établit une transition entre deux régimes de saturation du courant  $I_{DS}$ .

Nous avons vu, (voir chapitre I) la présence d'une densité de charges négatives et donc d'une zone de charge d'espace associée au niveau de la surface des transistors en Arséniure de Gallium.

Les trous générés par l'ionisation par impact sous l'influence du champ électrique sont évacués principalement vers la grille, mais également aussi vers les états de surface qui agissent comme des puits de potentiel. Les trous s'accumulent en surface et compensent les charges négatives (pièges). La hauteur de barrière et donc la zone de charge d'espace diminuent. A cette diminution de la zone de charge d'espace correspond une augmentation du courant de saturation  $I_{DS}$ .

Une passivation à base de Nitrure ( $\text{Si}_3\text{N}_4$ ) permet toutefois une amélioration du comportement du transistor vis à vis de ce phénomène.

##### **4.1.2 Influence de l'interface substrat-couche active**

La compréhension de l'influence de l'interface substrat - couche active vis à vis de l'effet de coude nécessite au préalable une compréhension des effets de pièges dans le matériau. Nous présenterons donc succinctement un rappel sur le processus de transition des porteurs bande à bande et notamment sur le processus de génération recombinaison des porteurs lié à la présence d'impuretés et de défauts du cristal.

Un piège a la possibilité de capturer ou d'émettre un électron (un trou). Il est caractérisé par une énergie d'activation  $E_a$  et une section de capture  $\sigma$  ( $1/m^2$ ). Ce piège sera activé (capture ou émission) lorsque le niveau de Fermi coïncide avec le niveau d'énergie du piège.

La figure 4-4 représente les 4 types de transitions possibles :

- capture d'un électron libre par un piège primitivement inoccupé (1)
- émission d'un électron libre par un piège occupé (2)
- un électron de la bande de valence vient occuper un piège vide (équivalent à l'émission d'un trou) (3)
- un piège occupé restitue un électron à la bande de valence (équivalent à la capture d'un trou) (4)

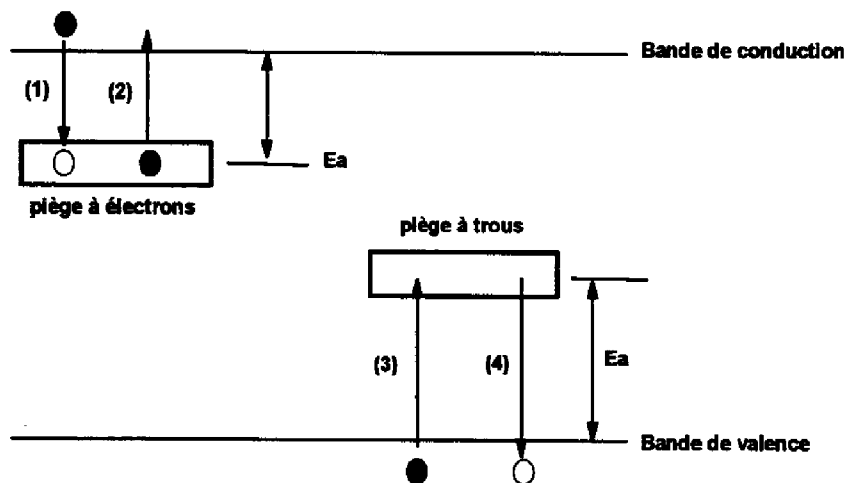


Figure 4-4 : Représentation des différentes transitions possibles lors du processus de génération recombinaison des porteurs liés à la présence d'impuretés et de défauts du cristal

A Belhadj et al [18] ont montré dans le cas d'un transistor à effet de champ conventionnel la présence de deux types de pièges :

- le niveau  $EL_2$  est un piège donneur introduit volontairement dans le substrat afin de compenser les impuretés acceptrices du substrat.
- le niveau  $EL_3$  en quantité très faible est un piège présent à la fois dans le substrat et dans la couche active.

Il a été montré [19] la présence de pièges de type p ( $N_{SA}$ ) au niveau de la couche active lorsque celle-ci est réalisée par épitaxie par jet moléculaire. De ce fait une zone de charge d'espace apparaît lors de la mise en contact du substrat et de la couche active.

En considérant que l'interface substrat / couche active est abrupte, l'équation de neutralité s'écrit :

$$N_D^+ W_c = (N_{SA}^- - N_{EL}^+) W_s \quad \text{Equation 4-2}$$

où :  $N_{SA}^-$  et  $N_{EL}^+$  sont les densités de porteurs ionisés,  $W_c$  est l'épaisseur de la zone dépeuplée positive dans le canal,  $W_s$  est l'épaisseur de la zone dépeuplée dans la couche tampon.

La présence de cette zone de charge d'espace affecte principalement les transistors dont la couche active est réalisée principalement par implantation ionique. L'épitaxie par jets moléculaires permet de s'affranchir de cet effet parasite à la condition de limiter le taux d'impuretés résiduelles dans la couche tampon.

Une partie des trous générée par la multiplication de porteurs par ionisation par impact est également évacuée vers le substrat. Ce courant de trous provoque une chute de potentiel dans la couche tampon ou dans le substrat. Cette chute de potentiel se traduit par une augmentation du courant de drain (effet de coude) induite par une diminution de la zone de la charge d'espace dans le canal.

Cet effet de coude apparaît également sur les transistors à gaz bi dimensionnels (HEMT) [20]. Il a été montré que dans ce cas précis la densité surfacique du gaz bi dimensionnel était modulée par le courant de trous générés par ionisation par impact.

#### **4.2 EFFET DE COUDE SUR LE TRANSISTOR HFET**

Diverses améliorations technologiques ont été proposés pour remédier à l'effet de coude :

- une passivation à base de Nitrure permet de s'affranchir de l'effet de coude lié aux états de surface.
- Un traitement par désorption laser [18] permet de diminuer la concentration en accepteur résiduel dans la couche tampon responsable de l'effet de coude.

Ces améliorations ont permis de s'affranchir de l'effet de coude sur la plupart des transistors à effet de champ. A titre d'exemple le fondeur Thomson propose deux filières de puissance :

- HP07 dont la couche active est réalisée par implantation ionique
- HP05 dont la couche active est réalisée par épitaxie



Ces deux filières sont sujettes à la multiplication des porteurs par ionisation par impact (voir figure 3-4, chapitre IV) mais ne présentent pas d'effet de coude.

L'effet de coude mis en évidence sur le transistor à hétérostructure HFET présente la particularité de n'apparaître que pour les tensions de grille proche du pincement. En effet en raison de la technologie de ce dernier (double « recess » de grille) la multiplication des porteurs par ionisation par impact se produit pour des tensions de grille proche du pincement c'est à dire pour un champ électrique grille drain relativement fort.

La passivation de ce transistor est à base de Nitrure. Il est donc raisonnable d'exclure un effet de coude lié à la passivation.

La présence de l'effet de coude sur le transistor HFET peut s'expliquer par la présence de la couche en AlGaAs entre la grille et le canal. Ce dernier étant dopé fortement n, il se crée une diode n<sup>-</sup>n donc une zone de charge d'espace au dessus du canal comme le montre la figure 4-5.

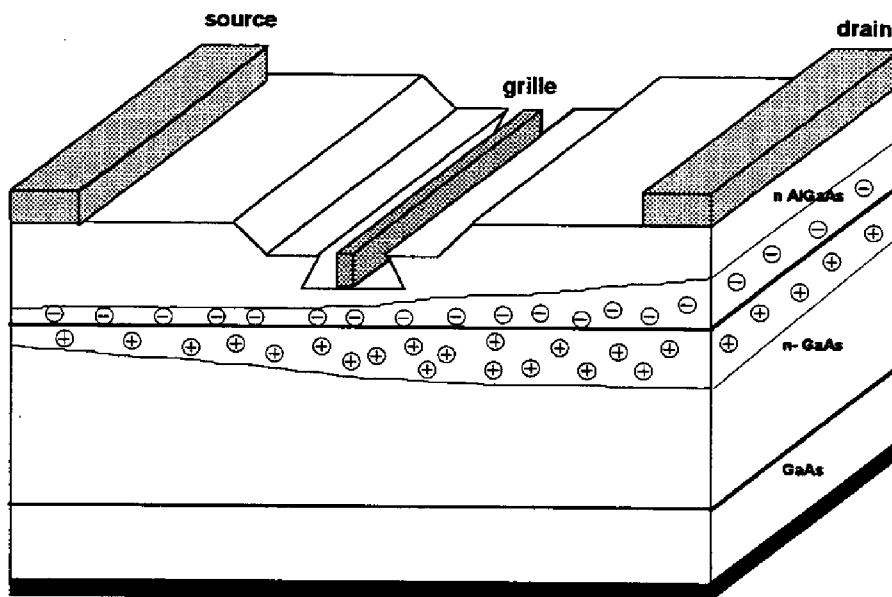


Figure 4-5 : Coupe transversale du transistor HFET montrant la présence d'une zone de charge d'espace entre le canal et la couche AlGaAs

Le passage des trous générés par ionisation par impact au travers de la diode n<sup>-</sup>n, mais également peut être au niveau de l'interface substrat couche active diminue l'épaisseur des zones de charge d'espace respectives et donc augmente la section du canal, disponible pour le passage du courant de drain, ce qui se traduit par une augmentation de ce dernier.

La constatation suivant laquelle l'effet de coude est atténué lors des mesures impulsionnelles nécessite de prendre en compte la présence des centres profonds (de type EL2 dans la couche AlGaAs réalisée par épitaxie?). Ces pièges caractérisés par un état proche du centre de la bande interdite présente une constante de temps relativement longue devant la durée de l'impulsion et de ce fait ne sont pas activés pendant la mesure.

Il est intéressant de remarquer que de par la présence des différentes zones de charge d'espace, la profondeur du canal, lorsque celui-ci est ouvert ( $V_{GS}=0$  Volt), est inférieure à la profondeur réelle technologique. Lorsque l'effet de coude apparaît, le courant drain source circule au travers d'une section limitée par la zone de charge d'espace de la grille et la profondeur réelle du canal. Il est donc plus judicieux de considérer comme un effet parasite du transistor non pas la zone où l'effet de coude apparaît mais plutôt la zone antécédente à celle-ci.

#### **4.3 CONCLUSION**

L'effet de coude mis en évidence sur le transistor HFET est une conséquence directe de la multiplication des porteurs (trous) par ionisation par impact. De par sa technologie particulière, et notamment la présence d'une couche d'AlGaAs entre la grille et le canal, une zone de charge modulée par l'ionisation par impact induit l'effet de coude.

Cet effet de coude ne doit pas être considéré comme un problème de fiabilité mais comme une caractéristique intrinsèque du transistor.

## **5 L'IONISATION PAR IMPACT ET SES CONSEQUENCES SUR LA FIABILITE DU TRANSISTOR : LA DIMINUTION DE LA PUISSANCE DE SORTIE ("LE POWER SLUMP")**

---

### **5.1 LA DIMINUTION DE LA PUISSANCE DE SORTIE**

Nous avons vu précédemment le rôle des électrons chauds sur l'ionisation par impact pour les transistors de la filière étudiée. Dans la plupart des applications de puissance, ces derniers sont responsables de la plupart des mécanismes de dégradation observés sur les transistors de puissance (voir chapitre I). Ainsi dans le cas des transistors de type Métal Oxyde Semi-conducteur (MOSFET), des électrons chauds sont piégés dans l'oxyde de grille. Il s'en suit une modification des caractéristiques de la jonction de grille du transistor.

Pour les HFET, le mécanisme de dégradation mis en évidence lors des différents essais de vieillissement sous contraintes dynamiques, est aussi lié à la génération des électrons chauds.

Lors d'une utilisation du transistor à effet de champ en régime de forte saturation, des électrons chauds sont générés par ionisation par impact au voisinage de la grille côté drain, là où la valeur du champ électrique grille drain est la plus importante. Une partie de ces électrons chauds ( $1 \text{ sur } 10^{15}$  [21]) va acquérir une énergie suffisante pour se piéger soit dans la passivation, soit au niveau de l'interface passivation / AsGa entre les contacts de grille et de drain (voir figure 5-1). Il en résulte une augmentation de la zone "déplétée" (voir figure 5-2) avec pour conséquence une modification des principaux paramètres électriques du transistor.

- le courant de saturation diminue (voir figure 2-1)
- la résistance du canal augmente (voir figure 2-2)
- la tension de claquage grille - drain augmente en valeur absolue (diminution du champ électrique, voir figure 2-3)

La caractéristique de la diode Schottky (tension de seuil, facteur d'idéalité) demeure inchangée (voir figure 2-4). Les électrons sont dans ce cas précis bien piégés dans la passivation entre l'électrode de grille et de drain et non directement au niveau de la grille.

La tension de pincement n'est également pas modifiée. En effet la modification de la zone déplétée est localisée entre le contact de drain et celui de grille et non directement sous ce dernier. La hauteur  $h$  entre le substrat et le bas de la zone déplétée ne varie quasiment pas. La présence des électrons chauds générés par ionisation par impact est confirmée par des mesures d'électroluminescence [22] sur des modules sujets au même mécanisme de dégradation (même signature électrique).

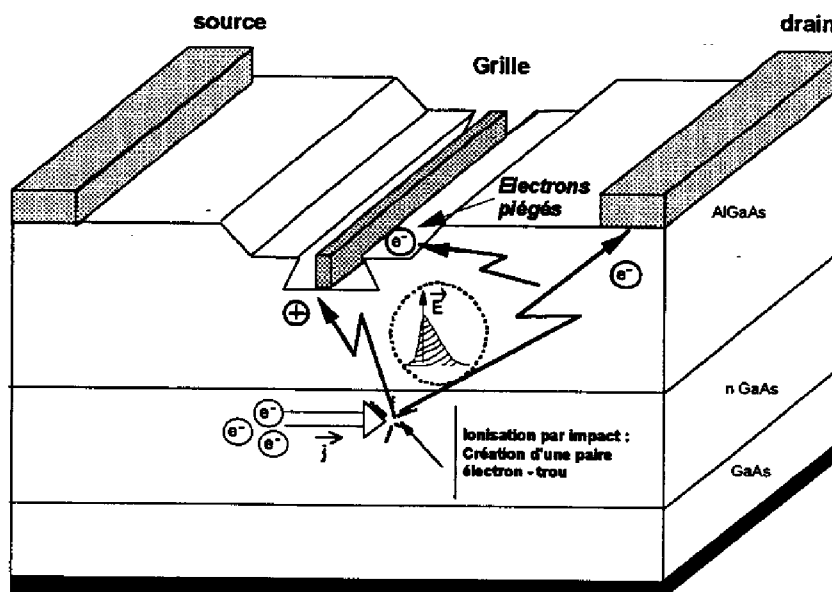


Figure 5-1 : Multiplication des porteurs par ionisation par impact -piégeage des électrons dans la passivation-

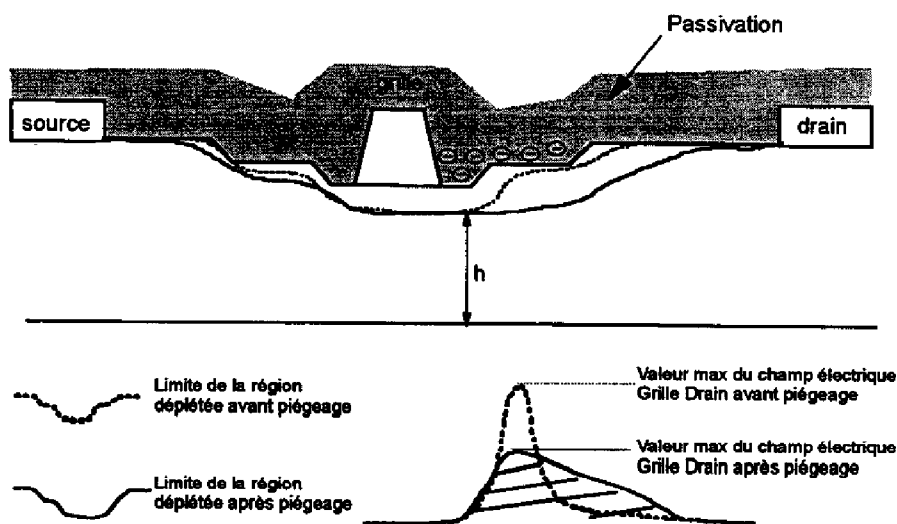


Figure 5-2 : Coupe schématique d'un transistor sur lequel le phénomène de "la diminution de la puissance de sortie" est survenu

Ce mécanisme dont l'origine est liée à de la multiplication des porteurs par ionisation par impact n'est pas, contrairement à la plupart des mécanismes de défaillances activés par la température (diffusion des contacts ohmiques, enfoncement du métal de grille) mis en évidence en régime linéaire.

Il ne peut apparaître qu'en régime de fonctionnement non linéaire qui amène le point de fonctionnement dynamique dans des régions de fort champ électrique grille - drain (transistor pincé, forte valeur de la tension  $V_{DS}$ ) où le phénomène de multiplication des porteurs par ionisation par impact est susceptible d'apparaître.

## **5.2 DEFINITION DE L'AIRE DE FONCTIONNEMENT**

Cette étude comprenant divers types d'essais de vieillissement a été menée afin de définir un domaine de sécurité de fonctionnement pour les amplificateurs de puissance réalisés à partir de circuits intégrés monolithiques HFET.

Toutefois cette notion d'aire de sécurité définie à partir d'un point de fonctionnement statique et d'un niveau de compression du gain est insuffisante. Les paramètres intrinsèques du composant comme les adaptations entrée sortie, les caractéristiques du courant d'avalanche propre à chacun des transistors doivent être pris en compte.

Le mécanisme de diminution de la puissance de sortie survient lorsque la valeur du champ électrique grille - drain combinée à la valeur du courant dans le canal permet de générer des porteurs par ionisation par impact. Afin de s'affranchir de ce mécanisme de dégradation, on peut en considérant l'ensemble des résultats sous contraintes graduelles dynamiques proposer de polariser le transistor de manière à ce que les excursions du point de fonctionnement dynamique visualisées par la simulation n'engendrent pas des valeurs du courant d'avalanche grille - drain  $I_{gd}$  considérables.

En effet, un composant HFET soumis à un très fort régime de compression (7 dB de compression du gain à  $V_{DS}=8$  Volt) ne présente pas de dégradation, alors qu'une application à une tension drain de repos plus élevée ( $V_{DS}=10$  Volt, 4 dB de compression du gain) active le phénomène.

Le concepteur doit effectuer un compromis entre les performances de son amplificateur (une polarisation conventionnelle à  $V_{DS} \cong 1/2 BV_{DS}$ ) et l'utilisation de ce dernier dans une zone de sécurité en terme de fiabilité.

La figure 5-3 représente l'aire de sécurité définie à partir des essais de vieillissement sous contraintes dynamiques graduelles sur les Circuits d'Evaluation Dynamique. Il est évident que d'autres fonctions soumises à ces mêmes conditions présenteront une aire de sécurité de

fonctionnement différent, notamment en raison des adaptations entrées sorties qui ne sont jamais tout à fait équivalentes.

Il convient d'utiliser alors la simulation afin d'évaluer les aires de sécurité.

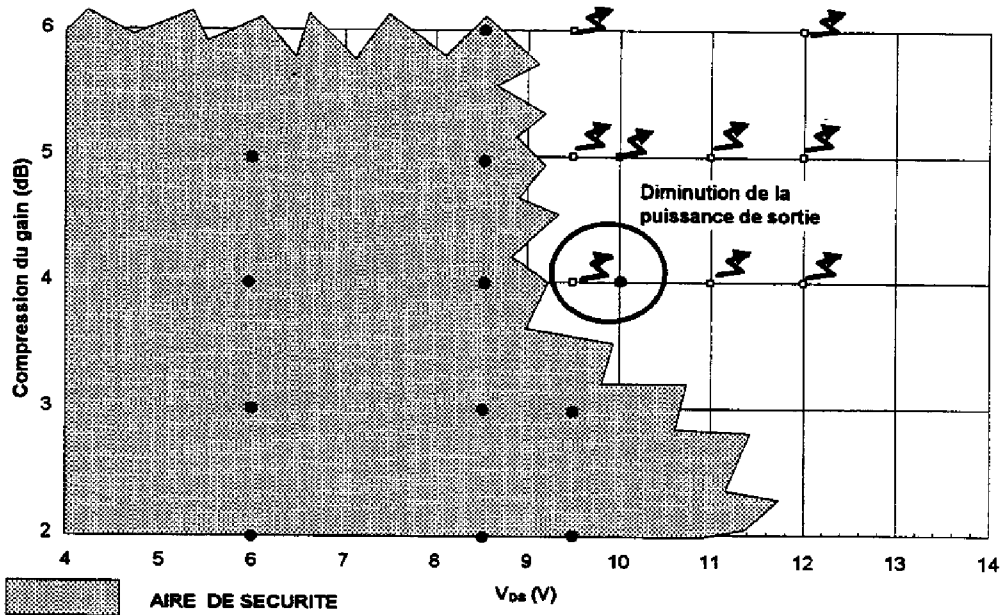


Figure 5-3 : Domaine de sécurité (défini à partir des essais de vieillissement sous contraintes graduelles dynamiques) sur les circuits d'évaluation dynamique

### **5.3 EVALUATION DES ZONES DE SECURITE DES AMPLIFICATEURS DE PUISSANCE A PARTIR DE LA CAO**

#### **5.3.1 Visualisation des phénomènes de limitation du transistor lors de l'amplification de puissance**

La particularité du modèle non linéaire du transistor développé à Alcatel Espace est de permettre l'évaluation de la contribution de chacun des éléments qui forment le modèle non linéaire présenté dans le chapitre II. Ce modèle associé au logiciel LIBRA série IV permet notamment la simulation des grandeurs électriques temporelles comme :

- le courant de la jonction Schottky lors de son passage en direct
- le courant de drain  $I_{DS}$  avec la contribution du régime d'avalanche

en s'affranchissant des différentes capacités ( $C_{GS}$ ,  $C_{DS}$ , etc.). En effet ces dernières ne permettent pas la visualisation temporelle de ces courants en raison de leurs charges et décharges lors de chaque cycle de fonctionnement du transistor.

Nous avons vu précédemment que les principales limitations du fonctionnement lors de l'amplification de puissance résidaient dans les excursions du point de fonctionnement dynamique dans des régions proches du claquage grille - drain ou lors du passage de la jonction en direct.

En d'autres termes la visualisation du courant de grille temporel permet de mettre en évidence une composante d'amplitude positive lorsque la valeur temporelle de la tension grille - source  $V_{GS}$  est supérieure à la tension seuil  $V_{BI}$  et une composante d'amplitude négative lorsque la valeur absolue de la tension grille - drain  $|V_{GD}|$  est supérieure à  $|BV_{GD}|$  ( $|BV_{GD}|$  étant la tension de claquage grille - drain). La contribution de ces deux effets antagonistes ne peut être évaluée que par la simulation ou la mesure du courant de grille moyen. L'intérêt de la simulation est de pouvoir, par la visualisation des évolutions du courant en fonction du temps d'évaluer chacune de ces deux contributions lors de chaque cycle de fonctionnement.

La figure 5-4 représente l'allure typique du courant de grille moyen en régime de compression. Lorsque le niveau de puissance d'entrée est faible, les excursions du signal de sortie sont de faibles amplitudes et de ce fait les contributions dues au régime d'avalanche ou au passage de la contribution en direct sont nulles (région 1). L'augmentation du niveau de la puissance d'entrée se traduit en sortie par des excursions du point de fonctionnement dynamique dans des régions où le régime d'avalanche s'amorce (région 2). En raison du passage de la jonction Schottky en direct lors de chaque cycle de fonctionnement à partir d'un certain niveau de puissance, la valeur du courant de grille augmente et devient positive (région 3).

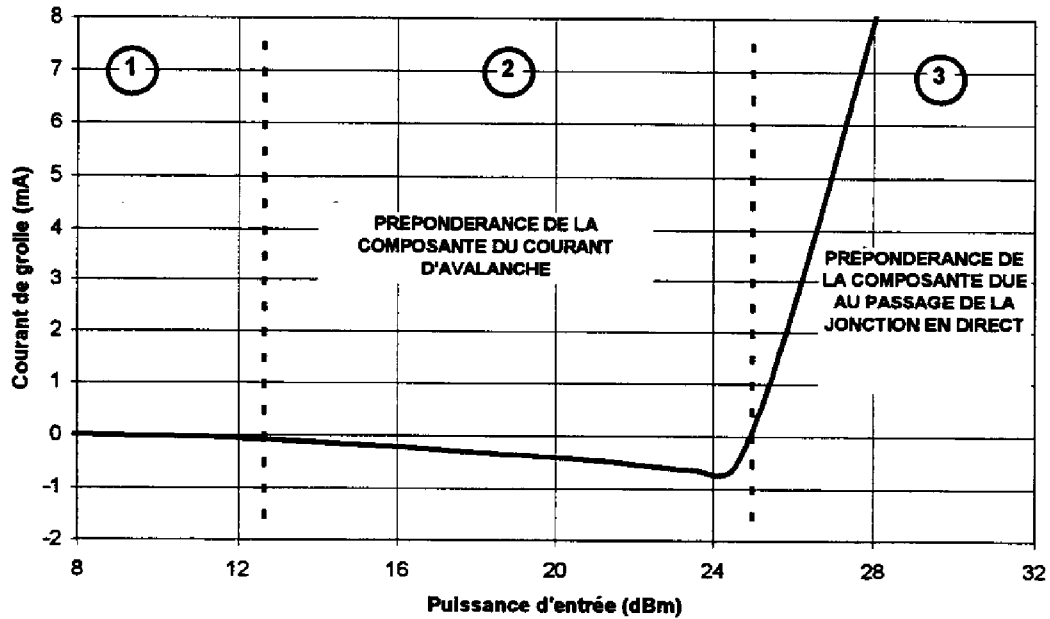


Figure 5-4 : Allure typique du courant de grille moyen en fonction du niveau de la puissance d'entrée

La combinaison du point de repos statique et du niveau de puissance délivrée à la sortie de l'amplificateur engendre diverses situations. Les figures 5-5, 5-6, 5-7 représentent la visualisation du courant de grille temporel sous de forts régimes de compression et le courant de grille moyen associé. Nous voyons que la mesure du courant de grille moyen ne suffit pas pour l'évaluation du niveau de stress d'un composant. Le courant de grille moyen peut être quasiment nul alors que l'excursion du point de fonctionnement dynamique est largement située dans les régions d'avalanche et du passage de la jonction en direct (figure 5-7).



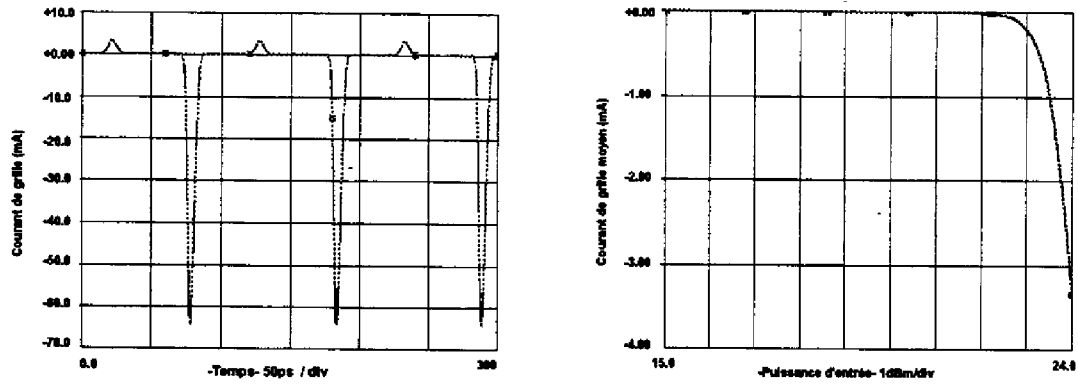


Figure 5-5 : Prépondérance du courant d'avalanche lors du régime de forte compression

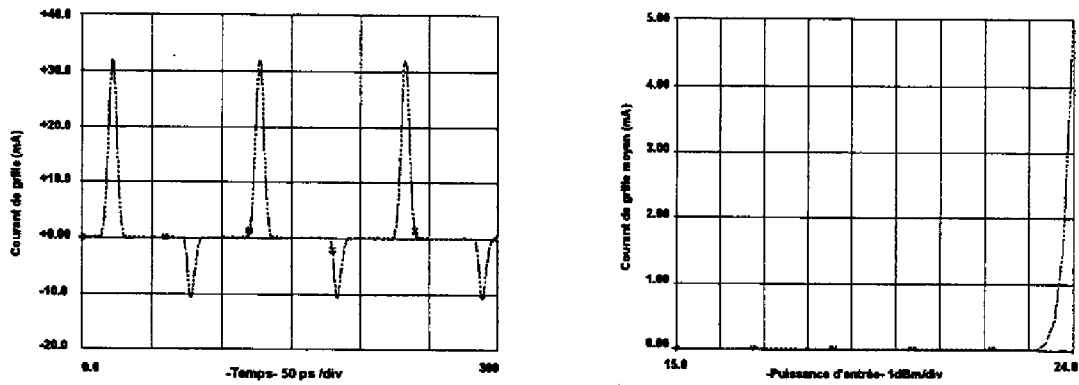


Figure 5-6 : Prépondérance du passage de la diode en direct lors du régime de forte compression

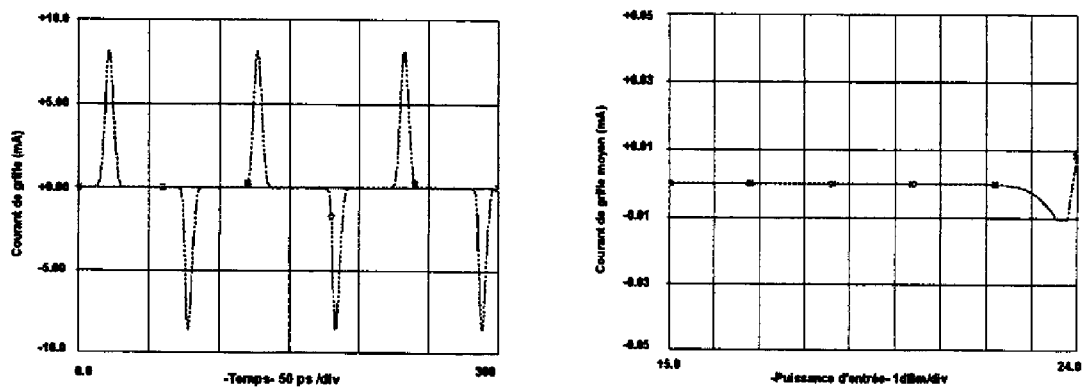


Figure 5-7 : Compensation des deux effets antagonistes.

En considérant le circuit équivalent dynamique du transistor chargé par une résistance de charge  $R_{CH}$ , les variations temporelles  $id$  et  $vd$  décrivent une droite de pente  $-1/R_{CH}$  appelé droite de charge dynamique.

Toutefois, en raison des éléments réactifs parasites du transistor (capacités, inductances) l'impédance ramenée aux bornes du drain du transistor est une impédance complexe. De ce fait, la variation temporelle du courant  $id$  en fonction de la tension  $vd$  ne décrit pas une droite mais une ellipse appelée cycle de charge dynamique (voir figure 5-8)

La visualisation du cycle de charge lors de l'étape de conception de l'amplificateur de puissance est fondamentale afin de garantir un fonctionnement sûr de ce dernier. Elle permet de mettre en évidence les éventuelles excursions du point de fonctionnement dynamique dans des zones sensibles évoquées ci-dessus.

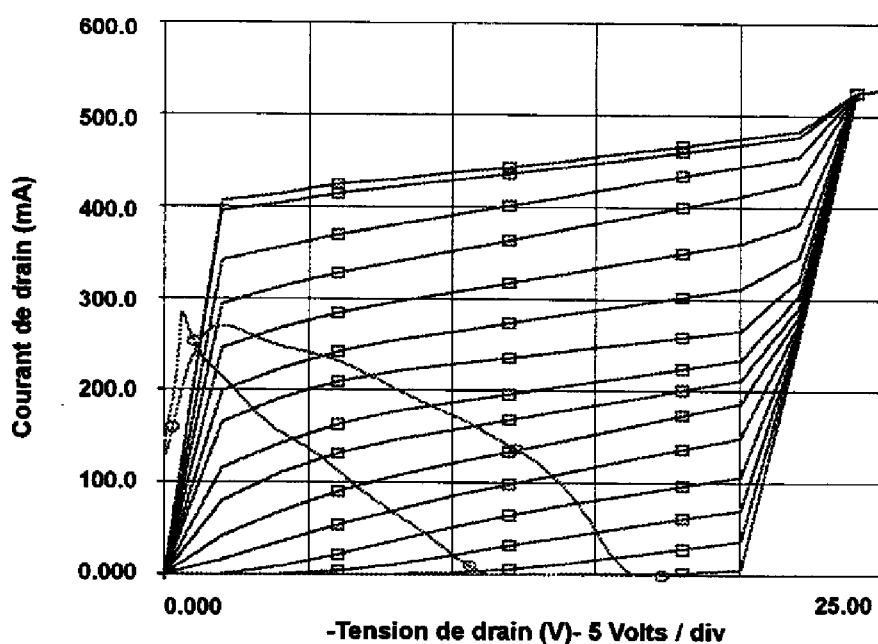


Figure 5-8 : Simulation du cycle de charge d'un transistor

### 5.3.2 Simulation des contraintes appliquées lors du Life Test R.F.

La file d'essais de vieillissement sous contrainte R.F. comprend (voir chapitre II) :

- 3 niveaux de fonctionnement
- 8 modules / niveaux soit 24 modules

Afin de corrélérer les essais de vieillissement réalisés sous contraintes dynamiques (Life Test R.F.) avec la simulation, il importait de modéliser de façon correcte l'ensemble des véhicules de test. Pour des raisons de planning et de coût, nous n'avons pas pu réaliser des mesures impulsionnelles sur l'ensemble des 24 modules. Seulement 6 Circuits d'Evaluation Dynamiques (2 par niveaux de contraintes) ont été caractérisés par des mesures impulsionnelles.

Une attention toute particulière a été apportée à la modélisation des 8 modules soumis à une compression du gain statique de 4 dB sous une polarisation statique de drain de 10 Volts susceptibles de se dégrader au cours des 4500 heures de vieillissement comme les essais de Step Stress le laissait pressentir. Nous avons donc choisi méticuleusement (proximité géométrique sur le "wafer" d'Arséniure de Gallium) les transistors des DEC soumis d'une part à une contrainte de 4 dB de compression du gain sous une polarisation de 10 Volts et d'autre part à une caractérisation impulsionnelle de manière à ce que tous possèdent les mêmes caractéristiques impulsionnelles ainsi que les mêmes paramètres [S].

La seule dispersion notable apparaît sur les valeurs des tensions de claquage grille / drain ( $BV_{GDX}$ ), confirmée par ailleurs par les mesures impulsionnelles de la caractéristique du courant d'avalanche grille-drain. Ces différences peuvent être expliquées par une éventuelle dispersion de la qualité de la passivation.

Nous avons obtenu à partir des mesures impulsionnelles une bibliothèque comprenant 6 modèles du courant d'avalanche grille - drain. A partir de ces derniers, nous avons modélisé le courant d'avalanche grille - drain de chaque module, de manière à ce que le courant de grille moyen mesuré pendant le vieillissement soit le même que celui simulé. En effet la principale contribution sur le courant de grille moyen d'un Circuit d'Evaluation Dynamique soumis à 4 dB de compression du gain sous une polarisation statique de 10 Volts est la composante d'avalanche (voir figure 5-9). La contribution due au passage en direct de la diode est très faible, voire nulle.

La simulation des conditions de fonctionnement appliquées au cours du vieillissement (life test R.F.) sur chacun des 24 modules a permis de dégager des paramètres électriques indicateurs quand au fonctionnement ou non du circuit d'évaluation dynamique dans une aire de sûreté de fonctionnement.

Le mode de dégradation suspecté est accéléré par le champ électrique grille - drain. Cette hypothèse est confirmée par l'ensemble des essais réalisés. La dégradation apparaît sous une polarisation statique de drain de 10 Volts à 4 dB de compression du gain. Sous de telles conditions de fonctionnement la principale composante du courant de grille est la composante d'avalanche.

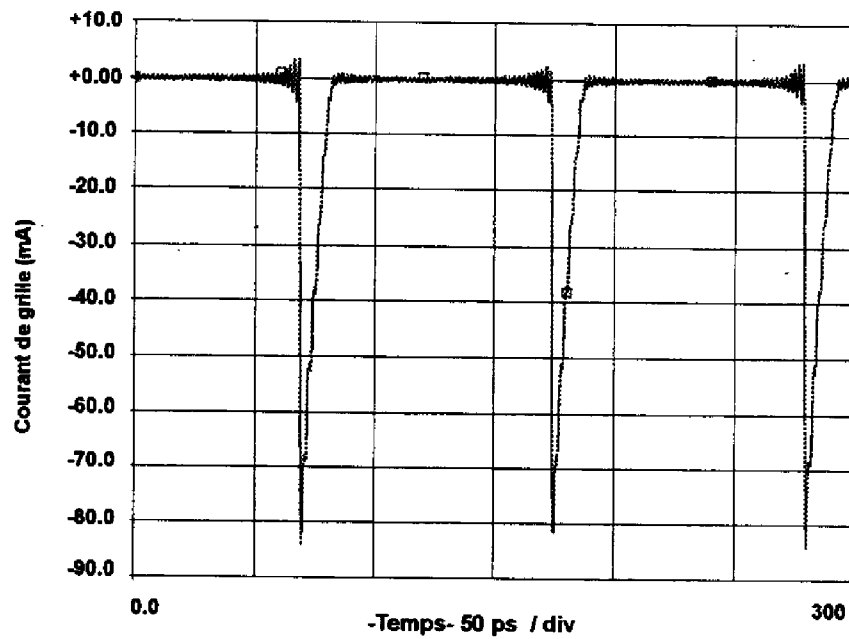


Figure 5-9 : Evolution temporelle du courant de grille sous une contrainte dynamique de 4 dB de compression du gain sous une polarisation statique  $V_{DS}=10$  Volts

Le courant d'avalanche grille - drain  $I_{gd}$ , directement dépendant du champ électrique grille - drain constitue le principal paramètre indicateur. Les tableaux suivants synthétisent les différentes simulations effectuées.

Echantillon	Niveau de fonctionnement	$\Delta I_{DS}$ % après vieillissement	Simulation temporelle de la valeur absolue du courant d'avalanche
SN 34	$V_{DS}=10$ Volts / 4 dB de compression du gain	-2 %	
SN 30	$V_{DS}=10$ Volts / 4 dB de compression du gain	-2.5 %	

Tableau 5-1 : Simulation temporelle du courant d'avalanche des échantillons soumis à 4 dB de compression du gain à  $V_{DS}=10$  Volts

Echantillon	Niveau de fonctionnement	$\Delta I_{DS}$ % après vieillissement	Simulation temporelle de la valeur absolue du courant d'avalanche
SN37	$V_{DS}=10$ Volts / -4 dB de compression du gain	-4.2 %	
SN 25	$V_{DS}=10$ Volts / 4 dB de compression du gain	-6 %	
SN 1	$V_{DS}=10$ Volts / 4 dB de compression du gain	-13 %	

Tableau 5-2 : Simulation temporelle du courant d'avalanche des échantillons soumis à 4 dB de compression du gain à  $V_{DS}=10$  Volts (suite)

Echantillon	Niveau de fonctionnement	$\Delta I_{DS}$ % après vieillissement	Simulation temporelle de la valeur absolue du courant d'avalanche
SN 42	$V_{DS}=8.5$ Volts / 4 dB de compression du gain	-0.69 %	
SN 31	$V_{DS}=10$ Volts / 2 dB de compression du gain	-0.58 %	

Tableau 5-3 : Simulation temporelle du courant d'avalanche d'échantillons soumis à 4 dB de compression du gain à  $V_{DS}=8.5$  Volts et 2 dB de compression du gain à  $V_{DS}=10$  Volts

Nous voyons que l'excursion du point de fonctionnement dans les régions où le phénomène de claquage est susceptible de se produire (ici  $V_{DS}=10$  Volts à 4 dB de compression) fait apparaître des valeurs instantanées du courant  $I_{gd}$  supérieures à plusieurs dizaines de milliampères :

- Une valeur pic de l'ordre de 180 mA se traduit par une diminution du courant de saturation supérieure à 10 % après 4500 heures de vieillissement.
- Une valeur pic de l'ordre de 100 mA se traduit par une diminution du courant de saturation de l'ordre de 5 % après 4500 heures de vieillissement.

Par contre, la valeur temporelle simulée du courant  $I_{gd}$  dans un domaine sûr de fonctionnement ( $V_{DS}=8.5$  Volts, 4 dB de compression du gain) est inférieure à 10  $\mu$ A.

Une telle différence dans les ordres de grandeurs du courant  $I_{gd}$  montre l'impact de la tension  $V_{DS}$  dans la valeur de  $I_{gd}$ . De ce fait, il est fortement recommandé de polariser le transistor HFET à une tension drain de l'ordre de 8 / 8.5 Volts. Sous de telles conditions de forts régimes de compression peuvent être atteint sans pour cela occasionner la moindre défaillance du composant.

La visualisation de toutes ces simulations incite à dégager une loi d'accélération (voir la loi d'Arrhénius pour les phénomènes thermiques) visant à corrélérer la dégradation obtenue (chute de  $I_{DSS}$ ), avec la valeur pic  $I_{gd}$ . Toutefois, en raison de la population relativement faible de nos échantillons il serait hasardeux de dégager une loi d'accélération à partir de ces essais. De plus une telle loi ne peut rendre compte du phénomène observé car celui-ci comme nous le verrons ci-dessous n'est pas un phénomène cumulatif mais présente un seuil de déclenchement. Cependant l'utilisation du composant dans un domaine de fonctionnement sûr lors de l'amplification de puissance peut être garantie par une valeur seuil du courant  $I_{gd}$  à ne pas dépasser (de l'ordre de 10 mA).

La notion de seuil peut être explicité par une explication sommaire du phénomène physique. Afin que des électrons soient générés par ionisation par impact, ces derniers doivent posséder une énergie seuil notée  $\phi_1$  à partir de laquelle la multiplication des porteurs se déclenche (amorce de la courbe "en cloche" lors de la visualisation du courant de grille).

Le courant d'avalanche grille - drain du transistor dont la contribution principale est liée à l'ionisation par impact varie de façon générale de manière exponentielle. Il peut être modélisé par l'équation :

$$I_{gd} \propto \exp\left(\frac{q \lambda E_{MAX}}{\Phi_1}\right) \quad \text{Equation 5-1}$$

où :  $E_{MAX}$  est le champ électrique grille - drain maximal ( $E_{MAX} \propto V_{gd}$ ),  $\lambda$  est le libre parcours moyen des électrons,  $\phi_1$  l'énergie seuil d'ionisation par impact et  $q$  la charge de l'électron.

Lorsque les électrons générés acquièrent une énergie suffisante,  $\phi_P$ , ( $\phi_P > \phi_1$ ) ils se piègent dans la passivation et induisent le phénomène de l'effondrement de la puissance de sortie ("power slump"). La formation de ces pièges dans le temps peut être modélisée de la même façon par :

$$\frac{d n_P}{d t} \propto \exp\left(\frac{q \lambda E_{MAX}}{\Phi_P}\right) \quad \text{Equation 5-2}$$

où :  $n_P$  est la densité des pièges de surface créée par ionisation par impact et  $\phi_P$  l'énergie seuil nécessaire au piègeage des électrons dans la passivation.



La simulation du courant  $I_{gd}$  dans le temps permet de quantifier cette valeur seuil (à travers la valeur pic du courant) de formation des pièges dans la surface par ionisation par impact.

La réalisation d'essais de vieillissement sous contraintes dynamiques combinés à des simulations électriques non linéaires permet de dégager une méthodologie permettant d'évaluer la fiabilité des composants HFET, lors d'une application d'amplification de puissance.

#### 5.4 METHODOLOGIE DE DEFINITION D'UNE AIRE DE FONCTIONNEMENT SUR LORS DE L'AMPLIFICATION DE PUISSANCE

A partir de l'association des essais sous contraintes graduelles dynamiques "step stress R.F." et sous contraintes dynamiques pendant 4500 heures "life test R.F.", diverses constatations ont été faites.

Les dégradations survenues au cours du "life test R.F." se sont produites sous des conditions de fonctionnement où des dégradations étaient apparues au préalable pendant les paliers de une semaine du "step stress R.F.". Si l'on se réfère à la figure 5-10, la dérive des paramètres observée est relativement importante au début du vieillissement (typiquement au cours des 100 premières heures). Par la suite en raison de la diminution de la valeur du champ électrique due au piégeage des électrons dans la passivation, la dérive diminue. Il y a une autorégulation du phénomène comme le montre la figure 5-11.

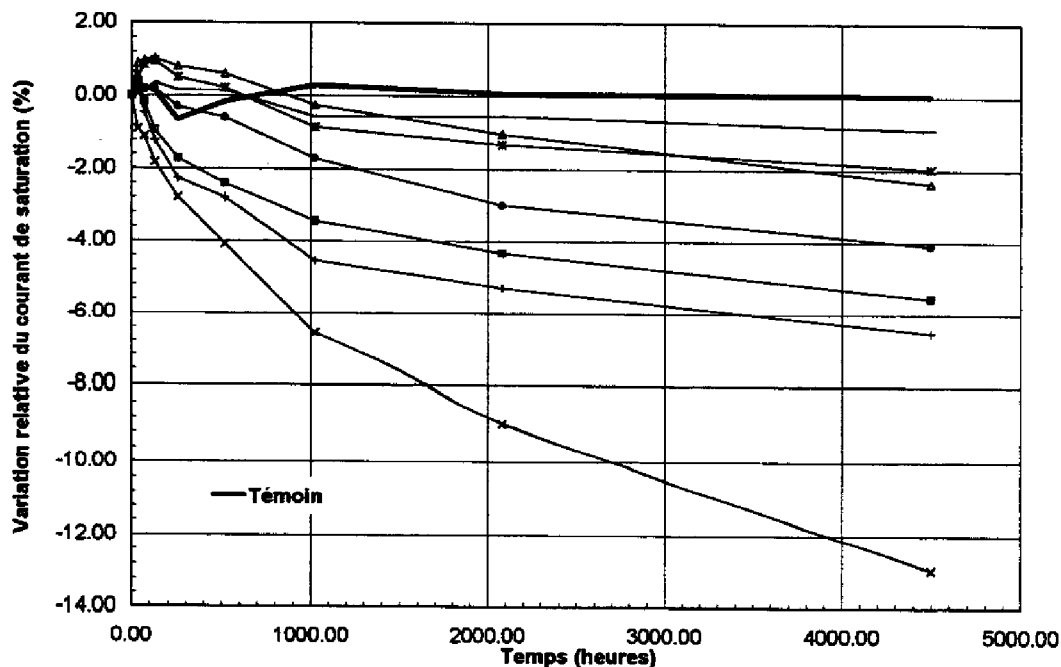


Figure 5-10 : Variation du courant de saturation  $I_{DS}$  au cours du Life Test R.F. (niveau 3)

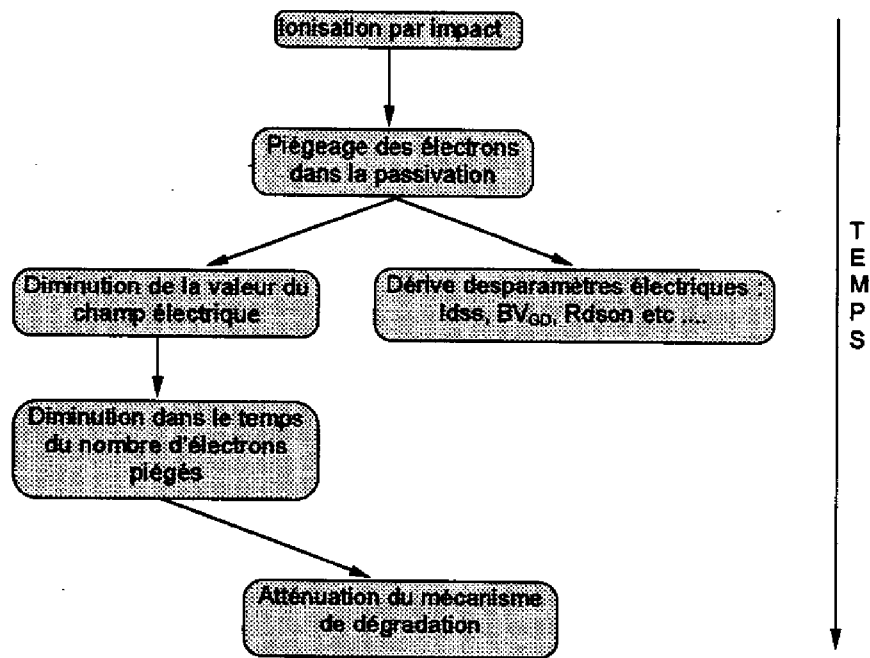


Figure 5-11 : Evolution du mécanisme de dégradation dans le temps

Les domaines de sécurité dégagés par le "step stress R.F." ont été confirmés par le "life test R.F." et de ce fait peuvent être évalués rapidement. En effet, le mécanisme de dégradation activé au cours de ces essais de vieillissement sous contraintes dynamiques est un phénomène présentant un seuil de déclenchement par opposition aux phénomènes cumulatifs activés par la température comme par exemple la diffusion des métaux. De ce fait, le dépassement ou non des valeurs seuils par les différents paramètres électriques (la valeur du champ électrique grille - drain et par conséquent le courant d'avalanche grille - drain associé) peut être évalué rapidement.

Des essais sous contraintes dynamiques de courte durée de type "Step stress R.F" permettent de garantir rapidement un domaine de fonctionnement sûr pour une fonction d'amplificateur de puissance.

Des simulations non linéaires de cette fonction permettent de déterminer la valeur seuil du courant d'avalanche grille - drain  $I_{gd}$ , propre à la fonction étudiée ( $I_{gd}$  dépend de la taille du transistor etc.). Ainsi les domaines de fonctionnement sûr pour une fonction d'amplification de puissance peuvent être par la suite déterminés dès la phase de conception.

L'organigramme de la figure 5-12 représente la méthodologie à suivre pour la détermination d'une aire de sécurité concernant une fonction de puissance soumise à des régimes de forte compression.

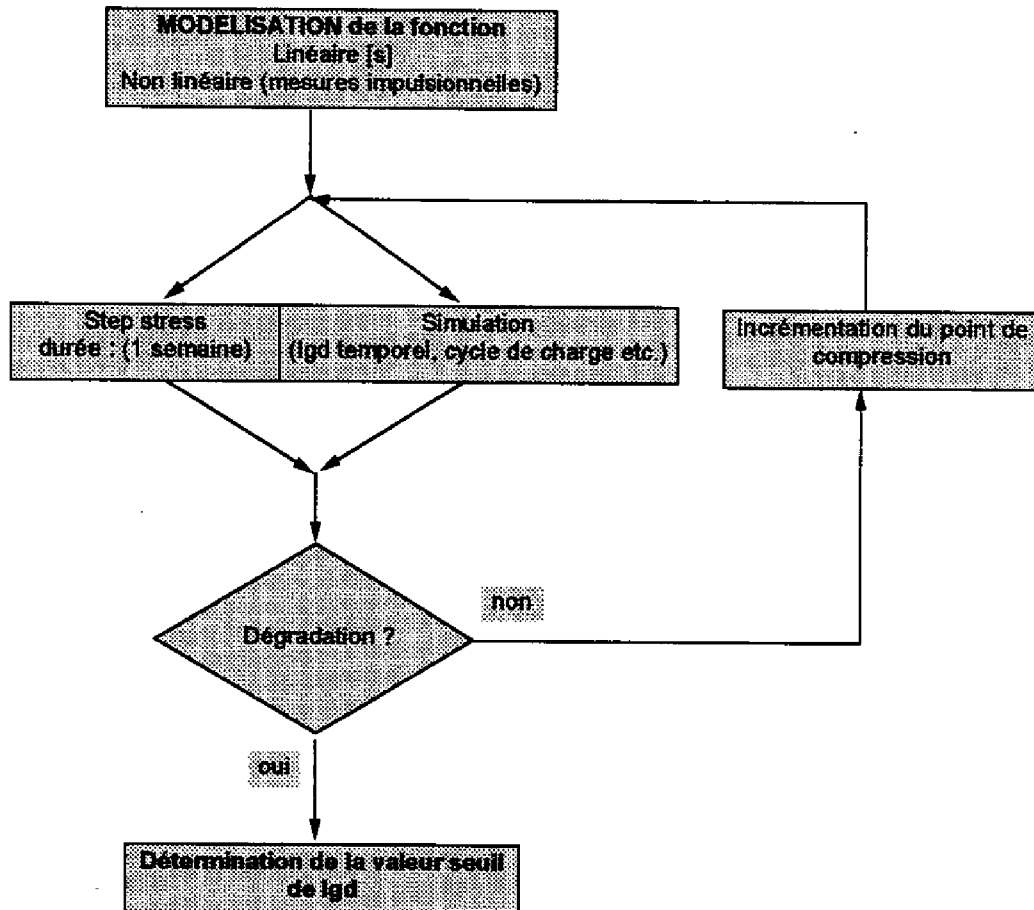


Figure 5-12 : Méthodologie permettant la détermination des aires de sécurité des amplificateurs de puissance MMIC

## 6 CONCLUSION

---

L'ensemble des essais de vieillissement réalisés sous contraintes dynamiques durant cette étude a permis d'évaluer la fiabilité du mode de fonctionnement du transistor HFET de Texas Instruments dans le cas de l'amplification de puissance.

Un mode de dégradation a été mis en évidence. Les causes (la multiplication des porteurs par ionisation par impact) et les effets (diminution de la puissance de sortie, effet de coude) de ce mécanisme ont été analysés.

La totalité des données de fiabilité concernant les composants électroniques sont obtenue par des essais de vieillissement. Ces essais permettent d'évaluer la technologie utilisée (métallisations, passivation etc.). La plupart des mécanismes de dégradation mis en évidence lors de ce type d'évaluation sont activés par la température. De ce fait des essais de vieillissement de 4000 voire 5000 heures sont nécessaires afin d'évaluer la fiabilité des composants étudiés.

Dans le cas particulier d'une application liée à l'amplification de puissance caractérisée par de forts régimes de compression du gain, de fortes valeurs instantanées de la tension grille - drain des mécanismes non activés par la température comme l'ionisation par impact peuvent survenir.

Dans ces conditions de fonctionnement particulières la **simulation électrique** corrélée à des **essais sous contraintes dynamiques de courte durée (une semaine)** peut être utilisée afin de définir si les conditions de fonctionnement de l'amplificateur correspondent à un domaine de fonctionnement sûr.

La méthodologie présentée [23], [24], [25], [26] permet de définir rapidement des domaine de sécurité de fonctionnement du transistor dans le cas d'une amplification de puissance, sans pour cela mettre en oeuvre de nouveaux essais de plusieurs milliers d'heures.

## BIBLIOGRAPHIE DU CHAPITRE IV

---

- [1] A Paccagnella et al. : « Correlation Between Surface-State Density and Impact Ionization Phenomena in GaAs Mesfets », IEEE, Trans. Electron Devices, Vol. 38, N°12, pp 2682-2684, 1991.
- [2] C Canali et al. : « Dependence of Ionization Current on Gate Bias in GaAs Mesfets », IEEE, Trans. Electron Devices, Vol. 40, N° 3, pp 498-500, 1993.
- [3] E Zanoni et al. : « Correlation Between Impact Ionisation, Recombination and Visible Light Emission in GaAs Mesfets », Electronic Letters, Vol. 27, N°9, pp 770-772, 1991
- [4] K Hui et al. : « Impact Ionization in GaAs Mesfets », IEEE, Electron Devices Letters, Vol. 11, N°3, pp 113-115, 1990.
- [5] G A Baraff, Phys. Rev., 133, A26 (1964).
- [6] W R Frensley : « Power Limiting Breakdown Effects in GaAs Mesfets », IEEE, Trans. Electron Devices, Vol. ED-28, p 962, 1981.
- [7] T Y Chan et al. : « Dependence of Channel Electric Field on Device Scaling », IEEE, Electron Devices Letters, Vol. EDL-6, N°10, pp 551-553, 1985.
- [8] M Fukuta et al. : « Power GaAs MESFET with a high drain-source breakdown Voltage », IEEE Trans. Microwave Theory Tech., vol. MTT-24, pp. 312-317, June 1976.
- [9] W C Niehaus et al. : « GaAs Power Mesfets », Proc. 1976 Int. Symp. North Amer. Conf. on Gallium Arsenide and Related Compounds, pp. 271-280.
- [10] W R Frensley : « Power-Limiting Breakdown Effects in GaAs MESFETs », IEEE Trans. on Electron Devices, vol. ED-28, NO. 8, 1981.
- [11] T Furutsuka et al. : « Improvement of the Drain Breakdown Voltage of GaAs Power MESFET's by a Simple Recess Structure », IEEE Trans. on Electron Devices, vol. ED-25, NO.6, 1978.
- [12] C L Li et al. : « Avalanche Breakdown and Surface Deep-Level Trap Effects in GaAs Mesfets », IEEE, Electron Devices Letters, Vol. 40, N°4, pp 811-816, 1993.
- [13] R Yamamoto et al. : « Light Emission and Burnout Characteristics of GaAs Power Mesfets », IEEE Trans. on Electron Devices, vol. ED-25, NO.6, 1978.
- [14] J P R David : « Gate-Drain Avalanche Breakdown in GaAs Power MESFET's », IEEE Trans. on Electron Devices, vol. ED-29, NO.10, 1982.
- [15] K Y Hur et al. : « Double Recessed AlInAs/GaInAs/Inp HEMTs with High Breakdown Voltages », IEEE GaAs IC Symposium, 17 th Annual Technical Digest 1995.
- [16] C Gacqiere et al. : « Breakdown Analysis of an asymmetrical double recessed power MESFET's », IEEE Trans. on Electron Devices, vol. 42, Iss : 2, pp 209-214, 1995.
- [17] J M Dumas : Thèse : « Contribution à l'étude des mécanismes de dégradation du transistor à effet de champ sur Arséniure de Gallium », Université de Limoges 1985.

- [18] A Belhadj : Thèse : « Etude des effets parasites et des mécanismes de dégradation du transistor à effet de champ à haute mobilité électronique », Université de Limoges 1990.
- [19] J Garcia et al. : « Reduce carbon acceptor incorporation in GaAs grown by molecular beam epitaxy using dimer arsenic », Appl. Phys. Lett. 52 (1988) pp. 1596 - 1598.
- [20] S Mottet et al. « Etude des effets parasites affectant le fonctionnement des transistors à effet de champ à gaz d'électrons bidimensionnel », Revue Phys. Appl. 24 (1989) 649-658.
- [21] J C M Hwang : "Gradual Degradation under R.F. Overdrive of MESFETs and PHEMTs", pp 81 - 84, GaAs IC Symposium, San Diego, California 1995.
- [22] Y A Tkachenko et al. : « Hot-Electron-Induced electroluminescence of GaAs Field Effect and Bipolar Transistors », in Dig. IEEE Sarnoff Symp., 1994.
- [23] J L Muraro, F Coppel, G Grégoris, R Plana, J Graffeuil : " Hot electron effect on HFET devices : how to asses reliability of high power amplifiers ?", GaAs REL WORKSHOP EIA / JEDEC, November 3, 1996, Orlando, FLORIDA.
- [24] J L Cazaux, G Gregoris, J L Muraro, A Bensoussan, M Soulard : "La technologie MMIC dans les satellites", Papier invité, JNMO'97, 29-31 Janvier 1997, Chantilly.
- [25] J L Cazaux, G Gregoris, J L Muraro, A Bensoussan, M Soulard : "MMIC technology aboard satellites", publication à paraître dans le journal de Physique IV.
- [26] J L Muraro, F Coppel, G Grégoris, P G Tizien, R Plana, J Graffeuil : "Conditions optimales pour la fiabilité des transistors à effet de champ de puissance", Dixièmes Journées Nationales Microondes, Mai 1997 Saint Malo.

## Conclusion générale

---

**L**e contexte économique des télécommunications nécessite des délais de fabrication de plus en plus court, une densité d'intégration et des performances des modules micro-ondes toujours accrues. Tous ces aspects peuvent être en partie satisfaits lorsque l'on utilise des Circuits Intégrés Monolithiques Micro-ondes sur Arséniure de Gallium (MMIC). Cependant la généralisation de l'emploi de la technologie MMIC pour toutes les fonctions micro-ondes impose que la fiabilité de ce type de technologie soit optimale.

Or la recherche des performances, notamment dans le cas particulier de l'amplification de puissance, impose d'utiliser les composants dans des régions où des mécanismes de défaillances peuvent survenir en raison de contraintes électriques et thermiques trop élevées.

Nous avons proposé une méthodologie qui permet de définir des aires de sécurité de fonctionnement adaptées aux caractéristiques réelles du composant (filière HFET de Texas Instruments) et à son mode de fonctionnement (l'amplification de puissance).

Pour cela deux types de véhicules de test ont été développés :

- . Un Véhicule de Caractérisation Technologique (TCV).
- . Un Circuit d'Evaluation Dynamique (DEC).

Le Véhicule de Caractérisation Technologique (TCV) est constitué des cellules élémentaires de la bibliothèque du fondeur. Il a été conçu en appliquant les règles de dessin les plus contraignantes de cette technologie. Son but est de vérifier l'évolution en vieillissement des paramètres statiques des diverses cellules passives et actives de la filière.

Le Circuit d'Evaluation Dynamique (DEC) a permis l'évaluation des éléments actifs de la filière dans l'application : ce véhicule de test est constitué d'un transistor adapté en puissance. Outre le vieillissement sous contraintes statiques, ce véhicule de test a permis d'effectuer des essais de vieillissement sous contraintes dynamiques, plus représentatifs de l'utilisation du transistor dans la fonction d'amplification de puissance.

Ces véhicules de test ont subi différents types d'essais de vieillissement accéléré sous contraintes électriques et thermiques.

- . Stockage à haute température à 300°C.

- Vieillissement accéléré sous contraintes électriques statiques.
- Vieillissement accéléré sous contraintes électriques dynamiques.

Des essais de stockage à haute température et des essais sous contraintes électriques statiques réalisés sur le TCV ont permis dans un premier temps de valider la technologie de la filière étudiée. Ces différentes files d'essais ont constitué une évaluation d'un point de vue de la fiabilité de la filière HFET qui était jusque là inconnue pour Alcatel Espace. Ainsi nous avons volontairement outrepassé les densités de courant et les tensions recommandées par les normes utilisées habituellement dans le spatial.

A titre d'exemple, nous avons appliqué une valeur correspondant à 200% de la densité de courant maximale fournie par le fondeur sur les différents éléments passifs du TCV alors que ces normes préconisent de ne pas appliquer une valeur supérieure à 75%.

Les données de fiabilité (durée de vie etc.) de chaque cellule extraites pour des critères de défaillances relativement faibles répondent tout à fait aux exigences du spatial.

Nous avons ensuite évalué l'aptitude du transistor HFET à remplir une fonction micro-onde de puissance. Des tests de vieillissement sous contraintes dynamiques ont été effectués sur le DEC, dans le but d'activer tous les mécanismes susceptibles de se produire au cours de son utilisation en régime non linéaire.

Un mécanisme de dégradation a été mis en évidence lié au phénomène de multiplication des porteurs par ionisation par impact. Ce mécanisme qui se traduit par une diminution de la puissance de sortie présente **un seuil de déclenchement** par opposition aux phénomènes cumulatifs activés par la température comme par exemple la diffusion des métaux. Le fonctionnement ou non d'un amplificateur de puissance dans un domaine de sécurité peut donc être évalué rapidement.

La simulation non linéaire des conditions de fonctionnement appliquées au cours du vieillissement (life test R.F.) sur chacun des modules a permis de dégager des paramètres électriques indicateurs quant à la fiabilité du transistor dans l'application. Le courant d'avalanche grille - drain  $I_{gd}$ , directement dépendant du champ électrique grille - drain constitue le principal paramètre sensible. L'utilisation du composant dans un domaine de fonctionnement sûr lors de l'amplification de puissance peut être garantie par la visualisation des variations temporelles de  $I_{gd}$  (valeur seuil du pic de courant  $I_{gd}$  dû au claquage grille - drain à ne pas dépasser).

La réalisation d'**essais de vieillissement sous contraintes dynamiques de courte durée (une semaine)** combinés à des **simulations électriques non linéaires** permet de dégager une méthodologie d'évaluation de la fiabilité des composants de puissance HFET dès le stade de la conception.



**CONDITIONS OPTIMALES DE FONCTIONNEMENT POUR LA  
FIABILITE DES TRANSISTORS A EFFET DE CHAMP MICRO-ONDES  
DE PUISSANCE**

**RESUME**

Ce memoire de these traite de la fiabilité des circuits intégrés monolithiques en Arseniure de Gallium pour l'amplification de puissance micro-ondes a bord des satellites de telecommunications et d'observation.

L'objectif de ce travail est de déterminer des règles de réduction des contraintes (en termes de température, courant, tension, puissance) appliquées aux circuits micro-ondes.

La première partie énonce les notions fondamentales de la fiabilité des composants en Arseniure de Gallium suivis d'une synthèse des principaux mécanismes de défaillances des transistors à effet de champ en Arseniure de Gallium.

Le second chapitre propose une méthodologie permettant l'évaluation de la fiabilité des circuits intégrés à semi conducteur basée sur la définition des véhicules de test et sur la mise en oeuvre d'essais de fiabilité appropriés.

A partir des résultats obtenus lors des essais de stockage à haute température et de vieillissement sous contraintes électriques statiques, la fiabilité de la technologie est évaluée. Cette partie fait l'objet du troisième chapitre.

Nous validons dans le quatrième chapitre l'application considérée (l'amplification de puissance en bande X) au travers d'essais de vieillissement sous contraintes électriques dynamiques. Le mécanisme de dégradation activé lors du fonctionnement du transistor en amplification de puissance est dû à la multiplication des porteurs par ionisation par impact.

A partir de cette analyse, une méthodologie alliant la **simulation électrique non-linéaire** avec des **essais de vieillissement accéléré de courte durée** est dérivée. Cette méthodologie permet d'évaluer la fiabilité des transistors de puissance en Arseniure de Gallium dès le stade de la conception des équipements.

**MOTS CLES**

Amplificateur de puissance à état solide, Micro-ondes, Transistor à effet de champ, Circuit Intégré Monolithique de Puissance, Fiabilité, Ionisation par impact, Régime non -linéaire.

**OPTIMIZED OPERATION CONDITIONS FOR POWER  
MICROWAVE FIELD EFFECT TRANSISTOR RELIABILITY**

**ABSTRACT**

The main frame of this thesis is related to the reliability of Gallium Arsenide Monolithic Microwave Integrated Circuits (MMIC) for power amplifiers.

The aim of this work is the determination of meaningful derating rules (in terms of temperature, current, voltage, power) applied on microwave circuits.

The first section covers field effect transistor reliability rules. A summary of the mains degradation mechanism is GaAs FET are presented.

The second section addresses a methodology for the evaluation of MMIC reliability based on test vehicles definition (Technological Characterisation Vehicle and Dynamic Evaluation Circuit) and the well suited life test conditions.

The reliability of the MMIC technology is evaluated by high storage temperature and DC life test results. The power amplifier application is then validated through life test under dynamic electrical stress. The degradation mechanism activated under power amplifier application is analysed in term of impact ionisation processes.

Finally, we present a methodology based on short duration life test corroborated with non linear simulation in order to include MMIC power amplifier reliability during design phase.

**KEY WORDS**

Solid-state power amplifier, Microwaves, Field effect transistor, Monolithic Microwave Integrated Circuits, Reliability, Impact ionisation, Overdrive.