HAL
open science

Conception de diviseurs de fréquence analogiques réalisés en technologie monolithique à base de transistors pseudomorphiques à haute mobilité électronique

Simon Desgrez

To cite this version:

Simon Desgrez. Conception de diviseurs de fréquence analogiques réalisés en technologie monolithique à base de transistors pseudomorphiques à haute mobilité électronique. Micro et nanotechnologies/Microélectronique. Université Paul Sabatier - Toulouse III, 1997. Français. NNT : . tel-00010077

HAL Id: tel-00010077

https://theses.hal.science/tel-00010077v1

Submitted on 8 Sep 2005

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

N° d'ordre : 2745

Année 1997

THESE

Préparée au **Laboratoire d'Analyse et d'Architecture des Systèmes**

en vue de l'obtention du

DOCTORAT de l'Université Paul Sabatier de Toulouse

spécialité Electronique : Micro-ondes.

par

Simon DESGREZ

Maître es Sciences.

CONCEPTION DE DIVISEURS DE FREQUENCE ANALOGIQUES REALISES EN TECHNOLOGIE MONOLITHIQUE A BASE DE TRANSISTORS PSEUDOMORPHIQUES A HAUTE MOBILITE ELECTRONIQUE

directeur de thèse : M. Gayral.

Soutenue le 29 septembre 1997, devant le jury :

J-F. Sautereau	Président
J. Lewiner	Rapporteur
R. Quéré	Rapporteur
B. Byzery	Examinateur
J-C. Cayrou	Examinateur
A. Fabre	Examinateur
J. Graffeuil	Examinateur
O. Llopis	Examinateur
M. Pouységur	Examinateur
J. Sombrin	Examinateur

Rapport LAAS n° 97359

Cette thèse a été préparée au Laboratoire d'analyse et d'Architecture des Systèmes du CNRS
7, av. du Colonel Roche 31077 Toulouse Cedex 4, France.

A Vanessa,

A ma mère et mon père,

A tous ceux que j'aime.

AVANT PROPOS

Les travaux présentés dans cette thèse ont été effectués au sein du groupe "Composants et Circuits Micro-ondes" du "Laboratoire d'Analyse et d'Architecture des Systèmes" (LAAS) du CNRS à Toulouse.

Je tiens donc à remercier Messieurs A. COSTES et J-C. LAPRIE, directeurs successifs du LAAS, pour la confiance dont ils ont témoigné en m'accueillant dans le laboratoire.

J'adresse également mes remerciements à Monsieur J-F. SAUTEREAU, professeur à l'Université Paul Sabatier, qui m'a fait l'honneur d'accepter de présider le jury de thèse avec tout le charisme qu'on lui connaît.

Que Messieurs J. LEWINER, professeur à l'ESCPI de la ville de Paris, et R. QUERE, professeur à l'IUT de Brive, reçoivent les marques de mon plus grand respect ainsi que mes remerciements sincères pour avoir accepté d'être les rapporteurs de cette thèse.

Je remercie vivement B. BYZERY, ingénieur de Philips Microwave Limeil, J-C. CAYROU, ingénieur d'Alcatel Télécom, A. FABRE, professeur à l'IXL de l'Université de Bordeaux, M. POUYSEGUR, ingénieur d'Alcatel Télécom, et J. SOMBRIN, ingénieur du CNES, pour avoir examiné nos travaux et participé activement au jury de thèse.

Enfin, je remercie Monsieur J. GRAFFEUIL, professeur à l'Université Paul Sabatier de Toulouse et directeur du groupe "Composant et Circuits Micro-ondes", pour la confiance qu'il m'a accordée en m'accueillant dans son équipe.

Je voudrais me souvenir de Michel GAYRAL, maître de conférence à l'Université Paul Sabatier, comme du véritable initiateur des travaux que nous avons réalisés ensemble. Ses compétences scientifiques, sa disponibilité de tous les instants et son courage dans les épreuves resteront un exemple. Je regretterai toujours de ne pas avoir pu lui présenter les résultats de notre collaboration.

O. LLOPIS a toute ma reconnaissance pour s'être intéressé à mes travaux tout au long de ces trois années et avoir su, dans des circonstances précipitées, reprendre la direction de ma thèse avec toute la maîtrise dont il sait faire preuve.

Mes remerciements vont bien entendu aux autres représentants permanents du groupe CCM, J-M. DIENOT, L. ESCOTTE, T. PARRA et R. PLANA, pour leur accueil, les conversations intéressantes et les conseils prodigués.

Je ne peux oublier les autres doctorants du groupe CCM qui m'ont permis de vivre cette période de thèse dans de bonnes conditions. Dans l'ordre d'apparition :
P. ANDRE le prédécesseur, J-P. ROUX le fou de travail, C. ZANCHI longtemps la seule composante féminine du groupe, J-L. MURARO la qualité d'Alcatel, J. VERDIER le bout en train, B. VAN HAAREN le complice de toute une thèse, L. BELLAGH le collègue de courte durée, P. MONFRAIX le prochain à y passer, D. PRIETO l'expatrié du Luchonnais, J-G. TARTARIN l'humour... , S. COLOMINES le rugbyman esthète, E. SAINT-ETIENNE l'homme bi-appartenant, M. REGIS le soleil de la Martinique au labo, B. GUILLON le conducteur fou et K. GRENIER la petite dernière.

Enfin je voudrais remercier, dans le désordre, les personnes du LAAS qui m'ont accompagné durantles trois dernières années : les membres de l'équipe de rugby, les dignes représentants de l'alias "bob", le personnel du service documentation et reproduction, les spécialistes en informatique de l'administration système et plus généralement tous ceux avec qui j'ai passé d'agréables moments au sein du laboratoire.

SOMMAIRE

INTRODUCTION GENERALE 1

CHAPITRE 1: LES DIVISEURS DE FREQUENCE
présentation et généralités

I INTRODUCTION 5
II LA DIVISION DE FRÉQUENCE À BASE DE BASCULES NUMÉRIQUES 6
II-1 Principe de la division par bascules numériques 6
II-2 Etat de l'art 9
II-2-1 Fréquences maximales de fonctionnement 9
II-2-2 Consommation de puissance 10
II-2-3 Energie utilisée 11
III LES DIVISEURS BASÉS SUR LA RÉGÉNÉRATION DE FRÉQUENCE 12
III-1 Principe de la division par régénération de fréquence 12
III-2 Présentation des circuits 16
III-2-1 Circuits basés sur un modulateur équilibré 17
III-2-2 Circuits basés sur un nombre réduits d'éléments actifs 18
III-3 Etat de l'art 21
IV LES OSCILLATEURS SYNCHRONISÉS 23
IV-1 Principe 23
IV-2 Présentation des circuits 25
IV-2-1 Circuits présentant une contre-réaction série 25
IV-2-2 Diviseurs dynamiques 25
V LES DIVISEURS PARAMÉTRIQUES 27

V-1 Principe 27
V-2 Etat de l'art 30
V-2-1 Diodes varactors 30
V-2-2 Diodes à avalanche 31
V-2-3 Transistors 32
VI APPLICATIONS DES DIVISEURS DE FRÉQUENCE 32
VI-1 La synthèse de fréquence 33
VI-2 Les systèmes de transmission à haut débit 35
VII CONCLUSION 37

CHAPITRE 2 : ANALYSE DES DIVISEURS DE FREQUENCE

I INTRODUCTION 45
II APPROCHE ANALYTIQUE 46
II-1 Plage de synchronisation 47
II-2 Gain de conversion 48
II-3 Division d'ordre supérieur à deux 51
II-3-1 Calculs pour une division d'ordre deux 51
II-3-2 Calculs pour une division d'ordre supérieur à deux 52
II-3-3 Méthode alternative pour les divisions d'ordre supérieur à deux 55
III MÉTHODOLOGIE D'ANALYSE D'UN DIVISEUR 58
III-1 Méthodes de simulation 58
III-1-1 Méthode d'équilibrage harmonique 58
III-1-2 Méthode dite "de la sonde" 60
III-1-3 Simulation temporelle 61
III-2 Méthodologie d'analyse 62
III-2-1 Configuration amplificateur 62

III-2-2 Configuration oscillateur 63
III-2-3 Configuration diviseur 65
III-3 Méthode de la boucle ouverte 67
III-3-1 Principe 68
III-3-2 Ouverture de la boucle et unilatéralisation des cellules 69
III-3-3 Problème du niveau "petit signal" 71
III-3-4 Paliers de phase 72
III-3-5 Méthode de la boucle ouverte par itération 73
III-3-6 Conclusion partielle 73
III-4 Bistabilité 74
III-4-1 Exemple de la bifurcation de Feigenbaum 75
III-4-2 Mise en évidence d'une bistabilité à travers l'exemple d'un circuit simple 77
III-4-3 Etude de la stabilité 80
IV CONCLUSION 86

CHAPITRE 3 : CONCEPTION EN TECHNOLOGIE MMIC

I INTRODUCTION 91
II DESCRIPTION DE LA TECHNOLOGIE EMPLOYÉE 92
II-1 Caractéristiques générales 92
II-1-1 Propriétés du PHEMT 93
II-1-2 Performances du PHEMT utilisé 94
II-2 Modifications du modèle non-linéaire 95
II-2-1 Cellule de retard 96
II-2-2 Modélisation de la dispersion de la conductance de sortie avec la fréquence 96
II-2-3 Capacités non-linéaires 97
II-2-4 Fonction exponentielle 97

II-3 Application du critère déterminé lors de l'étude analytique 97
III MÉTHODOLOGIE DE CONCEPTION 98
III-1 Etape 1 : optimisation linéaire 98
III-2 Etape 2 : étude de l'oscillation en fort signal 100
III-3 Etape 3 : recherche du blocage en Vg_{DC} 101
III-4 Etape 4 : analyse du diviseur en centre de bande 101
III-5 Etape 5 : analyse de la bande de synchronisation en fréquence 102
IV APPLICATION À L'ÉTUDE COMPARÉE DE TROIS TOPOLOGIES 102
IV-1 Contre-réaction parallèle, entrée sur grille 103
IV-2 Contre-réaction série, entrée sur grille 107
IV-3 Contre-réaction série, entrée sur source 109
V TOPOLOGIE ORIGINALE DE DIVISEUR DE FRÉQUENCE 112
VI DIVISEUR PAR QUATRE 115
VII RÉALISATION DES CIRCUITS INTÉGRES MONOLITHIQUES 118
VIII CONCLUSION 119

CHAPITRE 4 : CARACTERISATION ELECTRIQUE DES CIRCUITS

I INTRODUCTION 123
II BANC DE MESURE EXPÉRIMENTAL 123
III MESURES DE L'OSCILLATEUR SYNCHRONISÉ (PUCE N° 1) 124
III-1 Performances selon le critère retenu 125
III-2 Autres performances 126
IV MESURES EN CONFIGURATION DIVISEUR RÉGÉNÉRATIF SUR LA PUCE N°1 130
V MESURE DU DIVISEUR RÉGÉNÉRATIF SUR LA PUCE N°2 132

V-1 Mesures de la bande de synchronisation 132
V-2 Autres performances 135
VI CONCLUSION 139

CHAPITRE 5 : LE BRUIT DE PHASE DANS LES DIVISEURS DE FREQUENCE

I INTRODUCTION 141
II GÉNÉRALITÉS 142
III BRUIT DE PHASE DANS LES OSCILLATEURS SYNCHRONISÉS 145
IV MÉTHODES DE MESURE DU BRUIT DE PHASE DES DIVISEURS DE FRÉQUENCE 148
IV-1 Technique directe 149
IV-2 Mesure du bruit de phase résiduel 153
V MESURES DE BRUIT DE PHASE RÉALISÉES 155
V-1 Mesures par la méthode directe 155
V-2 Mesures de bruit de phase résiduel 158
VI CONCLUSION 158

CONCLUSION GENERALE 161

Introduction générale

INTRODUCTION GENERALE

La fin du XXe siècle a mis en évidence une mutation profonde dans les domaines des communications et des hyperfréquences avec l'apparition de la radiotéléphonie mobile, des télécommunications par liaisons satellite, du télépéage, des systèmes de radar anticollision. Ceci a des conséquences importantes pour l'équipementier électronique micro-onde. En effet, les modules micro-ondes doivent présenter des garanties sérieuses tant au niveau des performances électriques (fréquence, puissance, bruit...), de la fiabilité (maturité technologique), que du coût de production et de l'encombrement, ce qui nécessite des densités d'intégration croissantes. De plus, l'encombrement spectral actuel oblige à envisager l'accès à des bandes de fréquences plus élevées. Les concepteurs de circuits intégrés monolithiques micro-ondes se doivent donc de disposer de circuits qui faciliteront cette montée en fréquence. Le diviseur de fréquence est amené à prendre part à cette démarche.

Nos travaux de recherche s'insèrent dans un projet de réalisation de sources micro-ondes particulièrement stables en bande Ku réalisées selon le principe des boucles à verrouillage de phase permettant de synchroniser un oscillateur hyperfréquence sur un oscillateur de référence radiofréquence (généralement à quartz). Pour ce faire, on utilise des diviseurs de fréquence numériques qui fonctionnent jusqu'à quelques gigahertz. Au delà cependant, il est nécessaire de faire appel à des techniques analogiques. L'ordre de division de ce type de diviseur est plus faible que celui des diviseurs numériques, mais il s'agit simplement d'abaisser la fréquence jusqu'au domaine d'utilisation des diviseurs numériques qui prennent ensuite le relais.

Nos travaux de recherche ont donc porté sur l'étude et la réalisation de diviseurs de fréquence analogiques. Toutefois, avant de présenter ces travaux, il nous est apparu intéressant de clarifier les différents principes régissant la division de fréquence. Nous avons en effet préféré une classification de ces circuits suivant le principe utilisé pour la division de fréquence, ce qui s'est révélé néanmoins difficile dans la mesure où, comme nous pourrons le constater, les frontières sont souvent floues entre les différentes approches publiées dans la littérature scientifique. Les techniques utilisées pour les diviseurs analogiques se révèlent par

exemple toutes centrées sur un même principe : celui d'une oscillation synchronisée sur harmonique. Toutefois, l'étude de ces circuits est plus ou moins complexe suivant que l'oscillation existe (ou non) en l'absence du signal d'entrée. Enfin, certains circuits dits "numériques" semblent avoir un comportement très proche des diviseurs régénératifs analogiques. On y décèle en effet la présence des fonctions essentielles de ces derniers (amplification, mélange). Le nouveau classement permet de prendre en compte ce phénomène de convergence de certains circuits provenant d'approches initiales différentes. Enfin, nous avons jugé utile de présenter des applications importantes du diviseur de fréquence pour situer son intérêt.

Malgré de nombreux travaux publiés depuis les années 40 (Miller), la division de fréquence analogique reste un phénomène comportant des mécanismes mal maîtrisés bien que reproductibles par la simulation. Nous avons essayé dans un premier temps de mener une étude analytique sur des modèles simplifiés de circuits afin de trouver les paramètres essentiels du phénomène. Nous avons pu ainsi obtenir des informations qui ne refléteront certes pas avec précision la réalité d'un diviseur de fréquence, mais qui permettront d'obtenir une idée claire des mécanismes de division de fréquence. La plage de synchronisation, le gain de conversion ainsi que les conditions nécessaires à une division d'ordre supérieur à deux ont été étudiés. Nous avons également expérimenté diverses méthodes d'analyse d'un diviseur de fréquence afin de développer une approche méthodologique générale. Notre choix s'est finalement porté sur une méthode récemment développée à l'IRCOM de Limoges dite "de la boucle ouverte" qui nous est apparue comme la plus apte à nous fournir les informations nécessaires à la conception d'un diviseur de fréquence. Cependant, lors de l'utilisation de cette méthode, des processus assez semblables à des cascades de bifurcations chaotiques ont été rencontrés dans certains cas. Des vérifications ont donc été réalisées afin de savoir si ces phénomènes avaient un caractère rédhibitoire ou non.

Une troisième partie de notre manuscrit est consacrée à la conception en technologie monolithique de nos circuits. Nous nous sommes tout d'abord intéressés à la technologie employée (filière D02AH de PML - Philips). Notre objectif était de développer une méthodologie de conception générique. Celle-ci sera présentée par des étapes détaillées successives. Cette méthode a été testée dans un premier temps au travers des études comparées de trois topologies différentes d'oscillateurs synchronisés qui nous ont permis de

vérifier sa validité. Ensuite, une topologie originale de diviseur de fréquence régénératif a été étudiée avec pour but d'améliorer la bande de synchronisation en fréquence, caractéristique que nous jugeons la plus difficile à améliorer dans ce type de circuit. Enfin, une topologie donnant des résultats intéressants de division par quatre sera présentée. Cette dernière, au contraire des deux premiers travaux, n'a malheureusement pas pu être envoyée au fondeur en vue d'une intégration.

Une démarche de conception ne peut aboutir qu'à une vérification expérimentale des performances simulées. Les deux puces réalisées ont donc été testées au moyen d'une station de mesure sous pointes micrométriques HF. Les performances électriques des deux circuits sont donc présentées dans un quatrième temps en prenant soin de vérifier la bonne concordance avec les simulations d'une part et leur positionnement par rapport à l'état de l'art d'autre part.

Toutefois, au delà des performances essentielles du circuit, il nous a semblé important de vérifier également celles en rapport avec l'utilisation future du diviseur de fréquence. Ce dernier est amené à prendre place dans des systèmes de communication où sa pureté spectrale sera un facteur essentiel de choix. Notre cinquième et dernière partie sera donc consacrée au bruit de phase dans les diviseurs de fréquence. Nous présenterons ainsi une description analytique du bruit de phase d'un oscillateur synchronisé par injection, en considérant donc qu'un diviseur de fréquence peut être assimilé à ce cas. Les différents dispositifs utilisés seront ensuite exposés. Enfin, des mesures du bruit de phase de diviseurs seront présentées.

CHAPITRE 1:
LES DIVISEURS DE FRÉQUENCE
présentation et généralités

LES DIVISEURS DE FREQUENCES

présentation et généralités

I. INTRODUCTION

Les diviseurs de fréquence sont devenus des éléments essentiels de nombreux circuits dans le domaine des télécommunications. On les retrouve en effet dans des fonctions générales telles que la synthèse de fréquence, les télécommunications à haut débit, et plus particulièrement dans les systèmes d'asservissement en phase ou la génération d'horloge. Ils assurent la stabilité en fréquence des sources micro-ondes en permettant leur verrouillage sur des références à quartz. Ils participent de façon active à la synthèse de fréquence par l'obtention de valeurs fractionnaires de la fréquence de référence dans les synthétiseurs haute fréquence. Ils peuvent de surcroît être utilisés directement pour transposer une bande de réception vers des fréquences inférieures où le signal peut ensuite être traité.

Nous nous proposons, dans un premier temps, de décrire les principes généraux de fonctionnement des diviseurs de fréquence et d'effectuer, à partir de l'analyse de ces mécanismes, un classement de ces dispositifs. Nous tenterons de dépasser le cloisonnement classique "diviseurs analogiques, diviseurs numériques" en mettant en lumière les points communs existant entre les divers diviseurs de fréquence.

En effet, lors de notre étude bibliographique, il nous est apparu que les divergences observées entre les différentes familles de circuits dans les "basses" fréquences étaient de moins en moins significatives au fur et à mesure que les fréquences s'élevaient. Par exemple, la notion de "signal carré" pour les circuits numériques n'est plus obligatoirement vérifiée et celles, telle l'adaptation, généralement réservées aux circuits analogiques, s'avèrent plus communément répandues. Ainsi, il semble plus intéressant de développer une approche à partir des principes de base utilisés qui montrent en définitive une certaine convergence.

Pour chaque principe, nous présenterons les performances atteintes par les diviseurs de fréquence. Celles-ci conditionnent le type d'applications dans lesquelles ce dispositif pourra

être utilisé. Il en résultera une organisation particulière de notre présentation de l'état de l'art selon différents pôles d'intérêt.

Nous décrirons enfin, dans une seconde partie, les applications recensées des diviseurs de fréquence. Nous ne rentrerons pas dans le détail des systèmes décrits ni ne tenterons une énumération exhaustive, mais nous essaierons plutôt de nous attacher à définir précisément le rôle et l'intérêt du diviseur de fréquence dans ces systèmes.

II LA DIVISION DE FREQUENCE A BASE DE BASCULES NUMERIQUES

Ce concept est uniquement rencontré dans les diviseurs numériques statiques. Il est apparu dès le début de la logique séquentielle et de l'utilisation de cette dernière pour la réalisation de compteurs.

II-1 Principe de la division par bascules numériques

Pour pouvoir décrire le phénomène de division de fréquence à base de bascules numériques, il nous faut donc commencer par décrire celles-ci. Nous prendrons l'exemple de la bascule JK (Figure 1 et Tableau 1) qui est caractéristique des divers types de bascules.

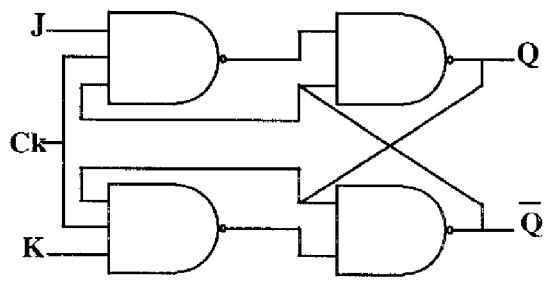

Figure 1 : bascule JK à base de portes Non-Et.

J_n	K_n	Q_{n+1}
0	0	Q_n
1	0	1
0	1	0
1	1	$\overline{Q_n}$

Tableau 1: table de vérité de la bascule JK.

La mise en cascade de deux bascules JK avec un "feed-back" de la sortie de la deuxième bascule sur l'entrée de la première et l'utilisation de l'horloge inversée en entrée de la deuxième nous donne un circuit appelé bascule maître-esclave (Figure 2) qui est de loin le

plus utilisé dans les diviseurs numériques statiques, et dont l'intérêt essentiel réside dans l'isolation de l'entrée et de la sortie afin d'éviter les problèmes d'emballement en rond (situation d'ambiguïté entre la sortie et l'entrée due au délai de propagation de l'information dans la bascule).

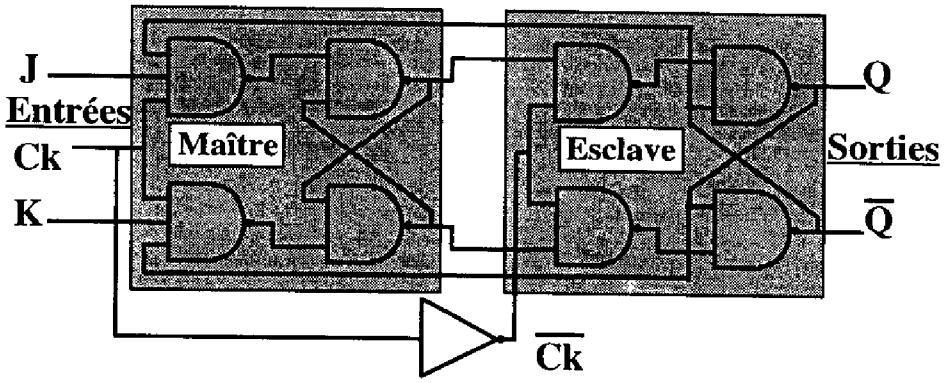

Figure 2 : bascule maître-esclave JK.

Si nous fixons les entrées à des niveaux complémentaires (au moyen d'un inverseur) alors le circuit devient une bascule D, ce qui implique un comportement de circuit à retard ($Q_{n+1}=D_n$) (Tableau 2). Par contre, si les entrées J et K sont fixées au même état, nous appellerons alors le circuit bascule T dont la particularité est de fonctionner comme un commutateur à levier, l'état de sortie changeant à chaque front d'horloge (Tableau 3). Les deux systèmes sont utilisés pour la conception de diviseurs de fréquence. Ce système est aussi dénommé "multivibrateur bistable". En effet, seuls deux états sont possibles à sa sortie, et ceux-ci restent stables en l'absence de signal d'entrée.

D_n	Q_{n+1}
1	1
0	0

Tableau 2 : Table de vérité d'une bascule D

T_n	Q_{n+1}
1	$\overline{Q_n}$
0	Q_n

Tableau 3 : Table de vérité d'une bascule T

Ainsi lorsque les entrées J et K sont fixées à la valeur haute (fonctionnement en bascule T), Q recopie $\overline{Q}$ lorsque nous avons un front d'horloge descendant (Tableau 3). (Remarquons que le signal incident est appliqué sur l'entrée d'horloge.) Cette caractéristique

particulière va permettre le phénomène de division de fréquence par deux comme nous pouvons nous en apercevoir sur les chronogrammes représentés sur la Figure 3. Du fait que les bascules soient bistables, le retrait du signal d'entrée implique un arrêt des oscillations en sortie. La mise en cascade de plusieurs bascules (n) permet d'effectuer des divisions d'ordre supérieur à 2 (2^n).

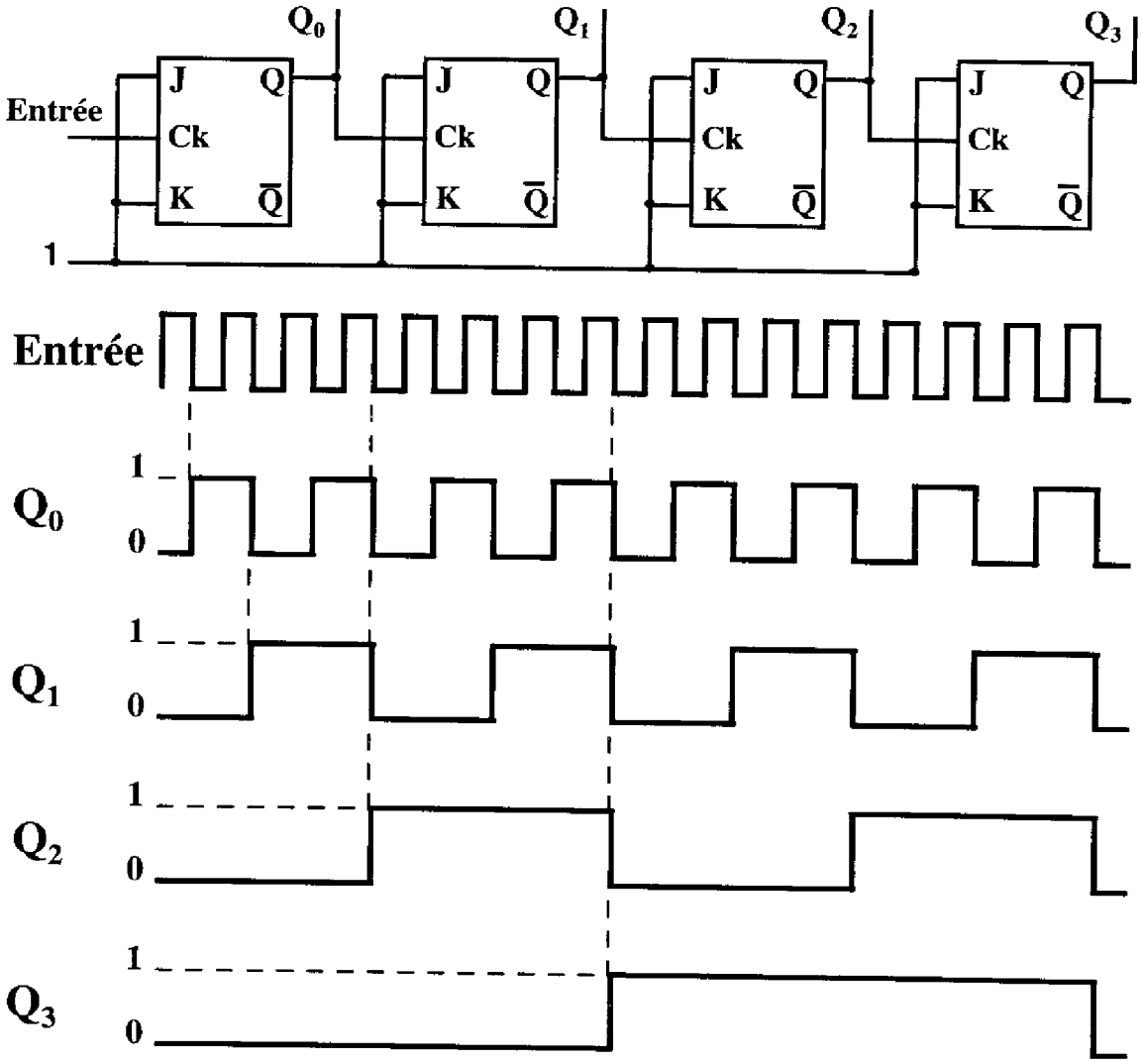

Figure 3 : cascade de bascules JK et chronogramme des sorties successives.

Nous pouvons observer que le diviseur statique a un temps de propagation égal à n fois le temps de propagation dans une porte élémentaire, comme noté en (1.), ce qui est un inconvénient majeur en comparaison d'autres circuits qui peuvent atteindre la fréquence maximale de fonctionnement d'une cellule unique (n=1).

$$\tau_{\text{dp du diviseur}} = n \times \tau_{\text{dp d'une porte élémentaire}} \qquad (1.)$$

Le facteur "n" dépend essentiellement de la configuration du circuit utilisée pour concevoir la bascule (n=2 au minimum). Il décrit en fait le chemin suivi par le signal dans le circuit.

Le fonctionnement asynchrone d'une bascule assure une bande de fréquence allant du continu jusqu'à sa fréquence maximum (on parle plutôt de temps minimum de propagation du signal au travers d'une porte).

II-2 Etat de l'art

Comme précisé plus haut, nous ne trouverons que des circuits numériques statiques régis par ce principe. Cependant, il existe une certaine difficulté pour établir une comparaison valide des circuits référencés ci-après de par des différences entre les diverses logiques et technologies employées (ces deux notions sont par ailleurs liées), et de par les spécifications visées. Nous utiliserons donc le produit (consommation) x (temps de propagation).

Nous pouvons aussi remarquer que les diviseurs de fréquence sont souvent utilisés par les concepteurs de circuits numériques pour tester une nouvelle technologie, en parallèle avec des circuits plus simples tels des oscillateurs en anneaux. En effet, le délai de propagation déterminé est plus proche de la réalité d'un circuit numérique complet dans une bascule que dans une simple porte inverseuse.

II-2-1 Fréquences maximales de fonctionnement

Il est essentiellement fait référence à la fréquence maximale de fonctionnement, ou temps minimum de propagation du signal au travers d'une porte, pour les diviseurs numériques statiques (on préfère parler de bande de fréquence ailleurs). En effet, une des difficultés principales de la réalisation provient de la montée en fréquence. Cette dernière

résulte soit d'une amélioration de la technologie dans laquelle est réalisé le circuit (dimension de la règle de dessin, matériaux semi-conducteurs utilisés,...), soit de la réduction du chemin suivi par le signal à l'intérieur du circuit (le facteur "n" défini en (1.)).

Contrairement à l'avis généralement partagé, il ne semble pas que les diviseurs de fréquence numériques statiques soient limités aux basses fréquences de la gamme centimétrique. En effet, bon nombre de réalisations de laboratoire fonctionnent déjà en bande millimétrique. Bien évidemment, la montée en fréquence s'accompagne d'une plus forte consommation. Il est néanmoins souvent précisé (comme développé plus avant) que, pour une même technologie employée, les diviseurs à base de bascules fonctionnent à des fréquences bien plus basses que ceux basés sur d'autres principes.

Les publications présentent, à ce jour, des fréquences maximales allant jusqu'à quasiment 39.5 GHz [1]. Les technologies III/V (HBT ou HEMT) [1] [2] ont obtenu jusqu'à présent les meilleurs résultats. Nous pouvons cependant remarquer que les circuits bipolaires sur Silicium assurent de très bonnes performances [3], allant jusqu'au domaine millimétrique (35 GHz). Nous pouvons aussi remarquer l'émergence de la technologie Si/SiGe [4]. Enfin, les dispositifs à base de CMOS ont déjà démontré des potentialités jusqu'à des fréquences de l'ordre de 13 GHz [5].

II-2-2 Consommation de puissance

Les diviseurs de fréquence numériques statiques nécessitent souvent un grand nombre de transistors, ce qui multiplie la consommation. De plus, il sont amenés à être intégrés dans des systèmes contenant un grand nombre de sous-circuits. Pour les raisons précédentes, la recherche d'une réduction des puissances dissipées s'avère être également un point important. Par ailleurs, nous pouvons remarquer une disparité certaine entre les différentes logiques (TTL, ECL, ...) sur ce point.

Bien évidemment, de par la dualité "montée en fréquence" - "puissance dissipée", les meilleurs résultats, présentant de faibles puissances dissipées, sont à rapprocher des fréquences de fonctionnement les plus basses.

Des puissances dissipées allant jusqu'à une centaine de µW ont déjà été présentées. Elles concernent des technologies CMOS [6] [7]. Les autres performances enregistrées se situent toutes au dessus du mW [8] [9] [10] [11].

II-2-3 Energie utilisée

Une méthode de comparaison entre ces divers diviseurs à base de bascules consiste en l'utilisation d'un facteur de qualité défini par le produit du temps minimum de propagation (ou l'inverse de la fréquence maximale de fonctionnement) par la consommation. On s'aperçoit alors que certains circuits non pris en compte précédemment apparaissent comme plus intéressants [12] [13] [14]. Nous avons préféré utiliser une comparaison visuelle (Figure 4) pour représenter l'état de l'art actuel.

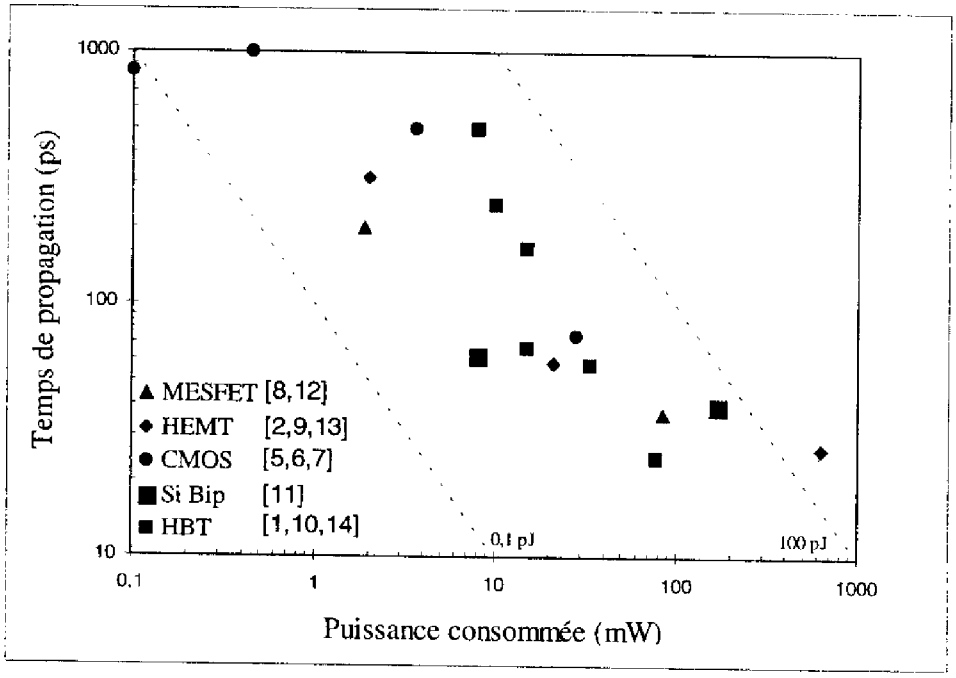

Figure 4 : graphique de comparaison des performances.

Remarque:

Contrairement à ce qui a été énoncé dans la description du principe des diviseurs à base de bascules numériques, nous avons pu lire dans certaines publications ([2], [15]) qu'une fréquence d'oscillation libre (ou auto-oscillation) était observée en sortie du circuit. Il semble

que la dénomination "diviseur numérique statique" soit alors inexacte, car l'on a affaire à un multivibrateur astable plutôt qu'un bistable (cela correspondrait alors à un fonctionnement dynamique).

III LES DIVISEURS BASES SUR LA REGENERATION DE FREQUENCE

La régénération de fréquence est connue depuis les premiers travaux sur les oscillateurs [16] mais il a fallu un certain temps pour pouvoir développer des circuits l'utilisant dans de bonnes conditions. La première référence [17] faite à la division de fréquence utilisant ce principe nous vient de **R. L. Miller** ce qui a amené certains auteurs à dénommer les diviseurs régénératifs : "diviseurs de Miller".

III-1 Principe de la division par régénération de fréquence

Nous commencerons par développer la division régénérative telle que décrite initialement par (Saint) Miller dont le schéma générique de fonctionnement est reporté ci-dessous (Figure 5). Il s'agit ici du schéma correspondant à une division fractionnaire de fréquence de rapport p/q (p=n et q=mr+1 selon les notations de la Figure 5).

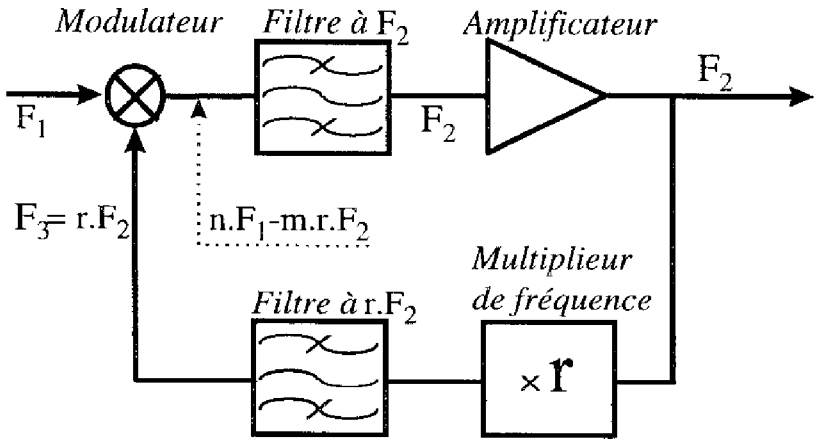

Figure 5: schéma générique d'un diviseur de fréquence régénératif.

Le fonctionnement de ce circuit peut être décrit de la manière suivante :
Le signal d'entrée de fréquence F_1 est mélangé à un signal provenant de la boucle de réaction, et de fréquence F_3 favorisée dans cette même boucle. L'ordre du mélangeur fixe le rang des harmoniques des signaux entrants. Nous prenons ici un cas général et les fréquences d'entrée et de retour de boucle sont donc multipliées par n et m respectivement. Un filtre placé après le mélangeur permet de sélectionner la fréquence provenant de la différence des termes modulés. L'utilisation d'un amplificateur (positionné avant la sortie) est requise pour entretenir un gain de boucle suffisant. Un multiplieur de fréquence est placé dans la boucle pour fournir une partie du terme au dénominateur de la fraction. Il est suivi d'un filtre pour rejeter les harmoniques indésirables qui ne manquent pas d'apparaître en sortie d'un multiplieur. Pour obéir aux conditions de boucle, il nous faut donc obtenir l'égalité suivante :

$$F_2 = n.F_1 - m.r.F_2$$

Soit, après quelques modifications :

$$\boxed{F_2 = \frac{n}{m.r+1} F_1}$$

On retrouve bien un signal de sortie à une fréquence égale à une fraction de la fréquence d'entrée.

Cependant, nous devons fixer deux conditions nécessaires au démarrage de la division :

- Il faut qu'il y ait préexistence d'un signal à la fréquence F_2 (ou F_3, après multiplication) dans la boucle. En pratique, on considère que la présence initiale de ce signal est due au bruit de fond ou à des phénomènes transitoires apparaissant lors de l'application du signal d'entrée.

- Il faut que le gain de boucle soit supérieur à l'unité. Nous parlons en fait ici d'une condition de démarrage donc du gain "petit signal" de la boucle (ensuite le gain de boucle en fort signal est égal à l'unité tout comme dans le cas d'un oscillateur).

Etant donné que l'on se base sur un phénomène relativement proche d'une oscillation, les circuits conçus selon ce principe auront comme avantage principal de pouvoir fonctionner jusqu'aux fréquences maximales permises par la technologie employée, c'est à dire la

fréquence maximale d'oscillation (alors que les diviseurs numériques statiques sont limités par les temps de propagation dans la boucle). Un autre avantage est la possibilité d'obtenir des rangs de division directe supérieurs à deux (alors qu'une bascule ne peut réaliser qu'une division par deux). Cependant, l'utilisation de cette dernière propriété est rare car cela fait apparaître d'autres problèmes tels que la conception d'un mélangeur d'ordre élevé, l'apparition de plusieurs fréquences d'oscillation possibles dans la boucle ou la réduction drastique de la bande de synchronisation en fréquence.

Un inconvénient majeur de la régénération de fréquence, comparativement aux circuits à bascules numériques, provient justement de la largeur de bande de synchronisation en fréquence envisageable. La limite haute de la bande (f_{1h}) sera liée à la fréquence maximale d'oscillation du circuit. Ce qui nous donne la relation suivante :

$$F_{osc.\ max.} = \frac{n}{m.r+1} F_{1h}$$

Le filtre placé à la suite du mélangeur va fixer la fréquence minimale d'entrée f_{1b}. En effet, comme il faut rejeter le terme "somme" en sortie du mélangeur, nous avons la relation suivante :

$$F_{osc.\ max.} < \frac{n+m.r+1}{m.r+1} F_{1b}$$

ce qui nous donne :

$$F_{1b.} > \frac{n}{n+m.r+1} F_{1h}$$

L'équation précédente fixe donc une taille maximale de bande de synchronisation. Ainsi, dans le cas d'un diviseur de fréquence par deux, la fréquence basse de la bande sera égale au tiers de la fréquence haute (n=1, m=1, r=1), ce qui nous donne en théorie une largeur de bande de synchronisation possible de 100 %. Toutefois, cette limite théorique semble difficile à atteindre, car il faudrait pour cela un filtre idéal (i. e. avec des pentes de réjection idéales et aucun déphasage apporté).

Par contre, nous pouvons observer que certains concepteurs font le choix de bandes de synchronisation en fréquence plus larges, et ceci au détriment de la réjection du terme somme. La limite calculée plus haut peut alors être atteinte, voire dépassée [18].

L'utilisation la plus courante du diviseur à régénération de fréquence est dans sa forme "diviseur par deux". Comme le montre le schéma de la Figure 6, la topologie se trouve simplifiée et par conséquent plus facilement réalisable.

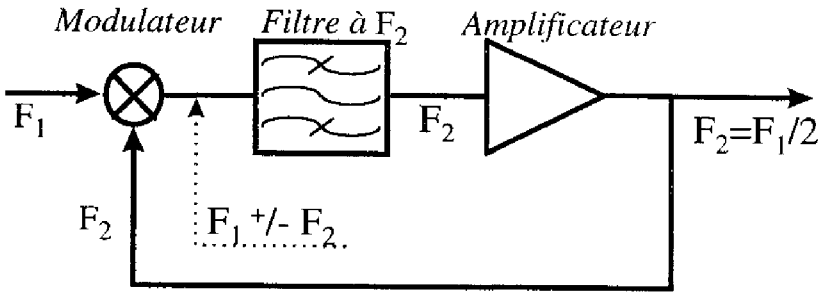

Figure 6 : schéma du diviseur régénératif de fréquence par deux

Il est possible, malgré tout, de constater un phénomène de division directe de fréquence d'ordre supérieur à deux en n'utilisant que les éléments du diviseur par deux, à savoir un mélangeur classique, un filtre et un amplificateur. Une explication de ce phénomène est basée sur l'apparition dans la boucle de l'oscillateur de plusieurs fréquences [23]. Un exemple de diviseur par quatre est donné sur la Figure 7.

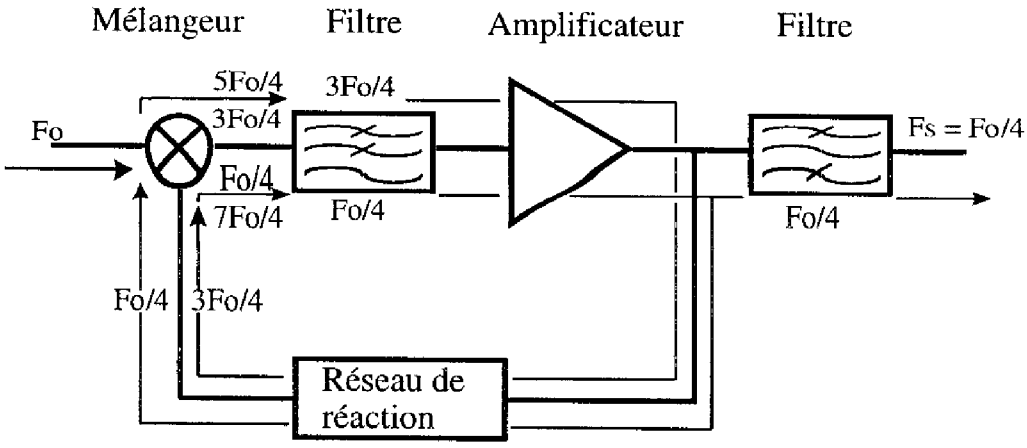

Figure 7 : Schéma d'un diviseur de fréquence par quatre.

Le principe de fonctionnement est simple :

Les fréquences provenant du mélange entre le signal d'entrée et le signal de boucle à la fréquence de sortie requise sont (n-1)Fo/n et (n+1)Fo/n. En filtrant le terme somme et en envoyant le terme somme sur le mélangeur, on obtient les fréquences Fo/n et (2n-1)Fo/n. Nous pouvons donc nous apercevoir que l'on peut obtenir une division directe de fréquence d'un ordre supérieur à deux, en optimisant le filtrage dans la boucle. Nous reprendrons cet exemple de division d'ordre supérieur à deux lors de notre étude analytique dans le chapitre 2.

Convention :

Pour la suite, nous prendrons comme convention que la dénomination "diviseur régénératif" inclue un gain de boucle inférieur à l'unité en l'absence de signal d'entrée, c'est à dire une disparition de l'oscillation (ce qui implique un rôle primordial joué par l'autopolarisation pour le maintien de l'oscillation dans la boucle), en opposition avec les circuits oscillants synchronisés que nous présenterons plus loin. Nous nous devons cependant de remarquer que cette convention nous est strictement personnelle. Certains circuits présentés dans la littérature sous la dénomination "diviseur régénératif" sont en fait des oscillateurs synchronisés..

III-2 Présentation des circuits

Les différences entre les divers circuits rencontrés proviennent essentiellement de la façon dont a été envisagée l'utilisation du concept énoncé plus haut. Certains ont basé leur conception sur l'utilisation d'un modulateur (ou mélangeur), ce qui implique des circuits complexes; d'autres ont préféré diminuer le nombre d'éléments actifs, recentrant leurs travaux sur une étude plus précise des non-linéarités présentées par un transistor, génératrices simultanément des phénomènes d'amplification et de mélange.

III-2-1 Circuits basés sur un modulateur équilibré

Ces circuits peuvent être rencontrés sous la dénomination "diviseur dynamiques" quand ils sont créés par des concepteurs spécialisés dans le domaine des circuits numériques. Ils les utilisent d'ailleurs généralement comme premier étage d'un diviseur d'ordre plus élevé, pour ramener la fréquence vers des plages de fréquence où les diviseurs statiques fonctionnent [18].

Ces circuits sont basés généralement sur l'utilisation d'un modulateur double-équilibré de type "cellule de Gilbert" ou approchant (Figure 8).

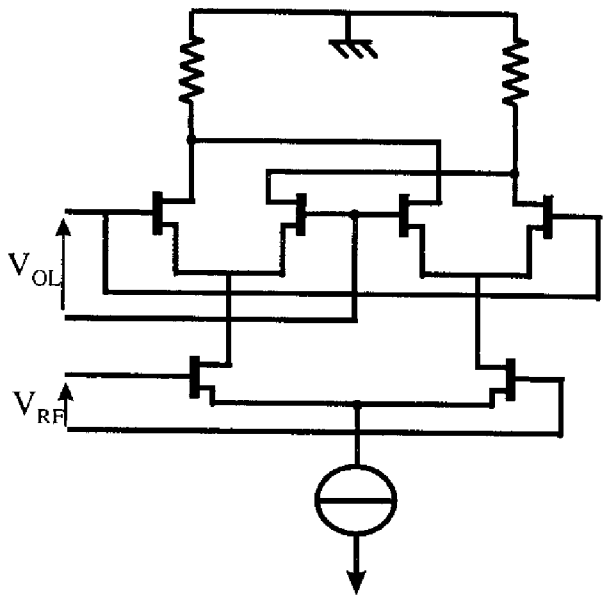

Figure 8 : schéma simplifié usuel de la cellule de Gilbert

En général, on obtient un meilleur fonctionnement si l'on ajoute un amplificateur transimpédance au modulateur. Et comme le fonctionnement de cet amplificateur se limite à une bande de fréquence réduite, il sert aussi de filtre. Le regroupement des fonctions principales requises pour l'application de la division par régénération de fréquence (par deux) dans un circuit simple permet un gain de place en comparaison des diviseurs statiques.

Le signal d'entrée est appliqué sur la paire différentielle du bas. Ainsi le signal appliqué peut être différentiel. Cependant, les concepteurs préfèrent généralement placer une

des deux entrées à un potentiel dit de référence. Le signal contre-réactionné, lui, est appliqué sur les paires différentielles du haut.

Il peut être intéressant pour améliorer les performances du circuit de placer à la sortie un simple étage amplificateur transimpédance (comme nous venons de l'évoquer), de remplacer les résistances de charge par des charges actives et/ou de placer un amplificateur en contre-réaction parallèle [19]. Toutefois, l'utilisation de nombreux transistors implique en plus d'une certaine complexité de conception, une consommation non négligeable.

Nous retrouvons dans cette catégorie de circuits essentiellement des diviseurs de fréquence par deux. En effet, équilibrer un modulateur d'ordre deux est une tâche réalisable, par contre elle s'avère bien moins aisé lorsque l'ordre du modulateur croît.

Des circuits fonctionnant à des fréquences quasi millimétriques ont déjà été conçus et présentés [20].

III-2-2 Circuits basés sur un nombre réduits d'éléments actifs

La transposition du principe de Miller à l'utilisation d'un seul transistor peut être schématisée comme suit (Figure 9):

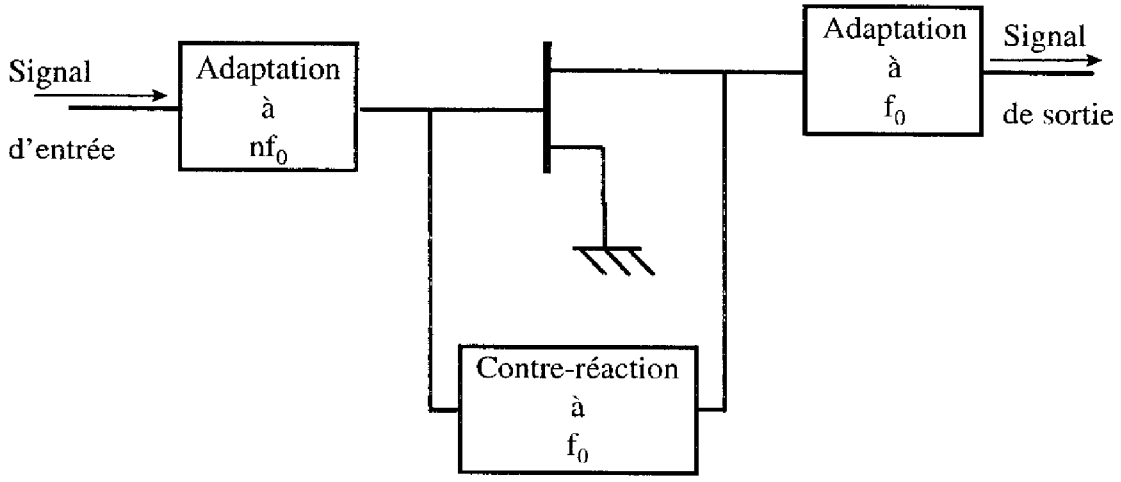

Figure 9 : Schéma classique d'un diviseur régénératif ne contenant qu'un seul transistor.

Il s'agit ici d'utiliser le transistor pour réaliser les fonctions d'amplification et de mélange (grâce au caractère non-linéaire). Un intérêt immédiat de cette solution est une intégration aisée et l'utilisation directe de la fréquence maximale d'oscillation du composant choisi. Des réalisations ont déjà été présentées à des fréquences millimétriques [21].

Les différences entre les solutions choisies dans le cadre de cette option viennent principalement du type du composant actif ou bien du mode de fonctionnement de celui-ci.

III-2-2-1 Transistor à effet de champ à double grille

L'intérêt principal des TEC à double grille vient de l'isolation que procure cette caractéristique principale entre la boucle de réaction et la branche du signal d'entrée. En effet, nous observons qu'il est parfois obligatoire d'utiliser des étages complexes de filtrage à seule fin d'isoler le signal incident et le signal divisé. Un autre avantage provient du fait qu'une des grilles peut être polarisée afin de favoriser le gain de conversion à partir du signal d'entrée, tandis que la polarisation de l'autre peut être optimisée en vue d'obtenir la meilleure bande de fréquence, que ce soit en largeur de plage ou en hauteur de la fréquence centrale.

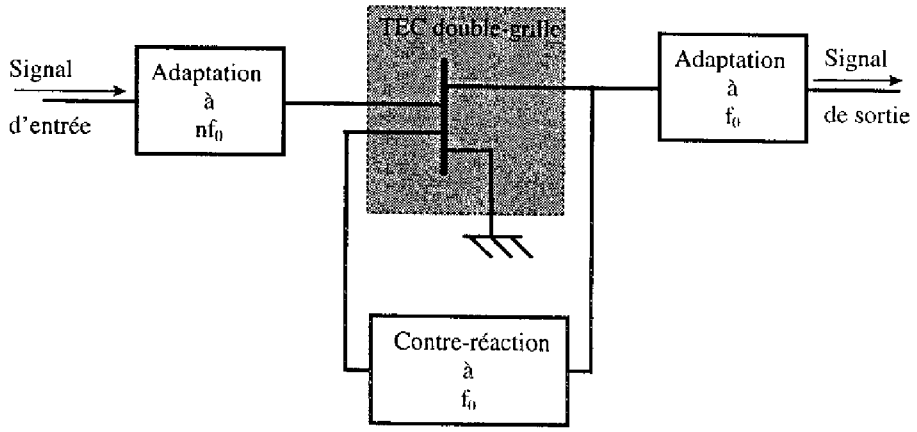

Figure 10 : Schéma classique d'un diviseur contenant un TEC à double-grille.

Il est à remarquer que des diviseurs de fréquence conçus avec des TEC double grille ont donné de très bons résultats. Ainsi, de larges bandes de synchronisation ont pu être mesurées jusqu'aux fréquences millimétriques [22]. Un circuit intégré présentant un ordre de division supérieur à deux (division par quatre) a déjà été présenté [23].

III-2-2-2 Transistor à effet de champ non polarisé sur le drain

L'utilisation d'un transistor dont le drain est non polarisé (froid) apporte un certain nombre d'avantages tels qu'une stabilité électrique indépendante des impédances de source et de charge, une consommation de puissance bien évidemment négligeable, une bonne isolation entre l'entrée et la sortie, un fonctionnement en large bande de fréquence possible, une valeur modérée de la distorsion d'intermodulation d'ordre trois et des valeurs faibles de bruit rajouté. Par contre, son principal défaut est bien entendu son faible gain de conversion.

Des réalisations ont déjà été présentées, montant jusqu'à 48 GHz [24] ou offrant une large bande de synchronisation [25].

III-2-2-3 Contre-réaction série

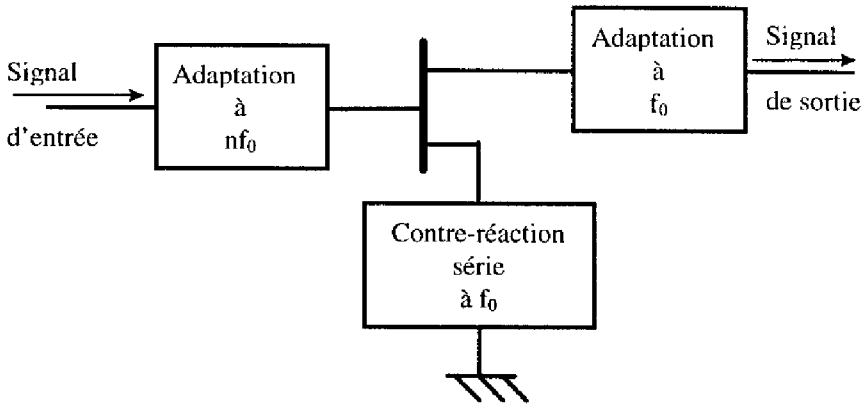

Figure 11 : Schéma classique d'un diviseur de fréquence utilisant une contre-réaction série.

Le schéma de principe du diviseur régénératif de fréquence présente une contre-réaction. Celle-ci peut être réalisée en parallèle entre la sortie et l'entrée , comme représentée sur la Figure 10, ou en série sur le connecteur de source comme sur la Figure 11. L'intérêt du choix d'une contre-réaction série provient de la possibilité d'obtenir un circuit oscillant avec un faible facteur de qualité ce qui entraîne une augmentation sensible de la bande de synchronisation en fréquence observée [25].

III-2-2-4 Montage Darlington

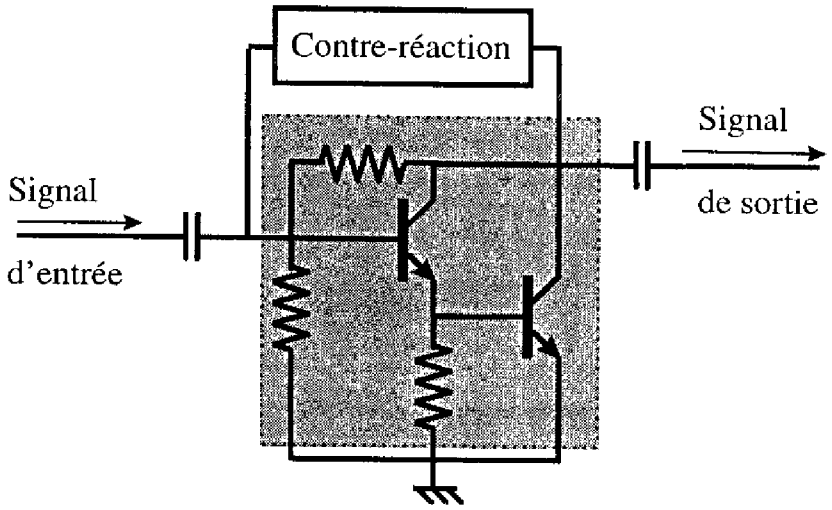

Figure 12 : schéma du montage à base de paire Darlington.

L'intérêt provenant de l'utilisation d'une paire Darlington se trouve dans la possibilité d'obtention d'un fort gain en courant à haute fréquence qui permet d'accroître la limite supérieure de la bande de synchronisation, d'un plus faible coefficient de réflexion facilitant l'adaptation et permettant une plus large bande de synchronisation, et d'une réjection plus franche au-delà de la fréquence de coupure, intéressante pour un meilleur filtrage [26].

III-3 Etat de l'art

Nous retrouvons dans les sujets d'intérêts des différents concepteurs les deux thèmes de notre classification (II-1 et II-2) et suivant ces deux types de circuit, des préoccupations différentes. Cela peut être expliqué par la provenance de ces auteurs (numérique vs analogique).

Par exemple, les concepteurs de circuits basés sur l'utilisation d'un mélangeur équilibré recherchent la montée en fréquence, alors que les autres auteurs ne la considèrent pas comme une difficulté intrinsèque à ce principe, mais juste liée aux améliorations technologiques dont les fréquences maximales de fonctionnement sont directement accessibles. Par contre, l'intérêt général est plus porté sur le problème de la bande de synchronisation en fréquence.

L'aspect consommation présente également une différence de traitement. Alors qu'elle reste au centre des spécifications pour les premiers, elle n'est pas prise en considération dans les publications des seconds. D'une manière générale, lorsque l'on se situe dans le cas de circuits contenant peu d'éléments actifs, elle semble généralement loin d'être rédhibitoire.

Les ordres de division directe supérieurs à deux relèvent aussi de cette scission. Les circuits du deuxième ensemble sont les seuls à présenter des travaux sur cette caractéristique.

Enfin, en ce qui concerne les travaux sur le bruit de phase, on s'aperçoit d'une prédominance des circuits "simples" sur les autres.

III-3-1-1 Fréquence de fonctionnement

Les résultats obtenus, en ce qui concerne les fréquences maximales de fonctionnement, montrent que le diviseur de fréquence dispose d'un accès aux dernières technologies développées. En effet, un diviseur de 60 GHz vers 30 GHz a déjà été intégré [21]. De manière plus générale, les fréquences millimétriques sont aujourd'hui recherchées : approchées avec les circuits de la première famille et atteintes avec les circuits de la seconde.

III-3-1-2 Bande de synchronisation

En ce qui concerne les bandes de synchronisation, ce sont les circuits basés sur l'utilisation d'un mélangeur qui présentent les meilleures performances :

- >100 % de 4.6 GHz à 17.6 GHz [18].
- 80 % en bande Ku (de 11.8 GHz à 28.1 GHz) [20].

Mais les consommations requises alors sont à prendre en compte : 690 mW pour le premier circuit et 190 mW pour le second.

Les bandes de synchronisation maximales obtenues avec les circuits de l'autre catégorie sont plus faibles :

50% (de 3.6 GHz à 6.2 GHz) [26], ou de 30 % (de 26.4 GHz à 36.2 GHz) [22] ou (de 11.6 GHz à 15.4 GHz) [25] en version MMIC.

Habituellement, les circuits présentent une largeur de bande autour de 20 %.

La consommation de cette catégorie de circuits est rarement précisée, cependant nous pouvons avancer qu'elle se situe très vraisemblablement bien au dessous de la centaine de milliwatts dans la grande majorité des cas.

III-3-1-3 Bruit de phase

Les mesures effectuées sur les diviseurs de fréquence régénératifs montrent clairement qu'ils détiennent le leadership de ce point de vue. Des bruits de phase résiduels de -170 dBc/Hz à 10 kHz de la porteuse ont déjà été publiés [27] (pour mémoire, le bruit de phase d'un diviseur numérique statique est généralement de l'ordre de -140 dBc/Hz à 10 kHz de la porteuse pour des fréquences d'oscillation équivalentes [28]). Etant donné que les diviseurs de la première catégorie contiennent largement plus de transistors que ceux de la seconde catégorie, nous pouvons avancer que leurs caractéristiques en bruit de phase seront plus détériorées.

IV LES OSCILLATEURS SYNCHRONISES

Ces dispositifs sont basés sur la conception d'un oscillateur ce qui implique un comportement légèrement différent des diviseurs régénératifs présentés précédemment. En effet, contrairement à ces derniers, les oscillateurs synchronisés présenteront un signal en sortie même en l'absence d'un signal appliqué sur l'entrée.

IV-1 Principe

Il va s'agir, lors de la conception d'un tel circuit, de créer tout d'abord un oscillateur, avec tout ce que cela implique au niveau des conditions de boucles en gain et en phase (Figure 13), puis de synchroniser directement celui-ci sur un signal de fréquence correspondant à une des harmoniques de l'oscillateur dont le rang nous donnera l'ordre de la division de fréquence.

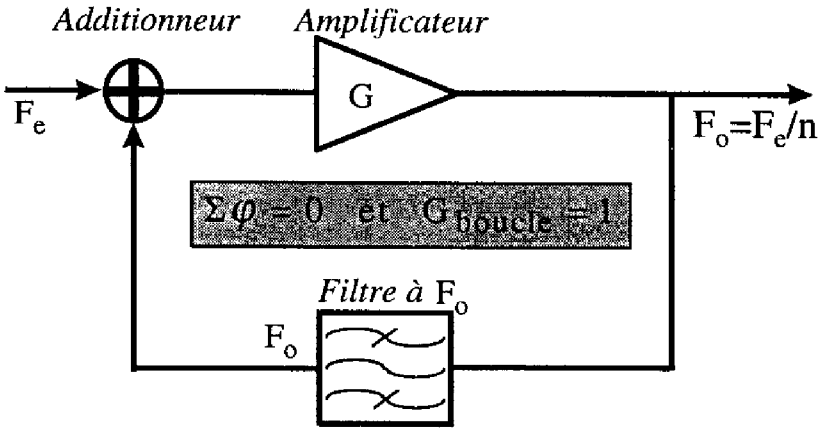

Figure 13 : schéma synoptique d'un oscillateur synchronisé.

Pour comprendre le phénomène de synchronisation, nous pouvons nous appuyer sur le schéma ci-dessus (Figure 13). Si rien n'est appliqué sur l'entrée, le circuit est dans un cas d'oscillation libre. La fréquence du signal dans la boucle est nommée fréquence d'oscillation propre (f_{op}). Lorsque l'on applique un signal d'entrée proche de la fréquence d'une des harmoniques ($f_e \# nf_{op}$), un déphasage entre ce signal et celui de l'oscillateur va être généré. La condition de boucle va fixer le déphasage entre le signal d'entrée et celui de l'oscillateur. Il peut survenir alors deux possibilités :

- une phase constante remplit la condition de boucle et nous avons la synchronisation.
- aucune phase ne convient, il y a apparition d'un battement.

Dans le cas de la synchronisation, la convergence de la phase est accompagnée par une translation de la fréquence d'oscillation. Le nouvel état satisfaisant les conditions de boucle se réalisera à la fréquence d'entrée divisée ($f_o=f_e/n$).

Ce type de fonctionnement doit apporter au système un gain de conversion plus élevé et à peu près constant le long de la bande de synchronisation. L'oscillateur fonctionnant en régime saturé, le niveau du signal de sortie doit également être moins sensible aux variations du niveau du signal d'entrée. La puissance du signal d'entrée ne sert, pour ce type de dispositif, qu'au phénomène d'accroche, alors qu'elle doit aussi permettre le déclenchement de l'oscillation dans les diviseurs régénératifs. Ainsi pouvons-nous conclure que le fonctionnement d'un oscillateur synchronisé devrait s'avérer possible pour des puissances d'entrée inférieures à celles nécessaires pour un diviseur régénératif.

IV-2 Présentation des circuits

Nous pouvons dors et déjà remarquer qu'il existe une certaine analogie entre les diviseurs régénératifs dont nous avons parlé plus tôt et les oscillateurs synchronisés, en dehors du comportement en l'absence de signal d'entrée. La différence principale vient du fait que l'on ajoute, par rapport au diviseur de Miller, un terme d'ordre 1 au terme de mélange (ordre > 1) qui vient du gain de boucle de l'oscillateur. Même si ce terme facilite le phénomène de démarrage, il n'entre pas en jeu dans le contrôle de la phase. Ainsi, malgré une différence de principe de base, les diviseurs conçus sont proches, surtout dans le cas d'un circuit contenant un nombre réduit d'éléments actifs. Par exemple, pour passer d'un mode de fonctionnement à l'autre, avec une topologie classique utilisant un simple transistor à effet de champ, il suffira de faire varier la tension de polarisation de la jonction grille-source pour se rapprocher ou s'éloigner de la tension de pincement.

Aussi nous pouvons retrouver ici des choix de topologie identiques à ceux réalisés auparavant pour les diviseurs régénératifs.

IV-2-1 Circuits présentant une contre-réaction série

Pour les mêmes raisons que celles évoquées dans la partie consacrée aux circuits basés sur la division par régénération de fréquence, la contre-réaction série s'avère intéressante pour élargir la bande de synchronisation. Une étude réalisée par Hess a permis de concevoir une division par trois aux alentours de 20 GHz [29]. Une largeur de bande de synchronisation en fréquence de 20 % a été obtenue pour un gain de conversion de 3 dB.

IV-2-2 Diviseurs dynamiques

Il existe cependant une autre catégorie d'oscillateurs synchronisés, provenant d'une conception plus proche des circuits numériques. Ils sont dénommés habituellement "diviseurs dynamiques".

Le principe de ces circuits vient du multivibrateur à couplage par collecteur (Figure 14). Il est aussi appelé "oscillateur push-pull" dans certaines publications [30].

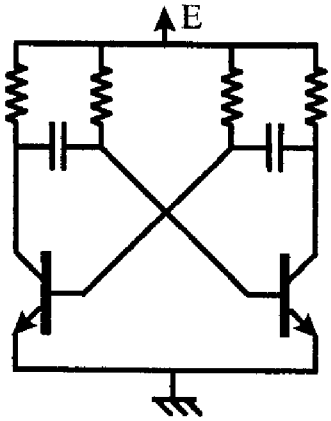

Figure 14 : Schéma du multivibrateur

La fréquence limite de fonctionnement est déterminée principalement par les conductances placées sur les collecteurs des transistors associées aux impédances présentées sur les grilles de ces deniers. Pour permettre une synchronisation, les résistances de la Figure 14 sont remplacées par une charge active contrôlée par le signal d'entrée (Figure 15).

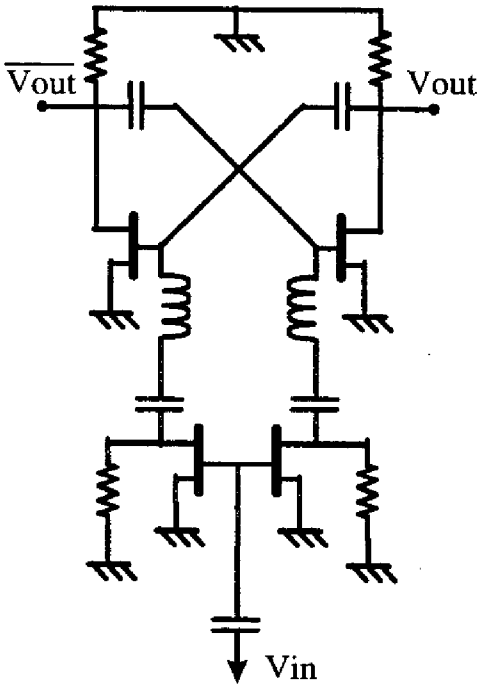

Figure 15 : Schéma de l'oscillateur synchronisé.

Les résultats obtenus pour les oscillateurs synchronisés de ce type ont montré des fréquences de fonctionnement très élevées (75 GHz) [31] et de larges bandes de synchronisation [32] (# 60 %).

V LES DIVISEURS PARAMETRIQUES

Il existe une quatrième possibilité à notre disposition pour la création de diviseurs de fréquence en bande micro-onde : la division paramétrique. Les relations de Manley et Rowe [33] sont connues depuis les années 50. Elles montrent la possibilité d'obtenir une amplification paramétrique grâce à une seule réactance non-linéaire, moyennant un transfert de fréquence. De la même façon, on peut montrer qu'il est possible avec le même type d'élément d'observer une division de fréquence.

V-1 Principe

En général, on a recours à l'utilisation d'une réactance non-linéaire, procurée par une diode ou un transistor, en fonction d'une grandeur commandée par le signal d'entrée (nommé aussi signal de pompe). En conséquence de son caractère non-linéaire, la réactance va générer une résistance négative (elle est souvent identifiée à un condensateur et une résistance négative en parallèle) et ainsi transférer l'énergie du signal d'entrée au signal à la fréquence divisée. Cette réactance charge un résonateur dont la fonction est de favoriser l'oscillation à la fréquence divisée. Les éléments rajoutés pour permettre à l'oscillation d'être entretenue à la fréquence désirée sont différents selon la topologie choisie ; classiquement une inductance généralement fournie par une ligne en série avec l'élément non-linéaire.

Toutefois, il faut remarquer qu'il reste en sortie du dispositif à filtrer un fort signal à la fréquence d'entrée. Il existe pour cela deux types de diviseurs paramétriques :

- ceux basés sur l'utilisation de filtres
- ceux plutôt basés sur l'utilisation de coupleurs.

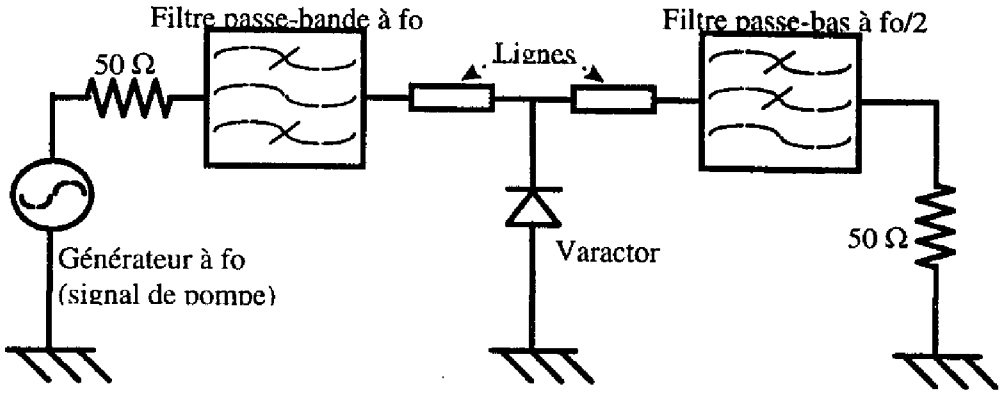

Figure 16 : Schéma du diviseur paramétrique de fréquence

La première possibilité est représentée sur la Figure 16. Le fonctionnement repose sur une non-linéarité placée entre deux filtres dont le premier (celui situé à l'entrée) ne laisse passer que le signal à la fréquence de pompe et isole donc, à la fréquence divisée, la non-linéarité de l'entrée. Le second filtre, de façon duale, coupe le signal à la fréquence d'entrée et laisse passer le signal à la fréquence de sortie. On retrouve donc les deux boucles résonnantes d'entrée et de sortie.

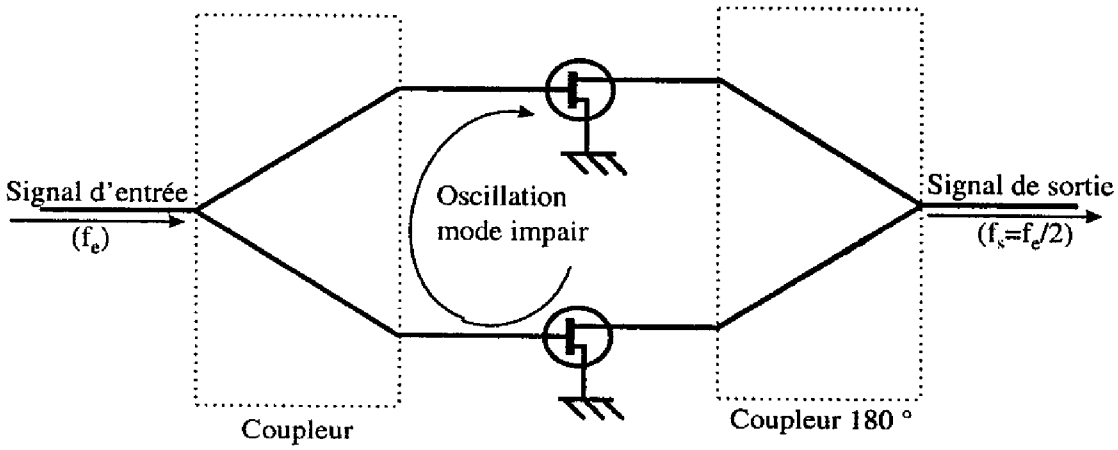

Figure 17 : Schéma du diviseur paramétrique double-équilibré.

Le second type de diviseur paramétrique, à base de coupleurs, utilise une structure double-équilibrée (Figure 17), et par conséquent nécessite deux non-linéarités au lieu d'une seule dans le cas précédent. Pour comprendre son fonctionnement, il faut savoir que le signal à la fréquence d'entrée arrive en phase sur les non-linéarités, alors que le signal à la fréquence

divisée, résultant d'une oscillation en mode impair dans la boucle résonnante, est en opposition de phase au niveau des bornes des conductances. Un coupleur 180°, ou transformateur «balun», combine ensuite les signaux en opposition de phase, provoquant la réjection des signaux à la fréquence d'entrée et des harmoniques de celle-ci, et ce d'autant mieux que le circuit est bien équilibré.

L'intérêt de la division paramétrique est qu'elle est censée présenter des bandes de synchronisation en fréquence plus larges que les autres principes analogiques, classiquement autour de l'octave. Nous pouvons aussi remarquer leur caractère passif, une simple diode pouvant procurer la non-linéarité requise. L'inconvénient relevé le plus couramment vient des forts niveaux d'entrée requis et du faible gain de conversion.

Ce phénomène d'oscillation sous-harmonique à fort niveau d'injection apparaît aussi dans certains amplificateurs à l'état solide, dans lesquels plusieurs transistors sont placés en parallèle de façon à obtenir une plus forte puissance de sortie. Dans ce cas là, l'oscillation engendrée est considérée comme un phénomène parasite, une instabilité. Certains travaux présentés [34] apportent des solutions pour l'éliminer.

La réactance non-linéaire attaquée à fort signal a connu dans les années 80 un regain d'intérêt de par le fait qu'il s'agit d'un des systèmes les plus simples présentant non seulement un phénomène de division de fréquence par deux, mais également, pour des puissances d'entrées plus importantes, une cascade de divisions sous-harmoniques conduisant à un régime chaotique [35]. De plus, alors que le phénomène de division de fréquence dans ce circuit était connu empiriquement depuis une vingtaine d'années, il n'avait jamais fait l'objet d'une modélisation rigoureuse. En effet, les modèles utilisés jusqu'alors supposaient la préexistence de l'oscillation sous-harmonique mais son démarrage restait inexpliqué.

V-2 Etat de l'art

V-2-1 Diodes varactors

Le premier à avoir développé un diviseur paramétrique en bande microonde a été Harrison [36]. Il utilisait des diodes varactors en guise de non-linéarités et une structure double-équilibrée (Figure 18). Le signal de sortie était récupéré grâce à des lignes couplées qui permettaient l'acheminement du signal vers un transformateur Balun (coupleur 180 °). Le rapport de division était bien entendu de 2

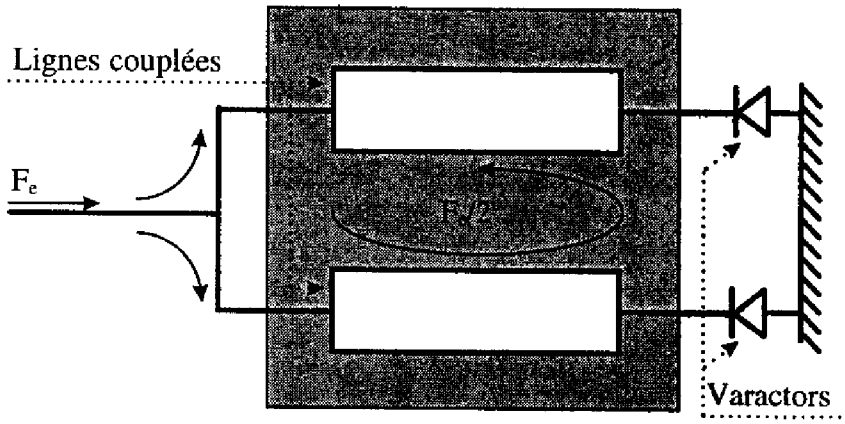

Figure 18 : Schéma du diviseur paramétrique présenté par Harisson.

Une bande de synchronisation en fréquence d'une octave autour de 6 GHz avait été alors obtenue (# 66 %). Cependant, le gain de conversion était faible (# -18 dB).

D'autres travaux ont été réalisés, utilisant les diodes varactors, tel celui de Sloan [37] (utilisant l'approche "filtre", Figure 16) qui a apporté une tentative d'analyse et de modélisation du diviseur paramétrique. Le modèle développé est basé sur l'utilisation d'un circuit RLC parallèle auquel est ajouté, toujours en parallèle, une résistance négative. Les résultats présentés correspondent très bien aux simulations et montrent des pertes de conversion faibles (L_{conv} # 6 dB), des puissances d'entrée requises peu élevées (P_{in} # -4 dBm), mais par contre une bande de synchronisation réduite (# 3% autour de 1.27 GHz).

V-2-2 Diodes à avalanche

Il s'agit ici de tirer profit des fortes non-linéarités présentées par ces composants. Les diodes à avalanche utilisées dans le cadre de la division de fréquence présentent certaines caractéristiques particulières. En effet, il faut que leur facteur de confinement (rapport de l'épaisseur théorique potentielle maximale désertée par les porteurs sur l'épaisseur de la zone active) soit grand de manière à favoriser le caractère non-linéaire de la jonction.

La topologie retenue lors des études sur ce type de circuit [38] utilise le principe du mélangeur harmonique (Figure 19). L'accord réalisé à la fréquence intermédiaire est censé apporter une bonne synchronisation des différents signaux et donc une meilleure stabilité.

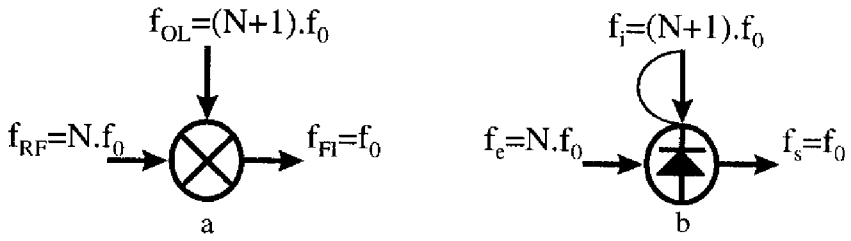

Figure 19 : Schémas simplifiés du mélangeur harmonique (a) et de la topologie retenue pour diviseur de fréquence à diode à avalanche (b).

Des circuits ont été conçus suivant cette idée en technologie hybride utilisant des filtres passe-bande à lignes couplées en entrée et en sortie. Des rapports de division allant jusqu'à quatre ont été obtenus, ce qui semble être dû à l'ordre élevé de la non-linéarité fournie par une diode à avalanche. Les bandes mesurées de synchronisation en fréquence sont étroites et d'autant plus que l'ordre de division est élevé. Les rendements de conversion hyperfréquences peuvent atteindre 10 %.

Il est intéressant de comparer l'approche de ces travaux sur les diodes à avalanche avec les principes énoncés précédemment. En effet, la notion de mélange sous-harmonique est utilisée dans tous les cas. Toutefois, la nouveauté provient ici du choix d'une recherche d'un accord à la fréquence intermédiaire alors que dans les autres cas, c'est plutôt la fréquence de sortie qui est favorisée. Toutefois, l'objectif recherché reste identique : améliorer le mélange.

V-2-3 Transistors

L'intérêt principal provenant de l'utilisation de transitors en lieu et place de varactors, comme décrit précédemment, est que l'on va pouvoir intégrer le circuit sous forme MMIC. En effet, le résonateur utilisé dans la plupart des circuits à varactor est en ligne micro-ruban. Ceci est rédhibitoire pour une intégration monolithique alors qu'en utilisant de façon classique d'une part la capacité grille-source d'un transistor à effet de champ pour fournir la réactance non-linéaire requise et d'autre part des éléments passifs intégrés, il en résulte que l'intégration devient plus facilement réalisable. De plus, l'isolation procurée par le transistor entre l'entrée et la sortie ainsi que la possibilité d'un gain sont des avantages intéressants. Les éléments intégrés peuvent être optimisés afin non seulement de favoriser l'oscillation à la fréquence divisée mais aussi de fournir une adaptation efficace.

Des réalisations ont déjà été présentées [39]. Une bande de synchronisation de 5% pour un gain de conversion de -9 dB a été atteinte.

VI APPLICATIONS DES DIVISEURS DE FREQUENCE

Les diviseurs de fréquence entrent dans la composition de nombreux systèmes de télécommunications et particulièrement dès qu'il s'agit d'obtenir une synthèse de fréquence particulièrement stable, de générer des fréquences sous-multiples de la fréquence de référence, ou plus simplement de rabaisser la fréquence à l'entrée d'un dispositif de traitement du signal, par exemple, dans des pré-échelonneurs ("prescalers") ou bien dans l'étage d'entrée d'un fréquencemètre.

Il est important de noter que selon l'application visée par le concepteur, il ne sera pas fait appel au même type de dispositif pour réaliser la division de fréquence. En effet, il faut tenir compte de la compatibilité avec les autres éléments du système (par exemple d'un point de vue technologique ou logique), des spécifications qui dépendent du cadre dans lequel le circuit sera implémenté.

Nous ne dénombrerons pas ici de façon exhaustive les systèmes qui utilisent un diviseur de fréquence en leur sein, ni ne les décrirons complètement. Nous nous attacherons par contre à décrire l'intérêt de l'utilisation du diviseur.

VI-1 La synthèse de fréquence

L'obtention d'un signal stable revêt une importance de tout premier ordre dans les systèmes de télécommunication. Il est souvent fait usage d'une fréquence de référence pour la stabilisation de l'oscillateur local servant à la transposition de fréquence. En effet, de par la réduction des bandes de fréquence, il faut être sûr d'obtenir un signal qui ne subira pas de dérive lors du fonctionnement. De plus, la pureté spectrale de l'oscillateur local revêt une grande importance car le bruit de ce dernier est directement superposé à la modulation correspondant au signal utile.

Un bon moyen consiste en l'utilisation d'une référence à quartz. En effet, les oscillateurs à référence à quartz s'avèrent fournir une fréquence très stable par rapport aux oscillateurs haute fréquence classiques (par exemple, à résonateur diélectrique ou à résonateur coaxial). Cependant, les quartz ne donnent accès qu'à des fréquences bien au-dessous des bandes actuellement recherchées pour les nouvelles générations de systèmes de transmission. Afin d'obtenir un signal à la fréquence désirée, une première solution peut consister tout simplement en une multiplication de la fréquence provenant du quartz comme le montre la Figure 20. Il faut remarquer que l'on est souvent amené à mettre plusieurs étages de ce type après le quartz pour obtenir la fréquence désirée, voire à utiliser des oscillateurs synchronisés à des fréquences intermédiaires.

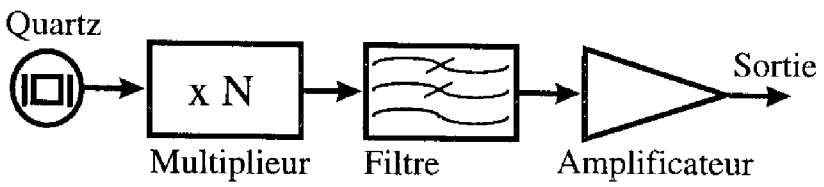

Figure 20 : Schéma d'une synthèse de fréquence par multiplication du pilote à quartz.

Cette solution a pour avantage d'être simple. Cependant il nous faut relever plusieurs inconvénients. En effet, le filtrage indiqué ici se doit d'être particulièrement minutieux pour assurer la réjection des harmoniques. De plus, l'intégration monolithique de filtres à des fréquences trop basses peut se révéler irréalisable, surtout en dessous du gigahertz.

Pour remédier aux inconvénients présentés par cette première solution, il est intéressant de faire appel à un asservissement de phase. Le dispositif d'asservissement le plus couramment utilisé en télécommunication est la boucle à verrouillage de phase (ou PLL pour "Phase Locked Loop") représentée sur la Figure 21. Cette dernière va permettre de régler la phase d'un oscillateur contrôlé en tension (ou VCO pour "Voltage Controlled Oscillator") de façon à annuler en statique la différence de phase entre deux signaux, assurant ainsi la synchronisation du VCO et du quartz de référence sur une plage de fréquence contrôlée par le filtre de boucle. Les avantages associés à cette technique sont nombreux : rapport de fréquence important lié aux possibilités offertes par les étages de diviseurs logiques, contrôle de la plage de synchronisation, puissance de sortie fixée par le VCO...

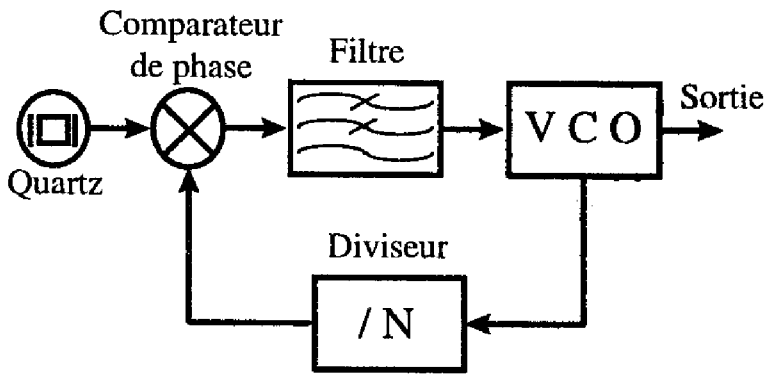

Figure 21 : Schéma d'une boucle à verrouillage de phase à synthèse directe.

La division est généralement réalisée par plusieurs diviseurs en cascade, en commençant aux fréquences les plus hautes par des diviseurs analogiques de façon à réduire la fréquence jusqu'à des plages où l'on pourra utiliser des diviseurs numériques, programmables ou pas. Cette division va donc permettre de ramener la fréquence de sortie du VCO au voisinage immédiat de celle du signal de consigne (i.e. du quartz).

L'intérêt du diviseur de fréquence dans ce circuit est double : il permet non seulement de ne pas avoir à développer de comparateurs de phase dans le domaine de fréquence couvert par le VCO, mais aussi d'obtenir une meilleure intégration du système global.

De manière plus générale, l'utilisation d'un diviseur dans la synthèse de fréquence n'est pas obligatoire lorsqu'une fréquence multiple de celle du quartz est désirée (nous pouvons, par exemple, utiliser une solution duale basée sur l'utilisation de mélangeurs harmoniques en tant que comparateurs de phase). Par contre, pour l'obtention d'une fréquence qui résulte de la multiplication de celle du quartz par un rapport de type p/q, la présence de diviseurs de fréquence dans le système devient alors incontournable.

Il existe d'autres solutions de type "synthèse indirecte", plus complexes, utilisant des diviseurs et des multiplieurs de fréquence. Cependant, étant donné que cela n'apporte guère plus d'informations sur l'intérêt d'utilisation de diviseurs de fréquence, nous ne développerons pas plus notre étude de la synthèse de fréquence.

VI-2 Les systèmes de transmission à haut débit [40]

La montée en débit des systèmes de transmission, favorisée par la généralisation de l'utilisation de fibres optiques comme moyen de liaison, constitue un réel enjeu dans les télécommunications modernes. Cependant, cette croissance du débit a des conséquences multiples sur les circuits associés, telles que l'apparition de parcelles d'électronique analogique dans des circuits généralement "tout-numérique" ou bien le développement de certains sous-circuits spécifiques à la gestion des fréquences de référence.

Les diviseurs de fréquence font partie de ces modules dont l'utilisation est devenue plus courante. On les retrouve dans différents circuits de la chaîne de transmission tels que les pré-échelonneurs ("prescalers"), les multiplexeurs et démultiplexeurs, ou bien plus particulièrement les circuits de génération d'horloge.

En effet, dans de multiples fonctions, il faut une gestion de l'horloge bien précise qui demande souvent une fréquence référence ainsi que certains de ses sous-multiples, prédéfinis par les besoins du circuit.

La Figure 22 nous donne l'exemple d'un multiplexeur 4 vers 1. Nous rappelons que le multiplexage temporel consiste à insérer plusieurs trains parallèles de données à un débit D en un train unique de données dont le débit résultant est NxD (N est le nombre de voies à "multiplexer"). L'utilisation du diviseur va permettre ici d'obtenir la fréquence d'horloge nécessaire au déclenchement du décalage des données d'un registre vers le suivant.

La première fréquence d'horloge (avant division) correspond au débit de transmission en sortie. Actuellement, les débits recherchés les plus hauts sont de l'ordre de 40 Gbit/s, ce qui correspond à une fréquence de 40 GHz. A ces fréquences, les diviseurs basés sur l'utilisation de bascules numériques ne peuvent être utilisés. Il faut donc ici intégrer des diviseurs basés sur d'autres principes dans les systèmes de génération d'horloge.

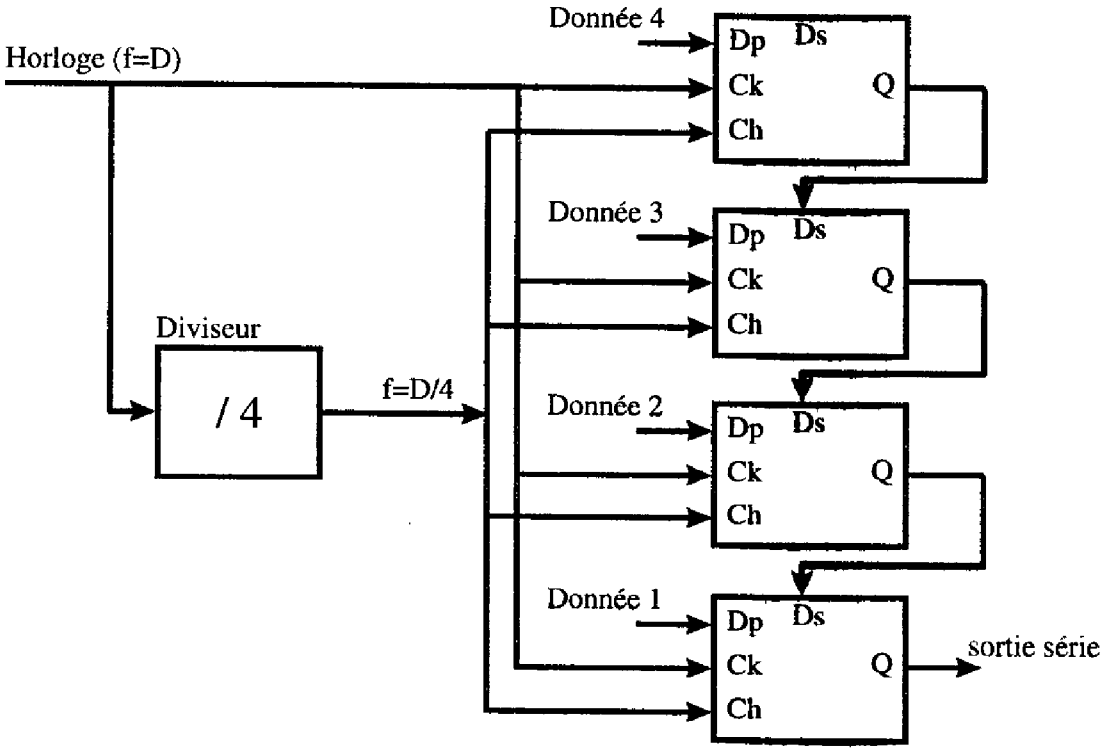

Figure 22 : Multiplexeur basé sur une architecture avec registres à décalage.

Plus généralement, les systèmes actuels de transmission à haut débit demandent des circuits internes de gestion d'horloge très complexes. Par exemple, les systèmes dynamiques nécessitent une remise à niveau régulière d'où une fonction particulière de récupération d'horloge. L'utilisation du diviseur de fréquence est donc devenue incontournable afin de fournir les fréquences sous-multiples nécessaires au bon fonctionnement du système.

VII CONCLUSION

Conclure ce premier chapitre revient dans un premier temps à comparer les avantages et les inconvénients des différents circuits présentés auparavant.

Le principal intérêt des diviseurs numériques est la possibilité d'une intégration directe dans une technologie proche de celle utilisée pour la réalisation du circuit de traitement du signal qui suit généralement la partie réceptrice. De plus, ils donnent également accès à des ordres de division élevés et parfois programmables.

Il a été longtemps reproché aux diviseurs numériques de ne pouvoir fonctionner aux très hautes fréquence, du moins aux fréquences micro-ondes (au-delà de quelques gigahertz). De par les résultats reportés dans notre état de l'art, nous ne pouvons pas être aussi catégorique. Il est cependant à remarquer non seulement que ces dispositifs sont moins avantagés pour un fonctionnement aux très hautes fréquences, mais également que la montée en fréquence s'accompagne d'une complexification de la technologie utilisée, c'est à dire généralement une augmentation de la difficulté de réalisation et du coût.

D'autre part, les circuits provenant de l'utilisation des autres principes ont tendance à converger vers des réalisations proches. Nous pouvons remarquer clairement ces similitudes lorsque nous comparons le fonctionnement des diviseurs régénératifs et des oscillateurs synchronisés. Englober les diviseurs paramétriques dans un seul et même ensemble avec les circuits précités semble moins évident. Cependant, de nombreux rapprochements peuvent être effectués surtout lors de l'utilisation de transistors dans des diviseurs paramétriques.

La montée en fréquence, si peu aisée pour les diviseurs statiques numériques, ne semble pas poser de problèmes insolubles aux concepteurs de circuits analogiques. Nous pouvons noter de surcroît que les problèmes rencontrés à ces fréquences sont proches sinon identiques. De ces considérations, une troisième option semble s'être imposée : le mélange de circuits provenant des deux filières. De nombreuses chaînes de diviseurs présentent actuellement en entrée des diviseurs régénératifs suivis de diviseurs statiques. Cependant, l'intégration en tant que sous-partie d'un système implique de prendre en compte des considérations de nouvelles spécifications.

Notre étude a plutôt été orientée vers les diviseurs de fréquence régénératifs, car ils apparaissent comme les meilleurs prétendants pour les bandes de fréquences requises pour les nouveaux systèmes de télécommunication. De plus, il ne nous semble pas fortuit d'approfondir les phénomènes mis en jeu dans la division de fréquence. Pour cela, nous avons développé une approche analytique que nous présentons dans le chapitre suivant.

Références contenues dans le premier chapitre:

[1] M. Hafizi et al., "39.5-GHz static frequency divider implemented in AlInAs/GaInAs HBT technology", IEEE Electron Device Letters, vol. 13, n° 12,p 612-614, Dec. 1992.

[2] Y. Umeda et al., "SCFL static frequency divider using InAlAs/InGaAs/InP HEMTs", Proccedings of the 25th European Microwave Conferences, vol. 1, p. 222-228, 1995.

[3] J. Bok et al., "A 50 GHz implanted base silicon bipolar technology with 35 GHz static frequency divider", Symposium on VLSI Technology, p. 108-109, 1996.

[4] M. Case et al., "A 23 GHz static 1/128 frequency divider implemented in a manufacturable Si/SiGe HBT process", Bipolar/BiCmos Circuits and Technology Meeting, p. 121-124, 1995.

[5] B. Ravazi et al., "Design of high-speed, low-power frequency dividers and phase-locked loops in deep submicron CMOS", IEEE Journal of Solid-State Circuits, vol. 30, n° 2, p. 101-109, Feb. 1995.

[6] M. Fujishima et al., "Low-power 1/2 frequency dividers using 0.1-µm CMOS circuits built with ultrathin SIMOX substrates", IEEE Journal of Solid-State Circuits, vol. 28, n° 4, p 510-512, Apr. 1993

[7] Y. Kadon et al., "A 1-GHz/0.9-mW CMOS/SIMOX divide-by-128/129 dual-modulus prescaler using a divide-by-2/3 synchronous counter", IEEE Journal of Solid-State Circuits, vol. 28, n° 4, p. 513-517, Apr. 1993.

[8] R. A. Sadler et al., "A 5.1-GHz 1.9-mW GaAs Binary Frequency Divider", IEEE Electron Device Letters, vol. 10, n° 10, p440-442, Oct. 1989.

[9] H. Suehiro et al., "A 48.1 ps HEMT DCFL NAND circuit with a dual gate structure" Solid-State Electronics, vol. 38, n° 9, p. 1717-1721, Sept. 1995.

[10] K-C. Wang et al; "Diode-HBT-logic circuits monolithically integrable with ECL/CML circuits", IEEE Journal of Solid-State Circuits, vol. 27, n° 10, p. 1372-1378, Oct. 1992.

[11] A. Felder et al., "Static frequency dividers for high operating speed (25 GHz, 170 mW) and low power consumption (16 GHz, 8 mW) in selective epitaxial Si bipolar technology", Electronics Letters, vol. 29, n° 12, p. 1072-1074, Jun. 1993.

[12] T. Enoki et al., "0.15μm GaAs MESFETs applied to ultrahigh-speed static frequency dividers", Electronics Letters, vol. 25, n° 8, p. 512-513, Apr. 1989.

[13] Z. Lao et al., "Low power 20 Gbit/s data decision and 17 GHz static frequency divider ICs with 1.5 V supply voltage", Electronics Letters, vol. 33, n° 4, p. 289-290, Feb. 1997.

[14] C. W. Farley et al., "High performance AlInAs/GaInAs HBT's for high speed, low power digital circuits", IEEE Transactions on electron devices, vol. 36, n° 11, p. 2601-2602, Nov. 1989.

[15] M. Kurisu et al., "A Si bipolar 21-GHz/320-mW static frequency divider", IEEE Journal of Solid-State Circuits, vol. 26, n° 11, p. 1626-1631, Nov. 1991.

[16] J. W. Horton, "On relaxation oscillations - Part I", Balth. Van der Pol, Phil. Mag., vol. 2, p. 978-992, Nov. 1922.

[17] R. L. Miller, "Fractional-Frequency Generators Utilizing Regenerative Modulation", Proccedings of the I.R.E., vol. 37, p. 446-456, Jul. 1939.

[18] H. Ichino et al., "18-GHz 1/8 dynamic frequency divider using Si Bipolar technologies", IEEE Journal of Solid-State Circuits, vol.24, n° 6, p. 1723-1728, Dec. 1989.

[19] R. H. Derksen et al., "Monolithic integration of a 5.3-GHz regenerative frequency divider using a standart bipolar technology", Electronics Letters, vol. 21, n° 22, p. 1037-1039, Oct. 1985.

[20] M. Kurisu et al., "A Si bipolar 28-GHz Dynamic frequency divider", IEEE Journal of Solid-State Circuits, vol. 27, n° 12, p. 1799-1804, Dec. 1992.

[21] J-C. Sarkissian et al., "A 60-GHz HEMT-MMIC analog frequency divider by two", IEEE Journal of Solid-State Circuits, vol. 30, n° 10, p. 1062-1067, Oct. 1995.

[22] Chen Ru Shan et al., "Dual-gate FET millimeter-wave frequency divider", Microwave and Optical Technology Letters, vol. 14, n° 4, p. 210-213, Mar. 1997.

[23] K. Honjo et al., "Novel Design Approach for X-Band GaAs monolithic Analog 1/4 frequency divider", IEEE transactions on Microwave Theory and Techniques, vol. 34, n° 4, p. 436-441, Apr. 1986.

[24] I. Angelov et al., "48/24 GHz and 20/10 GHz regeneratives frequency dividers", IEEE Microwave Theory and Techniques Symposium, p. 971-974, 1996.

[25] S. Desgrez et al., "Diviseur de fréquence analogique régénératif en bande KU à large bande de synchronisation (30%)", Journées Nationales Microondes, St Malo, 1997.

[26] I. Kipnis, "20 GHz frequncy divider silicon bipolar MMIC", Electronics Letters, vol. 23, n° 20, p. 1085-1087, Sep. 1987.

[27] M. M. Driscoll, "Phase noise peformance of analog frequency dividers", IEEE transactions on ultrasonics, ferroelectrics and frequency control, vol. 37, n° 4, p. 295-301, July 1990.

[28] M. R. McClure, "Residual phase noise of digital frequency dividers", Microwave Journal, p. 124-130, Mar. 1992.

[29] W. Hess et al., "New K-Band frequency divider by three using an injection locked oscillator in microstrip technique", European Microwave Conference, vol. 1, p. 391-393, 1993.

[30] R. L. Van Tuyl, "A monolithic IC for heterodyne generation of RF signals", IEEE Transactions on Electron Devices, vol. 28, n° 2, p. 166-170, Feb. 1981.

[31] C. J. Madden et al., "A novel 75 GHz InP Hemt Dynamic Divider", GaAs IC Symposium, p. 137-140, 1996.

[32] A. Thiede et al., "28-51 GHz dynamic frequency divider based on 0.15 µm T-Gate $Al_{0.2}Ga_{0.8}As/In_{0.25}Ga_{0.75}As$ MODFETs", Electronics Letters, vol. 29, n° 10, p. 933-934, May 1993.

[33] J. M. Manley et al., "Some general properties of non-linear elements; part 1 : general energy relations.", Proceedings of IRE, vol. 7, July 1956.

[34] M. Mochizuki et al., "Nonlinear analysis or fo/2 loop oscillation of high power amplifiers", IEEE Microwave Theory and Techniques Symposium, p. 709-712, 1995.

[35] M. Hasler, "Phénomènes chaotiques dans les circuits électriques", Annales des Télécommunications, vol. 42, n° 5-6, p. 263-273, 1987.

[36] R. G. Harrison, "A broad-band frequency divider using microwave varactors", IEEE Microwave Theory and Techniques, vol. 25, n° 12, p. 1055-1059, Dec. 1977.

[37] G. R. Sloan, "The modelling, analysis, and design of filter-based parametric frequency dividers", IEEE Microwave Theory and Techniques, vol. 41, n° 2, p. 224-228, Feb. 1993.

[38] C. Dalle et al., "Diviseurs de fréquence analogiques à diodes à avalanche", Annales des Télécommunications, vol. 45, n° 3-4, p. 137-143, 1990.

[39] S. P. Stapleton et al., "GaAs monolithic analogue frequency divider", Electronics Letters, vol. 22, n° 15, p. 773-774, Jul. 1986.

[40] M. Menouni, "Conception et réalisation d'une chaîne d'émission très haut débit à base de TBH GaAs.", Thèse de doctorat de l'Université Paris XI Orsay, 1996.

CHAPITRE 2 :
ANALYSE DES DIVISEURS DE FRÉQUENCE

ANALYSE DES DIVISEURS DE FREQUENCE

I INTRODUCTION

Les méthodes développées pour l'analyse des diviseurs de fréquence sont finalement peu nombreuses. Nous pouvons utiliser une méthode basée sur des fonctions descriptives du phénomène [1], sur un moyennage [2] ou bien sur les séries de Volterra [3]. Nous pouvons également utiliser une méthode liée à l'équilibrage harmonique [4].

Il nous a semblé opportun d'approfondir la connaissance que nous avions des diviseurs de fréquence régénératifs avant de débuter la conception de la puce elle-même. En effet, certains mécanismes, bien qu'aisément reproduits par la simulation, restent difficiles à comprendre et à maîtriser.

Afin de mieux comprendre ces mécanismes, une approche analytique a été développée au début de notre travail. Elle a consisté en une simplification extrême du circuit équivalent d'un diviseur par deux de topologie classique (oscillateur synchronisé sur son harmonique deux) afin de ne conserver que les éléments ayant un rôle essentiel dans le processus de division. Cette approche nous a permis de mieux comprendre les phénomènes de synchronisation du diviseur. Ainsi, nous nous sommes intéressés à la plage de synchronisation en fréquence, au gain de conversion ainsi qu'aux conditions requises pour assurer une division d'ordre supérieur à deux.

Afin de pouvoir développer une approche méthodologique générale, nous nous sommes ensuite penchés sur les différentes méthodes d'analyse à notre portée. Après avoir expérimenté celles-ci, il en a résulté que la méthode dite "de la boucle ouverte" nous apparaissait comme la plus apte à nous aider valablement pour la conception d'un diviseur de fréquence. Cependant, il a fallu vérifier que certains problèmes rencontrés lors de l'utilisation de cette méthode, qui s'apparentent à des processus chaotiques, n'étaient pas rédhibitoires, ce que nous avons fait en poursuivant notre approche analytique basée sur des circuits simples.

II APPROCHE ANALYTIQUE

Le diviseur de fréquence étant un système ne fonctionnant qu'en mode très non-linéaire, sa modélisation analytique est assez ardue. Elle mérite cependant d'être tentée, non pas pour obtenir des résultats précis mais plutôt pour vérifier des tendances qui sont parfois difficiles à extraire d'un modèle complet.

Nous avons recherché la configuration minimale permettant d'assurer la division de fréquence, avec pour but une simplification extrême des équations et l'obtention d'expressions analytiques directement exploitables. Cette configuration est représentée sur la Figure 1.

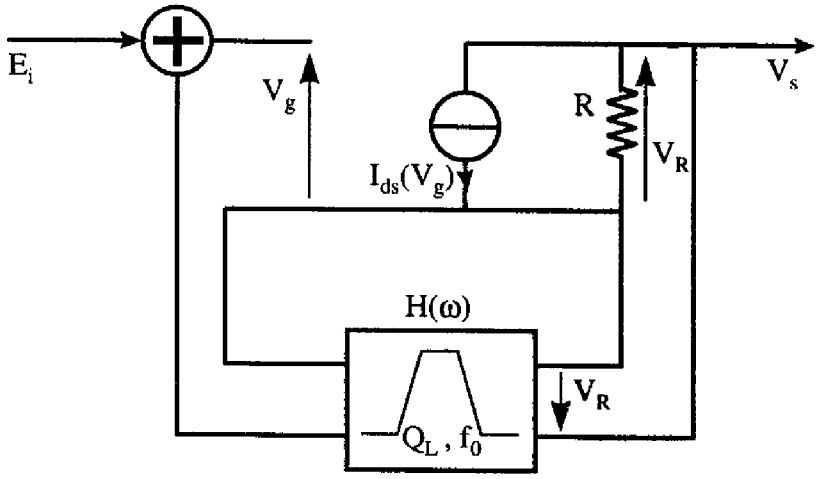

Figure 1 : Schéma de la topologie simplifiée utilisée pour l'étude analytique.

Le modèle du transistor à effet de champ se réduit à une source de courant commandée en tension. On peut montrer que, pour avoir un phénomène de compression de gain aux fortes puissances, il est nécessaire de décrire cette source de courant sous la forme d'un polynôme d'ordre au moins égal à trois. Une autre solution consiste à bloquer les valeurs du courant en direct ($V_g>V_m$) et au pincement ($V_g>V_t$). Mais cela conduit à définir des angles de conduction et des intégrales de Fourier sur ces différents domaines ce qui est déjà assez complexe pour un modèle analytique.

Nous considérons donc ici un générateur de courant non-linéaire de la forme :

$$I_{ds} = i_0 + i_1 V_g + i_2 V_g^2 + i_3 V_g^3$$

avec pour commande :

$$V_g = E.\cos(\omega t) + E_i.\cos(2\omega t + \varphi) + V_{go}$$

provenant de la somme des tensions des signaux d'entrée et de retour de boucle.

Comme le montre l'équation précédente, nous traiterons le cas du diviseur par deux, toujours dans un but de simplification. Seul le terme en ω de la tension de sortie $V_s = R.i_{ds}$ traverse le filtre de contre-réaction. Ceci permet de définir le gain de boucle à la fréquence ω, en notation complexe, par:

$$G(\omega, \varphi, E, E_i) = H(\omega)R\left[i_1 + i_2(E_i e^{j\varphi} + 2V_{go}) + i_3(3V_{go}E_i e^{j\varphi} + \frac{3E^2}{4} + \frac{3E_i^2}{2} + 3V_{go}^2)\right]$$

Le fonctionnement est ainsi assuré lorsque :

$$\boxed{G(\omega, \varphi, E, E_i) = 1} \qquad (1)$$

II-1 Plage de synchronisation

L'étude de la synchronisation du diviseur s'effectue en écrivant qu'une perturbation $\Delta\omega$ sur la fréquence incidente ω se répercute sur les variables d'état du circuit : ΔE et $\Delta\varphi$.

La condition de synchronisation est alors :

$$G(\omega + \Delta\omega, \varphi + \Delta\varphi, E + \Delta E, E_i) = 1 \qquad (2)$$

La fonction de transfert du filtre de contre-réaction s'exprime de façon très générale par :

$$H(\omega + \Delta\omega) = \frac{H_0 e^{j\varphi_h}}{1 + 2jQ\frac{\Delta\omega}{\omega}}$$

Pour simplifier le calcul, on suppose que l'état initial est tel que $\varphi = 0$ et $\varphi_h = 0$ (ce qui correspond au centre de la plage de synchronisation, aucun déphasage n'est amené par le filtre ou le générateur de courant).

Le développement de l'équation (2) et l'égalité des termes de la partie imaginaire de cette équation conduisent alors à une relation entre $\Delta\omega$ et $\Delta\varphi$:

$$\sin(\Delta\varphi) = \frac{2Q}{\omega} \frac{\Delta\omega}{H_0 R E_i (i_2 + 3V_{go} i_3)} \tag{3}$$

Il ne peut y avoir synchronisation que si le second terme de cette égalité est en module inférieur à 1, d'où :

$$\Delta\omega_{max} = \frac{\omega}{2Q} H_0 R E_i (i_2 + 3V_{go} i_3) \tag{4}$$

La plage de synchronisation sera donc d'autant plus large que l'amplitude d'entrée E_i sera importante et/ou que le coefficient de qualité Q sera faible.

Nous retrouvons donc un résultat très semblable à celui obtenu par Adler [5] pour la description du fonctionnement d'un oscillateur synchronisé par injection à la même fréquence.

II-2 Gain de conversion

Un modèle simple est utile pour définir les caractéristiques d'un transistor qui vont conduire à un gain de conversion important. La caractéristique polynomiale d'ordre trois du courant utilisée dans le modèle est cependant un peu éloignée de la réalité du FET. En effet, au delà du pincement V_t, le courant croît à nouveau. De même, au delà de V_m en direct, le courant décroît :

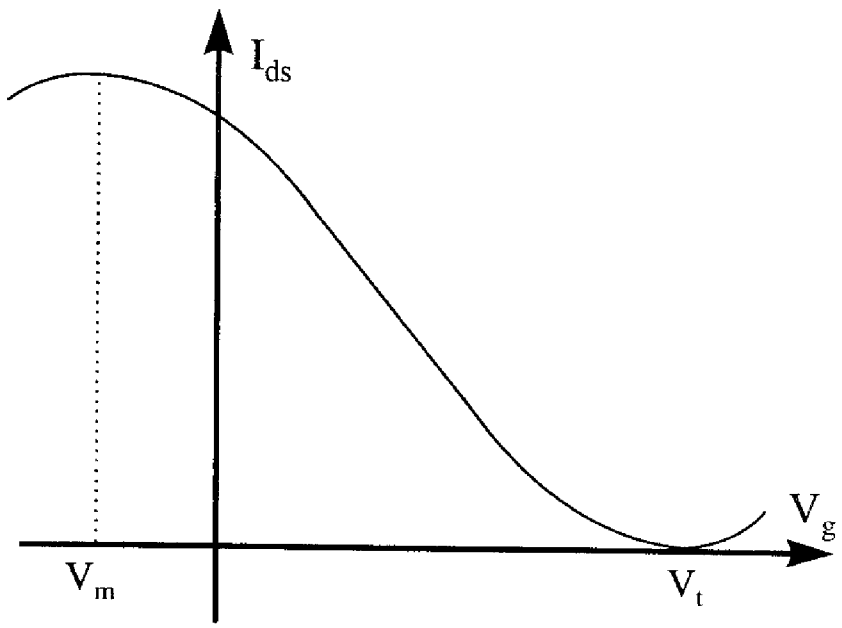

Figure 2 : Caractéristique polynomiale du courant.

En l'absence du blocage du courant en V_t et V_m, ce modèle n'est valable que si le cycle de charge reste confiné au domaine $[V_t, V_m]$.

On peut exprimer $I_{ds}(V_g)$ à partir des paramètres I_{dss}, V_t, V_m. En effet, V_t est une racine double du polynôme, donc :

$$I_{ds}(V_g) = \alpha(V_g - V_t)^2(V_g - V_K) \tag{5}$$

V_K est obtenu en considérant que $\frac{dI_{ds}}{dV_g}(V_m) = 0$ et α en identifiant le terme constant à I_{dss}.

On obtient ainsi :

$$I_{ds}(V_g) = -\frac{2}{3V_m - V_t}\frac{I_{dss}}{V_t^2}(V_g - V_t)^2.(V_g - \frac{3V_m - V_t}{2}) \tag{6}$$

Notre but est d'étudier la dépendance du gain de conversion Gc du diviseur de fréquence en fonction des paramètres du transistor : I_{dss}, V_t, V_m. G_c est défini par :

$$G_c = \frac{RI_{ds}}{E_i} \tag{7}$$

La détermination précise du gain de conversion à partir des conditions de boucle est aisée avec notre modèle, mais l'expression obtenue est déjà assez complexe et apporte peu d'informations directement exploitables :

$$G_c(E_i) = \frac{4}{3H_0^3 R i_3 E_i^2} - \frac{4i_1}{3i_3 H_0^2 E_i^2} - \frac{4i_2(E_i + 2V_{go})}{3H_0^2 i_3 E_i^2} - \frac{4(\frac{3E_i^2}{2} + 3V_{go}^2 + 3V_{go}E_i)}{3H_0^2 E_i^2}$$

Pour obtenir une expression plus simple de ce gain, il nous faut simplifier encore le modèle. Nous allons supposer tout d'abord que V_m=0. Dans ce cas :

$$I_{ds}(V_g) = \frac{2I_{dss}}{V_t^3}(V_g - V_t)^2.(V_g + \frac{V_t}{2}) \tag{8}$$

En développant cette expression, on obtient les termes i_0, i_1, i_2, i_3 :

$$i_0 = I_{dss} \qquad i_1 = 0 \qquad i_2 = -\frac{3I_{dss}}{V_t^2} \qquad i_3 = \frac{2I_{dss}}{V_t^3}$$

La tension en sortie s'écrit :

$$V_s = RI_{ds} = R\left[-\frac{3I_{dss}}{V_t^2}E(E_i + 2V_{go}) + \frac{2I_{dss}}{V_t^3}(3V_{go}E.E_i + \frac{3E^3}{4} + \frac{3E.E_i^2}{2} + 3V_{go}^2E)\right]$$

En supposant de plus que $V_{go} = V_t$, on obtient une expression simple du gain de conversion :

$$G_c = R\frac{3I_{dss}}{V_t^2}\left[E + \frac{1}{V_t}(E.E_i + \frac{E^3}{2E_i})\right] \tag{9}$$

On peut distinguer deux termes dans cette expression : un premier terme de gain petit signal proportionnel à I_{dss}/V_t^2 et un deuxième terme de compression dépendant de E_i et

proportionnel à I_{dss}/V_t^3. Lorsque E et E_i sont faibles (au démarrage, au voisinage du seuil de déclenchement), c'est le premier de ces deux termes qui influe, jusqu'à la compression. Il sera donc intéressant de maximiser I_{dss}/V_t^2 pour obtenir un seuil de déclenchement faible et un fort gain de conversion avant la compression.

Remarque : une étude précédemment publiée [6] avait déjà conduit à considérer I_{dss}/V_t^2 comme un paramètre de choix de composants pour la fonction diviseur de fréquence. Cette étude était basée sur un modèle assez différent (plus complexe) avec une caractéristique polynomiale par morceaux et un blocage à V_t et V_m.

II-3 Division d'ordre supérieur à deux

Il peut être également intéressant de vérifier analytiquement certaines propriétés nécessaires à notre circuit pour pouvoir effectuer des divisions de fréquence d'un ordre supérieur à deux.

II-3-1 Calculs pour une division d'ordre deux

Nous allons utiliser à nouveau une caractéristique d'ordre 3 pour le courant telle que celle décrite dans l'équation (5), et reprise ci-dessous.

$$I_{ds}(V_g) = \alpha(V_g - V_t)^2(V_g - V_K)$$

qui donne une fois développée :

$$I_{ds}(V_g) = \alpha\left[V_g^3 - (2V_t + V_K)V_g^2 + V_t(V_t + 2V_K)V_g - V_K V_t^2\right] \qquad (10)$$

Dans le cas de la division par deux, la commande s'écrit :

$$V_g = E_1 \cos(\omega t + \varphi_1) + E_2 \cos(2\omega t + \varphi_2)$$

En prenant toujours pour hypothèse que le filtre situé dans la contre-réaction ne laisse passer que le terme en ω (correspondant à la fréquence divisée), on obtient finalement :

$$I_{ds}(V_g,\omega,\varphi) = \alpha\left[\frac{3}{4}E_1^3 + \frac{3}{2}E_1 E_2^2 + V_t(V_t + 2V_K)\right]\cos(\omega t + \varphi_1) + \alpha E_1 E_2(2V_t + V_K)\cos(\omega t + \varphi_2 - \varphi_1) \quad (11)$$

On peut alors écrire les conditions de boucle de la manière suivante :

$$V_s = RI_{ds} = E_1\cos(\omega t + \varphi_1)$$

ce qui nous donne finalement :

$$\begin{cases} \text{- en module :} & E_1 = \sqrt{\frac{4}{3}\left[\frac{1}{\alpha R} - V_t(V_t + 2V_K) - \frac{3}{2}E_2^2 - E_2(2V_t + V_K)\right]} \\ \text{- en phase :} & \varphi_2 = 2\varphi_1 + k\pi \end{cases}$$

Nous pouvons dès à présent remarquer que l'on retrouve une dépendance du terme de sortie à la fréquence divisée non seulement en fonction du module du signal de commande mais aussi de sa phase. Le terme de synchronisation en phase provient, en fait, du terme d'ordre deux de l'équation (10).

II-3-2 Calculs pour une division d'ordre supérieur à deux

Si l'on effectue le même calcul dans le cas d'une division par trois, on peut noter le signal de commande sous la forme : $V_g = E_1\cos(\omega t + \varphi_1) + E_3\cos(3\omega t + \varphi_3)$

La non-linéarité utilisée correspond toujours à l'équation (10). Après un calcul identique à celui effectué auparavant dans le cadre de la division par deux, on se retrouve dans un cas similaire, à la seule différence que le terme de synchronisation provient du terme d'ordre trois. Ainsi le courant I_{ds} s'écrit :

$$I_{ds}(V_g,\omega,\varphi) = \alpha\left[\frac{3}{4}E_1^3 + \frac{3}{2}E_1 E_3^2 + V_t(V_t + 2V_K)E_1\right]\cos(\omega t + \varphi_1) + \alpha\frac{3}{4}E_1^2 E_3\cos(\omega t + \varphi_3 - \varphi_1)$$

On retrouve alors les conditions de boucle suivantes :

$$\begin{cases} \text{- en module :} & E_1 = \frac{1}{2}\left[E_3 + \sqrt{-\frac{4}{3\alpha R} - \frac{16}{3}V_t(V_t + 2V_K) - \frac{1}{2}E_3^2}\right] \\ \text{- en phase :} & \varphi_3 = 3\varphi_1 + k\pi \end{cases}$$

Enfin, si l'on effectue le même calcul dans le cas d'une division par quatre, avec un signal de commande de la forme :

$$V_g = E_1\cos(\omega t + \varphi_1) + E_4\cos(4\omega t + \varphi_4)$$

Le courant I_{ds} s'écrit alors comme suit :

$$I_{ds}(V_g, \omega, \varphi) = \alpha\left[\frac{3}{4}E_1^3 + \frac{3}{2}E_1 E_4^2 + V_t(V_t + 2V_K)E_1\right]\cos(\omega t + \varphi_1)$$

On obtient toujours une dépendance du signal de sortie en fonction du module du signal d'entrée mais pas en fonction de sa phase. Ainsi pouvons nous conclure que le signal ne pourra être synchronisé dans ces conditions.

Nous allons approfondir un peu plus le calcul pour une division d'ordre n en utilisant toujours la même non-linéarité d'ordre 3 telle que définie dans l'équation (10).

Nous pouvons développer V_g^3 et V_g^2 de la manière suivante :

$$V_g^3 = \left[E_1\cos(\omega t + \varphi_1) + E_n\cos(n\omega t + \varphi_n)\right]^3$$

$$= \underline{\frac{3}{4}E_1^3\cos(\omega t + \varphi_1)} + \frac{1}{4}E_1^3\cos(3\omega t + 3\varphi_1) + \frac{3}{4}E_n^3\cos(n\omega t + \varphi_n) + \frac{1}{4}E_n^3\cos(3n\omega t + 3\varphi_n)$$

$$+ \underline{\frac{3}{2}E_1E_n^2\cos(\omega t + \varphi_1)} + \frac{1}{4}E_1E_n^2\left[\cos((2n+1)\omega t + 2\varphi_n + \varphi_1) + \underline{\cos((2n-1)\omega t + 2\varphi_n - \varphi_1)}\right]$$

$$+ \frac{3}{4}E_1^2E_n\cos(\omega t + \varphi_n - 2\varphi_1) + \frac{1}{4}E_1^2E_n\left[\cos((n+2)\omega t + \varphi_n + 2\varphi_1) + \underline{\cos((n-2)\omega t + \varphi_n - 2\varphi_1)}\right]$$

et

$$
\begin{aligned}
V_g{}^2 &= \left[E_1 \cos(\omega t + \varphi_1) + E_n \cos(n\omega t + \varphi_n)\right]^2 \\
&= \frac{1}{2}E_1{}^2 + \frac{1}{2}E_1{}^2 \cos(2\omega t + 2\varphi_1) + \frac{1}{2}E_n{}^2 + \frac{1}{2}E_n{}^2 \cos(2n\omega t + 2\varphi_n) \\
&+ \frac{1}{2}E_1 E_n\left[\cos((n+1)\omega t + \varphi_n + \varphi_1) + \underline{\cos((n-1)\omega t + \varphi_n - \varphi_1)}\right]
\end{aligned}
\tag{12}
$$

Lorsque nous rebouclerons le signal, de façon logique, on obtiendra une synchronisation du signal de sortie ($E_1\cos(\omega t + \varphi_1)$) sur le signal d'entrée ($E_n\cos(n\omega t + \varphi_n)$) pour des termes du développement de $V_g{}^3$ et $V_g{}^2$ à la fréquence ω contenant E_n et φ_n.

On prend pour hypothèse que l'ordre de la division (n) est supérieur à 2. Etant donné que l'on recherche des termes à la fréquence de sortie ω, nous pouvons donc éliminer tous les termes résultant d'une multiplication de "ω" par "n" ainsi que ceux résultant d'une somme contenant "n". Il ne nous reste donc plus que les termes soulignés des équations (12).

Les deux premières possibilités du développement de $V_g{}^3$ sont à exclure car elles ne contiennent pas φ_n. Par contre, les deux autres peuvent être égalées à "ω".

$$
\begin{cases} (2n-1)\omega = \omega \\ (n-2)\omega = \omega \end{cases}
\Leftrightarrow
\begin{cases} n = 1 & \text{solution à rejeter car } n\rangle 2 \\ n = 3 & \underline{\underline{\text{solution unique.}}} \end{cases}
$$

En ce qui concerne le développement de $V_g{}^2$, nous n'avons qu'une seule possibilité pour obtenir une égalité à la fréquence ω, qui donne l'équation suivante :

$$(n-1)\omega = \omega \quad \Leftrightarrow \quad n = 2$$

qui correspond au cas de la division par deux.

A partir des exemples précédents, nous avons déduit une règle simple :

Pour *avoir une synchronisation du signal de sortie sur celui de l'entrée, il est nécessaire que* l'ordre *de la non-linéarité utilisée pour la modélisation du courant I_{ds} soit égal à l'ordre de division désiré.*

II-3-3 Méthode alternative pour les divisions d'ordre supérieur à deux

Il existe cependant une autre possibilité pour obtenir une division d'ordre supérieur à celui de la non-linéarité. Il faut, pour cela, modifier le circuit utilisé pour l'étude précédente. Au lieu de ne laisser passer que le terme à la fréquence ω, on peut modifier la contre-réaction de façon à ce qu'elle filtre les fréquences supérieures à (n-1)ω (avec n, ordre de la division), comme présenté sur la Figure 3. Ce type de fonctionnement est à rapprocher de celui décrit dans la référence [7].

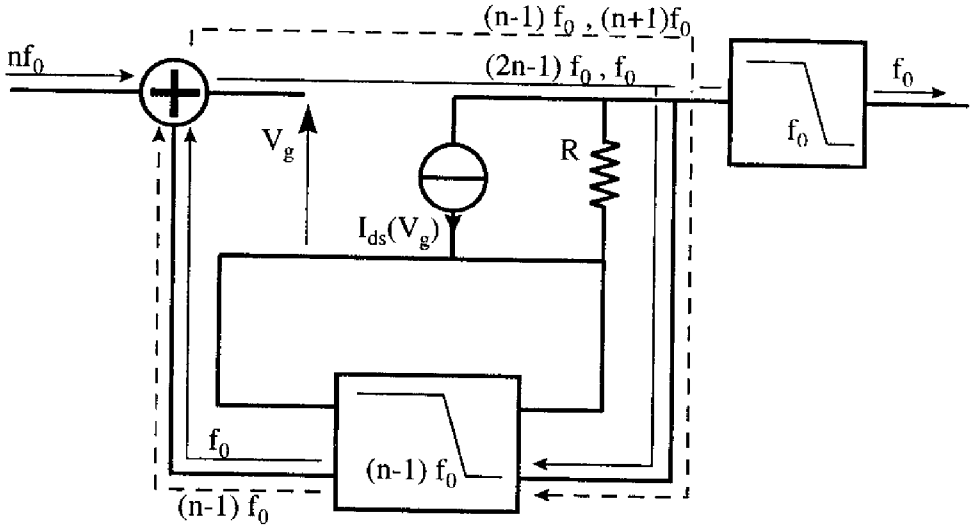

Figure 3 : division de fréquence d'ordre n.

La boucle est censée accueillir les deux fréquences particulières f_0 et $(n-1)f_0$ pour pouvoir effectuer la division d'ordre n. La Figure 3 présente le cheminement des signaux lors du "premier tour" dans la boucle (traits pleins) et lors du "second tour" (traits en pointillés). Le signal à la fréquence de sortie désirée est en fait le résultat du mélange du signal d'entrée et du signal de retour après le "premier tour" de boucle. Nous pouvons implémenter ce cas dans l'approche analytique développée plus haut au niveau de l'équation du signal de commande qui devient :

$$V_g = E_1 \cos(\omega t + \varphi_1) + E_{n-1} \cos((n-1)\omega t + \varphi_{n-1}) + E_n \cos(n\omega t + \varphi_n)$$

ce qui implique les termes résultants suivants lors du développement de V_{gs}^2 et de V_{gs}^3 (par mesure de simplification, nous ne gardons que les termes probables en ω, avec $n > 2$) :

$$\begin{aligned} V_g^3 &= \left[E_1\cos(\omega t+\varphi_1)+E_{n-1}\cos((n-1)\omega t+\varphi_{n-1})+E_n\cos(n\omega t+\varphi_n)\right]^3 \\ &= \frac{3}{4}E_1^3\cos(\omega t+\varphi_1)+E_1E_{n-1}^2\cos(\omega t+\varphi_1)+E_1E_n^2\cos(\omega t+\varphi_1) \\ &+\underline{\frac{1}{2}E_nE_1^2\cos((n-2)\omega t+\varphi_n-2\varphi_1)}+\underline{\frac{1}{2}E_nE_{n-1}^2\cos((n-2)\omega t+2\varphi_{n-1}-\varphi_n)} \\ &+\underline{\frac{1}{2}E_{n-1}E_1^2\cos((n-3)\omega t+\varphi_{n-1}-2\varphi_1)}+\ldots \end{aligned} \tag{13}$$

et

$$\begin{aligned} V_g^2 &= \left[E_1\cos(\omega t+\varphi_1)+E_{n-1}\cos(n\omega t+\varphi_{n-1})+E_n\cos(n\omega t+\varphi_n)\right]^2 \\ &= \underline{E_1E_{n-1}\cos((n-2)\omega t+\varphi_{n-1}-\varphi_1)}+\underline{\underline{E_nE_{n-1}\cos(\omega t+\varphi_n-\varphi_{n-1})}}+\ldots \end{aligned} \tag{14}$$

Nous pouvons regrouper les résultats obtenus qui donneront une possibilité de division en trois ensembles distincts:

- ceux (*non soulignés*)qui ne dépendent pas de φ_n ou φ_{n-1}, et qui n'ont donc aucun intérêt pour la synchronisation.
- ceux (*simple soulignés*) qui dépendent de E_n ou E_{n-1} d'une part et de φ_n ou φ_{n-1} d'autre part, mais ne correspondent qu'à un seul ordre de division.
- celui (*double souligné*) qui dépend de E_n, E_{n-1}, φ_n et φ_{n-1}, et semble pouvoir fournir n'importe quel ordre de division.

Des résultats en simple souligné, nous en déduisons que l'ordre de la division peut atteindre quatre. Le résultat en double souligné, lui, pourrait nous conduire à la conclusion que n'importe quel ordre de division peut être atteint uniquement avec une non-linéarité d'ordre deux et une réaction laissant passer les fréquences adéquates. Afin de vérifier cela, nous pouvons effectuer le calcul d'un diviseur par quatre avec une simple non-linéarité d'ordre deux.

L'équation utilisée pour I_{ds} est la suivante (non-linéarité d'ordre deux) :

$$I_{ds}(V_g)=\alpha(V_g-V_t)^2$$

Le signal de commande est définie comme suit :

$$V_g = E_1 \cos(\omega t + \varphi_1) + E_3 \cos(3\omega t + \varphi_3) + E_4 \cos(4\omega t + \varphi_4)$$

ce qui nous donne les courants suivants :

$$I_{ds}(V_g, \omega, \varphi) = \alpha E_4 E_3 \cos(\omega t + \varphi_4 - \varphi_3) - 2\alpha V_T E_1 \cos(\omega t + \varphi_1)$$

$$I_{ds}(V_g, 3\omega, \varphi) = \alpha E_4 E_1 \cos(3\omega t + \varphi_4 - \varphi_1) - 2\alpha V_T E3 \cos(3\omega t + \varphi_3)$$

Ainsi, nous obtenons les conditions de fermeture suivantes :

$$\begin{cases} \varphi_4 - \varphi_1 = \varphi_3 + k\pi \\ \varphi_4 - \varphi_3 = \varphi_1 + k\pi \\ E_1 E_4 - 2V_T E_3 = \dfrac{E_3}{\alpha} \\ E_3 E_4 - 2V_T E_1 = \dfrac{E_1}{\alpha} \end{cases} \qquad (15)$$

Il n'existe cependant pas de solution au système d'équations (15). En effet, les deux équations en phase présentées ici révèlent une indétermination. Il manque une équation supplémentaire afin de définir complètement les conditions de boucle en phase. Nous pouvons donc conclure qu'une non-linéarité d'ordre deux ne suffit pas pour réaliser une division d'ordre 4.

Par contre, si nous utilisons une non-linéarité d'ordre trois, elle apporte ici non seulement les termes nécessaires à la résolution du système d'équation au niveau du module, mais aussi une condition de phase supplémentaire permettant la synchronisation (en fait, $\varphi_3 = 3\varphi_1 + k\pi$), comme le démontre l'étude générale effectuée plus haut (équations (13) et (14)).

Nous pouvons donc conclure que cette deuxième possibilité modifie la règle énoncée plus haut que nous pouvons alors reécrire de la manière suivante :

L'ordre de la division doit être égal à l'ordre de la non-linéarité utilisée pour le mélange lorsque la réaction ne laisse passer que le signal à la fréquence de sortie.

$$n_{division} = n_{non-linéarité}$$

Par contre, l'ordre de la division pourra être augmenté de un si la réaction laisse passer en plus du signal à la fréquence de sortie celui provenant de son mélange avec le signal d'entrée.

$$n_{division} = n_{non-linéarité} + 1$$

III METHODOLOGIE D'ANALYSE D'UN DIVISEUR

Nous présentons ici les avantages et inconvénients rencontrés lors de la mise en œuvre des techniques d'analyse des diviseurs retenues. Une approche méthodologique globale a été préférée ici à une scission entre la simulation et l'analyse étant donné que les problèmes rencontrés lors de la deuxième ont modifié notre approche de la première.

III-1 Méthodes de simulation

Nous allons présenter les méthodes de simulation ayant été utilisées pour l'étude du diviseur de fréquence. Il faut toutefois préciser que le moyen logiciel mis à notre disposition est MDS de Hewlett-Packard. Celui-ci dispose d'un module d'analyse permettant deux types de simulation : l'une temporelle (IMPULSE), l'autre tempo-fréquentielle ou balance harmonique.

Avant d'entrer dans la présentation de la méthode utilisée lors de nos simulations, il peut être intéressant de rappeler succinctement le fonctionnement de l'équilibrage harmonique. Nous nous contenterons d'une présentation succincte de cette méthode, des éléments complémentaires pouvant être trouvés dans les thèses de M. Gayral [8] et P. André [9].

III-1-1 Méthode d'équilibrage harmonique

La méthode de l'équilibrage harmonique [10]-[11] repose sur une bi-appartenance aux ensembles constitués par les méthodes fréquentielles et temporelles afin d'en exploiter les avantages respectifs.

Elle consiste en une décomposition du circuit à étudier en deux sous réseaux linéaire et non-linéaire. Les éléments linéaires (passifs ou parasites) sont pris en compte lors de l'analyse du sous-réseau linéaire, réalisée dans le domaine fréquentiel. Par contre, les éléments non-linéaires (provenant essentiellement des composants actifs) sont pris en compte par des calculs réalisés dans le domaine temporel. Des transformées de Fourier (directe et inverse) sont utilisées pour faire la liaison entre les deux analyses. Cette séparation permet de s'affranchir des difficultés rencontrées généralement dans chacun des deux domaines.

Ensuite, par une comparaison des réponses des deux réseaux, on va tendre vers une solution au fur et à mesure d'itérations, en visant l'égalité de ces réponses. Ceci implique la définition d'une fonction erreur pour pouvoir déterminer la fin du processus d'itération. La précision de la solution est aussi dépendante du nombre d'harmoniques pris en considération dans le calcul. La solution obtenue est restituée dans le domaine fréquentiel. Elle représente le régime établi du circuit.

Lorsque l'on veut étudier des oscillateurs, il existe cependant une difficulté de par l'absence de source d'excitation.

Pour y remédier, une solution (développée par HP-Eesof et implémentée dans MDS) consiste en l'utilisation d'un coupleur directionnel particulier (OSCTEST). Celui-ci est défini de manière à ne pas être pris en compte dans les calculs à la fréquence d'oscillation ainsi qu'à ses harmoniques.

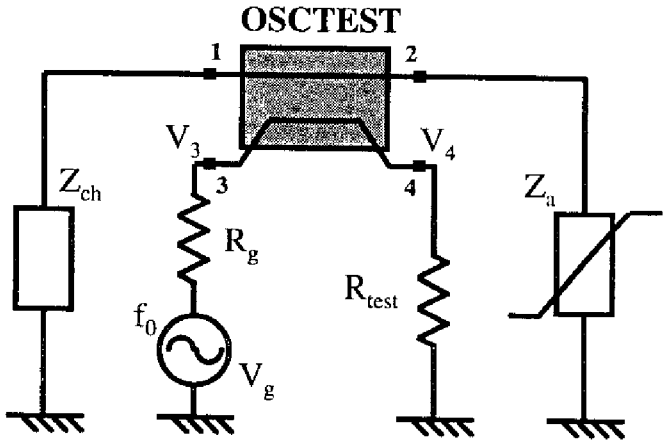

Figure 4 : module 'OSCTEST'

Nous pouvons décrire le fonctionnement de ce module de la manière suivante en nous appuyant sur la Figure 4. Le signal fourni par V_g est transmis du port 3 vers le port 2 où il est réfléchi et amplifié par Z_a (résistance négative). Ensuite, il est transmis vers le port 1 où il est à nouveau réfléchi pour être finalement transmis vers le port 4. Ce signal doit présenter, à la fréquence pour laquelle il est en phase avec V_3, un niveau supérieur à ce dernier si les conditions de démarrage de l'oscillation sont remplies ($R_a+R_{ch}<0$).

Nous obtenons le régime établi par l'optimisation du niveau et de la fréquence de la source en fonction du rapport V_4/V_3 (module égal à un et phase nulle), condition à satisfaire non seulement au fondamental, mais aussi aux harmoniques. La puissance fournie par le port 3 étant totalement dissipée dans le port 4, l'élément de test n'a donc plus d'influence sur le reste du circuit.

L'analyse fort signal étant initialisée par le calcul du gain en petit signal, l'inconvénient de cette méthode réside dans le fait que le gain de boucle s'exprime en fonction du coefficient de réflexion. Ce dernier dépendant de l'impédance caractéristique, le démarrage de l'analyse fort signal est donc conditionné par le choix de cette impédance. Un autre inconvénient vient de l'emplacement du module de test dans le circuit. En effet, nous pouvons remarquer que le changement de cet emplacement peut amener à ne plus obtenir d'oscillation.

III-1-2 Méthode dite "de la sonde"

L'intérêt de la méthode de l'équilibrage harmonique vient de ce qu'elle permet une recherche plus facile de l'état établi. Cependant, le principal problème intervenant dans la simulation du diviseur de fréquence réside dans le fait qu'une simulation directe par la méthode de la balance harmonique est impossible, l'étude de la synchronisation ne pouvant pas être réalisée simplement.

En effet, la génération du signal sous-harmonique ne se fait pas spontanément, et il est donc nécessaire de l'imposer en ajoutant un deuxième générateur. Cependant, ce générateur n'existant pas dans le circuit réel (le démarrage s'effectuant grâce au bruit de fond ou à des phénomènes transitoires dans la boucle de réaction), il est nécessaire de l'insérer sans

perturber ce circuit, c'est à dire dans une branche où il ne passe aucun courant. Pour cela, on place une sonde de courant (ou une sonde de tension selon le cas) dans la branche du générateur sous harmonique. Le régime établi du diviseur sera obtenu lorsque le courant débité par le générateur de tension prélevé par l'intermédiaire de la sonde sera nul. La recherche de cet état se fera par l'ajustement de l'amplitude et de la phase de cette source sous-harmonique, ce qui peut s'avérer fastidieux.

Cette méthode possède un inconvénient supplémentaire. En effet, elle possède une solution dégénérée : une tension nulle du générateur amenant un courant nul dans la branche. Il faudra donc choisir des conditions initiales proches de la solution recherchée afin d'éviter une convergence erronée de l'optimisation. La seule façon d'éviter ce problème consiste à augmenter pas à pas le niveau du générateur de tension et à faire une recherche sur la fréquence de manière à obtenir une puissance consommée dans la branche nulle. Mais cela revient à ne pas pouvoir utiliser de processus d'optimisation systématique.

III-1-3 Simulation temporelle

Une deuxième solution, plus naturelle, consiste à effectuer l'analyse avec un simulateur temporel, basé sur la résolution d'un système d'équations différentielles linéaires et non-linéaires établi par application des lois de Kirchoff, qui permet une analyse directe des diviseurs. Nous pouvons alors accéder à la phase transitoire ainsi qu'au régime établi de la solution, Nous pouvons également avoir accès à tous les fonctionnement parasites basse fréquence non pris en compte par les méthodes fréquentielle et tempo-fréquentielle.

Cependant les constantes de temps mises en jeu dans les circuits hyperfréquences impliquent un régime transitoire très long, ce qui impose des temps de calcul relativement conséquents, étant donné que nous nous intéressons au régime établi. De plus, la durée des calculs s'accroît très rapidement lors du passage des éléments idéaux aux éléments réels, en particulier dans le cas de la conception d'un circuit réalisé en technologie MMIC, ce qui peut même conduire dans certains cas à la non convergence du simulateur. Un autre inconvénient de cette approche réside dans le fait que les résultats fréquentiels sont parfois approximatifs dans le cas du simulateur IMPULSE ce qui peut s'expliquer par l'utilisation d'une méthode d'intégration à pas variable qui nécessite une nouvelle discrétisation (par

extrapolation/interpolation) pour l'utilisation de la transformée de Fourrier rapide (la documentation de MDS précise "spectre approché").

III-2 Méthodologie d'analyse

L'objectif était de définir une méthodologie d'analyse du diviseur, ceci en utilisant les modules de type harmonique balance (HB) et temporel (IMPULSE) de MDS, le diviseur étant étudié tout d'abord sous la forme d'un oscillateur déclenché et synchronisé sur un de ses harmoniques. Nous utilisons ici pour illustrer notre méthode une topologie classique de diviseur basée sur l'utilisation d'un transistor à effet de champ contre-réactionné en parallèle. Le signal d'entrée est appliqué sur la grille du transistor et le signal de sortie est récupéré sur son drain.

III-2-1 Configuration amplificateur

La première étape est la recherche de l'impédance de charge optimale en configuration amplificateur pour délivrer un maximum de puissance.

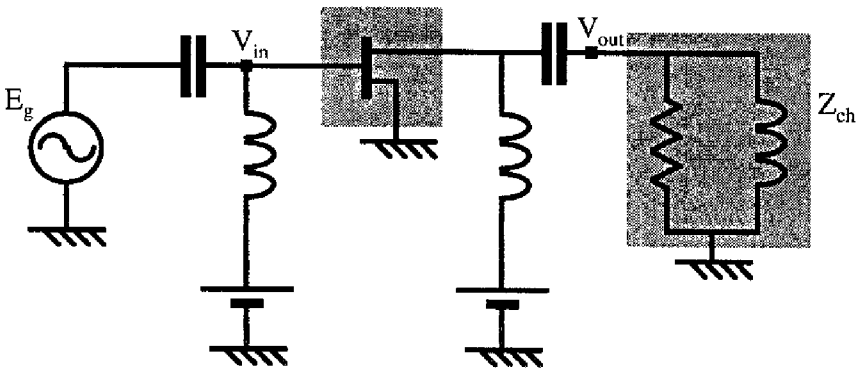

Figure 5 : Conception d'un amplificateur.

On utilise le cycle de charge intrinsèque (ids(Vds,Vgd) / Vds) pour définir l'impédance optimale pour une puissance de sortie maximum.

Pour réaliser la fonction oscillation, un quadripôle de contre réaction doit être introduit. Cette cellule est dans un premier temps de type contre réaction parallèle. Elle doit

permettre de ramener en entrée une tension de même amplitude et phase que le générateur d'attaque, ceci lorsqu'elle est chargée par l'impédance d'entrée du transistor décrit sous la forme d'un réseau RC série. L'objectif est donc Voir = Eg à la fréquence désirée (d'après les notations de la Figure 6).

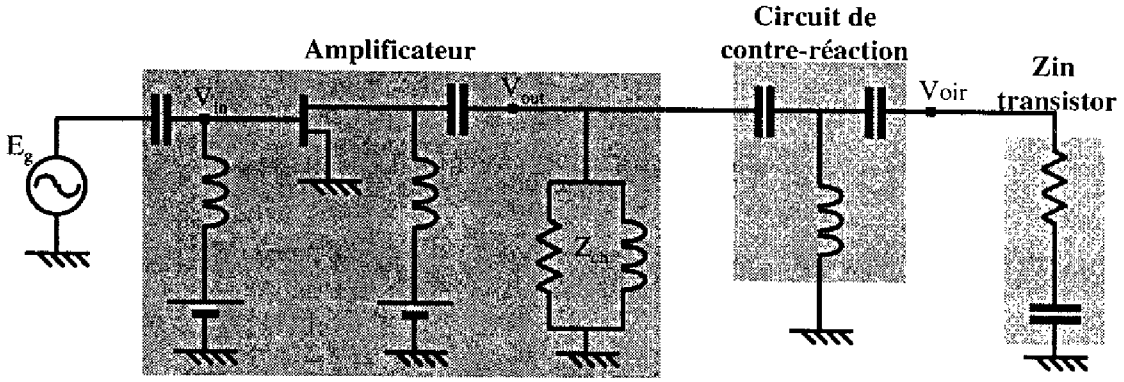

Figure 6 : Conception d'un amplificateur chargé par le réseau de contre-réaction.

III-2-2 Configuration oscillateur

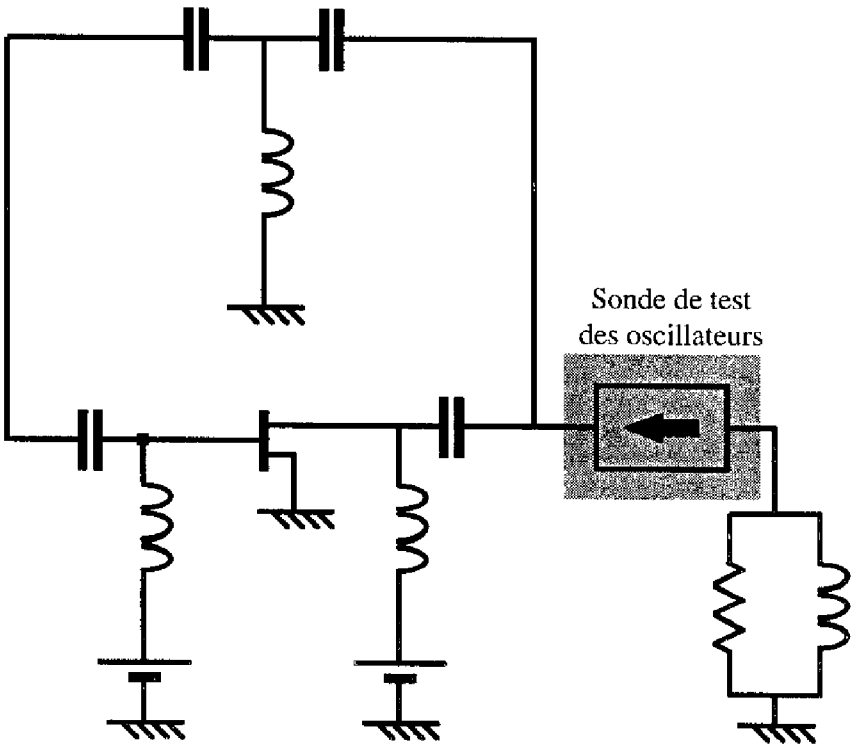

Figure 7 : Configuration oscillateur pour HB/MDS.

La simulation de l'oscillateur a été effectuée suivant trois approches. D'une part, l'utilisation du module d'analyse des oscillateurs de MDS/HB (osctest), qui nécessite d'initialiser l'impédance caractéristique de la "boite test", et dont l'effet sur la simulation est difficile à identifier. D'autre part, la localisation de cet élément de test oscillateur peut aussi s'avérer critique comme nous l'avons déjà précisé au paragraphe III-1-1.

La technique de la sonde a donc été utilisée pour vérifier le fonctionnement en oscillateur. Nous introduisons un générateur à la fréquence d'oscillation désirée, et nous recherchons l'amplitude du générateur permettant de minimiser le courant débité. Lorsque ce courant est minimum, il est alors possible de déconnecter la sonde, et on se retrouve dans la configuration oscillateur (Figure 8).

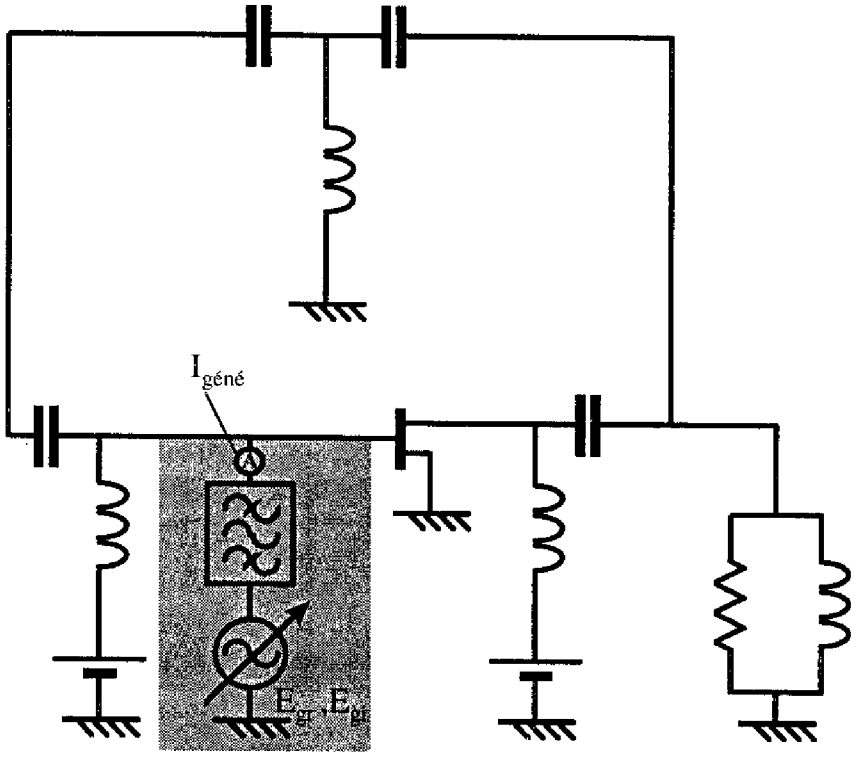

Figure 8 : Configuration oscillateur pour MDS avec la sonde.

Enfin, nous avons utilisé la partie temporelle de MDS (IMPULSE), pour vérifier la validité des résultats obtenus précédemment, ceci en rajoutant un générateur d'impulsion non périodique pour déclencher l'oscillation. Le circuit est alors celui présenté sur la Figure 9. L'utilisation du simulateur temporel nous permet d'avoir accès au régime transitoire du circuit

et de vérifier qu'il n'existe pas d'oscillations parasites basse fréquence non détectées par la méthode de l'équilibrage harmonique.

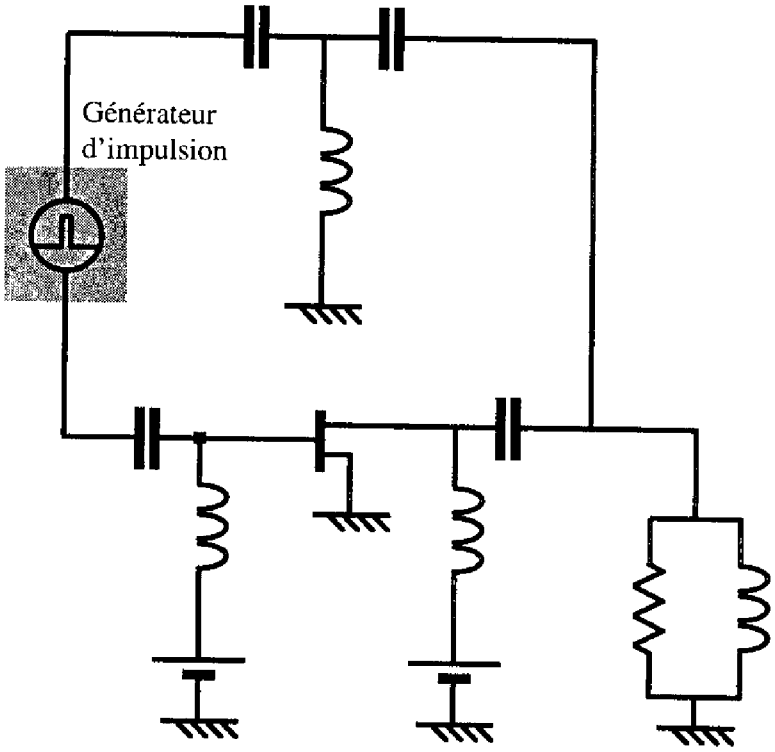

Figure 9 : Configuration oscillateur pour IMPULSE/MDS.

Les résultats issus de ces différentes méthodes ont été confrontés. Il apparaît que les comparaisons sur les formes d'onde sont en très bon accord. Par contre, les résultats dans le domaine fréquentiel de IMPULSE sont approximatifs (intégration à pas variable).

III-2-3 Configuration diviseur

Nous considérons le cas d'un diviseur par deux. Cette solution correspond à la configuration la plus simple et peut ensuite être retenue pour la conception d'un diviseur d'ordre supérieur (multiple de deux) par la mise en cascade de plusieurs cellules.

Le diviseur sera étudié sous la forme d'un oscillateur synchronisé dans un premier temps. Il est de plus préférable que le système ne délivre pas de puissance de sortie lorsque le signal d'entrée est nul, on polarisera donc le composant près du pincement, la puissance

injectée sur l'entrée (signal de synchronisation) devant permettre une autopolarisation du transistor nécessaire au maintient de l'oscillation.

L'approche temporelle se fait en intégrant un générateur de courant en entrée pour synchroniser l'oscillateur. L'utilisation de ce type de générateur permet de ne pas perturber l'état du système aux autres fréquences, de par la forte valeur de son impédance interne. Le circuit analysé est donné sur la Figure 10.

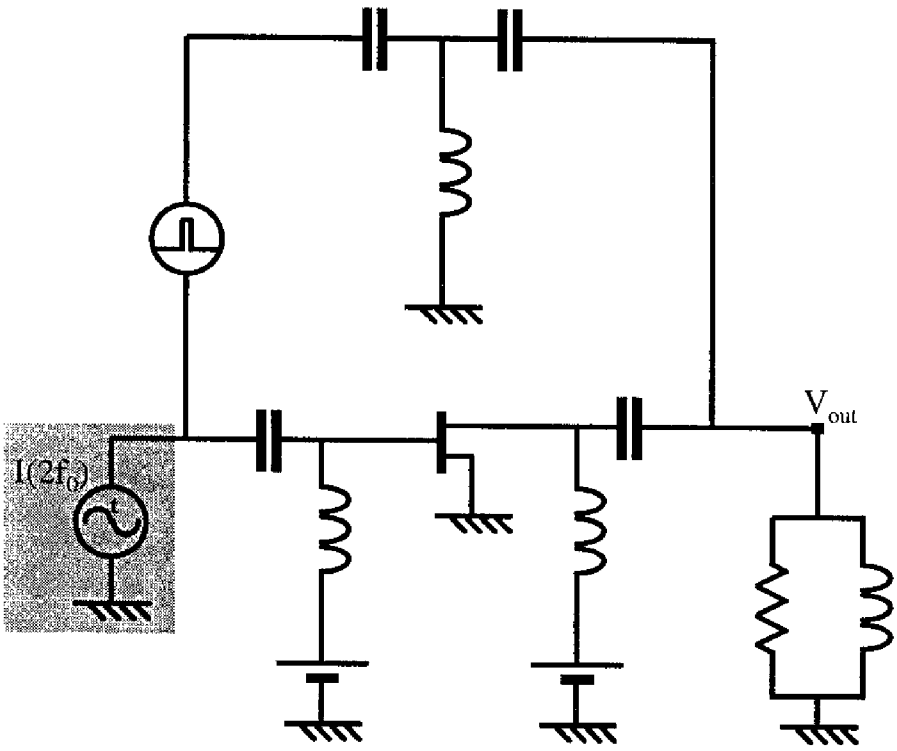

Figure 10 : Configuration diviseur pour IMPULSE/MDS

Pour la partie analyse HB/MDS, la technique de la sonde est là aussi utilisée. Il faut alors rechercher les parties réelle et imaginaire de la tension à appliquer à la fréquence de division telles que le courant délivré par cette même source soit nul. La topologie du circuit est alors la suivante (Figure 11) :

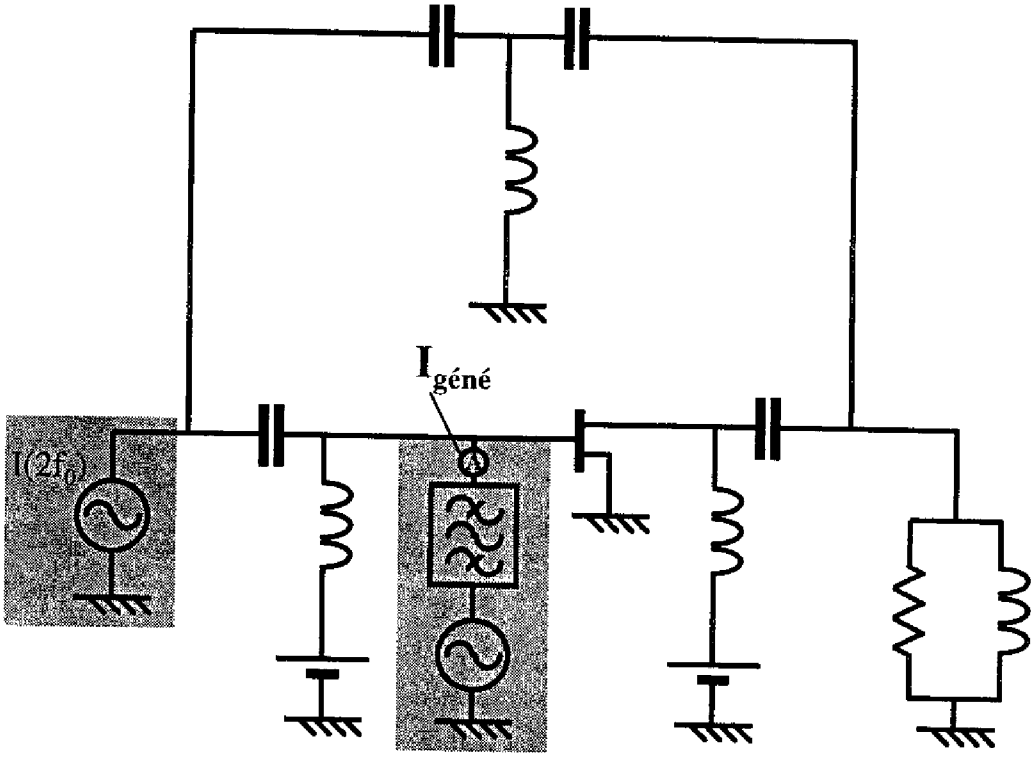

Figure 11 : Configuration diviseur pour HB/MDS + sonde

Les résultats sont fonction de l'amplitude et de la fréquence du générateur de synchronisation. L'objectif est la détermination de la bande de synchronisation du diviseur en fonction de la puissance injectée sur l'entrée.

III-3 Méthode de la boucle ouverte

Dans les paragraphes III-1 et III-2, nous avons présenté deux méthodes de simulation utilisables pour l'analyse d'un diviseur de fréquence. Ces deux méthodes, simulation temporelle et équilibrage harmonique avec recherche des conditions fort signaux (technique de la sonde), peuvent être utilisées valablement pour analyser un circuit donné mais se révèlent mal adaptées pour une optimisation, que nous ne manquerons pas de réaliser dans le cadre de conceptions de circuits intégrés. Nous avons donc développé une troisième approche, déjà utilisée à l'IRCOM Limoges [12], qui consiste à étudier une cascade d'éléments en boucle ouverte.

III-3-1 Principe

Cette méthode est basée sur le fait qu'un circuit bouclé peut être représenté par une chaîne infinie d'éléments en boucle ouverte mis en cascade (ex : Figure 12). Cette approche permet d'analyser le diviseur sous la forme d'un amplificateur comportant une succession de k étages.

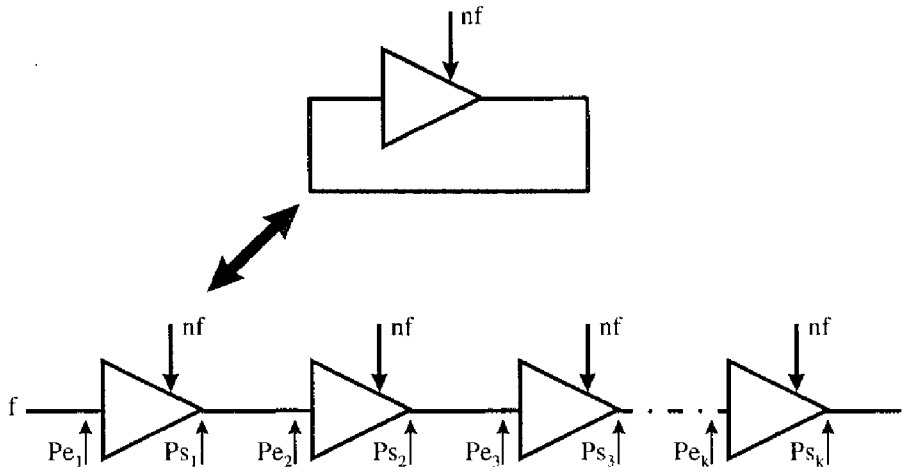

Figure 12 : Schéma synoptique de la méthode de la "boucle ouverte".

On accède ainsi à la visualisation de la convergence du signal vers l'état fort signal du diviseur caractérisé par une égalité des paramètres de deux cellules consécutives (Figure 13).

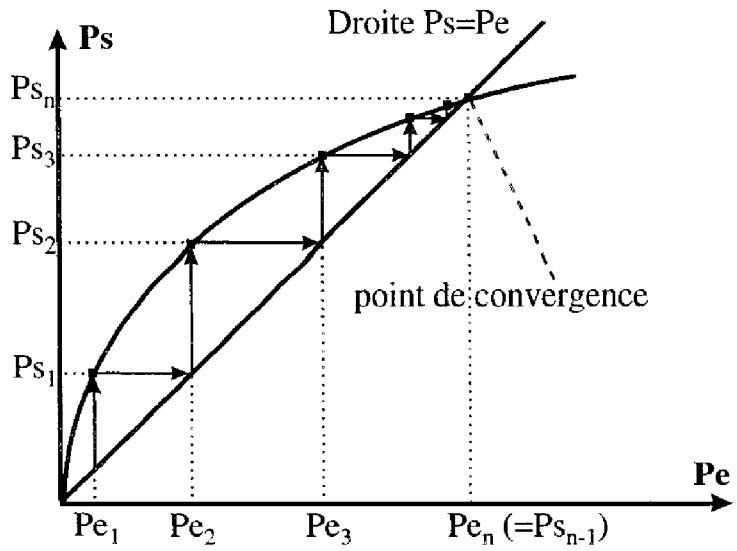

Figure 13 : Illustration de la convergence au fur et à mesure des cellules consécutives.

Cette méthode peut être utilisée pour la simulation d'un oscillateur (libre), mais cela implique une recherche de la fréquence de fonctionnement pour qu'il y ait effectivement convergence, c'est à dire pour que l'état du circuit (par exemple la tension de commande) soit le même sur deux cellules consécutives en fin de chaîne.

Par contre, dans le cas du diviseur de fréquence (ou de l'oscillateur synchronisé), la fréquence de fonctionnement est fixée par le générateur d'attaque à nf_O. La méthode de la boucle ouverte se révèle donc beaucoup plus adaptée. Dans toute la plage de synchronisation, nous devons observer une convergence naturelle vers l'état fort signal du diviseur.

III-3-2 Ouverture de la boucle et unilatéralisation des cellules

Un problème important posé par cette technique réside dans l'impédance de fermeture à mettre en fin de chaîne puisque dans la pratique la cascade d'éléments est nécessairement limitée (à cinq ou six cellules typiquement). Si le transistor est parfaitement unilatéral, le problème est immédiatement résolu : il suffit de terminer la chaîne sur le transistor (on est certain que les éléments situés en aval n'auront pas d'influence sur ceux qui les précèdent).

Il faut donc unilatéraliser le circuit ou, plus précisément, le transistor. Il est nécessaire pour cela de séparer dans le modèle du transistor les éléments de contre-réaction (série ou parallèle) du transistor intrinsèque unilatéral. Nous prenons ici une topologie simple de transistor à effet de champ pour exemple (Figure 14).

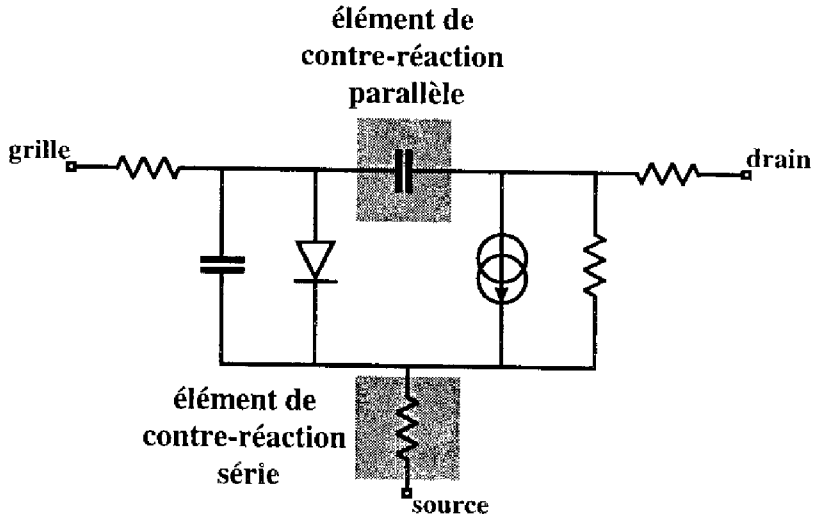

Figure 14 : Topologie simplifiée d'un FET.

En reprenant l'exemple de topologie utilisée précédemment dans le cadre de la présentation de la méthode d'analyse, nous obtenons la Figure 15. Il est à noter que cette dernière a été grandement simplifiée pour clarifier notre explication.

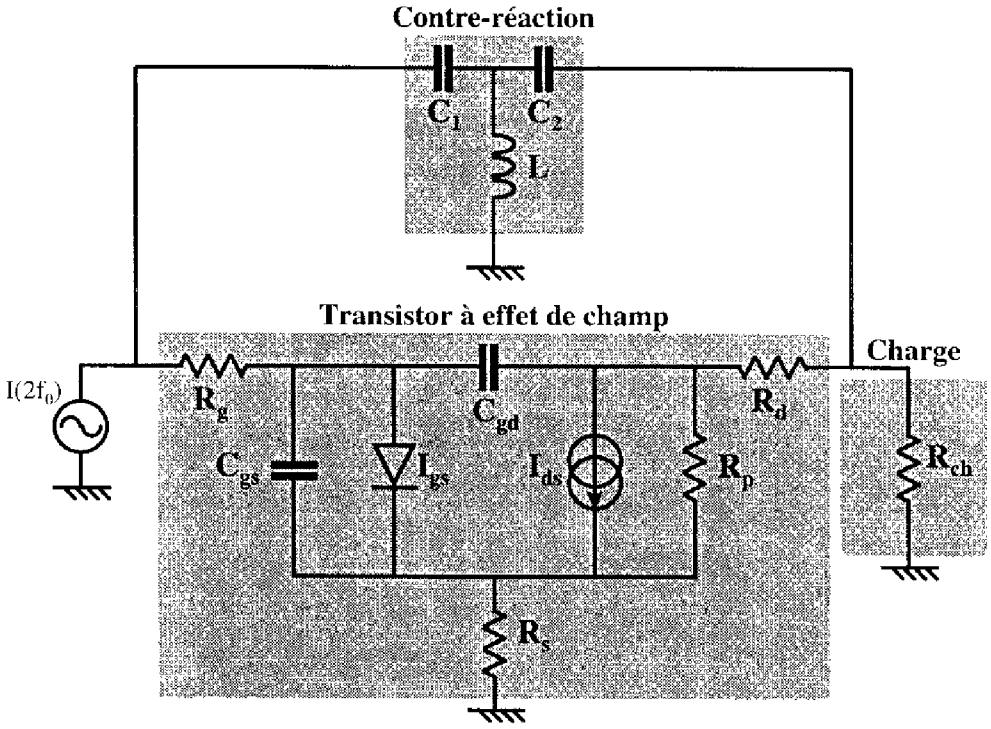

Figure 15 : Topologie simplifiée de diviseur

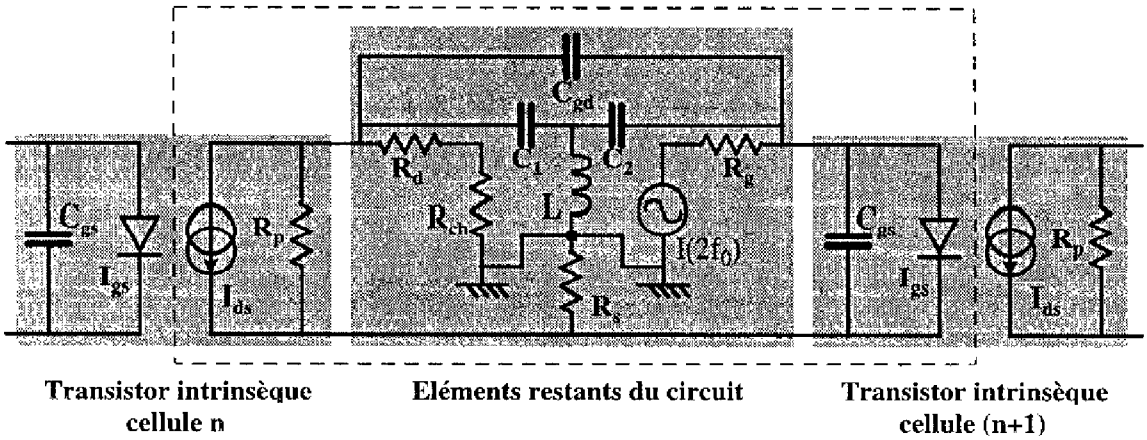

Figure 16 : Circuit après "ouverture"

Lors de "l'ouverture" de la boucle, nous séparons les éléments intrinsèques du transistor des autres afin d'obtenir deux quadripôles distincts qui pourront être mis en cascade. Le circuit initial se trouve donc réparti dans deux cellules consécutives.

Nous pouvons alors représenter la cascade d'éléments du diviseur comme la cascade de deux blocs élémentaires : un bloc unilatéral d'amplification et un bloc de contre-réaction comprenant à la fois les éléments parasites (ex : Cgd, Rs...) et intentionnels de contre-réaction. Dans un cas plus réaliste de circuit, il faut aussi un bloc d'injection du signal à l'harmonique deux (comprenant le générateur et le filtre à 2 f_0). Un exemple de ce type de modélisation est représenté en Figure 17. La cellule centrale type est en fait multipliée de façon à créer une chaîne comportant un nombre suffisant de cellules en cascade afin de pouvoir observer la convergence vers le régime établi.

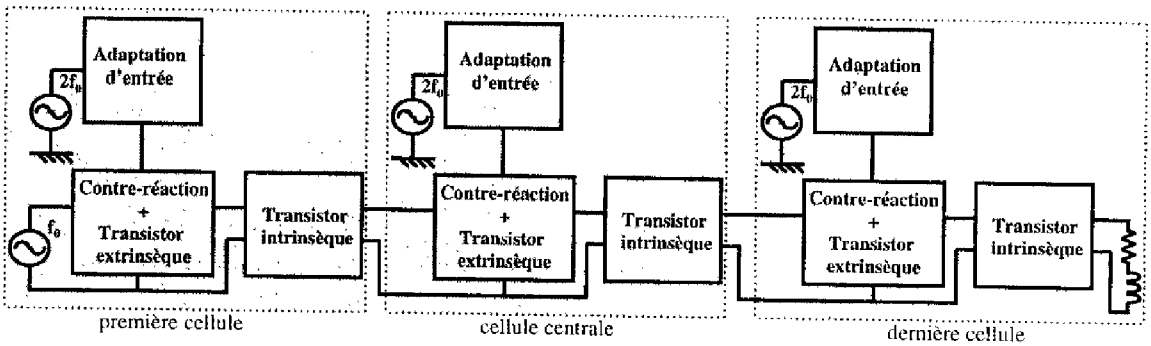

Figure 17 : Schéma synoptique d'une chaîne de diviseurs en boucle ouverte.

III-3-3 Problème du niveau "petit signal"

Un autre avantage de la méthode de la boucle ouverte est qu'elle peut prendre en compte le cas du diviseur régénératif tel que nous l'avons défini, par convention, dans le chapitre précédent (pas de signal en sortie sans signal d'entrée).

En effet, l'étude en oscillateur d'un circuit sur MDS requiert un certain nombre d'étapes consécutives. Schématiquement, il y a une étude en régime continu, puis une en régime petit signal et enfin une dernière en régime fort signal.

Dans le cas du diviseur régénératif, l'analyse est bloquée lors de l'étape petit signal car, le gain étant inférieur à un dans la boucle, les conditions de démarrage d'une oscillation ne

sont pas respectées. En effet, il est considéré généralement que l'apport de la puissance RF à l'entrée se répercute au travers d'un phénomène d'autopolarisation sur le gain du circuit qui augmente alors jusqu'à une valeur suffisante pour entretenir une oscillation.

Etant donné que la méthode de la boucle ouverte correspond à une analyse en amplificateur, elle permet d'éviter ce problème et reste donc valide pour l'étude de diviseurs régénératifs.

III-3-4 Paliers de phase

Dans l'étude analytique développée plus tôt, nous avons trouvé qu'il existait une relation de phase entre le signal d'entrée (synchronisant) et celui de sortie (synchronisé). Celle-ci était modulo π. Il en résulte donc que la phase du régime établi peut prendre deux valeurs distinctes à π près. La convergence au fur et à mesure des cellules consécutives peut cependant être plus ou moins rapide selon la phase du générateur placé en début de chaîne comme nous pouvons le voir sur la Figure 18. Il faut noter que la phase du générateur sur-harmonique est ici fixe, bien évidemment.

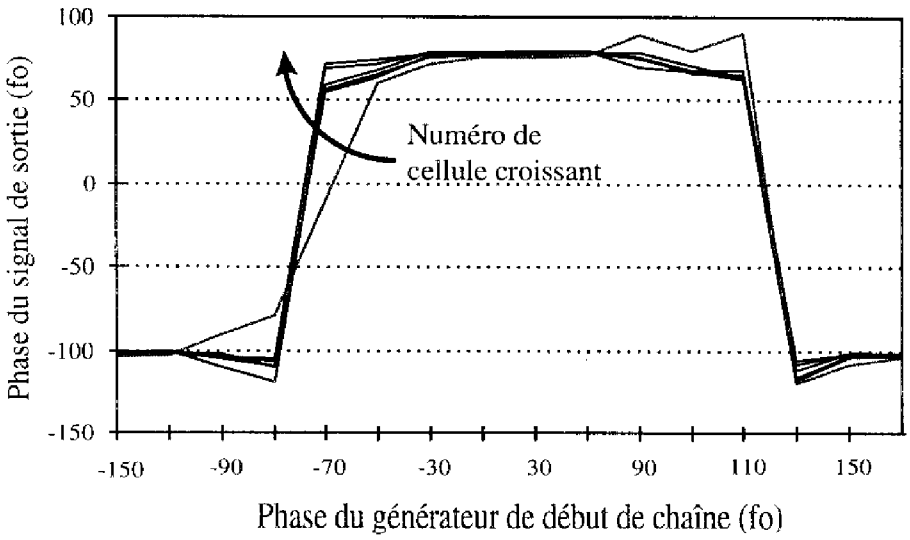

Figure 18 : Paliers de phase atteints lors d'une étude en boucle ouverte.

L'étude des paliers de phase offre un intérêt supplémentaire. Elle nous permet de connaître les conditions initiales optimales pour réaliser une convergence rapide vers le

régime établi, comme nous pouvons le remarquer sur la Figure 18. De manière plus générale, il est important de souligner que la convergence sera toujours réalisée sauf en deux points particuliers qui correspondent au saut de phase (de π).

III-3-5 Méthode de la boucle ouverte par itération

Selon la méthode initialement présentée, un nombre minimum de cellules est nécessaire (de 5 à 10 cellules dans notre cas) pour obtenir la convergence jusqu'au régime établi. Ainsi, le nombre de non-linéarités à considérer dans l'analyse augmente, ce qui se répercute directement sur le temps de calcul. A titre d'exemple, dans le cas du diviseur par deux conçu a partir des éléments de la bibliothèque fondeur (PML), le temps de calcul pour un point de fréquence est de l'ordre de 5 minutes sur une station HP 755 (fréquence d'horloge de 100 MHz, RAM 128 Mo) pour un circuit comprenant dix cellules.

Une variante semble donner alors une plus grande souplesse lors d'une conception. Il suffit de remplacer la chaîne des cellules consécutives par une seule cellule dont les caractéristiques de sortie obtenues à la fin d'un calcul sont réinjectées à l'entrée de cette même cellule pour le calcul suivant. Ainsi, par un processus itératif, nous pouvons obtenir la convergence vers l'état fort signal.

Le nombre de cellules nécessaires pour obtenir une convergence valide peut fortement varier en fonction des conditions initiales. Grâce à l'analyse "cellule par cellule" selon un mode itératif, on réduit considérablement le temps de calcul global, et ceci pour deux raisons. D'une part, le circuit entier traité est bien moins complexe que celui correspondant à une chaîne complète. D'autre part, le nombre de cellules utilisées correspond automatiquement au minimum nécessaire.

III-3-6 Conclusion partielle

La méthode de la boucle ouverte semble donc bien être celle qui revêt le plus d'intérêt pour l'étude et la conception de diviseurs de fréquence. La démarche d'analyse d'un diviseur (présentée en III-2) varie peu lorsqu'on utilise cette nouvelle méthode de simulation. De plus,

les procédés d'optimisation sont alors accessibles, ce qui est un des points les plus positifs dans la comparaison avec les autres possibilités.

Il existe cependant un défaut à cette technique. En effet, les textes présentant cette méthode ne manquent pas de préciser qu'il faut éviter le cas où la valeur absolue de la dérivée de la non-linéarité $V_s = f(V_e)$ dépasse la valeur un (ce qui est parfois le cas aux très fortes compressions) [13]. Au delà peuvent apparaître des phénomènes dits de bistabilité que nous allons maintenant commenter.

III-4 Bistabilité

Le phénomène de bistabilité apparaît dans un circuit lorsque l'on se retrouve dans des zones de fortes compressions. Etant donné qu'un oscillateur, et a fortiori un diviseur, peut très bien travailler dans cette zone, il nous est apparu intéressant d'approfondir nos connaissances au sujet de ce phénomène. De plus, il est à noter que nous avons très vite rencontré ce problème lors de la simulation de circuits contenant des transistors PHEMT de PML.

Ce type de phénomène se produit pour toute équation récurrente non-linéaire. Or l'étude d'un circuit par la méthode de la boucle ouverte n'est rien d'autre que l'observation de la convergence (ou de la non-convergence) d'une équation récurrente vectorielle non-linéaire de la forme $V_{N+1} = f(V_N)$ avec V_N tension de commande (en module et en phase) de la $N^{ième}$ cellule.

Cependant, pour décrire le phénomène de bistabilité, il va nous falloir établir un lien avec des théories mathématiques relatives au régime chaotique dans les systèmes non-linéaires [14]. Nous ne comptons pas entrer dans le détail de ces théories, ceci n'étant pas l'objectif de nos travaux. Nous introduirons donc ce lien au travers d'un exemple simple.

III-4-1 Exemple de la bifurcation de Feigenbaum

La notion de bifurcation se rapporte au fait qu'une faible variation d'un paramètre d'un circuit au delà d'une valeur limite entraîne une modification qualitative du comportement de ce circuit [15].

L'exemple que nous avons choisi de présenter pour illustrer le phénomène de la bistabilité est basé sur un modèle particulièrement simple mais qui révèle beaucoup de la complexité des systèmes dynamiques.

Il s'agit de la transformation de l'intervalle [-1,1] dans lui-même suivant la formule de récurrence :

$$x_{n+1} = 1 - \mu . x_n^2 \qquad (16)$$

En faisant varier le paramètre μ, nous allons pouvoir observer la modification de la manière dont le système converge. Il est à remarquer que l'on peut calculer un point de convergence grâce à l'équation suivante :

$$\mu . x^2 + x - 1 = 0$$

dont la seule racine comprise dans l'intervalle [-1,1] est :

$$x = \frac{1}{2\mu}\left(-1 + \sqrt{4\mu + 1}\right) \qquad (17)$$

Ainsi, pour μ compris entre 0 et 0.75, avons nous une convergence simple vers le point calculable par l'équation (17). Pour μ compris entre 0.75 et 1.25 par contre, nous avons une convergence double, que nous nommerons aussi bistabilité. Même si le point d'équilibre calculé grâce à (17) existe encore, un léger écart par rapport à cette valeur fait apparaître la bistabilité. On se retrouve en fait en présence d'un équilibre instable.

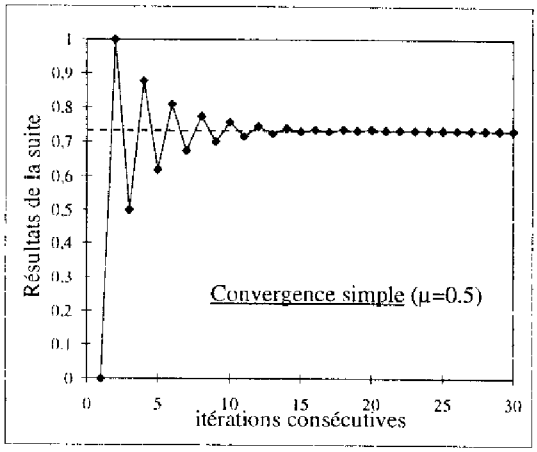

Figure 19 : Convergence simple.

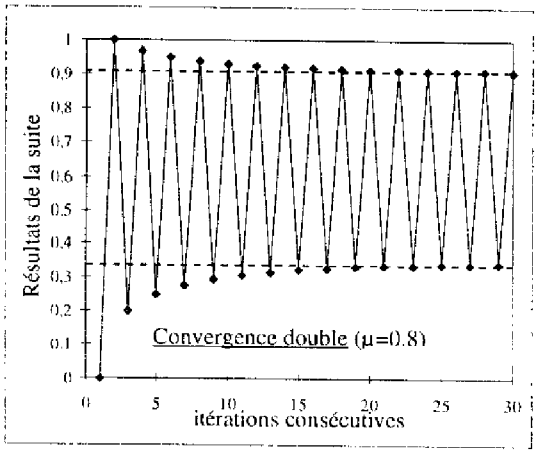

Figure 20 : Convergence double.

Pour des valeurs de μ comprises entre 1.25 et 1.368, nous pouvons observer une convergence quadruple (Figure 21). Pour les valeurs de μ supérieures à 1.368, nous pouvons noter l'émergence d'un état chaotique (Figure 22). Lorsque μ augmente, l'état chaotique se réalise tout d'abord de façon alternée avec des intervalles stables, puis est de plus en plus généralisé.

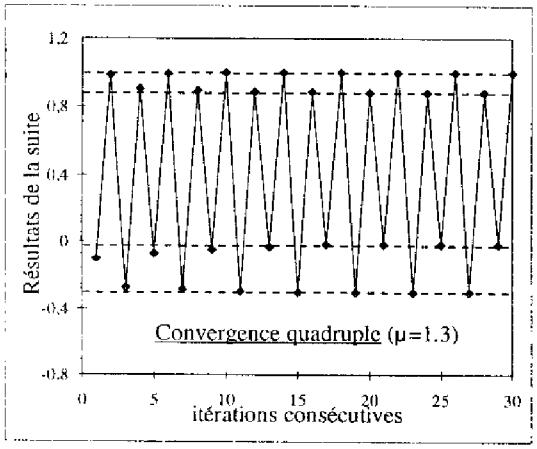

Figure 21 : Convergence quadruple.

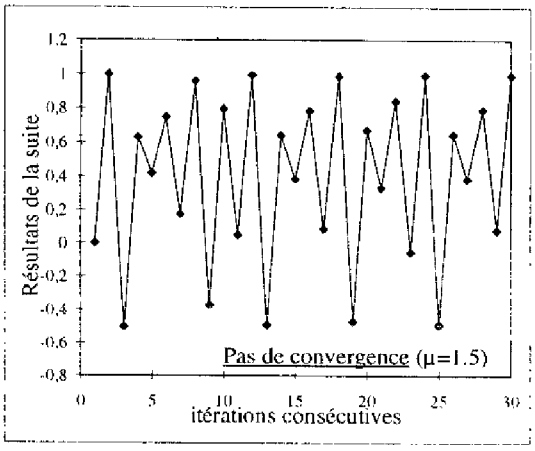

Figure 22 : Pas de convergence.

III-4-2 Mise en évidence d'une bistabilité à travers l'exemple d'un circuit simple

Nous faisons à nouveau le choix de la simplification du circuit étudié afin de maîtriser complètement le processus analysé. Ainsi, nous retrouvons une topologie proche de celle étudiée au début de ce chapitre (Figure 1). Pour plus de facilité, nous étudions le circuit en oscillateur. Seuls le générateur de courant I_{ds}, la résistance de charge et le filtre passe-bande nous intéressent.

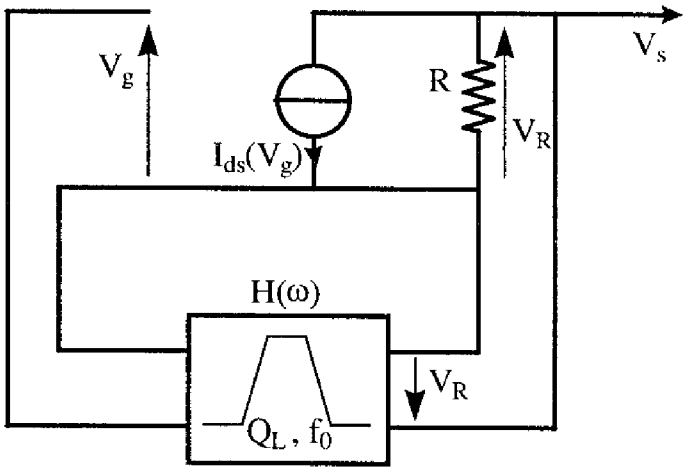

Figure 23 : Schéma de l'oscillateur étudié.

La non-linéarité utilisée est toujours celle dont nous nous sommes servis précédemment (équation (10)) :

$$I_{ds}(V_g) = \alpha(V_g - V_t)^2(V_g - V_K)$$

et la tension de commande de I_{ds} s'écrit simplement puisque nous sommes dans le cas d'un oscillateur :

$$V_g = E_1 \cos(\omega t_1)$$

Les calculs pour déterminer le point de convergence sont strictement identiques à ceux effectués au début de ce chapitre. Le point de convergence correspond donc à l'équation suivante :

$$E_1 = \sqrt{\frac{4}{3}\left[\frac{1}{\alpha R} - V_t(V_t + 2V_K)\right]}$$

Parallèlement, nous pouvons effectuer une étude à l'aide du logiciel MDS afin de déterminer d'une part la courbe V_s/V_e et d'autre part les tensions de sorties V_s des cellules consécutives. Ensuite, comme dans le cadre de l'exemple, nous allons faire varier un des paramètres du circuit. Etant donné que nous voulons observer un accroissement de la compression du gain, nous allons utiliser la résistance de charge comme élément variant.

Ainsi, lorsque la valeur de la résistance de charge reste faible, nous obtenons une convergence simple (Figure 24), et lorsqu'elle dépasse un certain seuil, l'apparition d'une bistabilité peut être observée(Figure 25). Ces deux figures présentent chacune deux informations. D'une part, elles nous donnent accès à la courbe $V_s(V_e)$ qui nous permettra par la suite de déterminer si nous sommes en deçà ou au delà du point de dérivée égale à un. D'autre part, elles présentent les valeurs correspondant aux quatre dernières cellules de notre chaîne en boucle ouverte (le nombre total de cellule avoisinant la dizaine). Nous pouvons remarquer, dans le cas des deux figures, que la convergence est bien achevée étant donné que les points représentatifs des dernières cellules sont superposés.

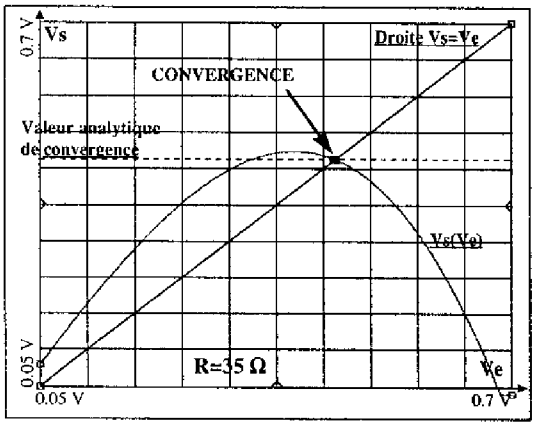

Figure 24 : Convergence simple.

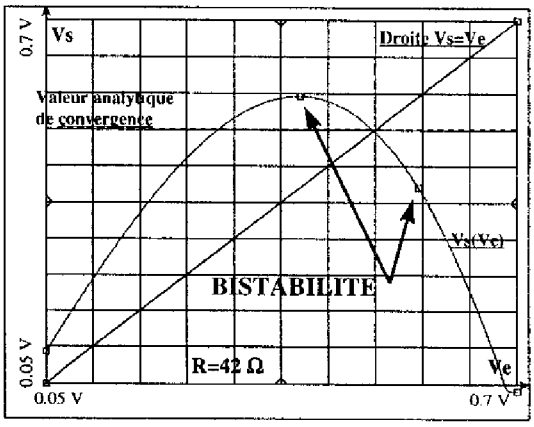

Figure 25 : Convergence double.

Il peut être intéressant de découvrir la limite entre les deux domaines. Une méthode simple consiste à comparer la valeur de convergence (intersection de $V_s(V_e)$ et de la droite $V_s=V_e$) avec le point pour lequel la dérivée passe au dessous de -1. Pour ces valeurs de résistance, la convergence est plus lente au fur et à mesure des cellules. On peut ainsi remarquer sur la Figure 26 que la convergence n'est pas encore complète (par souci de clarté, nous avons numéroté les points dans l'ordre croissant du numéro de cellule).

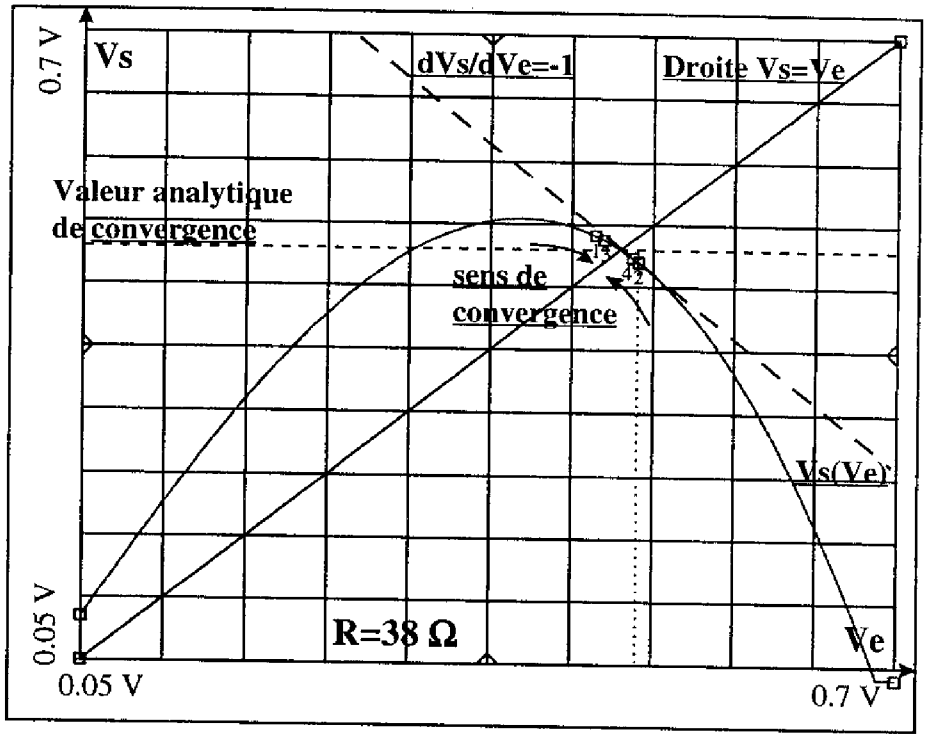

Figure 26 : Convergence simple proche de la limite du domaine de bistabilité.

La seule différence ici entre l'étude d'oscillateur que nous avons menée et celle d'un diviseur vient de la prise en compte de l'influence du générateur surharmonique sur le niveau de convergence.

Nous avons tenté d'obtenir les bifurcations suivantes (quadristabilité, etc...) apparaissant dans l'étude mathématique de la récurrence en augmentant encore la valeur de la résistance. Des problèmes de convergence du logiciel en ont résulté.

Autre approche :

Une autre manière d'expliquer la bistabilité, plus visuelle, consiste à matérialiser le chemin de convergence, tel que nous l'avons fait auparavant sur la Figure 13 pour représenter une convergence normale. Nous l'avons reporté ci-dessous dans le cas d'une bistabilité :

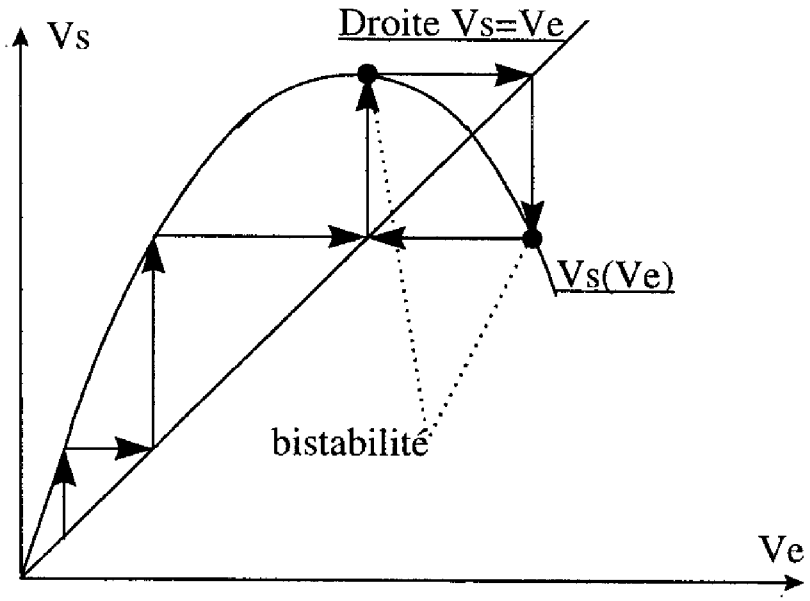

Figure 27 : Chemin de convergence dans le cas d'une bistabilité.

La question que l'on est en droit de se poser après cette étude est de savoir de quelle nature est cette instabilité. Est-elle purement calculatoire (due à la méthode) ou a-t-elle une conséquence physique sur le circuit étudié en boucle ouverte. Afin d'y répondre, nous avons effectué une étude de stabilité de notre oscillateur.

III-4-3 Etude de la stabilité

Une première analyse de la stabilité peut-être réalisée localement (au voisinage de la solution fort signal) par la méthode des faibles perturbations.

III-4-3-1 Méthode de Kurokawa [16]

Cette méthode consiste à étudier les impédances mises en rapport dans un oscillateur à résistance négative. Nous avons repris un circuit simple identique aux précédents mais basé sur une résistance négative afin d'utiliser directement le formalisme de Kurokawa. Afin d'expliciter le filtre passe-bande, nous avons choisi de mettre en parallèle avec la résistance de charge une inductance et une conductance

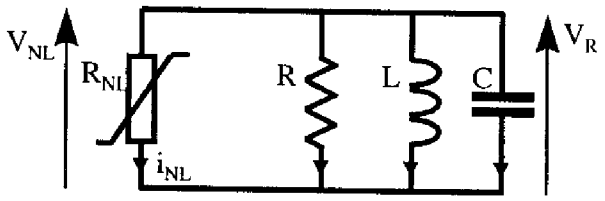

Figure 28 : Circuit utilisé pour la méthode de Kurokawa.

Le courant I_{NL} est toujours défini comme suit :

$$I_{NL}(V_{NL}) = \alpha(V_{NL} - V_t)^2(V_{NL} - V_K) \qquad (18)$$

Nous pouvons déterminer la résistance non-linéaire de la façon suivante :

$$R_{NL} = \frac{dV_{NL}}{dI_{NL}}$$

L'oscillation débute lorsque : $\left(\frac{dI_{NL}}{dV_{NL}}\right)_{V_{NL}\text{faible}} + \frac{1}{R} < 0$

dont il résulte : $R_0 = \frac{-1}{\left(\frac{dI_{NL}}{dV_{NL}}\right)_{V_{NL}=0}}$

Lorsqu'il y a oscillation, la tension de commande s'écrit, en supposant les composantes aux harmoniques supérieures parfaitement filtrées par le circuit RLC parallèle :

$$V_{NL} = V_{NL_1}\cos(\omega t_1)$$

La composante à la fréquence d'oscillation du courant I_{NL} s'écrit :

$$I_{NL}(V_g,\omega)=\alpha\left[V_t(2V_K+V_t)+\frac{3V_{NL_1}^2}{4}\right]V_{NL_1}\cos(\omega t)$$

ce qui implique :

$$G_{NL}=\alpha\left[V_t(2V_K+V_t)+\frac{3V_{NL_1}^2}{4}\right] \qquad (19)$$

De plus, on a :

$$Y_{ch}=\frac{1}{R}+j(C\omega-\frac{1}{L\omega}) \quad \Rightarrow \quad \begin{cases} G_{ch}=\frac{1}{R} \\ B_{ch}=C\omega-\frac{1}{L\omega} \end{cases} \qquad (20)$$

La condition de stabilité selon Kurokawa s'écrit de la manière suivante :

$$\frac{\partial G_T}{\partial V_{NL_1}}\frac{\partial B_T}{\partial \omega}-\frac{\partial B_T}{\partial V_{NL_1}}\frac{\partial G_T}{\partial \omega}<0 \qquad \text{avec} \begin{cases} G_T=G_{NL}+G_{ch} \\ B_T=B_{NL}+B_{ch} \end{cases}$$

on obtient donc à partir des équations (19)et (20) :

$$\alpha(\frac{3}{2}V_{NL_1})(C+\frac{1}{L\omega^2})-0\times 0<0$$

La condition est réalisée, donc l'oscillateur est stable au sens de Kurokawa (ou des petites perturbations). Toutefois, cette étude nous semble incomplète dans la mesure où elle est incapable de traduire l'apparition d'une bifurcation à partir d'un paramètre du circuit.

III-4-3-2 Etude de la bifurcation

Etant donné que le type d'oscillation évolue avec la valeur de R, nous allons étudier la bifurcation de notre circuit simple en fonction de ce paramètre particulier. Nous reprenons le circuit étudié précédemment :

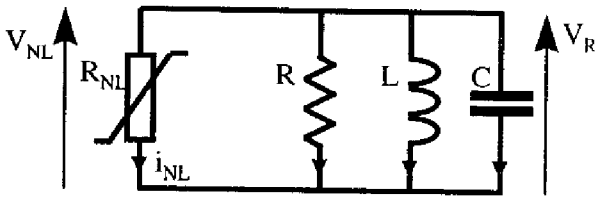

Figure 29 : Circuit utilisé pour l'étude de la bifurcation.

Nous reprenons la non-linéarité définie par l'équation (10).

$$I_{NL}(V_{NL}) = f(V_{NL}) = \alpha(V_{NL} - V_t)^2(V_{NL} - V_K) \tag{21}$$

La mise en équation de ce circuit nous donne :

$$\begin{cases} \dfrac{dV_R}{dt} = -\dfrac{1}{C}\left[\dfrac{V_R}{R} + I_L + f(V_R - V_{DC})\right] \\ \dfrac{dI_L}{dt} = \dfrac{1}{L}V_R \end{cases}$$

Remarquons que nous obtenons un système non-linéaire d'ordre deux avec V_R et I_L comme variables d'état.

Nous recherchons alors la bifurcation d'un point d'équilibre vis à vis du paramètre R. Ce point est défini par la relation suivante :

$$\begin{cases} \dfrac{dV_R}{dt} = 0 \\ \dfrac{dI_L}{dt} = 0 \end{cases} \quad \text{ce qui nous donne :} \quad \begin{cases} V_{R_{eq}} = 0 \\ I_{L_{eq}} = -f(0) = -\alpha.V_t^2.V_K \end{cases}$$

Nous appliquons une perturbation à ce point d'équilibre : $\begin{cases} V_R = V_{R_{eq}} + \delta V_R \\ I_L = I_{L_{eq}} + \delta I_L \end{cases}$

L'équation du système est de la forme :

$$\begin{cases} \dfrac{dV_R}{dt} = f_1(V_R, I_L) \\ \dfrac{dI_L}{dt} = f_2(V_R, I_L) \end{cases}$$

En utilisant le développement au premier ordre des fonctions f_1 et f_2, on obtient l'équation classique sur les faibles variations :

$$\begin{pmatrix} \dfrac{d\delta V_R}{dt} \\ \dfrac{d\delta I_L}{dt} \end{pmatrix} = \begin{pmatrix} \dfrac{\partial f_1}{\partial V_R} & \dfrac{\partial f_1}{\partial I_L} \\ \dfrac{\partial f_2}{\partial V_R} & \dfrac{\partial f_2}{\partial I_L} \end{pmatrix} \begin{pmatrix} \delta V_R \\ \delta I_L \end{pmatrix}$$

avec

$$(J) = \begin{pmatrix} \dfrac{\partial f_1}{\partial V_R} & \dfrac{\partial f_1}{\partial I_L} \\ \dfrac{\partial f_2}{\partial V_R} & \dfrac{\partial f_2}{\partial I_L} \end{pmatrix}$$

la matrice Jacobienne du système.

ce qui donne dans notre cas :

$$(J) = \begin{pmatrix} -\dfrac{1}{RC} - \dfrac{1}{C}\dfrac{\partial f}{\partial V_R} & -\dfrac{1}{C} \\ \dfrac{1}{L} & 0 \end{pmatrix}$$

L'étude d'une éventuelle bifurcation passe par l'extraction des valeurs propres de la matrice Jacobienne et l'examen du signe de leur partie réelle ([17],[18],[19],[20]). Les valeurs propres sont les racines du polynôme caractéristique :

$$P(\lambda) = \det\left((J) - \lambda\left(I_d\right)\right)$$

soit

$$P(\lambda) = \lambda^2 + \left(\frac{1}{RC} + \frac{1}{C}\frac{\partial f}{\partial V_R}\right)\lambda + \frac{1}{LC} = 0$$

dont les racines sont :

$$\lambda_{1,2} = \frac{-\left(\dfrac{1}{RC} + \dfrac{1}{C}\dfrac{\partial f}{\partial V_R}\right) \pm j\sqrt{\dfrac{4}{LC} - \left(\dfrac{1}{RC} + \dfrac{1}{C}\dfrac{\partial f}{\partial V_R}\right)^2}}{2}$$

Etant donné que la bifurcation se situe au point où la partie réelle des racines est nulle, il nous faut remarquer qu'au voisinage de ce point particulier le terme sous la racine carrée est bien positif. Nous obtenons donc deux valeurs propres qui sont des complexes conjugués dont

la partie réelle est susceptible de s'annuler en fonction du paramètre R. Nous nous trouvons dans le cas d'une bifurcation de Hopf [17].

Pour déterminer la résistance à partir de laquelle on observe une bifurcation, on cherche à annuler la partie réelle des valeurs propres de la matrice Jacobienne, ce qui revient à écrire :

$$\frac{1}{RC}+\frac{1}{C}\frac{\partial f}{\partial V_R}=0 \quad \Leftrightarrow \quad \frac{\partial f}{\partial V_R}=-\frac{1}{R}$$

donc

$$\boxed{R_0=\frac{1}{\alpha(V_T)(2V_K+V_T)}}$$

Lorsque R sera supérieur à R_0, la partie réelle des racines est positive.
Et bien entendu, pour R inférieur à R_0, elle est négative.

Nous avons donc un point (V_R=0, I_L=-$\alpha V_t^2 V_K$) qui est localement asymptotiquement stable pour $R<R_0$ et qui passe par une bifurcation de Hopf en $R=R_0$. Notons que l'on retrouve la valeur extraite de la condition de démarrage selon la théorie classique de Kurokawa présentée dans la paragraphe précédent.

Il s'ensuit qu'il existe au voisinage de la bifurcation un cycle limite avec deux cas possibles [17]:

- le cycle limite existe pour $R<R_0$ et est instable.
- le cycle limite existe pour $R>R_0$ et est stable (ce qui correspnd à une oscillation stable).

La référence [17] donne un moyen de lever cette indétermination par le calcul d'un coefficient de courbure (σ_0) associé à une fonction de Lyapounov et basé sur un développement des fonctions multilinéaires du circuit à l'ordre trois. En utilisant les notations de cette référence, cela revient à :

$$\left|\begin{array}{l}\tilde{f}^1_{111}=6\alpha \\ \tilde{f}^1_{11}=2\alpha\left(-V_K-2V_t\right)\end{array}\right.$$

Nous obtenons alors :

$$16\,\sigma_0 = 6\,\alpha$$

Or le coefficient α est négatif ce qui implique que le coefficient de courbure σ_0 l'est également.

Nous sommes donc dans le premier cas des deux cités précédemment : passage d'un point stable à un cycle limite stable, ce qui implique la création d'une oscillation pour $R>R_0$.

Nous ne retrouvons donc pas les comportements complexes simulés par la méthode de la boucle ouverte. La bifurcation observée semble être donc de nature purement numérique.

Ce résultat était prévisible dans la mesure où un comportement chaotique n'a jamais été observé sur un circuit autonome d'ordre deux. En fait, ce type de circuit ne peut comporter que deux types de régime établi : le point d'équilibre ou le cycle limite (stable ou instable). Pour observer un régime chaotique, il est nécessaire d'augmenter l'ordre du circuit [20].

IV CONCLUSION

Dans ce chapitre, nous avons poussé nos investigations autant dans un domaine analytique que méthodologique.

En ce qui concerne notre approche analytique, notre objectif initial était de clarifier un certain nombre de relations existant entre différents paramètres de notre diviseur de fréquence tels que l'amplitude du signal de synchronisation et l'ordre de la non-linéarité d'une part et la plage de synchronisation, le gain de conversion et l'ordre de division d'autre part. Des relations explicites extraites de topologies simplifiées de circuits nous ont permis de mettre en exergue les points importants.

Au début de ce chapitre, nous avions aussi pour objectif de déterminer les solutions méthodologiques possibles, au niveau de la simulation et de la procédure d'analyse d'un diviseur pour une réalisation en circuit intégré. Il fallait bien évidemment tenir compte des limites qui étaient les nôtres tant au niveau logiciel qu'au niveau puissance de machine. Ainsi

avons-nous opté pour la solution originale, développée depuis peu a l'IRCOM de Limoges, qu'est la méthode de la boucle ouverte. Celle-ci présente en effet un nombre intéressant de points positifs en comparaison des autres possibilités qui nous étaient accessibles.

Toutefois, lors de l'utilisation de cette méthode d'analyse, nous avons été confronté au problème de la bistabilité. Après avoir élucidé les conditions d'apparition de celle-ci, nous avons déterminé sa nature. En effet, nous avons pu démontrer en poursuivant notre philosophie d'approche analytique à travers l'étude d'un circuit simple que l'oscillation reste stable physiquement, même lorsque l'on dépasse les conditions limites observées lors de nos simulations et au-delà desquelles nous avions un phénomène de bistabilité.

Après avoir développé une étude qui se voulait générale, nous allons maintenant recentrer la présentation nos travaux sur le domaine d'application. Notre volonté finale étant la conception d'un diviseur de fréquence en technologie monolithique, nous devons donc logiquement aborder les problèmes concernant la conception de la puce.

Références contenues dans le deuxième chapitre:

[1] X. D. Zhang et al., "A study of subharmonic injection locking for local oscillator", IEEE Microwave and Guided Wave letters, vol. 2, n° 3,p.97-99,March 1992.

[2] R. S. Chen et al., Millimeter-wave injected-lock frequency dividers", Microwave and Optical Tecnology Letters, vol. 5, n° 8, p. 398-400, July 1992.

[3] R; S; Chen et al., "Nonlinear analysis of synchronised microwave gunn oscillators with the use of volterra series", Microwave and Optical Technology Letters, vol. 13, n° 3, p. 142-147, Oct. 1996.

[4] R. Quéré et al., "Large signal design of broadband monolithic microwave frequency dividers and phase-locked Oscillators", IEEE Transactions on Microwave Theory and techniques, vol. 41, n° 11, p. 1928-1938, Nov. 1993.

[5] R. Adler, "A study of locking phenomena in oscillator", Proccedings IEEE, vol. 34, n° 6, June 1946.

[6] H. Amine et al., "Conversion gain and noise in microwave analog freequency dividers using various types of FET", European Microwave Conferences, Madrid, p. 774-776, 1993.

[7] K. Honjo et al., "Novel Design Approach for X-Band GaAs monolithic Analog ¼ frequency divider", IEEE transactions on Microwave Theory and Techniques, vol. 34, n° 4, p. 436-441, Apr. 1986.

[8] M. Gayral, "Contribution à la simulation des circuits non-linéaires microondes par la méthode de l'équilibrage harmonique et spectral", Thèse de doctorat de l'Université de Limoges, 1987.

[9] P. André, "Conception et réalisation d'oscillateurs intégrés monolithiques micro-ondes à base de transistors sur Arséniure de Gallium", Thèse de doctorat de l'Université Paul Sabatier de Toulouse, 1995.

[10] L.O. Chua et al., "Computer aided analysis of electronic circuits : Algorythms and computational techniques", Englewood Cliffs, NJ Prentice Hall, 1975.

[11] M. S. Nakla et al., "A piecewise harmonic balance technique for determination of periodic response of non-linear systems", IEEE Transactions on circuit and systems, vol. 23, n° 2, p. 85-91, Feb. 1976.

[12] A. Suarez et al., "Broadband design and simulation of frequency dividers in the millimetric band"; E.M.C, Madrid, Espagne, p. 777-780, Sept. 1993.

[13] J-C Sarkissian, "Analyse non-linéaire de diviseurs de fréquence analogiques conçus en technologie monolithique. Comportement en bruit.", Thèse de doctorat de l'Université de Limoges, 1996.

[14] P. Bergé et al., "L'ordre dans le chaos", Collection Enseignement des sciences, Edition Hermann.

[15] I. Ekeland, "Le calcul, l'Imprévu", Collection Points Sciences, Editions du seuil.

[16] K. Kurokawa, "Injection locking of microwave solid-state oscillators", Proceedings of the IEEE, vol. 61, n° 10, p. 1386-1410, Oct. 1973.

[17] A. I. Mees et al., "The Hopf bifurcation theorem and its application to non linear oscillations in circuits and systems", IEEE Transactions on Circuits and Systems, vol. 26, n° 4, p. 235-254, Apr. 1979.

[18] R. Quéré, "Contribution à l'analyse de la stabilité des circuits non-linéaires : Application à la CAO de dispositifs microondes", Thèse de doctorat de l'Université de Limoges, 1989.

[19] A. I. Mees, "A plain man's guide to bifurcations", IEEE Transactions on Circuits and Systems, vol. 30, n° 8, p. 512-517, Aug. 1983.

[20] M. P. Kennedy, "Three steps to chaos - Part I : Evolution", IEEE Transactions on Circuits and Systems, vol. 40, n° 10, p. 640-656, Oct. 1993.

CHAPITRE 3 :
CONCEPTION EN TECHNOLOGIE MMIC

CONCEPTION EN TECHNOLOGIE MMIC

I INTRODUCTION

La conception d'un circuit intégré monolithique micro-onde implique un certain nombre de prérequis au rang desquels nous pouvons compter une bonne connaissance de la technologie employée. Ainsi nous débuterons ce chapitre par une brève présentation de la technologie D02AH de la fonderie PML (Philips) au travers de ses performances, des propriétés des composants, des modifications que nous avons jugé utile d'apporter aux modèles initiaux et de l'intérêt des composants en rapport avec les critères définis auparavant dans notre étude analytique.

Nous présenterons ensuite notre méthodologie de conception. En effet, il nous a semblé intéressant de mettre en place une façon simple et générique de concevoir un diviseur de fréquence en procédant par étapes successives. Il est à remarquer que cette méthodologie a été utilisée dans le cadre du logiciel MDS de Hewlett Packard. Toutefois, elle reste utilisable avec tout logiciel présentant les mêmes fonctionnalités.

L'ensemble de ces travaux a débouché sur une comparaison de trois topologies de diviseurs et a fait l'objet d'un contrat de la Région Midi-Pyrénées en collaboration avec le service étude du département Répéteurs de la société Alcatel Telecom. Ce chapitre présente les simulations réalisées sur ces topologies, les résultats de mesure étant présentés dans le chapitre suivant.

Nous avons ensuite étudié une topologie de diviseur de fréquence par deux plus originale. Elle fera l'objet d'un paragraphe particulier dans lequel nous expliquerons les tenants de nos choix ainsi que les objectifs visés.

Enfin, nous présenterons des résultats de simulations concernant la conception d'un diviseur de fréquence direct par quatre et concluerons sur les perspectives apportées par un tel circuit.

II DESCRIPTION DE LA TECHNOLOGIE EMPLOYEE

Nous avons utilisé la filière D02AH de la fonderie PML sur Arséniure de Gallium. Cette filière permet d'avoir accès à des transistors de type pseudomorphique à haute mobilité électronique (PHEMT). Sans entrer dans le détail de cette technologie, nous allons décrire cependant certaines de ses caractéristiques importantes afin de bien définir le contexte de notre étude.

II-1 Caractéristiques générales

Cette technologie a été développée pour la réalisation de circuits hyperfréquences. Elle utilise un substrat aminci afin de donner accès à la masse par métallisation arrière au travers de trous métallisés. Elle fournit deux niveaux de métallisation différents pour les lignes de transmission de type microruban. Les autres caractéristiques sont reportées dans le Tableau 1.

Type d'élément	Caractéristiques
Inductance spirale	- Spirale planaire sur le niveau de métallisation supérieur. - 5 µm < Largeur de ligne < 15 µm - 5 µm < espacement interspirale < 15 µm - Gamme : 0.5 nH - 15 nH
Capacité MIM (Si_3N_4)	- Diélectrique : Nitrure de Silicium. - Gamme : 0.1 pF - 50 pF
Capacité MIM (SiO_2, Si_3N_4)	- Diélectrique : Oxyde et Nitrure de Silicium. - Gamme : 1fF - 1 pF
Résistance	- Longueur ≥ 4 µm et Largeur ≥ 10 µm. - Résistance carrée : 195 $\Omega_{\square}$. - Zone linéaire tant que V < 0.075 V/µm.

Tableau 1 : Caractéristiques technologiques principales des éléments passifs de la filière D02AH de PML.

Toutefois, parler des performances d'une technologie revient à se pencher plus particulièrement sur les caractéristiques des composants actifs proposés. Nous nous sommes principalement intéressés au PHEMT que nous avons utilisé lors de notre conception.

II-1-1 Propriétés du PHEMT [1]

Dans les homojonctions, la nécessité de doper la région du canal de conduction (ce qui dégrade fortement les propriétés de transport) apparaît comme un facteur limitatif à la montée en fréquence. Ainsi un certain nombre de composants ont fait leur apparition présentant une ou plusieurs hétérojonction(s) (le HEMT en fait partie). Celles-ci peuvent être définies par la mise en rapport de deux matériaux de mailles cristallines proches mais de largeurs de bande interdite et d'affinités électroniques sensiblement différentes. L'hétérostructure permet une séparation spatiale des électrons libres du canal et des impuretés de type donneur. Elle tire ainsi profit des performances du matériau intrinsèque en ce qui concerne les propriétés de transport. Les phénomènes physiques mis en jeu dans le fonctionnement d'un PHEMT étant à peu près identiques à ceux que nous pouvons rencontrer dans un HEMT, nous présentons essentiellement le cas du HEMT. Nous expliciterons plus tard la différence principale entre les deux types de composants.

La propriété principale du HEMT est donc de pouvoir utiliser comme canal conducteur un gaz bidimensionnel (gaz-2D) d'électrons qui apparaît dans un matériau peu dopé et résultant de l'occupation des niveaux d'énergie du puits de potentiel caractéristique d'une hétérojonction. Les propriétés de transport des électrons de ce gaz-2D sont considérablement supérieures à celles des électrons libres d'un MESFET (du fait du dopage dans la zone d'émission des porteurs).

Une autre caractéristique particulière du HEMT est une couche fine de matériau peu dopé, que l'on nomme habituellement "spacer", située au niveau de l'héterojonction. Elle sert à améliorer la mobilité des porteurs, le confinement du gaz-2D et la séparation spatiale évoquée plus tôt. Il est à remarquer que la mobilité sera privilégiée si l'on augmente l'épaisseur de cette couche, alors que la concentration des porteurs sera défavorisée.

Le HEMT est limité en puissance car les importantes densités en courant désirées nécessitent un dopage élevé des couches ce qui se traduit par une faible tension d'avalanche. De plus, pour favoriser la montée en fréquence, il peut être intéressant d'utiliser un matériau dont les propriétés intrinsèques amélioreront les propriétés de transport des porteurs dans le gaz électronique bidimensionnel.

Pour répondre à ces deux points, une solution consiste à insérer une couche de gap plus étroit que le matériau binaire de base (ex: GaInAs pour le GaAs). Ceci améliore le confinement des porteurs d'une part et les propriétés de transport électronique d'autre part. Généralement cette couche a une maille cristalline légèrement différente, ce qui implique des contraintes à l'interface qui sont malgré tout bien maîtrisées tant que l'on reste dans des épaisseurs rajoutées faibles. Le HEMT change alors de dénomination pour s'appeler HEMT pseudomorphique (PHEMT), dont la Figure 1 représente une version schématique.

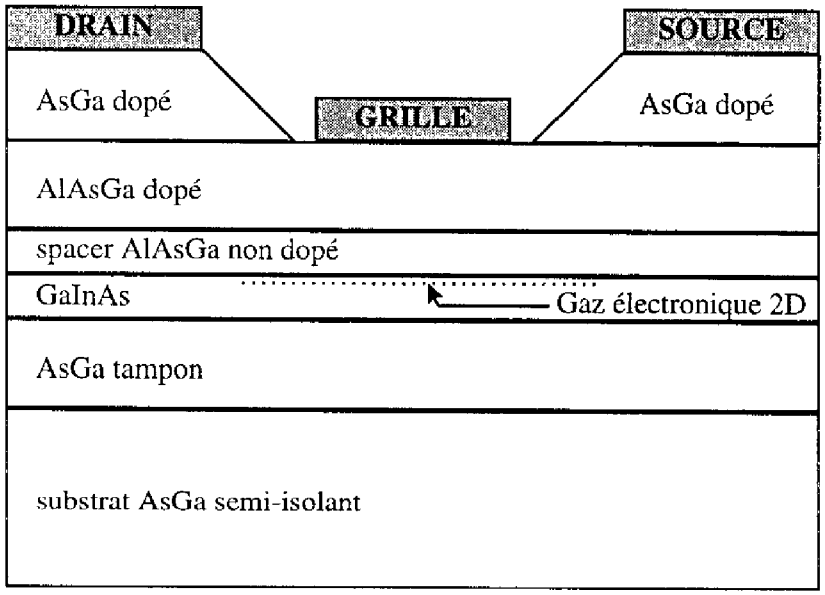

Figure 1 : Schéma d'un empilement classique de couches dans un PHEMT.

II-1-2 Performances du PHEMT utilisé

Le PHEMT auquel nous avons eu accès présente les caractéristiques typiques suivantes :

Caractéristiques	Valeurs
fréquence de transition	**f_T = 53 GHz** (Vds= 3 V, Vgs = 0 V)
tension de pincement	**V_T = -0.9 V** (pour I_{ds} =1 µA/µm, V_{ds} = 3 V)
tension de claquage (jonction grille-source)	**V_{Bgd} = 7.5 V** (I_{gs} = 1 µA/µm, V_{ds} = 0 V)
transconductance	**g_m = 400 mS/mm** (Vds= 3 V, Vgs = 0 V)
courant de saturation drain-source	**I_{ds} = 210 mA/mm** (Vds= 3 V, Vgs = 0 V)

Tableau 2 : Caractéristiques principales du PHEMT de la filière D02AH de PML

II-2 Modifications du modèle non-linéaire

Nous disposons d'un modèle non-linéaire développé par PML pour les PHEMT, au format MDS. La topologie du modèle est donnée sur la figure suivante :

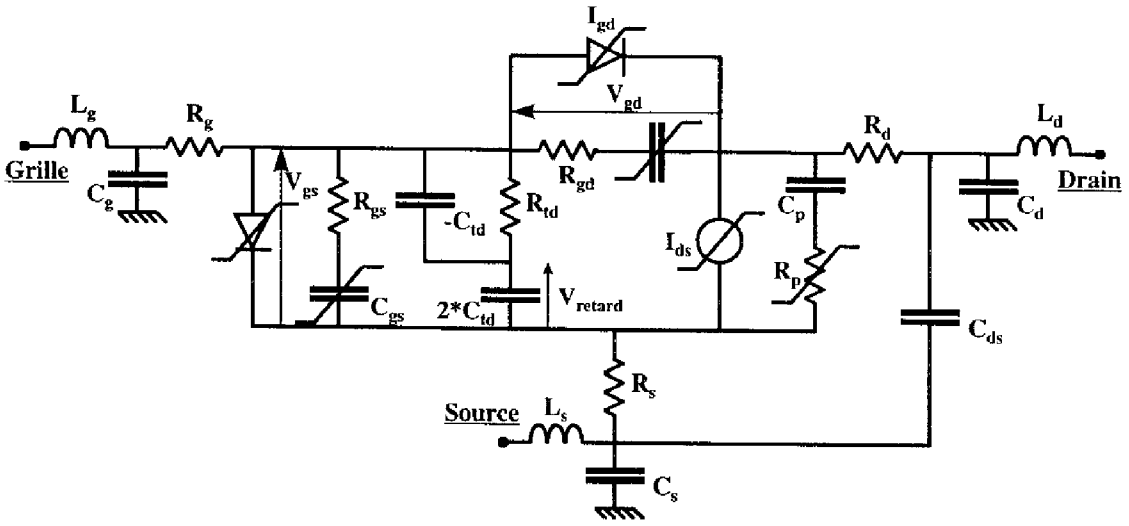

Figure 2 : Topologie du modèle non-linéaire du PHEMT de PML.

Nous avons apporté quelques modifications à la structure de ce modèle, en ce qui concerne la cellule de retard de la tension de grille et la cellule R_p/C_p de sortie.

II-2-1 Cellule de retard

Le retard sur la commande de grille est introduit par un ensemble (C_{td}, R_{td}), avec la nécessité d'utiliser une capacité de valeur négative pour traduire le retard. Il est possible de décrire plus facilement ce retard en utilisant un générateur de tension commandé en tension comme présenté sur la Figure 3 :

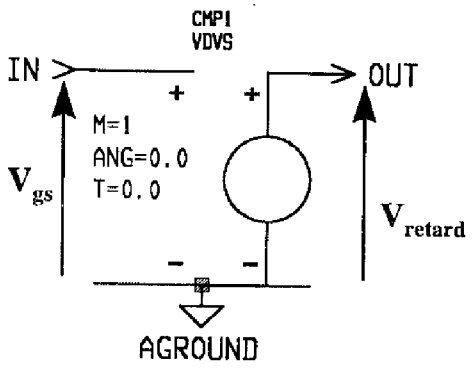

Figure 3 : Cellule de MDS utilisée pour l'introduction du retard.

Cette approche a été utilisée pour introduire le retard dans le modèle, le logiciel MDS disposant de plus de la fonction retard dans sa bibliothèque, ce qui permet d'éviter la capacité à valeur négative, et limite le nombre de composants à utiliser.

II-2-2 Modélisation de la dispersion de la conductance de sortie avec la fréquence [2]

Du fait des effets de relaxation dans le GaAs, la conductance de sortie g_d varie avec la fréquence. La fréquence de transition f_{TR} (de l'ordre de 100 Hz à 1 kHz) est introduite par un réseau (R_p,C_p) (voir topologie du modèle sur la Figure 2) où R_p est décrite par une équation non-linéaire dépendant de V_{gs} et V_{ds}. L'introduction de cette cellule basse fréquence induit des constantes de temps relativement importantes, ce qui pénalise les simulations de type temporel. Pour notre application (diviseur), les fréquences prises en compte dans l'analyse sont en dehors de la plage de variation du réseau (R_p,C_p), nous avons donc utilisé une cellule linéaire dans un premier temps, qui pourra même être supprimée puisqu'il ne doit pas

apparaître de terme basse fréquence dans la bande considérée (approximation à revoir dans le cas d'une possible simulation en bruit du diviseur).

II-2-3 Capacités non-linéaires

Il faut faire une remarque quant à la modélisation des capacités non linéaires C_{gs} et C_{gd}. En effet, ces éléments sont dépendants des tensions de commande (V_{gs} pour C_{gs} et V_{gd} pour C_{gd} - voir Figure 2) qui ne sont pas appliquées sur leurs bornes (introduction de R_{gs} et R_{gd}), ce qui pose problème pour linéariser la caractéristique autour du point de repos (extraction du modèle petit signal). Cependant, les valeurs numériques de R_{gs} et R_{gd} permettent de considérer cette approximation comme acceptable. De plus, pour R_{gs}, le courant la traversant étant très faible, on peut d'autant plus négliger la variation de tension qu'elle implique.

II-2-4 Fonction exponentielle

Pour la modélisation des différents éléments non linéaires, la fonction exponentielle est parfois utilisée. Cette caractéristique fortement non-linéaire peut poser problème lors du processus de convergence. Il est donc préférable de linéariser cette caractéristique pour des valeurs très élevées de la commande pour permettre la convergence du processus itératif, sans risque de "overflow". Cette approche sera utilisée dans notre modèle.

II-3 Application du critère déterminé lors de l'étude analytique

Composants	I_{dss}/V_T^2 (mA/V^2)
MESFET (ATF26100)	17.3
MESFET (MGF 1402)	24.4
PHEMT (D02AH)	65

Tableau 3 : Comparaison des valeurs du critère I_{dss}/ V_T^2.

Lors de l'étude analytique (chapitre 2, paragraphe II-2), nous avons pu déterminer que le critère $Idss/V_T^2$ pouvait être un bon moyen d'opérer une sélection des composants. Une comparaison utilisant ce critère avait déjà été effectuée [3] et avait démontré l'intérêt des PHEMTs. Le Tableau 3 présente les valeurs comparées de deux MESFETs et du PHEMT de PML.

III METHODOLOGIE DE CONCEPTION

La méthodologie de conception que nous avons mise en place reflète une progression par étapes successives de l'étude d'une topologie. Ainsi commencerons-nous par une analyse en petit signal. Il est à remarquer que selon les circuits étudiés certaines étapes pourront être éludées. Nous n'aurons pas à rechercher les conditions d'extinction de l'oscillation dans le cas de la conception d'un oscillateur synchronisé par exemple. Nous avons malgré tout voulu rester exhaustifs lors de la présentation suivante de notre méthodologie.

III-1 Etape 1 : optimisation linéaire

L'étude petit signal, dans le cas d'un dispositif oscillant, a pour objet d'optimiser le circuit actif susceptible d'osciller en recherchant les valeurs des éléments de contre-réaction et des réseaux de filtrage et d'adaptation ainsi que les polarisations permettant de réaliser une impédance à partie réelle négative ou, ce qui est équivalent, de présenter un coefficient de réflexion en module supérieur à 1 [4].

L'étude de l'oscillation en petit signal dans le logiciel MDS est réalisée au travers d'un module d'analyse (OSCTEST) permettant, par une analyse de paramètres S, de faire directement le calcul du gain de boucle. Cette "boite" de test est en fait un circulateur idéal sous forme d'hexapôle dont le terme S11 est égal au gain de boucle. Il faut toutefois faire bien attention au fait que les résultats dépendent de l'impédance caractéristique choisie (Z_0). Ainsi il est nécessaire, dans certains cas, d'effectuer une recherche selon les valeurs de Z_0. En conclusion, l'analyse linéaire effectuée ici ne pourra être que qualitative, mais elle constitue une bonne base pour débuter une conception.

Il s'agit donc d'optimiser notre circuit selon trois critères principaux :

- conditions d'oscillation à f_0 (fréquence de sortie)
- absence de conditions d'oscillation au voisinage de $2f_0$ (fréquence d'entrée).
- conditions d'adaptation à l'entrée à $2f_0$.

Nous pouvons traduire les conditions écrites ci-dessus en termes plus proches des simulations effectuées. On veut ainsi :

- une phase nulle du produit des coefficients de réflexion à la fréquence f_0 et un niveau du module supérieur à 1 dans une bande autour de f_0.
- un niveau du module du coefficient de réflexion inférieur à 1 pour des fréquences éloignées de f_0 et particulièrement autour de son harmonique deux.
- un coefficient de réflexion en entrée faible autour de $2f_0$

La Figure 4 représente un exemple de conditions petit signal d'une oscillation :

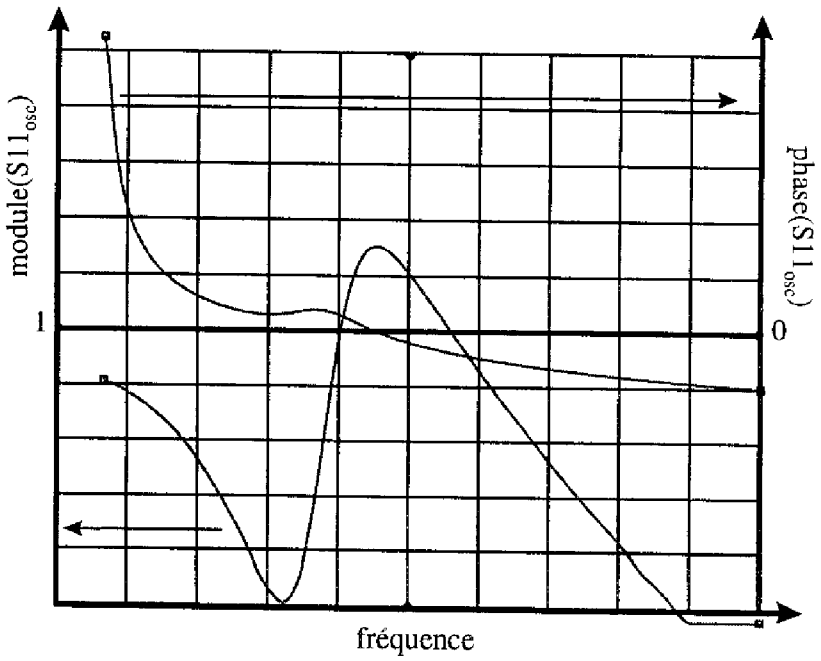

Figure 4 : Exemple de courbes en module et en phase du coefficient de réflexion.

L'optimisation peut également répondre à d'autres critères. Nous pouvons ainsi essayer d'améliorer la bande de synchronisation en diminuant la variation de la phase en fonction de la fréquence. Ceci correspond en effet à une diminution du coefficient de qualité de l'oscillateur.

Celui-ci sera plus apte à répondre à une commande en phase, que cette dernière provienne d'un élément non-linéaire (ex : varactor) ou d'un signal de synchronisation.

Il est à noter que cette étape est menée pour une polarisation (courant Ids_{DC}) correspondant à une autopolarisation "moyenne" en fonctionnement diviseur.

III-2 Etape 2 : étude de l'oscillation en fort signal

Lors du passage du petit signal au fort signal, on peut apercevoir certaines différences dans les résultats obtenus. Afin d'y remédier, nous proposons d'étudier le cycle de charge intrinsèque pour optimiser la puissance délivrée par l'élément actif.

Le cycle de charge intrinsèque est la représentation du courant intrinsèque instantané $i_{ds}(t)$ en fonction de la tension intrinsèque instantanée $v_{ds}(t)$. On peut superposer cette courbe au réseau de caractéristiques intrinsèques $I_{ds}(V_{gs},V_{ds})$ (Figure 5).

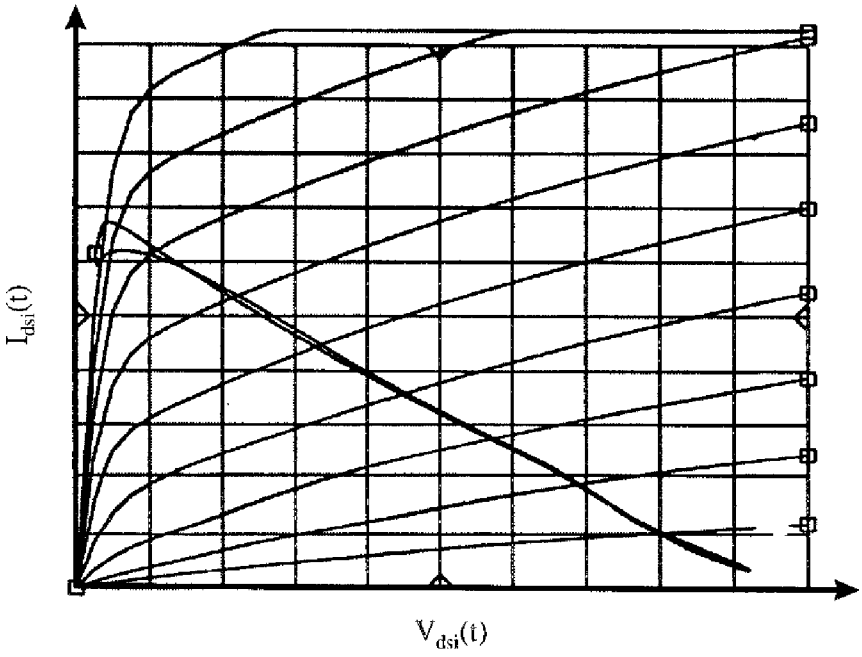

Figure 5 : Exemple de cycle de charge proche de l'idéal.

On a ici une bonne représentation du comportement fort signal du transistor étudié. L'excursion du cycle de charge et la puissance disponible aux bornes de la source de courant intrinsèque sont directement liées. La forme du cycle de charge peut être pour sa part rapprochée de l'impédance associée présentée en sortie (la pente du cycle dépend de la partie réelle et sa surface de la partie imaginaire).

Une optimisation de la puissance active fournie en sortie du transistor peut être réalisée en augmentant les excursions du cycle et en réduisant sa surface, ce qui revient également à une optimisation de l'adaptation vers la charge, et finalement à l'optimisation du rendement.

III-3 Etape 3 : recherche du blocage en Vg_{DC}

Les étapes précédentes sont toutes basées sur un fonctionnement en oscillateur synchronisé, étant donné, comme nous l'avons expliqué dans le chapitre II, que l'utilisation des modules d'analyse de l'oscillation fournis impliquent un gain petit signal supérieur à un. Cependant, nous pouvons désirer un mode de fonctionnement différent que nous avons dénommé, par convention, diviseur régénératif au chapitre I. Pour cela, il nous faut déterminer pour quelle tension de polarisation de grille nous obtiendrons le blocage de l'oscillation. A partir de cette valeur, nous définirons les conditions de polarisation de notre transistor. En effet, nous nous placerons alors juste au dessous de la limite déterminée ci-avant afin que l'oscillation puisse être déclenchée au travers de l'autopolarisation survenant lors de l'application d'un signal RF sur l'entrée sans pour autant que ce signal soit d'amplitude trop élevée. Toutefois, nous ne pourrons plus étudier notre oscillation par les méthodes d'analyses courantes. Pour cela, nous nous devons d'utiliser la méthode de la boucle ouverte que nous avons décrite dans le chapitre II.

III-4 Etape 4 : analyse du diviseur en centre de bande

L'analyse du diviseur en boucle ouverte va nous permettre d'étudier notre circuit alors qu'il ne présente plus un gain suffisant en petit signal (nous pouvons toutefois l'utiliser également lorsque l'on est en mode de fonctionnement oscillateur synchronisé). Nous déterminerons dans un premier temps un certain nombre de paramètres à la fréquence centrale

et en premier lieu le gain de conversion. Il peut être aussi intéressant de tracer les formes d'onde des principales grandeurs du circuit, ceci nous permettant de vérifier facilement la convergence des dernières cellules et de comparer la forme finale obtenue avec la simulation temporelle.

Une première optimisation en régime non-linéaire est ici réalisable. Cependant, elle peut s'avérer très fortement consommatrice en temps de calcul. Nous pouvons noter toutefois que les optimisations précédemment réalisées en régime linéaire permettent de minimiser ce temps étant donné que les conditions initiales sont proches de la solution recherchée.

III-5 Etape 5 : analyse de la bande de synchronisation en fréquence

Après l'étude à la fréquence centrale, il est en général utile de déterminer la bande de synchronisation en fréquence du diviseur. Nous utilisons là encore la méthode de la boucle ouverte. Nous pouvons juger de la limite de cette bande en observant les phénomènes de convergence au fur et à mesure des cellules consécutives. Une décroissance du niveau de sortie est jugée significative de la perte de la synchronisation. Lors de cette étape, une optimisation peut aussi être tentée. Cependant, de manière encore plus marquée que lors de l'étape précédente, elle nécessitera un temps de calcul important. Il faudra, de plus, porter une attention particulière à la définition des objectifs afin qu'ils n'aillent pas à l'encontre des résultats obtenus précédemment.

IV APPLICATION A L'ETUDE COMPAREE DE TROIS TOPOLOGIES

Le début de nos travaux a consisté en l'étude comparée de trois topologies qui nous ont semblé présenter un intérêt certain en ce qui concerne la fonction division de fréquence. Nous avons décidé de n'utiliser qu'un seul élément actif, en l'occurrence un PHEMT, et de réaliser les fonction de filtrage et d'adaptation grâce à des éléments discrets. Les schémas synoptiques de la contre-réaction parallèle avec entrée sur grille (Figure 6), de la contre-réaction série avec entrée sur grille (Figure 12) et de la contre-réaction série avec entrée sur source (Figure 16) sont représentés par la suite.

Etant donné que ces travaux s'inséraient dans le cadre d'un contrat de la Région Midi-Pyrénées en collaboration avec la société Alcatel Telecom, un certain nombre de paramètres avaient été fixés a priori : la plage de fréquence devait être comprise entre 12.5 et 14.5 GHz en entrée, les niveaux d'entrée (-10 dBm) et de sortie (0 dBm) ainsi que la consommation (200 mW) étaient à confirmer en fonction des données du manuel de référence de la technologie utilisée. La finalité étant la conception d'un diviseur par quatre.

IV-1 Contre-réaction parallèle, entrée sur grille

La contre-réaction parallèle est certainement l'une des topologies les plus classiques. Elle a déjà été intégrée dans des circuits MMIC sous des formes plus ou moins éloignées de la configuration de base en utilisant des FET double grille [5] ou des HEMT [6],[7].

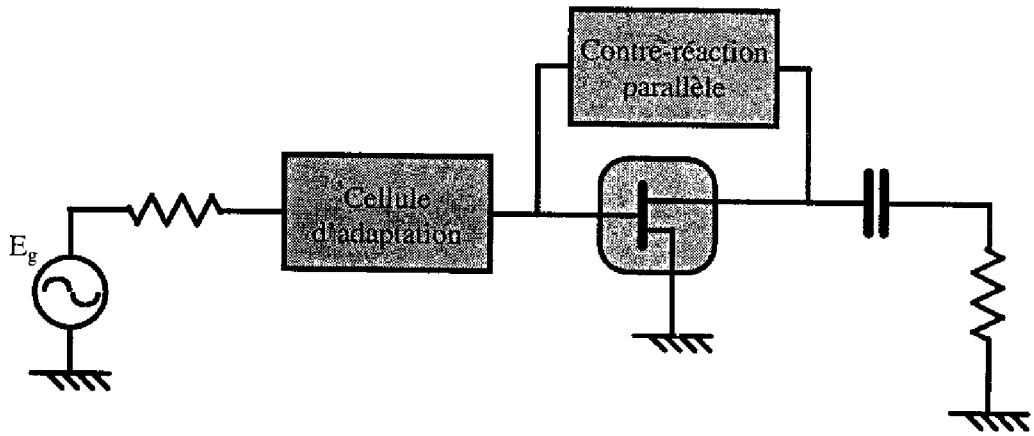

Figure 6 : Schéma synoptique d'un circuit présentant un diviseur à contre-réaction parallèle

Lors de l'étude petit signal d'un cricuit de ce type, nous avons obtenu les résultats présentés sur la Figure 7. Sur la figure de gauche, nous pouvons remarquer que les conditions d'oscillation sont bien réunies. Les marqueurs M1 et M2 représentent les limites de la plage de fréquence désirée, et le marqueur P le centre de bande. On remarque que la condition de gain supérieur à 1 est réalisée sur toute cette plage. Sur la figure de droite, nous avons représenté les conditions de filtrage en entrée, les marqueurs M1 et M2 matérialisent les limites de la plage de synchronisation désirée aux fréquences d'entrée. Là encore, on peut noter la qualité de l'adaptation d'entrée sur l'ensemble de la bande désirée.

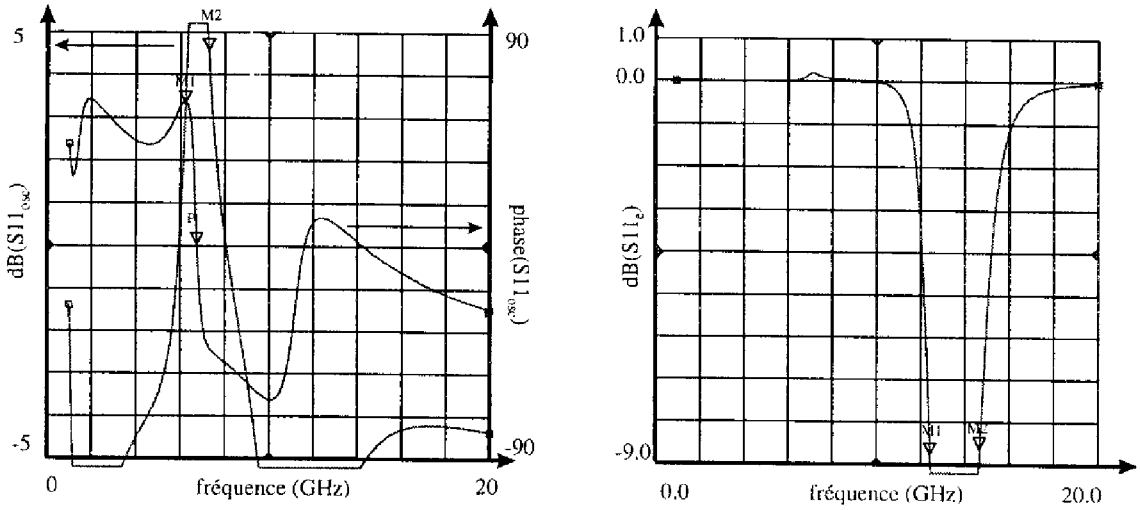

Figure 7 : Résultats petit signal pour la topologie "contre-réaction parallèle".

Après avoir étudié cette topologie en petit signal, il nous faut vérifier son bon fonctionnement en fort signal. Nous présentons sur la Figure 8 le cycle de charge associé à ce circuit. Il est à remarquer que la surface de ce cycle de charge a dû être optimisée par rapport à celle obtenue avec le circuit directement tiré de l'étude petit signal.

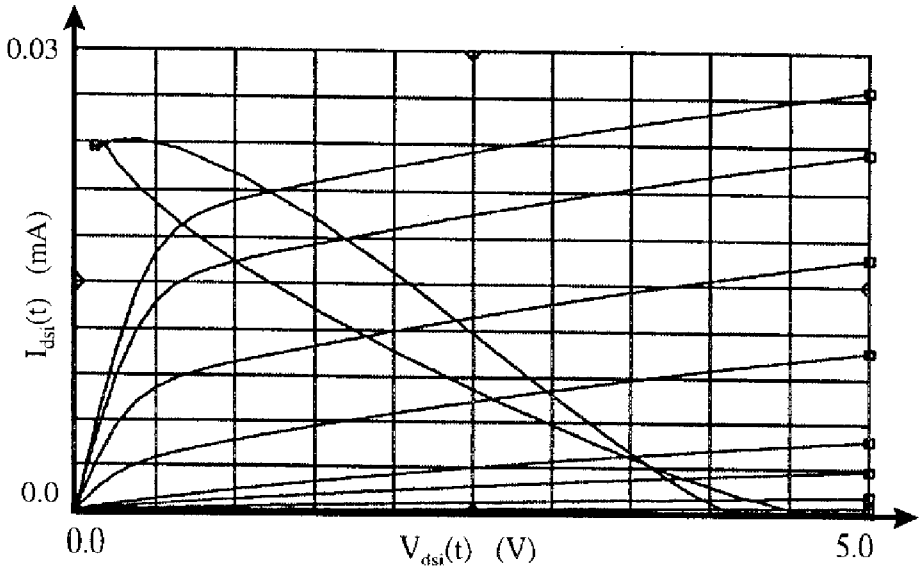

Figure 8 : Cycle de charge de la topologie "contre-réaction parallèle".

Nous pouvons également vérifier la validité de nos simulations par une comparaison des formes temporelles obtenues dans les quatre dernières cellules de la chaîne de la boucle

ouverte avec celles provenant de la simulation temporelle (Figure 9). Nous nous apercevons ici que les courbes se superposent avec une bonne précision.

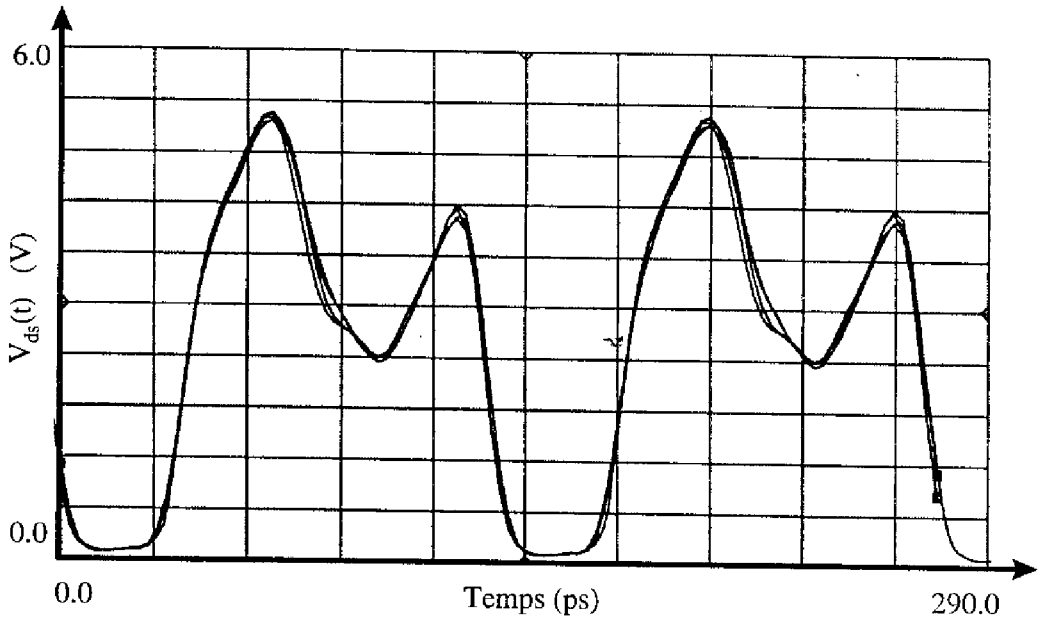

Figure 9 : Comparaison des résultats provenant de la méthode de la boucle ouverte et de la simulation temporelle

Les grandeurs qui nous intéressent à présent (sensibilité au niveau du signal d'entrée, bande de synchronisation) sont celles qui présentent un intérêt direct par rapport à l'application envisagée pour le circuit.

Nous avons pu constater que la puissance de sortie présente une diminution au fur et à mesure des puissances d'entrées croissantes (Figure 10). La recherche d'un niveau maximum entrera donc en conflit avec la recherche de la bande de synchronisation maximale étant donnée que celle-ci augmente avec le niveau d'entrée. Cette plage de synchronisation est d'ailleurs représentée (pour une largeur maximale) sur la Figure 11. Elle atteint alors 800 MHz. Il est à remarquer qu'un phénomène de bistabilité apparaissait pour les fréquences supérieures à la limite représentée. Nous avions alors considéré qu'il ne fallait pas inclure ces fréquences dans la bande disponible.

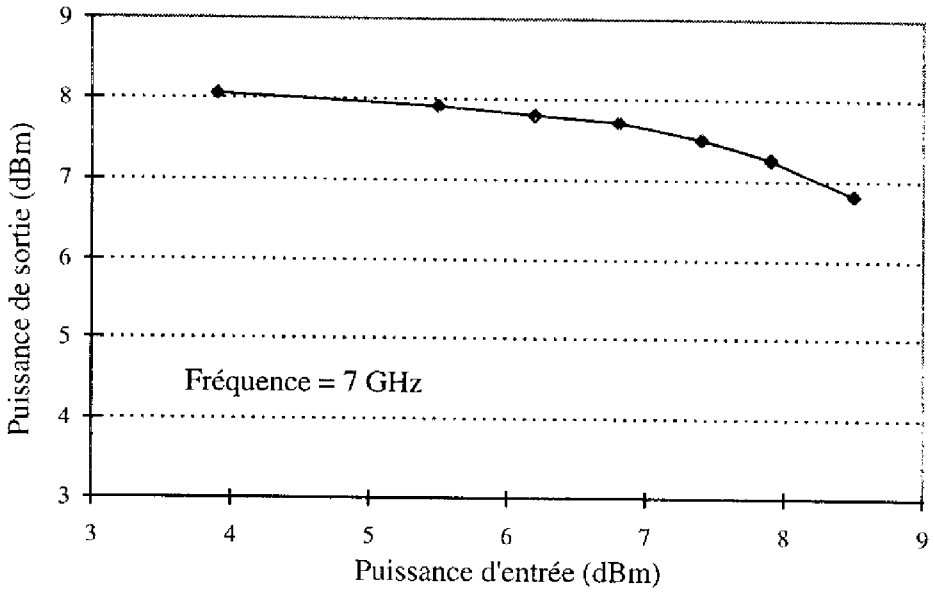

Figure 10 : Puissance de sortie en fonction de la puissance d'entrée.

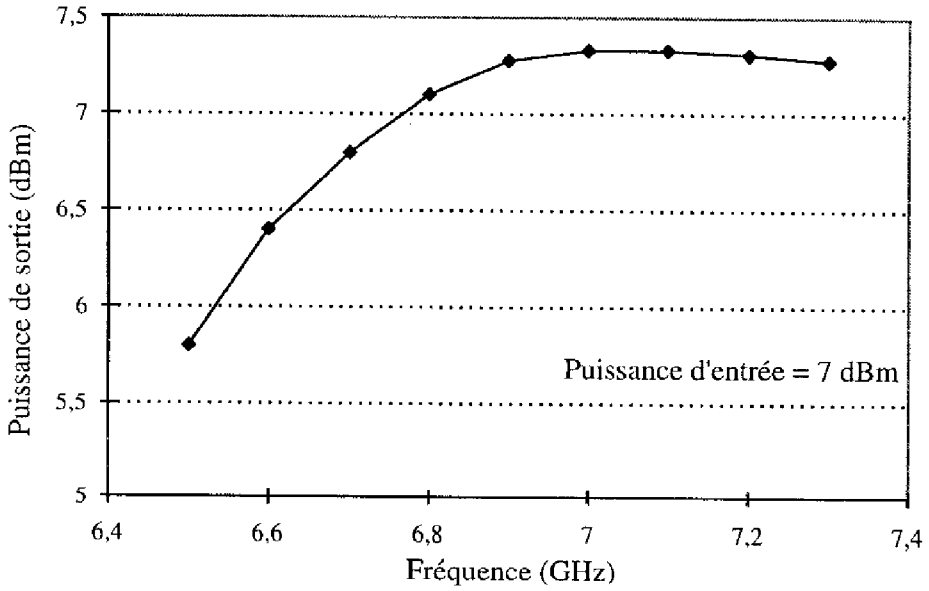

Figure 11 : Bande de synchronisation en fréquence.

Cette topologie est celle qui nous a conduit aux meilleurs résultats du point de vue de la bande de synchronisation en fréquence. Elle n'a cependant pas été retenue pour une réalisation pour des raisons que nous expliciteront dans le paragraphe IV-3.

IV-2 Contre-réaction série, entrée sur grille

Lors du premier chapitre, nous avons relevé l'existence de topologies de diviseur de fréquence présentant une contre-réaction série [8] qui sont censées offrir plusieurs avantages comme une plage de résistance négative plus large en fréquence ainsi qu'une intégration plus aisément compacte. Il nous a semblé intéressant de développer une topologie proche de celle présentant une contre-réaction parallèle en modifiant uniquement le caractère de la contre-réaction.

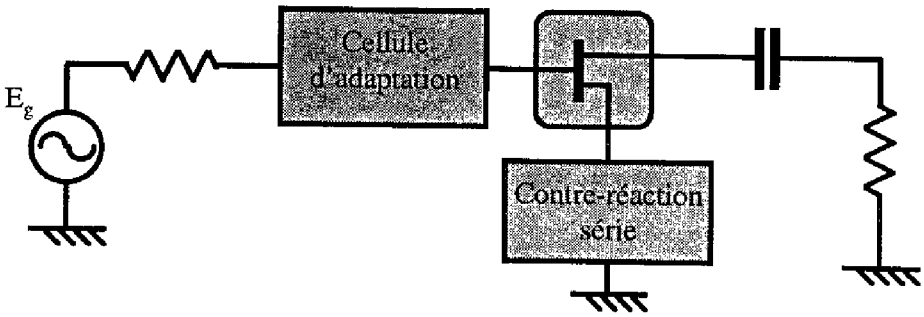

Figure 12 : Schéma synoptique de la contre-réaction série, entrée sur grille.

Nous présentons sur la Figure 13 les résultats obtenus lors des simulations petit signal. Le formalisme des marqueurs est identique à celui que nous avons introduit lors de l'étude petit signal de la contre-réaction parallèle.

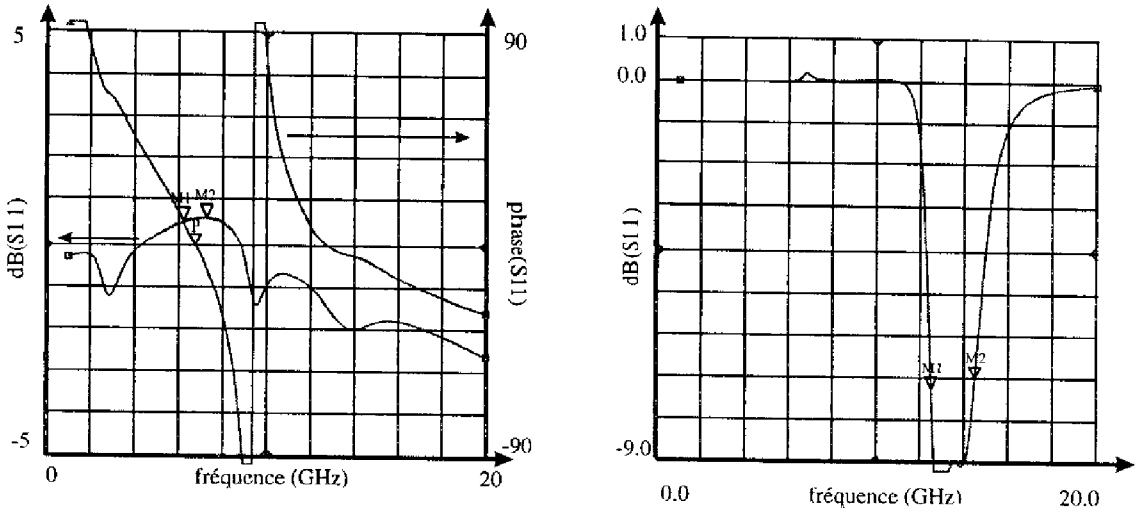

Figure 13 : Résultats petit signal pour la topologie "contre-réaction série, entrée sur grille".

L'étude de cette topologie en fort signal a révélé un cycle de charge présentant une surface relativement faible (Figure 14) :

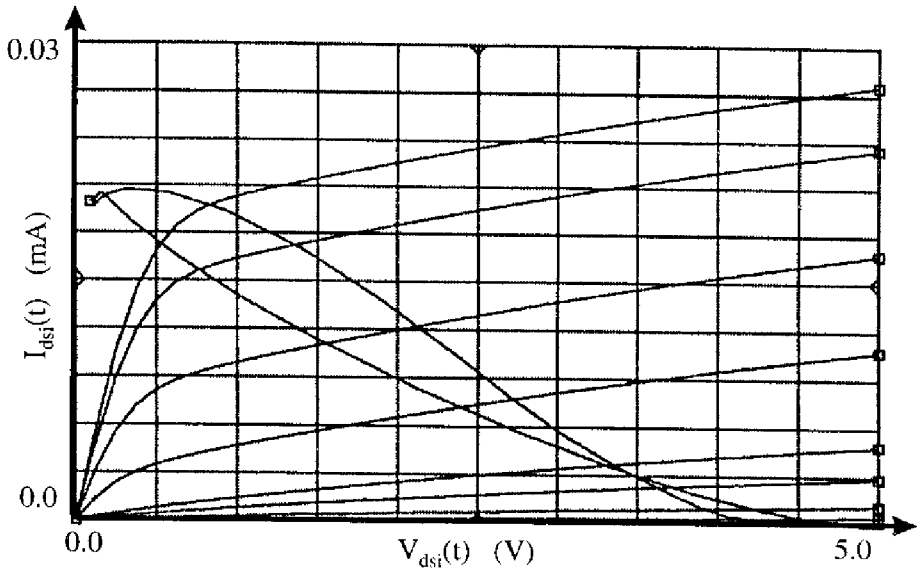

Figure 14 : Cycle de charge de la topologie "contre-réaction série, entrée sur grille".

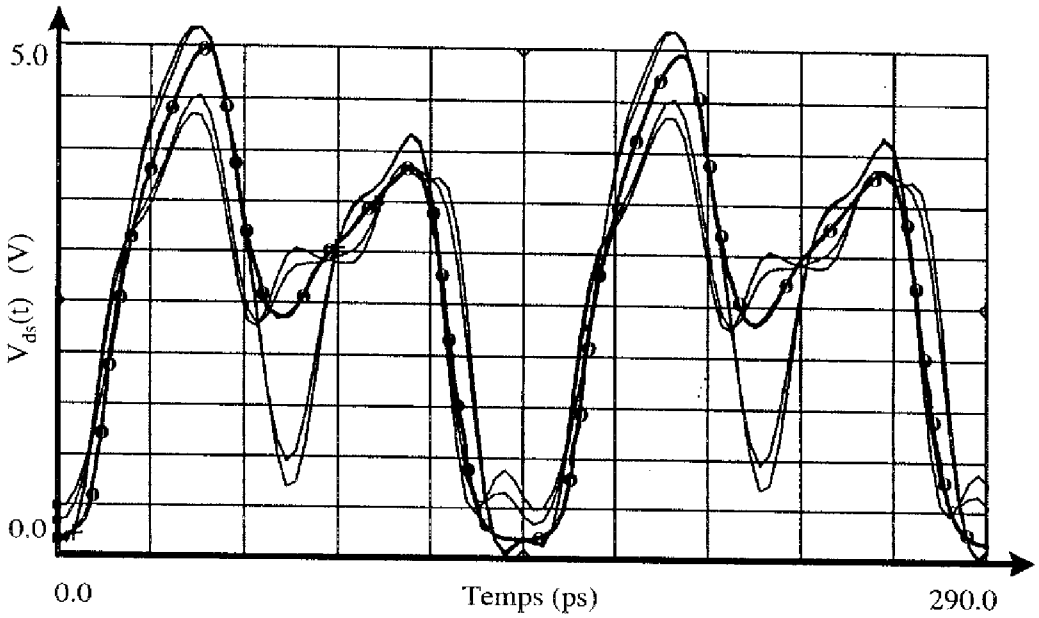

Figure 15 : Comparaison des résultats provenant de la méthode de la boucle ouverte et de la simulation temporelle (courbe présentant des points)

Cependant, lors de notre étude en boucle ouverte, nous avons été confronté au phénomène de bistabilité que nous avons détaillé dans le deuxième chapitre. La comparaison entre les formes temporelles des quatre dernières cellules de la méthode de la boucle ouverte et celles provenant de la simulation temporelle (Figure 15) montre bien que nous obtenons deux états de convergence en régime établi qui ne correspondent pas au régime réel.

Lors de nos études sur cette topologie, le phénomène de bistabilité n'avait pas encore été élucidé, ainsi avions-nous décidé, par défaut, de ne pas poursuivre nos recherches concernant la contre-réaction série, entrée sur grille.

IV-3 Contre-réaction série, entrée sur source

La troisième topologie développée au début de nos travaux, et celle qui présentait le plus d'originalité, était la contre-réaction série avec entrée sur source. Elle avait toutefois déjà fait l'objet d'une publication [9].

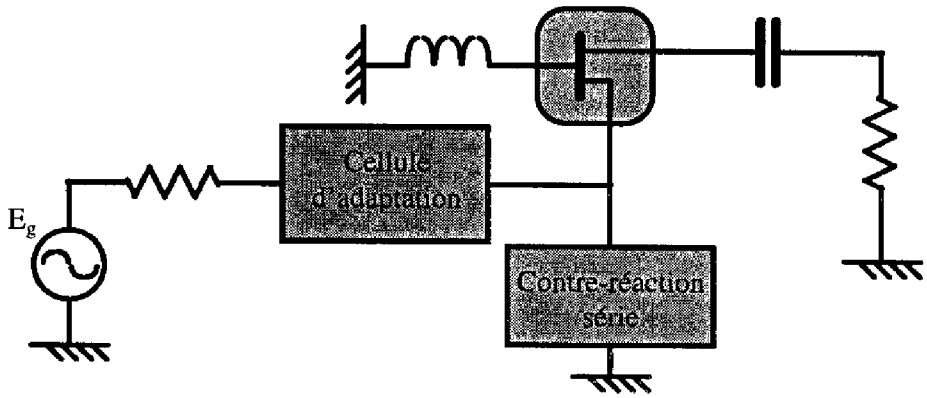

Figure 16 : Schéma synoptique de la contre-réaction série, entrée sur source.

Nous présentons sur la Figure 17 les résultats obtenus lors des simulations en petit signal. Les divers marqueurs de cette figure sont toujours les mêmes que dans les deux paragraphes précédents.

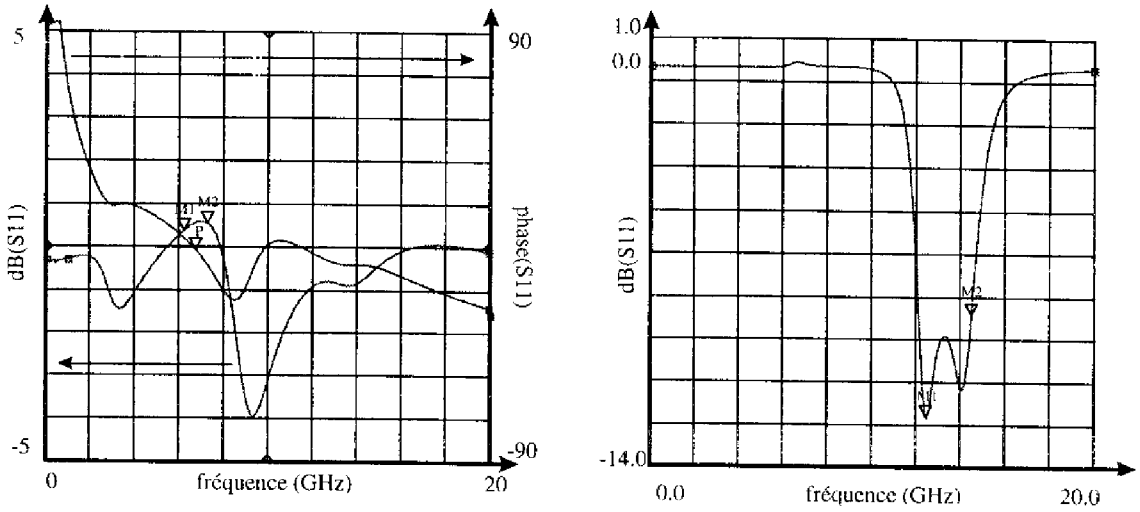

Figure 17 : Résultats petit signal pour la topologie "contre-réaction série, entrée sur source".

La Figure 18 présente le cycle de charge obtenu lors de l'étude en fort signal de cette topologie. Il a fait l'objet d'une optimisation visant à la réduction de sa surface.

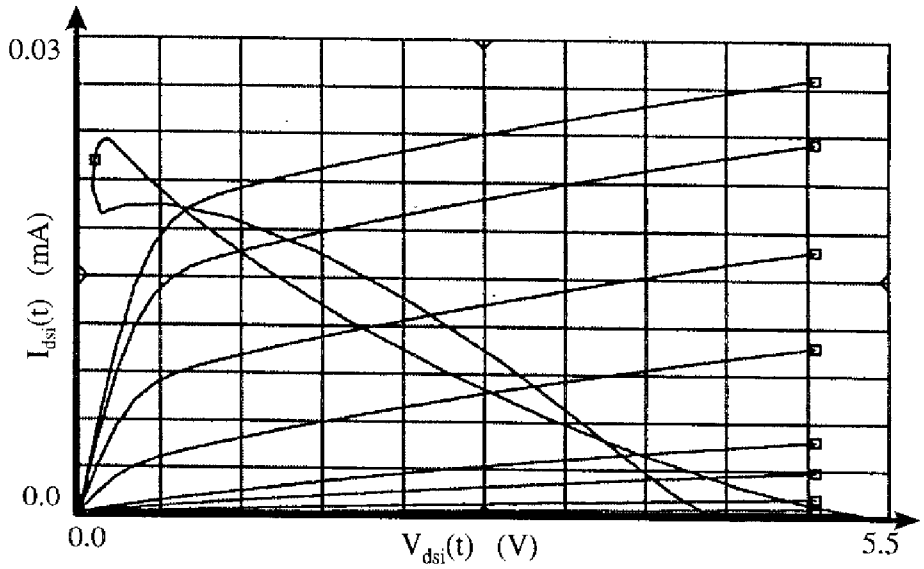

Figure 18 : Cycle de charge de la topologie "contre-réaction série, entrée sur source".

La comparaison entre les formes temporelles des quatre dernières cellules de la méthode de la boucle ouverte et celles provenant de la simulation temporelle montre une très bonne superposition des courbes (Figure 19).

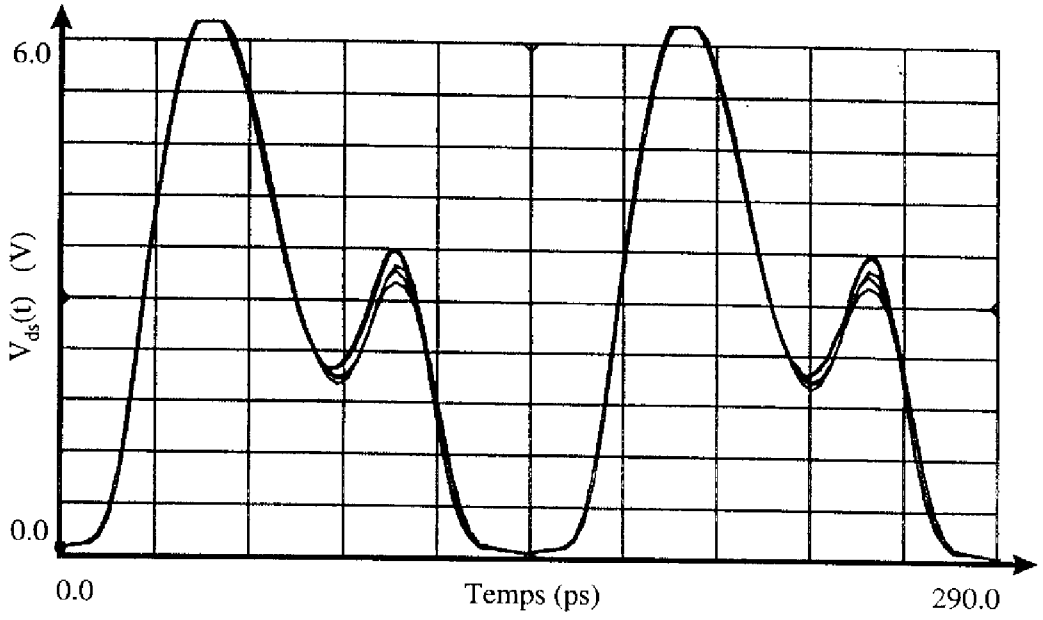

Figure 19 : Comparaison des résultats provenant de la méthode de la boucle ouverte et de la simulation temporelle

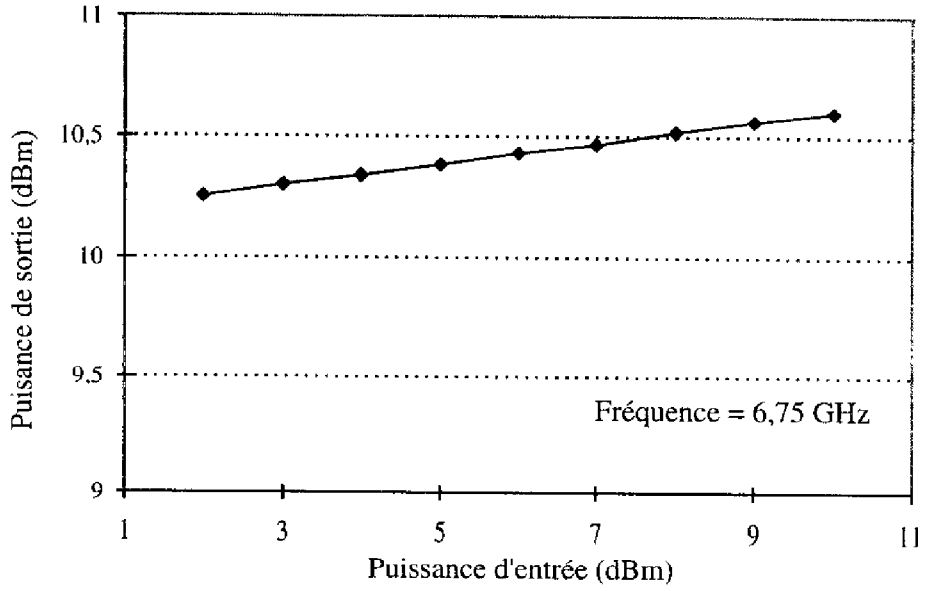

Figure 20 : Puissance de sortie en fonction de la puissance d'entrée.

La variation de la puissance de sortie en fonction de celle d'entrée s'avère ici être faible, comme nous pouvons le constater sur la Figure 20. De plus, le gain de conversion se révèle être meilleur pour cette configuration. La bande de synchronisation (Figure 21) est par contre moins large que dans le cas de la contre-réaction parallèle.

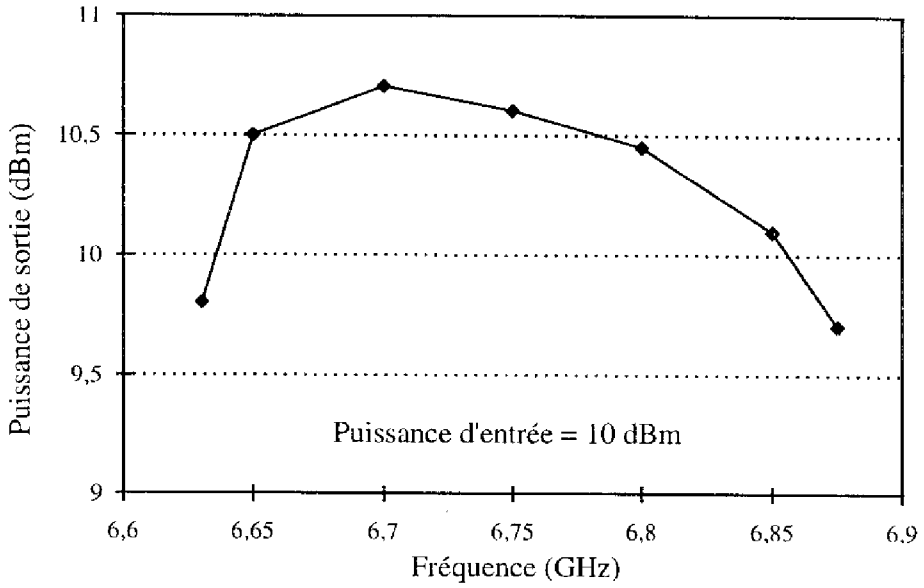

Figure 21 : bande de synchronisation en fréquence.

C'est cette topologie qui a été finalement choisie dans le cadre du contrat précité de par la faible variation de la puissance de sortie en fonction de celle d'entrée. L'originalité représentée par l'intégration monolithique d'un diviseur basé sur une contre-réaction série a également été prise en compte dans la décision finale. Il est à remarquer que nous avons préféré laisser ce dispositif fonctionner en oscillateur synchronisé afin d'être au plus proche des critères de choix. Une puce a donc été réalisée. Les résultats associés seront présentés dans le chapitre 4.

V TOPOLOGIE ORIGINALE DE DIVISEUR DE FREQUENCE

Cette nouvelle topologie a été conçue dans l'optique d'améliorer la bande de synchronisation en fréquence. En effet, nous nous sommes aperçus que ce paramètre était le plus limitatif dans les diviseurs de topologie simple. Le gain de conversion peut, quant à lui, être aisément compensé par l'adjonction d'étages amplificateurs.

Afin d'augmenter la largeur de la bande de synchronisation, il nous faut tout d'abord rechercher une contre-réaction qui puisse nous fournir une oscillation caractérisée par une faible valeur du coefficient de qualité. Nous avons pu déterminer lors de notre étude

bibliographique qu'une contre-réaction série pouvait fournir cette propriété [9]. Ensuite, en nous basant sur l'approche paramétrique des diviseurs qui permet d'obtenir de très bonnes bandes de synchronisation [10], nous nous sommes intéressés aux propriétés du transistor à effet de champ en l'absence de polarisation, appelé plus couramment transistor froid.

Celui-ci possède en effet des caractéristiques qui peuvent se révéler très intéressantes pour une utilisation dans le cadre d'une division de fréquence. Un premier avantage évident est celui de la consommation nulle, avec sa contre-partie que sont les pertes de conversion. Un second avantage réside dans des isolations bien meilleures entre les différents accès. Ensuite, de par le fait que nous n'avons plus qu'une seule polarisation requise, l'intégration s'avère plus aisée. Enfin, l'utilisation d'un transistor froid permet d'obtenir naturellement un comportement en diviseur régénératif, c'est à dire ne présentant aucune oscillation en l'absence de signal d'entrée, ce qui peut s'avérer intéressant lors de l'implémentation du diviseur dans un système.

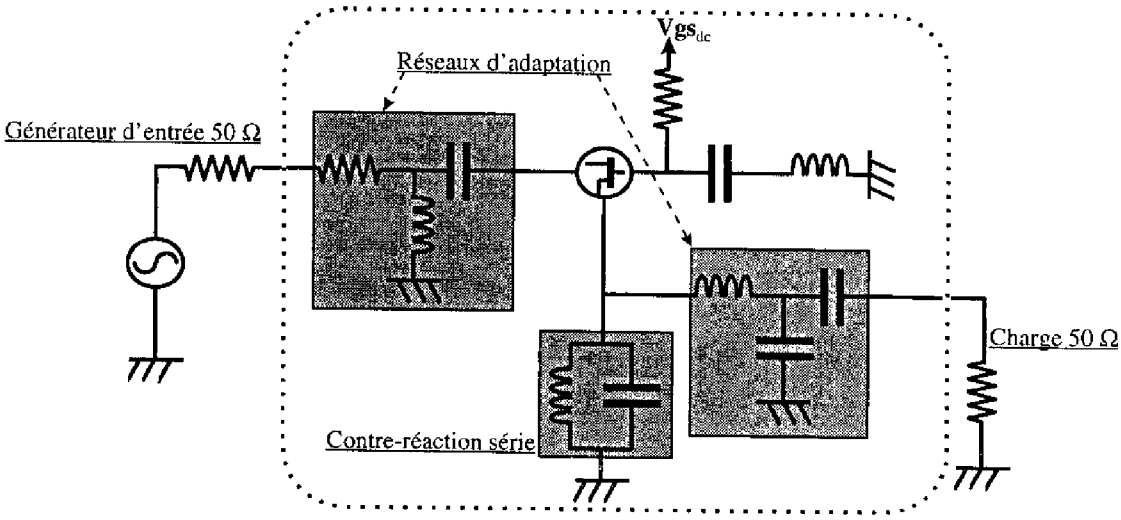

Figure 22 : Nouvelle topologie de diviseur de fréquence.

Lors de nos études, nous nous sommes aperçus que l'application du signal sur le drain d'un transistor froid utilisé dans un diviseur de fréquence donnait lieu à un phénomène de division de fréquence large bande. Le mécanisme de cette division est relié à un processus de mélange résistif très semblable à celui qui est utilisé dans les mélangeurs à base de FET froid. La puissance nécessaire à l'oscillation sous-harmonique provient ici directement du signal hyperfréquence.

Nous avons ainsi développé une topologie basée sur l'utilisation d'un PHEMT froid contre-réactionné en série, avec un signal d'entrée appliqué sur le drain au travers d'un réseau d'adaptation (ou plutôt de filtrage) et un signal de sortie recueilli sur la source (Figure 22) afin d'assurer un bon découplage entrée-sortie et permettre ainsi une cascade avec des éléments amplificateurs.

Nous pouvons observer une croissance quasi-linéaire de la puissance de sortie en fonction de celle d'entrée (Figure 23).

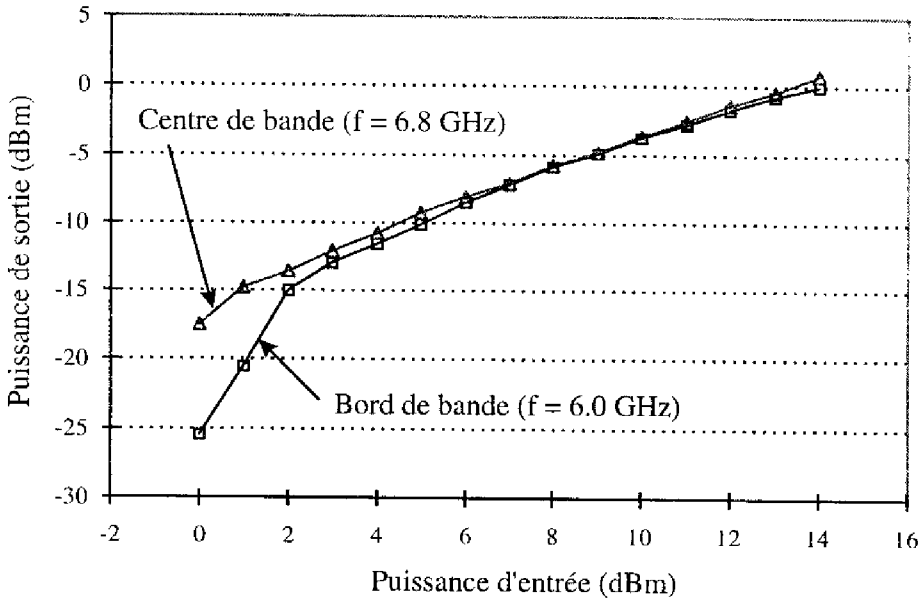

Figure 23 : Puissance de sortie en fonction de la puissance d'entrée.

La bande de synchronisation prévue par la simulation s'avère être ici très large (Figure 24). En effet, nous atteignons une plage de quasiment 30%, ce qui est du même ordre que les meilleurs résultats publiés pour des circuits monolithiques ne présentant qu'un nombre réduit d'éléments actifs. Nous pouvons également remarquer que, tout comme dans les diviseurs paramétriques, il nous faut un signal de pompe de forte puissance pour obtenir une large bande de synchronisation.

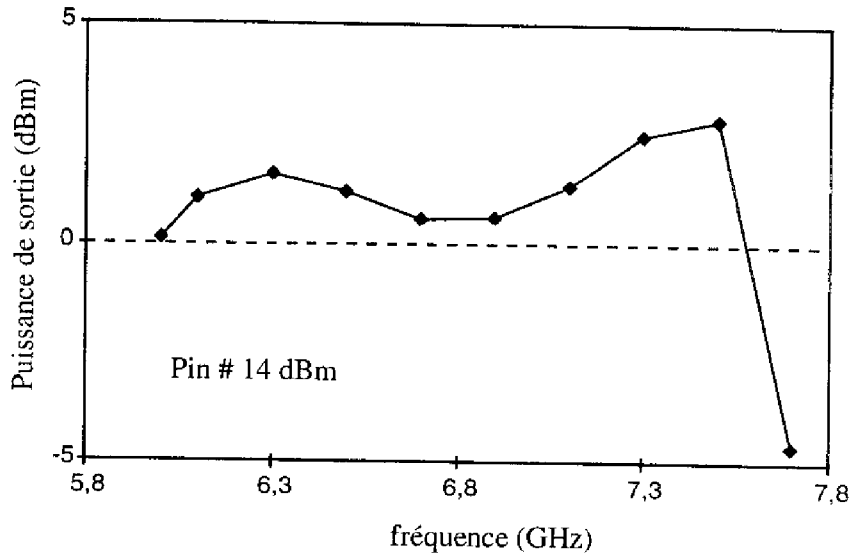

Figure 24 : Bande de synchronisation.

Nous pouvions bien entendu nous attendre à un faible gain de conversion qui est ici défavorisé par l'utilisation du PHEMT froid. Mais la possibilité de placer en cascade avec le diviseur un (ou deux) amplificateur doit permettre d'y remédier, sans toutefois limiter la bande de synchronisation. De plus, la consommation du PHEMT froid étant négligeable, celle supplémentaire nécessaire au fonctionnement d'un transistor en amplificateur peut être envisagée en conservant de bonnes performances globales pour le circuit vis à vis de ce paramètre. Ainsi, nous pouvons imaginer la possibilité de réaliser un diviseur d'ordre supérieur à deux à large bande de synchronisation, en concevant une chaîne d'amplificateurs et de diviseurs de ce même type.

Tout comme pour la topologie plus classique (FET chaud) présentée dans le paragraphe IV-3, une réalisation MMIC a été effectuée pour cette dernière topologie originale. Les mesures expérimentales feront l'objet d'un développement dans le chapitre 4.

VI DIVISEUR PAR QUATRE

Nous avons également étudié la possibilité d'une division par quatre directe. La topologie envisagée est toujours basée sur l'utilisation d'un transistor froid, cependant nous

avons ajouté un transistor polarisé de façon plus classique (Ids # Idss/2) afin de limiter les trop fortes pertes observées (Figure 25).

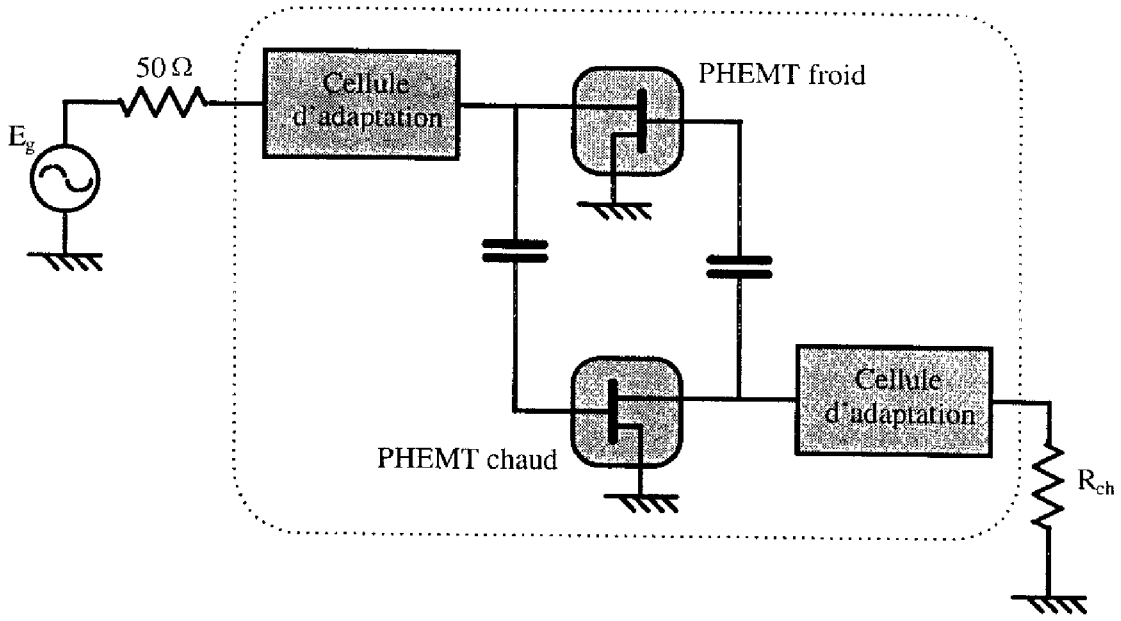

Figure 25 : Schéma synoptique de la topologie du diviseur par quatre.

Le transistor froid n'est plus ici contre-réactionné en série. Il a été optimisé pour permettre la division de fréquence par quatre alors que le transistor chaud a lui été optimisé pour un rôle d'amplificateur à la fréquence divisée. Les cellules d'adaptation servent essentiellement de filtre afin d'éviter que le signal à la fréquence divisée puisse sortir de la boucle principale autrement qu'au niveau de la résistance de charge.

Un phénomène intéressant rencontré lors de l'étude de ce circuit a été l'apparition d'une décroissance de la puissance de sortie en fonction de la puissance d'entrée, pour des supérieures à 0 dBm. Ce phénomène est bien visible sur la Figure 26.

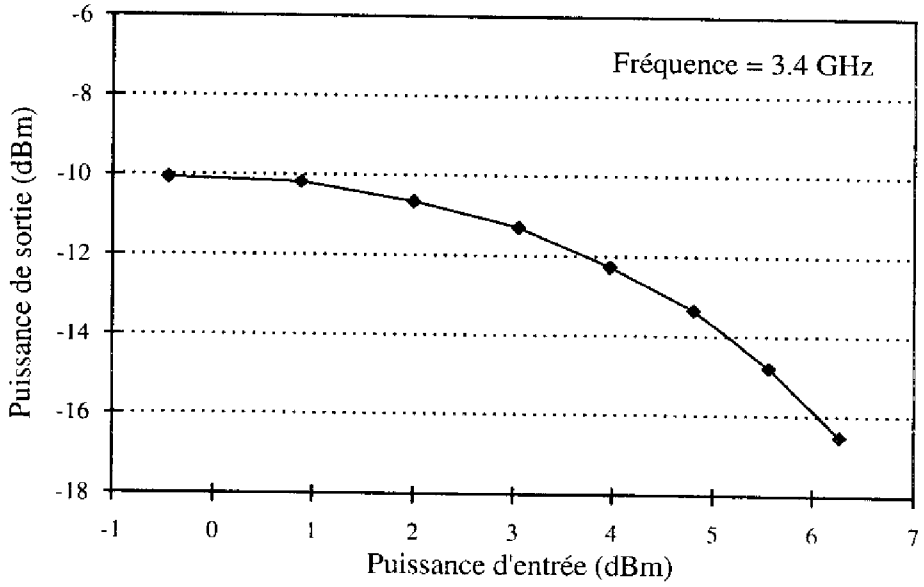

Figure 26 : Puissance de sortie en fonction de la puissance d'entrée.

Un optimum pour la bande de synchronisation peut être observé en fonction de la puissance d'entrée comme montré sur la Figure 27. En ce maximum, nous avons obtenu une division directe par quatre présentant une bande de synchronisation en fréquence proche de 500 MHz en sortie (Figure 28).

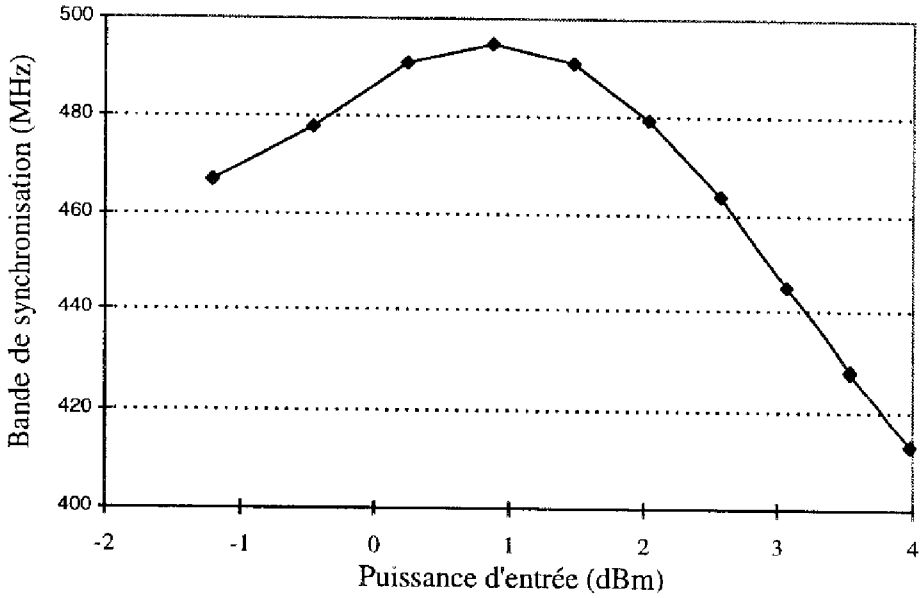

Figure 27 : Largeur de la bande de synchronisation en sortie en fonction de la puissance d'entrée (fréquence centrale de 3.25 GHz).

Cependant, le gain de conversion s'est révélé assez faible malgré le transistor utilisé en amplificateur. Toutefois, comme nous l'avons précisé plus tôt, nous ne considérons pas le gain de conversion comme le facteur le plus limitatif pour un diviseur de fréquence en MMIC de par l'adjonction possible d'amplificateurs.

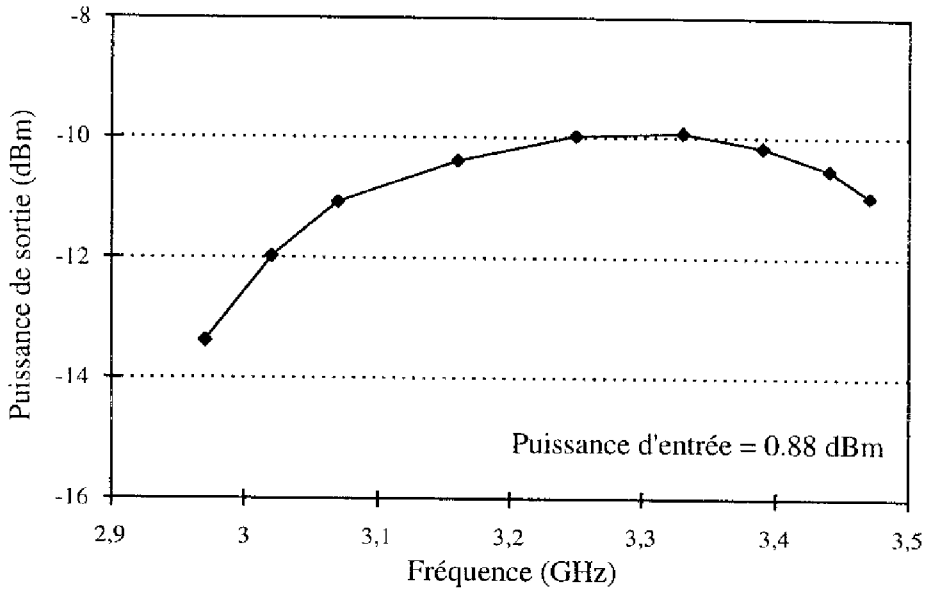

Figure 28 : Bande de synchronisation.

Nous n'avons malheureusement pas eu le temps de développer d'avantage cette conception. Il n'a donc pas été possible de réaliser une puce MMIC basée sur ces derniers travaux de simulation. Néanmoins, il semble que la division de fréquence directe par quatre soit envisageable avec le type de circuit que nous avons étudié.

VII REALISATION DES CIRCUITS INTEGRES MONOLITHIQUES

Une conception ne peut être validée que par des mesures expérimentales réalisées sur des circuits intégrés. Nous avons donc fait réaliser successivement deux puces différentes par la fonderie Philips PML. Les deux puces nous ont été retournées à la suite d'une période d'environ six mois après l'envoi des dessins au fondeur. La photographie de la première réalisation est représentée sur la Figure 29. Les dimensions finales du circuit sous sa forme

monolithique sont de 1×1.5 mm^2. Deux accès de test hyperfréquence pour pointes coplanaires ont été prévus ainsi que deux plots d'accès pour la polarisation.

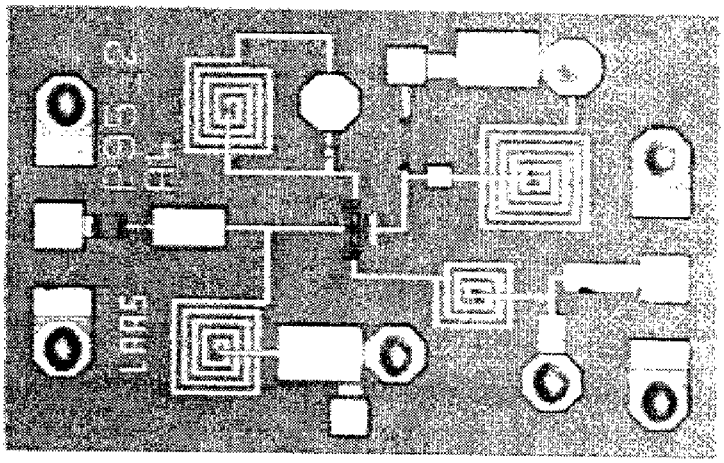

Figure 29 : Photographie de la première réalisation (oscillateur synchronisé).

Lors du dessin des circuits, nous avons porté un intérêt particulier à la disposition des différentes cellules autour du transistor afin d'éviter les couplages entre lignes et garantir un éloignement suffisant entre les éléments discrets. La répartition des trous métallisés sur la surface de la puce a également été prise en compte. En effet, le circuit étant intégré sur un substrat aminci, une distance minimale entre ces trous est à prendre en considération.

Le second circuit réalisé présente une surface identique et une topologie proche du premier, les modifications portant essentiellement sur la valeur des éléments discrets d'adaptation et de filtrage ainsi que ceux de contre-réaction.

VIII CONCLUSION

Nous avons décrit dans ce chapitre les éléments nécessaires à la conception d'une puce MMIC. Dans un premier temps, nous nous sommes intéressés à la technologie utilisée ainsi qu'aux propriétés du type de transistor proposé (le PHEMT). Ensuite, nous avons exposé notre méthodologie de conception dans une forme générique adaptable à n'importe quel logiciel proposant les mêmes fonctionnalités que MDS. Cette méthodologie a été ensuite utilisée lors la présentation de l'étude de trois topologies d'oscillateurs synchronisés. Nous avons alors

décrit une topologie originale de diviseur permettant l'obtention d'une bande de synchronisation très large. Enfin, nous avons exposé nos travaux au sujet de la conception d'un circuit proposant une division de fréquence directe par quatre. Nous avons alors, à nouveau, préféré optimiser la largeur de la bande de synchronisation. Les résultats obtenus dans ce dernier cas sont prometteurs, même s'il n'ont pas pu être corroborés par l'expérience par manque de temps.

La réalisation de circuits MMIC a porté exclusivement sur les diviseurs par deux avec la conception de deux types de diviseurs : l'un à FET chaud, l'autre à FET froid. Le chapitre suivant est consacré à la mesure de ces circuits et à la comparaison des résultats expérimentaux avec ceux issus des simulations présentées dans ce chapitre.

Références contenues dans ce chapitre :

[1] F. Ali, A. Gupta, "HEMTs & HBTs: Devices, Fabrication, and Circuits", Editions Artech House, 1991.

[2] Manuel de conception de la filière D02AH de Philips Microwave Limeil.

[3] H. Amine, "Les diviseurs analogiques de fréquence micro-ondes : modélisation, conception et réalisation.", Thèse de doctorat de l'Université Paul Sabatier de Toulouse, 1993.

[4] P. André, "Conception et réalisation d'oscillateurs intégrés monolithiques micro-ondes à base de transistors sur Arseniure de Gallium.", Thèse de doctorat de l'Université Paul Sabatier de Toulouse, 1995.

[5] K. Kanazawa et al., "A 15 GHz single-stage GaAs dual-gate FET monolithic analog frequency divider with reduced input threshold power", IEEE Transactions on Microwave Theory and Techniques, vol. 36, n° 12, Dec. 1988.

[6] J-C. Sarkissian et al., "A 60-GHz HEMT-MMIC analog frequency divider by two", IEEE Journal of Solid-State Circuits, vol. 30, n° 10, p. 10621067, Oct. 1995.

[7] I. Angelov et al., "48/24 GHz and 20/10 GHz regeneratives frequency dividers", IEEE Microwave Theory and Techniques Symposium, p. 971-974, 1996.

[8] E. Bourdel et al., "Microwave monolithic analog frequency divider with GaAs HEMT", Microwave and Optical Technology Letters, vol. 5, n° 14, Dec. 1994.

[9] W. Hess et al., "New K-Band frequency divider by three using an injection locked oscillator in microstrip technique", European Microwave Conferences, vol. 1, p. 391-393, 1993.

[10] R. G. Harrison, "A broad-band frequency divider using microwave varactors". IEEE Microwave Theory and Techniques, vol. 25, n° 12, p. 1055-1059, Dec. 1977.

CHAPITRE 4 :
CARACTÉRISATION ÉLECTRIQUE DES CIRCUITS

CARACTERISATION ELECTRIQUE DES CIRCUITS

I INTRODUCTION

Après avoir conçu nos circuits, il nous faut vérifier expérimentalement les résultats obtenus par la simulation. Pour cela, nous avons effectué des mesures au moyen de pointes coplanaires hyperfréquences sur les deux circuits décrits dans le chapitre précédent.

Les deux points importants sur lesquels nous avons porté notre attention sont d'une part la comparaison théorie-expérience qui doit permettre de valider notre approche, et d'autre part les performances des circuits par rapport aux réalisations déjà publiées.

Nous organiserons notre chapitre selon les différentes configurations étudiées. Ainsi commencerons-nous par l'oscillateur synchronisé. Nous ferons ensuite la démonstration de l'utilisation possible de cette première puce dans une seconde configuration très proche du diviseur à FET froid. Enfin, nous présenterons les résultats obtenus sur une puce spécifiquement conçue pour réaliser le diviseur selon la topologie originale présentée dans le chapitre précédent. Nous vérifierons en particulier, pour ce dernier circuit, les bonnes performances au niveau de la largeur de la bande de synchronisation.

Toutefois, avant d'entrer dans l'exposé des résultats expérimentaux obtenus, il nous a semblé utile de décrire succinctement le banc de mesure utilisé.

II BANC DE MESURE EXPERIMENTAL

Les mesures ont été réalisées sur la puce à l'aide de pointes micrométriques HF de type masse-signal-masse (écartement entre pointes : 150 µm) ainsi que de deux pointes DC pour la polarisation du transistor. Un analyseur de spectre de la série HP 70000 permettant une mesure entre 0 et 22 GHz a été utilisé pour le relevé de la puissance d'entrée et de sortie, le basculement entrée/sortie étant assuré par un interrupteur associé à un coupleur (Figure 1)

Les liaisons entre appareils ont été réalisées à l'aide de câbles équipés de connecteurs SMA. Il est à noter que des pertes ont donc ainsi été ajoutées à celles inhérentes au circuit. La première étape lors de la réalisation de ce montage a donc été l'évaluation des pertes dues à la connectique pour toutes les fréquences concernées par notre caractérisation. Les mesures que nous présenterons par la suite tiennent directement compte des modifications nécessaires pour obtenir les diverses puissances au niveau des plots d'entrée et de sortie de la puce.

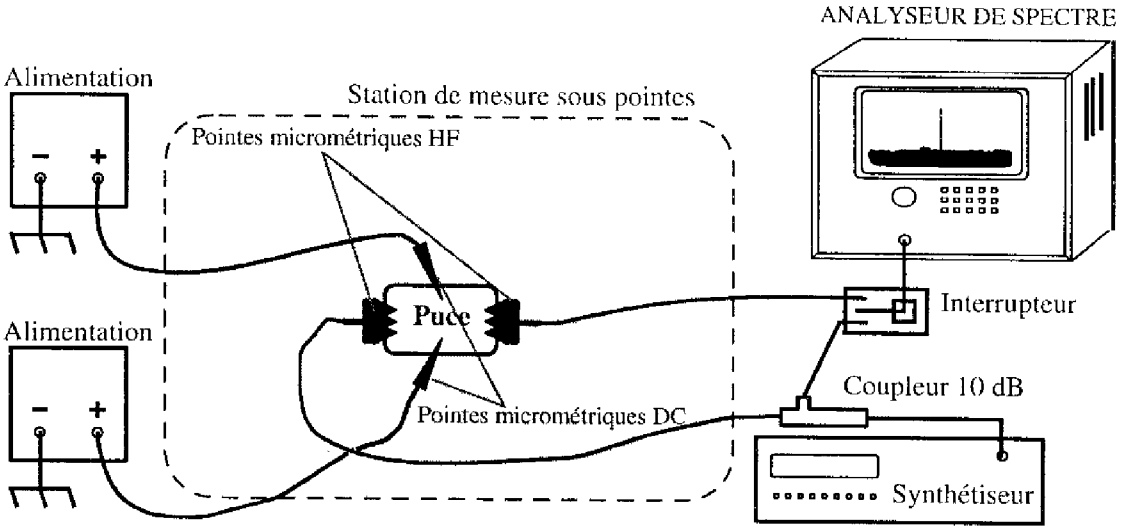

Figure 1 : Montage expérimental de mesure.

Il est à remarquer que le schéma du montage expérimental de mesure (Figure 1) correspond à celui spécifiquement utilisé lors du test de la première puce en version oscillateur synchronisé. Il y aura bien évidemment certaines différences lorsque nous étudierons les autres configurations. Toutefois, les appareils utilisés s'avèrent être identiques.

III MESURES DE L'OSCILLATEUR SYNCHRONISE (PUCE N° 1)

Le premier circuit conçu a été un oscillateur synchronisé avec entrée sur source et sortie sur drain utilisant un transistor PHEMT contre-réactionné en série.

III-1 Performances selon le critère retenu

La première puce avait été conçue avec l'objectif d'obtenir une puissance de sortie variant le moins possible en fonction de la puissance d'entrée. Les premières mesures que nous présentons (Figure 2) concernent donc ce paramètre. Nous pouvons observer que le critère retenu est bien respecté. De plus, la comparaison entre les simulations et les mesures est bonne.

Nous pouvons également remarquer que, par comparaison avec la Figure 20 présentée dans le troisième chapitre (paragraphe IV-3), le gain de conversion expérimental s'avère être inférieur à celui calculé théoriquement. Cela est dû au fait que la courbe présentée alors avait été obtenue à partir d'un circuit ne présentant que des éléments idéaux. Le passage aux éléments réels ajouté aux difficultés inhérentes au dessin de la puce implique des performances moins élevées. Nous obtenons donc une puissance de sortie à peu près égale à 6 dBm pour des puissances d'entrée variant sur une dizaine de décibels, ceci en centre de bande.

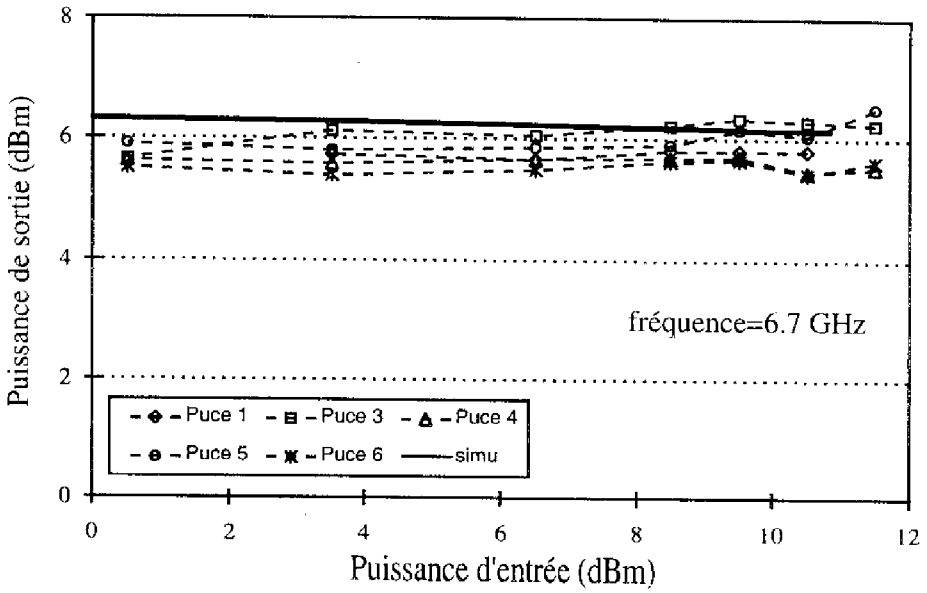

Figure 2 : Puissance de sortie en fonction de la puissance d'entrée.

III-2 Autres performances

En ce qui concerne l'étude de la bande de synchronisation, il nous est apparu intéressant de débuter nos mesures par une observation de l'évolution de cette bande en fonction des tensions de polarisation appliquées.

Nous pouvons observer sur la Figure 3 l'allure de la variation de la bande de synchronisation en fonction de la tension de polarisation de grille, et remarquer que l'on observe ici un optimum pour une tension se situant aux alentours de -0.4 V. Ces mesures ont été réalisées à Vds_{DC} = 2.7 V et pour une puissance d'entrée de 10.5 dBm.

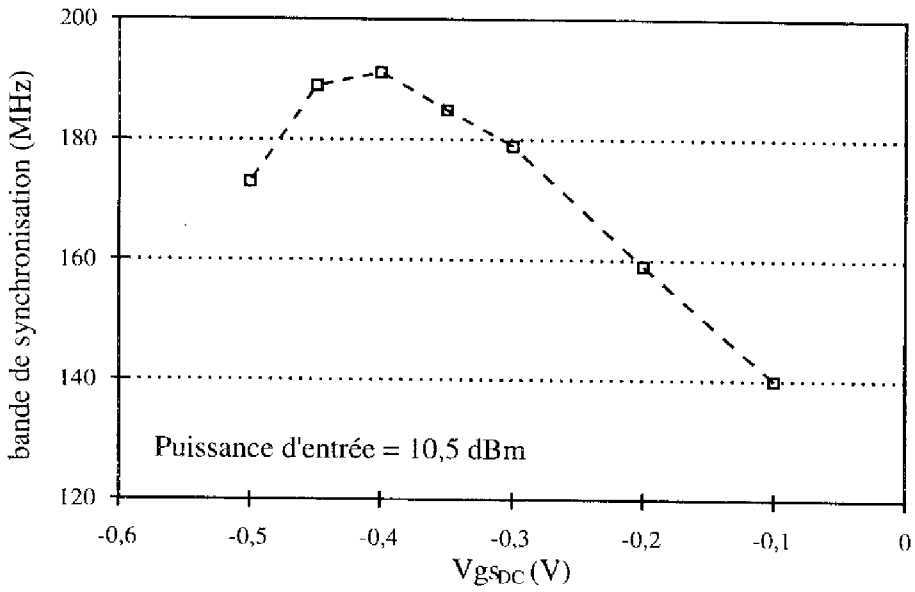

Figure 3 : Bande de synchronisation en fonction de la tension de polarisation de grille.

Par contre, nous pouvons observer sur la Figure 4 que la bande de synchronisation est moins sensible à la variation de la tension de polarisation de drain. Les mesures ont été alors effectuées à Vgs_{DC} = -0.3 V et pour une puissance d'entrée de 10.5 dBm.

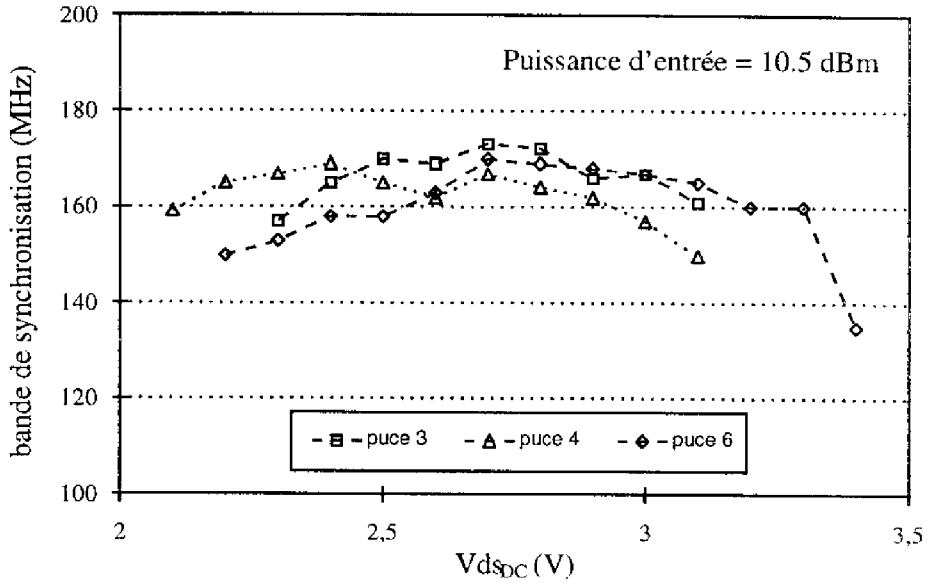

Figure 4 : Bande de synchronisation en fonction de la tension de polarisation de drain.

Nous pouvons déduire des deux figures précédentes que nous détenons ici deux paramètres d'ajustage pour notre circuit. En effet, nous pourrons optimiser la bande de synchronisation en modifiant la tension de polarisation de grille. Par ailleurs, nous pourrons nous permettre une optimisation de la puissance de sortie en fonction de la tension de polarisation de drain sans pour autant défavoriser la bande de synchronisation.

L'étude des polarisations est généralement associée au calcul de la puissance consommée par la puce qui est ici autour de 30 mW en fonctionnement normal.

Comme prévu par la simulation, la bande de synchronisation est relativement faible dans le cas de cette configuration (ici 140 MHz pour une puissance d'entrée de 6.5 dBm). La Figure 5 montre d'une part que la dispersion des résultats en fonction des puces reste faible et d'autre part que la comparaison simulation-mesures en ce qui concerne la largeur de la bande est bonne, avec toutefois un léger décalage de la fréquence centrale.

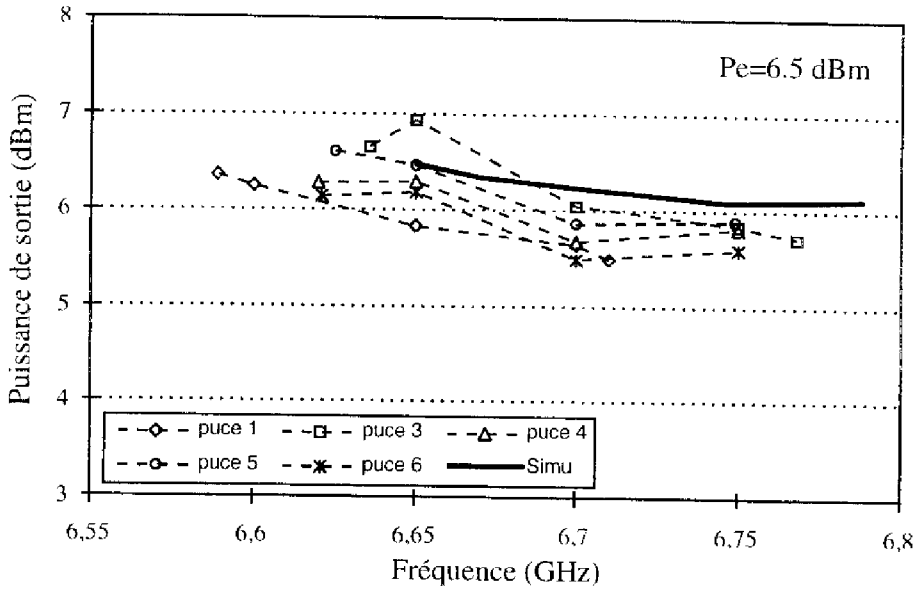

Figure 5 : Bandes de synchronisation [simulation (trait plein), mesures (trait pointillé)]

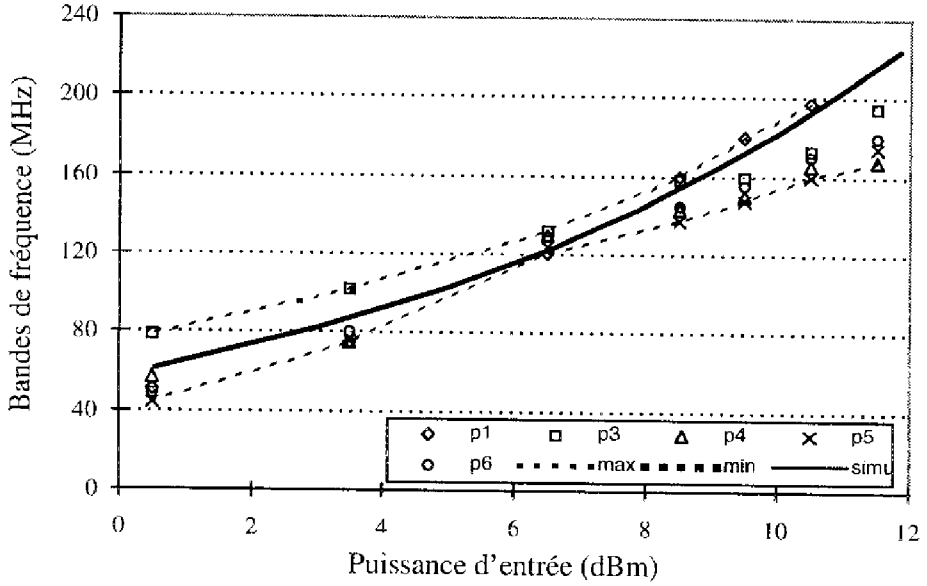

Figure 6 : Evolution de la largeur de la bande de synchronisation en fonction de la puissance d'entrée.

Il est aussi intéressant d'observer l'évolution de la bande de synchronisation en fonction de la puissance d'entrée (Figure 6) et donc sa forte dépendance en fonction de ce paramètre.

Nous pouvons également vérifier aisément la concordance de la simulation avec les mesures sur cette courbe.

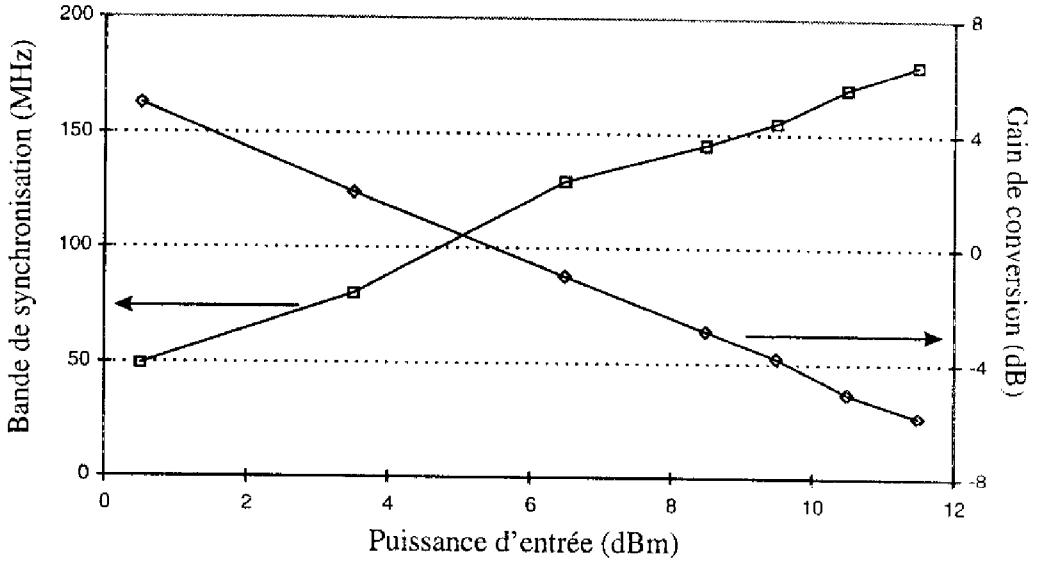

Figure 7 : Variations comparées des mesures
de la bande de synchronisation et du gain de conversion.

Il nous a enfin semblé intéressant de présenter les évolutions comparées de la bande de synchronisation et du gain de conversion en fonction de la puissance d'entrée (Figure 7). La puissance de sortie étant constante, le gain de conversion chute logiquement pour des puissances d'entrée croissantes, alors que la bande de synchronisation reste contrôlée par la puissance d'entrée conformément aux modèles simples développés dans le chapitre 2. Les mesures correspondent à celles de la puce n° 6 des figures précédentes.

De manière générale, nous pouvons faire les observations suivantes : les mesures réalisées sur les différentes puces montrent une faible dispersion, que ce soit en fréquence ou en puissance. L'utilisation de certains éléments en limite de validité n'a pas eu trop de répercussion sur les résultats escomptés. De plus, les mesures concordent bien avec la simulation, ce qui valide notre méthodologie de conception.

IV MESURES EN CONFIGURATION DIVISEUR REGENERATIF SUR LA PUCE N°1

Dans le chapitre précédent, nous avons développé l'idée d'une nouvelle topologie de diviseur de fréquence à base de FET froid. Cependant, compte tenu des délais de fabrication, nous avons préféré tester cette topologie sur la première puce bien que les cellules d'adaptation ne correspondaient pas à ce type de fonctionnement. Pour cela, nous avons appliqué le signal d'entrée sur le drain du circuit et récupéré le signal de sortie sur ce même accès en découplant ces deux signaux à l'aide d'un circulateur. La solution entrée sur drain et sortie sur source s'est avérée bien moins performante comme l'on pouvait s'y attendre du fait de la cellule d'adaptation initialement conçue pour fonctionner à la fréquence d'entrée sur cet accès. Ceci nous a permis d'obtenir une première confirmation des larges plages de fréquences de fonctionnement accessibles à l'aide de cette topologie.

Toutefois, nous nous devons de remarquer qu'il n'a pas été possible d'éliminer complètement la polarisation de drain, la bande de synchronisation diminuant alors trop fortement. Ainsi les mesures présentées ici ont été effectuées avec un transistor que nous dénommerons "tiède" par analogie à la dénomination transistor froid lorsque la tension de polarisation de drain est nulle. En ce qui concerne la consommation de ce circuit, elle est bien évidemment très faible, les polarisation exigées étant minimes (de l'ordre de quelques dixièmes de V sur le drain et la grille).

La Figure 8 présente la bande de synchronisation disponible. Elle permet aussi de vérifier la faible dispersion des mesures et de comparer ces dernières à la simulation. Nous pouvons ainsi observer un léger décalage en fréquence entre mesure et simulation des bandes de synchronisation, les mesures présentant une bande un peu plus large.

Nous pensons que le modèle utilisé lors des simulations correspondantes à cette configuration était alors en limite de validité. En effet, de par la faible valeur de la tension de polarisation de drain ainsi que les fortes excursions de la tension d'entrée, la tension alternative drain-source est amenée à prendre des valeurs négatives qui ne sont pas bien prises

en compte. Le modèle "froid" du transistor n'étant pas alors disponible, nous n'avions pas pu réaliser une retro-simulation adéquate.

Nous pouvons également remarquer une différence entre la simulation et les mesures sur les valeurs de la puissance de sortie aux alentours d'une fréquence égale à 6.2 GHz, matérialisée par un "creux" sur les courbes des mesures. Il est possible que cette différence soit en partie due à l'appareillage utilisé et à un mauvais contrôle de la puissance d'entrée. En effet, pour couvrir l'intégralité de la bande, deux générateurs différents ont dû être utilisés avec une fréquence de recoupement de 6.2 GHz. Chacun de ces générateurs délivrait une puissance proche de sa puissance maximale laquelle était difficilement maintenue en bordure de gamme.

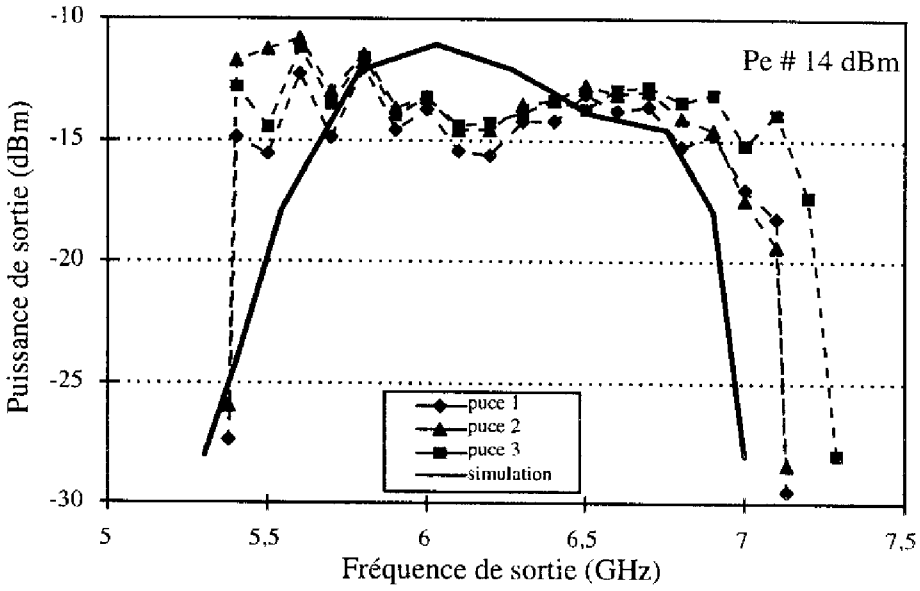

Figure 8 : Bandes de synchronisation
[simulation (trait plein), mesures (trait pointillé)]

Cette configuration fonctionne bien en mode diviseur régénératif, comme prévu. En effet, nous assistons à la disparition complète du signal de sortie en l'absence se signal d'entrée.

V MESURE DU DIVISEUR REGENERATIF SUR LA PUCE N°2

V-1 Mesures de la bande de synchronisation

Compte tenu des bons résultats obtenus avec la nouvelle configuration sur la première puce, nous avons décidé de réaliser une seconde puce en modifiant les cellules d'adaptation afin d'obtenir une augmentation du gain de conversion sans pour autant modifier la largeur de la bande de synchronisation. Nous avons aussi fait en sorte de décaler cette bande de façon à ce qu'elle recouvre la bande de fréquence initialement requise. Enfin, nous avons prévu une sortie sur la source du transistor afin de pouvoir rendre ce circuit plus facilement cascadable avec d'autres circuits tels que des amplificateurs ou d'autres diviseurs.

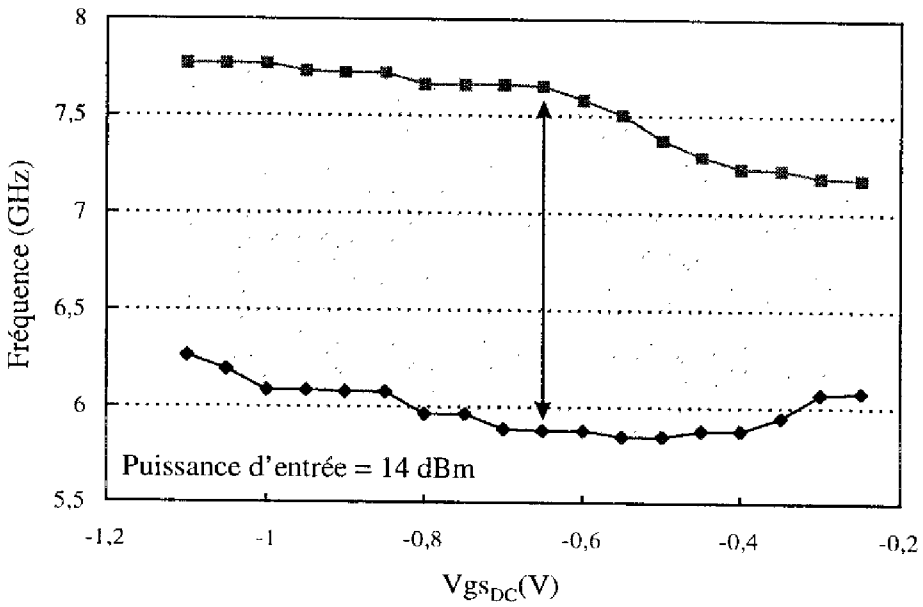

Figure 9 : Limites supérieure et inférieure de la bande de synchronisation en fonction de la tension de polarisation de grille.

Le critère principal auquel nous avons attaché de l'importance lors de la conception de ce circuit était la largeur de la bande de synchronisation en fréquence. Ainsi commencerons-nous par visualiser les mesures concernant ce paramètre. Tout comme pour la topologie précédente (oscillateur synchronisé), nous avons remarqué une dépendance de la largeur de la

bande de synchronisation en fonction de la tension de grille Vgs_{DC}. Toutefois, il semble que cette sensibilité soit moins prononcée, même si nous avons pu déterminer un maximum aux alentours de Vgs_{DC} = -0.65 V, ainsi que les mesures reportées sur la Figure 9 semblent le confirmer.

Nous avons représenté sur la Figure 10 la valeur de la bande de synchronisation en fonction de la tension de polarisation de grille, afin de conforter notre évaluation de cette dépendance relativement faible en fonction de ce paramètre. Pour cela, nous avons matérialisé les seuils de réduction de 5% et de 10% de la largeur de bande.

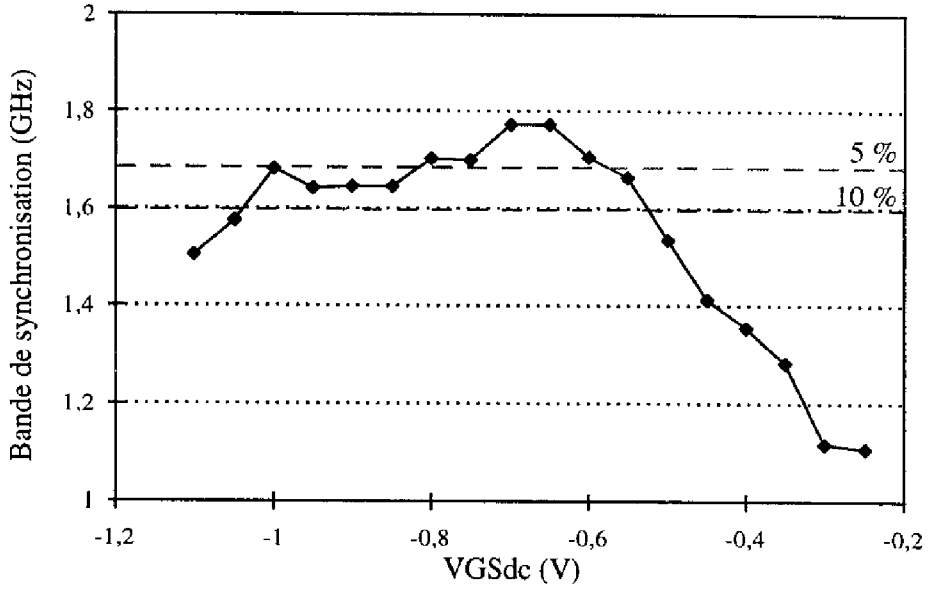

Figure 10 : Bande de synchronisation en fonction de la tension de polarisation de grille.

La Figure 11 représente quant à elle les mesures de la puissance de sortie en fonction de la fréquence au point de polarisation défini ci-avant (Vgs_{DC} = -0.65 V), ceci pour quatre puces différentes (ce qui nous permet de vérifier la très faible dispersion des résultats). Nous constatons une amélioration de la puissance de sortie de l'ordre de 10 dB par rapport à la première puce (Figure 8).

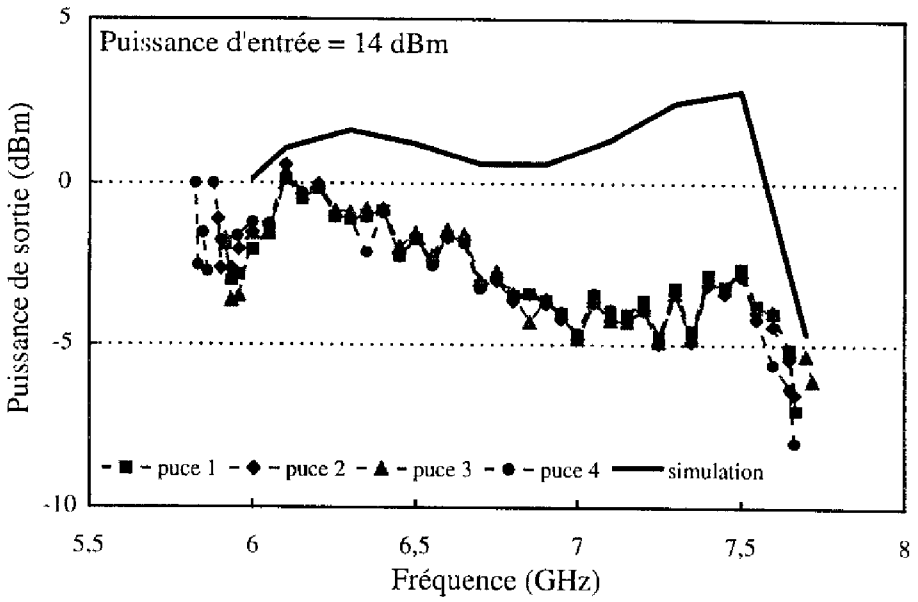

Figure 11 : Bande de synchronisation.

[mesures (trait pointillé), simulation (trait plein)]

Par contre, nous pouvons observer que la comparaison avec la simulation, bien que bonne au niveau de la largeur de bande de synchronisation, montre une différence sensible au niveau des puissances de sorties prévues. La simulation a été réalisée ici avec le modèle du transistor froid fourni par le fondeur. Les formes générales des mesures et de la simulation sont assez proches, cependant nous observons une décroissance sur les mesures dans la partie supérieure de la bande que nous n'obtenons pas par la simulation.

Pour expliquer cela, plusieurs possibilités peuvent être envisagées. La première d'entre elles proviendrait du modèle utilisé. Lors du fonctionnement de notre circuit, le transistor peut avoir un courant continu de grille non négligeable, ce qui est un cas toujours difficilement pris en compte dans les modèles de transistor. Ceci peut modifier sensiblement le niveau de puissance de sortie au travers d'une erreur sur l'autopolarisation du transistor en fonctionnement normal. Des mesures de courant de grille ont été réalisées pour vérifier cette hypothèse et ont montré que le courant de grille pouvait atteindre des valeurs de 150 µA. Ce dernier résultat permet de déterminer une consommation associée de l'ordre d'une centaine de micro-Watts.

Une seconde possibilité concerne une mauvaise prise en compte des pertes dans les différents éléments de la connectique n'aient pas été suffisamment envisagées en fonction de la fréquence. Il est à remarquer en effet que lors de l'étape de détermination des pertes dans le montage expérimental, il n'est pas toujours aisé d'être exactement dans des conditions expérimentales identiques à celles des mesures. Ceci peut amener une partie des différences observées.

V-2 Autres performances

Si la bande de synchronisation est largement améliorée dans ce type de dispositif par rapport au cas classique de l'oscillateur synchronisé, nous constatons cependant que le principal défaut de cette topologie est son faible gain de conversion. Nous représentons ce paramètre sur la Figure 12 en fonction de la fréquence de sortie, et paramétré par la puissance d'entrée. Nous avons volontairement laissé les coupures de bande observées en limite de plage afin de mieux visualiser l'augmentation de la bande de synchronisation au fur et à mesure des puissances d'entrée croissantes. Nous constatons toutefois que le dispositif fonctionne (avec une bande réduite mais encore importante) dès le niveau relativement faible de 0 dBm.

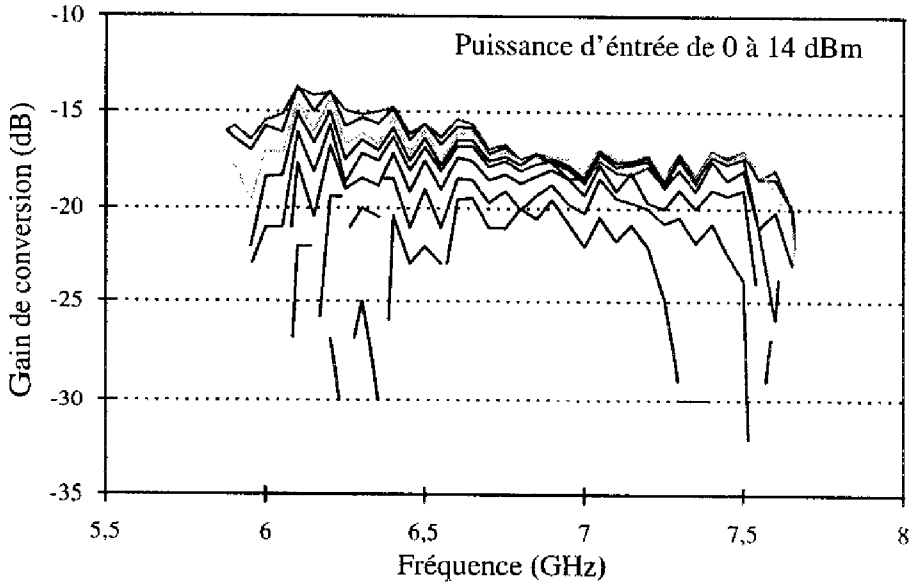

Figure 12 : Gain de conversion en fonction de la fréquence
et paramétré en fonction de la puissance d'entrée.

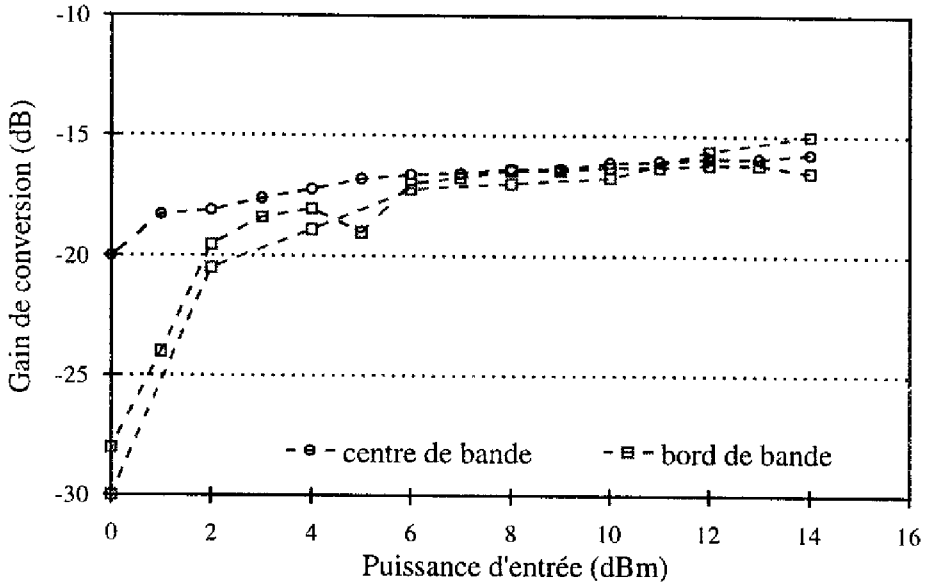

Figure 13 : Gain de conversion en fonction de la puissance d'entrée.

Ces mesures peuvent également servir à l'observation de la variation du gain de conversion en fonction de la puissance d'entrée, en centre ou en bord de bande, comme présenté sur la Figure 13.

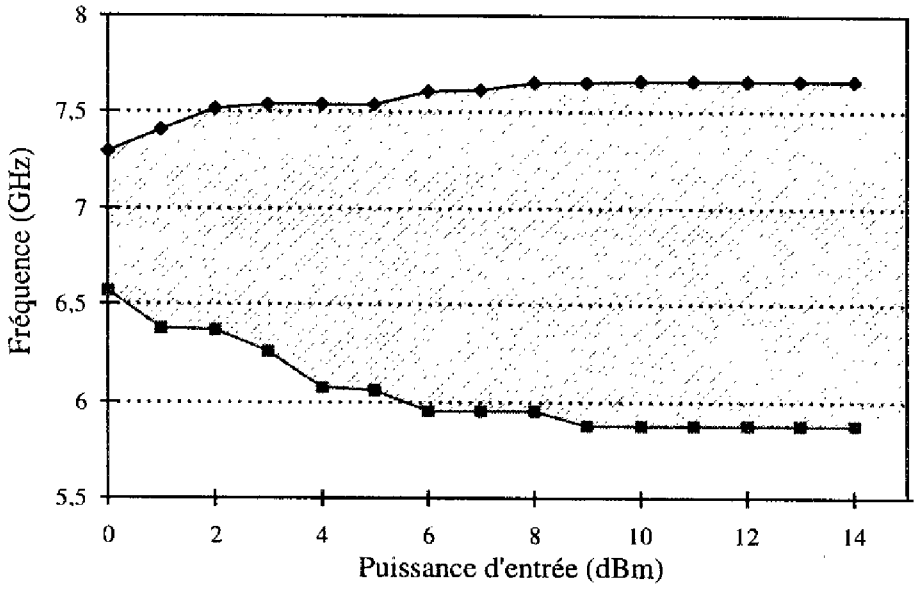

Figure 14 : Limites supérieure et inférieure de la bande de synchronisation en fonction de la puissance d'entrée.

Nous pouvons alors constater que le gain de conversion ne varie que peu pour des puissances d'entrées supérieures à 8 dBm environ, et ceci que l'on soit au centre ou en bord de bande. Cette faible variation est à rapprocher de celle de la bande de synchronisation pour les mêmes puissances d'entrées (Figure 14).

Nous pouvons donc aisément conclure qu'une puissance d'entrée relativement peu élevée suffit pour obtenir une bande de synchronisation ou un gain de conversion maximums. Ceci est un avantage indéniable.

Etant donné que les cellules d'entrée et de sortie ont été essentiellement optimisées pour une fonction de filtrage, nous avons vérifié expérimentalement l'adaptation de notre circuit. En ce qui concerne l'adaptation d'entrée, le signal réfléchi a été mesuré environ -20 dB au dessous de celui appliqué. Nous pouvons donc conclure que l'adaptation est ici bien réalisée. Par contre, en ce qui concerne l'adaptation de sortie, des mesures ont révélé un niveau de signal réfléchi sur la charge en sortie inférieur d'environ 4 dB au signal transmis. Nous avons alors réalisé des mesures avec une adaptation simple stub avec une ligne coulissante. Celles-ci nous ont permis d'obtenir des niveaux de puissance de sortie supérieurs d'au moins 2 dB à la puissance de sortie initialement observée. Le stub semble également amener, lors de ces mesures, des pertes supplémentaires de l'ordre de 1 dB. Ceci nous donne donc une amélioration de 3 dB sur la puissance de sortie, amenant alors notre gain de conversion autour de 11 dB en valeur maximale.

Enfin, il existe un troisième critère utilisé dans la détermination des caractéristiques fondamentales d'un diviseur de fréquence. Il s'agit de la puissance de seuil de démarrage du phénomène de division. En fait, cela revient à déterminer sur une plage de fréquences la puissance minimale à appliquer sur l'entrée pour que la division apparaisse.

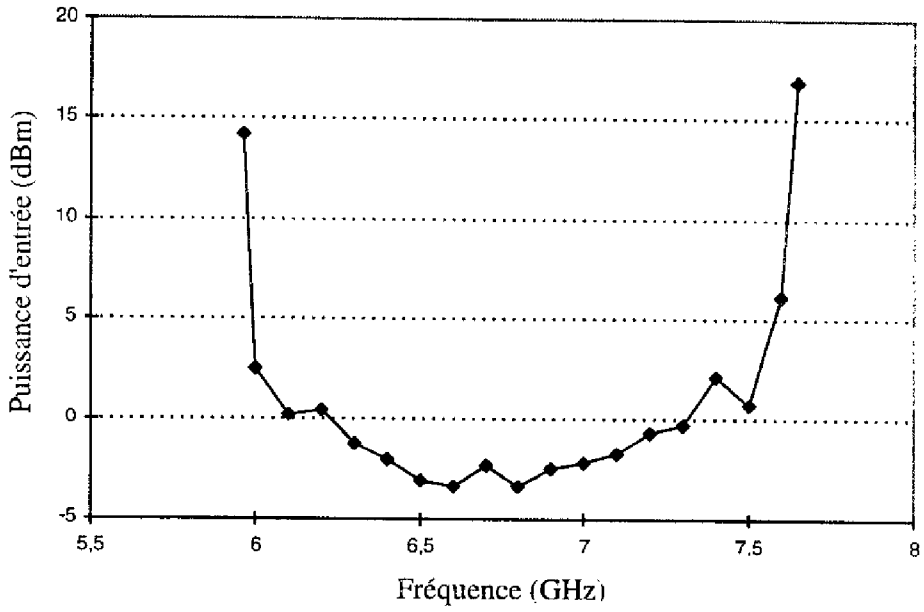

Figure 15 : Puissance de seuil du phénomène de division.

Il apparaît, lorsque l'on compare les différentes catégories de diviseurs basés sur un nombre limité de non-linéarités, que les oscillateurs synchronisés ainsi que les diviseurs régénératifs présentent des valeurs de puissance de seuil faibles, alors que les diviseurs paramétriques demandent des puissances d'entrée fortes résultant en fortes valeurs de seuil de démarrage.

Les puissances d'entrée nécessaires au démarrage de la division sont ici assez faibles en comparaison des diviseurs paramétriques, et bonnes en comparaison des valeurs usuelles pour les diviseurs conçus à partir des autres principes.

Notons que le fonctionnement du circuit est du type diviseur régénératif de par l'utilisation du FET froid. Pour cette même raison, la puissance dissipée est considérée comme négligeable. Toutefois, étant donné que nous avions prévu un accès possible pour une polarisation sur le drain, nous avons pu effectuer quelques mesures à faible tension de polarisation de drain (FET "tiède") pour vérifier la consommation de la puce. Tous les résultats se sont avérés être au dessous de la centaine de micro-Watts, comme nous l'avons écrit plus tôt.

VI CONCLUSION

Nous avons présenté dans ce chapitre les mesures concernant les deux puces fabriquées à la suite de nos conceptions. Il nous est apparu judicieux de suivre un déroulement chronologique montrant l'évolution de nos travaux d'une topologie classique vers une topologie plus originale à large bande de synchronisation. Ainsi avons-nous intercalé entre les études des deux circuits, l'étude de la première puce selon une configuration se rapprochant de celle utilisée pour la seconde puce.

Les résultats de la configuration oscillateur synchronisé contre-réactionné en série entrée sur source et sortie sur drain nous ont permis de vérifier que le critère ayant motivé le choix de cette topologie, c'est à dire la faible variation de la puissance de sortie en fonction de la puissance d'entrée, était bien vérifié. Comme prévu lors des simulations, les bandes de synchronisation mesurées se sont avérées relativement faibles. Nous avons ainsi pu observer de manière claire la dualité existant entre le gain de conversion et la plage de fréquences disponible. Enfin, de façon générale, une faible dispersion des mesures ainsi qu'une très bonne concordance de ces dernières avec la simulation ont été observées.

Après avoir vérifié sur la première puce que les résultats des mesures effectuées en transistor "tiède" entrée et sortie sur drain nous donnaient bien une large bande de synchronisation, nous avons fait réaliser la seconde puce. Celle-ci présente ainsi un transistor froid contre-réactionné en série avec une entrée sur l'électrode de drain et une sortie sur la source. Le fonctionnement en diviseur régénératif ayant été validé, nous nous sommes de prime abord intéressés à la largeur de la bande de synchronisation. Cette dernière s'est révélée être en bonne concordance avec les simulations effectuées précédemment. Par contre, une différence notable a été observée au niveau des puissances de sortie. Plusieurs raisons ont été avancées pour expliquer ce décalage. Enfin, une observation en fonction de la puissance d'entrée a permis de montrer qu'à la fois le gain de conversion et la bande de synchronisation variaient peu au delà de certaines valeurs de cette puissance incidente.

	Bande relative de synchronisation	Gain de conversion
Oscillateur synchronisé	# 3 %	puissance de sortie constante (# 6 dBm)
Diviseur régénératif (transistor tiède)	# 29 %	# -27 dB
Diviseur régénératif (transistor froid)	# 28 %	# -16 dB (# -13 dB adapté)

Le tableau récapitulatif ci-dessus nous rappelle les principaux résultats obtenus lors de nos mesures. Il n'est pas aisé de comparer ces valeurs avec l'état de l'art. En effet, il faut pour cela que les circuits références soient dans des domaines de fréquence proches (bande Ku dans notre cas) et présentent des topologies de la même famille (circuits analogiques comprenant peu d'éléments actifs ici). L'étude bibliographique présentée dans le premier chapitre (paragraphe III-3-1-2) nous montre cependant que les meilleures performances en bande de synchronisation pour ce type de circuit se situaient autour de 30 %, ce qui place notre conception en bonne position.

Toutes les mesures effectuées dans ce chapitre nous ont permis de vérifier les performances essentielles du diviseur de fréquence. Il peut se révéler intéressant à présent d'effectuer des expérimentations supplémentaires pour avoir une idée des performances du diviseur en rapport avec son utilisation future. Comme un tel circuit est amené à être intégré dans des systèmes de télécommunication, il va nous falloir maintenant étudier son comportement en fonction de phénomènes de modulation, et pour cela approfondir ses performances en bruit de phase.

CHAPITRE 5 :
LE BRUIT DE PHASE
DANS LES DIVISEURS DE FRÉQUENCE

LE BRUIT DE PHASE DANS LES DIVISEURS DE FREQUENCE

I INTRODUCTION

On s'intéresse au bruit de phase essentiellement dans les applications de télécommunication impliquant des modulations (de fréquence ou de phase) ou bien dans les signaux radars (en particulier le radar Doppler ou FM-CW). En effet, dans le premier cas, il se superpose directement au signal et est détecté de la même façon. Dans le second, il génère un encombrement spectral rendant difficile la lecture d'une information reflétée correspondant à un déplacement de fréquence.

Dans ce chapitre, nous nous intéresserons donc au bruit de phase tout en gardant une approche orientée vers le cas particulier du diviseur de fréquence. Cependant, nous commencerons par introduire quelques notions générales qui nous serviront par la suite ; par exemple, lors de l'étude d'un dispositif que nous considérons comme ayant un comportement en bruit proche du diviseur de fréquence : l'oscillateur synchronisé.

En effet, si l'on excepte le démarrage du phénomène de division, le diviseur de fréquence génère une oscillation commandée par le signal d'entrée. Cette synchronisation peut être à la base d'une diminution importante du niveau de bruit. Nous nous pencherons donc sur l'explication de cette réduction au travers de l'exemple de l'oscillateur synchronisé.

Nous nous intéresserons ensuite aux dispositifs utilisés lors de nos mesures. Les niveaux de détection requis pour la mesure du bruit de phase dans un diviseur sont très bas, ainsi un type de mesure supplémentaire a été envisagé en plus de la mesure directe par discrimination de fréquence.

Enfin, nous présenterons les mesures effectuées. En plus de la puce conçue en MMIC, nous avons aussi testé un diviseur de fréquence réalisé à partir d'éléments séparés de façon à maîtriser un peu mieux les divers paramètres et ainsi envisager des diviseurs d'ordre plus élevé.

II GENERALITES

Dans les systèmes hyperfréquence de type oscillateurs, le bruit de fond, inévitable, peut faire fluctuer la fréquence propre autour d'une valeur nominale. Cette fluctuation amène un phénomène de bruit que nous pouvons considérer soit en fréquence, soit en phase.

Ce bruit ne provient pas cependant d'un seul phénomène [1]. En effet, nous pouvons différencier plusieurs origines. Il y a tout d'abord un plancher de bruit qui vient s'additionner au signal et qui provient du bruit de grenaille ou/et du bruit thermique. Il y a aussi une conversion de bruits basse fréquence tels que le bruit de scintillation ou celui de génération-recombinaison. La conversion se fait par un processus de mélange provenant des non-linéarités du dispositif actif. Il est aussi intéressant de remarquer qu'il y a une modulation en fréquence (ou en phase), mais aussi en amplitude.

Les grandeurs utilisées lors de la mesure de bruit de phase sont diverses. La plus générique reste la densité spectrale de fluctuation de phase (S_φ), qui se mesure en rad^2/Hz ou en dB_{rad}/Hz,. Le bruit de fluctuation perturbant l'oscillation d'un dispositif est en effet assimilable à un processus aléatoire stationnaire. Nous pouvons le rapprocher de la densité de fluctuation en fréquence en rappelant que :

$$\Delta f(t) = \frac{1}{2\pi}\frac{d}{dt}\left(\Delta\phi(t)\right)$$

ce qui conduit à :

$$S_{\delta f}(f) = f^2 S_\varphi(f)$$

Pour les oscillateurs, il peut être aussi utilisé le rapport du bruit dans une bande de un hertz à une certaine distance (f_m) de la porteuse (Figure 1) à la puissance de la porteuse. Celui-ci se note $L(f_m)$ et est exprimé en dBc/Hz. Il peut être montré, par les théories de la modulation de fréquence, que l'on peut relier ces deux notions (S_φ et $L(f_m)$), pour des puissances de modulation faibles, par :

$$L(f_m)_{[dBc/Hz]} = 10\log\left(\frac{S\varphi_{[rad^2/Hz]}}{2}\right)$$

Cela revient à écrire que l'écart entre des mesures exprimées en dBc/Hz et celles en dB_{rad}/Hz est de 3 dB.

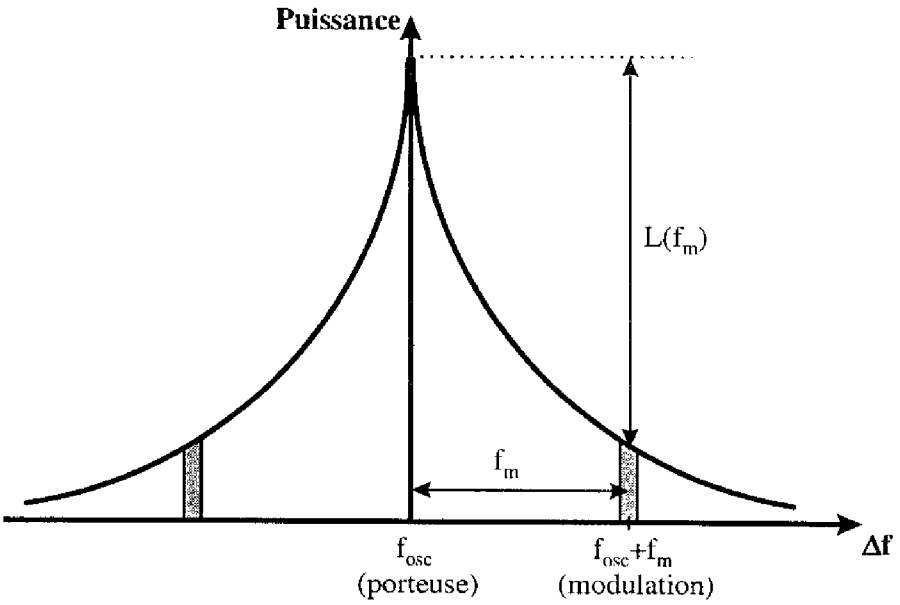

Figure 1 : Représentation des bandes latérales de bruit d'un oscillateur.

Les diviseurs de fréquence sont généralement utilisés dans des boucles à verrouillage de phase pour stabiliser des oscillateurs haute fréquence sur une référence (par exemple un oscillateur à quartz). Habituellement, dans ce type de système, le bruit de phase est celui de la référence (affecté du rapport de multiplication) dans la bande de verrouillage de la PLL et celui de l'oscillateur haute fréquence en dehors de cette bande (avec une plage de transition entre ces deux bruits). Cependant, il peut arriver, pour de très bons oscillateurs de référence, ou encore pour des plages de verrouillage très larges (> 10 kHz), que le bruit du diviseur devienne prépondérant. Il est donc nécessaire, avant d'introduire un tel élément dans un système, de le tester en bruit afin de s'assurer de son absence d'influence ou de fixer les limites imposées par le diviseur sur l'ensemble du système.

La qualité de la mesure du bruit de phase d'un diviseur de fréquence est très dépendante de la qualité du dispositif de mesure utilisé, étant donné que l'on se retrouve généralement autour du plancher de bruit du dit dispositif. Dans la littérature, les diviseurs

testés ont des provenances diverses. Cependant, il peut être facilement remarqué que les diviseurs analogiques ont des performances nettement supérieures à celles des diviseurs numériques. Ainsi avons-nous relevé, pour des diviseurs logiques, des niveaux de bruit de phase résiduel de -163 dBc/Hz à 10 kHz de la porteuse pour une fréquence d'oscillation de 6 MHz [2], ou bien -140 dBc/Hz toujours à 10 kHz de la porteuse pour une fréquence d'oscillation de 225 MHz comparé , pour des diviseurs analogiques, à un niveau de -165 dBc/Hz dans les mêmes conditions pour un diviseur paramétrique [3]. Des niveaux de bruits sensiblement équivalents ont déjà été reportés pour un diviseur régénératif à une fréquence d'oscillation de 235 MHz, le plancher de la manipulation (-165 dB_{rad}/Hz) étant alors atteint [4]. Enfin, une comparaison entre un diviseur paramétrique et un diviseur régénératif a donné respectivement des valeurs de bruit de phase de -157 et -170 dBc/Hz encore à 10 kHz de la porteuse pour des fréquences d'oscillation de 20 et 80 MHz [5].

Deux appréciations de la nature du bruit de phase dans les diviseurs de fréquence s'opposent. Elles proviennent de l'appartenance de ceux-ci à la famille des oscillateurs libres ou à celle des oscillateurs synchronisés. Dans les premiers d'entre eux, le niveau de bruit de phase est bien plus élevé que dans les seconds. Nous pouvons rapprocher ces deux cas des systèmes bouclés autonomes d'une part, et des systèmes bouclés non-autonomes d'autre part.

Nos travaux vont dans le sens d'une possible assimilation du bruit de phase du diviseur de fréquence à celui de l'oscillateur synchronisé. Nous sommes en fait dans un cas quasi-similaire. Si nous écartons les divergences existantes du point de vue du démarrage, la seule différence provient du fait que l'injection du signal synchronisant se fait sur une des harmoniques de la fréquence d'oscillation plutôt que directement sur cette dernière.

III BRUIT DE PHASE DANS LES OSCILLATEURS SYNCHRONISES

Les oscillateurs synchronisés sont des dispositifs dont le bruit de phase a déjà été largement étudié, et ce depuis déjà de nombreuses années.

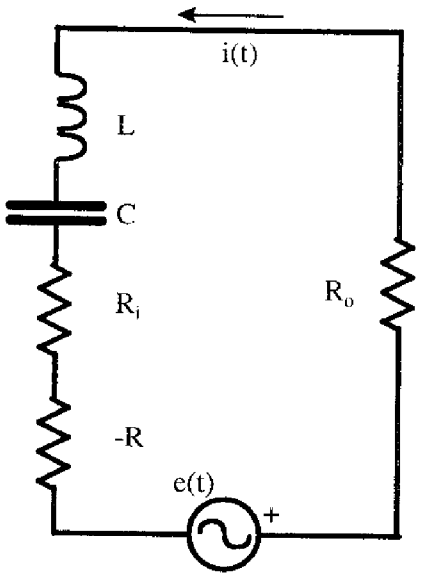

Figure 2 : circuit équivalent utilisé par Kurokawa.

Une des publications les plus marquantes sur ce sujet concerne le travail de K. Kurokawa [6]. Celui-ci a montré qu'il pouvait y avoir une forte réduction du niveau de bruit de phase dans un oscillateur lorsque celui-ci était synchronisé sur une source à haute pureté spectrale. Son étude théorique, réalisée sur un schéma simplifié d'oscillateur (Figure 2), a permis d'obtenir la formule suivante :

$$|\delta\theta_i|^2 = \frac{4\omega^2 L^2 A_0^2}{4\omega^2 L^2 A_0^2 + a_0^2 \cos^2(\theta - \psi)} |\delta\theta_0|^2 + \frac{a_0^2 \cos^2(\theta - \psi)}{4\omega^2 L^2 A_0^2 + a_0^2 \cos^2(\theta - \psi)} |\delta\psi_{inj}|^2$$

avec :

$|\delta\theta_0|^2$ représentant la densité spectrale de fluctuation de phase de l'oscillateur libre et $|\delta\psi_{inj}|^2$ la densité spectrale de fluctuation de phase de la source de synchronisation.

A_0 représentant l'amplitude du courant, a_0 l'amplitude de la tension et θ et ψ les phases instantanées de l'oscillateur et du signal synchronisant, respectivement.

Nous ne baserons pas notre étude sur cette équation mais plutôt sur celle de T. Sugiura et S. Sugimoto [7], qui est déduite de la première en appliquant :

$$B = \frac{a_0}{2LA_0} \qquad \Delta\omega = -a_0 \frac{\sin(\theta - \psi)}{2LA_0}$$

avec B représentant la demi-largeur de bande de synchronisation et $\Delta\omega$ la différence de fréquence par rapport au centre de bande (ou bien la différence entre la fréquence injectée et celle d'oscillation libre). Il faut aussi rappeler que ω est à rapprocher de la fréquence de modulation notée auparavant f_m.

$$|\delta\theta|^2 = \frac{\left(\frac{\omega}{B}\right)^2}{1-\left(\frac{\Delta\omega}{B}\right)^2+\left(\frac{\omega}{B}\right)^2}\left|\delta\theta_0\right|^2 + \frac{1-\left(\frac{\Delta\omega}{B}\right)^2}{1-\left(\frac{\Delta\omega}{B}\right)^2+\left(\frac{\omega}{B}\right)^2}\left|\delta\psi_{inj}\right|^2$$

Cette équation simple nous permet de mieux comprendre les influences respectives du bruit lié à l'oscillateur lorsqu'il est libre et de celui lié à la source d'injection.

Nous allons prendre un cas particulier pour expliquer les différentes zones que nous pouvons observer sur les tracés de bruit de phase. En effet, nous allons nous placer en centre de bande (lorsque la fréquence de synchronisation est égale à celle de l'oscillation libre), c'est à dire $\Delta\omega=0$. Cela ne change en rien le comportement qualitatif du système. La formule devient alors :

$$|\delta\theta|^2 = \frac{\left(\frac{\omega}{B}\right)^2}{1+\left(\frac{\omega}{B}\right)^2}\left|\delta\theta_0\right|^2 + \frac{1}{1+\left(\frac{\omega}{B}\right)^2}\left|\delta\psi_{inj}\right|^2 \qquad (1.)$$

Avant d'expliciter le comportement de l'oscillateur synchronisé, nous posons comme hypothèse le fait que la source de synchronisation a une pureté spectrale largement supérieure

à celle de l'oscillateur lorsqu'il est libre. Ce choix est logique et correspond bien à la réalité. Pour décrire ce qui se passe lorsque l'oscillateur est synchronisé, nous devons déterminer trois zones distinctes :

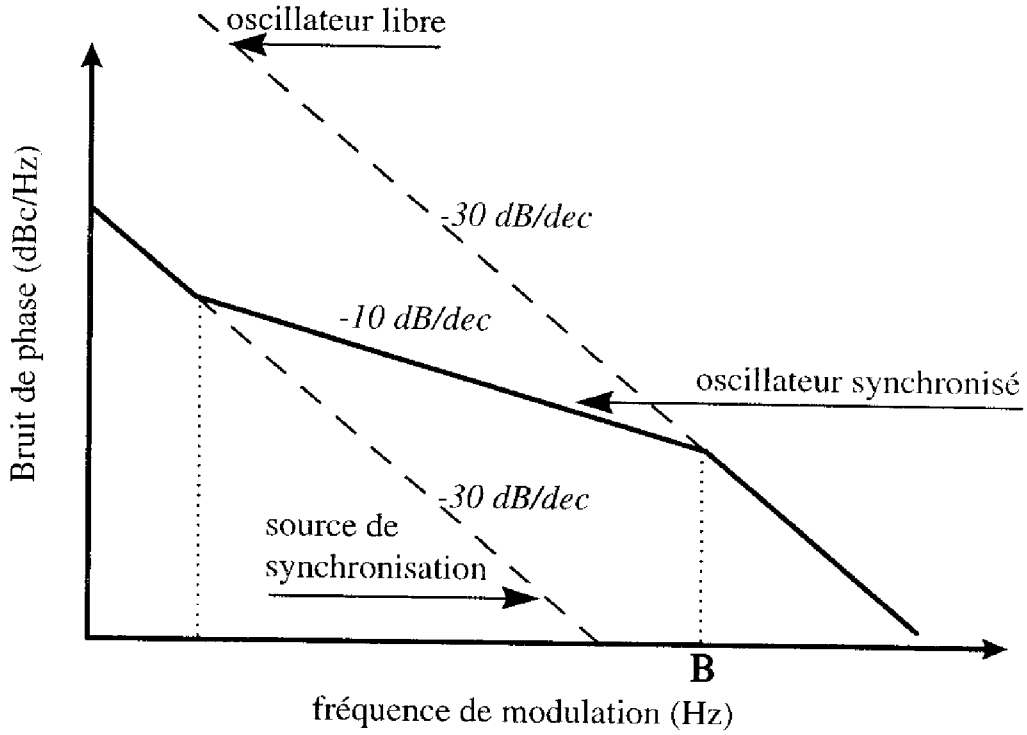

Figure 3 : Courbe schématique du bruit de phase dans un oscillateur synchronisé.

L'oscillateur libre et l'oscillateur de référence sont tous les deux supposés présenter un bruit de fréquence en 1/f (soit -30 dB/dec en phase) pour les besoins du tracé mais le raisonnement peut être mené pour des spectres quelconques.

Cas $\omega << B$,

soit lorsque la fréquence de modulation est très inférieure à la bande de synchronisation. On se situe donc près de la porteuse. On s'aperçoit alors que le coefficient du bruit de l'oscillateur libre tend vers zéro et que celui du bruit de la source de synchronisation vers un. L'oscillateur synchronisé copie donc le bruit de la source. Cette plage de fréquence est d'autant plus large que la bande de synchronisation est large.

Cas $\omega >> B$,

soit lorsque la fréquence de modulation est très supérieure à la bande de synchronisation. On se situe dans le cas exactement opposé à celui décrit précédemment. On observe alors des valeurs parfaitement opposées à celles rencontrées ci-dessus, à savoir que le coefficient du bruit de l'oscillateur libre tend vers un et que celui du bruit de la source de synchronisation vers zéro. On retrouve alors le bruit de l'oscillateur libre ce qui est logique dans la mesure où, pour de telles distances à la porteuse, il n'y a plus de synchronisation.

En considérant le cas particulier $\omega=B$, la relation nous donne une égalité des coefficients. Cependant, étant donné que le bruit de l'oscillateur libre prédomine, nous ne verrons que son influence.

Il nous reste à décrire la partie comprise entre les deux zones définies auparavant, c'est à dire tel que $\omega < B$ mais où le bruit de l'oscillateur libre prédomine. On constate alors que ce bruit est multiplié par un terme en $(\omega/B)^2$ dans la bande de synchronisation ce qui modifie la pente de son spectre en transformant des fluctuations de fréquence en fluctuation de phase (de -30 dB/dec à -10 dB/dec sur la Figure 3, en considérant le cas de fluctuations de fréquence en 1/f).

IV METHODES DE MESURE DU BRUIT DE PHASE DES DIVISEURS DE FREQUENCE

Pour effectuer la caractérisation en bruit de phase d'un diviseur de fréquence, plusieurs techniques peuvent être mises en œuvre. La plus rapide consiste à évaluer la perturbation apportée par le diviseur de fréquence à une source de bonne pureté spectrale. Nous l'appellerons "technique directe" car elle ne nécessite qu'un seul diviseur, une source à très faible bruit de phase et un dispositif de mesure du bruit de phase des oscillateurs qui est dans notre cas un discriminateur de fréquence (voir annexe). Cependant, elle peut s'avérer insuffisante étant donné les faibles niveaux de bruit enregistrés dans les diviseurs de fréquence. Une seconde technique est donc envisagée par la suite, permettant d'opérer à des niveaux de détection bien plus bas.

IV-1 Technique directe

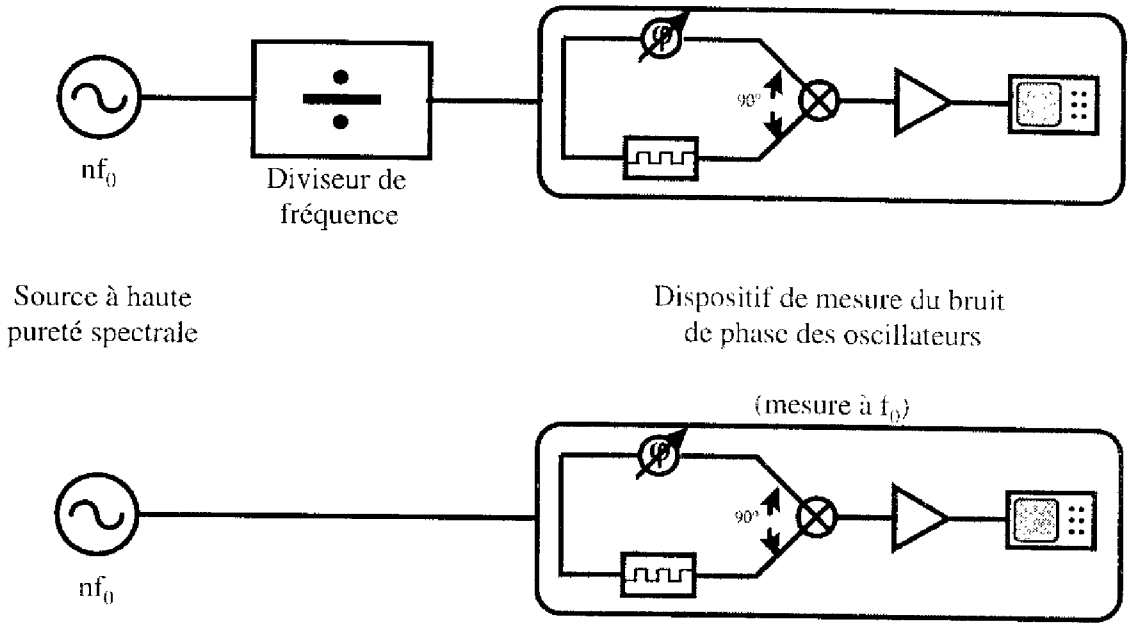

Figure 4 : principe de la technique directe pour la mesure du bruit de phase dans les diviseurs de fréquence

Le principe de cette méthode est de comparer le spectre de bruit d'une source à nf_0 à celui de cette même source après division de fréquence. La bruit de phase détecté de la source divisée peut s'écrire (en dB_{rad}/Hz) :

$$S_{\varphi_{f_0}} = S_{\varphi_{nf_0}} - 20\log(n) + S_{\varphi_{diviseur}} + S_{\varphi_{banc}}$$

Dans cette équation, le terme $S_{\varphi_{nf_0}} - 20\log(n)$ correspond à la division par n des fluctuations de fréquence de la source. En effet, le phénomène de division de fréquence s'applique non seulement à la porteuse mais aussi aux fluctuations (en fréquence) de cette porteuse, dans les limites d'une certaine bande de synchronisation (de façon identique à l'oscillateur synchronisé, voir paragraphe III). Le terme $S_{\varphi_{diviseur}}$ correspond au bruit ajouté par le diviseur de fréquence. Enfin, le terme $S_{\varphi_{banc}}$ représente le plancher de bruit du banc de mesure

Le bruit du diviseur ne sera donc observable uniquement sous certaines conditions :

- le bruit de la source $S_{\varphi_{nfo}}$ suffisamment faible.
- le bruit propre du banc de mesure $S_{\varphi_{banc}}$ faible également.

En ce qui concerne la source, nous disposons d'un synthétiseur de fréquence Wiltron 20 GHz série 69A de très bonne pureté spectrale très près de la porteuse (ex: -110 dBc/Hz à 1 kHz d'une porteuse à 10 GHz) mais présentant un plateau de valeurs comprises entre -110 dBc/Hz et -120 dBc/Hz (suivant la fréquence de fonctionnement) pour des distances à la porteuse supérieures à 1 kHz.

Du coté détection, nous utiliserons un discriminateur de fréquence à ligne à retard développé au laboratoire [8] sur le principe du discriminateur à deux mélangeurs [9]. Ce dispositif permet d'atteindre des niveaux de bruit très faibles aux distances moyennes à la porteuse (ex : -150 dBc/Hz à 100 kHz d'une porteuse à 4 GHz) mais est limité aux faibles distances à la porteuse par une croissance rapide de son bruit propre (entre 20 et 30 dB/dec) associée à la nature même de la détection (fluctuations de fréquence).

Le bruit plancher pour la mesure des diviseurs de fréquence par cette technique sera donc fixé par le bruit propre du discriminateur près de la porteuse et par le bruit de la source (du synthétiseur) loin de la porteuse (> 10 kHz environ).

Une autre source de bruit possible provient de la détection (parasite) du bruit d'amplitude de la source par le discriminateur. Ceci est possible car le synthétiseur utilisé est optimisé en bruit de phase mais son bruit AM reste élevé et la discrimination AM/FM des mélangeurs peut parfois n'être que de 20 dB.

D'autre part, un bruit AM supplémentaire peut provenir du diviseur de fréquence lui-même. Il s'agit en effet d'un système synchronisé en fréquence (donc généralement à faible bruit de phase) mais rarement optimisé en bruit d'amplitude. Dans le cas d'un diviseur analogique à un transistor, le bruit AM du diviseur reste fixé par la seule saturation de ce transistor utilisé pour la division.

Des techniques sont à l'étude au laboratoire pour minimiser cette détection parasite du bruit AM. D'autre part, nous pouvons vérifier, en se décalant de la stricte quadrature sur les mélangeurs, la nature du bruit observé. Ceci nous permettra, dans tous les cas, de nous assurer de l'absence de détection de bruit AM.

La réalisation pratique du système décrit précédemment est représentée sur la Figure 5 :

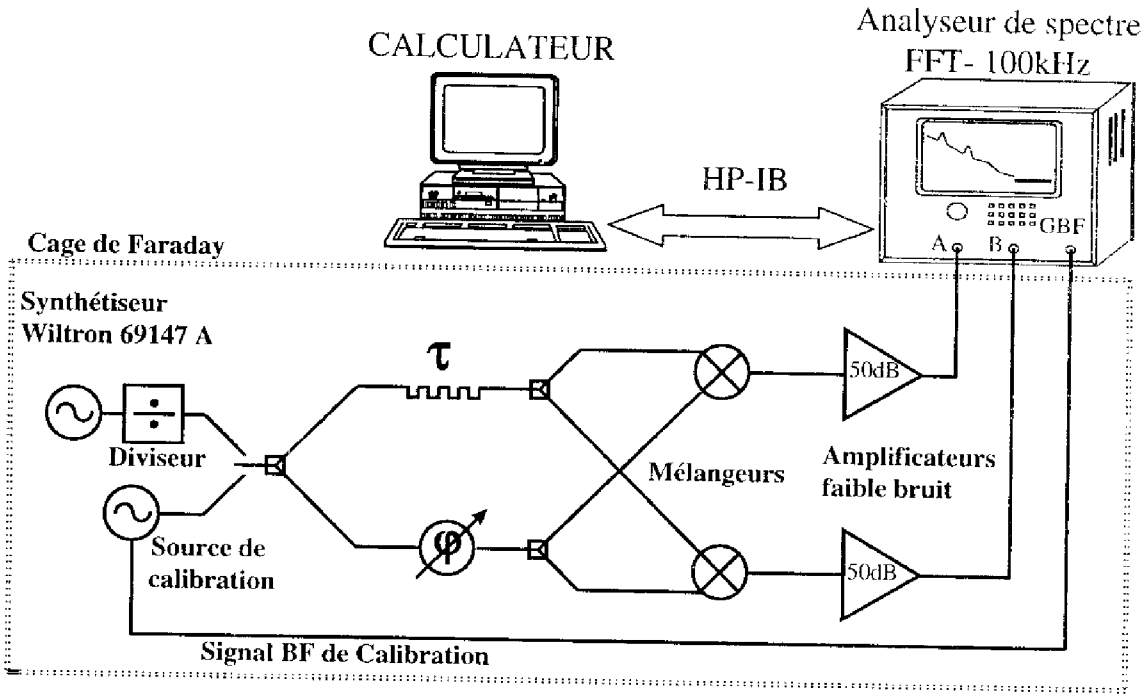

Figure 5 : Banc de mesure du bruit de phase par la mesure directe.

L'élément de référence passive utilisé est une ligne coaxiale de permittivité diélectrique $\varepsilon_r = 2{,}4$ et de pertes comprises entre 0,7 dB/m et 1,5 dB/m entre 4 et 10 GHz. Les longueurs de lignes fixées sont de 4 m ou 12 m.

Une étape à ne pas négliger lors de la mesure du bruit de phase est celle de la calibration. Elle permet de déterminer la sensibilité du dispositif. On pose alors les hypothèses suivantes .

- le bruit de phase est équivalent à une modulation de fréquence.

- la détermination de la sensibilité peut être réalisée grâce un simple signal sinusoïdal basse fréquence identique en fréquence et en amplitude au signal que nous mesurerons ensuite et présentant un coefficient de modulation parfaitement connu.

Il nous faut nous assurer d'avoir une bonne cohérence entre le signal de modulation et celui mesuré. Dans notre cas, nous utilisons directement pour la calibration le signal provenant du synthétiseur de fréquence.

Comme nous pouvons le remarquer sur la Figure 5, la partie de "discrimination de fréquence" a été doublée. La raison en est simple. Cela nous permet d'utiliser l'analyseur en mode "spectre croisé". L'étude est donc réalisée sur la fonction d'intercorrélation entre les signaux des deux branches discriminantes. Ainsi l'analyseur ne tient compte que de la partie corrélée des signaux, c'est à dire celle provenant des fluctuations de fréquence du circuit sous test. Cela permet d'obtenir une réjection du bruit ajouté des mélangeurs. Une baisse significative du plancher de bruit est ainsi permise.

Une comparaison des planchers de bruit obtenus suivant le mode de fonctionnement de l'analyseur de spectre est présentée sur la Figure 6 :

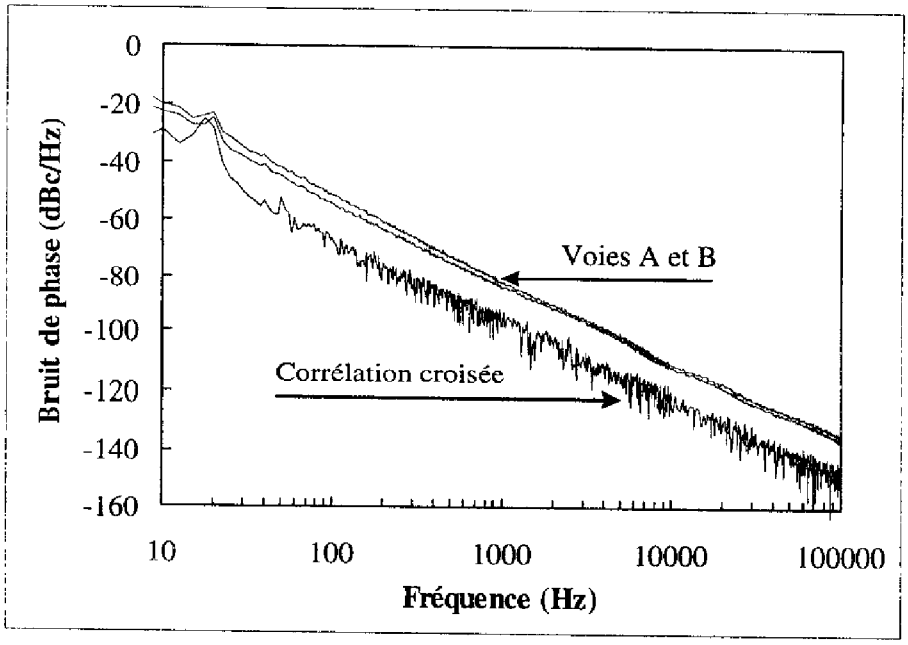

Figure 6 : Planchers de bruit du banc de mesure à discriminateur de fréquence.

La technique directe, bien que facile à mettre en œuvre, ne permet cependant que très rarement d'observer le bruit de phase du diviseur de fréquence. Elle présente néanmoins l'avantage de pouvoir fixer rapidement une limite supérieure à ce bruit et permet d'affirmer que le bruit ajouté par le diviseur reste inférieur à celui de la source de référence.

Cependant, le bruit du diviseur dans la bande de synchronisation étant un bruit de phase (et non de fréquence), c'est à dire avec une croissance lente lorsqu'on se rapproche de la porteuse (10 dB/dec pour un bruit en 1/f), il est assez illusoire de vouloir l'observer avec une source de référence qui est un système autonome fluctuant en fréquence. La seule méthode pour observer le bruit des diviseurs de fréquence très près de la porteuse consiste à annuler la porteuse et donc à effectuer une mesure de bruit de phase résiduel. C'est cette méthode que nous allons maintenant décrire.

IV-2 Mesure du bruit de phase résiduel

Nous recherchons donc ici à éliminer l'influence de la source à haute pureté spectrale. Les signaux appliqués sur le mélangeur sont toujours en quadrature de phase. La recombinaison va permettre ainsi de rejeter le signal provenant de la source à haute pureté spectrale et de ne garder que les fluctuations apportées par le circuit sous test.

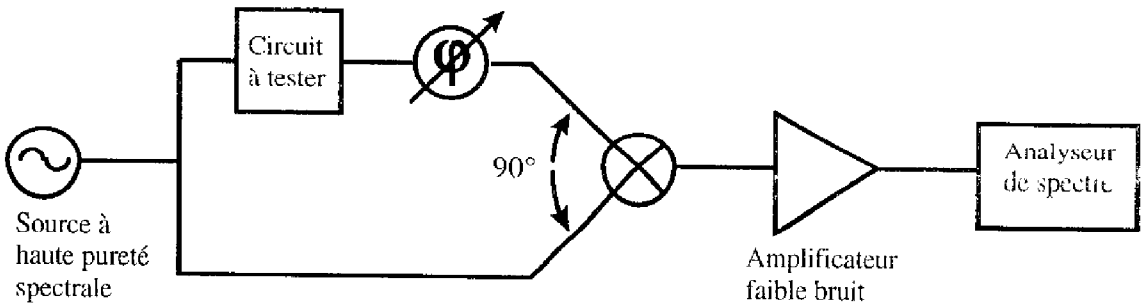

Figure 7 : Schéma simplifié de la méthode de mesure du bruit de phase résiduel.

Nous affranchir du bruit de la source nous permet d'obtenir des niveaux de détection bien plus bas que ceux obtenus par la mesure directe.

Le cas du diviseur de fréquence présente une particularité par rapport au schéma précédent (Figure 7). En effet, on ne peut comparer directement le signal provenant de la source avec celui qui est passé au travers du diviseur car alors les signaux mélangés ne sont plus à la même fréquence. On place donc un diviseur de fréquence sur chaque branche comme représenté sur la Figure 8.

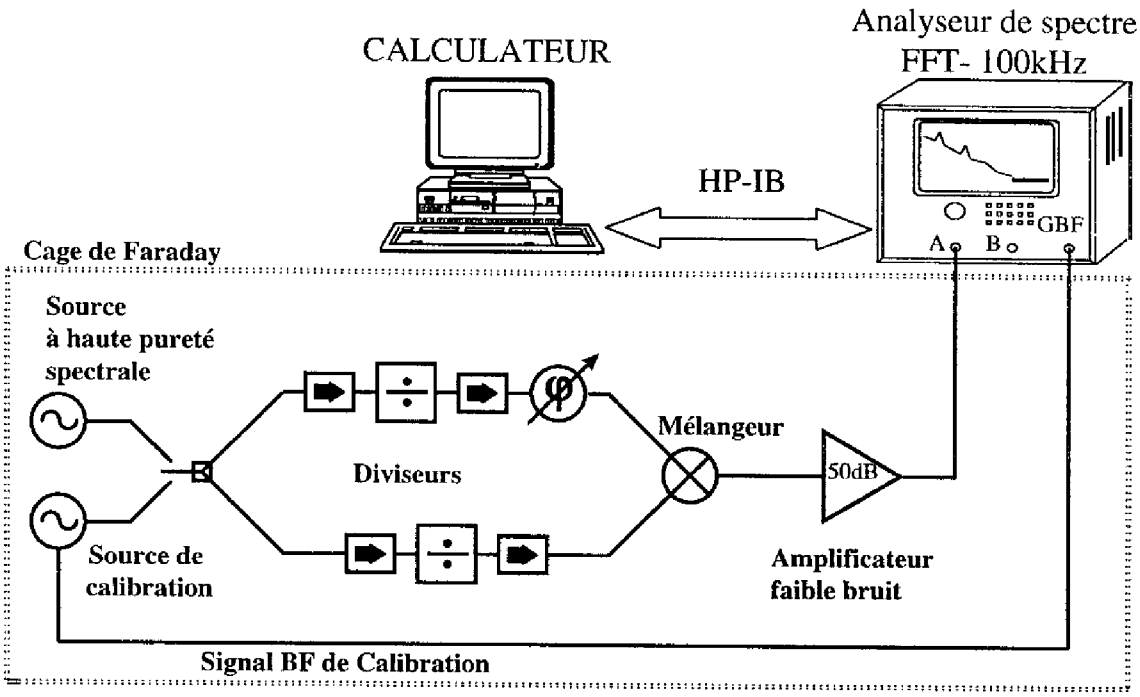

Figure 8 : Banc de mesure du bruit de phase résiduel.

L'élément critique ici est le mélangeur. Il fixe en effet le plancher de bruit de phase du dispositif. Il doit également rejeter au mieux la détection du bruit AM (de la source ou du diviseur, ce que nous avons déjà développé dans le paragraphe IV-1). Le bruit FM de la source, lui, est annulé par l'équilibrage des retards dans les deux branches OL et RF du mélangeur. Nous pouvons aussi remarquer la présence d'isolateurs de part et d'autre des diviseurs. Ils servent à éviter une influence de type synchronisation d'une branche sur l'autre.

V MESURES DE BRUIT DE PHASE REALISEES

V-1 Mesures par la méthode directe

Dans un premier temps, nous avons plutôt utilisé des diviseurs en prenant des éléments séparés afin de mieux contrôler les divers paramètres. En fait de diviseur, nous avons utilisé un oscillateur synchronisé afin de pouvoir comparer l'allure du bruit de phase obtenu avec celui de l'oscillateur libre. Nous représentons sur la Figure 9 un cas de division par deux. L'oscillateur libre fonctionne à 4 GHz, et le synthétiseur à 8 GHz. Il s'agit donc d'un diviseur par deux 8-4 GHz.

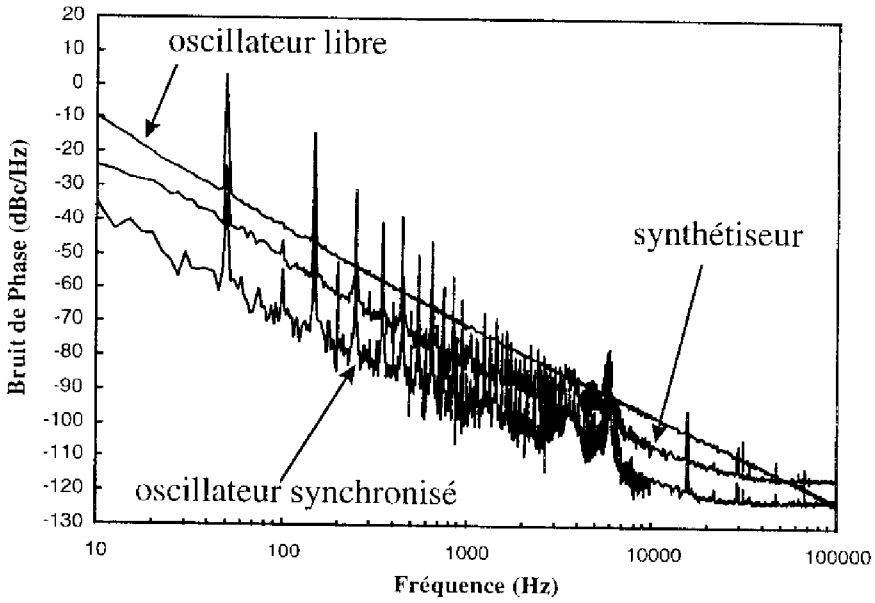

Figure 9 : Mesure d'un diviseur de fréquence par deux en éclaté. (8 GHz - 4 GHz)

A 100 kHz, le bruit du synthétiseur, aisément identifiable au plateau constant en bruit de phase (Figure 9), est diminué de 6 dB lors du passage au travers du diviseur ce qui correspond bien à l'ordre de la division testée ici (voir paragraphe IV-1).

De même, sur la Figure 10 où le même oscillateur est synchronisé non pas sur son harmonique 2 mais sur son harmonique 4 (16 GHz), la diminution du bruit observé à 100 kHz est de 12 dB exactement, soit toujours 20log(n), avec n ordre de la division de fréquence.

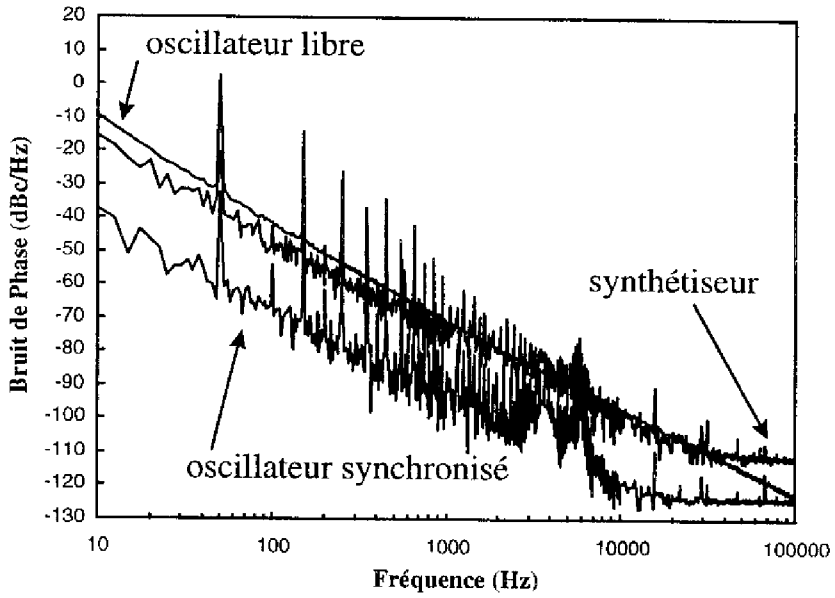

Figure 10 : Mesure d'un diviseur de fréquence par quatre en éclaté. (16 GHz - 4 GHz)

Dans les deux exemples présentés ci-avant, nous pouvons aisément observer que le bruit de phase de l'oscillateur synchronisé recopie celui du synthétiseur. Les allures des courbes de ces deux derniers sont très différentes de celle du bruit de phase de l'oscillateur libre. En effet, on voit apparaître aux fréquences les plus élevées un palier qui est celui du synthétiseur. Nous n'observons pas de remontée vers le niveau du bruit de l'oscillateur libre car la plage de synchronisation est ici bien supérieure aux fréquences de modulation étudiées.

Aux fréquences inférieures à 10 kHz, toutefois, l'écart entre les courbes n'est plus de 6 dB (ou de 12 dB). En fait, le bruit mesuré sur l'oscillateur synchronisé semble plus faible que celui du synthétiseur. Ceci est dû à la prédominance du plancher de bruit du discriminateur, aisément décelable à l'allure "épaisse" de la courbe correspondant au travail d'intercorrélation des mélangeurs.

On retrouve ici le résultat prévisible d'un bruit en sortie déterminé par le discriminateur de fréquence aux faibles distances à la porteuse et par la source aux distances

plus importantes. Le bruit du diviseur de fréquence est alors "invisible". Tout ce que nous pouvons affirmer est que le bruit du diviseur est inférieur à -120 dBc/Hz entre 10 kHz et 100 kHz et inférieur à -90 dBc/Hz à 1 kHz.

Pour des raisons purement matérielles (manque de boîtiers d'encapsulation), la puce MMIC conçue n'a pu être testée qu'avec la seule mesure directe par discrimination de fréquence. Cette mesure est présentée sur la Figure 11. Ici le bruit du synthétiseur a été volontairement diminué de 6 dB afin de faciliter la comparaison.

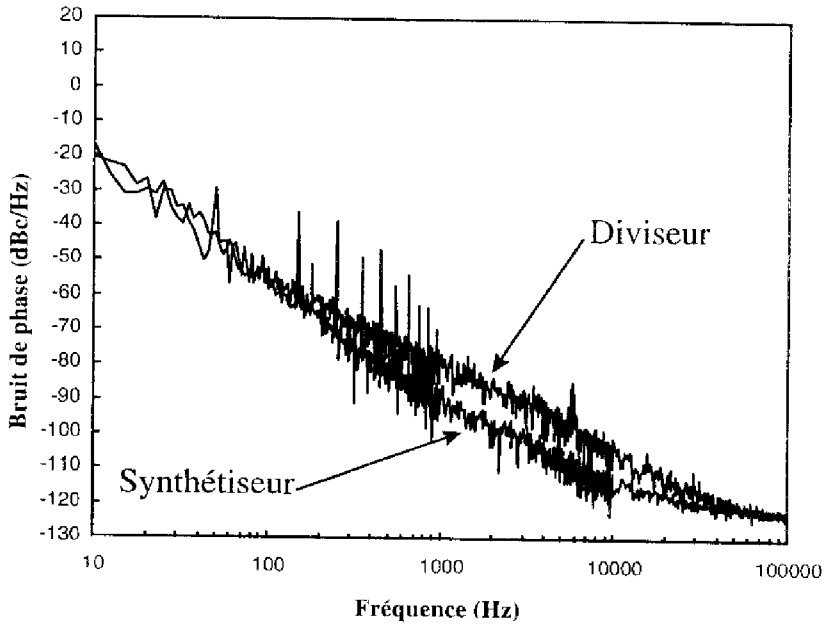

Figure 11 : Mesure du bruit de phase du diviseur de fréquence. (12.4 GHz - 6.2 GHz)

On pourrait penser à première vue que le bruit de phase du diviseur est visible, étant donné que la courbe le représentant se situe au dessus. En fait, ce n'est pas le cas. Nous pouvons affirmer ceci de par l'allure de la courbe. En effet, nous remarquons que celle-ci est très "épaisse". Ceci est dû au fait que le signal est fortement decorrélé. Il s'agit donc, non pas du bruit du diviseur mais du bruit du dispositif de détection. Ceci s'explique par le faible gain du diviseur de fréquence qui conduit à des niveaux d'attaque du discriminateur relativement faibles, ce qui réduit sa sensibilité et augmente son plancher de bruit. Là encore, seules des limites supérieures pour le bruit du diviseur peuvent être déterminées : -120 dBc/Hz à 100 kHz et -105 dBc/Hz à 10 kHz.

V-2 Mesures de bruit de phase résiduel

Le dispositif testé ici est composé d'éléments séparés. Le premier oscillateur est composé d'un transistor, d'une ligne de longueur variable et d'isolateurs (servant à éliminer les oscillations indésirables). Ce dispositif fixe la fréquence d'étude. Le second oscillateur est quand à lui composé des mêmes éléments et d'une cavité faiblement surtendue. Cette dernière permet de fixer la fréquence d'oscillation à l'identique du premier dispositif. La dernière étape consiste à synchroniser les deux oscillateurs sur le signal en provenance du synthétiseur. Une mesure du bruit de phase résiduel de ce système est présentée sur la Figure 12.

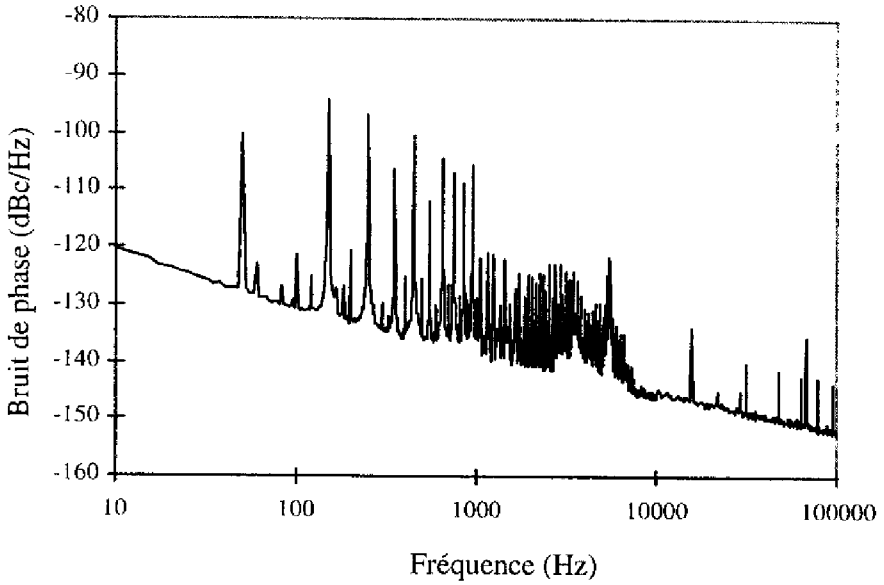

Figure 12 : Mesure du bruit de phase résiduel d'un oscillateur synchronisé sur sa troisième harmonique. (F_{sortie}=4 GHz)

Nous obtenons une valeur d'environ -145 dBc/Hz à 10 kHz de la porteuse ce qui est effectivement inférieur au palier de bruit du synthétiseur (situé autour de -120 dBc/Hz) tel que observé sur la Figure 10, par exemple.

Nous pouvons donc conclure que le diviseur de fréquence ne dégradera pas du point de vue bruit de phase les caractéristiques du circuit. Nous pouvons également élargir cette

conclusion au fait que l'utilisation d'un diviseur de fréquence n'altère pas les performances en bruit de phase de la majorité des sources hyperfréquences disponibles actuellement.

Il nous faut par contre remarquer que le bruit de phase mesuré reste cependant relativement supérieur (entre 15 et 20 dB dans notre cas) à celui d'un amplificateur réalisé avec le même transistor. Ainsi peut-on conclure que le bruit de phase d'un oscillateur synchronisé présentera des valeurs comprises entre celles fournies par des amplificateurs et celles obtenues avec des oscillateurs libres.

VI CONCLUSION

Nous avons présenté ici les résultats de nos études et mesures au sujet du bruit de phase dans les diviseurs de fréquence. Il est important de vérifier le bon comportement en bruit de phase de tels circuits étant donné qu'ils sont amenés à être intégrés dans des systèmes où la pureté spectrale se révèle être un paramètre essentiel.

De par son caractère synchronisé, le diviseur de fréquence apparaît comme n'étant pas un élément aggravant en ce qui concerne le bruit de phase. Ceci a été montré au travers de l'exemple de l'oscillateur synchronisé dont le comportement est proche de celui du diviseur de fréquence ainsi qu'au travers de diverses études expérimentales menées aussi bien sur la puce MMIC que sur des dispositifs en éléments éclatés.

Références contenues dans ce chapitre :

[1] R. Plana, "Bruit de fond dans les transistors à effet de champ et bipolaires pour micro-ondes", thèse de doctorat de l'Université Paul Sabatier de Toulouse. 1993.

[2] M. R. McClure, "Residual phase noise of digital frequency dividers", Microwave Journal. p. 124-130, Mar. 1992.

[3] H. Brauns et al., "Ultra low phase noise parametric frequency divider for highest performance microwave- and millimeter-wave frequency sources", European Microwave Conferences, p. 1155-1158, 1995.

[4] E. Rubiola et al., "Phase noise in the regenerative frequency dividers", IEEE Transactions on Instrumentation and Measurement, vol. 41, n° 3, p. 353-360, July 1992.

[5] M. M. Driscoll, "Phase noise performance of analog frequency divider", IEEE Transactions on Ultrasonics, Ferroelectrics, and Frequency Control, vol. 37, n° 4, p.295-301, July 1990.

[6] K. Kurokawa, "Noise in synchronized oscillators", IEEE Transactions on Microwave Theory and Techniques, vol. 16, n° 4,p. 232-240, Apr. 1968.

[7] T. Sugiura et al., "FM noise reduction of Gunn-effect oscillators by injection locking", Proceedings of IEEE, vol. 57, p. 77-78, Jan. 1969.
Voir aussi : W. R. Day et al., "Microwave solid-state injection locked amplifiers", Microwave Journal, p. 59-61, May 1976.

[8] S. Colomines et al., "Evaluation des performances d'un banc de mesure de bruit de phase. Application à la caractérisation d'oscillateurs micro-ondes stabilisés sur cavité résonnante", rapport LAAS-CNRS, Septembre 1994.

[9] A. Lance et al., "Phase noise measurement using cross-spectrum analysis", Conference on Precision Electromagnetic Measurements, Ottawa, June 1978.

Conclusion générale

CONCLUSION GENERALE

Nous avons présenté dans ce manuscrit nos travaux de recherche portant sur l'étude et la réalisation de diviseurs de fréquence analogiques.

La division de fréquence, bien que référencée dans de multiples publications depuis de nombreuses années, est basée sur des mécanismes qui ne sont pas encore totalement maîtrisés. Les phénomènes de synchronisation dans les circuits non-linéaires font en effet partie des problèmes du domaine d'étude des systèmes dynamiques les plus difficiles à formaliser. D'autre part, il est significatif de s'apercevoir que le classement des différents diviseurs de fréquence publiés relève de divergences observées entre les familles de circuits pour des fréquences moins élevées et qui apparaissent parfois obsolètes aux fréquences micro-ondes. Ainsi avons-nous fait le choix d'aborder notre état de l'art non pas selon l'opposition classique "diviseurs numériques - diviseurs analogiques" mais plutôt selon un point de vue général basé sur les principes décrivant la division de fréquence. Ensuite, nous nous sommes intéressés à la division de fréquence elle-même en nous appuyant sur une approche analytique basée sur un modèle simplifié de circuit. Cette étude nous a permis d'obtenir une idée plus claire des phénomènes régissant la plage de synchronisation ou le gain de conversion, ainsi que les conditions nécessaires à une division d'ordre supérieur à deux. Nous avons alors pu déterminer un critère de choix du composant à utiliser pour réaliser une division de fréquence qui nous a, par la suite, conduit à préférer le transistor pseudomorphique à haute mobilité électronique (PHEMT) aux autres possibilités offertes. Il était également important de définir quelle méthode d'analyse était la plus apte à nous fournir les informations nécessaires à la mise en place d'une méthodologie de conception générique. C'est finalement sur la méthode dite "de la boucle ouverte" que s'est porté notre choix. Cependant, des problèmes pouvant être assimilés à des cascades de bifurcations chaotiques ont été parfois rencontrés avec cette méthode. Nous les avons alors étudiés et nous avons pu constater qu'ils n'étaient pas directement liés à la stabilité (physique) du phénomène de division de fréquence. Une fois la méthode d'analyse choisie, nous nous sommes logiquement intéressés au développement d'une méthodologie générique de conception d'un diviseur de fréquence monolithique micro-onde. Nous avons voulu cette méthodologie simple et adaptable à tous les logiciels de CAO

micro-onde existant sur le marché. Afin de vérifier sa validité, nous avons conçu plusieurs circuits de topologies classiques dans un premier temps, puis plus originales ensuite. Deux de ces circuits ont été alors intégrés sur des puces monolithiques dans la filière D02AH de PML (Philips) afin d'une part de confronter nos résultats de simulation avec la mesure, et d'autre part de caractériser leurs performances électriques par rapport aux résultats déjà publiés dans ce domaine. Notre deuxième puce présente ainsi des valeurs de bande de synchronisation correspondant à l'état de l'art actuel pour une réalisation monolithique à base de FET. Enfin, nous nous sommes intéressés aux performances en bruit de phase des diviseurs de fréquence, paramètre important pour les applications futures dans le domaine des télécommunications.

Notre effort de conception a toutefois essentiellement concerné l'amélioration de la bande de synchronisation du diviseur de fréquence. Nous pensons en effet que c'est le paramètre le plus critique dans ce type de circuit. Le gain de conversion, autre caractéristique à prendre en compte, peut être lui aisément amélioré par l'adjonction d'étages amplificateurs cascadés en entrée et/ou en sortie du module diviseur, ceci sans détériorer la bande de synchronisation obtenue. De tels amplificateurs externes permettent également de contrôler la puissance de seuil d'apparition du phénomène de division de fréquence.

Nos travaux s'inscrivent dans le cadre de la recherche de solutions à l'encombrement spectral actuel des bandes de télécommunications. L'intérêt du diviseur de fréquence analogique provient des possibilités qu'il offre pour la montée en fréquence. En effet, son principe montre clairement que les fréquences maximales d'oscillation des éléments actifs utilisés sont envisageables en tant que fréquence de sortie du diviseur. Des composants de recherche présentent actuellement des fréquences d'oscillation maximales bien supérieures à 100 GHz. Ainsi pouvons-nous penser que les plages de fréquence envisagées pour les nouvelles applications des télécommunications seront facilement accessibles par des diviseurs de fréquence conçus selon la méthodologie développée dans ce travail de thèse.

Annexe

METHODE DE MESURE DU BRUIT DANS UN OSCILLATEUR PAR DISCRIMINATION DE FREQUENCE

[1], [2]

Le principe de cette méthode est présenté sur la Figure 1 :

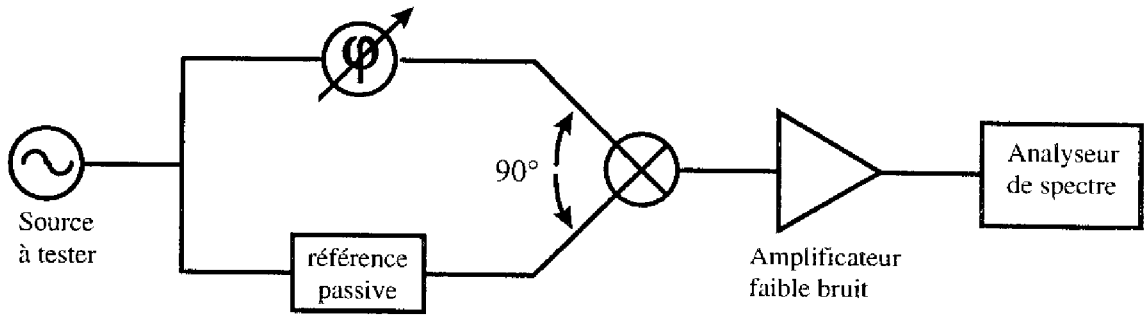

Figure 1 : Schéma simplifié de la méthode de mesure directe du bruit de phase.

Le principe est basé sur la transformation des fluctuations de fréquence, qui représentent notre centre d'intérêt essentiel lors de cette étude, en fluctuations de tension pouvant être mesurées par un analyseur de spectre ; ceci via une transformation en fluctuations de phase.

L'élément essentiel de ce dispositif est la référence passive. Elle doit posséder la propriété de présenter une variation très rapide de la phase en sortie en fonction de la fréquence. Ce paramètre est important pour améliorer la sensibilité de la transformation fréquence-phase qui a une influence directe sur la sensibilité du dispositif de mesure complet. Ceci peut être réalisé grâce à l'utilisation d'une ligne à retard ou d'une cavité (lors de nos mesures, une ligne à retard a été choisie).

Le mélangeur est l'autre élément crucial. Il doit fonctionner en détecteur de phase, ce qui implique que les signaux appliqués sur ses entrées soient en quadrature de phase, afin de réaliser la transformation phase-tension permettant l'utilisation finale d'un analyseur de spectre.

La relation mathématique suivante permet de déterminer la densité spectrale de fluctuation en tension en fonction de celle en phase :

$$\Delta V = 2\pi K_\phi(\tau)\ \frac{\sin(\pi f t)}{(\pi f t)^2}\ \Delta f \qquad (1)$$

ce qui peut aussi s'écrire :

$$S_{\Delta V}(f) = \left(2\pi K_\phi(\tau)\right)^2\ \frac{\sin^2(\pi f t)}{(\pi f t)^2}\ S_{\Delta f}(f)$$

avec K_ϕ : la sensibilité en sortie du détecteur de phase.

Il faut remarquer que la mesure que nous effectuons sur l'analyseur de spectre tient compte des fluctuations de tensions provenant de celles de fréquence (ce que nous désirons mesurer) mais aussi celles provenant des éléments "bruyants" du dispositif tels que le mélangeur ou bien l'amplificateur (ΔVp). Nous pouvons décrire ceci par :

$$\left[\Delta V_{mesuré}\right]^2 = \left[\Delta V(f)\right]^2 + \left[\Delta V_p\right]^2$$

Nous pouvons améliorer le rapport entre ces deux termes. Pour cela, en tenant compte de l'équation (1), nous arrivons à la conclusion qu'il faut améliorer (augmenter) la sensibilité K_ϕ ou diminuer ΔVp.

En fait, cela va revenir à tenir compte de la dualité "pertes - longueur de ligne" dans le cas du choix d'une ligne à retard. Ainsi il faudra prendre en compte la puissance disponible en sortie du circuit à mesurer. En effet, plus on aura de puissance, plus l'on pourra se permettre d'augmenter la longueur de la ligne (et donc les pertes) en vue d'améliorer K_ϕ.

De la même manière, nous nous retrouvons devant un choix pour réduire les fluctuations supplémentaires amenées par le mélangeur et/ou l'amplificateur de sortie. En effet, là encore il nous faudra faire un choix entre le gain et le bruit ajouté. Il est à remarquer que le mélangeur est généralement un élément plus critique que l'amplificateur.

Cette méthode permet d'obtenir le rapport de la puissance de bruit contenue dans une bande latérale de un Hertz située à une distance f_m de la porteuse sur la puissance de la porteuse elle-même ($L(f_m)$). Elle nécessite que le bruit de modulation d'amplitude de la source soit négligeable devant le bruit de modulation de fréquence pour obtenir une évaluation correcte du bruit de phase.

Références bibliographiques contenues dans cette annexe :

[1] M. Olivier et al., "Métrologie des fréquences". Revue scientifique et technique de la défense, n° 31,p. 21-26, 1993.

[2] J. Verdier, "Etude et modélisation des transistors à effet de champ microondes à basse température. Application à la conception d'oscillateurs à haute pureté spectrale", Thèse de doctorat de l'Université Paul Sabatier de Toulouse, 1997.

Résumé :

Ce travail est une contribution à la conception de diviseurs de fréquence analogiques réalisés en technologie monolithique à base de transistors pseudomorphiques à haute mobilité électronique aux fréquences micro-ondes.

Après avoir décrit les divers circuits existants en choisissant une classification originale selon les différents principes régissant la division de fréquence, nous développons une approche analytique basée sur des modèles simplifiés afin de trouver les paramètres essentiels du phénomène. Nous expérimentons également diverses méthodes d'analyse sur calculateur avec pour objectif le développement d'une approche méthodologique générale. Finalement, la méthode dite "de la boucle ouverte" est choisie pour la conception de circuits. Lors de son utilisation, il est à noter que des processus proches de cascades de bifurcations chaotiques sont observés. Une étude complémentaire présentée permet de vérifier qu'ils ne sont pas directement liés à la stabilité (physique) du dispositif. Ces travaux de modélisation sont pour la suite appliqués à la conception de deux diviseurs en technologie monolithique. Une large bande de synchronisation d'environ 30 % a été obtenue avec une topologie originale utilisant un transistor non polarisé sur le drain. Les résultats expérimentaux sont ensuite comparés aux simulations effectuées précédemment ainsi qu'aux performances déjà publiées sur des circuits de ce type. Enfin, une dernière partie est consacrée au bruit de phase dans les diviseurs de fréquences.

Mots clés :
Diviseur de fréquence, Micro-ondes, PHEMT, Analyse non linéaire, Oscillateur synchronisé, MMIC, Conception Assistée par Ordinateur.

Abstract :

A contribution to the design of monolithic analog frequency dividers based on pseudomorphic high electron mobility transistors at microwave frequencies is reported.

The different existing circuits are first described according to a new classification considering frequency division principles. Afterwards, an analytical approach based on simplified models is developed to lighten frequency division mechanism. Then a general methodological approach based on CAD techniques is studied through different analysis methods. Finally, the "open loop" method is rather chosen. However, some kind of chaotical bifurcation processes have been observed while using this method. A presented complementary study allow us to verify that they do not imply devices (physical) instability. A next part is dedicated to monolithic circuits design. Following some general considerations about the applied technology, a general design methodology and its direct application to the design of several frequency dividers are reported. Two of these circuits have been integrated The second one is based on a topology which makes use of a cold transistor as main element and features almost 30 % bandwidth. Experimental results are thus compared to the simulation and to previously published results. Eventually, a last part is dedicated to the phase noise in frequency dividers.

Keywords :
Frequency divider, Microwave, PHEMT, Non linear analysis, Synchronised oscillator, MMIC, Computer Aided Design