



HAL
open science

Conception et test intégré des dispositifs analogiques, mixtes et microsystemes

Salvador Mir

► **To cite this version:**

Salvador Mir. Conception et test intégré des dispositifs analogiques, mixtes et microsystemes. Micro et nanotechnologies/Microélectronique. Institut National Polytechnique de Grenoble - INPG, 2005. tel-00010118

HAL Id: tel-00010118

<https://theses.hal.science/tel-00010118>

Submitted on 13 Sep 2005

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

INSTITUT NATIONAL POLYTECHNIQUE DE GRENOBLE

L'HABILITATION A DIRIGER DES RECHERCHES

Spécialité : Micro et Nano Electronique

préparée au laboratoire TIMA

« Technique de l'Informatique et de la Microélectronique pour l'Architecture des ordinateurs »

dans le cadre de l'Ecole Doctorale

« Electronique, Electrotechnique, Automatique, Télécommunication, Signal »

présentée et soutenue publiquement

par

Salvador MIR

le 18 mai 2005

Titre :

**CONCEPTION ET TEST INTEGRE DES DISPOSITIFS
ANALOGIQUES, MIXTES ET MICROSYSTEMES**

JURY

M. Bernard COURTOIS
M. Joan FIGUERAS
M. Andreas KAISER
M. Alain CHOVET
M. José Luis HUERTAS
M. Thomas W. WILLIAMS

Président
Rapporteur
Rapporteur
Rapporteur
Examineur
Examineur

AVANT-PROPOS

Ce manuscrit présente une synthèse de mes travaux de recherche, d'investigation, d'animation et de valorisation, réalisés de 1993 à 2004, suite à ma thèse de doctorat en octobre 1993 à Manchester (Royaume-Uni). Ces travaux de recherche ont été réalisés durant les périodes de 1993 à 1995 et de 1998 à 2004 au Laboratoire de *Technique de l'Informatique et de la Microélectronique pour l'Architecture des ordinateurs* (TIMA), à Grenoble (France). Des travaux de recherche de post-doctorat de 1996 à 1997 ont été réalisés au *Instituto de Microelectrónica de Sevilla, Centro Nacional de Microelectrónica*, à Séville (Espagne).

Ce mémoire se décompose en trois Parties et trois Annexes :

Partie I : Le Passé, présente une synthèse de mes travaux de recherche réalisés pendant la période 1993-2001. Ces travaux trouvent leur continuité dans l'équipe de recherche que j'ai créée par la suite.

Partie II : Le Présent, présente une synthèse des travaux de recherche réalisés dans le cadre de l'équipe de Systèmes Mixtes Fiables (RMS, *Reliable Mixed-signal Systems*), depuis sa création en 2002 jusqu'à aujourd'hui.

Partie III : L'avenir, présente les perspectives des lignes de recherche de l'équipe et les coopérations, incluant des lignes nouvelles qui démarrent actuellement.

L'Annexe A inclut une brève description des travaux doctoraux. L'Annexe B inclut mon Curriculum Vitae, avec une synthèse des activités d'investigation, d'animation et de valorisation de la recherche, des tâches d'enseignement et une liste exhaustive de publications. Enfin, l'Annexe C inclut d'autres références bibliographiques.

Grenoble, le 10 mars 2005

REMERCIEMENTS

*J*e tiens à remercier :

M. Bernard Courtois, Directeur du Laboratoire TIMA, pour son accueil durant les périodes de post-doctorat de 1993 à 1995 et de 1998 à 2000 ; pour ses orientations de recherche jusqu'à présent ainsi que les nombreuses opportunités qu'il m'a offert au cours de ma carrière de chercheur ; enfin, je le remercie d'accepter la Présidence de ce jury d'habilitation.

M. Joan Figueras Pàmies, Professeur à l'*Universitat Politècnica de Catalunya*, Barcelone (Espagne), qui a suivi mes premiers pas dans le monde de la recherche, pour sa participation dans ce jury en tant que rapporteur.

M. Andreas Kaiser, Directeur de Recherches CNRS à l'Institut d'Electronique, de Microélectronique et de Nanotechnologie de Lille, pour sa participation dans ce jury en tant que rapporteur.

M. Alain Chovet, Professeur à l'Institut National Polytechnique de Grenoble, pour sa participation dans ce jury en tant que rapporteur.

M. José Luis Huertas, Directeur de l'*Instituto de Microelectrónica de Sevilla, Centro Nacional de Microelectrónica*, Séville (Espagne), pour son accueil pendant la période de recherche de post-doctorat de 1996 à 1997 et pour les orientations de recherche qu'il m'a donné ; je le remercie également de participer en tant qu'examineur dans ce jury.

M. Thomas W. Williams, Directeur de R&D de test chez Synopsys, Boulder, Colorado (Etats-Unis), pour sa participation dans ce jury en tant qu'examineur.

Je remercie aussi tous les collègues et le personnel administratif du Laboratoire TIMA ainsi que tous les membres de l'équipe RMS qui rendent possible le développement de ces recherches. Enfin, je remercie Véronique, Emmanuel, Benoît, Ahcène, Libor et Guillaume pour les nombreuses corrections apportées à ce texte.

*A mes parents Pilar et Bonaventura
qui m'ont toujours soutenu dans mon évolution professionnel*

A Véronique, Noémie et Guillem
qui acceptent mes nombreuses heures passées devant l'ordinateur

A mes collègues et étudiants de l'équipe RMS
qui assurent l'avenir de ces recherches

TABLE DES MATIERES

AVANT-PROPOS	3
REMERCIEMENTS	5
TABLE DES MATIERES	9
PARTIE I : LE PASSE	13
Chapitre 1. Le test intégré des circuits analogiques et mixtes (1993-1997)	15
1.1. Contexte historique	15
1.2. Objectif et sujets de recherche abordés	16
1.3. Description des travaux réalisés	17
1.3.1. Techniques de test de circuits complètement différentiels	17
1.3.1.1. La surveillance du mode commun et le diagnostic	17
1.3.1.2. La validation des propriétés d'auto test en ligne.....	20
1.3.1.3. Le seuil de tolérance de test relatif à l'amplitude du signal	23
1.3.1.4. Le BIST unifié des circuits complètement différentiels.....	25
1.3.2. Le BILBO analogique	28
1.3.3. BIST de modulateurs $\Sigma\Delta$ avec reconfiguration du circuit	30
1.4. Conclusions de ces recherches	32
Chapitre 2. Les outils de CAO de test analogique et mixte (1993-1997)	33
2.1. Introduction	33
2.2. Objectif et sujets de recherche abordés	34
2.3. Description des travaux réalisés	34
2.3.1. Génération automatique de fréquences de test.....	34
2.3.2. Simulation de fautes des circuits mixtes à capacités commutées	41
2.3.2.1. La modélisation de fautes	42
2.3.2.2. L'outil de simulation de fautes	45
2.3.2.3. L'analyse de la testabilité.....	48
2.4. Conclusions de ces recherches	50
Chapitre 3. Le test des dispositifs microsystemes (1998-2001)	51
3.1. Contexte historique	51
3.2. Objectif et sujets de recherche abordés	52
3.3. Description des travaux réalisés	52
3.3.1. Etude des défauts de fabrication et des mécanismes de défaillance	53

3.3.2. Modélisation et simulation de fautes	54
3.3.3. Génération de signaux de test des microsystèmes	57
3.3.4. Vers la conception et la validation de puces avec MEMS embarqués	58
3.4. Les activités de valorisation et d'animation de la recherche	60
3.5. Conclusions de ces recherches	60
Chapitre 4. La conception de dispositifs (1998-2001)	61
4.1. Introduction	61
4.2. Objectif et sujets de recherche abordés	61
4.3. Description des travaux de recherche	62
4.3.1. Conception de circuits mixtes	62
4.3.1.1. Interface de mesure de capteurs auto générateurs	62
4.3.1.2. Conception de puces de test thermique	63
4.3.1.3. Interface de mesure de capteurs ultrasonores capacitifs	65
4.3.2. Conception de dispositifs microsystèmes	67
4.3.2.1. Conception de micro poutres à haute impédance thermique	67
4.3.2.2. Convertisseur électrothermique	69
4.3.2.3. Autres dispositifs	69
4.4. Conclusions de ces recherches	70
PARTIE II : LE PRESENT	71
Chapitre 5. L'équipe de recherche (2002-2004)	73
5.1. La formation de l'équipe de recherche	73
5.2. Les lignes de recherche et la composition de l'équipe	74
5.3. Les thèses de Doctorat	75
5.3.1. La conception et le test de circuits mixtes	75
5.3.2. La conception et le test de microsystèmes	77
5.4. L'animation et la valorisation de la recherche	78
5.4.1. Les projets de recherche européens	78
5.4.2. Les actions intégrées	80
5.4.3. Les colloques et les conférences internationales	80
5.5. L'enseignement et les séminaires de recherche	81
Chapitre 6. La conception et le test de circuits mixtes (2002-2004)	83
6.1. Introduction	83
6.2. La conception et le test de circuits analogiques, mixtes et RF	84
6.2.1. BIST de circuits mixtes basé sur la réponse harmonique	84
6.2.2. Test de courant de composants radiofréquence	87
6.2.3. Test en ligne de circuits mixtes	88
6.2.4. Amplificateur différentiel avec contre-réaction du mode commun par le substrat	90
6.3. Les outils de CAO de test analogique	91
6.3.1. Un outil de simulation de fautes de circuits mixtes	91
6.3.2. Génération de vecteurs de test	94
6.4. Conclusion	95
Chapitre 7. La conception et le test de microsystèmes (2002-2004)	97
7.1. Introduction	97
7.2. La conception et le test de microsystèmes	98
7.2.1. Conception d'un émetteur/récepteur d'ultrasons	98
7.2.2. BIST pseudo aléatoire de microsystèmes linéaires	101
7.2.3. Optimisation des paramètres de BIST pseudo aléatoire	104
7.2.4. Effets des non linéarités dans le BIST pseudo aléatoire	105
7.3. Les outils de CAO de test de microsystèmes	107
7.3.1. Outil de génération de séquences de test pseudo aléatoire	107
7.3.2. Simulation de fautes de microsystèmes au niveau de circuit équivalent	109
7.4. Conclusion	110

PARTIE III : L'AVENIR 111

Chapitre 8. Les perspectives de recherche (2005-...) 113

8.1. Introduction	113
8.2. Le test de systèmes intégrés de forte composante analogique.....	113
8.2.1. Le test de circuits analogiques, mixtes et RF.....	113
8.2.2. Le test de microsystemes	114
8.2.3. Plateforme de CAT analogique	115
8.3. La conception de systèmes intégrés	118
8.3.1. La conception de circuits mixtes en technologies très submicroniques.....	118
8.3.2. La conception de microsystemes	119
8.3.3. Les réseaux de capteurs répartis	120
8.4. Conclusions.....	120

Chapitre 9. Les coopérations (2005-...) 123

9.1. Introduction	123
9.2. Les coopérations avec l'Industrie.....	124
9.2.1. ST Microelectronics (Crolles) : le test de circuits mixtes et RF	124
9.2.2. Atmel (St. Egrève) : le BIST des imageurs CMOS	126
9.2.3. Philips (Caen) : le test de MEMS RF	126
9.3. Les coopérations académiques.....	127
9.3.1. COMPS (Perth, Australie) : conception d'un processeur opto-VLSI.....	127
9.3.2. EPA (Hong-Kong) : encapsulation et fiabilité de microsystemes	127
9.3.3. CHU (Grenoble) : conception d'un microsysteme de monitoring per-opérateur dans la chirurgie de l'oreille moyenne	128
9.4. Conclusions.....	129

ANNEXE A : Résumé des travaux doctoraux (1989-1993) 131

A.1. Sujets de recherche abordés.....	132
A.2. Un outil pour la compréhension automatique de la spécification de circuits numériques.....	132

ANNEXE B : Synthèse des activités de recherche (1987-2005) 135

B.1. Curriculum vitae	136
B.2. Séjours de recherche	137
B.3. Activités de valorisation de la recherche	138
B.4. Enseignement et diffusion de l'information scientifique et technique.....	138
B.5. Encadrement de jeunes chercheurs.....	139
B.6. Animation de la recherche	140
B.7. Liste exhaustive de publications	141

ANNEXE C : Autres références bibliographiques 151

C.1. Références bibliographiques.....	152
---------------------------------------	-----

Partie I :

Le Passé

1993 - 2001

Chapitre 1

Le test intégré des circuits analogiques et mixtes

1993-1997

1.1. Contexte historique

La recherche de techniques de test intégré des circuits analogiques et mixtes a été abordée par la communauté scientifique à partir de la fin des années 80. Plusieurs progrès technologiques dans l'industrie des semi-conducteurs ont été à l'origine de cette recherche. Notamment, la possibilité de fabriquer des circuits analogiques et numériques sur une même puce, en utilisant la même technologie, a créé de nouveaux besoins de test. En même temps, l'augmentation toujours constante de la capacité d'intégration de ces technologies a rendu ces progrès économiquement rentables. Des puces mixtes numérique/analogique ont ainsi fait leur apparition d'abord dans les laboratoires de conception microélectronique, puis sur le marché sous la forme d'ASICs¹ mixtes.

Comme pour tout dispositif intégré, le problème du test a été une question incontournable. Avec les puces mixtes, les techniques de test numérique ne suffisent pas. Ces techniques, déjà largement étudiées depuis les années 70, offrent des techniques de test bien structurées et d'application générale aux circuits numériques. Les premiers travaux de test des circuits mixtes ont donc été publiés par des spécialistes du test numérique [138]. Ces premiers travaux ont visé des techniques de conception en vue du test DFT² facilitant l'accès aux parties analogiques. Des concepts de DFT numérique ont par la suite été adaptés pour les circuits analogiques, donnant lieu autour de 1990 aux premières techniques de BIST³ analogique non-concurrent utilisant une technique de *scan* analogique [139] ou un test pseudo aléatoire [140]. Puis, des techniques de test concurrent analogique sont apparues, prenant comme base des techniques dérivées du domaine du Contrôle Automatique [141] ou bien en exploitant une redondance matérielle ou temporelle dans le circuit [142]. Le test intégré des circuits mixtes devient ainsi, au début des années 90, un terrain de recherche fertile. Nous avons présenté

¹ *Application Specific Integrated Circuit.*

² *Design For Testability.*

³ *Built-In-Self-Test.*

ailleurs différents travaux apparus dans ces premières années dans les cas du test non-concurrent [87] et du test concurrent [88].

Ce contexte propice à la recherche a été impulsé au Laboratoire TIMA au début des années 90 par Bernard Courtois qui a dirigé plusieurs travaux doctoraux sur le test des circuits numériques dans les années 80 [130]. Michael Nicolaidis a développé par la suite de nombreux travaux sur le test en-ligne⁴ et hors-ligne⁵ des circuits numériques, aboutissant sur des techniques de test unifié en-ligne/hors-ligne UBIST⁶ [131]. Au début des années 1990, les travaux de thèse de Marcelo Lubaszewski ont visé le test des cartes électroniques, remontant au niveau des cartes les techniques d'auto test en ligne de circuits numériques (circuits auto testables⁷) [132] et permettant le test unifié UBIST [135]. De plus, à cette époque, il a été chargé par Bernard Courtois des recherches sur le test des circuits mixtes. Le développement de ce nouvel axe de recherche a débuté avec leur encadrement des travaux doctoraux de Vladimir Kolarik à partir de 1991.

Dans la période entre 1992 et 1993, Vladimir Kolarik et Marcelo Lubaszewski ont préparé les premiers travaux sur le test concurrent des circuits analogiques différentiels. La redondance matérielle inhérente à ces circuits résulte en l'existence de signaux complètement différentiels dans les nœuds du circuit. En exploitant la symétrie des deux signaux d'un nœud différentiel, ils ont étudié le design de circuits de contrôle⁸ analogiques [133] dédiés à la vérification de cette propriété. Le design de *checkers* auto testables⁹ a été développé par la suite [134][136].

Nos travaux post-doctoraux dans la période 1993-1995 ont été encadrés par Marcelo Lubaszewski et Bernard Courtois qui ont co-dirigé une petite équipe très enthousiaste sur le test des circuits mixtes, visant à mettre en phase le test de ces circuits et le test des circuits numériques [137]. La collaboration entre les collègues de l'équipe nous a permis de participer rapidement à la recherche dans ce domaine, acquérant ainsi une expérience importante qui sera présente dans la plupart des travaux développés dans la période 1993-1997.

Les activités de valorisation de la recherche ont été importantes dans cette période. Un cours de transfert technologique du test analogique a été organisé par Bernard Courtois et Marcelo Lubaszewski à Grenoble en décembre 1994. Le colloque IMSTW¹⁰ a été lancé à Grenoble (Villard-de-Lans) en juin 1995 sous l'impulsion de Bernard Courtois et Bozena Kaminska¹¹. Les travaux de test concurrent de circuits mixtes ont été réalisés dans le cadre du projet européen ESPRIT III No. 7107 ARCHIMEDES (1993-1995) coordonné par TIMA (Bernard Courtois), avec Marcelo Lubaszewski comme responsable scientifique. Par la suite, les travaux de test analogique ont été réalisés dans le cadre du projet européen ESPRIT III No. 8820 AMATIST (1994-1997) coordonné par l'IMSE-CNM¹² (José Luis Huertas) avec Marcelo Lubaszewski comme responsable scientifique au TIMA.

1.2. Objectif et sujets de recherche abordés

L'objectif visé par ces travaux de recherche a été le développement de méthodes et techniques de test et diagnostic de circuits analogiques et mixtes, afin de faciliter la

⁴ On-line.

⁵ Off-line.

⁶ Unified BIST.

⁷ Self-checking.

⁸ Checkers.

⁹ Self-exercising.

¹⁰ IEEE International Mixed-Signal Test Workshop.

¹¹ A l'époque, professeur de l'Université McGill à Montreal, Canada.

¹² Instituto de Microelectrónica de Sevilla (Espagne), Centro Nacional de Microelectrónica.

conception en vue du test, d'augmenter la sûreté du fonctionnement, et de diminuer les coûts des tests de production. Le Tableau 1.1 résume les sujets de recherche abordés pendant cette période et quelques références bibliographiques auxquelles ils ont donné lieu. Ces références décrivent en détail les résultats obtenus. Une description brève de ces résultats est donnée par la suite.

Domaine de Recherche	Sujets de recherche abordés	Références bibliographiques
<i>Test de circuits analogiques et mixtes</i>	BIST modélisation de fautes simulation de fautes diagnostic	[25][82][87][88] [81][92] [81][77] [24][93]
<i>Conception de circuits analogiques et mixtes numérique/analogique</i>	filtres analogiques convertisseur de signal oscillateurs comparateurs de fenêtre modulateurs	[92][78] [25] [25][89] [27][93] [83][80]

Tableau 1.1. Sujets de recherche abordés dans la période 1993-1997 sur le test intégré des circuits analogiques et mixtes, et quelques références bibliographiques associées.

1.3. Description des travaux réalisés

1.3.1. Techniques de test de circuits complètement différentiels

Vers le début de 1994, nos premiers travaux de recherche de post-doctorat se sont focalisés sur la validation de la technique de test de circuits complètement différentiels vis-à-vis de la couverture de fautes et les propriétés de test en ligne [118], en particulier des fautes sur les composants passifs. Les fautes catastrophiques sur les amplificateurs opérationnels ont été étudiées dans [136]. Ces fautes donnent lieu principalement à des comportements de type collage¹³ et des sorties non différentiels. En utilisant l'expérience acquise en programmation logique pendant les travaux doctoraux, il était simple de programmer en Prolog un outil de simulation de la fonction de transfert de circuits analogiques et d'injection de fautes.

1.3.1.1. La surveillance du mode commun et le diagnostic

A niveau de la fonction de transfert, nous avons considéré l'injection de fautes simples, catastrophiques et paramétriques, sur les composants passifs du circuit. Ces résultats ont montré l'intérêt de contrôler le fonctionnement de ce type de circuits par une surveillance du mode commun.

Nous avons utilisé le filtre biquadratique différentiel montré sur la Figure 1.1(a) comme véhicule de test. En effet, à cause de la redondance matérielle inhérente, la déviation d'un composant passif (tel que R5 sur la Figure) résulte en une faute d'appariement vis-à-vis de son composant homologue (R7). Cette asymétrie dans le circuit est alors corrigée par l'amplificateur différentiel (OA2) qui réagit en changeant le mode commun à l'entrée (nœud X) et ainsi assurant un signal différentiel à la sortie (nœud V). Les Figures 1.1(b) et 1.1(c) montrent, respectivement, l'effet sur le gain et la phase à la sortie du circuit des fautes

¹³ *Stuck-at.*

catastrophiques sur les composants passifs du deuxième étage du circuit. Le gain du circuit est affecté mais le signal reste différentiel à la sortie. Par contre, le mode commun du circuit (Figure 1.1(d)) est affecté dans une large plage de fréquences. La Figure 1.1(e) montre le signal de mode commun ensemble avec la déviation de la sortie. En considérant un *checker* placé sur le nœud X avec un seuil de tolérance de mode commun $\varepsilon=100$ mV ($|X1+X2|/2$ dans la Figure), il donnera un signal d'erreur dans toute la plage de fréquences dans laquelle la déviation du signal de sortie est importante.

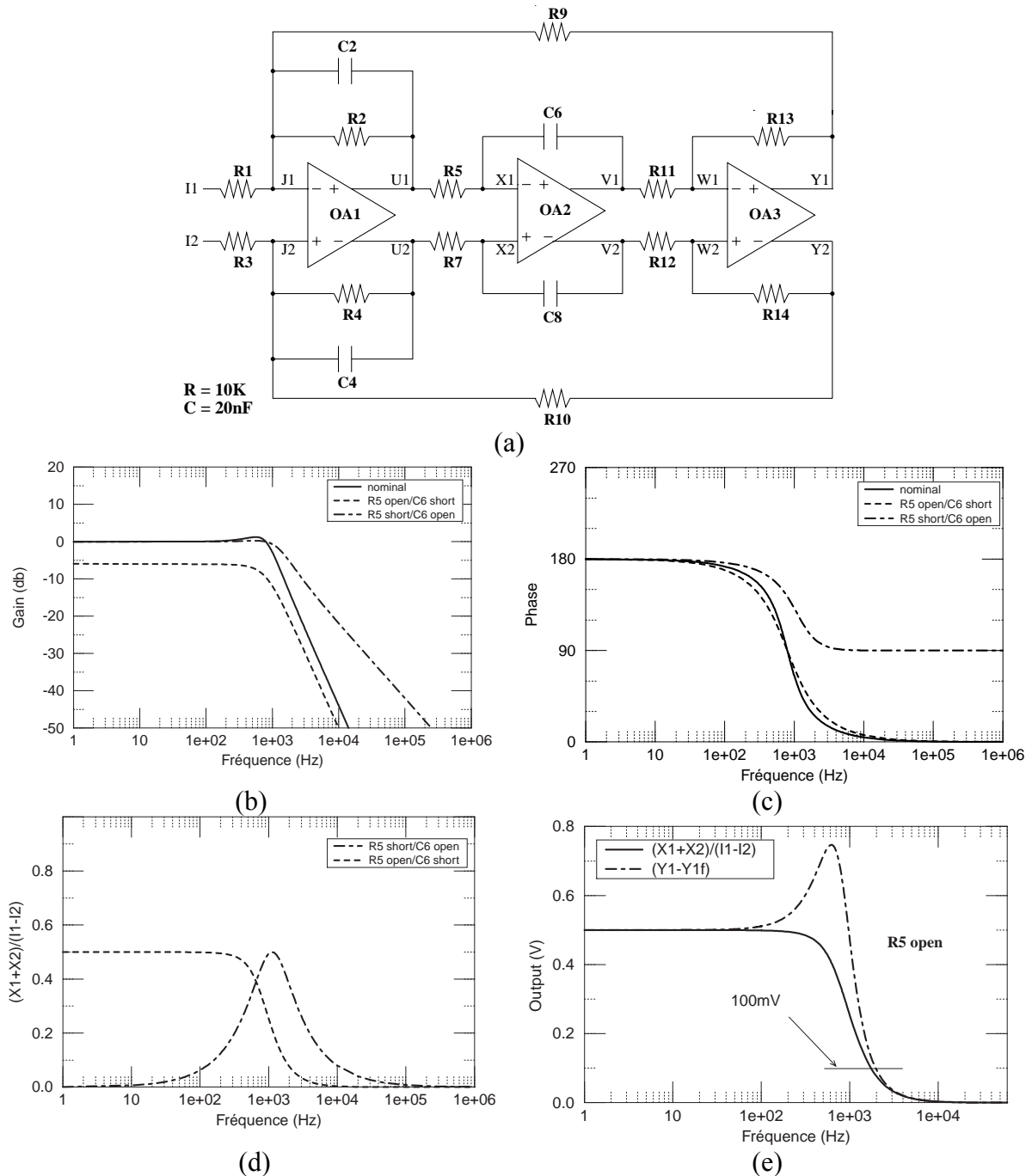


Figure 1.1. Effets des fautes catastrophiques sur les composants passifs du deuxième étage d'un filtre biquadratique différentiel : (a) schéma du filtre, (b) effet sur le gain du circuit, (c) effet sur la phase du circuit, (d) effet sur le mode commun du nœud J, et (e) effet sur la sortie du circuit (1995 IEEE European Design and Test Conference).

Il est clair qu'il ne suffit pas de surveiller la symétrie des signaux à la sortie des amplificateurs mais aussi à l'entrée. En effet, la surveillance des entrées a permis d'augmenter la couverture de fautes, en particulier par rapport aux fautes sur les composants passifs, et a facilité aussi le diagnostic. Clairement les fautes sur les composants passifs de chaque étage affectent uniquement le mode commun de cet étage et non celui des autres. Les fautes sur des composants passifs symétriques résultent sur des déviations de mode commun de la même magnitude mais la phase de ce signal est opposée. Les fautes catastrophiques dans un amplificateur différentiel sont en général observables aux entrées et aux sorties de cet amplificateur [93].

Afin de quantifier la couverture de fautes paramétriques dans les composants passifs, nous avons introduit le concept de *frontière de détection de fautes*¹⁴ d'un composant. Pour un *checker* déterminé, et une plage de fréquences donnée, la frontière de détection de fautes délimite les déviations minimales d'un composant à partir desquelles le *checker* signale l'existence d'une faute. Considérant à nouveau le circuit de la Figure 1.1(a), la Figure 1.2 montre les frontières de détection des composants passifs du premier étage du circuit avec un *checker* placé sur le nœud J avec un seuil de tolérance $\varepsilon=50$ mV ($(|J1+J2|/2)$). Par exemple, la Figure 1.2(a) illustre ces régions dans le cas des déviations des composants R1/R3. Ces frontières sont calculées par l'outil logiciel mentionné précédemment. Chaque composant a une frontière supérieure dans le cas des déviations par-dessus la valeur nominale et une frontière inférieure dans le cas des déviations par-dessous la valeur nominale. Les déviations d'un composant ne sont pas détectables dans la région entre frontières. En revanche, elles sont détectables dans les régions au-delà de ces frontières.

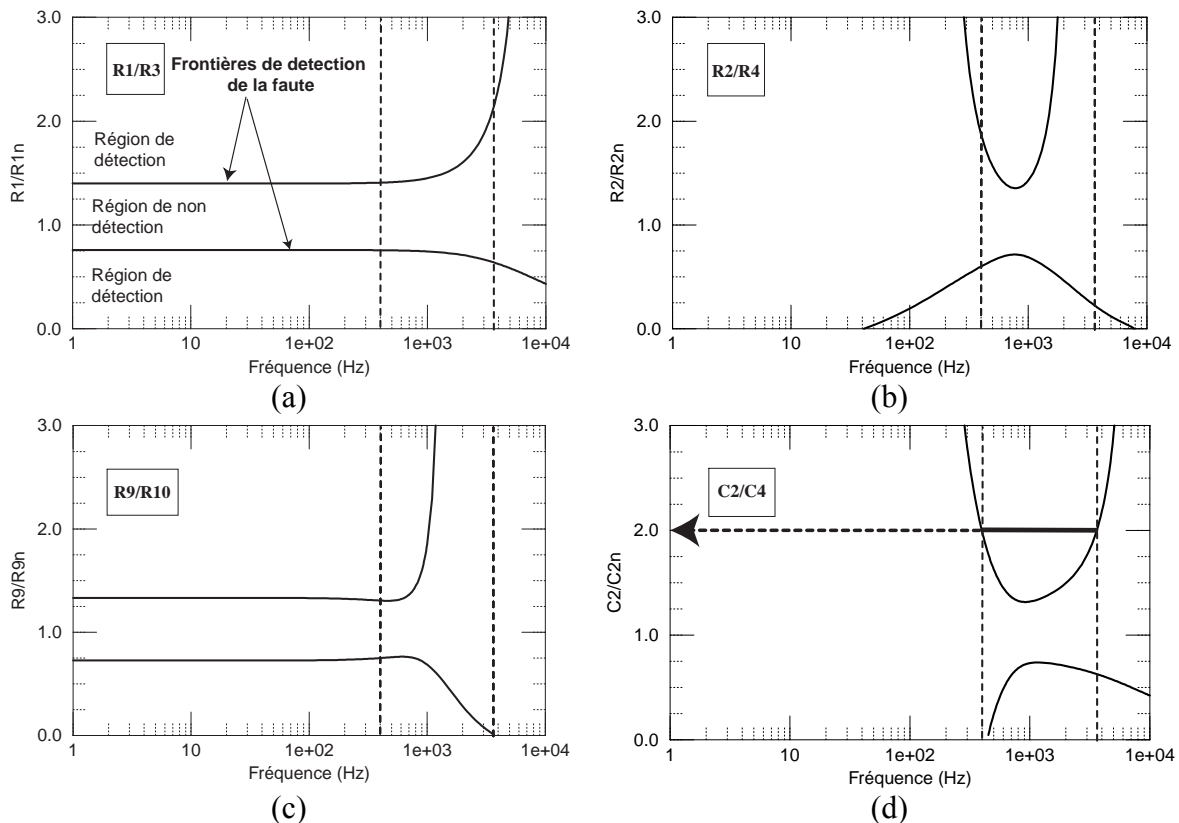


Figure 1.2. Identification d'une faute détectée au nœud J dans la bande de fréquences 400 Hz – 3600 Hz avec un signal d'entrée de 1 V différentiel et un seuil de tolérance $\varepsilon=50$ mV (1994 IEEE International Conference on Computer-Aided Design).

¹⁴ *Fault detection boundary.*

La détermination des frontières de détection permet aussi l'identification des fautes. Ainsi, supposons une faute qui est détectée par le *checker* placé sur le nœud J dans une plage de fréquences entre 400 Hz et 3600 Hz. La Figure 1.2 montre que cette faute correspond à une déviation par un facteur 2 de la capacité C2, cette plage de détection étant bien délimitée par la frontière de détection supérieure de ce composant. Cette faute ne peut pas, par exemple, correspondre à une diminution par un facteur 2 de la capacité C2 car dans ce cas la faute est détectable sur une plage de fréquences différente.

1.3.1.2. La validation des propriétés d'auto test en ligne

La technique de test de circuits complètement différentiels se prête bien à un test concurrent. Ce type de test en ligne a une importance primordiale dans les applications à haute sûreté de fonctionnement comme, par exemple, dans l'industrie spatiale, l'aéronautique, le transport par chemin de fer ou l'automobile. Le traitement du test est alors fait de façon simultanée au fonctionnement, sans interruption de l'opération normale, et donc sans l'aide de signaux d'essai générés spécifiquement pour le test.

Afin de valider cette technique sur un circuit réel, l'équipe de test analogique¹⁵ a envisagé un démonstrateur dans le cadre du projet ARCHIMEDES. Le filtre de la Figure 1.1(a) a été réalisé en utilisant la technique des capacités commutées en technologie 1.2 μm CMOS AMS¹⁶ [92]. Cette technique a éliminé le troisième étage du filtre (étage d'inversion) par simple inversion des horloges dans la réalisation des résistances à capacités commutées du deuxième étage, permettant ainsi la réalisation de résistances négatives et du filtre complet en deux étages tel que nous le montrons Figure 1.3(a).

Le besoin de surveillance du mode commun a demandé l'étude de nouveaux types de *checkers* [92][93]. Dans ce démonstrateur nous avons proposé un *checker* basé sur le principe d'un amplificateur de mode commun montré Figure 1.3(b). Ce principe est utilisé dans certaines architectures d'amplificateurs différentiels afin de contrôler le mode commun à la sortie [143]. Chaque composante du signal différentiel est comparée avec le voltage de référence (masse analogique) du circuit en utilisant une paire différentielle et les résultats sont additionnés sur une charge résistive partagée par les deux paires différentielles. Le gain AC des signaux différentiels V_c et V_c' est proportionnel au mode commun du signal S . Dans le *checker* analogique, le seuil des inverseurs de sortie peut être fixé en fonction du seuil de tolérance de mode commun. La sortie du *checker* est aussi différentielle¹⁷ afin de couvrir des fautes de collage à sa sortie. Les sorties 01 ou 10 indiquent un fonctionnement correct et les sorties 00 et 11 signalent une erreur.

Le *checker* réalisé dans le démonstrateur, qui nécessite un test non-concurrent [92], est montré Figure 1.3(c). Nous avons opté ici pour utiliser un seul circuit de contrôle pour les deux nœuds différentiels à surveiller (les nœuds J et X sur la Figure 1.3(a)) afin de minimiser la surface du circuit de test qui représente 3 % de la surface totale du circuit de 0.5 mm^2 . Ainsi chaque paire différentielle reçoit des branches de chaque nœud et nous obtenons en sortie le mode commun total sans qu'il existe la possibilité de masquage sous l'hypothèse d'une faute simple. En plus, le voltage de référence du circuit est contrôlé par les transistors M6-M10 et les signaux T1 et T2. Ces signaux ont la double fonction de permettre d'appliquer le seuil de tolérance en tant que voltage de référence et de réaliser le test hors ligne du *checker*. Plusieurs filtres ont été fabriqués incorporant différents types de fautes (voir Figure 1.3(d)). La Figure 1.3(e) montre le signal d'erreur du *checker* dans le cas d'un court-circuit de la capacité C1.

¹⁵ Avec Christian Nielsen en tant que stagiaire de conception microélectronique.

¹⁶ Austrian Micro Systems.

¹⁷ Double rail.

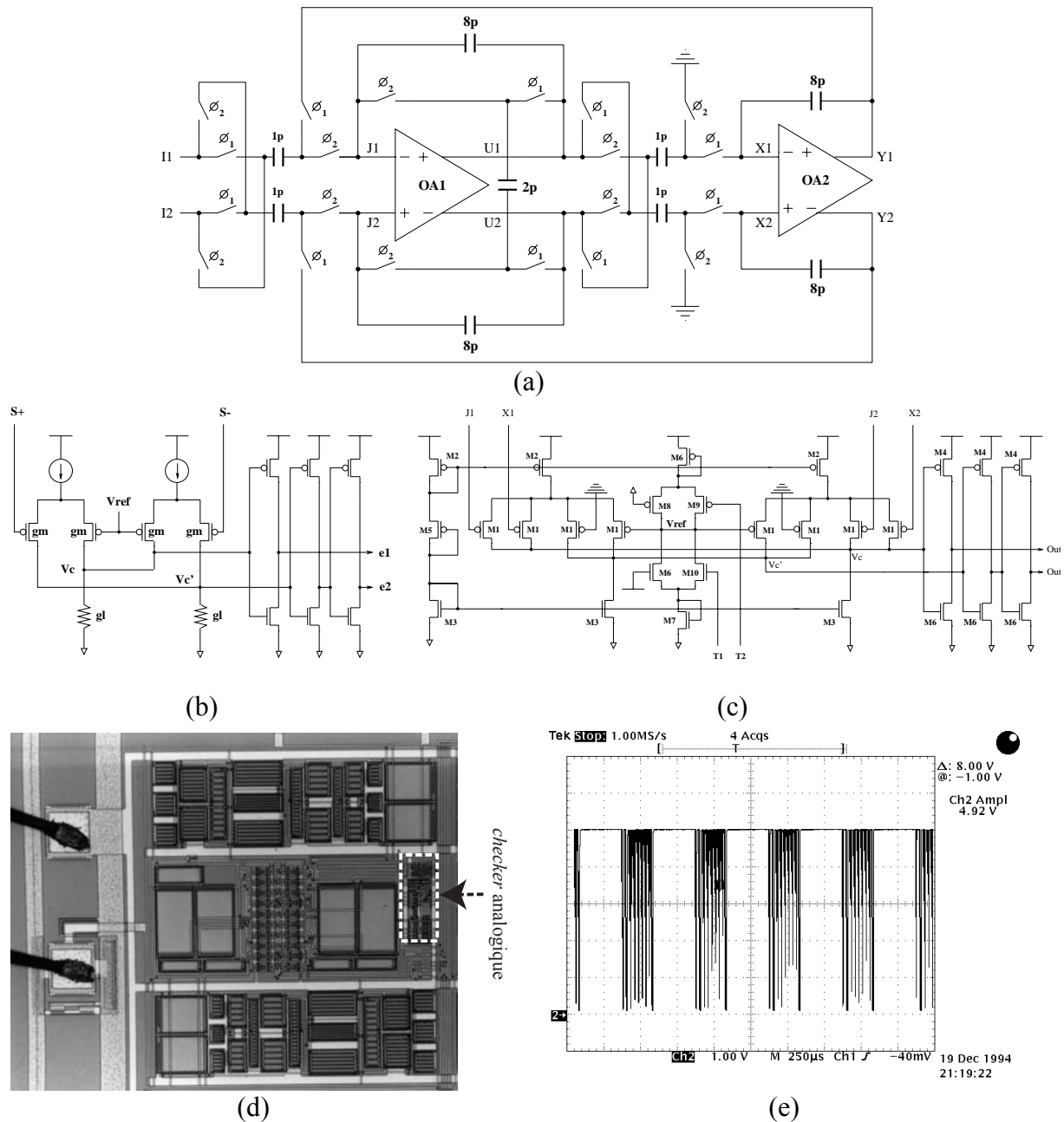


Figure 1.3. Filtre passe-bas différentiel à capacités commutées avec traitement simultané du test par surveillance des signaux de mode commun : (a) schéma du filtre, (b) schéma de principe de l'amplificateur de mode commun, (c) schéma complet du *checker* analogique, (d) filtre fabriqué et (e) signal d'erreur du *checker* pour un court-circuit de la capacité C1 (1995 IEEE The European Design and Test Conference).

Une démonstration du filtre fabriqué a été faite au Colloque de clôture du projet européen ARCHIMEDES. La conception d'un modulateur $\Sigma\Delta$ passe-bande avec test simultané fondé sur ce même principe a été présentée ailleurs [83]. Bien évidemment, la validation des propriétés d'auto test en ligne, qui sont décrites en détail dans [22] pour le cas des circuits analogiques, ne peut se faire de façon exhaustive en utilisant un démonstrateur matériel. Partant de l'hypothèse que le *checker* analogique est complètement testable (TSC¹⁸), nous

¹⁸ *Totally self-checking.*

avons utilisé l'outil logiciel développé pour l'analyse de fautes au niveau de fonction de transfert afin de vérifier les propriétés d'auto test du filtre complet.

D'abord, nous avons défini le concept de *frontière de comportement erroné*¹⁹ d'un composant. Pour une plage de fréquences donnée, cette frontière délimite les déviations minimales d'un composant à partir desquelles le comportement du circuit sort de la plage de tolérance de ces spécifications. Considérant à nouveau le circuit de la Figure 1.1(a), la Figure 1.4(a) montre les frontières de comportement erroné dans le cas des composants R1 et C2 du premier étage. A nouveau, chaque composant a une frontière supérieure dans le cas des déviations par-dessus la valeur nominale et une frontière inférieure dans le cas des déviations par-dessous la valeur nominale. La région entre frontières correspond à la région de fonctionnement sûr²⁰ (dans la plage de tolérance des spécifications). Les régions au-delà de ces frontières correspondent aux régions de fonctionnement non sûr (au-delà de la tolérance des spécifications). Dans cette exemple, nous avons pris comme seuil de tolérance de comportement σ une déviation maximum de 100 mV de la sortie YI du filtre par rapport à la sortie nominale (YI_f) pour une entrée différentielle de 2 V ($\sigma = |YI - YI_f| = 100$ mV).

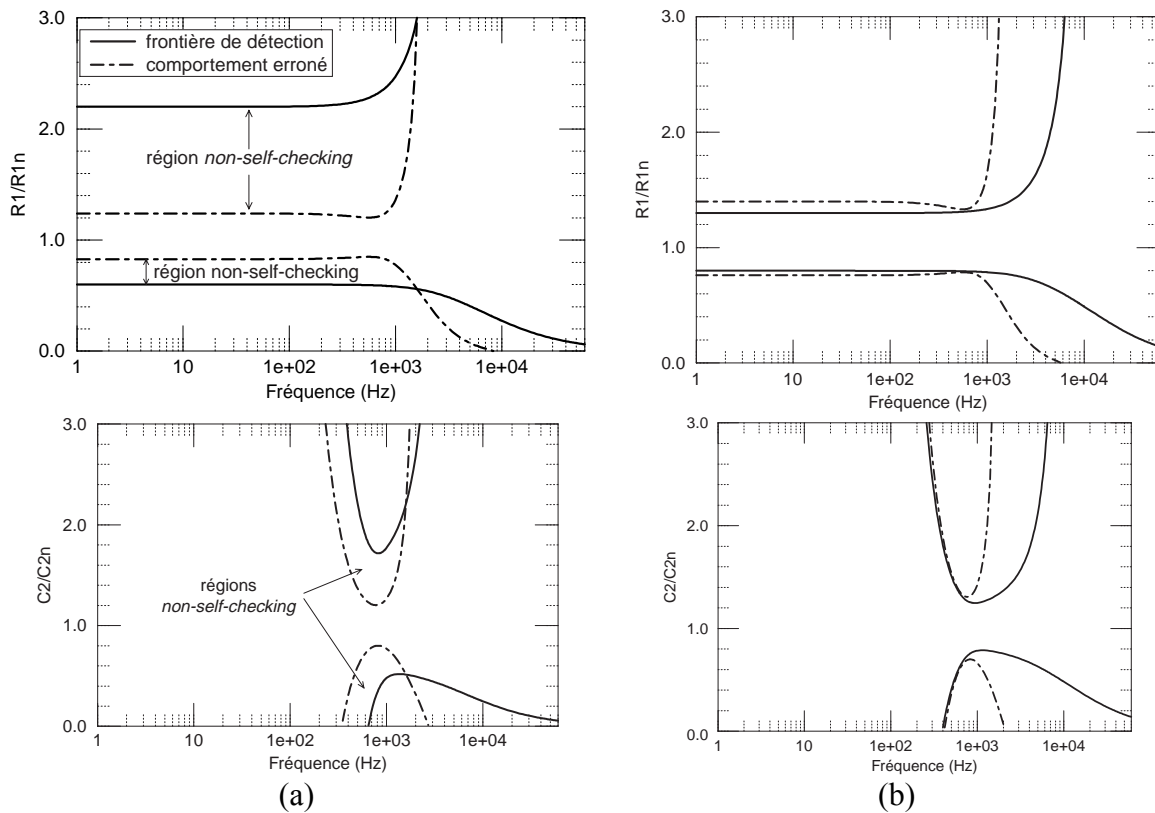


Figure 1.4. Le seuil de tolérance et la propriété *self-checking* : (a) régions *non-self-checking* pour des déviations des composants R1 et C2 avec le seuil de test $\varepsilon=100$ mV et le seuil de comportement erroné $\sigma=100$ mV, et (b) cas TSC pour ces composants avec $\varepsilon=40$ mV et $\sigma=150$ mV (2000 IEEE Transactions on VLSI).

Dans les graphiques de la Figure 1.4(a), nous avons inclut les frontières de détection de fautes des composants en considérant le seuil de tolérance du mode commun $\varepsilon=100$ mV ($(J1+J2)/2$). Dans le cas des fautes paramétriques dans les circuits analogiques, les propriétés

¹⁹ Erroneous behaviour boundary.

²⁰ Fault-secure region.

d'auto test et de sûreté de fonctionnement sont liées aux régions définies par ces frontières. Ainsi, dans la Figure 1.4(a), nous observons les déviations du composant $R1$ pour lesquelles le circuit ne garde pas les propriétés d'auto test. En effet, dans ces régions non auto-testables²¹, la déviation du composant résulte en un fonctionnement incorrect mais ceci n'est pas détecté comme une faute par le circuit de test. Par exemple, pour les basses fréquences, une déviation du composant $R1$ donne un comportement incorrect pour $R1/R1n > 1.24$ ou $R1/R1n < 0.83$, mais les déviations sont détectées en tant que fautes pour $R1/R1n > 2.2$ ou $R1/R1n < 0.6$. Autrement, les régions de non détection ne couvrent pas les régions de comportement incorrect. Ceci est aussi le cas du composant $C2$.

En conclusion, le but du circuit d'être complètement auto testable n'est pas atteint dans toute la plage de fréquences de fonctionnement du circuit pour les seuils de tolérance ε et σ utilisés dans l'exemple. Ce but peut par contre être atteint en relaxant le seuil de tolérance de fonctionnement σ ou bien en contraignant le seuil de test ε . La Figure 1.4(b) montre que le circuit est auto testable vis-à-vis des déviations des composants $R1$ et $C2$ en prenant comme seuils de tolérance $\varepsilon=40$ mV et $\sigma=150$ mV. Dans ce cas, les régions de détection de fautes recouvrent les régions de comportement incorrect.

En général, pour un seuil de tolérance σ donné, il est théoriquement possible de rendre le circuit TSC en prenant le seuil de test suffisamment petit. Ceci pose par contre des difficultés pratiques car le mode commun d'un circuit peut être difficilement contrôlable même avec des techniques de réalisation²² très avancées.

1.3.1.3. Le seuil de tolérance de test relatif à l'amplitude du signal

Les travaux précédents d'analyse des propriétés de test en ligne des circuits complètement différentiels ont considéré un seuil de tolérance de test absolu, indépendant de l'amplitude du signal d'entrée. Ceci est clair dans la représentation de la Figure 1.5(a) [133]. La bande située à la diagonale de ce graphique représente la région de code correct, c'est-à-dire, la région dans laquelle un signal différentiel S est représenté par deux composantes $S1$ et $S2$ bien symétriques par rapport au seuil de tolérance ε . En dehors de cette bande, le code différentiel est considéré corrompu. La plage de tolérance est indépendante de l'amplitude du signal.

Le problème de cette approche est que, dans un test concurrent, l'amplitude du signal d'entrée viendra aussi changer la capacité de détection de fautes. Un signal d'amplitude plus importante résultera nécessairement sur une capacité accrue de détection de fautes dans les circuits linéaires. En effet, tous les résultats précédents ont considéré un signal d'entrée d'1 V différentiel. Par contre, ces résultats sont bien moins intéressants dans le cas où le signal d'entrée est de seulement 100 mV si nous gardons les mêmes seuils de tolérance. Clairement, des faibles signaux d'entrée ne peuvent pas résulter dans des grandes déviations du mode commun même avec des déviations importantes des composantes. Ainsi la propriété TSC d'un circuit ne peut être garantie que pour des amplitudes du signal d'entrée importantes.

Afin de s'affranchir de cette limitation, nous avons proposé l'utilisation d'un seuil de tolérance de test ε_r relatif à l'amplitude du signal tel que nous le montrons Figure 1.5(b). Maintenant, le seuil de test est maximum dans le cas d'une amplitude du signal de test maximum et il devient zéro dans le cas d'un signal d'entrée nul. Autrement dit, la plage de tolérance augmente avec l'amplitude du signal. Par conséquent, la détection d'erreurs est directement liée à la déviation relative des composantes et elle ne dépend pas de l'amplitude du signal d'entrée. La réalisation d'un *checker* de ce type doit correctement résoudre la question des faibles signaux pour lesquels la plage de tolérance est très petite et alors très dépendante

²¹ *Non-self-checking region.*

²² *Layout.*

des non idéalités du circuit. Tandis que cette question peut être convenablement résolue, le problème d'une détection erronée d'une faible déviation relative d'un signal de grande amplitude ne peut, par contre, être résolu en utilisant une tolérance absolue.

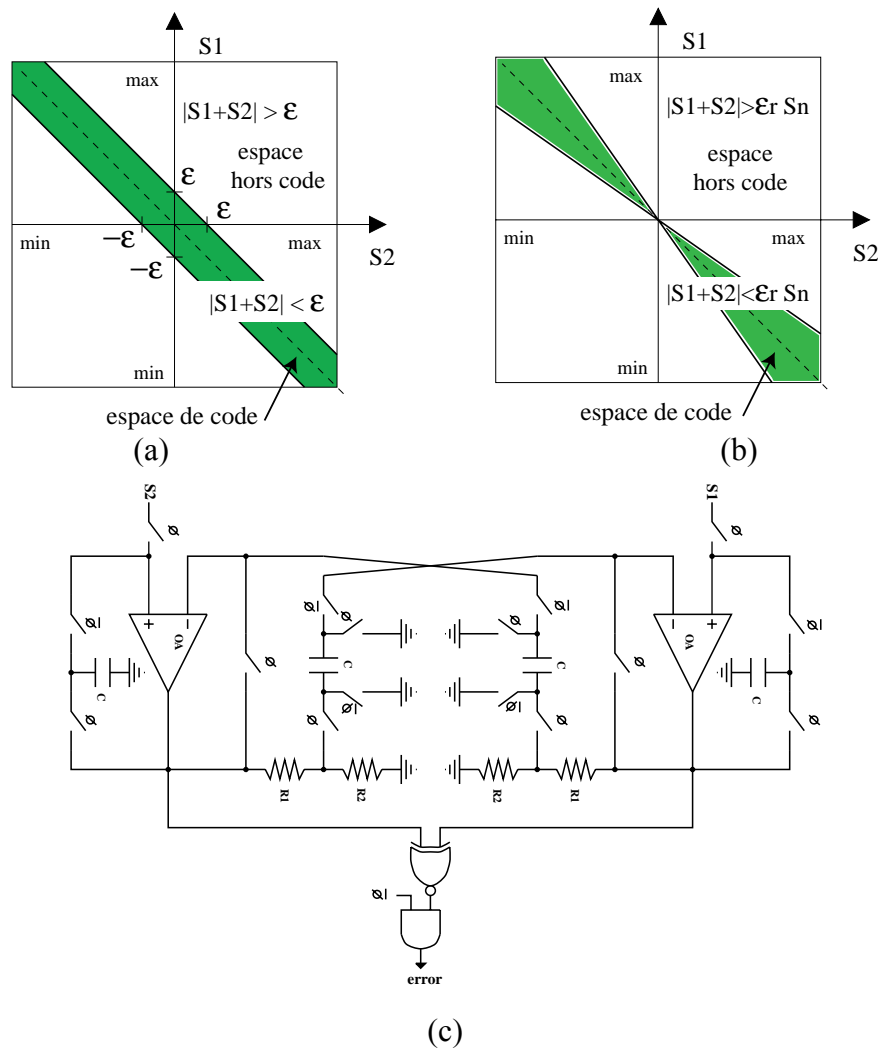


Figure 1.5. Le seuil de tolérance de test relatif à l'amplitude du signal : (a) plage de tolérance dans le cas des signaux différentiels avec une tolérance absolue, (b) plage de tolérance dans le cas des signaux différentiels avec une tolérance relative, et (c) exemple de *checker* analogique avec tolérance relative (1995 IEEE Transactions on Computer-Aided Design).

Formellement, si nous avons un signal analogique S_n à coder utilisant deux composantes différentielles S_1 et S_2 , l'espace de code différentiel correct avec tolérance relative ϵ_r est représenté par l'Expression suivante :

$$\frac{|S_1 - S_2|}{|S_n|} < \epsilon_r \tag{1.1}$$

Etant donné que S_n est une valeur nominale qu'on ne peut pas rendre accessible au *checker*, nous remplaçons cette valeur dans l'Expression (1.1) par S_1 et S_2 :

$$\frac{|S_1 - S_2|}{|S_1|} < \epsilon_r \tag{1.2}$$

$$\frac{|S1 - S2|}{|S2|} < \varepsilon_r \quad (1.3)$$

Après combiner les Expressions (1.2) et (1.3) nous obtenons :

$$|S1 + S2| < \frac{\varepsilon_r}{2} (|S1| + |S2|) \quad (1.4)$$

Cette Expression peut être facilement réalisée par les expressions suivantes :

$$S1 + S2 < \frac{\varepsilon_r}{2} (S1 - S2) \quad (1.5)$$

$$S1 + S2 > -\frac{\varepsilon_r}{2} (S1 - S2) \quad (1.6)$$

Les Expressions (1.5) et (1.6) montrent que la vérification du code différentiel passe par une comparaison du signal différentiel avec le signal de mode commun. Ces Expressions peuvent finalement s'arranger dans la forme :

$$S2 < -K \cdot S1 \quad (1.7)$$

$$S1 < -K \cdot S2 \quad (1.8)$$

avec la constante K donnée par l'Equation :

$$K = \frac{1 - \varepsilon_r / 2}{1 + \varepsilon_r / 2} \quad (1.9)$$

Par exemple, le *checker* analogique de la Figure 1.5(c) réalise les Equations (1.7) et (1.8). Pour une valeur de tolérance relative $\varepsilon_r=0.1$, qui donne une plage de tolérance de [-100,100] mV pour un signal nominal de 1 V, les valeurs des composants du circuit sont $R1=10 \text{ k}\Omega$, $R2=95 \text{ k}\Omega$ and $C=2 \text{ pF}$. Ce *checker* fonctionne comme un bloc d'échantillonnage et de comparaison qui peut être utilisé dans le cas des circuits différentiels à capacités commutées. Les amplificateurs opérationnels sont utilisés en tant que suiveurs et comparateurs dans des phases différentes [27].

1.3.1.4. Le BIST unifié des circuits complètement différentiels

Suite aux travaux de thèse de Marcelo Lubaszewski sur le test unifié (hors-ligne/en-ligne) de cartes microélectroniques, l'extension des techniques UBIST²³ aux circuits analogiques a été un de ses objectifs importants. L'utilisation d'une même stratégie de test pour les tâches de validation d'un design, test de production, tests de maintenance et test concurrent résulte en une réduction de coûts importante. Nous avons ainsi développé une stratégie appelée AUBIST²⁴ permettant le test unifié des circuits complètement différentiels [25], en particulier pour des circuits à capacités commutées (SC²⁵). La Figure 1.6 montre cette architecture de test et quelques blocs qui lui sont propres.

AUBIST permet une haute couverture de fautes pendant le test en ligne concurrent. Des tests hors-ligne assurent les propriétés d'auto test²⁶ des circuits et permettent le diagnostic. L'auto test des circuits intégrant l'AUBIST est aussi considéré. L'architecture globale, basée sur la surveillance des nœuds différentiels, est montrée Figure 1.6(a). Pendant le test en-ligne, les codes des entrées des amplificateurs différentielles et des entrées et des sorties des comparateurs sont en général surveillés. D'autres nœuds différentiels peuvent être surveillés en fonction des circuits. Marcelo Lubaszewski a rendu l'AUBIST compatible avec le standard de test IEEE 1149.1 [144].

²³ Unified Built-In-Self-Test.

²⁴ Analogue Unified Built-In-Self-Test.

²⁵ Switched-capacitor.

²⁶ Self-checking.

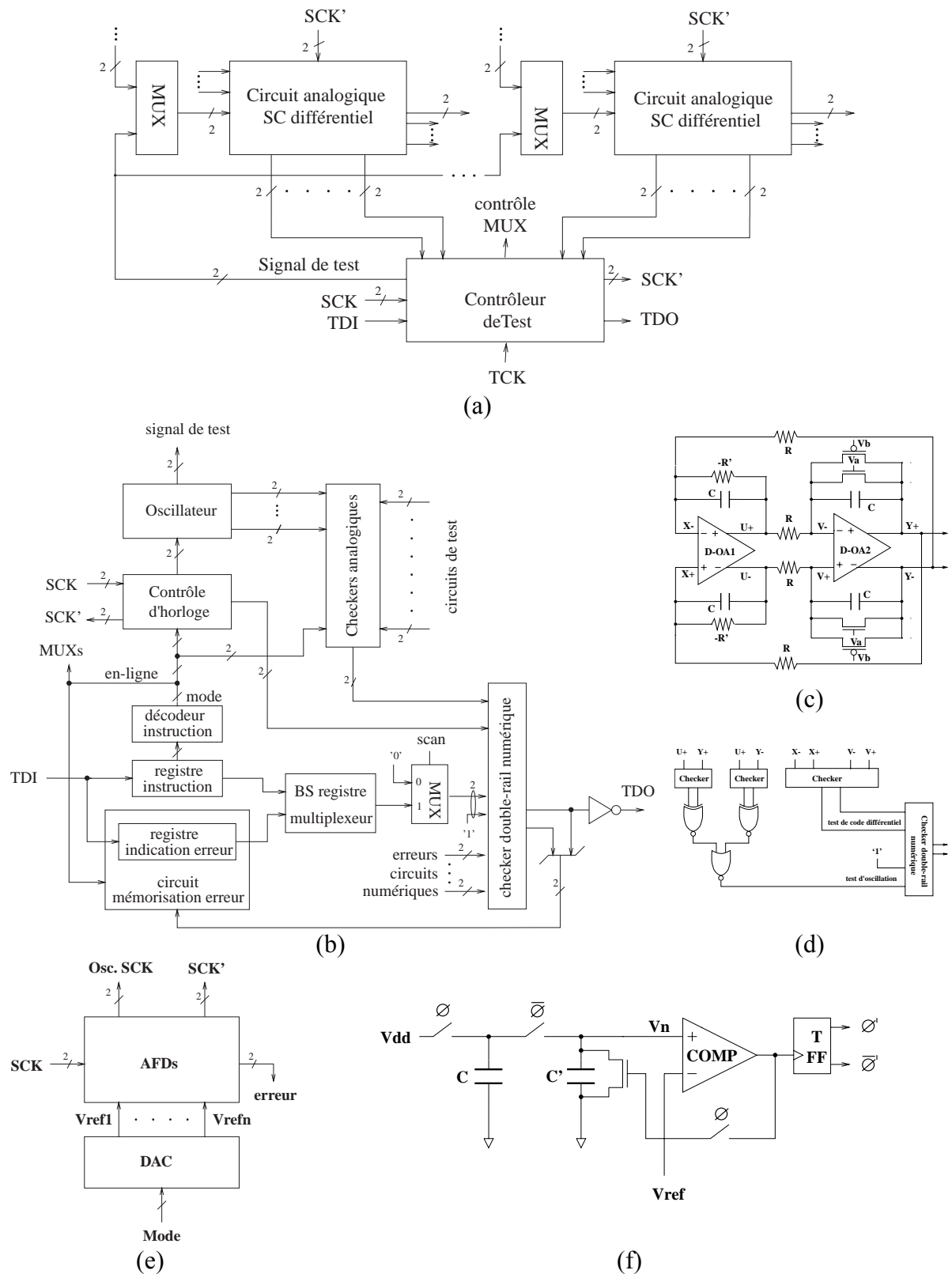


Figure 1.6. L'architecture de test unifié analogique AUBIST appliquée aux circuits mixtes à capacités commutées et quelques blocs constitutifs : (a) architecture de la technique de test analogique, (b) contrôleur de test, (c) oscillateur différentiel, (d) checker de l'oscillateur, (e) block de génération d'horloges, et (f) diviseur de fréquence analogique (1996 *Journal of Electronic Testing : Theory and Applications*).

Pendant les tests hors-ligne, les entrées et les sorties différentielles des circuits sont surveillées. Pour le diagnostic, des tests avec un signal différentiel nul sont utilisés pour localiser des fautes sur les circuits linéaires. Des fautes sur les composants externes aux amplificateurs ne sont normalement pas détectées par ce type de test. Des fautes sur ces composants sont détectées et localisées en utilisant un test fréquentiel. Le contrôleur de test²⁷ montré Figure 1.6(b) permet :

- la sélection du circuit sous test et le contrôle des *checkers* analogiques et numériques. Ces *checkers*, qui ont la structure montrée Figure 1.3(b), forment une partie du contrôleur mais ils doivent être placés à proximité des circuits sous test dans le *layout*.
- la génération de signaux de test sinusoïdaux complètement différentiels. Ceci est réalisé en utilisant un oscillateur en quadrature SC, différentiel et auto-testable[89], montré sur la Figure 1.6(c). La fréquence du signal généré f_{OSC} est programmable en changeant la fréquence de l'horloge de l'oscillateur f_{CK} :

$$f_{OSC} = \frac{f_{CK}}{2\pi} \frac{C_{SC}}{C} \approx \frac{f_{CK}}{20\pi} \quad (1.10)$$

Le signal généré est bien échantillonné ayant une fréquence environ 60 fois plus petite que l'horloge du circuit. Le test de l'oscillateur est assuré en surveillant les nœuds différentiels et l'existence d'oscillations avec le *checker* montré Figure 1.6(d). Il est intéressant de noter que la présence d'oscillations est détectable en utilisant des *checkers* de mode commun.

- la génération des horloges qui sont utilisés par les différents circuits à capacités commutées. Ces horloges sont obtenues par division de l'horloge de la puce en utilisant des diviseurs de fréquence tel que nous montrons dans le bloc de la Figure 1.6(e). Nous avons introduit ici une architecture de diviseur de fréquence analogique (AFD²⁸) nécessitant une faible surface. Ce circuit, montré Figure 1.6(f), est basé sur le principe de partage de charge entre deux capacités. A chaque coup d'horloge, la capacité C est rechargée et sa charge partagée avec la capacité C' . Avec $C' > C$, le voltage sur la capacité C' augmente avec chaque coup d'horloge. Après n cycles d'horloge, ce voltage V_n dépasse le voltage de référence du comparateur. Un pulse est ainsi généré sur la bascule T tous les n cycles d'horloge. La fréquence de sortie est alors :

$$\phi' = \frac{\phi}{2n} \quad n > 0 \quad (1.11)$$

Le voltage V_n est donné par :

$$V_n = K \frac{1 - A^n}{1 - A} \quad (1.12)$$

avec :

$$K = \frac{C}{C + C'} V_{dd} \quad (1.13)$$

$$A = \frac{C'}{C + C'} \quad (1.14)$$

Ce voltage dépend seulement d'une proportion entre capacités et il peut, par conséquent, être contrôlé assez précisément.

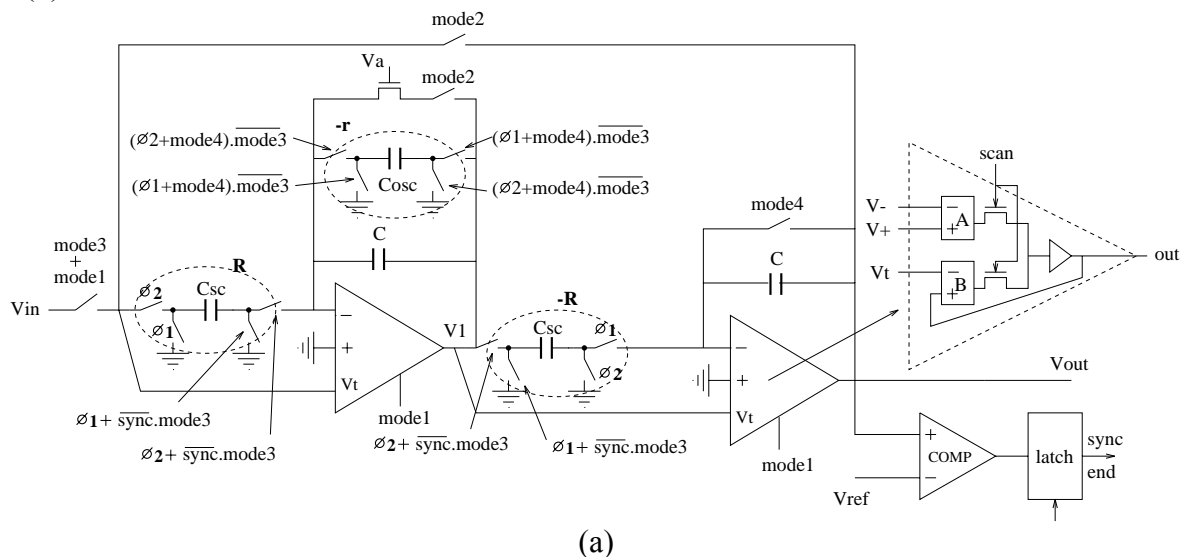
²⁷ Test master.

²⁸ Analogue Frequency Divider.

1.3.2. Le BILBO analogique

L'objectif primordial de Marcelo Lubaszewski dans l'équipe de test analogique a été de mettre en phase le test des circuits analogiques avec le test des circuits numériques. Par exemple, les structures de type BILBO²⁹ sont largement utilisées dans le BIST des circuits numériques. Ces structures, basées sur l'utilisation de LFSRs³⁰, permettent la génération de vecteurs de test binaires pseudo aléatoires. Ces stimuli sont appliqués sur un circuit sous test. La réponse d'un circuit de test à ces stimuli est alors compacté dans une signature de test. Cette opération est normalement réalisée au moyen de LFSRs à entrées multiples appelés MISRs³¹. Les structures BILBO peuvent opérer dans les deux modes, génération et analyse de la signature.

Afin de transposer aux circuits numériques une telle structure de test, nous avons proposé une structure multifonction capable de générer des vecteurs de test et de compresser les réponses de test [82]. Cette structure, nommée ABILBO³², peut être utilisée dans des structures modulaires telles que les filtres en cascade. La structure est composée fondamentalement de deux intégrateurs et un comparateur enchaînés et d'interrupteurs permettant de programmer la fonction de test souhaitée comme le montre la Figure 1.7(a) dans le cas de filtres à capacités commutées. Les modes de test sont résumés dans la Figure 1.7(b).



(a)

Caractéristiques	BILBO numérique	BILBO analogique
paradigme de test	pseudo aléatoire	basé sur fautes, mono fréquence
blocks de base	registres	intégrateurs
mode de test 1	scan	suiveur de voltage
mode de test 2	génération vecteurs test	oscillateur sinusoïdal
mode de test 3	génération de signature	double intégrateur
mode de test 4	reset	décharge capacités

(b)

Figure 1.7. BILBO analogique : (a) schéma, et (b) analogie entre le BILBO numérique et le BILBO analogique (1996 IEEE International Conference on Computer-Aided Design).

²⁹ Built-In Logic Block Observer.

³⁰ Linear Feedback Shift-Register.

³¹ Multiple Input Signature Register.

³² Analog BuLLt-in Block Observer.

Le premier mode de test est le *scan* analogique, avec la structure configurée en suiveur de voltage. Ce mode est facile à réaliser en utilisant des amplificateurs opérationnels type Sw-amp³³ avec l'étage d'entrée dupliqué [144]. Un étage permet le mode normal de l'amplificateur et l'autre le mode de test en suiveur de voltage.

Le deuxième mode de test est la génération de fréquences de test, avec la structure configurée en oscillateur sinusoïdal. Il s'agit du même type d'oscillateur utilisé dans l'AUBIST décrit précédemment en version différentielle.

Le troisième mode de test est la génération de signature, avec la structure configurée en double intégrateur. La signature est donnée par un compteur qui mesure le temps nécessaire pour que la sortie du deuxième intégrateur atteigne une valeur de référence V_{REF} . Le comptage commence au début de l'intégration et il s'arrête quand la sortie du comparateur indique que la valeur de référence a été atteinte.

Afin d'évaluer cette technique de signature, nous avons considéré le signal de test sinusoïdal suivant, appliqué après le *reset* des capacités d'intégration :

$$V_{IN} = -V_0 \sin(\omega t + \varphi), \quad V_C|_{t=0} = 0 \quad (1.15)$$

Les intégrations simple et double de ce signal donnent :

$$V_1 = \frac{V_0}{\omega \tau} [\cos \varphi - \cos(\omega t + \varphi)] \quad (1.16)$$

$$V_{OUT} = \frac{V_0}{(\omega \tau)^2} [-\sin(\omega t + \varphi) + \omega t \cos \varphi + \sin \varphi] \quad (1.17)$$

où $\tau=RC$ est la constante de temps d'intégration. La Figure 1.8(a) montre l'effet de l'intégration d'un signal avec $V_0=1V$, $f=500$ Hz et $\tau=0.8$ ms, considérant $\varphi=0$. Après avoir fixé $V_{REF}=4$ V et $\tau=0.1$ ms, la Figure 1.8(b) donne le temps nécessaire pour atteindre V_{REF} en fonction de la fréquence du signal et de différents valeurs de l'amplitude V_0 . La Figure 1.8(c) donne le temps nécessaire pour atteindre V_{REF} en fonction de l'amplitude du signal et de différentes valeurs de la fréquence du signal. En général, des signaux avec des amplitudes et des fréquences différentes donnent des signatures différentes. Dans le cas $\varphi=0$, l'Equation (1.17) augmente de façon monotone. Ceci n'est plus le cas pour $\varphi>0$, ce qui donne lieu à des temps de test plus longs tel que nous montrons Figure 1.8(d). Cette figure montre aussi que des décalages de phase sont détectables. Bien évidemment, il y a un temps T_{MAX} d'intégration maximum au-delà duquel la capacité du compteur est excédée³⁴. En fait, les valeurs de T_{MAX} et de V_{REF} (pour une certaine constante d'intégration τ) limitent l'espace des signaux valides. La Figure 1.8(e) montre cet espace dans les plages de fréquence et d'amplitude d'opération pour différentes valeurs de la constante d'intégration. Les signaux par-dessous une courbe ne laissent pas une signature valide contrairement aux signaux situés par-dessus la courbe. Les marches dans les Figures 1.8(b) et 1.8(d) font penser que la détection de fautes paramétriques en fréquence est limitée. A chaque marche, la signature en temps est la même pour une plage de fréquences. La taille de ces marches peut être réduite en considérant des constantes d'intégration τ plus grandes tel que l'on montre Figure 1.8(f) pour le cas de $V_0=1V$. Cependant, l'augmentation de la constante d'intégration augmente la couverture de fautes paramétriques, mais elle résulte aussi en une augmentation du temps d'intégration et de la probabilité de faux rejet. Par exemple, dans le cas de la Figure 1.8(f) et pour la constante d'intégration τ plus grande, un petit changement de fréquence donne une signature de temps très différente.

Finalement, le quatrième mode de test permet l'initialisation des éléments de mémoire du circuit.

³³ Switch Operational Amplifier.

³⁴ Overflow.

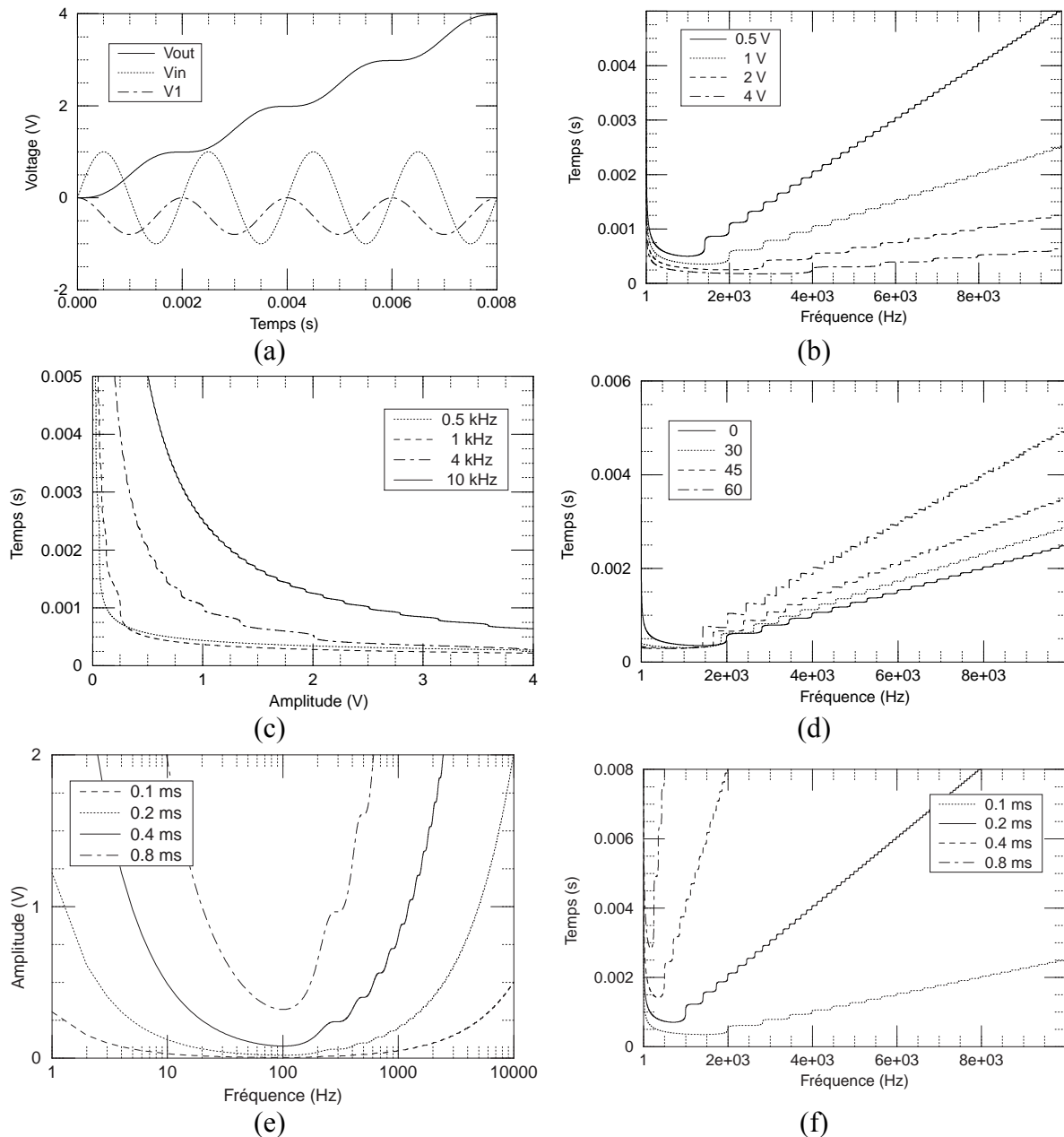
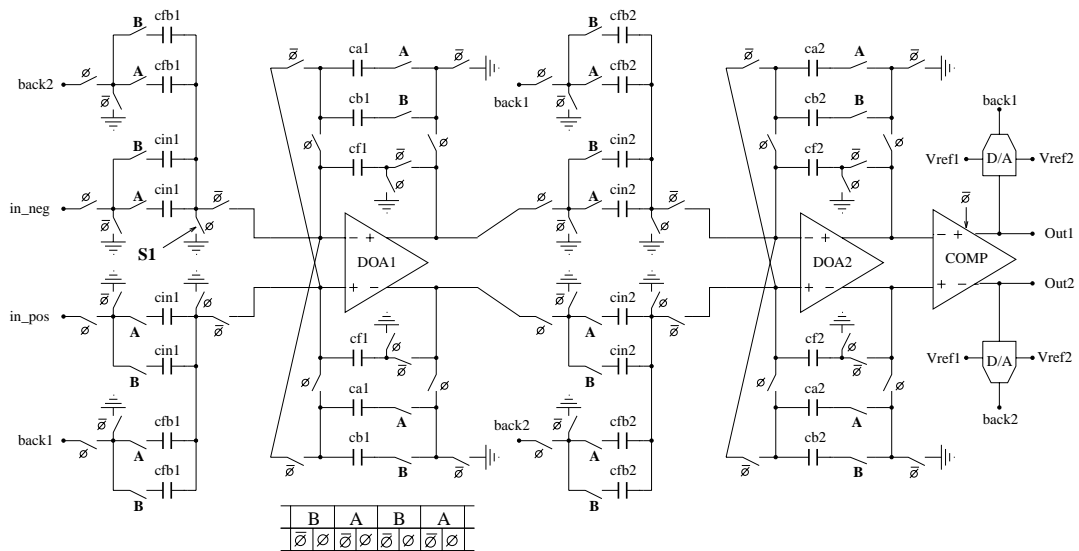


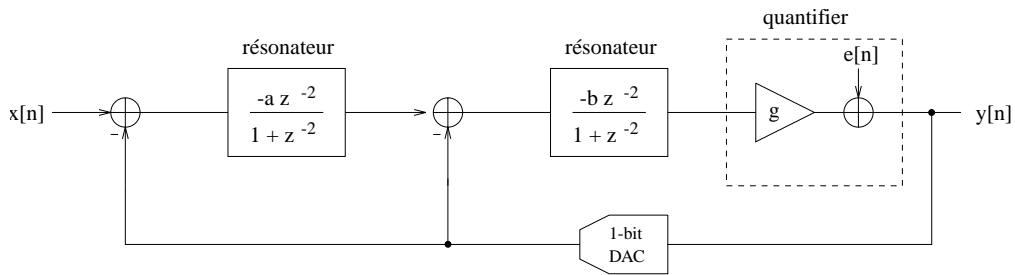
Figure 1.8. Analyse de la signature dans la technique ABILBO : (a) effet de la double intégration, (b) signature en fonction de la fréquence du signal, (c) signature en fonction de l'amplitude du signal, (d) signature en fonction de la phase du signal, (e) espace de signaux sans excéder la capacité du compteur, et (f) effet de la constante d'intégration (1996 IEEE International Conference on Computer-Aided Design).

1.3.3. BIST de modulateurs $\Sigma\Delta$ avec reconfiguration du circuit

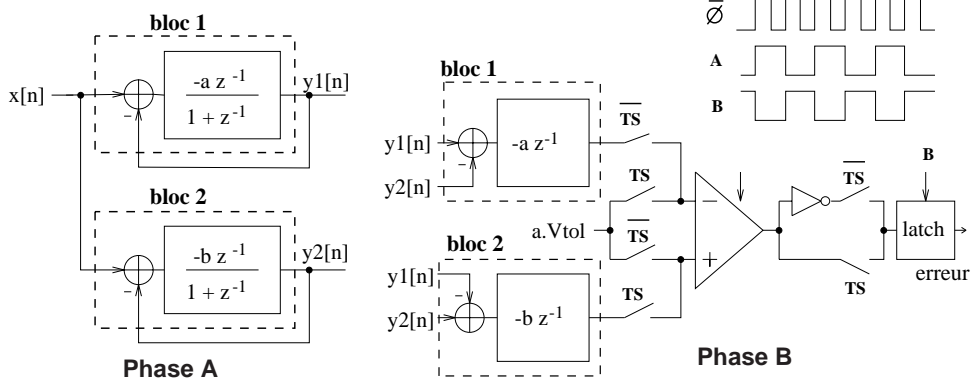
Un démonstrateur sur le test des circuits différentiels a été envisagé par l'Université de Pavia dans le cadre du projet européen AMATIST. Ce circuit, un modulateur $\Sigma\Delta$ de premier ordre d'application aux systèmes de radio numérique, a été rendu testable en ligne en utilisant la technique présentée précédemment [83]. L'étude de ce modulateur nous a permis d'envisager une nouvelle technique de BIST pour ce type de circuits. Nous l'avons appliqué au modulateur $\Sigma\Delta$ de deuxième ordre de la Figure 1.9(a) [80].



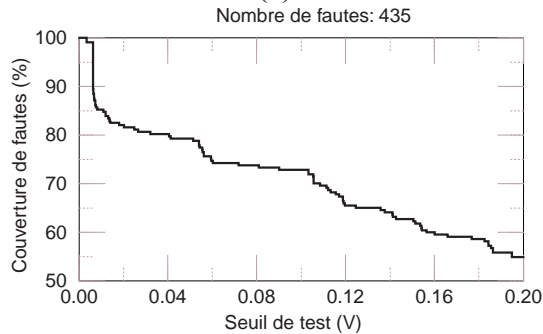
(a)



(b)



(c)



(d)

Figure 1.9. BIST de modulateurs $\Sigma\Delta$ par reconfiguration du circuit : (a) modulateur $\Sigma\Delta$ différentiel de deuxième ordre, (b) diagramme de base du modulateur, (c) principe de la technique de BIST par reconfiguration, et (d) couverture de fautes obtenu (1997 IEEE International Workshop on Mixed-Signal Testing).

Ce modulateur différentiel est réalisé à base de deux résonateurs et un comparateur sous le contrôle de quatre phases d'horloge A, B, ϕ_1 et ϕ_2 . Les deux phases A et B permettent de réaliser un résonateur d'ordre deux avec un seul amplificateur différentiel. Le diagramme de blocs de la Figure 1.9(b) illustre la fonction de transfert de ces circuits.

La technique de BIST consiste à ouvrir les boucles de contre-réaction et reconfigurer les deux résonateurs pendant le mode de test, de façon qu'il soit possible de comparer les deux résonateurs pendant le test sans avoir besoin de rajouter de nouveaux blocs dans le circuit, seulement des interrupteurs de contrôle. La Figure 1.9(c) montre le principe de cette technique. Pendant la phase A, chaque résonateur est reconfiguré dans une boucle de gain unité avec le même gain, fonctionnant ainsi comme un filtre. Pendant la phase B, les résultats de la phase A de chaque bloc sont soustraits dans les mêmes blocs fonctionnant maintenant comme soustracteurs, et le résultat est comparé avec le seuil de tolérance acceptable. La Figure 1.9(d) montre la couverture de fautes en fonction du seuil de tolérance pour le cas de fautes catastrophiques et certains fautes paramétriques dans tous les interrupteurs et capacités du circuit.

1.4. Conclusions de ces recherches

L'étude des techniques de test de circuits complètement différentiels a été un résultat important de ces recherches. Même si les résultats obtenus sont positifs, cette technique de test n'a pas encore vu un développement industriel. En effet, la dégradation de la performance des circuits analogiques à cause de l'accès aux nœuds différentiels, en particulier les entrées des amplificateurs, est un obstacle à l'utilisation de cette technique. La solution la plus vraisemblable afin d'automatiser cette technique consiste à concevoir des amplificateurs différentiels intégrant des sorties numériques qui surveillent le code différentiel à l'entrée et à la sortie des amplificateurs. Ainsi, l'application de la technique de test d'un circuit analogique complètement différentiel nécessiterait seulement d'accéder à ces signaux numériques, éliminant ainsi les doutes sur la dégradation de la performance.

En outre, la surveillance du code différentiel résulte en une observabilité des fautes plus difficile par rapport à la simple surveillance des déviations du signal de sortie par rapport à un signal attendu, dans un test non concurrent. Les seuils de tolérance de mode commun sont alors petits et la conception des *checkers* et la robustesse du circuit est compromise.

La détection de fautes différentielles³⁵ a aussi été évoquée comme un problème de cette technique. Nous avons étudié ces fautes dans [84]. La détection dépend de la valeur de la résistance de court-circuit, de la tolérance du *checker* et des paramètres du circuit. Les fautes différentielles extérieures aux amplificateurs sont détectables pour des valeurs réalistes de la résistance de court-circuit. Par contre les fautes différentielles à l'intérieur d'un amplificateur sont difficilement détectables en surveillant le mode commun et le code différentiel. Ces fautes doivent être évitées par un *layout* adéquat.

D'autres équipes de recherche se sont intéressées au test de ces circuits. Une équipe de recherche aux USA a étudié leur test de façon indépendante en même temps que nous [146]. L'étude de *checkers* à tolérance relative se poursuit actuellement dans une autre équipe de recherche nord-américaine [147].

³⁵ *Differential bridges.*

Chapitre 2

Les outils de CAO de test analogique et mixte

1993-1997

2.1. Introduction

Une des difficultés importantes dans le domaine de test de circuits analogiques et mixtes a été l'inexistence d'outils de CAO permettant l'automatisation des tâches tels que la simulation de fautes et la génération de vecteurs de test. Des outils très performants existaient pendant cette époque dans le cas des circuits numériques mais il n'était pas possible de les appliquer aux circuits analogiques. Sans ces outils, il est toujours difficile, voir impossible, d'évaluer la qualité d'une technique de test intégré. Ainsi, nous avons voulu développer des logiciels permettant d'abord l'évaluation de la qualité d'une technique de test et, ensuite, la comparaison entre des techniques différentes. La formation en programmation et structures de CAO qui a été acquise pendant les travaux de doctorat nous a permis le développement de ces outils. Grâce à l'utilisation du langage de programmation logique Prolog, le prototypage rapide de ces outils a été possible, même s'il ne s'agit pas d'applications de l'Intelligence Artificielle typiquement visées avec ce langage. Nous avons développé deux outils de CAO pendant cette époque dont nous décrirons leur fonctionnement et application sans entrer dans les détails de la réalisation logicielle.

Le premier outil permet la génération de fréquences de test des circuits analogiques linéaires [26]. Nous avons développé cet outil au Laboratoire TIMA dans la période de 1994 à 1995, sous l'encadrement de Marcelo Lubaszewski qui co-dirigeait l'équipe de test analogique. L'objectif de cet outil a été, initialement, la simulation de fautes dans les filtres analogiques à niveau de la fonction de transfert. Ceci nous a permis l'analyse et la validation des techniques de test des circuits complètement différentiels que nous avons présenté dans le chapitre précédant. L'outil a, par la suite, évolué jusqu'à réaliser un vrai algorithme de génération de fréquences de test, valable aussi bien pour les circuits différentiels que pour n'importe quel autre type de circuit analogique linéaire.

Tel que nous l'avons mentionné au chapitre précédant, les travaux de test analogique au Laboratoire TIMA et au CNM dans l'époque de 1994 à 1997 ont été développés dans le cadre

du projet européen AMATIST. Après les travaux de post-doctorat à Grenoble dans la période de 1993 à 1995, ce projet nous a offert la possibilité de continuer ces recherches au CNM à Séville, en Espagne, sous la tutelle d'un programme national de réintégration de chercheurs à l'étranger. Les travaux au CNM ont été réalisés sous l'encadrement d'Adoración Rueda et de José Luis Huertas qui co-dirigeaient l'équipe de test analogique. Cette équipe a travaillé principalement sur des circuits à capacités commutées. A Grenoble, nous avons fabriqué des filtres avec cette technique en incluant le traitement simultané du test. Par contre, il nous manquait un outil de simulation spécialement orienté à ce type de circuits. Ce simulateur était disponible à Séville. Afin de valider les techniques de test proposé dans les différentes équipes, il manquait encore un outil d'automatisation des tâches de simulation de fautes. Ainsi nous avons développé un deuxième outil de CAO qui permet la simulation de fautes des circuits à capacités commutées. Nous avons développé cet outil au CNM dans la période de 1996 à 1997 [81].

2.2. Objectif et sujets de recherche abordés

L'objectif visé par cet axe des travaux de recherche développés pendant la période 1993-1997 a été le développement d'outils de CAO destinés au test et le diagnostic des circuits analogiques et mixtes, afin d'automatiser ces tâches. Le Tableau 2.1 résume les différents sujets de recherche abordés et quelques références bibliographiques auxquelles ils ont donné lieu. Ces références décrivent en détail les résultats obtenus. Une description brève de ces résultats est donnée par la suite.

Domaine de Recherche	Sujets de recherche abordés	Références bibliographiques
<i>Test de circuits analogiques et mixtes</i>	DFT modélisation de fautes simulation de fautes diagnostic	[77] [81][92] [81][77] [24][93]
<i>Outils de CAO pour le test</i>	outil de génération de fréquences d'essai outil de simulation de fautes des circuits à capacités commutées outils de traduction HSPICE↔SwitCap	[26][86] [81][122] [81][122]

Tableau 2.1. Sujets de recherche abordés dans la période 1993-1997 sur les outils de CAO de test analogique et mixte, et quelques références bibliographiques associées.

2.3. Description des travaux réalisés

2.3.1. Génération automatique de fréquences de test

La procédure de génération de fréquences de test vise la détection de fautes simples dans le cas des circuits linéaires invariants en utilisant des signaux de test sinusoïdaux. Dans ces circuits, les effets des défauts sont souvent dépendants de la fréquence des signaux de test. La procédure proposée génère un ensemble minimal de mesures à prendre et de fréquences de test à appliquer qui garantissent la couverture et le diagnostic maximum de fautes dynamiques (AC). Des fautes aussi bien catastrophiques que paramétriques ont été considérées.

Ces vecteurs de test servent à la validation d'un circuit une fois les tests paramétriques ont vérifié le comportement statique (DC). L'avantage de cette approche par rapport à d'autres travaux est que nous garantissons un ensemble minimal de fréquences de test. Par rapport au diagnostic, un dictionnaire de fautes qui contient les signatures des effets des fautes dans le domaine fréquentiel est utilisé. Il est alors possible d'identifier et de localiser les fautes sans l'aide de points de mesure analogiques. Seulement des circuits de contrôle avec des sorties de type booléen³⁶ sont nécessaires pour le diagnostic.

Dans [26], la procédure est appliquée à un filtre biquadratique. En effet, ce filtre a été étudié dans le cas de trois stratégies d'autotest différentes : le test concurrent complètement différentiel, le test concurrent basé sur la vérification des variables d'état³⁷ [141] et l'approche T-BIST qui consiste en la surveillance de la réponse de certains nœuds du circuit en magnitude et en phase [148]. Chaque approche considère différentes mesures de test. La procédure sélectionne dans chaque cas l'ensemble minimal de mesures et l'ensemble minimal de fréquences de test qui engendrent la couverture de fautes et le diagnostic maximum. L'observabilité des fautes est en même temps optimisée³⁸. Ainsi, ces différentes stratégies sont comparées en fonction de la couverture et du diagnostic des fautes.

L'algorithme que nous présentons ci-dessous considère des circuits linéaires pour lesquelles l'effet d'une faute F_i sur une mesure de test T_i dépend de l'amplitude du signal d'entrée et de sa fréquence. En fait, l'algorithme se base sur le fait qu'une faute est en général détectable dans une certaine plage de fréquences. Les plages de fréquences dans lesquelles une faute est détectée, appelées ici *régions de détection*, sont facilement calculables par une simulation AC. L'outil développé utilise des simulations de la fonction de transfert, mais la technique est la même si on utilise des simulations AC au niveau du circuit qui nécessitent toujours des temps de calcul courts.

L'amplitude d'un signal de test sinusoïdal dépend du seuil de détection des mesures de test. En général, l'amplitude du signal doit être suffisamment large afin de produire des déviations observables sur ces mesures de test affectées par les fautes. Ce même signal ne doit pas saturer le circuit dans l'absence de fautes. Les résultats sont aussi valables dans le cas des fautes qui saturent le circuit sous test, sous condition que le circuit ne soit pas saturé dans toute la plage de fréquences, et que la région de détection de la faute recouvre la région dans laquelle le circuit est saturé. Ainsi, si une faute est détectable quand on arrive à la zone de saturation, nous supposons que la faute continue à être détectable dans la région de saturation. L'outil de génération surveille la vérification de cette propriété dans le cas de chaque faute. Ceci nous permet de considérer toujours des modèles linéaires (et alors des simulations AC) même en présence de fautes qui peuvent résulter en un comportement non linéaire.

Nous illustrerons l'algorithme de génération dans le cas du filtre biquadratique complètement différentiel que nous avons montré comme exemple au chapitre précédent (voir Figure 1.1(a)). La procédure de génération suit les points suivants :

1. *Définition de l'ensemble de fautes \mathcal{F}* : L'ensemble de fautes à tester est préalablement défini. Cet ensemble contient en général des fautes simples paramétriques et catastrophiques sur les composants du circuit. Dans notre exemple, nous considérons des fautes catastrophiques (ouverts et courts-circuits) sur tous les composants passifs du circuit de la Figure 1.1(a) (voir [26] pour des exemples avec des fautes paramétriques). Dans ce circuit complètement différentiel, une faute sur un composant passif ne donne pas lieu à la saturation du circuit et les conditions mentionnées ci-dessus sont toujours vérifiées (des exemples de génération de signaux de test pour des circuits qui saturent sur

³⁶ Go/no-go.

³⁷ Checksums.

³⁸ Localement, dans une certaine plage de fréquences.

l'effet des fautes sont illustrés dans [26]). En outre, nous avons vu précédemment que des fautes sur des composants symétriques (tel que R1 et R3 dans notre circuit) ont le même impact sur l'amplitude du mode commun des nœuds affectés. Ces fautes peuvent être distinguées car la phase du signal d'erreur est opposée. Désormais, seulement les fautes sur la partie supérieure du filtre sont traitées. L'ensemble de fautes à considérer est :

$$\mathcal{F}=\{R1x, R2x, C2x, R9x, R5x, C6x, R11x, R13x\}$$

Nous utilisons la notation R1o pour désigner une faute de type circuit ouvert sur le composant R1, R1s pour indiquer une faute de type court-circuit sur le composant R1, et R1x pour indiquer une faute d'un de ceux deux types.

2. *Définition de l'ensemble de mesures de test \mathcal{T}* : cet ensemble inclut les propriétés du circuit sous test ou les paramètres de test qui peuvent être surveillés par le circuit de contrôle. Dans notre exemple, les *checkers* analogiques peuvent mesurer le mode commun dans chacun des nœuds différentiels du circuit $\{J, U, X, V, W, Y\}$. Nous utilisons la notation CM_J pour indiquer la mesure du mode commun sur le nœud *J*. L'ensemble des mesures de test possibles est alors :

$$\mathcal{T}=\{CM_J, CM_U, CM_X, CM_V, CM_W, CM_Y\}$$

3. *Sélection de l'amplitude du signal d'entrée et des seuils de tolérance* : les seuils de tolérance de chaque mesure de test sont choisis en fonction de l'amplitude du signal d'entrée et la couverture de fautes requise. Des valeurs initiales de l'amplitude du signal de test et des seuils de tolérance sont considérées. Ces valeurs pourront être revues plus tard en fonction de la couverture de fautes atteinte. Dans notre exemple, nous avons choisi une plage de tolérance typique de [-100, 100] mV de mode commun dans chaque mesure de test et un signal d'entrée différentiel avec une magnitude de 2 V. Cette amplitude ne sature aucun des amplificateurs du circuit en l'absence de fautes.
4. *Détermination des régions de détection des fautes* : les effets de chaque faute de l'ensemble \mathcal{F} sur chaque mesure de test de l'ensemble \mathcal{T} sont calculés dans la plage de fréquences d'opération du circuit. Pour chaque mesure de test \mathcal{T}_i , un ensemble \mathcal{F}_i des fautes qui sont détectables par cette mesure est calculé. L'effet d'une faute F_j appartenant à cet ensemble est représenté par la plage de fréquences dans laquelle cette faute est observable sur la mesure de test \mathcal{T}_i . Si la faute sature le circuit et les conditions définies ci-dessus ne sont pas validées, la faute n'est pas incluse dans l'ensemble \mathcal{F}_i . Dans notre exemple, nous considérons la plage de fréquence d'opération du circuit de 1 Hz à 60 kHz. Les ensembles des fautes détectables par chaque mesure de test sont :

$$\mathcal{F}_J=\{R1x, R2x, C2x, R9x\}$$

$$\mathcal{F}_U=\{\}$$

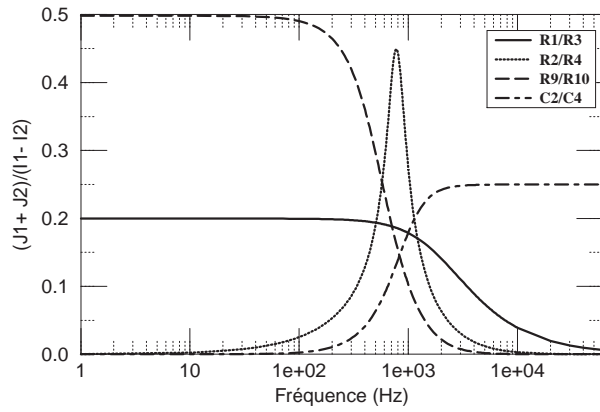
$$\mathcal{F}_X=\{R5x, C6x\}$$

$$\mathcal{F}_V=\{\}$$

$$\mathcal{F}_W=\{R11x, R13x\}$$

$$\mathcal{F}_Y=\{\}$$

Nous utilisons la notation \mathcal{F}_J pour indiquer l'ensemble des fautes détectées par la mesure de test CM_J. Nous remarquons que les fautes sur les composants passifs n'affectent pas le code différentiel à la sortie des amplificateurs et qu'une faute sur un composant passif affecte seulement le mode commun à l'entrée de l'amplificateur sur lequel il est connecté. Par exemple, l'effet des fautes de type circuit ouvert dans l'ensemble \mathcal{F}_J sur la mesure de test CM_J est illustré Figure 2.1(a). Les régions de détection des fautes dans l'ensemble \mathcal{F}_J sont données Figure 2.1(b).



(a)

Faute	Région de détection
R1s	1 – 60000
R2s	85 – 3732
C2s	85 – 3732
R9s	1 – 2685
R1o	1 – 3447
R2o	336 – 1567
R9o	1 – 1014
C2o	647 – 60000

(b)

Régions de Diagnostic	Bande de fréquence	Fautes \mathcal{F}_J							
		R1s	R2s	C2s	R9s	R1o	R2o	R9o	C2o
A1	1 — 85	1	0	0	1	1	0	1	0
A2	85 — 336	1	1	1	1	1	0	1	0
A3	336 — 647	1	1	1	1	1	1	1	0
A4	647 — 1014	1	1	1	1	1	1	1	1
A5	1014 — 1567	1	1	1	1	1	1	0	1
A6	1567 — 2685	1	1	1	1	1	0	0	1
A7	2685 — 3447	1	1	1	0	1	0	0	1
A8	3447 — 3732	1	1	1	0	0	0	0	1
A9	3732 — 60000	1	0	0	0	0	0	0	1

(c)

Mesure de test	Fautes équivalentes	Ensembles minimaux de régions de diagnostic	Bande de fréquence régions de diagnostic
CM_J	{R2s,C2s}	{A1,A5,A7,A9} {A1,A6,A7,A9}	A1: 1 — 85 A5: 1014 — 1567 A6: 1567 — 2685 A7: 2685 — 3447 A9: 3732 — 60000
CM_X	{R5s,C6o},{R5o,C6s}	{B1} {B3}	B1 : 1 — 60 B3 : 1739 — 7957
CM_W	{R11s,R13o},{R11o,R13s}	{C2}	C2 : 1414 — 2798

(d)

Régions globales de diagnostic	Fréquence sélectionnée	Régions de diagnostic couvertes
1 — 85	43	A1, B1
1414 — 1567	1490	A5, C2
2685 — 3447	3066	A7
3732 — 60000	31866	A9

(e)

Figure 2.1. Génération automatique de fréquences de test pour le filtre analogique différentiel: (a) effet des fautes du type circuit ouvert sur la mesure de test CM_J , (b) régions de détection pour CM_J , (c) régions de diagnostic pour CM_J , (d) ensembles minimaux de régions de diagnostic et (e) fréquences de test permettant le diagnostic. (1996 IEEE The European Design and Test Conference).

5. *Considération des fautes non détectées* : dans le cas où certaines fautes ne soient observables dans aucune région, et s'il s'avère possible d'augmenter la magnitude du signal d'entrée ou, ce qui est équivalent, de diminuer les seuils de tolérance, la procédure doit être reprise avec ces nouvelles valeurs dans le point 4. Autrement, il faut procéder avec la couverture de fautes déjà obtenue. Dans notre exemple, toutes les fautes sont détectables au moins par une mesure de test.
6. *Détermination de l'ensemble minimal de mesures de test* : cet ensemble correspond au nombre minimal de mesures de test $\mathcal{T}_1 \subset \mathcal{T}$ nécessaire pour que chaque faute soit détectée au moins par une mesure de test. La détermination de cet ensemble est équivalente à prendre les produits de termes qui contiennent moins de termes dans une fonction booléenne qui représente la détection des fautes. Par exemple, supposons le cas de la Table 2.2 où cinq fautes sont observées par quatre mesures de test.

Faute	Mesures de Test			
	T _A	T _B	T _C	T _D
F ₁	1	0	1	1
F ₂	0	1	0	0
F ₃	1	0	0	1
F ₄	0	1	1	0
F ₅	1	0	0	1

Table 2.2. Exemple de détermination d'un ensemble minimal de mesures de test.

La valeur 1 dans cette Table indique que la faute est détectée par la mesure de test, et inversement pour la valeur 0. Comme chaque faute doit être détectable au moins par une mesure de test, une expression qui couvre la détection de toutes ces fautes est formée en multipliant les expressions booléennes représentant chaque ligne de la Table comme suit :

$$(T_A + T_C + T_D)T_B(T_A + T_D)(T_B + T_C)(T_A + T_D)$$

Dans cette expression, nous éliminerons les termes qui sont déjà couverts par des termes plus simples donnant comme résultat :

$$T_B(T_A + T_D)$$

L'ensemble minimal est finalement obtenu en prenant le produit final qui contient moins de termes. En général, ce problème n'est pas exponentiel avec le nombre de fautes considéré. Dans cet exemple, nous avons le choix entre deux ensembles possibles : $\{T_A, T_B\}$ et $\{T_B, T_D\}$. L'ensemble nécessitant a priori un nombre plus bas de fréquences de test est choisi. Ainsi, dans le cas de $\{T_A, T_B\}$, trois fautes doivent être diagnostiquées en utilisant T_A selon la Table 2.2, ce qui demande au moins deux fréquences différentes, et deux fautes en utilisant T_B ce qui peut demander une troisième fréquence. Dans le cas de l'ensemble $\{T_B, T_D\}$, trois fréquences sont aussi nécessaires a priori. Un quelconque de ces deux ensembles peut alors être considéré. Dans notre exemple du circuit différentiel, l'expression couvrant la détection de toutes les fautes est simplement donnée par :

$$CM_J CM_X CM_W$$

L'ensemble minimal de mesures de test est alors formé par les mesures du mode commun à l'entrée de chacun des amplificateurs opérationnels :

$$\mathcal{T}_1 = \{CM_J, CM_X, CM_W\}$$

et les mesures de test non considérés forment l'ensemble :

$$\mathcal{T}2 = \{CM_U, CM_V, CM_Y\}$$

7. *Détermination des régions de diagnostic de chaque mesure de test* : la plage des fréquences d'opération du circuit est divisée, pour chaque mesure de test, en régions que nous appelons *régions de diagnostic*, de façon que chaque région permet la détection d'un ensemble différent de fautes détectées par cette mesure de test. La procédure pour chaque mesure de test T_i dans $\mathcal{T}1$ est la suivante :

- a) *Détermination de l'ensemble des régions de diagnostic* : nous pouvons obtenir l'ensemble de ces régions à partir des frontières des régions de détection des fautes F_i détectées par la mesure de test T_i . Dans notre exemple, la Figure 2.1(c) montre ces régions dans le cas des fautes F_j détectées par la mesure de test CM_j . Nous observons que chaque région détecte un ensemble de fautes différent. Par exemple, l'ensemble des fautes détectées dans la région $A1 = \{R1x, R9x\}$ est différent à l'ensemble de fautes détectées dans la région $A2 = \{R1x, R2s, C2s, R9x\}$. Notons aussi que toutes les fautes sont détectées dans la région A4. Par conséquent, si nous cherchons seulement un maximum de couverture, une seule fréquence dans cette région suffit. De façon pratique, une région de diagnostic trop petite peut être ignorée s'il s'avère difficile d'assurer la génération d'une fréquence dans une telle plage.
- b) *Détermination des fautes équivalentes* : ce sont des fautes qui sont détectées dans les mêmes régions de diagnostic et, par conséquent, elles ne peuvent pas être distinguées par la mesure de test T_i . Le sous-ensemble de fautes $E_i \subset F_i$ contient des fautes équivalentes. Dans notre exemple de la Figure 2.1(c), les fautes R2s et C2s sont équivalentes par rapport à la mesure de test CM_j , car elles sont détectées dans les mêmes régions de diagnostic. L'effet de ces deux fautes sur le mode commun CM_j est le même et dorénavant elle seront considérées comme un ensemble $\{R2s, C2s\}$. Après avoir grouper les fautes équivalentes, toutes les fautes dans la Figure 2.1(c) sont détectées par un ensemble différent de régions de diagnostic.
- c) *Détermination des ensembles minimaux de régions de diagnostic* : ce sont des ensembles de régions de diagnostic contenant le nombre minimum de ces régions qui permet de distinguer toutes les fautes non équivalentes dans F_i . Une technique simple de calcul de ces ensembles (mais quadratique par rapport au nombre de fautes) consiste à prendre pour chaque pair de fautes dans F_i les régions de diagnostic qui permettent de les distinguer. Une expression booléenne peut alors représenter les résultats de tous les pairs de fautes. De façon similaire au cas des ensembles minimaux de mesures de test, les produits de cette expression contenant moins des termes correspondent aux ensembles minimaux de régions de diagnostic. Par exemple, considérons le diagnostic en utilisant la mesure de test T_A tel que nous montrons dans la Table 2.2. Considérons maintenant que les trois fautes à diagnostiquer sont détectées dans les régions de diagnostic de la Table 2.3.

Région de diagnostic	Faute		
	F ₁	F ₃	F ₅
A1	1	1	0
A2	0	1	0
A3	0	0	1

Table 2.3. Exemple de détermination d'un ensemble minimal de régions de diagnostic.

Afin de distinguer les fautes F_1 et F_3 , la région A_2 est nécessaire. Pour F_1 et F_5 , soit la région A_1 ou la région A_3 est nécessaire. Finalement, une région quelconque permet de distinguer entre F_3 et F_5 . Ainsi, les ensembles minimaux sont représentés par l'expression :

$$A_2(A_1+A_3)(A_1+A_2+A_3)$$

ce qui donne comme ensembles minimaux :

$$A_2(A_1+A_3)$$

Deux ensembles minimaux ayant chacun deux régions de diagnostic sont possibles : $\{A_1, A_2\}$ et $\{A_2, A_3\}$. Néanmoins, aucun ensemble ne permet la détection de toutes les fautes. Par exemple, $\{A_1, A_2\}$ distingue toutes les fautes mais ne détecte pas la faute F_5 . Ainsi, l'ensemble minimal permettant le diagnostic et la détection de toutes les fautes est $\{A_1, A_2, A_3\}$. Dans notre exemple du circuit différentiel, les ensembles minimaux sont représentés par l'expression :

$$A_1(A_5+A_6)A_7A_9$$

ce qui donne les ensembles minimaux $\{A_1, A_5, A_7, A_9\}$ et $\{A_1, A_6, A_7, A_9\}$ avec quatre régions de diagnostic chacun. Ces régions sont montrées sur la Figure 2.1(d).

8. *Détermination des régions de diagnostic de toutes les mesures de test* : ce point implique la sélection d'un ensemble minimal de régions de diagnostic pour chaque mesure de test tout en minimisant le nombre de fréquences de test à appliquer à tout le circuit. Ceci est possible en sélectionnant pour une mesure de test un ensemble minimal contenant des régions qui couvrent des plages de fréquence communes aux régions des autres mesures de test. Une seule fréquence dans la plage résultante de l'intersection de ces régions est suffisante. Ce problème nécessite en principe d'essayer la combinaison de chaque ensemble minimal d'une mesure de test avec chaque ensemble minimal des autres mesures de test, bien que l'utilisation d'heuristiques est possible afin d'éviter l'explosion combinatoire [26]. Dans notre exemple, les résultats de diagnostic pour chaque mesure de test sont résumés Figure 2.1(d). La solution calculée est montrée Figure 2.1(e). Cette solution sélectionne l'ensemble $\{A_1, A_5, A_7, A_9\}$ pour CM_J , $\{B_1\}$ pour CM_X et $\{C_2\}$ pour CM_W . Une seule fréquence peut couvrir les régions A_1 et B_1 . Une seule fréquence peut aussi couvrir les régions A_5 et C_2 . L'intersection des régions de diagnostic A_5 et C_2 , par exemple, donne la région de diagnostic 1414-1567 pour l'ensemble du circuit.
9. *Sélection des fréquences de test* : la fréquence à appliquer pour chaque région de diagnostic de l'ensemble du circuit peut optimiser l'observabilité de toutes les fautes couvertes dans cette région. Plus facilement, nous sélectionnons la fréquence au centre de la région de diagnostic, ce qui proportionnera au testeur les marges de sûreté les plus grandes. Dans notre exemple, les fréquences sélectionnées sont montrées Figure 2.1(e). Seulement quatre fréquences sont nécessaires à la détection et à la localisation de toutes les fautes.
10. *Détermination des fautes équivalentes vis-à-vis de toutes les mesures de test* : l'ensemble de fautes équivalentes quand m mesures de test sont considérées est donné par l'expression $\mathcal{E} = \cup_{j=1, m} \mathcal{E}_j$. Mais nous devons éliminer de cet ensemble les fautes qui ne sont pas équivalentes quand toutes les mesures sont considérées. Par exemple, une faute F_k peut être équivalente à une faute F_1 pour la mesure de test T_j mais il se peut que ça ne soit pas le cas pour une autre mesure de test. Dans notre cas, chaque faute est détectée par

une seule mesure de test et il n'y a pas des fautes équivalentes à éliminer. L'ensemble de fautes équivalentes vis-à-vis de toutes les mesures de test est donné par $\mathcal{E} = \{\{R2s, C2s\}, \{R5s, C6o\}, \{R5o, C6s\}, \{R11s, R13o\}, \{R11o, R13s\}\}$.

11. *Test de terminaison* : si $\mathcal{E} = \emptyset$, la procédure termine sans fautes équivalentes. Si $\mathcal{E} \neq \emptyset$ et $\mathcal{T} = \emptyset$, la procédure termine avec des fautes équivalentes. Finalement, si $\mathcal{E} \neq \emptyset$ et $\mathcal{T} \neq \emptyset$, nous devons considérer $\mathcal{F}1$ étant l'ensemble de toutes les fautes d' \mathcal{E} , et la procédure devra reprendre à partir du point 4 avec $\mathcal{T} = \mathcal{T}1$ et $\mathcal{F} = \mathcal{F}1$. Dans notre exemple, les fautes dans \mathcal{E} ne sont pas détectables par les mesures de test dans $\mathcal{T}1$ et la procédure termine.

2.3.2. Simulation de fautes des circuits mixtes à capacités commutées

La validation par simulation des techniques d'auto test que nous avons présenté au chapitre précédent a visé principalement des circuits en temps continu. Même si des circuits en temps discret ont été fabriqués comme démonstrateurs [92], la validation des propriétés d'auto test a été faite en utilisant des modèles équivalents de ces circuits en temps continu. La principale raison de ceci a été la difficulté de simuler des circuits à capacités commutées (SC³⁹) sous la présence de fautes. Nous avons pu simuler ces circuits à Grenoble en utilisant le simulateur HSpice et des simulations dans le domaine transitoire. Mais les simulations transitoires des circuits SC peuvent être extrêmement longues à cause de l'existence de signaux d'horloge fonctionnant à des fréquences beaucoup plus grandes que la fréquence des signaux du circuit. En outre, il n'était pas possible de réaliser des simulations AC des circuits SC à cause de ces horloges. Les simulations de fautes en utilisant des modèles équivalents en temps continu ou d'autres modèles à plus haut niveau ne sont pas vraiment réalistes. Par contre, les simulations de fautes au niveau circuit en utilisant HSpice, bien que précises, nécessitent des temps de simulation prohibitifs.

Afin d'automatiser la simulation de fautes des circuits SC, nous avons trouvé un compromis entre ces deux cas en utilisant le logiciel de simulation de circuits SC appelé SwitCap2 (SwitCap dorénavant [149]) disponible au CNM de Séville. Ce simulateur exploite la nature discrète de ces circuits et la représentation algébrique des équations de transfert de charge qui décrivent leur fonctionnement. Ainsi, des algorithmes de simulation très utiles sont mis en place pour des circuits SC linéaires et mixtes analogique/numérique. Dans le processus de design de ces circuits, SwitCap est souvent préféré à HSpice pendant les premières phases de conception car le gain en temps de simulation est de plusieurs ordres de magnitude, et la simulation dans le domaine AC est possible.

Ces deux avantages nous ont conduit à étudier la modélisation et la simulation de fautes des circuits SC avec SwitCap. De nos premières discussions avec José Luis Huertas et Adoración Rueda il en est ressorti le besoin de tenir compte des effets de deuxième ordre qui se manifestent dans le cas des circuits défaillants. En particulier, la résistance de conduction des interrupteurs et l'impédance de sortie finie des sources de voltage et des amplificateurs opérationnels jouent un rôle très important dès que des fautes sont présentes. Avec la proposition de modèles de fautes adéquats (voir Figure 2.2), nous avons développé le logiciel de simulation de fautes SWITTEST [122] dédié aux circuits SC. Cet outil permet la simulation de fautes avec SwitCap dans les domaines temporel et fréquentiel, au niveau interrupteur. Il permet aussi la simulation de fautes avec HSpice dans le domaine temporel, au niveau interrupteur et au niveau circuit (transistor).

³⁹ *Switched-Capacitor*.

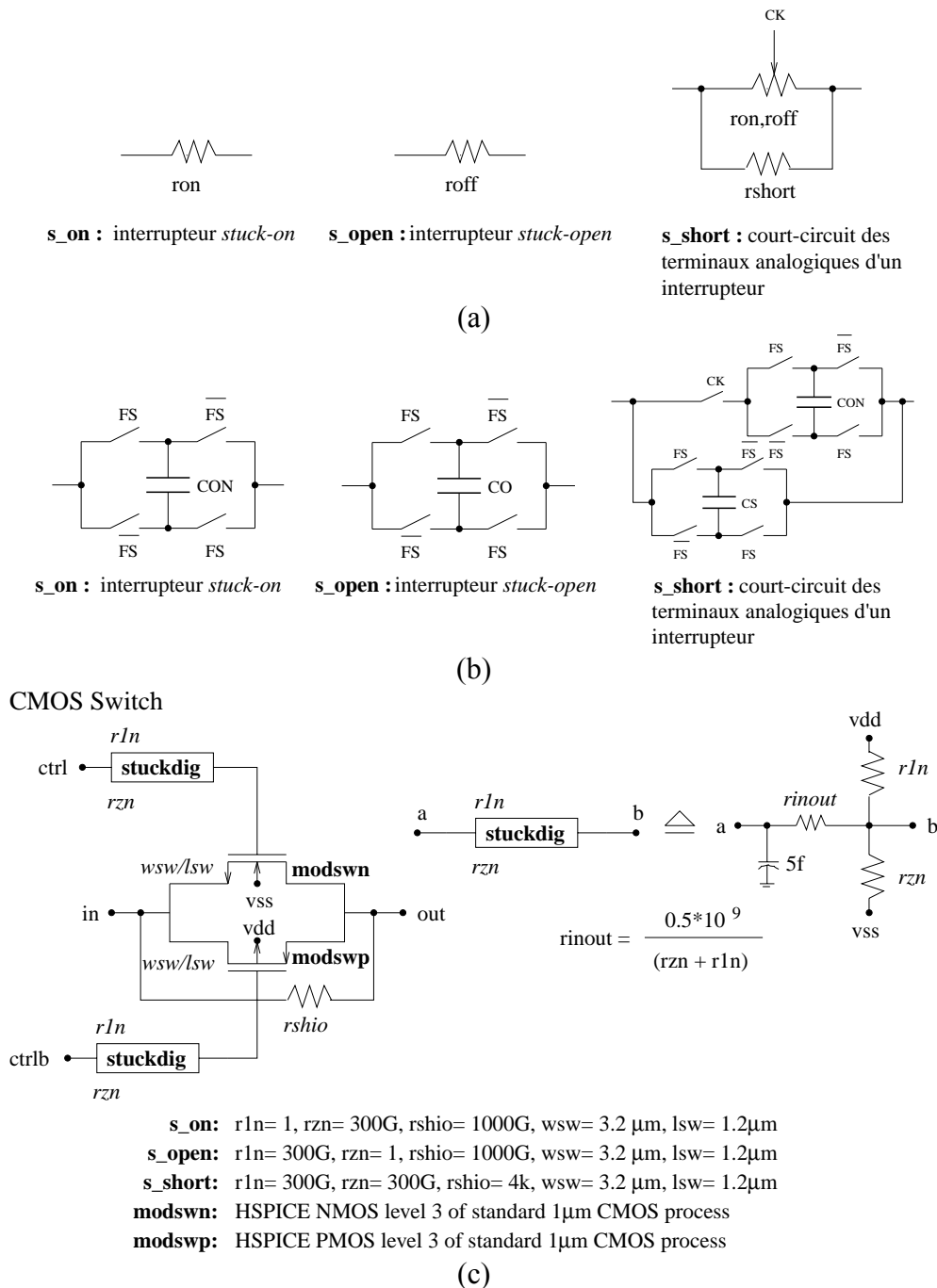


Figure 2.2. Modèles de fautes catastrophiques d'un interrupteur développés pour la simulation de fautes avec l'outil SWITTEST : (a) modélisation au niveau interrupteur avec HSpice, (b) modélisation avec SwitCap, et (c) modélisation au niveau transistor avec HSpice (1997 IEEE 34th Design Automation Conference).

2.3.2.1. La modélisation de fautes

Les fautes considérées dans les circuits SC sont des fautes catastrophiques sur les interrupteurs et des fautes catastrophiques et paramétriques sur les capacités. Des modèles de fautes au niveau interrupteur en temps discret ou en temps continu sont utilisés, respectivement, avec SwitCap et HSpice. Des modèles et simulations de fautes au niveau circuit (ou transistor) sont aussi possibles avec HSpice, notamment en vue de la validation des résultats obtenus.

La simulation de circuits SC avec HSpice au niveau interrupteur utilise des modèles idéaux des amplificateurs opérationnels et des interrupteurs. Les amplificateurs opérationnels sont modélisés par des sources de voltage avec une résistance de sortie finie. Les interrupteurs sont modélisés par des résistances contrôlées par voltage, avec les résistances correspondantes dans les états passant et ouvert. La Figure 2.2(a) montre les modèles de fautes des interrupteurs que nous utilisons avec HSpice à ce niveau d'abstraction. Ces modèles incluent des fautes de collage et de court-circuit. Le collage d'un interrupteur qui est fermé en permanence⁴⁰ est modélisé en le remplaçant par une résistance qui modélise sa résistance de conduction dans l'état passant. Le collage d'un interrupteur qui est ouvert en permanence⁴¹ est modélisé par sa résistance de conduction en l'état ouvert. Finalement, le court-circuit d'un interrupteur est modélisé par une résistance entre ses bornes analogiques. Les modèles de fautes des capacités incluent des courts-circuits et des circuits ouverts modélisés, respectivement, par une résistance en parallèle et en série avec la capacité. Finalement, une faute paramétrique sur une capacité est modélisée par un changement de sa valeur.

La simulation avec SwitCap utilise une description idéalisée des circuits SC au niveau interrupteur, tel que nous l'avons mentionné précédemment. Les résistances finies des interrupteurs et des amplificateurs ne sont pas tenues en compte et les transferts de charge entre les différents nœuds du circuit sont ainsi instantanés en fonction des horloges. Néanmoins, ces simulations sont très précises car en réalité les interrupteurs sont conçus avec des transistors qui assurent que les transferts de charge se réalisent complètement dans chaque cycle d'horloge. Par contre, l'existence de fautes résulte souvent en transferts de charge incomplets ou incorrects. D'ici le besoin de considérer les résistances finies des interrupteurs et des amplificateurs. Or les circuits SC idéalisés pour la simulation avec SwitCap ne comportent pas des résistances.

Il existe plusieurs alternatives de réalisation de circuits SC modélisant une résistance. Nous avons obtenu les meilleurs résultats en utilisant le modèle de résistance à capacités commutées bilinéaire. Ce modèle est composé d'une capacité et quatre interrupteurs idéaux cadencés par une horloge biphasée FS à une fréquence largement supérieure à la fréquence du signal analogique transmis. La Figure 2.2(b) montre les modèles de fautes des interrupteurs que nous utilisons avec SwitCap. Les fautes de collage d'un interrupteur sont modélisées en le remplaçant par la résistance de conduction correspondante, celle-ci étant modélisée par une résistance SC. Le court-circuit d'un interrupteur est modélisé en introduisant une résistance SC entre les bornes analogiques de l'interrupteur et en considérant aussi la résistance de conduction de celui-ci. Les courts-circuits et les circuits ouverts dans les capacités sont aussi modélisés en utilisant des résistances SC en parallèle et en série, respectivement. La résistance de sortie des amplificateurs est modélisée de la même façon.

Finalement, la Figure 2.2(c) montre les modèles de fautes que nous utilisons au niveau transistor en vue de représenter les fautes de collage et de court-circuit d'un interrupteur CMOS. Ces modèles ont été développés par Eduardo Peralías au CNM.

Nous avons étudié différentes résistances SC en suivant le type d'analyse que nous allons décrire par la suite dans le cas bilinéaire. Ceci a donné les meilleurs résultats. Le circuit de la Figure 2.3 montre le chargement d'une capacité C à travers ce modèle de résistance à capacités commutées. En considérant la capacité de charge C initialement déchargée, la tension V_n à travers cette capacité après n cycles d'horloge est donné par :

$$V_n = V_0 \left(1 - \left[\frac{C - C_R}{C + C_R} \right]^{2n} \right) \quad (2.1)$$

⁴⁰ *Stuck-on.*

⁴¹ *Stuck-open.*

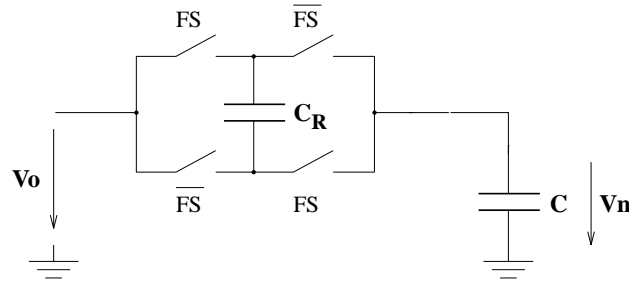


Figure 2.3. Charge d'une capacité à travers une résistance SC bilinéaire.

La charge d'une capacité à travers une résistance dans un circuit en temps continu est donnée par :

$$V_t = V_0 \left(1 - e^{-\frac{t}{RC}} \right) \quad (2.2)$$

Si f' est la fréquence de l'horloge FS, à partir des Equations (2.1) et (2.2) avec $t=n/f'$ nous obtenons :

$$R = \frac{1}{2Cf' \ln\left(\frac{1+C_R/C}{1-C_R/C}\right)} \quad (2.3)$$

Ce résultat montre que le modèle bilinéaire se comporte comme une résistance dans le cas où $C_R < C$. La valeur de cette résistance dépend de la fréquence f' et des capacités C_R et C . Néanmoins, afin d'obtenir un vrai comportement d'une résistance, celle-ci doit être indépendante de la capacité de charge C . En considérant :

$$\ln\left(\frac{1+x}{1-x}\right) \approx 2x \quad \text{si } x \ll 1 \quad (2.4)$$

nous obtenons :

$$R \approx \frac{1}{4f'C_R} \quad \text{si } \frac{C_R}{C} \ll 1 \quad (2.5)$$

ce qui donne une résistance indépendante de la capacité de charge C . La capacité C_R d'une résistance SC doit être calculée en fonction de sa charge capacitive C . Mais cette charge peut être dépendante de la phase d'horloge du système. L'Expression (2.5) peut alors être utilisée de façon approximative à la place de l'Expression (2.3) en vue de modéliser les résistances finies des interrupteurs et des amplificateurs et les résistances de court-circuit. La déviation relative δ entre les valeurs exacte et approximative est :

$$\delta = 1 - \frac{2\frac{C_R}{C}}{\ln\left(\frac{1+C_R/C}{1-C_R/C}\right)} \quad (2.6)$$

Cette déviation dépend seulement de C_R/C et elle est indépendante de la fréquence f' . La Figure 2.4(a) représente les Equations (2.3) et (2.5) avec $f'=100$ MHz et $C=1$ pF. La Figure 2.4(b) montre la déviation relative entre la résistance réelle et le calcul approximative en fonction de la proportion entre la capacité de la résistance SC et la capacité de charge. La déviation reste très faible quand nous considérons :

$$C_R \leq 0.25 C \quad (2.7)$$

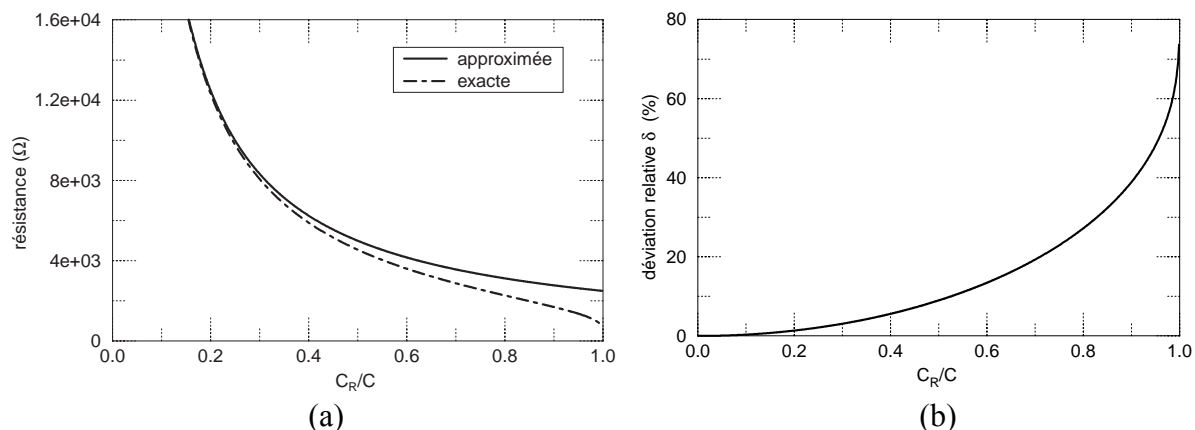


Figure 2.4. Modélisation d'une résistance SC bilinéaire : (a) comparaison entre la résistance réelle et le calcul approximé de résistance et (b) déviation relative entre les deux cas.

2.3.2.2. L'outil de simulation de fautes

L'outil SWITTEST permet la simulation automatique de fautes à partir d'un design décrit à niveau d'interrupteur. Après la simulation du circuit sans fautes, un cycle de simulation de fautes analogiques a lieu. Chaque cycle considère la simulation d'un circuit après l'injection d'une faute simple⁴² dans la *netlist* du design. Nous distinguons trois phases dans chaque cycle : l'injection de fautes, la simulation du circuit et le traitement des résultats. La Figure 2.5 illustre le fonctionnement de l'outil. La simulation de fautes démarre toujours à partir d'une spécification en format SwitCap. Cette spécification peut être générée manuellement ou bien à l'aide d'un environnement de CAO tel que nous le montrons Figure 2.5(a). En général, les environnements de CAO permettent d'obtenir une *netlist* en HSpice à partir du schéma du circuit. SWITTEST permet alors la conversion de cette *netlist* en format SwitCap en utilisant un traducteur HSpice→SwitCap que nous avons développé dans SWITTEST. Dans le cas où la *netlist* HSpice contient des sous circuits représentés au niveau des transistors (interrupteurs, logique, amplificateurs, comparateurs, etc.) le traducteur peut les remplacer par des primitives ou des circuits SwitCap. En fait, SWITTEST accepte des descriptions hiérarchiques en SwitCap ou HSpice. Lors de la simulation de fautes, l'injection d'une faute est réalisée après avoir aplati⁴³ la description hiérarchique du sous circuit où la faute est localisée. Ceci est nécessaire pour SwitCap et il est intéressant aussi pour HSpice car nous ajoutons un minimum de nouveaux composants dans la *netlist* du circuit défaillant.

En principe, l'outil fixe la fréquence f' qui cadence les résistances SC de deuxième ordre en fonction de la résistance la plus faible dans le design et de la capacité la plus petite en utilisant les Equations (2.5) et (2.7). Pour chaque résistance SC, la capacité C_R est calculée en fonction de la résistance désirée et la fréquence f' selon l'Equation (2.5). Si f est la plus grande fréquence d'horloge dans le design, cette procédure résulte en un rapport f'/f entre 10 et 1000 pour des designs pratiques. En pratique, un rapport f'/f entre 10 et 20 s'avère suffisant permettant une réduction importante du temps de simulation de fautes. Clairement, des valeurs très basses de résistance donnent lieu à des fréquences f' trop grandes. Il est alors convenable d'utiliser des valeurs de résistance de court-circuit similaires à la valeur la plus faible de la résistance de conduction des interrupteurs, ce qui en tout cas résulte en une sous estimation de la couverture de fautes. Les résistances finies des amplificateurs sont aussi négligées si elles ont des valeurs bien plus faibles que la résistance de conduction des interrupteurs.

⁴² *Single fault.*

⁴³ *Flattening.*

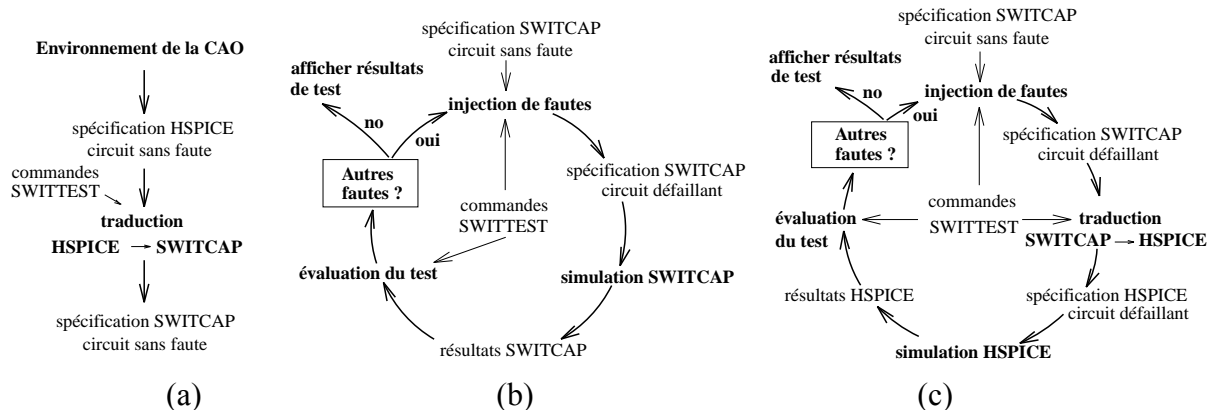


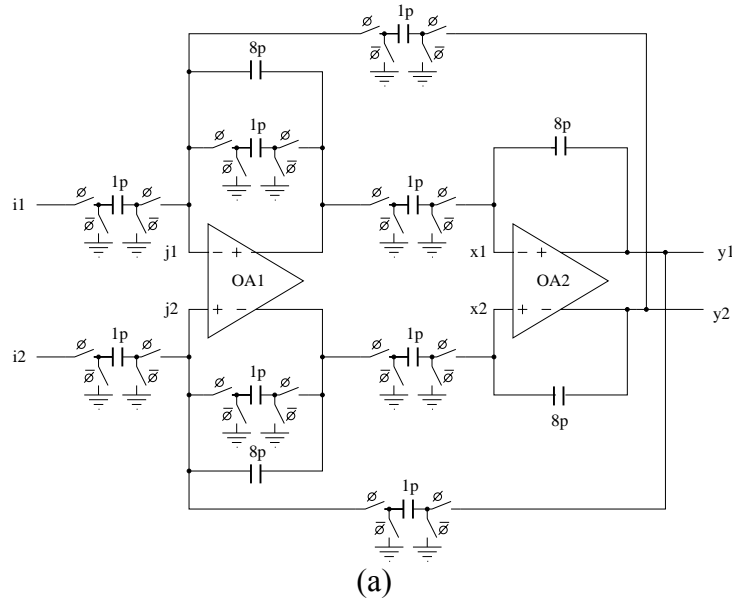
Figure 2.5. Simulation automatique de fautes avec SWITTEST : (a) préparation de la description en format SwitCap d'un circuit à partir d'un environnement de CAO, (b) simulation de fautes avec SwitCap, et (c) simulation de fautes avec HSpice à partir d'une description en format SwitCap.

Afin d'évaluer des stratégies de test, l'utilisateur spécifie des *variables de test* qui sont en général formées d'un certain nombre de *mesures de test*. Une mesure de test est spécifiée par une expression mathématique qui est fonction des potentiels des nœuds du circuit. Une erreur dans le comportement du circuit est alors détectée par une variable de test dépassant son seuil de tolérance. Des propriétés de test telles que la couverture de fautes sont calculées en fonction des variables de test et de leur seuil de tolérance et le type de simulation dans le domaine temporel ou fréquentiel.

La Figure 2.5(b) illustre le processus de simulation de fautes en utilisant SwitCap. Un fichier de commandes fournit à SWITTEST la liste de fautes, les paramètres de modélisation du circuit et les variables de test. La Figure 2.5(c) illustre la simulation de fautes en utilisant HSpice comme simulateur. Pendant chaque cycle, une faute est injectée sur la description du circuit en format SwitCap et la *netlist* correspondante est traduite en format HSpice utilisant un traducteur SwitCap→HSpice que nous avons développé dans SWITTEST.

Nous utiliserons par la suite le filtre biquadratique de la Figure 2.6(a) en vue d'illustrer l'utilisation de SWITTEST et de comparer les résultats de simulation de fautes obtenus avec SwitCap et HSpice, et aux niveaux interrupteur et transistor. Ce filtre utilise des horloges à 4 MHz. Un signal d'entrée d'amplitude 2 V différentiel est considéré avec une fréquence de 100 kHz pour les simulations transitoires. Nous considérons comme variable de test les mesures de mode commun aux entrées des deux amplificateurs.

La Figure 2.6(b) illustre un exemple de fichier de commandes pour lancer une simulation de fautes dans le domaine transitoire. Le type de simulateur de circuits est spécifié dans la ligne de commande d'appel de SWITTEST. La liste de fautes indique des fautes catastrophiques dans tous les interrupteurs et toutes les capacités du circuit et des fautes paramétriques sur toutes les capacités. Dans cet exemple, tous les interrupteurs sont supposés avoir les mêmes résistances de conduction dans l'état passant (4 k Ω). Similairement, ils ont aussi la même résistance de conduction dans l'état bloqué (100 M Ω). Les résistances de sortie finies des amplificateurs sont négligées dans ce cas. La valeur de la résistance de court-circuit est la même que la résistance de conduction des interrupteurs en état passant (4 k Ω). La résistance d'un circuit ouvert est par défaut la plus grande résistance de conduction d'un interrupteur dans l'état bloqué (100 M Ω). L'unité de capacité des capacités du circuit (*cap*) est d'1 pF. La valeur la plus faible des capacités du circuit (*mincap*) est d'1 pF. Le rapport f'/f dans ce circuit est alors de 63. Les paramètres t_f et t_r correspondent aux temps de montée et de descente des horloges (seulement dans les simulations avec HSpice).



```
(analysis=tran).
(faults=[(switch,s_on),(switch,s_open),
(capacitor,c_short),(capacitor,c_dev(2)),
(capacitor,c_dev(0.5)),
(capacitor,c_open),(switch,s_short)]).
(rshort=4.0e3).
(ron=[(switch,4.0e3)]).
(roff=[(switch,1.0e8)]).
(cap=1.0e-12).
(mincap=1).
(tf=10.0e-9).
(tr=10.0e-9).
(tm(1)= (v(j1)+v(j2))/2).
(tm(2)= (v(x1)+v(x2))/2).
(tv(1)=max(absmax(tm(1)),absmax(tm(2)))).
(time(T) :- T > $ 3.0e-6).
(th(1)=0.05).
```

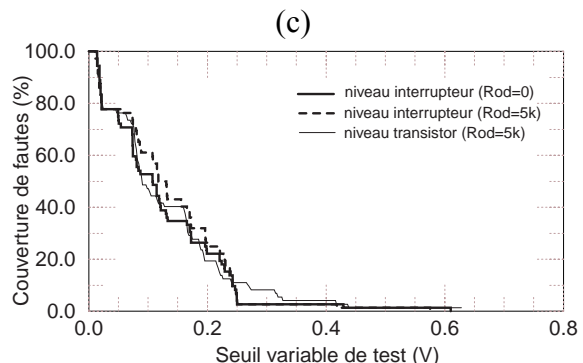
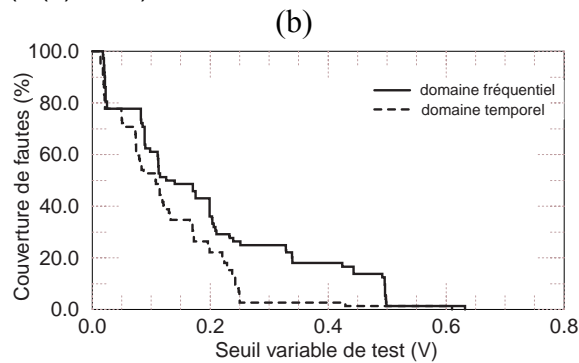
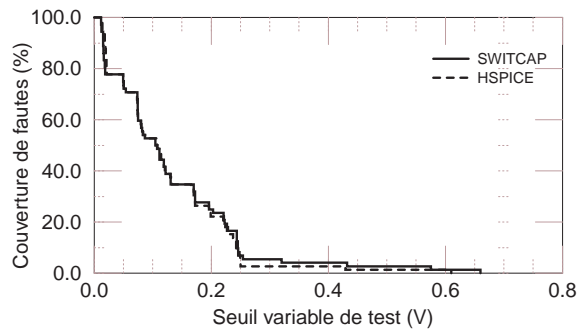


Figure 2.6. Comparaison des simulations de fautes avec SWITTEST : (a) filtre biquadratique à capacités commutées, (b) fichier de commandes pour une campagne de simulation de fautes dans le domaine temporel, (c) couverture de fautes avec les modèles de fautes au niveau interrupteur avec HSpice et SwitCap, (d) couverture de fautes avec SwitCap dans le domaine fréquentiel et temporel, et (e) comparaison de la couverture de fautes au niveau interrupteur et au niveau transistor (1997 IEEE 34th Design Automation Conference).

Les mesures de test $tm(1)$ et $tm(2)$ correspondent à l'observation du mode commun aux entrées des amplificateurs. La variable de test $tv(1)$ correspond à la valeur la plus importante du mode commun enregistré lors de la simulation du circuit en respectant les contraintes de temps (*time*), dans cet exemple, à partir de 3 μ s. Le seuil de tolérance $th(1)$ de la variable de test est de 50 mV. Dans le design, le pas d'impression des résultats est fixé de façon que les mesures du mode commun soient faites juste avant la fin de la deuxième phase d'horloge.

La campagne de simulation de fautes inclut 144 fautes. La Figure 2.6(c) montre que la couverture de fautes au niveau interrupteur en fonction du seuil de tolérance de la variable de test est pratiquement la même avec HSpice et avec SwitCap. La Figure 2.6(d) montre la couverture de fautes dans le cas d'une simulation dans le domaine fréquentiel avec SwitCap dans la plage de fréquences d'1 kHz à 1 MHz. Clairement, la couverture dans ce domaine est supérieure au cas temporel car nous stimulons le circuit dans toute la plage de fréquences d'opération. Les résultats dans le domaine temporel sont acceptables car la fréquence du signal d'entrée de 100 kHz est proche de la fréquence de coupure du filtre où les fautes sont plus observables. Notons que la couverture de fautes de 100 % est seulement possible avec un seuil de test de 18 mV de mode commun. Finalement, la Figure 2.6(e) compare les couvertures de fautes obtenues par les simulations au niveau interrupteur et au niveau transistor avec HSpice. Au niveau interrupteur, deux cas différents sont considérés pour des valeurs différentes de la résistance de sortie des amplificateurs afin de voir l'impact de ce paramètre. Les résultats sont très similaires dans tous les cas mais la simulation de fautes au niveau transistor demande des temps de simulation supérieurs, d'environ une ordre de magnitude.

2.3.2.3. L'analyse de la testabilité

Des mesures de testabilité d'un circuit analogique, fondées sur l'évaluation de l'observabilité et la contrôlabilité des nœuds d'un circuit analogique, sont difficiles à obtenir et ont peu d'intérêt pratique. Nous avons utilisé la simulation de fautes afin d'évaluer la testabilité d'un circuit SC et la qualité des stratégies de test. La Figure 2.7 montre le processus que nous avons suivi en vue d'optimiser la conception et le test d'un circuit. La sélection des stimuli de test et les techniques de test intégré (ou test externe) sont validées par l'évaluation des propriétés de test tel que la couverture de fautes, les propriétés d'auto test (*self-checking*), l'existence de composants non testables ou redondants, le temps de test, etc.

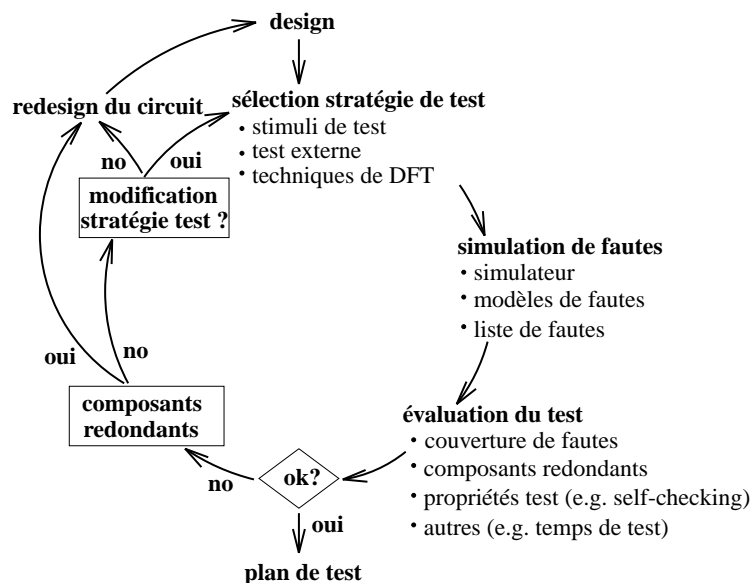


Figure 2.7. Analyse de la testabilité basée sur la simulation de fautes.

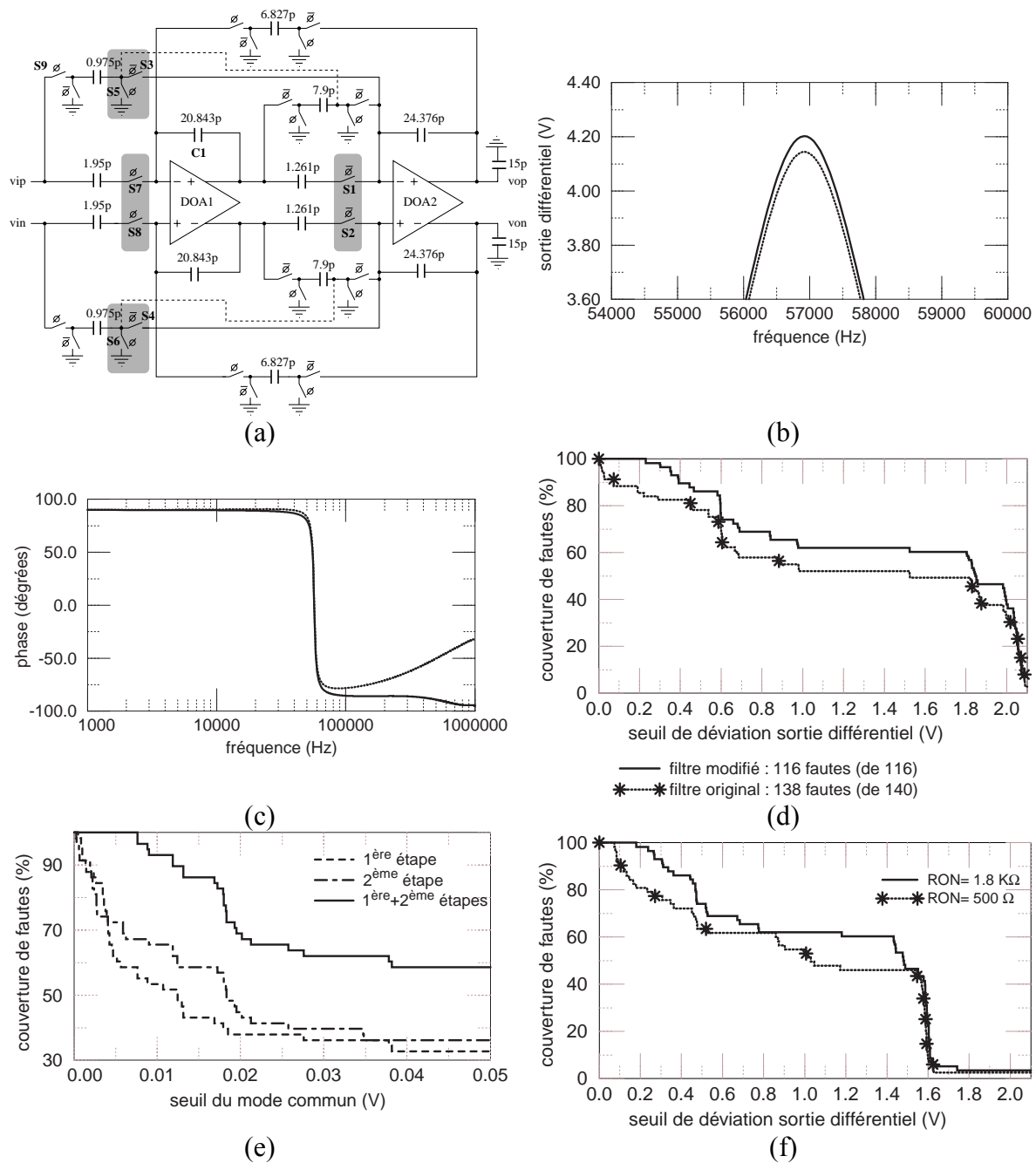


Figure 2.8. Exemple d'analyse de la testabilité avec SWITTEST : (a) filtre passe bande à capacités commutées, (b) effet sur le gain du circuit après l'élimination de quelques interrupteurs, (c) effet sur la phase du circuit après l'élimination de quelques interrupteurs, (d) effet sur la couverture de fautes par surveillance de la sortie différentiel, (e) couverture de fautes par surveillance du mode commun, et (f) couverture de fautes en fonction de la résistance de conduction des interrupteurs (1998 IEEE Design and Test Conference).

Clairement, des résultats défavorables de couverture de fautes conduisent à la modification de la stratégie de test ou le design même. Des zones du design avec une faible testabilité peuvent être localisées, des composants redondants éliminés et l'impact des paramètres de design sur la couverture de fautes analysé. Nous illustrerons ceci au moyen du filtre passe bande à capacités commutées montré Figure 2.8(a) [77]. La fréquence d'horloge de ce circuit est de 1.088 MHz. Avec un signal différentiel d'entrée d'1 V, les Figures 2.8(b) et (c) montrent le comportement du circuit. Nous considérons les fautes de collage et de court-

circuit sur tous les interrupteurs et les fautes de court-circuit et de circuit ouvert sur toutes les capacités. Les fautes paramétriques incluent des déviations de 200 % et de 50 % sur toutes les capacités. Nous obtenons ainsi un ensemble de 140 fautes. Tous les interrupteurs ont les mêmes résistances de conduction en état passant (1.8 k Ω) et en état bloqué (1 G Ω). La résistance des sources de voltage et la résistance de court-circuit est de 1.8 k Ω . La résistance de sortie différentielle des amplificateurs, qui ont un gain de 101 dB, est de 20 k Ω . La résistance d'un circuit ouvert est de 1 G Ω . La capacité des amplificateurs à l'entrée est de 100 fF. La fréquence f' du signal qui cadence les résistances SC de deuxième ordre est égale à 11 fois la fréquence d'horloge du circuit.

La simulation de fautes a montré que la couverture obtenue en surveillant la déviation de la sortie d'un quelconque des amplificateurs est la même (voir Figure 2.8(d), cas du circuit original). La raison de cette faible couverture est la difficulté de détecter des fautes de collage en état passant et des fautes de court-circuit sur les interrupteurs marquées sur la Figure 2.8(a). En fait, les interrupteurs S3, S4, S5 et S6 sont redondants dans ce design et ils peuvent être simplement éliminés si nous effectuons les connections indiquées sur la Figure 2.8(a) en ligne discontinue. Ces mêmes types de fautes sur les interrupteurs S1 et S2 sont complètement non détectables. Mais ces interrupteurs peuvent être remplacés par une simple connexion sans aucun impact sur les performances du circuit. Finalement, ces mêmes fautes sur les interrupteurs S7 et S8 sont très difficiles à détecter. En effet, ces interrupteurs peuvent être remplacés par une simple connexion avec un impact très peu important sur la fonctionnalité du circuit tel que nous le montrons Figure 2.8(b) et (c). Ainsi la couverture de fautes obtenue en appliquant un pulse différentiel à l'entrée est fortement améliorée tel que nous le montrons Figure 2.8(d). Avec un pulse d'amplitude 0.4 V différentiel à 57 kHz, nous obtenons une couverture de 100 % avec un seuil de 200 mV de déviation de la sortie différentiel (qui a une valeur nominale de 1.6 V). La Figure 2.8(e) montre la couverture de fautes en surveillant le mode commun avec un signal de test sinusoïdal d'1 V d'amplitude différentiel à 57 kHz. La couverture de 100 % est possible mais avec un seuil de test de mode commun très faible (< 10 mV) ce qui la rend difficile à appliquer. Finalement, la Figure 2.8(f) montre l'effet de la résistance de conduction des interrupteurs sur la couverture de fautes. Des valeurs faibles de cette résistance rendent la détection des fautes plus difficile.

2.4. Conclusions de ces recherches

Le développement des outils de CAO de test analogique et mixte a été réalisé dans le cadre du projet européen ESPRIT III AMATIST. Ces outils ont servi de démonstration des applications de CAO pour le test, et ils nous ont également servi comme des outils de recherche pour la validation des techniques de test intégré.

Une démonstration de l'outil de génération de fautes a été faite lors d'une des révisions du projet européen. L'algorithme de génération est clairement d'utilité dans le cas des circuits linéaires avec des techniques de test multi fréquence. Il existe néanmoins une variété de techniques de génération de tests multi fréquence et les avantages d'une technique par rapport aux autres sont probablement peu importants.

L'outil de simulation de fautes, quant à lui, a été démontré lors du Colloque de clôture de ce projet. Cet outil qui est encore unique, reste opérationnel au CNM à Séville et il a été utilisé récemment par d'autres équipes de recherche [150].

Ces outils n'ont pas fait l'objet d'un transfert industriel. L'industrie de semi-conducteurs n'a toujours pas adopté le test structurel (fondé sur la détection de fautes) en remplacement du test fonctionnel (test des spécifications). Le besoin dans un futur proche d'intégrer des techniques de BIST analogique et d'évaluer leur qualité pourrait éventuellement rendre ces outils plus intéressants du point de vue industriel.

Chapitre 3

Le test des dispositifs microsystemes

1998-2001

3.1. Contexte historique

La fabrication de capteurs avec des technologies dérivées de la microélectronique est un champ de recherche très important depuis le début des années 80, avec des applications dans des domaines aussi variés que la mécanique, le thermique, le magnétisme, l'optique ou la biochimie. Les propriétés non électriques des matériaux semi-conducteurs sont à l'étude depuis les années 60. Cependant, il a fallu attendre les années 90 avant de voir certaines de ces technologies mûrir, donnant lieu à des produits qui ont fait leur preuve dans des applications grand public. Le succès des microsystemes tels que les capteurs de pression, les accéléromètres et les têtes d'imprimantes à jet d'encre ont impulsé un marché qui a rapidement offert une très vaste gamme d'applications.

La recherche de techniques de test intégré pour les microsystemes a été abordée par la communauté du test analogique à partir de la deuxième moitié des années 90. Puisque ces dispositifs sont des composants analogiques et mixtes, leur paradigme de test est essentiellement le même. Les chercheurs dans ce domaine ont anticipé les nouveaux défis posés par des puces intégrant des microsystemes avec leur électronique de contrôle. Dans la période 1994-1996, il n'y a qu'une poignée de travaux publiés par les chercheurs européens dans ce domaine [154][156]. Ils visent tous la simulation de fautes par modélisation des microsystemes avec des circuits équivalents électriques, mettant en évidence les difficultés de modélisation de phénomènes répartis, non localisés, inhérents à certains dispositifs [155]. Aux USA, une seule équipe est active en 1996 dans ce domaine. Cette équipe a visé l'étude de défaillances en technologies de micro-usinage en surface et l'injection de défauts au niveau du *layout* en suivant une technique proche de l'IFA⁴⁴ utilisé en microélectronique [157].

Les recherches sur le test de microsystemes ont été impulsées au Laboratoire TIMA en 1996 par Bernard Courtois qui a co-dirigé l'équipe Microsystemes avec Jean-Michel Karam⁴⁵.

⁴⁴ *Inductive Fault Analysis*.

⁴⁵ L'équipe de test analogique s'est éteinte en 1995.

Cette équipe a focalisé ses activités, à cette époque, sur les technologies de fabrication compatibles avec les procédés de fabrication CMOS qui nécessitent un micro-usinage ultérieure en vue de la formation des composants microsystemes. Les premiers travaux sur le test de microsystemes ont alors visé l'étude des défauts de fabrication et des mécanismes de défaillance dans les technologies CMOS avec une étape de micro-usinage en volume⁴⁶[151]. Parallèlement, l'équipe de Marcelo Lubaszewski au Brésil a continué à coopérer avec cette équipe sur les outils de CAT⁴⁷ de microsystemes [152].

Après le retour à Grenoble à la fin 1997, nos travaux de recherche pendant la période 1998-2001 dans le domaine du test de microsystemes ont été dirigés par Bernard Courtois, qui a dirigé aussi l'équipe Microsystemes⁴⁸. Nous avons initié à cette période l'encadrement de jeunes chercheurs comme tâche secondaire, la valorisation des travaux de recherche sur les microsystemes au moyen de projets de recherche européens étant l'objectif principal. Tandis que cet objectif n'a pas été atteint, la collaboration importante avec Benoît Charlot, qui a réalisé sa thèse dans cette période, et autres membres de l'équipe Microsystemes⁴⁹ nous a permis d'aboutir sur des résultats intéressants. Néanmoins, l'effort important consacré à la proposition de ces projets⁵⁰, combiné aux résultats de recherche obtenus par le passé, ont sans doute compté pour l'obtention d'un poste de Chargé de Recherche première classe en 2000.

3.2. Objectif et sujets de recherche abordés

L'objectif visé par ces travaux de recherche a été la transposition des techniques de test de circuits microélectroniques aux microsystemes, le but étant d'intégrer la conception et le test de ces dispositifs, de caractériser leur performance et leur fiabilité, et enfin de simplifier les techniques de test, ce qui permettrait de réduire les coûts de production. Le Tableau 3.1 résume les sujets de recherche abordés pendant cette période et quelques références bibliographiques auxquelles ils ont donné lieu. Ces références décrivent en détail les résultats obtenus. Une description brève de ces résultats est donnée par la suite.

Domaine de Recherche	Sujets de recherche abordés	Références bibliographiques
<i>Test intégré de microsystemes</i>	analyse de défauts modélisation de fautes simulation de fautes capteurs auto testables	[73] [21][23] [19][66] [16][20]
<i>Méthodes de conception et de test</i>	SoCs à technologies mixtes	[65]

Tableau 3.1. Sujets de recherche abordés dans la période 1998-2001 sur le test de microsystemes, et quelques références bibliographiques associées.

3.3. Description des travaux réalisés

Nos travaux de recherche ont débuté par l'étude des microsystemes, leurs types spécifiques de défauts de fabrication et leurs mécanismes de défaillance. Ces études ont été suivies par la

⁴⁶ Stage d'Armand Castillejo sous l'encadrement de Jean-Michel Karam.

⁴⁷ *Computer-Aided Test*.

⁴⁸ Jean-Michel Karam a quitté TIMA pour diriger MEMSCAP au printemps 1998.

⁴⁹ Fabian Parrain et Damien Veychard.

⁵⁰ Avec la collaboration de Libor Ruffer dans l'un d'eux.

modélisation et la simulation de fautes, en utilisant des techniques de test analogique. Des travaux sur des techniques de test intégré ont été développés par la suite.

3.3.1. Etude des défauts de fabrication et des mécanismes de défaillance

Ces travaux ont été centrés sur des technologies par micro usinage en volume qui sont compatibles avec les procédés de fabrication microélectronique CMOS, ce qui permet l'intégration d'un microsysteme avec l'électronique de contrôle sur la même puce. Nous avons aussi considéré une technologie de micro usinage en surface qui ne nous a pas permis l'intégration de la microélectronique. Les techniques de micro usinage en volume et en surface sont utilisées dans la plupart des procédés de fabrication de microsystemes.

De nombreux dispositifs ont été fabriqués en technologie CMOS par micro-usinage en volume au moyen du service CMP⁵¹ du laboratoire TIMA par l'équipe Microsystemes dirigée par Jean-Michel Karam et Bernard Courtois. L'inspection d'unités défaillantes a permis de lier les causes d'un mauvais fonctionnement (défauts de fabrication, mécanismes de défaillance ou erreurs lors de la conception) avec les types de fautes qui servent à la modélisation du comportement [73]. Ces études se sont focalisées principalement sur des problèmes qui se manifestent juste après la fabrication. Des problèmes liés à la fiabilité qui se manifestent lors de l'opération du dispositif n'ont pas vraiment été étudiés. Il s'agit, par exemple, des problèmes provoqués par l'usure des matériaux, par des méthodes d'opération incorrectes ou par des instabilités électriques ou mécaniques.

Un premier classement a distingué les sources d'un mauvais fonctionnement, selon que celles-ci proviennent du procédé de fabrication CMOS ou du micro-usinage en volume. Dans le premier cas, ces sources proviennent d'une étape du procédé de fabrication CMOS [151]. Par la suite, nous avons fait un deuxième classement qui a distingué les fautes paramétriques et catastrophiques dans ces dispositifs. Ces types de fautes sont liés aux propriétés physiques, géométriques ou structurelles des dispositifs. Enfin, il a été possible de mettre en rapport ces deux classements, ce qui a permis de relier les différents types de fautes catastrophiques et paramétriques avec les défauts, mécanismes de défaillance ou erreurs de conception qui en sont la source [73].

Les Figures 3.1(a) et 3.1(b) montrent des défauts typiques provenant du micro-usinage en volume de deux dispositifs fabriqués par l'équipe Microsystemes. La Figure 3.1(a) montre un micro pont fabriqué par microusinage en volume de la face avant de la puce. Nous observons l'apparition de protubérances au fond d'une cavité créées par une mauvaise solution de gravure. En outre, le micro pont reste encore attaché au fond de la cavité dans sa partie centrale donnant lieu à une faute catastrophique. La Figure 3.1(b) montre une libération inachevée d'un pixel thermique. Ce pixel est composé d'une membrane de dioxyde de silicium suspendue au dessus d'une cavité gravée dans le silicium par la face avant de la puce. La membrane contient en son centre une résistance électrique en polysilicium. Quand un potentiel électrique est appliqué à cette résistance, la membrane se chauffe par effet Joule. Le transfert de chaleur se réalise principalement par conduction à travers des bras de support de la membrane. Puisque ceux-ci sont longs et étroits, ils présentent une résistance thermique importante. L'élévation de la température sur la membrane est alors très importante donnant lieu à une émission de lumière dans le visible. Mais nous observons au travers du dioxyde, semi transparent au microscope optique, qu'une partie de la membrane est encore attachée au fond de la cavité. La chaleur générée dans cette partie est évacuée directement dans le substrat et le pixel se chauffe de façon importante seulement dans sa première partie. Ceci résulte en un fonctionnement partiel du pixel correspondant à une faute paramétrique.

⁵¹ Circuits Multi-Projets.

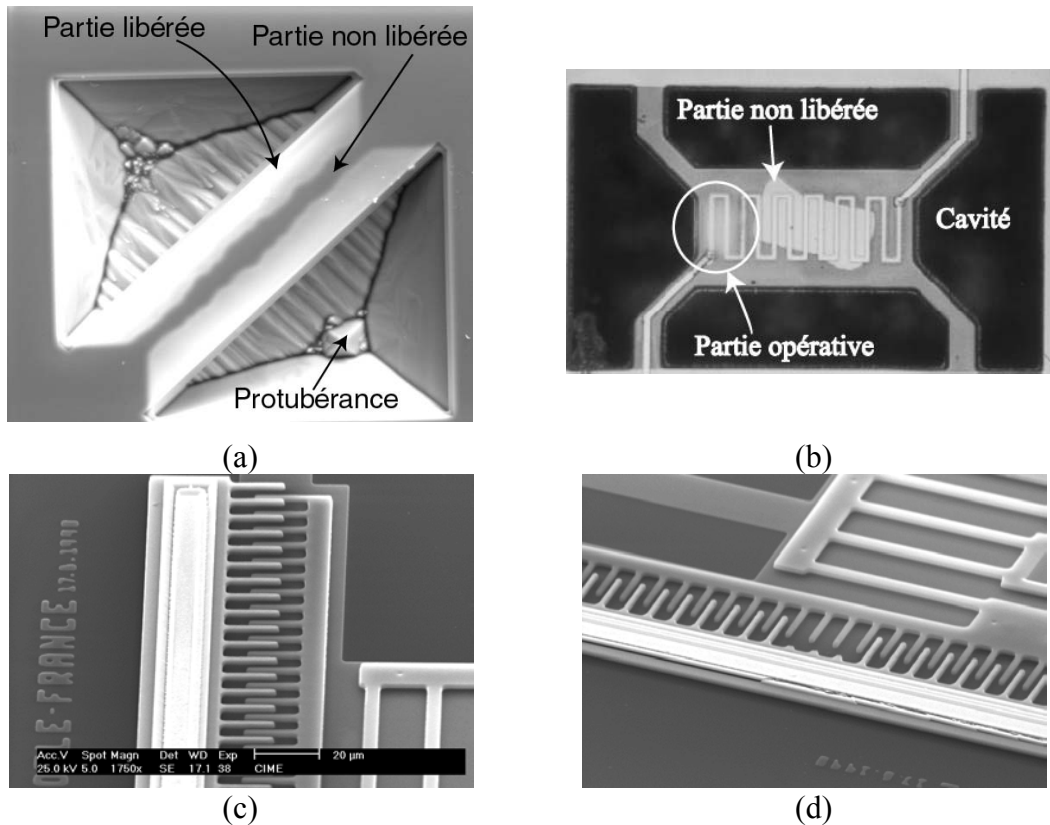


Figure 3.1. Défauts lors du micro usinage. Micro usinage en volume : (a) protubérances au fond d'une cavité et (b) pixel thermique partiellement suspendu (*1998 IEEE International Test Conference*). Micro usinage en surface : (c) collage au substrat d'une structure en peigne suspendue et (d) fracture des doigts d'un peigne (*1999 SPIE Symposium on Design, Test and Microfabrication of MEMS/MOEMS*).

Nous avons aussi fait fabriquer des prototypes de microsystèmes par micro usinage en surface, en utilisant la technologie MUMPS⁵² par le moyen du service CMP. Des micro-résonateurs avec des structures capacitives en peigne ont été fabriqués grâce au stage de Spiros Moussouris. Ces dispositifs permettent le filtrage des signaux électriques avec une sélectivité qui ne peut pas être atteinte en utilisant des composants microélectroniques. Des mécanismes de défaillance et des défauts de fabrication ont été observés. Les Figures 3.1(c) et 3.1(d) montrent les cas les plus typiques, respectivement le collage au substrat d'une partie suspendue et la fracture d'éléments d'une partie suspendue en peigne [23].

3.3.2. Modélisation et simulation de fautes

Les travaux sur l'analyse de défaillance ont été suivis par des études sur les techniques de modélisation et de simulation de fautes. Contrairement aux circuits microélectroniques, la conception et la modélisation du comportement des microsystèmes ne s'appuient pas sur un flot hiérarchique et bien structuré. D'un côté, les techniques de simulation au niveau des éléments finis (FEM⁵³) sont très générales mais elles sont lourdes à utiliser lors de la simulation de micro structures complexes à cause du bas niveau d'abstraction. En général, la simulation de fautes à ce niveau est peu envisageable. D'un autre côté, les techniques de

⁵² Multi-User MEMS Processes, MEMS Technology Applications Center (USA).

⁵³ Finite Element Modelling.

simulation au niveau du système utilisent des fonctions de transfert qui ne fournissent pas de liens entre le comportement et la réalisation physique à cause du haut niveau d'abstraction. Ces liens sont indispensables à l'injection et la simulation de fautes réalistes. En général, il n'existe pas un niveau de conception intermédiaire facilitant l'assemblage de microsystèmes à partir de l'interconnexion de composants de base, ce qui permettrait une approche de conception hiérarchique.

Nous avons cherché à palier ces problèmes en cherchant des techniques de modélisation permettant la simulation au niveau circuit tout en gardant un lien direct avec la réalisation physique. Celles-ci permettent l'injection de fautes réalistes dans les composants ou les éléments constitutifs d'un dispositif et nous pouvons modéliser les fautes en utilisant les techniques du test analogique et mixte. Nous avons démontré avec Benoît Charlot ces techniques de modélisation de fautes dans deux classes de microsystèmes [21][23] :

1. D'abord, le fonctionnement de certains types de microsystèmes peut être décrit par l'interaction entre ses éléments constitutifs fondamentaux tels que des poutres, des ponts, des entrefers électrostatiques⁵⁴ ou des masses suspendues [158]. En fournissant des modèles de comportement de chaque composant, nous pouvons utiliser des techniques de simulation au niveau du circuit pour vérifier le comportement de l'ensemble. Ceci est le cas de nombreux dispositifs fabriqués avec les technologies de micro-usinage en surface. Le micro-résonateur des Figures 3.1(c) et 3.1(d) en est un exemple typique.
2. Deuxièmement, certains types de microsystèmes peuvent être décrits en utilisant des modèles équivalents électriques. Puisque les simulateurs électriques sont largement développés et disponibles, ces types de modèles ont été largement étudiés en vue de la simulation du comportement des microsystèmes électromécaniques, électrothermiques ou électromagnétiques. Toutefois, ces modèles ne présentent pas toujours des rapports directs avec la réalisation physique. Nous avons considéré dans ces études des microsystèmes électrothermiques qui ont des circuits équivalents ayant un rapport direct avec la réalisation finale.

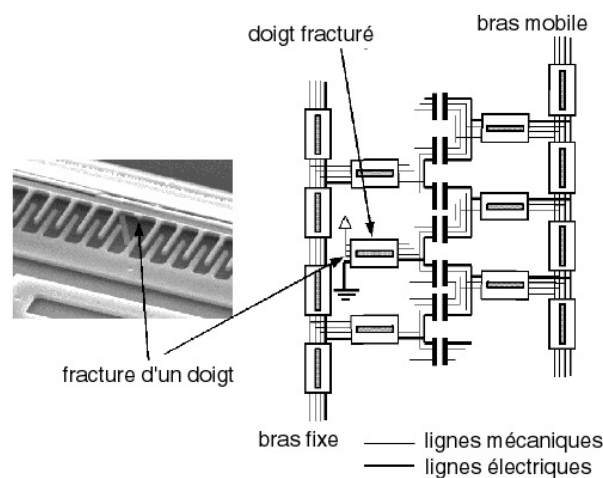
La Figure 3.2 illustre comment la représentation au niveau du circuit nous a permis l'injection des modèles de fautes dans des micro structures suspendues électromécaniques et à fonctionnement thermique. Les modèles de fautes définis dans la Figure 3.2(a) permettent de modéliser les comportements défailants les plus typiques que nous avons décrit dans la section précédente. Il s'agit de fautes de type circuit ouvert et court-circuit dans les domaines thermique et mécanique, en réalité transposant aux microsystèmes des modèles de fautes classiques dans le cas des circuits électriques.

La Figure 3.2(b) montre la fracture d'un doigt dans le cas d'un micro résonateur usiné en surface. Le comportement de ce micro système est normalement représenté au moyen d'un circuit électrique équivalent (voir, par exemple, [68]). En fait, ce modèle représente des équations qui modélisent le comportement de l'ensemble du dispositif. Il devient alors impossible d'injecter des fautes frappant les éléments constitutifs telle que la fracture d'un doigt. Contrairement, la modélisation électromécanique au niveau circuit de la Figure 3.2(b) représente le dispositif par l'interaction entre ses composants fondamentaux, par exemple, des poutres et des masses sismiques suspendues qui ont leurs propres modèles de comportement. Cette représentation préserve les liens avec la réalisation physique. Dès lors, l'injection d'une faute correspondant à la fracture d'un doigt est immédiate en coupant les liaisons entre la poutre qui représente le doigt fracturé et la poutre qui devrait la supporter.

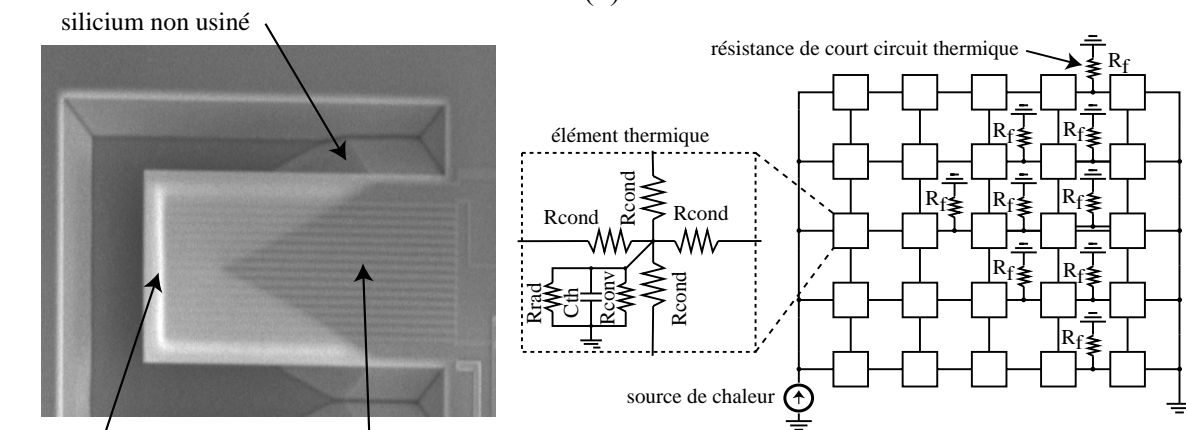
⁵⁴ *Electrostatic gap.*

Classe de microsystemes	Défauts	Modèle de fautes	Exemple typique
Microsystemes thermiques créés par micro-usinage en volume	Libération incorrecte d'un composant suspendu	Court-circuit thermique	La température du composant suspendu est collée à la température du corps de support dans les points de contact.
	Fracture d'un composant suspendu	Circuit ouvert thermique	Un chemin de transfert de chaleur est interrompu.
Microsystemes électromécaniques créés par micro-usinage en surface	Collage d'un composant suspendu	Court-circuit mécanique	Le mouvement d'un composant suspendu est empêché dans les points de collage.
	Fracture d'un composant suspendu	Circuit ouvert mécanique	Des joints ou des points d'ancrage de la micro structure ne sont pas opérationnels.

(a)



(b)



(c)

Figure 3.2. Modélisation de fautes dans les dispositifs microsystemes : (a) modèles de fautes des défauts de micro-usinage en structures suspendues à fonctionnement thermique et électromécanique (1999 IEEE European Test Workshop), (b) modélisation d'un circuit ouvert électromécanique provoqué par la fracture d'un doigt dans le cas d'un micro résonateur, et (c) modélisation d'un défaut de micro-usinage d'un convertisseur électrothermique où la partie suspendue n'est pas complètement libérée du substrat (1999 IEEE Design & Test of Computers).

La Figure 3.2(c) montre un défaut de micro-usinage en volume dans un convertisseur électrothermique où la partie suspendue n'est pas complètement libérée du substrat. Dans cette partie, la chaleur s'écoule directement au substrat. Les microsystèmes à fonctionnement thermique sont typiquement représentés par des circuits électriques équivalents qui gardent, avec une bonne précision, les liens avec le dispositif physique. Nous pouvons alors modéliser la faute créée par ce défaut en injectant des courts-circuits dans la partie non libérée entre les points affectés de la micro poutre et le substrat. Notons que la modélisation de ce dispositif avec des composants équivalents électriques permet l'utilisation d'un simulateur électrique classique comme HSpice. Par contre, l'exemple du micro résonateur précédent nécessite, pour la simulation du circuit, la modélisation des composants constitutifs avec des modèles comportementaux. Ceci est possible en utilisant des langages de description du matériel comme Verilog-AMS ou VHDL-AMS [69].

3.3.3. Génération de signaux de test des microsystèmes

Les modèles de fautes des microsystèmes permettent la simulation de fautes et, par la suite, l'évaluation et la sélection des stratégies de test à appliquer. Vis-à-vis du test, une différence majeure entre les circuits microélectroniques et les microsystèmes est la nature multi disciplinaire des éléments sensibles de ces derniers, ce qui demande des équipements de test spéciaux pour la génération de signaux de test non électriques. Or les techniques d'auto test doivent nécessairement utiliser des signaux électriques car les circuits de contrôle sur une puce sont microélectroniques. Il est alors nécessaire de générer les stimuli de test nécessaires dans un domaine d'énergie donné à partir d'une conversion de l'énergie électrique de la séquence de test. Par exemple, un dispositif mécanique peut être activé par une conversion électrostatique, piézoélectrique, électrothermomécanique, etc. ; un dispositif thermique nécessite une conversion électrothermique, etc.

Les travaux de thèse de Benoît Charlot, qui ont commencé par la modélisation de fautes tel que nous l'avons décrit dans la section précédente, ont analysé plusieurs types de techniques de génération des signaux de test de microsystèmes [16]. La Figure 3.3 illustre une technique qu'il a proposé en vue de stimuler les pixels d'un capteur infrarouge fabriqué par microusinage en volume d'une puce CMOS [59]. Ce capteur (voir Figure 3.3(a)) inclut une matrice de 81 pixels. Chaque pixel du capteur (Figure 3.3(b)) absorbe le rayonnement infrarouge incident sur la surface d'une membrane suspendue. L'absorption de ce rayonnement donne lieu à une augmentation de la température de la membrane car elle est relativement isolée thermiquement du substrat par des bras de support à haute résistance thermique. Cette augmentation de température, qui est proportionnelle à la quantité de rayonnement captée par le pixel, est convertie en une différence de potentiel électrique au moyen de thermopiles placées tout au long des bras de support. Cette différence de potentiel, proportionnel au rayonnement incident, est finalement traitée par l'électronique de contrôle.

Pendant une phase d'auto test, chaque pixel est testé individuellement (voir Figure 3.3(c)) en appliquant des impulsions électriques sur une résistance de chauffe. Cette résistance, placée au centre de la membrane, permet de reproduire l'échauffement de la membrane par un rayonnement infrarouge. Même si les distributions de chaleur dans les modes d'opération et de test ne sont pas les mêmes, ce principe permet la détection des défauts qui arrivent lors de la fabrication. La Figure 3.3(d) montre un exemple de défaut localisé entre un bras de support de la membrane et celle-ci. Ce défaut est formé par des oxydes résiduels qui n'ont pas été éliminés lors du procédé de fabrication CMOS et qui restent aussi après le micro usinage du silicium. Ce défaut forme un pont thermique entre la membrane et son bras de support. Le résultat est une faute paramétrique du pixel qui résulte en une sous estimation de la vraie valeur de la radiation incidente.

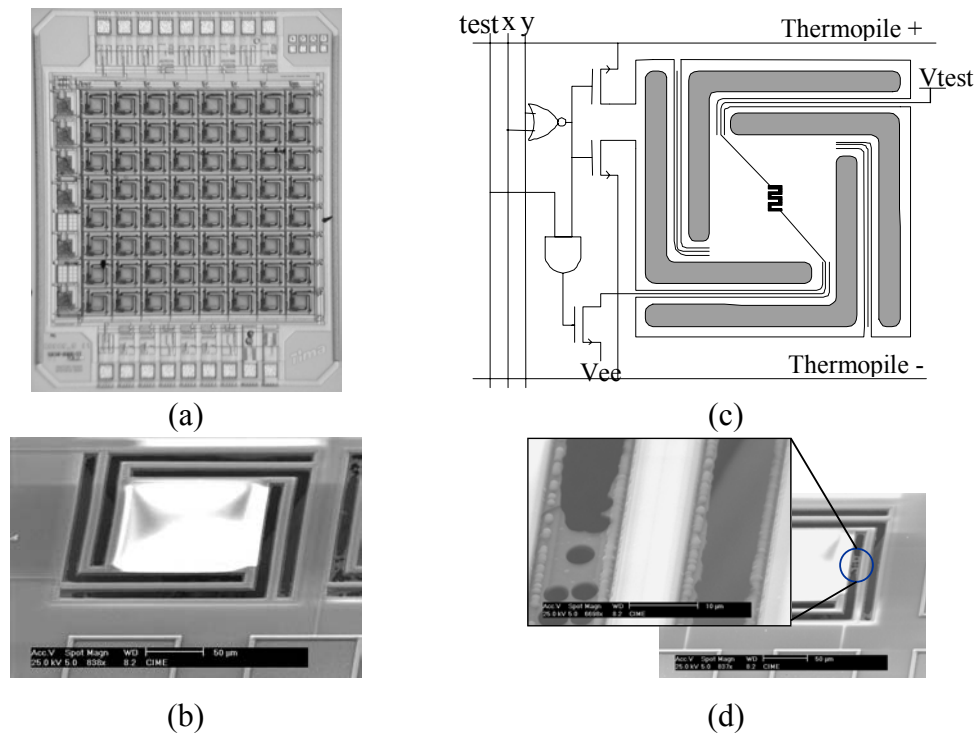


Figure 3.3. Capteur infrarouge à thermopiles incorporant des fonctions d'auto test : (a) capteur fabriqué, (b) un pixel du capteur, (c) schéma de la stratégie d'auto test, et (d) un pixel du capteur avec un défaut de fabrication (2001 IEEE 19th VLSI Test Symposium).

3.3.4. Vers la conception et la validation de puces avec MEMS embarqués

Les puces de type SoC⁵⁵ ont fait leur apparition sur le marché des semi-conducteurs à la fin des années 90. Les blocs constitutifs⁵⁶ sont pour la plupart numériques (des mémoires, des processeurs, des contrôleurs ou des blocs avec de la logique spécifique à certaines applications). Des blocs mixtes et radio fréquence (RF) peuvent être intégrés sur la même puce afin de permettre le traitement de signaux nécessaires à la communication avec l'extérieur. Les SoCs sont donc des systèmes très hétérogènes, incluant du logiciel et du matériel avec des blocs de nature très différente.

Cependant, les microsystèmes ou les MEMS ne sont pas encore inclus dans les SoCs. Quelques exemples de systèmes complexes intégrant des parties MEMS avec des unités microélectroniques sont déjà dans le marché, mais leur conception n'a pas suivi une méthodologie générale et leur intégration nécessite des procédés de fabrication spécifiques. Néanmoins, les feuilles de route des technologies de semi-conducteurs prévoient déjà dans un avenir proche l'intégration dans des procédés standards (typiquement CMOS) de couches spécifiques à la fabrication de MEMS.

Dans ce contexte, Bernard Courtois a démarré au Laboratoire TIMA un projet de collaboration entre plusieurs équipes qui vise l'étude de méthodes de conception et de validation des systèmes très hétérogènes. Nous avons étudié une méthode de conception pour ce type d'architectures. En particulier, nous avons pris comme exemple des SoCs dédiés à la reconnaissance d'empreintes digitales. Un capteur de ce type a été développé au sein de l'équipe Microsystèmes [159]. Le résultat de cette collaboration avec Nasser Zergainoh et Ahmed Jerraya est la méthodologie de conception résumée Figure 3.4.

⁵⁵ System-on-Chip.

⁵⁶ Cores.

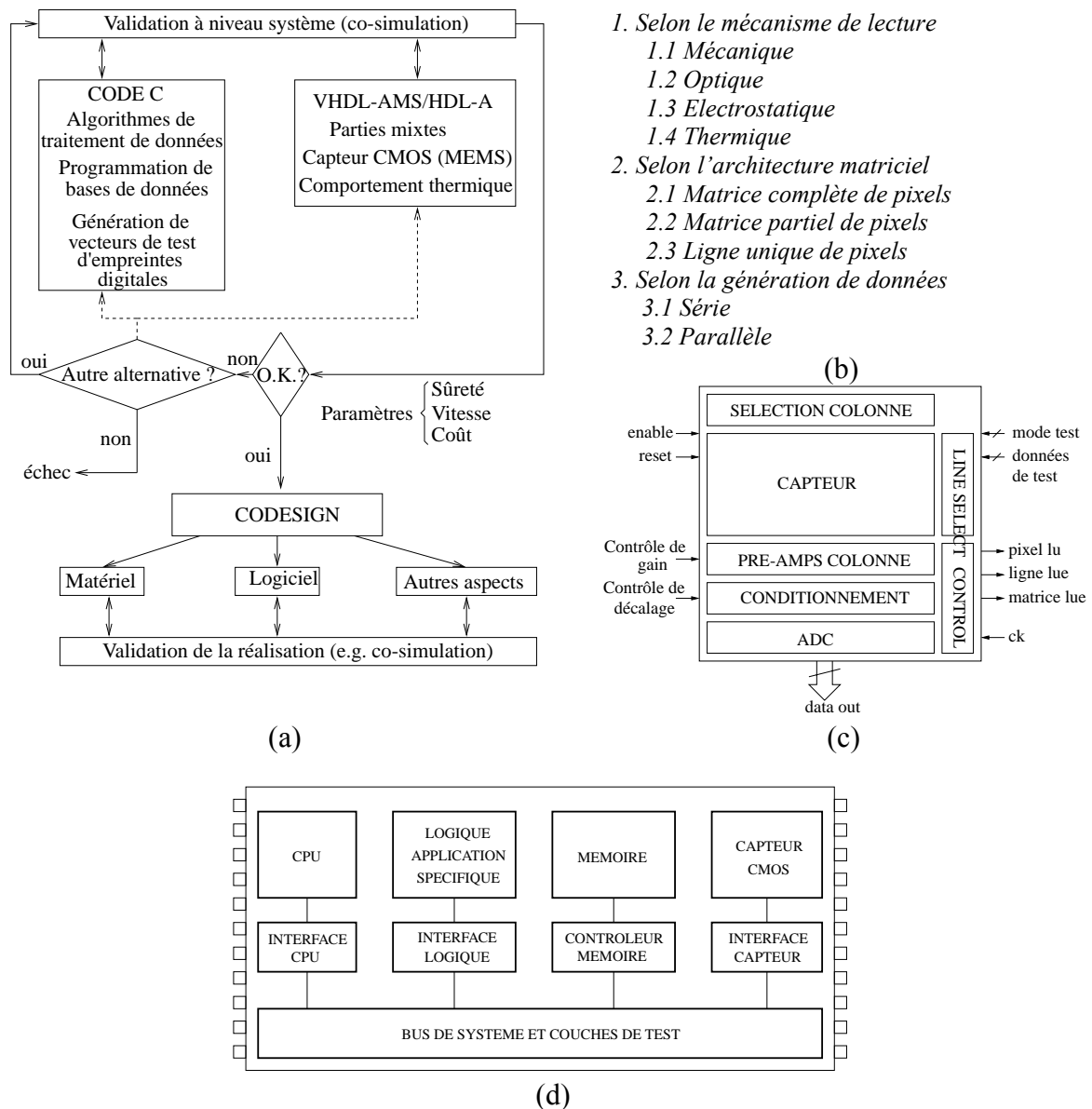


Figure 3.4. Conception et validation de SoCs visant des applications basées sur la reconnaissance d'empreintes digitales : (a) flot de conception du SoC, (b) classement des capteurs d'empreinte digitale, (c) architecture générale des capteurs d'empreinte digitale et (d) architecture du SoC (2000 10th ACM Great Lakes Symposium on VLSI).

La conception d'un SoC commence à un niveau plus haut que celui des langages de description du matériel, donnant lieu à une architecture hétérogène conçue au niveau processeur/mémoire. Dans le cas des capteurs d'empreintes digitales, une grande variété d'applications est possible avec des besoins différents en termes de niveau de sécurité, rapidité de réponse, et coût de l'application. Selon ces critères propres à l'application, nous pourrions envisager un certain type de bloc capteur et des algorithmes de traitement de l'information plus ou moins complexes. La mise au point de la spécification et la génération de l'architecture nécessaire à la réalisation peut bénéficier des flots de conception déjà existants.

Au niveau système, puisqu'il existe différents langages spécifiques à chaque partie, il est nécessaire de considérer la co-simulation avec différents langages (VHDL, C, HDL-A, MatLab, ...). Une fois que cette spécification multi-langage a été validée, un flot de co-design générique est utilisé, déterminant les parties à réaliser en matériel ou en logiciel, et générant automatiquement les interfaces de communication entre les différents sous-systèmes.

Le flot de conception du SoC est détaillé Figure 3.4(a). Au niveau système, nous modélisons en langage C les différents types d'algorithmes dont on peut avoir besoin et en langage HDL-A les parties analogiques ou mixtes et les capteurs microsysteme. Le choix des algorithmes et des composants, comme le type de capteur, est fait par rapport aux critères de sélection (sûreté, vitesse, coût), dans une boucle d'exploration au niveau du système. La Figure 3.4(b) énumère différents types de capteurs ayant l'architecture générale montrée à la Figure 3.4(c). Par la suite, le flot de co-design pourra générer l'architecture du SoC montrée Figure 3.4(d). Dans le bloc incorporant le bus de système, nous trouvons des circuits facilitant le test⁵⁷ des différents blocs.

3.4. Les activités de valorisation et d'animation de la recherche

La valorisation des travaux de recherche sur le test des microsystemes au moyen de projets de recherche européens a été un objectif important de cette période. Nous avons ainsi préparé et coordonné deux propositions de projets pour le programme européen IST⁵⁸ qui n'ont pas aboutis, malgré la participation de nombreux industriels dans les consortiums.

D'autres activités de valorisation et d'animation de la recherche dans ce domaine incluent la participation dans un panel sur le test de microsystemes à Singapour en 1998 (*Asian Test Symposium* [129]), une présentation invitée sur la conception et le test de microsystemes à Bratislava, Slovaquie, en 1999 (*2nd Electronic Circuits and Systems Conference* [35]), et l'organisation d'une session spéciale⁵⁹ sur le test de microsystemes à Stockholm, Suède, en 2001 (*IEEE European Test Workshop* [127]).

3.5. Conclusions de ces recherches

Les travaux sur le test de microsystemes ont visé initialement l'étude de défauts et la modélisation de fautes des microsystemes usinés en volume et en surface. Certains de ces défauts sont spécifiques au micro-usinage et donnent lieu à des modèles de fautes multiples, ce qui n'est pas le cas en microélectronique. La modélisation de fautes a été étudiée dans le cas de microsystemes qui permettent une représentation au niveau circuit, et les techniques de modélisation de fautes du test analogique ont été alors considérées. La modélisation de fautes a permis d'envisager la validation de techniques d'auto test intégré. Clairement, les unités de BIST nécessitent des signaux de contrôle électriques et l'auto test des microsystemes doit commencer par une génération de vecteurs de test électriques qui sont par la suite convertis dans le domaine d'énergie du dispositif sous test. Grâce aux travaux de thèse de Benoît Charlot, il a été possible d'envisager des nouvelles techniques de stimulation de microsystemes à partir de signaux électriques. Le manque d'outils de CAO de test nous a empêché l'évaluation de ces stratégies vis-à-vis de la couverture des fautes. Plusieurs des articles que nous avons publiés à cette époque font partie des travaux les plus cités dans ce domaine [73][59]. Ces recherches se poursuivent actuellement dans notre équipe, en particulier la validation de techniques de BIST de microsystemes qui incluent aussi l'analyse de la réponse et qui utilisent les techniques de génération de stimuli développées à cette époque. Les recherches sur la conception et la validation de SoCs en technologies mixtes se poursuivent au sein d'autres équipes du Laboratoire TIMA.

⁵⁷ Test wrapper.

⁵⁸ Information Society Technologies.

⁵⁹ Break-out session.

Chapitre 4

La conception de dispositifs

1998-2001

4.1. Introduction

Les travaux de recherche pendant la période 1998-2001 ont visé principalement le test de microsystemes. Toutefois, nous avons aussi consacré un effort important à la conception de dispositifs microélectroniques et microsystemes, en collaboration avec des étudiants en thèse et d'autres membres de l'équipe Microsystemes. Ces dispositifs ont parfois été développés en tant que véhicules de test, servant ainsi à la validation des techniques présentées précédemment. Nous avons également cherché à réaliser des nouveaux microsystemes et quelques uns ont incorporé des nouvelles interfaces microélectroniques. Pourtant, il n'a pas toujours été possible de fabriquer ces dispositifs par manque de support financier.

Nous avons participé à cette époque à deux projets de recherche européens. En premier lieu, des puces de test thermique ont été conçues et fabriquées dans le cadre du projet européen PROFIT (1999-2001), avec Bernard Courtois comme investigateur principal au Laboratoire TIMA. La collaboration a été importante avec l'Université de Budapest (BUTE) et la Société MicRed, notamment avec Andreas Poppe, Marta Rencz et Gabor Farkas, qui ont réalisé le design de ces puces, et avec Kholdoun Torki à TIMA qui a réalisé leur assemblage microélectronique. Par la suite, nous avons participé à la mise en place d'un deuxième projet de recherche européen en 2001 sur le test analogique. Ce projet que nous allons décrire plus loin a permis le démarrage d'une nouvelle équipe de recherche.

4.2. Objectif et sujets de recherche abordés

L'objectif visé par ces travaux de recherche a été la conception de nouveaux dispositifs microsystemes et microélectroniques. Ces dispositifs ont dans certains cas servi à la validation des techniques de test des microsystemes. Le Tableau 4.1 résume les sujets de recherche abordés pendant cette période et quelques références bibliographiques auxquelles

ils ont donné lieu. Ces références décrivent en détail les résultats obtenus. Une description brève de ces résultats est donnée par la suite.

Domaine de Recherche	Sujets de recherche abordés	Références bibliographiques
<i>Conception de circuits mixtes</i>	circuits de lecture de thermopiles puces de test thermique chaînes de mesure de capteurs capacitifs et piézo-resistifs	[9][64] [17][60] [9][112][57]
<i>Conception de dispositifs microsystemes</i>	micro poutres à haute impédance thermique convertisseur électrothermique capteur de rayonnement infrarouge emetteur/récepteur d'ultrasons	[18][64] [18][64] [20][58] [57]

Tableau 4.1. Sujets de recherche abordés dans la période 1998-2001 sur la conception de circuits mixtes et microsystemes.

4.3. Description des travaux de recherche

4.3.1. Conception de circuits mixtes

4.3.1.1. Interface de mesure de capteurs auto générateurs

Les capteurs auto générateurs ou passifs sont capables de fournir un signal électrique de sortie sans nécessairement avoir un signal de polarisation ou d'alimentation. C'est le cas des capteurs piézoélectriques, des cellules photovoltaïques (photodiode en mode photovoltaïque) ou des thermocouples. La sortie électrique de ces capteurs est souvent limitée à des valeurs très faibles de par la faible sensibilité du capteur ou par la faible énergie du signal à mesurer. La mesure de ces petits signaux demande des techniques avancées pour éliminer la tension de décalage et le bruit de basse fréquence de l'étage de pré-amplification.

Dans ce contexte, nous avons proposé une interface électronique de mesure de la réponse d'un thermocouple. Cet interface, réalisée avec la collaboration de Fabien Parrain (voir Figure 4.1), a une seul étage à fort gain et il permet l'annulation automatique de sa tension de décalage [64]. Puisque nous utilisons un seule étage, cette interface permet une réponse plus rapide que plusieurs étages en cascade, ce qui peut être important quand la stabilité de la chaîne de mesure est en jeu. Nous verrons une application de ceci dans le cas de micro poutres à haute impédance thermique que nous décrirons plus loin.

Des résistances sont utilisées pour obtenir un gain conséquent dans cet étage. Ce gain est déterminé par le rapport de ces résistances et il est indépendant de la résistance de sortie du thermocouple R_s . Cette valeur n'est souvent pas bien déterminée. Pour obtenir une bonne précision, ce circuit annule l'effet du décalage et aussi l'effet du condensateur parasite C_p à l'entrée positive de l'amplificateur qui voit une tension différente pendant chaque phase de fonctionnement du circuit.

Pendant la phase ϕ_2 , l'entrée négative de l'amplificateur est forcée à la masse et une contre-réaction négative s'établit dans son entrée positive, imposant une tension $-V_{off}$ dans le nœud A (un faux interrupteur est aussi utilisé dans cette boucle pour compenser l'injection de charge dans le nœud A). Le condensateur C se charge à cette tension, aussi bien que le condensateur parasite C_p . A la fin de la phase ϕ_2 (ou au début de la phase ϕ_1), la charge dans le nœud A est :

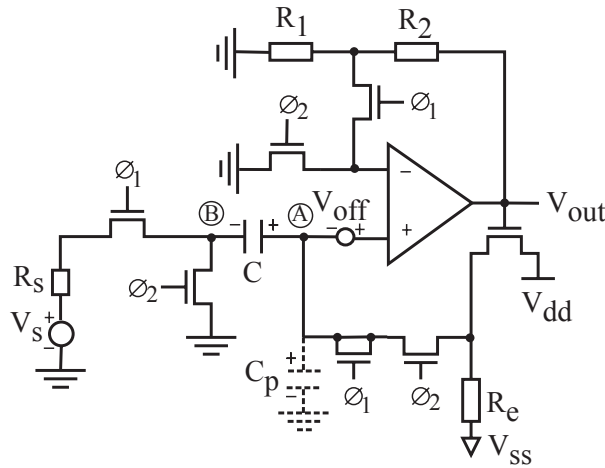


Figure 4.1. Interface de mesure de capteurs auto générateurs utilisant un seul étage à fort gain avec annulation automatique du décalage (2000 SPIE Symposium on Design, Test, Integration and Packaging of MEMS/MOEMS).

$$Q_A = -(C + C_p)V_{off} \quad (\text{début phase } \phi_1) \quad (4.1)$$

Pendant la phase ϕ_1 , l'amplificateur est dans une configuration d'amplification sans inversion et la charge dans le nœud A à la fin de cette phase est :

$$Q_A = C(V_a - V_s) + C_p V_a \quad (\text{fin phase } \phi_1) \quad (4.2)$$

où V_a est la tension au nœud A. Comme la charge se conserve dans le nœud A pendant la phase ϕ_1 , la combinaison des Equations (4.1) et (4.2) impose :

$$V_a = -V_{off} + \frac{C}{C + C_p} V_s \quad (4.3)$$

La tension dans l'entrée positive de l'amplificateur est :

$$V_+ = V_a + V_{off} = \frac{C}{C + C_p} V_s \quad (4.4)$$

et la tension de sortie à la fin de la phase ϕ_1 est donnée par la relation :

$$V_{out} = \frac{R_2}{R_1} \frac{C}{C + C_p} V_s \quad (\text{fin phase } \phi_1) \quad (4.5)$$

Cette tension est indépendante de la tension de décalage. Le seul effet du condensateur parasite C_p est une légère dégradation du gain de l'étage car le condensateur C est bien plus grand.

4.3.1.2. Conception de puces de test thermique

La qualification thermique des boîtiers électroniques est essentielle pour l'industrie de semi-conducteurs. Des puces de test thermique sont couramment utilisées pour réaliser cette tâche. Ces puces contiennent des éléments de chauffe et des capteurs de température suivant les normes dictées par des standards internationaux. Les éléments de chauffe (typiquement des résistances) servent à chauffer le boîtier sous test et les capteurs (typiquement des diodes) mesurent la température à différents points de la surface de la puce. Ceci permet la mesure du comportement thermique du boîtier, en régime transitoire ou permanent, et le calcul des paramètres tels que la résistance thermique du boîtier ou les constantes de temps thermiques qui sont associées aux différents composants du boîtier. Ces composants incluent la puce, la colle qui permet son adhésion au fond de la cavité du boîtier, et le boîtier lui-même.

Dans le cadre du projet européen PROFIT, nous avons fourni des puces microélectroniques montrées Figure 4.2 qui ont respecté le cahier des charges créé par Andreas Poppe, Marta Rencz et Gabor Farkas à Budapest. Une grande partie de la surface de ces puces est occupée par une matrice centrale de capteurs de température et d'éléments de chauffe, tout en respectant le standard JEDEC⁶⁰, en ce qui concerne les normes des puces de test thermique. La Figure 4.2(a) montre une cellule de ces matrices. Chaque cellule contient au centre un capteur de température CMOS développé à Budapest. Ces capteurs génèrent à la sortie un train d'impulsions avec une fréquence proportionnel à leur température. Une résistance de chauffe en polysilicium entoure chaque capteur. Puisque les puces ont un contrôle purement numérique, il est possible d'inclure un grand nombre de cellules sur une puce obtenant une très bonne résolution. Les Figures 4.2(b) et 4.2(c) montrent, respectivement, des puces de 2x2 mm² avec une matrice de 9 cellules et de 6x6 mm² avec une matrice de 81 cellules dont l'assemblage microélectronique final a été réalisé par Kholdoun Torki à TIMA [60].

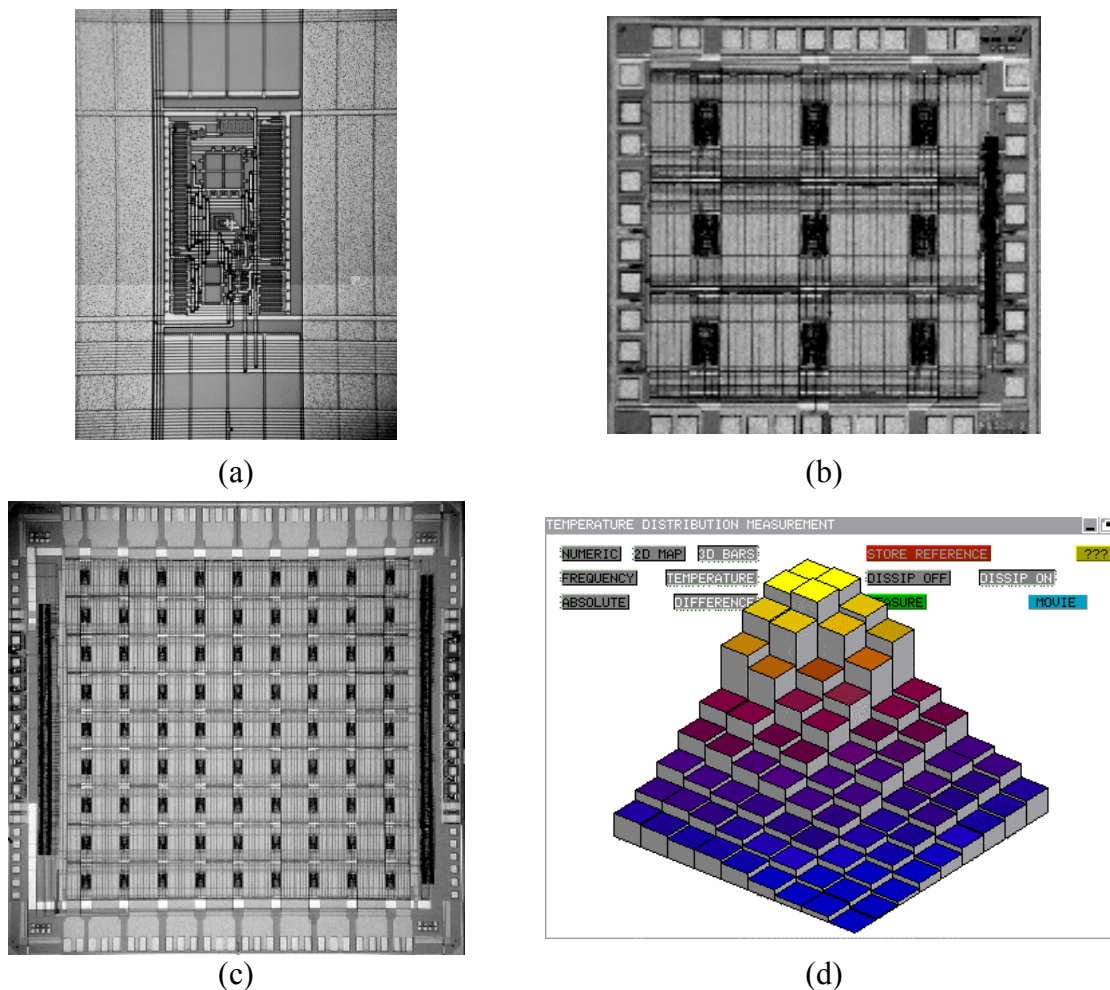


Figure 4.2. Puces de test thermique : (a) cellule de base formée par un capteur de température entouré de résistances de chauffe en polysilicium, (b) puce de test thermique de 2x2 mm² avec 9 cellules de base, (c) puce de test thermique de 6x6 mm² avec 81 cellules de base, et (d) résultats de mesure de température dans chaque cellule après activation des résistances de chauffe dans un coin de la puce (*17th Annual IEEE Semiconductor Thermal Measurement and Management Symposium*).

⁶⁰ JEDEC JESD 51-4.

La puce de 81 cellules inclut aussi un contrôleur de test qui respecte la norme 1149.1⁶¹ d'entrée et sortie des données de test et qui a été conçu à Budapest. Dès lors, les avantages de cette puce sont l'excellente résolution et le contrôle numérique au moyen d'un bus standard qui permet la programmation des éléments de chauffe et la lecture des capteurs. En outre, puisque les cavités des boîtiers électroniques ont des tailles variées, les puces ont été conçues en vue de permettre le remplissage des cavités de boîtiers quelconques avec des matrices de puces interconnectées, selon la proposition de Bernard Courtois. En général, des mesures statiques et transitoires à haute précision sont possibles avec ces puces sans utiliser un équipement de test externe autre qu'un ordinateur personnel, ce qui est leur principal avantage.

4.3.1.3. Interface de mesure de capteurs ultrasonores capacitifs

La collaboration dans l'équipe Microsystèmes avec Libor Rufer a visé la conception de microsystèmes électroacoustiques. Les transducteurs ultrasonores capacitifs (CMUTs⁶²) offrent des avantages par rapport aux transducteurs piézo-électriques classiques, tels qu'une meilleure adaptation acoustique par couplage à l'air et une largeur de bande plus grande. Nous avons d'abord étudié la modélisation de ces dispositifs en utilisant des circuits équivalents, puis la conception des interfaces électroniques. La Figure 4.3(a) montre le schéma de principe de ces capteurs qui travaillent avec un déplacement vertical $x(t)$ de leur membrane agissant en tant qu'électrode mobile. Si h est la distance nominale entre les électrodes, la capacité instantanée s'exprime par :

$$C_s(t) = \varepsilon \frac{A}{h + x(t)} \quad (4.6)$$

où A est la surface des électrodes et ε la permittivité du diélectrique. Nous avons considéré une membrane sensible de $500 \times 500 \mu\text{m}^2$ avec une fréquence de résonance de 80 kHz, une distance entre électrodes de $2 \mu\text{m}$ et une tension de polarisation de 10 V.

Les interfaces électroniques de mesure de la réponse du capteur que nous avons étudié incluent un suiveur de tension et un amplificateur de transimpédance [112]⁶³. Les meilleurs résultats ont été obtenus avec un suiveur de tension. Dans les montages à composants discrets, la tension de polarisation du capteur est généralement découplée de l'entrée de l'amplificateur au moyen d'un condensateur de forte valeur. Ce type d'interface est moins courant dans les circuits intégrés car on ne peut obtenir des condensateurs de découplage suffisamment grands. Dans la Figure 4.3(a), la capacité C_s du capteur est polarisée par la source de tension continue V_p et par la masse du circuit au moyen d'une résistance très grande R_p . Cette résistance est réalisé dans le circuit de mesure au moyen d'une chaîne de diodes tel que nous le montrons sur la Figure 4.3(b).

Si nous négligeons les effets de la résistance de polarisation R_p (qu'on suppose très grande) et du condensateur parasite C_p à l'entrée de l'amplificateur (que nous supposons petit par rapport à C_s), nous obtenons que le transducteur travaille à charge constante :

$$i(t) = \frac{dQ}{dt} = \frac{d(C_s v_c)}{dt} \approx 0 \quad (4.7)$$

En substituant l'Equation (4.6) dans (4.7) et intégrant, nous obtenons :

$$v_c(t) = V_p \left(1 + \frac{x(t)}{h} \right) \quad (4.8)$$

⁶¹ IEEE 1149.1 Boundary Scan Standard.

⁶² Capacitive Micromachined Ultrasonic Transducers.

⁶³ Stage de Brigitte Z. Thouraud.

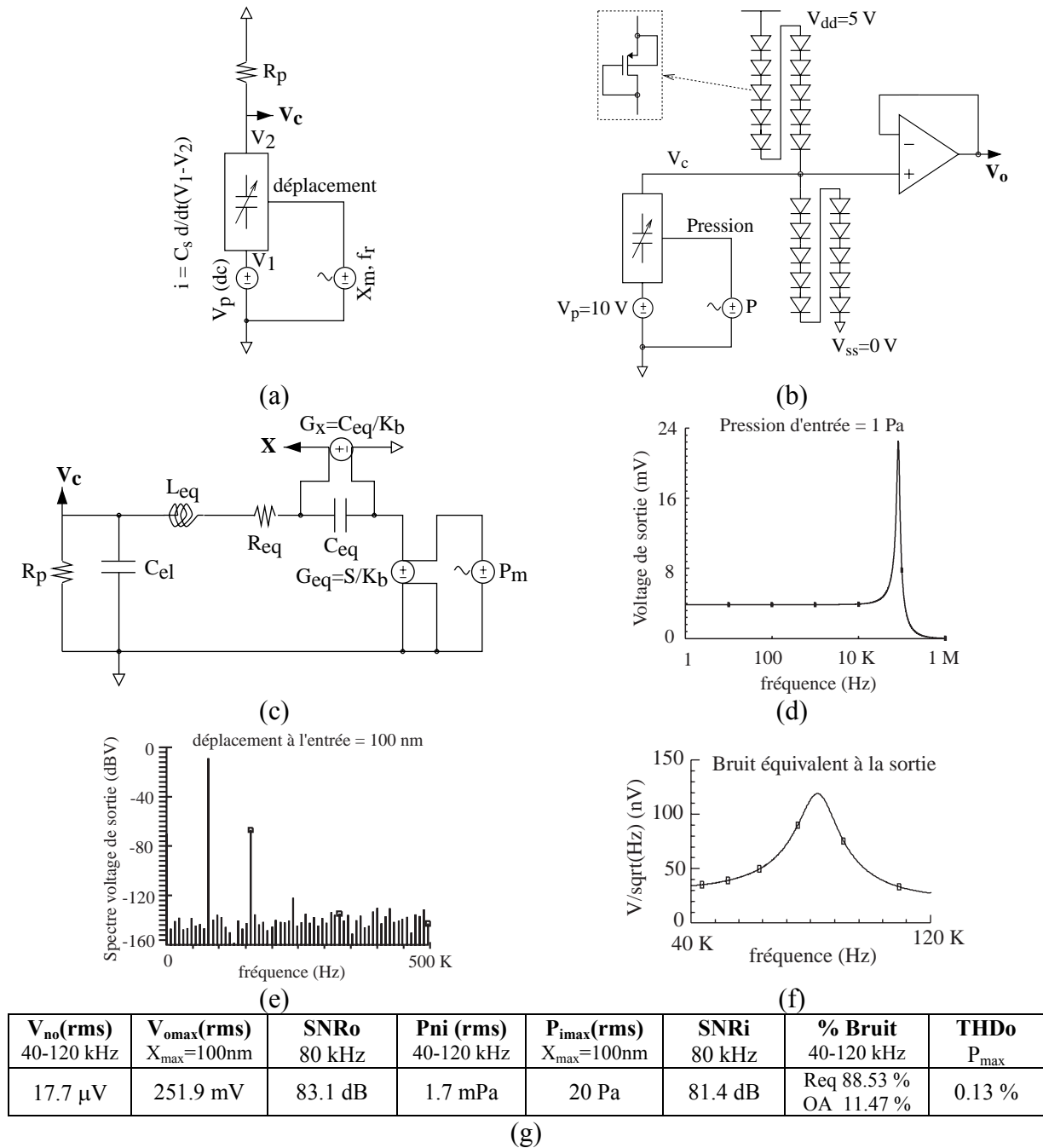


Figure 4.3. Interface électronique de capteurs capacitifs à ultrasons : (a) schéma de principe du capteur sans circuit de lecture, (b) circuit de lecture, (c) modèle équivalent dynamique du capteur, (d) fonctionnement dynamique de l'ensemble, (e) spectre du voltage de sortie pour un déplacement maximale de la membrane, (f) bruit équivalent à la sortie dans la plage de fonctionnement 40 kHz – 120 kHz, et (g) performances du dispositif (*2001 Workshop on Microfabricated Ultrasonic Transducers*).

et si le gain en boucle ouverte de l'amplificateur est suffisamment grand :

$$v_{out}(t) \approx v_c(t) - V_p = \frac{V_p}{h} x(t) \quad (4.9)$$

Ce résultat est intéressant car la sortie de cette interface est linéaire avec le déplacement de l'électrode mobile, malgré le fait que le changement de capacité (Equation (4.6)) ne l'est pas. Les inconvénients principaux viennent de la sensibilité au condensateur parasite C_p , d'où

l'intérêt d'intégrer l'interface électronique avec le capteur. La Figure 4.3(c) montre le schéma équivalent du capteur pour une analyse dynamique de l'ensemble. La Figure 4.3(d) montre la réponse dynamique du système. Le dispositif a une résonance à 80 kHz mais il a un gain important dans une plage de fréquence large. La Figure 4.3(e) montre le spectre du potentiel de sortie avec un déplacement maximal de la membrane de 100 nm, et une distorsion harmonique de 0.13 %. Le bruit équivalent à la sortie est de 17.7 μV dans une plage de fonctionnement de 40 kHz à 120 kHz (voir Figure 4.3(f)). Finalement, les paramètres de fonctionnement sont résumés Figure 4.3(g).

4.3.2. Conception de dispositifs microsystèmes

4.3.2.1. Conception de micro poutres à haute impédance thermique

Les microstructures suspendues à fonctionnement thermique sont un des principaux domaines d'application des technologies microsysteme compatibles avec les procédés de fabrication CMOS. Ces dispositifs, qui génèrent un signal électrique représentant une grandeur physique mesurée, utilisent des signaux intermédiaires de type thermique. Ce sont par exemple des capteurs infrarouges, des pixels thermiques, des capteurs d'empreinte digitale et des convertisseurs électrothermiques.

Pendant la conception de microstructures thermiques suspendues, il s'avère nécessaire d'arriver à un compromis entre la solidité de la microstructure et les pertes thermiques tolérées. L'augmentation de la solidité de la microstructure demande des bras de support plus importants en nombre et en taille, ce qui dégrade le comportement thermique du système. Afin de diminuer les contraintes de la conception imposées par ce compromis, nous avons développé un nouveau module microsysteme. Ce module, que nous avons appelé HTIB⁶⁴, correspond à une micro poutre à haute impédance thermique.

La Figure 4.4 illustre le fonctionnement de ce dispositif. La Figure 4.4(a) montre un exemple de fracture d'un bras de support. Afin de diminuer les contraintes sur ces bras de support, il est possible de rajouter des bras HTIB qui renforcent le comportement mécanique avec un impact minimum sur le comportement thermique tel que nous le montrons dans l'exemple de la Figure 4.4(b). Ce schéma de principe correspond au fonctionnement d'un convertisseur électrothermique qui permet la mesure de la valeur efficace d'un courant électrique. Ce courant est injecté sur la résistance de chauffe déposée sur la membrane suspendue ce qui génère une puissance thermique donnée par :

$$P = R_h i^2 \quad (4.10)$$

Si nous négligeons la résistance thermique de la membrane qui est bien plus petite que la résistance thermique R_e du bras de support, et nous négligeons aussi la capacité thermique du bras de support vis-à-vis de la capacité de la membrane suspendue C_m qui est bien plus grande, le transfert de la chaleur dans la microstructure s'exprime par :

$$P = C_m \frac{dT}{dt} + \frac{T}{R_e} \quad (4.11)$$

La différence de température T entre les points de contacts du bras de support avec la membrane et le substrat du dispositif est converti en un voltage par la thermopile placée sur le bras selon l'Equation :

$$v = n S_b T \quad (4.12)$$

où n est le nombre de thermocouples et S_b leur coefficient Seebeck.

⁶⁴ *High Thermal Impedance Beam.*

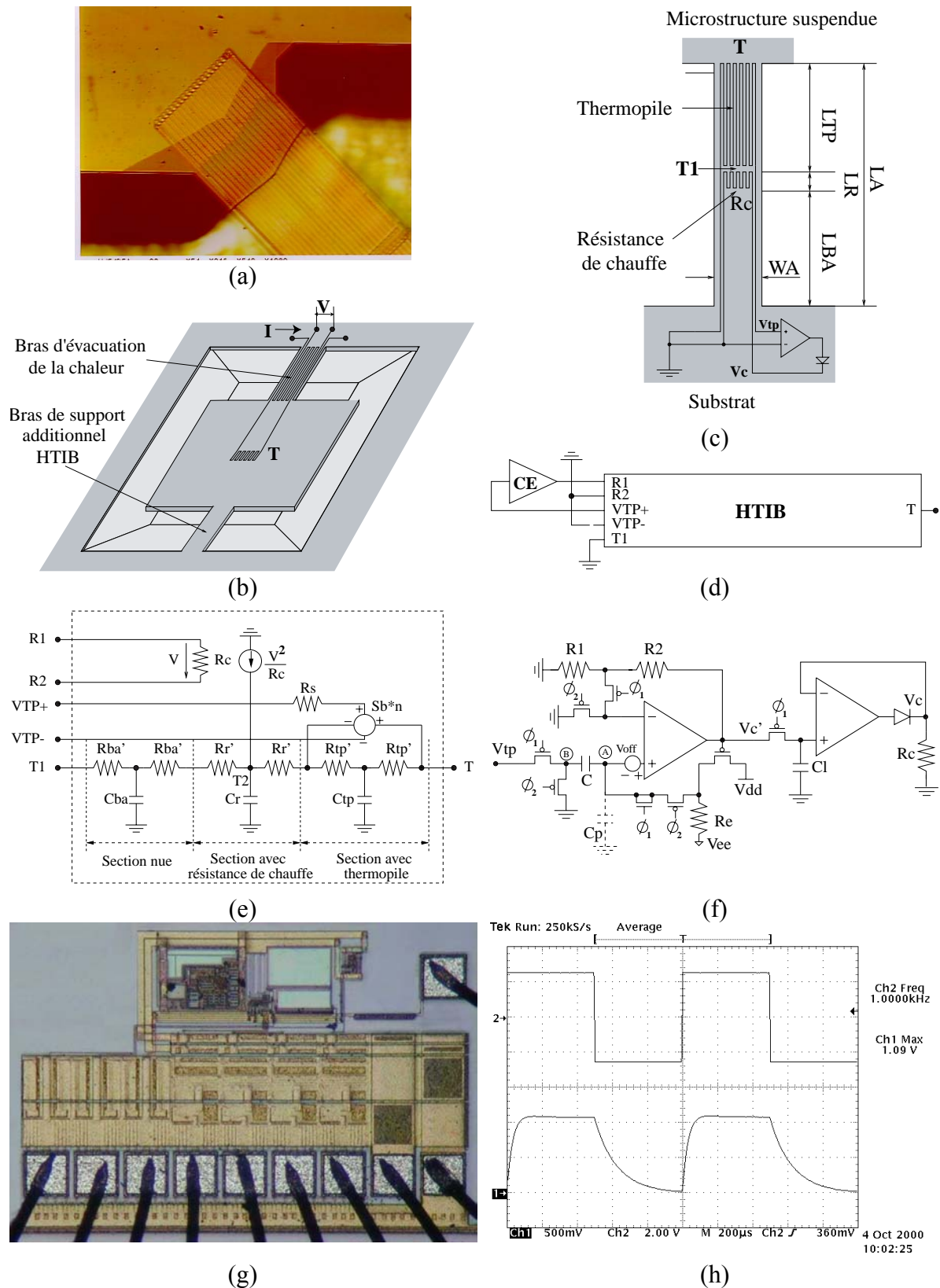


Figure 4.4. Micro poutres à haute impédance thermique (HTIB) : (a) fracture d'un bras de support, (b) schéma d'une microstructure suspendue avec un bras HTIB, (c) schéma de principe d'un bras HTIB, (d) diagramme de blocs d'un module HTIB, (e) bloc de comportement thermique, (f) bloc de contrôle électronique, (g) puce avec la partie électronique et (h) réponse du bloc électronique à un échelon d'entrée (2000 SPIE Design, Test, Integration and Packaging of MEMS/MOEMS).

Si nous combinons maintenant les Equations (4.10), (4.11) et (4.12), nous obtenons la fonction de transfert du dispositif suivante :

$$V = nS_b R_h R_e \frac{I^2}{1 + sR_e C_m} \quad (4.13)$$

Clairement, si nous souhaitons une grande constante de temps, il est nécessaire d'augmenter la capacité thermique de la membrane et la résistance thermique du bras de support, ce qui fragilise la microstructure. L'objectif du bras de support HTIB rajouté dans la Figure 4.4(b) est de renforcer la résistance mécanique sans affecter le comportement thermique. Le schéma de principe de ce bras est montré Figure 4.4(c). Ce sous-système utilise une résistance de chauffe placée sur le bras et une thermopile qui capte la différence de température entre le point d'ancrage à la micro structure suspendue du bras HTIB (température T), et la température T1 dans la zone de la résistance de chauffe. La thermopile convertit cette différence de température en un potentiel qui sert d'entrée à un circuit d'amplification analogique formant une boucle à contre-réaction négative à haut gain. Cette boucle force un courant électrique à travers la résistance qui assure $T \approx T1$. La température au point T1 suit celle du point T, et l'écoulement de la chaleur depuis la micro structure suspendue à travers le bras HTIB est très faible.

La Figure 4.4(d) montre le diagramme de blocs d'un HTIB dont le comportement thermique est modélisé par le bloc de la Figure 4.4(e) et le circuit de contrôle est montré Figure 4.4(f). Ce circuit utilise le principe de mesure de la sortie de la thermopile décrit précédemment, avec un suiveur de voltage qui fourni la puissance nécessaire. Une diode est utilisée dans ce suiveur afin d'éviter une contre-réaction positive. Nous avons pu fabriquer seulement la partie microélectronique de ce dispositif (sans le suiveur de sortie). La Figure 4.4(g) montre la puce réalisée par Fabien Parrain. La Figure 4.4(h) montre la réponse du circuit à un échelon de 1 mV appliqué sur l'entrée correspondante à la thermopile. Un gain supérieur à 60 dB a été mesuré avec un bruit équivalent à l'entrée de 100 μ V.

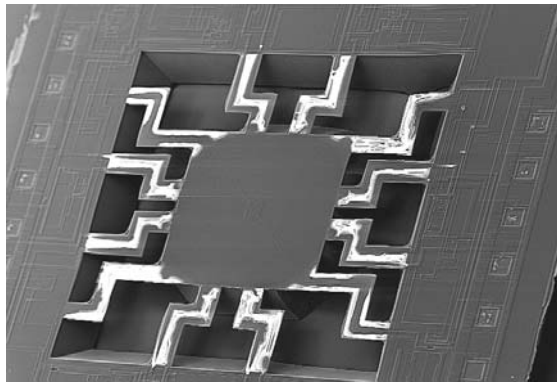
4.3.2.2. Convertisseur électrothermique

Le développement de micro poutres à haute impédance thermique a été une conséquence des travaux de thèse de Damien Veychard dans l'équipe Microsystèmes [160]. Dans sa thèse, Damien Veychard a conçu un convertisseur électrothermique à grande constante de temps montré Figure 4.5(a). Cette constante de temps, de quelques dizaines de secondes, a été obtenue en suspendant une masse importante sous la membrane tel que nous voyons sur la Figure 4.5(a) et en chauffant les 12 bras de support nécessaires pour tenir la microstructure.

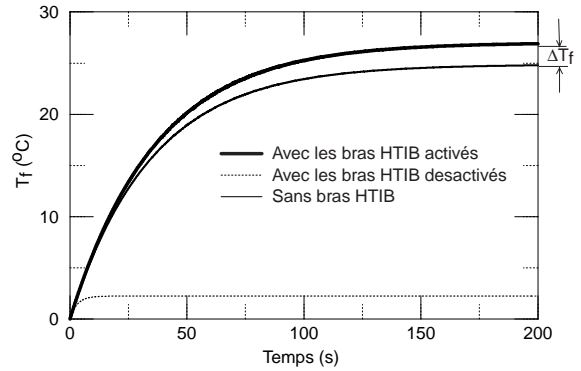
Nous avons proposé la réalisation de ce convertisseur en utilisant 11 bras de support HTIB et un seul bras de support (HE) permettant en principe l'évacuation de la chaleur. La Figure 4.5(b) montre le schéma de principe de ce convertisseur, avec l'électronique de contrôle des bras HTIB, et la Figure 4.5(c) montre la réalisation microélectronique du dispositif de Fabien Parrain. La Figure 4.5(d) montre les résultats de simulations. Nous observons qu'avec les HTIB activés, nous obtenons un régime de fonctionnement proche de l'utilisation d'un seul bras de support. Bien évidemment, l'utilisation d'un seul bras n'est pas possible du point de vue mécanique. Si nous désactivons le contrôle électronique des bras, le comportement du convertisseur est incorrect.

4.3.2.3. Autres dispositifs

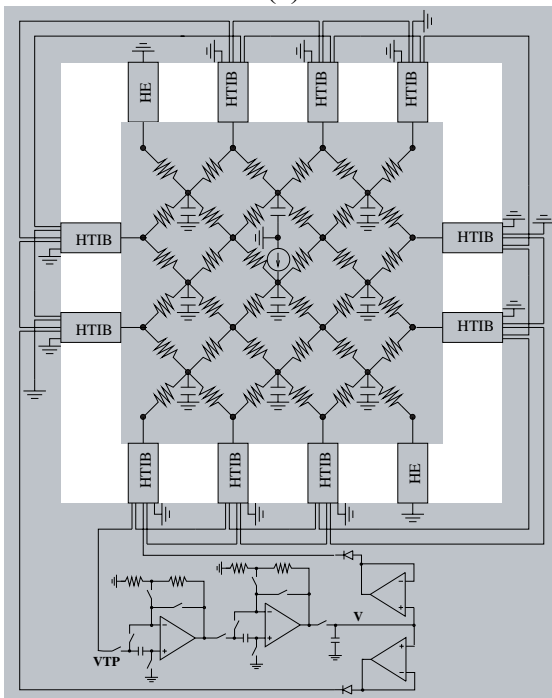
Nous avons aussi démarré à cette époque la réalisation d'un émetteur/récepteur d'ultrasons pendant le stage de DEA de Christian Domingues et le co-encadrement de Libor Rufer. Nous décrirons ces travaux dans les chapitres suivants.



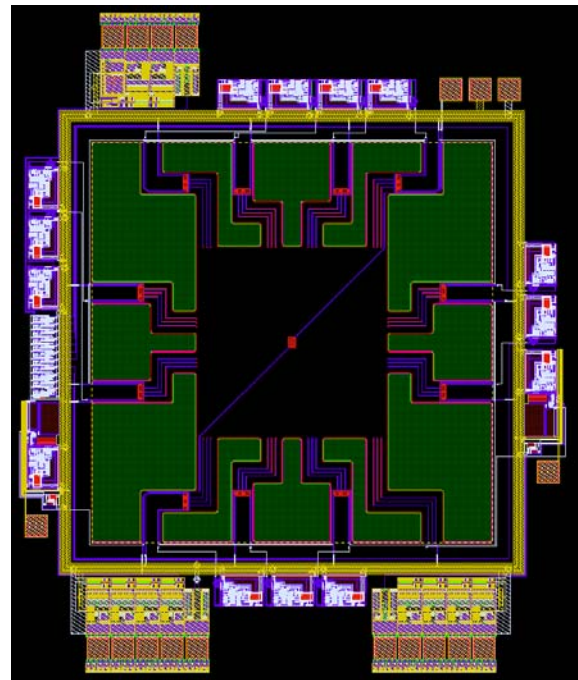
(a)



(d)



(b)



(c)

Figure 4.5. Conception d'un convertisseur électrothermique avec des bras supplémentaires à haute impédance thermique: (a) convertisseur électrothermique à grande constant de temps réalisé par Damien Veychard, (b) diagramme de blocs du convertisseur avec des HTIBs, (c) réalisation microélectronique, et (d) résultats de simulation (*2000 SPIE Design, Test, Integration and Packaging of MEMS/MOEMS*).

4.4. Conclusions de ces recherches

La période de 1998 à 2001 nous a permis une étude approfondie des dispositifs microsystemes et des interfaces microélectroniques associées. Plusieurs dispositifs différents ont été étudiés et quelques uns fabriqués. La plupart de ces dispositifs ont été des démonstrateurs. Les puces de test thermique sont exploitées par la Société MicRed. L'expérience acquise dans ce domaine nous a permis vers la fin 2001 la direction de deux ouvrages sur la conception et les applications des microsystemes [1][2].

Un projet européen a été mis en place en 2001 dans le domaine de test analogique. Ce projet, combiné au poste de Chargé de Recherche obtenu en 2000, nous a permis ensuite la création d'une nouvelle équipe de recherche au Laboratoire TIMA.

Partie II :

Le Présent

2002 - 2004

Chapitre 5

L'équipe de recherche

2002-2004

5.1. La formation de l'équipe de recherche

Les recherches dans le domaine du test microélectronique au sein du laboratoire TIMA ont une longue tradition qui remonte aux années 80. Le laboratoire a toujours eu des équipes de recherche dans ce domaine. L'équipe de Systèmes Intégrés Fiables (RIS⁶⁵) dirigée par Michael Nicolaidis a visé principalement le test intégré des circuits numériques⁶⁶. Les travaux sur le test de circuits numériques sont actuellement menés par des enseignants-chercheurs qui ont été des membres de cette équipe.

Nous avons demandé la création de l'équipe de recherche de systèmes mixtes fiables (RMS⁶⁷) au printemps 2002. L'acronyme RMS, qui a suivi la tradition à TIMA d'utiliser seulement trois lettres, rappelle la composante analogique des travaux de recherche. L'équipe a débuté avec deux anciens membres de l'équipe Microsystèmes : Libor Rufer, enseignant-chercheur, et Christian Domingues, étudiant en thèse. Nous avons demandé leur intégration à la nouvelle équipe en vue de continuer nos projets sur les capteurs MEMS, en particulier dans le domaine acoustique.

Un remaniement de plusieurs équipes de recherche au Laboratoire TIMA a eu lieu en même temps. Emmanuel Simeu, enseignant-chercheur et ancien membre de l'équipe RIS, s'est intégré dans notre équipe selon la proposition de Bernard Courtois, puisqu'il a développé par le passé des techniques de test en ligne d'application aux circuits linéaires, aussi bien numériques qu'analogiques. L'équipe Microsystèmes s'est recomposée dans une nouvelle équipe de Micro et Nano Systèmes (MNS) sous la direction de Bernard Courtois et Skandar Basrou. Deux enseignant-chercheurs de l'ancienne équipe RIS, Régis Leveugle et Lorena

⁶⁵ *Reliable Integrated Systems.*

⁶⁶ Cette équipe s'est éteinte en 2002 après la création de la société Iroc dont Michael Nicolaidis assure la direction technique.

⁶⁷ *Reliable Mixed-signal Systems.*

Anghel, se sont intégrés à d'autres équipes du Laboratoire TIMA, respectivement, à l'équipe de Qualification des systèmes intégrés (QLF⁶⁸) dirigée par Raoul Velazco et à l'équipe MNS.

Le projet de recherche européen MEDEA+ TechnoDat nous a permis le financement de l'équipe pendant ces premiers temps. Deux bourses de thèse CIFRE⁶⁹ avec ST Microelectronics, une en 2002 sur le test de circuits RF et l'autre en 2003 sur le test de circuits mixtes, et un contrat européen en 2003 sur l'apprentissage électronique de la conception de circuits mixtes et microsystèmes, ont complété le financement dans la période 2002-2004. Nous avons aussi commencé la collaboration dans un nouveau projet européen MEDEA+ PICS, mais le financement n'est assuré qu'en 2005.

Nous décrivons brièvement par la suite les programmes des thèses de Doctorat et des projets de recherche. Leurs résultats, ainsi que d'autres travaux de recherche de l'équipe, seront décrits dans les chapitres suivants. Nous décrivons aussi d'autres projets et des actions intégrées avec d'autres pays qui ne servent pas au financement de l'équipe. Enfin, nous décrivons nos activités d'animation de la recherche et d'enseignement.

5.2. Les lignes de recherche et la composition de l'équipe

Les travaux de recherche de l'équipe RMS dans la période 2002-2004 ont visé la conception et le test des circuits mixtes et microsystèmes. Les lignes de recherche s'appuient sur l'expérience que nous avons acquise par le passé dans ces domaines, et elles incluent aussi l'expérience de Libor Rufer en conception de microsystèmes et dispositifs électroacoustiques, et d'Emmanuel Simeu en test de circuits linéaires et en Automatique. Les lignes de recherche sont les suivantes :

- le test de circuits et systèmes intégrés analogiques et mixtes ;
- les outils de CAO de test ;
- la conception de circuits intégrés mixtes en technologies très submicroniques ;
- le test de microsystèmes ;
- et la conception de microsystèmes.

Des liens, voir des recouvrements, existent logiquement avec d'autres équipes du Laboratoire TIMA. Premièrement, avec l'équipe MNS sur la conception et le test de microsystèmes : ces liens sont évidents puisque les microsystèmes ont une nature analogique. Deuxièmement, avec l'équipe QLF dans les aspects de test de circuit mixtes numérique-analogique. Enfin, avec l'équipe de Systèmes Intégrés Concurrents (CIS⁷⁰) dirigée par Marc Renaudin sur des aspects de conception de circuits mixtes.

Fin 2004, l'équipe est composée de onze permanents dont huit étudiants en thèse. Plusieurs stagiaires en projet de fin d'études d'ingénieur ou en stage de Mastère sont accueillis annuellement. L'équipe a aussi accueilli des chercheurs en post-doctorat (un en 2003⁷¹), des étudiants en thèse en visite (trois en 2003-2004⁷²), des professeurs en visite (trois en 2004⁷³) et des professeurs en année sabbatique (deux prévus en 2005⁷⁴).

⁶⁸ *QuaLiFication de circuits.*

⁶⁹ Convention Industrielle de Formation par la Recherche.

⁷⁰ *Concurrent Integrated Systems.*

⁷¹ Mohammed Naal, ancien membre de l'équipe RIS sous l'encadrement d'Emmanuel Simeu, pendant trois mois de 2002 à 2003. Actuellement Professeur à l'Université d'Alep, Syrie.

⁷² Deux étudiants en thèse (Joseph Jaros et Miroslav Seidenglanz) de l'Université de Bohême de l'Ouest (Pilsen) et de l'Université Technique de Brno, en République Tchèque (4 mois chacun), et Wei Ma de l'Université Scientifique et Technique de Hong-Kong (6 mois).

Thésard	Sujet de recherche	Financement	Encadrement	Date de début	Date prévue soutenance
Christian Domingues	Conception de micro-systèmes acoustiques	MENRT	S. Mir 50 % L. Rufer 50 %	1.10.01	29.04.2005
Rabeb Kheriji	Test de circuits RF	Bourse CIFRE ST Microelectronics	J.L. Carbonero et V. Danelon 70 % S. Mir 30 %	1.10.02	2005
Guillaume Prenat	BIST de circuits mixtes	Contrat INPG	S. Mir 100 %	15.10.02	2005
Luis Rolindez	BIST de convertisseurs $\Sigma\Delta$	Bourse CIFRE ST Microelectronics	S. Mir 80 % J.L. Carbonero 20 %	1.10.03	2006
Achraf Dhayni	Test de micro-systèmes linéaires et non linéaires	Centre Islamique de Beyrouth (50 %) Bourse EGIDE (50 %)	S. Mir 50 % L. Rufer 50 %	1.11.03	2006
Ahcène Bounceur	Outils de CAO de test mixte	Bourse EGIDE	S. Mir 70 % E. Simeu 30 %	15.10.03	2006
Livier Lizarraga	BIST d'imageurs CMOS	Bourse CONACYT (Mexique) (80 %) Bourse EGIDE (20 %)	S. Mir 80 % G. Sicard 20 %	1.10.04	2007
Hoang-Nam Nguyen	Test de microsystèmes RF	Bourse EGIDE	L. Rufer 50 % S. Mir 50 %	1.10.04	2007

Tableau 5.1. Les thèses de doctorat dans l'équipe en fin 2004.

5.3. Les thèses de Doctorat

Le Tableau 5.1 résume les thèses de Doctorat. Nous assurons l'encadrement d'un seul étudiant en thèse à 100 %, tandis que nous co-encadrons les autres sept conjointement avec d'autres collègues et collaborateurs de l'équipe. Sept de ces étudiants sont dirigés de façon administrative officielle par Bernard Courtois et un par Marc Renaudin.

5.3.1. La conception et le test de circuits mixtes

Cinq thèses sont en cours dans le domaine de la conception et le test de circuits mixtes :

1. La thèse de Guillaume Prenat vise une architecture de BIST de circuits mixtes en technologie 0.18 μm CMOS. Cette thèse, que nous encadrons à 100 %, a été mise en place dans le cadre du projet européen MEDEA+ TechnoDat, en partenariat avec la société ST Microelectronics, depuis octobre 2002. Nous visons une technique fondée sur la mesure de la réponse harmonique de circuits mixtes. Cependant, l'interface de test doit être purement numérique, permettant l'utilisation de testeurs conventionnels. En fait, la plus grande partie des puces de type SoC est composée de blocs numériques, et les blocs analogiques et mixtes n'occupent qu'une surface relativement petite. Or l'inclusion de ces derniers blocs conduit à l'utilisation de testeurs mixtes ce qui résulte en un surcoût de test très important. Même si la partie analogique et mixte d'un SoC ne représente plus que 5-10 % de la surface totale, plus de 50 % du coût d'une puce peut être dû à l'utilisation de

⁷³ Man Wong de l'Université Scientifique et Technique de Hong-Kong (1 mois), Milan Stork de l'Université de Bohême de l'Ouest, Pilsen (1 semaine) et Frantisek Kadlec de l'Université Technique de Prague (1 semaine).

⁷⁴ José Machado da Silva, de l'institut INESC à Porto, Portugal (2 mois) et P.R. Mukund, de l'Université de Rochester, USA (3 mois).

blocs mixtes. Afin de diminuer ces coûts, la technique de BIST utilise une interface numérique qui doit être compatible avec les standards de test IEEE 1149.1 et IEEE 1149.4.

2. La thèse de Rabeb Kheriji vise le test structurel de circuits radio fréquence (RF). Cette thèse, qui a été mise en place sous l'impulsion de Jean-Louis Carbonero⁷⁵ en octobre 2002, se déroule au moyen d'une bourse CIFRE avec ST Microelectronics. Nous encadrons ces travaux à 30 %, tandis que Valérie Danelon et Jean-Louis Carbonero à ST Microelectronics encadrent la partie la plus importante. L'intégration sur une même puce SoC des fonctions numériques, analogiques et RF est un des défis actuels du développement des systèmes de communication sans fil du futur (téléphonie et Internet mobile). Outre la complexité de conception de tels systèmes, une attention toute particulière doit être apportée à la testabilité des circuits ainsi réalisés. En effet, si le coût du test des parties digitales des circuits a fortement été réduit ces dernières années, celui des parties mixtes et analogiques constitue une partie importante du prix de revient de fabrication des circuits. Ceci est d'autant plus vrai pour les circuits RF qui nécessitent des testeurs coûteux et une caractérisation complète des fonctionnalités, conduisant à des temps de test très longs. Cette thèse vise le développement de nouvelles méthodes de test structurel permettant une amélioration de la testabilité des blocs RF. Les méthodes développées visent à accélérer les procédures de test, en réduisant leur complexité par l'optimisation des nombreux signaux spécifiques à sa caractérisation afin d'obtenir un gain de temps. Les circuits à tester sont du type LNA⁷⁶, VCO⁷⁷, etc., réalisés en technologie 0.25 μm BiCMOS. Les mesures de caractérisation sont effectuées à l'aide de testeurs utilisés en production au sein de ST Microelectronics à Crolles, France.
3. La thèse de Luis Rolíndez vise l'étude et le développement de techniques de BIST de convertisseurs $\Sigma\Delta$ en technologie 0.12 μm CMOS, incluant une composante de conception de circuits mixtes très importante. Cette thèse, qui se déroule au moyen d'une bourse CIFRE mise en place en octobre 2003, est un résultat de la collaboration initiée dans TechnoDat avec ST Microelectronics dans le domaine de test de circuits mixtes. Nous encadrons cette thèse à 80 % et J.L. Carbonero encadre le 20 % restant. A l'heure actuelle, il n'y a pas des solutions de BIST spécifiques aux convertisseurs $\Sigma\Delta$, malgré le fait qu'ils représentent une solution très populaire typiquement utilisée dans les applications audio. Du fait de leur architecture largement numérique, différentes techniques de test concurrent, semi-concurrent ou non-concurrent peuvent être appliquées aux parties numériques. Cependant, il faut considérer des techniques de test spécifiques aux parties mixtes, en particulier les modulateurs $\Sigma\Delta$. Des techniques de mesure de la réponse harmonique et du bruit d'un modulateur doivent être envisagées, en utilisant des stimuli numériques. La réalisation de cette thèse nécessite une synergie importante avec différentes équipes du groupe ST Microelectronics, incluant les ingénieurs de conception, de production et de test.
4. La thèse d'Ahcène Bounceur vise le développement des outils de CAO de test de circuits mixtes, en particulier les outils de simulation de fautes et de génération de vecteurs de test. Nous co-encadrons cette thèse à 70 % sur les outils d'application aux circuits mixtes, et Emmanuel Simeu assure le restant sur les outils de CAO de test nécessaires aux parties

⁷⁵ Chef d'une équipe de test RF à ST Microelectronics, Crolles, France.

⁷⁶ *Low Noise Amplifier*.

⁷⁷ *Voltage Controlled Oscillator*.

numériques des circuits mixtes. Nous avons mis en place cette thèse en octobre 2003 afin de continuer les travaux précédents dans ce domaine, nécessitant une formation en programmation et en recherche opérationnelle. D'abord, il est important d'intégrer ces outils dans une structure de CAO⁷⁸ utilisée par les ingénieurs de conception et de test. Deuxièmement, il est nécessaire d'utiliser des algorithmes avancés d'optimisation, éventuellement aboutissant sur des nouveaux algorithmes de génération de vecteurs de test analogiques. Des procédures spécifiques dans le cas de circuits mixtes incorporant des techniques de BIST sont envisagées. Une étude détaillée des techniques de génération de vecteurs de test existantes, structurelles et fonctionnelles, est nécessaire afin de comparer les résultats obtenus. L'objectif final de ces travaux de thèse est la mise en place d'une plateforme de CAO facilitant le test des circuits mixtes et RF, permettant la simulation de fautes, la génération et l'optimisation des vecteurs de test, et l'évaluation de la performance de techniques de test intégré.

5. La thèse de Livier Lizarraga vise l'étude et le développement de techniques d'auto test d'imageurs CMOS. Cette thèse, que nous encadrons à 80 % avec Gilles Sicard⁷⁹, a été mise en place en octobre 2004 dans le cadre du projet européen MEDEA+ PICS, en partenariat avec la société ATMEL. Les imageurs fabriqués en technologie CMOS présentent à l'heure actuelle un niveau de performances qui permet aux industriels d'envisager leur utilisation dans de nombreuses applications, en particulier dans des puces de type SoC. Puisque les imageurs nécessitent des signaux lumineux comme stimuli de test, des testeurs incorporant des sources de lumière sont nécessaires, ce qui rend le coût de test très important. Ce travail de thèse a comme but le développement d'une technique de BIST électrique des imageurs CMOS et leurs interfaces mixtes. Cette technique de BIST structurel doit permettre au système l'identification des pixels défectueux du capteur. Principalement, les circuits de BIST devront faciliter le test de production des capteurs CMOS, en le rendant compatible avec des testeurs purement numériques. Des échantillons de capteurs CMOS seront fabriqués et utilisés afin de caractériser la technique proposée.

5.3.2. La conception et le test de microsystemes

Trois thèses, que nous co-encadrons avec Libor Rufer à 50 % chacun dans tous les cas, sont en cours dans le domaine de la conception et le test de microsystemes :

1. La thèse de Christian Domingues vise la conception de transducteurs acoustiques micro usinés. Nous avons mis en place cette thèse en octobre 2001, comme produit de la collaboration avec Libor Rufer dans l'ancienne équipe Microsystemes. Les technologies microsystemes offrent de nouvelles possibilités de réalisation de capteurs et d'actionneurs utilisant des ondes acoustiques, avec des avantages tels que la largeur de bande, la flexibilité du design, l'intégration des interfaces électroniques, la miniaturisation et la reproductibilité. Ces avantages rendent possible des applications à bas coût utilisant soit des capteurs soit des émetteurs (microphones, imagerie médicale par échographie, contrôle non destructif des matériaux, télémétrie, etc.). Le but de cette thèse est d'étudier ce nouveau type de dispositifs acoustiques micro usinés et de démontrer sa faisabilité en utilisant des technologies d'utilisation générale. La thèse comporte l'étude et la conception de transducteurs piezorésistifs et capacitifs, incluant la réalisation des parties micromécaniques et leurs interfaces électroniques.

⁷⁸ Structure de CAO de Cadence.

⁷⁹ Equipe CIS.

2. La thèse d'Achraf Dhayni vise le développement de techniques de BIST de composants microsystemes. Nous avons mis en place cette thèse en octobre 2003 afin de continuer les travaux précédents dans ce domaine, nécessitant une formation importante en traitement du signal. Des travaux précédents de l'équipe ont démontré des techniques de BIST de microsystemes linéaires et invariants dans le temps, en utilisant comme stimuli de test des signaux binaires pseudo aléatoires, et en analysant la réponse impulsionnelle par le calcul de la corrélation croisée entre les signaux d'entrée et de sortie. En réalité, les composants microsystemes réalisent souvent des fonctions, en première approximation, d'ordre assez bas (premier ou deuxième ordre), mais avec des effets de non linéarité qui peuvent être importants. L'objectif de cette thèse est le développement de techniques avancées de BIST de microsystemes qui devront s'affranchir des problèmes créés par les non linéarités des dispositifs. La validation de ces techniques nécessite l'utilisation d'échantillons de microsystemes, une carte d'acquisition de données⁸⁰, et des logiciels de traitement du signal⁸¹ permettant la modélisation des techniques de BIST, en particulier la génération de stimuli de test et l'analyse de la réponse. Il est aussi envisageable de réaliser un démonstrateur d'un transducteur complet auto testable, qui pourra intégrer la partie microsysteme, les interfaces électroniques de traitement et de conversion du signal et les fonctions de BIST.

3. La thèse de Hoang-Nam Nguyen vise la conception en vue du test de microsystemes RF. Nous avons mis en place cette thèse en septembre 2004 dans le cadre d'une coopération avec Philippe Cauvet de la société Philips, à Caen en France. Les technologies de type SiP⁸² et SoC permettent la fabrication conjointe, dans un même boîtier, de microsystemes et de circuits microélectroniques. Quelques solutions existent de test structurel de microsystemes à base fréquence (par exemple, pour les accéléromètres). Par contre, des techniques de test intégré de microsystemes RF (par exemple des filtres SAW⁸³ et BAW⁸⁴, des interrupteurs RF, ou des capacités variables) n'existent pas. Des tests RF fonctionnels, comme la mesure des paramètres S ou la figure de bruit, s'appliquent de façon standardisée à ces composants. Dans le cas des SiP et des SoC avec microsystemes RF embarqués, les problèmes d'accès et de coût du test rendent ces techniques très peu compétitives. Ce travail de thèse vise l'étude de techniques de test alternatives de ces composants RF, permettant le tri entre les bons et les mauvais dispositifs aussi bien que l'étude des différents mécanismes de défaillance.

5.4. L'animation et la valorisation de la recherche

5.4.1. Les projets de recherche européens

L'équipe RMS a été impliquée dans deux projets de recherche européens dans la période 2002-2004. D'abord, le projet européen MEDEA+ TechnoDat T-101⁸⁵ qui s'est déroulé pendant la période 2001-2004. Nous avons mis en place la participation du Laboratoire TIMA dans ce projet en janvier 2001 sous forme de collaboration avec ST Microelectronics. Bernard

⁸⁰ National Instruments.

⁸¹ MatLab et LabView.

⁸² *System-In-Package*.

⁸³ *Surface Acoustic Wave filter*.

⁸⁴ *Bulk Acoustic Wave filter*.

⁸⁵ *Technology-Driven Design and Test for System Innovation On Silicon*.

Courtois à TIMA et Philippe Garcin et Laroussi Bouzaida à ST Microelectronics nous ont invité à proposer un projet dans le domaine de test analogique.

Le partenariat de ce projet inclut les trois grands fabricants européens de semi-conducteurs, ST Microelectronics en France et en Italie, Infineon Technologies en Autriche et Philips au Pays Bas ; la PME⁸⁶ de CAO CISC en Autriche ; l'institut de recherche allemand FhG (seulement en 2001) ; les PME françaises de CAO et de test Dolphin, Hirex, IROC, Simplex⁸⁷ (seulement de 2001 à 2003) et Avertex (seulement en 2004) ; la PME de CAO ISD en Grèce (seulement 2001 et 2002), et le Laboratoire TIMA.

Les objectifs globaux de ce projet couvrent la conception et le test en technologies très submicroniques. Les technologies sur silicium poursuivent leur évolution vers une densité toujours plus grande, et de nouveaux matériaux font leur apparition. Il en résulte des contraintes de plus en plus nombreuses, affectant les différentes phases de la conception. Des environnements adaptés à ces nouvelles technologies sont indispensables, non seulement pour rendre ces phases de conception plus rapides et plus fiables, mais aussi pour permettre la faisabilité des futurs designs. Le but du projet est de permettre aux concepteurs de tirer le meilleur bénéfice des nouvelles technologies (de 0.18 μm à 65 nm), sans que la complexité de leur travail s'en ressente. Le consortium TechnoDat doit garantir un transfert efficace de savoir-faire de la recherche vers la production en relevant trois défis : une acquisition de savoir-faire sur la modélisation physique: nouveaux matériaux (par ex. SOI⁸⁸), extraction de parasites garantissant un comportement temporel adéquat, simulations 3D au lieu de 2D ; un défi industriel répondant à des exigences de volume (complexité des cellules logiques, nombre de vues par cellule, nombre de types de cellules, vitesse plus élevée) et prenant en compte les nouvelles façons de réaliser un design (systèmes sur silicium, réutilisation, équipes distribuées) ; et une adaptation au marché nécessitant des coûts raisonnables, en particulier au niveau du test.

Le programme de recherche au Laboratoire TIMA, à hauteur d'un homme-an/an, a visé le développement de techniques de test à bas coût de circuits mixtes dans des puces SoC. Nous avons ainsi programmé le développement d'une technique de BIST analogique compatible avec les testeurs numériques. Les deux premières années du projet ont été dédiées à la définition des techniques de génération de stimuli et d'analyse de la réponse⁸⁹. Un démonstrateur en technologie 0.18 μm CMOS de ST Microelectronics a été réalisé par la suite par Guillaume Prenat et Luís Rolíndez. Nous avons aussi coopéré avec Infineon Technologies dans leur solution de BOST⁹⁰ analogique de convertisseurs. En fait, la technique de BIST développée à TIMA a été considérée afin d'améliorer leur technique de BOST. Finalement, nous avons initié une coopération avec Yiorgos Tsiatouhas⁹¹ de la société ISD en Grèce sur le test IDDQ de circuits très submicroniques.

Le deuxième projet de recherche européen MEDEA+ PICS A-401⁹² se déroule pendant la période 2003-2006. La participation de TIMA dans ce projet a été mise en place par Gilles Sicard en collaboration avec Pierre-Damien Berger et Marc Pegulu de la société Atmel à St. Egrève, France. La participation de notre équipe dans le projet s'est faite grâce à leur invitation et concerne les problèmes de test des imageurs CMOS.

Le partenariat de ce projet inclut des fabricants européens d'imageurs CMOS, Atmel (en France) et Philips Semi-conducteurs (au Pays Bas) ; des fabricants européens d'équipements

⁸⁶ Petites et Moyennes Entreprises.

⁸⁷ Achetée par Cadence en 2004.

⁸⁸ *Silicon-On-Insulator*.

⁸⁹ Avec la collaboration des stages de Projet Fin d'Etudes Ingénieur ou de Mastère de Rahim Ebrahim, Christophe Diedrich, Cosmin Roman et Christian Domingues.

⁹⁰ *Built-On-board-Self-test*.

⁹¹ Actuellement à l'Université d'Ioannina, Grèce.

⁹² *Programmable Imaging with CMOS Sensors*.

électroniques et vidéo caméras, Thales et Thomson, en France, et Philips au Pays Bas ; des PME dédiées à la recherche en imagerie, Blue Eye Video en France et Dalsa B.V. et Nextamp au Pays Bas ; et les centres français de recherche CEA, CMM et TIMA.

Les objectifs globaux de ce projet visent le développement de plateformes programmables d'imagerie CMOS d'application principalement dans les domaines de la sécurité et de l'automobile. L'imagerie en technologie CMOS arrive actuellement à des niveaux de performance qui la rendent compétitive pour des applications aussi bien grand public que professionnelles. Les avantages les plus importants sont la réduction des coûts de fabrication et l'intégration ensemble avec les blocs de contrôle des imageurs et de traitement de l'image (DSP⁹³). Des vidéo caméras plus intelligentes peuvent ainsi être développées, et ceci est spécialement intéressant dans des applications fonctionnant en réseaux. Les tâches de recherche incluent la définition de nouveaux systèmes d'imagerie CMOS et le développement de nouveaux blocs tels que les capteurs CMOS et des blocs de programmation en ligne du traitement d'image. Deux démonstrateurs de ces plateformes CMOS sont envisagés, l'un s'applique dans l'industrie de l'automobile et l'autre dans le domaine de la sécurité et de la surveillance.

Le programme de recherche au Laboratoire TIMA, à hauteur de 2,5 hommes-an/an, inclut deux tâches séparées. La première tâche, réalisée par Estelle Labonne et Gilles Sicard dans l'équipe CIS, vise le développement de nouveaux pixels CMOS en technologie 0.18 μm CMOS qui est fournie par Atmel. La deuxième tâche vise le développement d'une technique de BIST purement électrique, permettant le test structurel des pixels CMOS et leurs interfaces de contrôle mixtes. Nous développons cette tâche avec Livier Lizarraga en collaboration avec l'équipe CIS. La validation de la technique de BIST proposée nécessite l'utilisation de la plateforme de CAT développée par Ahcène Bounceur.

5.4.2. Les actions intégrées

Deux actions intégrées ont été mises en place par Libor Rufer. La première est une action intégrée de deux ans réalisée dans le cadre du programme Barrande. Cette action réunit deux départements de l'Université Technique de Prague en République Tchèque et le Laboratoire TIMA sur le test des circuits mixtes et microsystemes. Cet action a permis de recevoir dans l'équipe plusieurs étudiants qui ont pris connaissance des travaux menés au sein de l'équipe. L'équipe a reçu la visite de plusieurs enseignant-chercheurs tchèques⁹⁴.

La deuxième action intégrée d'une durée de deux ans se déroule dans le cadre du programme Duo France en collaboration avec l'Université Scientifique et Technique de Hong-Kong. Cette action cible la conception et le test de microsystemes électrostatiques, incluant des capteurs acoustiques et des micro générateurs d'énergie. Cette action a permis l'échange de jeunes chercheurs entre les deux pays⁹⁵ pour une durée de six mois, un séjour de Libor Rufer au Hong-Kong d'un mois, et la visite du Professeur Man Wong pendant un mois. Des travaux de recherche en coopération sont en cours.

5.4.3. Les colloques et les conférences internationales

L'organisation de colloques et des conférences internationales est fortement impulsée par Bernard Courtois au Laboratoire TIMA. Nous avons ainsi participé à l'organisation du programme du 10th *International Mixed-Signals Testing Workshop* à Portland, USA, et à

⁹³ *Digital Signal Processing*.

⁹⁴ Miroslav Husak et Libor Husnik.

⁹⁵ Frank Koukoui (6 mois à Hong-Kong) et Wei Ma et Man Hin Tsang (6 mois chacun à Grenoble).

l'organisation d'un numéro spécial du magazine *Microelectronics Journal* consacré à ce colloque. Nous organisons actuellement le *11th International Mixed-Signals Testing Workshop* à Cannes, France, en juin 2005. Nous assurons aussi l'organisation locale du *4th Wireless Test Workshop* à Cannes, France, en juin 2005. Par la suite, nous organisons la Conférence *IFIP International Conference on VLSI-SoC*, à la Côte d'Azur, France, en 2006.

Nous avons fait plusieurs présentations invitées sur le test de microsystèmes. Celles-ci incluent deux sessions plénières⁹⁶ à Washington, USA, en 2003 (*5th IFAC Symposium on fault detection, supervision and safety of technical processes* [33]) et à Tunis, en 2004 (*16th International Conference on Microelectronics* [30]). D'autres présentations invitées sur le test de microsystèmes ont été faites à Mumbai, India, en 2004 (*17th International Conference on VLSI Design* [32]) et à Santa Clara, USA, en 2004 (*IEEE International SOC Conference* [31]⁹⁷). Nous avons fait une présentation invitée sur le test de circuits mixtes à Kitakyushu, Japon, en 2003 (*Asia South Pacific Design Automation Conference* [34]) et à Ajaccio, France, en 2004 (*Workshop on the testing of high resolution mixed signal interfaces* [36]).

D'autres activités d'animation de la recherche dans cette période incluent l'organisation d'un panel sur le test de microsystèmes à Monterrey, USA, en 2002 (*20th IEEE VLSI Test Symposium* [126]), l'organisation d'une session spéciale⁹⁸ sur le BIST de circuits mixtes à Corfu, Grèce, en 2002 (*IEEE European Test Workshop* [125]), et la participation dans un panel sur les nouveaux défis posés par les microsystèmes à Santander, Espagne, en 2002 (*17th Conference on Design of Circuits and Integrated Systems* [124]).

5.5. L'enseignement et les séminaires de recherche

La participation des chercheurs dans les activités d'enseignement est maintenant fortement encouragée par le CNRS et le MENRT. Nous avons commencé la participation à des séminaires de recherche et d'enseignement pendant cette période. Ainsi, nous avons donné des séminaires sur le test de circuits mixtes et microsystèmes pendant une école d'été à Autrans, France, en 2002 (1½ heures [108]), à l'Ecole Polytechnique de l'Université Grenoble 1, France, en 2003 (1½ heures [106]), pendant une Action Spécifique du CNRS à Valence en 2004 (2 heures [105]), et à l'Université de Gerone, Espagne, en 2004 (4 heures [100]).

Une activité très importante de diffusion a été la direction et la rédaction de deux ouvrages sur la conception et les applications des microsystèmes du *Traité EGEM (Electronique, Génie Electrique, Microsystèmes)* publié par Hermès Science Publications [1][2]⁹⁹. Nous avons été invités à diriger ces ouvrages par Joseph Borel¹⁰⁰ et Bernard Courtois. Cette activité nous a emmené par la suite à participer dans le projet européen IPCI¹⁰¹ du Programme Leonardo en collaboration avec Philippe Morey-Chaisemartin du CIME¹⁰². Ce projet a visé à développer un environnement d'apprentissage électronique¹⁰³ par Internet. Deux cours sur, respectivement, la conception de microsystèmes et la conception de circuits analogiques et mixtes, ont été développés par Libor Ruffer. Enfin, nous avons donné un cours d'introduction aux microsystèmes dans le cadre de la formation continue¹⁰⁴ de l'Institut National Polytechnique de Grenoble (8 heures).

⁹⁶ *Plenary Session.*

⁹⁷ Présentation réalisée par Benoît Charlot.

⁹⁸ *Break-out session.*

⁹⁹ Les co-auteurs sont Benoît Charlot, Libor Ruffer, Fabian Parrain, Sergio Martínez et Jérôme Goy.

¹⁰⁰ Vice-président à la retraite de SGS-Thomson Microelectronics, Crolles, France.

¹⁰¹ *Interned-based Performance Centered Instruction system.*

¹⁰² Centre Interuniversitaire de Microélectronique

¹⁰³ *E-learning.*

¹⁰⁴ Formatech.

Chapitre 6

La conception et le test de circuits mixtes

2002-2004

6.1. Introduction

Après la période 1998-2001 consacrée exclusivement aux microsystemes, nous avons abordé à nouveau le domaine de test des circuits mixtes sous l'impulsion du projet européen TechnoDat. Ce projet nous a permis de démarrer l'équipe de recherche en 2002 avec le test de circuits mixtes comme un des axes de recherche principaux. L'objectif que nous avons fixé dans ce projet est de faciliter les techniques de test à bas coût des systèmes sur puce, en rendant le test des parties mixtes compatible avec l'utilisation d'un testeur numérique. Afin d'atteindre ce but, nous avons visé l'utilisation de techniques de BIST mixte.

A la fin des années 90 et au début des années 2000, plusieurs techniques de BIST mixte ont été étudiées par la communauté de test analogique. D'un côté, les techniques qui utilisent un mode d'oscillation du circuit [161][162], la modulation $\Sigma\Delta$ [163][165], ou le test pseudo aléatoire [166] sont capables de couvrir une certaine gamme de circuits mixtes. D'un autre côté, des techniques de BIST *ad hoc*, spécifiques à un certain type de module, semblent toujours nécessaires dans le cas de blocs tels que les CANs¹⁰⁵ [167][168] ou les PLLs¹⁰⁶ [169]. A cette époque, à peine deux sociétés aux USA sont actives dans le domaine de test analogique, fournissant des solutions (blocs IP¹⁰⁷) de test intégré de composants spécifiques tels que CANs, CNAs¹⁰⁸, VCOs¹⁰⁹ et PLLs [171][170].

Parmi les techniques à caractère générique, les techniques d'oscillation présentent un intérêt clair. Mais le besoin de modifier le circuit afin de créer un mode d'oscillation, leur but qui est plus proche d'un test structurel que fonctionnel, et le manque de vecteurs de test en font une solution peu flexible, et sûrement moins générale. Les techniques de test pseudo

¹⁰⁵ Convertisseur Analogique-Numérique.

¹⁰⁶ *Phase-Locked Loops*.

¹⁰⁷ *Intellectual Property*.

¹⁰⁸ Convertisseur Numérique-Analogique.

¹⁰⁹ *Voltage-Controlled Oscillator*.

aléatoire ont aussi retenu notre attention. Cependant, la longueur des séquences de test, les besoins en capacité de mémoire et leur application en principe limitée aux circuits linéaires diminuent leur intérêt. Nonobstant, les recherches initiées par Libor Rufer dans cette ligne nous conduiront par la suite au test pseudo aléatoire de microsystemes. Puisque notre objectif a été de couvrir une gamme importante de circuits mixtes, nous avons choisi d'approfondir l'étude des techniques basées sur la modulation $\Sigma\Delta$.

La validation de techniques de BIST mixte au moyen aussi bien de démonstrateurs en silicium que de la simulation nous a conduit à la conception de nouveaux circuits et au développement d'outils de CAO pour le test. Ces outils serviront aussi à la validation d'autres techniques de test intégré que nous étudions dans le cas des circuits RF et les imageurs CMOS. Nous donnerons par la suite une description de ces différents résultats. Le Tableau 6.1 résume les sujets de recherche abordés pendant cette période et quelques références bibliographiques auxquelles ils ont donné lieu.

Domaine de Recherche	Sujets de recherche abordés	Références bibliographiques
<i>Test intégré de circuits mixtes</i>	BIST basé sur la réponse harmonique test structurel RF test en ligne test pseudo aléatoire	[13][34] [41] [49] [51]
<i>Conception de circuits mixtes</i>	amplificateur différentiel avec CMFB ¹¹⁰ par le substrat	[40]
<i>Outils de CAO de test</i>	simulation de fautes génération de vecteurs de test	[14] [43]

Tableau 6.1. Sujets de recherche abordés pendant la période 2002-2004 sur la conception et le test intégré des circuits analogiques et mixtes, et quelques références bibliographiques associées.

6.2. La conception et le test de circuits analogiques, mixtes et RF

6.2.1. BIST de circuits mixtes basé sur la réponse harmonique

Ce travail a visé la définition et la validation d'une technique de BIST mixte programmable, selon les objectifs fixés dans le projet européen TechnoDat. Ainsi, l'interface des circuits de BIST est entièrement numérique, évitant l'utilisation de testeurs mixtes. Le but de l'architecture de BIST de la Figure 6.1(a) est l'analyse de la réponse harmonique du circuit sous test (CUT). L'architecture de BIST permet la programmation d'un stimuli de test analogique du CUT, et la génération d'une signature numérique liée à la réponse harmonique de ce CUT. L'étude, la réalisation et la validation de cette architecture sont le travail de thèse de Guillaume Prenat.

Un démonstrateur sur silicium a été fabriqué en technologie 0.18 μm CMOS de ST Microelectronics. La Figure 6.1(b) montre la réalisation microélectronique de ce circuit et la Figure 6.1(c) une photo de la puce fabriquée. Les parties mixtes de cette architecture (le filtre passe bas de 3^{ème} ordre et le modulator $\Sigma\Delta$ de premier ordre) sont différentielles et elles ont été conçues et réalisées par Luís Rolíndez¹¹¹.

¹¹⁰ Common-Mode Feedback Circuit.

¹¹¹ Une première version de plusieurs blocs numériques et d'un bloc programmable de filtres non différentiels a été développé par Christophe Diedrich et Christian Domingues.

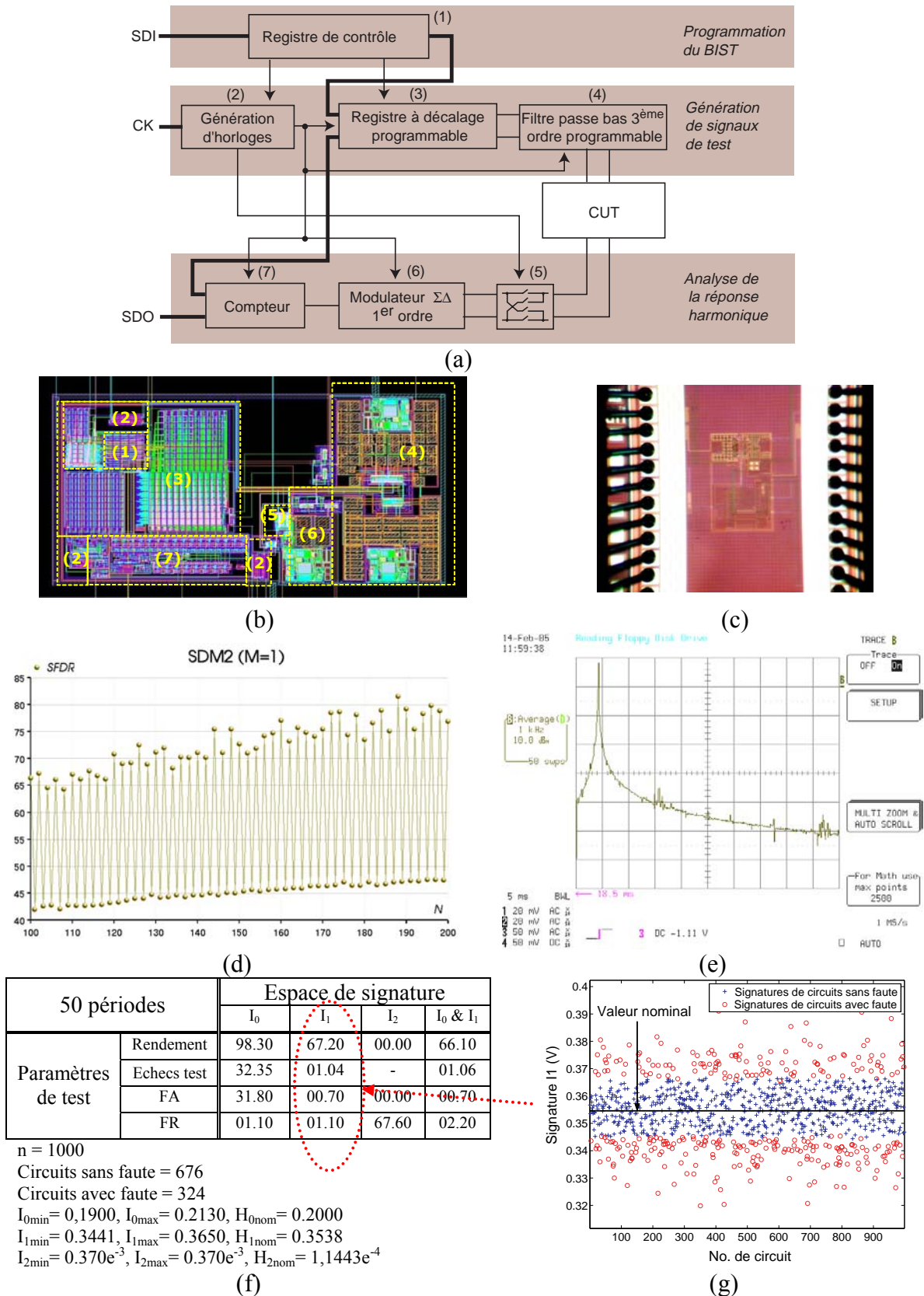


Figure 6.1. BIST de test harmonique de circuits mixtes : (a) architecture, (b) dessin des masques du démonstrateur, (c) photo du circuit fabriqué, (d) SFDR du signal généré en fonction de la longueur du registre programmable, (e) résultat de test pour N=120, (f) analyse de la signature, et (g) résultats de la signature correspondant au 1^{er} harmonique du filtre passe bas (*10th IEEE International Mixed-Signals Testing Workshop*).

La génération de signaux analogiques de test est basée sur une technique connue [164]. Un registre à décalage est chargé avec un vecteur de test numérique qui code un ou plusieurs périodes du signal analogique à générer. Ce vecteur de test est calculé au préalable par une modulation $\Sigma\Delta$ en logiciel du signal désiré. Après le chargement du vecteur de test, le registre à décalage est rebouclé et cadencé à la fréquence d'échantillonnage utilisée lors du codage numérique du signal analogique. La sortie du registre est alors un train binaire qui permet, après filtrage analogique, de récupérer le signal analogique encodé. Le signal obtenu dépend du signal numérique, de la longueur N du registre à décalage et de la fréquence d'échantillonnage f_s . Puisque le train binaire est répété périodiquement, le spectre du signal obtenue à la sortie du registre est discret et il contient un nombre limité de fréquences cohérentes donné par [172] :

$$f = f_s \frac{M}{N}, \quad \text{avec } M = 0, 1, \dots, \frac{N}{2} \quad (6.1)$$

Autrement dit, seules les fréquences données par l'Equation (6.1) peuvent être représentées par ce train binaire tout en contenant un nombre entier de périodes.

Nous avons ajouté à ce principe la possibilité de programmation de la longueur du registre à décalage, de la fréquence d'échantillonnage et de la fréquence de coupure du filtre analogique. Selon l'Equation (6.1), nous obtenons une résolution en fréquence (f_s/N) bien plus importante que dans le cas d'un registre à longueur fixe. La fréquence d'échantillonnage est obtenue par une simple division de l'horloge de la puce par une puissance de 2 :

$$f_s = \frac{f_{CK}}{2^B} \quad (6.2)$$

où f_{CK} est la fréquence d'horloge de la puce et B le facteur de division. Un signal mono fréquence est codé sur la composante fondamentale du train binaire, $M=1$ dans l'Equation (6.1), à la fréquence donnée par :

$$f = \frac{f_{CK}}{2^B} \frac{1}{N} \quad (6.3)$$

Dans ce démonstrateur, nous avons opté pour une précision d'environ 8 bits dans le signal généré afin de rester sur une réelle technique à bas coût. Nous avons utilisé un registre programmable entre 100 et 200 bits, ce qui implique une surface relativement peu importante. Alors, chaque valeur de B dans l'Equation (6.3) couvre une octave différente, et nous obtenons 100 fréquences différentes par octave en changeant seulement la longueur N . Par exemple, avec un horloge de la puce à 125 MHz, il est possible d'obtenir 1600 signaux mono fréquence dans la plage de fréquences de 19.1 Hz à 1.25 MHz. La Figure 6.1(d) montre le SFDR¹¹² que nous pourrions obtenir théoriquement dans n'importe laquelle de ces octaves en fonction de la longueur N . Nous avons considéré ici des trains binaires optimisés et un filtre passe bas à la sortie avec une fréquence de -3 dB égale à la fréquence du signal d'entrée¹¹³. La Figure 6.1(e) montre le spectre expérimental d'un signal généré dans la puce avec $N=120$ et $f=833$ Hz, ce qui donne un SFDR proche de la valeur théorique.

La technique d'analyse de la réponse consiste en la génération de signatures numériques qui représentent les harmoniques de la réponse du CUT. Nous utilisons une technique connue de modulation du signal de test par deux signaux carrés de phases 0 et $\Pi/2$, respectivement, à la fréquence de l'harmonique désiré [173]. Cette technique est spécialement facile à réaliser dans cette architecture de BIST car les signaux carrés peuvent être générés par une simple division de l'horloge de la puce, tel que nous faisons pour la fréquence d'échantillonnage

¹¹² *Spurious Free Dynamic Range*.

¹¹³ Ces résultats ont été obtenus lors des stages de Rahim Ebrahim et Cosmin Roman, respectivement, par simulation électrique et par un calcul théorique.

dans la partie de génération de stimuli. Le résultat de chaque modulation par un signal carré est par la suite codé numériquement au moyen d'un modulateur et intégré par un compteur de 16 bits, donnant ainsi une des deux composantes de la signature d'un harmonique.

La capacité de cette technique de détection de circuits défectueux a été évaluée par simulation Monte Carlo. La Figure 6.1(f) montre les résultats de simulation de cet architecture de BIST en considérant le filtre passe bas comme CUT. Tel que nous le montrons Figure 6.1(g), la signature I_1 , correspondante à la fréquence fondamentale H_{1nom} , donne les meilleurs résultats en termes de paramètres de test¹¹⁴, permettant une bonne discrimination entre les circuits bons et mauvais.

Ce démonstrateur a montré la faisabilité de la technique dans le cas d'un test avec une précision d'environ 8 bits. Nous utilisons des vecteurs de test d'une longueur de 256 bits, qui représentent le code numérique du stimulus de test et les bits nécessaires à la programmation des paramètres du BIST : la longueur du registre à décalage et les facteurs de division d'horloge. Ces facteurs permettent d'obtenir la fréquence d'échantillonnage du circuit de génération, les signaux carrés de modulation dans l'analyse, et les horloges du filtre analogique. L'évaluation expérimentale de la résolution de cette architecture de test est encore en cours.

6.2.2. Test de courant de composants radiofréquence

L'intégration sur une même puce de parties numériques, mixtes et RF est l'un des principaux défis du développement de SoCs d'application aux télécommunications. Le coût des testeurs RF et leur temps de test élevés poussent à l'optimisation des méthodes de test. Le test de circuits RF est actuellement effectué par la validation des spécifications fonctionnelles du circuit. Cependant, les contraintes du marché et de temps de test sont difficilement satisfaites à l'aide des spécifications fonctionnelles. Il est ainsi nécessaire de développer de nouvelles méthodes de test permettant de répondre à ces besoins.

Dans ce contexte, les travaux de thèse de Rabeb Kheriji, co-encadrée à ST Microelectronics (Crolles) par Jean-Louis Carbonero et Valérie Danelon, visent l'étude de méthodes de test orientées sur les défauts des circuits RF. Le but est d'optimiser les vecteurs de test et les paramètres de mesure utilisés pendant le test de production, comme cela a été réalisé par le passé pour les circuits analogiques et mixtes.

L'étude a débutée sur un amplificateur faible bruit (LNA¹¹⁵) présenté sur la Figure 6.2(a) et réalisé en technologie 0.25 μm BiCMOS. Les simulations ont été réalisées à ST Microelectronics à l'aide du logiciel de simulation ADS¹¹⁶ sur la gamme de fréquences situées entre 40 MHz et 4 GHz. Les paramètres de mesure utilisés lors du test sont le courant de consommation (le test le plus rapide et le moins cher de tous les tests), les paramètres S ¹¹⁷, le facteur de bruit (NF¹¹⁸) sous 50 Ω et les produits d'intermodulation (IP1 et IP3). L'étude a porté sur la simulation des fautes catastrophiques (courts-circuits et circuits ouverts sur chaque composant du circuit). Le circuit est constitué de transistors bipolaires, de capacités et de résistances. Pour chaque transistor, les courts-circuits entre les connecteurs (base-collecteur, base-émetteur, collecteur-émetteur) et les circuits ouverts au niveau de chaque connecteur ont été considérés. Les courts-circuits et les circuits ouverts ont été modélisés par une résistance d'1 Ω et 1M Ω , respectivement. Chaque faute a été simulée indépendamment des autres. La Figure 6.2(b) montre les résultats obtenus de la simulation de fautes.

¹¹⁴ Test escapes, false acceptance (FA), false rejection (FR), yield.

¹¹⁵ Low Noise Amplifier.

¹¹⁶ © Agilent Technologies.

¹¹⁷ Scattering parameters.

¹¹⁸ Noise Figure.

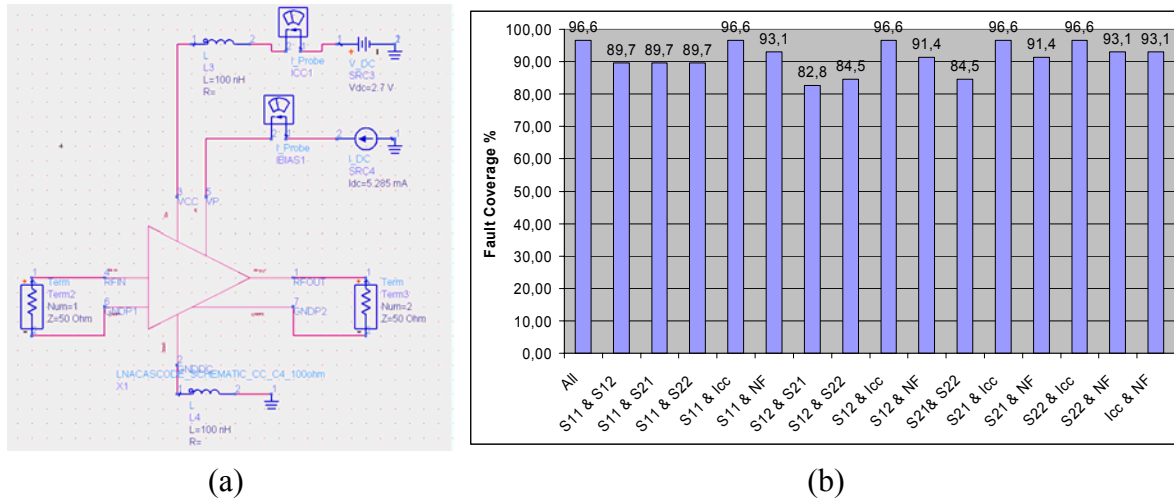


Figure 6.2. Optimisation des tests d'un circuits RF : (a) LNA de ST Microelectronics dans sa configuration de test, et (b) couverture de fautes catastrophiques permettant la sélection des mesures de test (2004 16th International Conference on Microelectronics).

D'abord, le taux de couverture de chaque paramètre de mesure a été calculé. Ainsi, tous les courts-circuits et circuits ouverts injectés dans les transistors sont détectés par le courant de consommation. Mais, par rapport aux capacités, les paramètres S et le NF ont le taux de couverture le plus élevé, tandis que le courant de consommation ne détecte aucun circuit ouvert. Le paramètre S_{11} a le plus haut taux de couverture (89 %). La combinaison du taux de couverture de tous les paramètres de test est d'environ 96 %. Cependant, il est possible d'obtenir ce taux de couverture avec seulement deux paramètres : le courant de consommation (I_{cc}) et l'un des paramètres S. Les mesures du facteur de bruit NF, de l'IP1 ou de l'IP3 n'améliorent pas les résultats quant à la détection des fautes catastrophiques. L'étude des fautes paramétriques est actuellement en cours.

6.2.3. Test en ligne de circuits mixtes

Dans l'équipe RMS, l'activité de test en ligne est menée par Emmanuel Simeu. Cette activité vise en particulier des techniques de BIST des circuits numériques intégrés dans des blocs à signal mixte. Plusieurs techniques numériques d'auto test en ligne ont été étudiées pendant les dernières années, incluant des techniques concurrentes, non concurrentes et semi concurrentes. Nous avons débuté la collaboration avec Emmanuel Simeu et Mohammed Naal¹¹⁹ en étudiant l'application de ces techniques dans le cas du bloc de décimation d'un convertisseur analogique/numérique $\Sigma\Delta$ audio. Ce bloc filtre le bruit de quantification du signal binaire provenant de l'étage de modulation à 5.6448 MHz tout en re-échantillonnant le signal à la fréquence de Nyquist de 44.1 kHz avec 16 bits de précision. En particulier, nous avons étudié le test du premier étage de ce bloc réalisé au moyen d'un filtre FIR¹²⁰ de type CIC¹²¹. Ce filtre réalise une fonction de transfert $T_{sinc}(z)$ de type *sinc* :

$$T_{sinc}(z) = \frac{1}{M^{l+1}} \left(\frac{1-z^{-M}}{1-Z^{-1}} \right)^{l+1} = \left(\frac{1}{1-Z^{-1}} \right)^{l+1} (1-z^{-M})^{l+1} \frac{1}{M^{l+1}} \quad (6.4)$$

¹¹⁹ Mohammed Naal a réalisé un post-doctorat de trois mois après avoir terminé ses travaux doctoraux qui ont été dirigés par Emmanuel Simeu et Michael Nicolaidis dans l'ancienne équipe RIS.

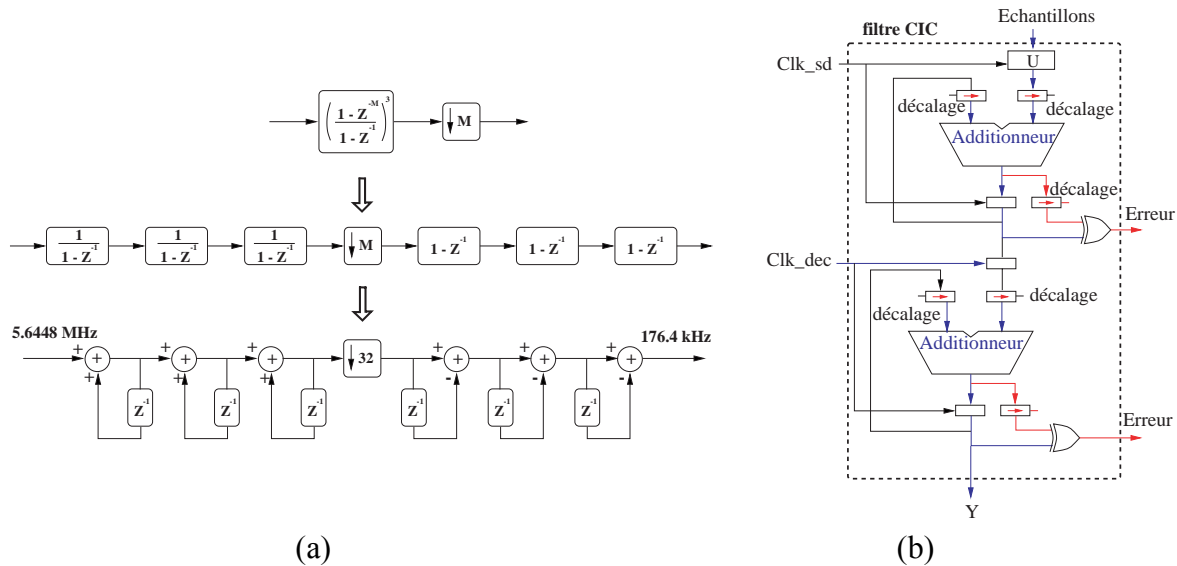
¹²⁰ Finite Impulse Response.

¹²¹ Cascaded-Integrator-Comb.

où L est l'ordre de l'étage de modulation précédent et M la proportion entière entre la fréquence d'échantillonnage f_s du train binaire d'entrée et la fréquence d'échantillonnage f_m à la sortie de l'étage. Dans notre convertisseur, $L=2$ et $M=32$ ($f_m=8f_o$, où f_o est la bande passante du signal audio). La réalisation de ce filtre, montrée Figure 6.3(a), utilise une cascade de deux blocs de base : l'intégrateur et le *comb*. Si B_{in} est le nombre de bits d'entrée du filtre, le nombre de bits de sortie B_{out} , qui doit être aussi utilisé par chaque intégrateur et *comb*, est donné par la relation suivante [174]:

$$B_{out} = [(L + 1) \log_2 M + B_{in}] = 3 \log_2 32 + 1 = 16 \quad (6.5)$$

Des techniques de test non concurrent et semi concurrent ont été appliquées à ce filtre [49]. La Figure 6.3(b) montre l'architecture du filtre réalisant une technique de test en ligne semi-concurrent. La propriété de distributivité de la multiplication par rapport à l'addition est vérifiée pendant les temps morts des additionneurs. Par exemple, les opérations $2A+2B$ et $2(A+B)$ doivent donner le même résultat. Les multiplications par 2 sont réalisées dans le circuit de la Figure 6.3(b) par un simple décalage des valeurs des registres, permettant ainsi la détection des fautes de collage.



Technologie		ADD	MUX	REG	CIC	ADD DFT	REG DFT	Circuits de DFT	CIC DFT	Surcoût %
0.6 μm	surface (sqmil)	198.0	63.5	78.1	432.3	207.1	81.57	31.11	482.9	11.7
	délai (ns)	17.6	0.52	1.26	18.86	17.82	1.26	1.44	20.52	8.8
0.35 μm	surface (μm^2)	12142	6921	11827	47624	12675	12360	4713	54470	14.38
	délai (ns)	13.77	0.40	1.05	14.82	14.37	1.05	1.2	16.62	12.15
0.18 μm	surface (μm^2)	1568	630	1278	5402	1638	1335	487	6130	13.48
	délai (ns)	7.25	0.27	0.49	7.74	7.54	0.49	0.56	8.59	10.98

(c)

Figure 6.3. Test en ligne du filtre CIC d'un convertisseur $\Sigma\Delta$: (a) schéma de principe du filtre, (b) réalisation du filtre avec une technique de test semi-concurrent, et (c) évaluation du surcoût crée par l'insertion de la technique de test dans le cas de trois technologies submicroniques (2003 9th IEEE International On-line Testing Symposium).

A l'aide de l'outil Design Analyser¹²², Mohammed Naal a étudié le surcoût de cette technique de test en ligne (en termes de surface et de délai des blocs) dans le cas des technologies 0.6, 0.35 et 0.18 μm CMOS. Un surcoût en surface entre 10 et 15 % est observé en chaque cas. La modification des blocs en vue de permettre les vérifications de test a aussi un impact sur le délai d'opération de chaque bloc. Mais ce délai additionnel n'a aucun effet sur le fonctionnement car la fréquence d'échantillonnage de 5.6448 MHz est bien plus basse.

6.2.4. Amplificateur différentiel avec contre-réaction du mode commun par le substrat

Avec les technologies très submicroniques, la diminution des niveaux de voltage d'alimentation et la présence de circuits numériques et analogiques sur le même substrat peuvent dégrader de façon importante le rapport signal sur bruit des circuits analogiques. Les circuits complètement différentiels sont très souvent utilisés afin d'améliorer le rapport signal sur bruit des circuits analogiques. Cependant, les amplificateurs différentiels nécessitent un circuit de contre-réaction du mode commun (CMFB¹²³) afin de stabiliser le mode commun de sortie. Le gain de la boucle de mode commun doit être aussi grand que possible, avec une bande passante similaire à celle de la boucle différentielle qui réalise l'amplification. L'étage de sortie a une grande dynamique de signal et le circuit de CMFB doit bien fonctionner dans toute cette gamme.

Un nouveau circuit de CMFB a été proposé et réalisé par Luis Rolíndez pendant le développement des circuits analogiques différentiels de l'architecture de BIST de la Section 6.2.1. Ce circuit utilise une paire différentielle dont les entrées s'effectuent par le substrat des transistors. Contrairement à une paire différentielle avec les entrées par la grille des transistors, la dynamique de sortie n'est pas réduite de la valeur d'un voltage de seuil. Le circuit détecte le mode commun à la sortie $(V_{out}^+ + V_{out}^-)/2$ et génère un signal V_{CM} qui s'oppose aux déviations du voltage de mode commun de la masse analogique du circuit. La Figure 6.4(a) montre l'architecture du circuit de CMFB fabriqué en technologie 0.18 μm CMOS de ST Microelectronics. La table de la Figure 6.4(b) résume les caractéristiques de l'amplificateur qui montre un gain et un temps de montée¹²⁴ grands, peu de distorsion et une grande dynamique de sortie avec une petite surface (3180 μm^2).

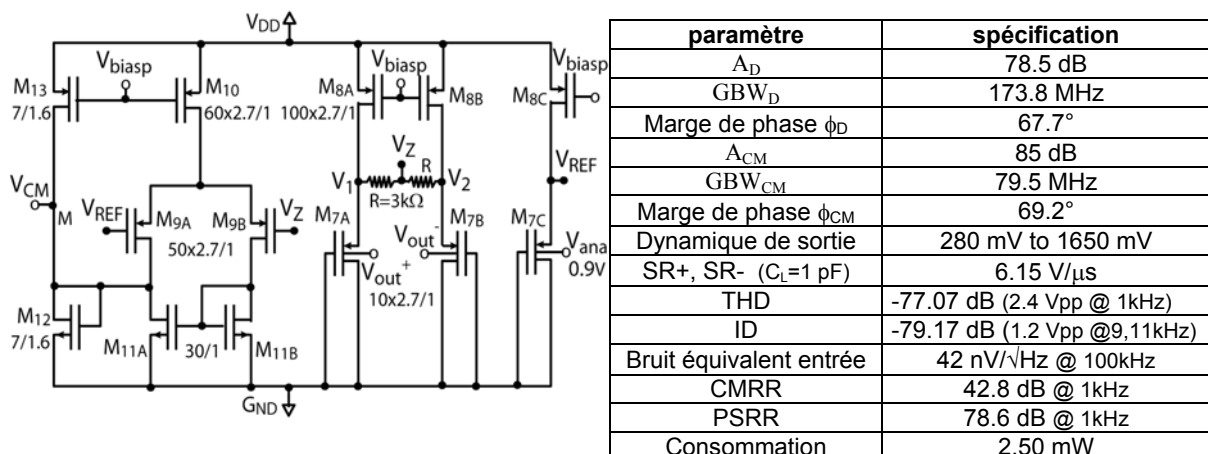


Figure 6.4. Circuit de contre-réaction du mode commun par le substrat : (a) architecture et (b) performances.

¹²² © Synopsis Inc.

¹²³ Common-Mode Feedback Circuit.

¹²⁴ Slew-rate.

6.3. Les outils de CAO de test analogique

6.3.1. Un outil de simulation de fautes de circuits mixtes

La validation de techniques de test intégré nécessite des outils de CAT¹²⁵, tels que la simulation de fautes et la génération de vecteurs de test. Nous visons le développement d'un outil d'injection et de simulation de fautes qui soit indépendant du type de bloc à analyser (numérique, analogique ou mixte) et du niveau de représentation du circuit sous test (comportement, schématique, layout).

Un premier prototype de cet outil a été créé par Cosmin Roman pendant son stage de fin d'études d'ingénieur. Il a proposé l'intégration de l'outil dans l'environnement de conception de circuits microélectroniques de CADENCE. L'utilisation du langage SKILL et des différentes applications de l'environnement permet l'acquisition et la manipulation des données qui représentent les objets du design et le contrôle du simulateur. Ceci donne une grande flexibilité d'injection de fautes.

Ces travaux ont été continués par Abdelatif Zouai¹²⁶, et se poursuivent actuellement dans le cadre des travaux doctoraux d'Ahcène Bounceur. Les tâches de modélisation de fautes, d'injection de fautes, de définition d'un programme de test, de simulation de fautes et de traitement des résultats ont été automatisées. L'injection de fautes est actuellement considérée au niveau schématique seulement. La Figure 6.5(a) montre la structure de l'outil.

La modélisation de fautes s'appuie sur un langage de description de modèles de fautes qui utilise des interfaces graphiques et textuelles. Un modèle de fautes est construit comme une cellule de design, en utilisant des primitives telles que des points de connexion, des segments et des nets d'interconnexion, et éventuellement des instances de sous cellules définies par l'utilisateur. Ces primitives ont des étiquettes qui permettent leur instanciation par les procédures d'injection. Des primitives de modélisation de fautes qui viennent perturber les connexions sont aussi utilisées, permettant la création d'un nouveau point de connexion (*intruder*) ou l'interruption et la reconfiguration d'une connexion (*bandit*). Ces primitives facilitent la compréhension du modèle de fautes. Par exemple, la Figure 6.5(b) montre un modèle de fautes d'un transistor MOS collé ouvert. Ce modèle montre le transistor déconnecté de ces entrées/sorties, celles-ci ayant été reconnectées à des circuits représentant le comportement défaillant (une capacité d'entrée et une résistance de circuit ouvert en sortie).

L'injection d'un modèle de fautes est spécifiée à l'aide d'un programme d'injection. La Figure 6.5(c) montre un exemple de programme permettant l'injection du modèle de fautes précédent dans un certain design : après l'identification du design, tous ses transistors MOS (PMOS ou NMOS) sont localisés et ses terminaux d'entrée-sortie repérés. Le modèle de fautes est choisi par la suite et la séquence d'injection de fautes est spécifiée. Les zones sensibles aux fautes peuvent aussi être sélectionnées graphiquement, de façon que les procédures d'injection cherchent seulement dans ces zones. Ceci est particulièrement intéressant dans le cas de circuits qui présentent des symétries dans le design, afin d'éviter l'injection de fautes équivalentes.

Une campagne de simulation de fautes est lancée par un programme de test. Ce programme définit d'abord les spécifications du design et leurs tolérances, et deuxièmement les variables de test et leurs tolérances. Une variable de test peut être constituée de plusieurs mesures de test. Cette information est entrée graphiquement au système qui génère par la suite le programme de test. Les résultats de la simulation de fautes permettent en suite l'évaluation de la technique de test.

¹²⁵ Computer-Aided Test.

¹²⁶ Stage de DEA.

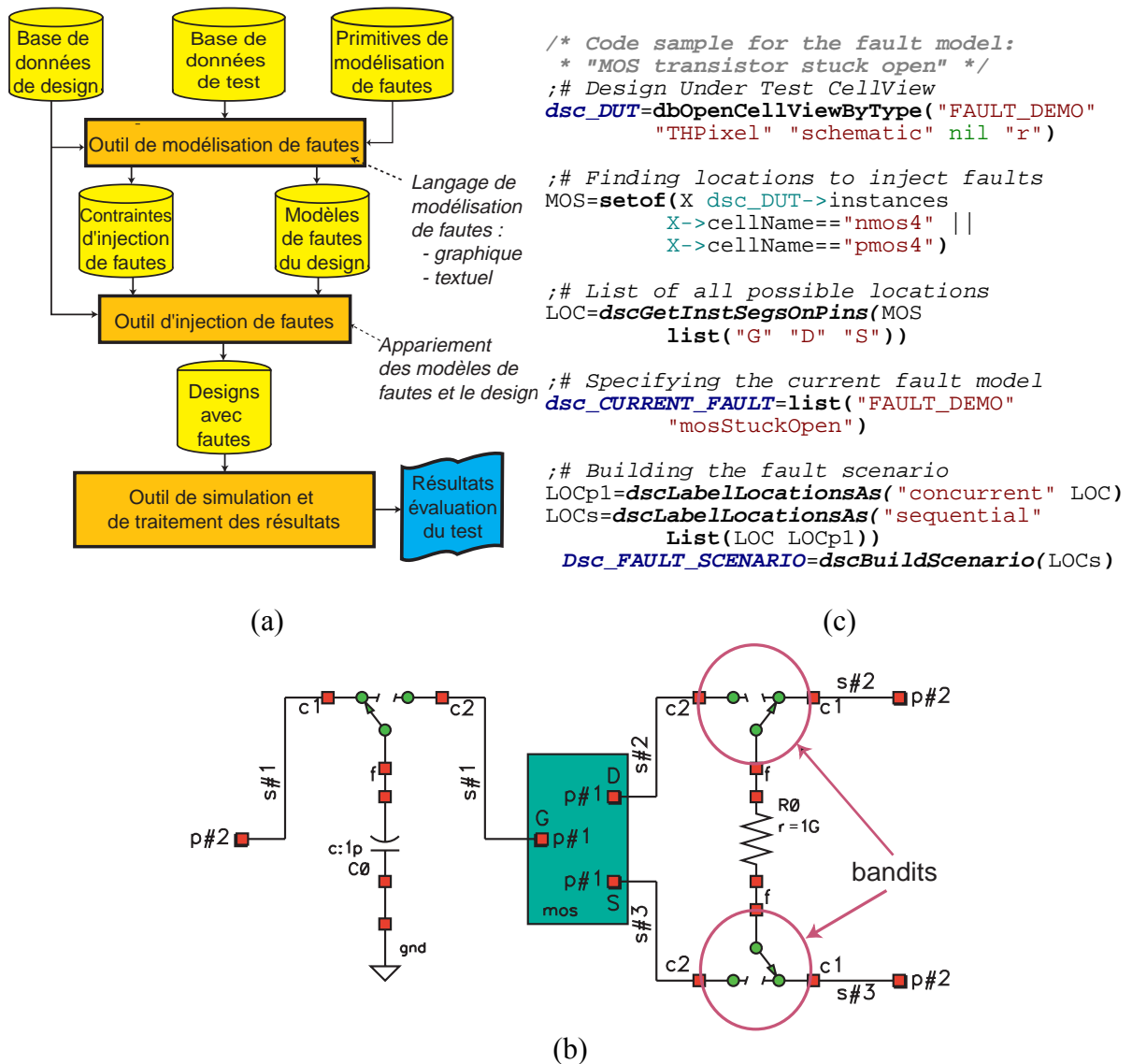
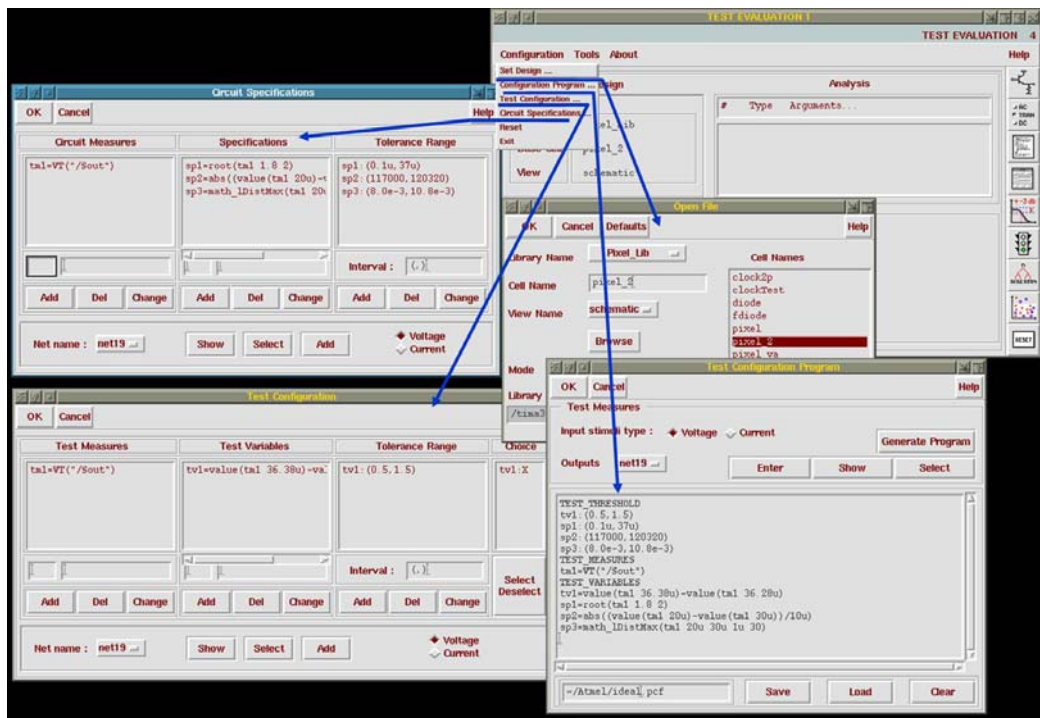


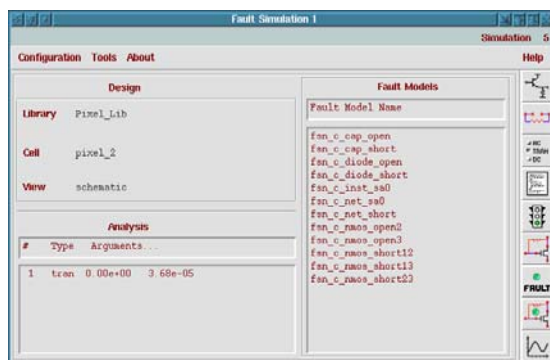
Figure 6.5. Outil de simulation de fautes : (a) structure de l’outil, (b) modèle de fautes correspondant à un transistor MOS collé ouvert, et (c) programme d’injection de ce modèle de fautes (2002 8th IEEE Mixed-Signal Testing Workshop).

La Figure 6.6 montre un exemple d’utilisation de l’outil. D’abord, le programme de test est généré Figure 6.6(a) à partir des spécifications du design, des variables de test, et de leurs tolérances. Les modèles de fautes sont ensuite sélectionnés dans une bibliothèque tel que nous montrons Figure 6.6(b). Ces modèles de fautes sont décrits d’une manière semblable au modèle de la Figure 6.5(b) [14]. La campagne de simulation de fautes est lancée par la suite. La Figure 6.6(c) montre un exemple d’injection d’un court-circuit entre le drain et la source d’un transistor MOS. L’utilisateur peut demander la visualisation de chaque injection pendant tout ce processus automatique de simulation de fautes. La détection d’une faute implique qu’une variable de test, au moins, a dépassée son seuil. Il est alors possible de visualiser la couverture de fautes d’une variable de test en fonction du seuil de test considéré (voir Figure 6.6(d)). En outre, des paramètres de qualité de test tels que le rendement, les taux de fausse acceptation et faux rejet, et la probabilité d’un circuit mauvais d’échapper au test¹²⁷ sont calculés comme montré Figure 6.6(e).

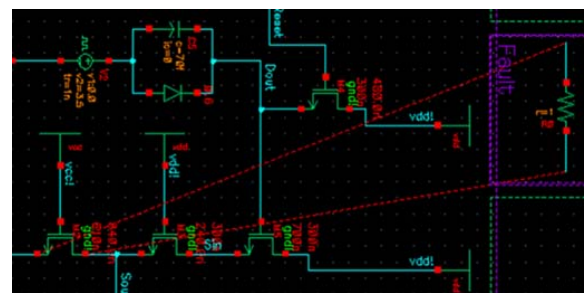
¹²⁷ Test escapes.



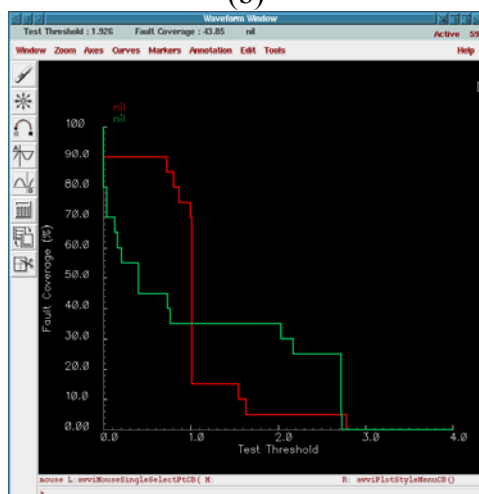
(a)



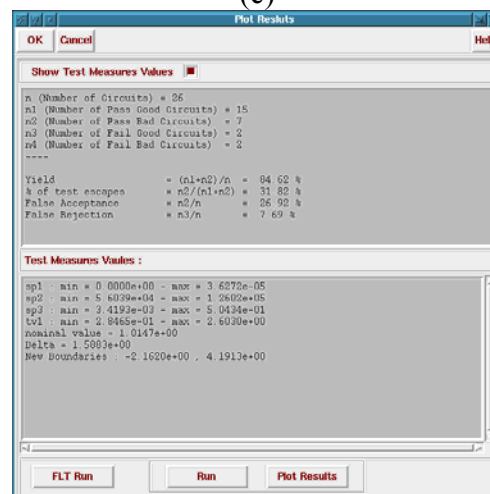
(b)



(c)



(d)



(e)

Figure 6.6. Exemple d'utilisation de l'outil de simulation de fautes : (a) sélection du design et définition des spécifications et mesures qui définissent le programme de test, (b) sélection des modèles de fautes, (c) exemple d'injection d'un court-circuit sur un transistor MOS, (d) résultats de la couverture de fautes en fonction du seuil de détection, et (e) paramètres d'évaluation de la qualité de test.

6.3.2. Génération de vecteurs de test

Afin de programmer l'architecture de BIST de la Section 6.2.1, un outil de CAO a été développé. Cet outil permet la génération d'un vecteur de test numérique qui code le signal analogique désirée sur la puce (typiquement un signal multifréquence) de façon optimale par rapport à des objectifs tels que le THD¹²⁸, SFDR, la déviation d'amplitude (ADEV) ou le facteur de crête¹²⁹ du signal. Le vecteur de test programme la longueur du registre à décalage et les facteurs de division d'horloge. Il contient aussi le train binaire à charger sur le registre. Un premier prototype de cet outil a été réalisé par Rahim Ebrahim et Cosmin Roman. Cet outil a été par la suite amélioré par Ahcène Bounceur, incluant des algorithmes d'optimisation multi-objectif et la représentation de la sortie dans un format directement acceptable par un testeur numérique¹³⁰. La Figure 6.7(a) montre l'interface graphique de l'outil qui a été intégré dans l'environnement de conception de CADENCE.

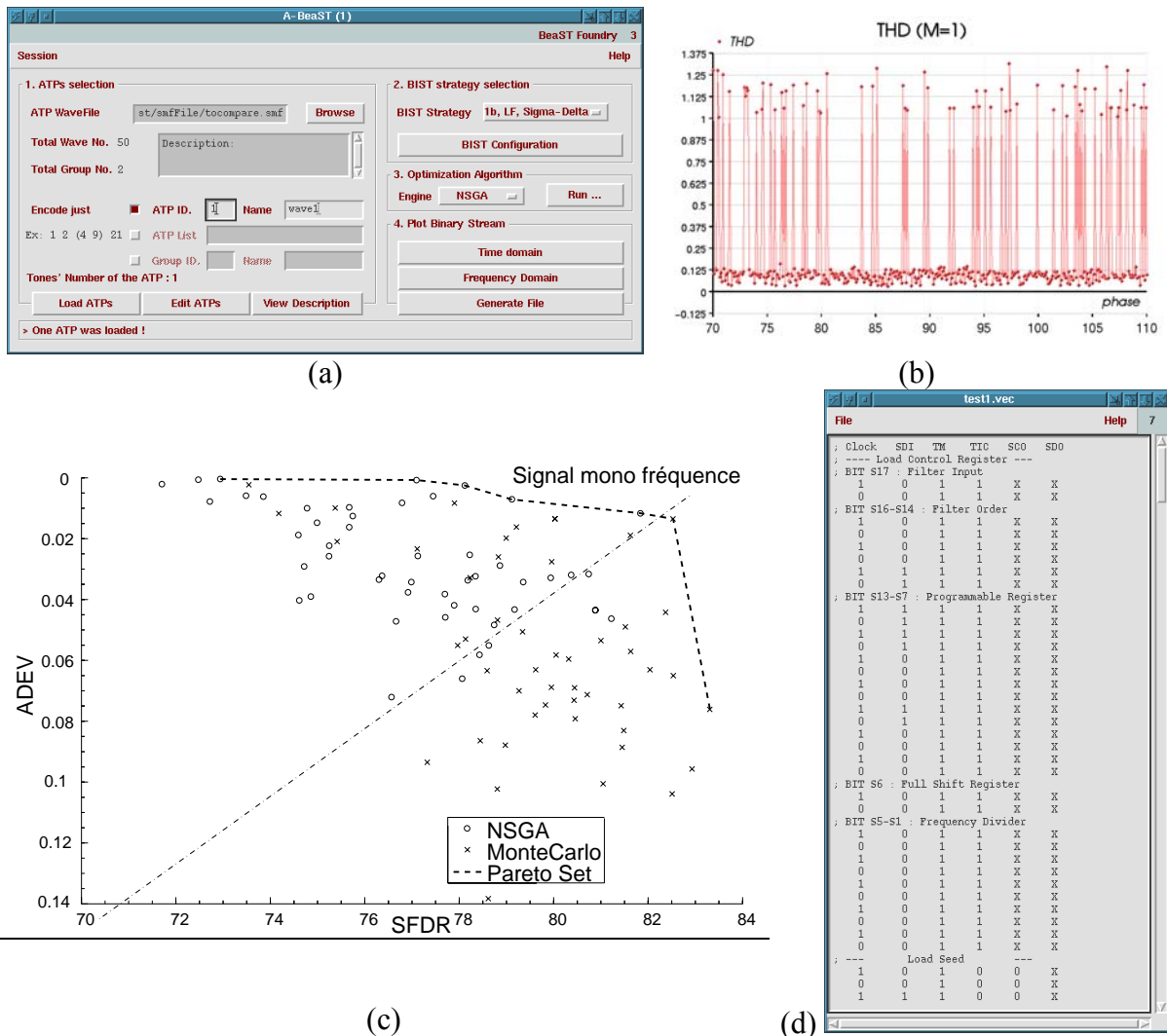


Figure 6.7. Outil de génération des vecteurs de test pour l'architecture de BIST mixte : (a) interface graphique du logiciel, (b) variation du THD en fonction de la phase du signal à coder, (c) résultats d'optimisation multi-objectif (ADEV, SFDR), et (d) vecteur de test dans le format d'un testeur numérique (2004 Design of Circuits and Integrated Systems Conference).

¹²⁸ Total Harmonic Distortion.

¹²⁹ Peak-to-RMS.

¹³⁰ IMS.

Pour un signal analogique donné, les fréquences d'échantillonnage et les facteurs de division d'horloge sont directement calculés à partir des Equations (6.1), (6.2) et (6.3). L'optimisation du train binaire est réalisée en utilisant les phases des différentes fréquences du signal analogique comme variables. En fait, une petite variation de phase donne des variations très importantes de la qualité du signal. Ceci est montré Figure 6.7(b) dans le cas de la mesure de THD d'un signal monofréquence. La nature chaotique de ce comportement, observée déjà dans [164], demande l'utilisation d'algorithmes d'optimisation pseudo aléatoires ou les algorithmes génétiques. La Figure 6.7(c) montre les résultats de génération d'un signal avec l'optimisation simultanée de deux paramètres (ADEV et SFDR), en utilisant la technique Monte Carlo et l'algorithme génétique WARGA¹³¹. Dans le cas des signaux monofréquence, WARGA donne les meilleurs résultats. Cependant, dans le cas des signaux multifréquence, la technique MonteCarlo est plus intéressante. Finalement, la Figure 6.7(d) illustre le vecteur de test généré dans un format compatible avec le testeur numérique.

6.4. Conclusion

Nous avons présenté dans ce chapitre les travaux de l'équipe RMS dans les domaines de la conception et le test de circuits mixtes. Plusieurs de ces travaux ont été développés dans le cadre du projet européen TechnoDat. Une architecture générique de BIST mixte basée sur la mesure de la réponse harmonique a été développée et fabriquée. La partie génération de cette architecture fonctionne correctement. Elle a été utilisée par Infineon Technologies, avec comme résultat une amélioration de leur technique de BOST¹³² analogique. Des résultats expérimentaux concernant la partie d'analyse ne sont pas encore disponibles. Ce démonstrateur vise un circuit de test à bas coût, avec une résolution de 8 bits et des vecteurs de test de 256 bits. Cependant, la technique peut être utilisée avec des résolutions allant jusqu'à 12 bits avec un surcoût en surface encore acceptable. Un nouveau type d'amplificateur différentiel avec contre-réaction du mode commun par le substrat a été utilisé dans le démonstrateur fabriqué.

Ces travaux de recherche ont permis d'établir une coopération importante avec ST Microelectronics sur le test de circuits mixtes et RF, notamment dans le cadre du nouveau projet européen MEDEA+ NanoTest, mais aussi avec deux bourses de thèse CIFRE. En particulier, des travaux sur le test structurel des circuits RF et sur le test intégré des convertisseurs $\Sigma\Delta$ sont en cours.

Un outil de simulation de fautes de circuits mixtes et un outil permettant la programmation de l'architecture de BIST ont été développés. L'outil de simulation de fautes est aussi utilisé dans le cadre d'une coopération avec ATMEL sur le test d'imageurs CMOS dans le projet européen MEDEA+ PICS.

Nous décrivons plus loin les perspectives de ces travaux de recherche et ces collaborations.

¹³¹ *Weighted Average Ranked Genetic Algorithm.*

¹³² *Built-On-load-board-Self-Test.*

Chapitre 7

La conception et le test de microsystemes

2002-2004

7.1. Introduction

Les travaux de conception de microsystemes dans l'équipe RMS sont la continuité des travaux qui ont été initiés auparavant dans l'ancienne équipe Microsystemes en collaboration avec Libor Rufer. Nous avons principalement visé le domaine acoustique avec un émetteur/récepteur d'ultrasons à stimulation électro-thermomécanique et à détection piézorésistive, dans le cadre des travaux de thèse de Christian Domingues. D'autres microsystemes électrostatiques, que nous ne décrirons pas ici, sont en étude par Libor Rufer, incluant des transducteurs ultrasonores capacitifs, des microphones et des générateurs électrostatiques¹³³. Toutefois, notre axe de recherche principal dans le domaine des microsystemes s'oriente vers les techniques de test intégré.

L'étude de la fiabilité de microsystemes concentre un très grand nombre de travaux de recherche. Par contre, les équipes travaillant sur le test intégré de microsystemes sont beaucoup moins nombreuses. A peine une dizaine d'équipes de recherche travaillent actuellement sur ce sujet, dont la moitié en Europe. La plupart de ces équipes ont ciblé le test de microsystemes comme une continuation de leurs expériences dans le domaine de test analogique. Des études détaillées de défauts et de mécanismes de défaillance se sont suivies par le développement de microsystemes avec certaines capacités d'auto test. Généralement, l'auto test d'un microsysteme est basé sur des stimuli électriques, car le contrôle d'un dispositif intégré doit être nécessairement microélectronique. Cependant, en utilisant un phénomène de transduction électrostatique [175][177][182][180], électromécanique [178], électrothermique [179] ou électromagnétique [183], il est possible de stimuler le dispositif dans son domaine d'énergie principal. Dans l'ancienne équipe Microsystemes, Benoît Charlot a étudié dans le cadre de sa thèse plusieurs de ces principes de stimulation, d'abord électrothermique dans le cas de capteurs d'infrarouge et puis électro-thermomécanique dans le cas de micro poutres [16]. Cependant, dans aucun de tous ces travaux précédents l'analyse de

¹³³ En collaboration avec l'équipe de Man Wong à l'Université Scientifique et Technique de Hong Kong.

la réponse a été considérée explicitement dans le microsysteme, ce qui est nécessaire dans une véritable technique de BIST. Ceci est aussi le cas de microsystemes commerciaux qui incluent une fonction d'auto test [176]. En fait, il s'agit plutôt d'une fonction qui indique à l'utilisateur que le dispositif est opérationnel, mais sans réaliser une vérification de la fonctionnalité. Par conséquent, cette fonction d'auto test ne garanti pas le fonctionnement et elle n'est pas utilisable lors du test de production.

Durant la période 2002-2004, nous avons étudié une technique de test pseudo aléatoire de microsystemes en utilisant des séquences de longueur maximale (MLS¹³⁴). Les techniques de test pseudo aléatoire en utilisant ces séquences, et leur corrélation croisée avec la réponse du système en vue d'obtenir sa réponse impulsionnelle, sont largement connues, notamment dans le domaine acoustique. Une technique de test pseudo aléatoire avec des séquences MLS binaires a été appliquée dans le passé au test intégré de circuits mixtes [166]. Libor Rufer a initié dans notre équipe l'étude de cette technique dans le cas de circuits mixtes linéaires et invariants dans le temps, incorporant un bloc simplifié de calcul de la corrélation croisée proposé par Emmanuel Simeu [51]. Nous l'avons par la suite appliquée aux microsystemes en considérant le cas de micro poutres, débouchant ainsi, pour la première fois, sur une véritable technique de BIST de microsystemes [52]. Les travaux de stage d'Achraf Dhayni ont permis par la suite l'optimisation des paramètres de BIST en utilisant la simulation de fautes [45]. Récemment, les travaux de thèse d'Achraf Dhayni ont démontré l'application de cette technique, d'abord dans le cas de microsystemes qui présentent de faibles non linéarités [38] et puis dans le cas de microsystemes purement non linéaires [100]. Finalement, la caractérisation des non linéarités d'un système en utilisant des séquences MLS multi niveaux a été étudiée, et un outil de génération de ces séquences a été développé par Ahcène Bounceur et Achraf Dhayni [101]. Le Tableau 7.1 résume les sujets de recherche abordés pendant cette période et quelques références bibliographiques auxquelles ils ont donné lieu.

Domaine de Recherche	Sujets de recherche abordés	Références bibliographiques
<i>Test de microsystemes</i>	BIST de microsystemes linéaires avec des séquences MLS test pseudo aléatoire de microsystemes non linéaires	[12][45] [38][100]
<i>Conception de microsystemes</i>	emetteur/récepteur d'ultrasons	[48][57]
<i>Outils de CAO de test</i>	simulation de fautes génération de vecteurs de test de microsystemes	[14] [101]

Tableau 7.1. Sujets de recherche abordés dans la période 2002-2004 sur la conception et le test intégré de microsystemes et quelques références bibliographiques associées.

7.2. La conception et le test de microsystemes

7.2.1. Conception d'un émetteur/récepteur d'ultrasons

Un microsysteme ultrasonore fonctionnant sur le principe pulse-écho, d'application à la mesure de distance et à la détection de présence, a été développé dans le cadre de la thèse de Christian Domingues [48][57]. La Figure 7.1(a) montre le schéma de son principe. La

¹³⁴ Maximum Length Sequences.

membrane suspendue permet l'émission d'un pulse ultrasonore à une fréquence de 40 kHz par une stimulation electro-thermomécanique. Ensuite, la membrane permet la réception de l'écho du signal émis par une détection piézorésistive. Le microsysteme est fabriqué en utilisant une technologie CMOS 0.8 μm combinée à une gravure anisotropique par la face arriere du substrat sur une profondeur de plusieurs centaines de micro metres, afin de liberer une membrane d'une épaisseur de 5.2 μm environ. Il est nécessaire de tenir en compte les effets de la température afin d'assurer la même fréquence d'oscillation en émission et en réception, optimisant ainsi la sensibilité du systeme. Un microsysteme basé sur les mêmes principes d'émission et de réception du signal ultrasonore a été développé auparavant par une autre équipe [184], mais avec une technique différente de contrôle de la sensibilité.

La membrane est composée essentiellement de deux couches : une couche d'oxyde (SiO_2) et une couche de nitrure de silicium (Si_3N_x). Une résistance de chauffe est placée au centre de la membrane en vue de produire une excitation thermomécanique de celle-ci. Quatre jauges piézorésistives en polysilicium sont placées sur les quatre côtés de la membrane où les contraintes mécaniques sont maximales, induisant ainsi une variation maximale de la résistance des jauges. Quatre thermopiles sont placées sur les diagonales de la membrane afin de mesurer la variation de la température dans la membrane. La Figure 7.1(b) présente l'architecture globale du microsysteme, incluant l'interface électronique analogique et mixte, la partie MEMS et la propagation acoustique dans le milieu. Le modèle équivalent de la partie MEMS est détaillé sur la Figure 7.1(c). La Figure 7.1(d) montre la simulation de deux cycles complets d'émission-réception, avec un trajet aller-retour de 20 cm parcouru par l'ultrason.

Pendant l'émission la microstructure est placée dans une boucle d'oscillation qui alimente la résistance de chauffe. L'échauffement périodique de la membrane par effet Joule et les cycles d'expansion thermique qui en résultent mettent la membrane en vibration. Le déplacement de la membrane induit des contraintes mécaniques et une variation proportionnelle de résistance des jauges piézorésistives. Ces jauges forment un pont de Wheatstone qui génère une tension électrique proportionnelle au déplacement de la membrane. Cette tension est ensuite amplifiée par l'électronique, deux dérivateurs et un amplificateur différentiel, assurant un gain important dans la boucle. Les deux dérivateurs en sortie de la microstructure permettent d'éliminer les tensions de décalage de la membrane causé par les contraintes résiduelles dues aux différents budgets thermiques du procédé CMOS utilisé. La même approche a été utilisée dans [184].

Pendant la réception, la boucle de température qui inclut les thermopiles force un courant continu dans la résistance de chauffe afin de maintenir la même température sur la membrane pendant les phases de réception et d'émission. Ceci permet d'avoir les mêmes propriétés mécaniques pendant les deux phases, en particulier le module de Young qui dépend légèrement de la température et influe directement sur la fréquence de résonance de la membrane. Pendant la réception et la mesure du signal, les deux dérivateurs sont compensés pour éviter l'instabilité de la chaîne de mesure.

La Figure 7.1(e) montre une photo du dispositif fabriqué. La membrane, transparente au microscope électronique, a été libérée en utilisant une gravure RIE profonde¹³⁵. Nous distinguons la résistance de chauffe au centre, avec ses fils d'alimentation, et les thermopiles au long des diagonales. L'électronique est située au tour. La Figure 7.1(f) montre une mesure de la surface de la membrane obtenue par interférométrie¹³⁶. Des contraintes résiduelles lors du procédé de fabrication ont donné lieu à une déformation importante de la membrane. Enfin, la Figure 7.1(g) montre une mesure dynamique de la déflexion de la membrane dans la zone de résonance¹³⁷.

¹³⁵ *Deep Reactive Ion Etching* (Bosch process).

¹³⁶ Mesure obtenue au Laboratoire LPMO, à Besançon.

¹³⁷ Mesure obtenue au Laboratoire IMEP, à Grenoble.

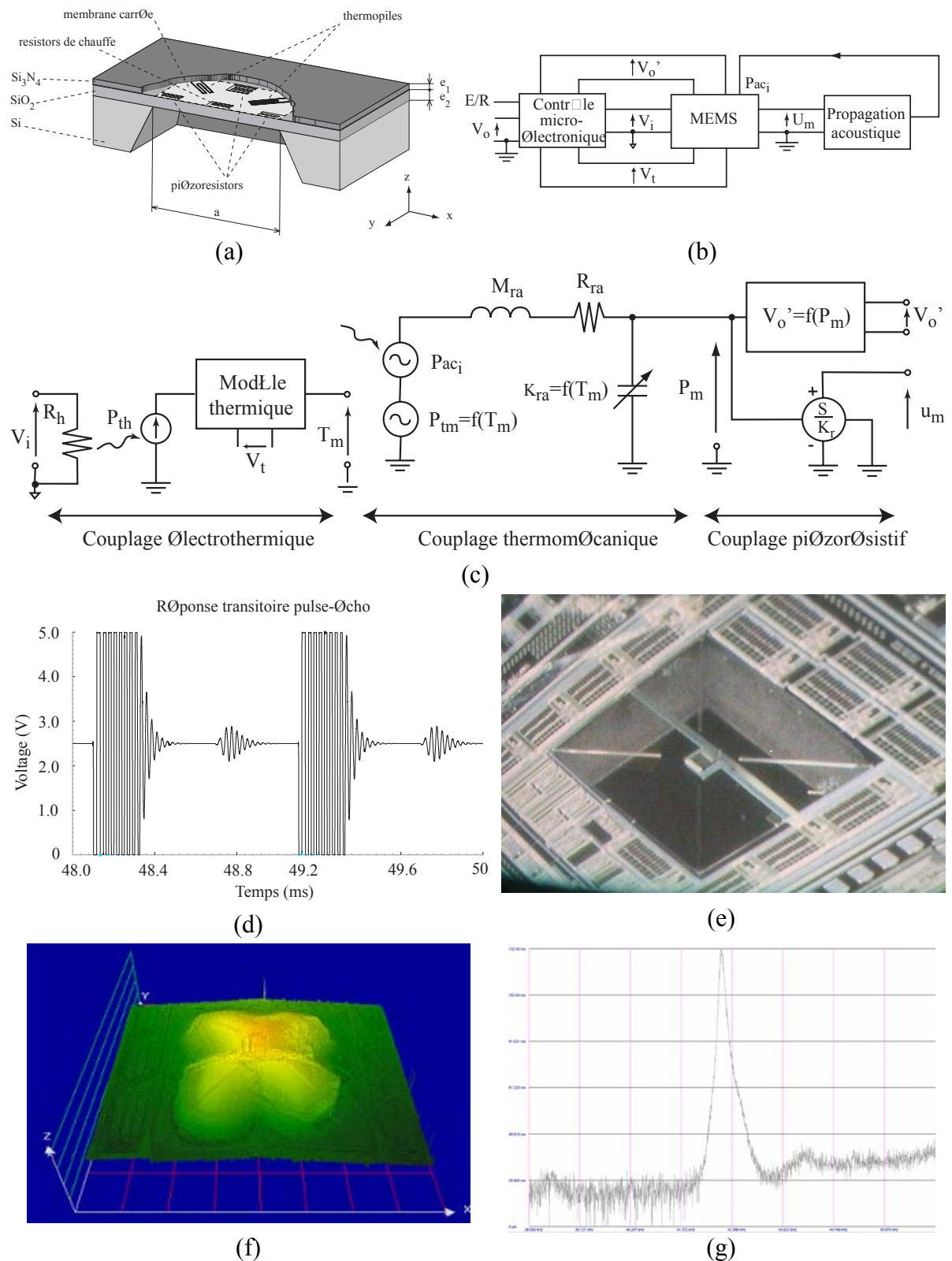


Figure 7.1. Microsystème ultrasonore à fonctionnement pulse-écho : (a) schéma de principe du dispositif MEMS, (b) diagramme de blocs du fonctionnement du microsystème, (c) modèle équivalent de la partie MEMS, (d) simulation de deux cycles avec les pulses d'émission et leur écho en réception, (e) photo du microsystème fabriqué en technologie $0.8 \mu\text{m}$ CMOS et microusinage par gravure profonde RIE de la face arrière, (f) mesure par interférométrie de la surface de la membrane, et (g) mesure dynamique de la déflexion de la membrane dans la zone de résonance.

7.2.2. BIST pseudo aléatoire de microsystemes linéaires

La réponse impulsionnelle caractérise complètement le comportement d'un dispositif linéaire. La réponse $y(k)$ d'un système linéaire invariant (LTI¹³⁸) est donnée par le produit de convolution entre le stimulus d'entrée $x(k)$ et la réponse impulsionnelle $h(k)$:

$$y(k) = x(k) * h(k) \quad (7.1)$$

Cependant, l'injection d'une impulsion de très courte durée de grand amplitude (idéalement une impulsion de Dirac) est limitée par la plage de linéarité du système et le fait que la réponse ne décrit pas son comportement en régime stationnaire. Quand le signal d'entrée présente un spectre fréquentiel proche du bruit blanc, le calcul de la corrélation croisée entre les signaux d'entrée $x(k)$ et de sortie $y(k)$ d'un système LTI fournit une estimation de la réponse impulsionnelle. Mais la génération de bruit blanc et le calcul de la corrélation croisée sur la puce présentent des difficultés de réalisation. Par contre, il est facile de générer une séquence de créneaux constituant une séquence pseudo aléatoire de longueur maximale N . Le signal de test est une MLS_(1,-1) binaire avec des valeurs 1 ou -1, et une longueur N supérieure à la longueur de la réponse impulsionnelle du circuit sous test. Tel qu'un bruit blanc, l'auto corrélation de ce signal tend vers une impulsion de Dirac $\delta(k)$, pour des valeurs de N grands et pour des petites largeurs des pulses :

$$\phi_{xx}(k) = x(k) * x(-k) \approx \delta(k) \quad (7.2)$$

La corrélation d'entrée/sortie ϕ_{xy} dans le cas de séquences discrètes est donnée par le produit de convolution suivant :

$$\phi_{xy}(k) = y(k) * x(-k) = \frac{1}{N} \sum_{j=0}^{N-1} x(j-k)y(j) \quad (7.3)$$

En combinant les Equations (7.1), (7.2) et (7.3), il vient que la corrélation croisée avec cette MLS donne une estimation de la réponse impulsionnelle :

$$\phi_{xy}(k) = h(k) * \phi_{xx}(k) \approx h(k) \quad (7.4)$$

La séquence MLS est générée par un registre à décalage à rétroaction linéaire (LFSR¹³⁹). Comme le signal est déterministe, il est aussi possible de moyennner la réponse à plusieurs séquences, permettant d'obtenir une gamme dynamique supérieure à celle qu'on obtient avec la réponse à une seule impulsion. Ainsi, le bruit de fond est réduit de 3 dB quand la longueur de la séquence est doublée.

L'utilisation d'une MLS permet un calcul simple dans la puce de la corrélation croisée entre les signaux d'entrée et de sortie. L'architecture de cette technique de BIST est représentée dans le diagramme de blocs de la Figure 7.2(a). Le signal MLS $x(k)$, généré au moyen d'un LFSR, s'applique directement¹⁴⁰ sur le dispositif sous test (CUT). Un CAN génère la sortie numérique $y(k)$ dont la corrélation avec le signal d'entrée $x(k)$ est évaluée. La sortie $h(k)$ du bloc de corrélation est une estimation de la réponse impulsionnelle du CUT et permet l'obtention d'une signature numérique qui est comparée avec la signature attendue. La structure du bloc de corrélation est montrée sur la Figure 7.2(b). Les opérations de multiplication nécessaires au calcul de la fonction de corrélation avec un bruit blanc d'entrée, sont ici remplacées par des additions, car le signal MLS prend des valeurs 1 et -1 seulement. Ainsi chaque bloc SCC¹⁴¹ réalise le calcul d'un échantillon de la réponse impulsionnelle selon l'Equation (7.3). L'architecture d'un bloc SCC est montrée sur la Figure 7.2(c).

¹³⁸ Linear Time Invariant.

¹³⁹ Linear Feedback Shift Register.

¹⁴⁰ Ou bien après un CNA d'un seul bit.

¹⁴¹ Simplified Correlation Cell.

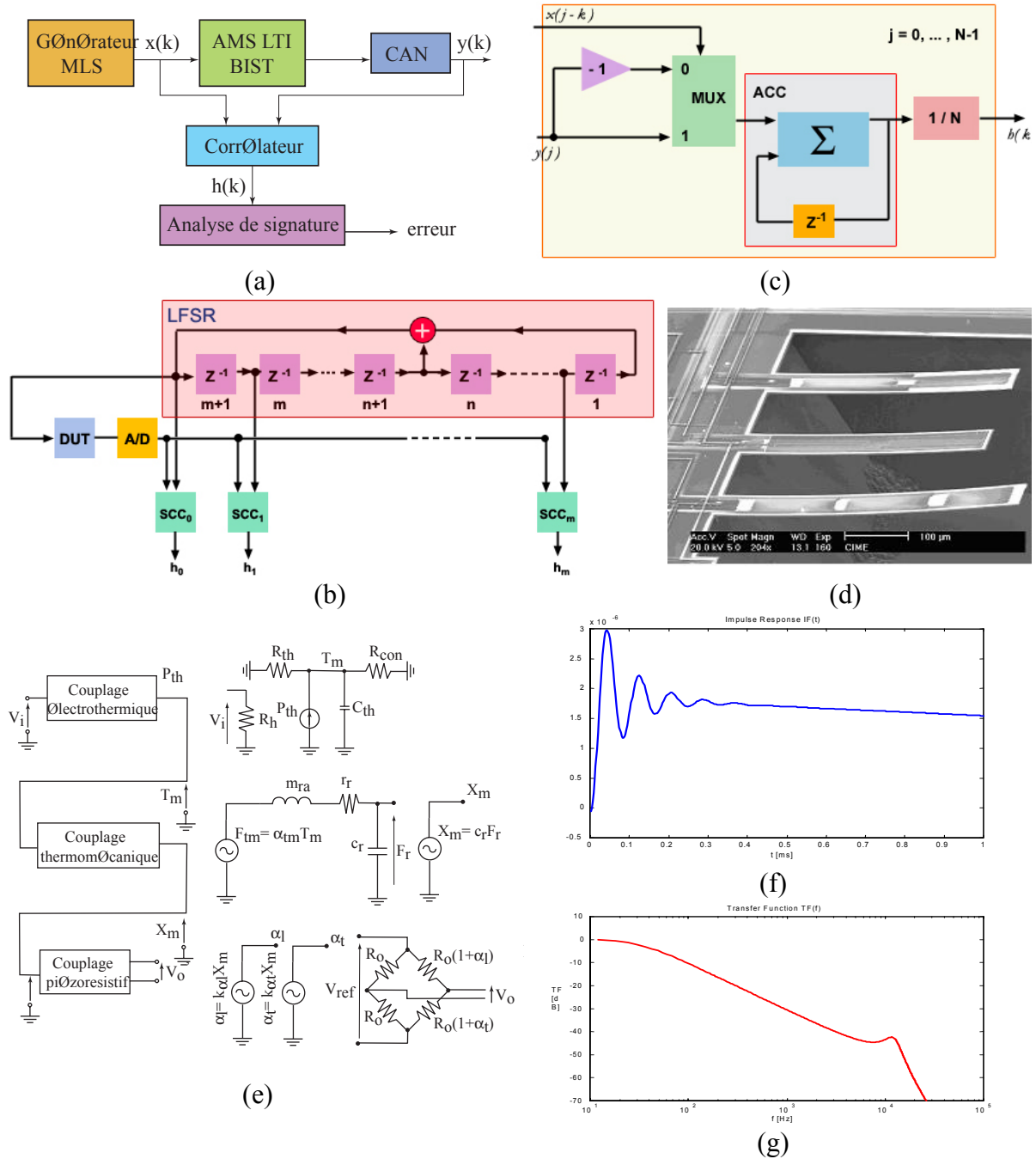


Figure 7.2. BIST de systèmes LTI utilisant des séquences MLS : (a) architecture BIST, (b) architecture du bloc de calcul de la corrélation croisée, (c) architecture du bloc de calcul d'un échantillon de la réponse impulsionnelle, (d) photo d'une micro poutre auto testable avec cette technique, (e) modèle équivalent de la micro poutre, (f) simulation de la réponse impulsionnelle et (g) fonction de transfert (2003 Symposium on Design, Test, Integration and Packaging of MEMS/MOEMS).

Nous avons par la suite appliqué cette technique d'auto test dans le cas de microsystèmes tels que des micro poutres et des accéléromètres. La Figure 7.2(d) montre une photo d'une micro poutre fabriquée en technologie $0.8 \mu\text{m}$ CMOS suivie d'un micro usinage en volume. La surface de chaque micro poutre est couverte par des résistances de chauffe en polysilicium. L'échauffement de la micro poutre par une MLS appliquée à ces résistances donne lieu à une

déflexion qui est mesurée par un pont de Wheatstone piézorésistif placé au point d'ancrage de la poutre.

La micro poutre a été modélisée en utilisant le modèle équivalent de la Figure 7.2(e). La Figure 7.2(f) montre la simulation de la réponse impulsionnelle et la Figure 7.2(g) la fonction de transfert de la micro poutre entre le voltage de sortie V_o et le voltage d'excitation V_i . Nous observons dans la Figure 7.2(g) l'écart important entre les constantes de temps thermique (environ 10 Hz) et mécanique (environ 12 kHz) et les valeurs très faibles de la sortie autour de la fréquence de résonance. Ce résultat traduit la nécessité d'utiliser une technique de mesure à haute résolution afin de pouvoir extraire les paramètres de comportement mécanique de la réponse bruitée à des stimuli électrothermiques. La technique MLS a montrée ici une grande efficacité pour obtenir une bonne résolution, en utilisant la propriété de réduction du bruit en moyennant plusieurs séquences MLS [12].

Le besoin d'une bonne résolution est intrinsèque à l'utilisation de stimuli électrothermiques, et il est indépendant de la géométrie des microstructures. Nous avons démontré ceci en utilisant le cas d'une simple micro poutre de longueur l , largeur b et épaisseur e que nous supposons, pour des raisons de simplicité, construite d'un seul matériau. La stimulation électrothermique de la membrane répond à des constantes de temps thermiques qui sont bien plus longues que les constantes de temps mécaniques associées aux fréquences de résonance mécanique de la poutre. La masse et la souplesse de la micro poutre réduites à son extrémité libre sont données par les Equations suivantes [1][2] :

$$m_r = 0.236\rho bel \quad (7.5)$$

$$c_r = 4 \frac{l^3}{Ebe^3} \quad (7.6)$$

et la fréquence de résonance mécanique est donnée par :

$$\omega_m = \frac{1}{\sqrt{m_r c_r}} \approx \frac{e}{l^2} \sqrt{\frac{E}{\rho}} \quad (7.7)$$

où ρ est la densité volumique et E le module de Young. La résonance mécanique dépend de la géométrie de la poutre et de la vitesse de phase $\sqrt{E/\rho}$. La résistance et la capacité thermiques de la poutre sont données par les Equations suivantes :

$$R_{rh} = \frac{1}{k} \frac{l}{eb} \quad (7.8)$$

$$C_{th} = \rho \zeta leb \quad (7.9)$$

et la fréquence de coupure thermique est donnée par l'Equation:

$$\omega_{th} = \frac{1}{R_{th} C_{th}} = \frac{1}{l^2} \frac{k}{\rho \zeta} \quad (7.10)$$

où k est la conductivité thermique et ζ la chaleur spécifique du matériau de la poutre. La constante de temps thermique dépend de la géométrie et de la diffusivité thermique $\frac{k}{\rho \zeta}$ qui décrit le taux de conduction de la chaleur. La proportion entre les fréquences des Equations (7.7) et (7.10) est :

$$\frac{\omega_m}{\omega_{th}} = \frac{e \rho \zeta}{k} \sqrt{\frac{E}{\rho}} \quad (7.11)$$

Cette proportion dépend de la vitesse de phase et de la diffusivité thermique du matériau, et elle est indépendante de la géométrie (outre l'épaisseur e qui est imposé par le procédé de fabrication CMOS ($e \approx 5 \mu\text{m}$)). Considérant une poutre faite de dioxyde de silicium

($\rho \approx 2.5 \times 10^3 \text{ kg m}^{-3}$, $E \approx 75 \times 10^9 \text{ Pa}$, $k \approx 1.4 \text{ W m}^{-1} \text{ K}^{-1}$, $\zeta \approx 900 \text{ J kg}^{-1} \text{ K}^{-1}$), l'Equation (7.11) donne $\omega_m / \omega_{th} \approx 44000$. Dans le cas où des phénomènes de convection thermique sont considérés, cette proportion peut être réduite d'un ordre de magnitude mais la séparation entre constantes de temps est toujours supérieure à trois ordres de magnitude, indépendamment de la géométrie. Nous pouvons observer ce résultat dans la simulation de la Figure 7.2(g).

7.2.3. Optimisation des paramètres de BIST pseudo aléatoire

Dans la suite des travaux de stage d'Achraf Dhayni, nous avons étudié l'optimisation des paramètres de BIST pseudo aléatoire, en particulier le choix des échantillons de la réponse impulsionnelle à surveiller, la longueur de la séquence MLS et la précision du circuit de calcul de la corrélation et du CAN en fonction de la qualité de test [45]. Ces résultats sont montrés Figure 7.3 dans le cas de la micro poutre de la Figure 7.2. Nous avons considéré une simulation Monte Carlo avec MatLab de 10000 circuits avec une tolérance de $\pm 10 \%$ des paramètres géométriques (épaisseur, longueur, largeur) et physiques (module de Young, densité, ...) de la micro poutre. Les spécifications du système sont le gain DC avec une tolérance de $\pm 1 \text{ dB}$ et les fréquences de coupure thermique ω_{th} et de résonance mécanique ω_m avec une tolérance de $\pm 5 \%$. La Figure 7.3(a) montre la plage de tolérance de la réponse impulsionnelle où nous avons considéré seulement les circuits pour lesquels les spécifications sont respectés.

Nous observons aussi dans la Figure 7.3(a) qu'il n'est pas nécessaire de considérer la réponse impulsionnelle au-delà des 16 premiers échantillons, car elle contient seulement une information sur le comportement statique (DC) du système. Puis, pour chacun de ces premiers échantillons, nous avons calculé sa sensibilité à un paramètre fonctionnel. La Figure 7.3(b) montre la sensibilité de quatre échantillons différents au gain DC du système. Finalement, nous avons calculé la sensibilité moyenne de chaque échantillon à chaque paramètre fonctionnel tel que nous montrons Figure 7(c). Ceci a permis de choisir cinq échantillons de la réponse impulsionnelle. Le choix de ces cinq échantillons résulte de leur bonne sensibilité vis-à-vis des paramètres fonctionnels ω_m , DC gain et ω_{th} , et aussi de la possibilité de déterminer quel paramètre fonctionnel n'est pas respecté, ce qui donne des possibilités de diagnostic.

Les plages de tolérance de chacun de ces échantillons sont définies Figure 7.3(a). Par la suite, 3000 simulations Monte Carlo ont été réalisées avec différentes longueurs du LFSR (de 9 à 14 bits) et différents bits de précision du circuit de calcul de la corrélation (de 10 à 16). Les paramètres de qualité de BIST (probabilité d'un circuit mauvais d'échapper au test, fausse acceptation, faux rejet) ont été calculés tel que montré sur la Figure 7.3(d). Les résultats en caractères gras sont considérés mauvais car ils donnent des taux de circuits mauvais qui échappent le test¹⁴² supérieur à 100 ppm. Nous observons que pour un LFSR de 12 bits, il est nécessaire d'utiliser plus de 16 bits dans le circuit de calcul afin de garantir ce taux. Pour un LFSR de 13 bits, le nombre minimum de bits de précision requis est de 16. Comme un compromis entre la complexité du BIST, la qualité de test et le temps de test nous avons pris 14 bits dans le LFSR avec une précision de 15 bits dans le circuit de calcul. Ceci permet alors l'utilisation d'un convertisseur de 16 bits. Notons, finalement, que les valeurs de rendement sur la Figure 7.3(d) ne sont pas représentatives de la méthode de test. Ces valeurs (souvent inférieurs à 50 %) résultent du fait qu'une tolérance de 10 % a été considérée dans l'espace des paramètres physiques, avec des tolérances assez serrées dans l'espace de performances. L'objectif a été de générer un nombre important de circuits défectueux et ainsi mesurer les paramètres de qualité avec plus de précision.

¹⁴² Test escapes.

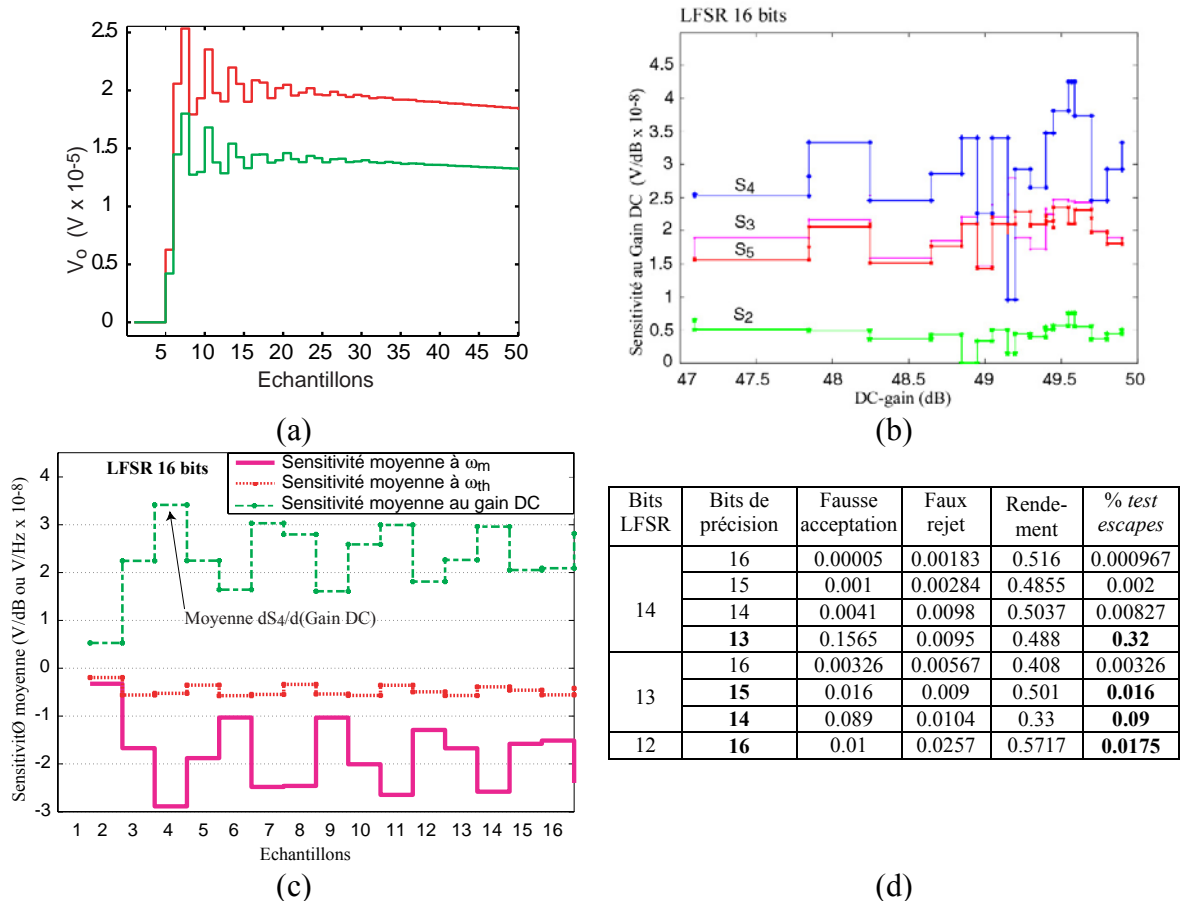


Figure 7.3. Optimisation des paramètres de BIST : (a) plage de tolérance des échantillons de la réponse impulsionnelle, (b) étude de la sensibilité des échantillons par rapport au gain DC de la micro poutre, (c) étude de la sensibilité moyenne des échantillons aux spécifications du système, et (d) optimisation des paramètres de BIST (2004 IEEE European Test Symposium).

7.2.4. Effets des non linéarités dans le BIST pseudo aléatoire

Les travaux de thèse d'Achraf Dhayni visent l'étude de techniques de BIST de microsystemes en considérant son comportement aussi bien linéaire que non linéaire. Comme continuation des travaux précédents, il a étudié l'effet des non linéarités sur la technique de BIST pseudo aléatoire. Le système de mesure montré Figure 7.4(a) a été monté afin de vérifier expérimentalement la technique de BIST sur différents microsystemes. Les signaux de test sont générés en utilisant le logiciel Labview et appliqués au CUT à travers la carte d'acquisition NI PCI-6115¹⁴³. La réponse du CUT est numérisée en utilisant un convertisseur 12 bits de cette carte et puis traitée avec Labview afin d'y ajouter des effets non linéaires.

L'effet de faibles non linéarités a été considéré en premier lieu [38]. Un système avec faible non linéarité peut être en général représenté par le modèle de la Figure 7.4(b). Ce modèle inclut un système LTI avec une réponse impulsionnelle $h(k)$ suivi d'une non linéarité $d\{\cdot\}$ supposée sans mémoire afin de simplifier les calculs. L'erreur de distorsion $e(k)$ est calculée par la différence entre la réponse impulsionnelle $h_d(k)$ du système avec distorsion et la réponse impulsionnelle $h(k)$ du système LTI.

¹⁴³ National Instruments.

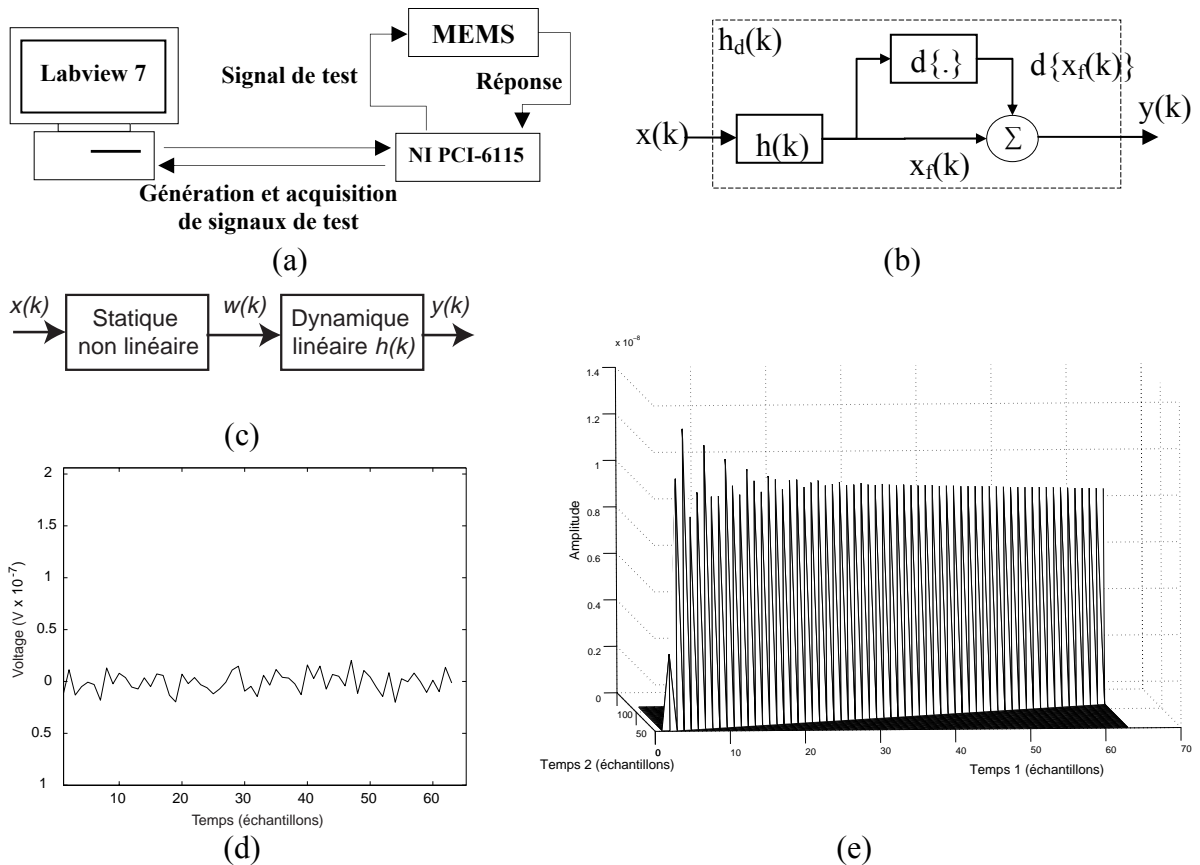


Figure 7.4. Effets des non linéarités dans le BIST pseudo aléatoire : (a) système de mesure expérimentale servant à la validation de la technique, (b) modèle d'un système avec des faibles non linéarités, (c) modèle d'un système purement non linéaire, (d) 1^{er} noyau de Volterra de la micro poutre de la Figure 7.2, et (e) 2^{ème} noyau de Volterra de ce dispositif.

L'immunité d'une technique de mesure aux distorsions non linéaires est définie par le rapport entre l'énergie de la réponse impulsionnelle linéaire et l'énergie de l'erreur non linéaire de distorsion. Ces résultats très récents ont concerné trois techniques différentes de calcul de la réponse impulsionnelle. Ces techniques incluent l'application d'une impulsion unitaire à l'entrée, l'utilisation d'une séquence MLS, et finalement, l'utilisation d'une séquence IRS¹⁴⁴. La séquence IRS est une séquence MLS de longueur $2L$, où la deuxième partie est l'inverse de la première, de façon que :

$$x(k + L) = -x(k) \quad (7.12)$$

Ce signal de nature différentielle a donné les meilleurs résultats lors du calcul de la réponse impulsionnelle, présentant une immunité très importante aux non linéarités d'ordre pair. En outre, ces travaux ont aussi démontré que les séquences IRS ont une meilleure immunité aux non linéarités d'ordre impair quand la bande passante du système sous test est inférieure à 0.05 fois la fréquence d'échantillonnage.

Des systèmes purement non linéaires ont été étudiés par la suite. Ces systèmes sont représentés par le modèle dites de Hammerstein de la Figure 7.4(c). Par exemple, la micro poutre de la Figure 7.2 avec la stimulation électrothermique aboutit à un comportement purement non linéaire du système à cause de l'effet Joule à l'entrée :

$$P_{th} = \frac{V_i^2}{R_h} \quad (7.13)$$

¹⁴⁴ Inverse Repeat Sequence.

Utilisant la représentation de la Figure 7.4(c), la partie non linéaire correspond à la stimulation électrothermique et la partie dynamique linéaire correspond à la réponse impulsionnelle de la micro poutre. Cette non linéarité d'ordre deux fait qu'il n'est pas possible d'appliquer une séquence $MLS_{(1,-1)}$ à l'entrée car ceci revient à appliquer un simple stimulus DC pour la partie linéaire qui n'est pas suffisant pour stimuler un système linéaire avec mémoire.

En fait, dans les sections précédentes, une $MLS_{(0,1)}$ a été considérée à la place de la $MLS_{(1,-1)}$. La fonction carrée dans l'Equation (7.13) ne change pas la $MLS_{(0,1)}$. L'auto corrélation de la $MLS_{(0,1)}$ peut être déduite à partir de celle de la $MLS_{(1,-1)}$ [100] :

$$\phi_{(0,1)}(k) \approx \frac{\delta(k)}{4} + \frac{L-k}{4L} \quad (7.14)$$

et en combinant cette Equation avec l'Equation (7.4) pour $x=MLS_{(0,1)}$ et $k=[0,L-1]$:

$$\phi_{xy}(k) = \frac{h(k)}{4} + \frac{1}{4} \sum_{i=0}^k h(i) - \frac{1}{4L} \sum_{i=0}^k h(i)(k-i) \quad (7.15)$$

Ce résultat montre que la réponse impulsionnelle $h(k)$ peut être déduite à partir de la corrélation croisée $\phi_{xy}(k)$ en utilisant une $MLS_{(0,1)}$. Ainsi, la signature d'un dispositif purement non linéaire dans un BIST pseudo aléatoire peut être formée dans l'espace de la fonction de corrélation croisée $\phi_{xy}(k)$ à la place de l'espace de la réponse impulsionnelle. Cette approche est généralement applicable aux systèmes qu'on peut représenter avec le modèle de Hammerstein de la Figure 7.4(c). Une fois le signal d'entrée $x(k)$ est choisi de façon que $x(k)=w(k)$, la corrélation de $x(k)$ et $y(k)$ inclut la réponse impulsionnelle $h(k)$, comme dans le cas de l'Equation (7.15).

Finalement, le test pseudo aléatoire d'un système non linéaire invariant dans le temps a été étudié en utilisant des séquences MLS multi niveaux et la modélisation en série finie de Volterra. Nous détaillons ceci dans la section prochaine. Les Figure 7.4(d) et 7.4(e) montrent le calcul du premier et du deuxième noyaux de Volterra, respectivement, dans le cas de la micro poutre de la Figure 7.2. Le premier noyau est pratiquement nul à cause de la fonction carrée qui rend le micro système purement non linéaire. La réponse impulsionnelle de la micro poutre apparaît tout au long de la diagonale du deuxième noyau de Volterra.

7.3. Les outils de CAO de test de micro systèmes

7.3.1. Outil de génération de séquences de test pseudo aléatoire

Bien que la réponse impulsionnelle d'un système non linéaire porte quelques informations sur son comportement non linéaire, il a été démontré par le passé que ces stimuli sont insuffisants pour stimuler entièrement un système non linéaire [185]. En général, un système non linéaire invariant avec mémoire finie¹⁴⁵ peut être caractérisé par une série finie de Volterra avec une précision arbitraire selon l'Equation :

$$y(k) = h_o + \sum_{r=1}^N \sum_{m_1=0}^{M-1} \dots \sum_{m_r=0}^{M-1} h_r(m_1, \dots, m_r) \prod_{j=1}^r x(k - m_j) \quad (7.16)$$

où $x(k)$ et $y(k)$ sont, respectivement, l'entrée et la sortie du système, N est l'ordre maximal de non linéarité, M est la mémoire du système et $h_r(m_1, \dots, m_r)$ représente un coefficient du $r^{\text{ème}}$ noyau de Volterra h_r . Ce dernier est une matrice à r dimensions qui contient toute l'information sur le comportement non linéaire d'ordre r .

¹⁴⁵ *Fading memory.*

Plusieurs méthodes de calcul des noyaux de Volterra ont été proposées. La méthode proposée dans [186] est particulièrement intéressante, puisqu'elle utilise une séquence MLS multi niveaux relativement courte, et permet de trouver les noyaux de Volterra à partir du modèle de Wiener de la Figure 7.5(a). Ce modèle considère des filtres linéaires avec des réponses impulsionnelles (RI) orthonormales en vue de modéliser la partie linéaire avec mémoire. Pour chaque ordre r de non linéarité, tous les produits possibles du $r^{\text{ème}}$ ordre des sorties de ces filtres sont considérés dans la partie non linéaire sans mémoire. La technique de calcul des noyaux de Volterra est basée sur le théorème présenté dans [187] qui démontre qu'une séquence de longueur L générée à partir des MLS de longueur M peut stimuler entièrement un système non linéaire d'ordre N si est seulement si elle contient au moins $N+1$ valeurs distinctes.

La collaboration entre Achraf Dhayni et Ahcène Bounceur a permis le développement d'un outil qui permet la génération de ces séquences de test et de calculer par la suite les noyaux de Volterra. La Figure 7.5(b) montre l'interface graphique de cet outil qui a été développé sous le langage Builder C⁺⁺. La Figure 7.5(c) montre l'exemple d'un noyau de Volterra de deuxième ordre calculé par l'outil. Finalement, la Figure 7.5(d) montre le signal de test multi niveau nécessaire afin de mesurer cet ordre de non linéarité du dispositif sous test.

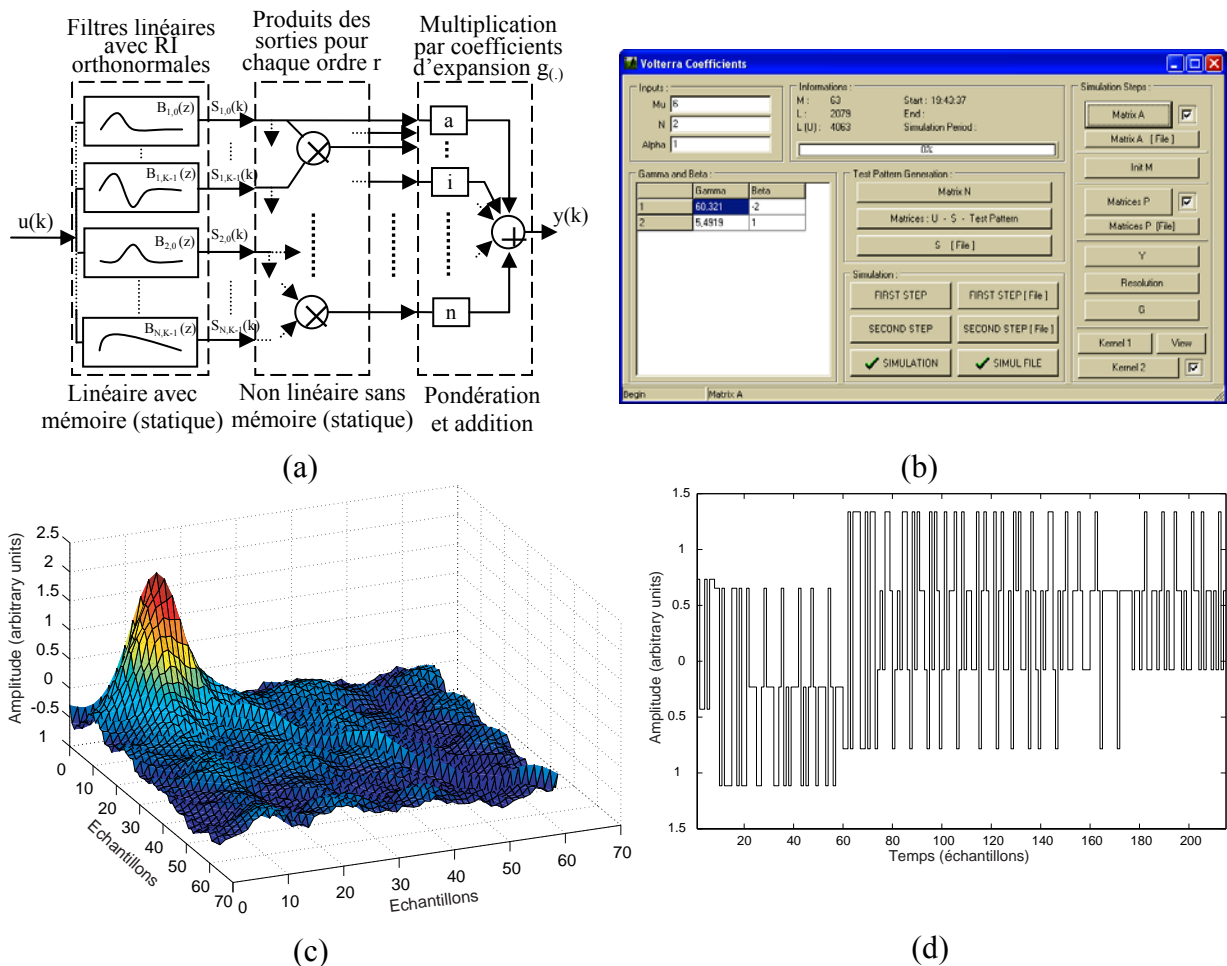
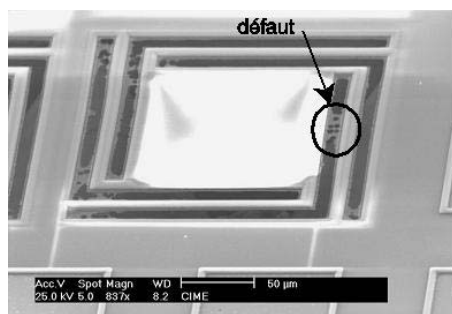


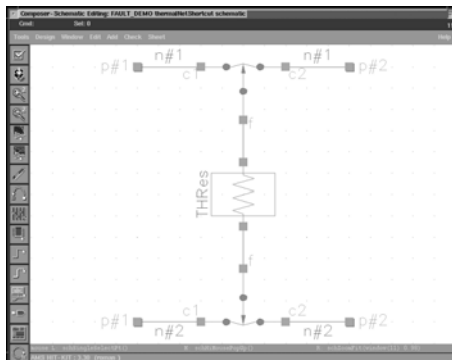
Figure 7.5. Outil de caractérisation de systèmes non linéaires et de génération des séquences de test nécessaires : (a) modèle de Wiener d'un système non linéaire, (b) interface graphique de l'outil, (c) exemple d'un noyau de Volterra de deuxième ordre, et (d) signal de test pseudo aléatoire multi niveau nécessaire afin de calculer cet ordre de non linéarité.

7.3.2. Simulation de fautes de microsystemes au niveau de circuit equivalent

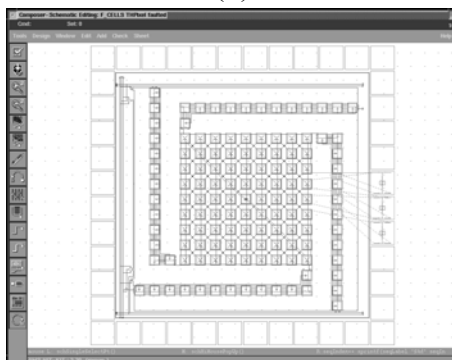
L'outil de simulation de fautes décrit dans le chapitre précédent a été conçu avec le but d'obtenir le maximum de flexibilité possible. Ceci est spécialement nécessaire dans le cas de la simulation de fautes de microsystemes car un seul défaut donne souvent des fautes multiples sur un modèle équivalent proche de la réalisation physique (voir Section 3.3.2). La Figure 7.6 illustre l'utilisation de l'outil dans le cas d'un pixel infrarouge pour lequel une technique d'auto test a été présentée dans la Section 3.3.3. Le défaut sur le pixel montré sur la Figure 7.6(a) résulte en un pont thermique qui est modélisé avec le modèle de fautes de la Figure 7.6(b). Le programme d'injection de ce modèle développé par Cosmin Roman est montré Figure 7.6(c). Un résultat d'injection sur le modèle équivalent du pixel est montré Figure 7.6(d) où nous observons que le modèle de fautes est injecté en plusieurs positions à la fois entre la membrane suspendue et son bras de support.



(a)



(b)



(d)

```

/* Code sample for the fault model:
 * "Arm to membrane thermal short" */
;# Design Under Test CellView
dsc_DUT=dbOpenCellViewByType("FAULT_DEMO"
    "THPixel" "schematic" nil "r")

;# Finding locations to inject faults
INAREA=dscGetAllInstInFaultArea(
    dsc_DUT->instances)
THM=setof(X INAREA
    X->cellName=="FEMembraneT2")
THB=setof(X INAREA X->cellName=="FEBeamT2")
THM=sort(THM `north)
THB=sort(THB `east)
THB=sort(THB `north)
SEG1=dscGetInstSegsOnPins(THM list("t4"))
SEG2=dscGetInstSegsOnPins(THB list("t2"))
NET1=dscGetSegmentsNet(SEG1)
NET2=dscGetSegmentsNet(SEG2)

;# List of all possible locations
LOC=dscListInterlace(NET1 NET2)

;# Specifying the current fault model
dsc_CURRENT_FAULT=list("FAULT_DEMO"
    "thermalNetShortcut")

;# Building the fault scenario
LOCp1=dscLabelLocationsAs("concurrent"
    from(LOC 1 3))
LOCp2=dscLabelLocationsAs("concurrent"
    from(LOC 1 4))
LOCp3=dscLabelLocationsAs("concurrent"
    from(LOC 4 6))
LOCs=dscLabelLocationsAs("sequential"
    list(LOCp1 LOCp2 LOCp3))
dsc_FAULT_SCENARIO=dscBuildScenario(LOCs)

```

(c)

Figure 7.6. Simulation de fautes de microsystemes : (a) pixel infrarouge avec un défaut formant un pont thermique, (b) modèle de fautes d'un pont thermique, (c) programme permettant l'injection de ce modèle, et (d) un résultat de l'injection de ce modèle dans le circuit équivalent du pixel.

7.4. Conclusion

Nous avons présenté dans ce chapitre les travaux de l'équipe RMS dans les domaines de la conception et le test de microsystèmes. Ces travaux se sont déroulés pendant la période 2002-2004 avec des fonds propres de l'équipe.

Les travaux de conception ont inclut un émetteur-récepteur d'ultrasons et des micro structures de test utilisées afin de valider les techniques de test intégré. Des tests acoustiques de l'émetteur-récepteur d'ultrason sont encore en cours. La membrane suspendue présente des contraintes résiduelles très importantes. L'émission d'un ultrason a déjà été démontrée.

Des techniques de BIST pseudo aléatoire de microsystèmes ont été étudiées pendant cette période. La solution proposée représente une toute première technique de BIST intégrant aussi bien la génération de stimuli de test que l'analyse de la réponse. L'optimisation des paramètres du BIST a été analysée et l'effet des non linéarités a été évalué. La technique a été validée en utilisant un équipement de mesure simple.

Les recherches sur le test de microsystèmes nous ont permis de mettre en place une collaboration avec Philips sur le test de MEMS RF, dans le cadre du nouveau projet européen MEDEA+ NanoTest. Une autre collaboration avec l'Université Scientifique et Technique de Hong-Kong est envisagée par Libor Rufer visant les microphones capacitifs intégrés.

Nous allons décrire dans ce qui suit les perspectives de ces travaux de recherche et les collaborations.

Partie III :

L'Avenir

2005 - ...

Chapitre 8

Les perspectives de recherche

2005-...

8.1. Introduction

Nous décrivons dans ce chapitre les perspectives des travaux de recherche que nous menons au sein de l'équipe RMS. Nous distinguons les travaux de test de systèmes intégrés, qui continueront à être l'axe principal de recherche de l'équipe, des travaux de conception de dispositifs et de leurs applications. Nous pensons qu'il est important de garder ce deuxième axe pour plusieurs raisons. D'abord, nous visons des techniques de BIST de circuits mixtes, de circuits RF et de microsystemes. Il s'agit dans tous les cas de blocs de forte composante analogique. Contrairement aux circuits numériques, le test des blocs analogiques accepte difficilement des solutions générales, nécessitant souvent l'étude de techniques *ad hoc*, spécifiques à chaque bloc en question. Puis, nous devons valider ces techniques en utilisant des technologies récentes, ce qui demande une expérience importante en conception et en fabrication. Enfin, nous nous intéressons en général à la conception et au développement de nouveaux dispositifs.

8.2. Le test de systèmes intégrés de forte composante analogique

8.2.1. Le test de circuits analogiques, mixtes et RF

Pour les composants hautement intégrés, les techniques de BIST représentent la meilleure solution pour freiner l'augmentation très rapide des coûts de test. Nous continuerons ainsi l'étude de ces techniques et de leur application sur les circuits analogiques, mixtes et RF. Les techniques de BIST que nous visons peuvent quand même utiliser des vecteurs de test externes. Nous utilisons ici le terme BIST dans le sens où la génération d'un stimulus analogique et l'analyse de la réponse analogique sont traitées numériquement dans la puce. Mais nous utilisons des vecteurs de test numériques pour coder les signaux à générer et pour programmer le BIST. Nous obtenons ensuite une signature numérique du circuit sous test.

L'architecture d'une technique de BIST mixte basée sur la mesure de la réponse harmonique [13] a été étudiée sur des circuits fonctionnant à des fréquences modérées (inférieures à 10 MHz) et avec une faible précision des stimuli de test (environ 8 bits). En fait, nous avons essayé de réduire le surcoût en surface des circuits de test et la longueur des vecteurs de test (256 bits, incluant les bits de programmation du BIST), ce qui pourrait permettre de stocker les vecteurs de test avec une petite mémoire. L'évaluation de la qualité du test que nous pouvons obtenir est encore en cours. Cependant, il est clair qu'au moins 12 bits de précision sont nécessaires afin que les probabilités d'échec du test et de faux rejet soient inférieures à quelques centaines de ppm¹⁴⁶. Ce but est tout à fait atteignable en utilisant un surcoût en surface plus important afin de générer et de filtrer des séquences de test avec plus de précision. Nous devons évaluer la précision obtenue vis-à-vis de la partie d'analyse de la réponse, qui utilise une technique approximative de mesure des harmoniques [173] très bien adaptée à notre architecture. La précision sera aussi fonction du temps de test.

Ce travail nous sert actuellement de base au développement de techniques de test intégré de convertisseurs $\Sigma\Delta$, où une précision de plus de 16 bits est nécessaire pour stimuler le modulateur. Plusieurs travaux ont étudié des techniques de BIST de ces dispositifs [163][165], mais il n'y a pas vraiment des solutions satisfaisantes. Nous visons une technique de BIST qui couvre aussi bien la partie mixte que la partie numérique de décimation. La testabilité de cette dernière sera assurée au moyen de techniques de test numérique concurrentes ou semi concurrentes. Le filtre de décimation sera utilisé en combinaison avec des stimuli numériques (convenablement traitées par un CNA d'1 bit) en vue de réaliser le test du modulateur.

Une autre technique de BIST est actuellement envisagée dans le cadre des imageurs CMOS. A notre connaissance, il n'existe aucune technique d'auto test de ces dispositifs. Le défi primordial à relever est l'utilisation de stimuli électriques afin de vérifier la fonctionnalité des éléments photosensibles, tout en restant indépendant des conditions lumineuses extérieures. Seules des solutions de test structurel sont alors envisageables. Eventuellement, il pourra être nécessaire d'assurer le fonctionnement correct de chaque pixel avec une probabilité d'erreur inférieure à quelques ppm.

Dans le domaine RF, nous chercherons à évaluer et à développer des techniques de BIST des différents composants d'un émetteur/récepteur radio microélectronique. Ces techniques devront être très peu invasives, ce qui nous conduira en particulier à examiner la réponse de ces circuits aux stimuli appliqués sur les lignes d'alimentation, et éventuellement à caractériser la réponse non linéaire du composant.

Finalement, dans tous les cas, nous chercherons à rendre les techniques de BIST compatibles avec les standards de test, en particulier le 1149.1 [144], fournissant des couches de test¹⁴⁷ autour de composants tels que les filtres analogiques et les convertisseurs $\Sigma\Delta$.

8.2.2. Le test de microsystemes

L'électronique de contrôle prend une importance croissante avec chaque nouvelle génération de microsystemes. Cette tendance devra continuer jusqu'à l'intégration sur une même puce de systemes complets, incluant des microprocesseurs, des blocs de mémoire, des microsystemes, et les unités de communication avec l'extérieur par des liens sans fil électromagnétiques, optiques ou acoustiques. Les techniques de BIST de microsystemes auront beaucoup d'intérêt dans ce type de systemes.

¹⁴⁶ Parts par million.

¹⁴⁷ *Test wrapper*.

Généralement, l'auto test d'un microsystème nécessite des stimuli électriques, car le contrôle doit nécessairement être microélectronique. Ainsi différents phénomènes de transduction électrostatique, électromécanique, électrothermique ou électromagnétique ont été étudiés dans le passé. Cependant, seule la technique de test pseudo aléatoire que nous avons utilisé dans [12] définit clairement les stimuli de test nécessaires et présente un circuit d'analyse de la réponse, ce qui est nécessaire en vue d'obtenir une réelle technique de BIST.

La technique d'auto test avec des stimuli pseudo aléatoires considère des microsystèmes linéaires et invariants, ce qui est le cas de la plupart des capteurs dans leur plage typique d'opération. Un test fonctionnel est réalisé par une estimation de la réponse impulsionnelle du circuit sous test. Néanmoins, les effets de non linéarités créées par le mécanisme d'excitation, par les non idéalités du système et par les distorsions dans les mesures ont été étudiés [38]. Ceci a montré que certains types de séquences pseudo aléatoires ont une meilleure immunité aux distorsions, et que des corrections simples dans l'analyse de la réponse permettent une estimation précise de la réponse impulsionnelle. En outre, nous avons présenté l'optimisation des paramètres de BIST dans [45], en utilisant des paramètres liés à la qualité du test. Ceci permet de limiter de manière importante la complexité des circuits de test, en particulier les besoins de mémoire. Mais un CAN de 12 bits minimum et, éventuellement, un CNA d'1 bit sont nécessaires. L'inconvénient principal de cette technique est le temps de test, car il s'avère nécessaire de moyenniser plusieurs séquences afin d'améliorer le rapport signal sur bruit des mesures et, par conséquent, la qualité du test.

Nous continuons l'étude de cette technique de test dans le cas de systèmes non-linéaires, en utilisant maintenant des séquences pseudo aléatoires multi niveaux afin d'extraire les coefficients de Volterra. L'étude de la sensibilité de ces coefficients aux paramètres du système et aux paramètres de test peut éventuellement aboutir à des circuits d'analyse de la réponse simples. Cependant, nous pensons qu'une telle technique n'aura pas un avantage par rapport au test pseudo aléatoire simple dans le cas des capteurs MEMS, car ceux-ci sont approximativement linéaires. Par contre, cela peut être intéressant dans le cas de micro actionneurs ou autres dispositifs non-linéaires.

Enfin, nous devons étudier des nouvelles techniques de test intégré dans le cas des MEMS RF. Dans ce domaine, il sera difficile d'aboutir à des techniques de test fonctionnel par la mesure de la réponse. Nous pensons orienter ces travaux sur la prédiction des spécifications à partir de tests simples (ou alternatifs) tel que nous allons décrire dans la section suivante. L'étude de techniques de test structurel orientées à la détection de défauts sera également importante. Puisque les mécanismes de défaillance spécifiques aux microsystèmes sont parfois inconnus, des études sur la caractérisation de la fiabilité de microsystèmes seront menées de façon approfondie en collaboration avec des équipes spécialisées dans ce domaine.

8.2.3. Plateforme de CAT analogique

Nous continuerons à consacrer un effort important aux outils de test, visant le développement d'une plateforme de CAT analogique intégrée dans un environnement de conception industriel¹⁴⁸. Les outils de simulation de fautes et de génération de vecteurs de test sont essentiels aux techniques de test structurel. Ils sont aussi intéressants pour les techniques de test fonctionnel, car ils peuvent permettre l'optimisation des tests de vérification des spécifications [188] et l'évaluation de la qualité des techniques de test intégré. Or les environnements industriels de CAT¹⁴⁹ n'incluent pas des outils de simulation de fautes et de génération de vecteurs de test analogiques. La raison principale de cela est le fait que

¹⁴⁸ Cadence.

¹⁴⁹ Cadence, Mentor Graphics, Synopsis.

l'industrie de semi-conducteurs n'a pas encore adopté, pour les circuits analogiques et mixtes, le test structurel en remplacement du test fonctionnel. Cependant, le besoin d'intégrer des techniques de BIST analogique et d'évaluer leur qualité finira par rendre ces outils indispensables.

Par rapport à la simulation de fautes analogiques, les difficultés techniques sont bien connues. Notamment, l'absence de modèles de fautes précis à cause de la nature analogique des signaux, puis, les temps de simulation excessivement longs. Nous pensons que ces deux problèmes sont abordables :

1. Le test structurel de circuits numériques, qui se base sur la détection de défauts, est une solution largement acceptée. L'hypothèse d'une faute simple (comme résultat d'un certain défaut) est typiquement utilisée. Des modèles de fautes précis, tels que les modèles de collage des circuits numériques, sont considérés. Il est alors possible d'évaluer la qualité d'une technique de test en fonction du taux de couverture de fautes. Pour les circuits analogiques et mixtes, il est aussi possible de considérer ce type de test structurel, couvrant ainsi les fautes de type catastrophique. Toutefois, malgré l'intérêt évident de ceci, l'absence d'une mesure de couverture de fautes paramétriques est normalement inacceptable. En fait, à cause de la nature continue des signaux, le dysfonctionnement d'un circuit analogique et mixte est souvent la conséquence d'une déviation des paramètres des composants et de leurs interconnexions. Ce type de faute n'est pas simple, car il résulte de l'effet combiné des déviations de paramètres multiples. La simulation de type Monte Carlo est une technique typique pour aborder ce problème. Elle permet aux concepteurs de trouver la plage de fonctionnement d'un circuit, ce qui définit aussi les seuils de tolérance qui peuvent être utilisés pour le test. Nous pouvons aussi l'utiliser afin de générer des circuits avec des déviations paramétriques, et nous évaluerons par la suite les taux d'échec de test et faux rejet. En définitive, nous pourrions définir la qualité d'une technique de test en utilisant une métrologie basée sur le taux de couverture de fautes catastrophiques et les probabilités de *test escapes* et de faux rejet.
2. La simulation de fautes de circuits analogiques et mixtes est longue à réaliser. Le besoin d'utiliser des simulations au niveau électrique et la nature séquentielle de l'injection de fautes sont les raisons principales. La simulation de fautes hiérarchique permet la considération de certaines fautes au niveau comportementale [189], mais il n'est pas réaliste d'éliminer complètement les simulations plus précises au niveau du circuit. Contrairement aux circuits numériques, il n'est pas vraiment envisageable de réaliser des simulations de fautes analogiques en parallèle. Des techniques permettant d'accélérer ces simulations existent [190], mais elles n'incluent pas réellement des algorithmes de simulation de multiples fautes en parallèle. Toutefois, les blocs analogiques et mixtes sont toujours petits par rapport aux blocs numériques. Avec chaque nouvelle génération technologique, les circuits numériques sont de plus en plus grands, utilisant un nombre croissant de transistors. Par contre, tandis que la complexité de la conception des blocs analogiques augmente à cause de nouveaux effets dans les technologies très submicroniques, le nombre de transistors nécessaires à la réalisation de ces blocs ne varie pas significativement. Ainsi, il semble vraisemblable de penser que la simple augmentation de la puissance de calcul avec chaque nouvelle génération de processeurs aboutira sur une réduction importante du temps nécessaire à la simulation d'un circuit analogique, facilitant ainsi la simulation séquentielle des fautes.

Nous allons poursuivre le développement de l'outil de simulation de fautes de circuits analogiques et mixtes. L'outil utilise des interfaces graphiques et textuelles pour la définition

de modèles de fautes qui sont injectés de façon automatique. Un langage à base de procédures¹⁵⁰ permet la programmation de l'injection de fautes. Nous ne visons pas le développement de simulateurs permettant d'accélérer la simulation de fautes. L'interface de post traitement des données permettra l'évaluation de la qualité d'une technique de test, et la comparaison de la performance de plusieurs techniques différentes. Concernant les applications, nous allons viser l'extension de cet outil aux circuits RF, permettant la mesure de paramètres de test typiques de ces circuits. Une étude comparative sera menée sur des techniques de BIST de ces composants, par exemple, pour les amplificateurs de bas bruit (LNA¹⁵¹). L'étude de techniques de BIST d'autres circuits RF et mixtes sera considérée par la suite.

En ce qui concerne la génération de vecteurs de test analogiques, des nombreuses techniques ont été proposées depuis le début des années 90. Ces techniques exploitent, par exemple, la simulation de fautes, l'analyse de la sensibilité ou les algorithmes génétiques afin de générer des vecteurs de test déterministes. Ces vecteurs assurent, soit la détection de fautes (test structurel), soit la détection du comportement erroné d'un circuit, au-delà de la plage de tolérance de ses spécifications (test fonctionnel). Il est clair que le test structurel permet d'aboutir à des techniques de test plus simples et moins coûteuses, mais il est aussi nécessaire de garantir avec une très haute probabilité qu'un circuit sans défauts reste dans la plage de tolérance de ses spécifications.

Nous allons considérer d'abord les techniques de génération basées sur la simulation de fautes, car la détection des défauts, et des fautes catastrophiques qui résultent typiquement de ceux-ci, est importante afin de réduire les surcoûts du test. La simulation de fautes est dans ce cas plus performante que l'analyse de la sensibilité, qui est limitée dans le cas des non linéarités importantes des circuits défaillants. Un algorithme de génération de vecteurs de test multi fréquence sera intégré dans la plateforme de CAT [26]. Cet algorithme, que nous avons décrit dans le Chapitre 2, s'applique aux circuits linéaires, et il permet de considérer des fautes qui aboutissent en un comportement non linéaire. Des fautes simples catastrophiques et paramétriques peuvent être considérées. Les vecteurs de test générés optimisent en plus le diagnostic. D'autres algorithmes de génération de tests multi fréquence existent [191][192], mais ils proposent tous des résultats assez similaires. La capacité de ces vecteurs de test à détecter qu'un circuit est hors spécifications (mesurée par la probabilité d'un circuit mauvais d'échapper au test et le taux de faut rejet), sera aussi évaluée avec des simulations de type Monte Carlo. Des procédures avancées d'optimisation provenant du domaine de la Recherche Opérationnelle seront utilisées à la place des techniques heuristiques utilisées par le passé.

Par la suite, nous considérerons la génération de ces vecteurs de test sur la puce, car nous visons toujours des techniques de BIST facilitant la réduction des surcoûts de test. Les techniques qui ne nécessitent pas de vecteurs de test (par exemple, les techniques basées sur les oscillations des circuits [161][162]) ou les techniques de génération de vecteurs pseudo aléatoires [166] sont intéressantes. Cependant, nous pensons qu'elles resteront limitées à certains types de circuit. De façon plus générale, il faudra considérer la génération de vecteurs de test déterministes, ce qui donne la flexibilité nécessaire pour optimiser la qualité du test et même le diagnostic. Dans le passé, nous avons adapté la technique proposée par [164] qui permet la génération de signaux analogiques à partir de séquences binaires codant le signal désiré. Cette technique nécessite le transfert de vecteurs de test purement numériques, ce qui permet d'éviter l'utilisation de testeurs mixtes et d'atteindre le but ultime de réduction des coûts de test. Nous avons appliqué cette technique dans le BIST de mesure de la réponse harmonique [13]. Un outil permet de calculer une séquence binaire optimisée en fonction des paramètres du signal désiré, tels que le THD, SFDR, ou le facteur de crête. Plusieurs

¹⁵⁰ *Procedural language.*

¹⁵¹ *Low Noise Amplifier.*

algorithmes d'optimisation multi objectif ont été étudiés, mais nous devons encore améliorer leur performance lors de la codification de signaux multi fréquence. Cependant, cette technique ne semble pas intéressante au-delà de fréquences modérées, notamment dans le cas de circuits et de signaux RF.

Enfin, nous étudierons les techniques de test alternatif qui ont été proposées récemment [193]. Ces techniques visent l'application de stimuli de test simples qui permettent la prédiction des spécifications à partir de la réponse du CUT à ces stimuli. Des algorithmes génétiques ont été utilisés afin de générer les stimuli qui donnent les erreurs de prédiction les plus faibles. Les types de stimuli considérés sont des signaux DC, plusieurs types de signaux transitoires, et des séquences binaires. Nous pensons que ces techniques peuvent trouver une application importante dans le domaine RF, dans le cas où il ne sera pas facile de générer des signaux de test RF sur la puce. Nous considérons leur application dans le cas du test de MEMS RF.

8.3. La conception de systèmes intégrés

8.3.1. La conception de circuits mixtes en technologies très submicroniques

L'augmentation de la capacité d'intégration a toujours présenté des avantages importants pour chaque nouveau nœud de la feuille de route des technologies CMOS. La diminution en taille des transistors a été accompagnée d'une réduction de la surface de silicium, de la puissance nécessaire, ou du délai des circuits. Cependant, ces avantages qui ont encore été constatés pour les technologies CMOS de 180 nm (de longueur effective du canal dans le transistor), commencent à s'évanouir avec les technologies encore plus submicroniques. Des nouveaux phénomènes devient très importants, tels que les courants de fuites en régime de sous seuil, fortement dépendants de la température, les courants à travers les grilles des transistors par effet tunnel, ou la variabilité très importante des paramètres des transistors comme la tension de seuil. En outre, les valeurs faibles de la tension d'alimentation affectent beaucoup la conception de circuits analogiques. Enfin, des effets parasites sur les interconnexions qui deviennent de plus en plus longues influencent très fortement le délai des circuits.

Des nouvelles techniques de conception sont alors nécessaires, accompagnées de nouvelles options dans les procédés de fabrication, telles que la possibilité d'adapter ou d'utiliser des tensions de seuil différentes. L'appariement entre transistors, toujours important dans les circuits analogiques, devient un facteur extrêmement critique. Afin d'obtenir une plage de fonctionnement dynamique acceptable, et de limiter les effets de bruit thermique et de mauvais appariement¹⁵², la puissance consommée doit être importante. Plus encore, d'autres sources de bruit provenant des alimentations, du substrat et des couplages électromagnétiques ne diminuent pas elles non plus. Ainsi, le passage sur chaque nouvelle technologie de plus en plus submicronique, ne s'accompagnera certainement pas d'une réduction de la puissance consommée des circuits analogiques.

Les premiers travaux de l'équipe RMS en 2002 ont débuté avec la conception de circuits mixtes et leurs techniques de BIST en utilisant une technologie CMOS 180 nm. Nous travaillons actuellement avec une technologie CMOS 120 nm. Toutefois, les problèmes mentionnés ci-dessus se font déjà sentir dans cette technologie, et ils deviendront très importants dans les nouvelles technologies de 90 nm, 65 nm et 45 nm. Nous devons rapidement considérer le passage aux technologies les plus avancées, afin que les techniques de BIST proposées puissent être réellement exploitables du point de vue industriel. La

¹⁵² *Mismatching.*

migration technologique de ces techniques de BIST, qui devront se présenter en tant que couches matérielles de test¹⁵³, sera une question importante à évaluer.

Finalement, nous étudierons la conception de circuits analogiques et mixtes servant d'interfaces aux microsystemes. L'intégration de microsystemes avec leurs interfaces électroniques est clairement programmée dans les feuilles de route des technologies CMOS. Il est important de noter que nous retrouverons dans la conception microélectronique très submicronique des difficultés déjà rencontrées dans le passé lors de la modélisation de microsystemes. En effet, des phénomènes répartis dans les blocs microsystemes empêchent dans certains cas la simulation avec des circuits équivalents à composants ou constantes localisées. Ainsi, il a été nécessaire d'étudier des modèles compacts permettant le traitement de ces blocs comme un ensemble indivisible. Des modèles compacts de circuits ou des IP¹⁵⁴ microélectroniques apparaîtront dans l'avenir, considérant dans son ensemble des effets très submicroniques, par exemple le bruit du substrat ou les effets des interconnexions. Dans cette ligne, nous devons voir apparaître des microsystemes et leurs interfaces microélectroniques présentés sous la forme d'un seul modèle compact.

8.3.2. La conception de microsystemes

La conception de microsystemes continuera à être un axe de recherche important de l'équipe RMS. Ces microsystemes serviront parfois de véhicules d'essai des techniques de BIST, mais nous viserons aussi des nouveaux dispositifs et des nouvelles applications. L'expérience et les contacts acquis par le passé sur les techniques de micro-usinage et les divers équipements de test devront nous permettre de développer plus rapidement des nouveaux dispositifs.

En particulier, nous continuerons le développement de nouveaux types de transducteurs acoustiques, d'application aussi bien au niveau du son que de l'ultrason. Dans le domaine du son, l'étude de microphones intégrés avec des fonctions d'auto test sera développée. En outre, nous étudierons des capteurs de vibrations avec des applications diverses, telles que l'aide à la chirurgie de l'oreille moyenne et la captation d'énergie de l'environnement. Ces travaux demanderont l'étude de techniques spéciales d'encapsulation, en collaboration avec des équipes spécialisées dans ce sujet. Dans le domaine de l'ultrason, l'intégration de capteurs capacitifs et leur électronique de contrôle sur une même puce peut éventuellement aboutir à des transducteurs d'haute résolution et d'une flexibilité accrue par rapport aux composants piézoélectriques très résonants. Des applications d'imagerie médicale et de contrôle non destructif sans contact sont possibles. Le micro-usinage de puces CMOS fabriquées en technologies très submicroniques devra être considéré, spécialement par la face arrière. D'autres procédés de fabrication, par exemple l'utilisation de la technologie SOI¹⁵⁵, pourront être considérés.

L'étude des techniques de test intégré des microsystemes RF nous conduira à la conception et à la fabrication de ce type de micro structures. Nous étudierons les divers types de MEMS RF, mais un intérêt spécial sera dédié aux filtres à ondes acoustiques de type SAW¹⁵⁶ et BAW¹⁵⁷, suivant la demande de nos partenaires industriels. Outre leur application dans les fonctions de traitement du signal, nous viserons l'étude de ces dispositifs pour des applications de détection de composants chimiques, tels que ceux-ci présents dans certains types de gaz toxiques.

¹⁵³ *Test wrappers.*

¹⁵⁴ *Intellectual Property.*

¹⁵⁵ *Silicon On Insulator.*

¹⁵⁶ *Surface Acoustic Wave.*

¹⁵⁷ *Bulk Acoustic Wave.*

D'une façon plus générale, nous étudierons les microsystèmes dans un sens large, embarquant dans le même système des composants MEMS, des circuits mixtes de conditionnement et de conversion du signal, et les unités de communication RF, formant éventuellement les nœuds d'un réseau de capteurs répartis. Un démonstrateur d'un dispositif de ce type est en étude, incorporant des fonctions de BIST au niveau de chaque type de composant (numérique, mixte, MEMS), ce qui permet au système complet de réaliser un auto test.

8.3.3. Les réseaux de capteurs répartis

Les réseaux de capteurs répartis représentent une nouvelle génération d'objets communicants. Ils montrent un potentiel important pour des applications qui nécessitent le traitement de l'information liée à des zones géographiques, des grands espaces ou des surfaces diverses. La délocalisation du traitement de l'information sur les nœuds d'un réseau fixe ou mobile, qui peut être pratiquement invisible, et dont les nœuds communiquent avec des liens radio fréquence, a aboutit à un nouveau paradigme de calcul informatique.

Un aspect clé du succès de ces réseaux est la maîtrise des aspects liés à la fiabilité et à la tolérance aux fautes. Il est en général essentiel de maintenir un réseau fonctionnel aussi longtemps que possible, malgré l'existence de nœuds défaillants, et malgré la dégradation de leur performance par leur propre vieillissement ou les conditions de l'environnement. Néanmoins, la tendance de ces réseaux à considérer des nœuds de taille aussi réduite que possible, et avec un niveau d'autonomie importante du point de vue de l'énergie, rend les techniques classiques de tolérance aux fautes (duplication ou triplement des composants) inadéquates.

L'étude des techniques d'auto test des circuits microélectroniques et des microsystèmes devra nous aider à garantir le fonctionnement correct d'un nœud d'un réseau. Cette information à niveau nodal devra alors être exploitée à niveau du réseau tout entier, facilitant les tâches d'identification des nœuds défaillants, et réduisant le surcoût en communications, et donc en énergie, nécessaire pour sa vérification. Cette information pourra aussi être exploitée en vue d'optimiser la couverture du réseau.

En outre, les communications dans ce type de réseau sont de nœud à nœud, à la place d'une communication directe d'un nœud à une station de base. Les possibilités d'auto test de deux nœuds qui communiquent entre eux, à des distances variables dans le temps, peuvent aussi être exploitées en vue de maintenir une communication avec le niveau d'énergie le plus faible possible, augmentant ainsi l'autonomie du système.

En résumé, nous étudierons les propriétés d'auto test des nœuds d'un réseau de capteurs répartis et leur application en vue d'augmenter sa fiabilité, sa couverture et son autonomie. Nous viserons la conception d'un démonstrateur qui nous servira d'abord pour la validation des techniques de BIST de circuits mixtes, de circuits RF et de microsystèmes, puis en tant que démonstrateur d'un réseau opérationnel.

8.4. Conclusions

Nous avons présenté quelques perspectives des travaux de recherche que nous menons actuellement au sein de l'équipe RMS. Les techniques de BIST représenteront, pour les composants hautement intégrés, la meilleure solution afin de freiner l'augmentation très rapide des coûts de test. Les techniques et les outils que nous développons viseront par la suite leur application dans les circuits et les microsystèmes de nos partenaires industriels. Puisque les mécanismes de défaillance spécifiques aux microsystèmes sont parfois

méconnus, des études de caractérisation de la fiabilité de microsystèmes seront menées de façon approfondie.

Un effort important sera aussi consacré aux aspects de conception de circuit mixtes et de microsystèmes, servant parfois de véhicules de test. En particulier, nous viserons aussi le développement de nouveaux dispositifs microsystèmes et leurs interfaces microélectroniques de traitement de l'information et de communication, nécessitant dans certains cas l'utilisation de technologies très submicroniques. Nous étudierons ainsi des microsystèmes dans un sens large, embarquant dans le même système des composants MEMS, des circuits mixtes de conditionnement et de conversion du signal, et les unités de communication RF, formant éventuellement les nœuds d'un réseau de capteurs répartis.

Les perspectives dans le domaine de test de circuits mixtes, de circuits RF et de microsystèmes trouvent actuellement un support financier important dans plusieurs coopérations avec les sociétés de semi-conducteurs. Les perspectives de conception de dispositifs intégrés émanent de la collaboration avec des centres et instituts de recherche, fournissant parfois un support financier. Nous décrirons dans ce qui suit ces coopérations.

Chapitre 9

Les coopérations

2005-...

9.1. Introduction

Dans ce dernier chapitre, nous décrirons principalement les coopérations qui sont en cours et qui visent les perspectives décrites précédemment. D'abord, nous présenterons le programme des coopérations que nous avons mis en place avec les industriels de semiconducteurs ST Microelectronics, Atmel et Philips. Ces programmes visent l'étude de techniques de test intégré de circuits mixtes et RF, d'imageurs CMOS et de microsystèmes RF, respectivement. Nous développons ces travaux dans le cadre de deux projets de recherche européens du programme MEDEA+¹⁵⁸. Le financement est proposé par le Ministère de l'Industrie. Par la suite, nous décrirons plusieurs coopérations académiques qui ont été mises en place avec la collaboration de Bernard Courtois et de Libor Rufer. Premièrement, nous développons un dispositif de type opto-VLSI pour le centre de microphotonique COMPS¹⁵⁹ en Australie, avec la collaboration de Kholdoun Torki du service CMP de TIMA. Deuxièmement, deux actions intégrées de coopération avec l'Université Scientifique et Technique et le Centre EPA¹⁶⁰ de la City University de Hong-Kong ont été mises en place par Libor Rufer, visant, respectivement, la conception de microsystèmes¹⁶¹ et leur packaging et fiabilité¹⁶². Nous décrirons ici seulement la deuxième de ces actions. Troisièmement, une coopération avec le CHU¹⁶³ de Grenoble a été mise en place avec l'aide de Benoît Charlot et de Françoise Renzetti. Enfin, nous concluons avec une description d'autres coopérations sur lesquelles nous travaillons actuellement.

¹⁵⁸ *Pan-European Programme for advanced cooperative research and development in Microelectronics.*

¹⁵⁹ *Western Australia Centre of Excellence for Microphotonic Systems.*

¹⁶⁰ *Centre for Electronic Packaging and Assemblies, Failure Analysis and Reliability Engineering.*

¹⁶¹ Action intégrée du programme Duo-France de collaboration avec l'Asie, Ministère d'Affaires Etrangères et Ministère de la Jeunesse de l'Education Nationale et de la Recherche.

¹⁶² Action intégrée du programme Procore de collaboration avec Hong-Kong, Ministère des Affaires Etrangères.

¹⁶³ Centre Hospitalier Universitaire.

9.2. Les coopérations avec l'Industrie

9.2.1. ST Microelectronics (Crolles) : le test de circuits mixtes et RF

Nous développons une coopération importante avec ST Microelectronics (Crolles) dans le cadre du projet européen MEDEA+ 2A-702 NanoTest qui se déroule pendant la période 2005-2008. Nous avons mis en place la participation du Laboratoire TIMA dans ce projet avec la collaboration de Jean-Louis Carbonero, Philippe Garcin et Laroussi Bouzaida à ST Microelectronics.

L'objectif global du projet est de développer des techniques innovantes de test de production des systèmes SoC et SiP¹⁶⁴ fabriqués avec les nouvelles technologies, permettant la réduction des coûts de test, l'amélioration de leur qualité et la réduction du temps nécessaire à l'introduction des dispositifs dans le marché¹⁶⁵. Les tâches du projet sont groupées en trois grands blocs qui incluent la technologie, la conception en vue du test et les testeurs.

Le partenariat du projet inclut les grands fabricants européens de semi-conducteurs, ST Microelectronics en France, Infineon Technologies en Autriche et en France, Philips au Pays Bas et en France, et AMIS en Belgique ; les PME dans le domaine de test, Q-Star en Belgique, Tecmic au Portugal et Temento en France ; et les instituts de recherche, INESC au Portugal et CEA-LETI, LIRMM et TIMA en France.

La collaboration de TIMA et ST Microelectronics vise le développement de techniques de conception en vue du test (DFT) de circuits mixtes et RF, ainsi que le développement d'outils de CAT mixte. Le test des blocs analogiques, mixtes et RF qui sont intégrés dans les SoCs est un défi important des ingénieurs de test. Le coût important du test de ces puces est relativement bien maîtrisé dans le cas des blocs numériques : des testeurs numériques à bas coût peuvent être utilisés, en combinaison avec des interfaces de test standardisées et des techniques de BIST. Cependant, les progrès dans le test de circuits numériques n'ont pas été accompagnés d'un avancement égal dans le domaine mixte. Par conséquent, le fait d'inclure des blocs mixtes et RF dans un SoC résulte en un surcoût de test très important, notamment par l'utilisation de testeurs mixtes et des techniques de test analogique qui sont plus proches de la caractérisation que de la production. Plusieurs techniques de BIST mixte ont été développées récemment, mais il n'y a pas de solutions adoptées par les industriels dans un sens large.

Cette collaboration, à hauteur de 3 hommes-an/an au Laboratoire TIMA, vise des solutions de test compatibles avec l'utilisation de testeurs à bas coût, donc numériques. Nous visons principalement le développement de techniques et de méthodologies de DFT mixte et RF, tandis que ST Microelectronics fournira les circuits sous test et participera, principalement, dans les tâches de réalisation et de caractérisation d'échantillons de test. Les activités sont les suivantes :

1. *Techniques de DFT de composants mixtes $\Sigma\Delta$ et PLL.* Il n'existe à l'heure actuelle aucune technique industrielle de test intégré de convertisseurs et modulateurs $\Sigma\Delta$. La raison principale est la difficulté de générer dans la puce des stimuli de test avec une précision de 16 bits, au minimum. Nous décomposerons le problème de test de ces convertisseurs entre le bloc numérique, qui réalise les étages d'un filtre de décimation et qui représente la partie plus large du convertisseur, et la partie mixte, qui correspond au modulateur et le filtre d'anti-repliement. Nous utiliserons des techniques de test numérique sur les

¹⁶⁴ *System-In-Package.*

¹⁶⁵ *Time-to-Market.*

différents étages de décimation. En particulier, des techniques de test en ligne concurrent et semi-concurrent seront considérées. Nous aborderons le test de la partie mixte en utilisant des techniques compatibles avec un test numérique. Les stimuli de test seront générés en utilisant des circuits numériques et nous étudierons des circuits d'analyse de la réponse numérique. Le test intégré des blocs PLL sera considéré par la suite. Ce travail commencera par une étude des techniques déjà publiées dans la littérature en vue de proposer des solutions de test pour les PLLs de ST Microelectronics.

2. *Environnement de CAT de circuits mixtes et RF.* La réduction du coût de test empêche l'utilisation de techniques basées sur la caractérisation ou la mesure de l'ensemble des spécifications de chaque bloc mixte. L'utilisation de tests plus simples, structurels ou alternatifs, est envisageable si la qualité de test reste bonne. L'évaluation de la qualité des techniques de test intégré nécessite des outils de CAT¹⁶⁶ tels que la simulation de fautes et la génération de vecteurs de test. Ces outils permettent d'abord de quantifier la couverture de fautes, catastrophiques ou paramétriques. Ensuite, ils permettent d'étudier la corrélation entre la détection de fautes et la vérification des spécifications du circuit, fournissant des mesures probabilistes de la qualité du test (probabilité d'un circuit mauvais d'échapper au test, fausse acceptation et faux rejet). Ces mesures de la qualité de test permettent la comparaison entre différentes stratégies et servent aussi à guider l'optimisation des tests. Dans cette tâche, nous développerons un environnement de CAT mixte permettant la modélisation et la simulation de fautes de circuits mixtes et RF dans un environnement de CAO industriel¹⁶⁷. L'environnement contiendra aussi plusieurs outils de génération et d'optimisation de vecteurs de test. D'abord, un outil de génération de vecteurs de test analogiques dans le domaine fréquentiel sera mis en place en vue d'un test structurel de circuits linéaires. Ensuite, nous développerons un outil de génération des vecteurs de test numériques nécessaires aux techniques de test intégré, en particulier le test de convertisseurs $\Sigma\Delta$. Enfin, nous développerons un outil d'optimisation des vecteurs de test fonctionnels ou alternatifs, basé sur la mesure des paramètres de test.
3. *DFT de composants RF : LNA et PA.* Le domaine du test intégré des composants RF est très récent. A peine quelques travaux ont été publiés par les chercheurs de test analogique dans ce domaine. Il n'y a pas des moyens d'évaluer ou de comparer l'efficacité de ces techniques. L'environnement de CAT décrit ci-dessus nous permettra de définir et d'évaluer des techniques de test intégré pour les composants RF de ST Microelectronics, tels que les LNAs et PAs. Puisque ces composants sont extrêmement sensibles aux modifications du circuit, des techniques de DFT réellement très peu invasives devront être mises en place. En particulier, nous commencerons par étudier des techniques basées sur la consommation de courant ou des tests paramétriques simples et nous étudierons par la suite la corrélation avec les tests fonctionnels en utilisant les outils de CAT.

Ces travaux de recherche sont actuellement développés dans le cadre des thèses de Doctorat de Luis Rolíndez et Guillaume Prenat sur le développement de techniques de BIST mixte, d'Ahcène Bounceur sur le développement de la plateforme de CAT, et de Rabeb Kheriji sur le test RF. Nous comptons sur la coopération de l'équipe de test RF de ST Microelectronics de Jean-Louis Carbonero. Plusieurs nouveaux stages sont en cours depuis début 2005. Nous co-encadrons avec Jean-Louis Carbonero et Rabeb Kheriji le stage de DEA de Jeanne Tong-Bong sur des techniques de BIST RF des LNAs. Nous co-encadrons aussi avec Luis Rolíndez le stage de DEA de Dimitris Mitrovgenis sur la conception d'un

¹⁶⁶ *Computer-Aided Test.*

¹⁶⁷ Cadence.

convertisseur $\Sigma\Delta$. Emmanuel Simeu encadre les travaux de DEA d'Hamichi Boualem, sur le test concurrent et semi-concurrent des parties numériques des convertisseurs $\Sigma\Delta$, et de Milos Klusak¹⁶⁸ sur la validation de ces techniques sur FPGA¹⁶⁹.

9.2.2. Atmel (St. Egrève) : le BIST des imageurs CMOS

La collaboration avec Atmel (St. Egrève) se déroule dans le cadre du projet Européen MEDEA+ A-406 PICS¹⁷⁰ pendant la période 2003-2006. Nous avons décrit ce projet dans le Chapitre 5. Deux tâches sont prises en charge par le Laboratoire TIMA. D'abord le développement de nouveaux pixels CMOS, adaptés aux applications du projet. Nous ne décrivons pas cette tâche ici car elle est développée par une autre équipe (CIS). Nous développons la deuxième tâche, à hauteur d'un homme-an/an, qui correspond au développement de techniques de BIST des imageurs et leur électronique de lecture associée.

Le test de production des imageurs nécessite l'utilisation de testeurs avec des sources de lumière calibrées, afin de pouvoir les stimuler. Nous proposons une technique de BIST structurel, qui utilise des stimuli électriques, et permet ainsi d'éliminer le besoin d'utiliser des sources lumineuses. Ceci devra résulter en une réduction du coût de test de production, car des testeurs numériques à bas coût pourront être utilisés. En outre, l'inclusion d'une telle technique de BIST dans un imageur permet de signaler au système l'existence de pixels défectueux, ce qui peut être intéressant afin d'évaluer la qualité des images produites et d'appliquer des techniques de correction.

Nous avons démarré l'étude d'une technique de BIST en 2004. La principale difficulté est bien évidemment la stimulation des photodétecteurs, ou des photodiodes dans le cas du démonstrateur d'ATMEL. Puisque le BIST d'un imageur doit se faire de façon indépendante des conditions de lumière extérieures, nous proposons l'application d'impulsions électriques sur la photodiode polarisée en mode direct, ce qui rend le voltage de sortie pratiquement indépendant de ces conditions. Or la photodiode est polarisée en mode inverse lors du fonctionnement normal, ce qui permet d'exploiter le phénomène de conversion photoélectrique dans sa région de charge spatiale vidée de porteurs majoritaires. Il est alors nécessaire d'étudier la sensibilité des mesures de test aux déviations paramétriques ou catastrophiques d'un pixel dans les deux modes, afin d'assurer que nous obtenons une couverture de fautes similaire dans les deux cas.

Nous avons commencé ces études avec AHCÈNE BOUNCEUR, utilisant la plateforme de CAT qu'il développe. Ces travaux sont actuellement poursuivis par LIVIER LIZARRAGA, dans le cadre de sa thèse de Doctorat. Nous avons discuté quelques résultats préliminaires de cette technique dans le chapitre précédent.

9.2.3. Philips (Caen) : le test de MEMS RF

Dans le cadre du projet européen MEDEA+ 2A-702 NanoTest, une collaboration avec Philips (Caen) nous a été proposée par Philippe CAUVET. Cette collaboration, à hauteur d'un homme-an/an au Laboratoire TIMA, vise le test de MEMS RF pendant la période 2005-2008. Nous encadrons avec LIBOR RUFER la thèse de Doctorat de HOANG-NAM NGUYEN sur ce sujet.

Cette étude porte sur des méthodes de test alternatives de MEMS embarqués dans des applications RF. L'objectif principal est l'utilisation de ces techniques en vue d'obtenir des informations sur la fonctionnalité des dispositifs et sur leurs modes de défaillance. Les

¹⁶⁸ Etudiant en thèse à l'Université de Bohême de l'Ouest, République Tchèque, en visite au TIMA pour 4 mois.

¹⁶⁹ *Field Programmable Gate Array.*

¹⁷⁰ *Programmable Imaging with CMOS Sensors.*

dispositifs considérés peuvent inclure des interrupteurs, des filtres électromécaniques, et des filtres à ondes acoustiques de surface (SAW¹⁷¹) et de substrat (BAW¹⁷²) fabriqués par des technologies SiP propres à Philips.

L'étude commencera par une investigation sur le comportement des composants défaillants : défauts de fabrication, mécanismes de défaillance, faiblesses de conception, effets parasites, etc. Puis, les comportements défectueux seront modélisés et simulés en utilisant diverses techniques. Ceci jettera les bases de la définition et de l'évaluation de méthodes alternatives, basées sur une conception en vue du test, et l'utilisation si possible de tests simples paramétriques. Philips expérimentera les méthodes sur des MEMS utilisés couramment dans des applications RF et fournira le support au TIMA en termes d'échantillons, de caractérisation et des données statistiques de fabrication et de test.

9.3. Les coopérations académiques

9.3.1. COMPS (Perth, Australie) : conception d'un processeur opto-VLSI

Une collaboration avec Adam Osseiran de l'Université de Perth et Kamal Alameh du centre COMPS de microphotonique en Australie de l'Ouest a été mise en place après leur visite du Laboratoire TIMA en 2004.

Ce travail vise le développement d'une matrice de micro miroirs, et son interface microélectronique de contrôle, qui sont utilisés dans un processeur opto-VLSI. Les signaux optiques arrivant sur un pixel, qui contiendra un micro-miroir en aluminium ou en cuivre, sont reflétés avec un décalage de phase qui dépend du potentiel électrique. Un circuit microélectronique contrôlera le potentiel de chaque pixel. Deux processeurs de 16 et 256 phases sont envisagés avec, respectivement, 512x256 et 4096x256 pixels. La surface très réduite disponible pour le contrôle microélectronique des pixels est le principal défi que nous devons relever dans ce projet.

Avec la collaboration de Kholdoun Torki du Service CMP de TIMA, Christian Domingues développe dans le cadre de ses travaux de post-doctorat la première de ces matrices en technologie 0.12 µm CMOS de ST Microelectronics. Des couches de polarisation électrique et optique et de cristal liquide seront déposées par l'Université de Cambridge (Royaume-Uni) par-dessus après une encapsulation adéquate de la puce. Ce projet est financé par COMPS à hauteur d'un homme-an/an.

9.3.2. EPA (Hong-Kong) : encapsulation et fiabilité de microsystèmes

Une action intégrée de coopération avec le centre EPA de la City University de Hong-Kong a été mise en place par son Directeur, le Professeur Archie Yan-Cheong, et Libor Rufer. Cette action, qui couvre la période 2005-2006, vise l'étude de l'encapsulation de microsystèmes, dédiant un intérêt particulier aux aspects liés à la fiabilité. Les microsystèmes considérés visent des applications acoustiques et chimiques qui exigent, par principe, le contact avec l'extérieur. Cette action est importante pour l'équipe, car nous n'avons pas l'accès à des technologies avancées d'encapsulation de microsystèmes. Les tâches principalement visées dans ce projet sont les suivantes :

1. *Conception et fabrication de microsystèmes CMOS.* Nous utiliserons des techniques de micro-usinage anisotropique par la face avant et de gravure profonde (RIE) par la face

¹⁷¹ Surface Acoustic Wave Filter.

¹⁷² Bulk Acoustic Wave Filter.

arrière. Les micro poutres et membranes fabriquées par ces techniques, constituées de couches diélectriques issues du procédé CMOS, ont des propriétés mécaniques adaptées aux besoins des capteurs acoustiques et chimiques.

2. *Encapsulation de microsystèmes.* Cette tâche inclut l'étude de faisabilité du collage électromécanique d'une puce sur différents types de substrats (verre, céramique, flex, ...) par des substances adhésives conductrices ainsi qu'à l'aide de technologies de connexion électrique comme le soudage sans plomb et la technologie *flip chip*. Des ouvertures adaptées dans le substrat assureront l'accès depuis l'extérieur à la partie active du capteur. La hauteur des billes conductrices définira la distance finale de la puce au substrat.
3. *Fiabilité de l'encapsulation.* Deux aspects différents doivent être considérés ici. Le premier est l'étude de la fiabilité par le test de structures existantes ; le second est lié au développement des procédés et des matériaux. Puisque les technologies microsystèmes sont récentes, de nombreux mécanismes de défaillance sont mal compris. Il n'existe pas de tests accélérés pour la plupart des applications qui émergent. Le milieu non hermétique et le contrôle du frottement et du collage sont des aspects critiques du développement des procédés et des matériaux. Une étude de comportement des capteurs exposés aux conditions sévères comme chocs thermiques, température ou humidité élevées, vibrations, gaz agressifs, etc., sera très importante. Des modèles physiques et semi empiriques doivent être développés afin de mener une conception précise.
4. *Analyse des mécanismes de défaillances des microsystèmes.* Cette tâche vise la caractérisation des mécanismes de défaillance après avoir effectué des tests de fiabilité. En fait, l'estimation de la fiabilité des microsystèmes nécessite des études de la physique de défaillance (PoF¹⁷³), puisque les mécanismes des défaillances spécifiques aux microsystèmes n'ont pas encore été caractérisés. La compréhension des phénomènes physiques de défaillance et des mécanismes de dégradation est compliquée par des facteurs tels que la présence de plusieurs matériaux et interfaces dans le système, et l'interaction du système avec le milieu. Les défaillances induites par l'environnement, en particulier la défaillance due aux cycles thermiques, à l'absorption de l'humidité de l'air et aux chocs mécaniques, ont un impact très important sur la fiabilité des microsystèmes. La source principale de la dégradation mécanique est le choc mécanique, tandis que l'oxydation métallique et la corrosion électrochimique sont des formes de dégradation des matériaux. Le test de la fatigue des matériaux par la soudure sans plomb s'effectuera par la mesure de la dégradation pendant le vieillissement humide. La dégradation des matériaux adhésifs s'effectuera par la mesure de la résistance de contact, résistance en cisaillement, etc.

9.3.3. CHU (Grenoble) : conception d'un microsysteme de monitoring per-opératoire dans la chirurgie de l'oreille moyenne

En oto-rhino-laryngologie (ORL), la chirurgie de l'oreille moyenne vise la reconstruction de la chaîne ossiculaire. Le but de cette chirurgie est de corriger les surdités de transmission dues à une anomalie du tympan et/ou une discontinuité de la chaîne des osselets. Il existe trois osselets chez l'homme : le marteau, l'enclume et l'étrier. Il s'agit des os les plus petits de l'organisme car il ne pèsent que quelques milligrammes et assurent diverses fonctions dont la principale est le transfert de l'énergie sonore vers l'oreille interne. De nombreuses techniques

¹⁷³ *Physics of Failure.*

de remplacement ossiculaire ont été imaginées ces cinquante dernières années. Il existe ainsi des bio-matériaux de remplacement, des matériaux très divers comme par exemple le Titane, l'or, les céramiques hydroxy-apatites ou des prothèses comprenant plusieurs matériaux. L'os otologique du patient peut également être utilisé.

En dépit des améliorations des techniques chirurgicales et des bio-matériaux, la chirurgie des osselets (ossiculoplastie) est difficile car les facteurs de réussite permettant de redonner une audition satisfaisante sont d'origines multi-factorielles et dépendent du type de montage, du poids de la prothèse, de sa forme, de la longueur et de la tension du montage ossiculaire. Aussi surprenant que cela paraisse, il n'y a, à l'heure actuelle, aucun moyen de monitoring per-opératoire qui permette un retour d'information pendant la chirurgie pour guider le chirurgien si le geste réalisé est conforme aux données bio-mécaniques d'une chaîne normale. Pour cette raison, il est impossible de prédire formellement un résultat d'ossiculoplastie et il n'est pas rare de voir certains montages, qui ne satisfont pas pleinement le chirurgien, donner d'excellents résultats auditifs, et à l'inverse de très bons montages ossiculaires donner des résultats auditifs très moyens.

Compte tenu de la petite taille de l'oreille moyenne et des osselets, la mise au point d'un micro dispositif pourrait permettre de vérifier si l'ossiculoplastie réalisée est optimale, garantissant un bon transfert d'énergie vers l'oreille interne. Telle est l'idée du Dr. Sébastien Schmerber du Centre Hospitalier Universitaire (CHU) de Grenoble qui a contacté le Laboratoire TIMA en vue d'étudier la faisabilité de ce type de dispositif. Pour ce faire, nous avons assisté, avec Libor Rufer et Benoît Charlot, à une séance de chirurgie dans le bloc opératoire du CHU de Grenoble. Nous poursuivons par la suite le développement d'un micro système qui sera utilisé pour la détection des vibrations dans le domaine des fréquences audibles (1 kHz à 5 kHz). Le capteur doit être équipé d'une sonde qui facilitera l'accès à l'oreille moyenne et qui permettra le transfert de vibrations par contact direct avec la chaîne ossiculaire.

9.4. Conclusions

Les collaborations avec les fabricants de semi-conducteurs ST Microelectronics (Crolles), Atmel (St. Egrève) et Philips (Caen), nous permettent de développer des travaux de recherche dans les domaines de conception et test de circuits mixtes, de circuits RF et de MEMS RF. Le financement est proposé par le Ministère de l'Industrie dans le cadre des projets de recherche européens MEDEA+ NanoTest (4 hommes-an/an) et PICS (1 homme-an/an). Deux bourses CIFRE avec ST Microelectronics complètent ce financement. Une troisième bourse CIFRE est prévue pour 2005 dans le cadre de l'ERC¹⁷⁴ entre ST Microelectronics et le Laboratoire TIMA.

Trois coopérations avec des Centres et Universités de Recherche ont été décrites. D'abord, le centre COMPS (Australie) finance à hauteur d'1 homme-an/an le développement d'une partie d'un processeur opto-VLSI. Puis, la coopération avec EPA (Hong-Kong) vise l'étude de la fiabilité et le packaging de microsystèmes. Ce programme inclut la visite de deux chercheurs par an et par pays avec le financement en France du Ministère des Affaires Etrangères. Enfin, une coopération avec le CHU de Grenoble a été récemment mise en place sur la conception d'un micro système d'aide dans la chirurgie de l'oreille moyenne. Un cadre de financement pour ce projet n'a pas encore été étudié.

En résumé, nous avons pour la période 2005-2006 un financement à l'hauteur de 6 hommes-an/an, complété par des bourses CIFRE et des programmes d'actions intégrées.

¹⁷⁴ Equipe de Recherche Commune.

Pour réaliser le programme de recherche, en plus des activités d'animation et de valorisation, l'équipe RMS compte actuellement sur dix neuf personnes : trois permanents, dont un financé par l'équipe avec un Contrat Expert INPG ; huit étudiants en thèse (dont trois financés totalement par l'équipe et deux partiellement) ; cinq stagiaires de DEA (INPG, Grenoble, 5 mois chacun), un projet fin d'études ingénieur (UPC, Barcelone, 6 mois), et deux étudiants en thèse en visite (HKUST, Hong-Kong, 6 mois ; et Université Technique de Prague, République Tchèque, 4 mois).

Nous démarrons actuellement une collaboration avec l'équipe du Professeur José Machado da Silva de l'Institut INESC de Porto, Portugal, suite à sa visite dans l'équipe RMS pendant une période sabbatique de deux mois¹⁷⁵. Cette collaboration visera l'étude de techniques de BIST des composants d'un émetteur-récepteur de ST Microelectronics, dans le cadre du projet NanoTest. Pour finir, nous espérons mettre en place une collaboration avec le Professeur P.R. Mukund de l'Université de Rochester, USA, qui visitera l'équipe RMS pendant une période sabbatique de trois mois en 2005¹⁷⁶. Un premier projet de collaboration a déjà été élaboré et soumis en 2004 à la NSF¹⁷⁷ (USA), sans succès.

¹⁷⁵ De janvier à mars 2005.

¹⁷⁶ De septembre à novembre 2005.

¹⁷⁷ *National Science Foundation*.

Annexe A :

Résumé des Travaux Doctoraux

1989-1993

A.1. Sujets de recherche abordés

Le Tableau A.1 résume les différents sujets de recherche abordés pendant cette période, ainsi que quelques références bibliographiques auxquelles ils ont donné lieu.

Domaine de Recherche	Sujets de recherche abordés	Références bibliographiques
<i>CAO microélectronique</i>	structures de CAO et intégration d'outils développement d'outils de CAO formats de description du matériel électronique traducteurs et compilateurs <i>reverse engineering</i>	[3] [3][97] [5][28] [4][28][99] [3][97]
<i>Systèmes à bases de connaissances appliqués à la microélectronique</i>	applications de l'Intelligence Artificielle à la microélectronique systèmes à bases de connaissances systèmes experts programmation logique raisonnement incertain <i>model-based reasoning</i> <i>deep knowledge-based reasoning</i>	[3][4][96] [3][4][119] [4] [3][4][97] [3] [3][96] [3][120]

Tableau A.1. Sujets de recherche abordés dans la période 1989-1993 de travaux doctoraux avec quelques références bibliographiques associées.

A.2. Un outil pour la compréhension automatique de la spécification de circuits numériques

La gestion de quantités importantes de données nécessaires à la représentation de circuits électroniques complexes, et la présentation de ces données d'une façon utile et efficace aux outils de CAO, aux concepteurs et aux équipements de fabrication, sont devenues des questions très importantes dans l'industrie électronique. Des structures de CAO¹⁷⁸ sont indispensables pour aborder toute la complexité du processus de conception et des données associées à la représentation des designs. Ces structures contiennent des mécanismes et des applications (ex. des bibliothèques pour la programmation, des applications de gestion de données et d'interaction avec des utilisateurs), à différents niveaux d'abstraction, qui peuvent être utilisés pour le développement et l'intégration d'outils et pour la configuration d'un système de CAO particulier.

La modélisation de données électroniques est faite actuellement au moyen de langages et formats de description du matériel tels que l'EDIF¹⁷⁹. En raison de leur standardisation, ces formats facilitent le transfert des données entre différents systèmes de conception, même si dans les grandes structures de CAO on trouve souvent des traducteurs pour représenter l'information dans d'autres formats appropriés à des tâches concrètes. Des traducteurs entre

¹⁷⁸ CAD frameworks.

¹⁷⁹ Electronic Design Interchange Format.

l'EDIF et d'autres formats de description ont été développés pendant des travaux de recherche de pré-doctorat [5][28][99].

Les outils de CAO traitent l'information décrite au moyen de formats de description sans aucune compréhension des circuits représentés. Dans ce contexte, un outil CAO pour la compréhension automatique de la spécification de circuits numériques est au coeur des travaux doctoraux. L'outil, un système à base de connaissances sur la conception électronique numérique, est capable d'analyser des designs décrits après la modélisation de données proposée par EDIF, et donne lieu à un classement heuristique des objets représentés, c'est-à-dire, à la dérivation de connaissances sur la fonctionnalité et finalité des cellules et signaux du circuit représenté. Les connaissances dérivées, de nature sémantique, sont alors exploitées dans un environnement CAO pour l'analyse, la conception et le traitement efficace de données électroniques.

L'outil développé, nommé HERCULES (*HEuristic Reasoning for an automatic Commonsense Understanding of Logic Electronic design Specifications*), a été utilisé en démonstration dans le cadre des projets européens ESPRIT II JESSI-CAD-FRAME et ESPRIT III JESSI-COMMON-FRAME [119]. Une première version de l'outil a été présentée lors de la Conférence 1991 IEEE The European Conference on Design Automation [98] et au University Booth de la Conférence 1992 IEEE The European Conference on Design Automation. Les derniers résultats obtenus avec cet outil ont été présentés lors des Conférences 1994 IEEE 10th Conference on Artificial Intelligence for Applications [97] et 1994 IEEE European Design Automation Conference [96]. La structure de cet outil est représentée Figure A.1.

Le manuscrit de la thèse est disponible sur un serveur de l'Université de Manchester : <http://www.cs.man.ac.uk/cstechrep/Abstracts/UMCS-94-4-2.html>.

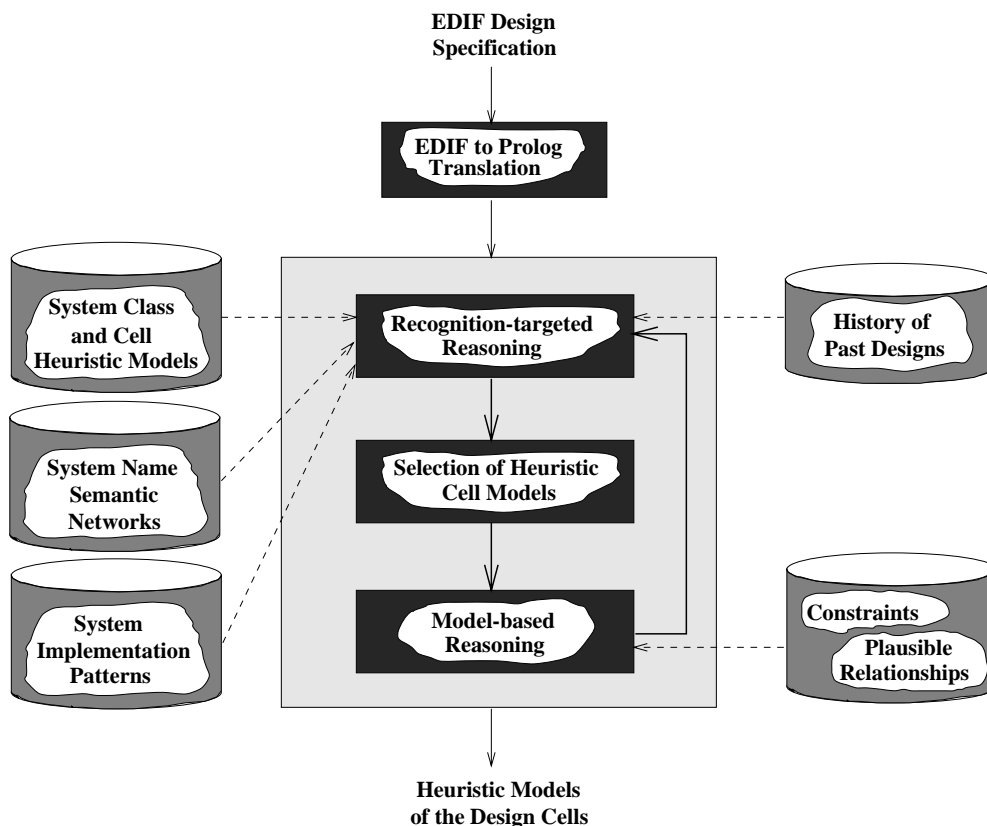


Figure A.1. Un outil pour la compréhension automatique de la spécification de circuits numériques (1994 IEEE 10th Conference on Artificial Intelligence for Applications).

Annexe B :

Synthèse des Activités de Recherche

1987-2005

B.1. Curriculum vitae

Etat civil

Nom : Mir Bernadó
Prénom : Salvador
Date de naissance : 21/09/1963
Lieu : Tremp (Catalogne), Espagne
Nationalité : Espagnole
Situation de famille : Marié, 2 enfants

Grades et Titres Universitaires

- Ph.D. : Department of Computer Science, The University of Manchester, Royaume-Uni, 1993.
- M.Sc. : Department of Computer Science, The University of Manchester, Royaume-Uni, 1989.
- Ingénieur Industriel (spécialité électricité) : Ecole Technique Supérieur de Génie Industriel de Barcelone, Universitat Politècnica de Catalunya, Espagne, 1987.

Situation

- Chargé de recherche CNRS 1^{ère} classe au Laboratoire TIMA, à Grenoble, France, depuis le 1 novembre 2000.
- Responsable de l'équipe RMS (*Reliable Mixed-signal Systems*) créée en 2002.

Langues

- français : parlé, écrit. Diplôme de Langue Française de l'Institut Français de Barcelone, Université de Toulouse, 1980.
- espagnol : parlé, écrit.
- anglais : parlé, écrit.
- catalan : parlé, écrit.

Résumé des publications

- 2 livres
- 6 chapitres dans les ouvrages
- 17 articles dans des journaux internationaux
- 7 présentations invitées dans des conférences internationales
- 2 présentations invitées dans des colloques internationaux
- 62 publications dans des actes de conférences internationales avec comité de lecture
- 28 autres communications (nationales, séminaires, workshops, etc.)

Distinctions

- 1^{er} au concours annuel de projets de fin d'études, prix délivré par l'Association d'Ingénieurs Industriels de la Catalogne, Barcelone, Espagne, mai 1988. Titre du

travail : *Application des langages de description du matériel à la conception microélectronique.*

Invitations

- Président du jury de thèse de M. Carles Pla Zanuy, Universitat de Girona, Espagne, juillet 2004. Thèse : *Case-based reasoning as an extension of fault dictionary methods for linear electronic analog circuit diagnosis.*
- 7 présentations invitées dans des conférences internationales.
- 2 présentations invitées dans des colloques internationaux.
- Chercheur invité au Instituto de Microelectrónica de Sevilla, Centro Nacional de Microelectrónica (CNM), Consejo Superior de Investigaciones Científicas (CSIC), Séville, Espagne, (1 mois, janvier 1996).
- Chercheur invité à l'Université Technique de Brno, République Tchèque, novembre 1995 (10 jours). Dissertation : *Techniques de test de circuits analogiques et mixtes numérique/analogique à haute sûreté de fonctionnement.*

B.2. Séjours de recherche

Séjours de recherche de post-doctorat

- Chercheur sous contrat au Laboratoire TIMA, Grenoble, France, 1998-2000. Thème: *Intégration de la conception et du test pour les dispositifs microsystèmes.* Recherche dirigée par Dr. Bernard Courtois.
- Chercheur sous contrat au Instituto de Microelectrónica de Sevilla, Centro Nacional de Microelectrónica, Consejo Superior de Investigaciones Científicas, Séville, Espagne, 1996-1997. Thème : *Conception et test de circuits microélectroniques analogiques et mixtes.* Recherche dirigée par Dr. José L. Huertas Díaz.
- Chercheur sous contrat au Laboratoire TIMA, Grenoble, France, 1995. Thème : *Test et diagnostic de circuits microélectroniques analogiques et mixtes numérique/analogique.* Recherche dirigée par Dr. Bernard Courtois.
- Bourse de post-doctorat du Ministère des Sciences et de l'Education de l'Espagne au Laboratoire TIMA, Grenoble, France, 1993-1994. Thème : *Test et diagnostic de circuits microélectroniques analogiques et mixtes numérique/analogique.* Recherche dirigée par Dr. Bernard Courtois.

Séjours de recherche de pré-doctorat

- Ph.D. au Laboratoire de CAD, Department of Computer Science, University of Manchester, Royaume-Uni, 1989-1992. Boursier du Ministère des Sciences et de l'Education de l'Espagne. Thème: *Raisonnements heuristiques pour la compréhension automatique de la spécification de circuits électroniques logiques.* Thèse encadrée par Dr. Nicholas Filer.
- M.Sc. au Laboratoire de CAD, Department of Computer Science, The University of Manchester, Royaume-Uni, 1988-1989. Boursier du Ministère des Sciences et de l'Education de l'Espagne. Thème: *Systèmes à bases de connaissances pour la simulation et le test de circuits électroniques.* Thèse encadrée par Dr. Nicholas Filer.
- Professeur assistant (*Profesor Ayudante de Escuela Universitaria*) à l'Ecole Technique Supérieur de Génie Industriel de Barcelone, Universitat Politècnica de Catalunya,

Barcelone, Espagne, 1988. Thème de recherche: *Conception microélectronique en vue de la testabilité et compilation de langages de description des systèmes d'information tolérants aux fautes*. Recherche encadrée par Dr. Joan Figueras Pàmies.

- Stagiaire au Laboratoire de CAD, Department of Computer Science, The University of Manchester, Royaume-Uni, 1987. Boursier du Gouvernement de la Catalogne, Comissió Interministerial de Ciència i Tecnologia, Espagne. Thème : *Systèmes experts pour la conception VLSI*. Recherche encadrée par Dr. Hilary Kahn.
- Projet fin d'études ingénieur au Departament d'Enginyeria Electrònica, Universitat Politècnica de Catalunya, Barcelone, Espagne, 1986-1987. Thème : *Applications des langages de description du matériel à la conception microélectronique*. Projet encadré par Dr. Antonio Rubio Sola.

B.3. Activités de valorisation de la recherche

Participation à des contrats de recherche européens

- NANOTEST. Projet EUREKA MEDEA+ 2A-702. Responsable scientifique (en cours, 2005-2008).
- PICS : *Programmable Imaging with CMOS Sensors*. Projet EUREKA MEDEA+ A406. Responsable scientifique (en cours, 2003-2006).
- TECHNODAT : *Technology-Driven Design and Test for System Innovation on Silicon*. Projet EUREKA MEDEA+ T101. Responsable scientifique (2001-2004).
- PROFIT : *Prediction of Temperature Gradients Influencing the Quality of Electronic Products*. Projet IST #12529. Chercheur sous contrat (1999-2000).
- AMATIST : *Analog and Mixed-Signal Advanced Test for Improving System-level Testability*. Projet ESPRIT III #8820. Chercheur sous contrat (1994-1997)
- ARCHIMEDES : *Architectural Methodologies for Advanced Testing of VLSI Systems*. Projet ESPRIT III #7107. Post-doctorat et chercheur sous contrat (1993-1995).
- JESSI-COMMON-FRAME : *A General Framework for CAD/CAE Tools*. Projet ESPRIT III #7364. Boursier et thèse de doctorat (1992).
- JESSI-CAD-FRAME : *Standardised Framework for CAD Tools*. Projet ESPRIT II #5082. Boursier et thèse de doctorat (1990-1991).
- SMART : *System Measurement and Architecture Techniques*. Projet ESPRIT I #1609. Boursier et projet fin d'études ingénieur (1987-1988).

D'autres contrats de recherche

- Contrat de collaboration avec le centre COMPS (Australie). *Conception de dispositifs opto-VLSI* (en cours, 2005-2007).
- IPCI : *Internet-based Performance-Centered Instruction System*. Projet du Programme Leonardo CEC (2003-2004).
- Bourse CIFRE TIMA-ST Microelectronics. *Test structurel des circuits mixtes radiofréquence* (en cours, 2002-2005).
- Bourse CIFRE TIMA-ST Microelectronics. *Etude et développement des techniques BIST pour des circuits mixtes* (en cours, 2003-2006).

B.4. Enseignement et diffusion de l'information scientifique et technique

Participation à des ouvrages de vulgarisation

- Direction de l'ouvrage *Conception des microsystèmes sur silicium*, traité EGEM (Electronique, Génie Electrique, Microsystèmes), Hermès Science Publications, 224 pages, septembre 2002.
- Direction de l'ouvrage, *Dispositifs et physique des microsystèmes sur silicium*, traité EGEM (Electronique, Génie Electrique, Microsystèmes), Hermès Science Publications, 224 pages, septembre 2002.

Participation à des activités d'enseignement

- Cours du diplôme de manager technique FORMATECH INPG/ESC Grenoble, (8 heures), février 2005. Intitulé : *Introduction aux microsystèmes sur silicium*.
- Séminaire à l'Universitat de Girona (4 heures), Espagne, juillet 2004. Intitulé : *Mixed-signals integrated circuit testing - An overview*.
- Séminaire dans l'Action Spécifique Test SoC, Centre National de la Recherche Scientifique (2 heures), Valence, France, avril 2004. Intitulé : *Introduction au test de circuits analogiques, mixtes et microsysteme*.
- Séminaire à l'Ecole Polytechnique de l'Université Grenoble 1 (1 ½ heures), décembre 2003. Intitulé : *Test intégré de composants analogique, mixte et microsysteme*.
- Cours d'été : International Summer School on Advanced Microelectronics (MIGAS) (1 ½ heures), Autrans, France, septembre 2002. Intitulé : *MEMS testing*.

B.5. Encadrement de jeunes chercheurs

Encadrement doctoral

- Thèse de Doctorat (co-direction 50 %, MENRT) : Christian Domingues (*Conception de transducteurs acoustiques micro usinés*, 2001-2005).
Date prévue de soutenance : 29 avril 2005
- Thèse de Doctorat (co-direction 100 %) : Guillaume Prenat (*BIST programmable analogique et mixte en technologie CMOS submicronique*, 2002-2005).
Date prévue de soutenance : 4^{ème} trimestre 2005
- Thèse de Doctorat (co-direction 30 %, CIFRE) : Rabeb Kheriji (*Test structurel des circuits mixtes radiofréquence*, 2002-2005).
Date prévue de soutenance : 1^{er} trimestre 2006
- Thèse de Doctorat (co-direction 80 %, CIFRE) : Luis Rolíndez (*Etude et développement des techniques BIST pour des circuits mixtes*, 2003-2006).
Date prévue de soutenance : 4^{ème} trimestre 2006
- Thèse de Doctorat (co-direction 50 %) : Achraf Dhayni (*Techniques de BIST pour les composants microsysteme*, 2003-2006).
Date prévue de soutenance : 4^{ème} trimestre 2006
- Thèse de Doctorat (co-direction 70 %) : Ahcène Bounceur (*Génération et optimisation de vecteurs de test pour des composants analogiques, mixtes et RF*, 2003-2006).
Date prévue de soutenance : 4^{ème} trimestre 2006
- Thèse de Doctorat (co-direction 80 %) : Livier Lizarraga (*Etude et développement de techniques d'auto-test pour des imageurs CMOS*, 2004-2007).
Date prévue de soutenance : 4^{ème} trimestre 2007
- Thèse de Doctorat (Direction 50 %) : Hoang-Nam Nguyen (*Conception en vue du test de composants MEMS RF à propagation d'ondes acoustiques*, 2004-2007).
Date prévue de soutenance : 4^{ème} trimestre 2007

Encadrement pré-doctoral

- DEA Microélectronique (INPG, Grenoble): Dimitrios Mitrovgenis (*Conception d'un convertisseur analogique/numérique Sigma-Delta en technologie ST 0.12 μm CMOS incorporant des fonctions de self-test*, 2005).
- DEA Micro ondes (INPG, Grenoble) : Jeanne Tong-Bong (*Etude de techniques de BIST de circuits RF*, 2005).
- DEA Microélectronique (INSA, Lyon) : Michel Nowak (*Conception d'un circuit numérique pour le test intégré de circuits linéaires en technologie ST CMOS 0.18 μm* , 2003).
- DEA Signal, Image, Parole, Télécommunication (INPG, Grenoble) : Achraf Dhayni (*Validation de techniques d'auto-test de microsystemes par génération de séquences pseudo aléatoires et analyse de la réponse impulsionnelle*, 2003).
- DEA Recherche Opérationnelle, combinatoire et optimisation (INPG, Grenoble) : Ahcène Bounceur (*Réalisation d'un outil CAO pour la validation de techniques d'autotest des circuits mixtes*, 2003).
- DEA Recherche Opérationnelle, combinatoire et optimisation (INPG, Grenoble) : Abdelatif Zouai (*Réalisation d'un outil de simulation de fautes pour la CAO microélectronique*, 2003).
- DSS Acoustique ultrasonore : Rachid Fasraoui (*Modélisation d'un champ acoustique d'un transducteur ultrasonore microusiné*, 2003).
- DEA Microélectronique (INPG, Grenoble) : B-Z. Thouraud (*Conception d'une interface analogique pour capteurs capacitifs*, 2001).
- DEA Microélectronique (INPG, Grenoble) : Christian Domingues (*Etude d'un microsysteme électroacoustique micro usiné en volume par la face arrière*, 2001).
- DEA Microélectronique (INPG, Grenoble) : Xavier Le Goer (*Réalisation et caractérisation de puces dédiées au test thermique des boîtiers des circuits intégrés*, 2000).
- DEA Microélectronique (INPG, Grenoble) : Spiros Moussouris (*Conception de filtres microelectromécaniques*, 1998).

- Projet fin d'études ingénieur (Escola Tècnica Superior d'Enginyers Industrials de Barcelona, Universitat Politècnica de Catalunya) : Albert Torres (*Modélisation d'un réseau de capteurs répartis*, 2005).
- Projet fin d'études ingénieur (Centro Politécnico Superior, Universidad de Zaragoza, Espagne) : Luis Rolíndez (*Design de circuits de signal mixte en technologie 0.18 μm CMOS*, 2003).
- Projet fin d'études ingénieur (ENSI, Caen) : Christophe Diedrich (*Conception de circuits générateurs de signaux analogiques*, 2002).
- Projet fin d'études ingénieur (Faculté d'Electronique et Télécommunications, Université Polytechnique de Bucarest, Roumanie) : Roman Cosmin (*Réalisation d'un outil d'injection de fautes dans les dispositifs microsystemes*, 2002).

B.6. Animation de la recherche

Organisation de conférences internationales

- General Chair IFIP International Conference on Very Large Scale Integration VLSI-SoC'06, Nice, France, 16-18 octobre 2006.

- Local Chair 4th IEEE Wireless Test Workshop, Cannes, France, 29-30 juin 2005.
- General Chair 11th IEEE International Mixed-Signal Test Workshop, Cannes, France, 27-29 juin 2005.
- Program Chair 10th IEEE International Mixed-Signal Test Workshop, Portland, USA, 23-25 juin 2004.

Organisation de tables rondes et sessions spéciales dans des conférences internationales

- Break-out session au *European Test Workshop*, Corfu, Grèce, mai 2002. Intitulé : *Will analogue and mixed-signal BIST ever become ripe?*
- Table ronde au *20th IEEE VLSI Test Symposium*, Monterey, CA, USA, avril 2002. Intitulé : *SoCs with MEMS? Can we include MEMS in the SoCs design and test flow?*
- Break-out session au *European Test Workshop*, Stockholm, Suède, mai 2001. Intitulé : *Testing of Microsystems : challenge or common knowledge.*

Invitation à des tables rondes dans des conférences internationales

- Table ronde au *1st International Workshop on Advances in Sensors and Interfaces*, Bari, Italie, avril 2005. Intitulé : *Challenges on sensors and sensor interfaces.*
- Table ronde à la *17th Conference on Design of Circuits and Integrated Systems*, Santander, Espagne, novembre 2002. Intitulé : *Challenges on SoCs embedding MEMS/Microsystems - Limits of CMOS, Micro and Nanosystems.*
- Table ronde au *7th Asian Test Symposium*, Singapore, décembre 1998. Intitulé : *Microsystems testing : challenge or common knowledge.*

Participation au comité de programme de conférences internationales

- IEEE European Test Symposium (ETS) : 2002-2005
- IEEE International Mixed-Signals Testing Workshop (IMSTW) : 2002-2005
- SPIE Microtechnologies for the New Millenium, VLSI Circuits and Systems II : 2005
- IFIP International Conference on Very Large Scale Integration (VLSI-SoC) : 2005
- International Workshop on Advances in Sensors and Interfaces (IWASI) : 2005

Participation à des comités de lecture de conférences et revues internationales

- Revues : Journal of Electronic Testing : Theory and Applications, Electronics Letters, IEEE Design & Test of Computers Magazine, Microelectronics Journal, IEEE Transactions on CAD, IEEE Transactions on VLSI.
- Conférences Internationales : IEEE International Conference on Computer-Aided Design, IEEE Design Automation Conference, IEEE The European Design and Test Conference, IEEE International Mixed-Signals Testing Workshop, IEEE VLSI Test Symposium, IEEE International Symposium on Circuits and Systems, IEEE International Test Conference.

B.7. Liste exhaustive de publications

Livres et autres ouvrages

- [1] S. Mir (Ed.) *Conception des microsystemes sur silicium*. Traité EGEM (Electronique, Génie Electrique, Microsystemes). Hermès Science Publications, Paris, France, 224 pages, 2002.
- [2] S. Mir (Ed.) *Dispositifs et physique des microsystemes sur silicium*. Traité EGEM (Electronique, Génie Electrique, Microsystemes). Hermès Science Publications, Paris, France, 224 pages, 2002.
- [3] S. Mir. Heuristic reasoning for an automatic commonsense understanding of logic electronic design specifications. PhD thesis, Department of Computer Science, University of Manchester, 322 pages, October 1993. Also Technical Report UMCS-94-4-2, 246 pages (<http://www.cs.man.ac.uk/cstechrep/Abstracts/UMCS-94-4-2.html>).
- [4] S. Mir. The use of knowledge based techniques for simulation and test of VLSI digital circuits. Master's thesis, University of Manchester, 153 pages, October 1989.
- [5] S. Mir and X. Mir. Aplicació de llenguatges estàndar de descripció del hardware a eines d'ajut al disseny microelectrònic. Work Graduation Dissertation (in Catalan), Department of Electronic Engineering, Universitat Politècnica de Catalunya, Barcelona, 257 pages, July 1987.

Chapîtres dans les ouvrages

- [6] S. Mir and B. Charlot. *From Microelectronics to Integrated Microsystems Testing*. Chapter in *Microsystems Technology – Fabrication, test and reliability*, J. Boussey (Ed.), Hermès Penton Science, 2003.
- [7] S. Mir et S. Martínez. *Introduction aux microsystemes sur silicium*. Chapter in *Conception des microsystemes sur silicium*, S. Mir (Ed.), Hermès Science Publications, 2002, pp. 19-38.
- [8] B. Charlot, S. Martínez et S. Mir. *La CAO des microsystemes*. Chapter in *Conception des microsystemes sur silicium*, S. Mir (Ed.), Hermès Science Publications, 2002, pp. 129-176.
- [9] S. Mir et F. Parrain. *Les interfaces microélectroniques*. Chapter in *Conception des microsystemes sur silicium*, S. Mir (Ed.), Hermès Science Publications, 2002, pp. 177-216.
- [10] S. Mir, B. Charlot et F. Parrain. *Les microsystemes thermiques*. Chapter in *Dispositifs et physique des microsystemes sur silicium*, S. Mir (Ed.), Hermès Science Publications, 2002, pp. 65-104.
- [11] S. Mir et B. Charlot. *Perspectives des microsystemes sur silicium*. Chapter in *Dispositifs et physique des microsystemes sur silicium*, S. Mir (Ed.), Hermès Science Publications, 2002, pp. 199-214.

Reuves à comité de lecture

- [12] L. Rufer, S. Mir, E. Simeu and C. Domingues. On-chip pseudorandom MEMS testing. *Journal of Electronic Testing: Theory and Applications*. Springer Science+Business Media, Vol. 21, 2005, pp. 233-241.
- [13] G. Prenat, S. Mir, L. Rolíndez and D. Vázquez. A low-cost digital frequency testing approach for mixed-signal devices using $\Sigma\Delta$ modulation. *Microelectronics Journal*. Elsevier Ltd. (*à paraître*).
- [14] C. Roman, S. Mir and B. Charlot. Building an analogue fault simulation tool and its application to MEMS. *Microelectronics Journal*. Elsevier Ltd., 34(10), 2003, pp. 897-906.

- [15] S. Mir and B. Charlot. From Microelectronics to Integrated Microsystems Testing. *Nano et micro technologies*. Hermès Science Publications, Paris, 2(1-2), 2002, pp. 249-270.
- [16] B. Charlot, S. Mir, F. Parrain and B. Courtois. Generation of electrically induced stimuli for MEMS self-test. *Journal of Electronic Testing : Theory and Applications*, 17(6):459-470, December 2001. Kluwer Academic Publishers.
- [17] Zs. Benedek, B. Courtois, G. Farkas, E. Kóllar, S. Mir, A. Poppe, M. Rencz, V. Székely and K. Torki. A scalable multi-functional thermal test chip family: design and evaluation. *Journal of Electronic Packaging*, 123(4):323-330, December 2001. American Society of Mechanical Engineers.
- [18] S. Mir, F. Parrain, B. Charlot and D. Veychard. Microbeams with electronically controlled high thermal impedance. *Analog Integrated Circuits and Signal Processing*, 29(1/2):71-83, October/November 2001.
- [19] B. Charlot, S. Mir and B. Courtois. Fault simulation of MEMS using HDLs. *ACRS Journal of Modeling and Simulation of Microsystems*, 2(1):35-42. Applied Computational Research Society, Computational publications, 2001.
- [20] F. Parrain, B. Charlot, S. Mir and B. Courtois. Capteur infrarouge CMOS à thermopiles comportant des fonctions de self-test. *Nano et micro technologies*, 1(3-4):387-412, January 2001. Hermès Science Publications, Paris.
- [21] S. Mir, B. Charlot and B. Courtois. Extending fault-based testing to Microelectromechanical Systems. *Journal of Electronic Testing : Theory and Applications*, 16(3):279-288, June 2000. Kluwer Academic Publishers.
- [22] M. Lubaszewski, S. Mir, V. Kolarik, C. Nielsen and B. Courtois. Design of self-checking fully differential circuits and boards. *IEEE Transactions on VLSI Systems*, 8(2):113-128, April 2000.
- [23] S. Mir and B. Charlot. On the integration of design and test for chips embedding MEMS. *IEEE Design & Test of Computers*, 16(4):28-38, October-December 1999.
- [24] S. Mir, M. Lubaszewski, V. Kolarik and B. Courtois. Fault-based testing and diagnosis of balanced filters. *Analog Integrated Circuits and Signal Processing*, 11(1):5-19, September 1996. Kluwer Academic Publishers.
- [25] S. Mir, M. Lubaszewski and B. Courtois. Unified built-in self-test for fully differential analogue circuits. *Journal of Electronic Testing: Theory and Applications*, 9(1/2):135-151, August/October 1996. Kluwer Academic Publishers.
- [26] S. Mir, M. Lubaszewski and B. Courtois. Fault-based ATPG for linear analogue circuits with minimal size multifrequency test sets. *Journal of Electronic Testing: Theory and Applications*, 9(1/2):43-57, August/October 1996. Kluwer Academic Publishers.
- [27] V. Kolarik, S. Mir, M. Lubaszewski and B. Courtois. Analogue checkers with absolute and relative tolerances. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 14(5):607-612, May 1995.
- [28] S. Mir, X.Mir and A.Rubio. L'EDIF, un format estándar per a la descripció de circuits electrònics. *Questiò* (in Catalan), Barcelona, Spain , 11(3):59-72, 1987.

Conférences invitées dans des congrès internationaux

- [29] E. Simeu, S. Mir and L. Rufer. Concurrent testing of embedded systems: adapting automatic control techniques to microelectronics. In *16th IFAC World Congress*, Invited Talk, Prague, Czech Republic, July 2005.

- [30] S. Mir, L. Rufer, B. Charlot and B. Courtois. On-chip testing of embedded silicon transducers. Invited talk (plenary session) at *16th International Conference on Microelectronics (ICM)*, Tunis, Tunisia, USA, December 2004 pp. 2-7.
- [31] S. Mir, B. Charlot, L. Rufer and B. Courtois. On-chip testing of embedded silicon transducers. Invited talk at *IEEE International SOC Conference (SOCC)*, Santa Clara, California, USA, September 2004, pp. 13-18.
- [32] S. Mir, L. Rufer and B. Courtois. On-chip testing of embedded transducers. Invited Talk at *17th International Conference on VLSI Design*, Mumbai, India, January 2004, pp. 463-472.
- [33] S. Mir. Integrated circuit testing: from Microelectronics to Microsystems. Invited Talk (plenary session) at *5th IFAC Symposium on fault detection, supervision and safety of technical processes (Safeprocess)*, Washington D.C., USA, June 2003, pp. 13-24.
- [34] S. Mir, L. Rolíndez, C. Domingues and L. Rufer. An implementation of memory-based on-chip analogue test signal generation. Invited Talk at *Asia South Pacific Design Automation Conference*, Kitakyushu, Japan, January 2003, pp. 663-668.
- [35] S. Mir. Design and test of next generation integrated systems embedding MEMS. Invited Talk at *2nd Electronic Circuits and Systems Conference*, pages 301-310, Bratislava, Slovakia, September 1999.

Conférences invitées dans des colloques internationaux

- [36] S. Mir, A. Dhayni, L. Rufer. Built-In Self-Test techniques for MEMS. In *1st International Workshop on Advances in Sensors and Interfaces (IWASI)*, Invited talk, Bari, Italy, 19-20 April 2005, pp. 34-38.
- [37] S. Mir, G. Prenat, L. Rolíndez, E. Simeu and L. Rufer. On-chip analogue testing based on $\Sigma\Delta$ modulation. Invited presentation at *Workshop on the testing of high resolution mixed signal interfaces*, Ajaccio, Corsica, May 2004.

Conférences internationales avec comité de lecture

- [38] A. Dhayni, S. Mir, L. Rufer, A. Bounceur and E. Simeu. Effet of non linearities on pseudorandom on-chip MEMS testing. In *11th International Mixed-Signals Testing Workshop*, Cannes, France, June 2005 (*à paraître*).
- [39] A. Dhayni, S. Mir and L. Rufer. Evaluation of impulse response-based BIST techniques for MEMS in the presence of weak nonlinearities. In *European Test Symposium*, Tallin, Estonia, May 2005 (*à paraître*).
- [40] L. Rolíndez, S. Mir and G. Prenat. Digital test of a $\Sigma\Delta$ modulator in a mixed-signal BIST architecture. In *SPIE Microtechnologies for the New Millennium, VLSI circuits and systems II*, Sevilla, Spain, May 2005 (*à paraître*).
- [41] R. Kheriji, V. Danelon, J.L. Carbonero and S. Mir. Optimising test sets for RF components with a defect-oriented approach. In *Design and Test Conference in Europe*, Munich, Germany, March 2005, pp. 170-171.
- [42] R. Kheriji, V. Danelon, J.L. Carbonero and S. Mir. Optimising test sets for RF components with a defect-oriented approach. In *16th International Conference on Microelectronics (ICM)*, Tunis, Tunisia, USA, December 2004, pp. 400-403.
- [43] A. Bounceur, S. Mir and E. Simeu. Optimisation of digitally coded test vectors for mixed-signal components. In *19th Conference on Design of Circuits and Integrated Systems*, Bordeaux, France, November 2004, pp. 895-900.

- [44] G. Prenat, S. Mir, D. Vázquez and L. Rolíndez. A low-cost digital frequency testing approach for mixed-signal devices using $\Sigma\Delta$ modulation. *10th IEEE International Mixed-Signals Testing Workshop*, Portland, USA, June 2004, pp. 107-115.
- [45] A. Dhayni, S. Mir and L. Rufer. MEMS Built-In-Self-Test Using MLS. In *Proceedings 9th IEEE European Test Symposium*, Ajaccio, France, May 2004, pp. 66-71.
- [46] M. A. Naal, E. Simeu and S. Mir. Comparative study of on-line testing methods for AMS systems – Application to decimation filters. In *International Conference on Information and Communication Technologies: from Theory to Applications*, Damascus, Syria, April 2004, pp. 393-394.
- [47] L. Rolíndez, S. Mir, G. Prenat and A. Bounceur. A 0.18 μm CMOS implementation of on-chip analogue test signal generation from digital test patterns. In *IEEE Design and Test Conference in Europe*, Vol. I, Paris, France, February 2004, pp. 704-705.
- [48] C. Domingues, S. Mir and L. Rufer. Design of a MEMS-based ultrasonic pulse-echo system. In *18th Conference on Design of Circuits and Integrated Systems*, Ciudad Real, Spain, November 2003, pp. 623-628.
- [49] M. A. Naal, E. Simeu and S. Mir. On-line testable decimation filter design for AMS systems. In *9th IEEE International On-line Testing Symposium*, Kos, Greece, July 2003, pp. 83-88.
- [50] L. Rufer, S. Mir, E. Simeu and C. Domingues. On-chip pseudorandom MEMS testing. *9th International Mixed-Signal Testing Workshop*, Sevilla, Spain, June 2003, pp. 93-98.
- [51] L. Rufer, E. Simeu and S. Mir. Built-in Self-test of Linear Time Invariant Systems using Maximum-length Sequences. In *IEEE European Test Workshop*, Maastricht, The Netherlands, May 2003, pp. 111-112. Poster presentation.
- [52] L. Rufer, S. Mir, E. Simeu and C. Domingues. On-chip testing of MEMS using pseudo-random test sequences. In *SPIE Symposium on Design, Test, Integration and Packaging of MEMS/MOEMS*, Cannes, France, May 2003, pp. 50-55.
- [53] L. Rufer, E. Simeu and S. Mir. On-chip testing of linear time invariant systems using maximum length sequences. In *IFAC Workshop on Programmable Devices and Systems*, Ostrava, Czech Republic, February 2003, pp. 437-440.
- [54] S. Mir. From microelectronics to microsystem integrated circuit testing. In *8th International Conference on Quality, Reliability, Maintainability*, Sinaia, Rumania, September 2002, pages 237-245.
- [55] S. Mir, C. Diedrich, C. Roman and C. Domingues. On-chip test signal generation for acoustic and ultrasound microelectronic interfaces. In *8th IEEE International Mixed-Signal Testing Workshop*, Montreux, Switzerland, June 2002, pp. 137-144.
- [56] C. Roman, S. Mir and B. Charlot. Building and analogue fault simulation tool and its application to MEMS. In *8th IEEE International Mixed-Signal Testing Workshop*, Montreux, Switzerland, June 2002, pp. 65-74.
- [57] L. Rufer, C. Domingues and S. Mir. Behavioural modelling and simulation of a MEMS-based ultrasonic pulse-echo system. In *SPIE Symposium on Design, Test, Integration and Packaging of MEMS/MOEMS*, Cannes, France, May 2002, pp. 171-182.
- [58] B. Charlot, F. Parrain, S. Mir and B. Courtois. A self-testable CMOS thermopile-based infrared imager. In *SPIE Symposium on Design, Test, Integration and Packaging of MEMS/MOEMS*, pages 96-103, Cannes, France, April 2001.
- [59] B. Charlot, S. Mir, F. Parrain and B. Courtois. Electrically induced stimuli for MEMS self-test. In *19th IEEE VLSI Test Symposium*, pages 210-215, Marina del Rey, CA, USA, April 2001.
- [60] A. Poppe, G. Farkas, M. Rencz, Zs. Benedek, L. Pohl, V. Székely, K. Torki, S. Mir and B. Courtois. Design issues of a multi-functional intelligent thermal test die. In *17th*

- Annual IEEE Semiconductor Thermal Measurement and Management Symposium (SEMI-THERM)*, pages 50-57, San Jose, CA, USA, March 2001.
- [61] B. Courtois, S. Mir, B. Charlot and M. Lubaszewski. An analog-based approach for MEMS testing. In *2nd IEEE Latin American Test Workshop*, pages 200-203, Cancún, México, February 2001.
- [62] B. Courtois, S. Mir, B. Charlot and M. Lubaszewski. From microelectronics to MEMS testing. In *IEEE Microelectronics Reliability and Qualification Workshop*, Glendale, California, USA, October-November 2000, paper VI.8.
- [63] A. Poppe, G. Farkas, M. Rencz, Zs. Benedek, L. Pohl, V. Székely, K. Torki, S. Mir and B. Courtois. Design of a scalable multi-functional thermal test die with direct and boundary scan access for programmed excitation and data measurement. In *6th International Workshop on Thermal Investigations of ICs and Systems*, pages 267-272, Budapest, Hungary, September 2000.
- [64] S. Mir, B. Charlot, F. Parrain and D. Veychard. High thermal impedance beams for suspended MEMS. In *SPIE Symposium on Design, Test, Integration and Packaging of MEMS/MOEMS*, volume 4019, pages 99-107, Paris, France, May 2000.
- [65] S. Mir, B. Charlot, G. Nicolescu, P. Coste, F. Parrain, N. Zergainoh, B. Courtois, A. Jerraya and M. Rencz. Towards design and validation of mixed-technology SoCs. In *10th ACM Great Lakes Symposium on VLSI*, pages 29-33, Chicago, Illinois, USA, March 2000.
- [66] B. Charlot, S. Mir, E.F. Cota, M. Lubaszewski and B. Courtois. Fault modelling of suspended thermal MEMS. In *IEEE International Test Conference*, pages 319-328, Atlantic City, NJ, USA, 28-30 September 1999.
- [67] S. Mir, B. Charlot and B. Courtois. Extending fault-based testing to Microelectromechanical Systems. In *IEEE European Test Workshop*, pages 64-68, Constance, Germany, 25-28 May 1999.
- [68] B. Charlot, S. Moussouris, S. Mir and B. Courtois. Fault modeling of electrostatic comb-drives for MEMS. In *SPIE Symposium on Design, Test and Microfabrication of MEMS/MOEMS*, pp. 398-405, Paris, France, March-April 1999.
- [69] B. Charlot, S. Mir, E.F. Cota, M. Lubaszewski and B. Courtois. Fault simulation of MEMS using HDLs. In *SPIE Symposium on Design, Test and Microfabrication of MEMS/MOEMS*, pp. 70-77, Paris, France, March-April 1999.
- [70] B. Courtois, J.M. Karam, S. Mir, M. Lubaszewski, V. Székely, M. Rencz, K. Hofmann and M. Glesner. Design and test of MEMS. In *12th International Conference on VLSI Design*, pages 270-275, Goa, India, January 1999.
- [71] J. Velasco-Medina, S. Mir and M. Nicolaidis. Current-based testing for high-frequency CMOS operational amplifiers. In *XIII International Conference on Design of Circuits and Integrated Systems DCIS'98*, pages 438-443, Madrid, Spain, November 1998.
- [72] B. Courtois, J.M. Karam, S. Mir, M. Lubaszewski, V. Székely, M. Rencz, G. Kelly, J. Alderman, A. Morrissey, K. Hofmann and M. Glesner. CAD, CAT and MPW for MEMS. In *Workshop on Synthesis and System Integration of Mixed Technologies SASIMI'98*, pages 207-219, Sendai, Japan, October 1998.
- [73] A. Castillejo, D. Veychard, S. Mir, J.M. Karam and B. Courtois. Failure mechanisms and fault classes for CMOS-compatible microelectromechanical systems. In *IEEE International Test Conference*, pages 541-550, Washington DC, USA, October 1998.
- [74] J. Velasco-Medina, S. Mir and M. Nicolaidis. Current-testable high-frequency CMOS operational amplifiers. In *11th Annual IEEE International ASIC Conference*, pages 95-99, Rochester, New York, USA, September 1998.
- [75] M. Lubaszewski, M. Renovell, S. Mir, F. Azais and Y. Bertrand. A built-in multi-mode stimuli generator for analogue and mixed-signal testing. In *XI IEEE Brazilian*

- Symposium on Integrated Circuit Design*, pages 175-178, Buzios, Rio de Janeiro, Brazil, September-October 1998.
- [76] M. Lubaszewski, M. Renovell, S. Mir, F. Azais and Y. Bertrand. A multi-mode stimuli generator for analogue and mixed-signal built-in self-test. In *4th IEEE International Mixed-Signal Testing Workshop*, pages 100-106, The Hague, Holland, June 1998.
- [77] S. Mir, A. Rueda, D. Vázquez and J.L. Huertas. Switch-level fault coverage analysis of switched-capacitor systems. In *IEEE Design, Automation and Test Conference in Europe DATE-98*, pages 810-814, Paris, France, February 1998.
- [78] S. Mir, A. Rueda, D. Vázquez and J.L. Huertas. Test optimization in switched-capacitor systems through switch-level fault coverage analysis. In *XII International Conference on Design of Circuits and Integrated Systems DCIS'97*, pages 125-130, Seville, Spain, November 1997.
- [79] M. Renovell, M. Lubaszewski, S. Mir, F. Azais and Y. Bertrand. A multi-mode signature analyzer for analog and mixed circuits. In *9th IFIP International Conference on Very Large Scale Integration*, pages 65-76, Gramado, Brazil, August 1997.
- [80] S. Mir, A. Rueda, J.L. Huertas and V. Liberali. A BIST technique for $\Sigma\Delta$ modulators based on circuit reconfiguration. In *3rd IEEE International Mixed Signal Testing Workshop*, pages 179-184, Seattle, USA, June 1997.
- [81] S. Mir, A. Rueda, T. Olbrich, E. Peralías and J.L. Huertas. SWITTEST: Automatic switch-level fault simulation and test evaluation of switched-capacitor systems. In *IEEE 34th Design Automation Conference*, pages 281-286, Anaheim, USA, June 1997.
- [82] M. Lubaszewski, S. Mir and L. Pulz. ABILBO : Analog built-in block observer. In *14th IEEE International Conference on Computer-Aided Design*, pages 600-603, San Jose, California, USA, November 1996.
- [83] F. Francesconi, V. Liberali, M. Lubaszewski and S. Mir. Design of high-performance band-pass sigma-delta modulator with concurrent error detection. In *3rd IEEE International Conference on Electronics, Circuits and Systems*, pages 1202-1205, Rhodes, Greece, October 1996.
- [84] S. Mir, V. Kolarik, M. Lubaszewski and D. Vázquez. Detectability of differential bridges in balanced circuits. In *IEEE International Mixed Signal Testing Workshop*, pages 23-28, Quebec, Canada, May 1996.
- [85] M. Lubaszewski, S. Mir and L. Pulz. A multifunctional test structure for analog BIST. In *IEEE International Mixed Signal Testing Workshop*, pages 239-244, Quebec, Canada, May 1996.
- [86] S. Mir, M. Lubaszewski, V. Kolarik and B. Courtois. Automatic test generation for maximal diagnosis of linear analogue circuits. In *IEEE The European Design and Test Conference*, pages 254-258, Paris, France, March 1996.
- [87] M. Lubaszewski, S. Mir, A. Rueda and J.L. Huertas. Concurrent error detection in analog and mixed-signal integrated circuits. In *IEEE 38th Midwest Symposium on Circuits and Systems*, pages 1151-1156, Rio de Janeiro, Brazil, August 1995.
- [88] S. Mir, M. Lubaszewski, V. Liberali and B. Courtois. Built-in self-test approaches for analogue and mixed-signal integrated circuits. In *IEEE 38th Midwest Symposium on Circuits and Systems*, pages 1145-1150, Rio de Janeiro, Brazil, August 1995.
- [89] S. Mir, M. Lubaszewski, V. Kolarik and B. Courtois. Programmable self-checking analogue oscillators. In *IEEE International On-line Testing Workshop*, pages 30-33, Nice, France, July 1995.
- [90] S. Mir, M. Lubaszewski, V. Kolarik and B. Courtois. Analogue on-line/off-line test unification for fully differential circuits. In *IEEE International Mixed Signal Testing Workshop*, pages 56-61, Villard-de-Lans, France, June 1995.

- [91] S. Mir, M. Lubaszewski, V. Kolarik and B. Courtois. Optimal ATPG for analogue built-in self-test and fault diagnosis. In *IEEE International Mixed Signal Testing Workshop*, pages 80-85, Villard-de-Lans, France, June 1995.
- [92] M. Lubaszewski, V. Kolarik, S. Mir, C. Nielsen and B. Courtois. Mixed-signal circuits and boards for high safety applications. In *IEEE The European Design and Test Conference*, pages 34-39, Paris, France, March 1995.
- [93] S. Mir, V. Kolarik, M. Lubaszewski, C. Nielsen and B. Courtois. Built-in self-test and fault diagnosis of fully differential analogue circuits. In *12th IEEE International Conference on Computer-Aided Design*, pages 486-490, San Jose, California, USA, November 1994.
- [94] S. Mir, V. Kolarik, M. Lubaszewski and B. Courtois. Built-in self-test of fully differential circuits. In *Electronic Devices and Systems Conference EDS'94*, Vol. II, Brno, Czech Republic, November 1994, pp. 33-36.
- [95] V. Kolarik, M. Lubaszewski, S. Mir and B. Courtois. A brief on analogue on-line checkers. In *Electronic Devices and Systems Conference EDS'94*, Vol. I, Brno, Czech Republic, November 1994, pp. 198-201.
- [96] S. Mir and N.P. Filer. Re-engineering hardware specifications by exploiting design semantics. In *IEEE European Design Automation Conference-EuroDAC*, pages 336-341, Grenoble, France, September 1994.
- [97] S. Mir and N.P. Filer. Heuristic classification of cells in logic electronic specifications. In *10th IEEE Conference on Artificial Intelligence for Applications*, pages 23.1-23.7, San Antonio, Texas, USA, March 1994.
- [98] S. Mir, N.P. Filer and H.J. Kahn. Using semantic information to reason about the structure of VLSI designs. In *IEEE The European Design Automation Conference*, page 589, Amsterdam, The Netherlands, February 1991. Poster presentation.
- [99] X. Mir, S. Mir, A. Rubio and J. Figueras. A flexible EDIF translator and its application to the EDIF masklayout view. In *European EDIF Forum*, pages 4.45-4.63, Brussels, Belgium, September 1987.

Conférences nationales et autres communications sans comité de lecture

- [100] A. Dhayni, S. Mir, L. Rufer and A. Bounceur. Autotest Intégré des Microsystèmes Nonlinéaires. In *8^{ème} Journées Nationales du Réseau Doctoral de Microélectronique*, Paris, France, May 2005, pp. 256-258.
- [101] A. Bounceur, A. Dhayni, S. Mir and L. Rufer. Génération de vecteurs de test pour les MEMS non linéaires pour le calcul des noyaux de Volterra. In *8^{ème} Journées Nationales du Réseau Doctoral de Microélectronique*, Paris, France, May 2005, pp. 340-342.
- [102] R. Kheriji, V. Danelon, J.L. Carbonero and S. Mir. Test orienté défaut pour les circuits radio fréquences. In *14^{ème} Journées Nationales Microondes*, Nantes, France, May 2005.
- [103] S. Mir. Mixed-signals integrated circuit testing - An overview. Seminar at Universitat de Girona (4 hours), Spain, July 2004.
- [104] A. Bounceur, S. Mir and E. Simeu. Génération et optimisation de vecteurs de test pour des composants analogiques et mixtes. In *7^{ème} Journées Nationales du Réseau Doctoral de Microélectronique*, Marseille, France, May 2004, pp. 198-200.
- [105] S. Mir. Analogue and mixed-signal integrated circuit testing: An overview. *Action Spécifique Test SoC*, Centre National de la Recherche Scientifique, Valence, France, 1st April 2004.

- [106] S. Mir. Mixed-signals testing - A tutorial on testing of integrated analogue, mixed-signal and MEMS devices. Seminar at Ecole Polytechnique de l'Université Grenoble 1, France, December 2003.
- [107] L. Rufer, S. Mir, C. Domingues and E. Simeu. MLS-based technique for MEMS characterization. In *3rd International Workshop on Microfabricated Ultrasonic Transducers*, Lausanne, Switzerland, June 2003, pp. 157-164.
- [108] B. Charlot and S. Mir. MEMS testing. In *International Summer School on Advanced Microelectronics (MIGAS)*. Autrans, France, September 2002.
- [109] S. Mir, L. Rufer and C. Domingues. Behavioural modelling and simulation of a MUT-based pulso-echo system. In *2nd International Workshop on Microfabricated Ultrasonic Transducers*, Besançon, France, June 2002, pp. 18-24.
- [110] C. Domingues, L. Rufer and S. Mir. Modélisation et simulation d'un microsystème ultrasonore pour une application pulse-echo. In *5^{ème} Journées Nationales du Réseau Doctoral de Microélectronique*, pages 87-88, Grenoble, France, April 2002.
- [111] S. Mir and C. Domingues. On-chip test signal generation for analogue and mixed-signal cores. In *1st MEDEA+ Open Workshop TechnoDat*, Paris, France, March 2002.
- [112] S. Mir, L. Rufer, B.-Z. Thouraud and M. Simo. CMOS front-end for capacitive micromachined ultrasonic transducers. In *1st International Workshop on Microfabricated Ultrasonic Transducers*, Rome, Italy, May 2001.
- [113] L. Rufer and S. Mir. Analysis of acoustic capacitive transducers. In *1st International Workshop on Microfabricated Ultrasonic Transducers*, Rome, Italy, May 2001.
- [114] B. Charlot and S. Mir. Intégration de la conception et du test dans des puces avec dispositifs microsystème embarqués. In *Colloque CAO de circuits intégrés et systèmes*, CNRS, pages 26-29, Aix-en-Provence, France, 10-12 mai 1999.
- [115] S. Mir, J.M. Karam and B. Courtois. Technologies and fabrication processes for microsystems. In *Forum and exhibition on microtechnologies: from Microsystems to measurements of micro- and nano-mechanical properties of materials*, Liège, Belgium, 26-27 May 1998.
- [116] S. Mir, A. Rueda, T. Olbrich, E. Peralías and J.L. Huertas. A tool for the switch-level fault simulation and test evaluation of switched-capacitor systems. In *Proceedings of ESPRIT Open Workshop AMATIST*, Enschede, The Netherlands, May 1997.
- [117] S. Mir, A. Rueda, D. Vázquez and J.L. Huertas. A comparative study of test techniques for a switched-capacitor bandpass filter. In *Proceedings of ESPRIT Open Workshop AMATIST*, Enschede, The Netherlands, May 1997.
- [118] M. Lubaszewski, V. Kolarik, S. Mir and B. Courtois. Self-checking analogue and mixed-signal fully differential circuits. In *IEEE BIST/DFT Workshop*, Vail, USA, April 1994.
- [119] N.P. Filer, H.J. Kahn, D. Wray and S. Mir. A prototype browser for design information and semantics captured from a design representation in EDIF. In *Proceedings of ESPRIT Open Workshop JESSI-CAD-FRAME*, pages 50-56, University of Karlsruhe, Germany, January 1991.
- [120] S. Mir and N.P. Filer. Using multiple-levels of knowledge to reason about the structure of VLSI digital circuits. In *7th UK Deep Knowledge Based Systems Workshop*, United Kingdom, April 1990.
- [121] S. Mir. EDIF Keywords. In *International EDIF Workshop*, Barcelona, Spain, June 1988.

Logiciels

- [122] S. Mir. Automatic switch-level fault simulation and test evaluation of switched-capacitor systems. Instituto de Microelectrónica de Sevilla, July 1997. SWITTEST V1.0 User's Guide, 71 pages.

Autres

- [123] S. Mir. Challenges on sensors and sensor interfaces. In Panel of *1st International Workshop on Advances in Sensors and Interfaces*, Bari, Italy, April 2005.
- [124] S. Mir. Challenges on SoCs embedding MEMS/MicroSystems - Limits of CMOS, Micro and Nanosystems. In Panel of *17th Conference on Design of Circuits and Integrated Systems*, Santander, Spain, November 2002.
- [125] S. Mir and H.G. Kerkhoff. Will analogue and mixed-signal BIST ever become ripe ? In *IEEE European Test Workshop*, Break-out Session, Corfu, Greece, May 2002.
- [126] S. Mir, H. Kerkhoff, R.D. Blanton, H. Bederr and H. Klim. SoCs with MEMS ? Can we include MEMS in the SoCs design and test flow ? In Panel of *20th IEEE VLSI Test Symposium*, page 449, Monterey, CA, USA, April/May 2002.
- [127] H.G. Kerkhoff and S. Mir. Testing of microsystems : challenge or common knowledge. In *IEEE European Test Workshop*, Break-out Session, Stockholm, Sweden, May 2001.
- [128] Zs. Benedek, G. Farkas, L. Pohl, A. Poppe, M. Rencz, V. Székely, K. Toriki and S.Mir. Design of a multi-functional intelligent thermal test die. In *1st Prize in the CMP DATE 2001 Design Contest*, Munich, Germany, March 2001.
- [129] S. Mir. Microsystem testing: challenge or common knowledge. In Panel of *Asian Test Symposium*, Singapore, December 1998.

Annexe C :

Autres Références Bibliographiques

C.1. Références bibliographiques

- [130] M. Nicolaidis, I. Jansch and B. Courtois. Strongly code disjoint checkers. In *14th International Symposium on Fault Tolerant Computing*, Kissemmee, FL, June 1984.
- [131] M. Nicolaidis. Self-exercising checkers for Unified Built-in Self-Test (UBIST). *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 8(3), March 1989, pp. 203-218.
- [132] M. Lubaszewski and B. Courtois. On the design of self-checking boundary scannable boards. In *International Test Conference*, 1992, pp. 372-381.
- [133] V. Kolarik, M. Lubaszewski and B. Courtois. Towards Self-Checking Mixed-Signal Integrated Circuits. In *European Solid-State Circuits Conference*, Seville, Espagne, Septembre 1993, pp. 202-205.
- [134] V. Kolarik, M. Lubaszewski and B. Courtois. Designing Self-Exercising Analogue Checkers. In *12th IEEE VLSI Test Symposium*, Cherry Hill, New Jersey, USA, April 1994, pp. 252-257.
- [135] M. Lubaszewski. Le test unifié de cartes appliqué à la conception de systèmes fiables. *Phd Thesis*, Institut National Polytechnique de Grenoble, June 1994.
- [136] V. Kolarik. Techniques avancées de test de circuits analogiques et mixtes analogiques/numériques. *PhD thesis*, Institut National Polytechnique de Grenoble, October 1994.
- [137] B. Courtois and M. Lubaszewski. On-line and off-line testing: from digital to analog, from circuits to boards. In *European Solid-State Circuits Conference*, September 1995, pp. 34-37.
- [138] K.D. Wagner and T.W. Williams. Design For Testability of Mixed Signal Integrated Circuits. In *IEEE International Test Conference*, 1988, pp. 823-828.
- [139] C.-L. Wey. Built-In Self-Test (BIST) Structure for Analog Circuit Fault Diagnosis. *IEEE Transactions on Instrumentation and Measurement*, 39(3), June 1990, pp. 517-521.
- [140] M.J. Ohletz, Hybrid Built-In Self-Test (HBIST) for Mixed Analog/Digital Integrated Circuits. In *2nd European Test Conference*, 1991, pp. 307-316.
- [141] A. Chatterjee. Concurrent Error Detection in Linear Analog and Switched-Capacitor State Variable Systems using Continuous Checksums. In *IEEE International Test Conference*, 1991, pp. 582-591.
- [142] S. Krishnan, S. Sahli and C. Wey. Test Generation and Concurrent Error Detection in Current-Mode A/D Converters. In *IEEE International Test Conference*, 1992, pp. 312-320.
- [143] J.F. Duque-Carrillo. Control of the common-mode component in CMOS continuous-time fully differential signal processing. *Analog integrated circuits and signal processing*, Vol. 4, 1993, pp. 131-140.
- [144] K. Parker. *The boundary scan handbook*. Kluwer Academic Publishers, 2003.
- [145] A.H. Bratt, R.J. Harvey, A.P. Dorey and A.M.D. Richardson. Design-for-test structure to facilitate test vector application with low performance loss in non-test mode. *Electronics Letters*, Vol. 29, No. 16, August 1993, pp. 1438-1440.
- [146] B. Vinnakota, R. Harjani and N.J. Stessman. System-level design for test of fully differential analog circuits. In *Design Automation Conference*, 1995, pp. 450-454.
- [147] H.-G.D. Stratigopoulos and Y. Makris. An analog checker with input-relative tolerance for duplicate signals. In *9th IEEE International On-line Testing Symposium*, Kos, Greece, 2003, pp. 54-58
- [148] M. Slamani and B. Kaminska. T-BIST : A built-in-self-test for analog circuits based on parameter translation. In *Asian Test Symposium*, 1993, pp. 172-177.

- [149] K. Suyama, S.C. Fang and Y.P. Tsividis. Simulation of mixed switched-capacitor/digital networks with signal-driven switches. *IEEE Journal of Solid-State Circuits*, SC-25(6):1403-1413, December 1990.
- [150] E. Romero, G. Peretti, G. Huertas and D. Vázquez. Test of switched-capacitors ladder filters using OBT. In 10th *IEEE International Mixed-Signals Testing Workshop*, Portland, USA, pp. 116-121.
- [151] A. Castillejo. Etudes des mécanismes de défaillances des microsystèmes CMOS-compatibles. DEA Microélectronique, Laboratoire TIMA, juin 1997.
- [152] M. Lubaszewski, E.F. Cota and B. Courtois. Microsystems testing: an approach and open problems. In *IEEE Design, Automation and Test in Europe Conference*, Paris, France, February 1998, pp. 23-26.
- [153] International Technology Roadmap for Semiconductors, 2004 (<http://public.itrs.net>).
- [154] W. Vermeiren, B. Straube and G. Elst. Microsystem fault simulation — Aspects and requirements. *Microsystem technologies*, Berlin, Germany, October 1994, pp. 19-21.
- [155] W. Vermeiren, B. Straube and A. Holubek. Defect-oriented experiments in fault modeling and fault simulation of microsystem components. In *IEEE European Design and Test Conference*, Paris, France, March 1996, pp. 522-527.
- [156] T. Olbrich, A. Richardson, B. Straube and W. Vermeiren. Integrated test support for micro-electro-mechanical-systems (MEMS). In *5th International Conference on Micro-, Electro-, Opto-, Mechanical Systems and Components*, Potsdam, Germany, September 1996, pp. 273-279.
- [157] A. Kolpekwar and R.D. (Shawn) Blanton. Development of a MEMs testing methodology. In *IEEE International Test Conference*, Washington DC, USA, November 1997, pp. 923-931.
- [158] T. Mukherjee and G.K. Fedder. Structured design of microelectromechanical systems. In *Design Automation Conference*, Anaheim, USA, 1997, pp. 680-685.
- [159] B. Charlot, F. Parrain, N. Galy, S. Basrour and B. Courtois. A sweeping mode integrated fingerprint sensor with 256 tactile microbeams. *IEEE Journal of microelectromechanical systems*, Vol. 4, No. 13, August 2004.
- [160] D. Veychard. Conception et réalisation d'un convertisseur électrothermique à grande constante de temps en technologie microsystème pour un disjoncteur thermique. *PhD thesis*, Institut National Polytechnique de Grenoble, France, December 1999.
- [161] K. Arabi and B. Kaminska. Testing analog and mixed-signal integrated circuits using oscillation-test method. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, Vol. 16, No. 7, July 1997, pp. 745-753.
- [162] D. Vázquez, G. Huertas, G. Leger, E. Peralías, A. Rueda and J.L. Huertas. On-chip evaluation of oscillation-based-test output signals for switched-capacitor circuits. *Analog Integrated Circuits and Signal Processing*, Vol. 33, 2002, pp. 201-211.
- [163] M.F. Toner and G.W. Roberts. A frequency response, harmonic distortion and intermodulation distortion test for BIST of a Sigma-Delta ADC. *IEEE Transactions on circuits and systems – II: Analog and digital signal processing*, Vol. 43, No. 8, August 1996, pp. 608-613.
- [164] B. Dufort and G.W. Roberts. A On-chip analog signal generation for mixed-signal Built-In Self-Test, *IEEE Journal of Solid-State Circuits*, Vol. 34, No. 3, March 1999, pp. 318-330.
- [165] C.-K. Ong, K.-T. Cheng and L.-C. Wang. Delta-sigma modulator based mixed-signal BIST architecture for SoC. In *Asia South Pacific Design Automation Conference*, Kitakyushu, Japan, January 2003, pp. 669-674.

- [166] C. Y. Pan, K. T. Cheng, Pseudorandom testing for mixed-signals circuits, *IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems*, Vol. 16, No. 10, 1173-1185, 1997.
- [167] F. Azais, S. Bernard, Y. Bertrand and M. Renovell. Implementation of a linear histogram BIST for ADC. In *IEEE International Test Conference*, 2000, pp. 590-595.
- [168] S. Sunter and N. Nagi. A simplified polynomial-fitting algorithm for DAC and ADC BIST. In *IEEE International Test Conference*, 1997, pp. 389-395.
- [169] S. Sunter and A. Roy. BIST for Phase-Locked Loops in digital applications. In *IEEE International Test Conference*, 1999, pp. 532-540.
- [170] S. Tabatabaei and A. Ivanov. Embedded timing analysis: a SoC infrastructure. *IEEE Design and Test of Computers*, 2002, pp. 24-36.
- [171] J. Turino. Reducing mixed-signal SoC test costs using BIST. In *IEEE International Mixed-signal Testing Workshop*, 2001, pp. 103-107.
- [172] M. Mahoney. *DSP-based testing of analog and mixed-signal circuits*, IEEE Computer Society Press, Washington DC, 1987.
- [173] D. Vázquez, G. Leger, G. Huertas, A. Rueda, and J.L. Huertas. A Method for Parameter Extraction of Analog Sine-Wave Signals for Mixed-Signal Built-In-Self-Test. In *IEEE Design and Test Conference in Europe*, Paris, France, February 2004, pp. 298-303.
- [174] M. Donadio. CIC Filter Introduction – An introduction to Cascaded Integrator-Comb (CIC) filters. www.dspguru.com/info, 2000.
- [175] S.C. Terry, H.V. Allen and D.W. De Bruin. Accelerometer systems with self-testable features. *Sensors and Actuators*, Vol. 20, 1989, pp. 153-161.
- [176] Analog Devices. Monolithic accelerometer with signal conditioning. Analog Devices, Inc., ADXL50 Technical note, Norwood MA, USA, 1996.
- [177] L. Zimmermann, J.Ph. Ebersohl, F. Le Hung, J.P. Berry, F. Baillieu, P. Rey, B. Diem, S. Renard, P. Caillat, “Airbag application: a microsystem including a silicon capacitive accelerometer, CMOS switched capacitor electronics and true self-test capability”, *Sensors and Actuators A*, 46-47, 1995, p.190-195.
- [178] R. Puers, D. De Bruyker, A. Cozma, “A novel redundant pressure sensor with self test function”, *Sensors and Actuators A vol 60*, 1997, p. 68-71.
- [179] A. Cozma, Lapadatu, H. Jakobsen and R. Puers. A New Concept for a Self-Testable Pressure Sensor based on the Bimetal Effect. In *10th International Conference on Solid-State Sensors and Actuators (Transducers'99)*, Sendai, Japan, June 1999.
- [180] N. Deb and R.D. Blanton. Multi-modal Built-In-Self-Test for symmetric Microsystems. In *22nd IEEE VLSI Test Symposium*, 2004, pp. 139-147.
- [181] X. Xiong, Y.-L. Wu and W.-B. Jone. A dual-mode Built-In-Self-test technique for capacitive MEMS devices. In *22nd IEEE VLSI Test Symposium*, 2004, pp. 148-153.
- [182] R. Puers, S. Reyntjens and D. De Bruyker. Remote Sensors with Self-Test: New Opportunities to Improve the Performance of Physical Transducers. *Advanced Engineering Materials*, Vol. 3, No. 10, pp. 788-795, October 2001.
- [183] V. Verouille, Y. Bertrand, L. Latorre and P. Nouet. Test and testability of a monolithic MEMS for magnetic field sensing. *Journal of electronic testing: theory and applications*, Vol. 17, 2001, pp. 439-450.
- [184] C. Kuratli, Q. Huang, ”A CMOS ultrasound range-finder microsystem”, *IEEE Journal of Solid-State Circuits*, **35**, 2005-2017, 2000.
- [185] R. Nowak and B. Van Veen. Random and pseudorandom inputs for Volterra filter identification. *IEEE Transactions on Signal Processing*, August 1994, pp. 2124-2134.

- [186] M. Reed and M. Hawksford. Identification of discrete Volterra series using maximum length sequences. *IEE Proceedings on Circuits, Devices and Systems*, 143(5), October 1996, pp. 241-248.
- [187] R. D. Nowak and B. D. Van Veen. Random and pseudorandom excitation sequences for nonlinear system identification. *IEEE Transactions on Nonlinear Digital Signal Processing*, 2.1_5.1-2.1_5.6, 1993.
- [188] L. Milor and A. Sangiovanni-Vincentelli. Optimal test set design for analog circuits. In *IEEE International Test Conference*, 1990, pp. 294-297.
- [189] N. Nagi and J.A. Abraham. Hierarchical fault modelling for analog and mixed-signal circuits. In *IEEE VLSI Test Symposium*, 1992, pp. 96-101.
- [190] V.B. Litovski, I.V. Litovski and M. Zwolinski. Concurrent analog fault simulation, the equation formulation aspect. In *International journal of circuit theory and applications*, 32(6), 2004, pp. 487-507.
- [191] N. Nagi, A. Chatterjee, A. Balivada and J.A. Abraham. Efficient multisine testing of analog circuits. In *8th International Conference on VLSI design*, New Delhi, India, January 1995, pp. 234-238.
- [192] M. Slamani and B. Kaminska. Multifrequency testability analysis for analog circuits. In *12th IEEE VLSI Test Symposium*, Cherry Hill, New Jersey, USA, 1994, pp. 54-59.
- [193] A. Halder, S. Bhattacharya and A. Chatterjee. Automatic multitone alternate test generation for RF circuits using behavioural models. In *IEEE International Test Conference*, 2003, pp. 665-673.

ISBN: 2-84813-059-8