



HAL
open science

Synthétiseurs de fréquence monolithiques micro-ondes à 10 et 20 GHz en technologies BiCMOS SiGe 0,25 et 0,35 um

Mathilde Sié

► **To cite this version:**

Mathilde Sié. Synthétiseurs de fréquence monolithiques micro-ondes à 10 et 20 GHz en technologies BiCMOS SiGe 0,25 et 0,35 um. Micro et nanotechnologies/Microélectronique. Université Paul Sabatier - Toulouse III, 2004. Français. NNT: . tel-00010235

HAL Id: tel-00010235

<https://theses.hal.science/tel-00010235>

Submitted on 21 Sep 2005

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Année 2004

Thèse

préparée au

Laboratoire d'Analyse et d'Architecture des Systèmes du CNRS

en vue de l'obtention du

Doctorat de l'Université Paul Sabatier de Toulouse

Spécialité : Microélectronique

par

Mathilde SIÉ

Synthétiseurs de fréquence monolithiques micro-ondes à 10 et 20 GHz en technologies BiCMOS SiGe 0,25 et 0,35 μm

Soutenue le 07 juillet 2004 devant le jury :

Président	Jacques	GRAFFEUIL
Directeur de thèse	Éric	TOURNIER
Rapporteurs	Jean-Michel Yann	FOURNIER DEVAL
Responsables industriels	Isabelle	TELLIEZ
Examineur	Thierry	PARRA
Invité	Jean-Louis	CAZAUX

Cette thèse a été préparée au LAAS-CNRS
7, Avenue du Colonel Roche, 31077 Toulouse Cedex 4

Rapport LAAS N ° 04250

Avant Propos

Le travail présenté dans ce mémoire a été effectué au sein de deux équipes, la première est l'équipe de recherche « Composant et Intégration des Systèmes Hyperfréquences pour les Télécommunications (CISHT) » du Laboratoire d'Analyse et d'Architecture des Systèmes (LAAS) du CNRS de Toulouse, et la seconde est l'équipe « Analog/RF » au sein du département Design Automation and Integrated Systems (DAIS) de l'entreprise STMicroelectronics située à Crolles.

Je remercie en premier lieu Messieurs Jean-Claude Laprie et Malik Ghallab, successivement Directeurs du LAAS pour la confiance qu'ils m'ont témoignée en m'accueillant dans ce laboratoire.

Je remercie vivement Monsieur Jacques Graffeuil, Professeur à l'Université Paul Sabatier (Toulouse III), qui m'a fait l'honneur d'assurer la présidence du jury de thèse, de m'avoir accueillie au sein de l'équipe Composants et Circuits Micro-ondes (CCM) qu'il dirigeait à mon arrivée au laboratoire. Je remercie également Monsieur Olivier Llopis, Chargé de recherche au LAAS, qui a pris sa succession à la tête de l'équipe dont le nom est devenu « Composants et Intégration de Systèmes Hyperfréquences pour les Télécommunications ».

Je remercie Monsieur Vincent Le-Goascoz, responsable des collaborations entre la société STMicroelectronics et les laboratoires universitaires à Crolles, ainsi que Madame Isabelle Telliez, Responsable de l'équipe Analog/RF à STMicroelectronics (Crolles) pour m'avoir accueillie dans son équipe où j'ai terminé mes travaux de thèse. Je tiens également à les remercier pour avoir accepté d'examiner et de juger mon mémoire.

J'adresse également mes remerciements à Monsieur Jean-Michel Fournier, Professeur à l'Institut National Polytechnique de Grenoble, et à Monsieur Yann Deval, Maître de Conférences à l'Université de Bordeaux I qui ont bien voulu me faire l'honneur de juger ce travail en acceptant d'être rapporteurs.

Je remercie Monsieur Thierry Parra, Professeur à l'Université Paul Sabatier, et Monsieur Jean-Louis Cazaux, Responsable R&D à Alcatel-Space, pour l'honneur qu'ils m'ont fait de participer à mon jury de thèse.

Je tiens à remercier vivement Éric Tournier, Maître de Conférences à l'Université Paul Sabatier - Toulouse III, qui a assuré la direction de cette thèse. L'aboutissement de ces travaux a été possible grâce à sa disponibilité (même les week-ends!), son dévouement et la pédagogie avec laquelle il m'a encadrée.

Je remercie par ailleurs tous les membres permanents de l'équipe CISHT du LAAS et de l'équipe Analog/RF de STMicroelectronics, dont je n'ai pas encore cités les noms, qui ont contribué à ce que les travaux se passent dans de bonnes conditions : concernant l'équipe CISHT, je pense à Robert Plana, Laurent Escotte, Jean-Guy Tartarin, Katia Grenier, David Dubuc, Jacques Rayssac et Brigitte Ducrocq, et concernant l'équipe Analog/RF, je n'oublie pas Frédéric Duez (ami et collocataire de bureau qui a vécu mes moments de «speed»), Sébastien Dedieu (maître de la synthèse de fréquence), Thierry Lapergue, Laurence Moquillon, Jocelyn Roux, Bruno Grelaud, Emmanuelle Imbs et Pascale Maillet.

Ces années de thèse n'auraient pas été aussi agréables sans les thésards et stagiaires qui ont contribué à créer une ambiance sympathique au sein des différents groupes : pour l'équipe CISHT, je fais un clin d'oeil à Wah, Gilles, Christophe, Giana, Abdel, Jessica, Sabine, Anthony, Jérôme, Damien, Geoffroy, Stéphane, Benoît, Samuel, Fouad, Jean-Pierre, Jacques, Roland, Simoné, Emanuele, Jean-Michel et pour l'équipe Analog/RF, je pense à Marc, Sébastien, Stéphanie, Paloma.

Merci à l'ensemble du service de documentation et de reproduction, et notamment Christian Berty, pour leur sens du service et leur sympathie.

Je remercie mes amis qui m'ont soutenue durant cette traversée scientifique : Émilie, Ghislain, Frédéric, Sabine, Mikaël, Davy, Nicolas, Laurent, David, Hervé, Axel, Pierre-Jean, Tom, Olivier et Florent.

Enfin, je finirai par remercier mes parents, toujours présents pour les bons et mauvais moments, mes grands-parents, et toute ma famille que je n'ai pas pu voir aussi souvent que je l'aurais désiré.

Table des matières

Introduction	13
1 Synthèse de fréquences : la boucle à verrouillage de phase	17
1.1 Introduction	19
1.2 Caractéristiques fondamentales des synthétiseurs de fréquences	20
1.2.1 Gamme de fréquence et pas	20
1.2.2 Pureté spectrale	20
1.2.3 Temps d'acquisition ou temps d'accrochage	20
1.2.4 Autres caractéristiques	20
1.3 Différents types de synthétiseurs de fréquences	21
1.3.1 Synthèse directe (sans PLL)	21
1.3.2 Synthèse indirecte (avec PLL)	22
1.3.3 Synthétiseur de fréquences à séquence numérique	27
1.4 Synthétiseur de fréquences à division entière	28
1.4.1 Dispositif à asservissement de phase	29
1.4.2 Fonction de transfert et schéma-bloc de la PLL	30
1.5 Étude du bruit de phase de la boucle à verrouillage de phase	43
1.5.1 Environnement Cadence - « Affirma TM Spectre RF »	43
1.5.2 Bruit de phase	44
1.5.3 Bruit dans les circuits	45
1.5.4 Bruit thermique	46
1.5.5 Bruit de grenaille (ou bruit schottky)	46
1.5.6 Bruit flicker (rose ou de scintillement)	46
1.5.7 Bruit en créneaux (bruit « popcorn » ou crépitement)	47
1.5.8 Densité spectrale du bruit d'un circuit électronique	47
1.5.9 Bruit de phase de la PLL avec détecteur phase/fréq. et div. numériques	48
1.5.10 Contributions de la référence et du VCO	48
1.5.11 Contribution en bruit du diviseur	50
1.5.12 Bruit du détecteur phase/fréquence associé à la pompe de charge	51
1.5.13 Bruit du filtre de boucle	51
1.5.14 Expression du spectre de bruit de phase global	53
1.6 Conclusion	55
Bibliographie	55
2 Synthétiseur de fréquence : Diviseur de fréquence programmable	59
2.1 Introduction	61
2.1.1 Multiplication de fréquence	61
2.1.2 Diviseur à double module ou compteur à échappement ou « prescaler »	62

2.2	Propriétés des circuits logiques	63
2.2.1	Marges de bruit et précautions à prendre	63
2.2.2	Temps de commutation et temps de propagation	64
2.2.3	Entrance et sortance	65
2.2.4	Familles logiques participant à la conception des synthétiseurs	65
2.2.5	Schéma générique d'un circuit numérique hyperfréquence	67
2.3	Présentation des technologies BiCMOS6G et BiCMOS7 utilisées	68
2.3.1	Caractéristiques des composants actifs de BiCMOS6G	68
2.3.2	Caractéristiques des composants actifs de BiCMOS7	73
2.4	Diviseur par 2 en bandes C, X, Ku et K	73
2.5	Diviseur numérique statique par 2 en BiCMOS6G	76
2.5.1	Présentation des deux diviseurs par 2	77
2.6	Diviseur numérique statique par 2 en BiCMOS7	83
2.6.1	Présentation des diviseurs par 2 en BiCMOS7	83
2.7	Prédiviseur $P/P + 1$ avec $P = 4$	88
2.7.1	Schématique logique et principe de fonctionnement d'un prédiv. classique	88
2.7.2	Première topologie de prédiviseur $P/P + 1$ (avec $P = 4$)	89
2.7.3	Deuxième topologie de prédiviseur $P/P + 1$ (avec $P = 4$)	92
2.7.4	Présentation de la troisième topologie du prédiviseur $4/5$	95
2.8	Présentation du diviseur programmable par M	98
2.8.1	Schématique logique du diviseur par M	98
2.8.2	Conception d'un diviseur préprogrammé avec $N = 130$ en BiCMOS6G	99
2.8.3	Conception d'un diviseur par $N = 426$ en BiCMOS7	101
2.9	Étude du bruit dans les diviseurs numériques	103
2.9.1	Logique synchrone/Logique asynchrone	104
2.9.2	Logique CMOS/Logique ECL	106
2.9.3	Simulations du bruit dans les diviseurs numériques en BiCMOS6G 7	108
2.9.4	Mesures du bruit de phase des diviseurs numériques en BiCMOS6	112
2.10	Conclusion	115
	Bibliographie	116
3	Comparateurs phase/fréquence et pompes de charges	119
3.1	Détecteur de phase	122
3.1.1	Comparateurs de phase analogiques ou mélangeurs	123
3.1.2	Comparateurs de phase numériques	127
3.1.3	Comparaison entre les différents comparateurs de phase	131
3.1.4	Comparateur phase/fréquence numérique (ou PFD)	132
3.2	Pompe de charges	137

3.2.1	Topologie de la pompe de charges	137
3.2.2	Simulation de la pompe de charges	140
3.3	Simulation et mesure du PFD + pompe de charges + filtre de boucle	145
3.4	Conclusion	148
	Bibliographie	148
4	La boucle à verrouillage de phase intégrée	151
4.1	Synthétiseur de fréquence à 10 GHz	153
4.1.1	Oscillateur contrôlé en tension série	155
4.1.2	Filtre de boucle d'ordre 3	156
4.1.3	Profil du bruit de phase de la PLL à 10 GHz	157
4.2	Synthétiseur de fréquence à 20 GHz	157
4.2.1	Oscillateur contrôlé en tension différentiel	161
4.2.2	Filtre de boucle d'ordre 3	161
4.2.3	Profil du bruit de phase de la PLL à 20 GHz	163
4.3	Simulations/Mesures	164
4.4	Conclusion	167
	Bibliographie	167
	Conclusion	171
	Annexes	173

Introduction

LA MICRO-ÉLECTRONIQUE HYPERFRÉQUENCE s'est largement développée dans les années 1970 à 1980, couvrant l'ensemble des domaines d'applications : militaire, civil (professionnel et grand public) et spatial. Remplaçant avantageusement des parties encombrantes en guides d'ondes et/ou lignes coaxiales, elle a consisté dans une première étape à assembler sur un substrat adéquat (ex : verre Téflon, céramique, ...) les composants actifs et passifs nécessaires à la propagation (ex : amplification, distribution, ...) des signaux hyperfréquences. La seconde étape a permis de rassembler tous ces composants sur un même substrat et de donner ainsi naissance au Circuit Intégré Monolithique Hyperfréquence (ou MMIC dans sa dénomination anglaise : Monolithic Microwave Integrated Circuit), démarche déjà largement engagée avec les Circuits Intégrés Numériques ou Analogiques Basse Fréquence. Les solutions hybrides à composants discrets s'effacent progressivement au profit de solutions monolithiques dont les avantages sont une meilleure reproductibilité, fiabilité et des performances élevées, pour un coût et un encombrement plus faible.

Pour mieux comprendre les enjeux technologiques et commerciaux des MMIC, il est souhaitable d'avoir conscience de leurs applications en évoquant les principales. On peut les classer comme suit :

Le militaire

Dans le domaine militaire, l'évolution générale des armements a conduit à l'utilisation de composants électroniques à base d'arséniure de gallium. En effet, d'une part, parce qu'en ce qui concerne la réception de l'information, on apprécie tout particulièrement les caractéristiques de très faible bruit et de forte bande passante de ces composants qui permettent une augmentation sensible des performances. D'autre part, parce qu'au niveau de l'émission de puissance, ils offrent la possibilité de réaliser des sources d'émission compactes ne nécessitant qu'une faible tension d'alimentation. De plus, les systèmes doivent fonctionner à des fréquences de plus en plus élevées (millimétriques), tout en étant moins encombrants et invulnérables aux radiations. De ce fait, les MMIC interviennent de plus en plus dans les programmes majeurs de la Défense Nationale pour satisfaire les objectifs de coût, de performance, d'encombrement et de poids.

Les télécommunications

On peut distinguer trois principales applications des MMIC :

- la réception satellite : les communications satellites prennent de plus en plus d'essor avec le lancement de projets ambitieux visant à couvrir notre planète d'une gigantesque toile d'araignée satellitaire. Les diverses applications visées (téléphonie sans fil, transports, multimédia, etc...) dépassent largement le cadre des communications entre individus. Cependant, elles reposent toutes sur le transfert de données en ondes hyperfréquences.

- la téléphonie sans fil : les systèmes actuels de téléphonie sans fil (*Wireless Local Area Networks*) utilisent un réseau terrestre de stations de base permettant de relier entre eux les possesseurs de téléphone cellulaire. Ce système utilisera également dans le futur un réseau de satellites, et il concernera aussi les communications entre ordinateurs, c'est-à-dire le transfert de données. En ce qui concerne le radiotéléphone numérique de l'utilisateur, le silicium occupe une place prépondérante dans les composants du GSM (*Groupe Spécial Mobile*) du fait de son faible coût.
- les communications par fibres optiques : le développement de cette application nécessite une infrastructure importante, ce qui la rend moins accessible que les communications sans fil. Cependant, la demande pourrait croître très fortement si les projets de câblage des particuliers venaient à voir le jour commercialement.

Les transports

Les applications des hyperfréquences dans ce domaine ne se limitent pas au radar de vitesse autoroutier ; en effet, cela concerne également les fonctions de communications (télécommunication courte distance entre une balise fixe et un objet mobile type badge) et de contrôle (ex : système GPS).

Le spatial

D'une part, la technologie MMIC est théoriquement plus fiable qu'une version hybride des mêmes composants actifs et passifs du fait de l'intégration des interconnexions. D'autre part, la réduction de la surface et du poids est également pour le domaine spatial un avantage déterminant.

L'industrie et le médical

En ce qui concerne le domaine industriel, on retrouve les capteurs pour l'analyse des matériaux, mais également ceux ayant trait à la robotique, aux télémessures et à l'instrumentation. Pour les applications médicales, on peut noter la présence de circuits intégrés monolithiques hyperfréquences dans la détection et le traitement de tumeurs, dans les émetteurs/récepteurs pour applications biomédicales.

Les fréquences visées lors des travaux présentés ici, 10 GHz et 20 GHz, nous amènent plus précisément vers des applications de type Radar en bande X, très utilisé dans les systèmes aéroportés pour la reconnaissance militaire et la cartographie, et de type SerDes (Sérialiseur / Désérialiseur), circuit d'interface série à haut débit. En ce qui concerne cette dernière application, elle est considérée aujourd'hui comme l'une des plus cruciales pour les communications à haut débit : ces systèmes de communication et terminaux plus rapides et moins coûteux,

visant des applications du type téléphones mobiles orientés données et assistants personnels numériques (PDA), permettent aux consommateurs d'accéder facilement et rapidement à de gros volumes de données, où et quand ils le souhaitent.

Après avoir résumé l'importance des applications des circuits intégrés monolithiques hyperfréquences, nous allons exposer les différents objectifs fixés dans ces travaux de thèse. Nous avons noté, dans l'énumération des domaines d'application, la présence de la technologie Arséniure de Gallium qui a pour avantage de travailler à des fréquences élevées et avec un niveau de bruit intéressant. Or, les technologies BiCMOS Silicium-Germanium présentent des avantages en terme d'intégration des fonctions analogiques et numériques hyperfréquences (utilisation de transistors bipolaires SiGe) et numériques basses fréquences (transistors MOS) utilisées pour la conception, et en terme de coût (plus faible que l'AsGa). Le point faible de ces technologies reste cependant la difficulté d'obtenir des composants passifs de bonne qualité (inductances à fort coefficient de qualité, condensateurs de grande valeur et de grande précision, diodes varicap à fort coefficient en tension). Une solution consiste alors à numériser au maximum les diverses fonctions afin de s'affranchir des composants passifs. Par conséquent, les objectifs de ces travaux sont, tout d'abord, de mettre en évidence les possibilités des technologies BiCMOS Silicium-Germanium $0,35 \mu\text{m}$ et $0,25 \mu\text{m}$ en hyperfréquence, technologies mises à disposition par STMicroelectronics, à travers la conception de synthétiseurs de fréquence à 10 GHz et 20 GHz. D'autre part, la synthèse de fréquence complètement intégrée à des fréquences comprises entre 10 et 20 GHz présentent des difficultés en terme de vitesse de fonctionnement mais également en terme de performances en bruit de phase résiduel que nous avons tenté de résoudre en travaillant sur l'innovation et l'optimisation des fonctions participant à la synthèse.

Pour commencer, le chapitre I présente les différents techniques de synthèse de fréquence en mettant en avant leurs avantages et leurs inconvénients. Après avoir fait le choix de la topologie du synthétiseur, l'étude du fonctionnement accompagnée des calculs y est détaillée. Les notions d'instabilité, de bruit de phase résiduel et de bande passante du système seront développées et corrélées.

Le chapitre II aborde le bloc du synthétiseur qui va permettre la multiplication de la fréquence entre son entrée et sa sortie: le diviseur numérique hyperfréquence. Toute la difficulté de ce circuit est qu'il soit capable de fonctionner à des fréquences très élevées tout en restant programmable. Le fonctionnement, les innovations et les performances de ce bloc sont présentés accompagnés des résultats obtenus à la suite des conceptions réalisées dans les deux technologies.

Dans le chapitre III, deux autres fonctions de la synthèse de fréquence sont étudiées: le détecteur phase/fréquence et la pompe de charge. Ces deux circuits résument à eux seuls les capacités, en terme de rapidité et de précision, de la détection et de la transmission de l'erreur de phase qui existe entre l'entrée et la sortie du synthétiseur. La mise en évidence des défaillances de ces blocs est exposée pour apporter soit des modifications, soit une optimisation de leurs

topologies.

Le dernier chapitre présente l'assemblage de ces blocs pour réaliser des synthétiseurs hyperfréquences complètement intégrés en technologie BiCMOS Silicium-Germanium. Le paramétrage du système, le comportement temporel et en bruit de phase résiduel ainsi que les problèmes rencontrés lors des mesures sont décrits.

Chapitre 1

Synthèse de fréquences : la boucle à verrouillage de phase

1.1 Introduction

LA NAISSANCE DE LA PLL remonte à 1932, alors qu'un ingénieur nommé De Bellescize cherchait à améliorer la réception des signaux radioélectriques en modulation d'amplitude. Auparavant, la démodulation de ces signaux se faisait grâce à une détection d'enveloppe obtenue en utilisant un détecteur de crête (circuit comportant une diode, un condensateur et une résistance). Mais l'inconvénient du détecteur de crête est sa sensibilité aux bruits parasites, qu'ils soient d'origine atmosphérique (orages) ou industrielle (moteurs). Les signaux utiles trop faibles étaient donc noyés dans du bruit et devenaient inutilisables. Un nouveau principe de démodulation, appelé démodulation synchrone, fut alors mis au point. Il nécessite la production, au niveau du récepteur, d'un signal dont la phase est verrouillée sur celle de la porteuse utilisée à l'émission. En 1932, à l'époque des tubes, les réalisations à base de PLL étaient volumineuses et chères. C'est pourquoi ce principe a longtemps été réservé aux matériels professionnels jusqu'à la généralisation des circuits intégrés dont l'arrivée a bouleversé toutes les branches de l'électronique :

- l'amplificateur opérationnel a transformé la conception des schémas qui traitent les signaux dans le domaine temporel ;
- la PLL a permis des progrès considérables pour le traitement des signaux dans le domaine fréquentiel ;
- le microprocesseur qui est indirectement l'outil indispensable de n'importe quel ingénieur aujourd'hui.

Outre la démodulation synchrone, les différentes applications possibles de la PLL sont peut-être aussi nombreuses et variées que celles que l'on a trouvées pour l'amplificateur opérationnel. On peut citer, sans que cette liste soit exhaustive :

- la démodulation de fréquence,
- la démodulation de phase,
- la démodulation en bande latérale unique (BLU),
- la réalisation de décodeurs de tonalité,
- la réalisation de radars à effet DOPPLER,
- la réalisation de filtres de poursuite,
- l'asservissement de la vitesse de moteurs à courant continu,
- la multiplication de fréquence par un nombre entier ou décimal.

C'est sur la multiplication de fréquence par un nombre entier que nous allons nous pencher plus attentivement.

1.2 Caractéristiques fondamentales des synthétiseurs de fréquences

Avant d'aborder les différents types de synthèse, il faut en énumérer les caractéristiques essentielles.

1.2.1 Gamme de fréquence et pas

La gamme de fréquence est définie à partir des bornes extérieures d'utilisation. Le pas est l'intervalle minimal de fréquences discrètes fournies. On peut rencontrer des pas allant du centième de hertz jusqu'à quelques MHz, qui correspond à la fréquence de référence pour une PLL à division entière.

1.2.2 Pureté spectrale

Un oscillateur fournit un signal qui, examiné à l'analyseur de spectre, présente une raie à la fréquence principale d'oscillation et des raies avoisinantes liées aux parasites. Ces fréquences parasites non-harmoniques (appelées aussi « spurious ») peuvent correspondre à des produits de mélanges que l'on ne peut totalement éliminer. Dans les synthétiseurs, on ne tient généralement compte que du bruit à pente de -20 dB/décade et du plancher de bruit, plus proche de la porteuse. Ce sujet sera développé plus loin dans ce chapitre.

1.2.3 Temps d'acquisition ou temps d'accrochage

C'est le temps de stabilisation. Cette notion n'a d'intérêt que pour les appareils à rythme de changement de fréquence rapide (balayage automatique, recherche de canal libre avant émission, ...). On peut rencontrer des temps d'acquisition de quelques millisecondes à quelques microsecondes.

1.2.4 Autres caractéristiques

Nous pouvons encore citer :

- le jitter qui représente la variance temporelle des instants de commutation d'un signal et particulièrement celui de l'horloge;
- la précision ou tolérance relative;
- la sensibilité aux perturbations, celles-ci étant dues aux couplages électroniques, aux vibrations, au bruit généré par les alimentations...

1.3 Différents types de synthétiseurs de fréquences

On rencontre trois principes :

- la synthèse directe qui existe depuis les années 1930 [1];
- la synthèse indirecte utilisant le principe de la boucle à verrouillage de phase [2, 3];
- la synthèse numérique micro-programmée plus récente, qui n'a rien de commun avec les deux précédentes [4].

Les synthétiseurs classiques utilisent le jeu des opérations arithmétiques sur les fréquences.

- ◇ L'addition ou la soustraction de deux fréquences sont obtenues en utilisant des circuits mélangeurs (quadratiques ou multiplicateurs).
- ◇ La division d'une fréquence par un nombre réalisée avec des compteurs constitués de N bascules bistables.
- ◇ La multiplication provient de deux principes : soit l'extraction d'harmoniques de rang n par rapport au fondamental, soit l'utilisation d'une PLL.

1.3.1 Synthèse directe (sans PLL)

La synthèse directe peut être réalisée à partir de différents principes qui sont énumérés ci-dessous.

1.3.1.1 Synthèse incohérente

Ce procédé de synthèse utilise un nombre important de quartz que l'on peut faire commuter par manipulation extérieure au circuit. Dans ces conditions, on ne peut que travailler à fréquence fixe. Très peu d'appareils utilisent cette synthèse incohérente, malgré son faible coût.

1.3.1.2 Synthèse directe itérative (ou synthèse cohérente)

Ce principe est itératif au sens mathématique car il réalise la somme de termes issus de décades identiques. Pour mieux comprendre le fonctionnement, prenons une application numérique utilisant trois décades. À l'aide d'un oscillateur à quartz à 20 MHz, générons deux fréquences, une fréquence de 18 MHz ($= 20 \text{ MHz} \times 9/10$) et une autre fréquence de 100 kHz ($= 20 \text{ MHz} \times 1/200$). Chaque décade est identique et est constituée entre autres de dix filtres sélectifs correspondant aux dix premiers harmoniques de la fréquence incrémentale de 100 kHz. Chaque sortie de filtre fournit alors 0,0 MHz – 0,1 MHz – ... – 0,9 MHz commutables sur le panneau avant de l'appareil, ce qui permet de réaliser un certain nombre de fréquences. Ce procédé dont la mise en œuvre technologique est difficile à cause des filtres hautement sélectifs, présente l'avantage d'un temps de commutation très court. On préférera toutefois la synthèse itérative indirecte utilisant le principe de la boucle à asservissement de phase, à cause de sa simplicité de réalisation et de sa facilité de programmation.

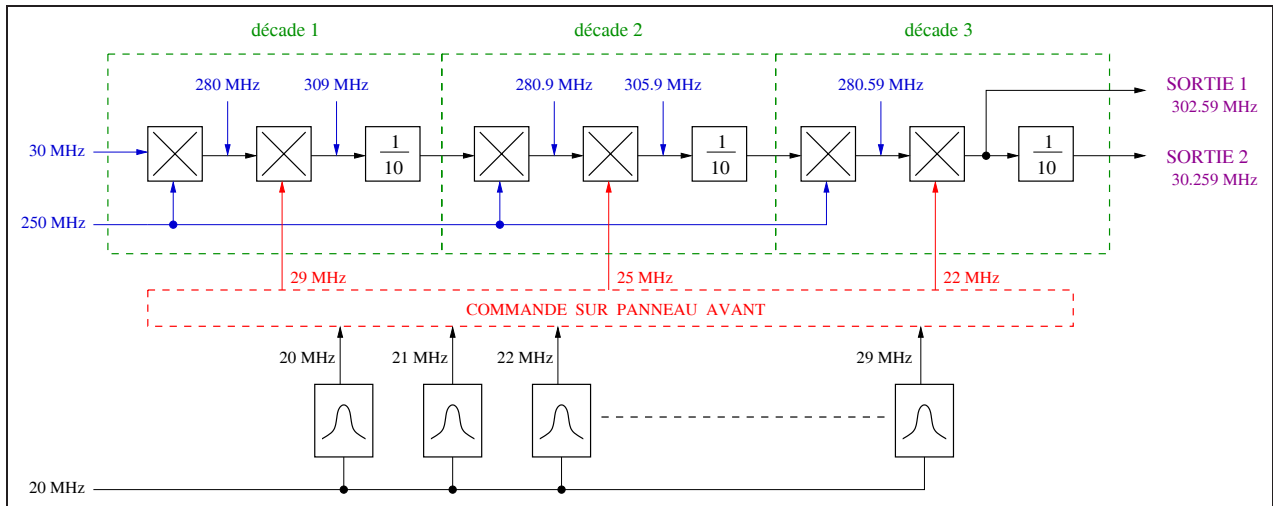


FIG. 1.1 – Synthétiseur à double mélange

1.3.1.3 Synthèse à double mélange

En partant d'une fréquence pilote de 20 MHz, on obtient deux sources directes de 30 MHz et 250 MHz, et 10 sources auxiliaires de 20, 21, 22, ..., 29 MHz, comme le montre la figure 1.1. Mille fréquences différentes au pas de 10 kHz sont disponibles à la sortie 1, et au pas de 1 kHz à la sortie 2. Ce principe peut être rencontré dans certains synthétiseurs fabriqués par Hewlett-Packard, Fluke et Rhode&Schwarz. Le choix est lié à la rapidité de commutation.

1.3.2 Synthèse indirecte (avec PLL)

Ce procédé a été de plus en plus utilisé, grâce à l'arrivée des circuits intégrés. **La définition de la synthèse indirecte est liée au fait que, pour multiplier une fréquence, il faut insérer un diviseur dans la chaîne de retour.** Comparativement, la synthèse directe utilise la multiplication en sélectionnant les harmoniques du signal incident. Comme nous l'avons dit précédemment, ce système présente l'avantage d'une grande simplicité et d'une grande facilité de commande manuelle ou programmée. Il doit générer un signal de fréquence très précise et, pour les systèmes transmettant sur plusieurs canaux, variant par pas programmables sur toute la bande de fréquence. Ce pas de synthèse peut avoir, dans certains systèmes, une valeur très faible par rapport à la fréquence de la porteuse. Outre la précision de la fréquence et le pas de synthèse, d'autres spécifications sont définies pour le synthétiseur de fréquence, en particulier le temps d'établissement, le bruit de phase et les raies spectrales parasites.

1.3.2.1 Synthétiseurs de fréquences à division entière

Le synthétiseur de fréquences à base de boucle à verrouillage de phase (désigné par le terme anglais **PLL**, **Phase-Locked Loop**) à division entière (cf. figure 1.2) est le moyen de synthèse

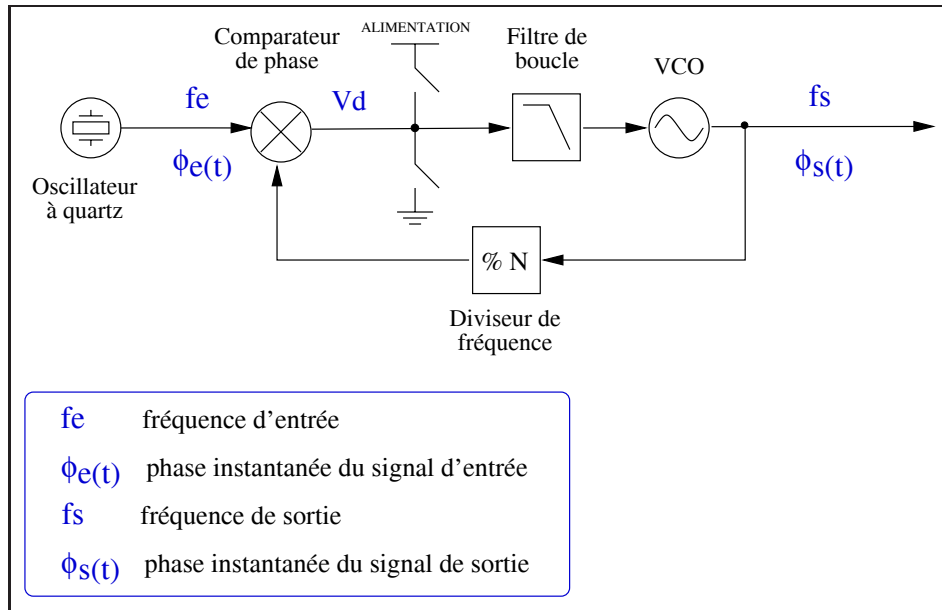


FIG. 1.2 – Boucle à verrouillage de phase à retour non-unitaire

de fréquences le plus répandu et le mieux maîtrisé.

Il consiste en un asservissement de la phase et de la fréquence d'un signal de sortie sur la phase et la fréquence d'un signal d'entrée très précis, dit de référence, à un facteur N près, N étant le rang de division de la boucle de retour. Ainsi, lorsque la boucle est verrouillée, la fréquence du signal de sortie f_s est proportionnelle à la fréquence du signal d'entrée f_e suivant la relation :

$$f_s = N f_e$$

Avec ce type de synthétiseur, la valeur de la fréquence de référence f_e est fixée par le pas de fréquence de sortie souhaité. La fréquence de coupure du filtre de boucle qui définit la bande passante de la PLL, doit être suffisamment faible pour filtrer les raies parasites résultantes du processus de comparaison (comparateur de phase et pompe de charges) [5]. Dans les applications cellulaires actuelles, pour lesquelles le pas de fréquence est de l'ordre de la centaine de kHz, les bandes passantes des PLLs à division entière sont faibles et entraînent des temps d'établissement relativement élevés, de l'ordre de plusieurs centaines de microsecondes. Il y a un compromis à faire entre le temps de réponse du synthétiseur de fréquences à division entière et son pas de résolution fréquentiel.

Deux choix s'offrent aux concepteurs [6, 7]:

- soit la réduction du temps d'accrochage: un meilleur temps d'accrochage est obtenu par un élargissement de la bande passante de la boucle. Pour conserver une atténuation suffisante des raies parasites de comparaison, la fréquence de référence doit être également augmentée ce qui permet d'élargir la bande passante de la PLL¹ et donc d'abaisser ainsi

1. La fréquence de référence de la boucle doit être 10 à 20 fois supérieure à la bande passante de la boucle

la plancher de bruit de phase. La combinaison d'une bande passante plus large et d'un plancher de bruit de phase plus faible permet d'obtenir un bruit de phase global plus faible. En contrepartie, le pas de fréquence est augmenté en même temps que la fréquence de référence.

- soit la diminution du pas de fréquence : pour obtenir un faible pas de fréquence, il suffit de diminuer la fréquence de référence. Pour correctement atténuer les raies parasites de comparaison, la bande passante de la boucle doit également être réduite. Ceci engendre une augmentation du temps d'accrochage et une hausse du plancher de bruit de phase. La combinaison de la faible bande passante et du plancher de bruit élevé détériore le bruit de phase global.

Pour restituer le travail de thèse, la conception d'un synthétiseur monolithique à 10 GHz et 20 GHz sera réalisée à partir de cette structure de synthétiseur où il est possible de combiner faible fréquence de référence et faible temps d'établissement.

1.3.2.2 Synthétiseur de fréquences à division fractionnaire

Un synthétiseur fractionnaire peut être considéré comme un synthétiseur entier dont le rang de division est changé dynamiquement conduisant ainsi à un rang de division moyen non entier (ou fractionnaire) [8, 9]. Si le rang de division n'est plus entier, la fréquence de référence peut être augmentée sans modifier le pas de fréquence. L'augmentation de la fréquence de référence entraîne celle de la fréquence de coupure du filtre de boucle (et donc de la bande passante de la PLL). Comme la bande passante est élargie et que le rang de division est plus faible, le bruit de phase dans la bande est amélioré [10, 11, 12]. La résolution d'un synthétiseur de fréquences à division fractionnaire est fixée par la partie fractionnaire du rang de division.

Pour réaliser un rang de division moyen non entier $N_{\text{moyenné}}$ compris entre N et $N + 1$, il suffit que le rang de division soit égal à $N + 1$ pendant C cycles de référence et à N pendant $D - C$ cycles. Ainsi, le rang de division moyen sur D cycles de référence est :

$$N_{\text{moyenné}} = \frac{(N + 1)C + N(D - C)}{D} = \frac{C + ND}{D} = N + \frac{C}{D}$$

d'où $N_{\text{moyenné}}$ est composée d'une partie entière N et d'une partie fractionnaire $\frac{C}{D}$.

Deux structures permettent d'obtenir une synthèse fractionnaire :

- synthétiseur de fréquences à division fractionnaire contrôlé par un accumulateur ;
- synthétiseur de fréquences à division fractionnaire contrôlé par un convertisseur $\Sigma\Delta$.

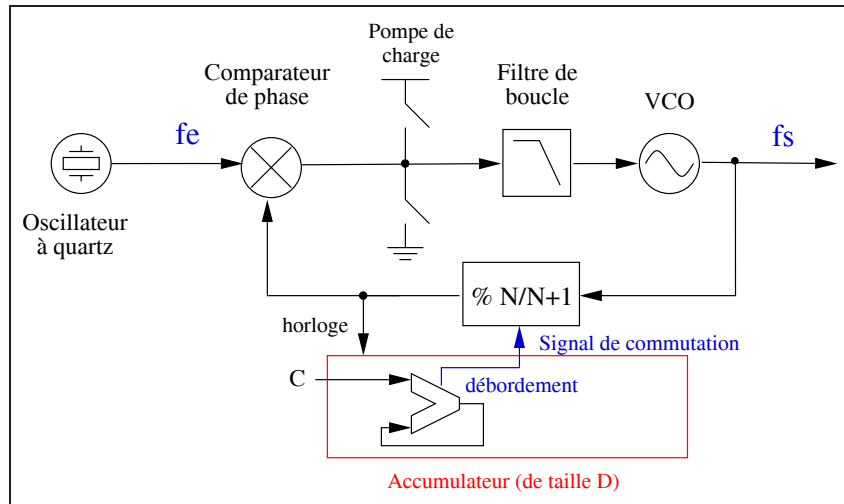


FIG. 1.3 – Synthétiseur de fréquences à division fractionnaire contrôlé par un accumulateur

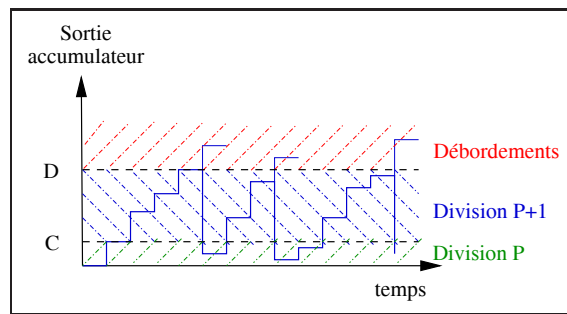


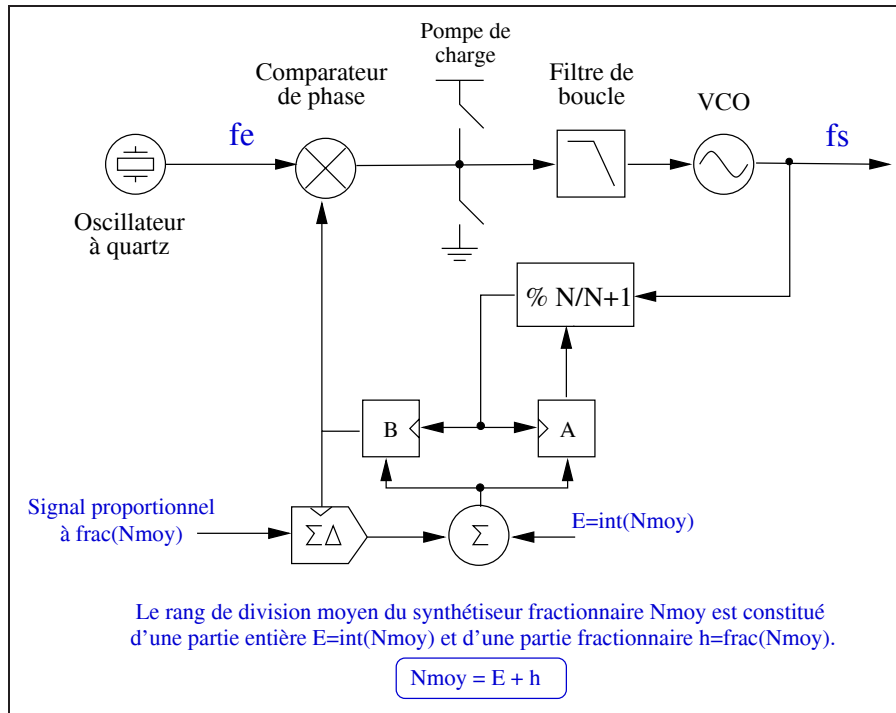
FIG. 1.4 – Chronogramme de la sortie de l'accumulateur

i Synthétiseur de fréquences à division fractionnaire contrôlé par accumulateur

Dans cette structure de synthétiseur fractionnaire, le changement de rang de division est commandé par un accumulateur de taille D et de consigne C (cf. figure 1.3). La division est réalisée par un prédiviseur $N/N + 1$ qui divise par N ou $N + 1$ suivant la valeur de son signal de commutation. La valeur de la division est initialisée à $N + 1$ et, à chaque coup d'horloge, la sortie de l'accumulateur est incrémentée de la valeur C . Lorsque celle-ci devient supérieure à la taille de l'accumulateur D , ce dernier sature et change le signal de commutation du prédiviseur $N/N + 1$ qui divise une fois par N . De la valeur de sortie de l'accumulateur, seule la partie supérieure à D (figure 1.4) est conservée et incrémentée de C . À la saturation suivante de l'accumulateur, le signal de commutation du prédiviseur est modifié et le rang de division change à nouveau jusqu'à ce que la sortie soit égale à D et que la partie représentant le reste modulo D soit égal à 0.

Dans un synthétiseur de fréquences à division fractionnaire contrôlée par un accumulateur, l'erreur moyenne de phase est nulle mais l'erreur instantanée ne l'est pas alors que dans un

pour pouvoir considérer le système comme linéaire

FIG. 1.5 – Synthétiseur de fréquences à division fractionnaire contrôlé par convertisseur $\Sigma\Delta$

synthétiseur à division entière, l'erreur de phase instantanée est nulle. Cela se traduit sur le spectre de sortie par des raies parasites. La technique utilisée pour atténuer cette erreur de phase est appelé compensation analogique. Elle consiste à injecter sur la sortie de la pompe de charges une quantité de charges dont l'amplitude compense celle due à l'erreur de phase que génère le système de division fractionnaire. C'est la sortie de l'accumulateur qui, via un convertisseur numérique-analogique et une pompe de charges appareillée à celle de la boucle, va délivrer cette correction. Les difficultés et limitations de cette technique de compensation analogique sont dues à la précision et à la vitesse requises du convertisseur numérique-analogique, ainsi qu'à l'introduction de bruit par la somme du courant de compensation. Le manque de précision du convertisseur entraîne une compensation partielle et des raies parasites restent toujours présentes en sortie du synthétiseur fractionnaire.

En terme de bruit de phase, les résultats sont différents si, pour réaliser la partie fractionnaire, est utilisé un convertisseur $\Sigma\Delta$.

ii Synthétiseur de fréquences à division fractionnaire contrôlé par convertisseur $\Sigma\Delta$

Dans ce type de synthétiseur fractionnaire, le rang de division est contrôlé par un convertisseur numérique-numérique $\Sigma\Delta$. Le convertisseur $\Sigma\Delta$ est basé sur un intégrateur (ou accumulateur) dont l'entrée est contre-réactionnée par la sortie quantifiée.

Sans rentrer dans le détail du fonctionnement du convertisseur $\Sigma\Delta$, deux points importants

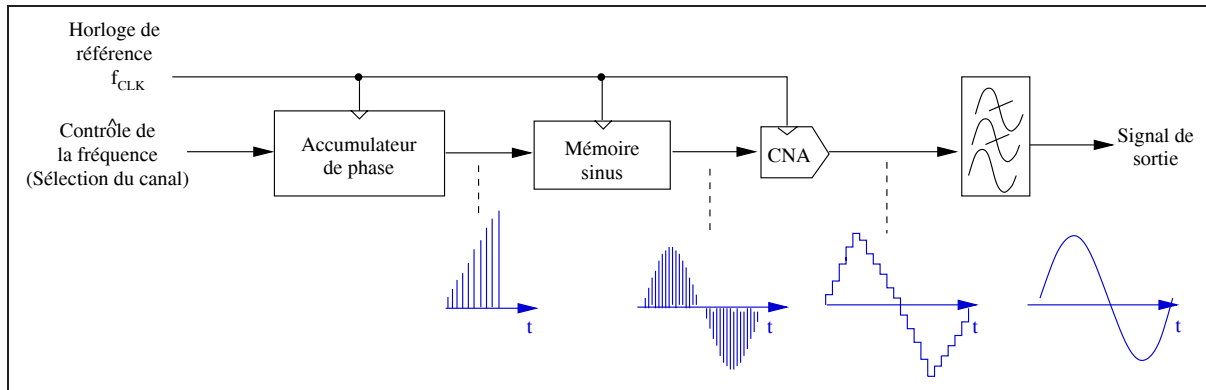


FIG. 1.6 – Synthétiseur de fréquences à séquence numérique

sont à retenir [13]:

- les raies parasites de la 1^{re} structure sont transformées en bruit blanc.
- le bruit de quantification est disposé dans un peigne de raies plus rapprochées (voisin de $\frac{f_{ref}}{D}$). L'amplitude de ces raies est mise en forme afin de repousser l'énergie de ce bruit vers les hautes fréquences $\frac{f_{clk}}{2}$. Ce bruit peut ensuite être filtré par le filtre de boucle du synthétiseur.

La première difficulté de la synthèse de fréquences contrôlée par un convertisseur $\Sigma\Delta$ réside dans le choix du convertisseur et dans le compromis entre la bande passante de la PLL et le bruit de quantification autorisé en sortie du synthétiseur.

1.3.3 Synthétiseur de fréquences à séquence numérique

Dans une optique d'intégration des émetteurs-récepteurs dans une technologie silicium faible coût, de nouvelles architectures de synthétiseurs entièrement numériques sont apparues. Ces synthétiseurs sont communément appelés synthétiseurs de fréquences à séquence numérique ou désignés par le terme anglais **D**irect **D**igital **S**ynthesizer (DDS).

La figure 1.6 représente le schéma d'un synthétiseur de fréquences à séquence numérique. L'accumulateur de phase reçoit un signal de consigne numérique correspondant à la fréquence du signal de sortie que l'on désire. Cette consigne est transformée par l'accumulateur de phase en une rampe discrète. Comme à chaque débordement de l'accumulateur, la rampe est réinitialisée, celle-ci est périodique (cette période, proportionnelle à la taille de l'accumulateur de phase, sera celle du signal de sortie). Les valeurs discrètes de cette rampe servent à adresser une mémoire contenant les amplitudes de différents signaux de sortie sinusoïdaux ou une table allégée de valeurs d'amplitude et un dispositif algorithmique d'adressage. Les valeurs discrètes d'amplitude délivrées par la mémoire sont ensuite converties par un convertisseur numérique-analogique (CNA). Le signal analogique obtenu est à son tour filtré pour être débarrassé des harmoniques de la fréquence d'échantillonnage.

Si L_{cf} est le mot de contrôle de la fréquence, L_{accu} la valeur arithmétique maximale de l'accumulateur de phase et f_{clk} la fréquence de l'horloge, la fréquence f_{out} du signal de sortie sera donnée par la relation suivante :

$$f_{out} = f_{clk} \times \frac{L_{cf}}{L_{accu}}$$

Le pas de fréquence Δf d'un tel synthétiseur est donc égal à :

$$\Delta f = \frac{f_{clk}}{L_{accu}}$$

Les principaux avantages de cette structure de synthétiseur de fréquences à séquence numérique résident dans la rapidité de l'accrochage et dans la qualité du bruit de phase de sortie si la fréquence synthétisée est suffisamment faible. En effet, le temps d'établissement du synthétiseur de fréquences à séquence numérique est lié au retard des opérateurs logiques et du filtre passe-bas, et peut être extrêmement faible ($2 \mu s$ dans [14]). Comme la fréquence de sortie est toujours inférieure à celle de l'horloge, un phénomène de division de fréquence apparaît et engendre une amélioration du bruit de phase de sortie dans la copie du bruit de phase du signal d'horloge. Cependant, le bruit de phase d'un DDS est généralement fixé par celui du convertisseur. En contrepartie, la limitation de cette structure est liée à la vitesse et à la résolution du convertisseur numérique-analogique. Ces paramètres engendrent une erreur dans la représentation du signal sinusoïdal de sortie qui se traduit dans le spectre de sortie par des raies parasites [15]. Pour que le DDS atteigne des performances raisonnables en terme de bruit de phase et de raies parasites, le convertisseur numérique-analogique classique devrait avoir des caractéristiques et performances difficiles à envisager (limitation de la fréquence d'échantillonnage à quelques dizaines voire centaines de MHz et dégradation du plancher de bruit et de la consommation avec la fréquence d'échantillonnage). Dernièrement, ont été publiés des DDS capables de monter en fréquence, ceci étant dû à l'originalité du CNA qui permet de ne pas être limité au niveau de la fréquence d'échantillonnage.

1.4 Synthétiseur de fréquences à division entière

Nous avons détaillé juste avant les différents systèmes de synthèse de fréquences et nous avons décidé de concevoir le système de synthèse de fréquences à division entière: le but de nos travaux est l'innovation de chaque fonction constituant la PLL et ce système de synthèse constituera la « vitrine » de la mise en commun des performances de chaque bloc de la PLL ainsi conçue. N'oublions pas, comme cela a été précisé dans l'introduction, que le but est aussi d'explorer les possibilités des fonctions numériques innovantes (diviseur programmable, comparateur phase/fréquence, ...) et les possibilités des deux technologies BiCMOS $0,35 \mu m$

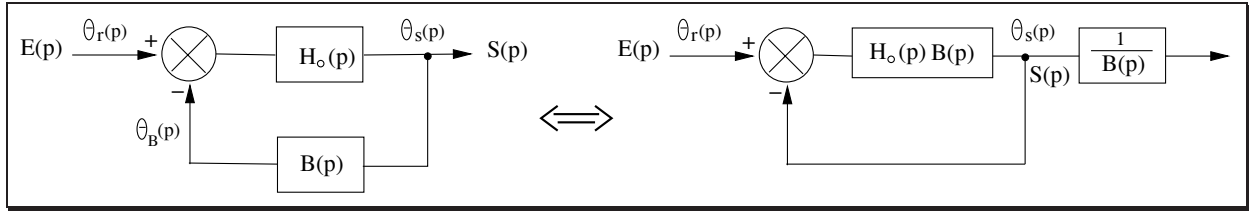


FIG. 1.7 – Schéma bloc d'un système à asservissement de phase

et $0,25 \mu\text{m}$ silicium-germanium proposées par STMicroelectronics.

L'étude quantitative d'une PLL est associée à l'étude des systèmes bouclés. Lorsque la boucle est verrouillée, le fonctionnement est considéré comme linéaire pour de petites variations autour de la fréquence centrale (nous reviendrons sur ce point dans le chapitre III). Nous ferons un rappel sur les systèmes asservis et les fonctions de transfert, puis étudierons la stabilité et la précision d'une PLL. Enfin, nous présenterons succinctement quelques éléments spécifiques comme le calcul de la plage de verrouillage, de la plage de capture et le comportement d'une PLL en présence de bruit.

1.4.1 Dispositif à asservissement de phase

Un système asservi est un système bouclé dont la grandeur de sortie est asservie à celle de l'entrée (figure 1.7). Les fonctions de transfert ou transmittances rencontrées sont :

- $\varepsilon(p) = \theta_r(p) - \theta_B(p)$: différence de phase ;
- $H_0(p)$: fonction de transfert de la chaîne directe ;
- $B(p)$: fonction de transfert de la chaîne de retour ;
- $H_0(p) B(p) = \frac{\theta_B(p)}{\varepsilon(p)}$: fonction de transfert de la boucle ouverte ;
- $H(p) = \frac{S(p)}{E(p)} = \frac{\theta_B}{\theta_r} = \frac{1}{B(p)} \times \frac{H_0(p) B(p)}{1 + H_0(p) B(p)} = \frac{H_0(p)}{1 + H_0(p) B(p)}$: fonction de transfert en boucle fermée ;
- $h_\varepsilon(p) = \frac{\varepsilon(p)}{\theta_r(p)} = 1 - H(p)$: équation de l'erreur de phase.

Pour un retour unitaire : $B(p) = 1 \Rightarrow H_0(p) B(p) = H_0(p)$.

Pour un retour par diviseur de fréquence de facteur N : $B(p) = \frac{1}{N} \Rightarrow H_0(p) B(p) = \frac{H_0(p)}{N}$

L'étude des systèmes asservis s'effectue en trois parties :

- Détermination de la fonction de transfert de chaque élément constitutif du système, construction du schéma-bloc général (ou schéma fonctionnel).
- Étude de la stabilité du système et de la compensation associée.
- Étude des performances, c'est-à-dire précision en régime statique et dynamique.

1.4.2 Fonction de transfert et schéma-bloc de la PLL

Nous analyserons le fonctionnement d'une boucle du troisième et quatrième ordres. Tout ce qui va suivre repose sur la linéarité des équations qui régissent le fonctionnement des dispositifs que nous allons étudier. Il faut pour cela que la relation entre les grandeurs d'entrée et les grandeurs de sortie soit un système d'équations différentielles linéaires. Bien que les systèmes physiques ne soient jamais linéaires, on peut s'en approcher si les grandeurs qui leur sont appliquées au niveau de leurs entrées sont comprises dans certaines limites définissant leur domaine de linéarité.

1.4.2.1 Fonction de transfert des éléments séparés

On définit la fonction de transfert de chaque élément si celle-ci n'est pas modifiée par l'élément qui suit ou qui précède. Pour les PLLs que nous allons concevoir en BiCMOS6G et en BiCMOS7, nous développerons le cas particuliers du comparateur de phase numérique trois états où la fonction de transfert est celle de l'ensemble comparateur-filtre passe-bas [6]. Nous développerons les calculs concernant les différents blocs et la validité de ces fonctions ; certains de ces calculs seront approfondis dans les chapitres suivants.

i Comparateur de phase

Si l'on considère une faible variation de la phase, le système se rapproche d'un système linéaire où la variation de phase à l'entrée est proportionnelle à la variation de la tension en sortie, ce qui nous permet d'écrire :

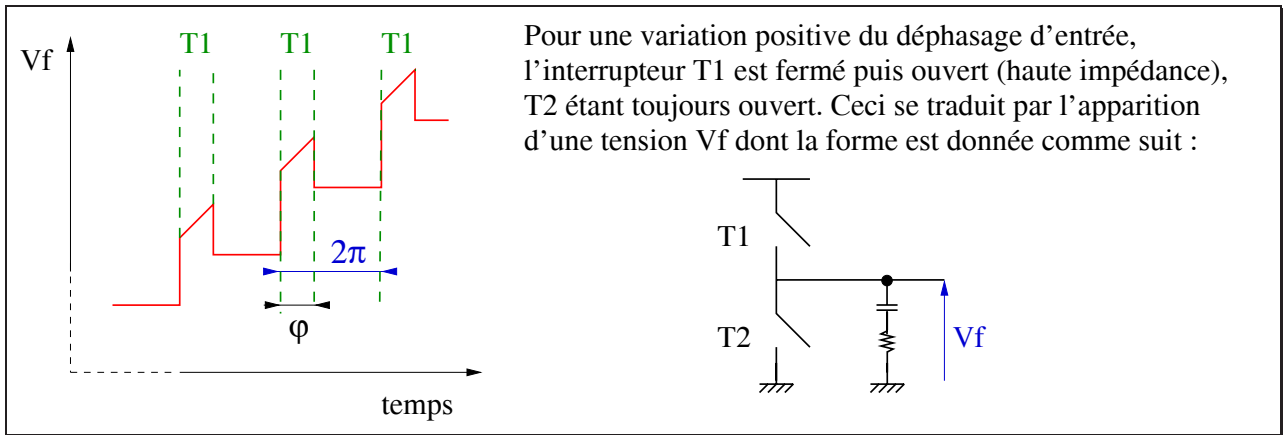
$$v_d = K_D f(\theta_r - \theta_B) = K_D f(\varepsilon)$$

f étant fonction de la différence des phases (ε), et K_D une constante appelée sensibilité dont la dimension s'exprime en $V \cdot \text{rad}^{-1}$.

Le choix des comparateurs de phase est guidé par :

- la valeur de la fréquence de fonctionnement,
- la forme des signaux,
- les plages de verrouillage et de maintien,
- le déphasage des tensions d'entrée et de sortie à la fréquence centrale f_0 (boucle verrouillée),
- l'erreur de position ou de vitesse,
- le verrouillage sur les harmoniques ou non, etc.

Nous reviendrons sur ces points dans le chapitre III.

FIG. 1.8 – *Filtre du 2^e ordre*

ii Filtre de boucle

Le signal de sortie du comparateur est constitué d'une composante continue et d'harmoniques : il faut supprimer ceux-ci afin de ne conserver que la composante continue. La fonction de transfert du filtre influence les propriétés de l'asservissement et permet, par le choix des paramètres introduits, de modifier les performances du dispositif. C'est le concepteur qui fixe la ou les fréquences de cassure de ce filtre. On rencontre le filtre passif constitué de résistances et de condensateurs, c'est le cas le plus fréquent lorsqu'on utilise des circuits intégrés type PLL, ou le filtre actif qui permet, en plus de sa fonction initiale, d'apporter un gain supplémentaire dans la chaîne directe. On a préféré les filtres passifs aux filtres actifs pour leur simplicité, leur faible coût et leur faible bruit de phase.

En pratique, la fonction de transfert de la boucle est au moins du 2^e ordre. Or, les sauts de fréquence inhérents aux boucles du 2^e ordre (figure 1.8) sont souvent inacceptables et un filtre supplémentaire est habituellement inclus dans la PLL pour atténuer l'oscillation résiduelle qui s'additionne à la tension continue que l'on cherche à extraire.

Par conséquent, un simple filtre composé d'une capacité C_1 est placé en parallèle avec l'impédance RC, comme le montre la figure 1.9-a. Nous obtenons alors un filtre passif du 2^e ordre (c'est-à-dire une boucle du 3^e).

En pratique, la fonction de transfert de la boucle est définie par 3 éléments :

- le gain statique (filtre actif),
- la pulsation propre du système non amorti ω_n ,
- le facteur d'amortissement réduit ζ .

C'est le filtre passe-bas qui permet de fixer ω_n et ζ . Le simple filtre passif RC ne permet pas de choisir indépendamment ces deux paramètres.

Fonction de transfert du filtre du 2^e ordre :

$$F_2(p) = \frac{1 + R_2 C_2 p}{C_1 C_2 R_2 p^2 + (C_1 + C_2) p}$$

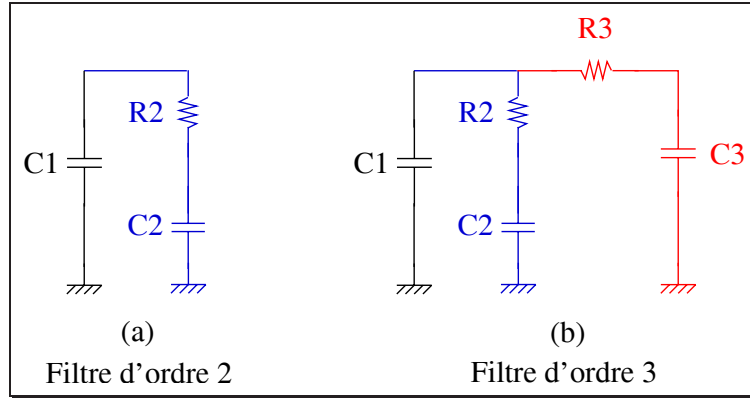


FIG. 1.9 – Schémas des deux filtres utilisés dans la conception des différentes PLLs

Or, le bruit provenant des commutations de courant dans les diviseurs et la pompe de charges à chaque période $T_{\text{référence}}$ peut causer une modulation de fréquence à la sortie de la PLL, nuisible d'un point de vue des performances en bruit du système. Pour se prémunir de ces parasites à la fréquence $f_{\text{référence}}$, on ajoute, au filtre d'ordre 2, un filtre composé d'une résistance en série R_3 et d'une capacité C_3 en dérivation (comme le montre la figure 1.9-b), ce qui fournit un pôle supplémentaire.

Fonction de transfert du filtre du 3^e ordre :

$$F_3(p) = \frac{1 + R_2 C_2 p}{p [C_1 R_2 C_2 R_3 C_3 p^2 + (R_2 C_2 C_3 + C_1 R_2 C_2 + C_1 R_3 C_3 + C_2 R_3 C_3) p + C_1 + C_2 + C_3]}$$

iii Oscillateur contrôlé en tension

Les oscillateurs contrôlés en tension (ou **V**oltage **C**ontrolled **O**scillator, **VCO**) sont des convertisseurs tension-fréquence. Les VCO sont peu stables en fréquence, ils ne peuvent être utilisés qu'en boucle fermée.

Une variation de tension, lente ou rapide, à leur entrée se traduit par une variation de fréquence en sortie. Leur commande est réalisée au moyen de la tension V_f issue du filtre. Un VCO doit présenter les qualités suivantes :

- une bonne linéarité de fréquence en fonction de la tension d'entrée $f(V_f)$,
- une bonne stabilité de fréquence (fréquence centrale f_0),
- une grande variation possible de la tension d'entrée V_f ,
- un grand coefficient de transfert $\frac{\omega_{\text{vco}}}{V_f}$,
- une grande variation de fréquence possible pour l'application dans les synthétiseurs,
- un faible bruit de phase,
- un faible coût.

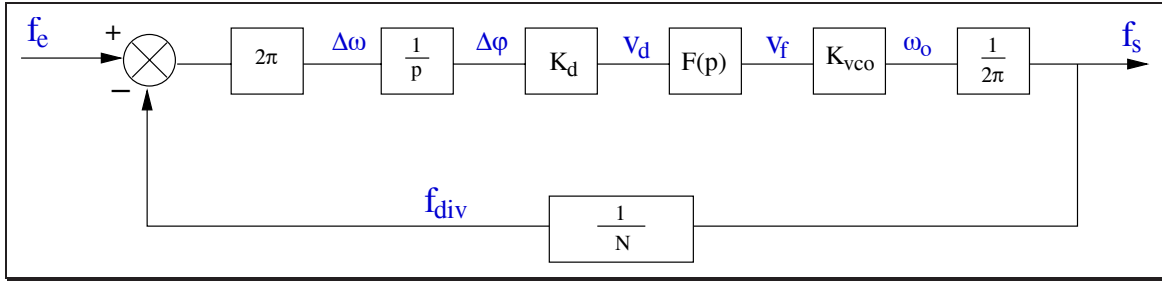


FIG. 1.10 – Schema-bloc de la PLL

La caractéristique de transfert, exprimée en pulsation, est la suivante :

$$\omega_{\text{vco}} = \omega_0 + K_v V_f$$

La pulsation ω_0 est dite de repos. Elle est obtenue lorsque $V_f = 0$. La constante K_v qui se mesure en $\text{rad}\cdot\text{s}^{-1}\cdot\text{V}^{-1}$, ou en $\text{Hz}\cdot\text{V}^{-1}$, représente la sensibilité de modulation de l'oscillateur.

iv Diviseur fréquentiel numérique ou analogique

Mise en évidence, par le calcul, de l'influence du diviseur dans le retour de la boucle :

La fonction de transfert de l'erreur $\theta_r(p) - \frac{\theta_s(p)}{N}$ est donnée par la relation :

$$h_\varepsilon(p) = \frac{\varepsilon(p)}{\theta_r(p)} = \frac{\theta_r(p) - \frac{\theta_s(p)}{N}}{\theta_r(p)} = 1 - H(p)$$

Si le système est stable (c'est-à-dire pour $t \rightarrow \infty$, $p \rightarrow 0$), l'erreur de phase $h_\varepsilon(t)$ en régime établi devient nulle et la fonction de transfert permet d'établir l'égalité suivante :

$$\lim_{t \rightarrow \infty} h_\varepsilon(t) = \lim_{p \rightarrow 0} p h_\varepsilon(p) = 0$$

et

$$f_s = N f_{\text{ref}}$$

avec f_{ref} , fréquence de référence envoyée au détecteur phase/fréquence, et f_s , fréquence de sortie du VCO.

1.4.2.2 Schéma-bloc et fonction de transfert de la PLL

Nous allons établir le schéma-bloc en grandeurs fréquentielles d'une PLL pour un retour non-unitaire.

Avant de poser les calculs nécessaires à la conception de la PLL, nous allons rappeler les notions de **stabilité** et de **précision**.

i Stabilité

Un système asservi linéaire est stable lorsque, écarté momentanément de sa position d'équilibre par une perturbation, il tend à y revenir lorsque celle-ci disparaît. Cette stabilité conditionnelle peut être étudiée de plusieurs manières [16]:

- par le lieu de Nyquist de la fonction $\underline{H_o \cdot B}$ (si ce lieu passe à gauche ou sur le point « -1 » lorsqu'on le parcourt suivant les fréquences croissantes, il y a instabilité permanente);
- par le signe des pôles de la fonction de transfert du système (si l'un de ces pôles est positif, il y a divergence donc instabilité);
- par les diagrammes de Bode de la fonction $\underline{H_o \cdot B}$ (si $|\underline{H_o \cdot B}| = 1$ et $\theta(\underline{H_o \cdot B}) \leq -180^\circ$, il y a instabilité).

Les conditions précitées ne sont valables que dans le domaine de la théorie et en régime établi. Un système asservi doit conserver ses performances en régime transitoire, ce qui impose de nouvelles conditions.

On définit la « marge de phase » qui permet de chiffrer la marge de sécurité que l'on prend par rapport à l'instabilité du système ($|\underline{H_o(p) B(p)}| = 1$ avec $\arg(\underline{H_o(p) B(p)}) = -180^\circ$). On peut alors déterminer sur le diagramme du module $20 \log |\underline{H_o(j\omega_n) B(j\omega_n)}|$:

- si $20 \log |\underline{H_o(j\omega_n) B(j\omega_n)}| > 0$, soit $|\underline{H_o(j\omega_n) B(j\omega_n)}| > 1$, le système bouclé est instable.
- si $20 \log |\underline{H_o(j\omega_n) B(j\omega_n)}| < 0$, soit $|\underline{H_o(j\omega_n) B(j\omega_n)}| < 1$, le système bouclé est stable.

Soit ω_n , la pulsation pour laquelle $20 \log(\underline{H_o(p) B(p)}) = 0$ dB. On définit la marge de phase par :

$$M_\theta = 180^\circ + \arg(H_o(j\omega_n) B(j\omega_n))$$

La marge de phase peut être mise en évidence sur le diagramme de Bode et sa valeur doit être comprise entre 30° et 70° dans les meilleurs cas.

ii Précision

Un système est asservi (ou bouclé) parce que l'on souhaite toujours obtenir le maximum de précision à sa sortie, comparée à la consigne appliquée à son entrée.

ii.a Calcul de l'erreur relative

A partir de la figure 1.7, nous obtenons :

$$\begin{aligned} \varepsilon(p) &= E(p) - S(p) = E(p) - H_o(p) B(p) \varepsilon(p) \\ \text{d'où } \varepsilon(p) &= \frac{E(p)}{1 + H_o(p) B(p)} \end{aligned}$$

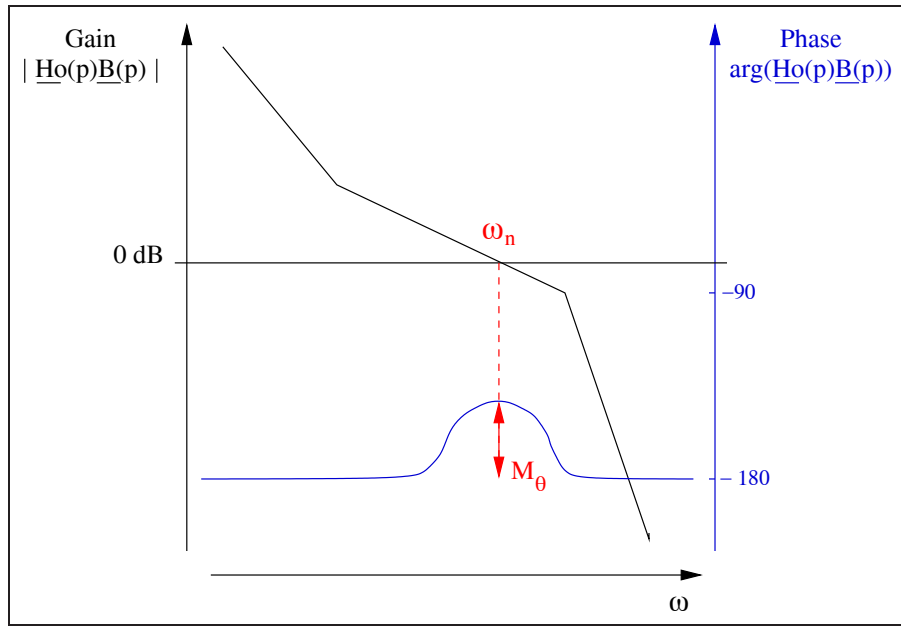


FIG. 1.11 – Représentation graphique de la marge de phase

L'erreur d'un système dépend :

- du type de l'entrée $E(p)$ donc $e(t)$,
- de la fonction de transfert du système $H_o(p) B(p)$.

Les entrées typiques considérées sont en général l'impulsion, l'échelon, la rampe, l'accélération et le régime harmonique. Mis à part ce dernier qui est un régime linéaire, nous ne calculerons que l'erreur de position et de vitesse.

ii.β Erreur de position

La transformée de Laplace de l'entrée est $E(p) = \frac{a}{p}$ où a représente l'amplitude de la variation d'entrée. Ainsi,

$$\varepsilon(p) = \frac{\frac{a}{p}}{1 + H_o(p) B(p)}$$

et, par définition, l'erreur relative $\varepsilon(t)$ de la sortie devient :

$$\lim_{t \rightarrow +\infty} \varepsilon(t) = \lim_{p \rightarrow 0} p \varepsilon(p)$$

C'est l'application du théorème de la valeur finale.

ii.γ Erreur de vitesse ou de traînage :

La transformée de Laplace de l'entrée est $\frac{a}{p^2}$ où a représente la pente de $e(t)$. Ainsi,

$$\varepsilon(p) = \frac{\frac{a}{p^2}}{1 + H_o(p) B(p)}$$

Comme précédemment, l'erreur de traînage est définie à partir du théorème de la valeur finale.

iii Acquisition

La figure 1.12 récapitule les différentes plages d'acquisition d'une boucle à verrouillage de phase.

iii.α Plage de verrouillage

C'est la plage à l'intérieur de laquelle on peut faire varier, de façon infiniment lente, la pulsation du signal de référence d'une boucle verrouillée. Soit ω_o la fréquence centrale du VCO. On définit alors cette plage de la manière suivante :

$$\omega_o - K_D K_{vco} \leq \omega_{ref} \leq \omega_o + K_D K_{vco}$$

La plage de verrouillage est dite aussi de maintien ou de suivi.

iii.β Plage de capture

La plage de capture est celle à l'intérieur de laquelle les signaux de référence et de l'oscillateur se synchronisent. Pour la déterminer nous supposons au départ le signal de référence non verrouillé et sa pulsation telle que :

$$\omega_{ref} < \omega_o - K_D K_{vco}$$

Considérons un signal alternatif à fréquence croissante et un filtre passe-bas parfait dont la bande passante est B_L . Cette bande passante est telle que :

$$2 \pi B_L < K_D K_{vco}$$

Si l'on augmente progressivement la pulsation de référence à partir d'une valeur inférieure à $\omega_o - K_D K_{vco}$, le verrouillage ne pourra s'effectuer que si :

$$\omega_{ref} - \omega_o \leq 2 \pi B_L$$

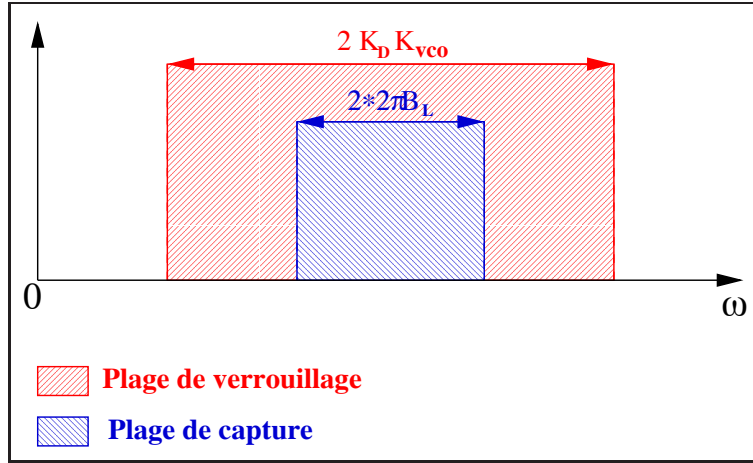


FIG. 1.12 – Représentation graphique de la plage de capture et de la plage de verrouillage

pour que le filtre, que l'on suppose parfait, laisse passer la composante de pulsation $\omega_{\text{ref}} - \omega_o$. Si ω_{ref} continue à augmenter, le verrouillage se maintiendra jusqu'à ce que ω_{ref} atteigne la limite $\omega_o + K_D K_{\text{vco}}$. La plage de capture est donc égale à $2 \times 2\pi B_L$.

1.4.2.3 Etude de la boucle à verrouillage de phase d'ordre 3 et d'ordre 4

Les fonctions de transfert qui suivent sont fondées sur une approximation qui ne prend en compte que le comportement moyen de la boucle, ce qui permet de considérer la boucle à verrouillage de phase comme un système continu.

Or le courant de charge est commuté par les signaux **Up** et **Down** du comparateur phase / fréquence (cf. Chapitre III). La modélisation du comparateur ne prend pas en compte les commutations périodiques du circuit liées aux fronts du signal de référence et du signal de sortie du diviseur. L'approximation qui consiste à considérer le système comme linéaire est donc valide si la fréquence de ces commutations est suffisamment supérieure à la dynamique du système. Dans le cas d'une boucle du second ordre, on peut identifier la fonction de transfert du système à celle d'un système du second ordre classique comportant un zéro [17]:

$$H(p) = K \frac{\alpha p + 1}{\frac{1}{\omega_n^2} p^2 + \frac{2\zeta}{\omega_n} p + 1}$$

L'identification terme à terme permet de déterminer la valeur du gain K , la pulsation naturelle ω_n et le coefficient d'amortissement ζ :

$$\omega_n = \sqrt{\frac{K_v I_p}{N C}} \zeta = \frac{R}{2} \sqrt{\frac{K_v I_p C}{N}}$$

avec K_v , gain du VCO en $\text{rad}\cdot\text{s}^{-1}\cdot\text{V}^{-1}$, I_p courant délivré par la pompe de charge, et R et C les valeurs du filtre.

La dynamique du système est caractérisée par sa pulsation naturelle ω_n ; on peut ainsi quantifier la validité du modèle linéaire continu en comparant cette pulsation avec celle des signaux de sortie du comparateur phase/fréquence.

Cette dernière pulsation étant sensiblement égale à la pulsation du signal de référence, on obtient la condition de validité suivante :

$$\omega_n \approx \omega_{ref}$$

De manière plus générale, le modèle reste valide si la bande passante du système est très inférieure (facteur 10-20) à la pulsation d'entrée.

i Boucle d'ordre 3

Rappel de la fonction de transfert du filtre :

$$F_2(p) = \frac{1 + R_2 C_2 p}{p^2 C_1 R_2 C_2 + p(C_1 + C_2)} = \frac{1 + T_2 p}{(C_1 + C_2)(T_1 p^2 + p)} \text{ avec } T_1 = R_2 \frac{C_1 C_2}{C_1 + C_2} \text{ et } T_2 = R_2 C_2$$

Les constantes T_1 et T_2 représentent les constantes de temps qui déterminent les fréquences du pôle et du zéro de la fonction de transfert du filtre du 2^e ordre. La transmittance en boucle ouverte s'écrit alors :

$$H_o(p) B(p) = \frac{\theta_B(p)}{\theta_r(p)} \text{ D'où } H_o(p) B(p) = \frac{K_v K_D F(p)}{N p} = \frac{K_v I_p F(p)}{2 \pi N p}$$

avec K_v , gain du VCO en $\text{rad}\cdot\text{s}^{-1}\cdot\text{V}^{-1}$, et I_p , courant délivré par la pompe de charges.

On peut en déduire le gain en boucle fermée :

$$H(p) = \frac{H_o(p)}{1 + H_o(p) B(p)} = \frac{\frac{K_v I_p F(p)}{2 \pi p}}{1 + \frac{K_v I_p F(p)}{2 \pi N p}} = \frac{\frac{K_v I_p (T_2 p + 1)}{2 \pi p (C_1 + C_2)(T_1 p^2 + p)}}{1 + \frac{K_v I_p (T_2 p + 1)}{2 \pi N p (C_1 + C_2)(T_1 p^2 + p)}}$$

$$\text{Soit } K = \frac{I_p K_{vco}}{2 \pi N}$$

$$H(p) = \frac{N K (T_2 p + 1)}{p^3 + \frac{p^2}{T_1} + \frac{K T_2}{T_1 (C_1 + C_2)} p + \frac{K}{T_1 (C_1 + C_2)}}$$

A partir de là, nous pouvons résoudre l'équation caractéristique dans le but de fixer les valeurs du filtre (R_2 , C_1 , C_2) tout en respectant la règle citée précédemment [18, 19]:

$$p^3 + \frac{1}{T_1} p^2 + \frac{K T_2}{T_1 (C_1 + C_2)} p + \frac{K}{T_1 (C_1 + C_2)} = 0$$

Il est d'usage, par analogie avec certains systèmes mécaniques, de poser :

$$p^3 + \omega_n (1 + 2\zeta) p^2 + \omega_n^2 (1 + 2\zeta) p + \omega_n^3 = 0$$

avec ζ , le coefficient d'amortissement et ω_n , l'oscillation propre du système.

D'où, après identification, on obtient :

$$(1 + 2\zeta) \omega_n = \frac{1}{T_1} \quad (1.1)$$

$$(1 + 2\zeta) \omega_n^2 = \frac{K T_2}{T_1 (C_1 + C_2)} \quad (1.2)$$

De là, on peut en déduire R_2 , C_1 et C_2 .

En ce qui concerne la valeur du coefficient d'amortissement, il est difficile de connaître sa valeur optimale par le calcul (on sait en pratique que sa valeur optimale se situe généralement entre 0.7 et 1). Le seul moyen est de tracer pour plusieurs valeurs de ζ la fonction $f(t)$, c'est-à-dire l'évolution de la fréquence de sortie de la PLL en fonction du temps [20].

On considère la PLL accrochée sur la fréquence f_1 et qui, d'après la valeur de la fréquence de référence, va devoir converger vers la fréquence $f_2 = N f_{\text{ref}}$.

$$f(t) = f_2 + (f_1 - f_2) e^{-\zeta \omega_n t} \left[\cos(\omega_n \sqrt{1 - \zeta^2} t) + \frac{\zeta - T_2 \omega_n}{\sqrt{1 - \zeta^2}} \sin(\omega_n \sqrt{1 - \zeta^2} t) \right]$$

Il est nécessaire aussi de fixer une valeur pour ω_n : la pulsation naturelle ou propre de la PLL est comprise entre $\left[\frac{\omega_{\text{ref}}}{100}; \frac{\omega_{\text{ref}}}{10} \right]$ de telle manière que le bruit de la PLL puisse être filtré correctement : par cette méthode, il est donc nécessaire de faire une analyse en bruit du système avant de fixer la valeur de ω_n . On peut aussi tracer pour différentes valeurs de ω_n et pour une valeur de ζ fixé, la réponse fréquentielle du système comme le montre la figure 1.14.

Pour déterminer les valeurs du filtre, on peut aussi utiliser la représentation graphique de la marge de phase. Dans l'expression de la fonction de transfert en boucle ouverte,

$$H_o(p) B(p) = -\frac{K_D K_v (1 + T_2 p) T_1}{\omega^2 C_1 N (1 + T_1 p) T_2}$$

on peut constater que le terme de phase dépend d'un seul pôle et d'un seul zéro, ce qui permet d'en déduire l'expression de la marge de phase du système :

$$M_\theta = \tan^{-1}(\omega T_2) - \tan^{-1}(\omega T_1) + 180^\circ$$

En dérivant l'expression de la marge de phase et en égalisant l'expression ainsi obtenue à la valeur 0, on obtient la fréquence f_n ou la pulsation ω_n correspondant au point d'inflexion de

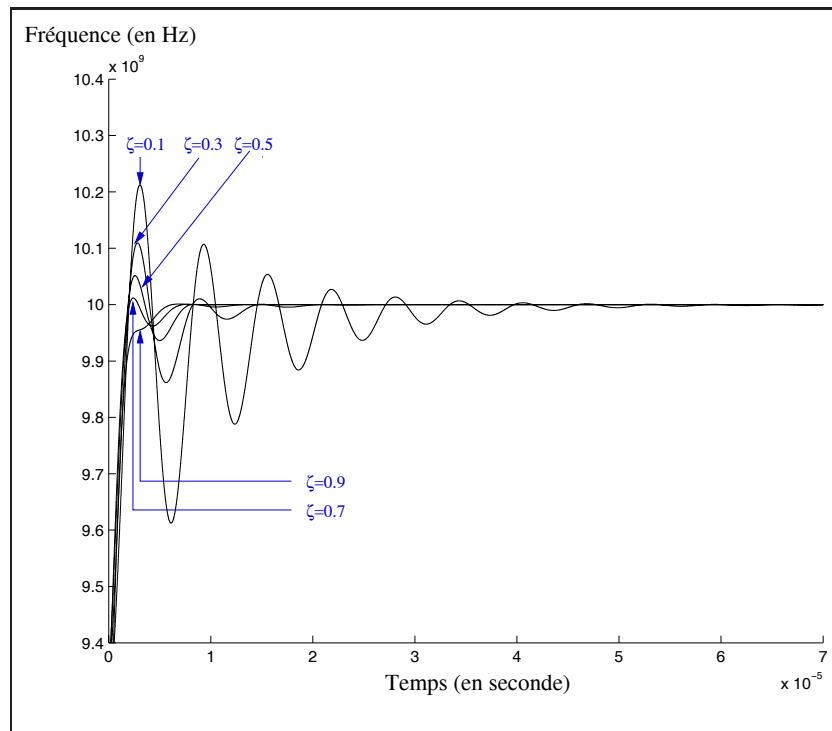


FIG. 1.13 – Représentation graphique de la fréquence de sortie de la PLL en fonction du temps pour différentes valeurs de ζ

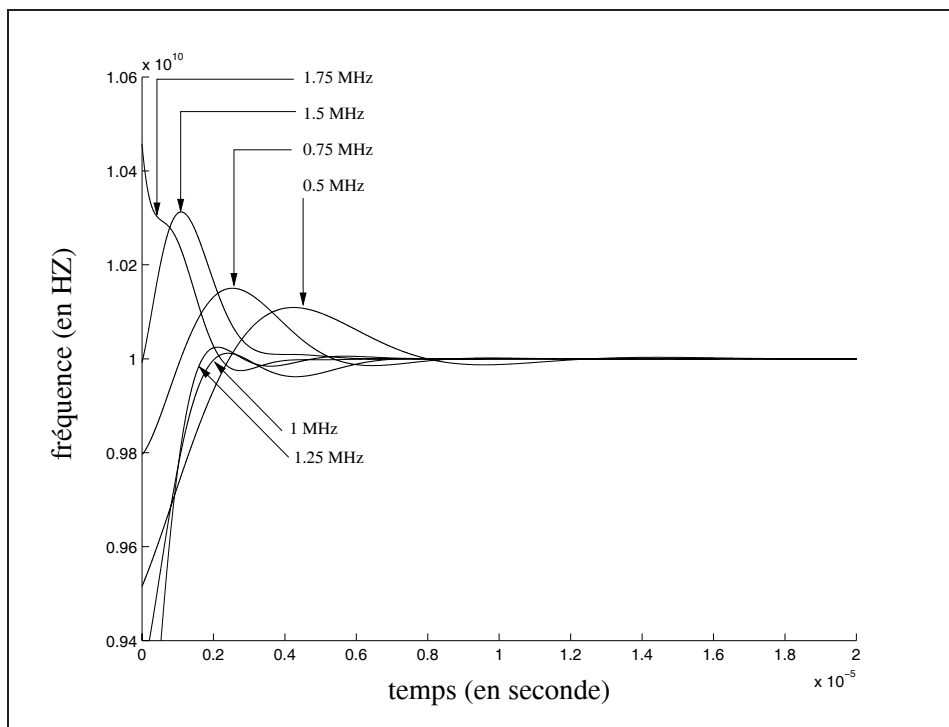


FIG. 1.14 – Représentation graphique de la fréquence de sortie de la PLL en fonction du temps pour différentes valeurs de ω_n et pour une valeur de ζ égale à 0.7

phase obtenu avec les constantes de temps T_1 et T_2 :

$$\frac{dM_\theta}{d\omega} = \frac{T_2}{1 + (\omega_n T_2)^2} - \frac{T_1}{1 + (\omega_n T_1)^2} = 0$$

On en déduit : $\omega_n = \frac{1}{\sqrt{T_1 T_2}}$. Pour assurer la stabilité de la boucle, nous voulons que la marge de phase soit maximale quand le module du gain en boucle ouverte est égal à 1. Ce qui donne :

$$C_1 = \frac{K_D K_v T_1}{\omega_n^2 N T_2} \left| \frac{1 + T_2 p}{1 + T_1 p} \right|$$

Maintenant que la largeur de bande de la boucle ω_n et la marge de phase M_θ sont spécifiées, l'impédance du filtre et l'équation précédente définissant C_1 nous permettent de calculer les deux constantes de temps T_1 et T_2 .

$$T_1 = \frac{\cos^{-1} M_\theta - \tan M_\theta}{\omega_n} \text{ et } T_2 = \frac{1}{\omega_n^2 T_1}$$

Pour finir, connaissant les constantes T_1 , T_2 et ω_n , on peut en déduire les valeurs C_1 , C_2 et R_2 du filtre :

$$\begin{aligned} C_1 &= \frac{T_1 K_D K_v}{T_2 \omega_n^2 N} \sqrt{\frac{1 + (\omega_n T_2)^2}{1 + (\omega_n T_1)^2}} \\ C_2 &= C_1 \left(\frac{T_2}{T_1} - 1 \right) \\ R_2 &= \frac{T_2}{C_2} \end{aligned}$$

ii Boucle d'ordre 4

Rappel de la fonction de transfert du filtre :

$$F_3(p) = \frac{1 + R_2 C_2 p}{p [p^2 C_1 R_2 C_2 R_3 C_3 + p (R_2 C_2 C_3 + C_1 R_2 C_2 + C_1 R_3 C_3 + C_2 R_3 C_3) + C_1 + C_2 + C_3]}$$

On peut réécrire la fonction de transfert $F_3(p)$ en fonction de $F_2(p)$:

$$F_3(p) = \frac{F_2(p) \left(\frac{1}{C_3 p} \right)}{F_2(p) + R_3 + \left(\frac{1}{C_3 p} \right)}$$

Le pôle qui apparaît lorsque l'on ajoute le filtre passe-bas supplémentaire composé de R_3 et C_3 doit être plus faible que la fréquence de référence, dans le but d'atténuer de manière significative

les « spurious » dont on a parlé précédemment, mais doit être au moins cinq fois plus important que la largeur de bande ω_n , sinon la boucle sera assurément instable. On choisira $C_1 \geq 10 C_3$, de telle façon que le pôle T_3 n'interagisse pas avec T_1 et T_2 , et de la même manière, nous prendrons R_3 au moins deux fois plus petite que R_2 . En posant la nouvelle constante de temps $T_3 = R_3 C_3$, l'équation du gain en boucle ouverte s'écrit :

$$H_o(p) B(p)|_{\text{ordre } 4} = -\frac{K_D K_v (1 + T_2 p)}{\omega^2 C_1 N (1 + T_1 p)} \frac{T_1}{T_2} \frac{1}{1 + T_3 p}$$

On peut alors écrire une approximation de l'expression de la marge de phase $M'_\theta(p)$:

$$M'_\theta \propto (1 + \omega T_2)(1 - \omega T_1)(1 - \omega T_3)$$

Après de multiples manipulations purement mathématiques, l'équation caractéristique de la boucle d'ordre 4 s'écrit [21]:

$$p^2 + \frac{2 \tan(M'_\theta)(T_1 + T_3)}{(T_1 + T_3)^2 + T_1 T_3} p - \frac{1}{(T_1 + T_3)^2 + T_1 T_3} = 0$$

De là, on peut en déduire la nouvelle largeur de bande ω'_n de la boucle d'ordre 4:

$$\omega'_n = \frac{\tan(M'_\theta)(T_1 + T_3)}{(T_1 + T_3)^2 + T_1 T_3} \left[\sqrt{1 + \frac{(T_1 + T_3)^2 + T_1 T_3}{[\tan(M'_\theta)(T_1 + T_3)]^2}} - 1 \right]$$

On peut donc en déduire les valeurs C_1 , R_2 , C_2 , R_3 et C_3 du filtre de boucle d'ordre 4:

$$\begin{aligned} C_1 &= \frac{T_1 K_D K_v}{T_2 \omega_n'^2 N} \sqrt{\frac{1 + \omega_n'^2 T_2^2}{(1 + \omega_n'^2 T_1^2)(1 + \omega_n'^2 T_3^2)}} \\ C_2 &= C_1 \left(\frac{T_2}{T_1} - 1 \right) \\ R_2 &= \frac{T_2}{C_2} \end{aligned}$$

On peut visualiser la convergence de la fréquence de sortie de la boucle d'ordre 4 vers la fréquence $f_2 = 10$ GHz en fonction du temps :

$$f(t) = f_2 + \sum_{i=0}^3 A_i e^{p_i t} \left(\frac{1}{p_i} + R_2 C_2 \right)$$

avec p_i , les différents pôles du système.

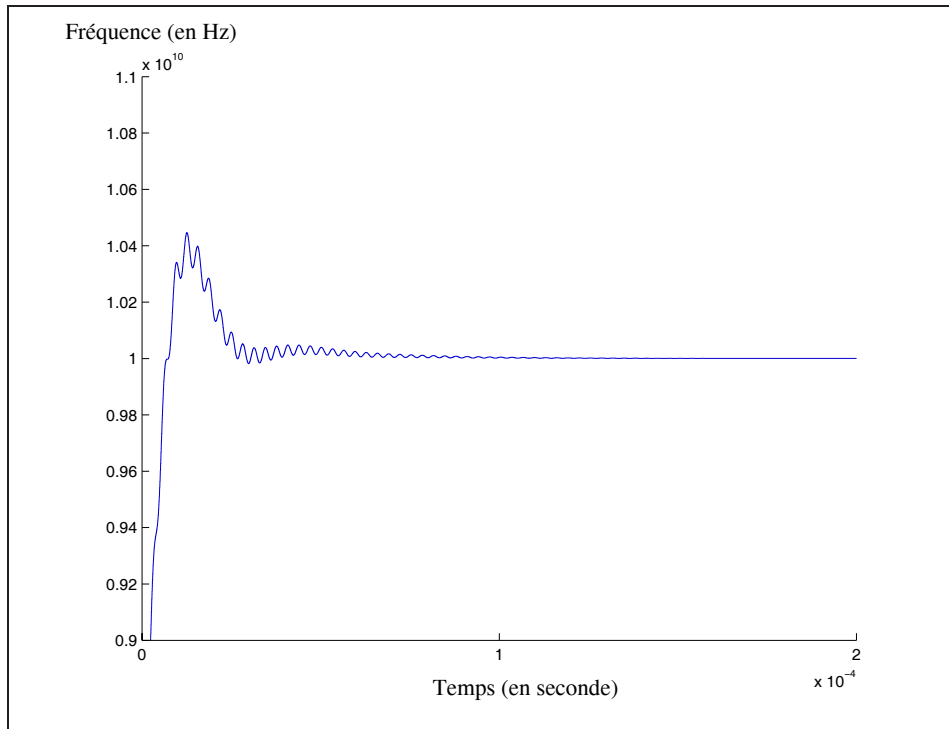


FIG. 1.15 – Représentation graphique de la fréquence de sortie de la PLL en fonction du temps pour des valeurs de ω'_n , C_1 , R_2 , C_2 , R_3 et C_3 données

1.5 Étude du bruit de phase de la boucle à verrouillage de phase

La modélisation du bruit de phase résiduel des fonctions MMICs composant un synthétiseur de fréquences basé sur une boucle à verrouillage de phase (comparateur de phase, VCO, diviseur de fréquence) est essentielle à l'estimation du bruit de phase total en sortie du système. Les réalisations de fonctions numériques obligent une remise en question des techniques de simulation de bruit de phase des fonctions analogiques habituelles afin de les adapter aux circuits numériques.

Dans un premier temps, nous ferons un bilan des techniques de simulation existantes du bruit de phase à partir d'un logiciel de simulation temporelle (Spectre RF) appliqué sur des oscillateurs. Par la suite, une extension de ces techniques sera proposée afin de prendre en charge la simulation du bruit de phase des fonctions numériques.

1.5.1 Environnement Cadence - « Affirma™ Spectre RF »

« Affirma™ Spectre RF » fait partie d'un ensemble de logiciels qui s'intègre dans "Cadence Analog Design Environment". Il permet d'effectuer des analyses périodiques de conceptions analogiques et radiofréquences. Il est capable de simuler des circuits tels que des oscillateurs,

mixers, multiplieurs, diviseurs, ...

1.5.1.1 Principales fonctions utilisées

i Analyse PSS (Periodic Steady State)

L'analyse **PSS** calcule l'état périodique de la réponse d'un circuit par une simulation temporelle indépendante des constantes de temps du circuit. Elle peut traiter des circuits autonomes (non pilotés, par exemple des oscillateurs) et des circuits non autonomes (pilotés, par exemple des diviseurs).

Une analyse **PSS** comporte deux phases :

- ◇ une phase *transient* qui initialise le circuit
- ◇ une phase qui calcule l'état stable périodique de la solution

L'algorithme simule une période de la fréquence commune, et continue les itérations jusqu'à ce que les tensions et les courants au départ et à la fin de la période respectent le critère de convergence.

ii Analyse PNOISE (Periodic NOISE)

L'analyse **PNOISE**, contrairement aux analyses de bruit conventionnelles, calcule les effets de la conversion de fréquence. Elle produit toutes les contributions de bruit à la fréquence de sortie spécifiée. Cette analyse utilise les résultats de l'analyse **PSS** qui calcule la réponse du signal périodique, puis détermine le bruit résultant.

Le bruit de phase étudié par la suite est déterminé par cette analyse.

1.5.2 Bruit de phase

Le bruit de phase, appelé aussi **SSBPN** (**S**ingle **S**ide **B**and **P**hase **N**oise - le bruit est considéré symétrique de chaque côté de la porteuse) est un rapport de puissance. Il s'agit du rapport de la puissance dans une bande passante 1 Hz d'une fréquence **fm** éloignée de la porteuse à la puissance de la porteuse elle-même.

Sur la figure 1.16, on peut observer un certain nombre de variables et d'unités :

- dBc/Hz : dB par rapport à la porteuse par Hz = $10 \log \left(\frac{P_n}{P_c} \right)$;
- P_n : puissance du bruit à un écart de fréquence f dans une bande passante de 1 Hz ;
- P_c : puissance de la porteuse.

Le bruit de phase des oscillateurs est un paramètre essentiel pour le concepteur de sources à haute pureté spectrale et constitue l'un des principaux critères lors du choix d'un systèmes [1,2]. Lorsque nous parlons de haute pureté spectrale, cela signifie faible bruit de modulation d'amplitude ou de fréquence. En général, le bruit de modulation d'amplitude est très faible et

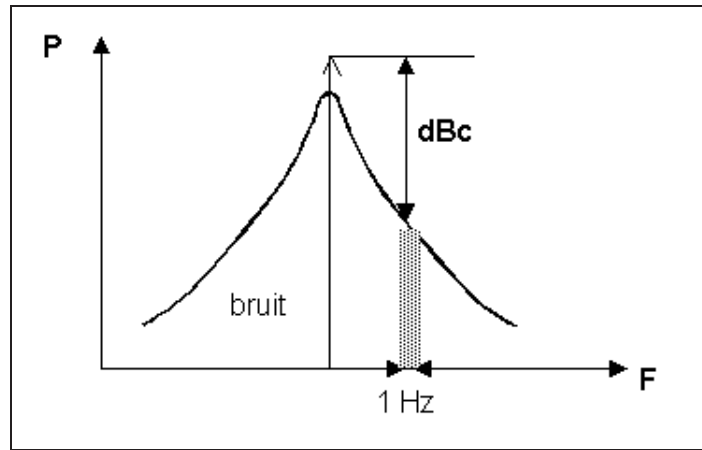


FIG. 1.16 – Description du bruit de phase

on ne s'occupe alors que de la fluctuation en fréquence de l'oscillateur d'où le terme « bruit de fréquence » Δf qui s'exprime en $\text{Hz}/\sqrt{\text{Hz}}$. Mais souvent, nous préférons exprimer la modulation de fréquence en terme de phase. Pour un signal modulé en fréquence, avec une fréquence de modulation f_m , la modulation de phase correspondante s'écrit :

$$\Delta\varphi = \frac{\Delta f}{f_m}$$

Par analogie, pour une modulation aléatoire, les densités spectrales de fluctuations de phase et de fréquence sont reliées par :

$$S_{\Delta\varphi} = \frac{S_{\Delta f}}{f_m^2}$$

où, $S_{\Delta f}$ représente la densité spectrale de fluctuations de fréquence (en Hz^2/Hz) et $S_{\Delta\varphi}$ représente la densité spectrale de fluctuations de phase (en dBrad/Hz).

Afin de mieux comprendre l'origine du gabarit du bruit de phase, il apparaît nécessaire d'identifier et de séparer les différentes contributions des éléments constitutifs de la boucle, en fonction de la synthèse choisie.

1.5.3 Bruit dans les circuits

Les sources de bruit peuvent être classées en deux catégories selon leurs origines :

- bruits «ultimes» ou bruits «blancs» : bruit thermique et bruit de grenaille. Ces deux types de bruit sont appelés «ultimes» ou «blancs» car ils proviennent de la physique même des matériaux, ils ne dépendent pas de la qualité des composants. On ne peut jamais les éliminer, on ne pourra qu'optimiser leur contribution.
- bruits en « excès » : bruit flicker et bruit en créneaux. Ces deux types de bruit sont appelés en « excès » car ils dépendent de la qualité des composants, notamment de la « propreté » des états de surface. Pour un même processus de fabrication, on pourra observer une large

dispersion du niveau de ces bruits.

1.5.4 Bruit thermique

Il est également nommé bruit de résistance, ou bruit Johnson, du nom du physicien Johnson qui l'a mis en évidence en 1927. L'étude théorique en a été faite en 1928 par Nyquist : quand un corps est porté à une certaine température, les noyaux atomiques mais surtout les électrons qui le composent sont agités et dotés d'une vitesse en moyenne nulle (ils ne vont en moyenne dans aucune direction particulière), mais dont la moyenne quadratique est proportionnelle au produit de la température et de la constante de Boltzmann.

Pour une résistance R portée à la température T , la densité spectrale de puissance du bruit vaut :

$$S_b(f) = 4 k T R \text{ (unité Volt}^2\text{/Hz)}$$

K : constante de Boltzmann = $1,38 \cdot 10^{-23} \text{ J/}^\circ\text{K}$.

T : température absolue.

R : valeur de la résistance.

Ce bruit est dit *blanc*, par analogie avec la lumière visible, car toutes les fréquences sont également représentées dans le spectre. Cela n'est pas rigoureusement exact (l'énergie transportée par un tel signal serait infinie), mais cette approximation est tout à fait valable dans les domaines de fréquences où l'on travaille habituellement.

1.5.5 Bruit de grenaille (ou bruit Schottky)

Egalement nommé «shot noise», il est causé par des discontinuités du débit des porteurs de charge, dues à des effets quantiques. Il est modélisé par une source de courant, placée en parallèle du composant idéal non bruyant, et de densité spectrale de puissance égale à :

$$S_i(f) = 2 q I \text{ (unité A}^2\text{/Hz)}$$

q : charge de l'électron (= $1,602 \cdot 10^{-19} \text{ C}$).

I : courant moyen qui parcourt le composant.

1.5.6 Bruit flicker (rose ou de scintillement)

Il est toujours présent dans les composants actifs et dans certains composants passifs. Ses origines sont variées : il peut être dû à des impuretés dans le matériau pour un transistor, qui libèrent aléatoirement des porteurs de charge, ou bien à des recombinaisons électron-trou parasites. Ce bruit peut être représenté par une source de tension ou une source de courant. Il

1.5. ÉTUDE DU BRUIT DE PHASE DE LA BOUCLE À VERROUILLAGE DE PHASE 47

est caractérisé par la loi de variation de sa densité en f^{-1} . La pente de ce spectre est souvent exprimée en dB par décade (-10 dB/décade) ou en dB par octave (-3 dB/octave). La densité spectrale est de la forme :

$$S_{1/f}(f) = K \frac{I^\alpha}{f^\beta} \text{ (unité A}^2/\text{Hz)}$$

avec $0,5 < \alpha < 2$ et $0,8 < \beta < 1,3$ où β étant le plus souvent voisin de 1.

K est une caractéristique du composant et I le courant moyen qui le traverse.

Une représentation Log-Log permet de reconnaître aisément ce type de bruit.

1.5.7 Bruit en créneaux (bruit « popcorn » ou crépitement)

L'origine de ce bruit est mal comprise. Il semblerait lié à la contamination par des ions métalliques des semi-conducteurs qui composent les éléments actifs. Ce bruit est appelé « bruit en créneaux » car les formes d'onde qu'il produit ressemblent à des signaux carrés bruités, de fréquence variable.

La plus grande partie du spectre de ce bruit se situe dans le domaine des fréquences audibles. La densité spectrale de puissance est de la forme :

$$S_{\text{crépitement}}(f) = K' \frac{I^\gamma}{1 + \left(\frac{f}{f_c}\right)^2} \text{ (unité A}^2/\text{Hz)}$$

où $0,5 < \gamma < 2$, la fréquence de coupure f_c et la constante K' étant les caractéristiques du composant.

1.5.8 Densité spectrale du bruit d'un circuit électronique

Pour estimer le bruit total d'un circuit, il faut faire la somme des sources de bruit précédemment définies (en puissance ou densité spectrale). Si la tension de bruit n'a pas subi de filtrage, sa densité spectrale présente la forme générale d'un bruit blanc et d'un bruit flicker :

$$S(f) = K_1 + \frac{K_2}{f}$$

Il est possible de définir une fréquence de coupure f_c appelée fréquence de coupure « flicker » telle que :

$$S(f) = K \left[1 + \frac{f_c}{f} \right]$$

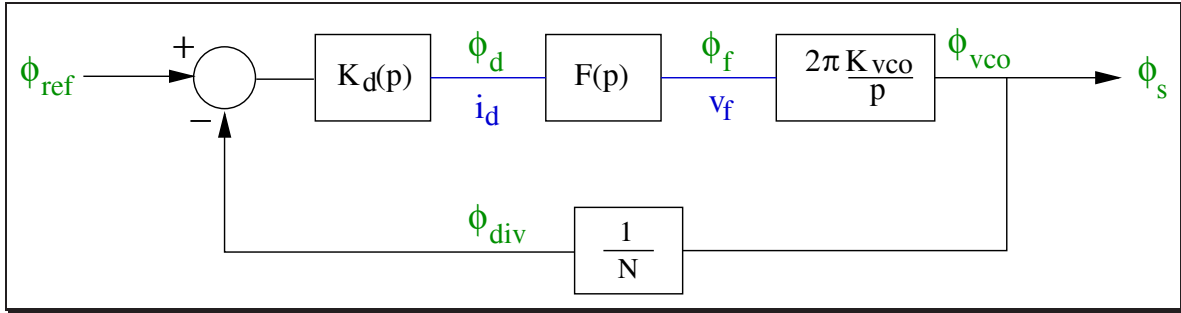


FIG. 1.17 – Représentation de la PLL dans le domaine fréquentiel

1.5.9 Bruit de phase de la boucle à verrouillage de phase avec un détecteur phase/fréquence et un diviseur numériques

Afin de mieux comprendre l'origine du bruit de phase d'une source hyperfréquence, il apparaît nécessaire d'identifier et de séparer les différentes contributions des éléments constitutifs de la boucle, en fonction de la synthèse choisie [22, 23, 13]. Dans une première étape, l'expression du spectre de bruit de phase en sortie de boucle est établie en ne considérant que les fonctions du VCO et de la référence (oscillateur à quartz). Dans la suite du développement, les contributions du diviseur, du comparateur phase/fréquence associé à la pompe de charges et du filtre utilisés pour l'asservissement en fréquence et en phase sont pris en compte.

1.5.10 Contributions de la référence et du VCO

Le calcul du bruit de phase est basé, dans un premier temps, sur les contributions suivantes :

- S_{vco} : densité spectrale unilatérale de bruit de phase du VCO libre,
- S_{div} : densité spectrale unilatérale de bruit de phase en sortie du diviseur,
- S_{pfd+pc} : densité spectrale unilatérale de bruit de phase en sortie de la pompe de charges associé au détecteur phase/fréquence,
- S_{filtre} : densité spectrale unilatérale de bruit de phase en sortie du filtre,
- S_{ref} : densité spectrale unilatérale de bruit de phase de l'oscillateur de référence,
- S_{pll} : densité spectrale unilatérale de bruit de phase en sortie de boucle,
- ϕ_{vco} (domaine fréquentiel) ou φ_{vco} (domaine temporel) : fluctuations instantanées de phase du VCO en régime libre,
- ϕ_{ref} (domaine fréquentiel) ou φ_{ref} (domaine temporel) : fluctuations instantanées de phase de la référence,
- ϕ_s (domaine fréquentiel) ou φ_s (domaine temporel) : fluctuations instantanées de phase à la sortie de la PLL,
- K_d : sensibilité du comparateur (en $A \cdot rad^{-1}$),
- K_{vco} : sensibilité du VCO (en $Hz \cdot V^{-1}$),

- $f(t)$: fonction de transfert du filtre de boucle dans le domaine temporel.

Compte tenu de ces notations, le courant de correction à la sortie du comparateur de phase s'écrit :

$$i_d(t) = K_d \cdot \sin \left[\frac{\varphi_s}{N} - \varphi_{\text{ref}} \right] \text{ avec } K_d = \frac{I_p}{2\pi}$$

Une première simplification consiste à supposer que dans l'équation précédente, la quantité $\left[\frac{\varphi_s}{N} - \varphi_{\text{ref}} \right]$ reste toujours suffisamment petite pour que l'on puisse remplacer le sinus par l'arc correspondant, soit :

$$i_d(t) = K_d \left[\frac{\varphi_s}{N} - \varphi_{\text{ref}} \right]$$

La tension en sortie du filtre de boucle s'écrit :

$$v_f(t) = i_d(t) \star h(t)$$

Rappelons que le filtre se comporte comme un convertisseur courant-tension.

La tension $v_f(t)$ génère alors une correction de phase, φ_c , dont l'évolution s'écrit :

$$\frac{d\varphi_c}{dt} = K_{\text{vco}} \cdot v_f(t)$$

qui peut s'écrire, d'après les équations précédentes qui définissent $i_d(t)$ et $v_f(t)$:

$$\frac{d\varphi_c}{dt} = K_{\text{vco}} K_d \left[\left(\frac{\varphi_s}{N} - \varphi_{\text{ref}} \right) \star f(t) \right]$$

Or $\frac{d\varphi_c}{dt}$ est lié aux fluctuations de fréquence du VCO par la relation :

$$\frac{d\varphi_s}{dt} = \frac{d\varphi_{\text{vco}}}{dt} - \frac{d\varphi_c}{dt}$$

Ce qui permet d'écrire :

$$\frac{d\varphi_s}{dt} = \frac{d\varphi_{\text{vco}}}{dt} - K_{\text{vco}} \cdot K_d \left[\left(\frac{\varphi_s}{N} - \varphi_{\text{ref}} \right) \star f(t) \right]$$

La présence du produit de convolution dans l'équation la rend peu maniable. On réalise donc une transformée de fourier des deux membres de l'équation afin de permettre une analyse dans le domaine fréquentiel. Soient ϕ_s , ϕ_{vco} , ϕ_{ref} les transformées de Fourier respectives de φ_s , φ_{vco} et φ_{ref} . L'équation s'écrit alors dans le domaine fréquentiel :

$$p \phi_s(p) = p \phi_{\text{vco}}(p) - K_v K_d \left[\frac{p \phi_s(p)}{N} - p \phi_{\text{ref}}(p) \right] p f(p) \text{ avec } K_v = \frac{2\pi K_{\text{vco}}}{p}$$

Le gain en boucle ouverte du système est défini par la relation :

$$G_{BO}(p) = \frac{K_v K_d F(p)}{N p}$$

La relation devient alors :

$$\phi_s(p) = \left[\frac{1}{1 + G_{BO}(p)} \right] \phi_{vco}(p) + \left[\frac{N G_{BO}(p)}{1 + G_{BO}(p)} \right] \phi_{ref}(p)$$

La densité spectrale de bruit de phase de la boucle s'écrit finalement, en supposant que les contributions individuelles de bruit ne sont pas corrélées :

$$S_{pll}^{ref+vco}(p) = \left| \frac{1}{1 + G_{BO}(p)} \right|^2 S_{vco}(p) + \left| \frac{N G_{BO}(p)}{1 + G_{BO}(p)} \right|^2 S_{ref}(p)$$

La prépondérance des contributions du VCO et de la référence au spectre de bruit de phase global de la boucle est donc directement liée à la valeur du gain en boucle ouverte $G_{BO}(p)$. Il apparaît déjà clairement que des valeurs élevées de ce facteur tendent à rendre négligeable la contribution du VCO et prépondérante celle de la référence dégradée par le rang de la division utilisé. Nous présenterons dans le chapitre IV les spectres en bruit du VCO et de la référence concernant les PLLs réalisées durant la thèse, ainsi que leurs contributions à la sortie de la PLL.

1.5.11 Contribution en bruit du diviseur

Deux processus de bruit concernant le diviseur sont à considérer :

- le bruit de phase en entrée du diviseur subit un processus qui abaisse le spectre associé d'un facteur $20\log(\text{facteur de division considéré})$. On note donc que le bruit des derniers étages de division, généralement réalisés en logique CMOS, est très souvent prépondérant. Le bruit des diviseurs de plus haut niveau est sensiblement réduit par les divisions successives. Cette affirmation est d'autant mieux vérifiée que le rang de division total est élevé, condition que l'on retrouve dans notre application et qui est détaillée dans le chapitre II.
- le bruit propre du diviseur : très peu de publications font état de résultats de mesures concernant le bruit de phase des diviseurs. D'un point de vue théorique, ce bruit est traité comme un bruit de phase de forme équivalente à une source de bruit de référence.

Sa contribution s'écrit :

$$S_{pll}^{div}(p) = \left| \frac{N G_{BO}(p)}{1 + G_{BO}(p)} \right|^2 S_{div}(p)$$

où $S_{div}(p)$ est le spectre de bruit du dernier diviseur de la boucle.

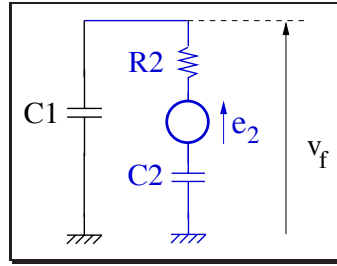


FIG. 1.18 – Calcul du bruit de la résistance R_2 dans un filtre du 2^e ordre

1.5.12 Bruit du détecteur phase/fréquence associé à la pompe de charge

Le bruit de l'association «détecteur phase/fréquence et pompe de charge» est référencé à la sortie de la pompe de charges et s'exprime en $I/\sqrt{\text{Hz}}$. En considérant ce bruit identique à un bruit de référence, on obtient :

$$S_{\text{pll}}^{\text{pfd+pc}}(p) = \frac{1}{K_d^2} \left| \frac{NG_{BO}(p)}{1 + G_{BO}(p)} \right|^2 S_{\text{pfd+pc}}(p)$$

1.5.13 Bruit du filtre de boucle

Nous avons voulu calculer le bruit généré par chacune des résistances rencontrées dans le filtre, pour ensuite le comparer aux simulations réalisées avec Spectre sous Cadence. Deux types de filtre seront utilisés pour la conception des PLLs (cf. fig 1.9).

Les résistances de chacun des filtres de boucle ont une tension de bruit thermique égale à $\sqrt{4kTR}$. Le bruit de chaque résistance se retrouve en entrée du VCO filtré par une fonction dépendant de la fonction de transfert du filtre de boucle.

1.5.13.1 Calcul du bruit pour le filtre du 2^e ordre

Par le calcul, on obtient :

$$h(p) = \frac{V_f}{e_2} = \frac{\frac{C_2}{C_1 + R_2 C_2 C_1 p}}{1 + \frac{C_2}{C_1 + R_2 C_2 C_1 p}}$$

On en déduit, par le calcul, le bruit du filtre qui est présenté en entrée du VCO :

$$vn_R(p) = \sqrt{4kTR_2} \cdot \frac{V_f}{e_2}$$

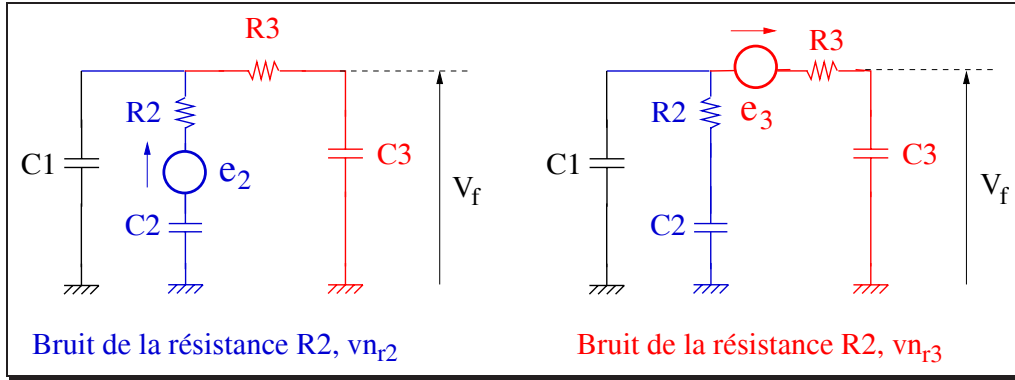


FIG. 1.19 – Calcul du bruit de la résistance R_2 et R_3 dans un filtre du 3^e ordre

1.5.13.2 Calcul du bruit pour le filtre du 3^e ordre

Pour le filtre du 3^e ordre (cf. figure 1.9-(b)), on doit calculer la contribution en bruit de chacune des résistances R_2 et R_3 :

1.5.13.3 Calcul du bruit de la résistance R_2

$$h(p) = \frac{V_f}{e_2} = \frac{1}{1 + R_3 C_3 p} \cdot \frac{1}{1 + \left(R_2 + \frac{1}{C_2 p}\right) \left(C_1 p + \frac{C_3 p}{1 + R_3 C_3 p}\right)}$$

$$vn_{R_2}(p) = \sqrt{4kT R_2} \cdot \frac{V_f}{e_2}$$

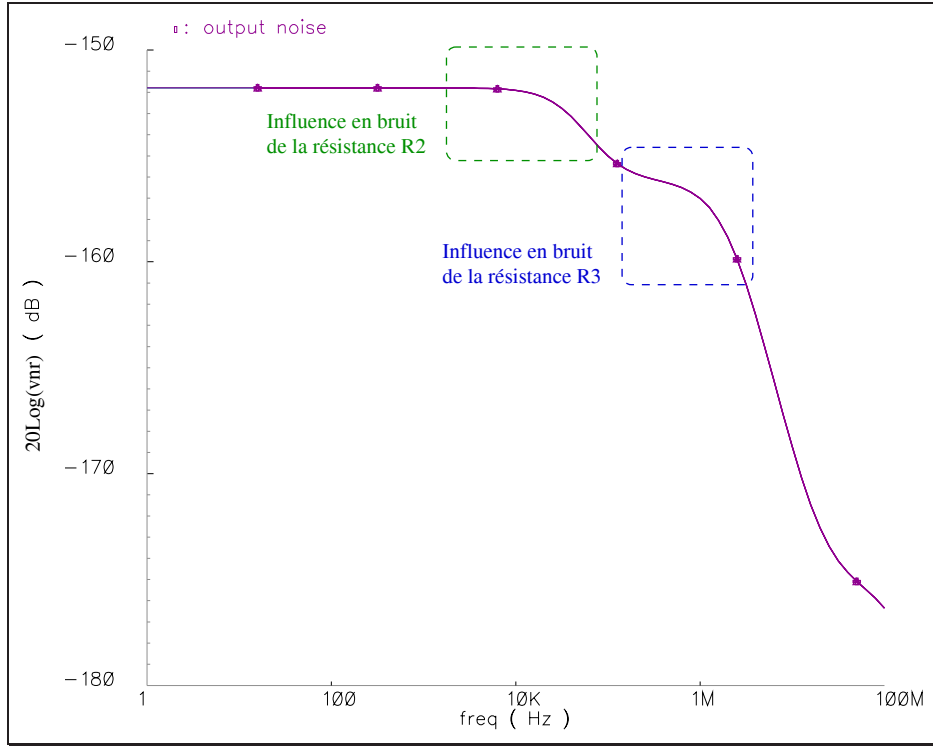
1.5.13.4 Calcul du bruit de la résistance R_3

$$h(p) = \frac{V_f}{e_3} = \frac{1}{1 + R_3 C_3 p} \cdot \frac{1}{1 + \frac{1 + R_3 C_3 p}{C_3 p} \cdot \left(C_1 p + \frac{C_2 p}{1 + R_2 C_2 p}\right)}$$

$$vn_{R_3}(p) = \sqrt{4kT R_3} \cdot \frac{V_f}{e_3}$$

Le bruit total dû aux résistances du filtre de boucle est égal à la somme quadratique des bruits des deux résistances :

$$vn_R(p) = \sqrt{vn_{R_2}^2(p) + vn_{R_3}^2(p)} = \sqrt{S_{\text{filtre}}(p)}$$


 FIG. 1.20 – Calcul du bruit de la résistance R_2 et R_3 dans un filtre du 3^e ordre

Nous pouvons donc en déduire la contribution en bruit du filtre en sortie de la PLL :

$$S_{\text{pll}}^{\text{filtre}}(p) = \left| \frac{1}{K_d F(p)} \right|^2 \left| \frac{N G_{BO}(p)}{1 + G_{BO}(p)} \right|^2 S_{\text{filtre}}(p)$$

1.5.14 Expression du spectre de bruit de phase global

Le spectre de bruit de phase global s'écrit finalement :

$$S_{\text{pll}} = \left| \frac{1}{1 + G_{BO}(p)} \right|^2 S_{\text{vco}}(p) + \left| \frac{N G_{BO}(p)}{1 + G_{BO}(p)} \right|^2 S_{\text{ref}}(p) + \left| \frac{N G_{BO}(p)}{1 + G_{BO}(p)} \right|^2 S_{\text{div}}(p) \\ + \frac{1}{K_d^2} \left| \frac{N G_{BO}(p)}{1 + G_{BO}(p)} \right|^2 S_{\text{pfd+pc}}(p) + \left| \frac{1}{K_d F(p)} \right|^2 \left| \frac{N G_{BO}(p)}{1 + G_{BO}(p)} \right|^2 S_{\text{filtre}}(p)$$

A ce niveau du développement, il est nécessaire de donner une interprétation de l'évolution du spectre de bruit de phase de la PLL en fonction de l'évolution du gain de boucle ouverte $G_{BO}(p)$. Les deux valeurs extrêmes de $G_{BO}(p)$ sont ainsi considérées :

- $|G_{BO}(p)| \rightarrow +\infty$: cette situation est la plus vraisemblable lorsque l'on travaille dans le domaine des fréquences microondes, compte tenu de la valeur élevée de la sensibilité du VCO, K_{vco} (plusieurs centaines de MHz par Volt). Dans ce cas, le VCO est très fortement verrouillé par la boucle de phase sur la référence. On a alors, compte tenu de l'équation de $S_{\text{pll}}(p)$ précédemment

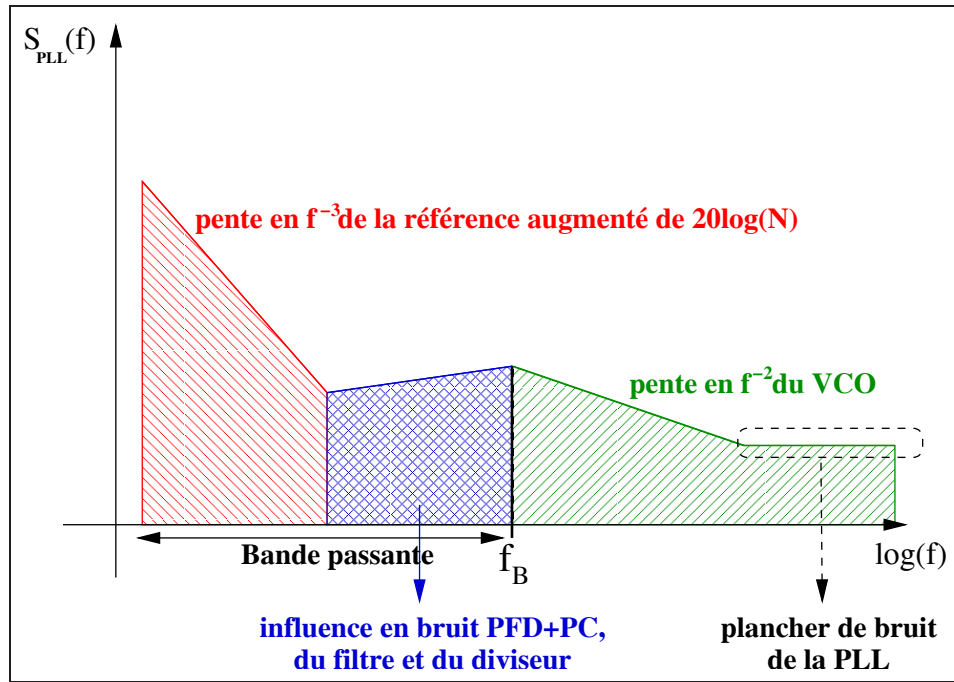


FIG. 1.21 – Spectre théorique du bruit de phase en sortie de la PLL

établie :

$$S_{pll} = |N|^2 \left[S_{ref}(p) + S_{div}(p) + \frac{1}{K_d^2} S_{pfd+pc}(p) + \left| \frac{1}{K_d F(p)} \right|^2 S_{filtre}(p) \right]$$

$$\lim_{G_{BO}(p) \rightarrow \infty} \left| \frac{N G_{BO}(p)}{1 + G_{BO}(p)} \right|^2 = \lim_{G_{BO}(p) \rightarrow \infty} \left| \frac{N}{1 + \frac{1}{G_{BO}(p)}} \right|^2 = |N|^2$$

Le spectre de bruit de phase résultant est composé de la somme des spectres de chaque bloc de la PLL, sauf VCO, dégradés par le facteur de division N . Cette dégradation se traduit sur un tracé logarithmique par une élévation du spectre de bruit d'un facteur $20 \log(N)$. Le spectre résultant présente donc un plancher de bruit, lorsque la boucle est verrouillée, en dessous duquel il est impossible de descendre. Le facteur de division global de la boucle est donc un élément déterminant de la contribution en bruit de phase de la référence et des diviseurs. On remarque que les contributions de la référence et des diviseurs du dernier étage sont équivalentes. Il est donc aussi important de soigner le choix des diviseurs que de la référence pour optimiser les performances en bruit de phase de la PLL.

$|G_{BO}(p)| \rightarrow 0$: L'équation devient : $S_{pll}(p) = S_{vco}(p)$. Ceci signifie que le VCO n'est plus verrouillé sur la référence. Le bruit de phase de la PLL est alors celui du VCO.

Sur la figure 1.21, nous proposons un graphe récapitulatif des différentes contributions en bruit de phase. Tant que la fréquence est très inférieure à la fréquence de coupure du filtre de boucle f_B , la densité spectrale du signal de sortie recopie les bruits de la référence et du

diviseur, multiplié par N^2 . Juste avant la fréquence f_B , apparaissent les bruits du VCO, du détecteur phase/fréquence et du filtre. Au-delà de f_B , le bruit du VCO en $\frac{1}{f^2}$ réapparaît et forme le plancher de bruit du spectre de bruit de phase de la PLL.

Le calcul analytique du spectre de bruit de phase de la PLL permet de déterminer qualitativement les critères à respecter pour obtenir un spectre de bruit optimisé. Il permettra de savoir si les résultats obtenus en simulation et en mesure sont en accord avec la théorie et éventuellement, permettra de comprendre les problèmes rencontrés ou de constater les performances du systèmes. Les simulations et les mesures de la PLL entière sont présentées dans le chapitre IV. Dans les chapitres II et III seront abordés respectivement la conception du diviseur introduit dans le retour de boucle et du détecteur phase/fréquence associé à la pompe de charge.

1.6 Conclusion

La solution proposée, basée sur l'utilisation d'une boucle à verrouillage de phase (ou PLL), apparaît comme la plus intéressante pour réduire sensiblement la masse et l'encombrement de la source si toutes les fonctions hyperfréquences sont réalisées en MMIC. Dans un premier temps, les différentes techniques de synthèse de fréquences ont été présentées. Nous avons opté pour une PLL à division entière car le but est d'intégrer des blocs innovants participant à la synthèse, capables de fonctionner à très hautes fréquences (10 GHz et 20 GHz). Nous avons abordé une description qualitative la plus complète possible de la PLL pour permettre une approche physique de ce que représente l'asservissement de phase et ses avantages d'un point de vue pureté spectrale dans les domaines de l'émission/réception radiofréquence ou hyperfréquence ; nous avons enchaîné sur une description analytique nécessaire à tous les concepteurs de système. Nous avons enfin établi analytiquement la réponse en terme de bruit de phase de la PLL en fonction des différentes contributions mises en jeu. Dans les chapitres suivants, nous allons étudier et concevoir chacun des blocs de la PLL, les optimiser ou proposer des structures originales, pour pouvoir comparer alors les résultats expérimentaux à toute la théorie exposée dans ce chapitre.

Bibliographie

- [1] M. Girard, « Boucles à Verrouillage de phase », McGraw-Hill, 1988. [1.3](#)
- [2] R. E. Best, « Phase-Locked Loops », McGraw-Hill Book Company, 1976. [1.3](#)
- [3] F. de Dieuleveult, « Electronique appliquée aux hautes fréquences », DUNOD, 1999. [1.3](#)
- [4] U. L. Rohde, « Digital PLL Frequency Synthesizers - Theory and Design », Prentice Hall, 1983. [1.3](#)

- [5] L. Lin, « Design Techniques for High Performance Integrated Frequency Synthesizers for Multi-Standard Wireless Communication Applications », Thesis of the University of California - Berkeley, 2000. [1.3.2.1](#)
- [6] B. Razavi, « RF Electronics », Prentice Hall, 1998. [1.3.2.1](#), [1.4.2.1](#), [2.1.2](#)
- [7] C. Quemada, C. Larrondo, J. Presa, J. Melendez, and G. Bistue, « Frequency Synthesizers Parameters Influence on Phase Noise, Spurs Level and PLL Lock Time », *Congreso DCIS2003*, 2003. [1.3.2.1](#)
- [8] A. Oustaloup, « Systèmes Asservis linéaires d'ordre Fractionnaire - Théorie et Pratique », MASSON, 1983. [1.3.2.2](#)
- [9] SKYWORKS, « Basics of Dual Fractional-N Synthesizers/PLL », Application Note, 2001. [1.3.2.2](#)
- [10] T. A. D. Riley, M. A. Copeland, and T. A. Kwasniewski, « Delta-Sigma Modulation in Fractional-N Synthesis », *IEEE Journal of Solid-State Circuits*, vol. 28, pp. 553–559, may 1993. [1.3.2.2](#)
- [11] B.-G. Goldberg, « Generate Precise RF Signals with Phase-Locked Loops », *Microwaves & RF*, pp. 107–111, july 1996. [1.3.2.2](#)
- [12] W. Wong. *Conception de circuits MMIC BiMOS SiGe appliqués à la synthèse de fréquence fractionnaire*. Thèse de Doctorat, Université Paul Sabatier de Toulouse, décembre 2003. [1.3.2.2](#), [4.1.1](#)
- [13] L. Camino, « Modulation Directe d'un Synthétiseur de Fréquence à Division Fractionnaire en Boucle Fermée », Thèse de l'Université de Bordeaux I, 2002. [ii](#), [1.5.9](#)
- [14] K. Tajima, M. Tsuru, H. Ikematsu, K. Itoh, Y. Isota, and O. Ishida, « Phase Decrement Type Direct Frequency Synthesizer Driven by a DDS », *2001 IEEE International Microwave Symposium, Phoenix*, may 2001. [1.3.3](#)
- [15] L. E. Larson, « RF and Microwave Circuit Design for Wireless Communications », *Hartech House, Norwood*, pp. 340–343, 1997. [1.3.3](#)
- [16] F. Manneville and J. Esquieu, « Systèmes Bouclés Linéaires, de Communication et de Filtrage », DUNOD, 1990. [i](#)
- [17] J. Encinas, « Systèmes à Verrouillage de Phase - Réalisations et applications », MASSON, 1989. [1.4.2.3](#), [2.1.2](#)
- [18] F. Gardner, « Phaselock Techniques », John Wiley and Sons, 1981. [i](#)
- [19] D. Banerjee, « PLL Performance, Simulation, and Design », Paperback, 2001. [i](#)
- [20] G. Nash, « Phase-Locked Loop Design Fundamentals », Application Note 535 - MOTOROLA, 1994. [i](#)
- [21] N. S. Corporation, « An Analysis and Performance Evaluation of a Passive Filter Design Technique for Charge Pump PLL's », Application Note, 2001. [ii](#)

- [22] L. Lascari, « Accurate Phase Noise Prediction in PLL Synthesizers », *Applied Microwave & Wireless*, pp. 90–96, may 2000. [1.5.9](#)
- [23] C. Laporte, « Conception en Technologie Intégrée de Circuits Hyperfréquences pour la Télémessure Image d'un Instrument Spatial », Université Paul Sabatier, 1995. [1.5.9](#)

Chapitre 2

Synthétiseur de fréquence :
Diviseur de fréquence programmable

2.1 Introduction

LA NÉCESSITÉ DE DISPOSER de générateurs de signaux dont la fréquence serait à la fois très stable (insensible aux perturbations extérieures, dérivant peu dans le temps, ...), et pourrait être modifiée au gré de l'utilisateur, a permis de dégager le concept de synthèse de fréquence. Un synthétiseur de fréquence doit être capable de répondre à trois critères :

- une excellente stabilité ;
- des possibilités de modulation ;
- un choix aisé de la fréquence.

La boucle à verrouillage de phase répond à la demande en respectant les trois critères précédents [1, 2]. Le rôle de la boucle à verrouillage de phase utilisant un diviseur de fréquence dans la boucle de contre-réaction consiste à réguler la fréquence de l'oscillateur à tension commandée (VCO) en forçant l'égalité (détectée par le comparateur de phase) entre la fréquence de sortie du diviseur f_s/N et la fréquence de référence f_e .

Dans ce chapitre, nous aborderons la conception du diviseur programmable par N dans deux technologies différentes provenant de STMicroelectronics : ces circuits seront capables de fonctionner à haute fréquence, plus précisément à 10 GHz avec la technologie silicium-germanium $0,35 \mu\text{m}$ (BiCMOS6G) et à 20 GHz avec la technologie silicium-germanium $0,25 \mu\text{m}$ (BiCMOS7). Chacune de ces fréquences correspond en fait à la limite de la validation des modèles de la technologie qui lui est associée.

2.1.1 Multiplication de fréquence

La multiplication de fréquence par un entier N peut être obtenue soit par introduction du signal dans un élément non-linéaire, suivie du filtrage de l'harmonique convenable (ici de rang N), soit par l'utilisation d'une PLL présentant un diviseur de fréquence par N dans la chaîne de retour¹.

La première méthode ne peut convenir que pour des valeurs de N égales à quelques unités, tandis que la seconde permet d'atteindre des taux de multiplication dépassant le millier. Comme expliqué dans le chapitre 1 :

$$f_e = \frac{f_s}{N}, \text{ soit } f_s = N f_e$$

La plage de poursuite de la boucle doit évidemment englober l'ensemble des fréquences possibles. Un taux de multiplication ou de division de fréquence réglable par l'opérateur s'obtient par l'utilisation dans le diviseur d'un *compteur programmable* comptant jusqu'à N (ou décompteur chargé en début de cycle par $N - 1$ dont on détecte le passage par 0).

1. D'une manière générale, l'introduction d'un opérateur δ quelconque dans une boucle de contre-réaction permet de créer l'opérateur inverse δ^{-1} . Ainsi, à partir d'une *division* de fréquence, on est capable d'obtenir une *multiplication* de fréquence.

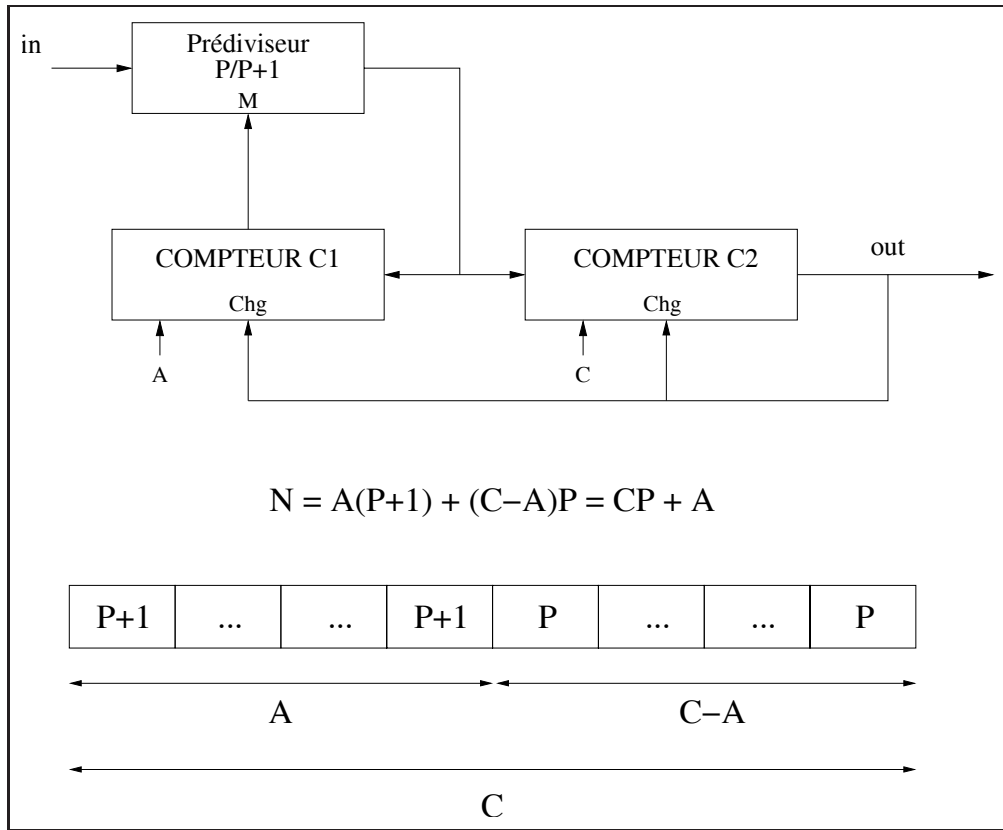


FIG. 2.1 – Principe de fonctionnement d'un diviseur numérique programmable

Nous avons donc opté pour un diviseur numérique programmable permettant à la fois d'obtenir des facteurs de division élevés et de travailler sur une large bande fréquentielle.

2.1.2 Diviseur à double module ou compteur à échappement ou « prescaler »

Le circuit comprend un prédiviseur en logique ECL pouvant diviser soit par P , soit par $P + 1$, et deux décompteurs C_1 et C_2 programmables en logique CMOS. Le diviseur à double module (cf. figure 2.1) est un diviseur programmable capable de générer un facteur de division élevé [3, 4, 5].

Son fonctionnement est le suivant : au départ les décompteurs C_1 et C_2 sont chargés par deux nombres A et C répondant à la condition $C > A$ et le prédiviseur divise par $P + 1$. Dès que le décompteur C_1 se vide, sa sortie passant à l'état bas reste bloquée et va forcer le prédiviseur à diviser par P . Le décompteur C_2 va poursuivre son décomptage jusqu'à ce que son contenu soit nul. Sa sortie passe alors à l'état bas ce qui provoque la recharge des compteurs et le cycle recommence. Soit T_{vco} la période du signal issu de l'oscillateur contrôlé en tension. À la sortie du prédiviseur, la période devient égale à $T_{vco} (P + 1)$. Le temps de décomptage de C_1 est égal à $T_{vco} A (P + 1)$. Lorsque celui-ci a terminé, la période à la sortie du prédiviseur devient $T_{vco} P$,

d'où une durée du comptage de C_2 égale à $T_{\text{vco}}(C - A)P$. La durée totale du cycle est par conséquent égale à :

$$T_{\text{vco}} A(P + 1) + T_{\text{vco}}(C - A)P$$

L'étude du fonctionnement montre que l'on obtient un rapport de division N :

$$N = A(P + 1) + (C - A)P = CP + A$$

avec A , nombre entier compris dans l'intervalle $[0; P[$, et $C > A$.

La fréquence de sortie f_s est donc égale :

$$f_s = (CP + A)f_e$$

On réalise ainsi un diviseur programmable en dissociant les difficultés que sont la *programmation* d'un côté et le fonctionnement à *haute fréquence* de l'autre : le prédiviseur (étage critique) fonctionne à haute fréquence et est faiblement programmable (choix simple, P ou $P + 1$), et les compteurs ou décompteurs CMOS fonctionnent à basse fréquence et permettent la programmation complète du diviseur.

Pour réaliser le prédiviseur par P et $P + 1$, on conçoit tout d'abord la cellule de base : le diviseur numérique par 2. Par la suite, nous traiterons le prédiviseur $P/P + 1$ et le diviseur programmable complet par N .

2.2 Propriétés des circuits logiques

2.2.1 Marges de bruit et précautions à prendre

Une famille logique est un ensemble de produits permettant de réaliser des fonctions logiques. Ces produits peuvent être des circuits intégrés montés en boîtier ou des portes implantées dans une puce de silicium. Les niveaux logiques haut et bas ainsi que la vitesse de fonctionnement sont alors définis pour une famille donnée. Pour illustrer ces propos, prenons comme exemple la logique CMOS² : la famille CMOS définit deux niveaux électriques pour les deux états logiques « 0 » et « 1 ». La fréquence maximale de fonctionnement est de l'ordre de quelques centaines de MHz pour les technologies utilisées dans ces travaux de thèse. Les niveaux logiques peuvent varier avec la température et à cause des dispersions technologiques, et de ce fait, il faut considérer qu'un niveau logique n'est pas associé à une valeur précise mais à un ensemble de valeurs possibles. La figure 2.2 représente les valeurs possibles en sortie d'une porte logique.

Elles varient entre V_{min} et V_{SB} ³ pour l'état bas et entre V_{SH} ⁴ et V_{max} pour l'état haut. Une

2. Complementary Metal Oxide Semiconductor.

3. Tension limite représentant l'état bas en sortie d'une porte logique

4. Tension limite représentant l'état haut en sortie d'une porte logique

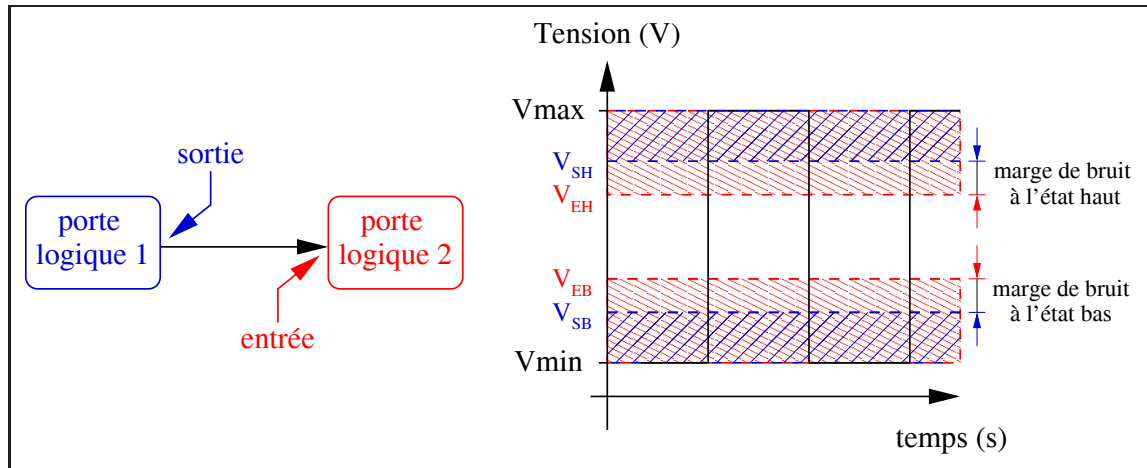


FIG. 2.2 – Représentation des différents niveaux logiques et des marges de bruit

porte connectée en sortie de la première reconnaît un état logique bas si la tension en entrée est comprise entre V_{\min} et V_{EB} ⁵. Elle reconnaît un état haut si la tension en entrée est comprise entre V_{EH} ⁶ et V_{\max} . En définitive, la différence $V_{SH} - V_{EH}$ mesure la marge de bruit à l'état haut et $V_{EB} - V_{SB}$ à l'état bas. Dans la pratique, il est nécessaire de respecter un certain nombre de règles élémentaires pour minimiser les risques de perturbations. Les deux règles principales sont le **découplage** des circuits et la **réduction des longueurs d'interconnexions**.

Pour découpler un circuit, il faut placer un condensateur de valeur élevée entre le point d'alimentation du circuit et la référence de potentiel également appelée **masse**⁷. Le rôle précis du condensateur de découplage peut s'expliquer en considérant les courants variables créés par les transitions logiques. Ces courants ont un contenu spectral important dans le domaine des fréquences élevées correspondant à des transitions rapides. Le circuit de découplage est équivalent à un court-circuit et le courant variable associé à la transition est dévié vers la masse sans perturber les autres circuits.

La deuxième règle est de réduire les longueurs des interconnexions entre circuits ou entre portes. Dans un circuit intégré, les distances entre portes sont courtes, et de ce point de vue, la situation est favorable. Par contre, les distances étant faibles, il est nécessaire de faire attention aux capacités parasites de couplage qui peuvent être non négligeables : une extraction de ces capacités à partir du dessin des masques est donc recommandée lors de la conception.

2.2.2 Temps de commutation et temps de propagation

Les transistors réalisant les fonctions logiques ne sont pas parfaits et quand une impulsion logique est appliquée en entrée, elle est à la fois retardée et déformée.

5. Tension limite de détection de l'état **bas** en entrée d'une porte logique

6. Tension limite de détection de l'état **haut** en entrée d'une porte logique

7. Dans un circuit intégré, la référence de potentiel est un plan correspondant au substrat

Prenons comme exemple une porte inverseuse. L'impulsion d'entrée est supposée idéale, les temps de montée et temps de descente sont alors nuls. L'impulsion de sortie est retardée d'un temps t_p appelé *temps de propagation*. De plus, elle présente un temps de montée t_m non nul et un temps de descente t_d non nul également. Le même phénomène peut s'observer en sortie d'une fonction logique quelconque. Cet effet est de type intégrateur : il est lié à la bande passante limitée des transistors de la technologie considérée.

2.2.3 Entrance et sortance

Dans de nombreux cas pratiques, il est nécessaire de relier une sortie logique à plusieurs entrées. La même expression logique peut par exemple être utilisée dans plusieurs fonctions. La question se pose alors de déterminer le nombre maximum d'entrées qu'il est possible de relier à une même sortie.

La **sortance** est déterminée par la valeur des courants consommés par les entrées et par la valeur de la capacité électrique du circuit d'entrée. Plus les circuits sont nombreux, plus le courant débité par le circuit de commande est important et plus la capacité C vue par le circuit de commande est élevée. Dans ce cas, une constante de temps RC intègre le signal et la fréquence maximale de fonctionnement est réduite. De la même manière, il est possible de définir l'**entrance** d'un circuit : c'est le nombre maximum de sorties qu'il est possible de connecter sur une même entrée⁸.

2.2.4 Familles logiques participant à la conception des synthétiseurs

Les deux familles logiques utilisées dans ces travaux sont :

- la logique CMOS, Complementary Metal Oxyde Semiconductor,
- la logique CML/ECL, Current Mode Logic/Emitter Coupled Logic.

2.2.4.1 Logique CMOS

La famille CMOS est la famille la plus communément utilisée en électronique. Les autres familles à base de transistors MOS, la logique NMOS et la logique PMOS, sont actuellement peu utilisées. Les avantages de la logique CMOS sont sa faible consommation à basse fréquence et sa simplicité. Les marges de bruit de cette logique sont confortables puisque les tensions délivrées par les portes logiques sont proches de la tension de référence (c'est-à-dire la masse) pour l'état bas et proches de la tension d'alimentation pour l'état haut. La famille CMOS offre alors la meilleure immunité aux perturbations de toutes les familles logiques. La figure 2.3 présente les portes logiques **inverseuse** (a), **ET** (b) et **OU** (c) : les transistors PNP sont utilisés pour tirer

⁸. Ce montage est réservé aux circuits ayant un étage de sortie de type collecteur ouvert. Ce type de montage est appelé « **ET câblé** » dans la littérature électronique.

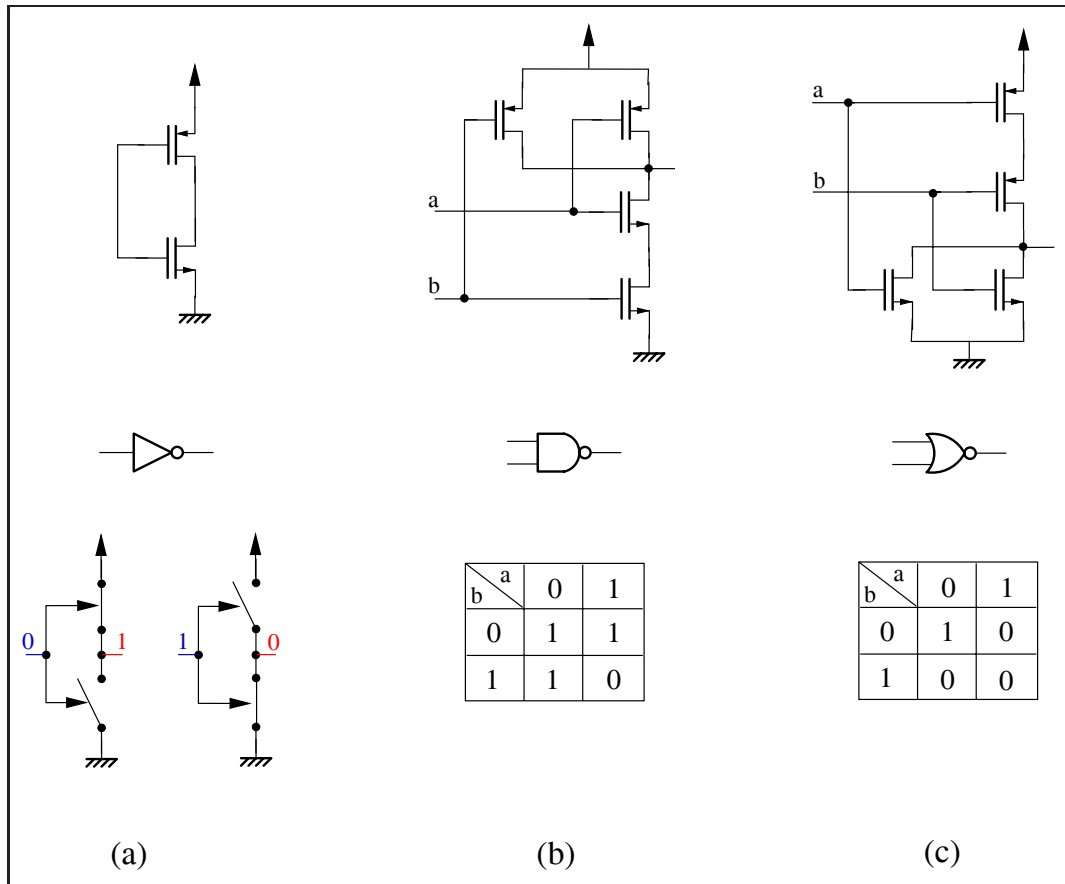


FIG. 2.3 – Différentes portes logiques en logique CMOS

à 1 et les transistors NPN pour tirer à 0 : il n'y a pas de perte de seuil. Un et un seul des deux réseaux N et P conduit à chaque instant. Ces réseaux sont logiquement complémentaires. De plus, comme l'un est en transistor P et l'autre en transistor N, Les réseaux N et P sont duaux : les deux réseaux ont les mêmes entrées et le même nombre de transistors.

Cette logique présente, malgré tout, un inconvénient : la vitesse de commutation des transistors MOS. Elle est donc utilisée pour réaliser les fonctions basse fréquence de la PLL (décompteurs programmables, comparateur phase/fréquence...). Pour atteindre des fréquences très élevées, seule la logique ECL présente une fréquence de fonctionnement intéressante grâce à l'utilisation des transistors bipolaires.

2.2.4.2 Logique CML/ECL

Pour réaliser des circuits rapides [6], il est nécessaire d'éviter la saturation des transistors. Les constructeurs ont donc imaginé des circuits à base de transistors bipolaires fonctionnant en mode non saturé. Ces logiques ont cependant l'inconvénient majeur de créer une consommation statique très élevée. Elles sont de ce fait réservées aux applications nécessitant une fréquence de fonctionnement importante. La logique CML est basée sur une structure différentielle simple dont on peut déduire la logique ECL en ajoutant deux étages suiveurs comme le montre la

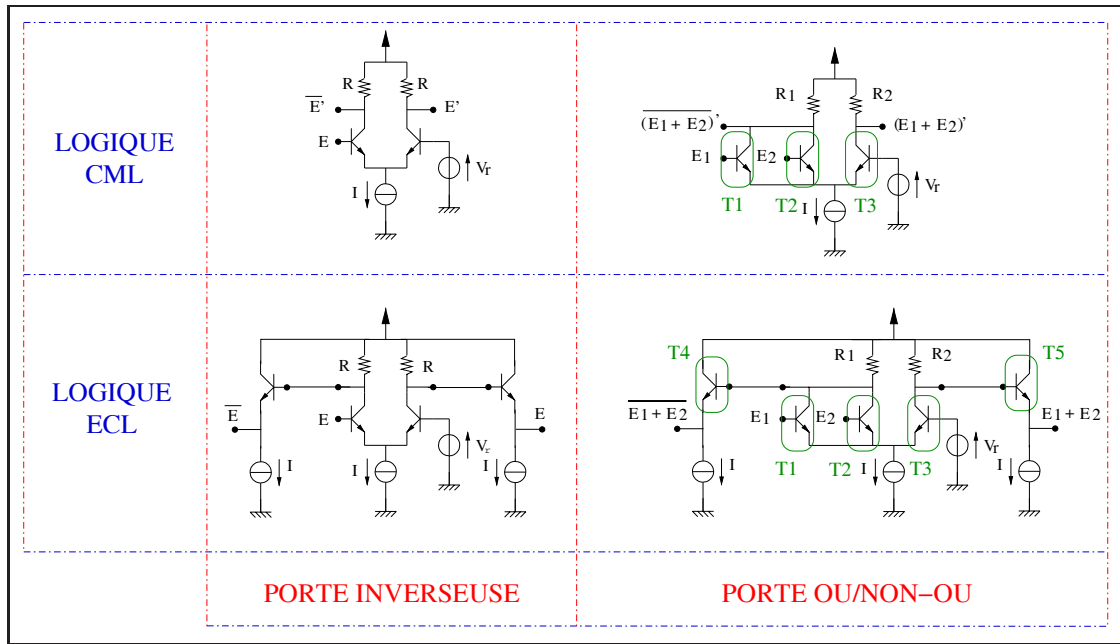


FIG. 2.4 – Différentes portes logiques en logiques CML et ECL

figure 2.4. L'intérêt de la logique ECL par rapport à la logique CML est de retrouver en sortie des portes les mêmes niveaux logiques présentés au niveau de leurs entrées.

Le fonctionnement détaillé de la porte OU/NON-OU en logique ECL est le suivant : l'étage d'entrée est formé par un étage différentiel à plusieurs entrées. La base de l'un des bras du différentiel est fixée à un potentiel de référence. Si les deux entrées sont à l'état bas, alors le transistor T_3 est « conducteur » et les transistors T_1 et T_2 sont « bloqués »⁹. La tension sur le collecteur des transistors T_1 et T_2 est transmise en sortie avec une tension V_{BE} ($\approx 700/800$ mV) de décalage par le transistor de sortie T_4 , monté en collecteur commun. La tension de sortie sur l'émetteur du transistor T_4 se retrouve alors dans l'état logique haut. L'autre sortie reliée à T_3 se retrouve par conséquent dans l'état logique bas. Contrairement à la logique CMOS, il est important de noter que cette porte fournit deux états logiques complémentaires au niveau de ses sorties.

2.2.5 Schéma générique d'un circuit numérique hyperfréquence

La figure 2.5 présente les différents blocs composant un circuit numérique hyperfréquence. Trois d'entre eux sont génériques quel que soit le circuit logique conçu : une interface d'entrée qui génère des signaux d'horloge complémentaires, un étage de sortie qui fournit la puissance de sortie, et un bloc de polarisation.

On retrouve ce dispositif pour permettre la caractérisation des circuits logiques hyperfréquences.

⁹ Les transistors sont en régime insaturé, donc ils ne sont jamais totalement bloqués : ils laissent passer plus ou moins de courant pour créer deux états logiques en régime petit signal

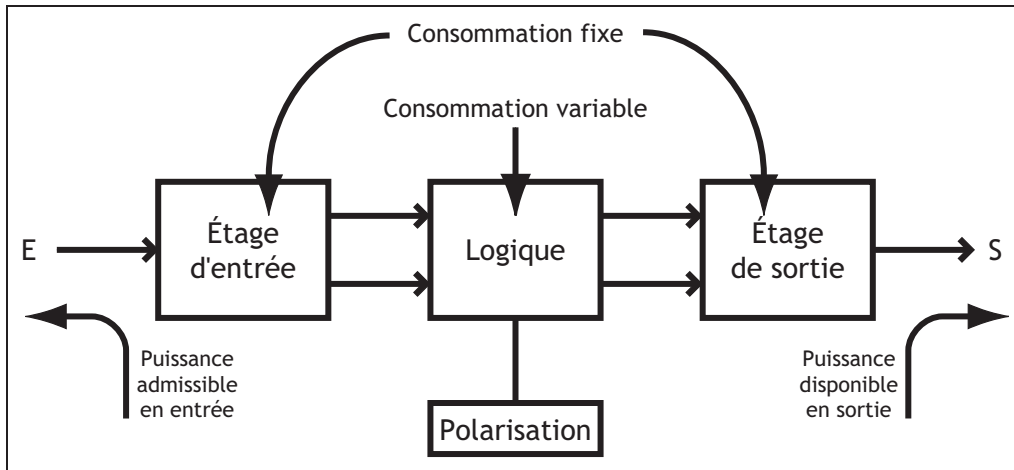


FIG. 2.5 – Décomposition d'un circuit logique hyperfréquence

Les mesures réalisés sur ces circuits porteront sur :

- la puissance **disponible** en sortie, qui est indépendante de la puissance d'entrée ;
- la plage de puissance **admissible** en entrée, qui permet de synchroniser le circuit.

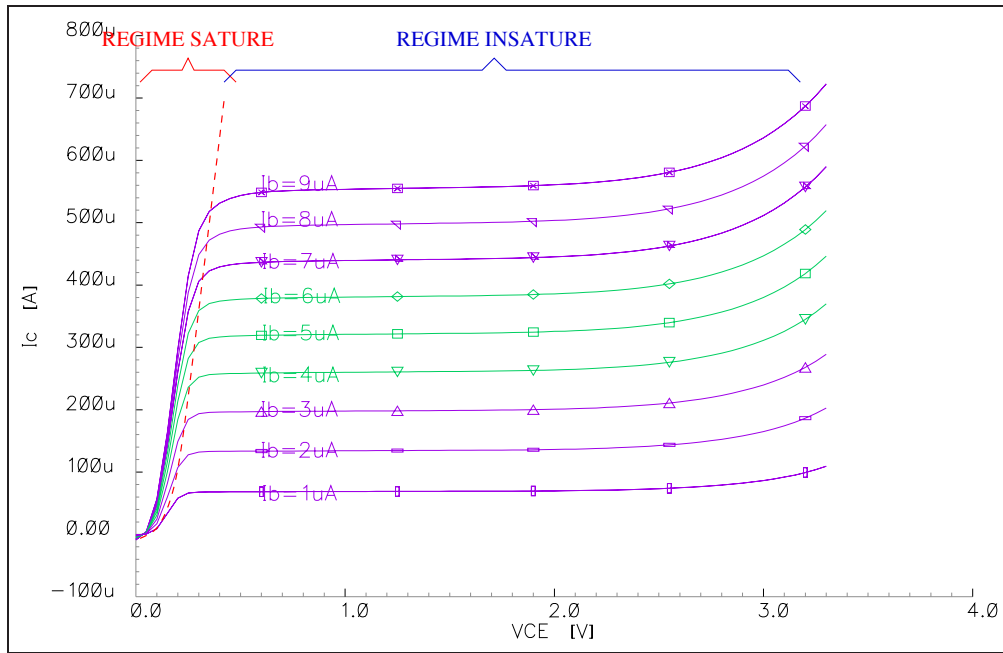
2.3 Présentation des technologies BiCMOS6G et BiCMOS7 utilisées

Les deux technologies de STMicroelectronics présentent une taille de largeur de grille minimale pour le transistor MOS de $0,35 \mu\text{m}$ pour la technologie BiCMOS6G et de $0,25 \mu\text{m}$ pour la technologie BiCMOS7. Dans chaque technologie, nous présentons les caractéristiques des transistors utilisés lors de la conception des différents diviseurs pour atteindre une fréquence de fonctionnement de 10 GHz avec la technologie BiCMOS6G et 20 GHz avec la technologie BiCMOS7.

2.3.1 Caractéristiques des composants actifs de BiCMOS6G

La figure 2.6 présente les courbes du courant de collecteur I_C en fonction de la tension collecteur-émetteur V_{CE} des HBTs utilisés : les trois courbes $I_b = 4 \mu\text{A}$, $I_b = 5 \mu\text{A}$ et $I_b = 6 \mu\text{A}$ correspondent aux caractéristiques de fonctionnement des HBTs.

La figure 2.7 montre l'évolution de la fréquence de transition des HBTs utilisés en fonction du courant de collecteur (I_C), pour plusieurs valeurs de la tension (V_{CE}) : dans nos circuits, le V_{CE} sera fixé à 1,2 V et le courant I_C à $400 \mu\text{A}$, et on peut observer que le fonctionnement à des fréquences de l'ordre de 10 – 20 GHz sera accompagné d'une consommation en courant élevée. Mais, il se peut que les dispersions technologiques nous amènent à revoir les prévisions sur la fréquence de transition à la baisse : dans ce cas, nous augmenterons la tension d'alimentation

FIG. 2.6 – Courbes $I_C = f(V_{CE})$ des HBTs

de manière raisonnable pour nous permettre d'atteindre des tensions V_{CE} plus élevées, ce qui permettra d'atteindre des fréquences de fonctionnement plus élevées.

La figure 2.8 présente le gain des HBTs en fonction du courant I_C pour plusieurs valeurs de la température: on observe une diminution du gain aux faibles courants due au phénomène de recombinaison, principalement sur la périphérie de la jonction base-émetteur. Aux forts niveaux d'injection, apparaît une chute du gain due à l'effet Kirk¹⁰ et à l'apparition, dans la base, d'un champ électrique qui s'ajoute à l'effet de diffusion des porteurs. Sachant que le but est d'atteindre des fréquences relativement élevées vis-à-vis de la technologie utilisée, il sera important de prendre en compte ces paramètres lors de la conception du diviseur.

Après la description des HBTs, vient celle des transistors MOS qui participent à la conception des étages suiveurs et à celle des étages différentiels. Sur la figure 2.9, les caractéristiques du courant de drain (I_D) en fonction de la tension drain-source (V_{DS}), pour plusieurs valeurs de tension de grille-source (V_{GS}), sont présentées. Pour la source de courant des structures différentielles, deux transistors MOS sont mis en parallèle pour permettre aux transistors bipolaires de fonctionner dans le régime que nous avons précisé ci-dessus. Pour les étages suiveurs de la structure ECL, il suffit de mettre un seul transistor MOS. Le point de fonctionnement des miroirs de courant est tracé sur la figure 2.10.

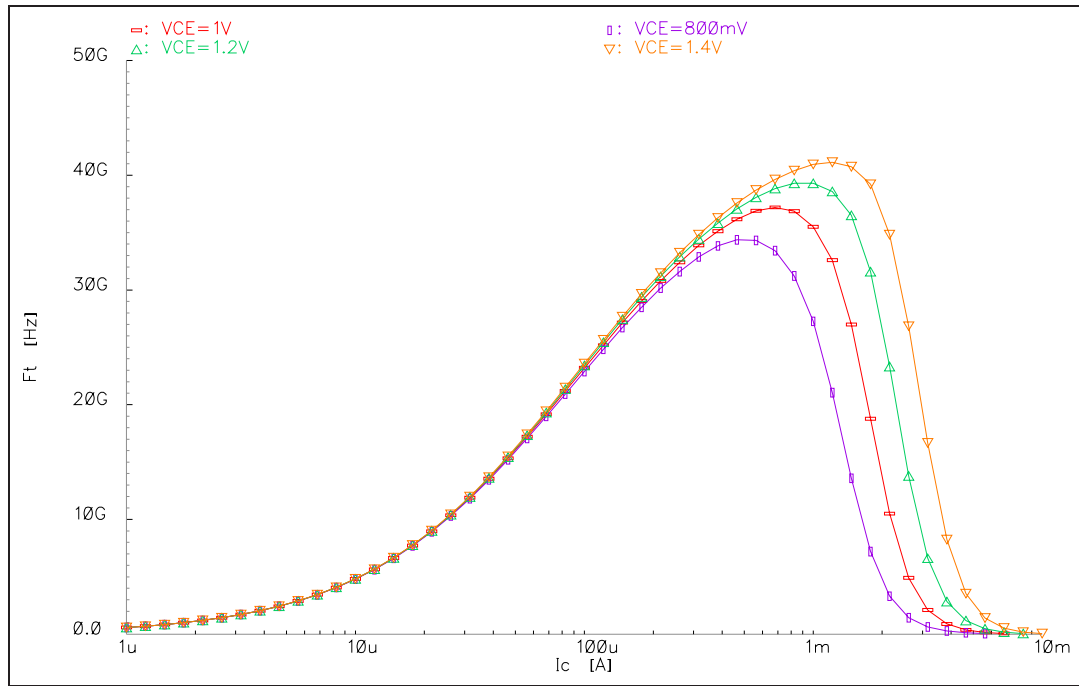


FIG. 2.7 – Tracés de la fréquence de transition des HBTs en fonction de I_c pour plusieurs valeurs de V_{CE}

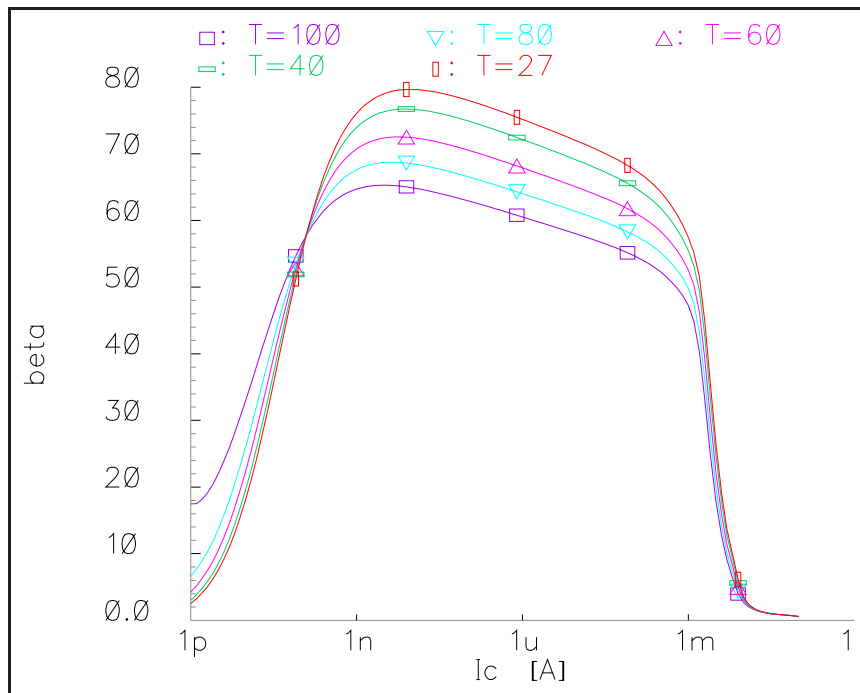


FIG. 2.8 – Courbes de gain des HBTs en fonction de I_c pour plusieurs valeurs de la température

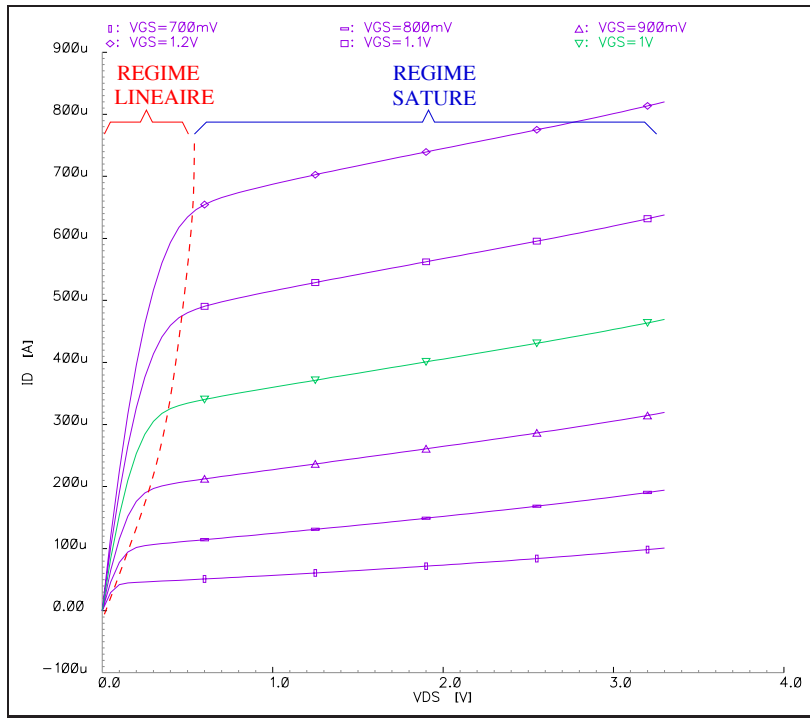


FIG. 2.9 – Caractéristiques de fonctionnement des transistors MOS : $I_D = f(V_{DS})$ pour plusieurs valeurs de V_{GS}

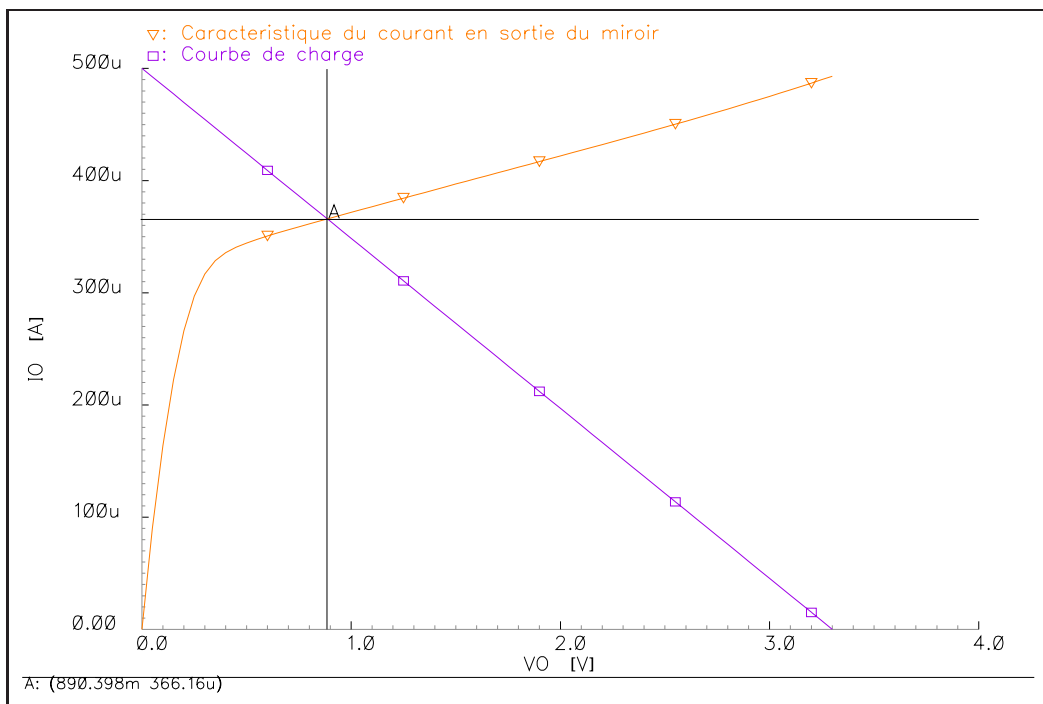
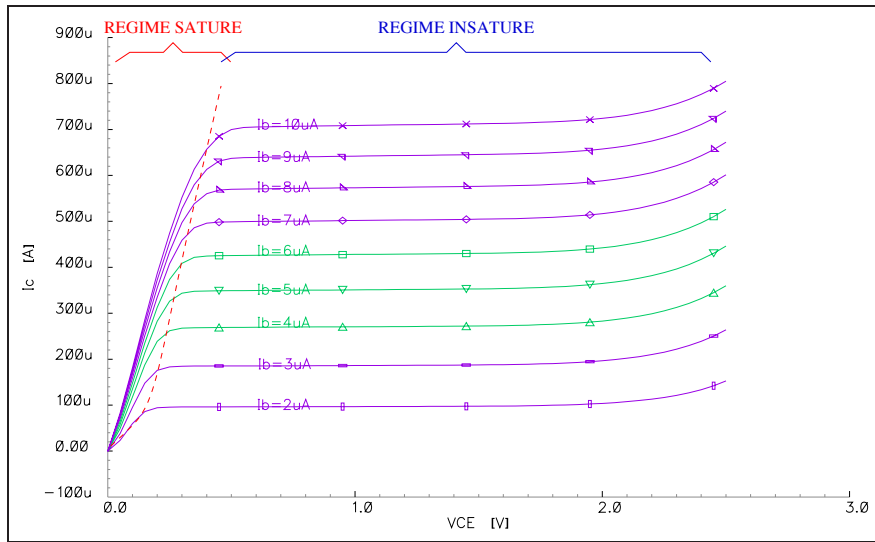
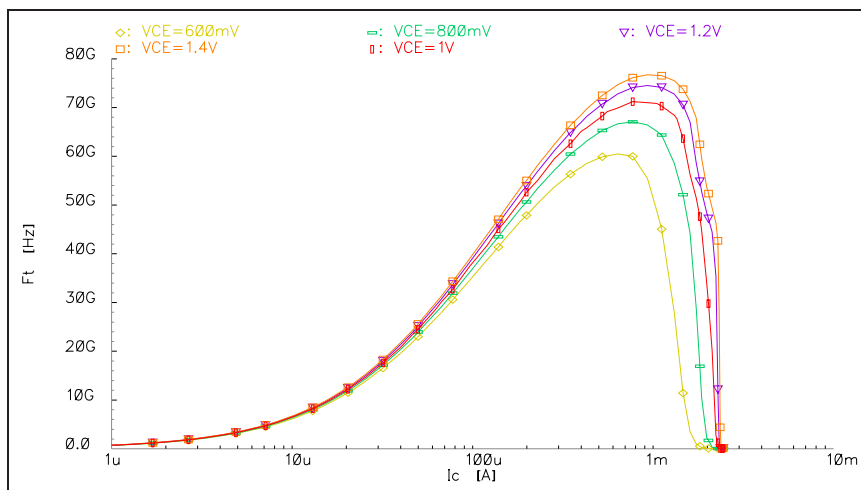


FIG. 2.10 – Point de fonctionnement des miroirs de courant conçus à partir de transistors MOS

FIG. 2.11 – Courbes $I_C = f(V_{CE})$ des HBTsFIG. 2.12 – Courbes d'évolution de la fréquence de transition en fonction de I_C pour différentes valeurs de V_{CE}

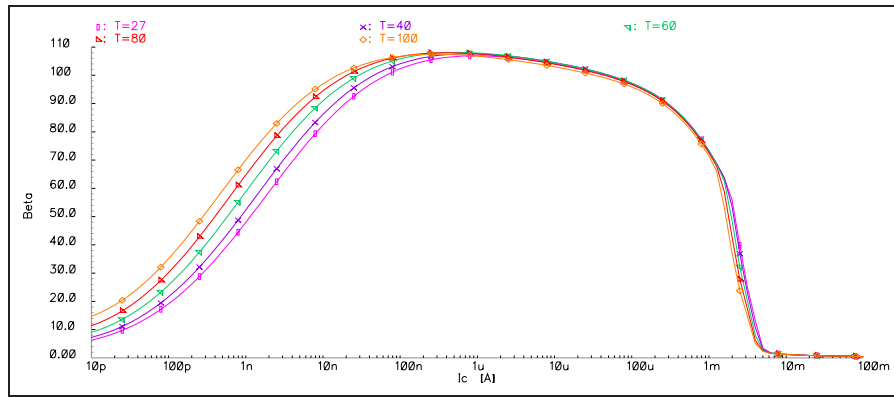


FIG. 2.13 – Courbes de gain des HBTs en fonction de I_C pour plusieurs valeurs de la température

2.3.2 Caractéristiques des composants actifs de BiCMOS7

La figure 2.11 précise le courant I_C des HBTs utilisés. La figure 2.12 montre l'évolution de la fréquence de transition des HBTs utilisés en fonction de I_C pour plusieurs valeurs de V_{CE} : pour obtenir un bon compromis entre la consommation en courant de la structure et des performances fréquentielles permettant d'atteindre une fréquence de fonctionnement de 20 GHz, nous avons choisi un courant $I_C = 350 \mu\text{A}$ environ associé à un $V_{CE} = 1 \text{ V}$ qui permet d'obtenir une fréquence de transition de l'ordre de 65 GHz. Comme pour la technologie BiCMOS6G, nous serons parfois amenés à augmenter la tension d'alimentation pour pouvoir atteindre des fréquences de transition plus élevées.

La figure 2.13 présente le gain des HBTs en fonction du courant I_C pour plusieurs valeurs de la température. Une différence importante apparaît par rapport à la technologie BiCMOS6G : le gain β , pour des courants I_C qui nous intéressent, n'est pratiquement plus sensible à la température¹¹.

Sur la figure 2.14, nous présentons les caractéristiques des transistors MOS utilisés : les MOS seront polarisés de telle manière que l'on obtienne un $I_D = 360/370 \mu\text{A}$ sous un $V_{GS} \approx V_{DS} \approx 1 \text{ V}$; comme pour la technologie BiCMOS6G, nous placerons deux transistors MOS pour réaliser la source en courant des structures différentielles, et un seul dans l'étage suiveur. La figure 2.15 détaille le point de fonctionnement des miroirs de courant.

2.4 Diviseur par 2 en bandes C, X, Ku et K

Le diviseur, circuit critique élémentaire du diviseur par N , doit fonctionner à des fréquences élevées (10-20 GHz) pour assurer le bon fonctionnement du « prescaler ». Cet objectif sera atteint grâce à l'utilisation de deux technologies SiGe performantes de STMicroelectronics

10. La base réagit à une forte injection de porteurs minoritaires pour garder la neutralité électrique.

11. Ce changement entre les deux technologies BiCMOS provient de la modification de la concentration de germanium dans l'hétérojonction.

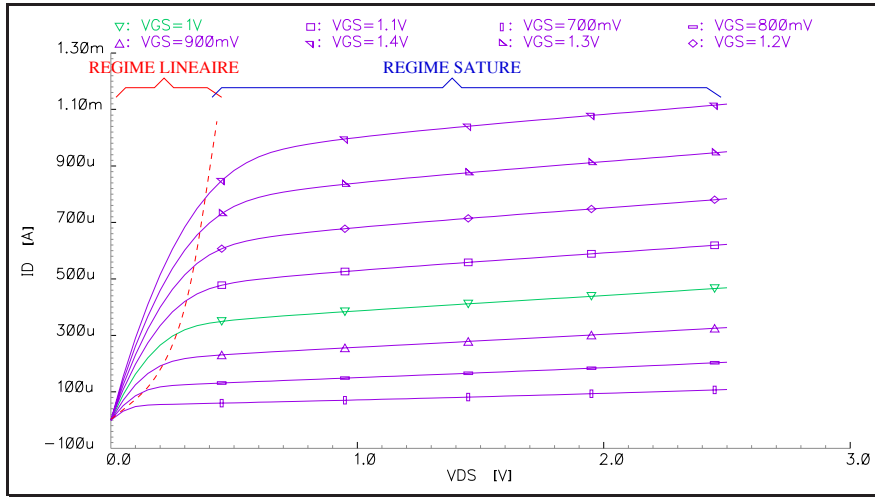


FIG. 2.14 – Caractéristique des transistors MOS : $I_D = f(V_{DS})$ pour plusieurs valeurs de V_{GS}

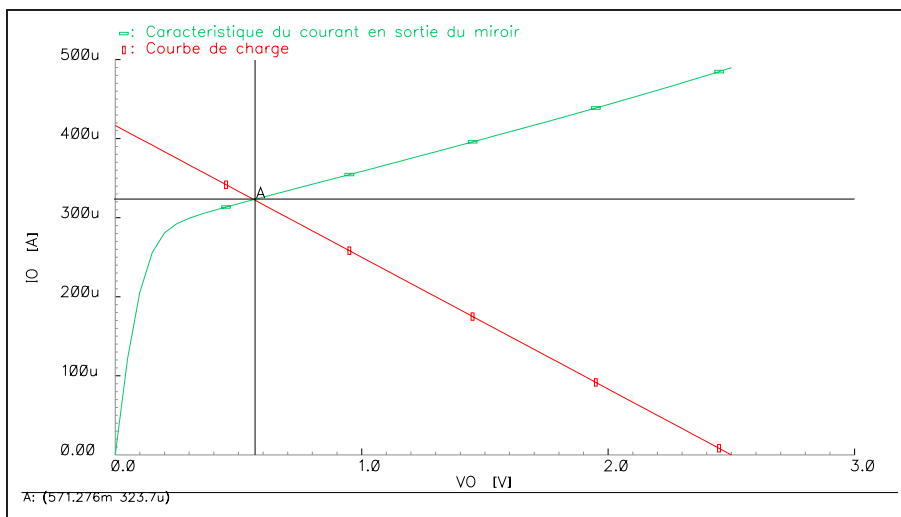


FIG. 2.15 – Point de fonctionnement des miroirs de courant conçus à partir de transistors MOS

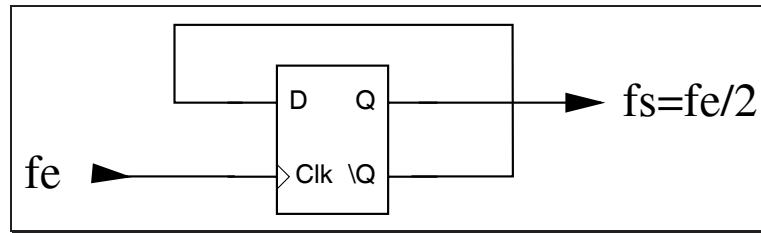


FIG. 2.16 – Bascule D rebouclée

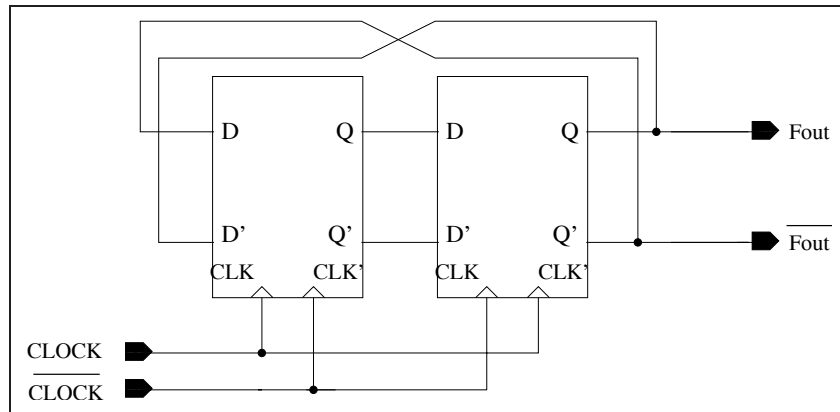


FIG. 2.17 – Schématique logique du diviseur par deux

(BiCMOS6G et BiCMOS7), ainsi qu'à l'utilisation d'une logique rapide, la logique ECL/CML. Le schéma de principe de ce diviseur est exposé sur la figure 2.16. Ce diviseur par 2 est modélisé par une bascule D réagissant sur *front* rebouclée sur elle-même.

Cette bascule D est elle-même conçue à partir de deux bascules D identiques réagissant sur des *niveaux* complémentaires de l'horloge, mises en série (cf. figure 2.17), ce qui permet la synchronisation sur front.

Le fonctionnement du diviseur par deux est le suivant : quand l'une des deux bascules est en lecture, l'autre est en mémorisation.

Nous avons opté pour une structure de diviseur par deux *statique* plutôt que *dynamique*, car le but est d'obtenir des diviseurs de fréquence capable de fonctionner sur une très large bande fréquentielle; or, les diviseurs de fréquence *dynamiques* sont paramétrés pour fonctionner à très hautes fréquences (ce qui les rapproche des circuits analogiques), et par conséquent, l'effet capacitif qui joue le rôle de mémoire ne sera plus capable de maintenir l'information si on travaille à des fréquences un peu plus basses. D'autre part, les structures dynamiques les plus performantes en terme de vitesse de fonctionnement peuvent présenter des niveaux logiques dégradés [7, 8] ou des niveaux logiques indésirables [9]. Les technologies BiCMOS permettent la conception de structures statiques, utilisant des HBTs, qui offrent des performances fréquentielles intéressantes [10, 11, 12, 13].

Dans la schématique présentée sur la figure 2.18, on reconnaît les structures différentielles de la logique ECL [14, 15]. Cette logique va nous permettre de faire fonctionner les transistors

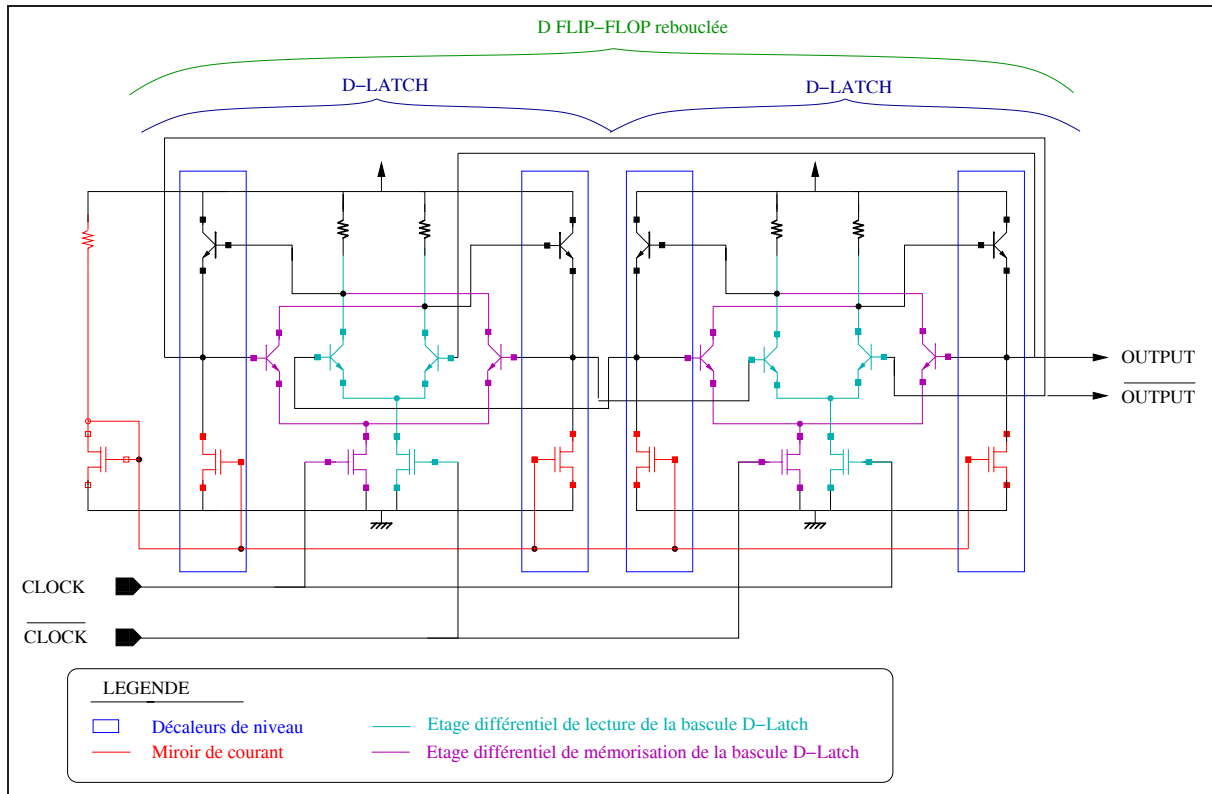


FIG. 2.18 – Schématique du diviseur par deux en logique ECL

bipolaires à hétérojonction (HBT) SiGe en régime insaturé : ceci signifie qu'il n'y a pas d'accumulation de charges au niveau de la base du transistor durant un état établi (niveau haut ou niveau bas), ce qui permet de gagner en rapidité lors des commutations (on s'affranchit donc du temps de désaturation du transistor).

En ce qui concerne les sources de courant placées au niveau de ces étages différentiels et suiveurs, nous avons utilisé, à la place de simples résistances, des sources de courant commandées utilisant des MOS. Ces sources permettent un fonctionnement des HBTs à courant constant. Nous avons conçu des sources de courant commandées avec des HBTs lors de la conception des diviseurs par 2 et par $P/P + 1$ en technologie BICMOS7 dont les résultats seront présentés plus loin dans ce chapitre.

2.5 Diviseur numérique statique par 2 en BiCMOS6G

Nous allons présenter les différentes conceptions réalisées avec la technologie SiGe $0,35 \mu\text{m}$ de STMicroelectronics. Deux circuits ont été réalisés à partir de la schématique présentée ci-dessus (les paramètres des composants actifs et passifs sont identiques). La différence se situe au niveau des dessins de masques. Nous observerons, par la suite, que cette différence nous permet d'obtenir une amélioration significative en terme de performances fréquentielles.

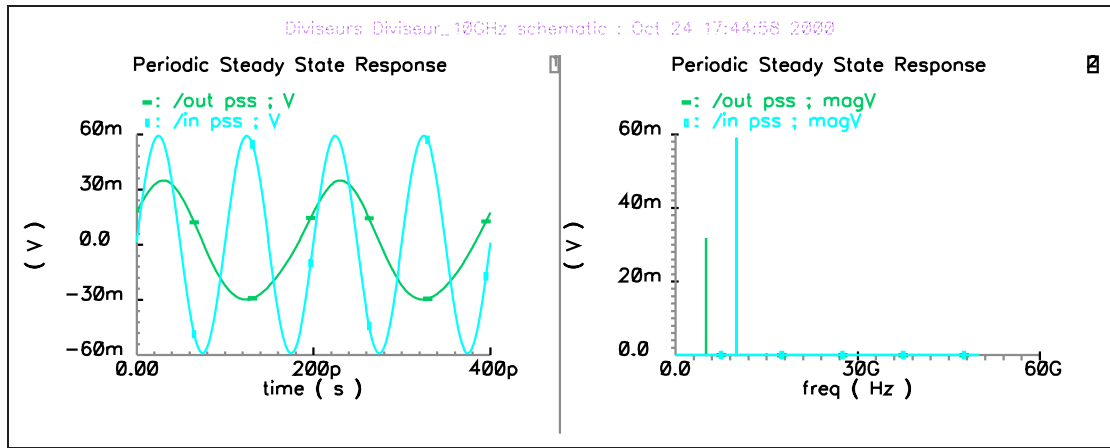


FIG. 2.19 – Simulation électrique du diviseur par deux

2.5.1 Présentation des deux diviseurs par 2

Les deux circuits sont identiques d'un point de vue schéma électrique : ils sont alimentés sous une tension de 3,3 V. La consommation en courant est de 3,5 mA, soit $P_{\text{consommée}} = 11,55 \text{ mW}$. Les simulations présentées sont réalisées avec une fréquence d'entrée de 10 GHz. La fréquence maximale de fonctionnement du diviseur en simulation est de 13 GHz.

En sortie du diviseur, nous obtenons un signal de sortie de fréquence 5 GHz. La simulation fréquentielle nous montre que les harmoniques secondaires ont de faibles amplitudes, comparées à celle du fondamental (cf. fig 2.19).

2.5.1.1 Présentation du premier layout

Trois courbes permettent d'illustrer le fonctionnement de ce diviseur par deux. Celui-ci, d'après les mesures, peut fonctionner jusqu'à 14,5 GHz, résultat en cohérence avec les simulations. La fig. 2.21 décrit la plage de puissance admissible en entrée en fonction de la fréquence : nous observons que, plus la fréquence de fonctionnement est élevée, plus la plage admissible en entrée est réduite. La puissance disponible en sortie en fonction de la fréquence est donnée sur la fig. 2.22. Sur ce graphe, nous observons les variations de la puissance de sortie, à une fréquence donnée, pour les valeurs de la puissance d'entrée correspondant aux extrêmes de la puissance admissible en entrée (fig 2.23). Cette plage de puissance est quasi-indépendante de la puissance d'entrée, une fois le diviseur synchronisé (pas de perte de conversion). La troisième courbe permet d'observer la consommation du diviseur en fonction de la fréquence de fonctionnement (fig 2.23) où l'on peut noter une consommation élevée par rapport à celle annoncée précédemment pour le diviseur par 2 ($\approx 3,5 \text{ mA}$) car ici, la consommation concerne le diviseur par deux avec son interface d'entrée et son buffer de sortie qui a pour fonction de sortir une puissance acceptable sans adaptation d'impédance en sortie. On s'aperçoit notamment que la consommation diminue quand la fréquence augmente : ce résultat est bien spécifique à la lo-

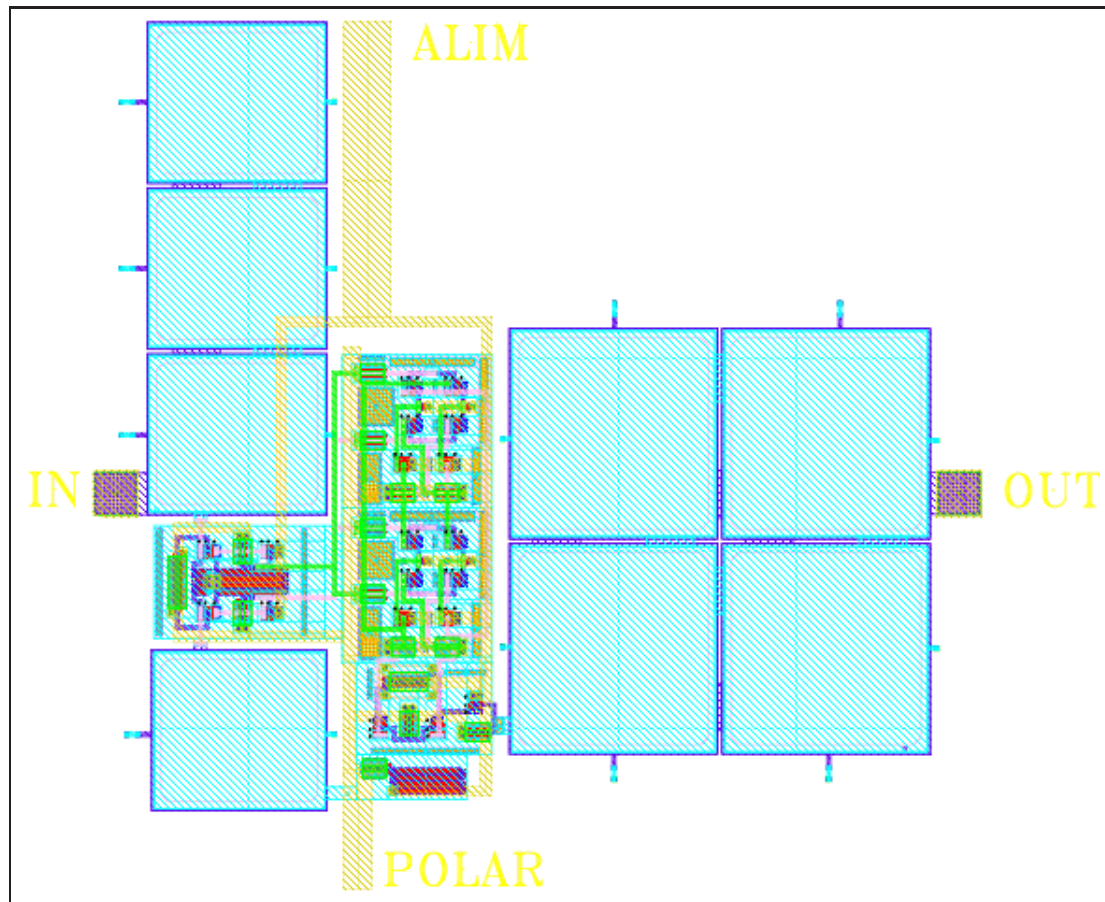
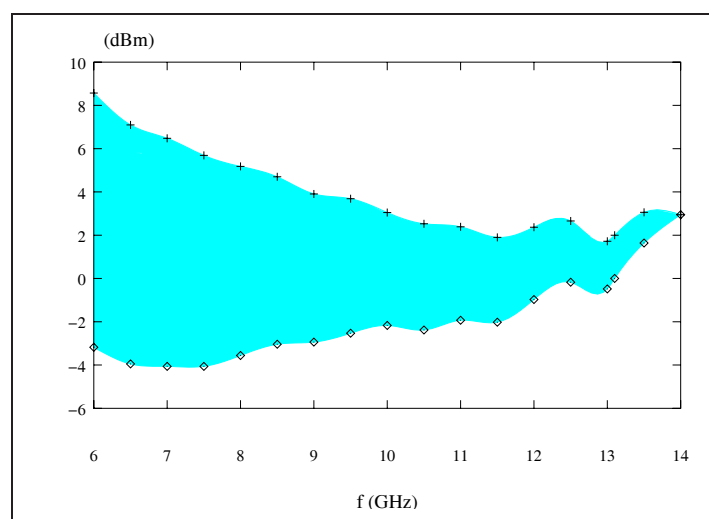
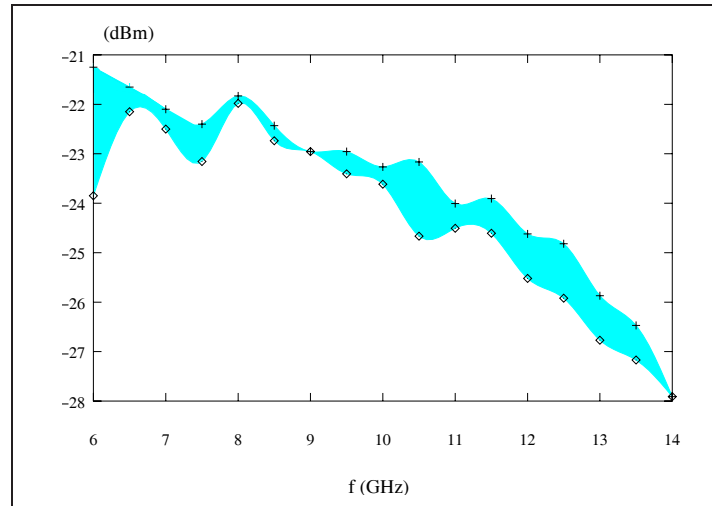
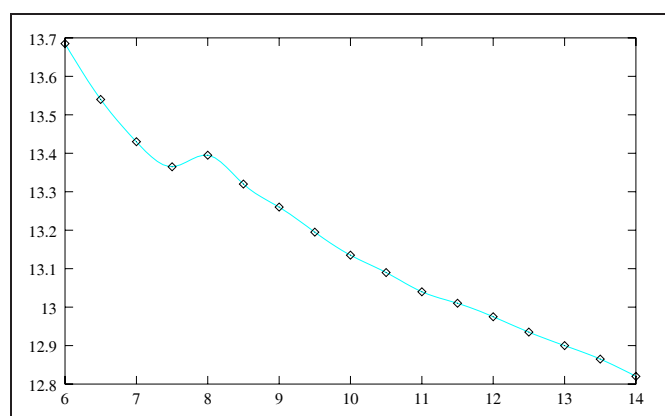


FIG. 2.20 – Dessin de masques du diviseur par deux

FIG. 2.21 – Puissance admissible en entrée en fonction de la fréquence - 1^{er} circuit

FIG. 2.22 – Puissance disponible en sortie en fonction de la fréquence - 1^{er} circuitFIG. 2.23 – Courant Consommé (en mA) en fonction de la fréquence - 1^{er} circuit

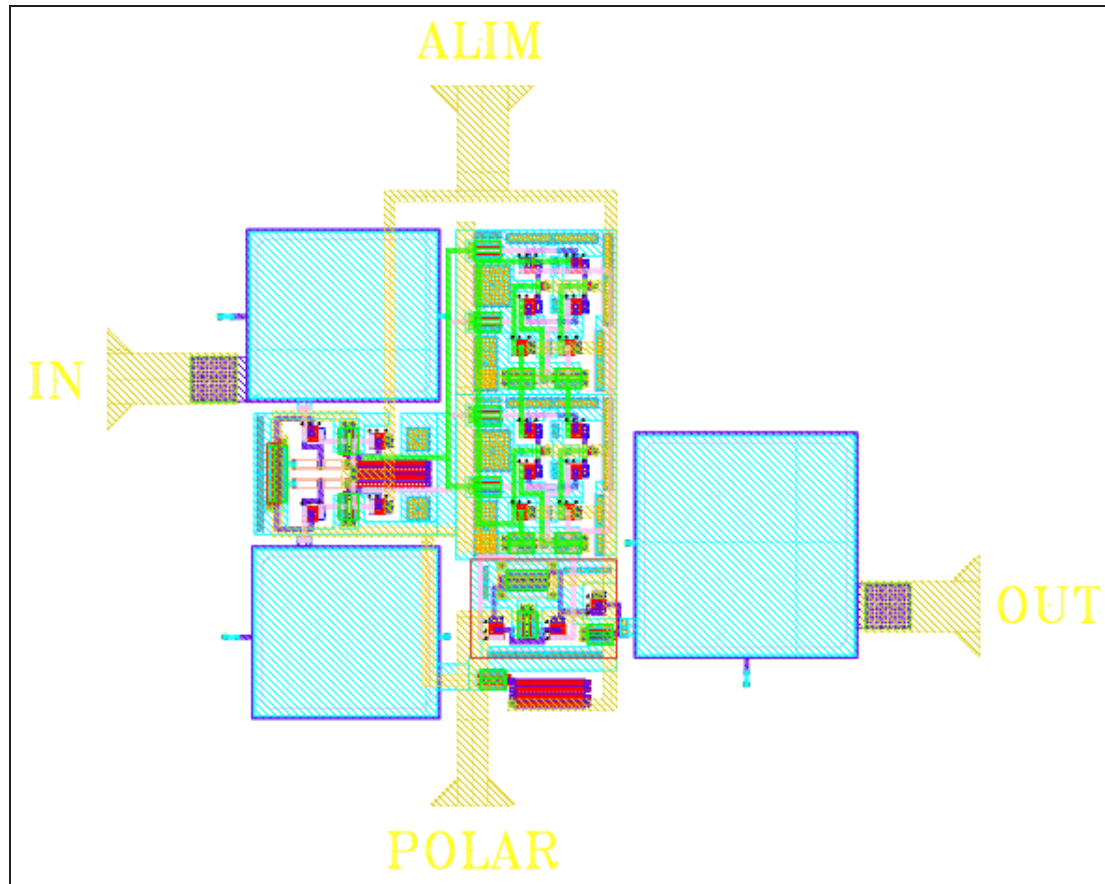


FIG. 2.24 – Dessin de masques du diviseur par deux

gique ECL qui lorsque la fréquence augmente, l'amplitude des signaux diminue (les signaux deviennent sinusoïdaux du fait que les temps de montée et de descente deviennent importants par rapport à la période du signal d'entrée), ce qui permet au circuit d'avoir un fonctionnement de plus en plus linéaire.

2.5.1.2 Présentation du deuxième layout

La différence avec le premier dessin de masques est notable en ce qui concerne le plan de masse (composé de métal 2). Dans le premier dessin de masques (cf. fig 2.20), pour concevoir le plan de masse, nous avons réalisé des ouvertures, seulement au niveau des contacts reliés à des niveaux de métaux supérieurs au métal 2. Ceci impliquait que ce plan de masse, recouvrant les composants actifs et passifs, jouait un rôle non négligeable dans l'apparition d'un certain nombre de capacités et résistances parasites : ceci a altéré les performances fréquentielles du premier circuit. Dans ce deuxième dessin de masques, les ouvertures sont plus importantes, de telle sorte qu'il n'y ait pas superposition du plan de masse et des composants.

Nous obtenons à peu près les mêmes courbes que pour le premier circuit (cf. fig 2.25, 2.26 et 2.27). Deux points sont, malgré tout, à souligner : tout d'abord, d'après les mesures, on s'aperçoit que le diviseur peut fonctionner jusqu'à 24,5 GHz au lieu de 14,5 GHz comme le

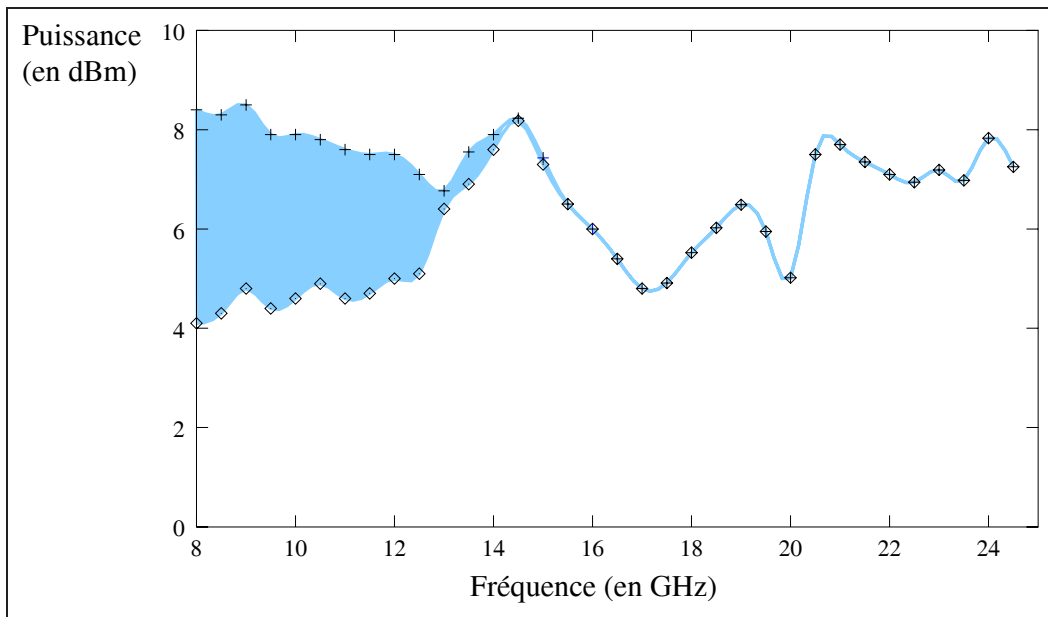


FIG. 2.25 – Puissance admissible en entrée en fonction de la fréquence - 2^e circuit

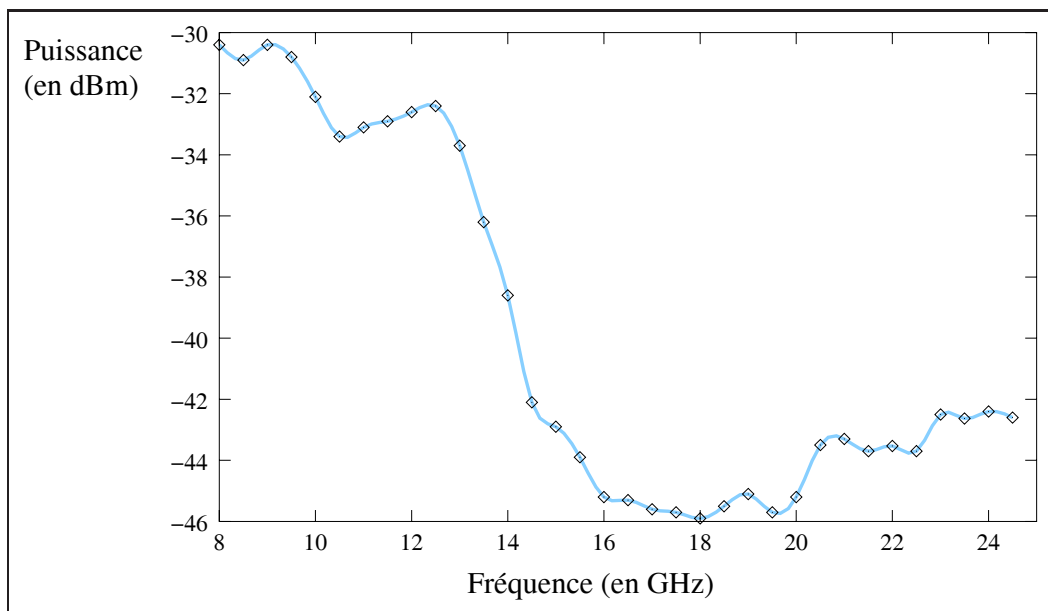


FIG. 2.26 – Puissance disponible en sortie en fonction de la fréquence - 2^e circuit

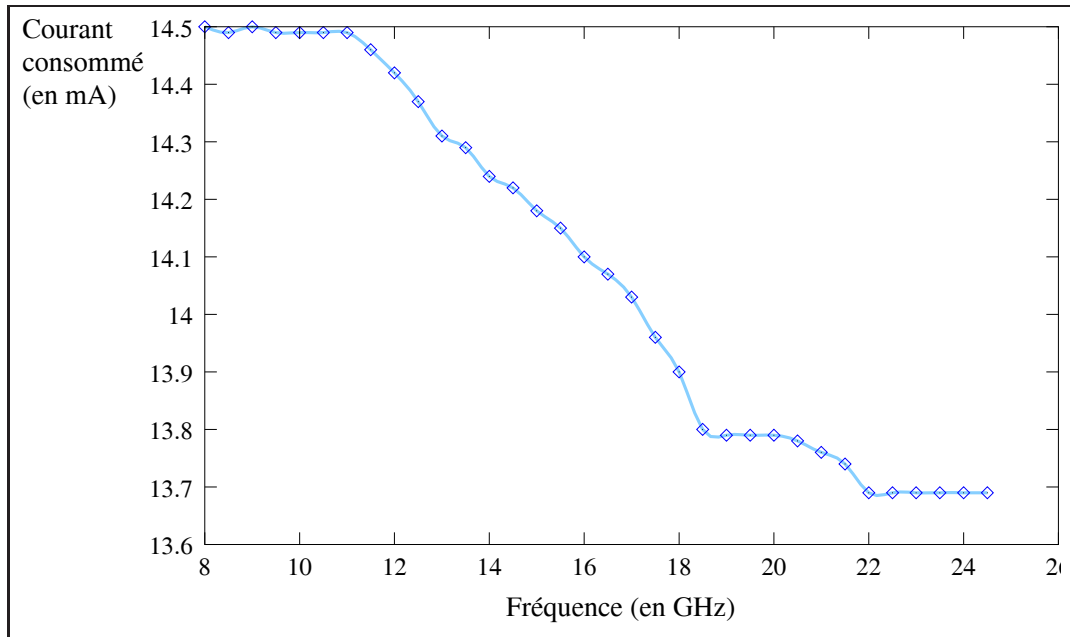


FIG. 2.27 – Courant Consommé (en mA) en fonction de la fréquence - 2^e circuit

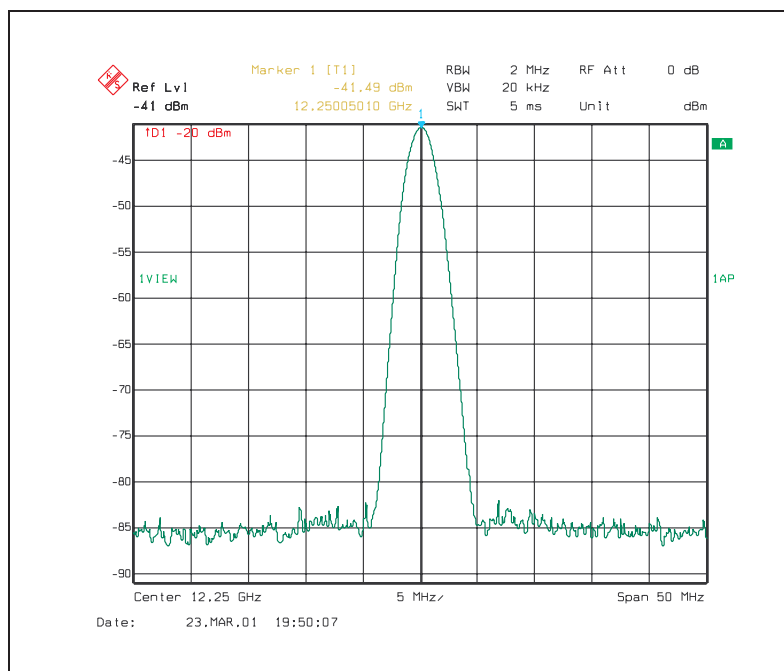


FIG. 2.28 – Spectre mesuré du 2^e circuit à 24,5 GHz de fréquence d'entrée

montre la figure 2.28. D'autre part, nous avons observé que la plage de puissance admissible en entrée devient très faible au-delà de 15 GHz : cette caractéristique pourra poser problème lors de la mise en série de plusieurs diviseurs par 2. Donc ce point devra être pris en compte lors de la conception du prescaler $P/P + 1$.

Bien que les résultats obtenus soient satisfaisants, on se trouve malgré tout aux limites de la technologie SiGe 0,35 μm . Pour pouvoir réaliser une PLL à 20 GHz, il a fallu se diriger vers une technologie SiGe 0,25 μm plus performante en terme de vitesse de fonctionnement.

2.6 Diviseur numérique statique par 2 en BiCMOS7

2.6.1 Présentation des diviseurs par 2 en BiCMOS7

Deux types de diviseurs par 2 ont été conçus dans cette technologie : un premier avec des sources de courant pour les structures différentielles utilisant des transistors MOS comme pour la technologie BiCMOS6G, et un second avec des sources utilisant des transistors bipolaires. Seront présentés les simulations, les dessins de masques de chaque circuit, ainsi que les mesures réalisées.

2.6.1.1 Présentation du premier diviseur par 2

La schématique du premier circuit (cf. fig 2.18) est la même que celle des circuits réalisés avec la BiCMOS6G, en modifiant les paramètres des composants actifs et passifs dans le but d'obtenir des fréquences de fonctionnement de 20 GHz.

Résultats de simulation :

- Alimentation : 3,3 V ;
- Fréquence maximale de fonctionnement : 21 GHz ;
- Fréquence minimale de fonctionnement : 0,5 GHz ;
- Plage de puissance admissible en entrée : -10 dBm à 0 dBm ;
- Plage de puissance disponible en sortie : -11 dBm à -9 dBm ;
- Consommation en courant (DC) : 21,3 mA. Le buffer de sortie, étage tampon capable de fixer la puissance disponible en sortie, consomme à lui tout seul 12,1 mA.

La fréquence maximale de fonctionnement (21 GHz) en simulation est bien supérieure à ce que l'on pouvait obtenir avec la BiCMOS6G. En observant l'amplitude du signal de sortie, on s'aperçoit qu'il y aura un effort à faire sur le buffer de sortie de telle sorte que la puissance de sortie soit la plus grande possible (cf. fig 2.30).

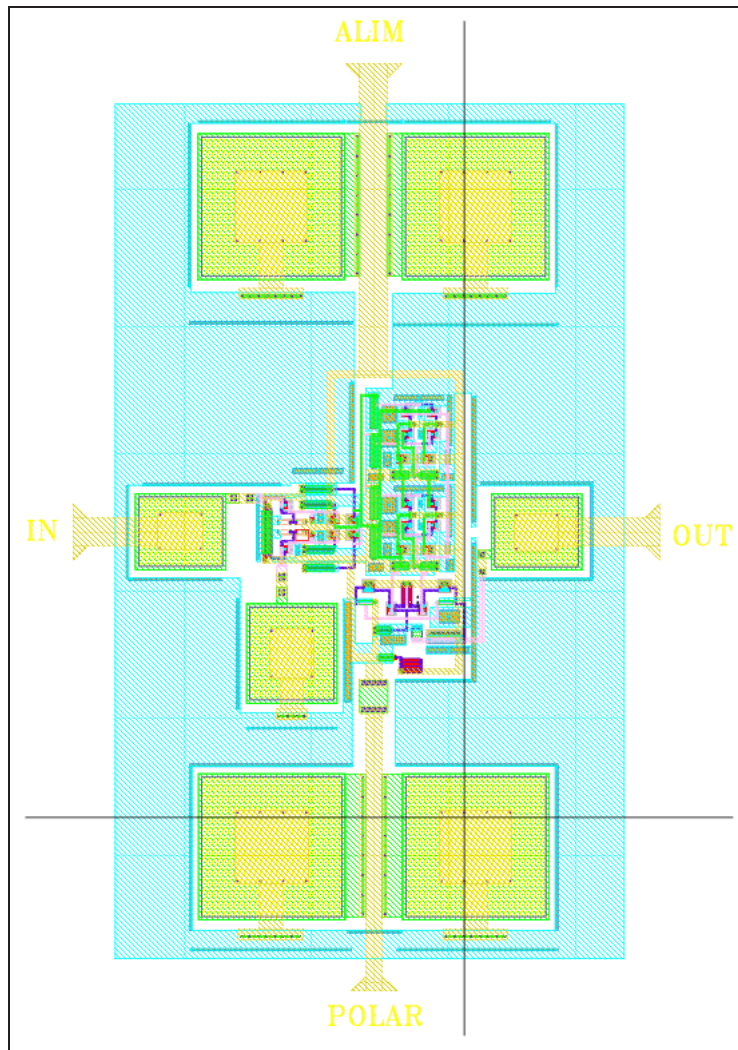


FIG. 2.29 – Dessin des masques du CIRCUIT A

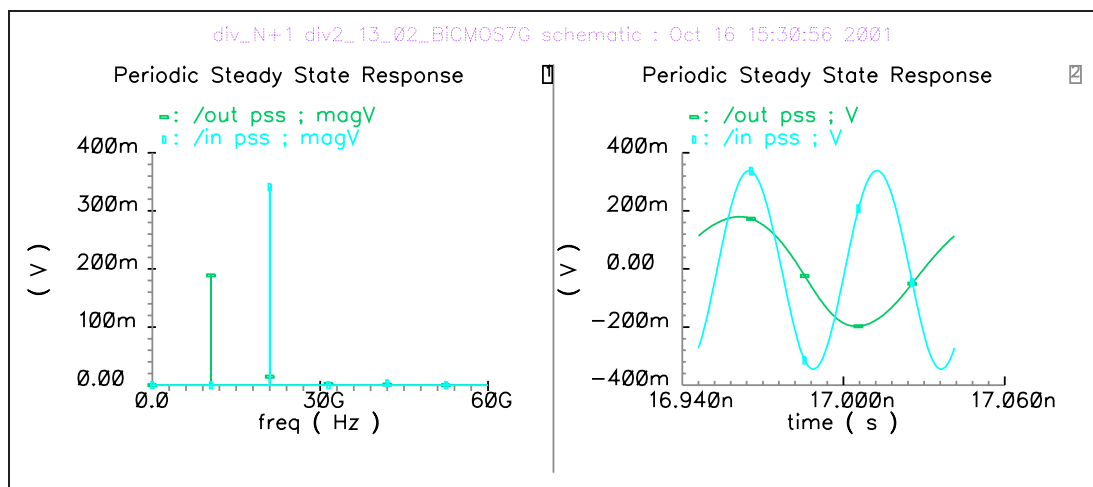


FIG. 2.30 – Simulation électrique du CIRCUIT A à 21 GHz

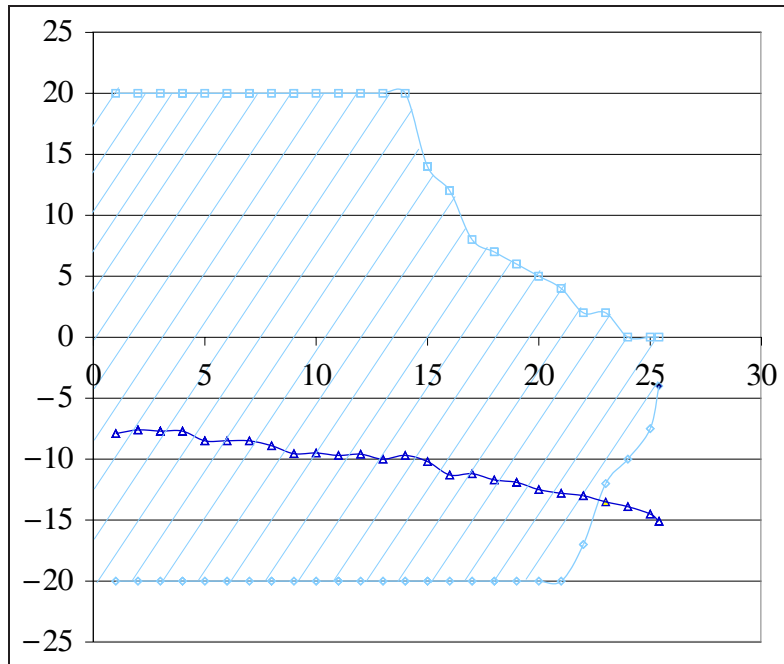


FIG. 2.31 – Mesure de la puissance admissible en entrée (clair) et de la puissance disponible en sortie (foncé) en fonction de la fréquence d'entrée

La figure 2.31 présente les mesures réalisées sur ce diviseur : la puissance admissible en entrée et la puissance disponible en sortie en fonction de la fréquence d'entrée. On peut noter que la fréquence maximale de fonctionnement est de 24,5 GHz.

2.6.1.2 Présentation du deuxième layout

La schématique du deuxième diviseur a été modifiée pour gagner en terme de vitesse de fonctionnement : les transistors MOS traversés par le signal RF au niveau des entrées clock et clockdes bascules D régissant sur niveaux ont été remplacés par des transistors bipolaires, plus rapides (cf. fig 2.32).

Résultats de simulation :

- Alimentation : 3 V ;
- Fréquence maximale de fonctionnement : 22,2 GHz ;
- Fréquence minimale de fonctionnement : 2 GHz ;
- Plage de puissance admissible en entrée : -18 dBm à 0 dBm ;
- Plage de puissance disponible en sortie : -13 dBm à -12 dBm ;
- Consommation en courant (DC) : 22,5 mA. Le buffer de sortie consomme 11,2 mA.

Les performances fréquentielles de ces deux circuits vont malheureusement de pair avec une augmentation de la consommation en courant. Cette consommation est accrue par le buffer

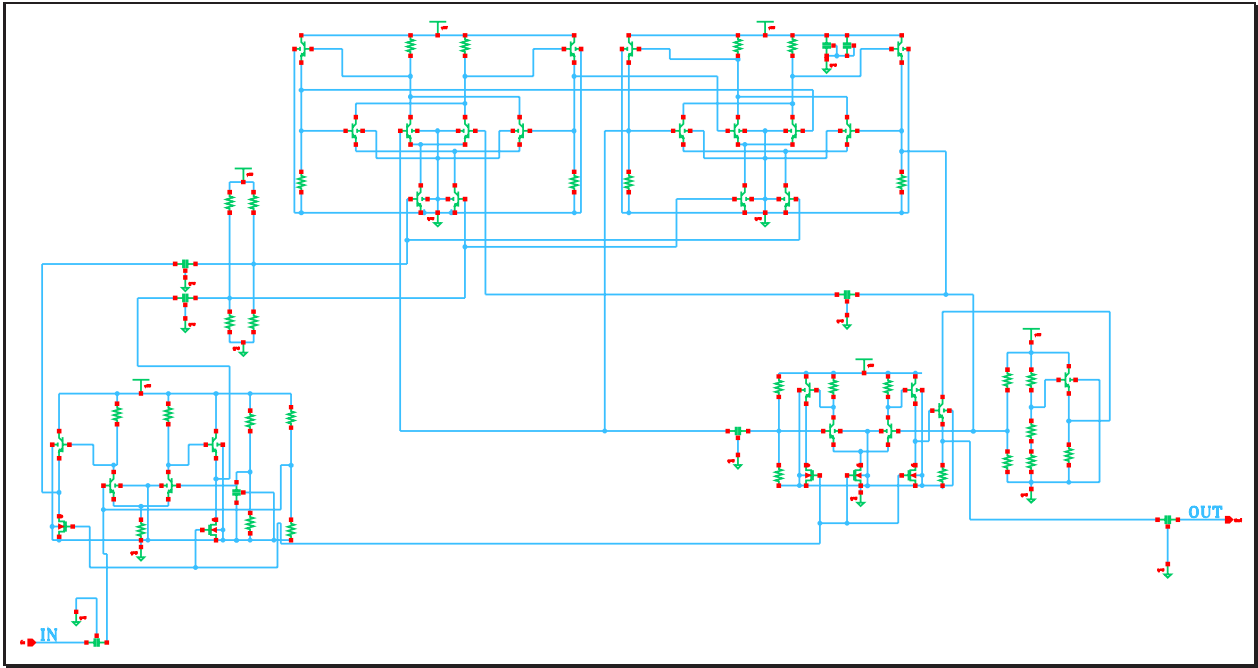


FIG. 2.32 – Schématique du 2^e diviseur fonctionnant jusqu'à 34 GHz

de sortie capable de fournir une puissance de sortie supérieure à la puissance d'entrée pour le second circuit seulement. Les mesures réalisées sur ce diviseur par 2 sont présentées sur la figure 2.35.

On peut noter que la fréquence maximale de fonctionnement est de 19 GHz ; la différence entre les simulations et les mesures sont la conséquence de la restriction qui est imposée lorsque l'on utilise un bipolaire en source de courant : le transistor doit être en régime insaturé pour obtenir un courant de collecteur constant, ce qui impose une tension de collecteur supérieure ou égale à la tension de base. Rappelons que l'utilisation du transistor MOS permet d'avoir un degré de liberté de plus car, pour le maintenir en régime saturé dans le but d'obtenir un courant de drain constant, la tension de drain peut être inférieure à la tension de grille en respectant :

$$V_{\text{drain}} + V_{\text{seuil}} \geq V_{\text{grille}}$$

Ce degré de tolérance devient important face aux problèmes posés par les dispersions technologiques des deux technologies.

D'après les résultats obtenus, les performances du diviseur par 2 conçu avec des sources en courant composées de transistors MOS sont plus performants d'un point de vue fréquentiel : par conséquent, les diviseurs qui suivent sont basés sur cette première structure de diviseur.

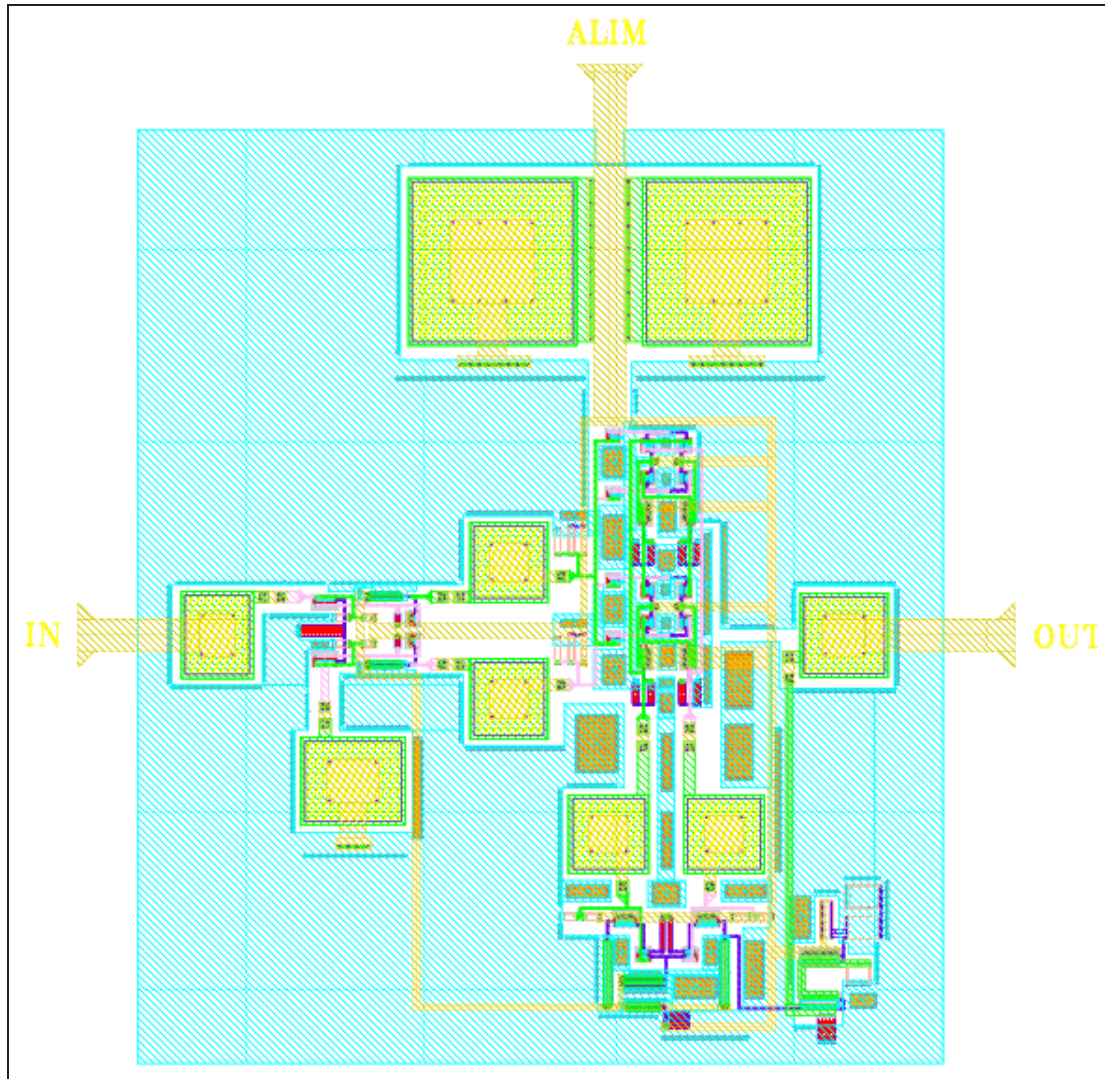


FIG. 2.33 – Dessin des masques

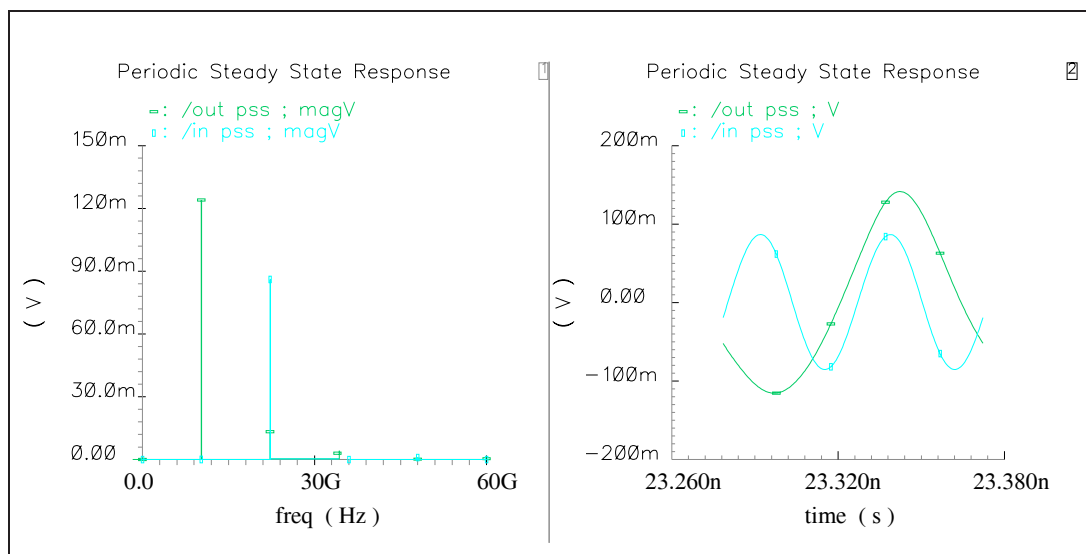


FIG. 2.34 – Simulation électrique réalisée à 22,2 GHz

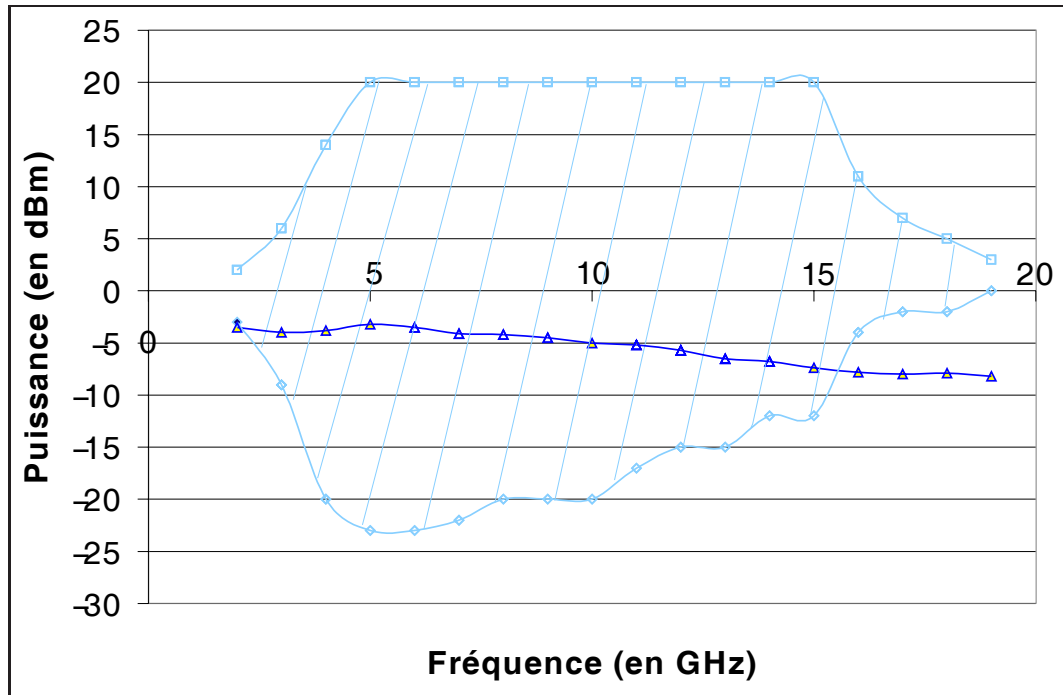


FIG. 2.35 – Courbes des puissances admissible en entrée (clair) et disponible en sortie (foncé) en fonction de la fréquence d'entrée

2.7 Prédiviseur $P/P + 1$ avec $P = 4$

Trois structures ont été réalisées. En BiCMOS6G, deux d'entre elles ont été conçues, et la troisième a été directement intégrée dans le diviseur par N . En ce qui concerne les circuits en BiCMOS7, nous n'avons pas pu suivre la même évolution que pour les circuits en BiCMOS6G, car les structures réalisées mi-2001/début 2002 n'ont pas fonctionné pour des problèmes de correspondance entre la modélisation des composants et les composants d'un point de vue technologique. Nous n'avons donc pas de mesures détaillées du diviseur par $4/5$: ces blocs seront utilisés directement pour la conception du diviseur par M en BiCMOS7. Ces trois topologies proposent des aspects innovants par rapport aux topologies publiées actuellement.

2.7.1 Schématique logique et principe de fonctionnement d'un pré-diviseur classique

Les prédiviseurs, en général, sont conçus à partir d'une structure synchrone c'est-à-dire que toute évolution de la sortie est dépendante du niveau logique de l'horloge (cf. fig 2.36) [16, 17].

La division par 4 est réalisée par une cellule Johnson (mise en série synchrone de deux diviseurs par 2). La division par 5 est obtenue en masquant le signal de sortie de la 3^e bascule D pendant une période d'horloge : ce signal va rester dans l'état précédent pendant cette période. Le problème rencontré avec ce genre de structure se situe au niveau du rebouclage : le signal de sortie de la 3^e bascule D doit traverser plusieurs portes logiques en moins d'une période

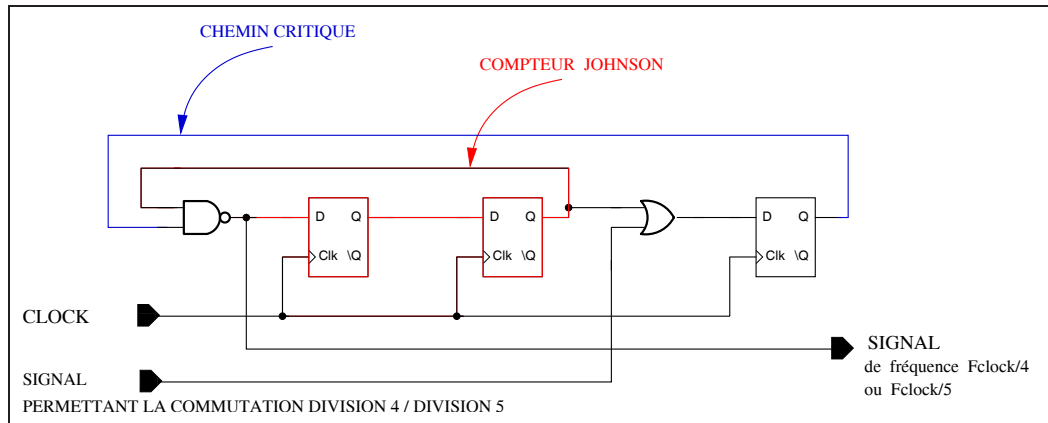


FIG. 2.36 – Prédiviseur classique réalisant le facteur $N + 1$ par le masquage du signal RF

d'horloge ; il doit donc arriver avant le front d'horloge suivant. À partir d'une certaine fréquence, ce signal mettra plus d'une période d'horloge pour se propager sur le chemin dit « critique », et le prédiviseur $P/P + 1$ n'assurera plus sa fonction. Pour faire face à ce problème de limitation en fréquence, nous avons décidé d'utiliser une logique asynchrone et d'innover en ce qui concerne la génération du facteur « $P + 1$ ».

Dans les schémas logiques qui suivent, la division par 4 est réalisée par la mise en série asynchrone de deux diviseurs par 2. En ce qui concerne la division par 5, les trois circuits ci-dessous présentent une originalité : le facteur de division $N + 1$ est obtenu par le masquage de l'horloge, grâce à l'utilisation d'une logique asynchrone, et non par le masquage du signal de sortie de la 3^e bascule D comme le montre la figure 2.36, structure récurrente dans la littérature.

Enfin, un des avantages fondamental entre la structure dite classique et les trois prédiviseurs qui suivent, c'est que lorsque la fréquence d'entrée devient trop importante pour obtenir un fonctionnement normal, ils ne présentent pas de dysfonctionnement strict mais génèrent une division par $P/P + 2$, puis $P/P + 3 \dots$: le pic de masquage de l'horloge s'étale non plus sur une période d'horloge mais 2 périodes, puis 3... (les temps de transition, état bas-état haut et inversement, ne sont plus négligeables par rapport à la période d'horloge) et le prédiviseur masque alors 2 périodes, puis 3... au lieu d'une seule. Ceci sera un avantage non négligeable lorsque ce circuit sera intégré dans un diviseur programmable car tout au plus aurons-nous une perte de précision avec la montée en fréquence mais pas d'arrêt de fonctionnement comme avec la structure classique [18].

2.7.2 Première topologie de prédiviseur $P/P + 1$ (avec $P = 4$)

Dans le schéma logique et le chronogramme qui suivent (cf. figures 2.37 et 2.38), ce masquage est réalisé par la détection d'un état binaire « 00 », effectué par une porte NON-OU, qui commande une seconde porte NON-OU réalisant l'inhibition d'une période du signal d'horloge. Pour détecter cet état « 00 », il est nécessaire de prélever le signal à la sortie de la première

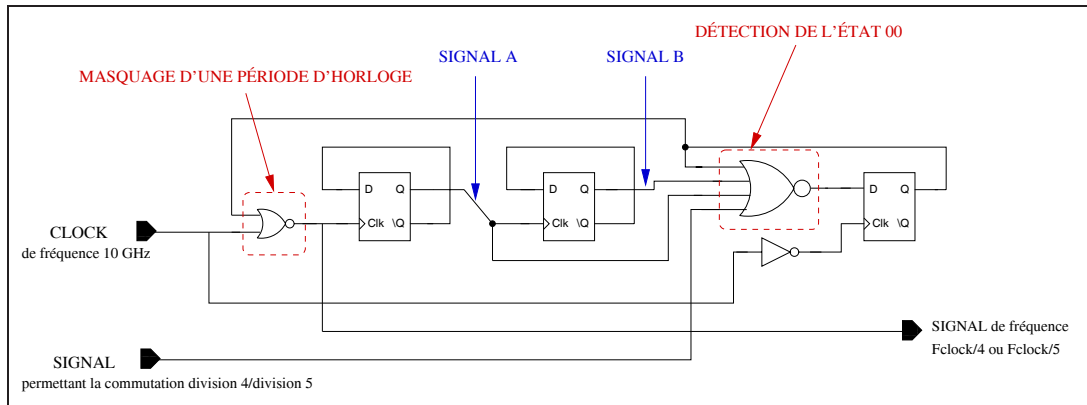


FIG. 2.37 – Schématisation logique du premier prédiviseur 4/5

bascule D (fréquence de l'horloge divisée par 2) et le signal à la sortie de la deuxième bascule D (fréquence de l'horloge divisée par 4) : quand ces deux signaux présentent simultanément un état bas, l'état « 00 » est décelé [19].

2.7.2.1 Résultats de simulation

Sur la figure 2.39, nous présentons la simulation et la rétrosimulation (prise en compte, après conception du dessin des masques, des résistances et capacités parasites) temporelles pour une fréquence de fonctionnement de 10 GHz. On observe un signal de sortie qui tend à devenir carré (fonctionnement numérique) dont la fréquence est bien égale à $1/5$ de la fréquence d'entrée. Après conception du dessin des masques (cf. figure 2.40), nous avons effectué une rétrosimulation ; la présence des résistances et capacités parasites dans le circuit n'influe que très peu sur son fonctionnement : pas de changement au niveau de l'allure du signal de sortie, ou de son amplitude.

2.7.2.2 Résultats obtenus en mesure

Sous une tension d'alimentation de 3,3 V, ce circuit consomme environ 31 mA, soit 102,3 mW.

Deux courbes permettent d'illustrer le fonctionnement de ce diviseur par deux. Ce dernier, d'après les mesures, peut fonctionner jusqu'à 11 GHz (résultat cohérent avec les simulations). La figure 2.41 décrit la puissance admissible en entrée (clair) en fonction de la fréquence : nous observons que, plus la fréquence de fonctionnement est élevée, plus la plage admissible en entrée diminue. Jusqu'à 11 GHz, la puissance admissible est suffisamment importante pour permettre une intégration du diviseur 4/5 au sein du dual modulus prescaler présenté en figure 2.1. La puissance disponible en sortie en fonction de la fréquence est présentée sur la figure 2.41 (foncé), ainsi que sur la figure 2.42. Sur ce graphe, nous observons les variations de la puissance de sortie, en fonction de la fréquence d'entrée, pour les valeurs extrêmes de la puissance d'entrée admissible. De plus, la plage de puissance disponible en sortie est située dans la plage de

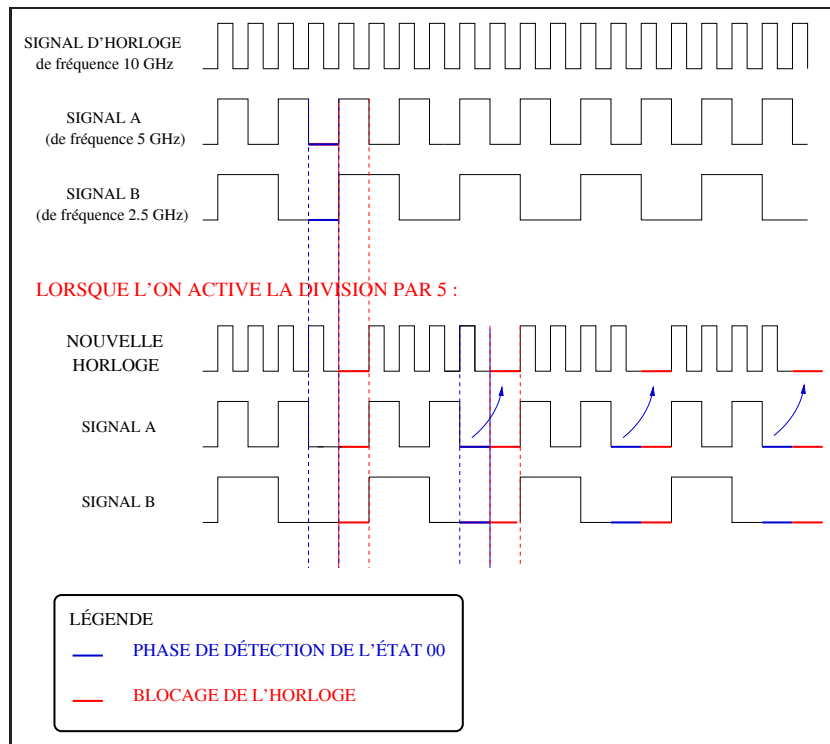


FIG. 2.38 – Chronogramme du premier prédiviseur 4/5

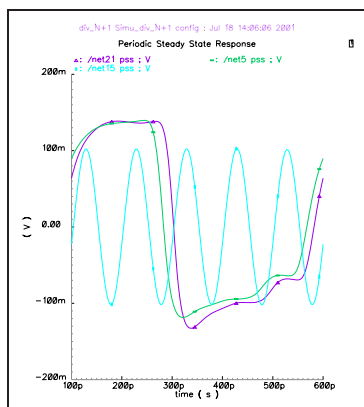


FIG. 2.39 – Simulation temporelle

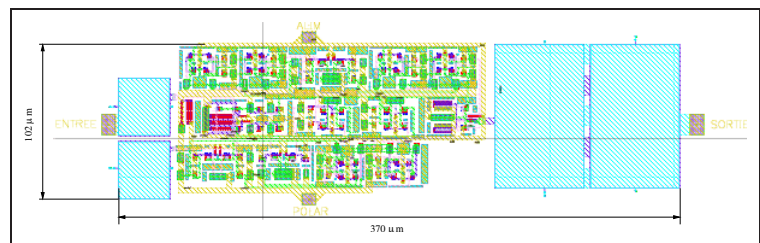


FIG. 2.40 – Dessin des masques du diviseur 4/5

puissance admissible en entrée (cf. figure 2.41), ce qui permet éventuellement de mettre en série plusieurs diviseurs numériques.

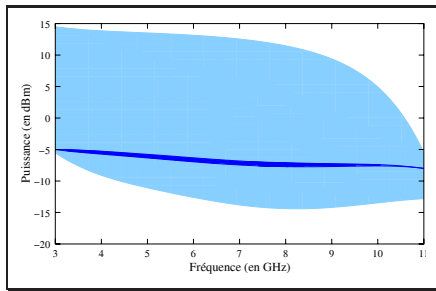


FIG. 2.41 – Puissance admissible en entrée (clair) et puissance disponible en sortie (foncé), en fonction de la fréquence d'entrée

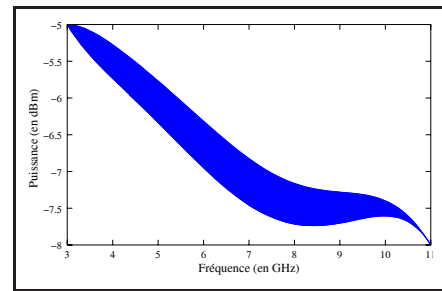


FIG. 2.42 – Puissance disponible en sortie en fonction de la fréquence d'entrée

Ce circuit présente quelques inconvénients :

- d'après la figure 2.37, nous pouvons observer que pour réaliser le facteur $N + 1$ du prédiviseur, il est nécessaire d'extraire un signal après le premier diviseur par 2, et un autre après le second diviseur par 2. Sachant que les diviseurs par 2 sont des structures très symétriques (ils sont composés de 2 entrées et de 2 sorties, et lorsque l'on met deux diviseurs en série pour obtenir la division par 4, on branche les deux sorties du premier diviseur sur les deux entrées du second), le fait d'aller puiser un signal sur l'une des deux sorties va rendre la structure plus sensible aux perturbations électriques.
- l'utilisation de portes logiques à quatre entrées est déconseillée pour pouvoir monter en fréquence.

2.7.3 Deuxième topologie de prédiviseur $P/P + 1$ (avec $P = 4$)

Dans cette seconde topologie, la division par 4 est générée de la même façon que pour la topologie précédente. En ce qui concerne la division par 5, une porte NON-OU va générer un pic de masquage d'une période d'horloge grâce aux signaux de sortie de la deuxième et troisième bascules qui sont déphasées d'une période d'horloge.

2.7.3.1 Présentation du dessin des masques et des simulations

Il présente deux avantages par rapport au premier prédiviseur :

- il n'y a plus le problème d'extraction de signaux après chaque diviseur par 2 ;
- la porte OU à quatre entrées a été remplacée par une porte OU à trois entrées.

Il consomme 40,8 mA en DC : sa consommation est importante, mais c'est une condition nécessaire pour obtenir une puissance en sortie suffisante pour pouvoir mettre en série le diviseur 4/5 avec les décompteurs CMOS.

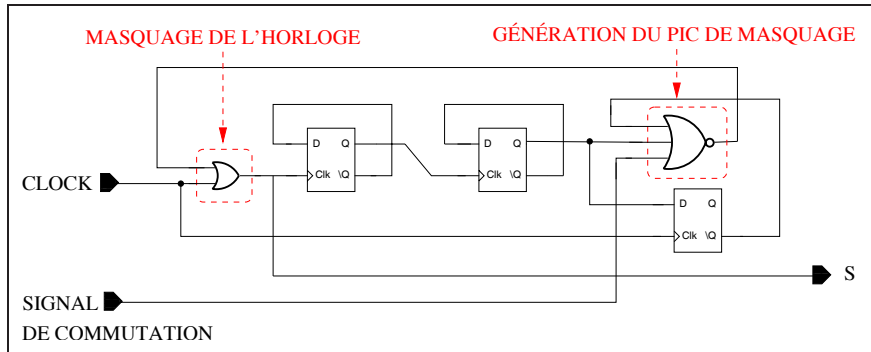


FIG. 2.43 – Schématique logique du deuxième diviseur par 4/5

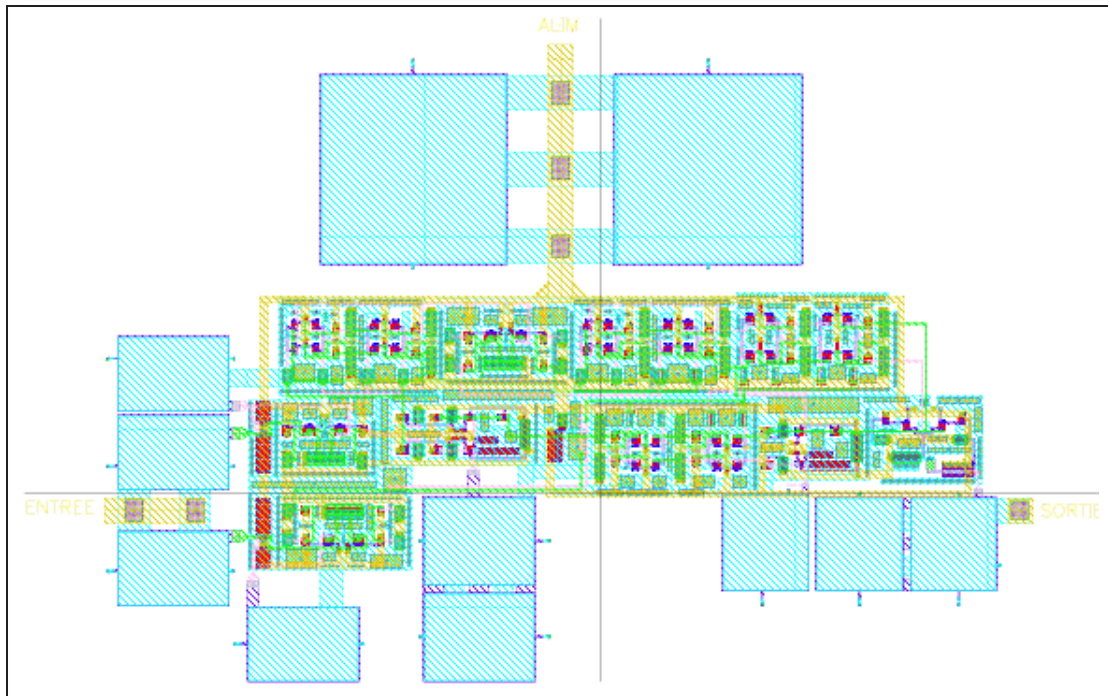


FIG. 2.44 – Dessin de masques du second diviseur 4/5

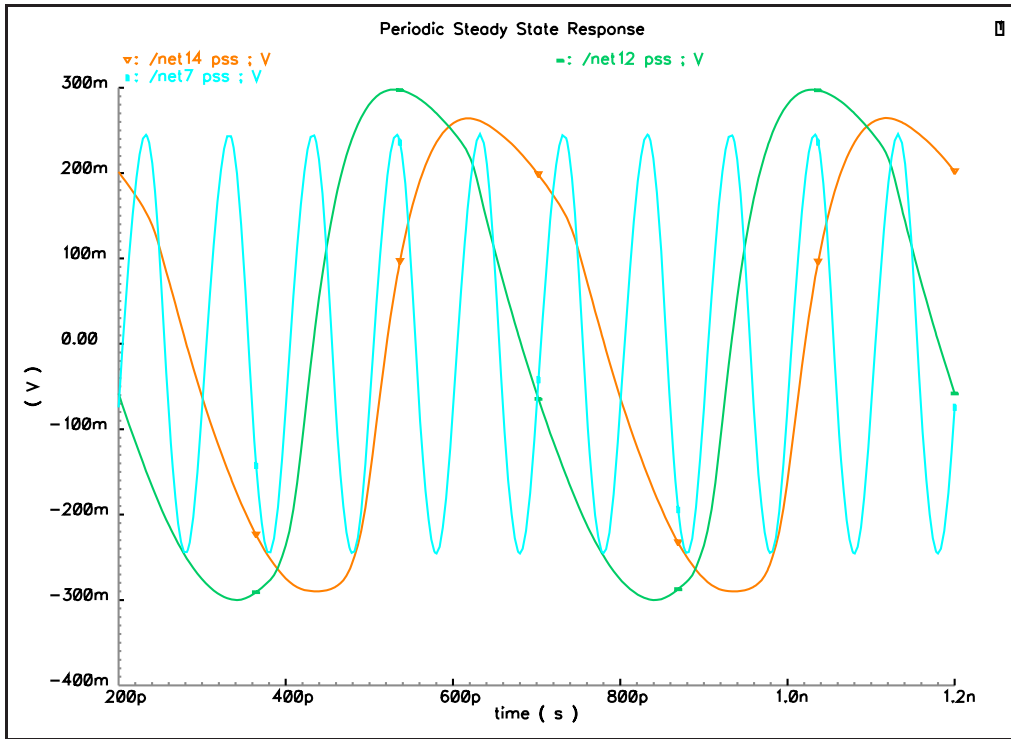


FIG. 2.45 – Simulation et rétrosimulation temporelles du second prédiviseur 4/5

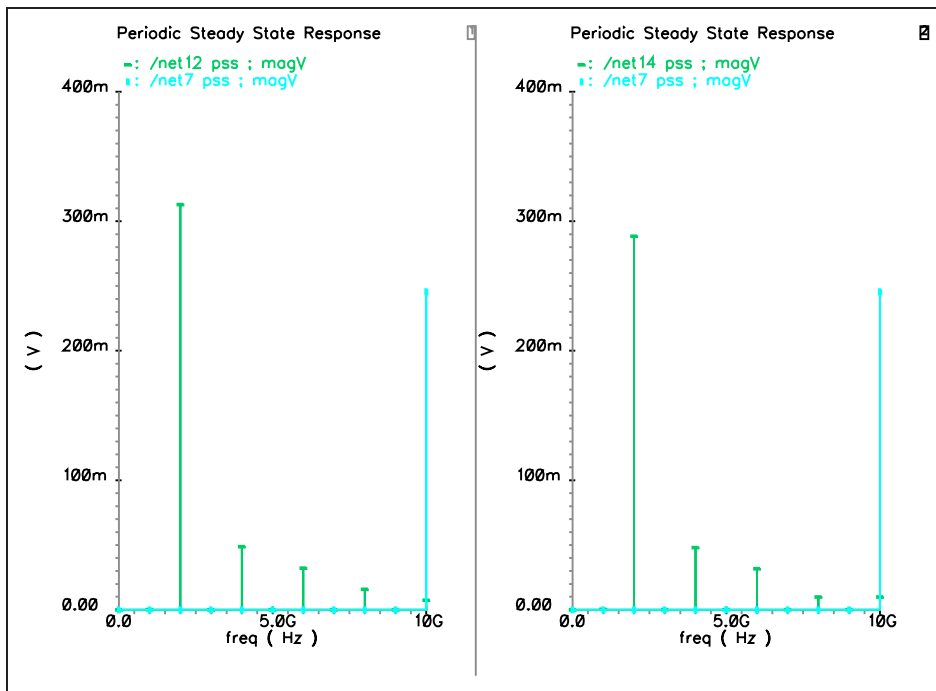


FIG. 2.46 – Simulation et rétrosimulation fréquentielles du second prédiviseur 4/5

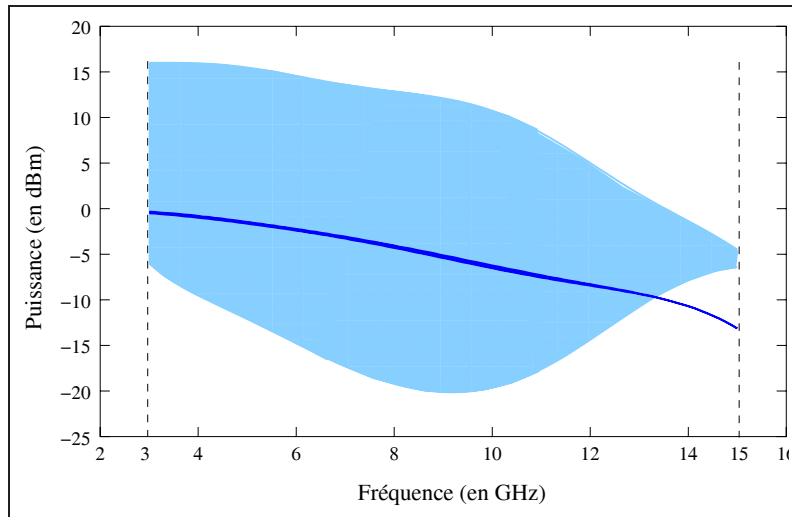


FIG. 2.47 – Puissances admissible en entrée et disponible en sortie en fonction de la fréquence d'entrée

2.7.3.2 Présentation des résultats de mesure

Nous présentons dans les graphes suivants les puissances admissible en entrée et disponible en sortie d'un diviseur double module $4/5$ conçu avec la technologie BiCMOS6G. Son alimentation est de 3,3 V et sa consommation est d'environ de 38 mA (consommation importante car il a fallu mettre un buffer de sortie capable de fournir une puissance acceptable pour pouvoir faire fonctionner un éventuel circuit mis en série avec le diviseur $4/5$). Il fonctionne en moyenne jusqu'à 15 GHz, certains circuits pouvant fonctionner jusqu'à 17-18 GHz (lors des mesures sur station sous pointes, le contact entre les pointes RF en tungstène et les pads en aluminium du circuit n'est pas très bon, ce qui explique la variation des performances fréquentielles). Sur le graphe 2.47, nous observons les variations de la puissance de sortie, à une fréquence donnée, pour des valeurs de la puissance d'entrée correspondant aux extrêmes de la puissance admissible en entrée.

Les mesures ont montrées que le diviseur double module $4/5$ présentent les mêmes performances fréquentielles que les diviseurs par 2 présentés précédemment.

2.7.4 Présentation de la troisième topologie du prédiviseur $4/5$

Nous avons détecté un point faible qui empêche le second prédiviseur (fig 2.43) de monter plus haut en fréquence: la porte logique OU, située à l'entrée du circuit et traversée par le signal d'horloge (le signal dont la fréquence est la plus élevée du circuit).

Cette porte logique OU, construite en logique ECL comme le reste du circuit, est basée sur une pseudo paire différentielle (cf. fig 2.43). Pour faire fonctionner notre diviseur par 2 (bascule D réagissant sur front rebouclée sur elle-même), il est nécessaire d'avoir un signal d'horloge et un signal d'horloge complémenté. Donc, on utilise les sorties V_{S1} et V_{S2} de la porte OU. Or, lorsque la fréquence de fonctionnement augmente, les deux signaux de sortie se

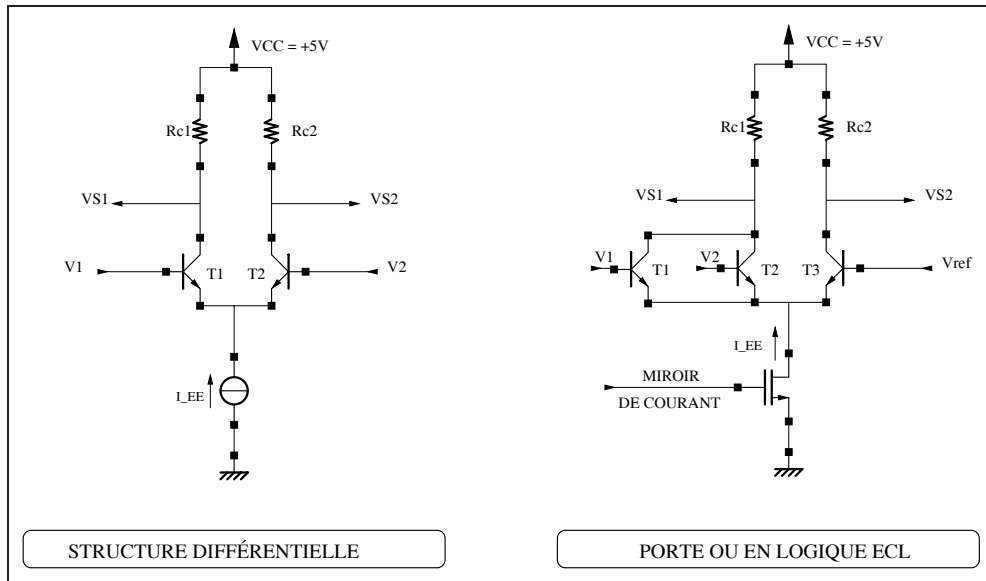


FIG. 2.48 – Schématiques de la structure différentielle et de la porte logique OU en ECL

différencient légèrement l'un de l'autre par leurs tensions DC, par leurs amplitudes, et ils ne sont plus parfaitement complémentaires; à partir d'une certaine fréquence, les deux signaux sont tellement différents qu'ils entraînent le dysfonctionnement de la bascule D. Ce résultat a trois origines: la première est que nous utilisons une pseudo paire différentielle. La structure de la porte OU n'est pas aussi symétrique que celle de la paire différentielle: deux transistors traversés par deux signaux différents sur une branche (T_1 et T_2) et un seul transistor (T_3) de l'autre. La seconde est que cette structure est composée de deux transistors bipolaires en émetteur commun (T_1 et T_2), et d'un transistor bipolaire en base commune (T_3): ce sont des transistors commandés de manière différente et qui ont donc un comportement un peu différent quand on les fait fonctionner dans leurs limites fréquentielles. La troisième concerne la masse virtuelle qui se situe au-dessus du transistor MOS qui participe au miroir de courant: en basse fréquence, cette masse virtuelle correspond à un noeud haute impédance qui permet d'avoir une bonne réjection du mode commun [20]. Lorsque la fréquence augmente, l'impédance sur ce noeud chute et le mode commun augmente; combiné à la dissymétrie du circuit, ceci explique les effets observés.

Pour éviter ces problèmes, nous avons imaginé de remplacer cette porte par une bascule D réagissant sur niveau (cf. fig. 2.49). La structure de la bascule D est beaucoup plus symétrique que celle de la pseudo paire différentielle, puisque les deux transistors sont en mode commun. D'autre part, le problème de la source en courant n'existe plus.

Cette bascule doit réaliser un masquage du signal d'entrée du diviseur double module par le signal contre-réactionné du diviseur 4/5 (cf. fig 2.50): cette bascule est en lecture lorsque le signal contre-réactionné est à l'état haut, et il est en mémorisation à l'état bas. Cette structure originale a été conçue et directement intégrée dans le diviseur programmable de facteur M .

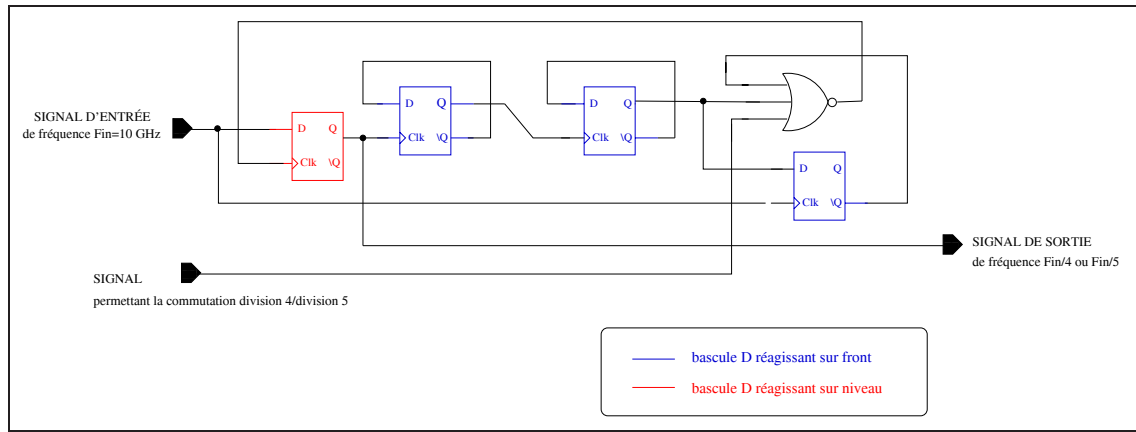


FIG. 2.49 – Schématique du diviseur 4/5 optimisé

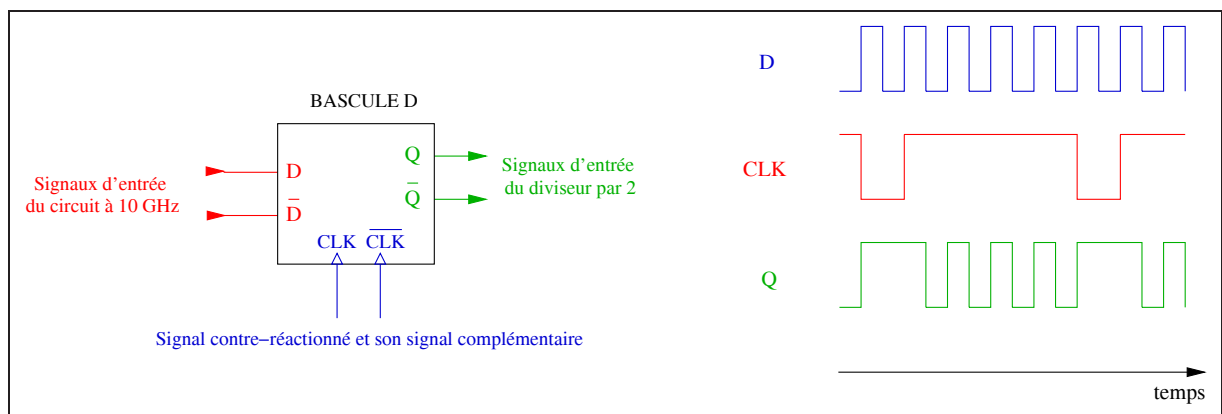
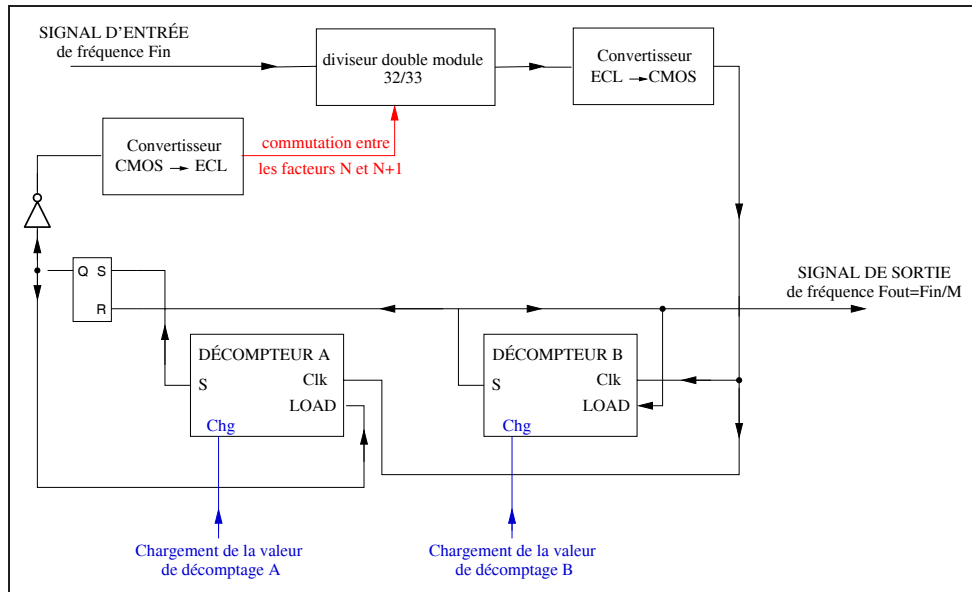


FIG. 2.50 – Schématique du diviseur 4/5 optimisée

FIG. 2.51 – Schématisation logique du diviseur de facteur $M=BN+A$

2.8 Présentation du diviseur programmable par M

Les travaux de recherches réalisés sur les diviseurs de fréquence permettent d'envisager la conception d'un diviseur programmable hyperfréquence.

2.8.1 Schématisation logique du diviseur par M

Nous avons décidé de concevoir un diviseur 32/33 sur le même principe que le diviseur 4/5 de la figure 2.49 : le facteur du prédiviseur double module a été réévalué, lors des simulations, pour permettre le bon fonctionnement de la logique CMOS qui suit car la fréquence d'entrée du diviseur sera élevée.

Au début de ce chapitre, le principe de fonctionnement du diviseur programmable est décrit, nous le rappelons succinctement ci-après :

à $t = 0$, les deux décompteurs C_1 et C_2 sont chargés et commencent à décompter. Lorsque le décompteur C_1 « décompte », il commande la division $P + 1$. Lorsqu'il a fini de compter, il commute sur la division par P et le décompteur C_2 prend le relais, ce qui revient à dire que le décompteur C_2 , chargé à ce moment là de la valeur $(C - A)$, commande la division P . On obtient bien un facteur de division total $N = A(P + 1) + (C - A)P = CP + A$. Pour assurer la réinitialisation des deux décompteurs lorsqu'ils ont, tout deux, terminé de décompter et pour commander convenablement le diviseur double module 32/33 (comme indiqué précédemment), il a fallu introduire une bascule RS capable, d'une part, de détecter la fin de la période du signal de sortie du décompteur C_1 pour entraîner la commutation du facteur de division $P + 1 = 33$ vers $P = 32$ et, d'autre part, de détecter la fin de la période du signal de sortie du décompteur C_2 pour réinitialiser le décompteur C_1 . La réinitialisation du décompteur C_2 est obtenue grâce

au rebouclage sa sortie sur son plot initialisation (LOAD).

Deux points importants sont à souligner sur le fonctionnement de cette structure :

- Tout d’abord, le principe de fonctionnement de ce diviseur programmable peut générer n’importe quelle valeur de N , seulement lorsque $C \geq P$, c’est-à-dire lorsque A peut prendre toutes les valeurs comprises dans l’intervalle $[0 ; C]$ (conséquence de la restriction $C \geq A$) : ceci signifie que le coefficient A a la possibilité de balayer par exemple toutes les valeurs comprise entre $(C - 2)P$ et $(C - 1)P$. Si les différents facteurs sont choisis tels que $P \geq C$, ce diviseur programmable pourra réaliser un grand nombre de valeurs. Celles qui manqueront à l’appel correspondent aux valeurs interdites de A c’est-à-dire les valeurs comprises entre C et $P - C$.
- D’autre part, si le prédiviseur passe d’un facteur $P/P + 1$ à un facteur $P/P+2$, ou $P/P+3$... lors de la montée en fréquence, l’équation réalisée par le diviseur programmable par N change et devient :
 - pour $P/P + 1$, $N = (P + 1) A + (C - A) P = C P + A$,
 - pour $P/P + 2$, $N = (P + 2) A + (C - A) P = C P + 2A$,
 - pour $P/P + 3$, $N = (P + 3) A + (C - A) P = C P + 3A$, ...

On s’aperçoit que si le prédiviseur réalise un facteur double module $P/P+2$, on ne pourra plus obtenir un coefficient de division N qui évolue par pas de 1 (sous-entendu, une période d’horloge) mais par pas de 2 ; si le prédiviseur réalise un facteur $P/P+3$, le facteur N évoluera par pas de 3 et ainsi de suite.

2.8.2 Conception d’un diviseur préprogrammé avec $N = 130$ en BiCMOS6G

Nous avons réalisé un diviseur par N . Ce circuit comporte deux alimentations : une première pour la partie ECL, et une seconde pour la partie CMOS, toutes deux égales à 3.3 V. Cette séparation nous permettra de profiter du degré de liberté concernant la fréquence de transition des transistors bipolaires en augmentant la tension d’alimentation du prédiviseur en logique ECL. Sur la figure 2.52, nous présentons le dessin des masques du diviseur : on peut y observer les plots de programmation du diviseur. Pour faciliter la mesure, il est possible de ne pas connecter les plots de programmation : une préprogrammation a été mise en place sur le circuit, qui correspond à $N = 130$.

Les mesures du diviseur par $N=130$ sont visibles sur la figure 2.53 : comme pour les diviseurs par 2 et les prédiviseurs par $P/P + 1$, nous présentons la puissance admissible en entrée et la puissance disponible en sortie du diviseur en fonction de la fréquence d’entrée où l’on observe que la fréquence maximale de fonctionnement est bien inférieure à celle que l’on obtient pour le diviseur par 2 et le prédiviseur par $P/P + 1$. La cause de ce dysfonctionnement serait la

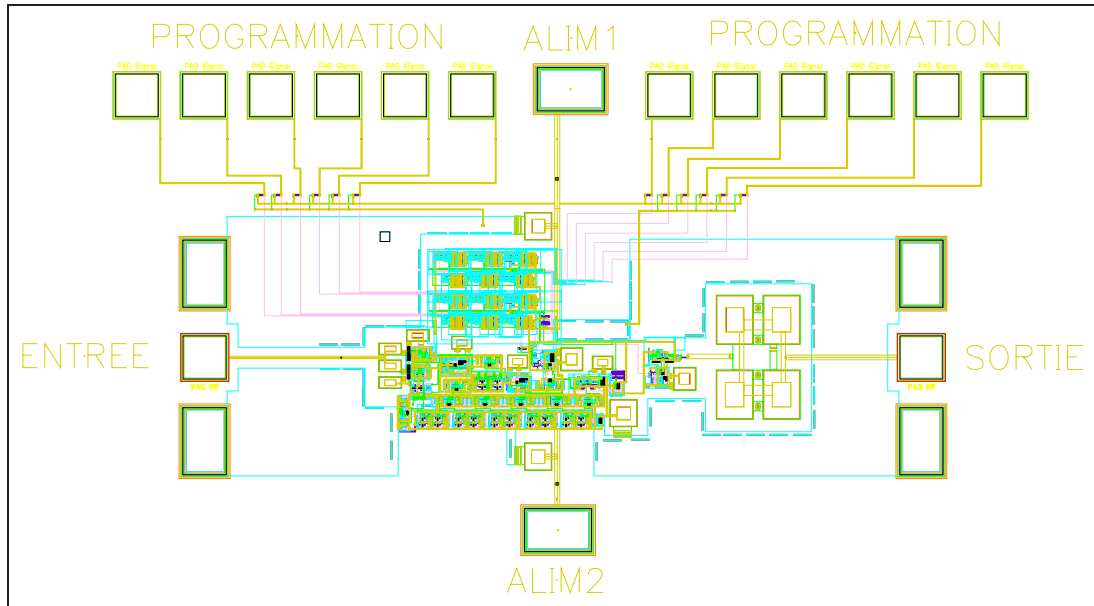


FIG. 2.52 – Dessin de masques du diviseur programmable en technologie BiCMOS6G ($870\mu\text{m}\times 1980\mu\text{m}$)

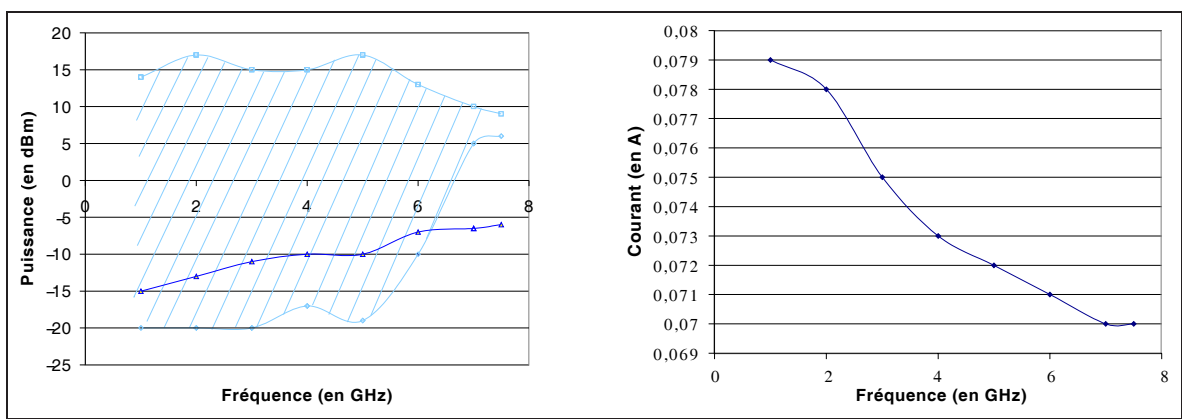


FIG. 2.53 – Puissances admissible en entrée (clair) et disponible en sortie (foncé) en fonction de la fréquence d'entrée, ainsi que la consommation en courant du circuit

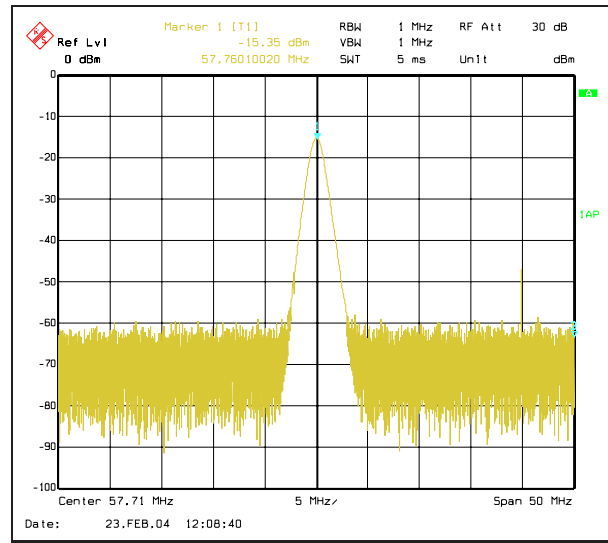


FIG. 2.54 – Spectre fréquentiel en sortie du diviseur par 130 pour une fréquence d'entrée de 7,5 GHz

fréquence maximale de fonctionnement de la partie CMOS : une étude approfondie du dessin de masques fait apparaître la présence de capacités parasites non négligeables vis-à-vis de la taille des transistors MOS utilisés. En montant en fréquence, ces transistors n'arrivent plus à piloter les transistors qui suivent, ce qui a pour conséquence la limitation en fréquence du diviseur complet.

Ces diviseurs ayant été conçus durant la dernière année de thèse (en même temps que les PLLs), nous n'avons pu relancer de nouvelles conceptions.

Comme pour les diviseurs précédents, nous pouvons constater une baisse de la consommation en courant. Un spectre fréquentiel obtenu en sortie du diviseur par 130, pour une fréquence d'entrée de 7,5 GHz, est visible sur la figure 2.54.

2.8.3 Conception d'un diviseur par $N = 426$ en BiCMOS7

Nous avons réalisé un diviseur par N , avec une préprogrammation égale à 426. Sur la figure 2.55, nous présentons le dessin de masques du diviseur en BiCMOS7 : on peut y observer les mêmes plots que pour le diviseur en BiCMOS6G sauf en ce qui concerne les deux plots d'entrée. Ils sont la conséquence de la future intégration du diviseur dans une boucle à verrouillage de phase où le VCO, placé juste avant le diviseur, possède deux sorties complémentaires.

Les mesures associées à ce circuit sont présentées sur la figure 2.56.

Nous rencontrons avec ce diviseur programmable les mêmes problèmes qui ont été constatés avec le diviseur conçu en technologie BiCMOS6G : la fréquence maximale de fonctionnement ne dépasse pas 15 GHz à cause des limites de fonctionnement en fréquence des décompteurs en logique CMOS.

Notons que, lors de la conception du diviseur en BiCMOS7, une évolution sur le convertisseur logique ECL \rightarrow logique CMOS (qui se situe juste après le prédiviseur) a été réalisée par rapport

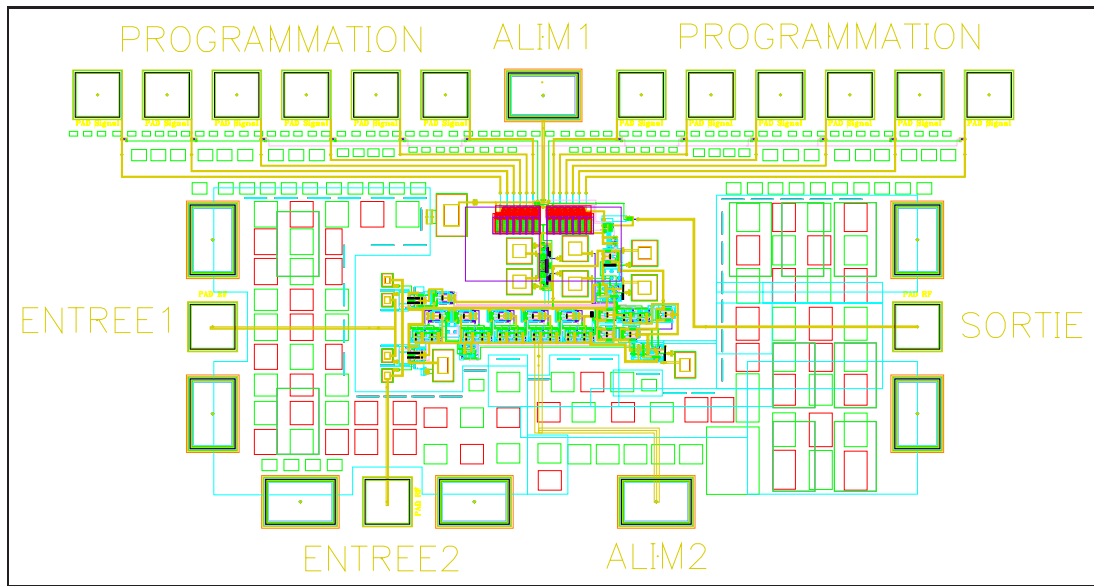


FIG. 2.55 – Dessin des masques du diviseur programmable en technologie BiCMOS7 ($925\mu\text{m} \times 1950\mu\text{m}$)

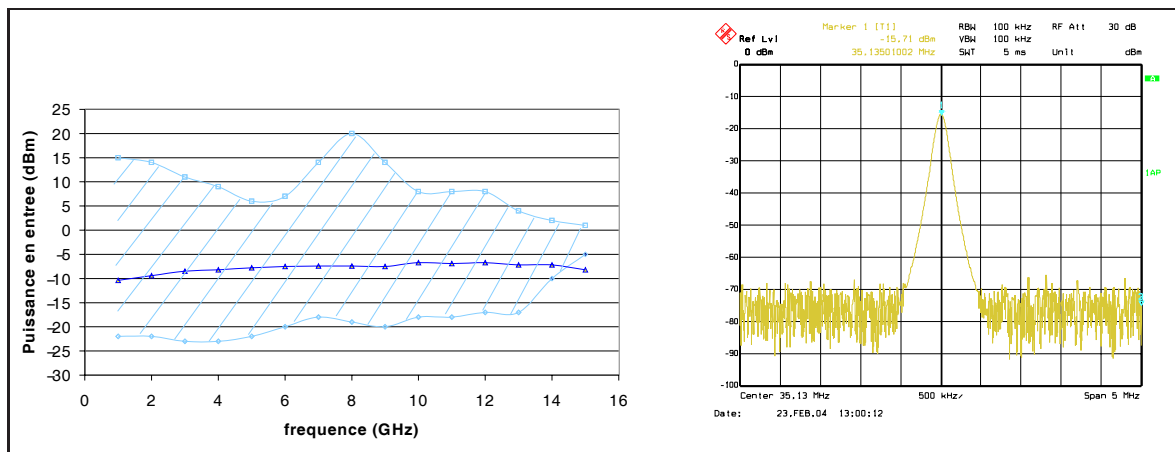


FIG. 2.56 – Puissances admissible en entrée (clair) et disponible en sortie (foncé) et spectre fréquentiel en sortie du diviseur par 426 pour une fréquence d'entrée de 15 GHz

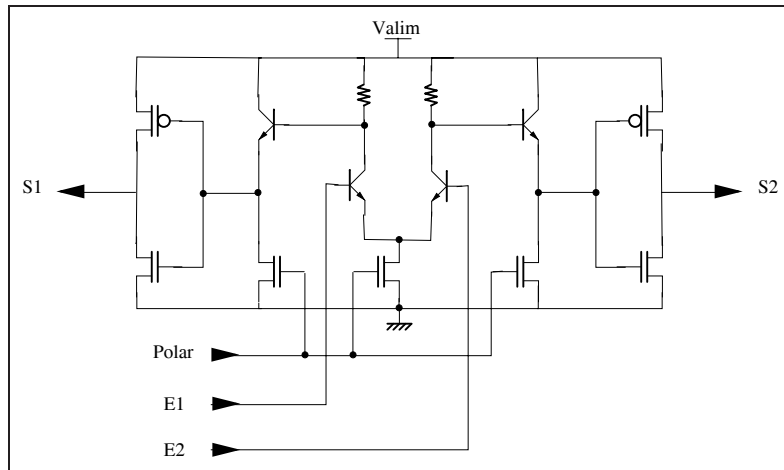


FIG. 2.57 – Première topologie permettant de réaliser la transition entre la logique ECL et la logique CMOS

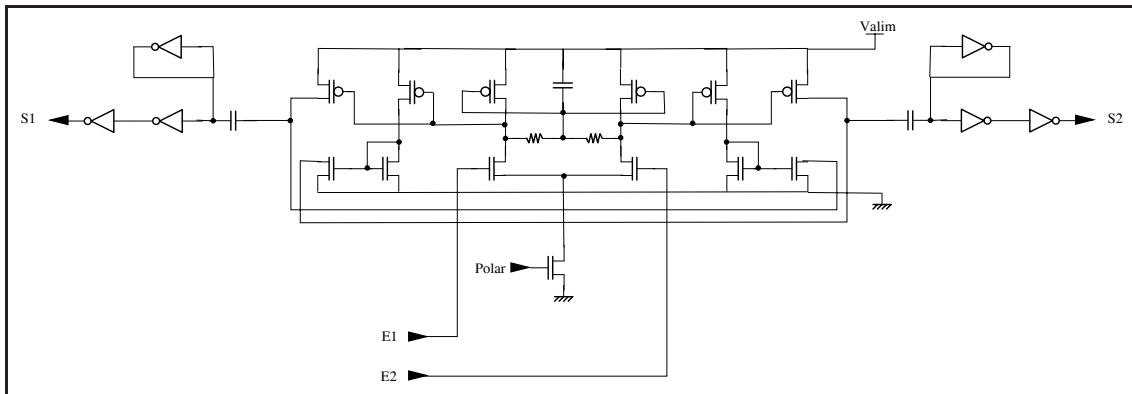


FIG. 2.58 – Deuxième topologie permettant de réaliser la transition entre la logique ECL et la logique CMOS

à la version du diviseur conçu en BiCMOS6G. Dans la version du diviseur par N en BiCMOS6G, nous avons utilisé la topologie de la figure 2.57. Or, cette topologie, après une étude un peu approfondie, avait des inconvénients en terme de consommation en courant et apparaissait comme fragile face aux fluctuations de process. Nous avons donc proposé une autre topologie présentée dans la figure 2.58 : elle permet de diviser par plus de 6 la consommation de ce bloc (7.2 mA à 1.1 mA).

2.9 Étude du bruit dans les diviseurs numériques

La description des différentes sources de bruit et l'analyse du bruit de phase d'un circuit RF ont été abordées dans le chapitre 1. Mais l'analyse en bruit d'une fonction MMIC **numérique** comme le diviseur programmable doit prendre en compte des phénomènes qui n'existent pas lors de l'analyse en bruit d'un circuit analogique.

Les diviseurs de fréquence numériques sont constitués d'étages à bascules. Celles-ci présentent un bruit qui modifie le temps d'atteinte du seuil de basculement : le jitter. Le paramètre essen-

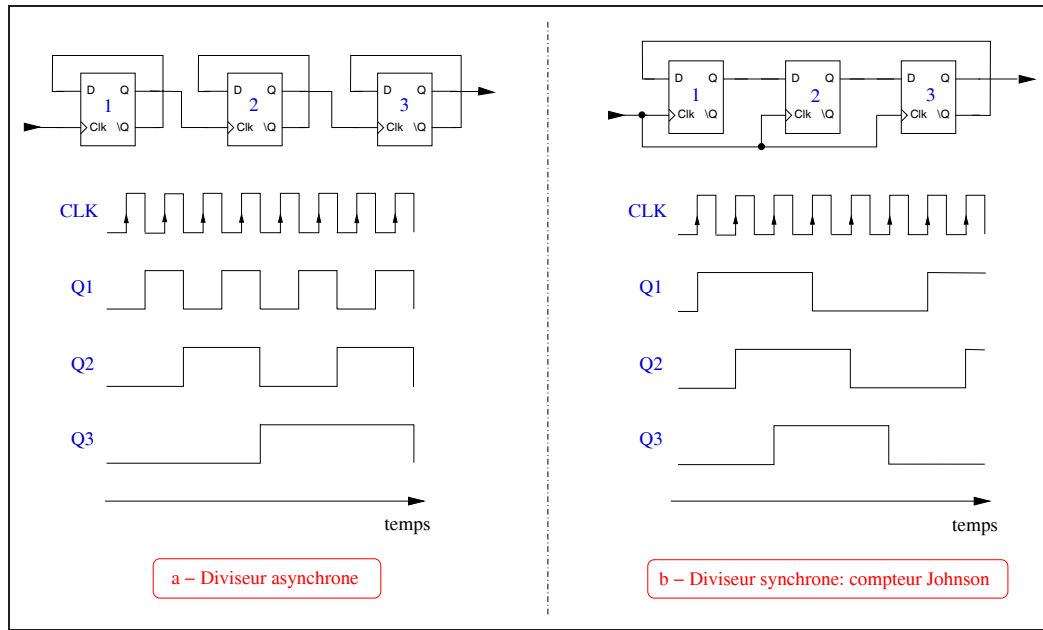


FIG. 2.59 – Présentation d'un diviseur asynchrone par 8 (topologie a) et d'un diviseur synchrone par 6 (topologie b)

tiel de la plupart des systèmes n'est pas le jitter mais la variation de la phase ϕ , laquelle est directement reliée à ce jitter ΔT :

$$\phi = \Delta T \times 2\pi F$$

où F représente la fréquence.

Par cette relation, pour un jitter donné, le bruit de phase augmente pour des fréquences élevées. Donc, si le signal de sortie est synchronisé par la fréquence d'entrée, la valeur ΔT présente en entrée sera donc la même en sortie. De ce fait, la variation de phase en sortie ϕ_s peut être liée à celle de l'entrée ϕ_e de la façon suivante :

$$\phi_s = \Delta T \times 2\pi F_s = \Delta T \times \frac{2\pi F_e}{N} = \frac{\phi_e}{N}$$

où F_e et F_s sont respectivement les fréquences d'entrée et de sortie du diviseur, et N le rapport de division.

Plusieurs critères déterminent le bruit de phase en sortie des diviseurs numériques :

- logique synchrone/logique asynchrone ;
- logique ECL /logique CMOS.

2.9.1 Logique synchrone/Logique asynchrone

En ce qui concerne la logique synchrone (cf. figure 2.59-b), toutes les bascules sont synchronisées sur un même signal, appelé signal d'horloge, dont la fonction serait assimilable à celle d'un chef d'orchestre : ceci permet de dire que le bruit généré par la structure sera celui

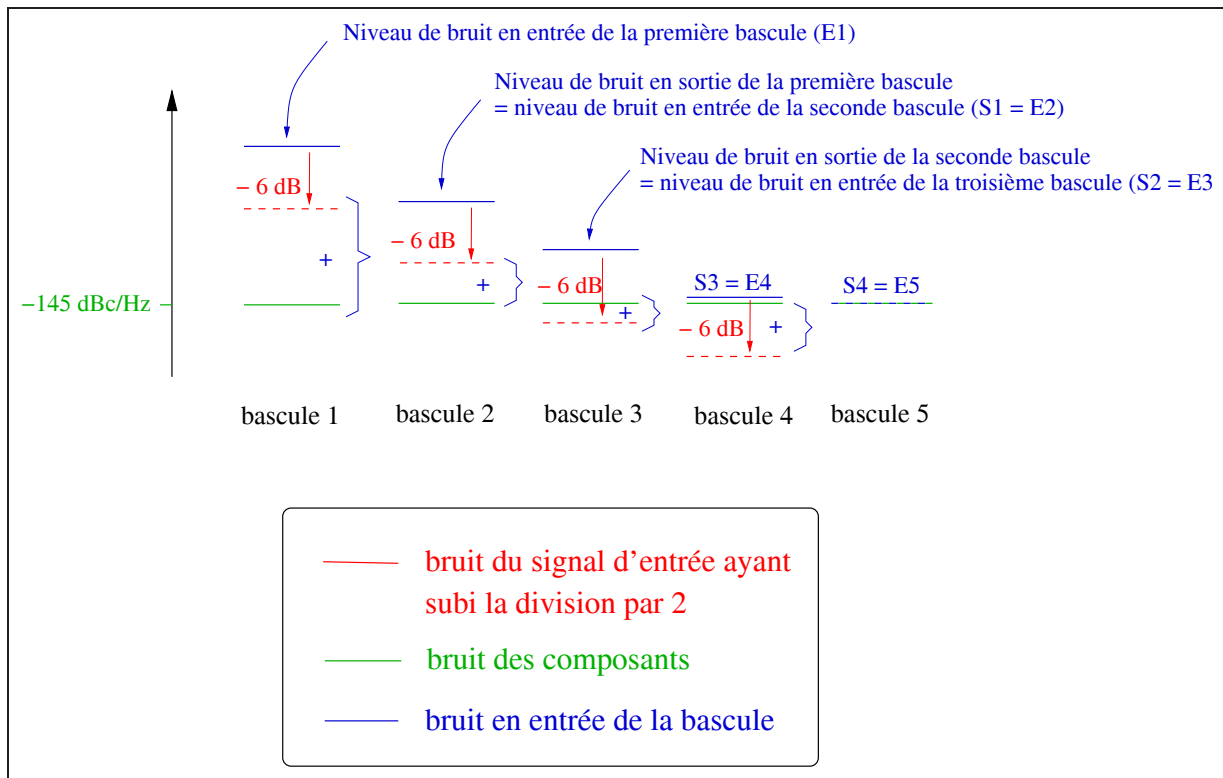


FIG. 2.60 – Diagramme de l'évolution du bruit à l'intérieur du diviseur asynchrone

de la dernière bascule. Nous illustrerons ce phénomène à l'aide de l'analyse en bruit réalisée sur le diviseur programmable par N .

Pour une logique asynchrone, nous sommes confrontés à l'addition de bruit des différentes bascules puisque le signal de sortie d'une première bascule joue le rôle du signal d'horloge pour la bascule suivante. Supposons que nous sommes en présence d'une succession de 5 bascules rebouclées sur elles-mêmes (série de diviseurs par 2) et qui sont mises en série comme le montre la figure 2.59-a. Le bruit de la première bascule, diminué par la division par 2, est réinjecté par le signal d'horloge de la seconde bascule. Pour mieux comprendre le phénomène, prenons un exemple : si le plancher de bruit du diviseur par 2 est égal à $P_b = -145 \text{ dBc/Hz}$, le bruit à la sortie de la première bascule (ici le diviseur par 2) prendra la valeur : $P_b - 20 \log(2) = -151 \text{ dBc/Hz}$.

Donc, on peut s'apercevoir que le niveau de bruit dû aux composants constituant les bascules sera atteint assez rapidement selon le niveau de bruit du signal d'entrée du diviseur.

Si on injecte un signal parfait en entrée comme par exemple lorsque nous réalisons des simulations sous Spectre sur Cadence, on observe, sur les spectres de bruit de phase en sortie du diviseur, le bruit des composants de la structure. D'après l'analyse faite précédemment, ceci n'est pas gênant dans le cadre de l'étude d'un diviseur de facteur N important car si le signal d'entrée est bruyant, les divisions par 2 successives ramènent le bruit d'entrée au niveau du bruit des composants.

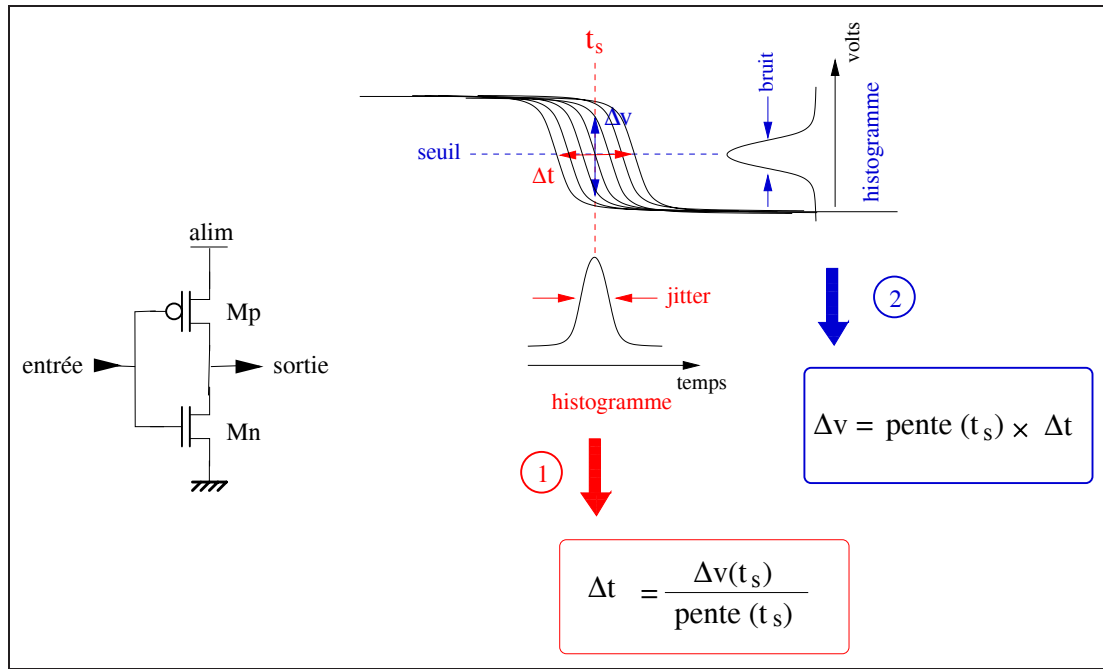


FIG. 2.61 – Schéma de la porte inverseuse en logique CMOS et illustration des notions de bruit et de jitter lors de la traversée du seuil logique

2.9.2 Logique CMOS/Logique ECL

Les circuits logiques sont des circuits qui ne réagissent que lors du dépassement d'un « seuil » qui leur est propre. Par conséquent, à cause de la grande variation à la fois du niveau de bruit produit en sortie et de la sensibilité en bruit à l'entrée, les approches traditionnelles pour décrire le bruit, tel que le taux Signal/Bruit¹², ne permettent pas une bonne caractérisation en bruit des circuits logiques. Par conséquent, il est plus adapté de caractériser le bruit en terme de jitter. Une fois que le jitter est connu dans les blocs logiques qui composent le circuit, il est alors relativement simple¹³ de calculer le jitter du circuit total.

Commençons par la description du comportement en bruit de la logique CMOS.

Les circuits en logique CMOS ignorent le bruit du signal d'entrée lorsque ce signal est loin du « seuil ». Ils sont seulement sensibles au bruit de l'entrée que lorsque ce signal d'entrée subit une transition. De la même façon, ils produisent leurs plus hauts niveaux de bruit sur leurs sorties quand la sortie subit une transition.

Le bruit produit par un circuit logique, tel que l'inverseur représenté sur la figure 2.61, peut venir de différents endroits (dépendants de la phase en sortie).

- Quand la sortie est haute (état « 1 »), la sortie est sensible aux petites variations en entrée. Le transistor M_p est passant et le bruit en sortie est de manière prédominante dû

12. ou SNR, Signal to Noise Ratio

13. La variance du jitter pour une cascade de sources de jitter non-corrélées est égale à la somme de la variance du jitter de chaque source individuelle.

au bruit thermique de son canal.

- Quand la sortie est basse (état « 0 »), la situation est inversée et la plupart du bruit en sortie est dû au bruit thermique du canal du transistor M_n . Si l'état en sortie du circuit est fixé (état « 1 » ou « 0 »), la puissance totale du bruit en sortie provient en grande partie du bruit thermique produit par les composants placés en sortie du circuit. Ce bruit est habituellement ignoré par les étages suivants et ne contribue pas au jitter. Ainsi, utiliser la densité spectrale sur un temps moyenné pour caractériser le bruit dans un circuit logique est trompeur. Seul le bruit produit lorsque le signal de sortie traverse le seuil de détection de l'étage qui suit devrait être pris en compte.
- Quand la sortie subit une transition, les bruits thermiques des deux transistors M_p et M_n sont transmis en sortie. De plus, la sortie devient sensible aux petites variations parasites provenant de l'entrée de l'inverseur. En fait, n'importe quel bruit en entrée est amplifié avant d'être transmis en sortie. Par conséquent, le bruit provenant des entrées devient dominant par rapport aux bruits thermiques des canaux de M_p et M_n . Le bruit en entrée inclut le bruit provenant des étages précédents et le bruit thermique des résistances de grille. À cela s'ajoute le bruit flicker des canaux des transistors lorsque les transistors sont traversés par des courants significatifs.

En ce qui concerne la logique ECL, la littérature offre beaucoup moins de matière première pour l'analyse du comportement en bruit.

Rappelons dans un premier temps que les transistors en logique ECL ne se situent pas dans le même mode de fonctionnement que ceux en logique CMOS : en logique ECL, les transistors consomment du courant durant un des deux états possibles (état « 1 ») imposé sur la base. La première remarque est que, d'après cette information, on pourrait en conclure que la logique ECL consomme plus que la logique CMOS, et que donc elle en devient plus « bruyante ». Or cette réflexion n'est juste que si l'on travaille à basse fréquence ; si l'on travaille à des fréquences élevées, la logique CMOS subit des transitions répétées, donc sa consommation en courant augmente et elle devient à son tour très « bruyante ». Après un rappel sur la modélisation du bruit dans le transistor bipolaire (cf. figure 2.62), une simulation du comportement du jitter dans un diviseur par 2 (bascule D rebouclée) a été réalisée pour mettre en évidence la génération de bruit dans la logique ECL comme le montre la figure 2.63. La génération de bruit dans la logique ECL peut s'expliquer par :

- le bruit généré par les composants actifs ; les transistors bipolaires de la structure différentielle génèrent du bruit flicker, du bruit de grenaille et du bruit thermique.
- le bruit des résistances de faible valeur que l'on retrouve dans la structure différentielle ; ces résistances génèrent du bruit flicker, de manière importante du fait de leur petite taille et de la fréquence de fonctionnement élevée, qui vient s'ajouter au bruit thermique.

La figure 2.63 présente le bruit sur l'une des deux sorties du diviseur : à partir de la théorie

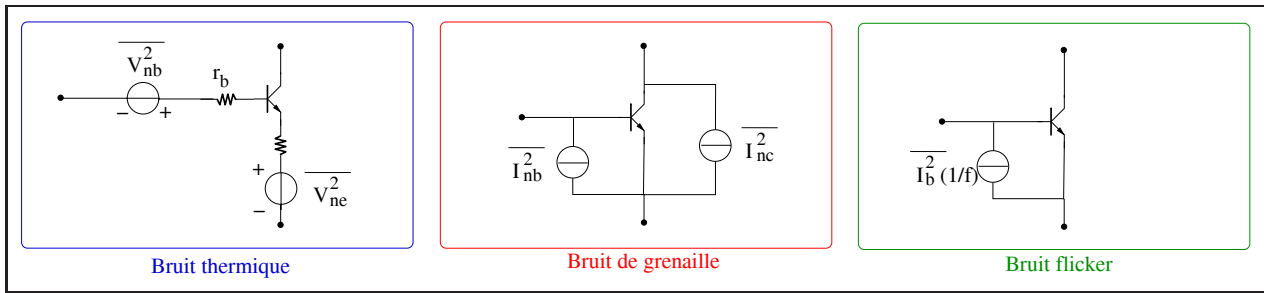


FIG. 2.62 – Modélisation du bruit thermique, du bruit de grenaille (ou bruit Schottky) et du bruit flicker (ou bruit en $1/f$) dans les transistors bipolaires

sur les différents bruits, il est cohérent d'observer que le bruit produit par la structure est plus important lorsque les branches différentielles relatives à cette sortie sont traversées par un courant (ce qui correspond à l'état bas au niveau du signal de sortie).

2.9.3 Simulations du bruit dans les diviseurs numériques par 2, par $P/P + 1$ et par N en BiCMOS6G et BiCMOS7

Les diviseurs numériques ont été initialement conçus pour pouvoir atteindre des fréquences de fonctionnement élevées sans spécification précise sur les niveaux de bruit à obtenir en sortie. Toutes les théories précédemment citées seront vérifiées au cours de l'étude en bruit des diviseurs en BiCMOS6G et BiCMOS7.

2.9.3.1 Spectres de bruit de phase en sortie des diviseurs en BiCMOS6G

Les figures 2.64, 2.65, 2.66 présentent le bruit de phase des diviseurs numériques par 2, $4/5$, $32/33$ et N .

Le plancher de bruit atteint par les diviseurs $4/5$ et $32/33$ n'est pas exceptionnel puisque la taille des transistors utilisés dans les deux topologies est proche de la taille minimale que peut offrir les deux technologies¹⁴ de de telle manière que les structures puissent fonctionner à très haute fréquence avec une consommation en courant la plus faible possible. La figure 2.67 nous permet d'observer que le bruit des composants est important puisque les deux spectres de bruit de phase des diviseurs par $4/5$ et par $32/33$ sont comparables. La figure 2.68 présente le spectre de bruit de phase du diviseur par N : il met en évidence le comportement en bruit d'une structure synchrone (décompteurs CMOS) qui permet d'abaisser le bruit entre l'entrée (sortie du diviseur $32/33$) et la sortie du diviseur de $20 \log(2) = 6$ dB.

14. Plus le transistor est de taille importante, plus on réduit le bruit en $1/f$.

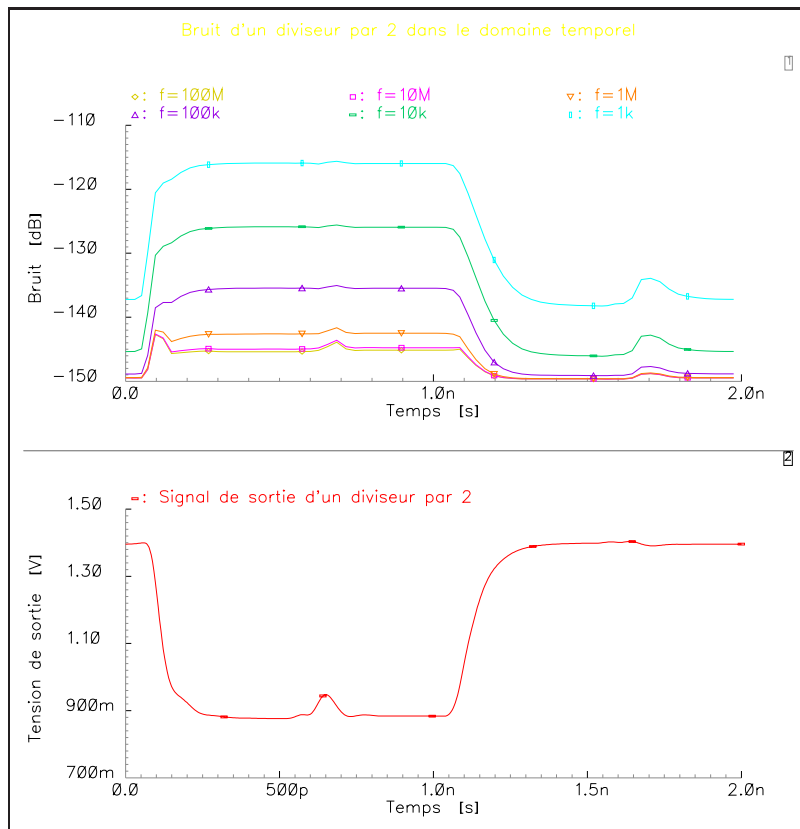


FIG. 2.63 – Simulation du bruit d'un diviseur par 2 en logique ECL

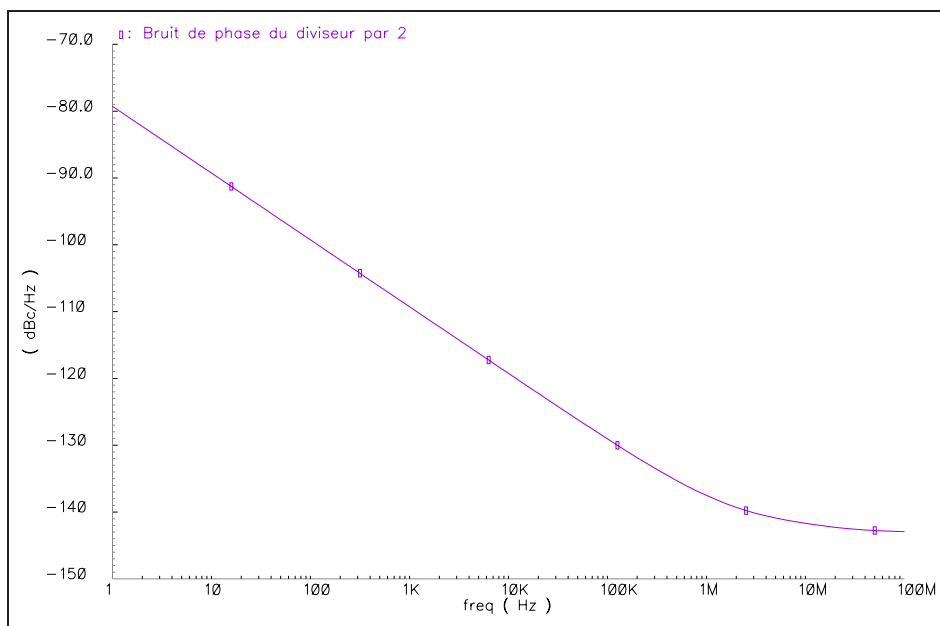


FIG. 2.64 – Simulation du bruit de phase d'un diviseur par 2 (fréquence d'entrée=10 GHz, puissance d'entrée=0 dBm)

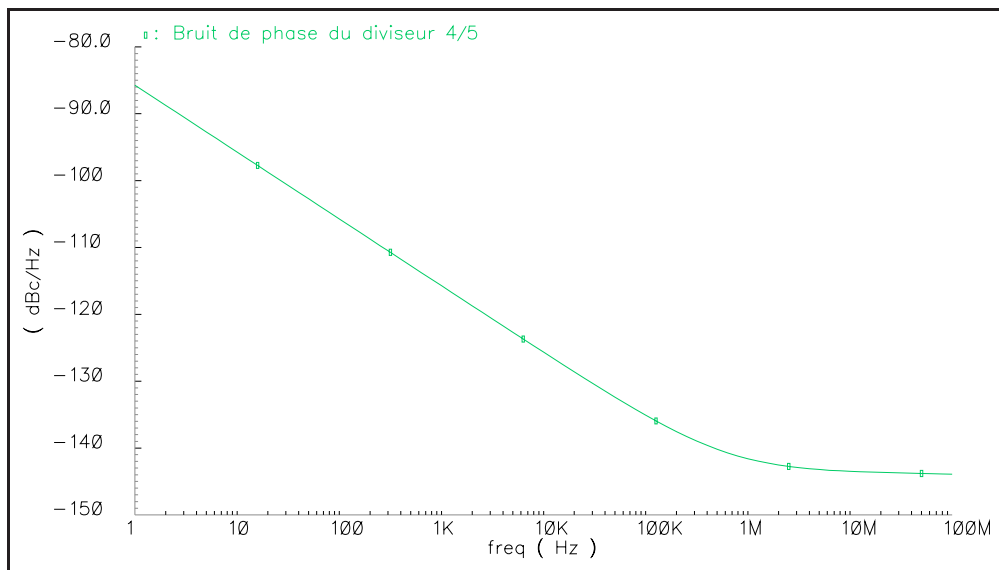


FIG. 2.65 – Simulation du bruit de phase d'un diviseur par 4/5 (fréquence d'entrée=10 GHz, puissance d'entrée=0 dBm)

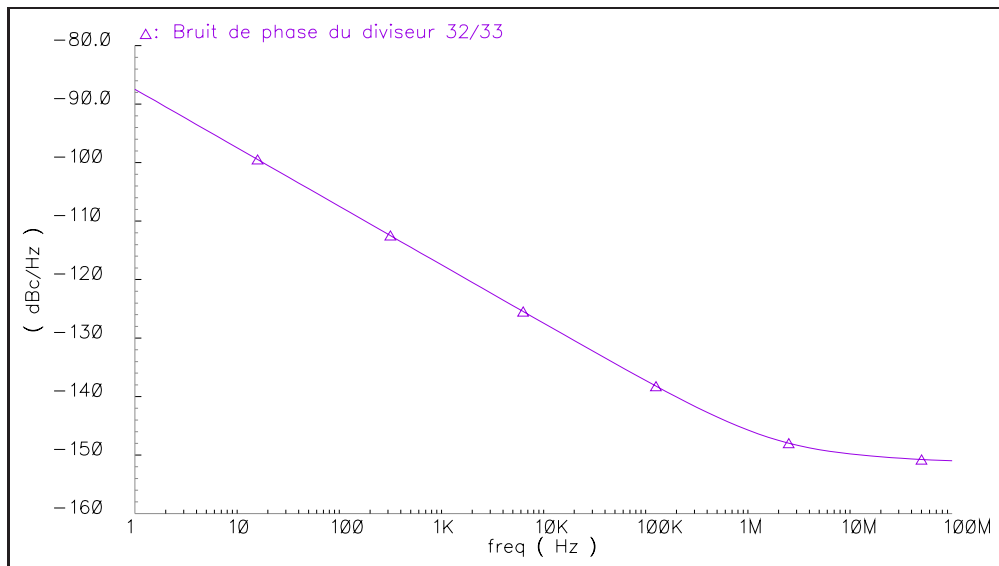


FIG. 2.66 – Simulation du bruit de phase d'un diviseur par 32/33 (fréquence d'entrée=10 GHz, puissance d'entrée=0 dBm)

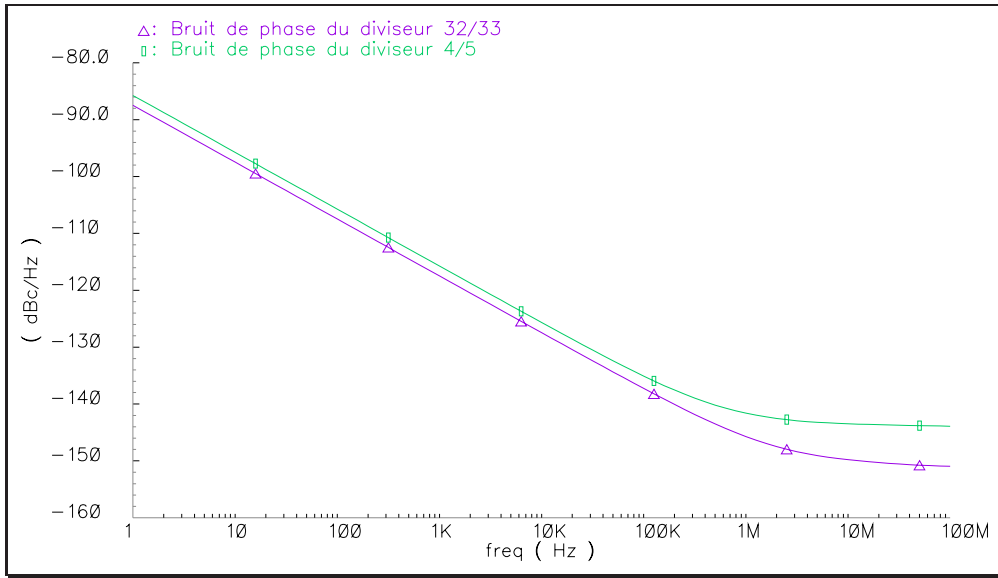


FIG. 2.67 – Comparaison du bruit de phase du diviseur par 4/5 et du diviseur par 32/33 (fréquence d'entrée=10 GHz, puissance d'entrée=0 dBm)

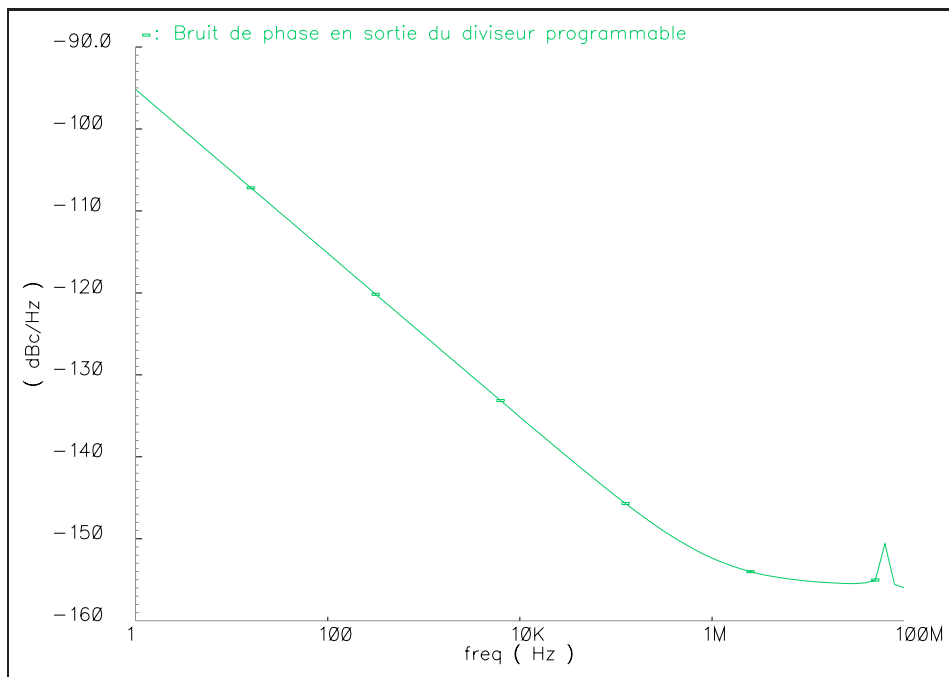


FIG. 2.68 – Spectre simulé du bruit de phase du diviseur par N (fréquence d'entrée=10 GHz, puissance d'entrée=0 dBm)

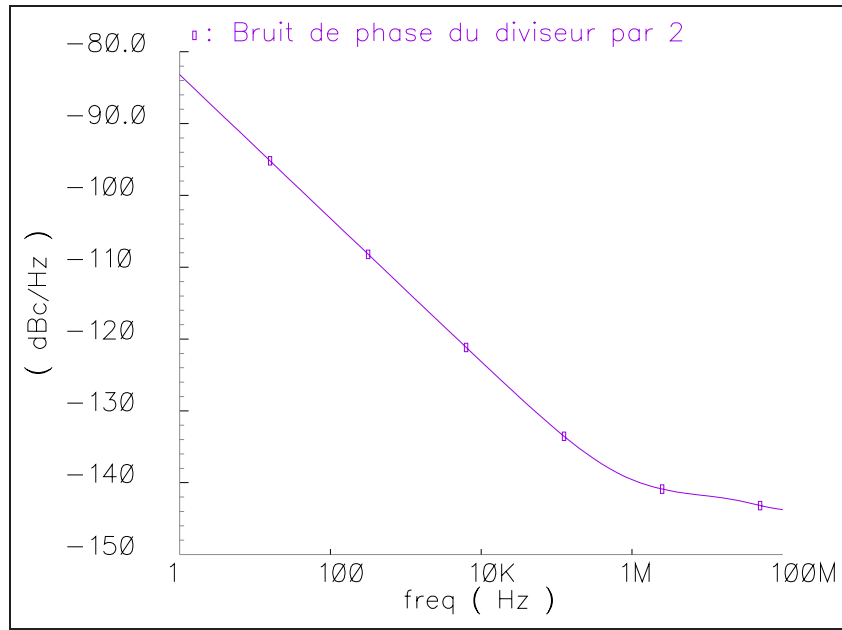


FIG. 2.69 – Simulation du bruit de phase d'un diviseur par 2 (fréquence d'entrée=20 GHz, puissance d'entrée=0 dBm)

2.9.3.2 Spectres de bruit de phase en sortie des diviseurs en BiCMOS7

La même étude a été réalisée avec la technologie BiCMOS7 (cf figures 2.69, 2.70, 2.71). Seul le spectre de bruit de phase du diviseur par N ne sera pas visible car le simulateur Spectre sous Cadence n'a pas réussi à gérer l'analyse PSS (cf. Chapitre 1) nécessaire à l'obtention du bruit du diviseur complet, ceci étant dû à la complexité des modèles associée à cette technologie.

D'après tous ces graphes, on peut noter que le plancher de bruit des diviseurs en technologie BiCMOS7 est un peu meilleur que celui que l'on obtient en BiCMOS6G.

2.9.4 Mesures du bruit de phase des diviseurs numériques par 2, par $P/P + 1$ et par N en BiCMOS6

Par manque de temps, nous nous sommes concentrés sur l'une des deux technologies sachant que toute la mise en œuvre pour effectuer les mesures est assez longue. Ces mesures ont été réalisées par M. Olivier LLOPIS, Chercheur CNRS, et M. Gilles CIBIEL, Ingénieur CNES [21].

La métrologie du bruit de phase en boucle ouverte permet d'étudier le bruit de phase des quadripôles en général [22, 23]. La première application de ce type de caractérisation vise à spécifier les différentes fonctions intervenant dans des sources de fréquences comme les synthétiseurs de fréquence : diviseurs de fréquence, analogiques [24, 25, 26], ou numériques [27], multiplicateurs de fréquence [23], amplificateurs [28, 29, 30, 31], On parle dans ce cas de bruit de phase additif ou résiduel.

La caractérisation de ce type de bruit est basée sur la détection de phase. Le schéma de

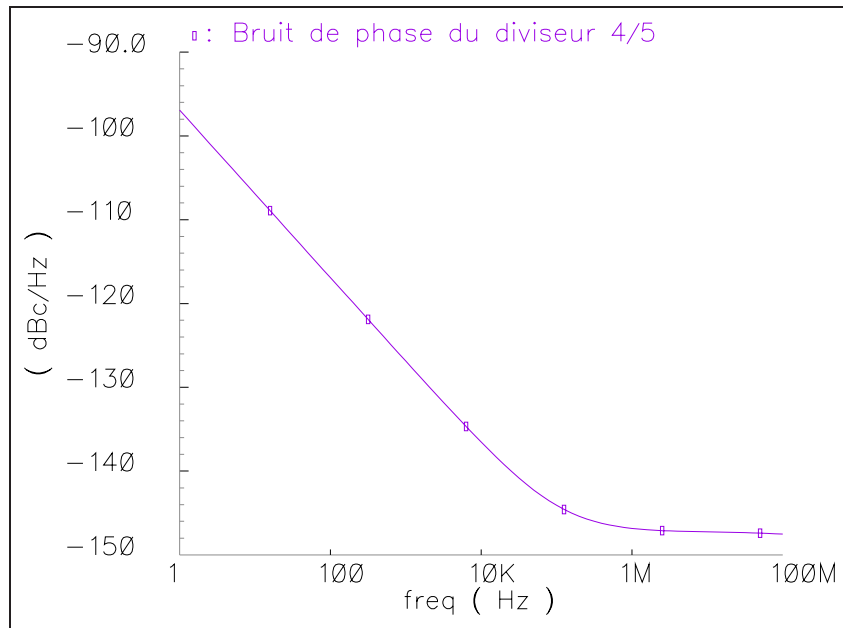


FIG. 2.70 – Simulation du bruit de phase d'un diviseur par 4/5 (fréquence d'entrée=20 GHz, puissance d'entrée=0 dBm)

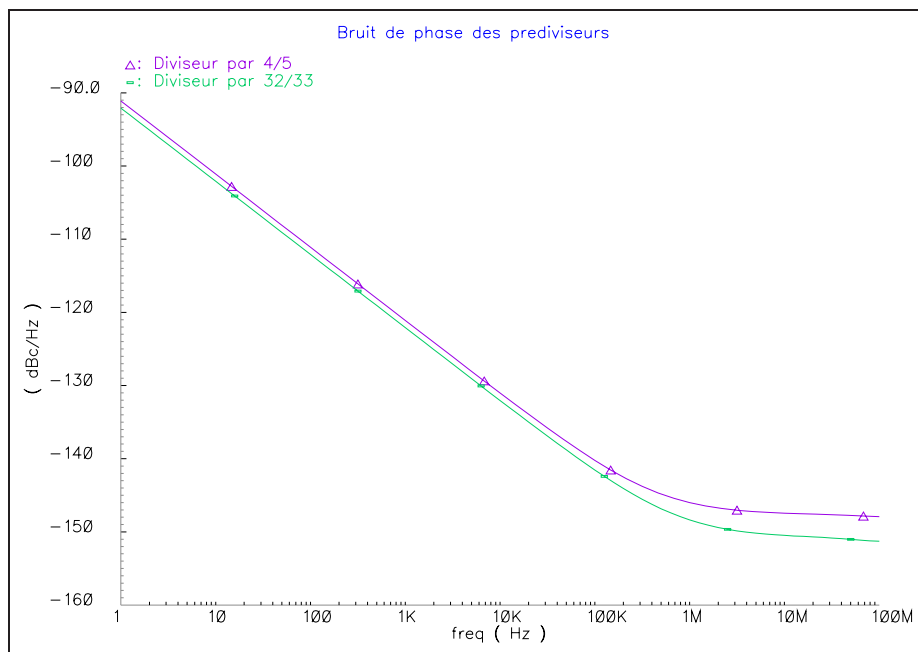


FIG. 2.71 – Simulation du bruit de phase d'un diviseur par 32/33 (fréquence d'entrée=20 GHz, puissance d'entrée=0 dBm)

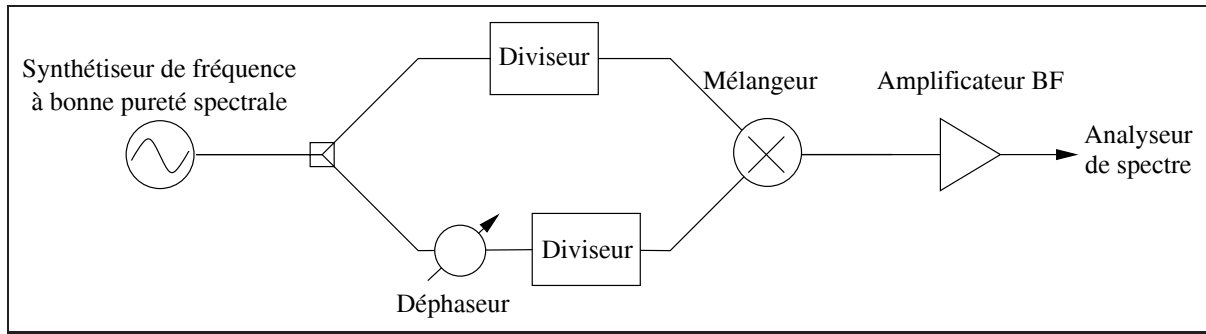


FIG. 2.72 – Mesure de bruit de phase du diviseur par 2

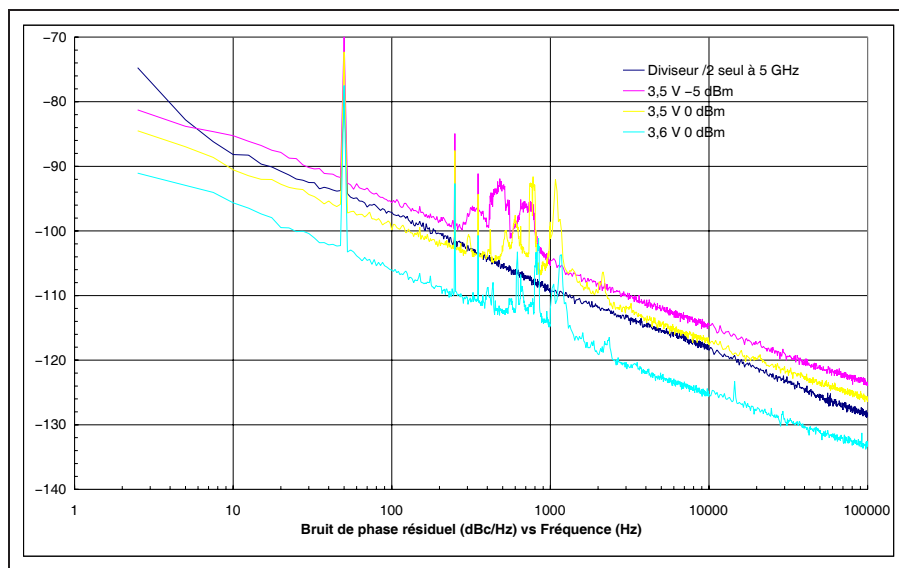
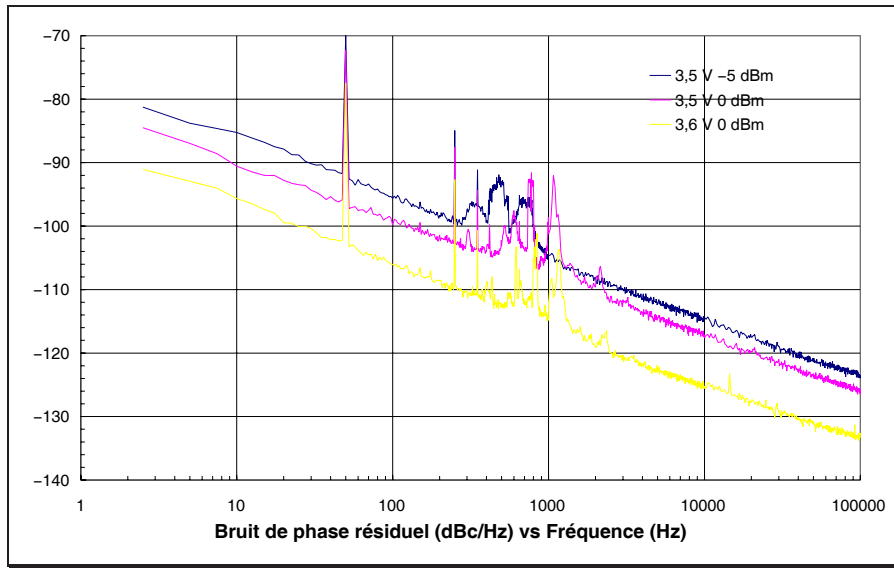


FIG. 2.73 – Mesure de bruit de phase du diviseur par 2

principe d'un tel dispositif est représenté sur la figure 2.72.

Un tel banc de mesure est principalement constitué d'un mélangeur faible bruit fonctionnant en quadrature, soit avec une différence de phase de $\pi/2$ entre les deux voies du mélangeur, et réalisant ainsi un détecteur de phase. La quadrature entre les deux signaux attaquant le mélangeur est obtenue à partir d'un déphaseur placé sur l'une des deux voies. Le principe est le suivant : les fluctuations de phase entre les deux voies sont transformées par le détecteur de phase en fluctuations de tension qui sont exploitées par l'analyseur de spectre. Le résultat mesuré correspond à la somme du bruit de chacun des diviseurs ; on peut alors déduire le bruit de chacun d'eux qui correspond à la moitié du résultat mesuré, soit 3 dB de moins. Les trois figures qui suivent présentent le bruit de phase résiduel dans le diviseur par 2 et le diviseur $P/P + 1$. Les difficultés rencontrées lors de la mise en boîtier du diviseur par N ne permettent pas de présenter les résultats de bruit de phase de ce circuit.

Il est important de noter que les résultats obtenus en mesure sont cohérents avec les résultats obtenus en simulations. Pour toute la partie concernant les diviseurs en logique ECL, nous

FIG. 2.74 – *Mesure de bruit de phase du diviseur par 5*

avons fait des mesures à différentes valeurs de tension d'alimentation¹⁵ et différentes puissances d'entrée. On peut noter que la variation de la tension d'alimentation met en évidence la réduction du niveau de bruit des diviseurs avec la hausse de la consommation en courant. Pour la variation de la puissance d'entrée, plus l'amplitude des signaux est importante, plus le rapport signal sur bruit sera faible.

2.10 Conclusion

Une étude complète a été menée sur les diviseurs numériques programmables, en partant de l'analyse des composants actifs, éléments clefs qui sont à l'origine des performances fréquentielles, en passant par l'analyse et l'optimisation des différentes topologies de circuits numériques hyperfréquences, pour arriver à la conception de diviseurs programmables hyperfréquences dont la structure fait appel à la fois à des notions de « conception design » et de « conception système ». En ce qui concerne la montée en fréquence, les aspects importants de ces travaux sont l'utilisation de la logique ECL associée à deux technologies BiCMOS rapides et l'évolution des topologies des circuits logiques. Ces travaux ont mis en avant des topologies innovantes en technologie Silicium-Germanium de diviseurs numériques programmables : sont présentés, d'une part, les performances de ces circuits dans le domaine fréquentiel et en terme de bruit de phase résiduel, et d'autre part, les points clefs de leurs fonctionnements. Les bons résultats obtenus avec les diviseurs de fréquence programmables monolithiques en technologie Silicium-Germanium nous ont permis d'envisager la réalisation de PLL hyperfréquences (10 GHz et 20 GHz) entièrement intégrées avec des technologies faible coût.

¹⁵. La logique ECL permet d'avoir un degré de liberté de plus sur la tension d'alimentation par rapport à la logique CMOS car il est possible de faire varier celle-ci tout en respectant la tension V_{CEmax} des transistors.

Bibliographie

- [1] E. Cliffs, « Digital PLL frequency synthesizers Theory and Design », Prentice Hall, 1983. [2.1](#)
- [2] B. Razavi, « Phase Loop Locking », Chapman & Hall, 1994. [2.1](#)
- [3] D. A. HODGES and H. G. JACKSON, « Analysis and design of digital integrated circuits », [2.1.2](#)
- [4] B. Razavi, « RF Electronics », Prentice Hall, 1998. [1.3.2.1](#), [1.4.2.1](#), [2.1.2](#)
- [5] J. Encinas, « Systèmes à Verrouillage de Phase - Réalisations et applications », MASSON, 1989. [1.4.2.3](#), [2.1.2](#)
- [6] N. P. Jouppi, S. Sidiropoulos, and S. Menon, « A Speed, Power, and Supply Noise Evaluation of ECL Driver Circuits », *IEEE Journal of Solid-State Circuits*, vol. 31, pp. 38–44, January 1996. [2.2.4.2](#)
- [7] C. Y. Yang, G. K. Dehng, J. M. Hsu, and S. I. Liu, « New Dynamic Flip-Flops for High-Speed Dual-Modulus Prescaler », *IEEE Journal of Solid-State Circuits*, vol. 33, pp. 1568–1571, October 1998. [2.4](#)
- [8] K. H. Sung and L. S. Kim, « Comments on 'New Dynamic Flip-Flops for High-Speed Dual-Modulus Prescaler' », *IEEE Journal of Solid-State Circuits*, vol. 35, pp. 919–920, June 2000. [2.4](#)
- [9] P. Larsson and C. Svensson, « Noise in Digital Dynamic CMOS Circuits », *IEEE Journal of Solid-State Circuits*, vol. 29, pp. 655–662, June 1994. [2.4](#)
- [10] K. Washio, R. Hayami, E. Ohue, K. Oda, M. Tanabe, H. Shimamoto, and M. Kondo, « 67-GHz Static Frequency Divider using 0.2-um Self-Aligned SiGeHBTs », *IEEE Transactions on Microwave Theory and Tech.*, vol. 49, January 2001. [2.4](#)
- [11] M. Wurzer, J. Bock, H. Knapp, K. Aufinger, and J. Meister, « 71.8GHz Static Frequency Divider in a SiGe bipolar technology », *Proc. IEEE Bipolar/Bicmos Circuits and Technology Mtg., Monterey, CA, USA*, pp. 216–219, 2002. [2.4](#)
- [12] T. M. Liu., G. M. Chin, D. Y. Jeon, M. D. Morris, V. D. A. III, R. W. Johnson, M. Tarsia, H. H. Kim, M. Cerullo, K. F. Lee, J. J. Sung, K. Lau, T. Yin, A. M. Voshchenkov, and R. G. Swartz, « An Ultra-High-Speed ECL-BiCMOS Technology with Silicon Fillet Self-Aligned Contacts », *IEEE Transactions on Electron Devices*, vol. 41, September 1994. [2.4](#)
- [13] K. Ishii, H. Ichino, M. Togashi, Y. Kobayashi, and C. Yamagushi, « Very-High-Speed Si Bipolar Static Frequency Dividers with new T-Type Flip-Flops », *IEEE Journal of Solid-State Circuits*, vol. 30, January 1995. [2.4](#)
- [14] B.-U. H. Klepser, M. Scholz, and E. Gotz, « A 10-GHz SiGe BICMOS phase-Locked-Loop Frequency Synthesizer », *IEEE journal of Solid-State Circuits*, vol. 37, pp. 328–335, march 2002. [2.4](#), [4.4](#)

- [15] H. Knapp, M. Vurzer, J. Bock, T. F. Meister, G. Ritzberger, and K. Aufinger, « 36-GHz Dual-Modulus Prescaler in SiGe Bipolar technology », *2002 IEEE Radio Frequency Integrated Circuits Symposium*, pp. 239–242, 2002. [2.4](#)
- [16] F. Dulger and E. Sanchez-Sinencio, « Design Considerations in a BiCMOS Dual-Modulus Prescaler », *2002 IEEE Radio Frequency Integrated Circuits Symposium*, pp. 117–180, 2002. [2.7.1](#)
- [17] P. Larsson, « High-Speed Architecture for a Programmable Frequency Divider and a Dual-Modulus Prescaler », *IEEE Journal of Solid-State Circuits*, vol. 31, pp. 744–748, May 1996. [2.7.1](#)
- [18] E. Tournier, M. Sié, and J. Graffeuil, « High-Speed Dual-Modulus Prescaler Architecture for Programmable Digital Frequency Divider », *Electronics Letters*, vol. 37, pp. 1433–1434, November 2001. [2.7.1](#)
- [19] B. Chi and B. Shi, « New Implementation of Phase-Switching Technique and its Applications to GHz Dual-Modulus Prescalers », *IEE Proc. Circuits Devices Systems*, vol. 150, pp. 429–433, October 2003. [2.7.2](#)
- [20] K. R. Laker and W. M. Sansen, « Design of Analog Integrated Circuits and Systems », McGraw-Hill, 1994. [2.7.4](#)
- [21] G. Cibiel, « Etude de composants HF à très faible bruit et applications », Université Paul Sabatier, Toulouse, 2003. [2.9.4](#)
- [22] T. R. Faulkner and R. E. Temple, « Residual phase noise and AM noise measurements and techniques », *Hewlett-Packard application note*, no. 0348-90011, 1989. [2.9.4](#)
- [23] G. K. Montress, T. E. Parker, and M. J. Loboda, « Residual phase noise measurements of VHF, UHF and microwave components », *IEEE Trans. on Ultrason. Ferroelect. and Freq. Control.*, vol. 41, pp. 664–679, September 1994. [2.9.4](#)
- [24] M. M. Discoll, « Phase noise performance of analog frequency dividers », *IEEE Trans. on Ultrason. Ferroelect. and Freq. Control.*, vol. 37, pp. 295–301, Juillet 1990. [2.9.4](#)
- [25] S. Desgrez, « Conception de diviseurs de fréquence analogiques réalisés en technologie monolithique à base de transistors pseudomorphiques à haute mobilité électronique », Thèse de l'Université Paul Sabatier, Toulouse, 1997. [2.9.4](#)
- [26] V. Brugidou and P. A. Rolland, « Measurement of residual phase noise of frequency divider using single divider technique », *IEEE Electron. Lett.*, vol. 36, pp. 1391–1393, August 2000. [2.9.4](#)
- [27] M. Sié, G. Cibiel, E. Tournier, R. Plana, and J. Graffeuil, « High-speed, spurious-free sequential phase frequency detector and dual-modulus prescalers for RF frequency synthesis », *IEEE Radio frequency Integrated Circuits Symposium (RFIC), Philadelphia (USA)*, Juin 2003. [2.9.4](#)

- [28] P. A. Dallas and J. K. A. Everard, « Measurement of the cross-correlation between baseband and transported flicker noises in an GaAs MESFET », *Proc. of the IEEE MTT Symposium*, pp. 1261–1264, 1990. [2.9.4](#)
- [29] M. Milan and R. McGowan, « Residual phase noise performance of X-band GaAs FET amplifiers at liquid nitrogen temperature », *IEEE Proceedings-G*, vol. 139, pp. 37–38, February 1992. [2.9.4](#)
- [30] O. Llopis, J. B. Juraver, B. Tamen, F. Danneville, M. Chaubet, A. Cappy, and J. Graffeuil, « Nonlinear noise modeling of a PHEMT device through residual phase noise and low frequency noise measurements », *IEEE Microwave Theory and Tech. Symposium Digest*, pp. 881–833, 2001. [2.9.4](#)
- [31] G. Cibiel, L. Llopis, L. Escotte, and G. Haquet, « Devices selection for S and X bands low phase noise oscillator design », accepted to 33^{ème} European Microwave Week, Munich, Octobre, 2003. [2.9.4](#)

Chapitre 3

Comparateurs phase/fréquence et pompes de charges

LE CHAPITRE I A DÉTAILLÉ la modélisation de la boucle à verrouillage de phase du troisième et quatrième ordre en supposant que la boucle est un système continu. La difficulté de la modélisation d'un tel circuit tient dans la coexistence de systèmes de nature analogique continue (l'oscillateur et le filtre linéaire) avec un système numérique séquentiel (la logique du détecteur de phase).

La boucle à verrouillage de phase (ou **PLL**) avec un détecteur de phase à trois états (ou **PFD, Phase/Frequency Detector** a été introduite dans les années 1976 par Sharpe [1] afin d'améliorer la phase transitoire du circuit.

La première modélisation a été proposée par Gardner [2] sous forme d'un système de récurrences non-linéaires quasi-exactes dont la résolution numérique permet d'obtenir une simulation du transitoire. Ces équations ont été linéarisées pour permettre l'analyse de stabilité de la boucle. Cette linéarisation est faite en remplaçant la forme exacte des signaux discrets issus du PFD par une approximation continue de leur moyenne. Le modèle se trouve être alors celui d'une PLL analogique. Cette méthode d'analyse, appelée l' *approximation quasi-continue*, fait référence et est la plus utilisée à l'heure actuelle. Dans ce même article, il est établi que cette approximation donne des résultats similaires à ceux obtenus avec les récurrences non-linéaires, lorsque la fréquence de référence est largement supérieure à celle de la bande passante de la boucle.

Le modèle non-linéaire discret proposé par Van Paemel [3] permet de traiter la linéarisation exacte du système étudié. Ce modèle est valable uniquement lorsque l'erreur de phase n'excède pas un cycle complet, près de l'état d'accrochage. Dans cet article, l'analyse de stabilité n'est pas développée. Ce modèle a été établi uniquement pour les boucles du second ordre.

Les travaux d'Hedayat [4] établissent un modèle événementiel de la PLL qui permet de réaliser des simulations rapides du système et donc son optimisation. Ce modèle, dont le pas de calcul dans le temps est variable, est analytique et équivalent à celui de Van Paemel pour le second ordre. Hedayat a étendu cette modélisation au cas de la PLL du troisième ordre [5]. Aucune analyse de stabilité spécifique à ce modèle n'est proposée, par contre une analyse statistique intéressante des caractéristiques du circuit est réalisée à partir des simulations de ce modèle exact. Des non-linéarités ont été rajoutées dans le modèle telles que la zone morte du PFD et la saturation de la tension de commande.

Mais, l'absence de facilité d'analyse mathématique de ces deux derniers modèles font que le modèle linéaire et les résultats obtenus par Gardner en 1980 sont encore et toujours utilisés.

De plus, ces méthodes sont fortement dépendantes des performances des simulateurs pour les systèmes à haute fréquence (temps et précision de calcul).

Dans ce chapitre, nous aborderons le comparateur phase/fréquence, ainsi que la pompe de charges associée au filtre de boucle : ces trois circuits sont liés car c'est à eux que revient la fonction de transmettre, le plus correctement possible, l'information sur l'erreur de phase au VCO.

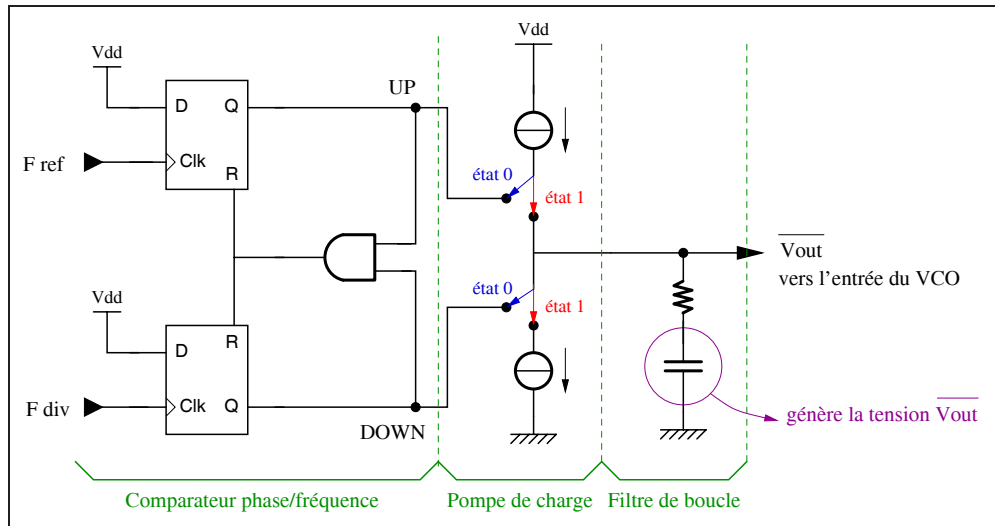


FIG. 3.1 – Schématisation logique de la chaîne de transmission de l'information sur l'erreur de phase

Si l'un de ces trois circuits ne fonctionne pas correctement, la transmission d'information sera faussée. Les figures 3.1 et 3.1 présentent cette chaîne de détection ainsi que son fonctionnement.

Le détecteur délivre des signaux numériques de commande qui dépendent de l'intervalle de temps séparant les fronts montants du signal de référence (de fréquence F_{ref}) et du signal fourni par le diviseur. Ces signaux sont l'image de la différence de fréquence si F_{ref} est différente de F_{div} ou de la différence de phase si la PLL est verrouillée. La pompe de charges et le filtre convertissent les signaux de commande du comparateur en une tension de contrôle pour le VCO.

Ce chapitre va tenter de détailler le fonctionnement du comparateur phase/fréquence et de la pompe de charges pour mieux cerner les limites de la modélisation quasi-continue, et de détailler le fonctionnement, la réalisation et l'optimisation de ces deux blocs.

3.1 Détecteur de phase

Les comparateurs ou détecteurs de phase associés à une pompe de charges doivent fournir, après filtrage, une tension continue ou lentement variable, proportionnelle au déphasage existant entre les deux signaux d'entrée et de retour de boucle. On distingue deux catégories de comparateurs de phase :

- les comparateurs de phase analogiques (ou mélangeurs),
- les comparateurs de phase numériques [6].

Seront présentées, dans un premier temps, les caractéristiques des différents détecteurs de phase pour pouvoir ensuite détailler le fonctionnement du détecteur sélectionné pour notre application, le comparateur phase/fréquence. Le détecteur phase/fréquence représente l'un des plus largement utilisés, parmi les détecteurs de phase existants, dans la conception des

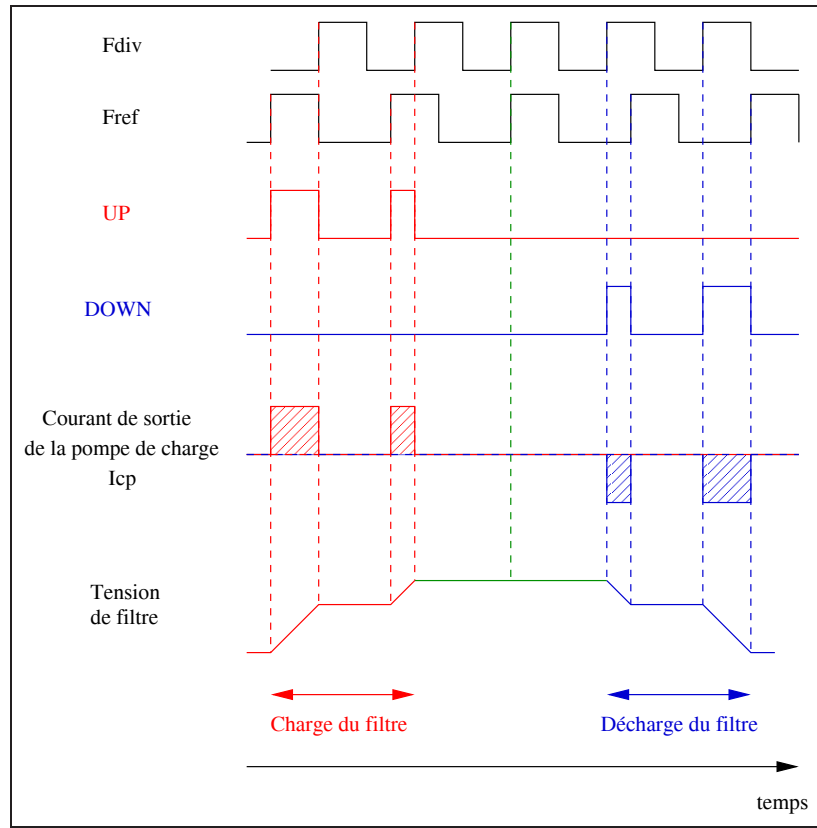


FIG. 3.2 – Chronogramme présentant la fonction de la chaîne « PFD+pompe de charges+filtre »

synthétiseurs modernes, dû à ses caractéristiques dans le domaine de l'acquisition et de la simplicité numérique du circuit.

3.1.1 Comparateurs de phase analogiques ou mélangeurs

Les mélangeurs sont probablement les composants les plus utilisés et les plus importants dans les circuits haute fréquence. Ils peuvent être utilisés dans de multiples applications dont la comparaison de phase de deux signaux [7].

On distingue deux catégories de mélangeurs : les mélangeurs dits passifs, qui ne nécessitent pas de sources d'énergie annexes, et les mélangeurs actifs qui, élaborés en général autour de transistors, nécessitent une source de tension annexe. Dans les deux cas, passifs et actifs, on cherche à utiliser la non-linéarité d'un composant semi-conducteur, diode pour les mélangeurs passifs et transistor pour les mélangeurs actifs. Les inconvénients majeurs des mélangeurs passifs sont leur perte de conversion et la nécessité d'injecter un niveau de puissance OL (Oscillateur Local) important. D'autre part, la présence des transformateurs limite les possibilités d'intégration. Par contre, les mélangeurs actifs peuvent se satisfaire d'un niveau OL plus faible, peuvent avoir un gain de conversion et ne nécessitent pas de transformateur.

Les multiplicateurs peuvent être utilisés pour des signaux de phases différentes mais de fréquences identiques. En général, ce type de comparateur est accompagné d'un comparateur

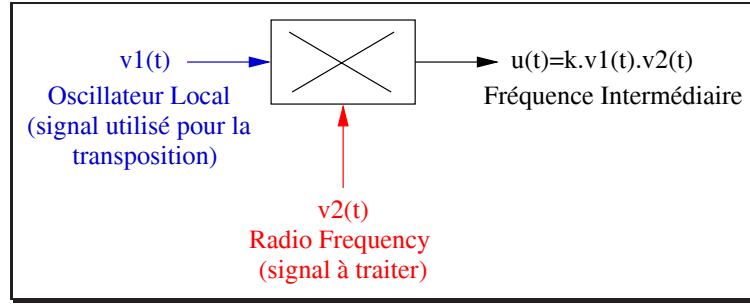


FIG. 3.3 – Schéma fonctionnel du multiplicateur analogique passif ou actif

de fréquence ou un système d'aide à l'acquisition, comme par exemple, un générateur de rampe. On a successivement une acquisition en fréquence et un verrouillage en phase.

3.1.1.1 Multiplicateur analogique passif

Il effectue la multiplication de deux signaux d'entrée décrits par les deux équations suivantes :

$$v_1(t) = V_1 \cos(\omega t + \varphi_1)$$

$$v_2(t) = V_2 \cos(\omega t + \varphi_2)$$

Les signaux d'entrée sont de fréquences identiques et de phases différentes. La tension de sortie $u(t)$ s'écrit :

$$u(t) = \frac{k V_1 V_2}{2} [-\cos(2\omega t + \varphi_1 + \varphi_2) + \cos(\varphi_1 - \varphi_2)]$$

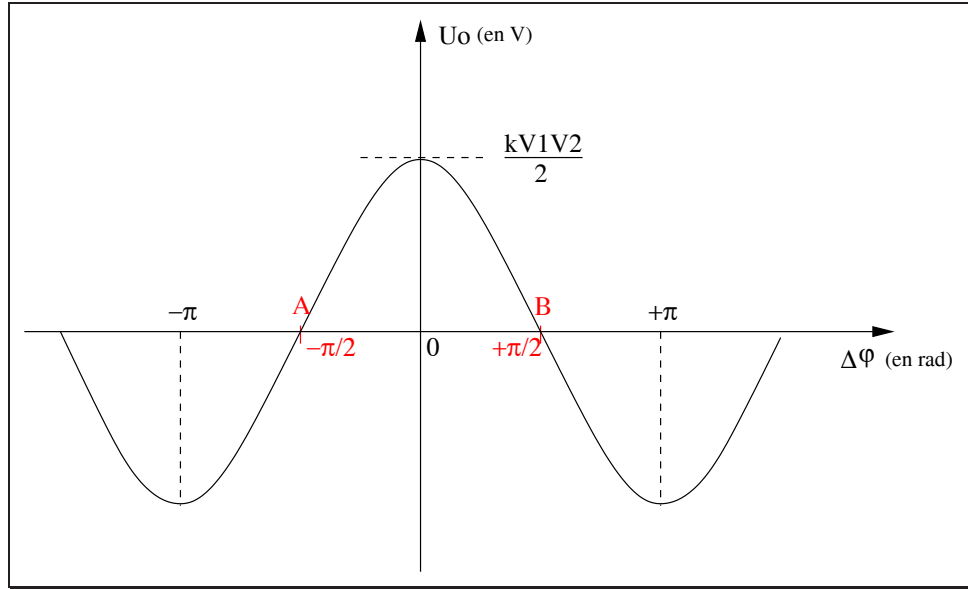
Le terme haute fréquence en 2ω est éliminé par le filtre passe-bas, et la valeur continue de l'erreur est :

$$U_0 = \frac{k V_1 V_2}{2} \cos(\varphi_1 - \varphi_2) = \frac{k V_1 V_2}{2} \cos(\Delta\varphi)$$

La fonction $U_0(\Delta\varphi)$ est une fonction cosinus : l'erreur est donc nulle pour $\varphi = \pm\pi/2$. Ceci signifie que la boucle est verrouillée et fonctionne à sa fréquence centrale lorsque les deux signaux sont déphasés de $\pm\pi/2$. Le fonctionnement n'est linéaire que si on travaille autour de l'erreur nulle (point A ou B). La pente de la fonction $U_0(\Delta\varphi)$ définit la fonction de transfert et dépend des amplitudes V_1 et V_2 . Si on reprend le calcul, et en considérant qu'il y a un déphasage de $\pi/2$ inhérent au principe entre $v_1(t)$ et $v_2(t)$, nous aurons :

$$v_1(t) = V_1 \sin(\omega t + \varphi_1)$$

$$v_2(t) = V_2 \cos(\omega t + \varphi_2)$$

FIG. 3.4 – Représentation de la fonction $U_0(\Delta\varphi)$

Ce qui donne :

$$U(t) = \frac{k V_1 V_2}{2} \sin(2\omega t + \varphi_1 + \varphi_2) + \frac{k V_1 V_2}{2} \sin(\varphi_1 - \varphi_2)$$

Le terme haute fréquence est éliminé par le filtre passe-bas, et il reste :

$$U_0(\Delta\varphi) = \frac{k V_1 V_2}{2} \sin(\Delta\varphi)$$

Si on considère que la PLL verrouillée fonctionne autour de sa fréquence centrale f_c , on a $\Delta\varphi \approx 0$. Le développement limité du sinus autour de 0 donne :

$$\sin(\Delta\varphi) = \Delta\varphi + \frac{\Delta\varphi^3}{3!} + \dots \approx \Delta\varphi$$

La relation devient alors :

$$U_0(\Delta\varphi) \approx \frac{k V_1 V_2}{2} \Delta\varphi$$

Lorsque la boucle n'est pas verrouillée, les fréquences à l'entrée du mélangeur sont différentes :

$$v_1(t) = V_1 \sin(\omega_1 t)$$

$$v_2(t) = V_2 \cos(\omega_2 t)$$

Les phases φ_1 et φ_2 sont négligées.

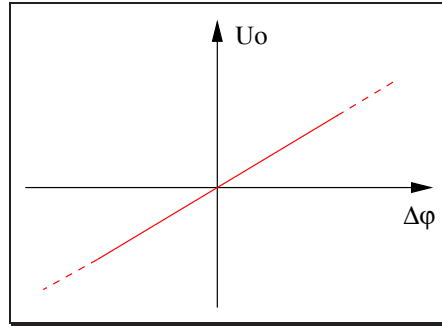


FIG. 3.5 – Représentation de la fonction $U_0(\Delta\varphi)$ pour un déphasage $\Delta\varphi$ nul

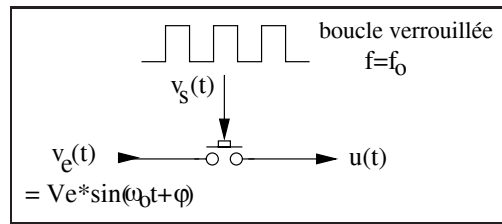


FIG. 3.6 – Représentation fonctionnelle du multiplicateur analogique à découpage

Le produit de ces fonctions nous donne :

$$v_1(t) v_2(t) = -\frac{k V_1 V_2}{2} \cos(\omega_1 + \omega_2) t + \frac{k V_1 V_2}{2} \cos[(\omega_1 - \omega_2) t]$$

où apparaissent deux nouvelles pulsations : $(\omega_1 + \omega_2)$ et $(\omega_1 - \omega_2)$.

La pulsation $(\omega_1 - \omega_2)$ représente la pulsation de battement que laisse passer le filtre passe-bas, si celle-ci est suffisamment basse afin de permettre l'accrochage de la boucle.

3.1.1.2 Multiplicateur analogique actif ou « à découpage »

Les multiplicateurs analogiques linéaires sont limités en fréquence et imposent certaines contraintes de mise en œuvre. On préfère utiliser les multiplicateurs analogiques à découpage que l'on peut rencontrer sous le terme « hacheur », ou « chopper », ou « modulateur ».

Principe des multiplicateurs analogiques à découpage :

On les représente par un interrupteur piloté par un signal carré et fournissant un gain en tension de « +1 » lorsqu'il est fermé, et un gain nul lorsqu'il est ouvert.

Si on considère la boucle accrochée, les signaux $v_e(t)$ et $v_s(t)$ sont de même fréquence. La tension de sortie $u(t)$ représente le produit de la tension d'entrée $v_e(t)$ et de la fonction de transmission $h(t)$ qui prend les valeurs 1 ou 0, définie mathématiquement par un carré. La décomposition en série de Fourier de $h(t)$ est :

$$h(t) = \frac{1}{2} + \frac{2}{\pi} \sin(\omega_0 t) - \frac{1}{6\pi} \sin(3\omega_0 t) + \frac{1}{10\pi} \sin(5\omega_0 t) - \dots$$

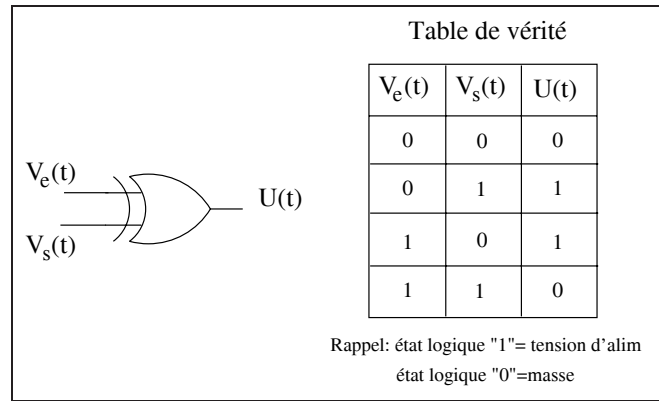


FIG. 3.7 – Schéma de la porte logique OU exclusif accompagné de la table de vérité

Ainsi $u(t) = v_e(t) f(t)$, soit :

$$u(t) = V_e \sin(\omega_0 t + \varphi) \left[\frac{1}{2} + \frac{2}{\pi} \sin(\omega_0 t) - \frac{1}{6\pi} \sin(3\omega_0 t) + \frac{1}{10\pi} \sin(5\omega_0 t) - \dots \right]$$

Cette tension est transmise au filtre passe-bas et celui-ci ne laisse passer que la composante continue issue du produit :

$$V_e \sin(\omega_0 t + \varphi) \frac{2}{\pi} \sin(\omega_0 t) \text{ donc } U_0 = \frac{V_e}{\pi} \cos \varphi$$

$$U_0 = \frac{V_e}{\pi} \cos \varphi$$

3.1.2 Comparateurs de phase numériques

Les comparateurs de phase numériques, conçus en technologie CMOS, TTL ou ECL, sont de plus en plus utilisés. Les comparateurs en logique combinatoire fonctionnent sur les niveaux logiques, alors que les comparateurs en logique séquentielle fonctionnent sur les fronts.

3.1.2.1 Comparateur de phase combinatoire : circuit OU exclusif

Le OU exclusif [8] peut jouer le rôle d'un comparateur de phase dont les caractéristiques sont les suivantes :

La sortie de la porte OU exclusif est à l'état haut lorsque les niveaux d'entrée diffèrent, et à l'état bas lorsque les niveaux d'entrée sont identiques. Si le déphasage $\varphi_1 - \varphi_2$ entre les deux signaux d'entrée est nul, la sortie de la porte est au niveau logique bas en permanence. Si le déphasage vaut π , la sortie de la porte est au niveau logique haut en permanence. Si le déphasage vaut $\pi/2$, la sortie de la porte est un signal rectangulaire de rapport cyclique 1/2 et de fréquence double de la fréquence d'entrée comme le montre la figure 3.8.

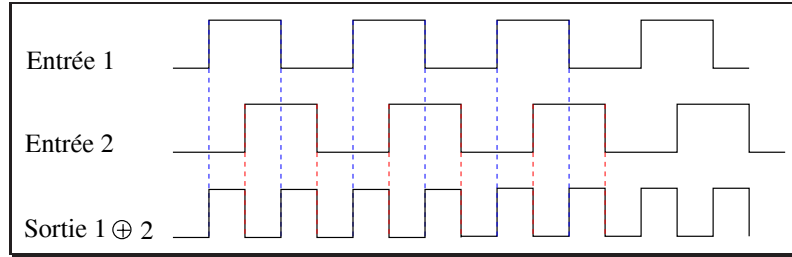


FIG. 3.8 – Chronogramme de sortie du comparateur OU exclusif pour le cas d'un déphasage entre les deux signaux d'entrée égal à $\pi/2$

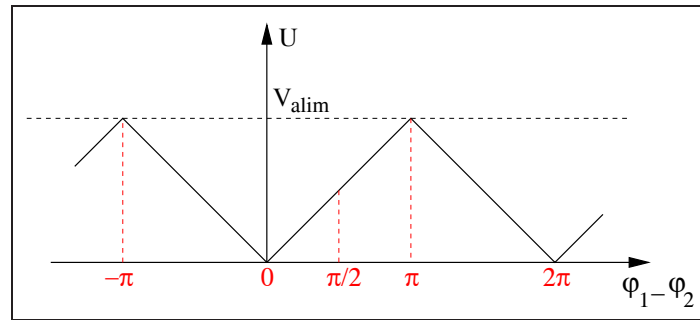


FIG. 3.9 – Caractéristique de sortie du comparateur OU exclusif

Sur la figure 3.9 est présentée la variation de tension U , linéaire en fonction du déphasage $\varphi_1 - \varphi_2$. Le point de verrouillage à fréquence centrale f_0 s'effectue pour $U = V_{\text{alim}}/2$ et $\varphi = \pi/2$.

Or, ce comparateur présente les inconvénients suivants :

- il impose des signaux à rapport cyclique de 1/2 ;
- il peut permettre un verrouillage pour des fréquences extérieures aux fréquences de la plage de maintien (on dit qu'il y a verrouillage sur les harmoniques)

3.1.2.2 Comparateur de phase séquentiel : bascule RS

La figure 3.10 représente une simple bascule RS utilisée en tant que comparateur de phase.

Les états de sortie de la bascule changent avec les transitions des signaux d'entrée, en conséquence, la caractéristique de transfert du comparateur de phase sera indépendante des rapports cycliques des signaux d'entrée. Les deux entrées de la bascule RS sont équivalentes à des entrées Set et Reset pour des transitions négatives, niveau haut vers niveau bas. La tension moyenne du signal de sortie est proportionnelle à l'écart de phase :

$$U = V_{\text{alim}}(\varphi_1 - \varphi_2)$$

La fonction de transfert est linéaire de 0 à 2π et le point d'équilibre est obtenu pour la valeur π . Mais cette structure présente un défaut majeur : les deux signaux d'entrée ne peuvent pas se retrouver dans le même « 0 » car, d'après la table de vérité, on ne peut prévoir l'état des sorties Q_n et \overline{Q}_n . Il est donc impossible de savoir si la correction apportée par le comparateur

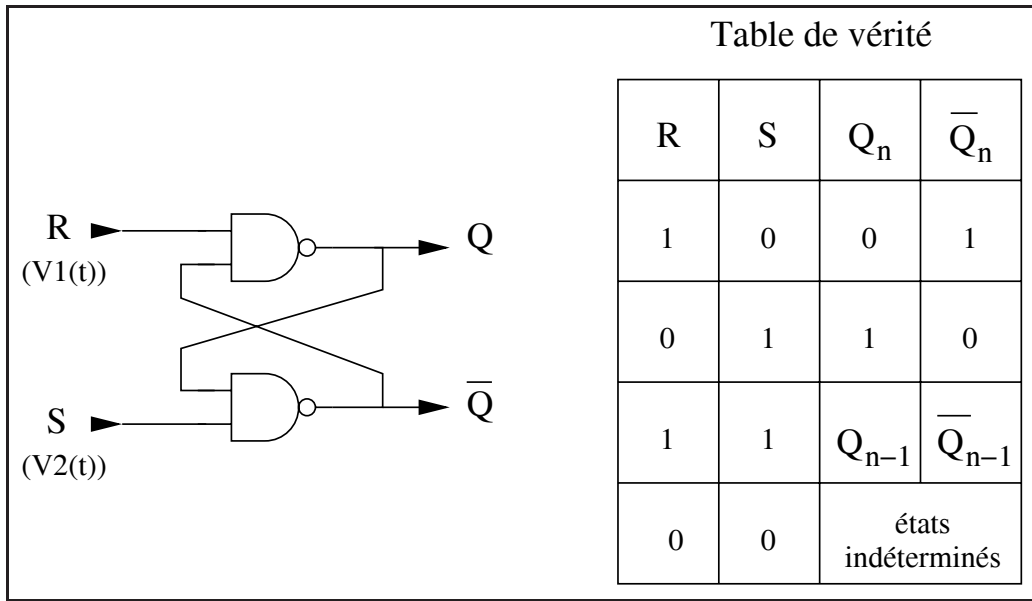


FIG. 3.10 – Schéma de la bascule RS à partir de portes NON-ET

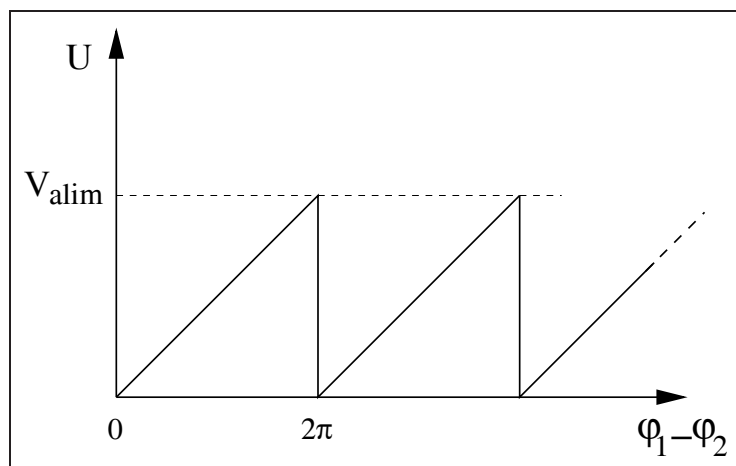


FIG. 3.11 – Caractéristique de sortie du comparateur RS

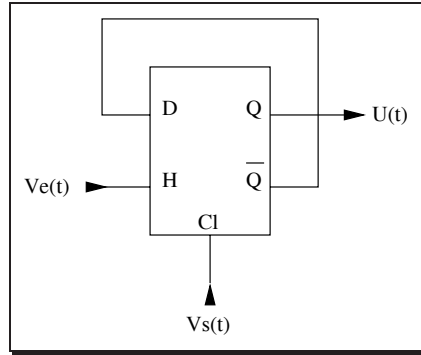


FIG. 3.12 – Schéma du comparateur réalisé à partir d'une bascule D réagissant sur front

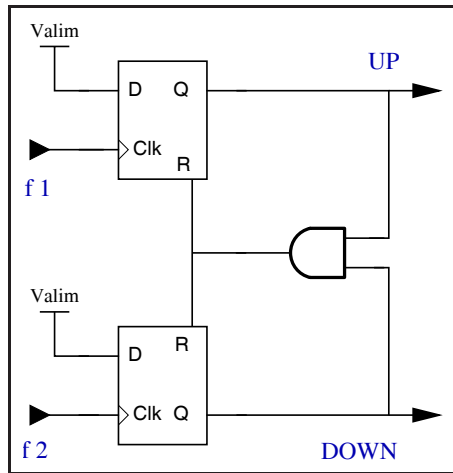


FIG. 3.13 – Schéma du comparateur phase/fréquence

est corrélée avec le déphasage existant entre les deux signaux d'entrée.

3.1.2.3 Comparateur de phase séquentiel : bascule D rebouclée

Le schéma du comparateur construit à partir d'une bascule D est visible sur la figure 3.12. La borne Clear (Cl) est active à l'état haut. Ce sont les fronts montants de $V_e(t)$ qui déclenchent la détection de phase, et les fronts montants de $V_s(t)$ qui réinitialisent la détection. La fonction de transfert de la bascule D est identique à celle de la bascule RS.

Remarque :

La bascule JK Maître-Esclave peut elle-aussi être utilisée en tant que comparateur de phase. Mais, dans la pratique, la bascule JK présente des défaillances dans certaines situations bien précises (si les deux entrées sont à l'état haut, la bascule JK change d'état à chaque coup d'horloge, et donc elle oscille).

3.1.2.4 Comparateur de phase/fréquence séquentiel

Le comparateur de la figure 3.13 est sensible aux fronts montants des signaux d'entrée, $v_1(t)$ et $v_2(t)$, et il a un fonctionnement indépendant du rapport cyclique. Indiquons un fonctionne-

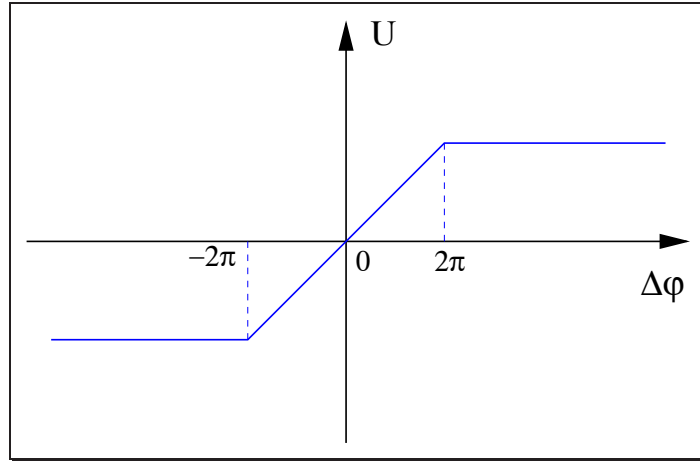


FIG. 3.14 – Caractéristique de sortie du comparateur phase/fréquence

ment simplifié logique de ce comparateur phase/fréquence [9, 10, 11, 12] :

- si $f_1 > f_2$, alors $V_{UP} = V_{alim} = 1$ et $V_{DOWN} = V_{masse} = 0$,
- si $f_2 > f_1$, alors $V_{UP} = 0$ et $V_{DOWN} = 1$,
- si $f_1 = f_2$:
 - si le front montant de la tension d'entrée $v_2(t)$ est en avance par rapport au front montant de la tension $v_1(t)$, la sortie UP est à l'état haut pendant l'intervalle des deux fronts et à l'état bas pendant le reste de la période (la sortie DOWN est à l'état bas durant la période complète).
 - si le front montant de la tension $v_2(t)$ est en retard par rapport au front montant de la tension $v_1(t)$, la sortie DOWN est à l'état haut pendant l'intervalle des deux fronts et à l'état bas pendant le reste de la période (la sortie UP est à l'état bas durant la période complète).
 - si les deux signaux sont « en phase », les deux sorties UP et DOWN sont en l'état bas en permanence.

La fonction de transfert est représentée sur la figure 3.14.

3.1.3 Comparaison entre les différents comparateurs de phase

Mélangeur :

- $U(\Delta\varphi)$ est non linéaire pour $\varphi \neq \pm\pi/2$,
- à fréquence constante, le déphasage peut être compris entre 0 et π ,
- la pente de la fonction de transfert dépend de l'amplitude des signaux d'entrée du mélangeur.

Comparateur combinatoire, OU exclusif :

- $U(\Delta\varphi)$ est linéaire,

- cette fonction est indépendante des amplitudes,
- le rapport cyclique des signaux d'entrée doit être de 1/2,
- il y a un verrouillage possible sur les harmoniques,
- le déphasage varie de 0 à π .

Comparteur séquentiel, bascule RS :

- $U(\Delta\varphi)$ est linéaire,
- cette fonction est indépendante des amplitudes,
- le rapport cyclique peut être quelconque (déclenchement sur front et non sur niveau),
- il n'y a pas de verrouillage sur les harmoniques,
- le déphasage varie de 0 à 2π ,
- état « 00 » interdit en entrée du circuit.

Comparteur séquentiel phase/fréquence :

- $U(\Delta\varphi)$ est linéaire,
- le déclenchement s'effectue sur front,
- il n'y a pas de verrouillage sur les harmoniques,
- le déphasage varie de -2π à $+2\pi$.

D'après cette comparaison, on peut conclure que si l'on veut une détection du déphasage la plus large possible, conjuguée à une détection stable, rapide et précise (pas de verrouillage sur les harmoniques), il ne reste que le comparateur phase/fréquence numérique. Nous proposons de détailler le fonctionnement de cette dernière structure, les avantages et les inconvénients, ainsi que son optimisation d'un point de vue structurel.

3.1.4 Comparateur phase/fréquence numérique (ou PFD, Phase Frequency Detector)

Au regard du bilan sur les comparateurs de phase, nous avons opté pour un comparateur phase/fréquence [13] (ou PFD) présentant des avantages non négligeables par rapport au comparateur de phase simple. Mais, le PFD présente lui aussi des inconvénients que nous détaillons par la suite pour pouvoir optimiser la structure et donc améliorer ses performances.

Un tel comparateur possède trois états stables, dont un que l'on pourrait nommer « temporaire ». C'est ce nouvel état, associé à la création de deux signaux de sortie non complémentaires, qui permet d'aboutir aux résultats escomptés. Lorsque la fréquence du signal de référence f_{ref} est supérieure à celle du signal de sortie du diviseur f_{div} , le PFD génère une impulsion positive sur la sortie **Up**, et **Down** reste à zéro. Inversement, lorsque $f_{\text{ref}} < f_{\text{div}}$, l'impulsion positive apparaît sur la sortie **Down** tandis que **Up** reste à zéro. Le dernier cas correspond à $f_{\text{ref}} = f_{\text{div}}$, le circuit génère alors des impulsions sur l'une des deux sorties **Up** et **Down** selon si il y a retard ou avance de phase, et dont la largeur est égale à l'écart de phase. Ainsi l'état des sorties **Up** et **Down** donnent l'information nécessaire au système sur la différence de phase ou de fréquence

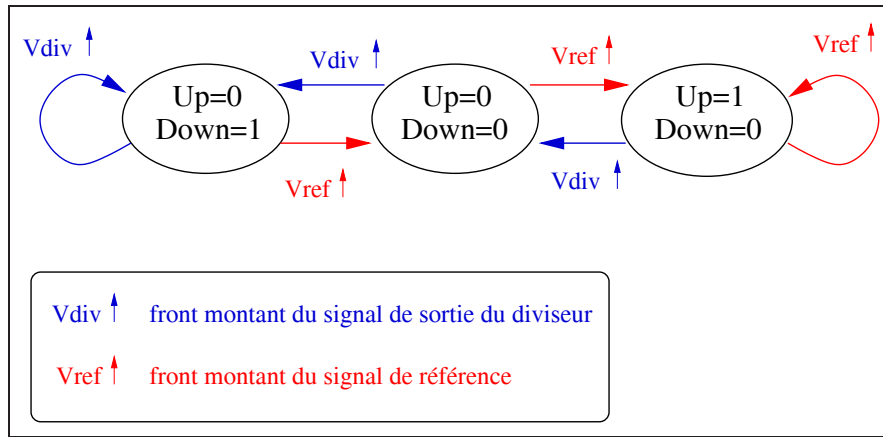
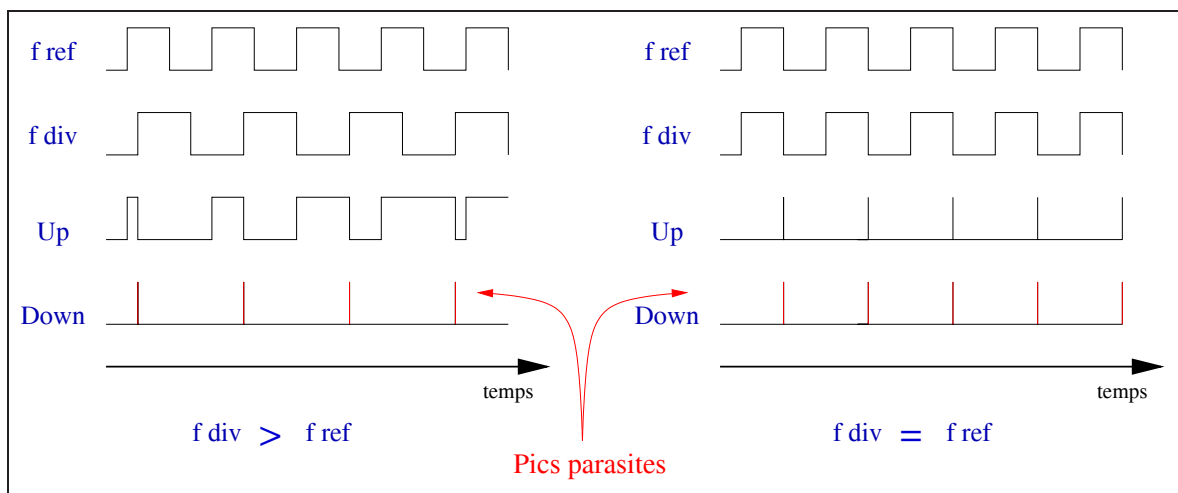


FIG. 3.15 – Diagramme d'états du comparateur phase/fréquence

FIG. 3.16 – Chronogramme des signaux d'entrée et de sortie du PFD lorsque $f_{ref} > f_{div}$, et $f_{ref} = f_{div}$

entre les deux signaux d'entrée : la figure 3.16 présente l'état des sorties du comparateur pour des signaux d'entrées présentant des différences fréquentielles.

Une implémentation possible du PFD est décrite dans figure 3.17. Le circuit est constitué de deux bascules D fonctionnant sur front montant, dont l'entrée de données est connectée au niveau logique haut. Les signaux de fréquence f_{ref} et f_{div} agissent sur les entrées d'horloge des bascules. On remarque que lorsque $\mathbf{Up}=\mathbf{Down}=0$, une transition du signal de fréquence f_{ref} provoque la commutation de la bascule correspondante forçant \mathbf{Up} au niveau haut. Donc, toute nouvelle transition du signal de fréquence f_{ref} n'aura plus aucun effet sur le circuit. Puis, lorsque le signal de fréquence f_{div} passe au niveau haut, la porte ET active le Reset des deux bascules, ce qui signifie que les sorties \mathbf{Up} et \mathbf{Down} sont temporairement au niveau haut simultanément (cf. fig 3.16). La durée de cet état dépend donc du temps de propagation du signal de Reset par la porte ET ainsi que le délai de remise à zéro des bascules.

Sur la figure 3.18, nous avons tracé la fonction de transfert idéale que l'on devrait obtenir et la fonction de transfert réelle que l'on obtient lors de la conception d'un PFD. La présence

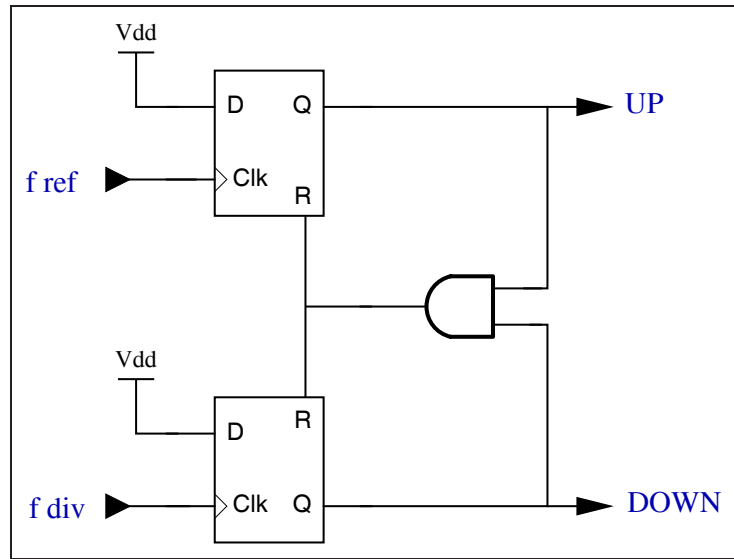


FIG. 3.17 – Topologie classique du PFD

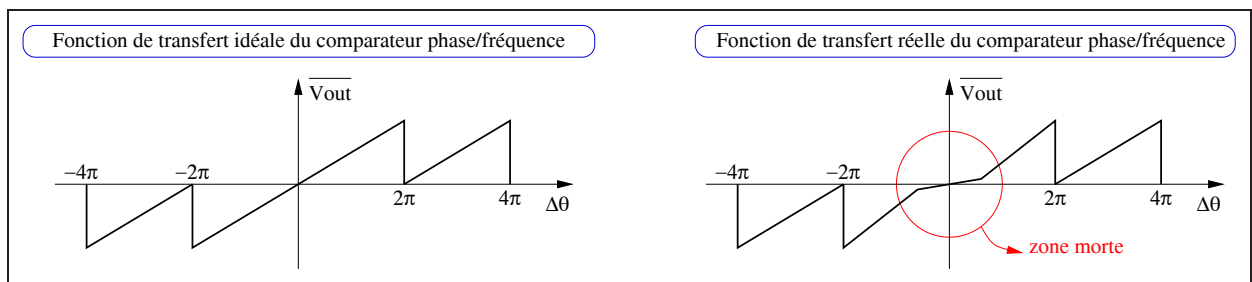


FIG. 3.18 – Fonction de transfert du PFD

de cette anomalie s'explique en partie par les « spurious » qui apparaissent sur **Up** et **Down** lorsque les signaux de référence et du diviseur sont identiques. Ces « spurious », états hauts parasites, empêchent la PLL d'atteindre un équilibre « stable » : ils sont transmis comme étant une information d'erreur de phase alors que l'erreur n'existe pas. Consécutivement, la pompe de charges et le filtre de boucle vont transformer cette erreur de phase virtuelle en une tension V_{out} oscillante de faible valeur, imposant à la PLL un état d'équilibre « instable » ou « **zone morte** ».

Lorsque que l'on parle de zone morte, il faut préciser qu'elle est également la conséquence des dysfonctionnements de la pompe de charges qui est développée plus loin dans ce chapitre : lorsque la PLL a convergé et que la différence de phase devient très faible, le temps de charge et de décharge de la pompe de charges dans le filtre de boucle devient trop faible pour parvenir à corriger l'erreur de phase et présenter une tension moyenne correcte au VCO. Pour corriger ce problème, les concepteurs modifient le comparateur phase/fréquence en introduisant un circuit retard entre la porte ET et les deux bascules D qui a pour but d'élargir les pics de correction dans le but de permettre la charge et la décharge de la pompe dans le filtre pour de faibles déphasages.

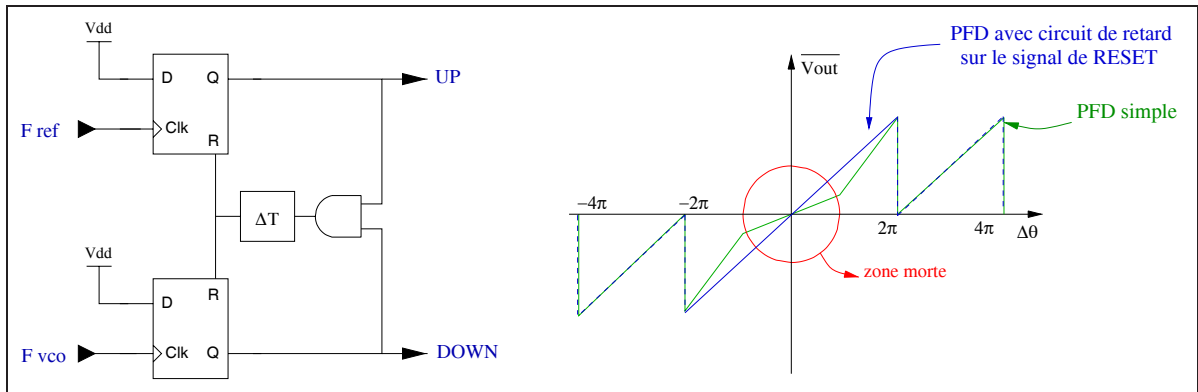


FIG. 3.19 – Schématisation et fonction de transfert du PFD modifié

Les effets sur la fonction de transfert sont illustrés sur la figure 3.19. Par ce système de retard, la structure présente un temps de latence avant de pouvoir à nouveau relancer une détection d’erreur de phase du système.

Nous avons donc essayé de concevoir une structure minimisant la zone morte et ne présentant pas ce temps de latence qui pourrait entraîner une dégradation du temps de convergence ou de stabilisation de la PLL.

3.1.4.1 Nouvelle topologie d’un comparateur phase/fréquence numérique

La *zone morte* représente la défaillance de la chaîne de détection « PFD + pompe de charges + filtre ». Avant de modifier la pompe de charges, l’optimisation du PFD concernant ces pics parasites s’impose.

Pour bien comprendre la place de ces pics parasites aux niveaux des sorties du comparateur, nous proposons un chronogramme sur la figure 3.20 qui décrit leurs places et leurs importances dans les signaux de correction **Up** et **Down**.

On observe la place non négligeable que prennent les « spurious » dans les signaux **Up** et **Down** : sur cet exemple où le signal de référence est en avance de phase sur le signal de sortie du diviseur, les pics parasites apparaissent sur la sortie **Down** mais ils sont également présents sur la sortie **Up** où ils sont inclus dans la largeur de l’état « haut » de correction, ce qui veut donc dire que ces pics polluent la correction de l’erreur de phase.

Nous avons donc imaginé non seulement d’éliminer les « spurious » sur la sortie **Down** si on prend l’exemple de la figure 3.20, mais aussi de soustraire le « spurious » de l’état « haut » qui apparaît sur **Up** pour que cet état corresponde parfaitement au déphasage entre les deux signaux d’entrée.

Pour réaliser ce filtrage numérique [14], nous avons mis en place deux portes OU exclusif sur chaque sortie du comparateur. Comme le montre la figure 3.21, l’une des deux entrées de la porte logique OU exclusif est branchée sur l’une des sorties du comparateur et l’autre sur le signal de « RESET », c’est-à-dire le signal de sortie de la porte ET qui va générer les

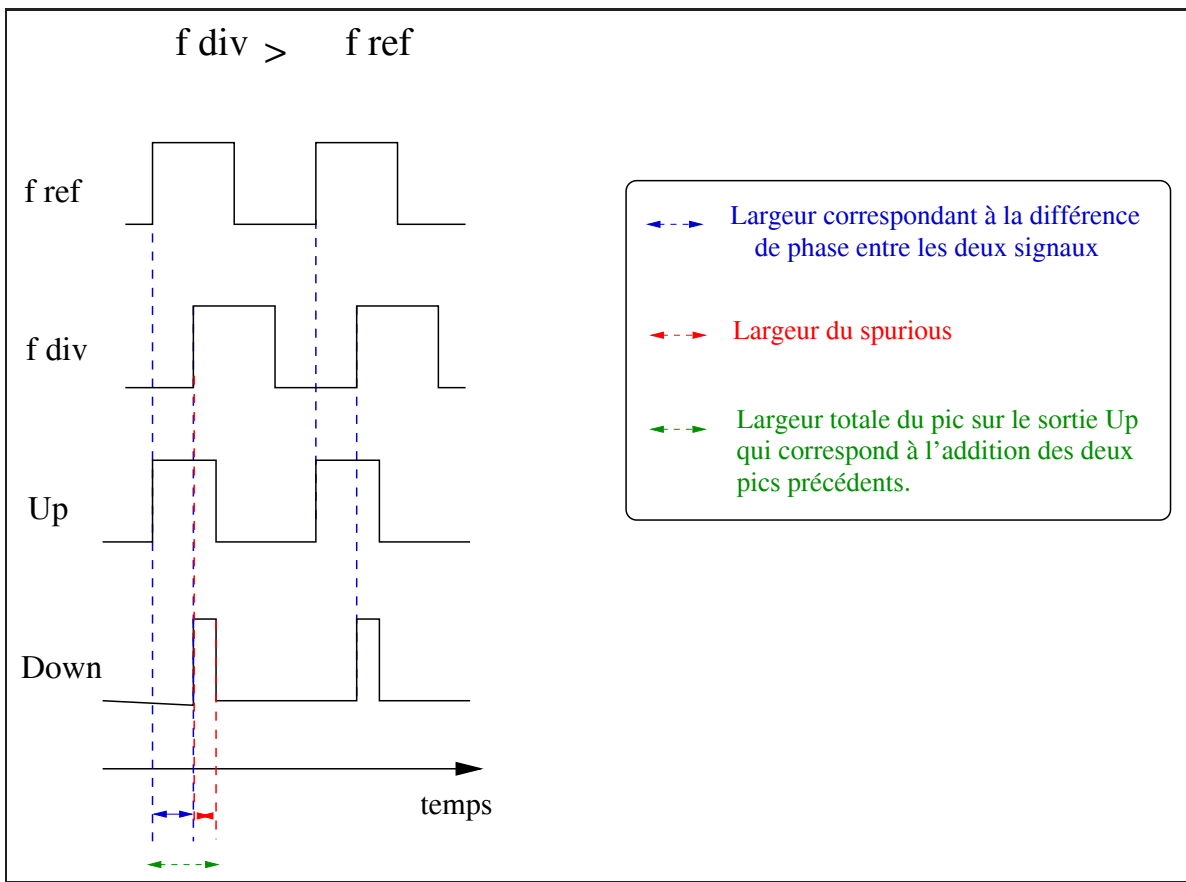


FIG. 3.20 – Chronogramme permettant d'observer la place des « spurious »

« spurious ». Le principe est le suivant : le pic parasite est élargi par un circuit délai placé après la porte ET. On peut alors considérer ce pic comme un signal avec de véritables états logiques bien définis. En prélevant le signal après ce délai et en le réinjectant dans des portes logiques OU exclusif avec les sorties **Up** et **Down** « parasitées », on réalise un filtrage qui permet d'obtenir une détection d'erreur de phase la plus juste possible. La figure 3.22 montre les résultats théoriques que l'on obtient en sortie du nouveau comparateur réagissant sur front descendant et la figure 3.23 présente la simulation avant et après filtrage.

Comme nous l'avons dit précédemment, lorsque la PLL va tendre vers l'équilibre, le déphasage va devenir de plus en plus faible et donc les états « hauts » proportionnels à ce déphasage vont devenir de plus en plus petits, ce qui implique qu'il va falloir mettre en place une pompe de charges et un filtre de boucle capable de transmettre l'information, aussi faible soit elle, au VCO. Cette nouvelle étape est un problème bien connu des concepteurs de synthétiseur de fréquence : la réalisation d'une pompe de charges très précise capable de charger et décharger le filtre en un minimum de temps présente des difficultés sur lesquelles nous nous sommes penchés.

3.2 Pompe de charges

Nous avons fait le choix d'une structure simple très symétrique avec des transistors MOS les plus petits possibles pour leur rapidité d'exécution, pour obtenir un courant de faible valeur dans le but de réaliser un filtre de boucle intégrable (capacité du filtre de valeur raisonnable) et pour minimiser les « overshoots » de courant lors des commutations c'est-à-dire la contribution en bruit de la pompe de charges dans la boucle. D'après les figures 3.1 et 3.2, on rappelle que la pompe de charges est un interrupteur de courant qui charge et décharge le filtre de boucle qui joue le rôle de convertisseur courant-tension pour le VCO.

3.2.1 Topologie de la pompe de charges

La figure 3.24 présente la pompe de charges réalisée en BiCMOS6G et en BiCMOS7 pour être intégrée par la suite dans les boucles à verrouillage de phase.

Les miroirs de courant N et P [15] doivent débiter des courants les plus constants et les plus égaux possible sur la plus large plage de tension qui sera la future tension de contrôle du VCO. Il s'agit de se rapprocher autant que possible de miroirs de courant idéaux.

3.2.1.1 Etude du miroir de courant utilisé

Un des blocs analogiques les plus utilisés est le miroir de courant [16]. Le miroir de courant utilise le principe suivant : si les potentiels grille-source de deux transistors MOS sont identiques, les courants de canal doivent être égaux dans la région de saturation (en toute rigueur si leur tension drain-source est également identique). La figure 3.25 présente l'implémentation d'un

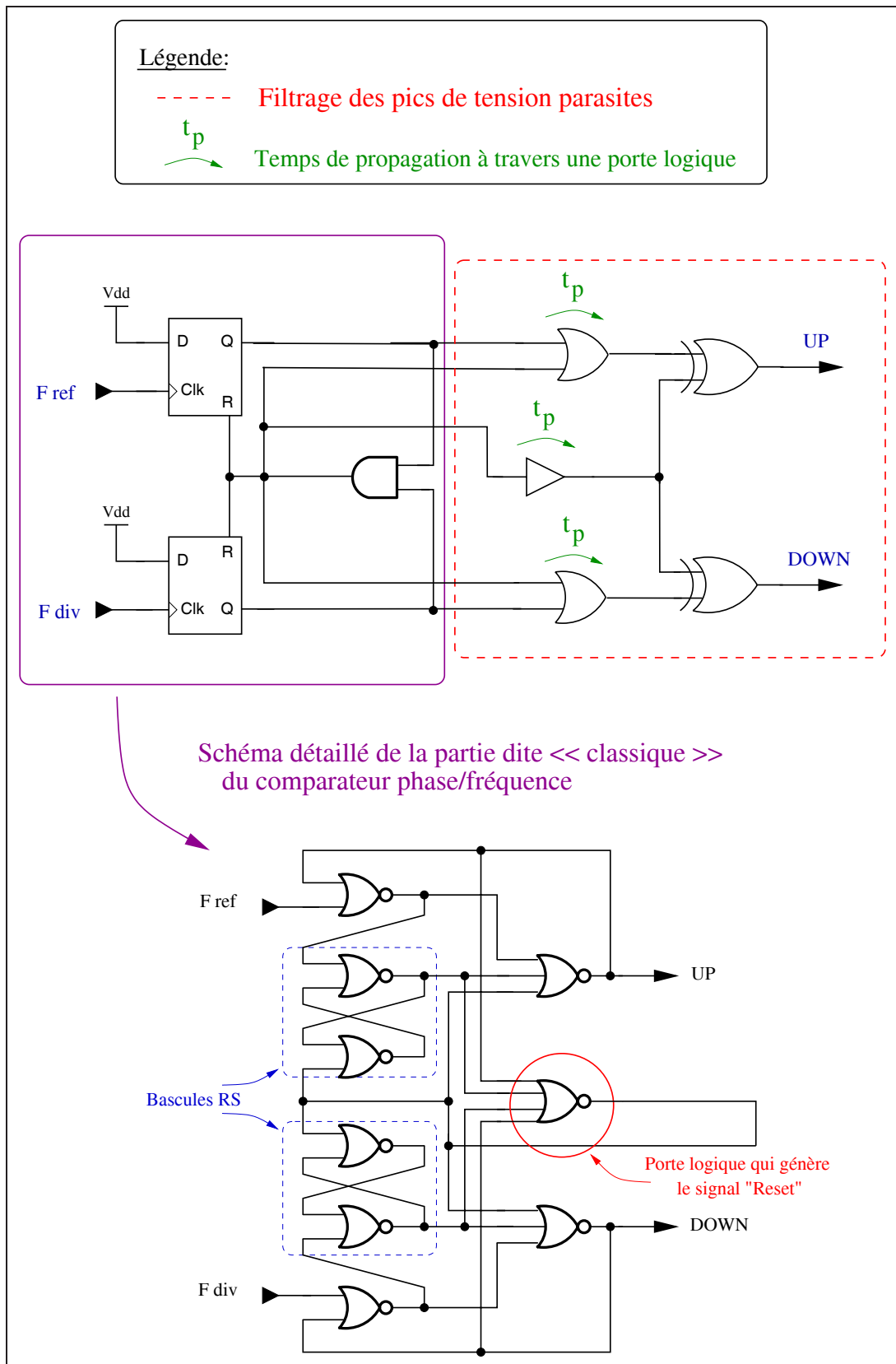


FIG. 3.21 – Optimisation de la topologie du PFD

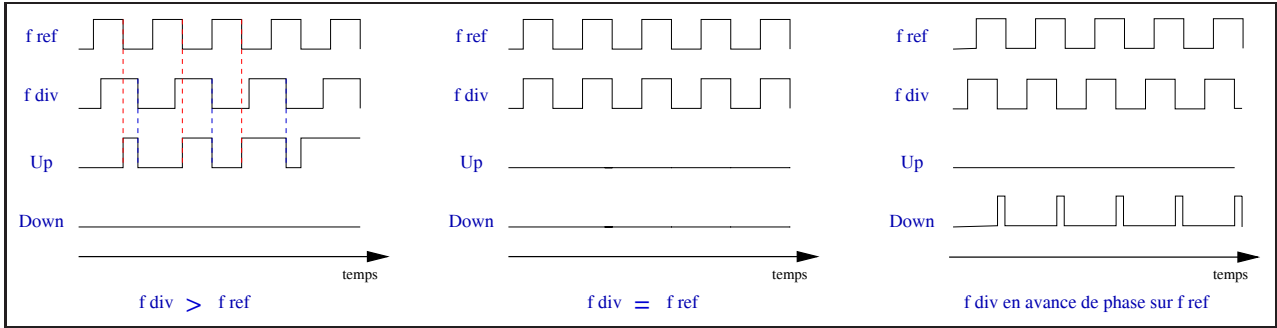


FIG. 3.22 – Chronogramme du nouveau PFD

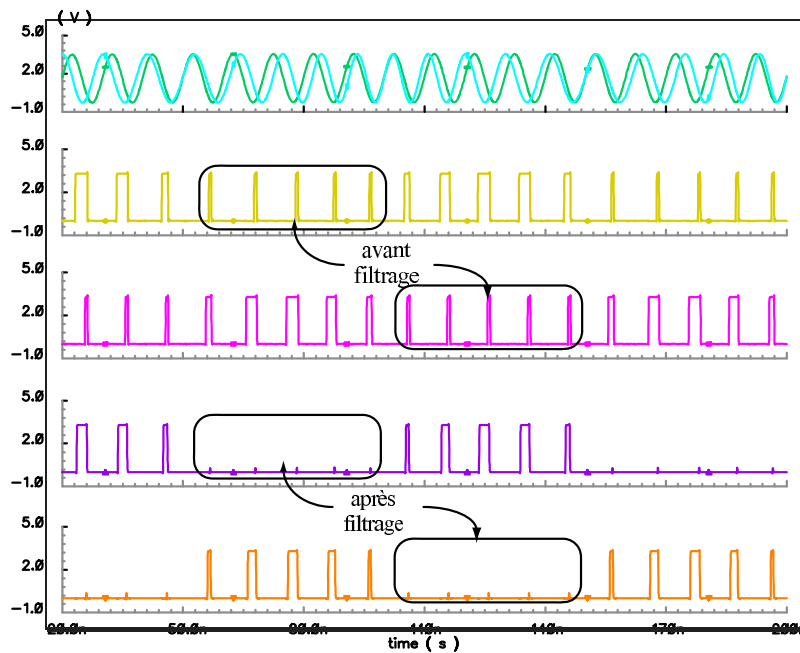


FIG. 3.23 – Simulation du nouveau PFD

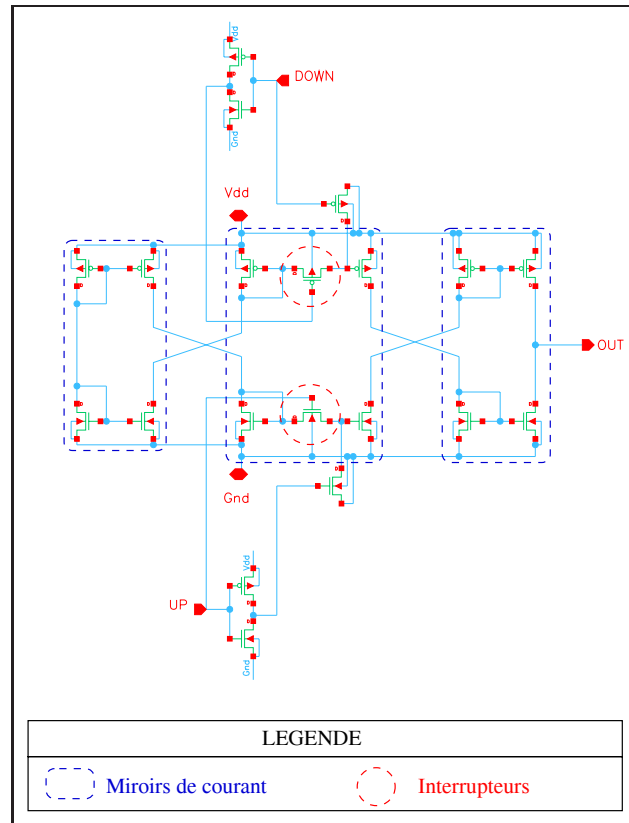


FIG. 3.24 – Schématique de la pompe de charges

miroir de courant canal N. Le courant I_{M0} est une source de courant d'entrée et I_0 est le courant de sortie, appelé aussi l'image de I_{M0} .

Nous pouvons déduire des équations du transistor MOS (cf. Annexe 1) que le courant image a une valeur très proche de celle du courant d'entrée, dans le cas où les deux transistors sont identiques. Nous pouvons aussi vérifier par ces équations que le rapport des dimensions de deux transistors détermine l'amplitude du courant de sortie.

En ce qui concerne cette partie du circuit, il est possible d'améliorer les performances de la pompe en intégrant des miroirs plus complexes comme les miroirs de courant de Wilson ou cascodés capables de débiter un courant plus constant en fonction de la tension drain-source appliquée (cf. figures 3.26 et 3.27) [17, 18, 19, 20, 21].

3.2.2 Simulation de la pompe de charges

Les figures 3.26 et 3.27 présentent les courants de sortie des miroirs de courant N et P des pompes de charges en BiCMOS6G et BiCMOS7.

On peut observer l'influence de l'impédance de sortie sur la pente des courants I_P et I_N . Sur le « plateau », les courants présentent des pentes qui sont fonctions de l'importance de l'effet résistif de l'impédance de sortie de la pompe de charges : cette résistance doit être la plus grande possible pour minimiser cette pente et donc pour obtenir des courants les plus constants

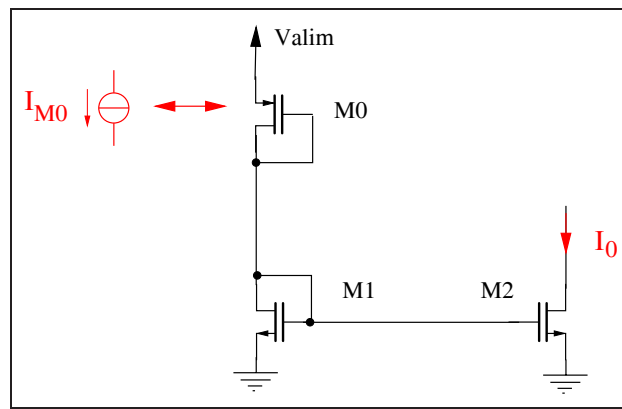


FIG. 3.25 – Miroir de courant

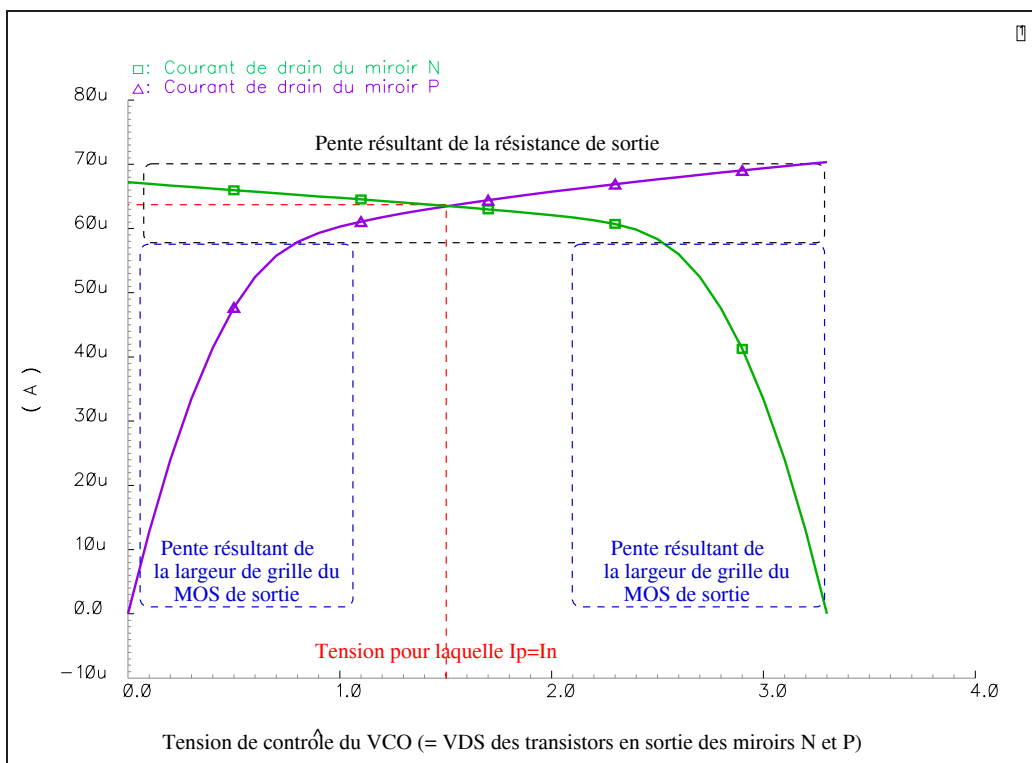


FIG. 3.26 – Caractéristique de la pompe de charges réalisée en technologie BiCMOS7

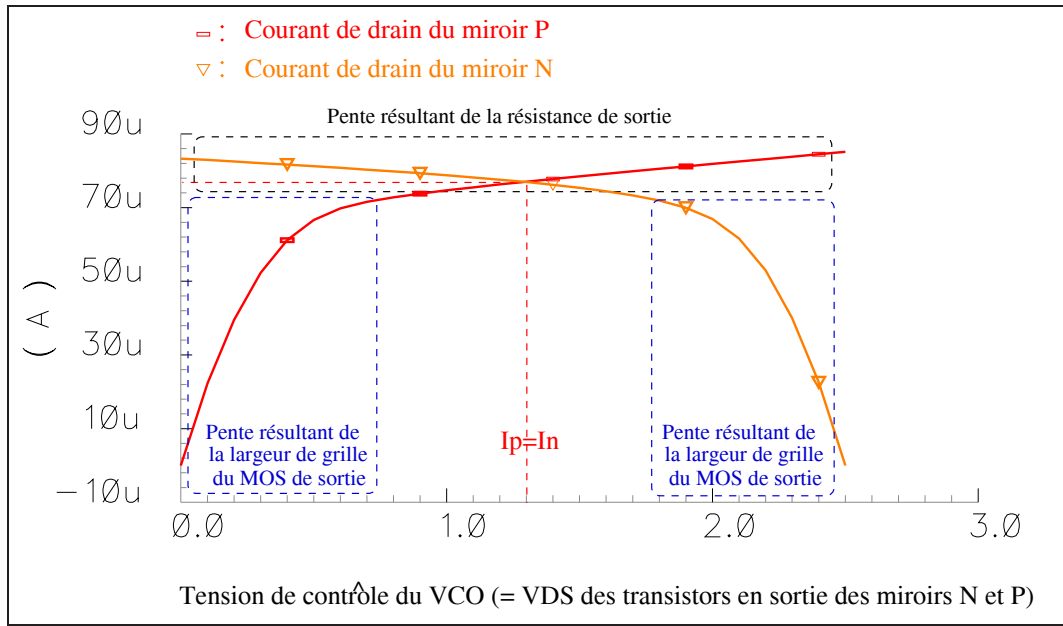


FIG. 3.27 – Caractéristique de la pompe de charges réalisée en technologie BiCMOS7

possibles sur la plage de tension de contrôle du VCO. Sur les extrémités de la plage de tension de contrôle, apparaît l'effet capacitif de l'impédance de sortie : cette capacité doit être la plus faible possible pour avoir accès à une plage de tension de contrôle la plus large possible. Ceci s'explique par l'équation du courant de drain à la sortie du miroir :

$$I_D = \frac{\mu_n C_{ox} W (V_{GS} - V_T)^2 (1 + \lambda V_{DS})}{2 L}$$

avec μ_n , mobilité des électrons, C_{ox} , capacité d'oxyde, W et L longueur et largeur de grille, et λ , facteur de modulation de la longueur de canal.

Si on calcule la pente $\frac{d I_D}{d V_{DS}}$, on peut observer les paramètres importants qui permettent d'atteindre la valeur nominale du courant de la pompe de charge :

$$\left| \frac{d I_D}{d V_{DS}} \right| = \lambda \frac{\mu_n C_{ox} W (V_{GS} - V_T)^2}{2 L V_{DS}^2}$$

Dans le cas d'un miroir avec des transistors NMOS, plus la largeur de grille présentée par le transistor de sortie est faible, plus la pente $\frac{d I_D}{d V_{DS}}$ pour des faibles valeurs de V_{DS} sera élevée, et par conséquent, plus vite le plateau du courant nominal de la pompe de charge sera atteint.

Notre étude s'est donc focalisée sur la diminution de l'effet capacitif en sortie en utilisant des MOS de très faibles dimensions.

De plus, la capacité du filtre perçoit des injections de charges parasites dues aux changements d'états des interrupteurs N et P. Ces injections, provenant des capacités des interrupteurs et des sources de courant MOS, sont d'autant plus diminuées que les courants sont faibles, ce qui

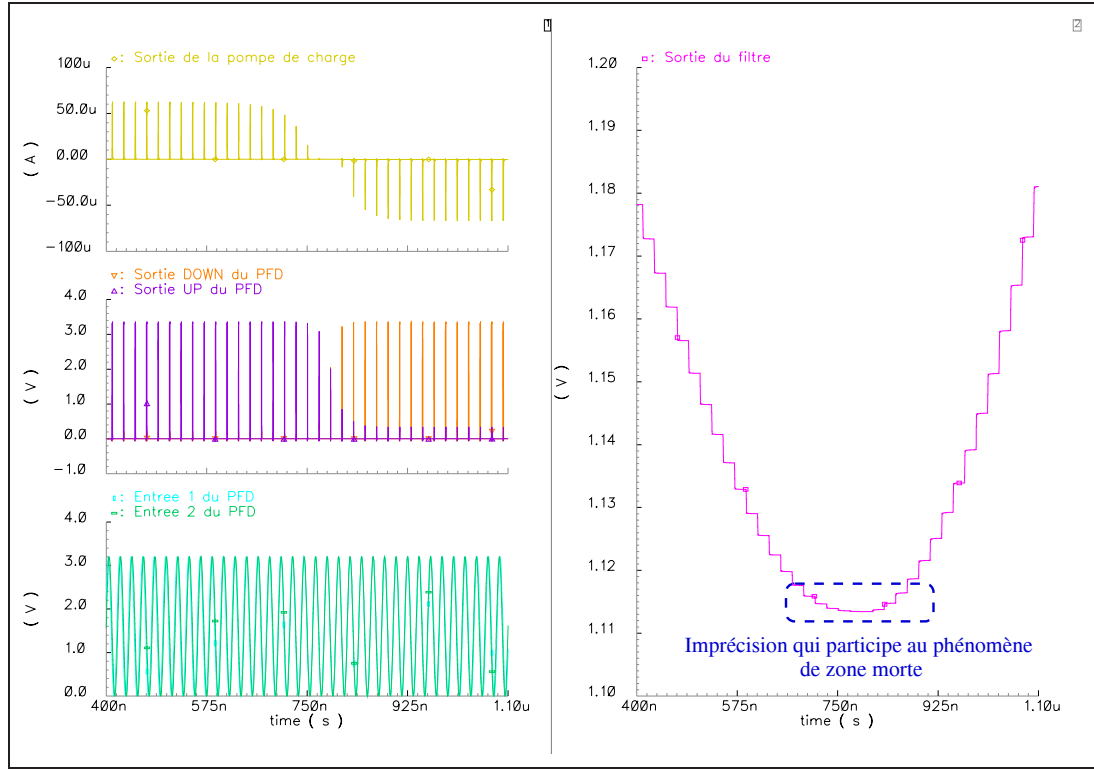


FIG. 3.28 – Simulation de la pompe de charges

ne fait que confirmer le choix de l'utilisation de transistors MOS de faibles dimensions.

Il est important de noter que lorsqu'on réduit l'effet capacitif en sortie, on augmente les overshoots de tension à la sortie du filtre car, d'après l'équation qui régit le courant de la pompe de charges,

$$I_{\text{pompe de charges}} = \frac{\Delta V_{\text{filtre}}}{\Delta t} \times C_{\text{filtre}} = \text{constante}$$

tous les termes sont dépendants les uns des autres.

Malgré toutes ces précautions, les courants I_P et I_N ne sont pas parfaitement identiques, la capacité en sortie de la pompe n'est pas nulle et la résistance de sortie n'est pas infinie: ceci contribue à augmenter la *zone morte* que l'on peut observer sur la figure 3.28.

L'étude des pompes de charges dans les deux technologie BiCMOS se poursuit par l'analyse en bruit en sortie de celles-ci (cf. figures 3.29 et 3.30). Lors de cette étude, nous avons considéré la PLL stabilisée d'un point de vue fréquentiel. Ce bruit est exprimé en $10 \log(A^2/\text{Hz})$. On peut noter que le niveau de bruit global est assez bon malgré l'utilisation de transistors MOS très petits et donc un niveau de bruit flicker élevé.

L'évaluation de la contribution en bruit de la pompe de charges dans la PLL sera plus explicite dans le chapitre IV où sont présentés le niveaux de bruit de tous les contributeurs.

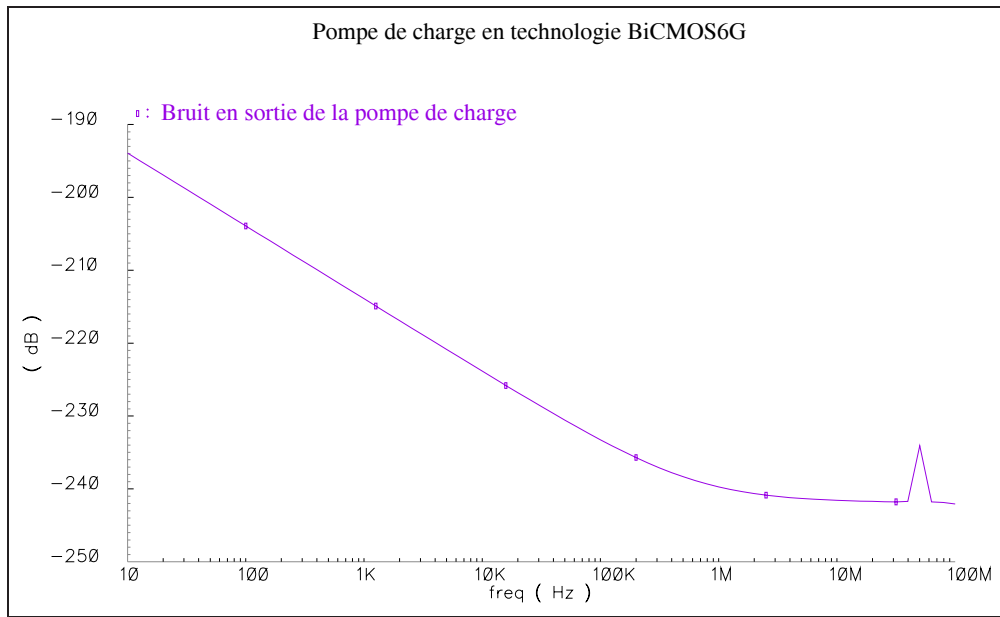


FIG. 3.29 – Simulation du bruit en sortie de la pompe de charges en technologie BiCMOS6G

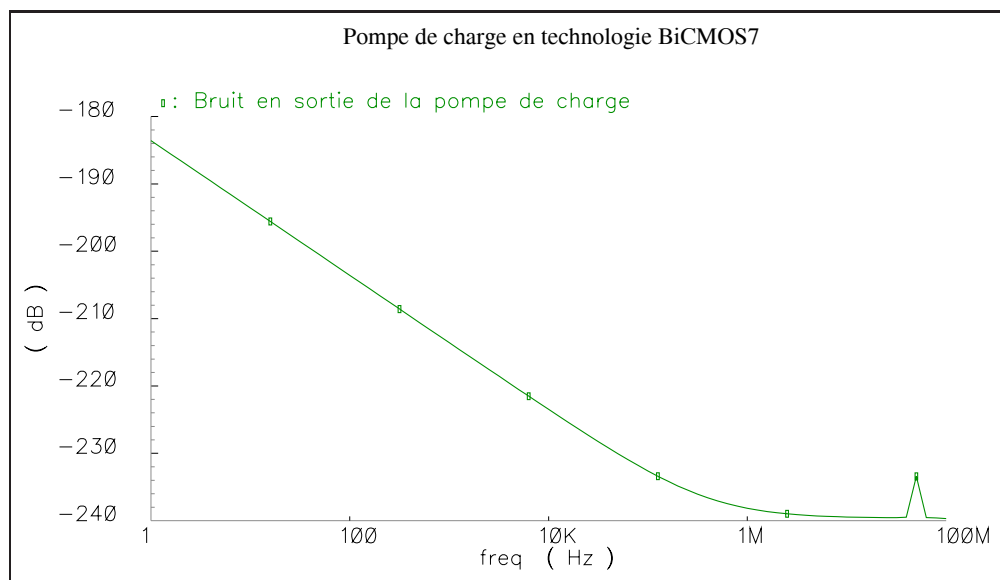


FIG. 3.30 – Simulation du bruit en sortie de la pompe de charges en technologie BiCMOS7

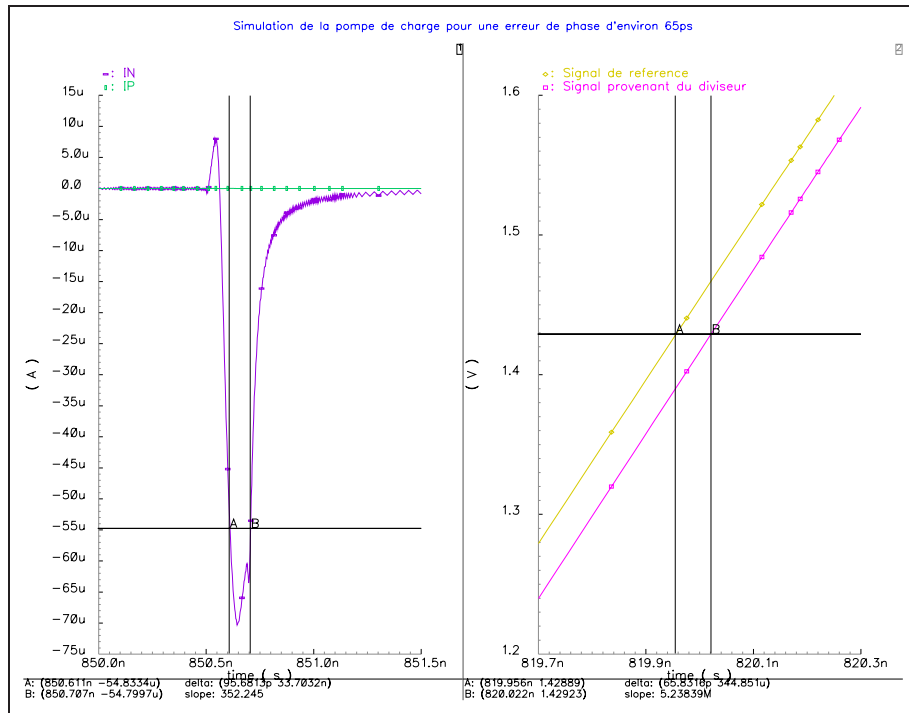


FIG. 3.31 – Simulation de la zone morte de la chaîne de détection de l'erreur de phase en technologie BiCMOS6G

3.3 Simulation et mesure du comparateur phase/fréquence et de la pompe de charges associés au filtre de boucle

Après avoir défini toutes les caractéristiques de la chaîne de détection [22, 23], on peut d'une part déterminer en simulation la *zone morte* et ensuite tracer la caractéristique de transfert pour chaque technologie BiCMOS. Pour les deux technologies, sachant que la fréquence de référence des deux PLLs est de 50 MHz, nous avons simulé une largeur de *zone morte* inférieure $2\pi/200$, c'est-à-dire 100 ps (cf. figures 3.31 et 3.32) : plus précisément, nous avons simulé le déphasage minimal capable d'être détecté et corrigé par la chaîne de « comparateur + pompe + filtre ». Tous les déphasages inférieurs à la valeur $2\pi/200$ ne seront pas corrigés.

Ce résultat implique que cette zone « morte » n'apparaît pas, car trop faible, sur les fonctions de transfert des deux comparateurs. (cf. figures 3.33 et 3.34).

Pour être mesuré, le comparateur phase/fréquence numérique et la pompe de charges ont été mis en série avec un filtre : cette combinaison permet théoriquement d'observer le comportement du comparateur et de la pompe pour n'importe quelle différence de fréquence ou de phase. Un signal de fréquence fixe est injecté sur l'entrée **A** (f_A) et un signal modulé autour de la fréquence f_A est appliqué sur l'entrée **B** (f_B), le but étant d'obtenir en sortie du filtre de boucle une oscillation de l'erreur de phase. Or, cette combinaison de circuits revient à faire une mesure en boucle ouverte de la PLL : le circuit n'étant pas parfaitement symétrique, on observe une dérive de la fonction de transfert $\overline{V_{out}}$ en fonction de la fréquence (cf fig 3.35).

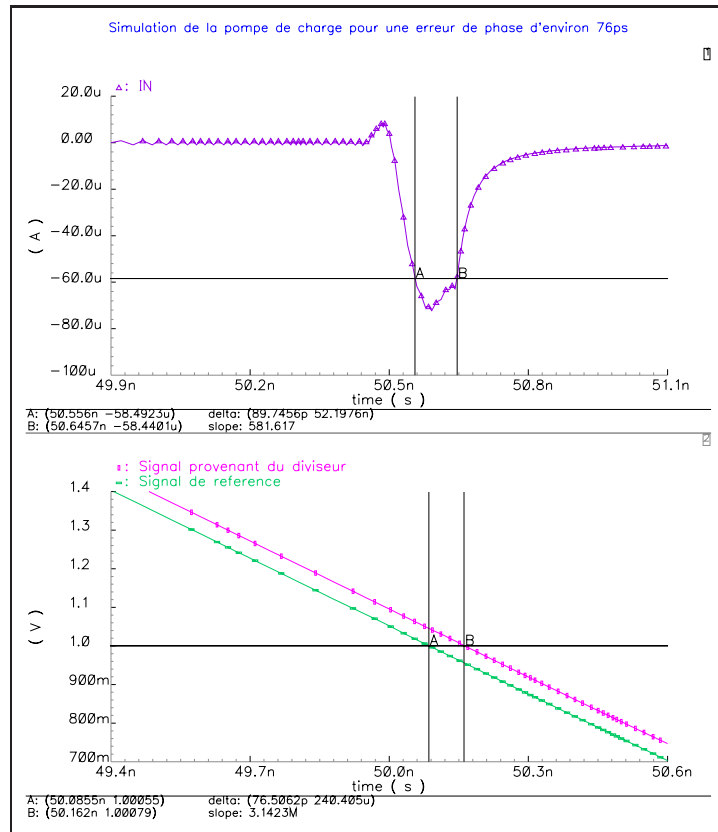


FIG. 3.32 – Simulation de la zone morte de la chaîne de détection de l'erreur de phase en technologie BiCMOS7

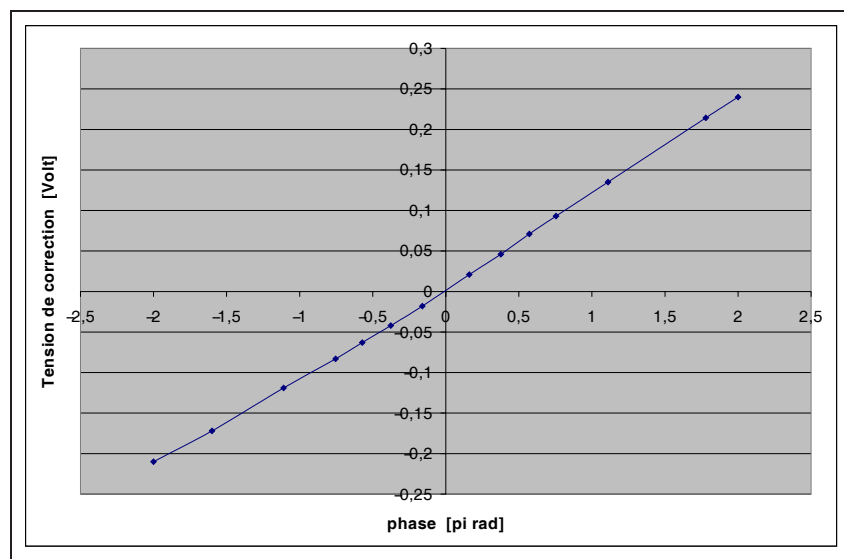


FIG. 3.33 – Simulation de la fonction de transfert de la chaîne de détection en technologie BiCMOS6G

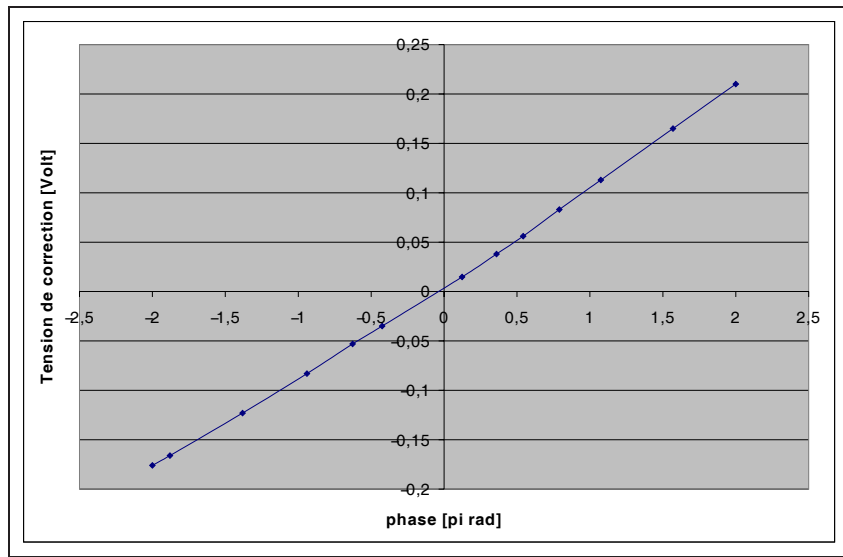


FIG. 3.34 – Simulation de la fonction de transfert de la chaîne de détection en technologie BiCMOS7

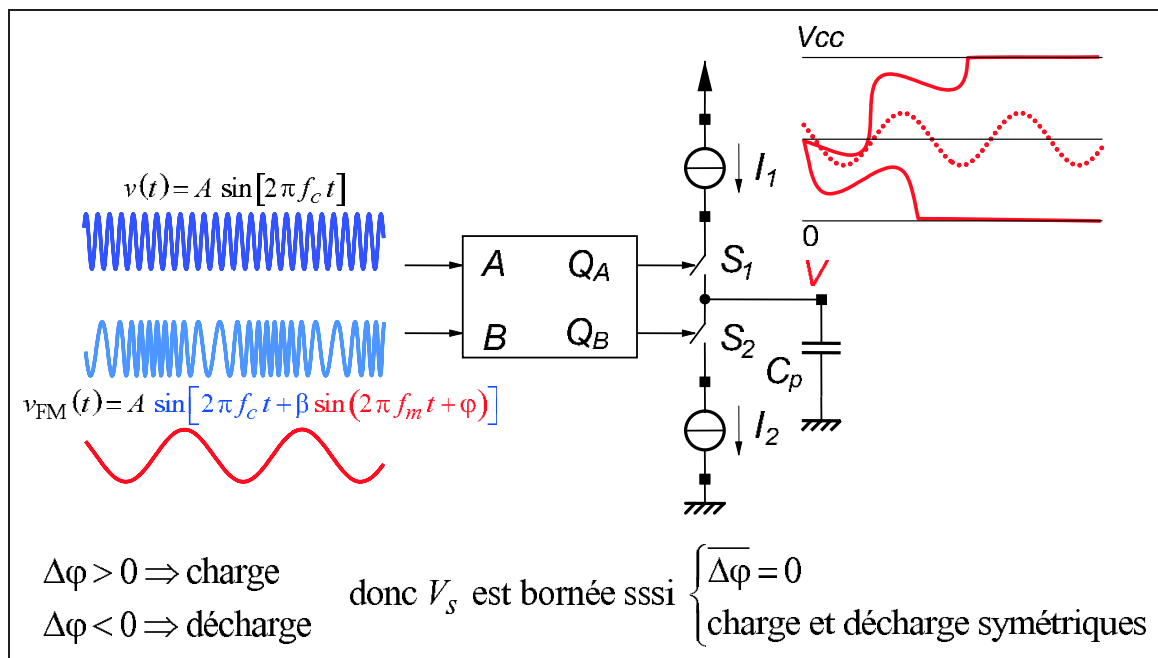


FIG. 3.35 – Illustration des problèmes de mesure rencontrés avec les comparateurs phase/fréquence

La solution à ce problème est de mesurer le comparateur en boucle fermée : par conséquent, une PLL est en cours de réalisation utilisant la technologie 0,35 μm de STMicroelectronics.

3.4 Conclusion

Nous avons détaillé le fonctionnement et la réalisation du comparateur phase/fréquence numérique et de la pompe de charges. L'inconvénient majeur de ces deux blocs correspond à l'inexactitude de l'information transmise sur l'erreur de fréquence ou de phase qui existe entre la sortie du diviseur de la boucle et la fréquence de référence. Le but a donc été d'optimiser la topologie de ces blocs, après analyse de leurs dysfonctionnement, pour améliorer le fonctionnement global de la PLL en travaillant sur la topologie même de ces circuits. Pour le comparateur phase/fréquence, l'étude des structures existantes nous a permis d'aboutir à l'évaluation d'un filtrage numérique capable de fournir à sa sortie un signal qui décrit le plus précisément possible l'erreur de phase entre le signal de référence et le signal en sortie du diviseur.

En ce qui concerne la pompe de charges, la description de tous ces paramètres, ainsi que leurs influences sur les performances du système nous a permis d'aboutir à une structure efficace et rapide.

L'association de ces blocs, modifiés et optimisés, nous permet donc d'obtenir une chaîne de détection de l'erreur de phase où la *zone morte* a été minimisée. La prochaine étape correspond à la mesure de la PLL pour démontrer les avantages de l'introduction de ces deux fonctions dans les synthétiseurs de fréquence hyperfréquences.

Bibliographie

- [1] C. Sharpe, « A 3-state phase detector can improve your nest pll design », *EDN*, pp. 55–59, september 1976. 3
- [2] F. Gardner, « Charge-pump phase-lock loops », *IEEE Trans.on Communications*, vol. tome COM-28, pp. 1849–1858, novembre 1980. 3
- [3] M. V. Paemel, « Analysis of a charge pump pll: a new model », *IEEE Transactions on Communications*, vol. tome 42, pp. 2490–2498, july 1994. 3
- [4] Y. L. . G. B. C.D. Hedayat, A. Hachem, « High-level modeling applied to the second-order charge-pump pll circuit », *Texas Instrument Technical Journal*, vol. 14, april 1997. 3
- [5] Y. L. . G. B. C.D. Hedayat, A. Hachem, « Modeling and Characterization of the 3rd order charge-pump pll: a fully event-driven approach », *Analog Integrated Circuits and Signal Processing*, vol. 19, pp. 25–45, april 1999. 3

- [6] M. MANSURI, D. LIU, and C.-K. K. YANG, « Fast Frequency Acquisition Phase-Frequency Detectors for GSamples/s Phase-Locked Loops », *IEEE journal of Solid-State Circuits*, vol. 37, pp. 1331–1334, october 2002. [3.1](#)
- [7] F. de Dieuleveult, « Electronique appliquée aux hautes fréquences », DUNOD, 1999. [3.1.1](#)
- [8] D.-H. Kim and J.-K. Kang, « A 1.0Gps Clock and Data Recovery Circuit with Two-XOR Phase-Frequency Detector », *ASICs 2000 - Proceedings of the 2nd IEEE Asia Pacific Conference*, pp. 199–202, august 2000. [3.1.2.1](#)
- [9] Y. CHEN, C. H. TU, and J. WU, « A CMOS Phase/Frequency Detector With a High-Speed Low-Power D-Type Master-Slave Flip-Flop », *Circuits and Systems 2002 - MWSCAS 2002 - The 2002 45th Midwest Symposium*, vol. 3, pp. 389–392, august 2002. [3.1.2.4](#)
- [10] G. B. Lee, P. K. Chan, and L. Siek, « A CMOS Phase Frequency Detector for Charge Pump Phase-Locked Loop », *Circuits and Systems 1999 - 42nd Midwest Symposium*, vol. 2, pp. 601–604, august 1999. [3.1.2.4](#)
- [11] R.-F. Liu, Y.-M. Li, and H.-Y. Chen, « A fully Symmetrical PFD for Fast Locking Low Jitter PLL », *ASIC 2003 - Proceedings of the 5th International Conference*, vol. 2, pp. 725–727, october 2003. [3.1.2.4](#)
- [12] W.-H. Lee, J.-D. Cho, and S.-D. Lee, « A High Speed and Low Power Phase- Frequency Detector and Charge-pump », *Design Automation Conference 1999 - Proceedings of the ASP-DAC '99 Asia and South Pacific*, vol. 1, pp. 269–272, january 1999. [3.1.2.4](#)
- [13] K.-H. Cheng, T.-H. Yao, S.-Y. Jiang, and W.-B. Yang, « A Difference Detector PFD For Low Jitter PLL », *Electronics Circuits and Systems 2001 - ICECS 2001 - The 8th IEEE International Conference*, vol. 1, pp. 43–46, september 2001. [3.1.4](#)
- [14] M. SIE, G. CIBIEL, E. TOURNIER, R. PLANA, and J. GRAFFEUIL, « High-Speed, Spurious-Free Sequential Phase Frequency Detector and Dual-Modulus Prescalers for RF Frequency Synthesis », *IEEE Radio Frequency Integrated Circuits Symposium*, pp. 679–682, 2003. [3.1.4.1](#)
- [15] E. J. HERNANDEZ and A. D. SANCHEZ, « Positive Feedback CMOS Charge-Pump Circuits for PLL Applications », *Circuits and Systems 2001 - MWSCAS 2001 - Proceedings of the 44th IEEE 2001*, vol. 2, pp. 836–839, august 2001. [3.2.1](#)
- [16] W. RHEE, « Design of High-Performance CMOS Charge Pumps in Phase-Locked Loops », *Circuits and Systems 1999 - ISCAS '99 - Proceedings of the 1999 IEEE International Symposium*, vol. 2, pp. 545–548, may 1999. [3.2.1.1](#)
- [17] R. A. BAKI and M. N. EL-GAMAL, « A Nex CMOS Charge Pump For Low-Voltage (1V) High-Speed PLL Applications », *Circuits and Systems 2003 - ISCAS '03 - Proceedings of the 2003 IEEE International Symposium*, vol. 1, pp. 657–660, 2003. [3.2.1.1](#)
- [18] J.-T. WU and K.-L. CHANG, « MOS Charge Pumps for Low-Voltage Operation », *IEEE journal of Solid-State Circuits*, vol. 33, pp. 592–597, april 1998. [3.2.1.1](#)

- [19] C.-C. WANG and J.-C. WU, « Efficiency Improvement in Charge Pump Circuits », *IEEE journal of Solid-State Circuits*, vol. 32, pp. 852–860, june 1997. [3.2.1.1](#)
- [20] W. RHEE, « Design of Low-Jitter 1-GHz Phase-Locked Loops For Digital Clock Generation », *Circuits and Systems 1999 - ISCAS '99 - Proceedings of the 1999 IEEE International Symposium*, vol. 2, pp. 520–523, may 1999. [3.2.1.1](#)
- [21] Y.-S. LEE, T.-S. CHEUNG, and W.-Y. CHOI, « A Novel Charge Pump PLL with Reduced Jitter Characteristics », *VLSI and CAD*, pp. 596–598, 1999. [3.2.1.1](#)
- [22] D. SAHU, « A Completely Integrated Low Jitter CMOS PLL for Analog Front Ends in System on Chip Environment », *Proceedings of the 15th International Conference on VLSI Design - VLSID'02*, 2002. [3.3](#)
- [23] K.-H. CHENG, W.-B. YANG, and C.-M. YING, « A Dual-Slope Phase Frequency Detector and Charge Pump Architecture to Achieve Fast Locking of Phase-Locked Loop », *IEEE Transactions On Circuits and Systems - II: Analog and Digital Signal Processing*, vol. 50, pp. 892–896, november 2003. [3.3](#)

Chapitre 4

La boucle à verrouillage de phase intégrée

COMME NOUS AVONS PU L'EXPOSER DANS LE CHAPITRE I , la fonction d'un circuit à boucle de réaction à verrouillage de phase est de comparer, en fréquence et en phase, la sortie d'un oscillateur, à fréquence accordée par la tension (VCO), à celle d'un oscillateur de référence à fréquence fixe qui n'est autre qu'un quartz dont la fréquence ne peut excéder 100 MHz. Parmi les applications comme le décodage de tonalité, la démodulation des signaux MA et MF, la synchronisation d'impulsion et la régénération de signaux, on retrouve la multiplication de fréquence associée aux émetteurs/récepteurs dans les applications de type Radar (10 GHz) ou Serdes (20 GHz). En effet, les nouvelles applications utilisent les ondes hyperfréquences. Les diverses raisons qui incitent à l'utilisation d'ondes courtes, peuvent être illustrées par l'exemple de la détection radar, dont le principe est d'illuminer une « cible » par des impulsions électromagnétiques pour en récupérer l'écho. Tout d'abord, il y a la concentration de l'énergie rayonnée : plus la longueur de l'onde est faible par rapport aux dimensions de l'aérien, plus le faisceau est étroit, c'est-à-dire meilleure est la directivité de l'onde et donc sa « précision ». Le second point est tout simplement lié au fait que les obstacles de faibles dimensions ne peuvent être détectés que si leurs dimensions sont au moins comparables à la longueur d'onde, sinon l'énergie rayonnée devient trop faible. Pour déceler des éléments de petite taille, les micro-ondes sont donc appropriées. D'une façon générale, les micro-ondes sont appréciées pour leur large bande passante, leur résolution spatiale élevée et leur grande immunité aux interférences.

Après avoir exposé la modélisation de la PLL dans le chapitre I, détaillé le diviseur numérique, le détecteur phase/fréquence et la pompe de charge dans les chapitres II et III, nous allons aborder l'assemblage de ces blocs pour réaliser la synthèse de fréquence à deux fréquences, l'une à 10 GHz avec une technologie BiCMOS 0,35 μm (BiCMOS6G), et l'autre à 20 GHz avec une technologie BiCMOS 0,25 μm , en précisant le bruit de phase résiduel de chacun des systèmes [1]. Ces travaux de conception ont été envisageable grâce à la participation de l'entreprise STMicroelectronics qui a fourni les deux technologies en question. Les deux synthétiseurs sont des boucles à verrouillage de phase à division entière dont le schéma est rappelé sur la figure 4.1.

4.1 Synthétiseur de fréquence à 10 GHz

Le synthétiseur de fréquence à 10 GHz est basée sur une boucle à verrouillage de phase d'ordre 4 à retour non-unitaire conçue avec la technologie BiCMOS 0,35 μm de la société STMicroelectronics (BiCMOS6G) (cf. figure 4.2). Les blocs présentés dans le chapitre II et III sont intégrés dans la boucle, seuls le VCO et le filtre d'ordre 3 sont détaillés ci-après.

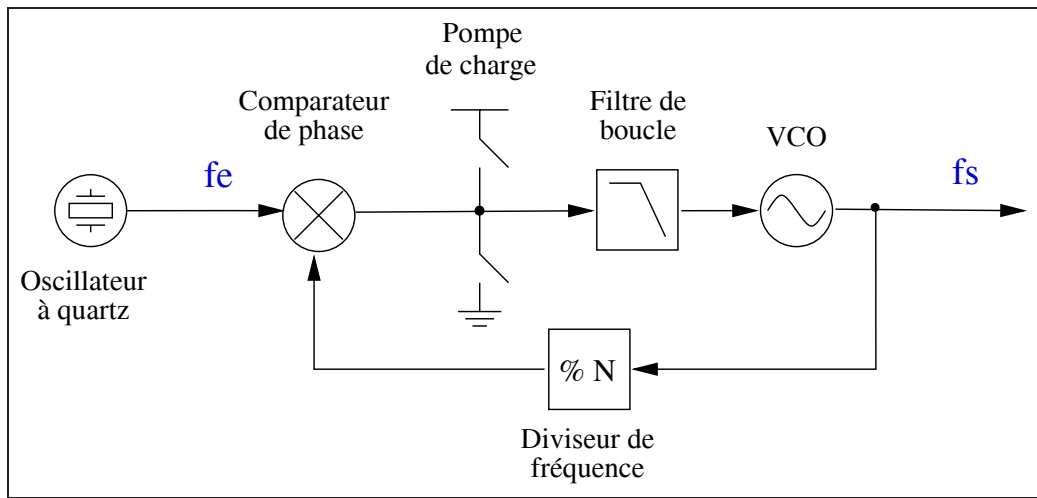


FIG. 4.1 – Schéma de la boucle à verrouillage de phase à division entière

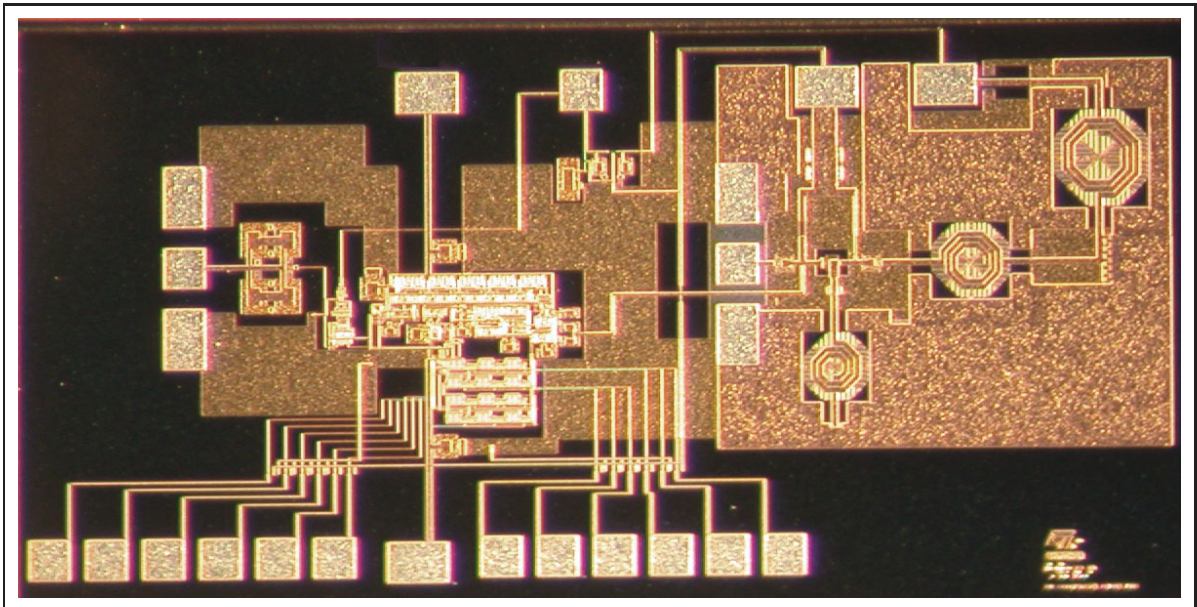


FIG. 4.2 – Photographie de la PLL à 10 GHz ($1130\mu\text{m} \times 2980\mu\text{m}$)

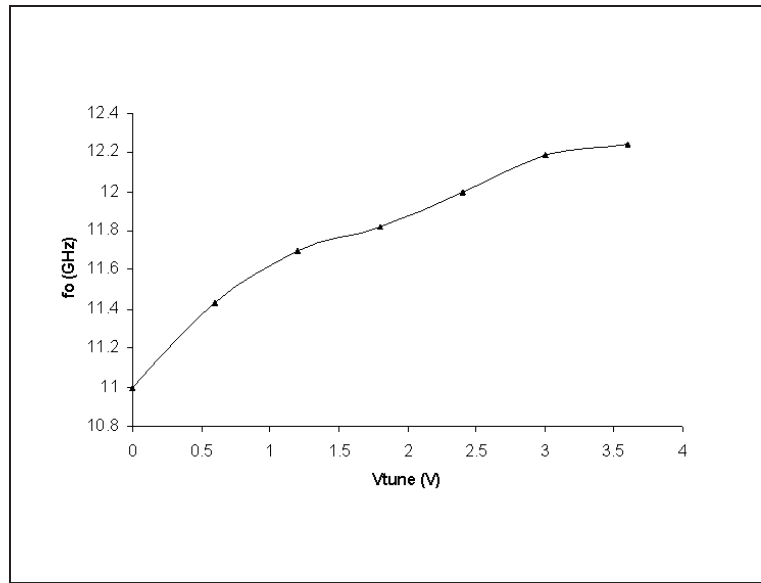


FIG. 4.3 – Mesure de la fréquence d'oscillation en fonction de la tension de réglage

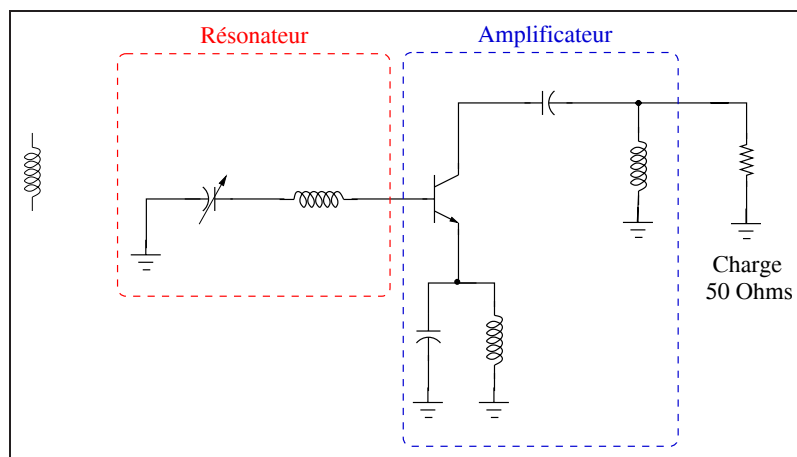


FIG. 4.4 – Schéma du VCO série fonctionnant jusqu'à 11 GHz

4.1.1 Oscillateur contrôlé en tension série

La conception et l'étude de l'oscillateur contrôlé en tension (ou **VCO**, Voltage Controlled Oscillator) pour la PLL à 10 GHz ont été menés par Mlle Wah Wong [2]. Le circuit implémenté est un oscillateur contrôlé en tension série. Il présente une fréquence intermédiaire d'oscillation de 11 GHz pour une tension de contrôle de 0 V et une plage de réglage de fréquence de 1,2 GHz lorsque la commande en tension varie de 0 à 3,6 V (cf. figure 4.3).

Lors de son intégration dans la PLL, l'isolation à l'entrée du VCO est nécessaire pour éviter le retour des oscillations sur la tension de commande qui peuvent rendre la boucle instable. La solution proposée est d'alimenter le varactor avec une résistance de valeur suffisamment élevée afin de dissiper la puissance dynamique et d'améliorer la stabilité.

La topologie est présentée sur la figure 4.4.

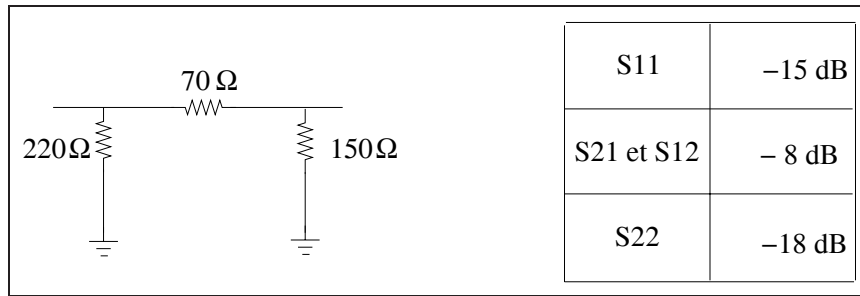


FIG. 4.5 – Réseau d'atténuation passif et caractéristiques à 11 GHz

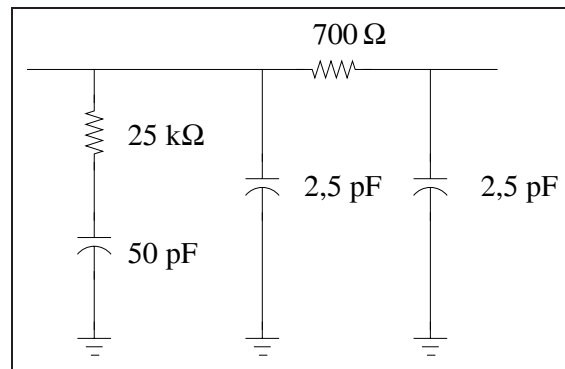


FIG. 4.6 – Filtre de boucle du troisième ordre pour la PLL à 10 GHz

Toujours dans l'objectif d'isoler le VCO, pour maintenant limiter le « pulling¹ », un atténuateur présenté sur la figure 4.5 a été placé à sa sortie.

Le diviseur numérique présente une forte impédance d'entrée, ce qui ne modifie pas les conditions de charge du VCO.

L'atténuateur permet de réduire de 16 dB les puissances réfléchies sur le VCO par transmission directe et inverse au travers de l'atténuateur.

4.1.2 Filtre de boucle d'ordre 3

Sur la figure 4.7, nous présentons le gain et la phase en boucle ouverte de la PLL obtenus pour les valeurs du filtre figurant sur la figure 4.6, calculées à partir des équations du chapitre I. On peut observer sur cette même figure la marge de phase qui est de l'ordre de 57 degrés, ainsi que la bande fréquentielle de la boucle qui vaut approximativement 408 kHz. On rappelle tous les paramètres de la boucle nécessaires à ces calculs :

- Fréquence de référence : 50 MHz
- Facteur de division : 200
- Courant de la pompe de charge : $68\ \mu\text{A}$
- Gain du VCO : $330\ \text{MHz}\cdot\text{V}^{-1}$

La consommation du synthétiseur complet à 10 GHz est d'environ 87 mA.

1. Le pulling représente la variation de fréquence entraînée par une variation de charge en sortie du VCO

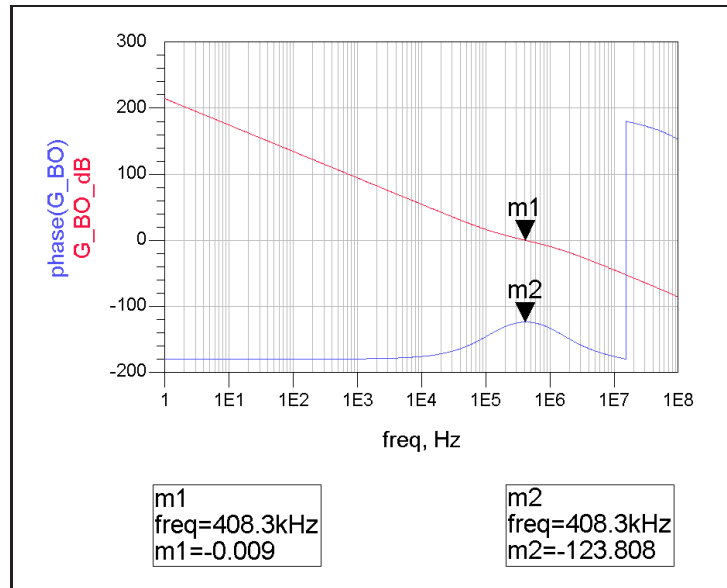


FIG. 4.7 – Filtre de boucle du troisième ordre pour la PLL à 10 GHz

4.1.3 Profil du bruit de phase de la PLL à 10 GHz

Sur le graphe 4.8, les courbes de bruit de phase de chaque bloc ont été rassemblées. Après avoir appliqué les fonctions de transfert adéquates sur le bruit de phase obtenu en sortie de chaque bloc, fonctions présentées dans le chapitre I, nous pouvons en déduire le profil de bruit de phase de la PLL comme le montre la figure 4.9. Cette dernière figure nous permet de noter les contributeurs principaux avant et après la fréquence de coupure de la boucle : la contribution en bruit de phase de la pompe de charge est la plus importante dans la bande de fonctionnement de la PLL ; ceci s'explique, comme nous l'avons indiqué dans le chapitre III, par l'utilisation de transistors de très faible taille et donc très bruyants qui permettent d'obtenir un courant de pompe de charge de faible valeur, et par conséquent, de permettre l'intégration du filtre de boucle composés d'éléments passifs de valeurs raisonnables. Mais, d'après la littérature [3, 4, 5, 6], les résultats de bruit de phase résiduel du synthétiseur à 10 GHz sont similaires à ceux que l'on peut trouver à l'état de l'art.

4.2 Synthétiseur de fréquence à 20 GHz

Le synthétiseur de fréquence à 20 GHz est basée sur une boucle à verrouillage de phase d'ordre 4 à retour non-unitaire conçue avec la technologie BiCMOS 0,25 μm de la société STMicroelectronics (BiCMOS7) (cf. figure 4.10). Comme pour la PLL à 10 GHz, les blocs présentés dans le chapitre II et III sont intégrés dans la boucle, seuls le VCO et le filtre d'ordre 3 sont détaillés ci-après.

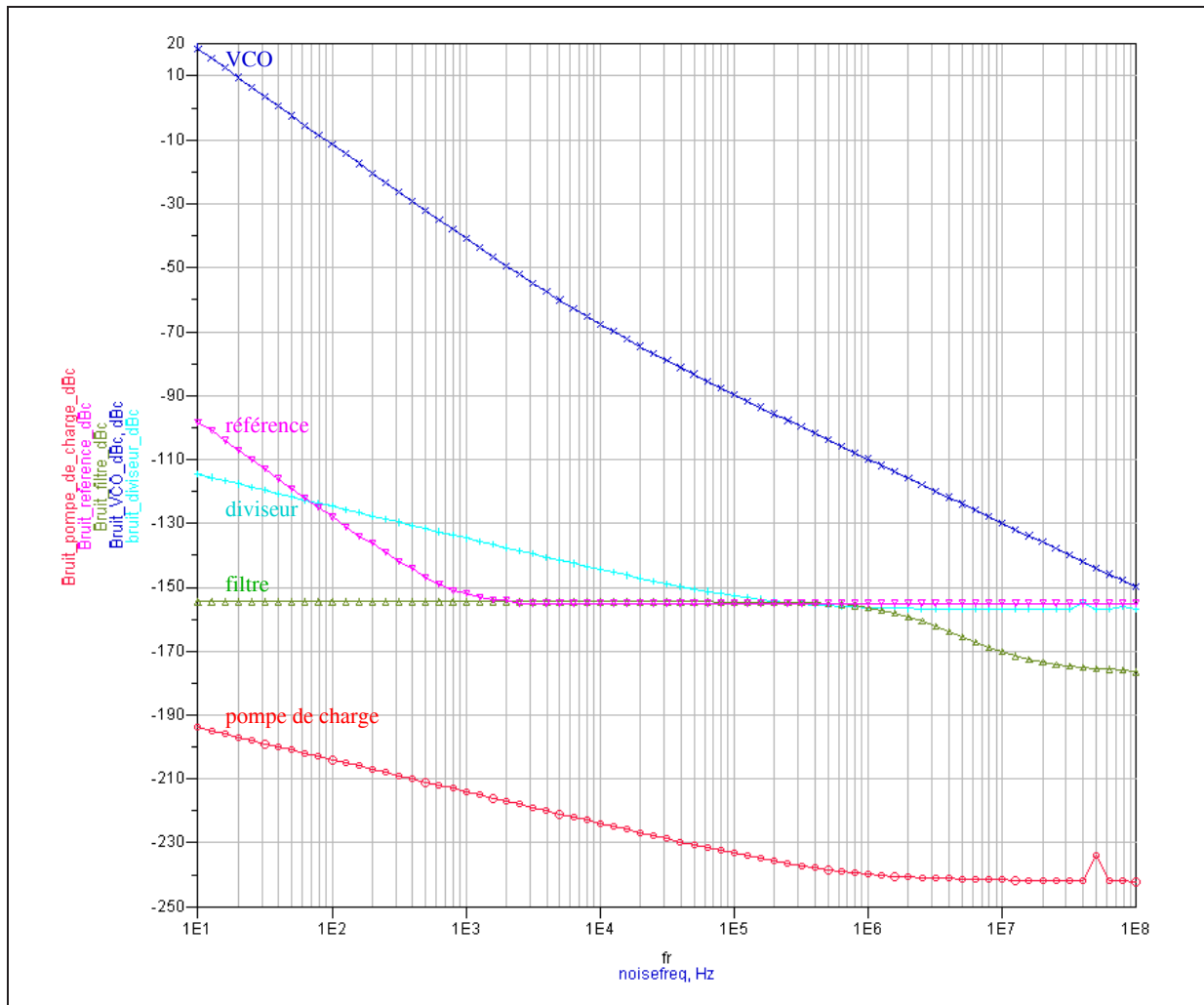


FIG. 4.8 – Courbes de bruit de phase en sortie de chaque bloc constituant la PLL

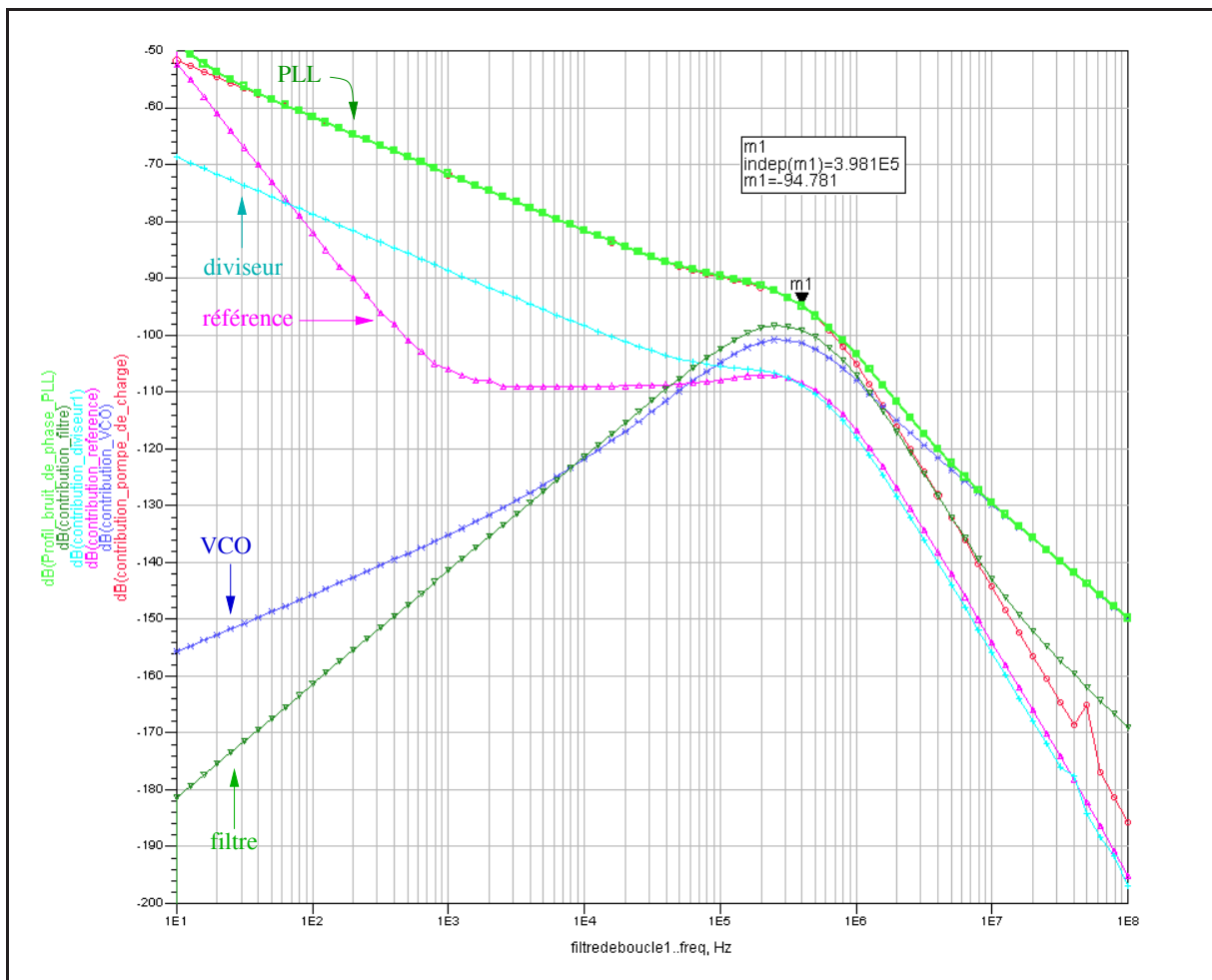


FIG. 4.9 – Profil de bruit de phase en sortie de la PLL

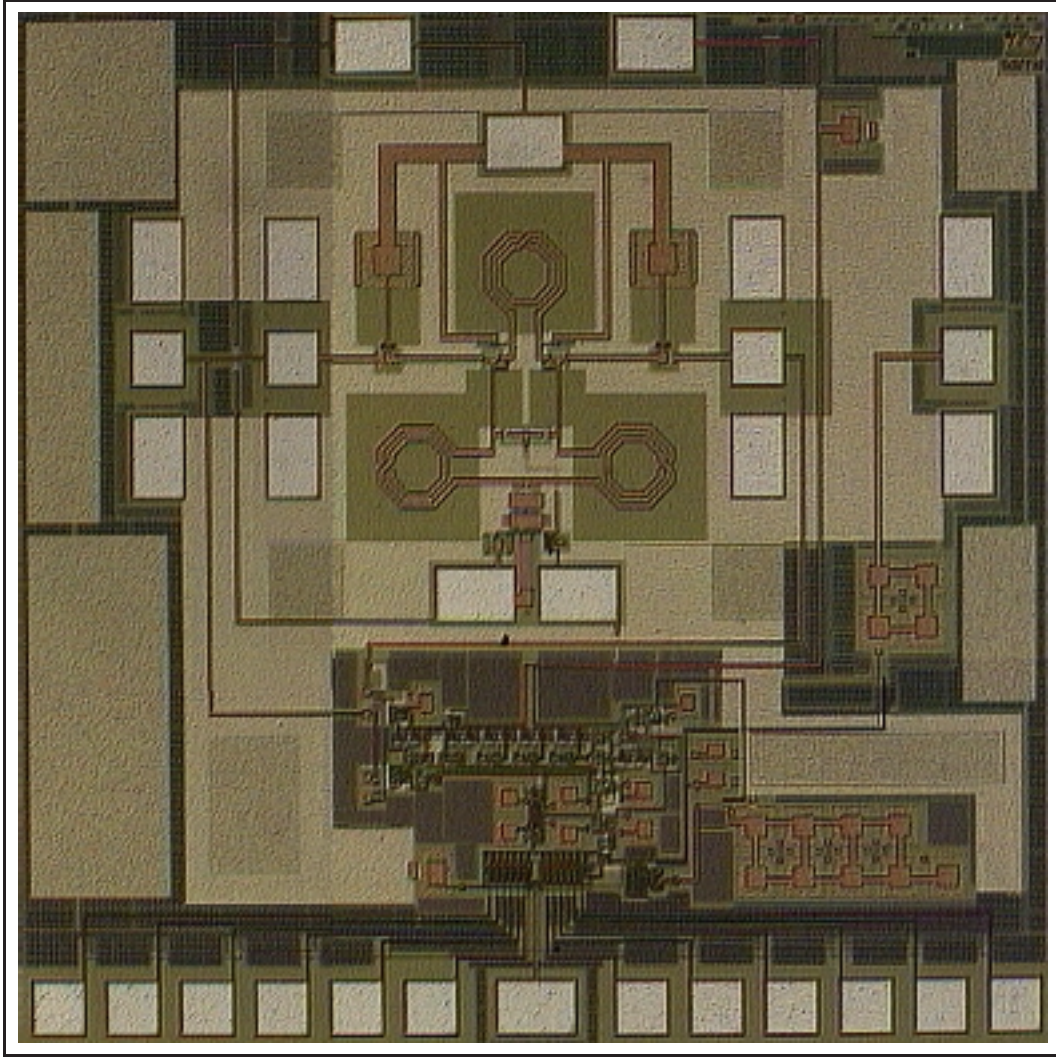


FIG. 4.10 – Microphotographie de la PLL à 20 GHz ($1800 \mu\text{m} \times 1950 \mu\text{m}$)

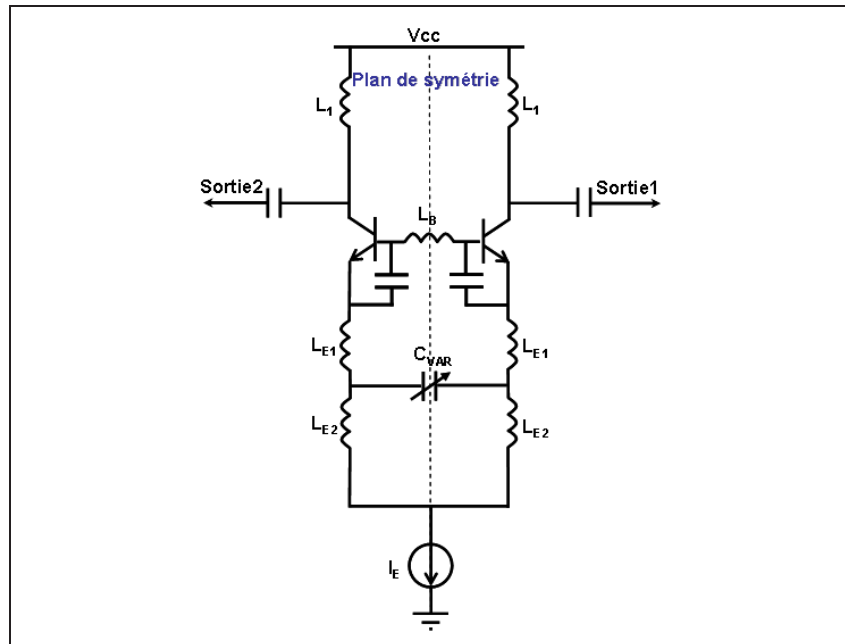


FIG. 4.11 – Schéma du VCO différentiel fonctionnant jusqu'à 19 GHz

4.2.1 Oscillateur contrôlé en tension différentiel

Comme pour le VCO réalisé en technologie BiCMOS6G, le VCO pour la PLL à 20 GHz en technologie $0,25 \mu\text{m}$ (BiCMOS7) a été réalisé par Mlle Wah Wong. La topologie « push-push » (cf. figure 4.11) a été retenue pour nous permettre d'utiliser des éléments actifs de tailles plus importantes, ce qui nous permet d'avoir des transistors moins bruyants. La structure différentielle de ce VCO permet d'associer les avantages en terme de robustesse vis-à-vis des parasites électromagnétiques et les performances fréquentielles. Pour une tension de contrôle de 0 à 2,5 V, la fréquence est variable de 19 à 17,1 GHz pour une puissance de sortie variant de -7 à -5 dBm (cf. figure 4.12). Le bruit de phase relevé est de -90 dBc/Hz à 100 kHz de la porteuse et de -110 dBc/Hz à 1 MHz (cf. figure 4.13).

4.2.2 Filtre de boucle d'ordre 3

Sur la figure 4.15, nous présentons le gain et la phase en boucle ouverte de la PLL obtenus pour les valeurs du filtre figurant sur la figure 4.14, calculées à partir des équations du chapitre I. On peut observer sur cette même figure la marge de phase qui est de l'ordre de 52 degrés, ainsi que la bande fréquentielle de la boucle qui vaut approximativement 422 kHz.

Les précautions prises dans ce circuit pour isoler le VCO sont les mêmes que pour la PLL en technologie BiCMOS6G.

On rappelle tous les paramètres de la boucle nécessaires à ces calculs :

- Fréquence de référence : 50 MHz
- Facteur de division : 400

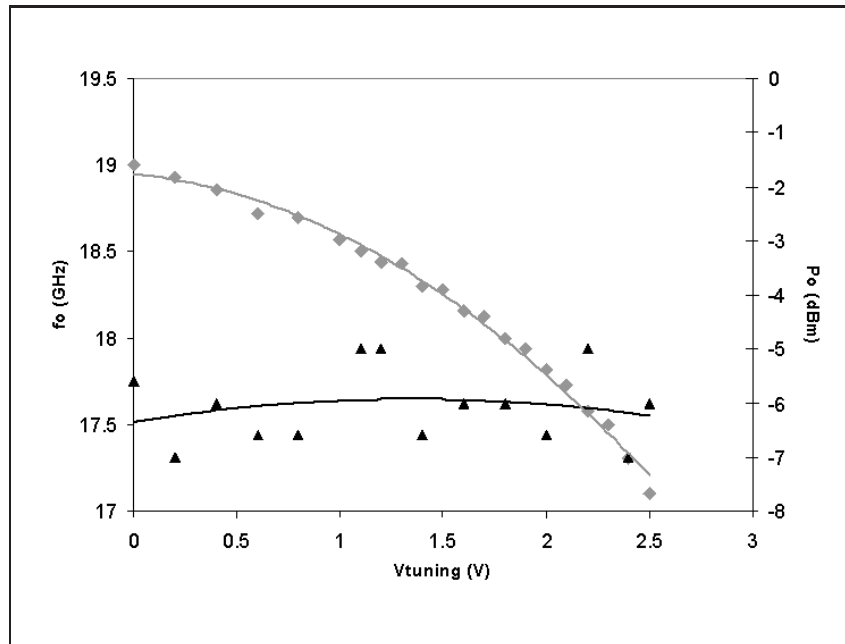


FIG. 4.12 – Variation de la fréquence de sortie et de la puissance avec la tension de contrôle

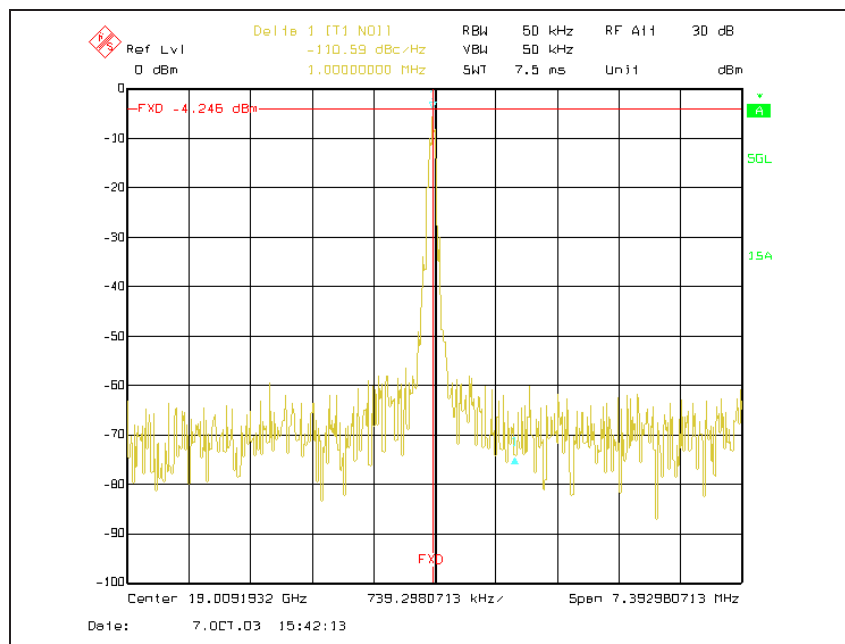
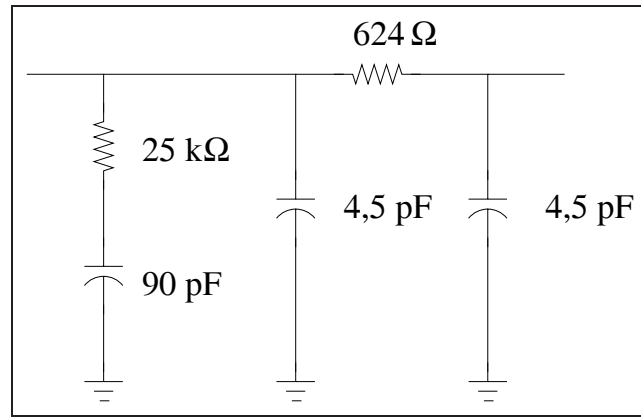
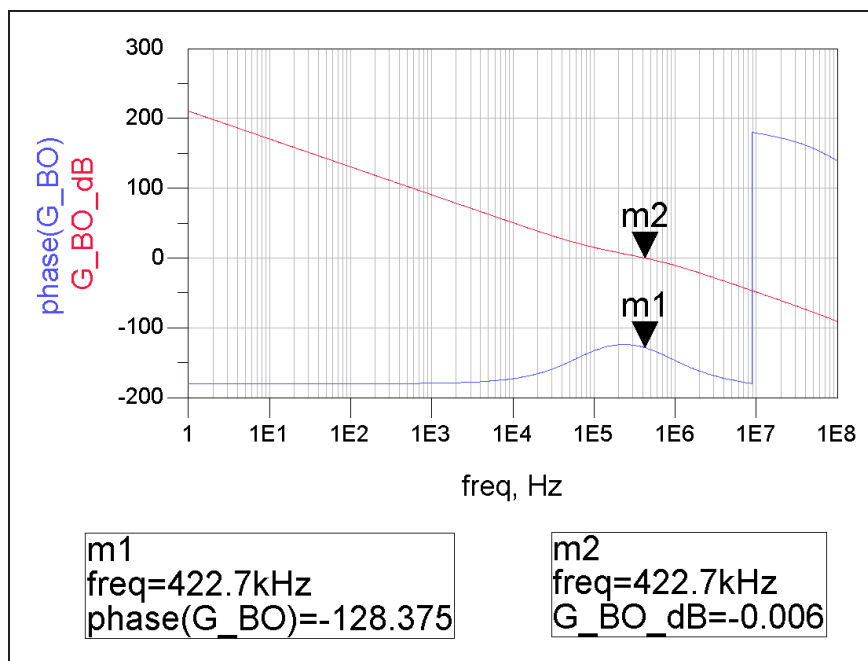


FIG. 4.13 – Spectre de sortie mesuré du VCO en bande K

FIG. 4.14 – *Filtre de boucle du troisième ordre pour la PLL à 20 GHz*FIG. 4.15 – *Filtre de boucle du troisième ordre pour la PLL à 20 GHz*

- Courant de la pompe de charge : $78 \mu\text{A}$
- Gain du VCO : $750 \text{ MHz} \cdot \text{V}^{-1}$

La consommation totale de la PLL s'élève à 127 mA pour une fréquence de fonctionnement de 20 GHz.

4.2.3 Profil du bruit de phase de la PLL à 20 GHz

Comme pour la technologie BiCMOS6G, les courbes de bruit de phase de chaque bloc sont présentés sur le graphe 4.16, ainsi que le profil de bruit de phase de la PLL comme le montre la figure 4.17. Cette dernière figure nous permet de noter les contributeurs principaux avant et après la fréquence de coupure de la boucle : comme pour la PLL à 10 GHz, la contribution en

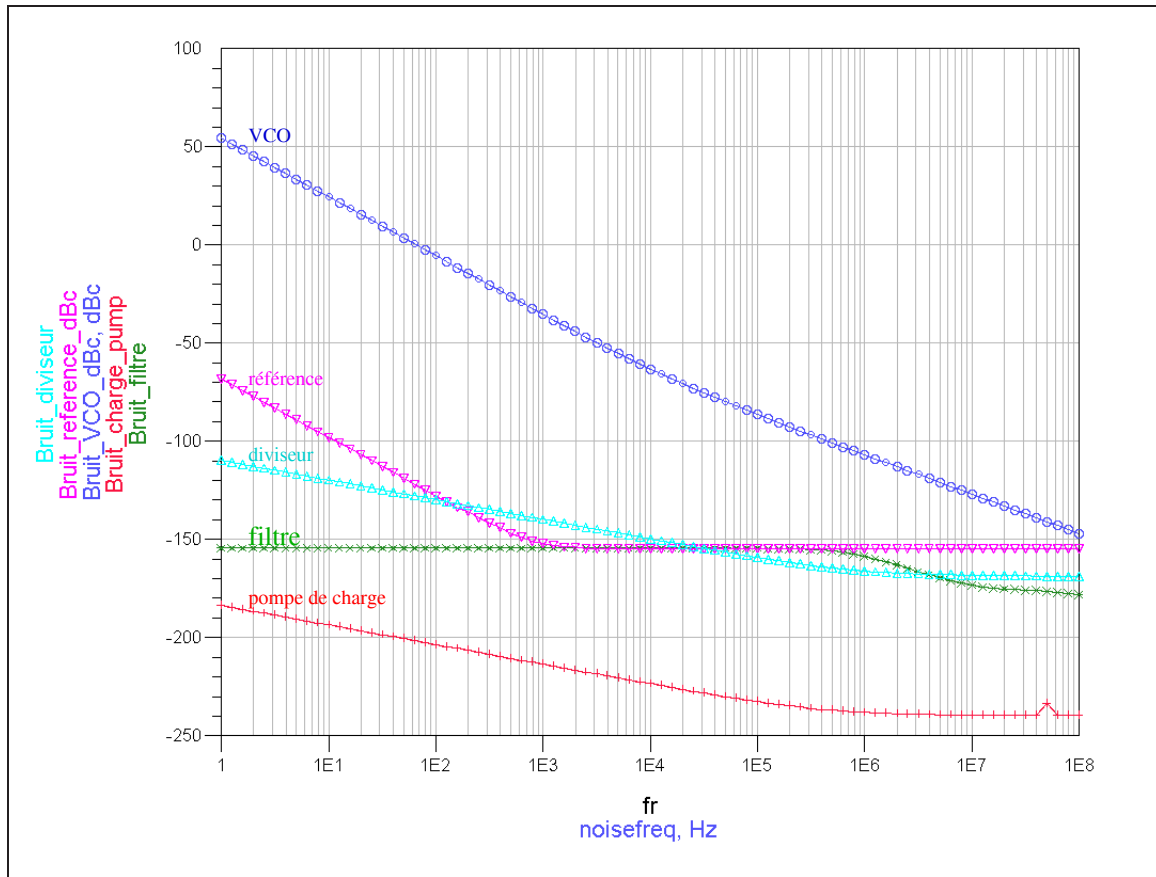


FIG. 4.16 – Courbes de bruit de phase en sortie de chaque bloc constituant la PLL

bruit de phase de la pompe de charge est la plus importante dans la bande de fonctionnement de la PLL.

4.3 Simulations/Mesures

Nous avons réalisé des simulations temporelles des deux PLLs pour connaître approximativement le temps nécessaire pour qu'elles convergent vers un état d'équilibre. Les temps de convergence sont pratiquement les mêmes : la figure 4.18 présente la tension de contrôle du VCO, ainsi que les courants de la pompe de charge.

Plusieurs problèmes sont apparus lors de la mesure des circuits :

- le premier problème provient du fait que les VCOs ont été conçus en même temps que les PLLs ; par conséquent, la variation de la fréquence centrale et de la bande balayée par le VCO a pour conséquence une diminution de la plage d'accrochage de la PLL.
- le second problème concernant le diviseur programmable est proche du premier : l'assemblage entre la partie en logique ECL et la partie en logique CMOS a été réalisé en même temps que les PLLs, ce qui ne nous a pas permis de constater à temps le dysfonctionne-

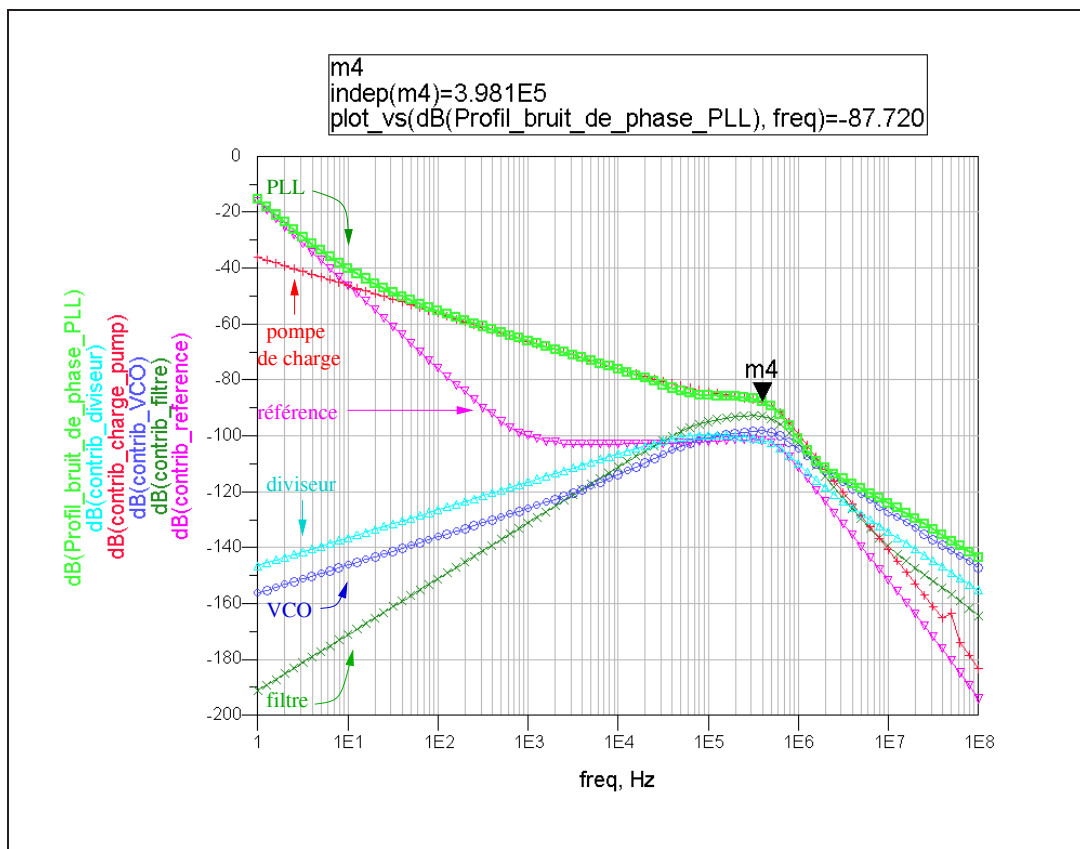


FIG. 4.17 – Profil de bruit de phase en sortie de la PLL

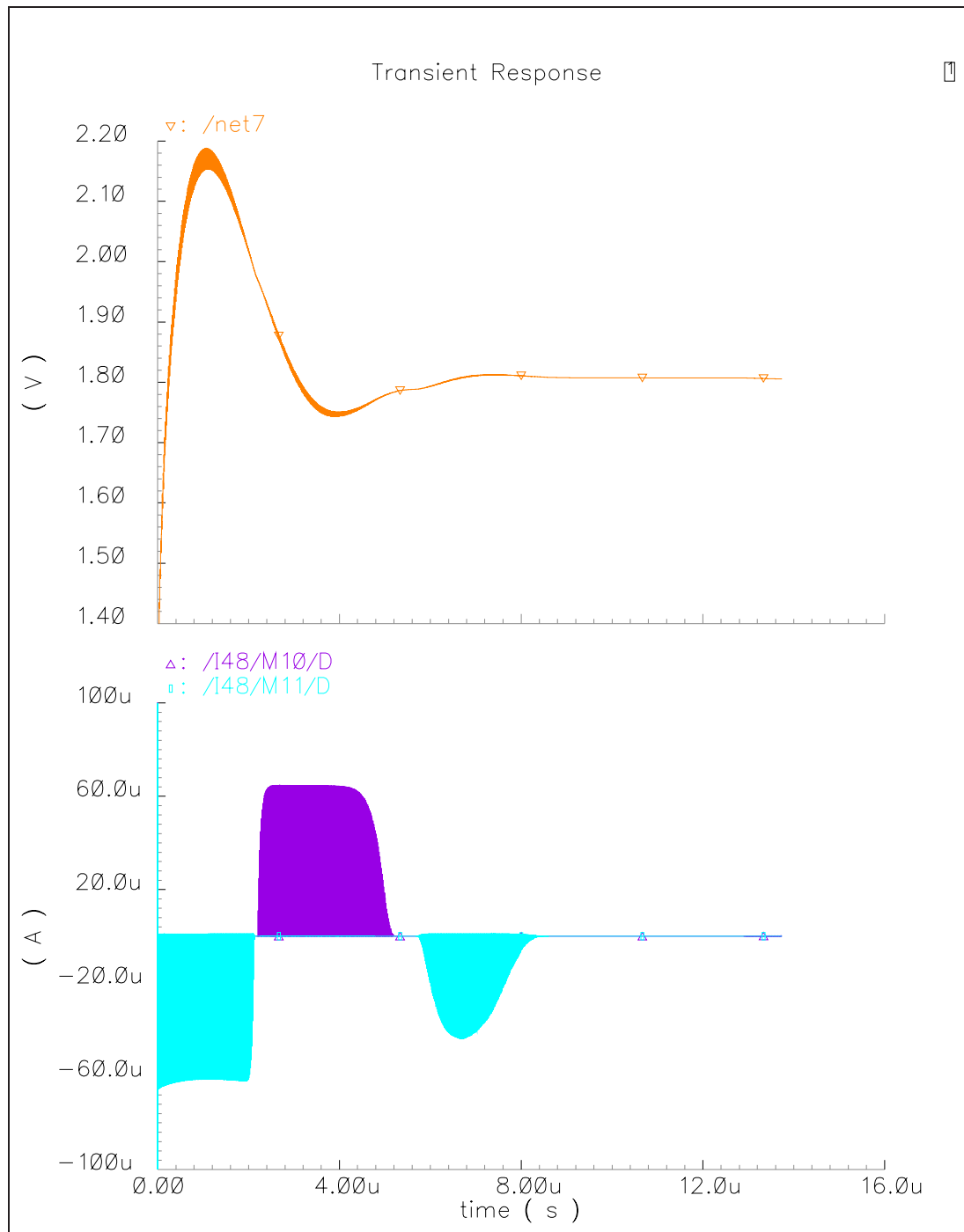


FIG. 4.18 – Courbes représentant la tension de contrôle du VCO et les courants de charge et de décharge de la pompe de charge

ment de la logique CMOS² (cf. Chapitre II).

- le troisième est lié aux deux premiers : les PLLs étant entièrement intégrées, les degrés de liberté pour réajuster les paramètres qui fixent la stabilité de la PLL, plus précisément dans le but d’obtenir des plages d’accrochage et de maintien similaires entre les simulations et les mesures, sont quasi-nuls. Il aurait peut-être fallu dans un premier temps intégrer la PLL sans le filtre et donc utiliser un filtre externe à la boucle, ce qui aurait permis de réajuster les valeurs de ce dernier.

4.4 Conclusion

Après avoir détaillé, dans les chapitres précédents, tous les blocs numériques participant à la synthèse de fréquence, ce chapitre expose les caractéristiques des deux boucles en précisant le type de VCO utilisé dans chacune d’elles et en détaillant, après avoir fixé les valeurs des filtres du troisième ordre, les marges de phase, ainsi que leurs fréquences de coupure qui permettent de déterminer le niveau de bruit des PLLs. Nous avons présenté dans ce chapitre la faisabilité et les performances des PLLs hyperfréquences pour des applications de type radars en bande X, et de type SERDES en bande K. Nous avons démontré, mise à part quelques problèmes de conception qui peuvent être corrigés, qu’il est possible de concevoir des PLLs hyperfréquences en technologie BiCMOS présentant des niveaux de bruit de phase résiduel comparables à ceux que l’on trouve actuellement à l’état de l’art [7, 8, 9, 10].

Bibliographie

- [1] V. F. Kroupa, « Noise Properties of PLL Systems », *1982 IEEE Transactions on Communications*, vol. 30, pp. 2244–2252, october 1982. [4](#)
- [2] W. Wong. *Conception de circuits MMIC BiMOS SiGe appliqués à la synthèse de fréquence fractionnaire*. Thèse de Doctorat, Université Paul Sabatier de Toulouse, décembre 2003. [1.3.2.2](#), [4.1.1](#)
- [3] H.-I. Cong, S. M. Logan, M. J. Loinaz, K. J. O’Brien, E. Pery, G. D. Polhemus, J. E. S. ans Kenneth P. Snowdon, and M. G. Ward, « A 10-Gb/s 16:1 Mux and 10-GHz Clock Synthesizer in 0.25-um SiGe BiCMOS », *IEEE journal of Solid-State Circuits*, vol. 36, pp. 1946–1953, december 2001. [4.1.3](#)
- [4] K. Shu, E. Sanchez-Sinencio, J. Silva-Martinez, and S. H. K. Embabi, « A 16mW, 2.23 2.45GHz Fully integrated Sigma-Delta PLL with Novel Prescaler And Loop Filter

². Le dessin de masques de la partie en logique CMOS présente des capacités parasites qui a perturbé son fonctionnement aux fréquences désirées

- in 0.35 μ m CMOS », *2003 IEEE Radio Frequency integrated Circuits Symposium*, pp. 181–184, 2003. [4.1.3](#)
- [5] S. Pellerano, S. Levantino, C. Samori, and A. L. Lacaita, « A 13.5-mW 5-GHz Frequency Synthesizer with Dynamic-Logic Frequency Divider », *IEEE journal of Solid-State Circuits*, vol. 39, pp. 378–383, february 2004. [4.1.3](#)
- [6] P. Abele, H. Vogelmann, E. Sonmez, K. B. Schad, and H. Schumacher, « 20mW SiGe-MMIC-VCO at 5GHz with Integrated 4:1 Divider for use in a PLL », *Silicon Monolithic Integrated Circuits in RF Systems 2001*, pp. 222–225, september 2001. [4.1.3](#)
- [7] J. Mondal, K. Peterson, K. Wong, K. Vu, S. Consolazio, S. Geske, J. Blubaugh, W. Guthrie, G. Dietz, R. Haubenstricker, H. Fudem, and S. Moghe, « A Highly Integrated Multifunction Macro Synthesizer Chip (MMSIC) for Applications in 2-18 GHz Synthesized Sources », *IEEE journal of Solid-State Circuits*, vol. 32, pp. 1405–1409, september 1997. [4.4](#)
- [8] G. L. Puma, K. Hadjizada, S. van Waasen, C. Grewing, P. Schrader, W. Geppert, A. Hanke, M. Seth, and S. Heinen, « A RF Transceiver for Digital Wireless Communication in a 25GHz Si Bipolar Technology », *2000 IEEE International Solid-State Circuits Conference*, pp. 144–145, 451, 2000. [4.4](#)
- [9] G. Ritzberger, H. Knapp, and D. Zoschg, « Concepts for Complete Integration of Synthesizers for GHz Frequencies », *EUROCOMM 2000 Information Systems for Enhanced Public Safety and Security IEEE/AFCEA*, pp. 412–417, may 2000. [4.4](#)
- [10] B.-U. H. Klepser, M. Scholz, and E. Gotz, « A 10-GHz SiGe BICMOS phase-Locked-Loop Frequency Synthesizer », *IEEE journal of Solid-State Circuits*, vol. 37, pp. 328–335, march 2002. [2.4](#), [4.4](#)

Conclusion

LE CIRCUIT INTÉGRÉ MONOLITHIQUE MICROONDE (MMIC) est généralement dédié aux applications de grand volume, où les fonctions réalisées sont reproduites un très grand nombre de fois. Le nombre de circuits hyperfréquences à réaliser dans ce contexte rend obligatoire une reproductibilité importante des performances électriques et une optimisation des coûts de développements et de fabrication très bien supportées par la technologie MMIC. D'autre part, la miniaturisation d'un équipement spatial peut également intéresser des applications dites de petit volume où le besoin porte sur la réalisation d'un seul équipement spatial avec pour objectifs premiers une réduction sensible de masse et d'encombrement.

Par conséquent, dans un contexte de forte intégration des systèmes et de montée en fréquence dans les télécommunications, les synthèses de fréquences en bandes X et K ont été réalisées en technologie faible coût BiCMOS SiGe. Pour la mise en oeuvre de ce projet, la collaboration avec l'entreprise STMicroelectronics nous a permis d'avoir accès aux technologies BiCMOS Silicium-Germanium 0,35 μm , BiCMOS6G, et 0,25 μm , BiCMOS7.

Dans la première partie de ces travaux, nous avons situé le système de synthèse étudié, la boucle à verrouillage de phase semi-numérique, parmi ceux existant en détaillant les paramètres clés du système pour définir sa stabilité et ses performances en terme de bruit de phase résiduel. Le second chapitre présente la conception d'une partie critique du synthétiseur de fréquence, celle du diviseur numérique hyperfréquence intégré dans le retour de la boucle : sa conception nécessite à la fois d'étudier les deux technologies disponibles, en particulier les composants actifs, d'innover d'un point de vue circuit logique pour pouvoir monter en fréquence, et enfin de regarder le diviseur comme un système programmable présentant les règles de conception des systèmes numériques d'un point de vue mise en place d'un schéma fonctionnel, respect strict des états logiques et principes de codage. Le troisième chapitre aborde un autre point critique dans la synthèse de fréquence, celui de la détection de l'erreur de phase et/ou de fréquence dans la boucle. La chaîne de détection est réalisée par un comparateur phase/fréquence numérique, une pompe de charge et un filtre de boucle : le rôle est de transmettre une information d'erreur la plus précise possible pour permettre une correction adéquate par le VCO. Ceci n'est réalisable que par l'étude précise des avantages et des défauts du comparateur et de la pompe, ce qui permet alors d'optimiser leurs schémas et par conséquent leurs fonctionnements, ce qui nous amène à obtenir une zone de non-détection de l'erreur de phase, ou « zone morte » la plus faible possible, de l'ordre de $\pi/100$. La dernière partie de cette thèse concerne l'assemblage des blocs qui composent la boucle. L'aspect système devient alors prédominant malgré le fait que l'analyse d'un synthétiseur de fréquence est complexe puisqu'elle exige un aller-retour permanent entre les contraintes données par la technologie et le système. Les simulations présentent des résultats de bruit de phase résiduel à l'état de l'art par rapport aux synthétiseurs en technologie Silicium à des fréquences comparables. Les difficultés rencontrées lors de la réalisation d'un système aussi complexe qu'une PLL ne nous permettent pas dans le temps imparti de présenter des résultats de mesure globaux.

Tous ces travaux convergent vers la mise en évidence de la faisabilité de synthétiseurs hyperfréquences faible bruit en technologie BiCMOS Silicium-Germanium, résultats de l'étude des technologies disponibles, de l'optimisation et l'innovation des circuits participant à la synthèse et de l'analyse système imposée par la synthèse de fréquence.

Équations du miroir de courant

Équations du miroir de courant

Le transistor M1 (cf. figure) est en saturation :

$$V_{DS1} = V_{GS1}$$

Supposons que $V_{DS2} \geq V_{GS} - V_{T2}$, V_{DS2} est plus grand que V_{T2} . Cette affirmation permet l'utilisation des équations du transistors MOS dans la région de saturation. Dans le cas général, le rapport I_0/I_{M0} est donné par :

$$\frac{I_0}{I_{M0}} = \left(\frac{L_1 W_2}{W_1 L_2} \right) \left(\frac{V_{GS} - V_{T2}}{V_{GS} - V_{T1}} \right)^2 \left(\frac{1 + \lambda V_{DS2}}{1 + \lambda V_{DS1}} \right) \left(\frac{\mu_2 C_{ox2}}{\mu_1 C_{ox1}} \right)$$

où

λ : paramètre concernant la modulation de la longueur de canal (V^{-1}) dans la région de saturation,

L : longueur effective du canal (cm),

W : largeur effective du canal (cm),

μ : mobilité en surface ($cm^2/(volts \cdot s)$),

C_{ox} : capacité par unité de surface de l'oxyde de grille ($F \cdot cm^{-2}$).

Les composants d'un miroir de courant sont processés dans le même circuit intégré, les paramètres physiques tels que V_T , μ , $C_{ox} \dots$ sont identiques pour les deux transistors.

Nous pouvons donc simplifier la première équation par :

$$\frac{I_0}{I_{M0}} = \left(\frac{L_1 W_2}{W_1 L_2} \right) \left(\frac{1 + \lambda V_{DS2}}{1 + \lambda V_{DS1}} \right)$$

Si $V_{DS2} = V_{DS1}$, le rapport I_0/I_{M0} devient :

$$\frac{I_0}{I_{M0}} = \left(\frac{L_1 W_2}{W_1 L_2} \right)$$

Par conséquent, le rapport I_0/I_{M0} est une fonction des dimensions des deux transistors.

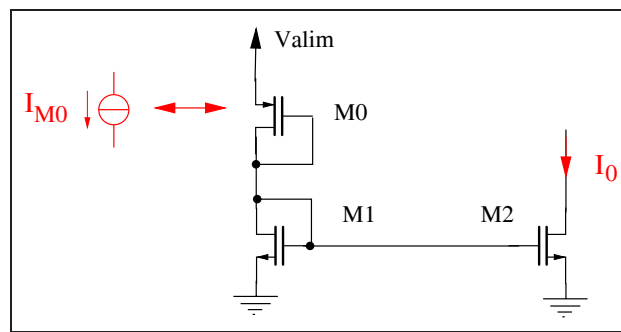


FIG. 19 – Miroir de courant

Synthétiseurs de fréquence monolithiques micro-ondes à 10 et 20 GHz en technologies BiCMOS SiGe 0,35 et 0,25 μm

Le développement des technologies BiCMOS Silicium/Germanium (SiGe) permet aujourd'hui l'intégration de systèmes radio-fréquences (RF) complets (RF+bande de base) sur une seule puce et à faible coût. Les transistors bipolaires de telles filières sont en effet capables d'atteindre des fréquences de transition de plusieurs dizaines de gigahertz, assurant ainsi la réalisation de fonctions du domaine RF telles que l'amplification, le mélange, la division de fréquence analogique et numérique, la comparaison phase/fréquence analogique et numérique, etc. De plus, la compatibilité de ces technologies avec les technologies CMOS existantes autorise la réalisation simultanée de systèmes de traitement du signal numériques (et/ou analogiques) complets dans la bande de base. Le point faible de ces technologies reste cependant la difficulté d'obtenir des composants passifs de bonne qualité. Un challenge apparaît lorsqu'il s'agit de reconsidérer la conception des architectures existantes afin de se satisfaire de ces composants intégrés passifs peu performants, voire de s'en passer complètement. Une solution consiste alors à numériser au maximum les diverses fonctions précédemment citées.

Le travail de thèse porte sur l'étude de faisabilité de la synthèse de fréquence en bande X et K, entièrement intégrée en technologie SiGe et basée sur la boucle à verrouillage de phase. On s'intéresse plus particulièrement à la numérisation des diviseurs hyperfréquences et des comparateurs phase/fréquence utilisés dans la boucle, le VCO restant par ailleurs analogique. Des solutions de conception innovantes sont proposées en terme de montée en fréquence et de réduction des phénomènes parasites inhérents aux structures habituellement rencontrées à plus basse fréquence. La thèse se conclut par l'intégration des diviseurs et comparateurs conçus dans cette thèse avec des VCOs conçus lors d'une thèse déjà soutenue afin de former des synthèses de fréquence à 10 et 20 GHz.

Mots clefs: BiCMOS SiGe, boucle à verrouillage de phase, diviseur numérique hyperfréquence, comparateur phase/fréquence, bruit de phase.

Contribution to CMOS analog design: current conveyors and non-volatile memories

Nowadays, the development of Silicium/Germanium BiCMOS technologies permits the low-cost integration of complete RF systems onto a single chip. Bipolar transistors of these processes are effectively capable of attaining transition frequencies in the order of tens of GHz, thus insuring the realization of RF domain functions such as amplification, mixing, digital and analog frequency division, digital and analog phase/frequency comparison, etc. In addition, the compatibility of these technologies with existing CMOS technologies allows integration with base band digital (or analog) signal processing. A difficult challenge arises when reconsidering designs of existing architectures to compensate for the relatively poor performance of integrated passive components. One solution consists of digitizing as many functions as possible. The aim of this thesis is to study the feasibility of X and K band frequency synthesizers based on a PLL entirely integrated in SiGe technologies. In particular, this work focuses on the digitization of frequency dividers and phase/frequency detectors used in PLLs, while maintaining an analog VCO. Innovative design solutions are proposed to increase the operating frequency while reducing inherent parasitics in commonly used structures. This thesis concludes with the integration of divider and comparator designs with VCO, designed in a previous thesis, to form two frequency synthesizers, one operating at 10 GHz and an other at 20 GHz.

Key words: BiCMOS SiGe, phase locked loop, frequency divider, phase/frequency comparator, phase noise.