HAL
open science

# Application des technologies CMOS sur SOI aux fonctions d'interface des liens de communication haut débit (> 10 Gbit/s)

David Axelrad

## To cite this version:

David Axelrad. Application des technologies CMOS sur SOI aux fonctions d'interface des liens de communication haut débit (> 10 Gbit/s). Réseaux et télécommunications [cs.NI]. Institut National Polytechnique de Grenoble - INPG, 2005. Français. NNT : . tel-00010675

**HAL Id: tel-00010675**

**https://theses.hal.science/tel-00010675v1**

Submitted on 18 Oct 2005

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

*INSTITUT NATIONAL POLYTECHNIQUE DE GRENOBLE*

***N° attribué par la bibliothèque***
|__|__|__|__|__|__|__|__|__|__|

***T H E S E***

pour obtenir le grade de

## DOCTEUR DE L'INPG

***Spécialité : « Micro et Nano Electronique »***

préparée au **CEA-LETI** dans le cadre de **l'Ecole Doctorale** « ***Electronique, Electrotechnique, Automatique et Traitement du Signal*** »

présentée et soutenue publiquement

par


## David AXELRAD


le 6 octobre 2005

***Titre :***

# Application des technologies CMOS sur SOI aux fonctions d'interface des liens de communication haut débit (>10Gbit/s)

***Directeur de thèse :***

Frédéric GAFFIOT

**JURY**

| | |
|---|---|
| M. Jean-Michel FOURNIER | , Président |
| M. Yann DEVAL | , Rapporteur |
| M. Denis FLANDRE | , Rapporteur |
| M. Bill REDMAN-WHITE | , Examinateur |
| M. Frédéric GAFFIOT | , Directeur de thèse |
| M. Emeric de FOUCAULD | , Co-encadrant |
| M. Marc BELLEVILLE | , Invité |
| M. Pierre VINCENT | , Invité |
| M. Didier BELOT | , Invité |

## ECOLES DOCTORALES ET LEURS SPECIALITES DE THESES

- **Spécialités préparées à l'INPG** — Spécialités préparées dans une autre université

**ECOLE DOCTORALE « ELECTRONIQUE, ELECTROTECHNIQUE, AUTOMATIQUE, TELECOMMUNICATIONS, SIGNAL » (EEATS)** — **INPG**/UJF

- **AUTOMATIQUE, PRODUCTIQUE**
- **GENIE ELECTRIQUE**
- **MICROELECTRONIQUE**
- **OPTIQUE, OPTOELECTRONIQUE ET MICROONDES**
- **SIGNAL, IMAGE, PAROLE, TELECOMS**

**ECOLE DOCTORALE « MATERIAUX ET GENIE DES PROCEDES » (MGP)** — **INPG/**UJF

- **ELECTROCHIMIE**
- **GENIE DES PROCEDES**
- **SCIENCE ET GENIE DES MATERIAUX**

**ECOLE DOCTORALE « MECANIQUE ET ENERGETIQUE »** — **INPG**/UJF

- **ENERGETIQUE PHYSIQUE**
- **MECANIQUE DES FLUIDES ET TRANSFERTS**
- **MECANIQUE : CONCEPTION, GEOMECANIQUE, MATERIAUX**

**ECOLE DOCTORALE « ORGANISATION INDUSTRIELLE ET SYSTEMES DE PRODUCTION »** — **INPG**/UPMF

ECONOMIE INDUSTRIELLE
- **GENIE INDUSTRIEL**

SOCIOLOGIE INDUSTRIELLE

**ECOLE DOCTORALE « INGENIERIE POUR LE VIVANT : SANTE, COGNITION, ENVIRONNEMENT »** — **UJF**/INPG

GENIE BIOLOGIQUE ET MEDICAL

METHODES DE RECHERCHE SUR L'ENVIRONNEMENT ET LA SANTE
- **MODELES ET INSTRUMENTS EN MEDECINE ET BIOLOGIE**
- **SCIENCES COGNITIVES**

SPORT ET PERFORMANCE, FACTEURS BIOMECANIQUES ET ENVIRONNEMENT SOCIAL

**ECOLE DOCTORALE « MATHEMATIQUES, SCIENCES ET TECHNOLOGIE DE L'INFORMATION »** — **UJF**/INPG

ENVIRONNEMENTS INFORMATIQUES POUR L'APPRENTISSAGE HUMAIN ET DIDACTIQUE
- **IMAGERIE, VISION ET ROBOTIQUE**
- **INFORMATIQUE : SYSTEMES ET COMMUNICATIONS**

MATHEMATIQUES
- **MATHEMATIQUES APPLIQUEES**
- **RECHERCHE OPERATIONNELLE, COMBINATOIRE ET OPTIMISATION**
- **SYSTEMES D'INFORMATION**

**ECOLE DOCTORALE « PHYSIQUE »** — **UJF/**INPG

ASTROPHYSIQUE ET MILIEUX DILUES

CRISTALLOGRAPHIE ET RMN BIOLOGIQUES
- **METHODES PHYSIQUES EXPERIMENTALES ET INSTRUMENTATION**
- **PHYSIQUE DE LA MATIERE ET DU RAYONNEMENT**
- **PHYSIQUE DES MATERIAUX : DES NANOSTRUCTURES AUX GRANDS INSTRUMENTS**

**ECOLE DOCTORALE « TERRE, UNIVERS, ENVIRONNEMENT »** — **UJF**/INPG

ASTROPHYSIQUE ET MILIEUX DILUES

CLIMAT ET PHYSICO-CHIMIE DE L'ATMOSPHERE

DYNAMIQUE DE LA LITHOSPHERE
- **MECANIQUE DES MILIEUX GEOPHYSIQUES ET ENVIRONNEMENT**

POLLUTION ET ENVIRONNEMENT : PHYSICO-CHIMIE, IMPACT ET MODELISATION

27/01/2000

# AVANT-PROPOS

Le travail présenté dans ce mémoire a été effectué au sein du service de "Conception des Micro technologies Emergentes" du CEA-LETI à Grenoble.

Je remercie en premier lieu Messieurs Hervé Fanet et Jean-René Lequepeys pour la confiance qu'ils m'ont témoignée en m'accueillant dans le service. Je remercie également Monsieur Marc Belleville pour m'avoir proposé ce sujet passionnant et conseillé techniquement tout au long de ce travail. Merci aussi à Pierre Vincent pour m'avoir accueilli dans son laboratoire.

Je remercie vivement Monsieur Frédéric Gaffiot et Monsieur Emeric de Foucauld qui par une disponibilité exemplaire et un soutien de tous les instants ont encadré ce travail de thèse.

J'adresse également mes remerciements à Messieurs J-M. Fournier, D. Flandre, Y. Deval, B. Redman-White et D. Belot pour m'avoir fait l'honneur de présider, de rapporter et d'examiner ce travail.

Je tiens à exprimer toute ma sympathie aux nombreuses personnes qui m'ont accompagnées au cours de ces trois années de thèse et plus particulièrement à J. Prouvée, O. Rozeau, C. Mounet, J-B. David, F. Hameau, B. Payet, R. Lemaire, A. Jalabert, A. Peizerat, J. Wei, F. Gayral et C. Rechatin.

Je n'oublierai pas bien sûr tous les membres de l'équipe ACR qui m'ont apporté leur soutien et avec qui j'ai partagé des discussions très fructueuses pour la réalisation de ce mémoire.

Enfin, il me tient à cœur de remercier ma fiancée, Mlle Bianca Hugo, pour son soutien admirable ainsi que mes parents et mes soeurs pour leurs conseils toujours très avisés.

# Table des matières

**INTRODUCTION** ..... **1**

**CHAPITRE I : ETAT DE L'ART DES LIENS HAUT DEBIT ET DES CDR** ..... **5**

I.1. Liens haut débit et fonctions d'interface ..... 6
I.1.1. La course aux hauts débits ..... 6
I.1.2. La fibre optique et le multiplexage par longueur d'onde ..... 8
I.1.3. Les éléments constitutifs du lien haut débit ..... 11
I.1.4. Le module de récupération d'horloge et de données (CDR) ..... 12

I.2. Etat de l'art des circuits CDR ..... 14
I.2.1. Principe de fonctionnement du CDR ..... 14
I.2.2. Modélisation Linéaire du CDR ..... 24
I.2.3. Etude du bruit de phase et du jitter dans le CDR ..... 26
I.2.4. Synthèse des travaux sur les CDR 40Gbit/s ..... 38

I.3. Conclusion ..... 40

I.4. Références du chapitre I ..... 41

**CHAPITRE II: TECHNOLOGIE, OUTILS ET METHODES** ..... **47**

II.1. La technologie CMOS/SOI 0.13µm pour les hautes fréquences ..... 48
II.1.1. Le substrat SOI ..... 48
II.1.2. Les actifs sur SOI ..... 50
II.1.3. Les passifs sur SOI ..... 64

II.2. Outils et méthodes de conception des circuits haute fréquence CMOS/SOI ..... 79
II.2.1. Le flot classique analogique en radio et haute fréquence ..... 80
II.2.2. La méthodologie suivie pour la conception de circuits haute fréquence ..... 81

II.3. Conclusion ..... 84

II.4. Références du chapitre II ..... 85

**CHAPITRE III: ANALYSE ET CONCEPTION DE VCO CMOS/SOI 0.13µM POUR LES LIENS HAUT DEBIT ..91**

III.1. Les choix architecturaux de CDR et de VCO ....92
III.1.1. Solution I : Système de transmission parallèle ....92
III.1.2. Solution II : Système de transmission série ....93
III.1.3. Impact du jitter du CDR sur la conception du VCO....94
III.1.4. Synthèse des architectures de VCO pour la haute fréquence ....97
III.1.5. Conclusion ....107

III.2. Analyse du bruit de phase dans les VCO LC ....108
III.2.1. Les modèles de Leeson et de Craninckx....108
III.2.2. Le modèle d'Hajimiri ....112
III.2.3. Conclusion ....116

III.3. Etude et conception de VCO LC NMOS 10GHz en CMOS/SOI....118
III.3.1. Cahier des charges ....118
III.3.2. Topologie des VCO LC NMOS à 10GHz ....121
III.3.3. Les étapes de la conception....128

III.4. Etude et conception du VCO multi-phases 4x10GHz en CMOS/SOI....154
III.4.1. Introduction ....154
III.4.2. Synthèse sur les architectures de VCO multi-phases LC....156
III.4.3. Conception du VCO multi-phases 4x10GHz....164

III.5. Conclusion ....170

III.6. Références du chapitre III....171

**CHAPITRE IV : RÉSULTATS DE MESURE ET INTERPRÉTATION....177**

I.1. Chronologie des mesures ....178

I.2. Implémentation et mesures sur les circuits 10GHz ....178
I.2.1. Implémentation....178
I.2.2. Résultats des mesures fréquentielles....179
I.2.3. Résultats des mesures de bruit de phase ....190

I.3. Implémentation et mesures sur le VCO multi-phases 4x10GHz ....196
I.3.1. Implémentation....196
I.3.2. Résultats des mesures fréquentielles....196
I.3.3. Résultats des mesures temporelles....199
I.3.4. Résultats des mesures de bruit de phase ....200

I.4. Conclusions....202

**CHAPITRE V: DISCUSSION ET PERSPECTIVES....207**

I.1. Discussion ....208

I.2. Perspectives....209

**CONCLUSION ....215**

**ANNEXES** ..... **219**
I.1. Annexe 1 : Les comparateurs de phase ..... 219
I.2. Annexe 2 : Modélisation du bruit BF dans les transistors ..... 228
I.3. Annexe 3 : Schémas et paramètres des étages suiveurs et amplificateurs ..... 230
I.4. Références des annexes ..... 232

**GLOSSAIRE** ..... **237**

**LISTE DES PUBLICATIONS ET DES COMMUNICATIONS EN RELATION AVEC CE TRAVAIL** ..... **239**

**INTRODUCTION** ..... **1**

# INTRODUCTION

Le volume des données transportées sur le réseau Internet croît à l'heure actuelle en suivant une loi exponentielle. Pour répondre à cette croissance, les débits des systèmes de transport de l'information augmentent d'un facteur cinquante à cent, tous les sept ans. Les fibres optiques assurent le transport des données tout en garantissant les meilleures performances en termes de pertes et de bande passante. Elles ont bénéficié, ces dernières années, d'amélioration en termes de coût et de performances. Cependant, les circuits électroniques d'interface placés à leurs extrémités ne permettent pas d'utiliser les performances maximales offertes par les fibres et limitent donc le débit des réseaux. Les débits de données sont passés progressivement de 2.5Gbit/s à 10Gbit/s. Aujourd'hui, on envisage de les augmenter à 40 puis à 80Gbit/s. Le challenge posé aux équipes de recherche est donc de concevoir des circuits d'interface permettant le transit des données à ces débits.

Plusieurs équipes de recherche se sont intéressées à ce sujet et proposent des solutions en technologie AsGa et InP, dont les propriétés à haute fréquence sont reconnues. Une tentative de réalisation CMOS, publiée en 2003, a mis en évidence l'intérêt de cette technologie. L'un des auteurs explique que l'arrivée du CMOS dans les applications à 10GHz n'a pu avoir lieu qu'à partir de la disponibilité des procédés CMOS 0.18µm [LEE03], [RAZAVI01]. En effet, la fréquence de transition d'une technologie est inversement proportionnelle au carré de la longueur minimale de grille. A partir de 0.18µm, la fréquence de transition dépasse quelques dizaines de gigahertz. Les avantages du CMOS résident d'abord dans la possibilité d'intégrer des circuits analogiques et numériques sur une même puce. Un deuxième avantage est la réduction de la puissance dissipée à performances équivalentes comparée aux autres technologies. Enfin, à la suite du retournement du marché des télécommunications, les acteurs sont devenus extrêmement prudents dans le développement des architectures des réseaux haut débit. Dans ce contexte, l'arrivée de circuits CMOS favorise le développement des liens haut débit par la réduction des coûts.

Le laboratoire LETI s'intéresse depuis de nombreuses années aux substrats SOI, dont il a développé un procédé transféré depuis à STMicroelectronics. Le sujet proposé est donc naturellement d'étudier les potentialités de la technologie CMOS/SOI 0.13µm pour la réalisation de circuits d'interface, dédiés aux liens de débits supérieurs à 10Gbit/s.

La technologie CMOS/SOI a fait l'objet de nombreuses recherches dans les domaines analogique basse fréquence et numérique. On a ainsi démontré les avantages du CMOS/SOI par rapport au CMOS/BULK en termes de consommation, d'isolation diélectrique, et de vitesse de commutation à courant égal. A haute fréquence, le SOI présente également des avantages. Des travaux de recherche sur substrat SOI ont été conduits ces dernières années notamment en

matière de caractérisation. Cependant le nombre de réalisation en CMOS/SOI à haute fréquence est faible. En ce qui concerne les fréquences supérieures à 10GHz, nous n'avons identifié que quelques circuits CMOS/SOI. Parmi ceux-ci figurent l'étude et la réalisation d'un circuit à 10GHz, dont nous n'avons pas toutes les performances, et trois travaux sur la conception de circuits à 40GHz. Ces derniers ont des performances insuffisantes, qui ne permettent pas leur utilisation dans les circuits d'interface des liens haut débit à 40Gbit/s. Dans ce contexte, notre travail se situe au coeur d'un domaine exploratoire.

Pour démontrer que la technologie CMOS/SOI peut apporter une solution performante à la réalisation de liens dont le débit est supérieur à 10Gbit/s, nous avons adopté la démarche décrite ci-après.

Cette démarche a consisté tout d'abord à étudier l'architecture d'un lien haut débit de manière à identifier les éléments critiques. Le module de récupération de l'horloge et des données appelé CDR[1] s'est avéré être la partie la plus exigeante vis-à-vis des normes internationales. Celles-ci fixent, entre autres, une valeur maximale de jitter[2] pour l'horloge récupérée correspondant à une fluctuation temporelle aléatoire du signal. Cette horloge est reconstruite par un circuit spécifique : le VCO[3].

Notre objectif étant l'étude de circuits sur CMOS/SOI, nous avons ensuite étudié les potentialités du substrat SOI pour la réalisation de composants actifs et passifs. La nature avancée, et donc peu mature, de la technologie à notre disposition, nous a conduit à mettre en place et à utiliser un flot spécifique de conception.

L'étude des liens à 40Gbit/s nous a permis d'identifier deux solutions pour le CDR. La première est dédiée à la transmission parallèle de quatre canaux à 10Gbit/s et utilise quatre CDR 10Gbit/s. La seconde adresse la transmission série des données à 40Gbit/s avec une architecture de CDR fonctionnant au quart de la fréquence des données. La structure spécifique des VCO, mise en jeu par chaque solution, fera l'objet de l'étape suivante, celle de leur conception. Au préalable, nous avons établi une feuille de route pour valider les choix de conception et utiliser les potentialités du CMOS/SOI, pour la réalisation de composants actifs et passifs performants. Après avoir conçu des circuits 10GHz adressant la transmission parallèle, nous avons ensuite étudié une architecture spécifique de VCO pour la transmission série à 40Gbit/s.

Après l'implémentation de tous les circuits, nous présentons les résultats des mesures et leur interprétation.

Enfin, et avant de conclure, un bilan permet de porter un regard critique sur notre travail et d'envisager des perspectives de poursuite.

---

[1] Pour "Clock and Data Recovery".
[2] Aussi appelé gigue temporelle.
[3] Pour "Voltage Controlled Oscillator": oscillateur commandé en tension.

**CHAPITRE I : ETAT DE L'ART DES LIENS HAUT DEBIT ET DES CDR ..... 5**

I.1. Liens haut débit et fonctions d'interface ..... 6
I.1.1. La course aux hauts débits ..... 6
I.1.2. La fibre optique et le multiplexage par longueur d'onde ..... 8
I.1.3. Les éléments constitutifs du lien haut débit ..... 11
I.1.4. Le module de récupération d'horloge et de données (CDR) ..... 12

I.2. Etat de l'art des circuits CDR ..... 14
I.2.1. Principe de fonctionnement du CDR ..... 14
I.2.2. Modélisation Linéaire du CDR ..... 24
I.2.3. Etude du bruit de phase et du jitter dans le CDR ..... 26
I.2.4. Synthèse des travaux sur les CDR 40Gbit/s ..... 38

I.3. Conclusion ..... 40

I.4. Références du chapitre I ..... 41

# CHAPITRE I : ETAT DE L'ART DES LIENS HAUT DEBIT ET DES CDR

Dans ce premier chapitre, nous exposerons les raisons qui ont motivé l'étude des circuits de récupération d'horloge et de données et l'étude des oscillateurs commandés en tension pour la réalisation d'un lien de communication à haut débit (40Gbit/s). Dans la suite de ce mémoire, nous utiliserons le terme générique CDR abréviation de " Clock and Data Recovery " et le terme VCO abréviation de " Voltage Controlled Oscillator " pour désigner ces circuits. Ceux-ci constituent la partie essentielle du récepteur dans un lien haut débit.

Nous commencerons par situer le contexte de notre étude en présentant l'évolution des réseaux de transport de l'information vers la fibre optique. Nous décrirons l'architecture des réseaux contemporains et la problématique de la croissance extrêmement rapide des débits. Nous présenterons ensuite les fonctions d'interface constituant les émetteurs et les récepteurs d'un lien haut débit. Nous identifierons un module critique en termes de performance : le CDR. Nous proposerons ensuite un rappel sur les principes de fonctionnement du module CDR et les circuits le constituant. Puis nous présenterons une synthèse des architectures utilisées en insistant sur les avantages et les inconvénients de chacune. Nous montrerons que les performances du système CDR sont étroitement dépendantes de celles du VCO le constituant.

# I.1. LIENS HAUT DEBIT ET FONCTIONS D'INTERFACE

Afin de situer le contexte de notre étude, nous commencerons par rappeler l'évolution suivie par les réseaux d'information et l'introduction de la fibre. Nous présenterons les modules d'émission et de réception permettant l'interface entre le domaine optique et le domaine électronique. Puis nous introduirons les spécificités d'un module de réception à 40Gbit/s et les challenges liés à la conception des modules CDR.

## I.1.1. LA COURSE AUX HAUTS DEBITS

Depuis quatre décennies, les réseaux d'information ont vécu de profondes modifications pour faire face à l'augmentation spectaculaire des débits [VANDAMME94].

Dans les années 1970-1980, les réseaux de transport d'information reposent sur deux types de systèmes, le câble coaxial d'une part et la radio (faisceaux hertziens) d'autre part. A la même époque, les techniques de transmission évoluent de l'analogique vers le numérique. Après deux décennies de recherche, les premiers systèmes de transmission optiques apparaissent, c'est le début du lien haut débit. Le lien haut débit sur fibre optique est un système optoélectronique qui permet l'émission, la transmission et la réception des données entre deux nœuds d'un réseau. Au début des années 1990, un élément déterminant dans la promotion de l'optique a été l'introduction de la norme SONET[1]. Cette organisation de l'information offre des possibilités nouvelles en termes de surveillance des différents éléments du réseau et de contrôle de la qualité des équipements. En 1993, on note l'apparition des premiers systèmes optiques capables de transporter un débit de 2.5Gbit/s.

Il a ensuite fallu attendre 1998 pour disposer des premiers dispositifs électroniques à 10Gbit/s. Le réseau de transport de l'information s'est alors développé et modernisé, pour suivre l'évolution spectaculaire de la quantité de données circulant sur internet.

Ce réseau est constitué de plusieurs sous-réseaux. Chaque sous-réseau est caractérisé par sa portée optique et son débit. La portée optique est la distance maximale séparant deux nœuds. Les progrès réalisés dans l'optimisation des conditions de propagation peuvent être mis à profit pour accroître la portée des réseaux haut débit. Le débit de chaque sous-réseau dépend des performances des équipements électroniques d'interface.

[1] Synchronous Optical Networks.

La Figure 1- 1 schématise le réseau contemporain et les sous-réseaux associés [DESJARDINS03].

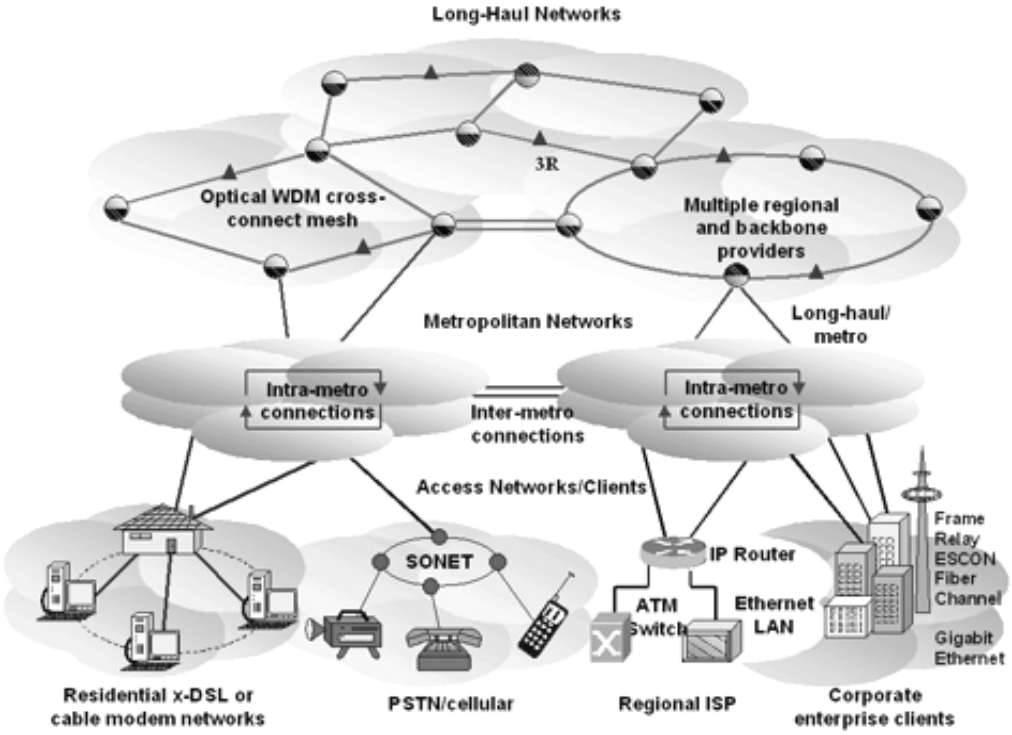



*Figure 1- 1 : Architecture d'un réseau contemporain.*

Le cœur du réseau (" Long-Haul " sur la Figure 1- 1) présente une portée optique typique comprise entre 100km et 3000km. Aujourd'hui, les systèmes en place dans le cœur du réseau atteignent des débits de 2.5Gbit/s à 10Gbit/s. Le cœur du réseau est relié à plusieurs réseaux plus petits, les réseaux métropolitains ou " Metropolitan ". La portée typique de ces réseaux est comprise entre 25 et 100km. Les débits sont généralement supérieurs à 600Mbit/s et peuvent atteindre 2.5Gbit/s. Les réseaux d'accès (" Access Networks ") ont une portée de 5 à 25km. Les débits sont alors inférieurs à 600Mbits/s. Les réseaux d'entreprise " corporate ", d'une portée inférieure à 10km, présentent des débits variables allant de quelques Mbit/s à 1Gbit/s. Ces réseaux, contrairement aux réseaux de particuliers (" Residential "), ont de plus en plus recours à la fibre optique, compte-tenu de la large quantité d'information à transmettre.

Le Tableau 1- 1 ci-après présente une synthèse des caractéristiques de chaque réseau ou sous-réseau et les perspectives en termes de débit.

| Caractéristiques | Cœur du réseau | Réseau métropolitain | Réseau d'accès | Réseau d'entreprise |
|---|---|---|---|---|
| **Portée typique** | 100-3000km | 25-100km | 5-25km | <10km |
| **Débit actuel** | De 2.5 à 10Gbit/s | 600Mbit/s à 2.5Gbit/s | 150Mbit/s à 600Mbit/s | <1Gbit/s |
| **Perspectives** | 40Gbit/s | 10Gbit/s | 1 à 10Gbit/s | 1 à 10Gbit/s |

*Tableau 1- 1 : Caractéristiques des sous réseaux contemporains.*

Les débits actuels sont atteints grâce aux progrès effectués sur les fibres optiques et à la technique de multiplexage par longueur d'onde.

## I.1.2. LA FIBRE OPTIQUE ET LE MULTIPLEXAGE PAR LONGUEUR D'ONDE

### I.1.2.1. LA FIBRE OPTIQUE

Il existe deux grands types de fibres optiques, les fibres optiques monomode et les fibres optiques multi-modes [VANDAMME94]. Les premières sont généralement utilisées conjointement avec des sources de lumières cohérentes à forte pureté spectrale. Les secondes sont utilisées avec des sources non cohérentes à relativement faible pureté spectrale. Les réseaux optiques à haut débit utilisent le plus souvent des fibres monomode. La longueur de la fibre est limitée uniquement par l'atténuation du signal le long de celle-ci. Il est donc nécessaire d'introduire des régénérateurs optiques ou optoélectroniques pour permettre une transmission longue distance.

La fibre la plus utilisée aujourd'hui est appelée G.652. Elle se caractérise par une dispersion chromatique s'annulant pour les longueurs d'onde autour de 1300nm. Elle est donc élevée dans la plage des 1550nm correspondant aux transmissions longues distances. Les fibres G.653 ont été conçues pour pallier à cet inconvénient. Leur dispersion chromatique s'annule dans la plage des 1550nm. Cependant, la technique WDM[2] décrite ci-dessous a rendu ces fibres obsolètes. En effet, une faible dispersion chromatique favorise les effets non linéaires et réduit l'efficacité spectrale, c'est-à-dire le rapport entre la capacité du lien et la bande passante. Les fibres G. 655 ont été spécifiquement développées pour la technique WDM.

Une étude sur le coût de systèmes WDM à base de 10 et 40Gbit/s montre que la part de la fibre et des éléments de compensation n'excède pas 20% du coût total. Il devient donc naturel de chercher à optimiser le coût des équipements d'interface plutôt que celui du support de

[2] Multiplexage par longueur d'onde, en anglais Wavelength Division Multiplexing, que l'on notera WDM par la suite.

transmission. Notre travail de recherche sur les applications de la technologie CMOS/SOI aux équipements d'interface entre dans cette problématique.

Une première optimisation du coût des équipements consiste à adopter la technique WDM.

### I.1.2.2. LE WDM ET LES EQUIPEMENTS D'INTERFACE

#### 1. Le WDM

La technique WDM permet d'augmenter la bande passante du lien haut débit. Cette technique associée à l'utilisation d'amplificateurs optiques permet d'économiser le milieu de transmission en partageant la fibre optique en plusieurs canaux de longueurs d'onde différentes (Figure 1- 2):

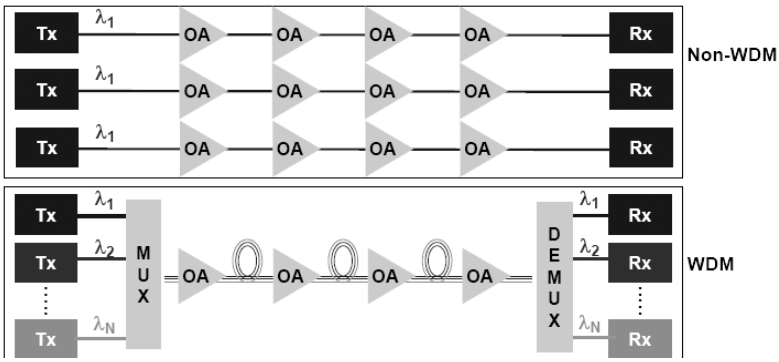



*Figure 1- 2 : Comparaison des structures WDM et non WDM [VANDAMME94].*

Dans la technique WDM, le nombre d'amplificateurs optiques est considérablement réduit au prix de l'introduction d'un module de multiplexage et d'un module de démultiplexage. Les équipements d'interface dans la structure WDM doivent permettre de traiter plusieurs longueurs d'onde différentes sur une seule fibre multi-modes.

Les performances d'un système WDM dépendent de plusieurs paramètres. Le premier est la portée optique du lien. Le second est l'espacement entre les amplificateurs le long du lien. Le dernier paramètre est la capacité du lien ou débit. La capacité relève du choix de deux paramètres : le nombre de longueurs d'onde transmises N et le débit unitaire en Gbit/s de chaque longueur d'onde.

### 2. Les équipements d'interface

Afin de retrouver l'information originale à la réception, le signal optique doit être régénéré au cours de la transmission, de manière à conserver un ratio signal sur bruit suffisant (SNR en anglais). Les circuits de régénération peuvent être optique ou optoélectronique. La recherche dans le domaine " tout optique " a permis des progrès considérables pour la réalisation d'amplificateurs purement optiques. Cependant la majorité des systèmes commerciaux convertissent le signal optique en signal électrique. La conversion optoélectronique et le traitement des données introduisent des retards et limitent la bande passante maximale du lien haut débit. Ceci concerne les circuits de régénération mais aussi les équipements d'extrémité (émetteurs et récepteurs). Il est donc nécessaire de concevoir des circuits d'interface de plus en plus rapides.

## I.1.2.3. LES FREINS AU DEVELOPPEMENT DES LIENS A TRES HAUT DEBIT

Le développement des liens haut débit doit s'accompagner d'une réduction du coût du bit transmis par unité de longueur. Ce coût dépend de deux contributeurs. Le premier couvre la ligne physique, c'est-à-dire la fibre et les répéteurs le long de celle-ci. Le second englobe les équipements d'extrémités.

Afin de réduire le coût total, on cherche un compromis entre le nombre de canaux du système et le débit transmis par longueur d'onde. Il est intéressant de comprendre les avantages d'une augmentation du débit par longueur d'onde. A première vue, les systèmes WDM pourraient transporter le même débit total de 1.2Tbit/s aussi bien par 30 canaux à 40Gbit/s, 120 canaux à 10Gbit/s, ou encore 480 canaux à 2.5Gbit/s.

L'augmentation excessive du nombre de canaux présente des inconvénients majeurs. Tout d'abord les techniques de multiplexage et de démultiplexage se complexifient, ce qui entraîne un surcoût du lien. Par ailleurs, les effets d'intermodulation entre canaux sont d'autant plus importants que le débit par longueur d'onde est faible. Enfin, la densité volumique du système et sa consommation énergétique augmentent avec le nombre de canaux, ce qui contribue à l'augmentation du surcoût total. Aujourd'hui les liens à 10Gbit/s se sont répandus et une tendance vers la réalisation de liens à 40Gbit/s s'affirme, justifiant ainsi la recherche sur les fonctions d'interface fonctionnant à 40GHz.

L'augmentation du débit par longueur d'onde doit s'accompagner d'équipements optiques ou optoélectroniques fiables, performants et économiquement viables. Ces équipements constituent les fonctions d'interface du lien haut débit.

Le paragraphe suivant présente les équipements constituant un lien haut débit.

### I.1.3. LES ELEMENTS CONSTITUTIFS DU LIEN HAUT DEBIT

Un lien optique haut débit est constitué de trois modules : l'émetteur, le récepteur et le support de transmission sur fibre optique. La Figure 1- 3 décrit la structure d'un lien haut débit [RAZAVI01].

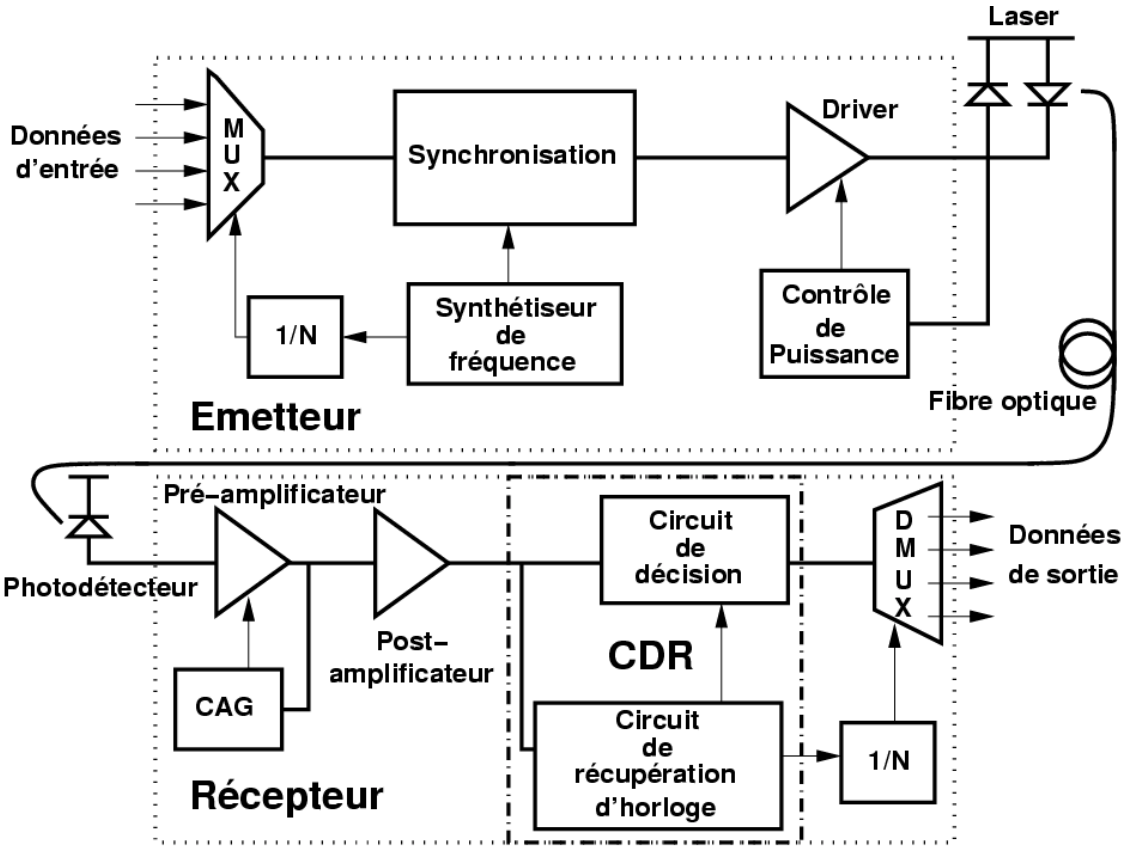



*Figure 1- 3 : Structure d'un lien haut débit.*

Nous nous intéresserons en premier lieu à l'émission et à la transmission.

#### I.1.3.1. EMISSION ET TRANSMISSION

L'émetteur effectue la mise en série de plusieurs signaux parallèles. Plusieurs canaux sont multiplexés en un flux de données série haut débit. Le signal résultant est synchronisé à l'aide d'une bascule Flip Flop dans le module de synchronisation. Le signal d'horloge, commun au multiplexeur et à la bascule, est généré par un synthétiseur de fréquence. Le signal haut débit est appliqué au module de contrôle du laser, le driver. Celui-ci délivre un signal électrique qui sert à moduler la lumière émise par le laser. Un circuit de contrôle de puissance permet la régulation de la puissance de sortie du driver.

Le signal optique généré par le laser est transmis sur la fibre optique. Pour une transmission longue distance, des amplificateurs optiques de type EDFA (Erbium-Doped Fiber Amplifier) servent à augmenter l'amplitude du signal, dont la longueur d'onde est de 1550nm.

#### I.1.3.2. LA RECEPTION

Dans le récepteur, la lumière modulée contenant le signal à 40Gbit/s est convertie en courant par la photodiode. Ce courant est ensuite transformé en tension par le pré-amplificateur[3]. Le gain de cet étage est parfois régulé par un module de contrôle automatique de gain (CAG). L'amplitude de sortie du pré-amplificateur est souvent trop faible pour conduire les circuits suivants. Un deuxième amplificateur, appelé post-amplificateur, est donc nécessaire.

Le signal de données est ensuite envoyé simultanément vers un circuit de récupération d'horloge et vers un circuit de décision. Ces deux circuits constituent le module de récupération de l'horloge et des données (CDR). Une fois resynchronisé, le signal est démultiplexé pour retrouver les canaux d'origine.

Intéressons nous maintenant au rôle du module CDR.

### I.1.4. LE MODULE DE RECUPERATION D'HORLOGE ET DE DONNEES (CDR)

Dans de nombreux systèmes, dont les systèmes de communications optiques, les données sont transmises sans signal d'horloge séparé. Or le récepteur, recevant ces données, fonctionne de manière synchrone. Il est donc nécessaire de récupérer un signal d'horloge correspondant au flot de données transmis. Ce signal d'horloge extrait du flux permet de synchroniser les données. Le CDR remplit donc ces deux fonctions par l'intermédiaire de deux circuits associés (Figure 1- 3) : le circuit de récupération d'horloge et le circuit de décision.

Les difficultés liées à la conception de CDR performants pour les applications haut débit sont nombreuses.

Parmi celles-ci, le signal d'horloge récupéré doit présenter une forte pureté spectrale : ce signal doit être précis, stable dans le temps et de fréquence égale ou sous multiple au signal des données. Ces critères vont déterminer l'efficacité de la synchronisation.

D'autre part, les circuits constituant le CDR doivent être de plus en plus rapides pour répondre à l'augmentation du débit. En effet, la bande passante du lien haut débit est limitée par la fréquence de fonctionnement des circuits électroniques. Il est donc nécessaire de rechercher des architectures nouvelles, permettant de diminuer les contraintes de vitesse sur les circuits.

[3] Appelé aussi "Amlificateur à transimpédance", noté TIA pour TransImpedance Amplifier.

Enfin, la puissance dissipée par les liens haut débit doit être réduite pour limiter l'échauffement des circuits haute fréquence et permettre l'intégration d'un plus grand nombre de circuits sur une même puce.

Cette fonction critique, que constitue le CDR, a conduit à la réalisation de nombreux travaux antérieurs visant des débits de 2.5Gbit/s, un nombre moindre pour le 10Gbit/s et seulement quelques publications à 40Gbit/s.

Dans la partie suivante, nous faisons le point sur l'état de l'art des modules CDR pour comprendre son fonctionnement et identifier les limites actuelles en termes de performances.

## I.2. ETAT DE L'ART DES CIRCUITS CDR

Les circuits les plus délicats à réaliser sont, comme nous l'avons vu précédemment, localisés dans le récepteur et plus précisément dans le module CDR.

Cette partie analysera donc les circuits CDR en termes de principe de fonctionnement et d'architectures [RAZAVI96]. Nous étudierons ensuite la modélisation linéaire du CDR et identifierons l'influence des circuits qui le constituent (comparateur de phase, filtre de boucle et VCO) sur les performances du système. Nous démontrerons ainsi que l'élément critique du CDR est le VCO.

Nous allons donc étudier chacun des circuits constituant le CDR, à savoir le circuit de détection, le circuit de décision et enfin le circuit de récupération d'horloge. Nous analyserons les avantages et les limites des architectures " classiques " pour chacun de ces circuits.

### I.2.1. PRINCIPE DE FONCTIONNEMENT DU CDR

Le CDR est une fonction d'interface indispensable pour le traitement des données transmises. En effet, aucune information concernant la synchronisation des données n'est connue du récepteur. Une solution consisterait à transmettre un signal d'horloge contenant cette information. Cependant, la transmission d'un tel signal nécessiterait l'utilisation d'un canal de transmission supplémentaire, ce qui serait une solution onéreuse en coût et en encombrement spectral et difficile à synchroniser. Pour l'éviter, le signal d'horloge est inclus dans les données.

A la réception, la synchronisation des données doit être assurée dans le récepteur par le CDR. La Figure 1- 4 décrit l'architecture générique d'un CDR.

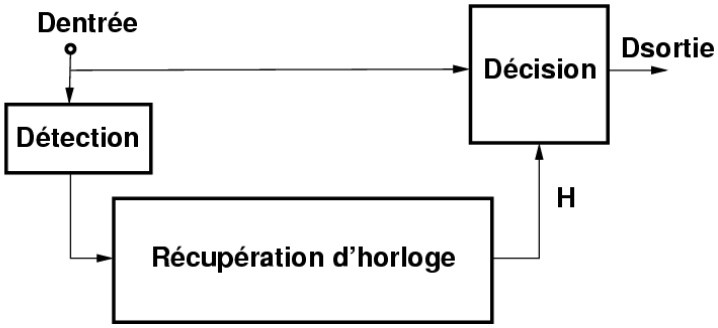



*Figure 1- 4 : Architecture générique d'un CDR.*

Le circuit de détection permet d'extraire du signal de données les fronts d'horloge. Il dépend du format de codage des données. Nous reviendrons en détail sur ce circuit dans le paragraphe suivant.

Le circuit de décision garantit la récupération et la synchronisation des données. Composé de bascules D, le circuit de décision compare le signal des données " Dentrée " à un seuil à chaque front d'horloge récupérée "H" et échantillonne "Dentrée" par "H". L'échantillonnage doit être réalisé précisément au milieu du bit de donnée pour garantir une récupération correcte.

Le circuit de récupération d'horloge permet d'extraire une horloge synchronisée en phase et en fréquence sur le signal de données " Dentrée ". Cette horloge synchronise à son tour le circuit de décision.

Le schéma de principe du CDR et les signaux correspondants sont représentés sur la Figure 1- 5. Les données d'entrée (" Dentrée "), altérées par la transmission, sont synchronisées sur l'horloge H et régénérées en sortie (" Dsortie ").

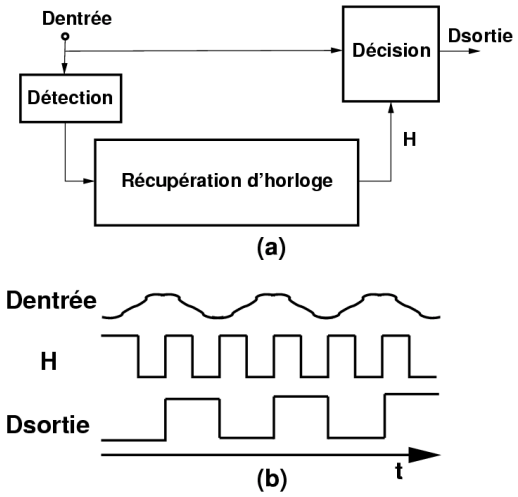



*Figure 1- 5 : Régénération de l'horloge et des données : (a) schéma de principe du CDR, (b) représentation temporelle des signaux correspondants.*

#### I.2.1.1. DETECTION DES FRONTS DU SIGNAL DE DONNEES

Le rôle de ce circuit de détection est de doubler la fréquence du signal d'entrée " Dentrée ". En effet, pour extraire une horloge du signal de donnée, le circuit de récupération d'horloge a besoin d'un signal de fréquence 1/Tb. Tb est la durée d'un bit. Or la fréquence de " Dentrée " est de 1/(2Tb), car les données sont codées en NRZ[4], codage que nous décrivons ci-après.

La détection, utilisée dans les liens dont le débit est inférieur ou égal à 2.5Gbit/s, est moins utilisée dans les systèmes à très haut débit. En effet, nous verrons q'un CDR, totalement intégré et à base de PLL[5], permet de s'affranchir de la détection.

[4] Non Retour à Zéro
[5] Phase-Locked Loop.

### 1. Codage des données

Examinons à présent le codage NRZ des données en entrée et le codage RZ[6]. La différence entre le codage NRZ et le codage RZ est représentée sur la Figure 1- 6:

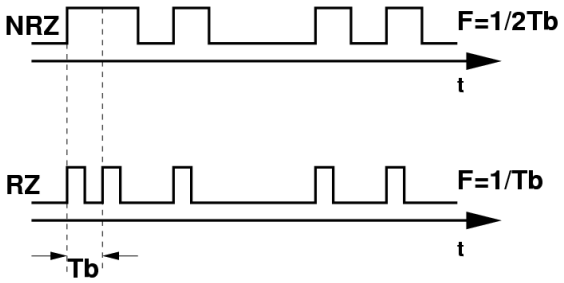



*Figure 1- 6 : Codage NRZ et codage RZ.*

Ce codage NRZ se différencie du codage RZ dans lequel le signal retourne à zéro entre chaque bit consécutif. Pour un débit D donné, le codage NRZ présente donc moins de transitions que le codage RZ. Il occupe donc une bande spectrale plus réduite tout en transmettant la même quantité d'information utile.

Mais le codage NRZ des données complique la récupération d'horloge pour deux raisons. Tout d'abord, le signal NRZ peut présenter des séquences de bits identiques et consécutifs. Au cours de ces séquences, le circuit de récupération d'horloge doit continuer à générer une horloge stable. Par ailleurs, la densité spectrale de puissance du signal de données, notée Px, est nulle aux fréquences multiples de F=1/Tb (Figure 1- 7).

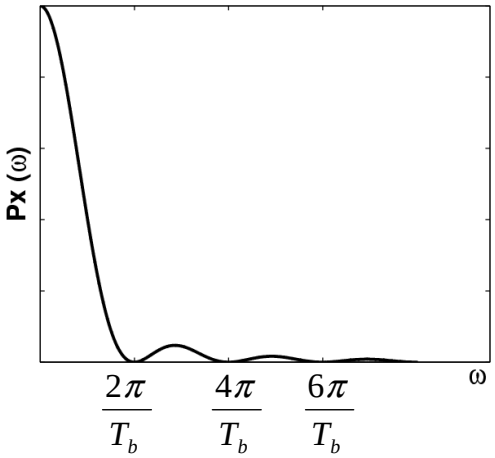



*Figure 1- 7 : Densité spectrale de puissance du signal NRZ.*

En particulier, elle est nulle à la fréquence 1/Tb correspondant à la fréquence d'horloge à récupérer. Il est donc nécessaire de créer artificiellement une composante fréquentielle à F=1/Tb.

[6] Retour à Zéro

Le circuit de détection de la Figure 1- 5.a réalise cette opération. L'objectif est de détecter à la fois les fronts montants et les fronts descendants du signal " Dentrée " (Figure 1- 8).

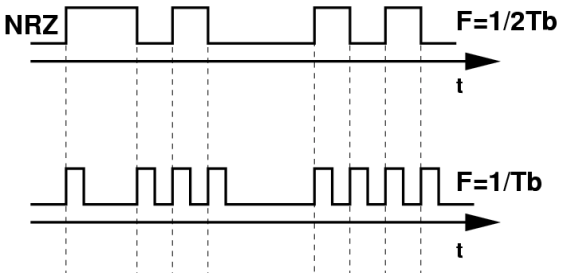



*Figure 1- 8 : Détection des fronts du signal NRZ.*

Cette détection des fronts va s'effectuer généralement de deux manières:

### 2. Détection par un circuit dérivateur associé à un redresseur

Une première méthode consiste à utiliser un circuit dérivateur qui produit des impulsions positives et négatives à chaque front du signal " Dentrée ". Un redresseur convertit ensuite les impulsions négatives en positives. La Figure 1- 9 décrit le circuit :

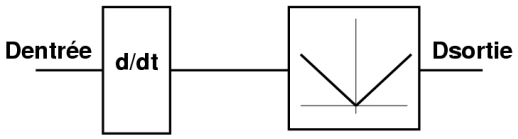



*Figure 1- 9 : Circuit dérivateur et redresseur.*

### 3. Détection par des bascules D

Une deuxième méthode consiste à utiliser deux bascules D actives sur des fronts opposés [POTTBACKER92] (Figure 1- 10).

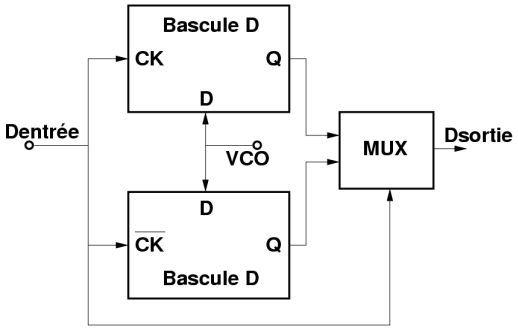



*Figure 1- 10 : Détection par bascules D et multiplexage.*

Cette méthode permet de réaliser conjointement la détection et la mesure du déphasage entre les données et l'horloge. Cependant, cette architecture présente un inconvénient majeur : le circuit de détection échantillonne le signal d'horloge par les données, ce qui induit un retard non souhaité. En effet, le circuit de décision de la Figure 1- 5, constitué aussi d'une bascule D, échantillonne les données par le signal d'horloge. Or, une même bascule D ne présente pas le même délai interne entre l'entrée D et la sortie et entre l'entrée CK et la sortie. Cette différence induit donc un retard sur le signal d'horloge[7] et ne permet pas d'échantillonner les données au milieu de chaque bit.

Les architectures de CDR, dédiées aux applications haut débit, réalisent la détection des fronts et la décision au sein même du circuit de récupération d'horloge. Ceci a pour avantage de s'affranchir du problème de skew vu précédemment. De plus, le nombre de circuits est réduit et la fréquence peut être plus élevée [RAZAVI96].

Intéressons-nous maintenant au circuit de décision.

#### I.2.1.2. LE CIRCUIT DE DECISION

Le rôle du circuit de décision est de régénérer les données reçues " Dentrée ". Ce circuit est généralement constitué d'une bascule D et d'amplificateurs de signaux en entrée et en sortie de cette bascule. Le circuit de décision compare, à chaque front d'horloge, le niveau du signal d'entrée à une tension seuil et décide du niveau[8] de sortie. L'instant de la comparaison, appelé instant d'échantillonnage du bit de donnée, est optimal au milieu de sa durée. Le diagramme de l'œil permet de manière simple d'apprécier la qualité des signaux numériques en sortie du circuit de décision. Ce diagramme est obtenu en visualisant le signal de données sur un oscilloscope synchronisé sur le signal d'horloge. Un exemple de diagramme de l'œil est représenté sur la Figure 1- 11.

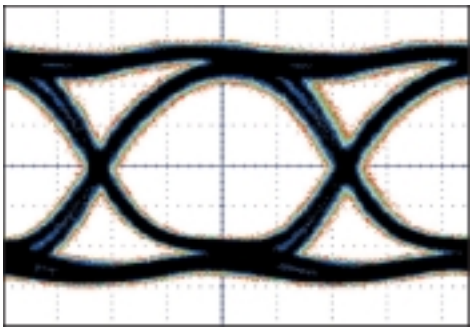


*Figure 1- 11 : Diagramme de l'œil [FRIEDMAN03].*

[7] appelé skew en anglais.
[8] Niveau bas égal à 0 et niveau haut égal à 1

L'ouverture de l'œil du diagramme caractérise le bruit et les distorsions apportés par la chaîne de transmission. Un œil ouvert permet l'échantillonnage aisé des données. Un œil fermé se traduit au contraire par des erreurs de transmission. Cette méthode est utilisée pour caractériser les performances de la récupération de l'horloge et des données.

Nous allons maintenant voir les solutions pour la réalisation du circuit de récupération d'horloge.

#### I.2.1.3. LE CIRCUIT DE RECUPERATION D'HORLOGE

Le signal de données "Dentrée", fortement bruité par le transport sur la fibre, contient la fréquence de référence (correspondant à l'horloge d'émission). Le rôle du circuit de récupération d'horloge consiste à générer, à l'aide d'un VCO, un signal de fréquence égale à celle de la référence des données et dont la pureté spectrale est supérieure au signal "Dentrée". Ceci permet de reconstituer, après échantillonnage, un signal de données stable et faiblement bruité. Nous verrons par la suite que le bruit du signal reconstitué provient essentiellement du VCO.

Trois solutions permettent la réalisation de ce circuit :

- la solution optoélectronique:

Elle consiste à concevoir un photo-oscillateur verrouillé sur le signal optique des données (D-OILO pour Direct Optical Injection LOcking) [KAMITSUNA02]. Il s'agit d'un "photo-oscillateur" qui réalise à la fois la photo-détection et la récupération du signal d'horloge [WITHITSOONTHORN04]. Cette approche permet une synchronisation en fréquence et en phase du signal d'horloge avec le signal optique de données. C'est une solution complexe qui nécessite la génération optique d'un signal de fréquence double.

- L'utilisation d'un filtre passif à bande étroite de type diélectrique ou SAW[9]:

Cette solution présente certaines difficultés lorsqu'une longue séquence de bits identiques est reçue. De plus, elle est coûteuse lorsque l'on souhaite une grande sélectivité [VEHOVIC00].

- L'utilisation d'un VCO à injection [BEGUERET03]:

Cette technique, permet de réaliser un CDR totalement intégré, dont la consommation et le temps d'acquisition sont faibles, la surface et la complexité du système réduites.

- l'utilisation d'une boucle à verrouillage de phase (PLL)

La boucle d'asservissement de la PLL permet à la fois d'extraire la fréquence du signal de donnée et d'asservir la phase. Cette solution totalement intégrable sur silicium présente de nombreux avantages ([RAZAVI96]), que nous allons étudier plus en détail dans le paragraphe suivant.

[9] Surface Acoustic Wave, filtre à onde de surface.

### 1. Principe de la boucle à verrouillage de phase

Une PLL, dédiée aux applications haut débit, est un circuit bouclé comprenant trois sous circuits (Figure 1- 12) : l'oscillateur commandé en tension (VCO[10]), le comparateur de phase (PD[11]) et le filtre de boucle passe-bas (LPF[12]). Dans certains cas, la boucle de retour intègre un diviseur de fréquence.

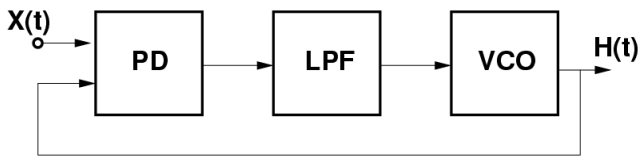



*Figure 1- 12 : Schéma bloc des sous-circuits de la PLL.*

Une boucle à verrouillage permet d'extraire la fréquence du signal d'entrée (X(t)) et d'asservir la phase du signal du VCO (H(t)) sur X(t). En fonctionnement normal, (on dit que la PLL est verrouillée), le comparateur de phase (PD) produit un signal continu proportionnel à la différence de phase entre H(t) et X(t). Le filtre passe-bas (LPF) supprime la composante haute fréquence de la sortie du comparateur de phase. De cette façon, le signal continu en sortie du filtre contrôle la fréquence d'oscillation du VCO. Comme nous le verrons par la suite, ce circuit permet d'améliorer de manière significative les performances en bruit du CDR[13].

Les paragraphes suivants étudient les architectures permettant la réalisation des sous-circuits de la PLL.

[10] Voltage Control Oscillator

[11] Phase Detector

[12] Low Pass Filter

[13] On remarquera que la détection du signal NRZ peut aussi être réalisée par l'insertion d'un diviseur par deux dans la boucle de retour [ISHIHARA94]. Cependant, un diviseur par deux fonctionnant à des fréquences élevées présente plusieurs inconvénients. L'un des principaux est une consommation importante. Cependant, plusieurs architectures de CDR à faible débit utilisent cette approche [ISHIHARA94].

## 2. Le comparateur de phase (PD)

### 2.1. Les solutions possibles pour le lien haut débit

Le comparateur de phase traduit l'erreur de phase ou de fréquence entre deux signaux en un signal électrique continu (tension ou courant). Les deux fonctions essentielles du comparateur de phase sont :

- la détection des transitions du signal de données,
- la comparaison des phases entre l'horloge et les données.

Il est également souhaitable de réaliser le circuit de décision dans le comparateur de phase. Afin de s'affranchir du problème de retard sur l'horloge H, l'horloge échantillonne les données et non l'inverse. Il existe plusieurs types de comparateur de phase. Les principaux sont les comparateurs linéaires de type Hogge et les comparateurs binaires de type Alexander ([HOGGE85], [DEVITO91], [MEYR90], [ALEXANDER75]).

On trouvera en Annexe 1, à la fin de ce chapitre, un descriptif des différents types de comparateurs que l'on trouve dans les circuits CDR.

Pour la réalisation de CDR haut débit, il est difficile de concevoir des VCO hautes fréquences ayant une plage de fréquence large et une forte pureté spectrale. Certaines architectures de CDR permettent de recevoir les données à haut débit, tout en utilisant des VCO dont la fréquence est deux fois ("half-rate") ou quatre fois ("quarter-rate") plus faible que le débit des données. Ces architectures permettent aussi de relâcher les contraintes de vitesse des comparateurs de phase. Les architectures précédentes sont adaptées pour fonctionner à des fréquences sous multiples de la fréquence des données.

Pour une architecture "half-rate", les deux fronts de l'horloge sont utilisés pour détecter les données [RAZAVI02], [SAVOJ01], [SAVOJ03]. Pour une architecture "quarter-rate", plusieurs signaux d'horloge déphasés sont nécessaires. Le comparateur de phase " quarter-rate " décrit dans [LEE03], utilise huit bascules D pour échantillonner un signal de données à 40Gbit/s sur un signal d'horloge multi-phases à 10GHz.

### 2.2. Conclusions sur les comparateurs de phase

Parmi les comparateurs présentés en Annexe 1, les comparateurs de type Hogge et de type Alexander ont été utilisés dans plusieurs réalisations de circuits de récupération d'horloge pour des applications haut débit.

Le Tableau 1- 2 ci-après résume les avantages et les inconvénients des architectures de CDR linéaires de type Hogge et binaires de type Alexander [DEVITO01].

| Critères | Hogge | Alexander |
|---|---|---|
| **Type** | linéaire | binaire |
| **Modélisation** | linéaire | non linéaire |
| **Gain** | fixe | fonction du jitter[14] |
| **Erreur statique** | forte | faible mais présence d'une zone morte |
| **Bande passante** | limitée | large |
| **Consommation** | élevée | faible |
| **Complexité (nombre de portes)** | forte | moyenne |

*Tableau 1- 2 : Comparaison des architectures de CDR linéaires et binaires.*

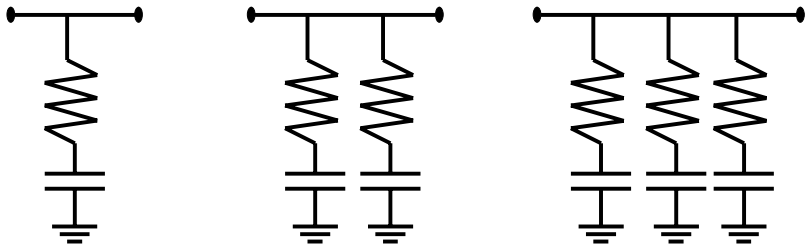
D'après le Tableau 1- 2, le comportement linéaire du comparateur de phase de type Hogge constitue un avantage. Mais la présence d'une erreur statique importante provoque une variation de la phase du VCO.

L'utilisation d'un comparateur binaire de type Alexander semble mieux adaptée à la problématique de récupération d'horloge et de données à haut débit. Cependant, ce choix implique une étude approfondie du bruit de phase et du jitter qui influent sur le gain de ce comparateur. Nous étudierons ces aspects de modélisation dans les paragraphes suivants.

Le signal à la sortie du comparateur de phase est utilisé pour asservir le VCO. Il est cependant nécessaire de filtrer au préalable ce signal, c'est le rôle du filtre de boucle.

### 3. Le filtre de boucle et la pompe de charge (LPF)

Le filtre de boucle, de type passe-bas, peut être implémenté de plusieurs façons. L'ordre du filtre est déterminé à partir des contraintes de stabilité, de rapidité et de filtrage du bruit. De plus, certaines contraintes technologiques comme celle de la densité d'intégration peuvent intervenir dans le choix du filtre. Trois exemples sont donnés sur la Figure 1- 13:



**(a) Filtre d'ordre 1** **(b) Filtre d'ordre 2** **(c) Filtre d'ordre 3**

*Figure 1- 13 : Exemple de filtres de boucle passifs.*

[14] Nommé aussi "guigue temporelle". Cette notion est expliquée par la suite.

Cependant, dans un circuit de récupération d'horloge et de données, le filtre de boucle a un rôle plus spécifique. En effet, le signal de données NRZ peut présenter une longue séquence de bits sans transition. Le filtre de boucle doit alors permettre de conserver la même tension continue en sortie pendant toute la séquence. Une solution intégrée consiste à utiliser en amont du filtre une pompe de charge qui, en l'absence d'activité du comparateur de phase, va conserver en mémoire la tension de sortie de l'état précédent (Figure 1- 14) ([ISHIHARA94] [KISHINE99] [GRESHISHCHEV00]).

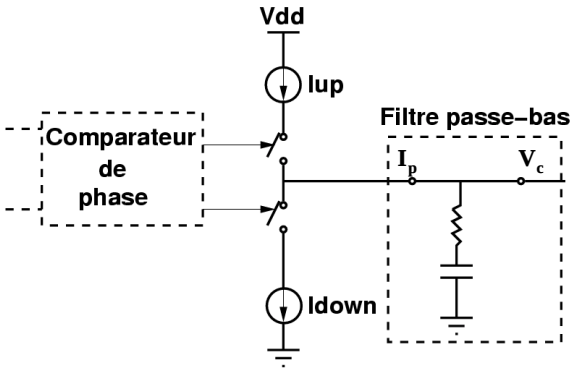



*Figure 1- 14 : Schéma bloc de la pompe de charge entourée du comparateur et du filtre.*

La pompe de charge permet la traduction des informations binaires en provenance d'un comparateur de phase en une information électrique (courant $I_p$) utile afin de commander le VCO par la tension de contrôle $V_c$. La pompe de charge fonctionne selon trois états :

- l'injection de charges dans le filtre (courant Iup),
- la conservation des charges (état " haute impédance "),
- et le retrait de charges du filtre (courant Idown).

Le rôle de la pompe de charge est d'assurer que la quantité de charge dans le filtre est linéairement proportionnelle à l'erreur de phase ou de fréquence détectée par le comparateur de phase. Cependant la réalisation de ce circuit présente trois difficultés majeures :

- les problèmes d'injection des courants de fuite qui induisent des erreurs de phase systématiques,
- les variations technologiques qui induisent des problème de partage de charges et génère des problèmes d'appariement entre les sources de courant Iup et Idown,
- et enfin, la zone dite " zone morte " se traduit par une zone " plate " dans la caractéristique (quantité de charge-différence de phase) pour les petites erreurs de phase. Dans ce cas, la tension de sortie de la pompe de charge ne varie plus suffisamment et la PLL ne réussit plus à corriger cette erreur. Les performances en jitter de la PLL seront limitées par cette zone.

Différentes techniques existent pour diminuer les problèmes d'injection et de partage de charges, notamment l'utilisation de la pompe de charge à structure différentielle [ANAND01].

Le dernier sous-circuit de la PLL est le VCO, présenté ci-dessous.

#### 4. L'oscillateur commandé en tension (VCO)

L'oscillateur commandé en tension (VCO) génère un signal périodique dont la fréquence varie en fonction d'une tension continue de contrôle. Il est caractérisé principalement par la fréquence centrale d'oscillation, par la bande de fréquence d'utilisation, et par les performances en termes de bruit de phase.

La pureté spectrale du signal de sortie du VCO détermine en grande partie les performances du CDR. En effet, les variations temporelles aléatoires et non souhaitées de ce signal changent l'instant d'échantillonnage des données dans le circuit de décision. Une trop grande variation peut provoquer un instant d'échantillonnage erroné (le bit échantillonné est faux). Ainsi, les performances en jitter du VCO déterminent la qualité du signal reconstitué.

Les choix de l'architecture du système complet et de l'architecture du VCO sont liés. En effet, une architecture de CDR de type " half-rate " ou " quarter-rate " nécessite l'utilisation d'un VCO produisant plusieurs signaux déphasés.

Il existe plusieurs façons de concevoir un VCO. On peut citer, par exemple, l'oscillateur à cristal commandé en tension (VCXO), l'oscillateur en anneau à base de cellules RC et les oscillateurs de type LC. Une étude approfondie des différentes architectures de VCO et de leurs performances sera détaillée dans le chapitre III.

Après avoir passé en revue les éléments constitutifs des CDR, nous allons examiner la modélisation du système CDR complet et étudier les mécanismes qui influent sur ses performances.

### I.2.2. MODELISATION LINEAIRE DU CDR

Nous avons vu dans les paragraphes précédents que les nouvelles réalisations de CDR pour les liens haut débit tendent à intégrer les circuits de détection et de décision dans le circuit de récupération d'horloge. Cette méthode est particulièrement adaptée aux applications dont le débit dépasse 10Gbit/s. En effet, en intégrant deux fonctions dans le même circuit on s'affranchit d'interfaces inutiles entre les circuits, on réduit les interconnections et on élimine les redondances.

Les performances du CDR sont liées à celles de la PLL. Nous allons donc décrire sommairement la modélisation linéaire d'une PLL.

#### I.2.2.1. MODELISATION LINEAIRE DE LA PLL

La réponse temporelle d'une boucle à verrouillage de phase est un processus non linéaire. Cependant, une approximation linéaire du comportement d'une PLL verrouillée peut être adoptée, afin de comprendre les compromis liés à la conception [RAZAVI96].

La Figure 1- 15 décrit les fonctions de transfert de chaque bloc constituant la PLL, lorsque celle-ci est verrouillée. Le modèle recherché doit nous permettre d'exprimer la fonction de transfert en boucle fermée entre la phase du signal du VCO et la phase du signal d'entrée.

Le gain de la boucle est égal au produit entre le gain du VCO ($K_{VCO}/s$) où $s$ est la variable complexe de la transformée de Laplace, le gain du comparateur de phase ($K_{PD}$) et le gain du filtre ($G_{LPF}$).

Si $Phi_{entrée}$ est la phase du signal de donnée et $Phi_{VCO}$ la phase du signal en sortie du VCO, $\theta_e$ est la différence entre $Phi_{entrée}$ et $Phi_{VCO}$ et constitue l'erreur de phase.

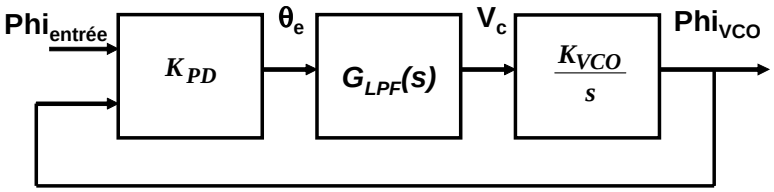



*Figure 1- 15 : Les fonctions de transfert des blocs de la PLL.*

La fonction de transfert en boucle ouverte de la PLL s'écrit :

$$H_0(s) = K_{PD} \cdot G_{LPF}(s) \cdot \frac{K_{VCO}}{s} \qquad (1\text{- }1)$$

On en déduit la fonction de transfert H(s) de la boucle fermée avec l'équation (1- 2)

$$H(s) = \frac{H_0(s)}{(1 + H_0(s))} \qquad (1\text{- }2)$$

soit,

$$H(s) = \frac{Phi_{VCO}}{Phi_{entrée}} = \frac{K_{PD} \cdot K_{VCO} \cdot G_{LPF}(s)}{s + K_{PD} \cdot K_{VCO} \cdot G_{LPF}(s)} \qquad (1\text{- }3)$$

L'ordre du système est caractérisé par le nombre de pôles de la fonction de transfert H. Le VCO, équivalent en bande de base à un intégrateur parfait, présente un pôle à l'origine. L'ordre du système est donc égal à (n+1), n étant l'ordre du filtre de boucle.

La fonction de transfert H est de type passe-bas. Ainsi, la phase et la fréquence du signal du VCO suivent la phase et la fréquence du signal d'entrée, tout au moins si celles-ci ne varient pas vite devant la fréquence de coupure de l'asservissement.

La fonction de transfert $H_e$ de l'erreur de phase est définie par :

$$\begin{aligned} H_e(s) &= \frac{\theta_e}{Phi_{entrée}} = 1 - H(s) \\ &= \frac{s}{s + K_{PD} \cdot G_{LPF}(s) \cdot K_{VCO}} \end{aligned} \qquad (1\text{-}4)$$

Cette fonction de transfert $H_e$ est de type passe-haut. Le gain vis à vis des fluctuations tend vers 0 aux fréquences nulles (élimination totale des composantes basse fréquence des fluctuations) et vers 1 aux fréquences élevées (composantes hautes fréquences des fluctuations conservées). La fréquence de coupure est égale au produit $K_{PD}.G_{LPF}.K_{VCO}$. Ainsi, lorsque la fréquence des fluctuations de phase du signal d'entrée est élevée, l'erreur de phase $\theta_e$ est égale à la phase du signal d'entrée. La PLL se déverrouille et le modèle linéaire n'est plus applicable.

#### I.2.2.2. CONCLUSION

Le modèle linéaire de la PLL permet donc d'exprimer la fonction de transfert de l'asservissement, de type passe-bas, et la fonction de transfert de l'erreur de phase, du type passe-haut. Nous allons à présent étudier les conséquences de ce modèle sur le bruit de phase et le jitter d'un CDR.

### I.2.3. ETUDE DU BRUIT DE PHASE ET DU JITTER DANS LE CDR

#### I.2.3.1. INTRODUCTION

Le jitter et le bruit de phase sont des considérations importantes dans de nombreux systèmes de communication. Le décalage temporel des fronts d'une horloge conduit à un échantillonnage erroné du bit de donnée dans le circuit de décision et augmente donc le taux d'erreur binaire (BER en anglais pour Bit Error Rate). C'est la principale source d'erreur dans les liens de communication haut débit. La PLL est particulièrement sensible aux fluctuations aléatoires de la phase et de la fréquence des signaux qu'elle traite.

Nous allons étudier plus en détail les origines et les effets du jitter et du bruit de phase. Ces deux phénomènes traduisent la fluctuation aléatoire de la phase d'un signal. Le bruit de phase caractérise l'erreur de phase dans le domaine fréquentiel alors que le jitter est la

représentation temporelle de cette même erreur. Le bruit de phase et le jitter total d'une PLL sont inhérents au bruit de phase et au jitter du VCO.

Le but de cette partie est d'étudier les mécanismes de génération du jitter et du bruit de phase dans un VCO, puis dans une PLL et leur impact sur les performances d'un lien haut débit. Nous verrons enfin que les performances d'un lien haut débit sont estimées à l'aide de trois types de jitter définis dans les normes.

#### I.2.3.2. BRUIT DE PHASE ET JITTER DANS LES VCO

Nous allons étudier sur le plan théorique le bruit de phase dans les oscillateurs ([ROBIN82], [HERZEL99], [HAJIMIRI99], [WEIGANDT98], [LIU04]). Nous en verrons les différentes causes dans le chapitre 3.

Soit X(t) un signal sinusoïdal donné par:

$$X(t) = A\cos(2\pi f_0 t + \theta(t)) \qquad (1\text{- }5)$$

Dans le cas idéal ($\theta(t)=0$), la densité spectrale de X(t) est décrite par un pic de Dirac à la fréquence centrale $f_0$ suivie par les harmoniques à ses fréquences multiples. En pratique, $\theta(t)\neq 0$, et la fluctuation aléatoire de la phase du signal se manifeste par un étalement de la densité spectrale de puissance $S_X(f)$ autour de $f_0$, comme représenté sur la Figure 1- 16:

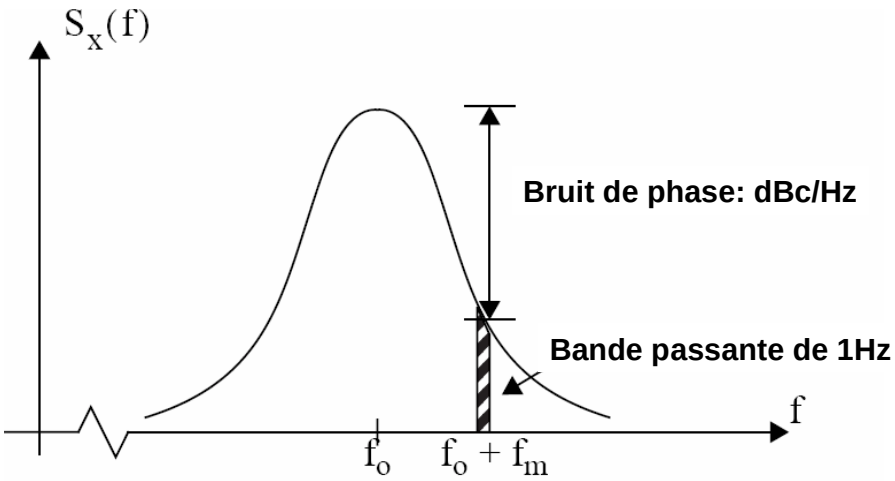



*Figure 1- 16 : Densité spectrale d'un signal sinusoîdal de fréquence $f_0$.*

Le bruit de phase d'un oscillateur traduit cet étalement spectral. Il est exprimé en dBc/Hz[15] et correspond au rapport entre la puissance du signal contenu dans une bande de 1Hz, située à la fréquence $f_0+f_m$, et la puissance du signal à $f_0$. Ce bruit de phase peut être représenté

[15] c désigne " carrier " ou porteuse en français.

graphiquement par le rapport de la surface du rectangle de largeur 1Hz à la fréquence $f_0+f_m$ sur l'aire totale sous la courbe de densité spectrale de puissance.

Le bruit de phase d'un oscillateur est égal à la densité spectrale des fluctuations de phase $S_\theta(f_m)$ en fonction de la fréquence d'offset[16] $f_m$ et est représenté sur la Figure 1- 17.

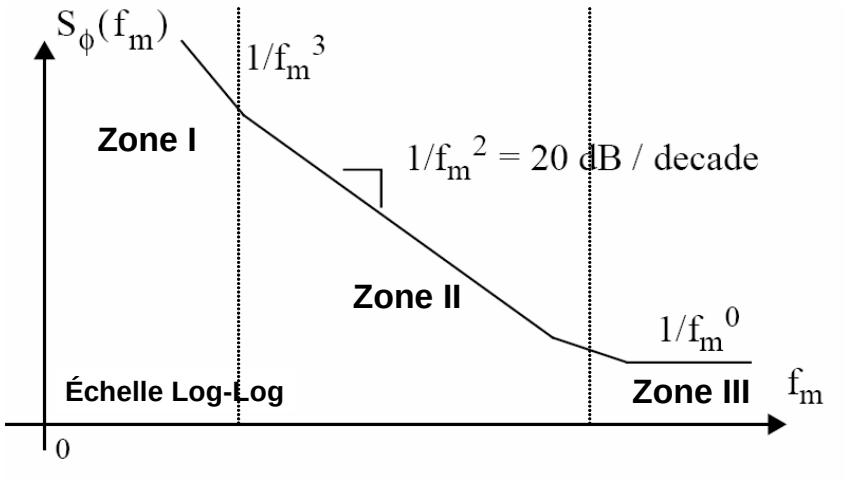



*Figure 1- 17 : Densité spectrale des fluctuations de phase en fonction de la fréquence d'offset.*

Trois zones caractéristiques de la densité spectrale de fluctuations de phase sont visibles [WEIGANDT98]:

- Zone I : La pente en $1/f^3$ est liée à la conversion du bruit basse fréquence de scintillement de l'oscillateur (bruit en 1/ f).
- Zone II : La pente en $1/f^2$ correspond à la conversion du bruit Lorentzien ou bruit blanc de fréquence.
- Zone III : correspond au bruit blanc.

Nous étudierons plus en détail les mécanismes de conversion du bruit des composants électroniques dans le chapitre III.

La fluctuation aléatoire de la phase d'un signal peut également être observée dans le domaine temporel et se manifeste par le jitter. Le jitter de période d'un oscillateur est défini par la variation efficace (RMS[17]) de la période du signal de sortie. Le jitter de période décrit donc la variation de l'instant d'une transition par rapport à la transition précédente (Figure 1- 18).

[16] La fréquence d'offset est la fréquence de décalage par rapport à la fréquence centrale.

[17] signifie "Root Mean Square".

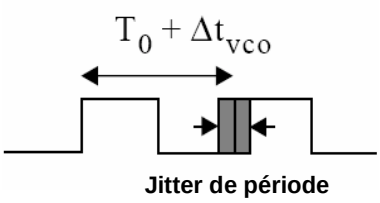



*Figure 1- 18 : Jitter de période d'un signal carré.*

$\Delta t_{VCO}$ est la variable aléatoire traduisant l'erreur temporelle aléatoire sur l'instant d'une transition ou jitter de période. Bien entendu, cette variable aléatoire est dépendante de la nature du bruit mis en jeu. Dans le cas de la conversion du bruit blanc de fréquence (zone II de la Figure 1- 17), l'erreur temporelle a une dispersion gaussienne de moyenne nulle. Dans ce cas bien précis, les erreurs temporelles entre chaque période ne sont pas corrélées. Comme nous le verrons par la suite, cette zone II est celle qui nous intéresse le plus dans le cas des circuits de récupération d'horloge et de données.

Le jitter absolu $\overline{\Delta t_{VCO}}^{2}(t)$ est différent du jitter de période. Il caractérise l'erreur totale de variance au bout de n périodes du signal de l'oscillateur par rapport à une base de temps idéal. Il représente donc l'accumulation de l'erreur temporelle au cours d'un certain temps t. Dans le cas d'erreur de type gaussienne et non corrélée correspondant à la zone II de la Figure 1- 17, le jitter absolu progresse linéairement (Figure 1- 19).

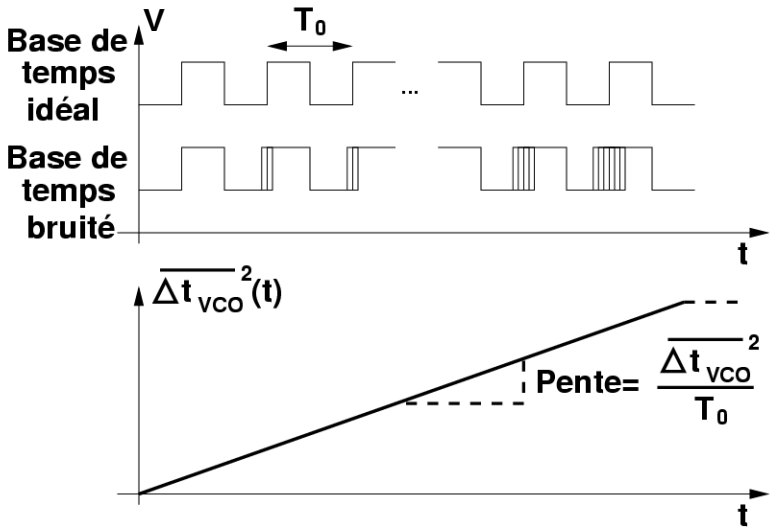



*Figure 1- 19 : Jitter absolu en fonction du temps*

Cette erreur permet de rendre compte de la dynamique d'un oscillateur contrairement à la représentation "statique" du jitter de période. La mesure du diagramme de l'œil permet de rendre compte de l'accumulation du jitter de période et donc de la capacité de l'oscillateur à générer un signal stable en phase.

De manière plus générale, la relation liant le bruit de phase d'un oscillateur et le jitter absolu est [ROBINS82]:

$$\overline{\Delta t_{VCO}}^{2}(t) = \int_{\frac{1}{t}}^{\infty} S_{\theta}(f)\,df \qquad (1\text{- }6)$$

Nous allons à présent étudier le bruit de phase et le jitter dans la PLL dédiée à la récupération d'horloge et des données.

### I.2.3.3. BRUIT DE PHASE ET JITTER DANS LES PLL

La modélisation linéaire de la PLL a été décrite dans le paragraphe I.2.2. En rajoutant à cette modélisation les sources de bruit du VCO, du comparateur de phase et du filtre passe-bas, nous allons montrer la relation qui existe entre ces différentes sources de bruit. Nous montrerons ensuite le lien entre le bruit de phase et le jitter.

#### 1. Bruit de phase dans la PLL

Contrairement à une PLL classique, le circuit CDR n'admet pas en entrée un signal de référence mais un signal de donnée bruité.

La Figure 1- 20 représente le modèle linéaire d'une PLL auquel nous avons ajouté les trois sources principales de bruit : $BP_D$ est le bruit de phase du signal de données, $BP_{PD}$ le bruit de phase généré par le comparateur de phase et $BP_{VCO}$ le bruit de phase du VCO. $Phi_{entrée}$ est la phase du signal d'entrée et $Phi_{VCO}$ la phase du signal de sortie du VCO :

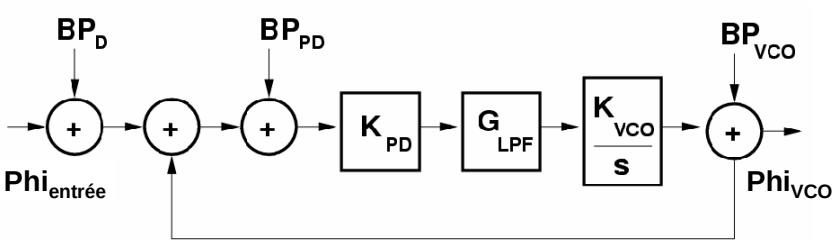



*Figure 1- 20 : Modèle linéaire de la PLL avec les sources de bruit.*

Le bruit de phase total en sortie du VCO est donné par la relation suivante [ROHDE97]:

$$BP_{total} = \frac{(BP_D + BP_{PD})\cdot\left[\dfrac{K_{PD}\cdot K_{VCO}\cdot G_{LPF}(s)}{s}\right]}{1+\left[\dfrac{K_{PD}\cdot K_{VCO}\cdot G_{LPF}(s)}{s}\right]} + \frac{BP_{VCO}}{1+\left[\dfrac{K_{PD}\cdot K_{VCO}\cdot G_{LPF}(s)}{s}\right]} \qquad (1\text{- }7)$$

Soit $G_r(s)$ la fonction de transfert qui décrit l'influence du bruit de phase du VCO sur le bruit de phase total de la PLL, et $G(s)$ celle qui décrit l'influence du bruit de phase du signal d'entrée. On obtient donc:

$$BP_{total} = G(s)\cdot(BP_D + BP_{PD}) + \frac{G_r(s)}{BP_{VCO}}$$

$$avec$$

$$G(s) = \frac{\left[\frac{K_{PD}\cdot K_{VCO}\cdot G_{LPF}(s)}{s}\right]}{1+\left[\frac{K_{PD}\cdot K_{VCO}\cdot G_{LPF}(s)}{s}\right]} \qquad (1\text{-}8)$$

$$G_r(s) = \frac{(BP_{VCO})^2}{1+\left[\frac{K_{PD}\cdot K_{VCO}\cdot G_{LPF}(s)}{s}\right]}$$

$G_r(s)$ a une caractéristique passe-haut. Le bruit de phase du VCO, à fréquence d'offset faible, est donc rejeté par la boucle. Le bruit de phase du VCO à fréquence d'offset élevée est, quant à lui, directement transmis à la sortie de la PLL.

$G(s)$ a une caractéristique passe-bas. La PLL rejette le bruit de phase haute fréquence du signal de données mais transmet son bruit de phase basse fréquence.

Ces mécanismes sont illustrés sur la Figure 1- 21 :

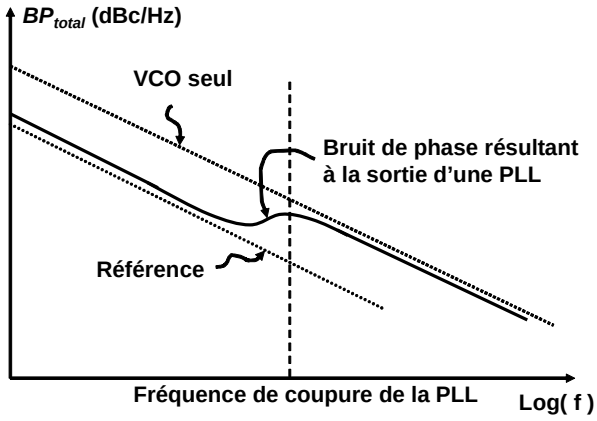



*Figure 1- 21 : Bruit de phase de la PLL*

Voyons maintenant le comportement en bruit de phase à la sortie du CDR. Le CDR se différencie de la PLL de part le fait que le signal d'entrée est parfois plus bruyant que le signal du VCO. La Figure 1- 22 illustre, d'une part, le bruit de phase du VCO seul, d'autre part, le bruit de phase du signal d'entrée, et enfin, le bruit de phase résultant à la sortie du CDR [HAJIMIRI98]:

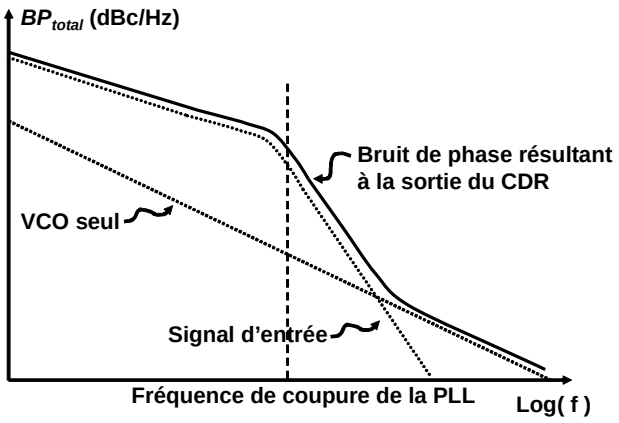



*Figure 1- 22: Bruit de phase de la PLL dédiée au CDR.*

On remarque que, pour le CDR, le bruit de phase du signal d'entrée est la première source d'erreur jusqu'à la fréquence de coupure de la PLL. Au-delà de la fréquence de coupure, le bruit de phase du VCO devient la composante dominante du bruit de phase du CDR. L'amélioration des performances en jitter du CDR résulte donc d'une optimisation du bruit de phase du VCO et d'une réduction de la fréquence de coupure de la PLL.

### 2. Conséquences du jitter sur la fonction de transfert d'un CDR binaire

Le jitter temporel du circuit de récupération de l'horloge et des données a été étudié dans les références [LEE03b], [RAMEZANI02], [GRESHISHCHEV00] et [GRESHISHCHEV00b]. En première approximation, le jitter total de sortie dépend du jitter du VCO, du jitter du signal d'entrée et de la bande passante de la PLL. Dans les architectures de CDR utilisant le comparateur de phase de type Alexander (binaire), le jitter modifie le gain du comparateur de phase. Dans le cas idéal, c'est-à-dire sans jitter, le gain d'un comparateur de phase binaire est infini (Figure 1- 23a).

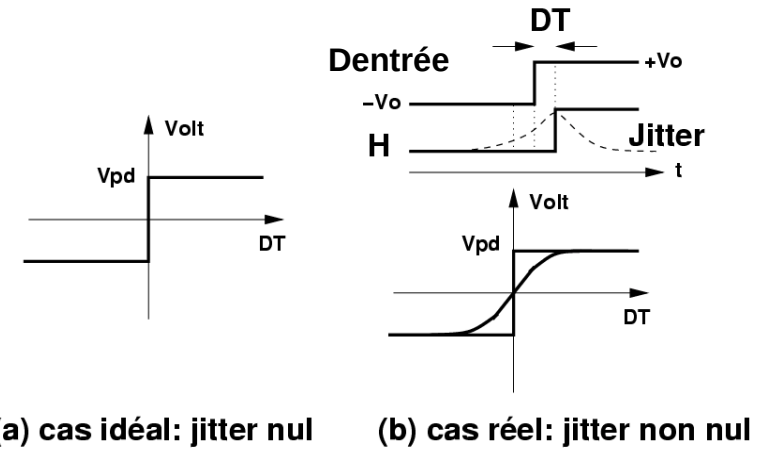



*Figure 1- 23 : Caractéristique du comparateur de phase binaire (a) sans jitter (b) avec jitter.*

En réalité, le produit de convolution entre la caractéristique du comparateur de phase et la densité de probabilité du jitter conduit à un gain de valeur finie (Figure 1- 23b). Ce gain est d'autant plus faible que la probabilité *p(x)* de jitter est grande. Soit DT le décalage temporel entre l'entrée "Dentrée" et l'horloge H. La tension de sortie moyenne ($V_{PD}(DT)$) du comparateur de phase est égale à:

$$\overline{V_{PD}}(DT) = V_0 - 2V_0 \int_{-\infty}^{+DT} p(x)dx \qquad (1\text{- }9)$$

où $V_0$ est la tension maximale du signal d'entrée.

Le gain des comparateurs de phase binaire n'est donc pas infini. Il est cependant suffisamment grand pour que dans certaines configurations, il ne soit pas nécessaire d'utiliser une pompe de charge. On utilise, dans ce cas, un convertisseur tension courant fonctionnant à faible vitesse qui fournit un courant au filtre de boucle, comme nous l'avons vu dans la partie I.2.1.3.3. La Figure 1- 24.a représente le modèle d'un tel CDR [LEE03b]. Sur la Figure 1- 24.b, la caractéristique du courant moyen $I_{av}$ en fonction de l'erreur de phase $\theta_e$ montre la plage de linéarité du convertisseur (2 $Phi_m$) et l'excursion du courant de sortie (2 $I_p$).

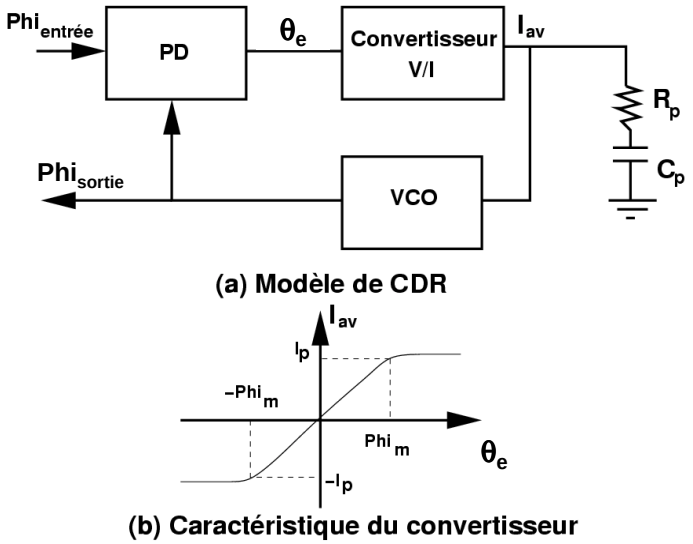



*Figure 1- 24 : CDR binaire, (a) schéma bloc, (b) Caractéristique $I_{av}=f(\theta_e)$.*

### 3. Conclusion

Cette analyse simplifiée de la PLL nous a permis de rendre compte de l'importance du jitter et du bruit de phase sur les performances du CDR. Nous établirons, dans le chapitre III, les spécifications de jitter et de bruit de phase pour la conception du module CDR à 40Gbit/s. Nous allons à présent décrire les normes de jitter définies par SONET pour les liens à haut débit. Pour cela, nous étudierons le système décrit précédemment (Figure 1- 24).

### I.2.3.4. LES NORMES DE JITTER DANS LES LIENS HAUT DEBIT

Dans les spécifications des normes SONET (normes américaines) ou SDH (normes européennes), trois types de jitter sont importants [GRESHISHSCHEV00]:

- le jitter dit de "transfert ",
- le jitter dit "toléré",
- le jitter dit de "génération ".

L'étude ci-dessous s'applique au CDR représenté sur la Figure 1- 24 où IP, RP, et CP sont respectivement le courant maximal à la sortie du convertisseur, la résistance et la capacité du filtre de boucle.

#### 1. Le jitter de transfert

Le jitter de transfert représente la réponse du CDR au jitter d'entrée, $Phi_{entrée}$, exprimé par:

$$Phi_{entrée}(t) = Phi_{entrée,crête} \cdot \cos(\omega_{Phi}(t)) \qquad (1\text{- }10)$$

La fonction de transfert approchée du jitter de transfert est donnée par l'équation (1- 11) [LEE03b]:

$$JTRAN(s) = \frac{Phi_{sortie,crête}}{Phi_{entrée,crête}}(s) = \frac{1}{1+\frac{s}{\omega_{-3dB}}} \qquad (1\text{- }11)$$

avec $Phi_{entrée,crête}$ la phase maximum du signal de données à l'entrée du CDR, $Phi_{sortie,crête}$, la phase maximum du signal de sortie du VCO. La bande passante à -3dB de JTRAN est égale à:

$$\omega_{-3dB} = \frac{\pi \cdot K_{VCO} \cdot I_p \cdot R_p}{2 \cdot Phi_{entrée,crête}} \qquad (1\text{- }12)$$

On notera que cette bande passante est inversement proportionnelle à l'amplitude du jitter d'entrée, indépendante de la capacité constituant le filtre de boucle $C_p$ à condition que celle-ci soit suffisamment large et proportionnelle au gain du VCO ($K_{VCO}$).

Dans le cas des systèmes à haut débit, un masque SONET, défini par l'ITU[18], spécifie le diagramme de Bode de JTRAN à ne pas dépasser et un gain maximum de jitter (JP[19]) de 0.1dB. Elle définie aussi des fréquences de coupure différentes pour ce masque, selon le type

[18] ITU signifie International Telecommunication Union
[19] JP pour Jitter Peaking

d'équipement (synchrone, asynchrone ou 3R[20]). La fréquence de coupure pour les équipements synchrones est de 16kHz. Ce masque est représenté sur la Figure 1- 25 [SONET01].

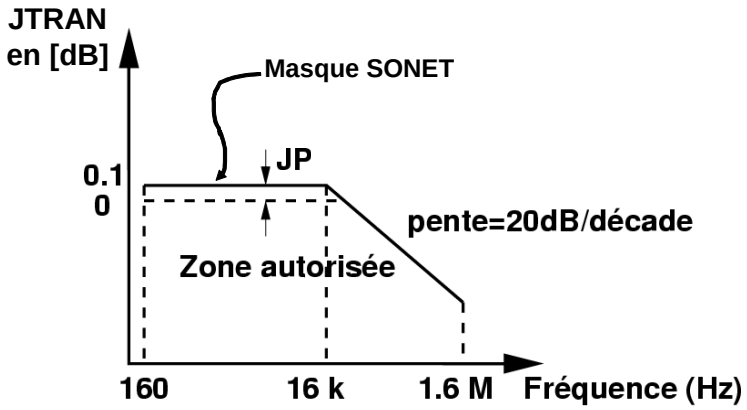



*Figure 1- 25 : Masque du jitter de transfert défini par les normes SONET pour les applications 40Gbit/s synchrones [SONET01].*

L'augmentation de jitter (JP) peut être modélisée et estimée dans le but de satisfaire les spécifications ITU [DEVITO01]:

$$JP = 1 + \frac{1}{K_{VCO} K_{PD} C_p R_p^{\,2}} \qquad (1\text{- }13)$$

Où $K_{VCO}$ est le gain du VCO en [Hz/V],

$K_{PD}$ est le gain du comparateur de phase en [V/radians],

Et $C_P$ et $R_P$ sont respectivement la capacité en [F] et la résistance en [Ω] d'un filtre de boucle du premier ordre (éléments en série).

L'équation (1- 13) traduit notamment la relation entre JP et $K_{VCO}$: Un gain élevé du VCO permettra de réduire le jitter de transfert en dessous de 0.1dB. Cependant, un fort $K_{VCO}$ entraîne un bruit de phase du VCO plus important. Il existe donc un compromis entre l'augmentation du jitter et le bruit de phase "généré" par le VCO.

### 2. Le jitter toléré

Le jitter toléré mesure la capacité du CDR à suivre le signal de données altéré par un jitter. Le jitter sur le signal d'entrée peut être considéré comme une modulation de phase. Le CDR doit fournir un signal d'horloge qui suit cette modulation de façon à synchroniser les données. Le jitter toléré est défini par un masque. Le masque pour le 40Gbit/s, représenté sur la

[20] 3R pour " Reamplification, Reshaping and Retiming ": équipements entre l'émetteur et le récepteur dans les transferts "longue distance".

Figure 1- 26, est un diagramme qui donne l'amplitude de jitter sur l'entrée en fonction de la fréquence d'offset[21]. Le CDR doit donc être capable de corriger un jitter d'entrée supérieur au masque pour chaque fréquence d'offset.

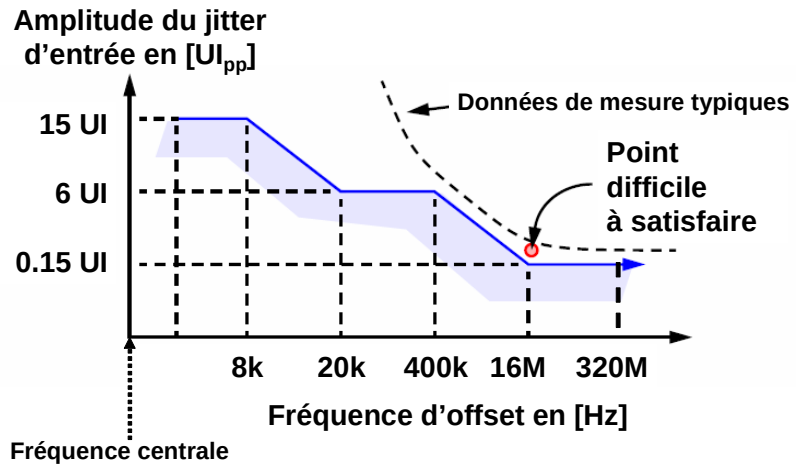



*Figure 1- 26 : Masque du jitter toléré défini par la norme SONET pour les applications 40Gbit/s [SONET01].*

L'amplitude est exprimée en Intervalle Unité crête-crête, UI[22]$_{pp}$. $UI_{pp}$ est égale à 23.25ps pour une application à 43Gbit/s[23]. On notera qu'à la fréquence d'offset de 16MHz, le CDR doit être en mesure de corriger une amplitude de jitter en entrée supérieure à $0.15UI_{pp}$, soit 3.49ps (voir Figure 1- 26).

### 3. Le jitter de génération

La troisième caractéristique de jitter spécifiée par les normes SONET est le jitter de génération. Celui-ci est défini par la quantité de jitter " générée " par le CDR en l'absence de jitter sur le signal d'entrée. Ce jitter est donc celui que le concepteur doit prendre en compte lors de la réalisation du circuit, ce jitter de génération étant le seul créé par le circuit.

Les origines du jitter dans un CDR sont le bruit de phase du VCO, le bruit du comparateur de phase, ainsi que les bruits d'alimentation et de substrat. Le bruit de phase du VCO est prépondérant. En effet, des précautions particulières lors de la conception et lors du dessin du circuit permettent d'atténuer les autres sources de bruit [HAJIMIRI98].

Pour les applications à 43Gbit/s, le jitter de génération ne doit pas dépasser $1.2UI_{pp}$ sur une bande d'offset de 20kHz à 320MHz pour les équipements synchrones. Sur la bande plus étroite de 16MHz à 320MHz, la limite de jitter est spécifiée à $0.1UI_{pp}$ quelques soient les

[21] Rappel: la fréquence d'offset est la fréquence de décalage par rapport à la fréquence centrale.
[22] en anglais pour Unit Interval peak to peak.
[23] Le débit réel d'un lien à 40G est de 43Gbit/s. Cette augmentation est due à l'insertion de trames de données supplémentaires pour les algorithmes de correction d'erreurs.

équipements. Il apparaît donc que la bande 16MHz à 320MHz est plus critique en termes de génération de jitter. Il est donc important de concevoir un CDR dont la fréquence de coupure est inférieure à 16MHz de manière à intégrer, au-delà de 16MHz, le bruit de phase du VCO seul (dont la pureté spectrale est meilleure que celle du signal de données).

Une première approximation consiste donc à prendre en compte seulement le bruit de phase du VCO [LEE03b]. La fonction de transfert du bruit de génération lorsque $\omega_{Jitter} > \pi.K_{VCO}.I_p.R_p/(2.Phi_{VCO,crête})$ s'exprime selon (1- 14).

$$JGEN(s) = \frac{Phi_{sortie,crête}}{Phi_{VCO,crête}} = \sqrt{1 - \frac{\pi^2 \cdot K_{VCO}{}^2 \cdot I_p{}^2 \cdot R_p{}^2}{4 \cdot \omega_{Jitter}{}^2 \cdot Phi_{VCO,crête}{}^2}} \qquad (1\text{- }14)$$

où $Phi_{sortie,crête}$ et $Phi_{VCO,crête}$ sont respectivement les phases maximales des signaux de sortie du CDR et du VCO.

Lorsque la fréquence du jitter est élevée, le jitter de sortie est égal au jitter du VCO. A faible fréquence de jitter, la pente de la caractéristique est de -20dB par décade [LEE03b]. La Figure 1- 27 illustre la dépendance entre le jitter de génération et le jitter du VCO:

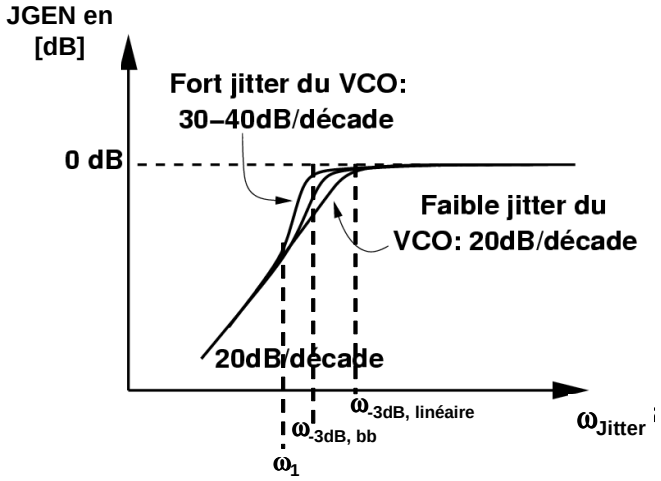



*Figure 1- 27 : Effet du jitter du VCO sur le jitter de génération.*

Lorsque le jitter du VCO augmente, la caractéristique du comparateur de phase binaire entre en zone non linéaire (Figure 1- 24). La pente de JGEN augmente. Les pulsations caractéristiques $\omega_1$, $\omega_{-3dB,bb}$ et $\omega_{-3dB,linéaire}$ sont exprimées ci-après.

$$\omega_1 = \frac{K_{VCO} \cdot I_p \cdot R_p}{\sqrt{Phi_{VCO,crête}{}^2 - Phi_m{}^2}}$$
$$\omega_{-3dB,bb} = \frac{\pi \cdot K_{VCO} \cdot I_p \cdot R_p}{\sqrt{2} \cdot Phi_{VCO,crête}} \qquad (1\text{-}15)$$
$$\omega_{-3dB,linéaire} = \frac{K_{VCO} \cdot I_p \cdot R_p}{Phi_m}$$

#### I.2.3.5. CONCLUSION

Nous avons décrit dans cette partie le bruit de phase et le jitter à trois niveaux d'implémentation différents, le VCO, la PLL et le lien haut débit par le biais des normes SONET. Il s'agit d'éléments essentiels pour la conception des circuits dédiés au CDR. Nous avons vu l'impact du jitter de génération sur les performances du CDR. Ce jitter de génération est une conséquence du bruit de phase du VCO. Il est donc important de concevoir des VCO à haute fréquence dont le bruit de phase est minimal.

Des travaux adressant les circuits de récupération d'horloge et de données à 40Gbit/s ont été menés au cours des dernières années. Nous dressons ci-après une synthèse des performances atteintes par les circuits ainsi réalisés dans les différentes technologies.

### I.2.4. SYNTHESE DES TRAVAUX SUR LES CDR 40GBIT/S

Dans ce paragraphe nous recensons les circuits CDR électroniques dédiés aux applications de communication haut débit à 10 et à 40Gbit/s. Les premiers circuits permettant d'atteindre un débit de 40Gbit/s ont été conçus à partir de technologies avancées, comme le SiGe ou des technologies III-V [BOGNER97], [YU96], [MOKHTARI97], [LANG97], [FREEMAN02]. Ces circuits utilisent soit les techniques de filtrage à bande étroite (SAW), soit les PLL. Par la suite, les circuits CDR ont évolué vers des solutions sur des technologies silicium plus classiques permettant une meilleure intégration [WURZER99]. Les études comparatives en termes de performances et d'intégration entre les technologies silicium, silicium-germanium et III-V ouvrent des perspectives nouvelles au silicium pour les applications à 40Gbit/s [VOINIGESCU01], [VOINIGESCU04]. Actuellement, plusieurs CDR en technologie silicium-germanium ont été publiés [WURZER99], [REINHOLD01], [ONG03]. D'autres CDR ont été conçus et publiés en technologie III-V [GEORGIOU02], [NOSAKA04] et seule une contribution a été publiée à notre connaissance sur un CDR conçu en technologie CMOS [LEE03]. Le Tableau 1- 3, page suivante, présente les CDR récents les plus performants réalisés avec une PLL pour les applications 40Gbit/s.

| Références | [LEE03] | [NOSAKA04] | [GEORGIOU02] | [REINHOLD01] | [WURZER99] | [ONG03] |
|---|---|---|---|---|---|---|
| **Technologie** | CMOS 0.18µm | InP-InGaAs | InP | SiGe | SiGe | SiGe |
| **Tension d'alimentation en [V]** | 2 | -4,5 | -5<V<-4 | -5,5 (-4,2 pour le diviseur) | -5 | -5,2 (1,8 pour les buffers) |
| **$F_t$ en [GHz]/$F_{max}$ en [GHz]** | nc[24] | 149/248 | 160/135 | 72/74 | 50/nc | 120/100 |
| **Type de Comparateur de phase** | Alexander | Hogge | Alexander | Alexander | Alexander | Alexander |
| **Type de VCO** | LC | Anneau | Colpitts différentiel | Colpitts différentiel | Externe (VCO + diviseurs) | Anneau |
| **Plage d'accord en [GHz]** | 1.2 | 9.6 | 2 | 3 | nc | 3.2 |
| **Consommation en [W]** | 0.144 | 1.89 | 5.6 | 4.3[25] | 1.6 | 7.5 |
| **Valeur jitter RMS en [ps]** | O.9 | 0.48 | nc | 0.7 | 0.8 | nc |
| **Valeur jitter crête-crête en [ps]** | 9.67 | 3.6 | <4 | nc | nc | nc |
| **BER** | $10^{-6}$ | nc | $10^{-9}$ | $10^{-10}$ | nc | $<10^{-15}$ |
| **Surface en [$mm^2$]** | 1.4 | 4 | 3.06 | 9 | 0.81 | 14.7 avec DEMUX |

*Tableau 1- 3 : Caractéristiques des CDR répertoriés pour les applications 40Gbit/s.*

[24] Non communiqué par l'auteur.
[25] Donnée publiée dans [LEE03].

Le circuit en CMOS fonctionne sous une tension d'alimentation relativement faible (2 Volt) et la consommation totale du CDR CMOS est très inférieure à la consommation des CDR conçus dans les autres technologies. Cependant, ce circuit garantit un taux d'erreur binaire de $10^{-6}$. Comme nous le verrons dans le chapitre III, un taux d'erreur binaire inférieur à $10^{-12}$ est nécessaire pour assurer un fonctionnement correct du CDR. Ce circuit met en œuvre une architecture " quarter rate " permettant le traitement d'un flot de données à 40Gbit/s à l'aide d'un VCO fonctionnant à 10GHz. Selon l'auteur, le taux d'erreur binaire est limité par la bande passante réduite des amplificateurs de sortie, et par l'erreur de phase statique due à la complexité du comparateur de phase. La surface totale de ce circuit CMOS est inférieure à la surface des CDR conçus en SiGe ou en technologie III-V.

## I.3. CONCLUSION

L'augmentation exponentielle du volume des données transmis sur les fibres optiques conduit à accroître le débit des infrastructures. Nous avons montré que les limitations actuelles proviennent principalement des circuits électroniques d'interface. Le développement des liens à 40Gbit/s demande des solutions nouvelles pour réaliser ces circuits dans des technologies fiables, bas coût, et ayant les performances requises.

Nous avons présenté dans ce chapitre le rôle et le principe de fonctionnement du module de récupération d'horloge et de données. Ce module constitue la fonction d'interface principale du récepteur dédié aux applications de communication sur fibre optique à 40Gbit/s.

La solution à base de PLL permet une intégration complète du module. L'étude approfondie des circuits constituant le CDR ainsi que l'étude des critères de performances nous conduisent à privilégier un CDR à base de PLL binaire. Le circuit doit satisfaire les normes SONET. Ces normes spécifient les performances en termes de jitter toléré, de jitter de transfert et de jitter de génération.

La technologie CMOS occupe aujourd'hui une place de plus en plus importante et permet la réalisation de circuits CDR, totalement intégrés, conçus autrefois en AsGa ou en InP. Cependant, les performances en haute fréquence de la technologie CMOS/BULK pourraient être notablement améliorées en utilisant une technologie CMOS/SOI, encore peu employée dans les applications à haute fréquence.

Le chapitre suivant décrit la technologie CMOS/SOI que nous avons choisie, ses avantages, ses limites, ainsi que les outils et les méthodes permettant de réaliser des circuits d'interface pour les liens haut débit à 40Gbit/s.

## I.4. REFERENCES DU CHAPITRE I

[ALEXANDER75] J. D.H. Alexander, “Clock recovery from random binary signals," Electronic Letters, vol. 11, N°.22, pp.541-542, 1975.

[ANAND01] S. B. Anand and B. Razavi, "A CMOS clock recovery circuit for 2.5-Gb/s NRZ data," Solid-State Circuits, IEEE Journal of, vol. 36, Issue 3, pp.432-439, March 2001.

[BEGUERET03] J.-B. Bégueret, Y. Deval, C. Scarabello, J.-Y. Le Gall and M. Pignol, "An innovative open-loop CDR based on injection-locked oscillator for high-speed data link applications," IEEE Radio Frequency Integrated Circuits Symposium, pp. 313-316, June 2003.

[BEST97] R. E. Best, "Phase-locked loops, Design simulation and applications", 3rd edition, McGraw-Hill, 1997.

[BOGNER97] W. Bogner and al, "40Gbit/s unrepeatered optical transmission over 148 km by electrical time division multiplexing and demultiplexing," Electronics Letters, vol. 33, Issue 25, pp.2136-2137, Dec. 1997.

[DESJARDINS03] L. Desjardins, "Wireline networks dynamics & Device innovation", Communication interne CEA-LETI, Sept. 2004.

[DEVITO01].L. M. de Vito, "Clock Recovery and data retiming," Electronics laboratories advanced engineering course on, IC design for optical communication systems, EPFL, Lausanne, Switzerland, June 2001.

[DEVITO91] L. DeVito and al, "A 52MHz And 155MHz Clock-recovery PLL," Solid-State Circuits Conference, Digest of Technical Papers. 38th ISSCC, IEEE International, pp.142-306, 13-15 Feb. 1991.

[FREEMAN02] G. Freeman and al, "40-Gb/s circuits built from a 120-GHz f/sub T/ SiGe technology," Solid-State Circuits, IEEE Journal of, vol. 37, Issue 9, pp.1106-1114, Sept. 2002.

[FRIEDMAN03] D. J. Friedman and al, "SiGe BiCMOS integrated circuits for high speed serial communication links," IBM J. RES. & DEV., vol. 47, N°2/3, March/May 2003.

[GEORGIOU02] G. Georgiou and al, "Clock and data recovery IC for 40-Gb/s fiber-optic receiver," Solid-State Circuits, IEEE Journal of, vol. 37, Issue 9, pp.1120-1125, Sep 2002.

[GRESHISHCHEV00] Y. M. Greshishchev, P. Schvan, J.L. Showell, Xu Mu-Liang, J.J. Ojha, J. E. Rogers, “A fully integrated SiGe receiver IC for 10-Gb/s data rate”, IEEE Journal of Solid-State Circuits, vol. 35, N°.12, pp.1949-1957, Dec. 2000.

[GRESHISHSCHEV00b] Y. M. Greshishchev, P. Schvan, "SiGe clock and data recovery IC with linear-type PLL for 10-Gb/s SONET application," Solid-State Circuits, IEEE Journal of, vol. 35, Issue 9, pp.1353-1359, Sept. 2000.

[HAJIMIRI98] A. Hajimiri, "Jitter and phase noise in electrical oscillators," PhD thesis, Stanford University, 1998.

[HAJIMIRI99] A. Hajimiri and al, “jitter and phase noise in ring oscillators”, IEEE J.Solid-State Circuits, vol. 34, pp. 790-804, june. 1999.

[HERZEL99] F. Herzel and B. Razavi, “A study of oscillator jitter due to supply and substrate noise”, IEEE J transactions on circuits and systems: analog and digital signal processing, vol. 46, pp.56-62, Jan. 1999.

[HOGGE85] C. R. Hogge, “A self correcting clock recovery circuit”, Journal of Lightwave Technology, vol. 3, N°.6, pp.1312-1314, 1985.

[ISHIHARA94] N. Ishihara, Y. Akazawa, “A monolithic 156 Mb/s clock and data recovery PLL circuit using the sample -and-hold technique”, IEEE Journal of Solid-State Circuits, vol. 29, N° 12, pp.1566-1571, 1994.

[KAMITSUNA02] H. Kamitsuna, T. Shibata, K. Kurishima, M. Ida, “Direct optical injection locking of InP/InGaAs HPT oscillator ICs for microwave photonics and 40-Gbit/s-class, optoelectronic clock recovery”, IEEE Transactions on Microwave Theory and Techniques, vol. 50, N°.2, pp.3002-3008, 2002.

[KISHINE99] K. Kishine, N. Ishihara, K. Takiguchi, H. Ichino, “A 2.5-Gb/s clock and data recovery IC with tunable jitter characteristics for use in LANs and WANs”, IEEE Journal of Solid-State Circuits, vol. 34, N° 6, pp.805-812, 1999.

[LANG97] M. Lang and al, "20-40 Gb/s 0.2-µm GaAs HEMT chip set for optical data receiver," Solid-State Circuits, IEEE Journal of, vol. 32, Issue 9, pp.1384-1393, Sept. 1997.

[LEE03] J. Lee and B. Razazvi, "A 40-Gb/s clock and data recovery circuit in 0.18µm CMOS technology," Solid-State Circuits, IEEE Journal of, Vol. 38, Issue 12, pp.2181-2190, Dec. 2003.

[LEE03b] J. Lee, K. S. Kundert, B. Razavi, "Modeling of jitter in bang-bang clock and data recovery circuits," Custom Integrated Circuits Conference, Proceedings of the IEEE, pp.711-714, Sept. 2003.

[LIU04] C. Liu and J.A. McNeill, "Jitter in oscillators with 1/f noise sources," Circuits and Systems, ISCAS Proceedings of the International Symposium on, vol. 1, pp.I-773-I-776, May 2004.

[MOKHTARI97] M. Mokhtari and al, "InP-HBT chip-set for 40-Gb/s fiber optical communication systems operational at 3 V," Solid-State Circuits, IEEE Journal of, vol. 32, Issue 9, pp.1371-1383, Sept. 1997.

[NOSAKA04] H. Nosaka and al, "A 39-to-45-Gbit/s multi-data-rate clock and data recovery circuit with a robust lock detector," Solid-State Circuits, IEEE Journal of, vol. 39, Issue 8, pp.1361-1365, Aug. 2004.

[ONG03] A. Ong and al, "A 40-43-Gb/s clock and data recovery IC with integrated SFI-5 1:16 demultiplexer in SiGe technology," Solid-State Circuits, IEEE Journal of, vol. 38, Issue 12, pp.2155-2168, Dec. 2003.

[POTTBACKER92] A. Pottbäcker, U. Langmann, and H.U. Schreiber, “A Si bipolar phase and frequency detector IC for clock extraction up to 8 Gb/s,” IEEE J. Solid-State Circuits, vol. 27, pp.1747-1751, Dec. 1992.

[RAMEZANI02] M. Ramezani, C. Andre, T. Salama, "Jitter analysis of a PLL-based CDR with a bang-bang phase detector" Circuits and Systems, MWSCAS-2002, 45th Midwest Symposium on, vol. 3, pp.III-393-III-396, Aug. 2002.

[RAZAVI01] B. Razavi, "Design of high-speed circuits for optical communication systems", IEEE Conference on Custom Integrated Circuits, pp.315-322, 2001.

[RAZAVI02] B. Razavi, “Challenges in the Design of High-Speed Clock and Data Recovery Circuits,” IEEE Communications Magazine, vol. 40, N°.8, pp.94-101, 2002.

[RAZAVI96] B. Razavi, "Monolithic Phase-Locked Loops and Clock Recovery Circuits: Theory and Design," ISBN: 0-7803-1149-3 Paperback, 508 pages, Wiley-IEEE Press, April 1996.

[REINHOLD01] M. Reinhold and al, "A fully integrated 40-Gb/s clock and data recovery IC with 1:4 DEMUX in SiGe technology," Solid-State Circuits, IEEE Journal of, vol. 36, Issue 12, pp.1937-1945, Dec. 2001.

[ROBIN82] W. P. Robins, "Phase noise in signal sources: theory and applications," Peregrinus on behalf of the IEE, 1982.

[ROHDE97] U. L. ROHDE, Microwave and Wireless Synthesizers–Theory and Design, John Wiley & Sons, Inc., 1997.

[SAVOJ01] J. Savoj and B. Razavi, "A 10-Gb/s CMOS clock and data recovery circuit with a half-rate linear phase detector," Solid-State Circuits, IEEE Journal of, vol. 36, Issue 5, pp.761-768, May 2001.

[SAVOJ03] J. Savoj, B. Razavi, "A 10-Gb/s CMOS clock and data recovery circuit with a half-rate binary phase/frequency detector," Solid-State Circuits, IEEE Journal of, vol. 38, Issue 1, pp.13-21, Jan. 2003.

[SONET01] "The control of jitter and wander in the optical transport network," ITU-T, Draft Recommendation G.8251, 04.0 ed., 2001.

[VANDAMME94] P. Vandamme and al, "L'optique et les réseaux de transport: transmission et capacité," ISSN 1250-5447, Mémento N°19, 7 juin 2002. Disponible en ligne sur: http://www.rd.francetelecom.com/fr/conseil/mento19/index.html

[VEHOVIC00] S. Vehovic, "Clock recovery et gigabit-per-second data rates", Microwave Journal, July 2000.

[VOINIGESCU01] S. Voinigescu and al, "Circuits and technologies for highly integrated optical networking ICs at 10 Gb/s to 40 Gb/s," Custom Integrated Circuits, 2001, IEEE Conference on, pp.331-338, May 2001.

[VOINIGESCU04] S.P. Voinigescu, "A comparison of Si CMOS, SiGe BiCMOS, and InP HBT technologies for high-speed and millimeter-wave ICs," Silicon Monolithic Integrated Circuits in RF Systems, Digest of Papers,Topical Meeting on, pp.111-114, Sept. 2004.

[WEIGANDT94] T.C. Weigandt, B. Kim, P.R. Gray, "PLL/DLL system noise analysis for low jitter clock synthesizer design," Circuits and Systems, ISCAS, IEEE International Symposium on, vol. 4, pp.31-34, May/June 1994.

[WEIGANDT98] T. C. Weigandt, "Low-Phase-Noise, Low-Timing-Jitter Design Techniques for Delay Cell Based VCO's and Frequency Synthesizers," Ph.D. Thesis, Memorandum UCB/ERL M98/5, Electronics Research Lab, U.C. Berkeley, 1998.

[WITHITSOONTHORN04] S. Withitsoonthorn, "Photodiode UTC et oscillateur différentiel commandé en tension à base de TBdH InP pour récupération d'horloge dans un réseau de transmission à très haut débit", PhD., Université Paris 6, June 2004.

[WURZER99] M. Wurzer et al., "A 40-Gb/s integrated clock and data recovery circuit in a 50-GHz $f_T$ silicon bipolar technology," IEEE J. Solid-State Circuits, vol. 34, pp.1320–1324, Sept. 1999.

[YU96] R. Yu and al, " Packaged clock recovery integrated circuits for 40Gbit/s optical communication links," Gallium Arsenide Integrated Circuit (GaAs IC) Symposium, Technical Digest, 18th Annual, pp.129-132, Nov. 1996.

**CHAPITRE II: TECHNOLOGIE, OUTILS ET METHODES ..... 47**

II.1. La technologie CMOS/SOI 0.13µm pour les hautes fréquences..... 48
II.1.1. Le substrat SOI ..... 48
II.1.2. Les actifs sur SOI..... 50
II.1.3. Les passifs sur SOI ..... 65

II.2. Outils et méthodes de conception des circuits haute fréquence CMOS/SOI ..... 79
II.2.1. Le flot classique analogique en radio et haute fréquence ..... 80
II.2.2. La méthodologie suivie pour la conception de circuits haute fréquence..... 81

II.3. Conclusion ..... 84

II.4. Références du chapitre II ..... 85

# CHAPITRE II: TECHNOLOGIE, OUTILS ET METHODES

Notre objectif étant la conception de circuits intégrés haute fréquence pour les liens haut débit 40 Gbit/s, nous avons exploré les différentes technologies possibles. Si la technologie CMOS/BULK est éprouvée et sûre pour la réalisation de circuits intégrés analogiques basse et moyenne fréquences, elle peut se révéler insuffisante pour la réalisation de circuits haute fréquence. Il nous a semblé que la technologie CMOS/SOI pouvait répondre à nos besoins pour la recherche et la conception des circuits au-delà de 10GHz. Cette technologie CMOS/SOI 0.13µm, nouvelle pour ce type d'application, présentait l'inconvénient d'un manque de modèles de simulation, éprouvés surtout au début de notre travail. Toutefois, le substrat CMOS/SOI possède des avantages certains pour la réalisation de circuits haute fréquence, ce qui a conduit le laboratoire à rechercher les possibilités offertes par ce matériau dans les liens haut débit.

Dans le cadre d'un projet Européen Médéa (T206), nous avons bénéficié de la technologie et du design kit de la fonderie pilote de STMicroelectronics à Crolles. Cette société développe des circuits numériques et analogiques sur les technologies les plus avancées, dont le CMOS/SOI 0.13µm, qu'elle a introduit en octobre 2003, date de notre premier run.

Dans ce chapitre, nous allons décrire la technologie CMOS/SOI, ses atouts et ses limites. Nous décrirons ensuite les outils de conception et de modélisation existants et nous identifierons les lacunes que nous avons dû combler pour mener à bien notre travail de thèse.

# II.1. LA TECHNOLOGIE CMOS/SOI 0.13µM POUR LES HAUTES FREQUENCES

## II.1.1. LE SUBSTRAT SOI

### II.1.1.1. PROCEDE DE FABRICATION

Il existe plusieurs méthodes de fabrication du substrat SOI. Les procédés les plus répandus sont les procédés Smart Cut$^{TM}$, BESOI et SIMOX.

La société SOITEC est le premier fournisseur mondial de plaques SOI et fournit notamment les principaux acteurs mondiaux de circuits intégrés sur SOI (AMD, Texas Instrument, Motorola,…). L'utilisation du matériau SOI n'en est qu'à ses débuts mais ce substrat devient incontournable pour les applications RF en technologie CMOS. Les plaques de SOI utilisées par STMicroelectronics sont fabriquées par la société SOITEC selon le procédé Smart Cut$^{TM}$.

Ce procédé (décrit sur la Figure 2- 1) consiste à accoler deux wafers de silicium séparés par un oxyde enterré (BOX pour Buried Oxide). Cette région isolante est constituée de dioxyde de silicium ($SiO_2$).

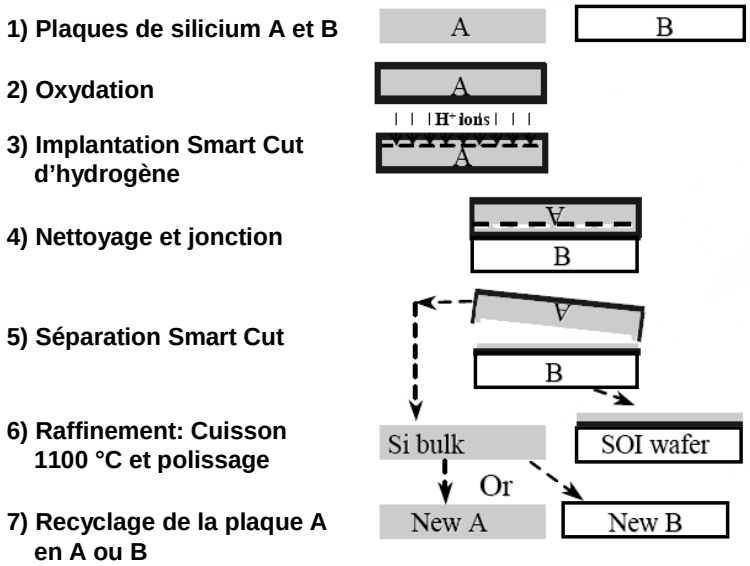



*Figure 2- 1 : Procédé Smart Cut$^{TM}$ de fabrication d'une plaque SOI [WITTKOWER00].*

Deux plaques de silicum A et B sont nécessaires à l'élaboration d'un wafer SOI (étape 1). La plaque A subit une oxydation (étape 2). Des ions hydrogènes sont implantés dans le silicium à travers l'oxyde (étape 3). La surface de l'oxyde est nettoyée avant de joindre B à la couche d'oxyde de la plaque A (étape 4). L'ensemble est exposé à une forte température dans le but de créer une cassure au niveau de l'hydrogène implanté (étape 5). On obtient ainsi un substrat SOI

avec une fine couche de silicium au-dessus de l'oxyde. L'étape de raffinement (6) consiste à préparer le substrat SOI pour la fabrication traditionnelle CMOS.

Le procédé SIMOX consiste, quant à lui, à implanter des ions d'oxygène à travers le silicium Bulk pour créer la couche d'oxyde enterré. Ce procédé présente plusieurs limites. L'uniformité des épaisseurs de la couche d'oxyde enterré et du silicium actif au dessus est difficile à garantir. De plus, la présence d'impuretés de silicium dans l'oxyde enterré entraîne une dégradation de la qualité du substrat SOI.

Le troisième procédé de fabrication, le BESOI, consiste tout d'abord à créer une couche d'oxyde à l'extrémité de deux plaques de silicum, puis à coller ces deux extrémités et enfin à réduire l'épaisseur du silicium actif par gravure et polissage. Un avantage du procédé Smart Cut™ sur ce procédé réside dans la réutilisation de la plaque A résiduelle pour la fabrication d'une autre plaque SOI (étape 7).

Le procédé Smart Cut™ fournit donc des substrats SOI de très bonne qualité tout en maintenant un coût de fabrication réduit.

#### II.1.1.2. CARACTERISTIQUES PHYSIQUES DU SUBSTRAT SOI

Les propriétés physiques et électriques du substrat SOI déterminent les performances finales des dispositifs actifs (transistors) et passifs (inductances, capacités et résistances). Il est important de les prendre en considération dès l'étape de modélisation. Les épaisseurs des couches, constituant le substrat SOI que nous utilisons, sont les suivantes :

- épaisseur du silicium actif : 160nm,
- épaisseur de l'oxyde enterré : 400nm.

Deux résistivités différentes pour le silicium BULK sont disponibles. Le substrat standard présente une résistivité comprise entre 8.4 et 22Ω.cm, tandis que le substrat haute résistivité[1] a une résistivité supérieure à 1000Ω.cm.

Ce substrat HR présente de nombreux avantages pour la conception de circuits rapides, qui seront décrits dans les paragraphes suivants.

[1] Noté HR par la suite

## II.1.2. LES ACTIFS SUR SOI

Parmi les solutions alternatives au transistor MOS conventionnel, les technologies CMOS/SOI offrent des caractéristiques électriques très intéressantes pour la conception de circuits rapides. La présence de l'oxyde enterré dans les substrats SOI conduit à un fonctionnement particulier des transistors MOS.

L'objectif de ce paragraphe est d'analyser les avantages et les limites de ces technologies CMOS/SOI en vue de la conception de circuits pour les liens haut débit. Nous étudierons plus en détail la technologie CMOS/SOI partially depleted[2], à laquelle nous avons eu accès pour ce projet.

### II.1.2.1. GENERALITES

Deux types de substrat SOI conduisent à deux technologies distinctes : le SOI-PD et le SOI fully depleted[3] [BAWEDIN04], [FLANDRE03]. La Figure 2- 2 schématise ces transistors.

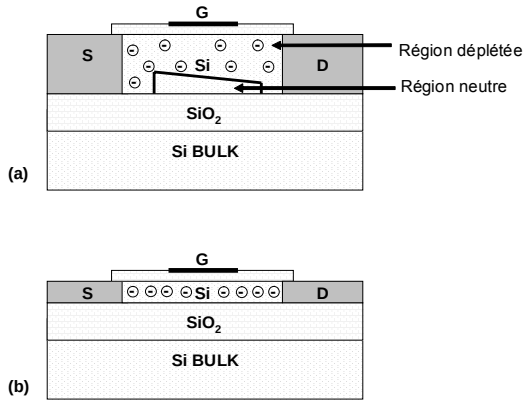



*Figure 2- 2 : Technologies CMOS/SOI : (a) SOI-PD, (b) SOI-FD.*

Les différences principales entre les technologies SOI-PD et SOI-FD sont l'épaisseur de la couche de silicium actif (plus faible en SOI-FD qu'en SOI-PD) et son dopage [BELLEVILLE01]: la couche de silicium actif constituant la technologie CMOS/SOI-FD doit être inférieure à 40nm contre 100nm en SOI-PD. Le canal du transistor est totalement déserté lorsque la charge de déplétion maximale dépasse la charge rendue possible par l'épaisseur de silicium. Dans ce cas, Il n'existe plus de région neutre.

La région neutre caractérisant la technologie CMOS/SOI-PD conduit à un phénomène appelé « body flottant » lorsque cette région n'est pas connectée à un potentiel fixe. Celui-ci est à

[2] noté SOI-PD par la suite
[3] noté SOI-FD

l'origine de nombreux effets positifs et négatifs, spécifiques au transistor SOI-PD, que nous détaillerons dans les paragraphes suivants.

Afin de comprendre ces effets, il est intéressant de détailler la structure électrique du transistor NMOS/SOI-PD (Figure 2- 3).

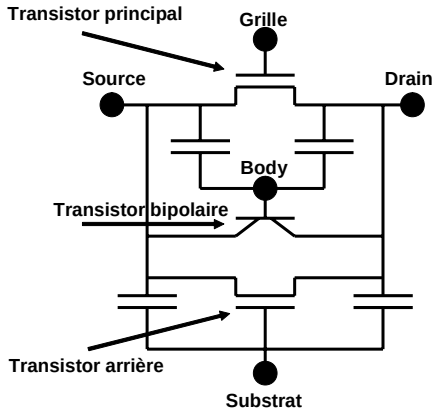



*Figure 2- 3 : Schéma électrique équivalent du transistor CMOS/SOI-PD.*

Parmi les éléments constitutifs on note la présence de trois transistors (le transistor MOS principal, le transistor bipolaire parasite et le transistor MOS arrière). Le nombre de nœuds est égal à 5 et comprend la grille, la source, le drain, le body et le substrat. Comme en CMOS/BULK, Le transistor MOS principal met en jeu des courants d'ionisation par impact et des diodes. Le transistor bipolaire parasite entre le body (base), la source (émetteur) et le drain (collecteur) du transistor n'est pas en soi une particularité du CMOS/SOI, puisque ce transistor existe aussi en CMOS/BULK. La nature du body flottant du CMOS/SOI-PD a, quant à elle, un effet unique sur le transistor bipolaire. Une polarisation élevée du body par rapport à la source ou au drain a pour effet la mise en conduction de la diode de jonction correspondante. Le gain du transistor bipolaire peut alors dépasser l'unité. Le transistor arrière a pour origine la présence de l'oxyde enterré qui joue le rôle d'oxyde de grille. Cet oxyde joue aussi le rôle d'isolant thermique créant ainsi une augmentation de la température et une réduction du courant drain source. Ceci constitue un inconvénient. L'ensemble de ce comportement nécessitera donc une attention particulière dans la conception et la modélisation des circuits haute fréquence.

### II.1.2.2. AVANTAGES DE LA TECHNOLOGIE CMOS/SOI

#### 1. Résistance aux rayonnements ionisants

Le substrat SOI a été conçu dans les années 70 pour rendre les circuits actifs insensibles aux rayonnements grâce à la présence de l'oxyde enterré. Les circuits rapides destinés aux applications en ambiance sévère (militaires et spatiales) constituaient les premières applications

du SOI. Comparé à la technologie CMOS/BULK, le SOI se montre beaucoup plus robuste à la présence de rayonnement ionisant et de particules [THOMAS04]. En effet, les particules ne gênent le fonctionnement du circuit qu'au moment où elles traversent le silicium actif. Une fois l'oxyde enterré traversé, elles n'affectent plus le comportement.

Cet avantage n'est pas majeur pour les applications des liens haut débit.

### 2. Compatibilité de procédé avec les technologies CMOS

Les équipements de production sont les mêmes que ceux utilisés pour la fabrication de circuits CMOS/BULK. Les étapes de fabrication sont même simplifiées. En effet, la réalisation de caissons est désormais rendue inutile par la présence de l'oxyde enterré et par l'utilisation d'une technique d'isolation entre les transistors, décrite dans le paragraphe suivant.

De plus, les règles de dessin du CMOS/BULK peuvent s'appliquer à la réalisation de circuits en CMOS/SOI. Toutefois, pour tirer le meilleur parti du CMOS/SOI, certaines règles sont modifiées et donnent lieu à l'établissement d'un DRM[4] spécifique. Elles restent cependant suffisamment proches pour que le concepteur CMOS puisse se familiariser aisément avec elles.

### 3. Densité d'intégration

En technologie CMOS/BULK, le phénomène de latch-up limite la densité d'intégration des circuits. Ce phénomène parasite fait apparaître des chemins de conduction entre l'alimentation et la masse, provoquant un échauffement du circuit et une augmentation de la consommation. La nature bouclée de ce phénomène peut conduire à la destruction du dispositif [FAIRCHILD99]. La Figure 2- 4 illustre les chemins de conduction dans le cas d'un inverseur CMOS:

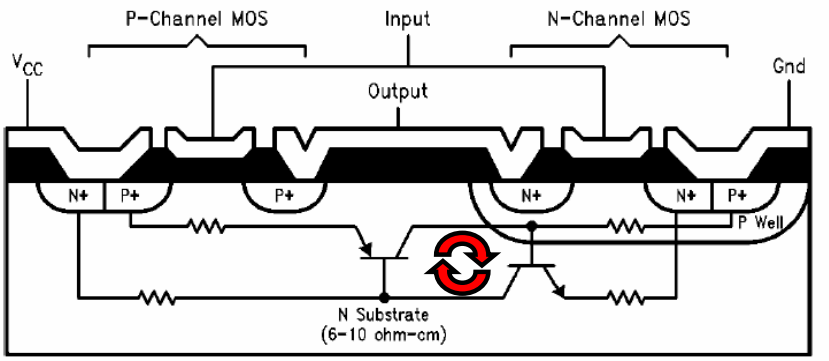



*Figure 2- 4: Vue en coupe d'un inverseur CMOS et modèle électrique du circuit Latch-up.*

Pour limiter cet effet, des distances minimales doivent être respectées entre les sources des transistors de type N et de type P. Pour augmenter la densité d'intégration, tous les

[4] Design Rules Manual

transistors d'un même type sont regroupés dans un même caisson (well). Un anneau de polarisation du substrat permet aussi de limiter le latch-up mais réduit considérablement la densité d'intégration.

Le SOI permet de réaliser des circuits plus denses qu'en CMOS/BULK. En effet, les transistors CMOS/SOI sont totalement isolés. L'oxyde enterré assure l'isolation verticale et permet ainsi d'éviter le latch-up. La technique STI[5] permet en outre d'isoler latéralement les transistors (Figure 2- 5). Cette technique est aussi utilisée en technologie CMOS/BULK. Cette isolation bidimensionnelle permet de mettre côte à côte des transistors PMOS et NMOS sans anneau de polarisation du substrat (car le body est indépendant du substrat).

De plus, le SOI est moins sensible aux effets d'antenne. En effet, pendant le procédé de fabrication, le potentiel de body "suit" le potentiel de grille, évitant ainsi le claquage de l'oxyde de grille. Ainsi, dans la plupart des cas, les diodes d'antenne ne sont pas nécessaires.

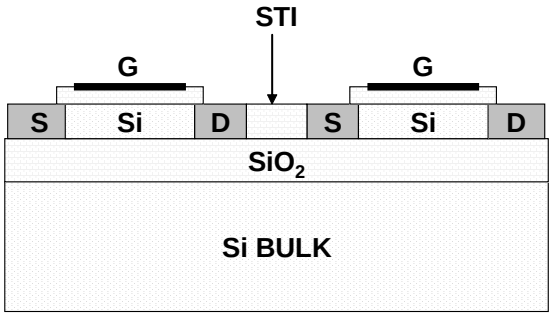



*Figure 2- 5 : Isolation diélectrique totale entre les transistors.*

Le bénéfice global en termes de réduction de surface peut être chiffré entre 10 et 30% [BELLEVILLE01].

La compacité du layout permet de réduire la longueur des interconnections, ce qui constitue un avantage pour la réduction des capacités parasites nuisibles, surtout à haute fréquence. En outre, l'isolation diélectrique permet de réduire considérablement l'influence des bruits du substrat sur un transistor et les couplages parasites entre transistors voisins. Ces avantages conduisent naturellement à privilégier l'utilisation du SOI pour la réalisation de dispositifs intégrés sur une même puce (System On Chip). Dans les récepteurs des liens haut débit, des modules haute fréquence, analogiques et digitaux peuvent ainsi trouver plus facilement leur place sur une même puce.

[5] pour Shallow Trench Isolation

### 4. Réduction des capacités parasites

La couche d'oxyde enterré permet de réduire les capacités parasites de jonction latérales ($C_{jsw\ n\ ou\ p}$) et surfaciques ($C_{j\ n\ ou\ p}$) du drain et de la source des transistors NMOS et PMOS (Figure 2- 6).

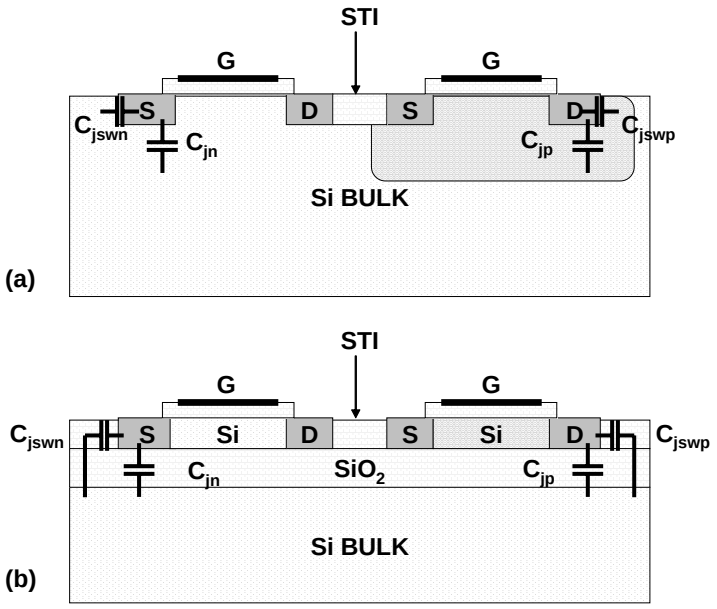



*Figure 2- 6 : Représentation des capacités parasites de jonction en (a) CMOS/BULK et en (b) CMOS/SOI.*

En comparant les Figure 2- 6.a et Figure 2- 6.b, les capacités Cjn, Cjp, Cjswn et Cjswp sont notablement plus faibles en CMOS/SOI qu'en CMOS/BULK. En effet, la constante diélectrique (ou permittivité) relative de l'oxyde enterré est égale à 4 tandis que la constante diélectrique relative du silicium vaut 12. Ainsi, les capacités de jonction exprimée par (2- 1) sont considérablement réduites en CMOS/SOI.

$$C = \frac{\varepsilon \cdot S}{t} \qquad (2\text{- }1)$$

Avec C : capacité de jonction [F],

ε : permittivité du milieu considéré (Si ou $SiO_2$) en [F/m],

S : surface de l'armature du condensateur plan considéré [$m^2$],

t : épaisseur de l'oxyde enterré [m].

Le Tableau 2- 1 fait apparaître la réduction des capacités de jonction surfaciques ($C_j$) entre deux technologies 0.25µm CMOS/BULK et CMOS/SOI-PD [FLANDRE03].

| | CMOS/BULK | CMOS/SOI-PD |
|---|---|---|
| **Capacité de jonction ($C_j$) NMOS** | $7.28e^{-4}$ F/m$^2$ | $5.2e^{-5}$ F/m$^2$ |
| **Capacité de jonction ($C_j$) PMOS** | $6.15e^{-4}$ F/m$^2$ | $8.5e^{-5}$ F/m$^2$ |

*Tableau 2- 1 : Capacités de jonction en CMOS 0.25µm (comparatif BULK/SOI).*

Ce tableau, donné à titre d'exemple en 0.25µm, montre que les capacités de jonction des transistors NMOS/SOI sont quatorze fois plus faibles qu'en BULK. Pour les transistors PMOS le rapport est de sept.

Pour les applications haute fréquence, les deux fréquences importantes sont $f_T$ et $f_{max}$:

- $f_T$, appelée fréquence de transition est par définition la fréquence à laquelle le gain en courant d'un transistor est égal à 0 dB,
- $f_{max}$, appelée fréquence maximale est par définition la fréquence à laquelle le gain en puissance d'un transistor est égal à 0 dB.

$f_T$ est inversement proportionnel aux capacités grille source et grille drain. $f_{max}$ est inversement proportionnel à la racine carrée de ces mêmes capacités. Selon les équations (2- 2) et (2- 3) ([EGGERT97])

$$f_T = \frac{g_m}{2\pi \cdot \left(C_{gs} + C_{gd}\right)} \qquad (2\text{- }2)$$

$$f_{\max} = \frac{1}{2} \cdot f_T \cdot \sqrt{\frac{R_{ds}}{R_g + R_{gs} + R_s + 2\pi \cdot f_T \cdot R_g \cdot C_{gd} \cdot R_{ds}}} \qquad (2\text{- }3)$$

où $g_m$ : transconductance du transistor en [S/m],

$R_g$ : résistance d'accès à la grille en [Ω],

$R_s$ : résistance d'accès à la source en [Ω],

$R_{XY}$ : résistance entre les nœuds X et Y en [Ω],

$C_{XY}$ : capacité entre les nœuds X et Y en [F], X et Y sont la source (s), le drain (d) ou la grille (g).

Les capacités de jonction sont faibles devant les capacités ci-dessus. Leur réduction contribue donc, dans une moindre mesure, à celle des capacités grille drain et grille source.

Ainsi, la réduction des capacités parasites en SOI permet d'augmenter $f_T$ et $f_{max}$ des transistors. Ces fréquences déterminent la capacité d'une technologie à fonctionner à haute fréquence. On notera que la fréquence d'utilisation maximale d'un circuit est généralement cinq à

dix fois inférieure à la fréquence de transition de manière à assurer un minimum de gain en courant.

En conclusion, le SOI permet d'augmenter $f_T$ et $f_{max}$ des transistors, ce qui constitue un avantage majeur pour les applications haute fréquence.

### 5. Réduction de la consommation dynamique

La puissance dynamique consommée par un circuit est donnée par l'équation suivante:

$$P = \mathrm{k} \cdot C \cdot V^2 \cdot f \qquad (2\text{-}4)$$

où P : puissance consommée en [W],

k : coefficient de proportionnalité fonction de la commutation,

C : capacité parasite de charge du circuit en [F],

V : tension d'alimentation en [V],

f : fréquence de fonctionnement en [Hz].

En technologie SOI, la capacité totale est réduite suite à la réduction des capacités de jonction et des capacités de métal-substrat. Par ailleurs, pour une fréquence de fonctionnement donnée, la tension d'alimentation nécessaire pour obtenir le même courant est plus faible en CMOS/SOI qu'en CMOS/BULK. Comme l'équation (2- 4) montre une dépendance quadratique entre la puissance dynamique consommée et la tension d'alimentation, le gain en puissance dynamique consommée est donc d'autant plus significatif. Ces effets peuvent conduire à une diminution de 70% de la puissance dynamique consommée à une fréquence donnée dans le cas d'une mémoire SRAM conçue en CMOS/SOI par rapport à la même mémoire conçue en CMOS/BULK [BERNSTEIN01].

La puissance statique consommée (courants de fuite et court-circuit) est traitée dans les paragraphes suivants.

Pour les applications haut débit, à fréquence élevée, notre objectif est de concevoir des circuits fonctionnant sous une faible tension d'alimentation tout en maintenant une puissance dynamique consommée relativement faible. Le SOI s'y prête donc.

## 6. Impact de la réduction des dimensions

### 6.1. Les effets submicroniques

La miniaturisation des circuits en technologie submicroniques CMOS a pour effet l'augmentation des courants de fuite des transistors. Plusieurs mécanismes sont à l'origine de cette augmentation [THOMAS04] :

- L'effet SCE[6] dû à la réduction de la longueur du canal,
- l'effet DIBL[7] qui correspond à l'abaissement de la barrière de potentiel source-canal-drain par la polarisation du drain,
- le courant de perçage,
- l'effet GIDL[8], courant de drain induit par la grille,
- l'effet tunnel dans les oxydes minces,
- le phénomène d'ionisation par impact,
- et enfin, l'injection de porteurs chauds.

On retrouve ces effets en technologie CMOS/SOI, mais certains sont amoindris. D'une part, la présence de l'oxyde enterré permet de réduire les courants de fuite vers le substrat. D'autre part, l'effet SCE est réduit grâce à la variation de la tension entre le body et la source.

En effet, les effets canaux courts font référence, en technologie CMOS/BULK, à une brusque réduction de la tension de seuil des transistors avec la longueur de grille. En CMOS/SOI-PD, le potentiel du body permet un meilleur contrôle de la tension de seuil du transistor. Ainsi, la réduction des dimensions du canal ne provoque pas une chute aussi brutale de la tension de seuil qu'en CMOS/BULK.

La Figure 2- 7 schématise la variation de la tension de seuil des transistors CMOS/SOI-PD et CMOS/BULK en fonction de la longueur de grille [BERNSTEIN01].

[6] Short Channel Effects
[7] Drain Induced Barrier Lowering
[8] Gate Induced Drain Leakage

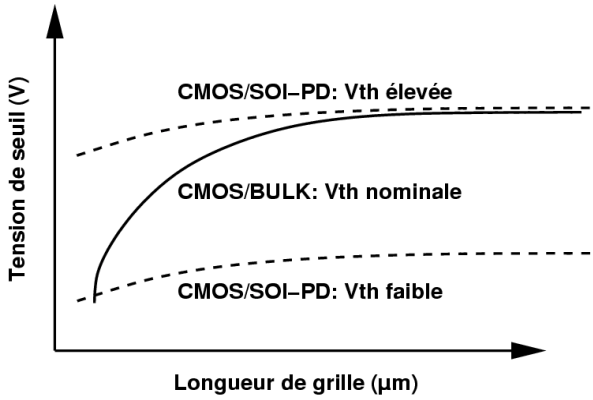



*Figure 2- 7 : Evolution de la tension de seuil en fonction de la longueur de grille.*

On constate que la technologie CMOS/SOI-PD permet de réaliser soit des circuits rapides (tension de seuil Vth[9] faible), soit des circuits basse consommation (Vth élevée). De plus, la tension de seuil en technologie CMOS/BULK varie beaucoup plus rapidement avec la longueur de grille qu'en CMOS/SOI-PD.

En CMOS/SOI, la réalisation de circuits haute fréquence est donc facilitée par le choix d'un Vth faible. La consommation peut ainsi être réduite.

### 6.2. Les effets sur la puissance statique

En plus de la réduction des courants de fuite du MOS traditionnel due à la réduction des dimensions, le transistor CMOS/SOI-PD voit sa consommation statique augmentée par les phénomènes suivants :

- courant du transistor bipolaire,
- courant du transistor arrière,
- courant de claquage du transistor bipolaire.

L'étude [TIAR04] montre l'intérêt de réduire l'épaisseur du silicium actif pour limiter les courants de fuite et ainsi réduire la puissance statique. Malgré tout, la réduction de l'épaisseur du silicium en dessous de 8nm s'accompagne d'une augmentation du délai intrinsèque du transistor.

Nous allons maintenant détailler l'origine et l'impact de ces effets sur les performances de la technologie CMOS/SOI.

[9] pour threshold voltage

### II.1.2.3. LES LIMITES DE LA TECHNOLOGIE CMOS/SOI

La technologie CMOS/SOI présente certaines limites que le concepteur de circuit devra prendre en compte selon les applications. Concernant les applications haut débit et la réalisation de circuits à haute fréquence, nous étudierons:

- l'auto-échauffement,
- la variation dynamique de la tension de seuil,
- le bruit d'alimentation,
- l'effet du transistor bipolaire,
- le couplage capacitif,
- et enfin, l'effet kink.

#### 1. Auto-échauffement

L'oxyde enterré joue le rôle d'isolant thermique et empêche la dissipation de l'énergie à travers le substrat.

Dans le cas des circuits haute fréquence, à consommation élevée, la température des dispositifs peut augmenter de manière importante. Cette augmentation conduit à une baisse de la mobilité et donc à une baisse du courant de drain. Ce phénomène appelé "auto-échauffement" semble plus limité dans les circuits basse consommation [FLANDRE03]. L'augmentation de la température d'un transistor peut ainsi affecter le mode d'opération pour lequel il a été dimensionné. Les modèles de transfert de chaleur et les outils permettant de prévoir l'augmentation de la température d'un canal font donc l'objet d'une recherche avancée [REYBOZ04], [TENBROEK96]. La résistance thermique est modélisée dans le modèle BSIM3SOI par l'équation (2- 5) [LIU99]:

$$R_{th} = \frac{R_{th0}(L)}{N_f \cdot \left(W_{eff} + W_{th0}(L)\right)} \qquad (2\text{- }5)$$

où $R_{th}$ est la résistance thermique en [K/mW] d'un transistor MOS de longueur L et de largeur effective d'un doigt $W_{eff}$ en [µm], $N_f$ est le nombre de doigts du transistor, $R_{th0}$ et $W_{th0}$ sont des paramètres d'adaptation technologique.

L'équation ci-dessus prédit que la résistance thermique est inversement proportionnelle au nombre de doigts. Ce résultat doit être nuancé en prenant en compte les couplages thermiques entre les doigts adjacents [JOSHI05]. Un compromis doit être fait entre l'augmentation de la résistance thermique due à ce couplage et la réduction de la résistance de grille des transistors.

### 2. Variation dynamique de la tension de seuil

La variation dynamique de la tension de seuil ($V_{th}$) résulte de la charge et de la décharge du substrat flottant [BERNSTEIN01] essentiellement par couplage capacitif entre la grille et le body. La variation du potentiel de Body provient de mécanismes d'accumulation et de déplétion de charges à l'intérieur de celui-ci.

L'accumulation de charge dans le body flottant est due aux courants de fuites latéraux des jonctions, aux couplages capacitifs entre la grille et le body et au phénomène d'ionisation par impact (Figure 2- 8).

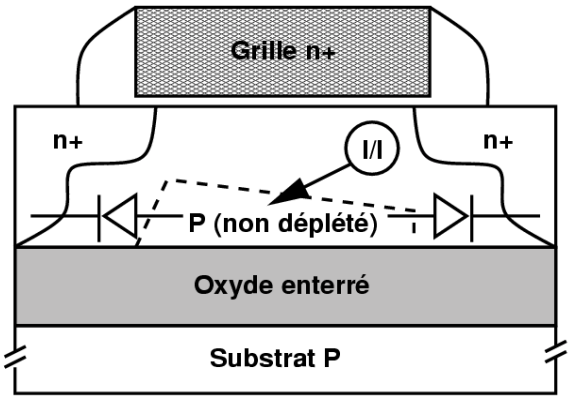



*Figure 2- 8 : Accumulation de charge dans le body flottant par ionisation par impact (notée I/I sur la figure) et courants de fuites.*

L'ionisation se produit lorsque les porteurs, excités par un fort champ électrique, ont atteint leur vitesse de saturation, en particulier dans la zone de désertion près du drain lorsque le transistor est en saturation. Les collisions entre ces porteurs et les atomes fixes de la couche de silicium créent des paires électrons/trous dont certaines ne se re-combinent pas. Les électrons libres sont alors accélérés par le champ vers le drain alors que les trous s'accumulent dans le body flottant. La barrière de potentiel de la diode source body empêche l'évacuation des trous vers la source. Le potentiel du body augmente alors. Cette augmentation conduit à une réduction de la tension de seuil $V_T$, et donc à une augmentation du courant de drain $I_D$. Elle favorise aussi l'ionisation par impact qui contribue à augmenter la tension de body. Ce phénomène en boucle se stabilise lorsque le potentiel du body devient suffisamment grand pour polariser en direct la diode source/body flottant. L'équilibre est donc atteint lorsque les charges apportées par l'ionisation par impact sont égales aux charges évacuées par cette diode.

Cette auto-polarisation du substrat contribue donc à augmenter le courant de drain et constitue donc un avantage pour la réalisation de circuits rapides.

Un mécanisme similaire conduit à la déplétion du body. L'augmentation du potentiel de Body au-delà d'un seuil permet la polarisation en direct des diodes de jonctions. Les charges sont alors transférées en dehors du Body.

L'ensemble de ces mécanismes est appelé "modulation dynamique de la tension de seuil". Dans la phase de commutation d'un circuit, la tension de seuil équivalente est réduite, ce qui permet d'atteindre la même fréquence de fonctionnement qu'en BULK, avec une tension d'alimentation plus faible.

### 3. Bruit d'alimentation

L'oxyde enterré induit une réduction des capacités de découplage entre l'alimentation et la masse du circuit.

Dans les applications haute fréquence, au dessus du Gigahertz, la capacité totale de découplage du circuit permet de réduire le bruit d'alimentation [BERNSTEIN01].

Il est donc important, dans des applications telles que les liens haut débit, de minimiser le bruit d'alimentation en prévoyant à la conception des filtres de découplage spécifiques.

### 4. Effet du transistor bipolaire

Le déclenchement du transistor bipolaire parasite, schématisé sur la Figure 2- 3, provoque l'apparition d'un fort courant entre le drain et la source du transistor MOS, comme représenté sur la Figure 2- 9.

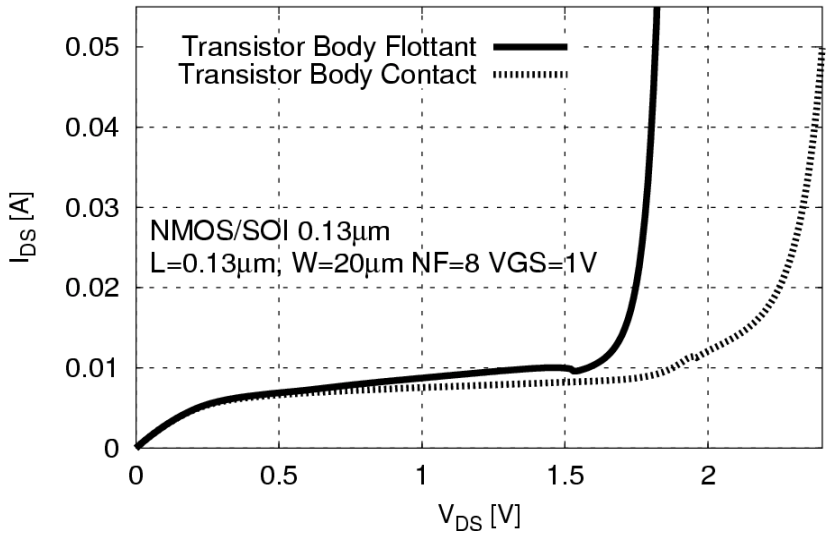



*Figure 2- 9 : Caractéristiques simulées $I_{DS}(V_{DS})$ des transistors body flottant et body contact.*

Dans le cas du transistor à body flottant, le déclenchement du transistor bipolaire s'effectue à une tension $V_{DS}$ plus faible que dans le cas du transistor body contact (la tension d'avalanche est de 1.6V en simulation) avec un gain (pente) plus élevé. En effet, le courant de ionisation par impact est plus important pour le transistor à body flottant. Il conduit à une

polarisation en direct de la jonction source/body et à une polarisation en inverse de la jonction drain/body. Un fort courant collecteur/émetteur apparaît alors sur la caractéristique $I_{DS}(V_{DS})$.

Au-delà de 1.6 V (valeur simulée), le gain en courant résulte de la multiplication du gain β du transistor bipolaire et du gain en courant dû aux ionisations par impact. Ce dernier est plus élevé dans le transistor à body flottant ([DONGWOOK93], [VER PLOEG94]).

Dans le cas du transistor body contact, la source et le body sont reliés au même potentiel. L'effet d'avalanche est ainsi atténué et survient à une tension $V_{DS}$ plus élevée (environ 2V).

### 5. Couplage capacitif ou crosstalk

Le couplage capacitif peut avoir pour origine un couplage latéral entre deux interconnections métalliques, ou vertical par le substrat.

Le couplage capacitif latéral entre deux interconnexions métalliques est un paramètre important à prendre en compte pour la conception de circuits rapides. Deux interconnections proches l'une de l'autre sont à la fois isolées par le diélectrique qui les sépare et couplées capacitivement à travers ce même diélectrique. En SOI, les capacités de couplage sont quasiment identiques à celles en BULK, puisque les niveaux de métaux des deux procédés sont identiques. Cependant, la capacité parasite des interconnections étant plus faible en SOI (oxyde enterré), le rapport des capacités de couplage latérales sur les capacités parasites est plus grand en SOI qu'en BULK. L'incidence d'une interconnexion sur l'autre provoque donc en SOI un pic de tension plus important qu'en BULK [BERNSTEIN01].

Le couplage par le substrat est un autre facteur limitant le fonctionnement de circuits haute fréquence. Des mesures récentes ont montré une amélioration de l'isolation pour les substrats SOI haute résistivité d'environ 6dB à 2GHz [RAYNAUD05]. Cette amélioration de l'isolation se réduit toutefois avec la fréquence (Figure 2- 10).

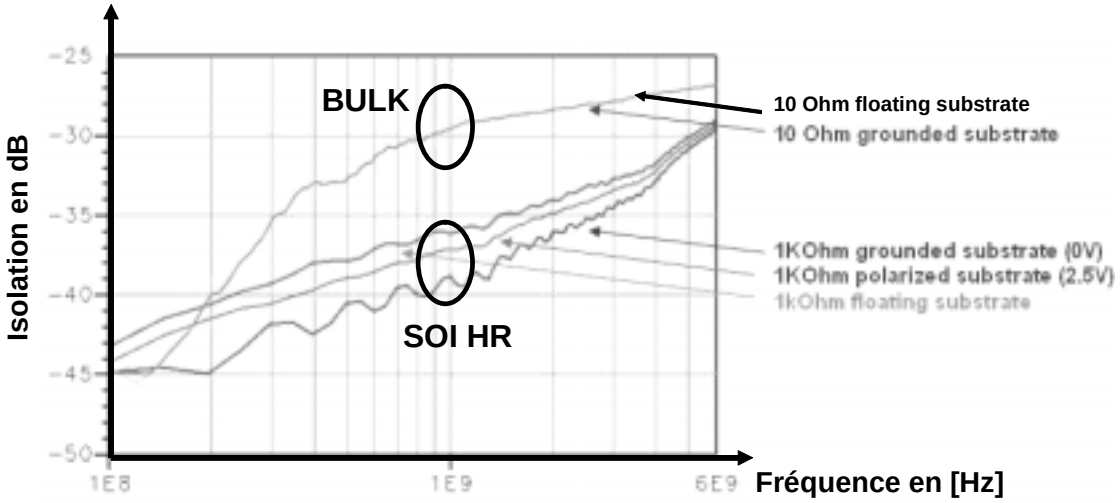



*Figure 2- 10: Mesure de l'isolation substrat de deux structures de test identiques.*

### 6. L'effet kink

Dans les transistors à body flottant en technologie CMOS/SOI-PD, l'ionisation par impact et le courant de diode induisent l'effet kink. La modélisation électrique de cet effet est représentée sur la Figure 2- 11:

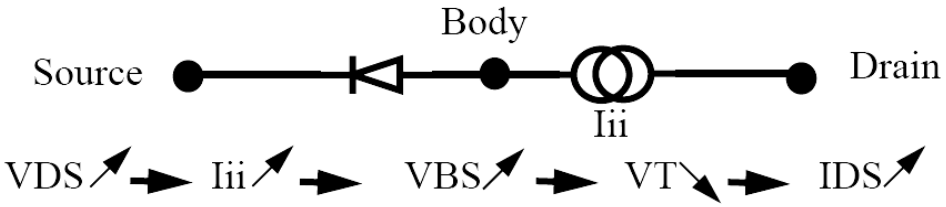



*Figure 2- 11: Modélisation électrique de l'effet kink [BELLEVILLE01].*

L'augmentation de la tension drain-source conduit à l'accumulation de charges par ionisation par impact dans le body. Ces charges ne peuvent être évacuées. Le potentiel du body augmente, la tension de seuil diminue, et donc le courant drain source augmente. La polarisation en direct de la diode body source conduit à un équilibre des potentiels par recombinaison. Dans les MOS/SOI-PD, cet effet est visible sur les caractéristiques $I_{DS}(V_{DS})$ et $I_{DS}(V_{GS})$. La Figure 2- 12 représente la caractéristique $I_{DS}(V_{DS})$ simulée de transistors body flottant et body contact en 0.13µm. L'effet kink se manifeste uniquement dans le cas du transistor à body flottant par un excès de courant autour de $V_{DD}/2$ (0.6V dans notre cas).

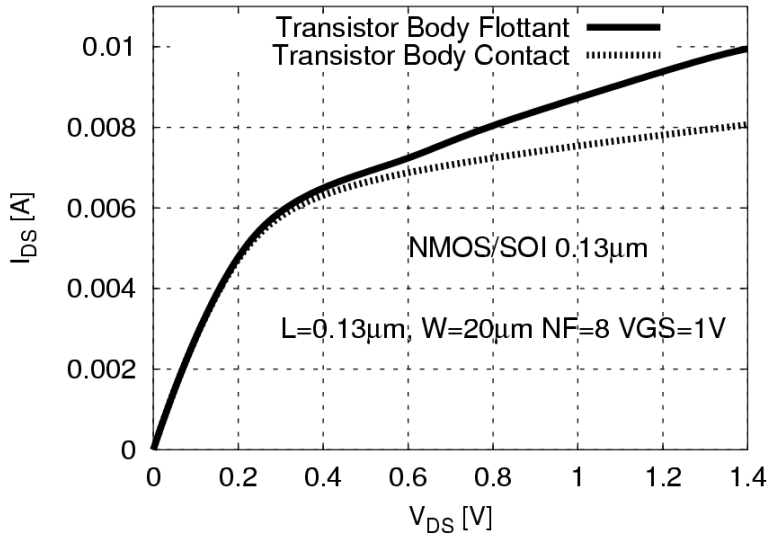



*Figure 2- 12 : Caractéristique $I_{DS}(V_{DS})$ et effet kink simulés en CMOS/SOI 0.13µm.*

De plus, le filtre distribué $R_{body}C_{body}$ entre la source, le drain et le body a une fréquence de coupure $f_c$ au-delà de laquelle les variations dynamiques du potentiel body source sont filtrées. La Figure 2- 13 ci-après décrit ce filtre.

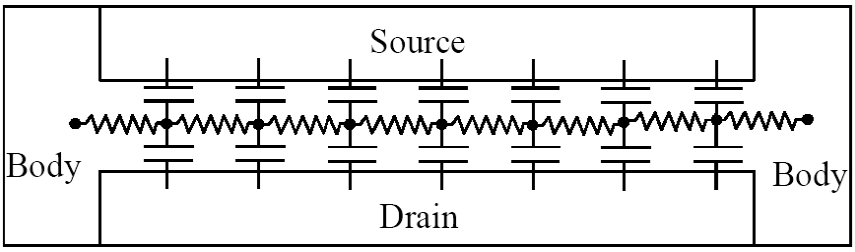



*Figure 2- 13: Réseau RC distribué entre la source, le drain et le body [BELLEVILLE01].*

L'effet kink est donc un effet basse fréquence. Il n'est pas critique dans la réalisation d'un certain nombre de circuits haute fréquence. Cependant, nous montrerons dans la suite de cette étude l'impact de l'effet kink sur le bruit de phase d'un VCO à 10GHz. Auparavant, nous allons étudier la réalisation de composants passifs sur SOI.

## II.1.3. LES PASSIFS SUR SOI

Les circuits analogiques haute fréquence (VCOs et LNA[10] par exemple) intègrent des composants passifs tels que les inductances, les capacités fixes (MIM et MOM[11]), les capacités variables (à base de diodes ou de MOS[12]) que l'on appellera varactors et les résistances.

Les performances d'un circuit sont non seulement dictées par les caractéristiques intrinsèques des dispositifs actifs, mais aussi par la qualité des composants passifs. La technologie CMOS/SOI, grâce au substrat haute résistivité, se prête particulièrement bien à la réalisation de composants passifs de bonne qualité.

Nous étudierons les critères de performances à haute fréquence des inductances et des varactors, constituant le cœur d'un VCO LC. Le facteur de qualité des inductances et des varactors, défini par le rapport entre l'énergie réactive et l'énergie dissipée, détermine en grande partie les performances globales en termes de bruit, de gain et de consommation du circuit final.

### II.1.3.1. LES INDUCTANCES INTEGREES SUR SOI

Les inductances ont un rôle important dans les circuits haute fréquence et sont indispensables à la réalisation de VCO.

Dans ce circuit, l'inductance est l'un des éléments principaux du résonateur et sert à fixer la fréquence d'oscillation. Son facteur de qualité influe directement sur le bruit de phase du système, comme nous le verrons dans l'analyse sur le bruit de phase traitée au chapitre IV.

Les deux problèmes principaux des inductances intégrées sont leurs faibles densités d'intégration et leurs faibles facteurs de qualité.

Nous analyserons les propriétés physiques et électriques des inductances intégrées ainsi que les méthodes permettant l'augmentation du facteur de qualité. Par la suite, nous étudierons les bénéfices apportés par le substrat SOI hautement résistif sur la qualité des inductances. Cette analyse nous permettra enfin de définir la topologie de l'inductance que nous choisirons pour la réalisation des VCOs à 10GHz décrits au chapitre IV.

#### 1. Propriétés électriques et physiques des inductances

La Figure 2- 14 montre la coupe transversale d'une inductance sur un substrat SOI. Une couche d'oxyde de silicium assure l'interface entre l'inductance et le substrat.

[10] Low Noise Amplifier ou amplificateurs faible bruit
[11] capacités Metal Inter Metal et Metal Oxyde Metal
[12] Aussi appelées varactors

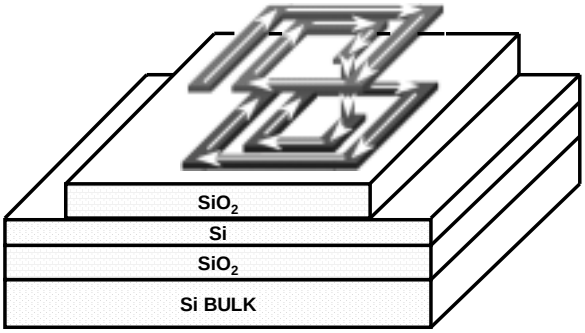



*Figure 2- 14 : Coupe transversale d'un inductance "2 niveaux" sur SOI.*

Le facteur de qualité Q de l'inductance se définit par ([KENNETH98]):

$$Q = \omega \cdot \frac{W_{\max}}{P_{diss}} \qquad (2\text{- }6)$$

avec $\omega$ est la pulsation en [rad/s],

$W_{max}$ est l'énergie totale maximum (électrique et magnétique) emmagasinée dans le système en [J],

$P_{diss}$ est la puissance moyenne dissipée en [W].

Une inductance atteint sa fréquence de résonance $f_r$, lorsque les énergies électriques et magnétiques sont égales. Le facteur de qualité est alors nul. Au-delà de la fréquence de résonance, l'inductance est équivalente à une capacité.

Cette définition décrit le lien entre Q et les mécanismes physiques d'échange d'énergie et de pertes. Nous allons donc décrire ces mécanismes afin de mieux comprendre leurs origines et leur influence à haute fréquence.

Il existe plusieurs sources de pertes au sein d'une inductance planaire [BUNCH02]:

- les pertes résistives,
- les pertes par couplage capacitif,
- les pertes par couplage inductif avec le substrat.

### 1.1. Les pertes résistives

Les pertes résistives ont plusieurs origines selon la fréquence d'opération [KELLY02]. Elles influent sur le facteur de qualité des inductances. Les variations conjointes de $R_s$ et de Q sont représentées sur la Figure 2- 15:

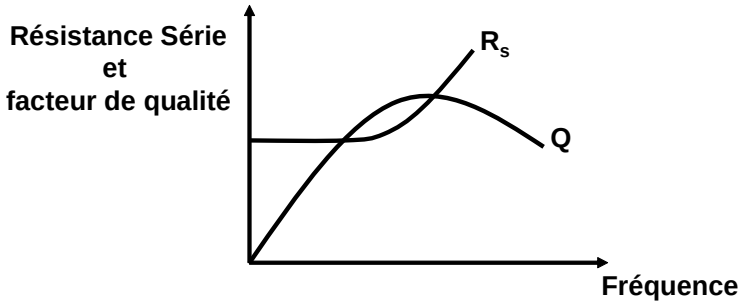



*Figure 2- 15 : Variation de la résistance série et du facteur de qualité d'une inductance en fonction de la fréquence.*

En courant continu (DC), la résistance série d'une inductance est fonction de la résistivité du métal utilisé (exprimée en Ω/□) et inversement proportionnelle à la largeur de la piste.

Dans le cas de l'aluminium, la résistance par carré peut varier selon le procédé de 20 à 70mΩ/□.

A plus haute fréquence, d'autres phénomènes physiques tels que l'effet de peau et les courants de Eddy[13] provoquent une augmentation de cette résistance.

L'effet de peau traduit l'influence de la fréquence sur un conducteur. A très basse fréquence, le courant parcourant un conducteur occupe l'intégralité de la piste. Lorsque la fréquence augmente, le courant se concentre à la périphérie de la piste sur une épaisseur inversement proportionnelle à la fréquence. L'épaisseur de peau δ dont l'expression est donnée par (2- 7) est une approximation de l'épaisseur de conducteur parcouru par le courant.

$$\delta = \frac{1}{\sqrt{\pi \cdot f \cdot \mu \cdot \sigma}} \qquad (2\text{- }7)$$

δ est l'épaisseur de peau en [m], f est la fréquence en [Hz], μ est la perméabilité en [H/m] et σ est la conductivité en [S/m].

L'effet de peau a pour conséquence l'augmentation de la résistance série de l'inductance en racine carrée de la fréquence.

Un second phénomène conduisant à l'augmentation de la résistance série a pour origine les courants de Eddy [KUHN01]. Considérons la portion d'une inductance multi tours représentée sur la Figure 2- 16.

[13] Effet appelé « current crowding » ou encore effet de proximité dans la littérature.

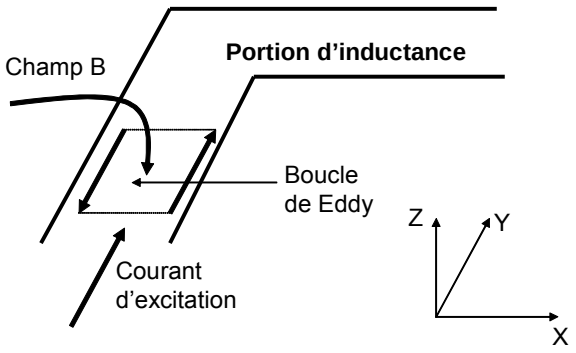



*Figure 2- 16 : Courants de Eddy dans une inductance.*

Le champ magnétique produit par les tours adjacents pénètre cette portion orthogonalement à la surface. Ce champ provoque la naissance de courants à la périphérie de la portion d'inductance. L'intensité de ces courants dépend alors de la portion considérée. Au centre d'une inductance multi-tours, ce courant se concentre du côté intérieur. Inversement, à la périphérie de l'inductance, ce courant se concentre du côté extérieur [CAO03].

Dans [CRANINCKX97], une inductance de neuf tours est simulée par décomposition en éléments finis. La résistance du tour extérieur à 2GHz est supérieure à la valeur courant continu de 18%. Par contre, la résistance du tour intérieur à 2GHz est supérieure de 480 % à la valeur DC. Ainsi, il a été montré que la résistance des tours contenus au centre de l'inductance augmente plus vite que la résistance des tours extérieurs.

Dans [KUHN01], il est montré que les courants de Eddy provoquent une augmentation quadratique avec la fréquence de la résistance série d'une inductance. Pour cette raison, les inductances sur silicium sont généralement dépourvues de tours proches du centre, afin d'augmenter leurs coefficients de qualité.

### 1.2. Les pertes par couplage capacitif

Les pertes par couplage capacitif proviennent des capacités entre l'inductance et le substrat.

Ces capacités ont deux effets néfastes sur la qualité de l'inductance. Tout d'abord, elles permettent, à haute fréquence, une interaction entre le substrat et le courant dans l'inductance. Deuxièmement, elles augmentent la capacité parasite de l'inductance, réduisant ainsi la fréquence de résonance. En réduisant la largeur de l'inductance, on réduit le couplage capacitif mais on augmente la résistance série. Il faut donc trouver un compromis entre ces deux pertes. En technologie CMOS/BULK, une approche consiste à utiliser un plan patterné sous l'inductance ([YUE98]). L'idée de l'inductance "patternée" permet de réduire les pertes dans le substrat par couplage capacitif. En effet, la polarisation d'un plan fortement dopé au dessus du substrat permet d'écranter en grande partie ce dernier. La disposition des barreaux du plan patterné,

perpendiculaire aux courants de Foucault, permet d'éviter une inductance image dans le plan conducteur ajouté.

### 1.3. Les pertes par couplage inductif

Les pertes par couplage inductif sont dues au champ magnétique produit par l'inductance et diffusé dans le substrat.

Les lois de Faraday stipulent qu'un champ magnétique variable au cours du temps induit un champ électrique dans le substrat. Ce champ introduit un courant image dans le substrat, opposé au courant dans l'inductance. Cet effet est souvent modélisé par un transformateur parasite dans lequel le substrat joue le rôle d'inductance couplée à l'inductance réelle. La profondeur de diffusion du champ magnétique est alors proportionnelle à la largeur de la piste.

Il existe donc ici aussi un compromis entre les pertes par couplage inductif et les pertes résistives.

## 2. Modélisation des inductances intégrées sur silicium

L'analyse précédente des pertes dans l'inductance permet de définir un modèle électrique équivalent en $\pi$ de l'inductance sur silicium BULK [BUNCH02].

La Figure 2- 17 décrit ce modèle:

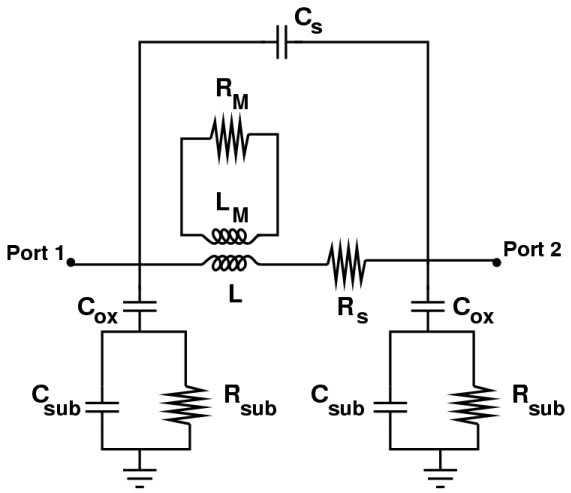



*Figure 2- 17 : Modèle électrique équivalent en $\pi$ de l'inductance sur silicium.*

L représente l'inductance planaire. $R_s$ est la résistance série et prend en compte la résistivité du métal, l'effet de peau et les courants de Eddy surfaciques. $C_s$ est la capacité parasite inter-spires présente entre chaque spire de l'inductance. $C_{ox}$ est la capacité de l'oxyde entre l'inductance et le substrat. $C_{sub}$ et $R_{sub}$ modélisent les capacités et la résistance du substrat.

$C_{ox}$, $C_{sub}$ et $R_{sub}$ modélisent les pertes par couplage capacitif. Enfin, les pertes par couplage inductif sont modélisées par le transformateur parasite $T_M$ en parallèle à la résistance $R_M$.

Ce modèle électrique associé à un fichier de paramètres S, simulés ou mesurés, permet d'estimer la valeur d'une inductance et son facteur de qualité [BUNCH02]. En pratique, on convertit les paramètres S en paramètres admittance Y grâce au modèle équivalent en $\pi$ du dipôle représenté sur la Figure 2- 18.

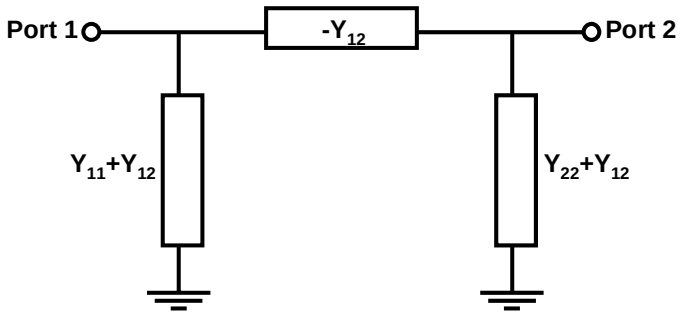



*Figure 2- 18 : Modèle équivalent en $\pi$ d'un dipôle.*

Dans le cas d'un dipôle passif et symétrique, on a $Y_{12}=Y_{21}$ et $Y_{11}=Y_{22}$.

On réduit ensuite ce modèle à deux éléments en série d'impédance totale Z=R+jX (une inductance en série avec une résistance dans notre cas).

On obtient ainsi :

$$L = \frac{\mathrm{Im}(Z)}{2\pi \cdot f} = \frac{X}{2\pi \cdot f} \qquad (2\text{- }8)$$

et

$$Q = \frac{\mathrm{Im}(Z)}{\mathrm{Re}(Z)} = \frac{X}{R} \qquad (2\text{- }9)$$

Selon que l'inductance est utilisée en mode 1 port (port 1 connecté au signal et port 2 à la masse), ou en mode 2 ports (ports 1 et 2 connectés au signal, mode différentiel), la réduction du modèle diffère.

Les expressions de l'inductance et du facteur de qualité pour chaque cas sont résumées dans le Tableau 2- 2.

| | Mode 1 port | Mode 2 ports |
|---|---|---|
| **L** | $L = \mathrm{Im}\left(\dfrac{\frac{1}{Y_{11}}}{2\pi \cdot f}\right)$ *(2- 10)* | $L = \mathrm{Im}\left(\dfrac{\frac{1}{Y_{12}}}{2\pi \cdot f}\right)$ *(2- 11)* |
| **Q** | $Q = \dfrac{\mathrm{Im}\left(\frac{1}{Y_{11}}\right)}{\mathrm{Re}\left(\frac{1}{Y_{11}}\right)}$ *(2- 12)* | $Q = \dfrac{\mathrm{Im}\left(\frac{1}{Y_{12}}\right)}{\mathrm{Re}\left(\frac{1}{Y_{12}}\right)}$ *(2- 13)* |

*Tableau 2- 2 : Expression de l'inductance et du facteur de qualité en fonction des paramètres admittances [BUNCH02].*

Les valeurs de l'inductance et du facteur de qualité peuvent ainsi être simulées ou mesurées en fonction de la fréquence. On notera toutefois que le mode 1 port présente l'inconvénient de court-circuiter la capacité du port 2 entre l'inductance et le substrat.

### 3. Les avantages du SOI Haute Résistivité pour les inductances intégrées

La couche d'oxyde enterré permet une bonne isolation entre le substrat et le circuit. La résistivité typique des substrats standard est de l'ordre de 20Ω.cm. En SOI, comme en BULK, il est possible d'utiliser des substrats dont la résistivité dépasse les 1000Ω.cm. Ces substrats sont appelés substrats hautes résistivités (HR). Les substrats SOI HR permettent de :

- réduire les pertes diélectriques des lignes de transmission [RAYNAUD05],
- diminuer fortement les couplages parasites de type capacitif[14],
- réduire les couplages parasites inductifs.

Ainsi, le schéma électrique équivalent d'une inductance sur substrat SOI ne fait ni intervenir d'inductance couplée $L_M$, ni de résistance de couplage inductif $R_M$. De plus, les capacités $C_{ox}$ et $C_{sub}$ sont considérablement réduites par la présence de l'oxyde enterré. La résistance $R_{sub}$ est, quant à elle, de l'ordre de 1000Ω.cm.

Le substrat SOI HR apporte un avantage significatif en termes de facteur de qualité. De récentes mesures sur une inductance de 3nH, mais prévue pour fonctionner seulement à

[14] Aussi appelé crosstalk

2.5GHz, montrent une amélioration d'environ 5dB apportée par le SOI HR (Figure 2- 19) [GIANESELLO05]:

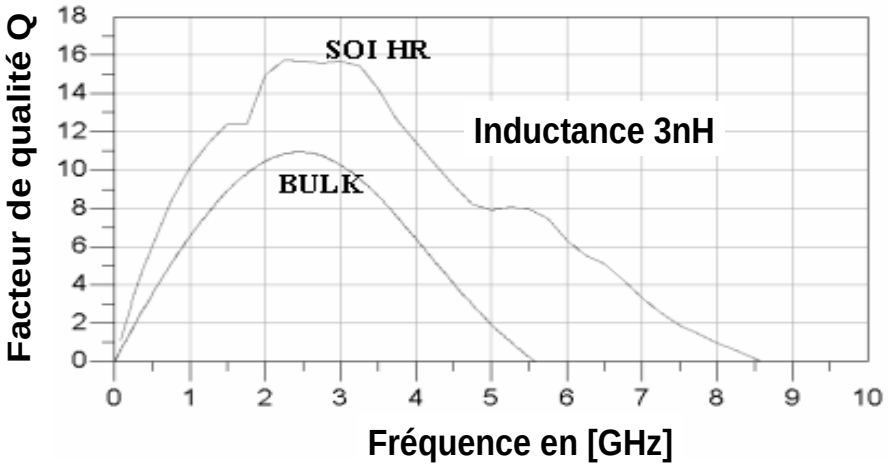



*Figure 2- 19: Facteur de qualité d'une inductance 3 nH mesuré en BULK et en SOI HR [GIANESELLO05].*

L'intérêt de notre travail sera aussi de vérifier l'apport du SOI HR à la fréquence de 10GHz.

### 4. Topologie des inductances SOI

Les performances d'une inductance sont étroitement liées à sa géométrie.

Nous avons vu que l'amélioration des performances conduit à un compromis entre les pertes résistives, les pertes par couplage capacitif et les pertes par couplage inductif. Pour diminuer les pertes résistives, il est nécessaire d'utiliser un métal de faible résistivité et d'élargir au maximum la largeur des spires. De plus, l'épaisseur des métaux étant fixe dans un procédé silicium, on ne peut qu'empiler plusieurs couches de métal pour augmenter l'épaisseur afin de diminuer la résistivité. A l'inverse, pour diminuer les pertes par couplage capacitif et inductif, il faut, d'une part, utiliser le métal le plus éloigné de l'oxyde et, d'autre part, minimiser la superficie de l'inductance.

Il existe plusieurs géométries d'inductances. Les principales sont les inductances circulaires, les inductances carrées, les inductances hexagonales ou octogonales. A surface égale, les inductances circulaires présentent un meilleur facteur de qualité [NIKNEJAD98], grâce à la réduction de la résistance série. Cette géométrie circulaire n'est souvent pas supportée par les systèmes de génération de masque. Bien souvent, et tel est notre cas, seuls les angles à 90 ou à 45 degrés sont possibles. La solution intermédiaire consiste alors à utiliser des inductances hexagonales.

Il est aussi possible de réaliser des inductances sur plusieurs niveaux de métal : les inductances 3D. Les inductances superposées peuvent être connectées,

- soit en série, pour augmenter la valeur de l'inductance,
- soit en parallèle, pour réduire la résistance série.

Cependant la superposition de plusieurs niveaux de métal conduit à une augmentation des capacités d'oxyde $C_{ox}$ et inter spires $C_s$, ce qui peut atténuer l'amélioration du facteur de qualité [CHOI03]. Dans les circuits VCOs, on utilise souvent deux inductances non couplées. Celles-ci peuvent être remplacées par une inductance différentielle avec point milieu. Cette inductance différentielle exploite les bénéfices de l'inductance mutuelle par couplage électromagnétique. Elle permet d'augmenter la valeur de l'inductance sans augmenter les pertes résistives et tout en diminuant la surface de silicium. A valeur inductive égale, les inductances différentielles permettent d'augmenter jusqu'à un facteur deux le coefficient de qualité maximum [CHOI03].

#### 5. Conclusion

En résumé, la conception d'une bonne inductance en technologie CMOS/SOI passe par l'optimisation de son facteur de qualité à la fréquence d'utilisation. Cette optimisation résulte d'un compromis entre la valeur de l'inductance, la fréquence de résonance de l'inductance, les pertes résistives, les pertes par couplage capacitif, et les pertes par couplage inductif. Le choix d'un substrat SOI hautement résistif apporte des avantages significatifs par rapport à un substrat de résistivité standard. De plus, comme en CMOS/BULK, une géométrie adaptée à la fréquence d'utilisation doit être choisie à l'aide d'un simulateur électromagnétique comme Momentum.

Etudions à présent un deuxième élément important du VCO LC, le varactor.

### II.1.3.2. LES VARACTORS INTEGRES SUR SOI

Le varactor est une capacité dont la valeur varie en fonction de la différence de potentiel à ses bornes appelée tension de contrôle ($V_c$). Un varactor C en parallèle à une inductance L constitue un résonateur LC, accordable en fréquence. Comme nous allons le voir, les caractéristiques du varactor influent directement sur la qualité de ce résonateur.

Les caractéristiques principales d'un varactor sont :

- le facteur de qualité Q,
- le rapport $C_{max}/C_{min}$ qui indique la plage de capacité du varactor,
- la linéarité de la caractéristique $C=f(V_c)$.

La principale difficulté liée à la conception de varactors pour les circuits haute fréquence est d'obtenir un rapport $C_{max}/C_{min}$ suffisamment élevé, tout en conservant un facteur de qualité et une linéarité suffisante et monotone. De plus, le varactor doit être suffisamment intégrable pour maintenir un faible coût.

Il existe deux types de varactor intégrables en CMOS/SOI:

- les varactors diode ou jonction P+/N polarisée en inverse dont la structure est détaillée sur la Figure 2- 20,
- et les varactors MOS en accumulation ou en inversion décrits sur la Figure 2- 21.

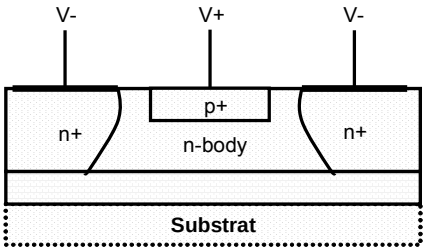



*Figure 2- 20 : Varactor de type diode P+/N.*

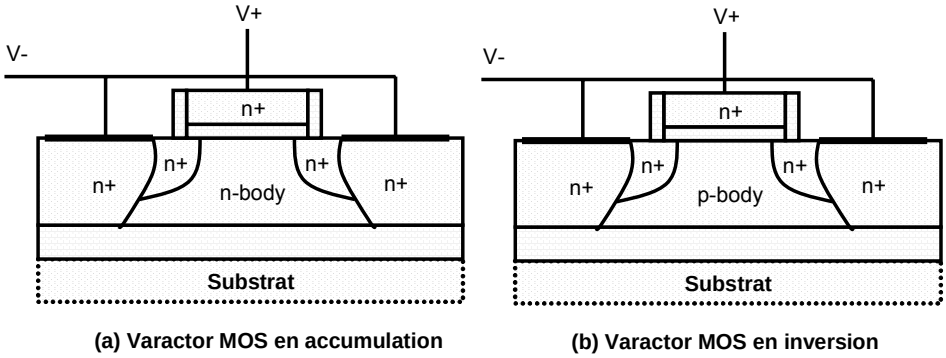



*Figure 2- 21 : Les deux types de varactors MOS.*

[ANDREANI00] a étudié les avantages et les limites de ces varactors. Le Tableau 2- 3 ci-après résume ces résultats.

| | **Diode P+/N** | **Varactors MOS** |
|---|---|---|
| **Facteur de qualité** | Faible | Moyen |
| **$C_{max}/C_{min}$** | Moyen | Bon |
| **Linéarité** | Faible | Moyenne |

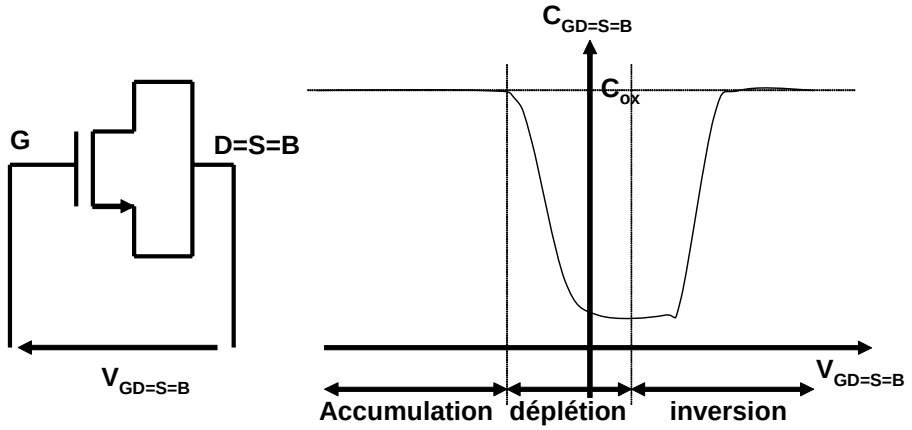
*Tableau 2- 3 : Avantages et limites des varactors intégrables sur SOI.*

Le varactor diode nous est apparu moins bien adapté à la conception de circuits haute fréquence, pour lesquels le facteur de qualité et la plage de variation de la capacité sont les deux facteurs importants.

Pour cette raison, nous allons étudier plus en détail le principe de fonctionnement des varactors de type MOS et les avantages qu'apporte le SOI pour leur conception.

### 1. Les varactors de type MOS

Le schéma électrique équivalent du varactor de type MOS est donné sur la Figure 2-22.a.




**(a) Schéma électrique** **(b) Plage de variation de $C_{GD=S=B}$**

*Figure 2- 22 : Le varactor de type MOS.*

Lorsque l'on connecte la source, le drain et le substrat ensemble (D=S=B sur Figure 2-22.a), l'application d'une tension $V_{G-D=S=B}$ entre la grille et ce potentiel va modifier la quantité et la nature (électrons ou trous) des charges sous la grille. La zone de charge d'espace ainsi créée est équivalente à une capacité en série avec la capacité d'oxyde. La variation de la capacité entre la grille et D=S=B est représentée qualitativement sur la Figure 2- 22.b.

Les trois zones de fonctionnement représentées sur la Figure 2- 22.b sont :

- La zone d'accumulation :

la tension $V_{GD=S=B}$ est négative. La valeur de la capacité équivalente, $C_{ox}$ vaut :

$$C_{ox} = \frac{\varepsilon_{ox} \cdot WL}{t_{ox}} \qquad (2\text{- }14)$$

$\varepsilon_{ox}$ est la permittivité de l'oxyde en [F/m],

$t_{ox}$ est l'épaisseur de l'oxyde ([m]),

W est la largeur de grille en [m],

et L est la longueur de grille en [m].

Dans cette zone, les trous s'accumulent sous la grille. La capacité $C_{GD=S=B}$ est alors maximale.

- La zone de déplétion :

lorsque $V_{GD=S=B}$ augmente, une zone dépourvue de porteurs est créée sous la grille (la zone de charge d'espace). La profondeur de cette zone augmente avec la tension, créant en série avec $C_{ox}$ une capacité de déplétion $C_d$. Plus $C_d$ augmente, plus la capacité totale $C_{GD=S=B}$ diminue.

- La zone d'inversion :

l'application d'une tension positive sur la grille crée la zone d'inversion du canal caractérisée par une forte densité d'électrons sous la grille. Cette augmentation proportionnelle à la tension de grille est exponentielle. La zone de charge d'espace diminue et la capacité $C_{GD=S=B}$ augmente pour tendre vers $C_{ox}$, lorsque les charges de part et d'autre de la grille se compensent.

La caractéristique $C_{G-D=S=B}=f(V_{G-D=S=B})$ de la Figure 2- 22 n'est pas monotone. Cependant, dans les applications VCOs, l'amplitude du signal de sortie est souvent grande, (quelques centaines de mV à quelques volts selon l'application). Cette forte amplitude risque de faire rentrer le transistor MOS en zone d'accumulation et risque donc d'augmenter la capacité moyenne fournie par le varactor à une polarisation donnée. La plage de variation de fréquence du VCO est alors réduite.

Pour supprimer ce phénomène, il est nécessaire de rendre la caractéristique $C_{G-D=S=B}=f(V_{G-D=S=B})$ monotone (croissante ou décroissante). Il faut donc limiter le régime de fonctionnement du MOS à la zone d'accumulation ou à la zone d'inversion.

Selon la zone utilisée, le varactor MOS est appelé :

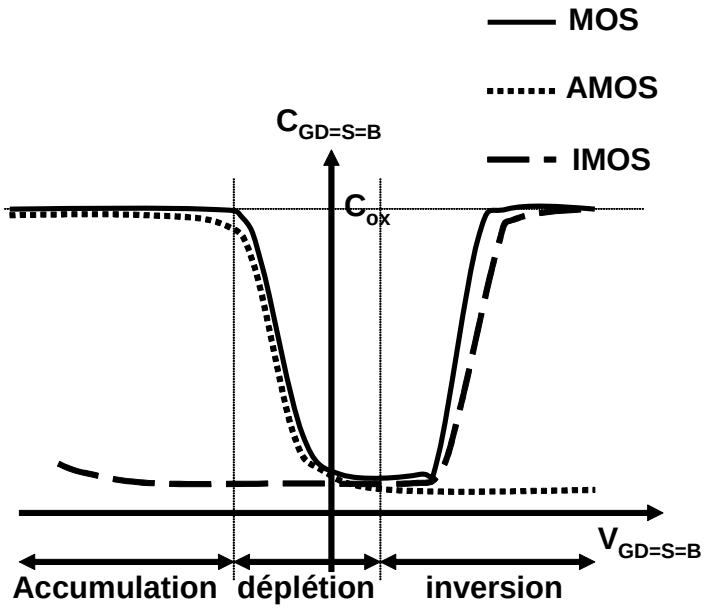
- varactor MOS en inversion noté IMOS,

ou,

- varactor MOS en accumulation noté AMOS.

Le IMOS est conçu en reliant le drain à la source et en laissant le body du transistor flottant (Figure 2- 21.b).

La structure AMOS est similaire à la structure IMOS, à l'exception près du dopage du body. Le body est dopé n pour le AMOS au lieu du dopage traditionnel de type p (Figure 2- 21.a) [CHEN04]. Les caractéristiques $C_{G-D=S=B}=f(V_{G-D=S=B})$ pour les deux types de varactors sont représentées sur la Figure 2- 23 ci-après.




**(b) Plage de variation de $C_{GD=S=B}$**

*Figure 2- 23 : Caractéristiques $C_{G-D=S=B}=f(V_{G-D=S=B})$ des varactors MOS, AMOS et IMOS.*

Le facteur de qualité est proportionnel à $1/L^2$ pour le dispositif AMOS et à 1/L pour le varactor IMOS [ANDREANI00]. Cette différence est due à une réduction de la résistance parasite dans le canal du AMOS.

Nous allons à présent étudier les avantages que nous procure la technologie SOI pour la conception de varactors de type AMOS.

## 2. Avantages du SOI pour la conception de varactors à accumulation

La structure du substrat SOI procure de nombreux avantages pour la réalisation de varactors MOS [FONG02], [FONG03].

Le premier avantage provient de la symétrie des varactors sur SOI. Le dispositif n'utilise pas de prise substrat. Les résistances de contact et les capacités parasites de la prise sont donc supprimées. De plus, la capacité parasite entre la source et le substrat est égale à la capacité à travers l'oxyde enterré. Celle-ci est fixe, petite ($\varepsilon_{Si02}<\varepsilon_{Si}$) et présente un fort coefficient de qualité. En BULK, par contre, cette capacité est dominée par la capacité de déplétion entre le caisson n et le substrat p. Cette diode, polarisée en inverse, a un facteur de qualité faible et variable avec la tension de contrôle du varactor. Dans un VCO à haute fréquence, cette jonction induit un couplage entre le bruit du substrat et le résonateur. Ce couplage altère les performances en bruit de phase du VCO. L'absence de jonction en SOI permet aussi l'utilisation du varactor en mode différentiel [FONG03] pour la réjection du bruit de mode commun.

Le second avantage des varactors SOI provient de la réduction des capacités parasites. En effet, la capacité minimale $C_{min}$ d'un varactor est la somme de la capacité de grille du varactor et des capacités parasites telles que les capacités de recouvrement, les capacités entre la source et le substrat, et les capacités source body. En SOI, ces capacités sont réduites grâce à l'oxyde enterré. Ainsi la capacité $C_{min}$ est diminuée et le rapport $C_{max}/C_{min}$ augmente. Ceci permet d'agrandir la plage de variation de fréquence d'un VCO. En contrepartie, une sensibilité plus forte du varactor nuit aux performances en bruit du VCO, comme nous le verrons dans le chapitre 3.

Le troisième avantage du SOI vient du fait que la tension de seuil des transistors SOI est ajustable. Ceci permet de réduire la tension de contrôle des varactors et donc la consommation.

Concernant le facteur de qualité des varactors SOI, un schéma équivalent simplifié du varactor permet de déterminer les paramètres d'optimisation [FONG02]. Ce schéma consiste en la mise en série d'une résistance $R_s$ et d'une capacité $C_{var}$. Le facteur de qualité s'exprime alors :

$$Q = \frac{1}{\omega \cdot R_S \cdot C_{\mathrm{var}}} \qquad (2\text{-}15)$$

où $R_s$ prend en compte la résistance de grille $R_g$, la résistance de canal $R_{canal}$ et la résistance des zones d'extension de la source et du drain $R_{ext}$.

L'utilisation de transistor multi-doigts permet de réduire et de rendre négligeable $R_g$ devant $R_{canal}$. En SOI, comme en BULK, le facteur de qualité des varactors résulte d'un compromis entre :

- le nombre de doigts du transistor,
- la longueur de la grille,
- la largeur des doigts,
- et la fréquence d'utilisation.

De plus, il existe un autre compromis entre un fort rapport $C_{max}/C_{min}$ et un facteur de qualité élevé. L'avantage précédemment cité du SOI, par rapport au BULK, vis-à-vis de la variation de capacité permet :

- soit d'améliorer le facteur de qualité à rapport $C_{max}/C_{min}$ constant,
- soit d'améliorer le rapport $C_{max}/C_{min}$ à facteur de qualité constant.

### 3. Conclusion

En résumé, nous avons exposé les avantages du CMOS/SOI pour la conception de varactors à accumulation en CMOS/SOI. Ces varactors présentent une meilleure symétrie. La réduction des capacités parasites permet en théorie d'obtenir un meilleur rapport $C_{max}/C_{min}$. Enfin, il est possible d'exploiter la réduction de la tension de seuil des transistors CMOS/SOI, afin de

diminuer la tension de contrôle des varactors et donc la consommation. Ces avantages associés à ceux des inductances sur substrat HR laissent donc présager des performances très satisfaisantes en CMOS/SOI.

Afin de pouvoir utiliser les bénéfices offerts par le CMOS/SOI, nous avons utilisé une méthodologie de conception décrite dans les paragraphes suivants.

## II.2. OUTILS ET METHODES DE CONCEPTION DES CIRCUITS HAUTE FREQUENCE CMOS/SOI

La situation au début de ce travail était la suivante: nous avions à notre disposition une technologie CMOS/SOI 0.13µm développée pour les applications numériques. Le design kit associé est constitué essentiellement de transistors CMOS/SOI optimisés et modélisés pour la conception de portes numériques. De part les caractéristiques spécifiques du SOI, la conception de circuits analogiques haute fréquence nécessite un travail important complémentaire de caractérisation et de modélisation. Celui-ci comprend les étapes suivantes:

- détermination des performances des dispositifs actifs (fréquence de transition, fréquence maximale, linéarité, bruit BF et RF),
- modélisation des capacités parasites des composants (transistors, inductances, capacités, varactors et résistances),
- modélisation des interconnections (capacités parasites, crosstalk, pertes).

Dans un premier temps, nous avons conçu, avec l'aide de l'équipe de caractérisation du LETI, des structures de test comprenant des transistors NMOS et PMOS body contactés et body flottants de différentes géométries, des inductances optimisées comme indiqué dans la partie précédente, et des varactors NMOS et PMOS ([ROZEAU05]). Ces composants, utilisés pour l'élaboration des modèles, sont identiques à ceux qu'on envisage d'utiliser pour la conception des circuits. Cependant, compte-tenu des contraintes données par le fondeur pour la fréquence des runs, nous avons effectué la conception des structures de tests et des VCO en parallèle.

Ainsi, nous ne disposions pas, au départ, de modèles RF spécifiques SOI pour la phase de conception. Nous avons donc mis en place une méthodologie de conception utilisant à la fois:

- des modèles de transistors SOI modélisés en basse fréquence,
- des modèles de transistors et des varactors CMOS/BULK 0.13µm modélisés en haute fréquence (jusqu'à 10GHz),

- des modèles électromagnétiques, obtenus par simulation, que nous avons développés spécifiquement pour les inductances SOI.

Nous commencerons par rappeler le flot classique de conception de circuits pour la haute fréquence. Puis, nous présenterons le flot et les outils associés mettant en oeuvre les modèles ci-dessus, afin de converger vers un modèle satisfaisant, reflétant correctement les performances attendues. Cette démarche itérative a pu être mise en œuvre grâce à tout le travail bibliographique préliminaire sur le comportement basse et haute fréquence du transistor SOI.

### II.2.1. LE FLOT CLASSIQUE ANALOGIQUE EN RADIO ET HAUTE FREQUENCE

Pour concevoir et réaliser des circuits fonctionnels analogiques, radio fréquence et haute fréquence, à partir d'une technologie et de modèles matures, on procède selon le diagramme représenté sur la Figure 2- 24

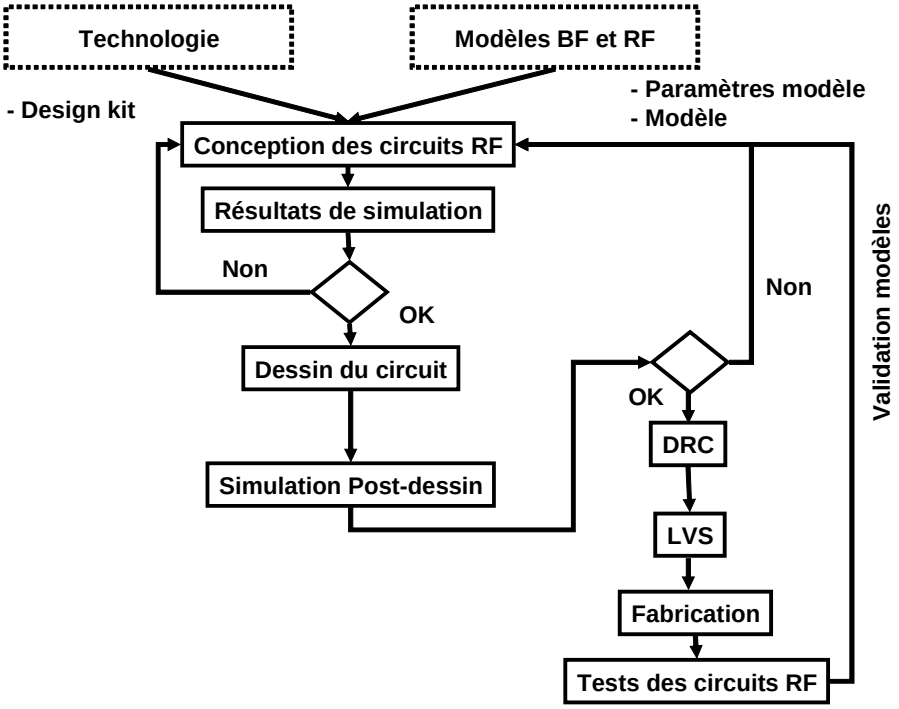



*Figure 2- 24: Flot classique de conception de circuits.*

Dans ce flot nous devons disposer initialement d'une technologie mature et de modèles BF et RF validés. Après la conception et le dessin, réalisés à l'aide du logiciel Cadence (Analog Artist et Virtuoso), nous extrayons les capacités parasites de routage pour effectuer la simulation Post-dessin. Nous vérifions ensuite les règles de dessin (DRC) et l'équivalence entre le schéma

électrique et le dessin (LVS). Après la fabrication, la caractérisation du circuit permet de faire éventuellement un retour sur les modèles ou sur la conception.

Comme nous l'avons indiqué plus haut, nous n'avons pas pu utiliser ce flot traditionnel compte-tenu de la technologie avancée et encore en phase de développement CMOS/SOI-PD 0.13µm. En effet, nous ne disposions pas de tous les composants (inductances et varactors), ni des modèles adaptés à la haute fréquence. Nous ne disposions pas non plus d'outil d'extraction des capacités parasites, ce qui a rendu impossible la simulation post-dessin. Nous allons donc décrire le flot particulier que nous avons utilisé.

## II.2.2. LA METHODOLOGIE SUIVIE POUR LA CONCEPTION DE CIRCUITS HAUTE FREQUENCE

### II.2.2.1. ETAPE 1 : CONCEPTION DES CIRCUITS SUR CMOS/BULK 0.13µM

Afin de générer un schéma électrique de nos circuits fonctionnel en haute fréquence sur CMOS/BULK, nous avons utilisé les modèles RF et le design kit disponibles en CMOS/BULK. Cette étape est représentée sur la Figure 2- 25:

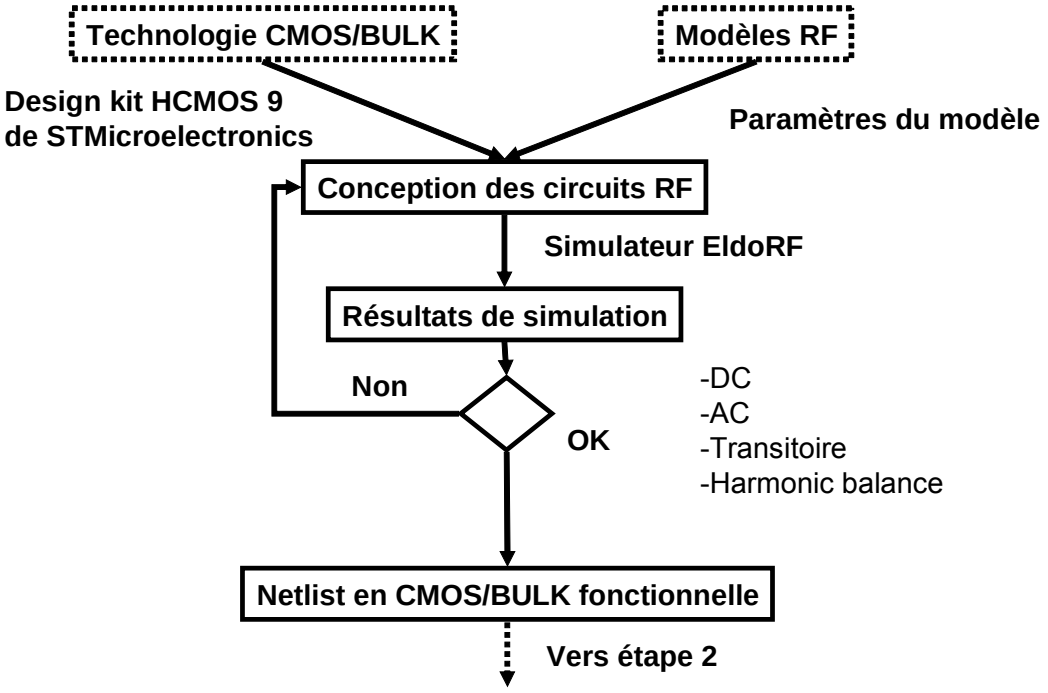



*Figure 2- 25: Etape 1: Conception de circuits haute fréquence en CMOS/BULK.*

Le résultat provisoire est une Netlist avec des composants actifs et passifs sur CMOS/BULK. L'étape suivante va consister à introduire dans la Netlist des composants actifs CMOS/SOI.

### II.2.2.2. ETAPE 2 : CONCEPTION PROVISOIRE AVEC LE DESIGN-KIT CMOS/SOI NUMERIQUE

L'étape 2 consiste à introduire les composants actifs CMOS/SOI dans la Netlist en utilisant le design kit de STMicroelectronics. L'introduction de ces transistors va permettre de vérifier, notamment, les points de polarisation en continu des circuits. De cette manière, nous éviterons les régions sensibles qui sont le kink et le déclenchement du transistor bipolaire, lorsque l'on utilise les transistors à body flottant. La Figure 2- 26 ci-après décrit cette étape.

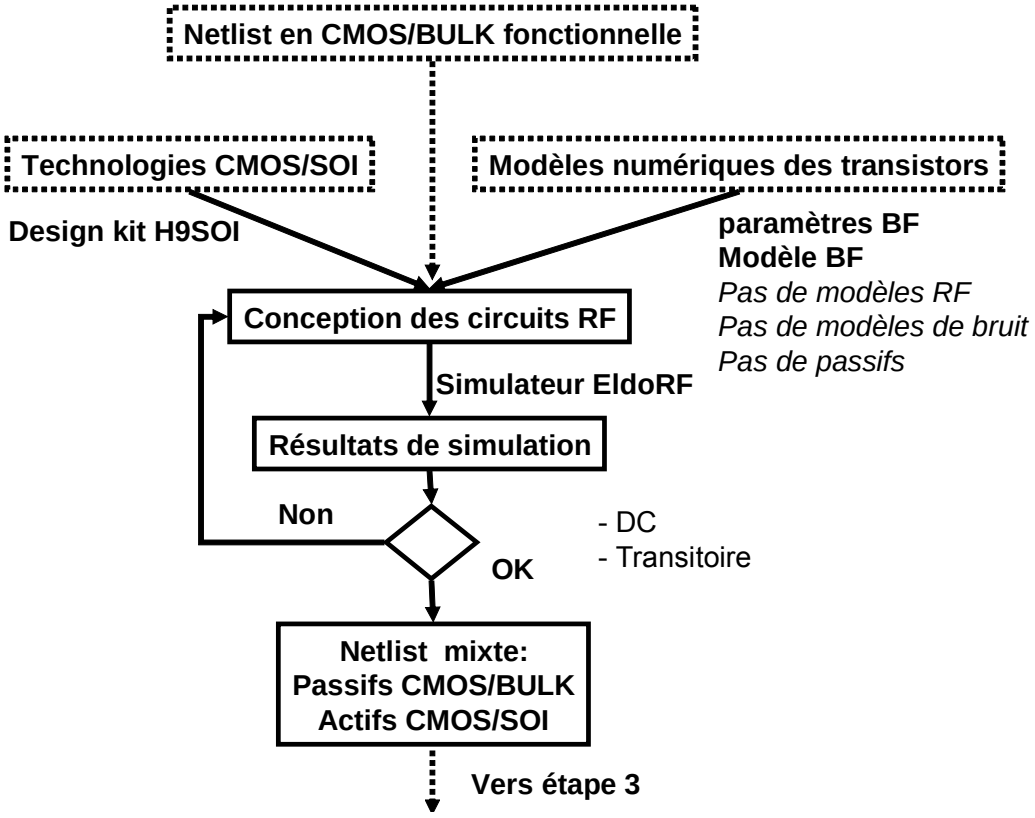



*Figure 2- 26: Etape 2: Introduction dans la Netlist des composants actifs CMOS/SOI.*

Le résultat provisoire est une netlist mixte incluant des passifs en technologie CMOS/BULK et des actifs en technologie CMOS/SOI. Pour bénéficier des avantages que la technologie CMOS/SOI HR apporte à la réalisation de circuits haute fréquence incluant des composants passifs, l'étape suivante consiste à introduire les modèles électromagnétiques que nous avons développés pour les inductances SOI.

### II.2.2.3. ETAPE 3 : CONCEPTION FINALE DES CIRCUITS HAUTE FREQUENCE

L'étape 3 consiste à introduire conjointement les modèles d'inductances sur SOI (conçus sur ADS/Momentum) dans les deux Netlists issues de l'étape 1 et de l'étape 2 (Figure 2- 27).

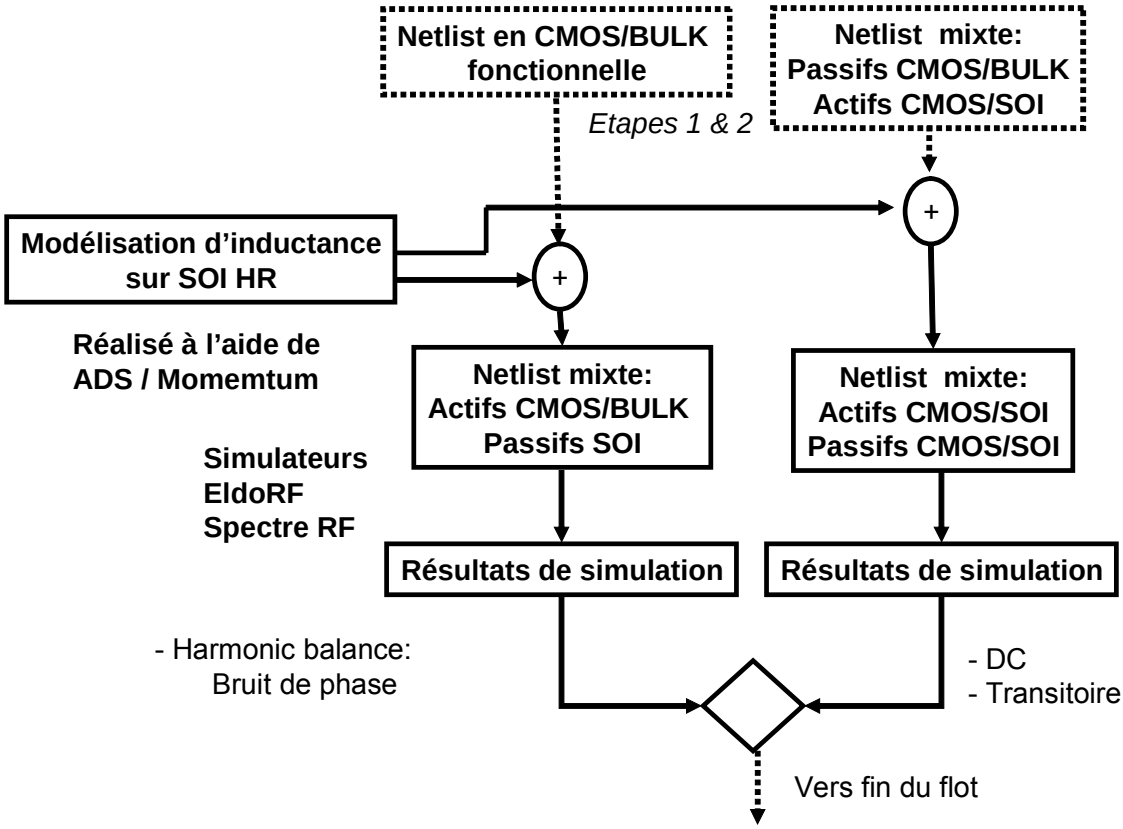



*Figure 2- 27: Etape 3: Introduction des inductances SOI HR.*

Les deux Netlists ainsi créées permettent d'obtenir un ensemble de résultats de simulation, à l'aide de eldoRF et de spectreRF[15], couvrant tous les domaines (DC, temporel, fréquentiel) et permettant d'obtenir des résultats approchés sur le bruit de phase, puisque les transistors utilisés dans la voie "gauche" sont encore en CMOS/BULK.

Enfin, après validation de toutes les performances, nous pouvons poursuivre le flot en vue de la fabrication des circuits (Figure 2- 28):

[15] Nous avons utilisé les deux logiciels conjointement pour résoudre les problèmes de convergence et pour étudier des phénomènes non linéaires (bruit d'alimentation).

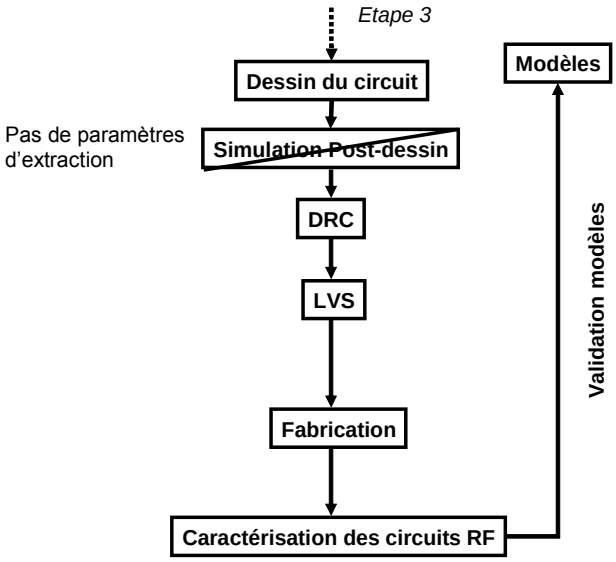



*Figure 2- 28: Elaboration et test du circuit final.*

La simulation Post-dessin complète est impossible en raison de l'absence de paramètres d'extraction. Nous ne pouvons pas en effet réutiliser les paramètres d'extraction du CMOS/BULK en raison de la réduction des capacités parasites en CMOS/SOI. Ce fichier d'extraction, en cours de développement pendant notre travail, devrait être disponible à terme. Il est cependant possible d'estimer "à la main" les éléments parasites. Nous pouvons ainsi vérifier le bon fonctionnement des circuits en prenant en compte les capacités de routage sur les chemins critiques (cœur des VCO).

## II.3. CONCLUSION

L'utilisation de la technologie CMOS/SOI procure des avantages importants aussi bien pour la réalisation de composants actifs que pour celle des composants passifs. En ce qui concerne les composants actifs, la réduction des capacités parasites et de la consommation s'accompagne d'une plus grande densité d'intégration qu'en CMOS/BULK. Le SOI présente toutefois quelques limites dont nous devons tenir compte et notamment l'effet kink.

La réalisation d'inductance sur substrat SOI HR permet d'obtenir un facteur de qualité plus élevé. Enfin, les varactors à accumulation sur SOI présentent une dynamique plus importante due à la réduction des capacités parasites et une meilleure symétrie.

Nous avons décrit une méthodologie de conception itérative qui s'appuie sur des modèles CMOS/BULK et sur des modèles CMOS/SOI, lorsqu'ils existent.

Le chapitre suivant présente la conception de dix circuits sur CMOS/SOI 0.13µm pour les liens haut débit à 10 et à 40Gbit/s.

## II.4. REFERENCES DU CHAPITRE II

[ANDREANI00] P. Andreani, "On the use of MOS varactors in RF VCOs," Solid-State Circuits, IEEE Journal of, vol. 35, Issue 6, pp.905-910, June 2000.

[BAWEDIN04] M. Bawedin, S. Cristoloveanu and D. Flandre, "Unusual floating body effect in fully depleted MOSFETs," SOI Conference, Proceedings IEEE International," pp.151-152, Oct. 2004.

[BELLEVILLE01] M. Belleville and O. Faynot, "Low power SOI design," PATMOS 2001-International Workshop-Power and Timing Modeling, Optimization and Simulation, Yverdon-les-bains, Switzerland, Sep. 2001.

[BERNSTEIN01] K. Bernstein and N.J. Rohrer, "SOI circuit design concepts," IBM Microelectronics, Kluwer Academic Publishers, Boston / Dordrecht / London, 3rd printing, 2001.

[BUNCH02] R. L. Bunch and al, "Quality factor and inductance in differential IC implementations," Microwave Magazine, IEEE, vol. 3, Issue 2, pp.82-92, June 2002.

[CAO03] Y. Cao and al, "Frequency-independent equivalent-circuit model for on-chip spiral inductors," Solid-State Circuits, IEEE Journal of, vol. 38, pp.419-426, Issue 3, March 2003.

[CHEN04] K.-M. Chen and al, "Characterization and modeling of SOI varactors at various temperatures," Electron Devices, IEEE Transactions on, vol. 51, Issue 3, pp.427-433, March 2004.

[CHOI03] K. Choi, "Parasitic-Aware Design and Optimization of CMOS RF Power Amplifier," PhD thesis partial fulfilment, University of Washington, 2003.

[CRANINCKX97] J. Craninckx and M. S. J. Steyaert, "A 1.8-GHz low-phase-noise CMOS VCO using optimized hollow spiral inductors," Solid-State Circuits, IEEE Journal of, vol. 32, Issue 5, pp.736-744, May 1997.

[DONGWOOK93] S. Dongwook and J.G. Fossum, "The effect of intrinsic body resistance on the breakdown characteristics of DBTS NFD SOI MOSFET's," SOI Conference, IEEE International, pp.68-69, Oct. 1993.

[EGGERT97] D. Eggert and al, "A SOI-RF-CMOS technology on high resistivity SIMOX substrates for microwave applications to 5 GHz," Electron Devices, IEEE Transactions on, vol. 44, Issue 11, pp.1981-1989, Nov. 1997.

[FAIRCHILD99] Fairchild Semiconductor, "Understanding Latch-up in advanced CMOS Logic," AN-600, Revised April 1999, available through www.fairchildsemi.com.

[FLANDRE03], D. Flandre, "General overview of SOI (Silicon-On-Insulator) technology," SOI devices and circuit design, EuroTraining and CISSOID, ET-2003-MEL-01, Université Catholique de Louvain, Belgium, June 2003.

[FONG02] N. Fong and al, "Accumulation MOS varactors for 4 to 40 GHz VCOs in SOI CMOS," SOI Conference, IEEE International, pp.158-160, Oct. 2002.

[FONG03] N. Fong and al, "A 1-V 3.8 - 5.7-GHz wide-band VCO with differentially tuned accumulation MOS varactors for common-mode noise rejection in CMOS SOI technology," Microwave Theory and Techniques, IEEE Transactions on, vol. 51, Issue 8, pp.1952-1959, Aug. 2003.

[GIANESELLO05] F. Gianesello, C. Raynaud, S. Montusclat, D. Gloria, S. Boret, C. Clément, B. Van-Haaren, C. Tinella, D. Belot, Ph. Benech, G. Dambrine and J.M. Fournier, “Composants passifs intégrés en technologie CMOS 130 nm SOI Haute Résistivité”, Journée Nationale de la Microélectronique, 2005.

[JOSHI05] R. V. Joshi and al, "Direct temperature measurement for VLSI circuits and 3-D modelling of self-heating in sub-0.13µm SOI technologies," VLSI Design, 18th International Conference on, pp.697-702, Jan. 2005.

[KELLY02] D. Kelly and F. Wright, "Improvements to performance of spiral inductors on insulators," Radio Frequency Integrated Circuits (RFIC) Symposium, IEEE, pp.431-433, June 2002.

[KENNETH98] O. Kenneth, "Estimation methods for quality factors of inductors fabricated in silicon integrated circuit process technologies," Solid-State Circuits, IEEE Journal of, vol. 33, Issue 8, pp.1249-1252, Aug. 1998.

[KUHN01] W. B. Kuhn and N. M. Ibrahim, "Analysis of current crowding effects in multiturn spiral inductors," Microwave Theory and Techniques, IEEE Transactions on, vol. 49, Issue 1, pp.31-38, Jan. 2001.

[LIU99] W. Liu and al, “BSIM3v3.2.2 MOSFET Model Users’ Manual," Department of Electrical Engineering and Computer Sciences, University of California, Berkeley, CA 94720, 1999. Disponible en ligne: http://www-device.eecs.berkeley.edu/~bsim3.

[NIKNEJAD98] A. M.Niknejad, "Analysis, design, and optimization of spiral inductors and transformers for Si RF ICs," Solid-State Circuits, IEEE Journal of, vol. 33, Issue 10, pp.1470-1481, Oct. 1998.

[RAYNAUD05] C. Raynaud and al, "Is SOI CMOS a promising technology for SOCs in high frequency range," 207th Electrochemical Society Meeting, Proc. of Silicon On Insulator Technology and Devices, pp. 331-344, Quebec City, Canada, May 2005.

[REYBOZ04] M. Reyboz and al, "Compact modeling of the self heating effect in 120nm multifinger body contacted SOI MOSFET for RF circuits," SOI Conference, IEEE International, pp.159-161, Oct. 2004.

[ROZEAU05] O. Rozeau and al, "SOI design and trial report," Médéa+ A108 Superstar, Deliverable D4.2.2, DCIS/SCME/05-034, Jan 2005.

[TENBROEK96] B. M. Tenbroek and al, "Self-heating effects in SOI MOSFETs and their measurement by small signal conductance techniques," Electron Devices, IEEE Transactions on, vol. 43, Issue 12, pp.2240-2248, Dec. 1996.

[THOMAS04] O. Thomas, "Etude de la faisabilité de circuits mémoire SRAM ultra basse tension en technologie SOI Partiellement Désertée," PhD thesis, Ecole doctorale d'informatique, télécommunications et électronique de Paris, Dec. 2004.

[TIAR04] Y. Tiar and R. Huang, "Design considerations of ultra-thin body SOI MOSFETs," Solid-State and Integrated Circuits Technology, 7th International Conference on, vol. 1, pp.283-286, Oct. 2004.

[VER PLOEG94] E. P. Ver Ploeg and al, "Parasitic bipolar gain in fully depleted n-channel SOI MOSFET's," Electron Devices, IEEE Transactions on, vol.41, Issue 6, pp.970-977, June 1994.

[WITTKOWER00] A. Wittkower and al, "SMART-CUT(R) technology for SOI: A new high volume application for ion implantation," Ion Implantation Technology, Conference on, pp.269-272, Sept. 2000.

[YUE98] C. P. Yue and S. S. Wong, "On-chip spiral inductors with patterned ground shields for Si-based RF ICs," Solid-State Circuits, IEEE Journal of, vol. 33, Issue 5, pp.743-752, May 1998.

**CHAPITRE III: ANALYSE ET CONCEPTION DE VCO CMOS/SOI 0.13µM POUR LES LIENS HAUT DEBIT . 91**

III.1. Les choix architecturaux de CDR et de VCO ..... 92
III.1.1. Solution I : Système de transmission parallèle..... 92
III.1.2. Solution II : Système de transmission série ..... 93
III.1.3. Impact du jitter du CDR sur la conception du VCO..... 94
III.1.4. Synthèse des architectures de VCO pour la haute fréquence..... 97
III.1.5. Conclusion ..... 107

III.2. Analyse du bruit de phase dans les VCO LC ..... 108
III.2.1. Les modèles de Leeson et de Craninckx ..... 108
III.2.2. Le modèle d'Hajimiri ..... 112
III.2.3. Conclusion ..... 116

III.3. Etude et conception de VCO LC NMOS 10GHz en CMOS/SOI ..... 118
III.3.1. Cahier des charges..... 118
III.3.2. Topologie des VCO LC NMOS à 10GHz ..... 121
III.3.3. Les étapes de la conception..... 128

III.4. Etude et conception du VCO multi-phases 4x10GHz en CMOS/SOI ..... 154
III.4.1. Introduction ..... 154
III.4.2. Synthèse sur les architectures de VCO multi-phases LC ..... 156
III.4.3. Conception du VCO multi-phases 4x10GHz..... 164

III.5. Conclusion..... 170

III.6. Références du chapitre III ..... 171

# CHAPITRE III: ANALYSE ET CONCEPTION DE VCO CMOS/SOI 0.13µM POUR LES LIENS HAUT DEBIT

Nous avons identifié précédemment le VCO comme la fonction critique pour les systèmes de récupération d'horloge et de données (CDR) à 40Gbit/s. Dans ce chapitre, nous allons décrire la démarche pour concevoir des VCO, en technologie CMOS/SOI 0.13µm, performants, innovants, fiables et de coûts acceptables.

Pour atteindre le débit de 40Gbit/s deux architectures s'offrent à nous:

- le traitement de données envoyées simultanément sur quatre canaux à 10Gbit/s, et
- le traitement d'un flot de données à 40Gbit/s.

Nous explorerons les solutions innovantes pour ces deux architectures. Nous utiliserons une technologie émergente: le CMOS/SOI - Partiellement Désertée sur substrat Haute Résistivité. Ensuite, nous concevrons les architectures de VCO les mieux adaptées à cette technologie. Nous décrirons les étapes de modélisation indispensables pour la conception à haute fréquence sur CMOS/SOI-PD.

Dans une première partie, l'analyse des limites du CDR nous conduit à des choix de VCO différents selon les architectures de CDR mentionnées ci-dessus:

- pour les débits parallèles à 10Gbit/s, un VCO différentiel LC est bien adapté aux performances offertes par la technologie CMOS/SOI.
- Pour les débits de 40Gbit/s, les contraintes technologiques nous conduisent à choisir une architecture de VCO multi-phases 4x10GHz.

La pureté spectrale d'un VCO étant critique au sein d'un circuit de récupération d'horloge, nous étudierons, dans une deuxième partie, les modèles existants de bruit de phase et leur implication sur la conception de VCO.

Dans la troisième partie, nous décrirons l'étude et la conception de plusieurs VCO différentiels LC 10GHz. Ils mettent en œuvre les dispositifs actifs et passifs en technologie CMOS/SOI ainsi que des techniques de filtrage spécifiques.

Enfin, dans la dernière partie, nous décrirons l'étude et la conception du VCO multi-phases 4x10GHz.

# III.1. LES CHOIX ARCHITECTURAUX DE CDR ET DE VCO

En réponse à une demande accrue pour des systèmes de transmission à très haut débit, les instances de normalisation et en particulier, l'OIF[1], ont proposé deux solutions adressant le problème des liens de communication à 40Gbit/s [RAZAVI02]. La première solution utilise le multiplexage par longueur d'onde. Quatre canaux parallèles à 10Gbit/s transportent les données sur la même fibre optique. La deuxième solution utilise une seule longueur d'onde transportant un flot de données série à 40Gbit/s.

Chaque solution, décrite ci-dessous, conduira à une implémentation différente du CDR et donc du VCO. Les performances en jitter du CDR guideront notre choix en termes d'architecture de VCO.

## III.1.1. SOLUTION I : SYSTEME DE TRANSMISSION PARALLELE

La première solution proposée par l'OIF permet de transmettre et de recevoir quatre canaux à 10Gbit/s en parallèle grâce au système représenté sur la Figure 3- 1 [OIF-SFI5].

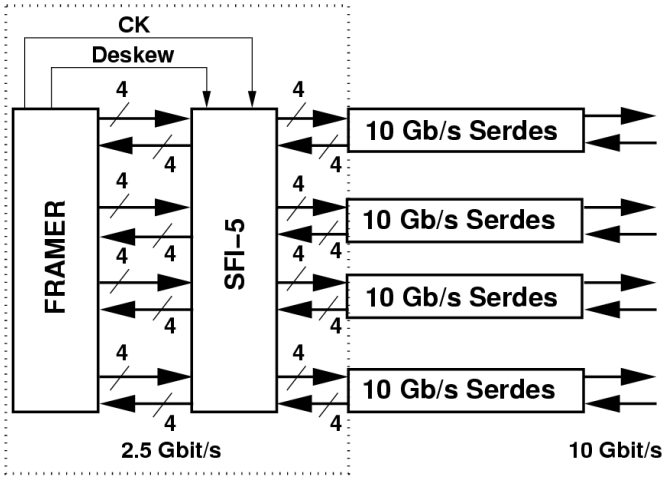



*Figure 3- 1 : Fonctions d'interface pour transmission parallèle (solution I).*

La Figure 3- 1 présente les composants suivants:

- le Framer génère, en émission, les trames de données pour le module Sérialisateur-Désérialisateur, appelé Serdes. Il génère aussi des trames de référence pour la resynchronisation des données au niveau du Serdes. En réception, le Framer récupère les données ainsi qu'un signal de retard Deskew. Après comparaison des signaux, il compense les retards jusqu'à ce que tous les signaux à 2.5Gbit/s soient synchrones,

[1] Signifie Optical Internetworking Forum en anglais

- le module SFI-5 est un module d'interface entre le Framer et le Serdes qui gère les signaux CK et Deskew,

- le Serdes assure deux fonctions distinctes selon que l'on reçoit ou que l'on émet des données: en mode émission, le Serdes synchronise quatre canaux à 2.5Gbit/s et assure la mise en série des données sur un canal à 10Gbit/s. En mode réception, le Serdes, assure la récupération de l'horloge et des données et le démultiplexage d'un signal à 10Gbit/s en quatre signaux à 2.5Gbit/s en direction du Framer.

Les Serdes 10Gbit/s de la Figure 3- 1 comprennent notamment des CDR traitant des données à 10Gbit/s. Pour cette solution I, nous proposerons de développer plusieurs VCO LC différentiels à 10GHz. Les étapes de leur conception sont décrites au paragraphe III.3.

### III.1.2. SOLUTION II : SYSTEME DE TRANSMISSION SERIE

Le standard SONET OC-768 adresse un débit série de 40Gbit/s[2]. Le système de transmission série est identique au système précédent avec l'adjonction d'un composant supplémentaire: le Serdes à 40Gbit/s comme décrit sur la Figure 3- 2.

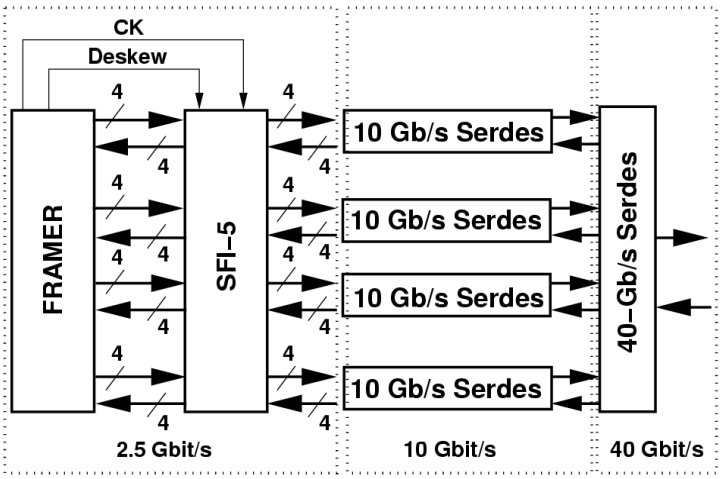



*Figure 3- 2 : Système d'interface pour transmission série 40Gbit/s (solution2).*

Ce Serdes 40Gbit/s comprend lui aussi un CDR et donc un VCO. Pour cette solution, nous proposerons le VCO multi-phases 4x10Gbit/s. Les étapes de sa conception sont décrites au paragraphe III.4.

Pour les deux solutions I et II précédentes les performances en jitter sont essentielles, nous allons donc maintenant analyser l'impact du jitter sur la conception du VCO.

[2] 43Gbit/s si l'on utilise des algorithmes de correction des erreurs.

## III.1.3. IMPACT DU JITTER DU CDR SUR LA CONCEPTION DU VCO

Les normes ITU et SONET définissent les limites acceptables de jitter sur le signal d'horloge en l'absence de jitter à l'entrée du CDR. Ces spécifications ont un impact sur le choix de l'architecture pour un VCO dédié à un lien 40Gbit/s.

### III.1.3.1. TAUX D'ERREUR BINAIRE ET JITTER

Nous avons décrit, dans le chapitre 1, les sources de jitter pouvant altérer le fonctionnement du CDR. La norme SONET OC-768 spécifie les limites en termes de jitter de tolérance, de jitter de transfert et de jitter de génération [SONET01]. Le VCO contribue pour sa part au jitter de génération.

La qualité des systèmes de communication est définie par le taux d'erreur binaire communément appelé BER[3], grandeur exprimant la probabilité d'avoir un bit faux au cours d'une transmission. La valeur du BER dépend de l'application. Dans les applications à 40Gbit/s, un BER meilleur que $10^{-12}$ permet d'assurer un fonctionnement correct du système [RASMUSSEN02], [WALKER02].

Une marge de sécurité nous conduit à choisir un BER de $10^{-13}$ pour le système complet. Expliquons maintenant les relations entre le BER, le jitter de génération RMS et le jitter de génération crête-crête. Ces relations nous permettront, à partir de la spécification du BER, de définir une limite tolérable du bruit de phase du VCO.

Le jitter d'un signal S correspond à l'incertitude sur l'instant d'un front de S. Cette incertitude est aléatoire et suit une loi gaussienne. Soit X la variable aléatoire de la densité de probabilité f du jitter. On a :

$$f(X) = \frac{1}{\sqrt{2\pi} \cdot \sigma} e^{\frac{-X^2}{2\sigma^2}} \qquad (3\text{- }1)$$

Cette densité de probabilité de moyenne nulle et d'écart type σ s'étend infiniment de chaque côté de l'origine. La Figure 3- 3 schématise le diagramme de l'œil du signal (Figure 3- 3.a) et la densité de probabilité du jitter associé (Figure 3- 3.b):

[3] BER=Bit Error Ratio

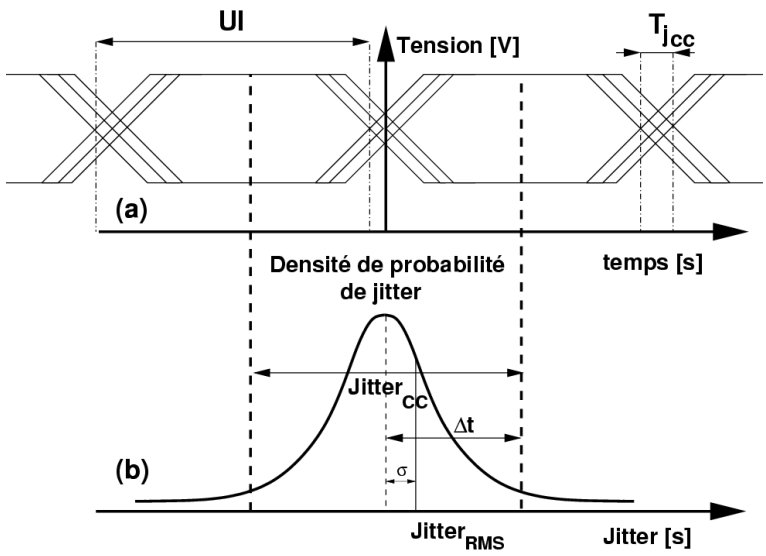



*Figure 3- 3 : (a) Diagramme de l'œil et (b) loi gaussienne du jitter.*

où UI est l'intervalle unité correspondant à la période du signal (23.25ps pour le 43Gbit/s), $T_{jcc}$ représente le jitter crête-crête du signal S, Δt est à la demi-période du signal soit 11.625ps, $Jitter_{CC}$ est le jitter crête-crête aléatoire. Enfin, le $Jitter_{RMS}$ est défini par σ, la déviation standard de la loi gaussienne.

Pour un front idéal (non bruité) du signal, l'instant à Δt correspond au centre de l'œil. Si le front est décalé de plus de Δt, le bit lu est faux.

En pratique, la fiabilité d'un système est définie par le BER. Un BER de $10^{-13}$ correspond à une probabilité d'erreur de $10^{-13}$. Une probabilité d'erreur correspond à la probabilité que la valeur absolue du jitter crête-crête, noté X ci dessous, soit supérieure à Δt. En d'autres termes,

$$BER = 10^{-13} \Leftrightarrow P(|X| \geq \Delta t) = 10^{-13} \qquad (3\text{-}2)$$

Or, il existe une relation entre le jitter crête-crête et le jitter RMS défini par σ :

$$P(|X| \geq \Delta t) = 2 \cdot \int_{\Delta t}^{\infty} f(X) \cdot dX = 2 \cdot \frac{1}{\sqrt{2\pi} \cdot \sigma} \int_{\Delta t}^{\infty} e^{\frac{-X^2}{2\sigma^2}} dX = 10^{-13} \qquad (3\text{-}3)$$

L'équation (3-3) est résolue par des outils de calculs appropriés (Matlab) ou directement à partir d'abaques de référence. On obtient ainsi la relation (3-4) entre le jitter crête-crête et le jitter RMS pour un BER égale à $10^{-13}$ :

$$Jitter_{CC} = 14.698 \cdot Jitter_{RMS} \qquad (3\text{-}4)$$

Ainsi, à partir du BER nous obtenons une relation entre le jitter crête-crête et le jitter RMS. Le jitter RMS est un critère d'évaluation de performances du CDR et du VCO.

### III.1.3.2. IMPACT SUR L'ARCHITECTURE DU VCO

Le standard SONET OC-768 ajoute, en plus du BER, une contrainte supplémentaire:

Le jitter de génération crête-crête du signal d'horloge doit être inférieur à 0.1UI à 43Gbit/s sur une durée de soixante secondes et sur une bande de fréquence d'offset de 16MHz à 320MHz [SONET01].

Cette spécification sévère a l'avantage d'assurer une ouverture suffisante du diagramme de l'oeil de la Figure 3- 3.a. Elle permet de faciliter l'échantillonnage des bits reçus. Par contre, elle rend plus difficile la conception du VCO en termes de bruit de phase, ce que nous allons étudier maintenant:

A 43Gbit/s, l'intervalle unité UI vaut 23.2ps. Le jitter crête-crête acceptable doit donc être inférieur à :

$$\mathbf{0.1\,UI = 2.32\,ps} \qquad (3\text{-}5)$$

Grâce à la relation (3-4) on déduit le jitter RMS maximum autorisé :

$$\mathbf{T_{j\,RMS} = \frac{2.32}{14.698} \approx 158\,fs} \qquad (3\text{-}6)$$

Ce jitter RMS est le jitter maximum autorisé sur le signal d'horloge généré par le CDR. C'est le budget total du CDR qu'il faut ensuite répartir sur chacun des composants du CDR, en particulier sur le VCO.

Le budget "jitter" d'un VCO dans un CDR est donné par l'équation (3-7) [DEVITO01]:

$$\mathbf{T_{j\,RMS\,VCO}} = \sqrt{\frac{10^{\frac{L(f_m)}{10}}}{2\cdot f_0^{\,2}} \times \frac{(f_m - f_0)^2}{\pi \cdot f_{CDR}}} \qquad (3\text{-}7)$$

où $L(f_m)$ est le bruit de phase du VCO (en [dBc/Hz]), mesuré à la fréquence $f_m$ de la fréquence centrale $f_0$, lorsque celui-ci fonctionne en boucle fermée dans un CDR de fréquence de coupure $f_{CDR}$.

Pour estimer la contribution au budget jitter d'un VCO à 40GHz en technologie CMOS/SOI nous allons examiner les travaux présentés dans la littérature.

Cette estimation du budget "jitter généré par le VCO" guidera notre choix en termes d'architecture. En effet, si ce budget est inférieur à 50% du budget total, on pourra considérer faisable un VCO en CMOS/SOI à 40GHz pour les liens haut débit: il restera alors un budget "jitter" suffisant pour la réalisation des autres fonctions du CDR (comparateur de phase et filtre de boucle). Sinon, il sera indispensable de trouver une solution architecturale permettant de réduire

le budget "Jitter de génération" du VCO. La solution envisagée dans ce cas est la conception d'un VCO multi-phases 4x10GHz.

Le paragraphe suivant présente une synthèse des architectures de VCO haute fréquence et de leurs performances en technologie CMOS/BULK et en technologie CMOS/SOI.

## III.1.4. SYNTHESE DES ARCHITECTURES DE VCO POUR LA HAUTE FREQUENCE

Nous rappellerons les caractéristiques électriques d'un VCO et le modèle à contre-réaction permettant d'obtenir les conditions de démarrage des oscillations. Les avantages et les inconvénients des différentes architectures de VCOs seront précisés et guideront notre choix.

### III.1.4.1. CARACTERISTIQUES ELECTRIQUES DES VCO

Les systèmes oscillants peuvent être de différentes natures (par exemple: mécanique, électrique ou piézoélectrique).

Or, la technologie CMOS/SOI offre des avantages considérables, concernant notamment l'intégration de composants passifs de très bonne qualité, pour la réalisation de systèmes oscillants de nature électrique totalement intégrés sur silicium.

Les caractéristiques électriques principales d'un VCO sont [JACQUINOT01]:

- la fréquence centrale d'oscillation, $f_0$, en [Hz],
- la plage de variation de fréquence, $\Delta f$, en [Hz],
- le gain du VCO, $K_{VCO}$, en [Hz/V],
- la variation du gain $K_{VCO}$ sur la plage de fréquence,
- la consommation $P_{mW}$ en [mW],
- la puissance du signal oscillant $P_{dB}$ en [dB],
- le pulling (sensibilité de la fréquence du VCO à des variations de charge en sortie),
- le pushing (sensibilité de la fréquence du VCO à des variations de tensions d'alimentation) : Push en [Hz/V],
- le bruit de phase du VCO, $L(f_m)$, en [dBc/Hz].

Rappelons que, parmi ces caractéristiques, la fréquence centrale d'oscillation, la plage de variation de fréquence et le bruit de phase du VCO sont critiques pour satisfaire les normes associées aux liens de communication haut débit.

### III.1.4.2. LE VCO: UN SYSTEME BOUCLE

Le VCO peut être modélisé par un système bouclé [ROBINS82]. Ce formalisme permet notamment de déterminer les conditions d'oscillations.

Ce système est représenté sur la Figure 3- 4 ci-après.

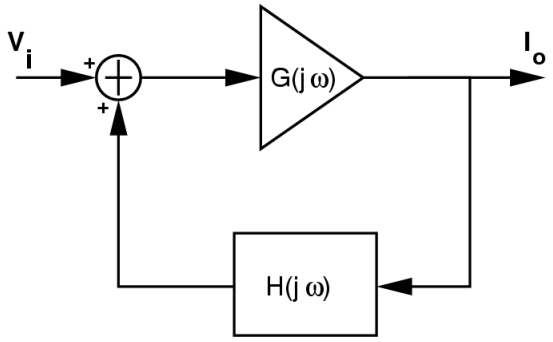



*Figure 3- 4 : Représentation en boucle fermée d'un oscillateur.*

Il est constitué d'un élément actif de fonction de transfert G et d'un élément passif de fonction de transfert H associé à une réaction négative.

La fonction de transfert en boucle fermée de ce modèle s'écrit :

$$\frac{I_o(j\omega)}{V_i(j\omega)} = \frac{G(j\omega)}{1 - G(j\omega)\cdot H(j\omega)} \qquad (3\text{-}8)$$

La condition pour obtenir un courant de sortie non nul en l'absence de tension à l'entrée est de satisfaire la relation (3-9) connue sous le nom de critère de Barkhausen :

$$G(j\omega)\cdot H(j\omega) = 1 \qquad (3\text{-}9)$$

ce qui équivaut au système d'équations suivant,

$$\begin{aligned} &\arg(G(j\omega)\cdot H(j\omega)) = 0\ [2\pi] \\ &et \\ &|G(j\omega)\cdot H(j\omega)| = 1 \end{aligned} \qquad (3\text{-}10)$$

D'une part, la phase de la boucle doit être égale à 0 modulo 2π pour maintenir les oscillations et d'autre part, le module du produit G.H doit être supérieur à l'unité.

Différentes architectures permettent de réaliser ce système bouclé tout en satisfaisant les conditions de Barkhausen. Dans le cas des VCO totalement intégrés, il existe deux approches classiques:

- les VCO en anneau (ou VCO à relaxation),
- les VCO à circuit résonant LC.

Une troisième approche moins connue consiste à combiner les avantages des deux précédentes pour réaliser un VCO en anneau à base de cellules LC.

Nous allons comparer ci-dessous les deux premières approches. La troisième fera l'objet d'une étude spécifique lors de sa conception à la fin de ce chapitre.

### III.1.4.3. LE VCO EN ANNEAU

L'oscillateur en anneau, traité dans ce paragraphe, peut être constitué de cellules à retard (par exemple RC ou inverseurs) à l'exclusion de cellules LC.

L'oscillateur en anneau est construit à l'aide d'une chaîne bouclée de N cellules inverseuses. N est au moins égale à trois pour satisfaire les deux conditions de Barkhausen précitées [SAVOJ01] (Figure 3- 5). De plus, afin de générer des instabilités et par suite des oscillations, N doit être impair.

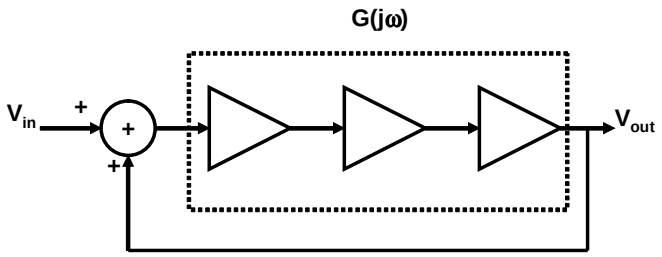



*Figure 3- 5: Oscillateur en anneau à trois étages.*

Chaque étage peut être implémenté,

- soit à l'aide d'amplificateurs (entrées et sorties uniques ou différentielles) sur charge RC cascadés en source commune,
- soit à l'aide d'inverseurs CMOS classiques.

La deuxième solution se prête mieux à une intégration sur CMOS en raison de l'absence de résistances.

Cependant, l'absence d'inductance et de varactors dans ce type de VCO constitue à la fois un avantage en termes de densité d'intégration et un inconvénient en termes de performances en bruit de phase [HAJIMIRI98]. En effet, ce VCO en anneau présente un comportement passe bas et peu sélectif. Il est alors nécessaire d'augmenter le courant de polarisation des étages pour augmenter leur bande passante. Son caractère peu sélectif, comparé à un comportement passe bande caractéristique des VCO LC, ainsi que le bruit dans la résistance, lui donnent un bruit de phase plus important.

Les performances des VCO en anneau de type RC sont donc réduites par le niveau de bruit de phase en sortie.

En termes de fréquence d'oscillation, le VCO en anneau est limité aussi par le délai minimum de chaque étage et par le nombre minimum de trois étages requis [SAVOJ01]. De plus, les capacités parasites des transistors et des interconnections limitent aussi la fréquence d'oscillation.

Ainsi, il est difficile, avec cette architecture, de satisfaire une bande passante de 10GHz et un faible bruit de phase.

#### III.1.4.4. LE VCO LC

L'évolution vers des fréquences élevées conduit à l'utilisation d'inductances de plus en plus faible et donc plus facilement intégrables. Ceci explique l'importance grandissante des travaux sur les VCO LC. Un VCO de type LC est constitué:

- d'un résonateur LC (une inductance en parallèle à une capacité),
- et, d'une structure active

La structure active permet de compenser les pertes résistives liées aux passifs en présentant une impédance négative. Sans cette structure, les oscillations provoquées par une impulsion de courant sont amorties [SAVOJ01].

Le comportement passe bande du VCO LC permet une plus grande sélectivité et donc un meilleur bruit de phase. De plus, la fréquence centrale $f_0$ de ce VCO est inversement proportionnelle à la racine carrée de L et de C:

$$f_0 = \frac{1}{2\pi \cdot \sqrt{L \cdot C}} \qquad (3\text{-}11)$$

Les progrès concernant l'intégration d'inductances et de capacités de faible valeur et de très bonne qualité permettent, aujourd'hui d'atteindre des fréquences bien supérieures à 10GHz (57GHz dans [ELLINGER04]).

Les VCO de type LC sont constitués d'un, deux ou quatre transistors selon le gain nécessaire pour satisfaire les conditions de Barkhausen.

Nous allons donc présenter les avantages et les inconvénients des trois oscillateurs suivants:

- l'oscillateur Colpitts à un transistor,
- l'oscillateur LC NMOS à deux transistors,
- l'oscillateur LC NMOS-PMOS à quatre transistors.

### 1. L'oscillateur Colpitts et l'oscillateur différentiel LC NMOS

L'oscillateur Colpitts décrit sur la Figure 3- 6 est constitué d'un transistor, d'une inductance et de deux capacités. $R_p$ est la résistance parasite série de l'inductance à la résonance, ramenée en parallèle :

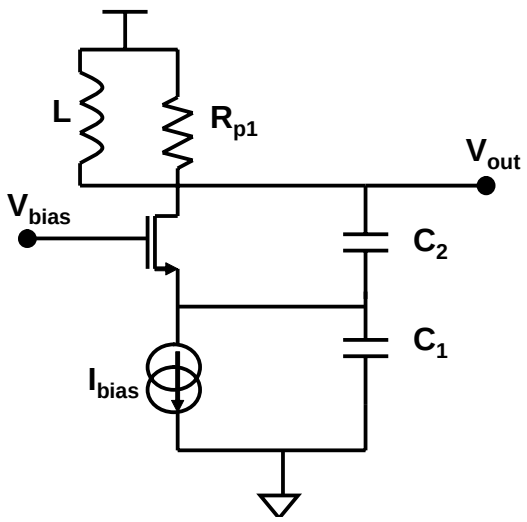



*Figure 3- 6: Oscillateur Colpitts [HAJIMIRI98].*

L'oscillateur LC NMOS différentiel est constitué d'un résonateur LC en parallèle à une paire différentielle NMOS croisée (Figure 3- 7).

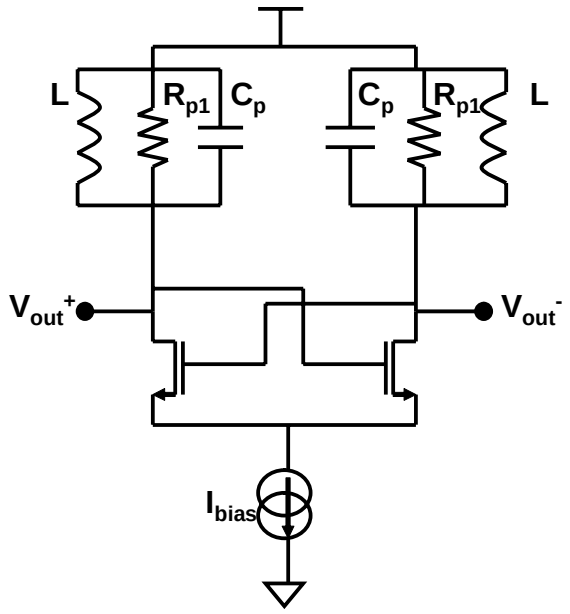



*Figure 3- 7: Oscillateur différentiel LC NMOS.*

Nous allons à présent décrire l'analyse théorique comparée de l'oscillateur Colpitts et de l'oscillateur LC NMOS [DELLSPERGER02].

Le gain du transistor de l'oscillateur Colpitts, pour que ce dernier oscille, doit être:

$$g_m \geq \frac{4}{R_{p1}} \qquad (3\text{-}12)$$

où $g_m$ est la transconductance du transistor de la Figure 3- 6 en [S] et $R_{p1}$ est la résistance en parallèle à l'inductance (prenant en compte tous les éléments parasites) en [Ω].

La condition d'oscillation de l'oscillateur LC NMOS est [RAZAVI01]:

$$g_m \geq \frac{1}{R_{p1}} \qquad (3\text{-}13)$$

où $g_m$ est la transconductance, en [S], d'un transistor de la Figure 3- 7 et $R_{p1}$ est la résistance, en [Ω], parallèle à l'inductance (prenant en compte tous les éléments parasites).

La transconductance du transistor de l'oscillateur Colpitts doit être quatre fois supérieure à la transconductance d'un des deux transistors du circuit LC NMOS.

Il en découle la relation suivante entre les tailles des transistors:

$$\left(\frac{W}{L}\right)_{Colpitts} = 8 \cdot \left(\frac{W}{L}\right)_{LC\ NMOS} \qquad (3\text{-}14)$$

où W est la largeur du transistor en [µm] et L est la longueur du transistor en [µm].

Le rapport W/L du transistor de l'oscillateur Colpitts doit donc être huit fois plus grand que le rapport W/L d'un transistor de l'oscillateur LC NMOS différentiel.

Le transistor de l'oscillateur Colpitts occupe une surface environ quatre fois plus grande que la surface utilisée par les deux transistors de l'oscillateur LC NMOS. Les capacités parasites sont, elles aussi, plus importantes, limitant ainsi la fréquence centrale et la plage de fréquence d'un VCO Colpitts.

### 2. Les oscillateurs différentiels: LC NMOS et LC NMOS-PMOS

Les oscillateurs LC NMOS-PMOS sont constitués d'un résonateur LC en parallèle à deux paires différentielles croisées (une NMOS et une PMOS).

Les architectures des deux oscillateurs sont représentées sur la Figure 3- 8:

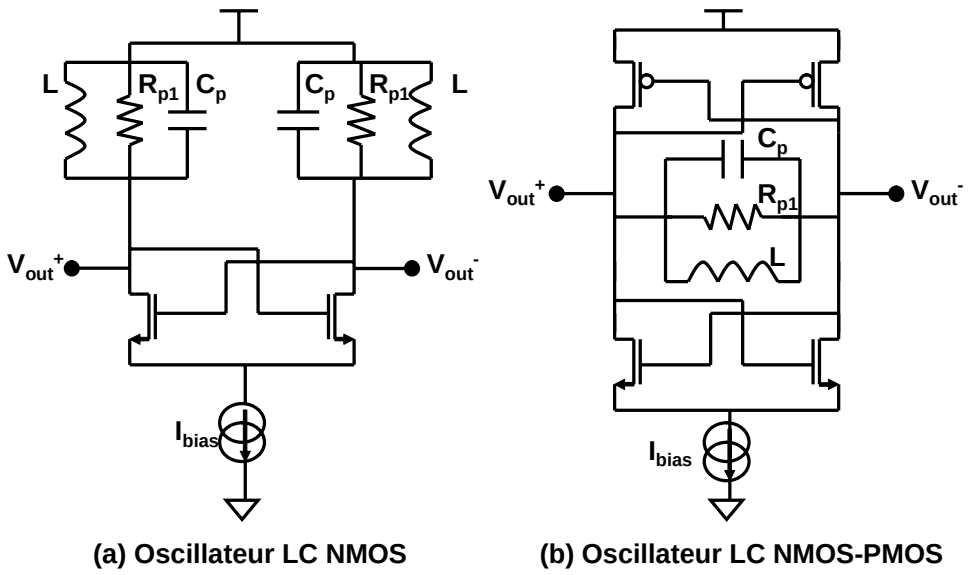



*Figure 3- 8: Oscillateurs LC différentiels.*

Le Tableau 3- 1 compare les architectures d'oscillateurs LC NMOS et NMOS-PMOS:

| Caractéristiques | | Oscillateur LC NMOS | Oscillateur LC NMOS-PMOS |
|---|---|---|---|
| **Fréquence d'oscillation maximale** | | **+** | **++** |
| **Symétrie: temps de montée-temps de descente** | | **+** | **++** |
| **Dynamique en fréquence** | | **++** | **+** |
| **Dynamique de sortie** | | **++** | **+** |
| **Bruit de phase** | **$1 / f^3$** | **-** | **+** |
| | **$1 / f^2$** | **+** | **+** |

*Tableau 3- 1: Comparatif entre les oscillateurs LC NMOS et NMOS-PMOS.*

Examinons les avantages et les inconvénients respectifs de chacun des oscillateurs:

l'oscillateur LC NMOS-PMOS présente une meilleure transconductance à courant égal, ce qui conduit en théorie à une fréquence d'oscillation plus élevée. La symétrie entre les temps de montée et de descente est meilleure. D'après [HAJIMIRI98], cette symétrie réduit les phénomènes de conversion du bruit basse fréquence en 1/f autour de la fréquence centrale

comme nous le verrons dans la partie suivante et peut ainsi permettre un bruit de phase plus faible près de la porteuse.

L'oscillateur LC NMOS présente une capacité parasite plus faible qui est due à l'absence de transistors PMOS. On attend donc une augmentation de la dynamique en fréquence par réduction de la capacité minimale des varactors. La dynamique de la tension de sortie est du même ordre pour les deux oscillateurs en régime linéaire limité en courant [HAJIMIRI98].

Cette première comparaison montre que les deux structures de VCO sont globalement équivalentes avec une supériorité du LC NMOS-PMOS en termes de fréquence maximale et de bruit de phase avec toutefois une complexité plus importante.

Ceci nous conduit à examiner les résultats obtenus par les auteurs qui ont développé les différentes solutions en CMOS/BULK et CMOS/SOI à 10 et à 40GHz.

### III.1.4.5. ÉTAT DE L'ART DES VCO CMOS/BULK ET CMOS/SOI A 10 ET A 40GHZ

| Références | Fréquence centrale $f_O$ [GHz] | Plage de fréq $\Delta f/f$ [%] | Puissance consommée Pdiss [mW] | Bruit de phase à 1MHZ L(1MHz) [dBc/Hz] | Figure de mérite FOM [dB] | Technologie | Architecture |
|---|---|---|---|---|---|---|---|
| **[RAVI03]** | 9,8 | 16,3 | 11,2 | -118 | -121,6 | CMOS 0.18µm | LC NMOS-PMOS |
| **[PERRAUD03][4]** | 8,6 | 26,0 | 14,0 | -116 | -121,5 | CMOS 0,18µm | LC NMOS |
| **[KO04]** | 10,8 | 11,0 | 11,8 | -119 | -119,4 | CMOS 0,18µm | LC NMOS en quadrature |
| **[MUKHERJEE02]** | 10,0 | 37,0 | 3,6 | -99 | -114,8 | CMOS 0,13µm | LC NMOS |
| **[JIA04][4]** | 9,8 | 11,2 | 5,8 | -110 | -113,2 | CMOS 0,18µm | LC NMOS-PMOS |
| **[TIEBOUT03]** | 11,0 | 10,2 | 3,3 | -104 | -109,8 | CMOS 0,25µm | LC NMOS |
| **[PAVLOVIC04][4,5]** | 10,5 | 14,4 | 25,2 | -110 | -109,6 | CMOS 0,18µm | LC NMOS |
| **[GU03]** | 10,0 | 10,0 | 7,2 | -105 | -106,4 | CMOS 0,18µm | LC NMOS-PMOS |
| **[ZHAN04][4]** | 10,1 | 7,0 | 15,5 | -106 | -101,1 | CMOS 0,25µm | LC NMOS |
| **[CHEN03][4]** | 9,4 | 7,0 | 21,6 | -106 | -99,0 | CMOS 0,18µm | LC NMOS en quadrature |
| **[LI03][5]** | 10,7 | 12,8 | 14,4 | -95 | -96,1 | CMOS 0,13µm | LC NMOS en quadrature |
| **[GU03]** | 10,0 | 10,0 | 32,4 | -101 | -95,9 | CMOS 0,18µm | LC NMOS en anneau |
| **[TAO04]** | 10,0 | 22,0 | 52,5 | -85 | -84,6 | CMOS 0,12µm | anneau RC |
| **[VANDEBEEK04][5]** | 10,0 | NC | 19,2 | -103 | NC | CMOS 0,18µm | LC NMOS |
| **[BOERSTLER04]** | 12,0 | 90,8 | NC | NC | NC | SOI-PD 90nm | anneau délai |
| **[CHA05]** | 10,5 | NC | 24,8 | -114 | NC | CMOS 0,35µm | Colpitts NMOS-PMOS |

*Tableau 3- 2: Etat de l'art des VCO recensés CMOS/BULK et CMOS/SOI à 10GHz.*

[4] Les valeurs de bruit de phase ont été extrapolées à 1 MHz de la fréquence centrale.
[5] Ces VCO sont multibandes.

Nous avons recensé par ordre de mérite, dans le Tableau 3- 2, les seize travaux publiés depuis 2002 sur les VCOs 10GHz en CMOS/BULK et CMOS/SOI. La figure de mérite (FOM) utilisée pour comparer les performances est la suivante [KIM03]:

$$FOM = L(f_m) - 20 \cdot \log\left(\left(\frac{f_0}{f_m}\right) \cdot \left(\frac{FTR}{10}\right)\right) + 10 \cdot \log\left(\frac{P_{diss}}{1mW}\right) \qquad (3\text{-}15)$$

où $L(f_m)$ est le bruit de phase en [dBc/Hz] mesuré à la fréquence $f_m$ en [Hz] de la fréquence centrale $f_0$ en [Hz]. FTR est la plage de fréquence avec ici FTR=($\Delta f/f$). $P_{diss}$ est la puissance dissipée par le cœur du VCO en [mW].

Le VCO est d'autant plus performant que la valeur du FOM est faible. Cette figure de mérite récente a l'avantage de prendre en compte la plage de variation de fréquence contrairement aux figures de mérite plus anciennes.

Il est important de noter qu'un seul VCO en CMOS/SOI 90nm à été identifié. D'après une communication privée avec l'auteur, la puissance consommée et le bruit de phase du VCO n'ont pas été mesurés.

Les VCO les plus performants sont réalisés en CMOS/BULK 0.18µm et 0.13µm. Sur les seize VCO étudiés, les cinq meilleurs circuits ont des figures de mérite comprises entre -110 et -122dB.

Parmi ces cinq VCO, les deux meilleurs sont réalisés en LC NMOS-PMOS et LC NMOS. Le troisième est un VCO LC NMOS en quadrature.

Concernant les VCO en quadrature, ceux-ci génèrent deux signaux différentiels contre un signal différentiel pour les autres structures. Il est donc normal que la puissance dissipée soit plus élevée. Si on recalcule leur facteur de mérite ramené à une seule sortie différentielle, alors le VCO de [KO04] présente le meilleur facteur de mérite (-122,4dB).

Il est enfin intéressant de noter que les trois premiers circuits sont ceux qui ont le bruit de phase le plus faible (inférieur à -116dBc/Hz à 1MHz).

Pour l'application au lien haut débit à 40Gbit/s, nous devons aussi comparer les travaux réalisés à 40GHz et au delà. Ainsi, le Tableau 3- 3 présente un comparatif des trois circuits que nous avons recensés en CMOS/BULK et en CMOS/SOI, classés par ordre de mérite.

| Références | Fréquence centrale en [GHz] | Δf / f en [%] | Puissance consommée en [mW] | Bruit de phase en [dBc/Hz] à 1 MHZ | FOM | Technologie | Architecture |
|---|---|---|---|---|---|---|---|
| **[KIM03]**[6] | 46,2 | 12,7 | 15,0 | -94,5 | -108,1 | SOI 0,12 µm | LC NMOS-PMOS |
| **[ELLINGER04]** | 57,0 | 16,0 | 21,0 | -90,0 | -106,0 | SOI 90 nm | LC NMOS |
| **[FONG04]** | 40,0 | 9,0 | 11,2 | -90,0 | -100,6 | SOI-PD 0,13µm | LC NMOS-PMOS |

*Tableau 3- 3: Etat de l'art des VCO recensés en CMOS/BULK et en CMOS/SOI à 40GHz.*

On s'aperçoit que ces VCO sont tous réalisés en CMOS/SOI. Les facteurs de mérite s'échelonnent entre -100 et -108dB et sont moins performants que ceux des VCO du tableau précédent. La contribution majeure à cette dégradation des performances est l'augmentation du bruit de phase due à une fréquence d'oscillation plus élevée (perte de 6dB par octave de fréquence).

Ce bruit de phase de l'ordre de -90dBc/Hz à 1MHz contribue d'après l'équation (3-7) à un jitter de 70,5fs, soit 45% du budget total de jitter alloué au CDR.

Cette valeur étant élevée, notre objectif est d'obtenir une valeur inférieure en concevant un VCO multi-phases 4x10GHz en CMOS/SOI-PD.

### III.1.5. CONCLUSION

Les VCO LC NMOS et NMOS-PMOS à 10GHz sont bien adaptés à la solution I des systèmes de transmission parallèle.

Les VCO LC NMOS et NMOS-PMOS à 40GHz présentent un bruit de phase élevé pour la solution II des systèmes de transmission série 40Gbit/s (-90dBc/Hz à 1MHz soit 45 % du budget jitter total alloué au CDR).

Pour relâcher les contraintes de bruit de phase sur les CDR 40Gbit/s, il est intéressant de concevoir une architecture multi-phases 4x10GHz avec des VCO 10GHz optimisés.

Dans le but d'améliorer les performances des VCO 10GHz, il est indispensable d'étudier maintenant les mécanismes de génération du bruit de phase. Cette étude fait l'objet de la partie suivante.

[6] Les valeurs de bruit de phase ont été extrapolées à 1 MHz de la fréquence centrale.

# III.2. ANALYSE DU BRUIT DE PHASE DANS LES VCO LC

Le VCO assure la génération du signal d'horloge dans les circuits CDR à base de PLL. Les performances en termes de jitter de génération du CDR sont, comme nous l'avons vu précédemment, principalement liées aux performances en bruit de phase du VCO. Les deux architectures normalisées de CDR, présentées dans la partie précédente, nous ont conduit à identifier deux types de VCO:

- un VCO LC NMOS différentiel à 10GHz pour les systèmes de transmission parallèle (Solution I),
- et, un VCO multi-phases à résonateur LC pour les systèmes de transmission série à 40Gbit/s (Solution II).

Nous étudierons dans cette partie les modèles de bruit de phase des VCOs dédiés à la solution I ([LEESON66], [HAJIMIRI98]). Cette étude guidera notre choix en termes de conception pour la réalisation des VCO.

Le bruit de phase dans les oscillateurs et les VCOs de type LC a été étudié à plusieurs reprises ([LEESON66], [CRANINCKX95], [HAJIMIRI98] et [HAJIMIRI99], [NALLATAMBY05]). Dans cette partie, nous nous intéresserons aux deux modèles les plus répandus, à savoir le modèle de Leeson [LEESON66] et le modèle récent d'Hajimiri [HAJIMIRI98].

## III.2.1. LES MODELES DE LEESON ET DE CRANINCKX

### III.2.1.1. LE MODELE DE LEESON

Le modèle de bruit de phase proposé dans [LEESON66], puis étendu dans [CRANINCKX95], est connu sous le nom de modèle de Leeson. Ce modèle très connu est basé sur l'approximation qui considère le VCO comme un système linéaire invariant dans le temps[7].

D. B. Leeson modélise le bruit de phase en sortie de l'amplificateur par l'équation (3-16) ci-après.

$$L\{\Delta\omega\} = 10 \cdot \log\left[\frac{2FkT}{P_s} \cdot \left[1 + \left(\frac{\omega_0}{2Q_L\Delta\omega}\right)^2\right] \cdot \left(1 + \frac{\omega_{1/f^3}}{|\Delta\omega|}\right)\right] \qquad (3\text{-}16)$$

avec :

F : facteur de bruit

k : constante de Boltzmann [J/K]

T : température absolue [K]

[7] LTI en anglais pour Linear Time Invariant.

$P_s$ : puissance moyenne dissipée dans la composante résistive du résonateur [W]

$\omega_0$ : fréquence d'oscillation [Hz]

$Q_L$ : facteur de qualité chargé

$\Delta\omega$ : fréquence d'offset [Hz]

$\omega_{1/f}{}^3$ : fréquence de coupure entre les bruits en $1/f^3$ et en $1/f^2$.

Le facteur de qualité chargé est défini comme le facteur de qualité du circuit bouchon RLC chargé par l'impédance négative de la source de courant [JACQUINOT01]:

$$Q_L = \frac{1}{\frac{1}{Q_{(L,C)}} + \frac{1}{Q_{par}}} \qquad (3\text{-}17)$$

où $Q_{(L,C)}$ et $Q_{par}$ sont respectivement les facteurs de qualité du circuit résonant LC et des éléments parasites réactifs du circuit équivalent global, avec:

$$Q_{(L,C)} = \frac{1}{\frac{1}{Q_L} + \frac{1}{Q_C}} \qquad (3\text{-}18)$$

Le circuit équivalent du VCO utilisé par l'approche LTI est schématisé sur la Figure 3- 9. Ce modèle est connu sous le nom de "modèle un port". L'énergie dissipée dans la résistance R par le résonateur LC doit être égale à l'énergie fournie par la cellule active -Gm.

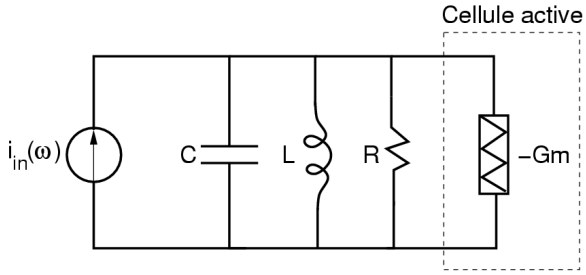



*Figure 3- 9 : Modèle « un port » d'un VCO LC soumis à un générateur de bruit $i_{in}(\omega)$.*

[LEESON66] met en évidence l'existence de deux fréquences de coupure et donc de trois zones dans la densité spectrale de fluctuations de phase. La Figure 3- 10 illustre la densité spectrale de la phase pour un VCO dont le facteur de qualité est relativement faible.

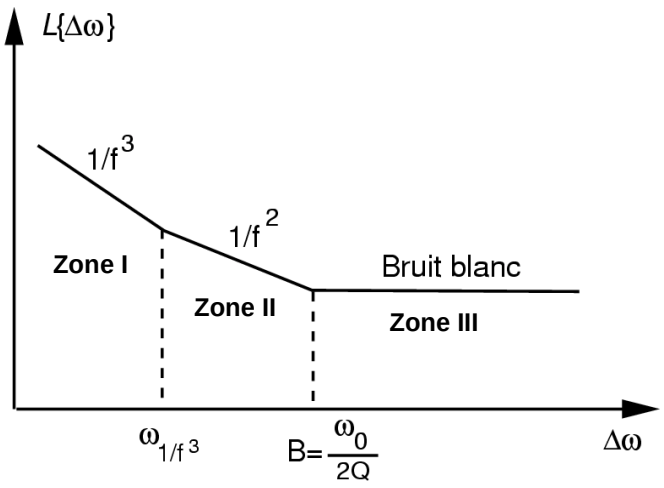



*Figure 3- 10 : Densité spectrale de la fluctuation de la phase d'un VCO à faible Q.*

Zone I: $\Delta\omega$ est inférieur à $\omega_{1/f3}$. Ce bruit en $1/f^3$ est directement lié au bruit basse fréquence en 1/f des transistors du circuit.

Zone II: $\Delta\omega$ compris entre $\omega_{1/f3}$ et $\omega_0/2Q_L$. Ce bruit en $1/f^2$ peut être interprété comme du bruit blanc de fréquence dû à des fluctuations non corrélées de la période du VCO. Cette fluctuation est essentiellement due au bruit thermique des composants du circuit.

Zone III: $\Delta\omega$ est supérieur à $\omega_0/2Q_L$. Le plancher de bruit blanc correspond à l'ajout de bruit blanc de phase.

Les deux fréquences de coupure importantes sont $\omega_{1/f}^3$ et B qui correspond à la bande passante à -3dB du résonateur LC. On remarque que la réduction de B (soit l'augmentation du facteur de qualité en charge du résonateur) permet de réduire la zone II, où le bruit est mis en forme [JACQUINOT01].

En résumé, l'équation (3-16) permet de comprendre l'influence des paramètres clé du VCO sur le bruit de phase. Pour réduire le bruit de phase, il faut donc:

1. augmenter le facteur de qualité en charge (correspondant à la sélectivité du filtre),

2. réduire les facteurs de bruit liés aux composants,

3. augmenter la puissance du signal aux bornes du résonateur.

Il est souvent difficile de calculer le facteur de bruit F, car des phénomènes de bruit transitoires et périodiques interviennent dans la génération du bruit de phase. De même, il est extrêmement difficile de prévoir la fréquence de coupure entre les zones I et II de la Figure 3- 10. Ces deux paramètres, F et $\omega_{1/f}^3$, sont donc des paramètres qui ne sont connus qu'à l'issue des mesures [HAJIMIRI98].

Il est aussi important de noter que le modèle de Leeson ne permet pas de prédire le bruit de phase de la zone I de la Figure 3- 10. Il ne tient en effet pas compte des effets de conversion du bruit en 1/f des transistors, phénomène que nous allons expliquer plus loin.

Enfin, il faut préciser que le modèle de Leeson, ancien, n'est aujourd'hui plus utilisé dans les simulateurs. Ces derniers utilisent des méthodes d'analyse du bruit par l'intermédiaire de matrices de conversion. Cette technique est décrite dans [CORDEAU04], [PAILLOT91], [PENFIELD66], [PRIGENT87]: on détermine les matrices de conversions associées à chaque non linéarité du circuit, c'est-à-dire la matrice reliant les perturbations en tension et en courant pour chaque élément non linéaire. A l'aide de ces matrices, on peut retrouver les densités spectrales de bruit de phase et d'amplitude du signal. Cette méthode, très efficace et très employée dans les logiciels commerciaux, permet au concepteur d'appréhender les mécanismes de génération du bruit de phase par l'étude des contributeurs. Il ne donne cependant pas de règles de conception.

#### III.2.1.2. LE MODELE DE CRANINCKX

[CRANINCKX95] présente une extension du modèle. Cette approche prédit le bruit de phase du VCO LC représenté sur la Figure 3- 11 en prenant en compte les sources de bruit présentes dans le résonateur (résistances séries de l'inductance $R_L$ et de la capacité $R_C$).

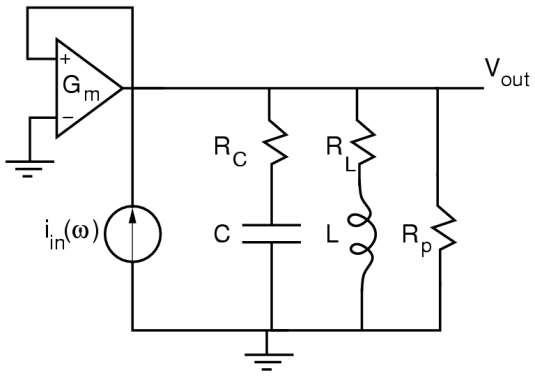



*Figure 3- 11 : Modèle équivalent d'un VCO LC de [CRANINCKX95].*

Il montre dans son étude théorique l'intérêt de réduire la résistance série de l'inductance.

La formule dérivée du bruit de phase est la suivante:

$$L\{\Delta\omega\} = 10 \cdot \log\left[\frac{kT \cdot R_{eff}\left[1+A\right] \cdot \left(\frac{\omega_0}{\Delta\omega}\right)^2}{\frac{V_0^{\,2}}{2}} \cdot\right] \qquad (3\text{-}19)$$

où A est un paramètre proportionnel au facteur de bruit F et $R_{eff}$ est la résistance effective à la résonance :

$$R_{eff} = R_L + R_C + \frac{1}{R_p (C\omega_0)^2} \qquad (3\text{-}20)$$

Mises à part les sources de bruit prises en compte, cette approche ne résout pas les limites du modèle de Leeson. Il apporte cependant des précisions sur l'influence de la résistance effective.

## III.2.2. LE MODELE D'HAJIMIRI

Le modèle présenté dans [HAJIMIRI98] tient compte des phénomènes variables au cours du temps ayant une influence sur le bruit de phase d'un VCO. Il permet notamment de prédire le bruit de phase dans la zone I et la frontière entre les zones I et II de la Figure 3- 10.

Avant de décrire les conséquences sur le bruit de phase des VCOs LC, nous allons présenter les bases théoriques de ce modèle.

### III.2.2.1. THEORIE ASSOCIEE AU MODELE D'HAJIMIRI

Le but de [HAJIMIRI98] est de déterminer la réponse impulsionnelle de la phase $h_\phi(t,\tau)$ du VCO lorsqu'on applique une impulsion de courant i(t) à l'instant $\tau$ (Figure 3- 12).

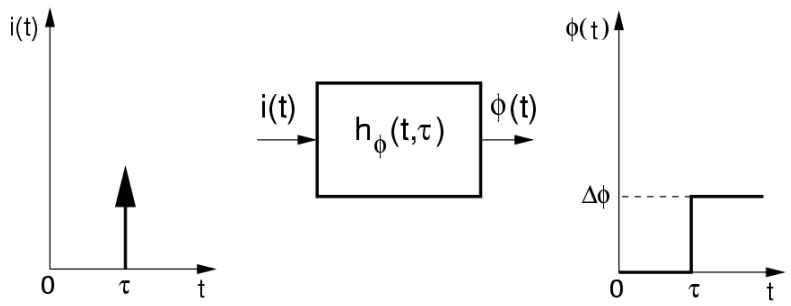



*Figure 3- 12 : Détermination de la réponse impulsionnelle de la phase.*

Pour cela, Hajimiri définit la fonction de sensibilité impulsionnelle $\Gamma(x)$ qui traduit la sensibilité du VCO à une entrée impulsionnelle. La réponse impulsionnelle de la phase $h_\phi(t,\tau)$ s'exprime en fonction de $\Gamma$ :

$$h_\phi(t,\tau) = \frac{\Gamma(\omega_0\tau)}{q_{\max}} \cdot u(t-\tau) \qquad (3\text{-}21)$$

avec $q_{max}$ la quantité de charge injectée en entrée en [C] et $u(t-\tau)$ la fonction échelon.

La linéarité de la réponse permet de calculer l'excès de phase $\phi(t)$ en sortie du VCO :

$$\phi(t) = \int_{-\infty}^{\infty} h_\phi(t,\tau) \cdot i(\tau) d\tau = \int_{-\infty}^{t} \frac{\Gamma(\omega_0\tau)}{q_{\max}} \cdot i(\tau) d\tau \qquad (3\text{-}22)$$

On notera que la méthode la plus simple pour obtenir $\Gamma$ consiste à remplacer les sources de bruits du circuit par des sources de courants impulsionnelles opérant à différents instants au cours d'une période d'oscillation. La mesure du déphasage à chaque instant permet d'obtenir $\Gamma$. D'autres méthodes plus théoriques sont décrites dans [HAJIMIRI98].

Une analyse plus théorique de $\Gamma$ et sa décomposition en série de Fourier mettent en évidence les phénomènes de conversion des composantes harmoniques de $\Gamma$ en bande de base.

Ces phénomènes sont primordiaux pour comprendre les mécanismes conduisant au spectre de bruit de phase de la Figure 3- 10.

La Figure 3- 13 représente le modèle équivalent du processus de conversion de l'impulsion d'entrée en fonction des coefficients de la décomposition en série de Fourier de $\Gamma$.

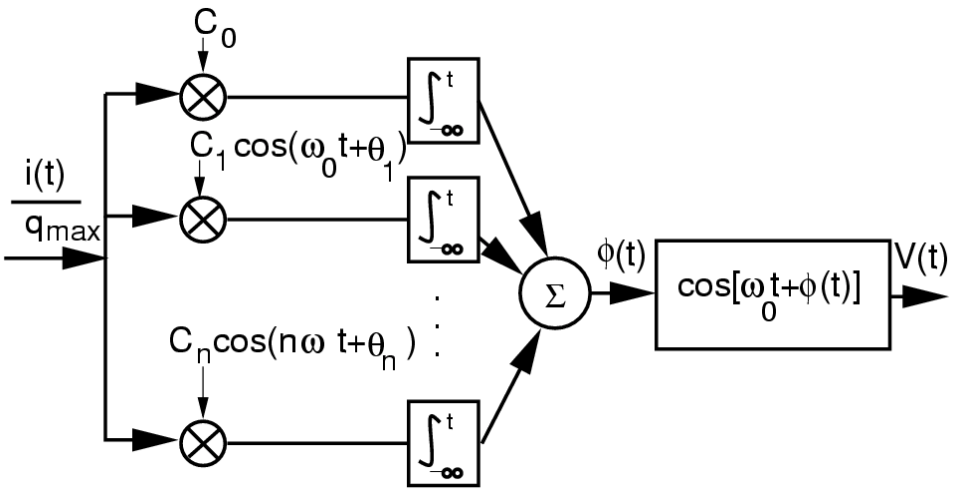



*Figure 3- 13 : Modèle équivalent de la décomposition en séries de Fourier.*

Chaque branche de la Figure 3- 13 joue le rôle d'un filtre passe bande et d'un convertisseur de fréquence au voisinage d'un multiple de la fréquence d'oscillation. Une impulsion en entrée résulte donc en des raies aux fréquences harmoniques. Celles-ci sont ensuite intégrées et donc converties en bande de base. La résultante subit une modulation de phase qui résulte en deux raies égales aux fréquences $\omega_0+\Delta\omega$ et $\omega_0-\Delta\omega$. La Figure 3- 14 schématise le principe de conversion du bruit en fluctuations de phase, puis en bruit de phase.

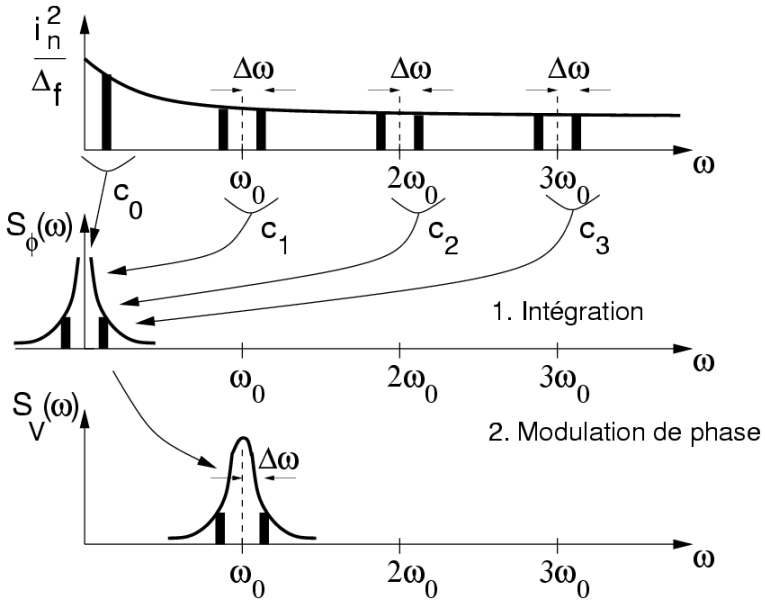



*Figure 3- 14 : Modèle de conversion du bruit en excès de phase puis en bruit de phase.*

D'après Hajimiri, la densité spectrale de bruit de phase totale unilatérale, due à une source de bruit à une fréquence d'offset $\Delta\omega$, est égale à la somme des puissances de ce bruit présentes aux fréquences harmoniques pondérées par les coefficients de la série de Fourier de $\Gamma$ soit :

$$L\{\Delta\omega\} = 10 \cdot \log\left( \frac{\frac{\overline{i_n^2}}{\Delta f} \cdot \sum_{n=0}^{\infty} c_n^2}{4 \cdot q_{max}^2 \cdot \Delta\omega^2} \right) \qquad (3\text{-}23)$$

où $c_n$ : coefficients de la série de Fourier de la fonction $\Gamma$,

$\Delta\omega$ : écart de fréquence [rad/sec],

$(i_n^2 / \Delta f)$ : puissance spectrale de bruit à $\Delta\omega$ [rad$^2$/Hz],

$q_{max}$ : charge maximale correspondant à la dynamique maximale aux bornes du résonateur [C].

Contrairement à l'expression du bruit de phase de Leeson (3-19), les paramètres de l'équation (3-23) peuvent être connus avant les mesures.

De plus, ce modèle permet de calculer le bruit de phase de la zone I de la Figure 3- 10 ainsi que la fréquence de coupure $\omega_{1/f}^3$ en fonction du bruit en 1/f basse fréquence des dispositifs et du coefficient $c_0$ de la décomposition en série de Fourier de $\Gamma$ :

$$L\{\Delta\omega\} = 10 \cdot \log\left( \frac{c_0^{\,2}}{q_{\max}^{\,2}} \cdot \frac{\frac{\overline{i_n^{\,2}}}{\Delta f}}{2 \cdot \Delta\omega^2} \cdot \frac{\omega_{1/f}}{\Delta\omega} \right) \qquad (3\text{-}24)$$

$$\omega_{1/f^3} = \omega_{1/f} \cdot \left( \frac{c_0}{\Gamma_{RMS}} \right)^2 \qquad (3\text{-}25)$$

$$c_0 = \frac{1}{2\pi} \int_0^{2\pi} \Gamma(x)\,dx \qquad (3\text{-}26)$$

On peut remarquer que la fréquence de coupure entre le bruit en $1/f^3$ et le bruit en $1/f^2$ ($\omega_{1/f}^3$) est plus petite d'un facteur ($c_0$ / $\Gamma_{RMS}$) que la fréquence de coupure du bruit en 1/f ($\omega_{1/f}$) du transistor.

En résumé, la méthode d'Hajimiri permet:

- de définir la réponse impulsionnelle de la phase du VCO à l'aide d'une fonction de sensibilité impulsionnelle $\Gamma$ selon l'architecture du VCO (LC ou anneau). $\Gamma$ permet de prévoir à quel moment le circuit est le plus sensible au bruit,
- de calculer la réponse du VCO à des sources de bruit déterministes et aléatoires : la décomposition en série de Fourier de $\Gamma$ permet de comprendre les phénomènes de conversion du bruit. Afin de réduire le bruit de phase, il est nécessaire de minimiser les coefficients de la série de Fourier de $\Gamma$.
- d'exprimer le bruit de phase dans les zones I et II de la Figure 3- 10 ainsi que la fréquence de coupure $\omega_{1/f}^3$.

L'approche d'Hajimiri permet donc de déterminer les paramètres clés à optimiser lors de la conception du circuit. Nous allons donc par la suite décrire ces paramètres et leur influence sur le bruit de phase des VCOs LC.

#### III.2.2.2. CONSEQUENCES SUR LE BRUIT DE PHASE DES VCO LC

L'équation (3-24) met en évidence l'influence de trois paramètres sur le bruit de phase, $c_0$, $q_{max}$ et $(i_n^2 / \Delta f)$. Dans le cas d'un VCO LC, ces paramètres correspondent :

- à la symétrie du circuit : minimiser $c_0$ consiste à concevoir un VCO parfaitement symétrique du point de vue des temps de montée et de descente du signal de sortie. Dans le cas des VCOs différentiels, la symétrie de l'implémentation du layout doit être assurée pour chaque demi-circuit.

- à l'amplitude de sortie du VCO : $q_{max}$ correspond à la quantité de charge due à une excursion en tension maximale aux bornes du résonateur LC. Ainsi une forte dynamique aux bornes du résonateur permet de réduire le bruit de phase.

- aux sources de bruits : $(i_n^2 / \Delta f)$ décrit le bruit total des dispositifs du VCO, à savoir le bruit des éléments passifs (L et C), le bruit des transistors de la structure active et de la source de courant (Figure 3- 9) et les bruits d'alimentation et de substrat. La réduction de la contribution de ces sources de bruit nécessite l'introduction, au niveau circuit, de techniques de filtrage de bruit et de linéarisation du VCO. Il existe alors un compromis entre la puissance dissipée, la linéarité du VCO, et le bruit de phase.

### III.2.3. CONCLUSION

Les trois approches de Leeson, Craninckx et Hajimiri sont très complémentaires du point de vue du concepteur. La première (Leeson) n'est plus utilisée par les simulateurs mais permet d'identifier les trois zones dans la densité spectrale de fluctuations de phase. Elle permet aussi d'estimer le bruit de phase dans la zone II et de le réduire en faisant les recommandations suivantes:

- augmenter le facteur de qualité en charge (correspondant à la sélectivité du filtre),
- réduire les facteurs de bruit liés aux composants,
- augmenter la puissance du signal aux bornes du résonateur.

Craninckx donne des précisions sur l'influence de la résistance effective du circuit sur le bruit de phase.

Enfin, Hajimiri apporte un éclaircissement sur les phénomènes de conversion du bruit basse fréquence. Son étude permet d'estimer le bruit de phase de la zone I et donne au concepteur des indications précieuses pour la conception:

- concevoir un VCO parfaitement symétrique,
- maximiser l'amplitude de sortie du VCO,
- réduire les contributions des différentes sources de bruit par des techniques de linéarisation et de filtrage.

Nous allons maintenant décrire la conception des VCO LC NMOS 10GHz en technologie CMOS/SOI-PD 0.13µm.

# III.3. ETUDE ET CONCEPTION DE VCO LC NMOS 10GHZ EN CMOS/SOI

Les problèmes à résoudre dans la conception de VCO LC NMOS à 10GHz en technologie CMOS/SOI-PD, inclus dans les CDR 40Gbit/s, sont nombreux et de natures très variées.

Concevoir des VCO possédant un faible bruit de phase, une fréquence centrale élevée, une plage de variation de fréquence large et une bonne réjection des bruits d'alimentation, nécessite un soin tout particulier dans chaque étape de la conception des circuits. Par ailleurs, il est nécessaire d'obtenir des circuits robustes face aux variations introduites par le process. Ces considérations font l'objet de ce chapitre.

Les VCO présentés ici sont des VCO LC NMOS différentiels. Nous avons vu l'intérêt de la structure LC pour la sélectivité. Le choix entre des VCO NMOS et des VCO NMOS-PMOS a été guidé par la fréquence de transition plus élevée en NMOS. Un choix similaire a été fait dans [HUNG00] pour la conception de VCO CMOS/BULK à des fréquences supérieures à 5.5GHz. Par ailleurs, au début de ce travail nous ne disposions en technologie CMOS/SOI que des modèles DC et basse fréquence pour les transistors NMOS et aucun modèle haute fréquence.

Nous commencerons par établir le cahier des charges, puis nous décrirons les choix technologiques pour la topologie des VCO LC NMOS 10GHz, et enfin, nous présenterons les étapes de conception.

## III.3.1. CAHIER DES CHARGES

Le cahier des charges des VCO a été obtenu à l'aide des normes SONET OC-768 dédiées à la réalisation de liens haut débit à 40Gbit/s [SONET01].

Dans cette partie, nous nous intéressons à la solution I des systèmes de transmission parallèle sur quatre canaux à 10Gbit/s. A la réception, quatre modules CDR indépendants à 10Gbit/s récupèrent les horloges, synchronisent les données et démultiplexent les canaux. Le cahier des charges ci-dessous concerne les VCO intégrés dans chaque CDR.

### III.3.1.1. LA FREQUENCE CENTRALE ET LA PLAGE DE FREQUENCE

La fréquence centrale du VCO est calculée à partir du débit d'un lien à 40Gbit/s.

Le débit total du lien varie de 39,81Gbit/s à 50Gbit/s. Le débit moyen est donc de 44,91Gbit/s. La fréquence centrale du VCO de chaque CDR 10Gbit/s doit donc être divisée par quatre, soit 11,23GHz. De la même manière, pour une variation du débit entre 39,81 et 50Gbit/s,

soit 10,19Gbit/s, la variation de fréquence du VCO à 10GHz doit être quatre fois inférieure, soit 2,55GHz. Le VCO devra donc osciller de 9,95GHz à 12,50GHz avec une fréquence centrale de 11,23GHz.

#### III.3.1.2. LE BRUIT DE PHASE DANS LES SYSTEMES 10GBIT/S

Les normes SONET OC-192 (10Gbit/s) précisent seulement un budget total "jitter" pour le module CDR. Ce budget ainsi que la relation entre le bruit de phase et le jitter ont été traités en début de chapitre. A 10Gbit/s, l'intervalle unité UI est spécifié à 93,38ps, ce qui correspond à une fréquence de 10,7GHz. Les normes précisent que le jitter de génération ne doit pas dépasser 0.1UI entre 4MHz et 80MHz [SONET01]. En reprenant le calcul du paragraphe III.1.3.2, on trouve un jitter RMS maximum de 635fs. Si on ne veut pas dépasser pour le VCO 50% du budget total du CDR, il faut rester en deçà de 317fs, soit une limite pour le bruit de phase de -95dBc/Hz lorsque le VCO est utilisé dans un CDR de fréquence de coupure de 5MHz (cette fréquence est choisie pour être immédiatement supérieure à 4MHz-limite inférieure de la plage ci-dessus). L'équation (3-7) permet de retrouver ce résultat.

#### III.3.1.3. LA PUISSANCE DE SORTIE

Les normes ne précisent pas la puissance de sortie que doit fournir le VCO.

Dans l'architecture CDR, le VCO est suivi par le comparateur de phase, généralement conçu à partir de bascules D (voir annexe 1). Le VCO doit donc fournir une dynamique de sortie suffisante pour commuter les transistors de ces bascules D.

Une dynamique de sortie crête-crête $\Delta V$ de 300 mV est suffisante dans le cas de circuits réalisés en technologie CMOS/SOI 130nm (tension d'alimentation de 1,2 V, et tension de seuil de l'ordre de 150mV). Or, la puissance de sortie est donnée par :

$$P_{dBm} = 10 \cdot \log\left(P_{mW}\right) = 10 \cdot \log\left(10^3 \cdot \frac{\Delta V^2}{R}\right) \qquad (3\text{-}27)$$

où $P_{dBm}$ est la puissance en [dBm], $P_{mW}$ est la puissance en [mW], $\Delta V$ est la dynamique de sortie crête-crête en [V] et R est la résistance de charge en sortie du VCO en [Ω].

Il faut donc une puissance en sortie du VCO supérieure à 2.6dBm lorsque l'on est chargé sur 100Ω en différentiel ou 50Ω en "single".

#### III.3.1.4. REJECTION DU BRUIT D'ALIMENTATION

Les autres paramètres électriques du VCO détaillés dans le paragraphe III.1.4.1 ne sont pas spécifiés par les normes SONET. Entre autres, le pushing et le gain du VCO permettent de déterminer la réjection du bruit d'alimentation du VCO.

Une des sources d'erreur dans les systèmes à très large bande passante provient des perturbations sur l'alimentation en tension. La réjection du bruit d'alimentation est donc une considération importante pour les circuits de télécommunication.

Dans le cas du VCO, ces perturbations peuvent avoir deux origines [WEIGANDT98]:

- une fluctuation alternative de la tension d'alimentation, due à des signaux de fréquence voisine de celle du VCO, peut apparaître. Elle conduit à une modulation de la phase de sortie.
- Une variation brutale de la tension d'alimentation provoquée par divers mécanismes engendre une variation importante de la fréquence d'oscillation. Le VCO va alors mettre un certain temps à se stabiliser. Cette variation de fréquence se traduit par une erreur de phase importante.

Il est donc souhaitable d'avoir un niveau de réjection des bruits d'alimentation le plus élevé possible et donc un rapport des gains $K_{VCO}$ sur $K_{VDD}$ le plus fort possible. En effet, dans la bande passante de la PLL, selon le gain du filtre de boucle utilisé, la réjection est de 30 à 50dB. Hors de la bande passante, la réjection est assurée par le filtre d'alimentation. Une réjection du VCO de 20dB est cohérente avec les valeurs énoncées dans la littérature [CORDEAU04].

#### III.3.1.5. RESUME DU CAHIER DES CHARGES

Le Tableau 3- 4 ci-après résume le cahier des charges des VCO pour la Solution I. Nous avons établi un cahier des charges exigeant en termes de performances. Les spécifications de bruit de phase sont plus difficiles à tenir avec une fréquence centrale élevée. Il est donc impératif d'explorer les différentes possibilités offertes par le CMOS/SOI-PD en vue de réduire le bruit de phase. De plus, nous allons rechercher et concevoir des techniques avancées de filtrage du bruit.

| Paramètres | Spécifications |
|---|---|
| Fréquence centrale $f_0$ en [GHz] | 11.23 |
| Bande de fréquence $\Delta f$ en [GHz] | 2.55 (22.7%) |
| Bruit de phase en [dBc/Hz] à 1MHz | Inférieur à -95 |
| Puissance de sortie du VCO sans buffer en [dBm] | 2.6 |
| Réjection du bruit d'alimentation en [dB] | 20 |

*Tableau 3- 4: Cahier des charges du VCO 10GHz établi à l'aide des normes SONET OC-768.*

## III.3.2. TOPOLOGIE DES VCO LC NMOS A 10GHZ

### III.3.2.1. LES CHOIX TECHNOLOGIQUES

La technologie CMOS/SOI-PD 0.13µm offre une grande diversité de composants actifs et passifs.

#### 1. Vers la conception du résonateur

L'analyse des performances des dispositifs passifs à travers l'étude de leurs propriétés électriques et géométriques nous a permis de comprendre l'importance du facteur de qualité. Il est donc indispensable de concevoir les géométries d'inductances et de varactors les mieux adaptées. L'étude bibliographique a révélé l'intérêt d'une part des inductances différentielles à point milieu et d'autre part des varactors à accumulation NMOS ou PMOS.

Une étape de conception préliminaire nous permettra de vérifier ou d'infirmer ces hypothèses et de choisir les géométries les mieux adaptées.

#### 2. Vers la conception de la structure active

Les composants actifs de la technologie CMOS/SOI-PD sont également variés (transistors à body contacté par 1ou 2 prises, transistors à body flottant, transistors rapides ou faibles pertes, etc…). La synthèse bibliographique a permis d'identifier les phénomènes liés à la nature du body du transistor SOI: body flottant et body contacté. L'étape suivante consiste à étudier l'influence de ces phénomènes sur les performances du VCO. Pour cela, nous avons analysé les performances en bruit des transistors CMOS/SOI. Nous présenterons une étape de caractérisation et de modélisation des transistors. Puis nous identifierons leurs contributions en bruit sur plusieurs architectures de VCO.

### 3. Vers la conception de techniques complémentaires de réduction du bruit de phase

Nous rechercherons des techniques de réduction du bruit de phase avec en particulier:

- un filtre de bruit permettant de réduire les effets de repliement harmonique et ainsi réduire la contribution en bruit de phase de la source de courant,
- un filtre de rejection du bruit d'alimentation,
- une isolation du cœur du VCO par l'ajout d'étages d'interface,
- une répartition symétrique du circuit et
- la distribution des masses et des alimentations.

### 4. Résumé des choix offerts par la technologie CMOS/SOI-PD

Le Tableau 3- 5 résume les choix technologiques dont nous allons disposer.

| Inductance | Varactor | Résistance | Capacité | Transistor | Technique |
|---|---|---|---|---|---|
| Symétrique | NMOS | N+ poly siliçurée | MOM[8] | Body contacté | Linéarisation |
| Différentielle | PMOS | N+ poly non siliçurée | MIM[9] | Body flottant | Réjection de bruit |
| Faible surface | | P+ poly non siliçurée | | | Isolation |
| multi niveaux | | Poly haute résistance | | | Alimentations |
| multi brins | | | | | Symétrie |

*Tableau 3- 5: Les différents choix technologiques possibles.*

Afin de valider les choix technologiques et mesurer les performances, nous avons prévu la conception de neuf circuits à 10GHz dont chacun présente un objectif spécifique en matière de validation.

## III.3.2.2. FEUILLE DE ROUTE POUR LA VALIDATION DES CHOIX

Le Tableau 3- 6 ci-après résume la feuille de route que nous avons établie pour valider les choix technologiques.

[8] Métal Oxyde Métal
[9] MIM = Métal Inter Métal

| Version | Inductances différentielles | | Varactors à accumulation | | | Capacités MIM | Transistors de la structure active | | Filtre de bruit LC | Objectifs |
|---|---|---|---|---|---|---|---|---|---|---|
| | 1.1nH | 500pH | NMOS 350fF | NMOS 700fF | PMOS 350fF | 350fF | BC | FB | | |
| VCO1 | ☒ | | | | ☒ | | ☒ | | | Varactors PMOS |
| VCO2 | ☒ | | ☒ | | | | ☒ | | | Varactors NMOS |
| VCO3 | ☒ | | ☒ | | | | ☒ | | ☒ | Varactors NMOS et Filtre LC |
| VCO4 | ☒ | | ☒ | | | | | ☒ | | Transistors à body flottant |
| VCO5 | | ☒ | | ☒ | | | ☒ | | | Inductance différentielle 500 pH et varactors NMOS 700fF |
| VCO6 | ☒ | | | | ☒ | | ☒ | | ☒ | Varactors PMOS et filtre LC |
| OSC1 | ☒ | | | | | ☒ | ☒ | | | Oscillateur à capacités MIM |
| OSC2 | ☒ | | | | | ☒ | ☒ (2xW/L) | | | Oscillateur à capacités MIM et taille double des transistors |
| VCO9 Diff | ☒ | | ☒ | | ☒ | | ☒ | | | Varactors NMOS différentiels |

*Tableau 3- 6: Feuille de route de réalisation des circuits 10GHz en CMOS/SOI-PD.*

### III.3.2.3. SCHEMAS ELECTRIQUES DES VCO ET OSCILLATEURS

Pour valider les choix technologiques, nous avons utilisé un schéma initial sur lequel nous avons apporté des modifications successives. On trouvera un schéma voisin dans [RAZAVI01].

#### 1. Schéma électrique initial: VCO1

La Figure 3- 15 présente le schéma électrique du VCO1 à partir duquel nous avons travaillé pour valider l'ensemble des choix technologiques.

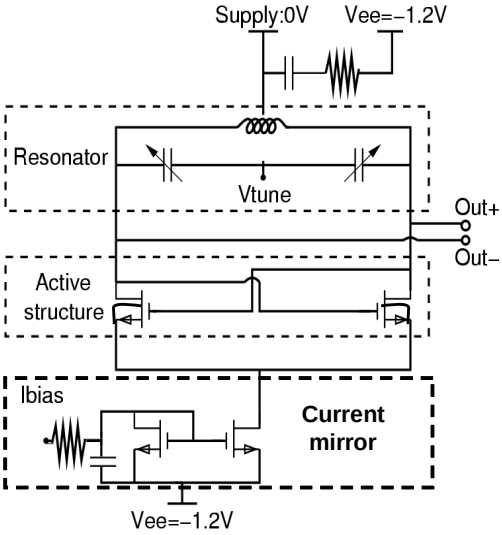



*Figure 3- 15: Schéma électrique du VCO 1.*

Ce VCO est un VCO LC NMOS différentiel conçu sur substrat SOI hautement résistif. Le résonateur est constitué d'une inductance différentielle à point milieu et de deux varactors PMOS à accumulation. La structure active est composée d'une paire différentielle croisée avec deux transistors NMOS à body contacté. L'alimentation en courant est assurée par un miroir de courant NMOS. Le courant d'entrée $I_{bias}$ est filtré par un réseau RC. Le circuit est alimenté entre 0V et -1.2V. Deux raisons ont conduit à choisir cette solution:

- permettre une oscillation autour de zéro Volt et autoriser ainsi l'amplitude maximale de variation de capacités des varactors,
- réduire la sensibilité du circuit au bruit d'alimentation en positionnant le zéro Volt sur le résonateur, partie la plus sensible du VCO.

Lorsque le circuit est monté sur une carte de test, une inductance de "bonding" est présente sur le zéro Volt. Cette inductance associée au filtre RC de l'alimentation, présenté dans les paragraphes suivants, permet d'améliorer la réjection du bruit d'alimentation.

### 2. Schéma électrique du VCO2

Le schéma est identique au précédent mais les varactors du résonateur sont de type NMOS au lieu de PMOS.

### 3. Schéma électrique du VCO4

Le schéma est identique au VCO précédent (varactors NMOS) mais les transistors de la structure active sont de type body flottant (Figure 3- 16.a) au lieu de body contact (Figure 3-16.b).

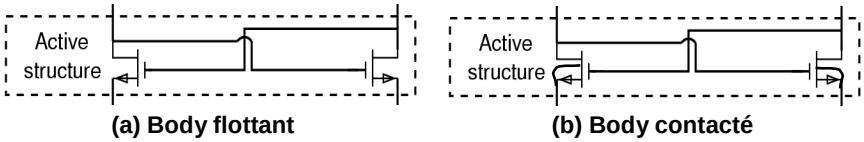



*Figure 3- 16: Structures actives de (a) VCO 4 et de (b) VCO1.*

### 4. Schéma électrique du VCO5

Le schéma est identique au VCO2, mais le résonateur est composé d'une inductance différentielle plus faible de 500 pH au lieu de 1.1 nH et de varactors NMOS de 700 fF au lieu de 350fF. Ce VCO5 conserve approximativement la même fréquence de résonance mais emploie des composants passifs différents pour étudier leur influence sur les performances.

### 5. Schéma électrique du VCO3

Le schéma du VCO3 est modifié par rapport au VCO2 pour insérer un filtre LC au-dessus du miroir de courant pour réduire sa contribution en bruit de phase[10] (Figure 3- 17).

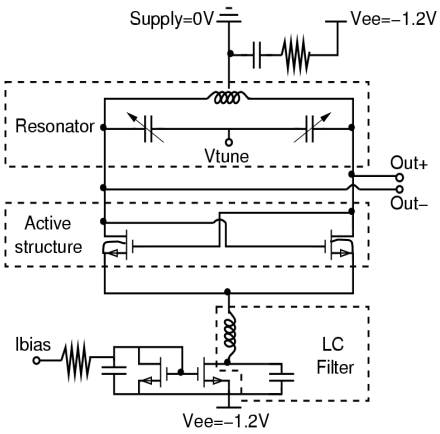



*Figure 3- 17: Schéma électrique du VCO3.*

[10] Ce filtre a été publié dans [HEGAZI01] et [ANDREANI02].

### 6. Schéma électrique du VCO6

Ce schéma est identique au VCO3 mais avec des varactors PMOS de 350fF.

### 7. Schéma électrique de l'oscillateur OSC1

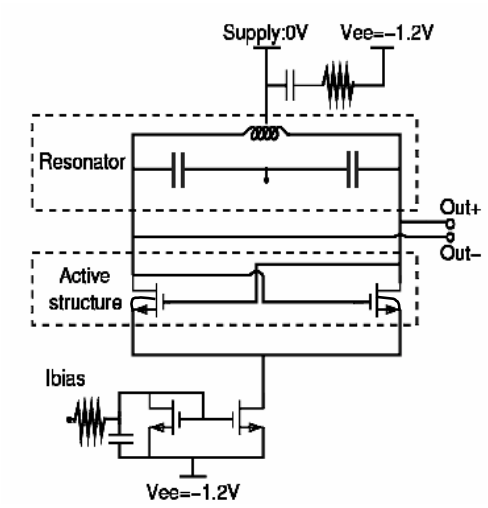



*Figure 3- 18: Schéma électrique de l'oscillateur OSC1.*

Le schéma de l'oscillateur OSC1 (Figure 3- 18) reprend celui du VCO1 en remplaçant les varactors par des capacités MIM de 350fF. Cette modification a été introduite pour comparer le facteur de qualité obtenu avec des varactors et avec des capacités MIM.

### 8. Schéma électrique de l'oscillateur OSC2

L'oscillateur OSC2 reprend l'architecture du précédent mais utilise des transistors de largeur double. L'objectif est d'identifier la contribution de la surface d'un transistor:

- sur le bruit basse fréquence (rapport entre le courant, la surface et les capacités de jonctions) et ,
- sur le bruit de phase.

### 9. Schéma électrique du VCO9 à commande différentielle

Pour ce VCO, nous avons utilisé quatre varactors NMOS montés en différentiel (Figure 3- 19):

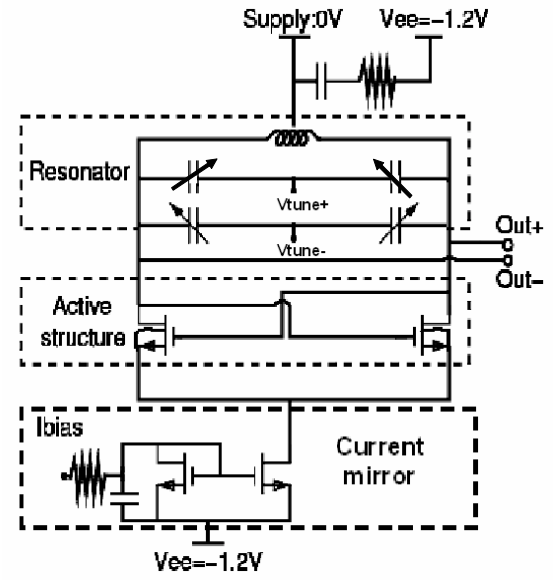



*Figure 3- 19: Schéma électrique du VCO9 à commande différentielle.*

Le résonateur est composé d'une inductance et de quatre varactors. Il profite de la symétrie des varactors NMOS dans cette technologie [FONG03]. Notre montage diffère du travail publié : nous n'utilisons pas de varactors PMOS. L'objectif est de profiter du montage différentiel des varactors NMOS pour obtenir un facteur de qualité plus constant sur la plage de fréquence du VCO.

#### III.3.2.4. CONCLUSION

Ces neuf circuits VCO et oscillateurs couvrent la majeure partie des choix technologiques qui étaient à notre disposition. Notre objectif est désormais de choisir la meilleure architecture en termes de performance. Cette étude nous permettra également de vérifier les principes théoriques sur le bruit de phase des VCO.

Nous allons à présent décrire la conception de ces circuits.

## III.3.3. LES ETAPES DE LA CONCEPTION

La conception des VCO et les résultats de simulation associés sont présentés dans cette partie.

Nous présenterons successivement la conception des résonateurs, des structures actives, des techniques complémentaires de réduction du bruit de phase, des étages tampons de sortie et enfin de la carte de test.

### III.3.3.1. LES RESONATEURS

Les résonateurs des VCO sont constitués d'une inductance différentielle à point milieu et de deux varactors à accumulation (Figure 3- 20).

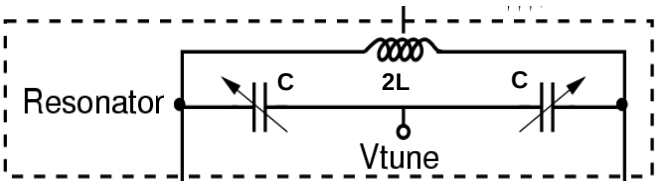



*Figure 3- 20: Schéma électrique du résonateur.*

La fréquence de résonance $f_r$ du résonateur idéal vaut:

$$f_r = \frac{1}{2\pi \cdot \sqrt{L \cdot C}} \qquad (3\text{-}28)$$

où L est la demi inductance en [H] et C la capacité du varactor en [F].

En réalité, la fréquence d'oscillation du VCO est réduite par les capacités parasites $C_{par}$ du circuit (incluant les capacités de routage). La fréquence d'oscillation $f_0$ du VCO est :

$$f_0 = \frac{1}{2\pi \cdot \sqrt{L \cdot (C + C_{par})}} \qquad (3\text{-}29)$$

La dynamique en fréquence du VCO est égale à:

$$D_f = \sqrt{\frac{C_{MAX} + C_{par}}{C_{MIN} + C_{par}}} \qquad (3\text{-}30)$$

où $C_{MAX}$ et $C_{MIN}$ sont respectivement les capacités maximales et minimales du varactor.

Rappelons que le facteur de qualité en charge du résonateur a été défini par l'équation (3-17).

### 1. Les inductances

Les deux inductances mono brin, utilisées dans les VCO et les oscillateurs, ont les caractéristiques résumées dans le Tableau 3- 7:

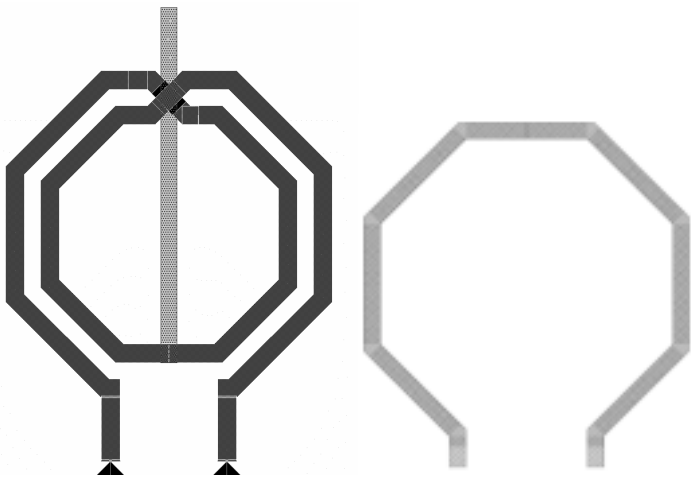
| Paramètres | Inductance 1.1nH | Inductance 500pH |
|---|---|---|
| **Nombre de tours** | 2 | 1 |
| **Largeur** | 12µm | 12µm |
| **Diamètre extérieur** | 200µm | 230µm |

*Tableau 3- 7: Caractéristiques physiques des inductances.*

La largeur de piste pour les inductances est limitée par les règles de dessin de la technologie.

Nous avons utilisé trois niveaux de métaux pour concevoir ces inductances, plus un niveau supplémentaire pour réaliser le croisement dans l'inductance 1.1nH. Comme dans le design kit CMOS/BULK 0.13µm, nous avons utilisé le cuivre niveaux 5 et 6 et l'aluminium au -dessus.

Les dessins de ces inductances sont représentés ci-après:



(a) Inductance 1.1nH (b) Inductance 500pH

*Figure 3- 21: Dessins des inductances.*

Les résultats de simulation du facteur de qualité de l'inductance de 1.1nH sont illustrés sur la Figure 3- 22: La méthode pour obtenir ces résultats a été présentée au chapitre II.

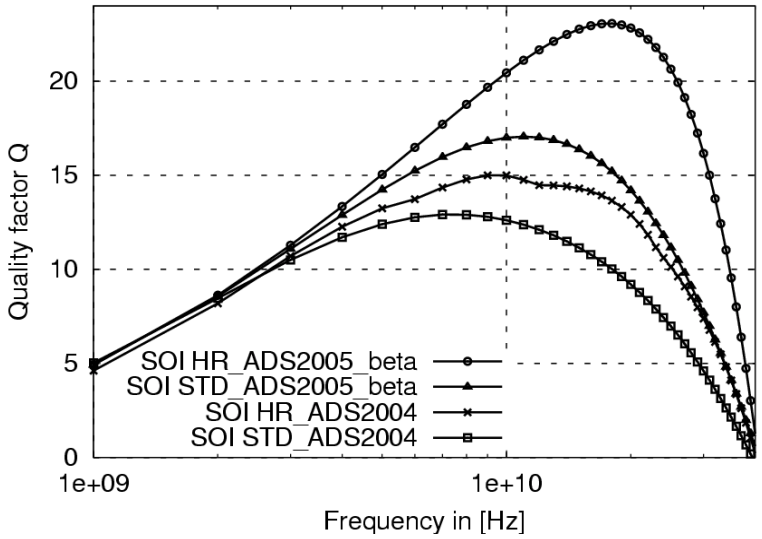



*Figure 3- 22: Facteur de qualité différentiel simulé de l'inductance 1.1 nH.*

Cette simulation électromagnétique a été réalisée sur Momentum 2004 au début de notre travail puis reprise avec une version béta de Momentum 2005.

La conception a été faite avec les résultats obtenus en 2003 sur la version Momentum 2004. Avec ce simulateur, on observe une amélioration de 20% du facteur de qualité de l'inductance sur substrat SOI Haute Résistivité. Le facteur de qualité est alors maximal à 10GHz et vaut environ 15.

Les résultats de simulation sur Momentum 2005 laissent entrevoir des possibilités d'amélioration: on observe une amélioration d'environ 40% du facteur de qualité sur substrat SOI Haute Résistivité. Le facteur de qualité à 10GHz est d'environ 20. On remarque que le facteur de qualité maximal est de 24 à environ 18GHz. Cet écart entre les résultats fournis par les deux versions du simulateur s'explique par la prise en compte des épaisseurs des métaux et de la densité de courant sur l'axe vertical. Les algorithmes de traitement ont été optimisés dans ce but. Comme nous le verrons plus loin, ces valeurs sont beaucoup plus proches de la réalité mesurée.

Pour avoir des données comparables, les simulations suivantes ont été réalisées sur Momentum 2005.

La Figure 3- 23 présente le comportement de l'inductance en fonction de la fréquence

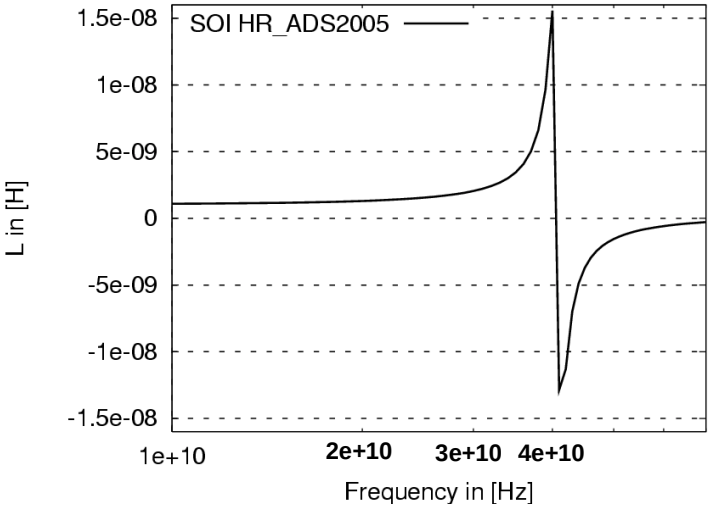



*Figure 3- 23: Comportement de l'inductance différentielle de 1.1 nH en fonction de la fréquence.*

La valeur de l'inductance mesurée à 1MHz vaut bien 1.1nH. La fréquence de résonance de l'inductance est voisine de 40GHz, ce qui est suffisamment au-delà de la fréquence de travail.

De même, le facteur de qualité de l'inductance de 500pH a été simulé et est représenté sur la Figure 3- 24:

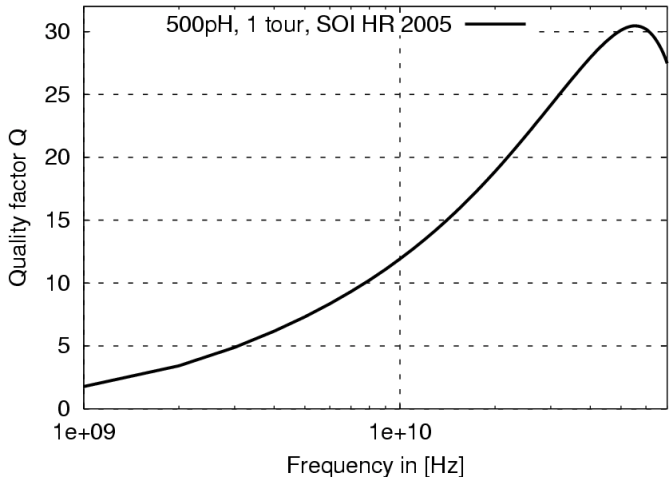



*Figure 3- 24: Facteur de qualité différentiel simulé de l'inductance de 500 pH.*

Ce facteur de qualité simulé avec Momentum 2005 vaut environ 12 à 10GHz. La valeur maximale est atteinte à environ 56GHz et vaut 30.

Le comportement de l'inductance en fréquence est donné sur la Figure 3- 25:

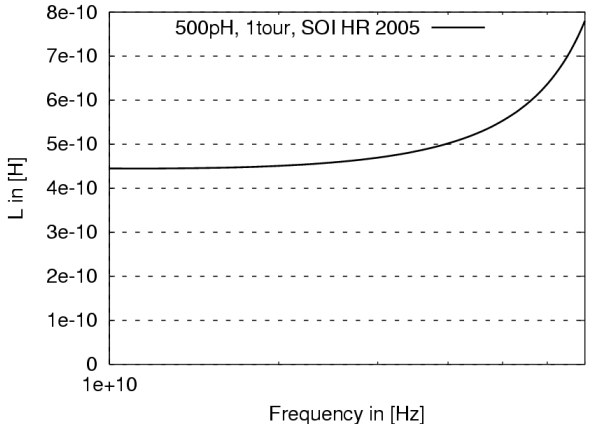



*Figure 3- 25: Comportement de l'inductance 500 pH en fonction de la fréquence.*

La valeur de l'inductance à 1MHz est de 455pH. La résonance, non visible sur la figure ci-dessus, est à une fréquence supérieure à 70GHz.

Nous devons à présent établir un modèle équivalent de l'inductance. A l'aide de ce modèle, nous pourrons simuler le comportement complet du VCO en prenant en compte le gain en facteur de qualité sur substrat hautement résistif.

Le modèle équivalent est donné sur la Figure 3- 26.b:

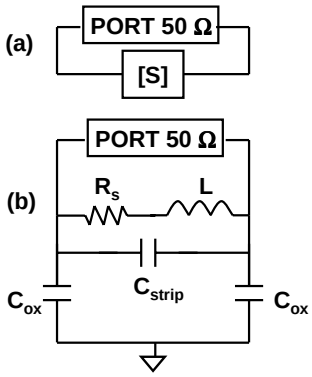



*Figure 3- 26: (a) Paramètres [S] extrait de Momentum, (b) Modèle équivalent de l'inductance.*

En raison de la présence du substrat HR, le modèle équivalent n'a pas besoin de la résistance et de la capacité du substrat. Les capacités $C_{ox}$ sont donc directement reliées à la masse. De plus, le modèle ci-dessus permet de concevoir les inductances en mode différentiel. Nous utilisons un seul port différentiel et une boîte de paramètres un port dans chaque cas. Le modèle est conçu pour que les paramètres [S[11]] des deux schémas correspondent.

[11] Paramètres S pour "Scattering parameters".

Le Tableau 3- 8 résume les valeurs des paramètres obtenus par simulation:

| **Paramètres à 10GHz** | | **Inductance 1.1 nH** | **Inductance 500 pH** |
|---|---|---|---|
| **Facteur de qualité** | **Momentum 2D** | 20.4 | 12,0 |
| | **Modèle** | 19.8 | 11.6 |
| **Valeur de l'inductance** | | 1.03nH | 0.44nH |
| **Résistance série $R_s$** | | 3.13Ω | 2.39Ω |
| **Capacité inter spire $C_{strip}$** | | 5.1fF | 0.2fF |
| **Capacité / Oxyde $C_{ox}$** | | 13.3fF | 3.9fF |

*Tableau 3- 8: Paramètres de modélisation des inductances.*

Le modèle électrique de la Figure 3- 26 approche correctement les valeurs trouvées en simulation sur Momentum. Les valeurs du modèle obtenues en faisant converger les paramètres S ne sont pas obligatoirement les valeurs physiques, mais elles permettent d'obtenir le comportement électrique de l'inductance de 10GHz.

Nous avons développé également des structures de test d'inductances pour valider les résultats de simulation et effectuer des essais en utilisant les niveaux cuivre 3, 4, 5 et 6. Ces conclusions seront présentées dans le chapitre suivant.

### 2. Les varactors

Pour concevoir des varactors, nous ne disposons que de modèles en CMOS/BULK 0.13µm. Les varactors à accumulation sont de type PMOS ou NMOS.

Nous avons, dans un premier temps, créé un schéma électrique, représenté sur la Figure 3- 27, permettant de simuler le varactor dans des conditions similaires à celles présentes lorsque le varactor est utilisé dans un VCO.

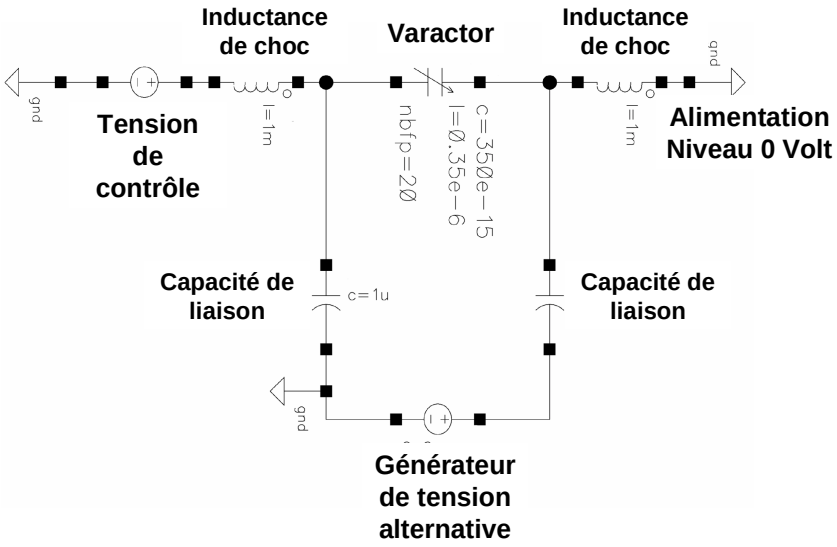



*Figure 3- 27: Schéma électrique de simulation du varactor.*

En régime continu, les inductances de choc se comportent comme des court-circuits et les capacités de liaison comme des circuits ouverts. Donc la tension continue aux bornes du varactor est égale à la tension de contrôle.

En régime haute fréquence, les inductances sont des circuits ouverts et les capacités des court-circuits. On observe donc, aux bornes du varactor, le comportement à haute fréquence.

De plus, les inductances de choc permettront, sur la carte de test, de filtrer les bruits sur l'alimentation et sur la tension de contrôle.

Les contraintes de conception liées au modèle sont les suivantes:

- la capacité maximale du varactor doit être supérieure à 200fF,
- le nombre de doigts d'un varactor doit être compris entre 1 et 50,
- la longueur d'un varactor doit être comprise entre 0.35 µm et 2 µm.

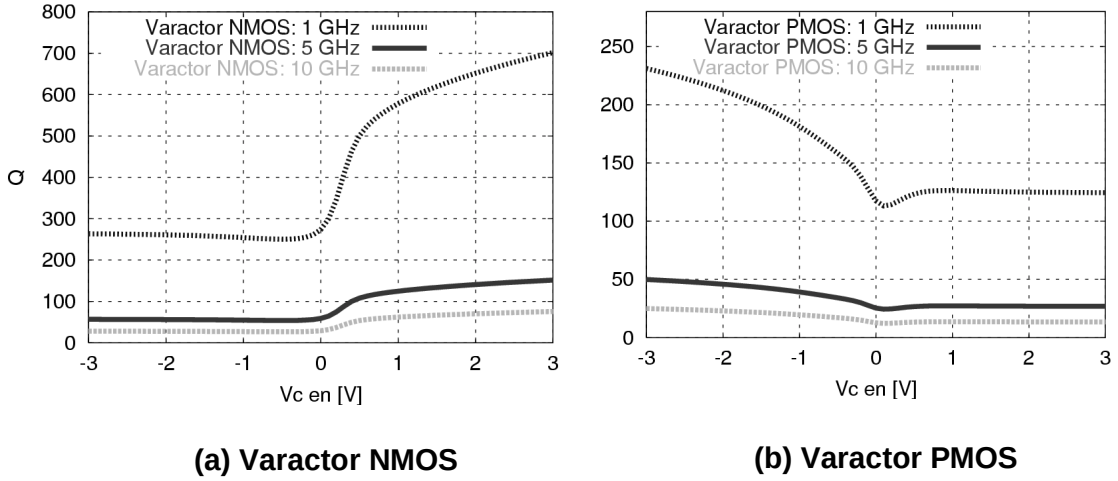
En faisant varier le nombre de doigts, Nf, du varactor, on a mesuré le facteur de qualité en fonction de la tension de contrôle des varactors ($V_c$). Celui-ci croît régulièrement de deux à vingt doigts puis se stabilise. A titre d'exemple, le Tableau 3- 9 ci-après indique la variation du facteur de qualité pour un varactors de type PMOS en fonction de $V_c$.

| **Nombre de doigts** | **2** | | **20** | |
|---|---|---|---|---|
| **Tension de contrôle $V_C$ en [V]** | **-3** | **3** | **-3** | **3** |
| **Facteur de qualité Q** | 7 | 2,5 | 30 | 15 |

*Tableau 3- 9: Variation du facteur de qualité en fonction du nombre de doigts et de $V_c$.*

Au-delà de 20 doigts, l'augmentation du coefficient de qualité simulé est très faible. Nous avons donc opté pour un varactor à 20 doigts. Nous avons également choisi une longueur minimale de 0.35µm pour les varactors. En effet, le coefficient de qualité augmente lorsque la longueur diminue (réduction de la résistance série).

Nous avons simulé sur CMOS/BULK l'évolution du facteur de qualité en fonction de la tension de contrôle des varactors NMOS et PMOS à 1GHz, 5GHz et 10GHz pour une capacité maximale de 350fF, un nombre de doigts de 20 et une longueur de doigt de 0.35µm (Figure 3- 28):




**(a) Varactor NMOS** **(b) Varactor PMOS**

*Figure 3- 28: Variation du facteur de qualité des varactors NMOS et PMOS en fonction de la tension de contrôle à différentes fréquences.*

Dans les deux cas, le facteur de qualité diminue fortement avec la fréquence. Le varactor NMOS présente à fréquence de 1GHz un facteur de qualité supérieur et de variation opposée sur la plage de contrôle. Examinons maintenant le facteur de qualité à 10GHz en fonction de la tension de contrôle (Figure 3- 29):

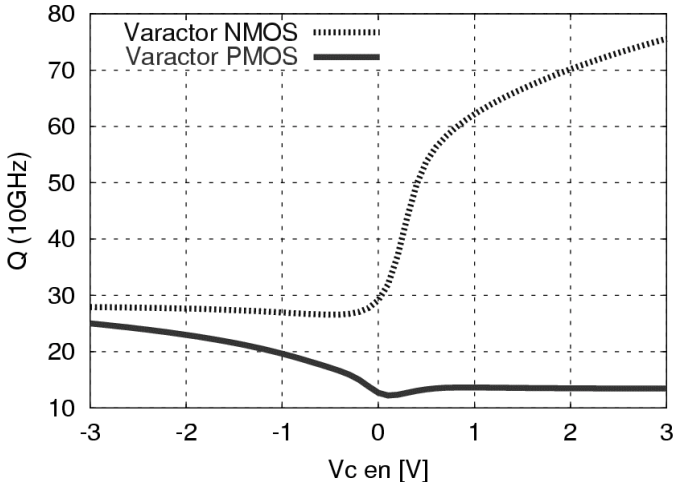
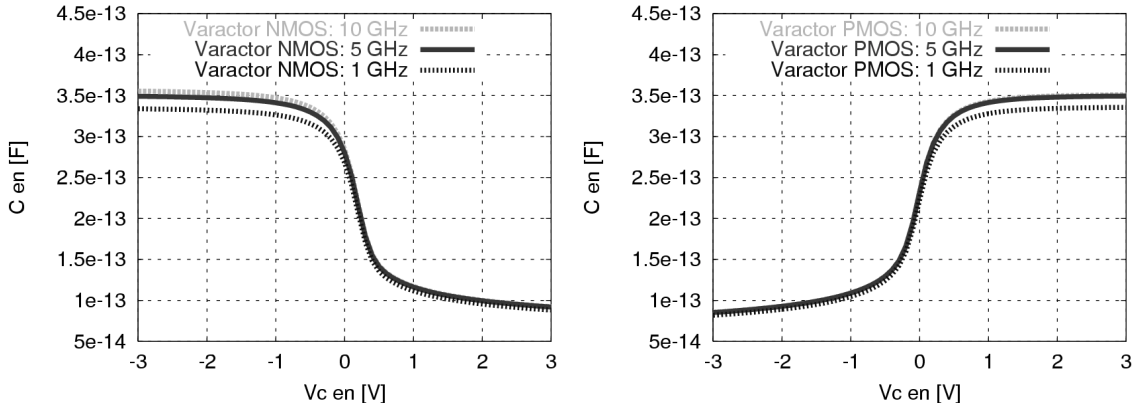



*Figure 3- 29: Variation du facteur de qualité à 10GHz des varactors NMOS et PMOS.*

On observe sur la figure ci-dessus que le varactor NMOS présente un meilleur facteur de qualité que son homologue PMOS. Cette supériorité est d'autant plus importante pour les valeurs élevées de la tension de contrôle. En effet, la longueur des doigts du varactor PMOS est plus grande que la longueur des doigts de son homologue NMOS. Ceci induit une résistance série plus grande pour le varactor PMOS et donc un facteur de qualité inférieur.

Analysons maintenant l'évolution de la capacité en fonction de la tension de contrôle aux trois mêmes fréquences (Figure 3- 30):




**(a) Varactor NMOS** **(b) Varactor PMOS**

*Figure 3- 30: Variation de la capacité des varactors NMOS et PMOS en fonction de la tension de contrôle à différentes fréquences.*

Il est intéressant de constater que les courbes pour les trois fréquences sont extrêmement voisines.

Observons plus spécialement la superposition des deux capacités NMOS et PMOS à 10GHz (Figure 3- 31):

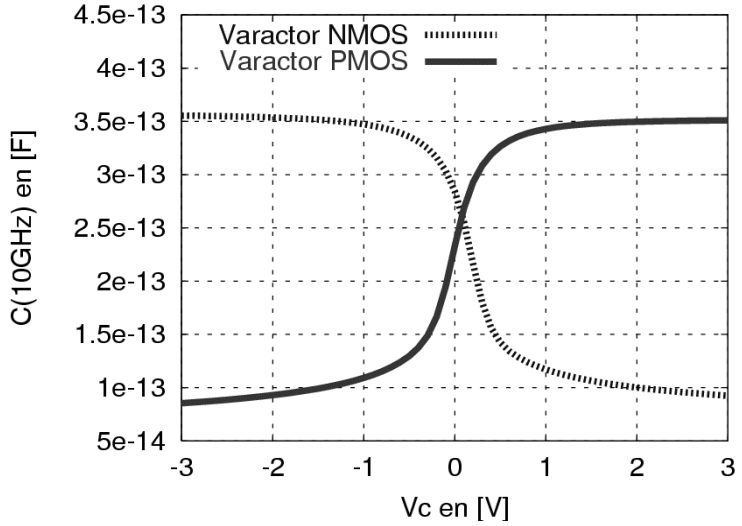



*Figure 3- 31: Variation de la capacité des varactors NMOS et PMOS à 10GHz.*

D'après la figure ci-dessus, on peut donc s'attendre à obtenir une plage de variation quasiment identique de la fréquence des VCO à varactors NMOS et à varactors PMOS. L'écart entre les capacités maximum et minimum du varactors est de 250fF. Le rapport $C_{MAX}$ / $C_{MIN}$ vaut 3.5. La dynamique de fréquence attendue serait de 1.87GHz. Soit une plage de variation autour de 10GHz de 18.7%. On s'attend à une plage de variation plus grande en CMOS/SOI.

Afin d'accroître la compacité du résonateur et donc du circuit, nous avons écarté les bornes de l'inductance afin de placer les deux varactors à l'intérieur. Cette disposition présente l'intérêt de minimiser les capacités parasites et la taille globale du VCO.

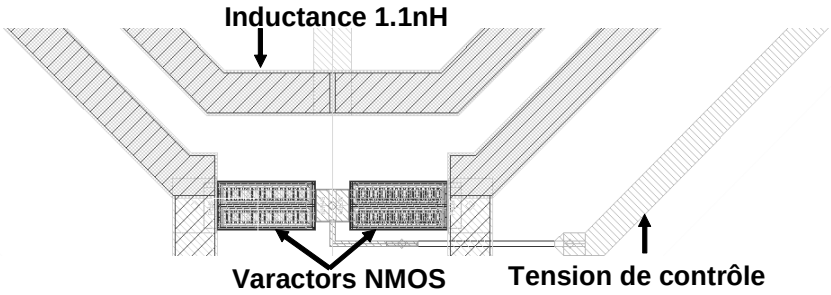



*Figure 3- 32: Implantation des varactors dans l'inductance.*

En conclusion, rappelons que les varactors ont été simulés grâce aux modèles CMOS/BULK. Cette étape de conception nous permet d'envisager de bonnes performances en CMOS/SOI avec notamment:

- un facteur de qualité meilleur en NMOS qu'en PMOS,
- une plage de fréquence supérieure ou égale à 18.7%.

### III.3.3.2. LA STRUCTURE ACTIVE

La structure active est composée d'une paire différentielle croisée représentée sur la Figure 3- 33:

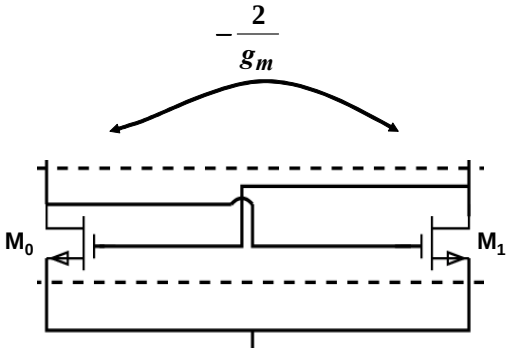



*Figure 3- 33: Structure active d'un VCO LC NMOS.*

Son rôle est de compenser les pertes résistives liées au résonateur en présentant, en parallèle à ce dernier, une résistance négative. Ceci permet de maintenir une oscillation en régime permanent. Un VCO comprenant deux varactors commandés en tension est équivalent au schéma de la Figure 3- 34.a. Le schéma de la Figure 3- 34.b est équivalent au précédent.

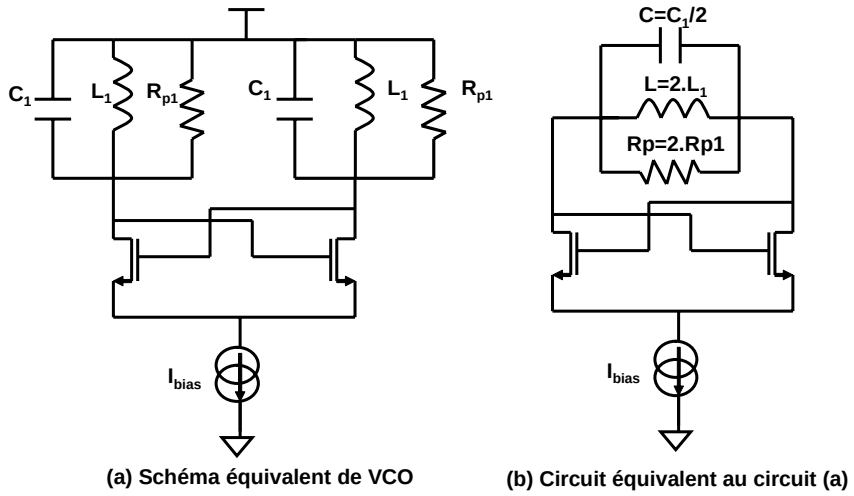



*Figure 3- 34: Schémas équivalents du VCO LC NMOS.*

En petit signal, la résistance équivalente entre les deux drains des transistors est de $-2/g_m$ où $g_m$ est la transconductance d'un transistor.

A la résonance, le résonateur de la Figure 3- 34.b est équivalent à une résistance $R_p$. Celle-ci est en parallèle avec la résistance $-2/g_m$. Si on raisonne avec les admittances, l'admittance équivalente $Y_{eq}$ au montage vaut:

$$Y_{eq} = \frac{1}{R_p} - \frac{g_m}{2} \qquad (3\text{-}31)$$

Pour maintenir les oscillations, cette admittance doit être négative (cf. Figure 3- 4). Ce qui conduit à:

$$R_p \geq \frac{2}{g_m} \qquad (3\text{-}32)$$

Bien que simulé, $R_p$ n'est pas connu avec précision. Il est donc nécessaire, pour s'assurer qu'il y aura bien oscillation, de concevoir $g_m$ trois ou quatre fois supérieure à la valeur limite pour prendre en compte les erreurs de modélisation et les variations de procédé.

Après s'être assuré du fonctionnement oscillant, il est nécessaire d'étudier le bruit basse fréquence des transistors de la structure active. Comme nous l'avons vu précédemment, ce bruit est converti autour de la fréquence centrale et dégrade les performances en bruit de phase. On dimensionnera les transistors en conséquence.

Au début de ce travail, les modèles de bruit basse fréquence n'étant pas disponibles en CMOS/SOI 0.13µm, nous avons optimisé le circuit avec les transistors NMOS/BULK 0.13µm, puis vérifié à nouveau le fonctionnement temporel sur SOI.

En parallèle avec notre travail, une autre équipe de chercheurs a eu pour tâche de développer des modèles basse et haute fréquence sur SOI. Un travail en commun de validation de ces modèles avec des mesures sur nos circuits a donné lieu à deux publications communes. Un extrait d'une des publications, qui décrit la modélisation du bruit en 1/f des transistors, est décrit en annexe 2.

Pour permettre l'étude de l'influence de la géométrie et de la nature du body (flottant ou contacté), nous avons conçu trois structures actives différentes décrites dans le Tableau 3- 10.

| **Structure active** | | **I** | **II** | **III** |
|---|---|---|---|---|
| **Dimensions [µm]** | **Largeur [W]** | 20 | 20 | 40 |
| | **Longueur [L]** | 0.17 | 0.17 | 0.17 |
| **Nombre de doigts** | | 8 | 8 | 16 |
| **Nature du body** | | Contacté à la source par une prise | flottant | Contacté à la source par une prise |
| **Circuits concernés** | | VCO1, 2, 3, 5, 6, 9Diff, OSC1 | VCO4 | OSC2 |

*Tableau 3- 10: Paramètres de conception des structures actives.*

On remarquera que la longueur retenue de 0.17µm n'est pas la longueur minimale de la technologie (0.13µm). En effet, le travail de [LI03] nous a incité à étudier l'influence de la longueur de grille sur le bruit de phase. Pour cela nous avons simulé sur BULK quatre longueurs de grille différentes (0.13µm, 0.16µm, 0.18µm et 0.24µm). L'optimum en bruit de phase est obtenu entre 0.16µm et 0.18µm. Ce résultat corrobore les travaux de [LI03] où la longueur optimum et la longueur minimale sont reliées par la relation:

$$L_{opt} = \eta \cdot L_{\min} \qquad (3\text{-}33)$$

où η, supérieur à un, dépend des paramètres du procédé et de la polarisation en courant.

Les transistors sont composés de huit ou seize doigts de largeur 2.5µm. L'influence de la largeur des doigts sur la résistance de grille en CMOS/SOI a été traitée par [ROZEAU05]. On montre qu'une largeur de 2.5µm permet de minimiser cette résistance, critique à haute fréquence.

Le VCO4, conçu à l'aide de transistor à body flottant, permettra d'étudier l'effet du kink sur le bruit de phase.

Enfin, l'oscillateur OSC2 contient des transistors de largeur double. Ce circuit doit permettre de vérifier qu'avec une surface plus importante, on réduit le bruit de scintillement (en 1/f) des transistors. On pourra aussi vérifier les phénomènes de conversion du bruit basse fréquence en bruit de phase.

La Figure 3- 35 illustre le layout de la structure active. On notera la symétrie du dispositif. Ceci est en effet un impératif pour la réduction du bruit de phase du VCO.

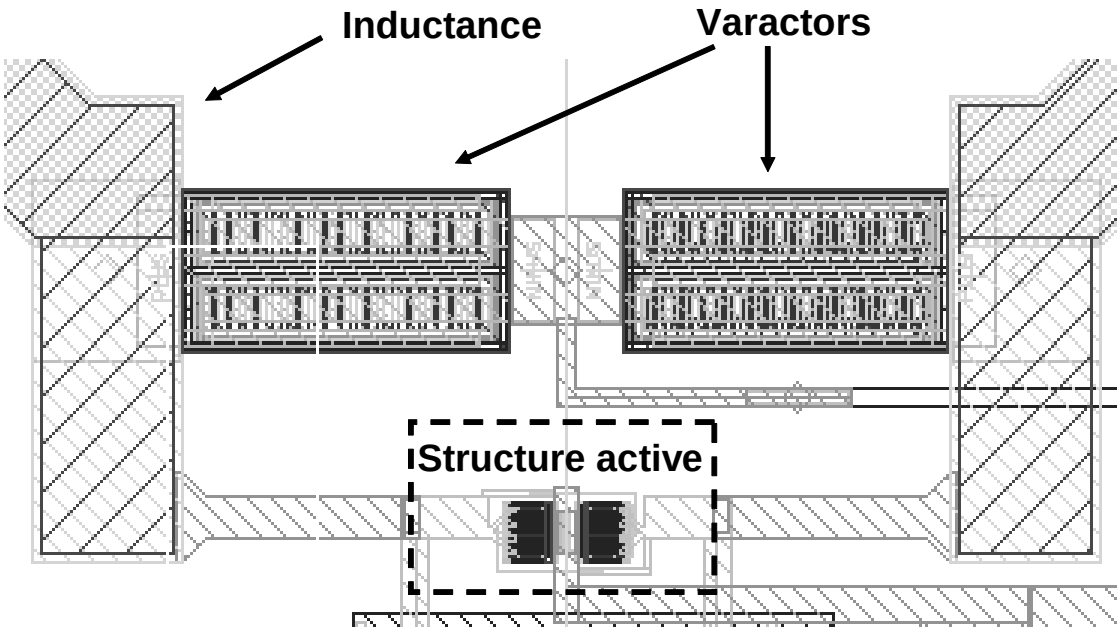



*Figure 3- 35: Implémentation de la structure active aux bornes du résonateur.*

La structure active est alimentée par un miroir de courant. La conception de ce miroir requiert une attention particulière puisque sa géométrie aura une influence considérable sur le bruit de phase.

### III.3.3.3. LA GESTION DES ALIMENTATIONS

#### 1. La source de courant

La source de courant est identique pour tous les circuits. Son architecture est détaillée sur la Figure 3- 36:

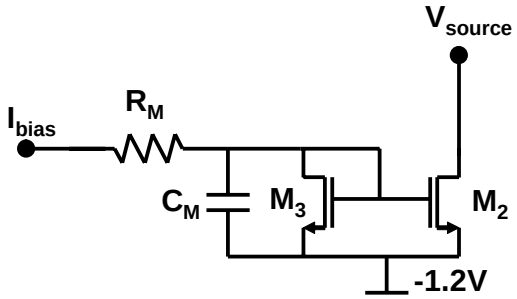



*Figure 3- 36: Architecture de la source de courant.*

Le circuit d'alimentation est constitué d'un miroir de courant à transistors NMOS $M_2$ et $M_3$, d'une capacité de découplage $C_M$ et d'une résistance $R_M$.

Les transistors $M_2$ et $M_3$ à body contacté à la source sont identiques. Le rapport des courants dans $M_3$ et dans $M_2$ est donc de un.

Pour assurer une bonne recopie et rendre le courant $I_{bias}$ quasiment indépendant de la tension $V_{DS}$ de $M_2$, il faut augmenter la résistance de sortie de $M_2$. On choisit donc la longueur de grille en rapport. De plus, afin de garantir un fonctionnement en régime de saturation de $M_2$, la tension de saturation $V_{DSsat}$ doit être minimisée. Le rapport W/L doit donc être grand. Dans notre cas, nous avons privilégié la compacité du layout tout en nous assurant d'une recopie satisfaisante. Nous avons donc choisi une longueur de 0.13µm. D'autre part, la réduction du bruit en 1/f des transistors $M_2$ et $M_3$ impose d'augmenter leur surface. Nous devons donc choisir une largeur de grille la plus grande possible (200µm). Pour réduire la résistance de grille de ces transistors, nous avons utilisé quatre vingt-doigts de 2.5µm de large.

Dans l'optique de la réduction du bruit de la référence $I_{bias}$, nous avons implémenté un filtre RC de découplage à la masse du transistor $M_3$. La résistance $R_M$ vaut 400Ω et la capacité de découplage est de 3pF. Ce filtre présente une fréquence de coupure de 133MHz. La valeur de $R_M$ ne doit cependant pas être trop élevée afin de ne pas rajouter de bruit supplémentaire.

Les paramètres de conception du miroir de courant sont résumés dans les tableaux ci-dessous:

| Paramètres | | $M_2$ et $M_3$ |
|---|---|---|
| **Dimensions en [µm]** | **Largeur** | 200 |
| | **Longueur** | 0.13 |
| **Nombre de doigts** | | 80 |
| **Nature du body** | | Contacté à la source |

*Tableau 3- 11: Paramètres de conception des transistors du miroir de courant.*

| Paramètres | Résistance $R_M$ | Capacité $C_M$ |
|---|---|---|
| **Type** | P+ Poly non siliçurée | MIM |
| **Valeur** | 400Ω | 3pF |
| **Dimensions** | 7µm | 35µmx35µm |
| **Nombre de contacts** | 20 | - |
| **Nombre de vias** | - | 22 |

*Tableau 3- 12: Paramètres de conception du filtre de découplage du miroir de courant.*

### 2. Le filtre de bruit LC

La technique de filtrage du bruit du miroir de courant a été présentée récemment dans [HEGAZI01] et [ANDREANI02]. Le comportement de la structure active peut être apparenté à celui d'un mélangeur. Son rôle est de convertir le bruit thermique du miroir de courant présent notamment autour de $2\omega_0$[12] en bruit de phase autour de la fréquence centrale.

Une méthode intéressante pour réduire la contribution du transistor $M_2$ en bruit thermique est d'introduire un filtre LC entre la source commune de la paire différentielle ($V_{source}$) et le drain de $M_2$. Ce filtre est illustré sur la Figure 3- 37.

[12] où $\omega_0$ est la pulsation du signal de sortie.

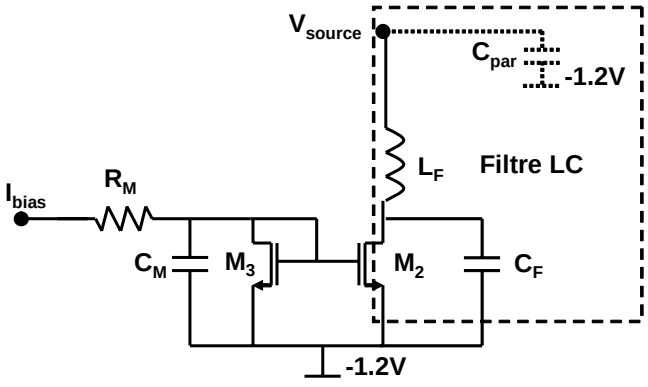



*Figure 3- 37: Filtre de bruit LC sur le miroir de courant.*

L'inductance $L_F$ est en série avec $C_F$. La capacité parasite, $C_{par}$, des transistors de la paire différentielle est en parallèle avec ($L_F$,$C_F$). L'inductance est conçue pour que le montage résonne à $2\omega_0$ sur le nœud $V_{source}$ ($L_F$, $C_{par}$). Le filtre ainsi réalisé présente une forte impédance à $2\omega_0$ sur le nœud $V_{source}$ et assure un fonctionnement normal de la paire différentielle. La capacité $C_F$ (de forte valeur) découple $M_2$ à la masse (-1.2V) et permet ainsi de filtrer son bruit thermique.

Afin de comprendre les mécanismes mis en jeu, supposons très grande la résistance $R_{DS}$ du transistor $M_2$. $R_{DS}$ en parallèle à $C_F$ est alors négligeable. Le schéma équivalent simplifié du filtre est décrit par la Figure 3- 38.

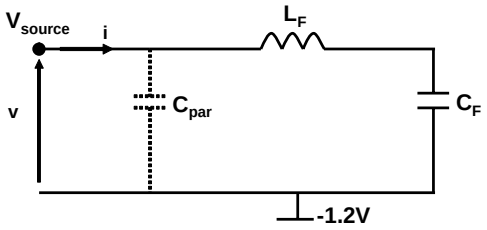



*Figure 3- 38: Schéma équivalent simplifié du filtre LC.*

L'impédance équivalente, $Z_{eq}$, au nœud $V_{source}$ est égale à:

$$Z_{eq} = \frac{1}{j\omega \cdot C_{par} + \frac{1}{j\omega \cdot L_F + \frac{1}{j\omega \cdot C_F}}} \qquad (3\text{-}34)$$

Après réduction, on obtient:

$$Z_{eq} = \frac{1}{\left(C_F + C_{par}\right)} \cdot \frac{1 + (j\omega)^2 \cdot L_F \cdot C_F}{1 + (j\omega)^2 \cdot L_F \cdot C_{eq}} \qquad (3\text{-}35)$$

où

$$C_{eq} = \frac{C_F \cdot C_{par}}{C_F + C_{par}} \qquad (3\text{-}36)$$

Le comportement de l'impédance $Z_{eq}$ est représenté sur la Figure 3- 39:

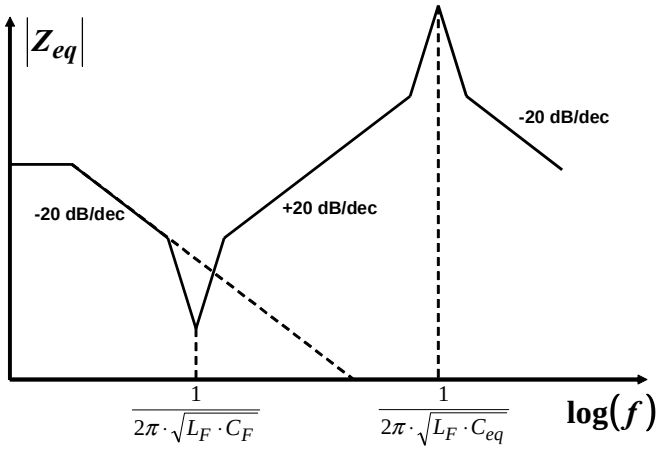



*Figure 3- 39: Impédance équivalente du filtre LC en fonction de la fréquence.*

Afin de maximiser l'impédance $Z_{eq}$ à $2\omega_0$, il faut satisfaire la relation suivante:

$$\frac{1}{\sqrt{L_F \cdot C_{eq}}} = 2 \cdot \omega_0 \qquad (3\text{-}37)$$

Nous ne disposons pas d'outil d'extraction des capacités parasites sur SOI. Nous avons donc simulé la capacité parasite d'un transistor de la structure active sur BULK. En tenant compte des études sur la réduction d'environ 30% des capacités parasites sur SOI [BERNSTEIN01], nous avons estimé $C_{par}$ à 50fF.

Les paramètres de conception du filtre LC sont résumés dans le Tableau 3- 13:

| Paramètres | $C_{par}$ | $L_F$ | $C_F$ |
|---|---|---|---|
| **Valeur** | 50fF | 400pH | 3pF |

*Tableau 3- 13: Paramètres de conception du filtre LC.*

L'inductance $L_F$ a été simulée à l'aide du même modèle électrique que celui de l'inductance de 500pH du résonateur. La capacité $C_F$ est une capacité MIM de 35µm de côté.

Ce filtre est utilisé dans les circuits VCO3 et VCO6.

### 3. Le filtre de réjection du bruit d'alimentation

Nous avons aussi conçu un filtre RC de réjection du bruit d'alimentation.

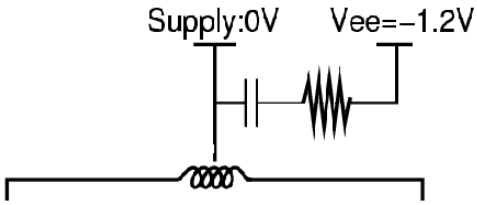



*Figure 3- 40: Conception du filtre de réjection du bruit d'alimentation*

Ce filtre est constitué d'une capacité MIM de 20pF en série avec 10 résistances parallèles de type Poly N+ siliçuré de 100Ω équivalentes à 10Ω. La réjection du bruit de l'alimentation bénéficiera en plus d'une inductance de "bonding" lors du montage sur la carte de test. La résistance série équivalente réduit le facteur de qualité du filtre de manière à éviter toute résonance parasite pouvant gêner le fonctionnement du VCO.

### 4. Anneau de garde

L'alimentation (0V) du circuit est conçue de façon spécifique pour la haute fréquence. Une structure dite, anneau de garde "ouvert", protège le circuit de l'environnement extérieur. Cet anneau est réalisé par la superposition des six niveaux de métaux, de manière à minimiser la résistance série pour avoir en tout point du circuit un potentiel uniforme. A partir de cet anneau de garde, on réalise les connections au plus court.

### III.3.3.4. LES BUFFERS DE SORTIE

Le cœur du VCO étant très sensible aux capacités ramenées aux bornes du résonateur, nous avons introduit un étage suiveur d'isolation entre le VCO et les buffers de sortie (Figure 3-41).

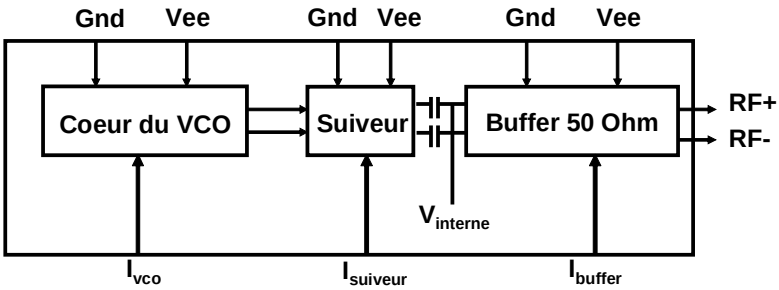



*Figure 3- 41: Architecture globale des circuits*

Nous avons aussi implémenté des capacités de liaison entre le suiveur et les buffers. Ces capacités sont transparentes pour le signal haute fréquence, mais permettent de régler en interne la polarisation continue des buffers ($V_{interne}$). Les buffers sont deux paires différentielles en cascade chargées respectivement sur 100Ω et sur 50Ω. Ainsi, chaque sortie (RF+ et RF-) est chargée sur 50Ω et permet une interface aisée avec les appareils de mesure. Les courants de polarisation sont de 2mA, 5mA et 8mA pour les étages suiveurs et buffers respectivement.

Les schémas électriques de l'étage suiveur et des étages buffers, ainsi que les paramètres de conception, sont présentés en annexe 3.

On remarquera que les étages buffers ne sont utiles que lorsque l'on veut tester le circuit VCO seul. Lorsque le VCO est intégré dans un CDR, on peut éliminer les éliminer.

### III.3.3.5. RESULTATS DE SIMULATION

Les simulations des circuits VCO et oscillateurs ont été réalisées à l'aide du logiciel eldoRF version 6.3. Ces résultats de simulation ont largement évolué au cours de ce travail puisque les modèles ont été développés en parallèle. Nous présentons les résultats de simulation les plus récents. Les modèles de transistors utilisés sont les modèles DC et RF développés au LETI. Les modèles de varactors sont des modèles sur CMOS/BULK 0.13µm. Enfin, les modèles d'inductances sont les modèles extraits de nos simulations électromagnétiques sur la dernière version de Momentum. Les simulations suivantes sont réalisées sans les étages de sortie. Les modèles disponibles aujourd'hui ne permettent pas de simuler l'ensemble des circuits. En effet, le comportement non linéaire des circuits provoque des problèmes de convergence.

#### 1. Simulations temporelles

Les simulations temporelles ne sont pas toutes possibles. Pour un même VCO, des problèmes de convergence surviennent à différentes tensions de contrôle des varactors. Nous présenterons donc les résultats les plus pertinents qu'il a été possible de simuler.

Le Tableau 3- 10 présente les résultats de simulation sur les différents circuits:

| **Circuits** | **Fréquence d'oscillation en [GHz]** | | | **Plage de fréquence Δf/f en [%]** | **Amplitude du signal différentiel en [V] à $V_c$=0V (cœur du VCO)** |
|---|---|---|---|---|---|
| | **$V_c$=-1V** | **$V_c$=0V** | **$V_c$=+1V** | | |
| **VCO1**[13] | NC<br>13,9 à $V_c$=-2V | NC | NC | - | - |
| **VCO2** | 10 | 11,11 | NC<br>12,22 à $V_c$=0.5V | NC | 3,4 |
| **VCO3** | 10,27 | 11,75 | 14,2 | 32 | 3,45 |
| **VCO4** | 10,38 | 11,27 | 13,28 | 27 | 3,7 |
| **VCO5** | NC<br>11,64 à $V_c$=-2V | 13,35 | NC | - | 2,13 |
| **VCO6** | 13,53 | 11,54 | 10,28 | 27 | 4,22 |
| **OSC1** | 9,8 | | | 0 | 4,31 |
| **OSC2** | 8,83 | | | 0 | NC |
| **VCO9Diff** | **$V_c$+=-1<br>$V_c$-=+1** | **$V_c$+=$V_c$-=0V** | **$V_c$+=+1V<br>$V_c$-=-1 V** | | |
| | 7,29 | 8,06 | 9,76 | 30,64 | NC |

*Tableau 3- 14: Résultats des simulations temporelles.*

[13] NC traduit la non-convergence de la simulation et Vc la valeur de la tension de contrôle des varactors.

La fréquence centrale du VCO2, à body contacté, est la fréquence attendue par rapport aux premières simulations que nous avons effectuées sur CMOS/BULK 0.13µm. La plage de variation ne peut pas être connue car la simulation ne converge pas pour la fréquence la plus haute.

Le VCO4, à transistors body flottant présente une fréquence légèrement plus élevée que celle du VCO2. Ceci peut s'expliquer par la réduction des capacités parasites des transistors à body flottant. La plage de variation de fréquence simulée est de 27%. Cette plage est supérieure à la variation de 18% prévue. De plus, l'amplitude différentielle est aussi légèrement supérieure pour le VCO4, les transistors à body flottant ont en effet une plus forte transconductance à courant égal.

Concernant le VCO5, la fréquence centrale théorique devrait être plus élevée que celle du VCO2 de 5%, puisque l'inductance est de 500 pH au lieu de 550 pH. En réalité, la simulation montre une augmentation de 18%. Ceci peut s'expliquer par la réduction des capacités $C_{ox}$ prises en compte dans notre modèle de l'inductance de 500 pH (un tour et une surface plus petite). Il sera intéressant d'observer si ce modèle est vérifié par les mesures.

La différence entre les oscillateurs OSC1 et OSC2 est la taille des transistors. Les transistors de OSC2 occupent une surface double. Les capacités parasites prises en compte par le modèle des transistors sont donc plus importantes, d'où une baisse de la fréquence d'oscillation.

Le VCO9 différentiel emploie des varactors NMOS montés en différentiel. La simulation montre une plage de fréquence de 30%. On notera que la fréquence centrale de 8GHz a été simulée en harmonique balance comme OSC2 et VCO4. Cette fréquence inférieure à l'objectif résulte du fait que nous ne disposions pas, au moment de la conception, de modèle permettant de l'ajuster.

Les VCO3 et 6 sont les seuls à disposer du filtre LC. VCO3 utilise des varactors NMOS et VCO6 des varactors PMOS. Les fréquences basses et centrales sont voisines pour ces deux VCO. La fréquence haute du VCO3 est bien supérieure à celle du VCO6 (670MHz). Notons la valeur élevée du signal différentiel du VCO6.

Il aurait été intéressant de pouvoir comparer (VCO1, VCO2) et (VCO6, VCO3). Ces deux couples varactors (PMOS, NMOS) sont identiques à l'exception du filtre LC. Malheureusement, la non convergence du VCO1 empêche cette comparaison. Nous pouvons peut-être attribuer la non convergence de VCO1 au modèle du varactor PMOS. Par contre, la présence du filtre LC sur le VCO6, à varactors PMOS, semble permettre la convergence du modèle.

A titre d'exemple, la sortie différentielle du VCO 2, comportant des varactors NMOS, est représentée sur la Figure 3- 42:

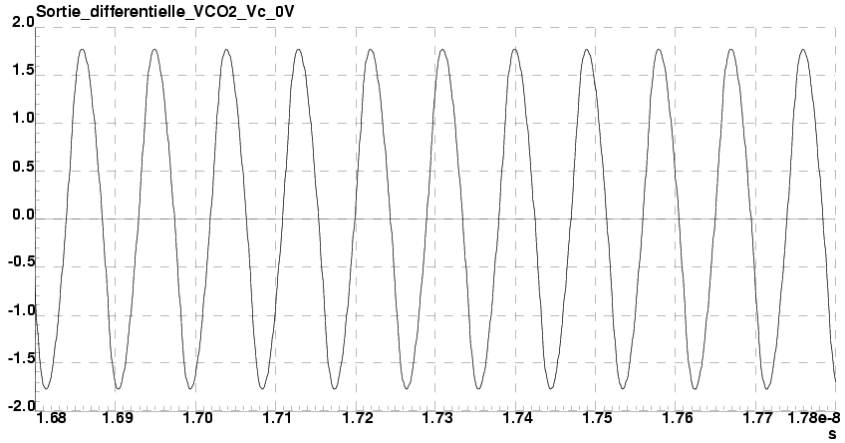



*Figure 3- 42: Sortie différentielle du VCO 2 (Tension de contrôle=0V).*

Les oscillations sont établies au bout de 12ns et la fréquence est de 11,11GHz.

En conclusion, les simulations temporelles ont démontré une bonne adéquation avec nos objectifs de conception. Mais il faut garder en mémoire que les varactors simulés utilisent des modèles en CMOS/BULK et non des modèles en CMOS/SOI, qui n'existent pas.

### 2. Simulations du bruit de phase

Les simulations du bruit de phase à 1MHz de la fréquence d'oscillation sont résumées dans le Tableau 3- 15:

| **Circuits** | **Bruit de phase à 1MHz en [dBc/Hz]** | | **Δ en [dB]** |
|---|---|---|---|
| | **Vc=-2V** | **Vc=0V** | |
| **VCO1** | -94,4 | -102,2 | -7,8 |
| **VCO2** | -109 | -106 | 3 |
| **VCO3** | -111 | -107 | 4 |
| **VCO4** | -102,2 | -97,2 | 5 |
| **VCO5** | -109 | -106 | 3 |
| **VCO6** | -97,6 | -107 | -9,4 |
| **OSC1** | -102 | | |
| **OSC2** | -106 | | |
| **VCO9Diff** | **Vc+=-1 et Vc-=+1** | **Vc+=0 et Vc-=0** | **Δ en [dB]** |
| | -112 | NC | NC |

*Tableau 3- 15: Résultats de simulation du bruit de phase à 1MHz.*

Sur toutes les plages de fréquences et pour tous les circuits, les bruits de phase sont compris entre -94 et -112dBc/Hz à 1MHz.

Comme attendu, les circuits les moins performants en bruit de phase sont VCO1 et VCO4. Le VCO4, de part la nature des transistors à body flottant, peut être sujet à la conversion de l'effet kink autour de la fréquence d'oscillation. Le VCO 4 utilise des varactors NMOS. Ainsi, à Vc=-2V, la fréquence d'oscillation est la plus basse et se traduit par un niveau de bruit de phase plus faible.

Le VCO1 utilise des varactors PMOS. A Vc=-2V, la fréquence d'oscillation est maximale et le gain du VCO est faible. De plus, nous avons montré que le coefficient de qualité à 10GHz est meilleur à Vc=-2V qu'à Vc=0V. Cependant la fréquence d'oscillation à Vc=-2V est supérieure à 10GHz. Le coefficient de qualité résultant est donc diminué. La simulation montre que les performances en bruit de phase sont moins bonnes à Vc=-2V qu'à Vc=0V. Il en est de même pour le VCO6 qui utilise aussi des varactors PMOS. Dans ce cas, la simulation montre que le filtre LC du VCO6 améliore les performances en bruit de phase. On remarquera que $\Delta$, qui est l'écart entre les bruits de phase à Vc=0V et Vc=-2V, est négatif dans ces deux cas et supérieur en valeur absolue à celui des autres VCO. En effet, le gain ($K_{VCO}$) de ces deux circuits à varactors PMOS est de signe opposé à celui des VCO à varactors NMOS. De plus, la polarisation de $V_C$ dans ce cas correspond au $K_{VCO}$ le plus fort.

Le VCO3, utilisant le filtre LC est meilleur que le VCO2 identique mais sans filtre. Ce résultat semble lui aussi montrer l'efficacité du filtre LC.

Le VCO5 avec l'inductance de 500pH et des varactors NMOS de 700fF a des performances similaires à celles du VCO2. Or, de part le facteur de qualité plus faible de son inductance et la fréquence d'oscillation plus élevée, le VCO5 devrait avoir des performances en deçà du VCO2. Il sera intéressant de comparer ces résultats de simulation avec la mesure.

Enfin, le VCO9 différentiel a pu être simulé seulement à la fréquence basse (7,29GHz) à cause de problèmes de convergence. Son bruit de phase est très bon (-112dBc/Hz à 1MHz). Ces résultats confirment l'amélioration que pourrait apporter cette architecture innovante.

Concernant les oscillateurs, le facteur de qualité simulé d'une capacité MIM à 10GHz est d'environ 143, soit deux à trois supérieur au facteur de qualité d'un varactor NMOS. Cependant, l'inductance présente un facteur de qualité plus faible que les varactors. Le facteur de qualité du résonateur est donc limité par l'inductance et non par le varactor ce qui est confirmé par les mesures. Cependant, on note l'effet positif de l'augmentation de la surface des transistors. On gagne 4dB sur le bruit de phase avec OSC2.

A titre d'exemple de simulation du bruit de phase, la Figure 3- 43 illustre le bruit de phase du meilleur VCO simulé (VCO3) et la Figure 3- 44 présente celui du VCO4. Il est intéressant de remarquer sur cette dernière figure l'inflexion de la courbe autour de 1MHz qui correspond à la conversion de l'effet kink autour de la fréquence d'oscillation.

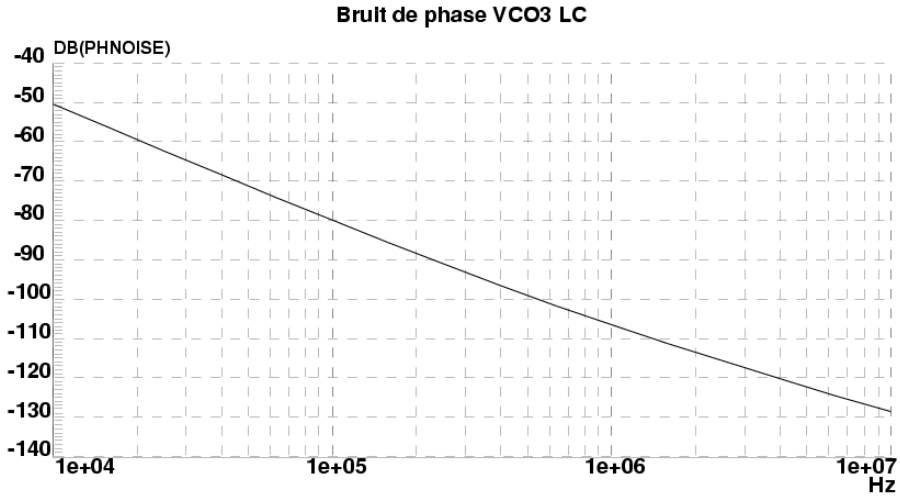



*Figure 3- 43: Résultat simulé du bruit de phase du VCO3.*

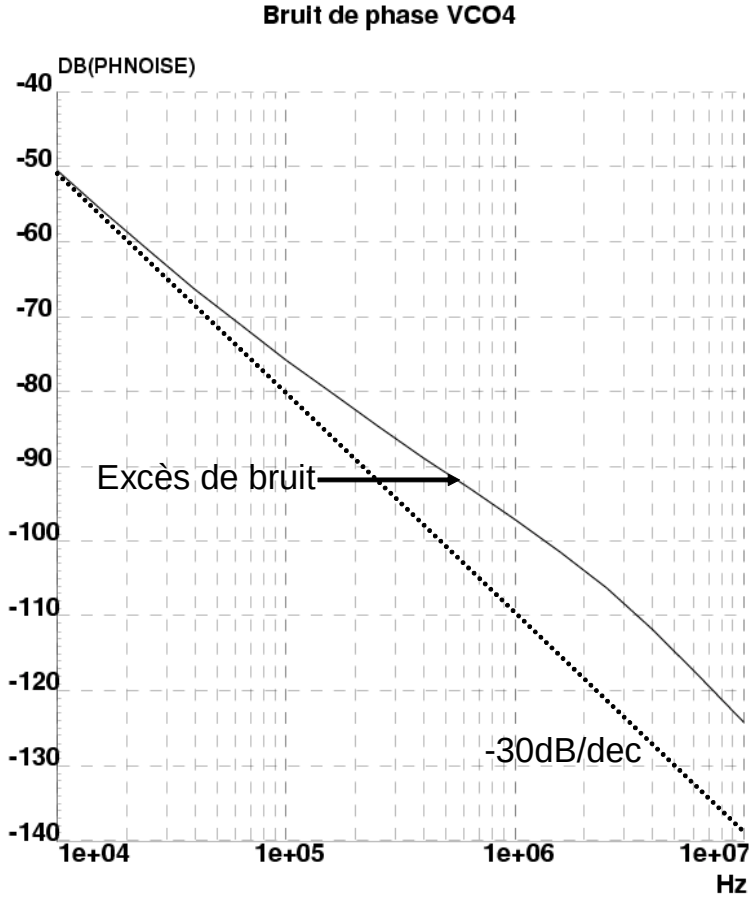



*Figure 3- 44: Résultat simulé du bruit de phase du VCO4.*

En conclusion, la simulation de bruit de phase confirme pour une très grande part les choix que nous avions faits dans la feuille de route. Cependant, dans certains cas évoqués plus haut, les simulations montrent leurs limites et les mesures effectuées sur les circuits nous permettront peut-être de lever ces incertitudes.

### III.3.3.6. CONCEPTION DE LA CARTE DE TESTS

Les mesures que nous effectuerons sur les circuits sont, pour la majeure partie, réalisées sous pointes. Cependant, la mesure du bruit de phase a été faite hors du laboratoire sur les équipements de la société Aeroflex à Paris. Pour ce faire, nous avons du concevoir une carte de test.

Dans un premier temps, nous avons réalisé un dossier de conception détaillé pour pouvoir sous traiter la réalisation de la carte. Ce dossier de conception a été réalisé en collaboration avec l'ingénieur test du laboratoire. Les spécifications techniques ont fait partie de notre travail en mettant en évidence les contraintes particulière liées aux tests de nos circuits. La contrainte "haute fréquence" implique :

- un filtrage efficace de toutes les polarisations,
- un plan sous la puce à un potentiel de -1.2 V,
- des interconnections les plus courtes possible pour les signaux hautes fréquences,
- et enfin des contraintes d'isolations entre les signaux RF et les polarisations continues.

La Figure 3- 45 illustre le plan à -1.2V entre la carte et la puce:

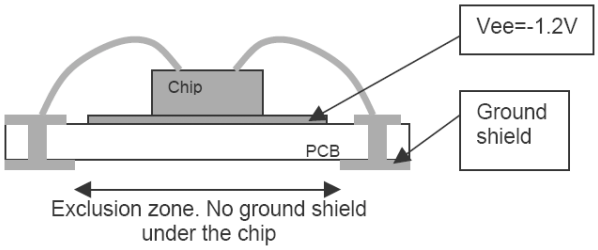



*Figure 3- 45: Vue schématique en coupe de la carte de test.*

Le dessin de la carte de test est représenté sur la Figure 3- 46. Celle-ci est réalisée sur le substrat Roger RO4003.

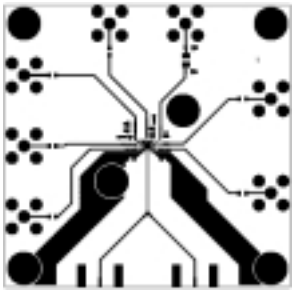


*Figure 3- 46: Dessin de la carte de test.*

Le schéma électrique correspondant est représenté sur la Figure 3- 47:

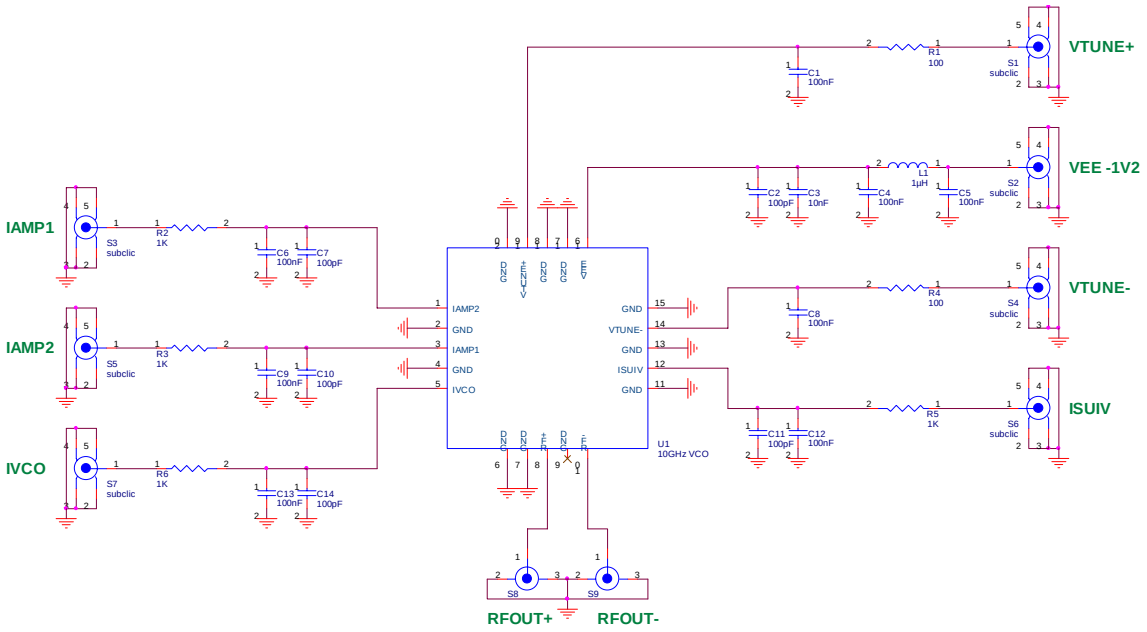



*Figure 3- 47: Schéma électrique de la carte de test.*

### III.3.3.7. CONCLUSION

La conception des circuits à 10GHz a consisté tout d'abord à spécifier un cahier des charges pour les applications "liens haut débit à 40Gbit/s" à transmission parallèle. Nous avons ensuite établi une feuille de route pour permettre la validation des choix technologiques offerts par le CMOS/SOI Haute Résistivité 0.13µm. La simulation électromagnétique des inductances nous a permis de construire un modèle sur substrat HR. Nous avons conçu le résonateur, la structure active, et neuf circuits VCO et oscillateurs. Enfin, nous avons spécifié une carte de test pour la mesure du bruit de phase.

Nous allons maintenant détailler la conception d'un VCO multi-phases 4x10GHz dédié à la transmission série 40Gbit/s.

# III.4. ETUDE ET CONCEPTION DU VCO MULTI-PHASES 4X10GHZ EN CMOS/SOI

## III.4.1. INTRODUCTION

La solution que nous avons étudiée jusqu'à présent (la transmission parallèle à 10Gbit/s) présente des inconvénients majeurs pour le développement de liens haut débit à 40Gbit/s. Ces inconvénients sont:

- la multiplication par quatre des équipements électroniques tels que les CDR, les VCO ou encore les supports de transmission,
- un coût beaucoup plus élevé du bit transmis,
- une limitation à l'évolution vers des débits plus élevés dans la mesure où l'on ne peut pas paralléliser un grand nombre de liens.

Par ailleurs, une solution 40Gbit/s "full rate" présente également des difficultés importantes. Ceci a conduit à la mise en œuvre d'architecture "half rate" puis "quarter rate" [LEE03]. Une architecture "quarter-rate" consiste à recevoir un flot de données à 40Gbit/s. Le traitement de ces données et notamment la récupération de l'horloge et des données s'effectue à l'aide d'un VCO multi-phases 4X10GHz (Figure 3- 48).

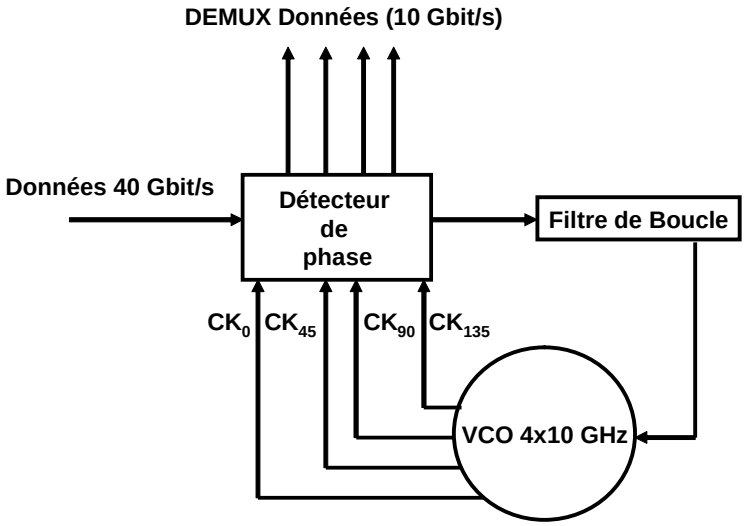



*Figure 3- 48: Architecture d'un CDR multi-phases 40Gbit/s.*

Ce VCO multi-phases génère quatre signaux à 10GHz déphasés de 0°, 45°, 90°, 135 °.

Le diagramme temporel d'échantillonnage des données est illustré sur la Figure 3- 49:

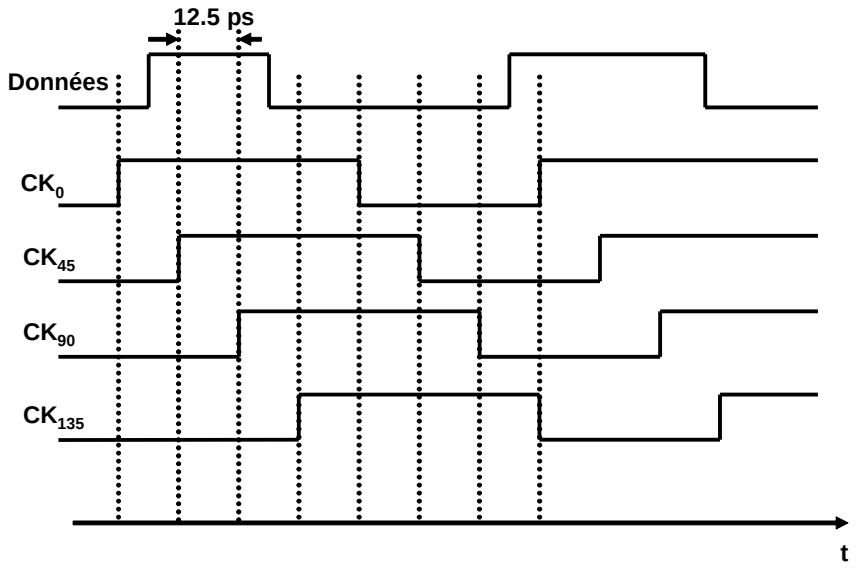



*Figure 3- 49:Diagramme temporel du CDR multi-phases 40Gbit/s.*

Les travaux de [LEE03] en CMOS 0.18µm ont montré la faisabilité de ce type de circuits. Au vu de l'expérience acquise sur les VCO LC NMOS 10GHz en CMOS/SOI-PD HR 0.13µm, nous avons pensé qu'il serait intéressant de développer un circuit original multi-phases 4x10GHz dans cette technologie avec, comme objectif, d'améliorer les performances en termes de plage de fréquence, de bruit de phase, et de consommation.

Rappelons que les modèles pour concevoir un circuit de ce type en CMOS/SOI-PD ne sont pas tous disponibles, ni matures. Mais les résultats décrits précédemment nous incitent à poursuivre ce travail de recherche.

Nous présenterons tout d'abord une synthèse des architectures multi-phases à base de cellules LC. Nous étudierons ensuite le bruit de phase pour cette architecture de manière à aborder ensuite la conception d'un VCO multi-phases performant.

## III.4.2. SYNTHESE SUR LES ARCHITECTURES DE VCO MULTI-PHASES LC

### III.4.2.1. ETAT DE L'ART DES VCO CMOS MULTI-PHASES

Selon le nombre et le déphasage des sorties différentielles du VCO, celui-ci est appelé VCO en quadrature ou VCO multi-phases:

- les VCO en quadrature génèrent deux sorties différentielles déphasées de 90°,
- les VCO multi-phases génèrent un nombre de sorties différentielles supérieures à deux, et dont le déphasage dépend du nombre de signaux.

Pour notre travail, nous avons besoin d'un VCO multi-phases à quatre sorties différentielles déphasées de 0°, 45°, 90° et 135°.

A haute fréquence, le VCO en anneau à résonateur LC présente des avantages sur les VCO en anneau à relaxation (RC):

- la charge inductive permet de résonner à la fréquence centrale $f_0$. On s'affranchit alors des capacités de charge de l'amplificateur;
- la sélectivité du résonateur LC est bien plus grande que celle d'une charge RC. On peut donc s'attendre à une réduction du bruit de phase;
- enfin, la réduction de la résistance ohmique de l'étage permet de réduire la tension d'alimentation et donc la puissance dissipée.

L'inconvénient majeur d'un VCO en anneau à résonateur LC est la surface occupée par les inductances. Toutefois, à haute fréquence, les inductances utilisées sont de faibles valeurs et donc de faibles surfaces.

En 2002, date de début du travail de thèse, seuls quelques travaux ont été publiés sur la conception de VCO multi-phases à résonateurs LC. [TCHANOV97], [WU98] et [HWANG99] ont présenté des résultats de simulation sur des VCO en quadrature et multi-phases à trois signaux différentiels. Cependant, les travaux de [KIM00] décrivent le premier VCO multi-phases à résonateur LC réalisé et testé en technologie CMOS 0.6µm. Ce VCO en anneau est constitué de quatre étages à paire différentielle NMOS croisée. La fréquence centrale de ce VCO est de 850MHz. Les performances en bruit de phase sont représentatives de l'état de l'art de l'époque (-131dBc/Hz à 600 kHz d'offset). Cependant, la plage de fréquence de 10% est relativement faible. Cette limitation semble provenir de la mise en cascade de VCO LC à paire différentielle

croisée: chaque résonateur oscille indépendamment autour de sa fréquence de résonance. Le couplage entre les VCO n'est donc pas optimal.

Le couplage entre les résonateurs LC d'un VCO en anneau a été étudié dans [VANDERTANG02]. Ces travaux montrent que l'introduction d'un déphaseur dans le circuit permet de garantir un déphasage nul aux bornes des résonateurs. Le facteur de qualité à la fréquence centrale est ainsi maximal. La Figure 3- 50 illustre la fonction de transfert et le déphasage aux bornes du résonateur.

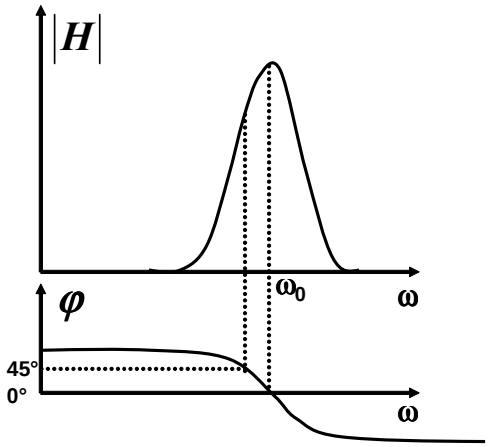



*Figure 3- 50: Fonction de transfert et déphasage du résonateur LC.*

Cependant, dans un VCO multi-phases 4x10GHz, le déphasage naturel aux bornes du résonateur est de 45°. Or le gain en bruit de phase simulé lorsque l'on utilise un déphaseur idéal de -45° est de 2.5dB [VANDERTANG02]. Ce gain est détérioré par le déphaseur réel si celui-ci est actif. Il engendre alors du bruit et induit donc un niveau de bruit de phase plus élevé. Si ce déphaseur est passif, il est nécessaire de compenser les pertes et donc d'augmenter la puissance consommée.

Une technique intéressante de couplage de VCO LC pour réaliser un VCO en quadrature est présentée dans [GIERKINK03]. Le VCO réalisé utilise un couplage par les harmoniques d'ordre 2 de deux VCO LC NMOS. Cette technique reprend l'idée du filtre LC, que nous avons implémenté dans les VCO LC NMOS 10GHz. La quadrature est réalisée, d'une part par un couplage à l'aide du filtre LC et d'autre part par un circuit de mise en quadrature des deux VCO. Le couplage permet de réduire le bruit de phase du circuit. Cependant, le circuit de mise en quadrature comportant quatre transistors NMOS en anneau s'est avéré, dans nos simulations, trop sensible à la géométrie et aux capacités parasites. De plus, seule une technique complexe permet d'adapter cette mise en quadrature à la génération de quatre signaux déphasés de 45°.

Les seuls VCO multi-phases à 10GHz en CMOS ont été publiés par [LEE03] et [GU03] au cours de notre travail. Les deux VCO génèrent quatre signaux différentiels. Le premier est un VCO NMOS-PMOS à résonateurs LC qui utilise des lignes de transmission inductives entre

chaque étage, ce qui permet de s'affranchir des inductances. Le second est un VCO NMOS à résonateurs LC dont le premier étage permet d'ajouter un signal injecté au signal oscillant.

Les VCO multi-phases, que nous avons présentés, sont soit de structure active croisée, soit non croisée. La Figure 3- 51 présente les schémas électriques correspondants:

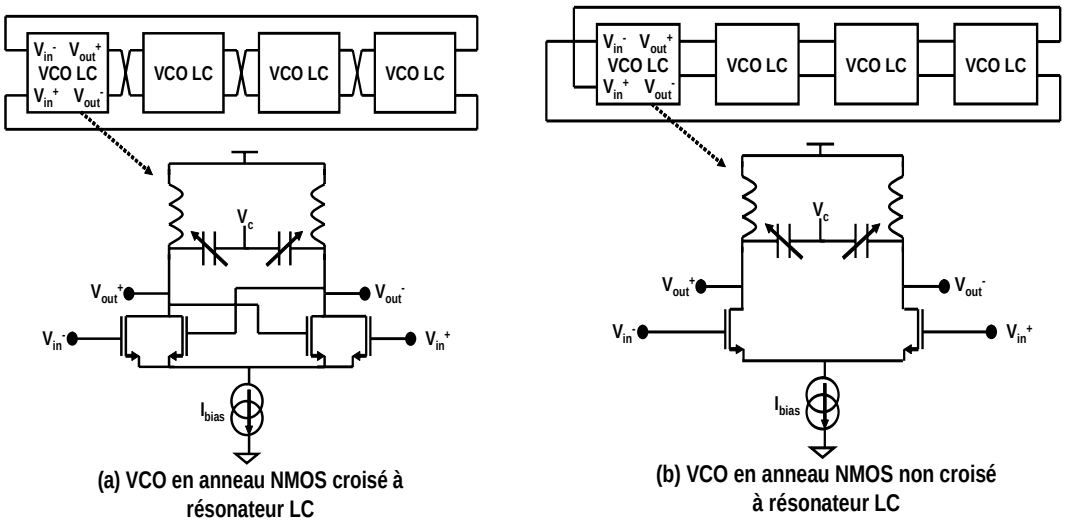



*Figure 3- 51: Les VCO multi-phases à structure active croisée et non croisée*

Le Tableau 3- 16 ci-après présente les performances des VCO en quadrature et multi-phases réalisés en CMOS et en BiCMOS. A notre connaissance, aucun VCO multi-phases en CMOS/SOI à 10GHz n'a été publié.

Les travaux répertoriés sont à des fréquences d'oscillation différentes. Seuls deux VCO fonctionnent autour de 10GHz. Le premier utilise une structure active NMOS non croisée [GUO3]. Le second VCO est réalisé à l'aide d'une structure active NMOS-PMOS croisée et utilise l'inductance des lignes de transmission. Les deux VCO sont réalisés en CMOS 0.18µm sans déphaseur. Les performances de ces VCO sont similaires. On notera une amélioration de 4dB du bruit de phase à 1MHz pour la seconde réalisation.

| Références | Fréquence centrale $f_0$ [GHz] | Plage de fréq $\Delta f / f$ [%] | Puissance consommée $P_{diss}$ [mW] | Bruit de phase à 1MHZ L(1MHz) [dBc/Hz] | Technologie | Architecture |
|---|---|---|---|---|---|---|
| **[KIM00]** | 0,85 | 10,0 | 26,0 | -139 | CMOS 0.6µm | Multi NMOS croisée |
| **[ELSAYED01]** | 1,93 | 5,5 | 27,6 | -130 | CMOS 0.35µm | Quadrature NMOS-PMOS croisées |
| **[VANDERTANG02]** | 4,90 | 6,3 | 21,2 | -107 | BiCMOS 30GHz | Quadrature NMOS croisée avec déphaseur |
| **[GU03]** | 9,65 | 11,4 | 32,4 | -101 | CMOS 0.18µm | Multi NMOS non croisées |
| **[GIERKINK03]** | 4,89 | 13,0 | 22,0 | -124 | CMOS 0.25µm | Quadrature NMOS croisée avec Filtre LC et circuit de mise en quadrature |
| **[LEE03]** | 9,94 | 12,0 | NC | -105 | CMOS 0.18µm | Multi NMOS-PMOS croisées avec lignes de transmission |
| **[KIM04]** | 2,27 | 25,0 | 30,0 | -137 | CMOS 0.25µm | Double anneau LC NMOS-PMOS |
| **[TONIETTO04]** | 3,13 | 24,2 | NC | -120 | CMOS 0.13µm | Multi NMOS croisée avec déphaseur |

*Tableau 3- 16: Synthèse des travaux répertoriés sur les VCO multi-phases en CMOS et en BICMOS.*

### III.4.2.2. MODELISATION SPECIFIQUE DU BRUIT DE PHASE

La modélisation du bruit et de l'erreur de phase dans les VCO multi-phases est encore un sujet peu étudié. [SAMORI05] adresse ce problème dans le cas des VCO multi-phases à structure active croisée, $G_m$, associée à une paire différentielle $G_{mc}$. La Figure 3- 52 illustre le modèle électrique de ce VCO:

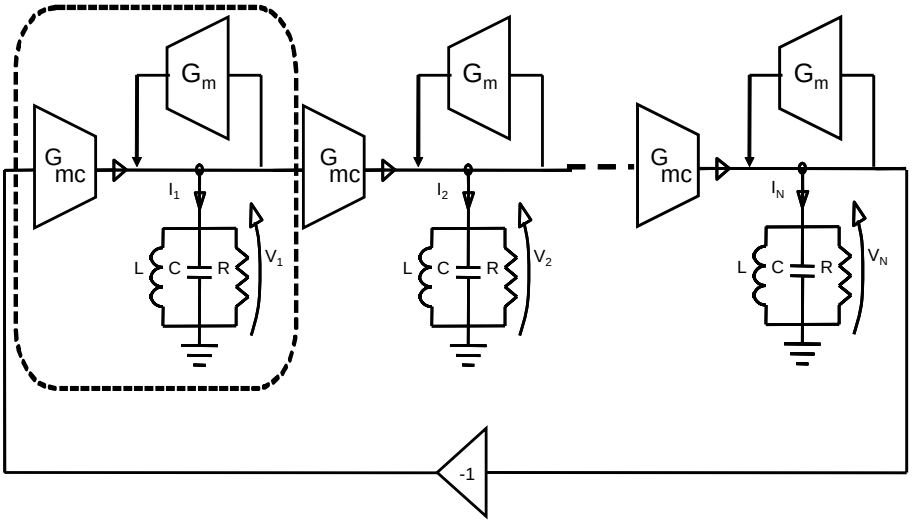



*Figure 3- 52: Schéma électrique du VCO multi-phases à structure active $G_m$ croisée.*

Les principaux résultats de modélisation sont les suivants:

La fréquence d'oscillation $f_0$ du VCO multi-phases vaut :

$$f_o = \frac{1}{2\pi}\sqrt{\omega_{res}{}^2 + \left(\frac{\omega_{res}}{2Q}\cdot\frac{m\sin(\varphi)}{1+m\cos(\varphi)}\right)^2} - \frac{\omega_{res}}{2Q}\cdot\frac{m\sin(\varphi)}{1+m\cos(\varphi)} \qquad (3\text{-}38)$$

Où $\omega_{res}$ est la pulsation de résonance du résonateur,

Q est le facteur de qualité en charge,

m est le rapport de $G_{mc}/G_m$,

et $\varphi$ est le déphasage introduit par chaque étage et vaut:

$$\varphi = \frac{-\pi}{N} \qquad (3\text{-}39)$$

où N est le nombre d'étages du VCO.

Pour N=1 ou un facteur de qualité en charge du résonateur très élevé, on retrouve la fréquence de résonance du résonateur.

En boucle fermée, le déphasage aux bornes du résonateur est représenté sur la Figure 3- 53:

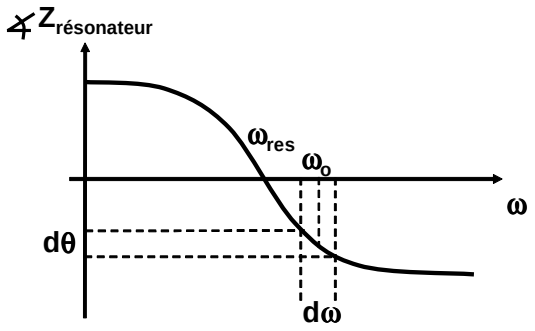



*Figure 3- 53: Déphasage en boucle fermée aux bornes du résonateur.*

La variation de fréquence dω en fonction d'une impulsion de courant $i_n$ aux bornes du résonateur s'exprime par:

$$d\omega = \frac{\omega_{res}}{2Q} \cdot \frac{1}{N} \cdot \frac{R}{A} \cdot D \cdot i_n \qquad (3\text{-}40)$$

où $\omega_{res}$ est la pulsation de résonance du résonateur, Q est le facteur de qualité en charge, N est le nombre d'étages, A est l'amplitude des oscillations et R la résistance parasite du résonateur. D est un facteur supérieur à 1 qui traduit le fait que le circuit n'oscille pas à la résonance du résonateur. $i_n$ est une impulsion de courant injectée sur une sortie du résonateur n.

Les simulations de la sensibilité de la fréquence des VCO multi-phases et VCO LC NMOS à une impulsion de courant en fonction du nombre d'étages N et du rapport m, sont illustrées sur la Figure 3- 54:

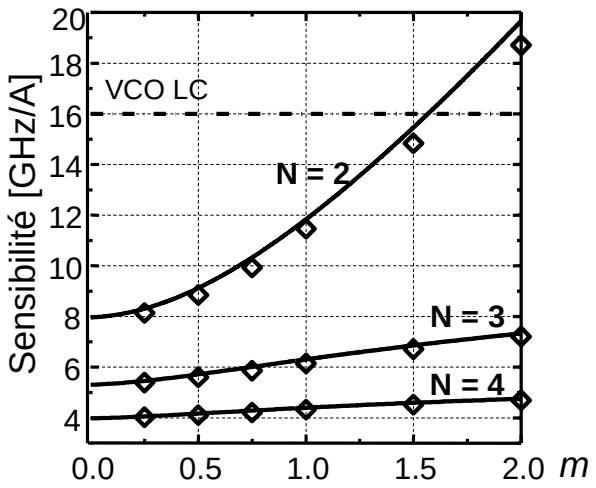



*Figure 3- 54: Sensibilité fréquentielle des VCO multi-phases (lignes pleines et LC NMOS (pointillés) à une impulsion en courant.*

Dans le cas envisagé d'un VCO multi-phases 4x10GHz, N vaut 4 et la sensibilité du VCO multi-phases en fréquence à une impulsion de courant est quatre fois inférieure à celle du VCO LC seul. La sensibilité varie très peu avec le coefficient m. Ces résultats de simulation sont très favorables et permettent d'envisager une très bonne stabilité en fréquence.

En considérant les N sources de bruits non corrélées, l'expression du bruit de phase $L_N(f_m)$ en sortie du VCO à une fréquence $f_m$ de la fréquence d'oscillation vaut:

$$L_N(f_m) = \frac{kT}{C} \cdot \frac{\omega_{res}}{Q} \cdot \frac{1}{4\pi^2 f_m{}^2} \cdot \frac{D^2}{N} \cdot \frac{1+F_N}{A^2} \qquad (3\text{-}41)$$

où k est la constante de Boltzmann, T est la température en [K], C est la capacité d'un résonateur, Q est le facteur de qualité en charge, $f_m$ est la fréquence d'offset en [Hz], N est le nombre d'étages, D est le facteur de déviation de la fréquence d'oscillation, A est l'amplitude en [V] et $F_N$ est le facteur de bruit prenant en compte le bruit des transistors de la structure active.

On remarquera que le bruit de phase est inversement proportionnel au nombre d'étages. On s'attend donc à un bruit de phase meilleur avec une structure à quatre étages qu'avec une structure à deux étages (augmentation de la sélectivité du filtrage). Le facteur de bruit $F_N$ est plus grand dans cette structure croisée que dans un VCO seul. Ceci est dû à l'apport en bruit de la paire différentielle $G_{mc}$. Une structure non croisée, n'utilisant que la paire différentielle, devrait avoir un bruit de phase inférieur à la structure croisée.

Le compromis entre le bruit de phase et la puissance dissipée peut s'exprimer par la figure de mérite $F_{Mérite}$:

$$F_{Mérite} = \left(\frac{\omega_0}{\omega_{fm}}\right)^2 \cdot \left(\frac{1}{P_{diss} L_N(f_m)}\right) \qquad (3\text{-}42)$$

où $\omega_0$ est la pulsation d'oscillation en [Hz], $\omega_{fm}$ est la pulsation d'offset en [Hz], $P_{diss}$ est la puissance dissipée par le VCO et $L_N(f_m)$ est le bruit de phase à la fréquence d'offset $f_m$.

La Figure 3- 55 ci-après décrit la variation de $F_{Mérite}$ en fonction du paramètre m et du nombre d'étages N.

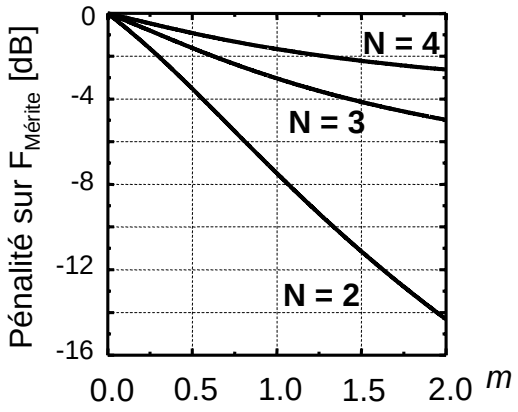



*Figure 3- 55: Pénalité sur la figure de mérite $F_{Mérite}$ en fonction de N et de m.*

D'après ces résultats de simulation, la pénalité sur $F_{Mérite}$ diminue avec le nombre d'étages. Cependant elle augmente avec le facteur m. Pour améliorer les performances à la fois en bruit de phase et en puissance dissipée, il faut donc utiliser un grand nombre d'étages, minimiser le gain $G_{mc}$ de l'étage différentiel et maximiser le gain $G_m$ de la structure active. On notera toutefois que plus N est grand moins le VCO est sensible à m. Ainsi dans le cas envisagé d'un VCO 4x10GHz non croisé, nous devrions être peu sensibles à l'augmentation de m due à l'absence de la structure active croisée.

Ces considérations théoriques démontrent donc l'intérêt de concevoir un VCO multi-phases 4X10GHz à structure non croisée.

## III.4.3. CONCEPTION DU VCO MULTI-PHASES 4X10GHZ

### III.4.3.1. CAHIER DES CHARGES

Le Tableau 3- 4 résume le cahier des charges du VCO 4x10GHz pour la Solution II des systèmes de transmission série 40Gbit/s:

| Paramètres | Spécifications |
|---|---|
| **Fréquence centrale $f_0$ [GHz]** | 11.23 |
| **Bande de fréquence $\Delta f$ [GHz]** | 2.55GHz soit 22.7% |
| **Bruit de phase [dBc/Hz] à 1MHz** | Inférieur à -102dBc/Hz |
| **Puissance de sortie du VCO sans buffer [dBm]** | 2.6 |
| **Réjection du bruit d'alimentation** | 20 |

*Tableau 3- 17: Cahier des charges du VCO 10GHz établi à l'aide des normes SONET OC-768.*

Afin d'assurer une contribution du VCO inférieure à 40% du jitter total alloué au CDR 40Gbit/s (158fs), il faut un bruit de phase inférieur à -102dBc/Hz à 1MHz de la fréquence centrale lorsque la fréquence de coupure du CDR est de 20MHz. Avec cette valeur de bruit de phase, nous pourrons obtenir une amélioration en jitter par rapport aux VCO 40GHz CMOS et CMOS/SOI réalisés à ce jour et décrits dans les publications.

### III.4.3.2. TOPOLOGIE DU VCO MULTI-PHASES 4X10GHZ

#### 1. Schéma électrique

Les choix technologiques proposés et la conception de VCO 10GHz décrits en début de chapitre nous conduisent à retenir l'architecture ci-après. On notera cependant que la conception et la réalisation du VCO multi-phases ont été faites avant le retour de fonderie des circuits 10GHz. Le choix que nous avons retenu n'est pas nécessairement celui que nous aurions fait après les mesures sur les VCO 10GHz.

Le schéma électrique est illustré sur la Figure 3- 56.

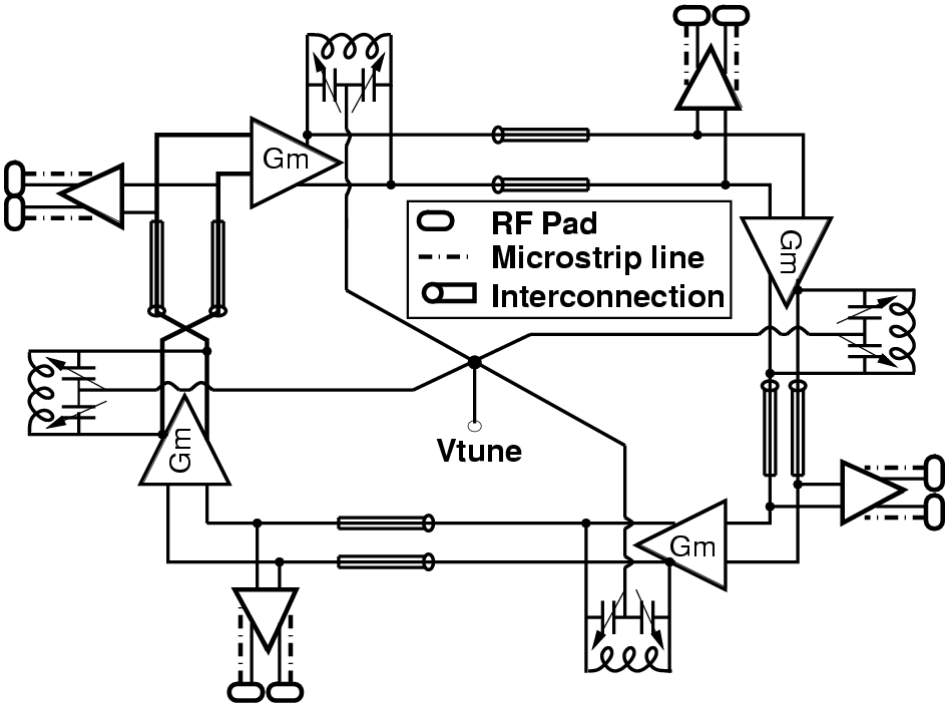



*Figure 3- 56: Schéma électrique du VCO multi-phases 4x10GHz.*

### 2. Paramètres de conception

Le circuit est un VCO en anneau à quatre sorties différentielles, à résonateur LC et à structure active non croisée (Gm).

Cette structure active est réalisée à l'aide de transistors NMOS/SOI-PD à body contacté.

Le résonateur est constitué d'une inductance différentielle à point milieu de valeur 1.1nH. Les varactors associés sont de type NMOS et de valeurs maximales 350 fF. En l'absence de résultats de mesure sur le VCO3 nous ne l'avons pas implémenté sur ce circuit.

Le Tableau 3- 18 résume les paramètres de conception de la structure active:

| Paramètres | | Structure active |
|---|---|---|
| Dimensions [µm] | Largeur (W) | 15 |
| | Longueur (L) | 0.2 |
| Nombre de doigts | | 6 |
| Nature du body | | Contacté à la source par une prise |

*Tableau 3- 18: Paramètres de conception de la structure active.*

Les paramètres de conception de l'inductance (identique à celle du VCO2) sont donnés dans le Tableau 3- 7:

| Paramètres | Inductance 1.1nH |
|---|---|
| **Nombre de tours** | 2 |
| **Largeur** | 12 µm |
| **Diamètre extérieur** | 200µm |

*Tableau 3- 19: Caractéristiques physiques de l'inductance.*

Les varactors sont identiques à ceux de même valeur utilisés dans les VCO à 10GHz. Le Tableau 3- 20 résume les paramètres de conception des varactors:

| Paramètres | Varactor NMOS à accumulation |
|---|---|
| **Capacité maximale** | 350fF |
| **Longueur** | 0.35µm |
| **Nombre de doigts** | 20 |

*Tableau 3- 20: Caractéristiques physiques du varactor.*

Les quatre cellules de sortie sont identiques à celle utilisée dans les VCO à 10GHz. L'alimentation en courant du circuit est particulière afin d'assurer une bonne homogénéité sur les quatre cellules. Un miroir de courant PMOS à quatre sorties assure l'alimentation des quatre miroirs de courant NMOS (de rapport 3.65) des structures actives. Ces miroirs NMOS sont implantés au plus près de chaque cellule et les chemins sont égaux pour les quatre cellules. Le Tableau 3- 21 décrit les paramètres de conception associés aux miroirs.

| Paramètres | | PMOS 1 | NMOS 1 | NMOS 2 |
|---|---|---|---|---|
| **Dimensions en [µm]** | **Largeur (W)** | 35 | 50 | 182.5 |
| | **Longueur (L)** | 0.2 | 0.2 | 0.2 |
| **Nombre de doigts de 2.5µm** | | 14 | 20 | 73 |
| **Nature du body** | | Contacté à la source par une prise | | |

*Tableau 3- 21: Paramètres de conception des miroirs de courant.*

Des résistances de 200Ω, de type Poly P+ non siliçurées et de longueurs 7µm, assurent la conversion du courant en tension entre les miroirs PMOS et NMOS.

Enfin, les polarisations en tension continue du circuit (l'alimentation à 0V et la tension de contrôle des varactors) sont distribuées en étoile à partir du centre géométrique du VCO. De plus, nous utilisons à nouveau le filtre RC de réjection du bruit de l'alimentation.

### 3. La carte de test

La carte de test reprend les méthodes de filtrages de bruit et de plans de masse. Cette carte est d'une taille beaucoup plus importante.

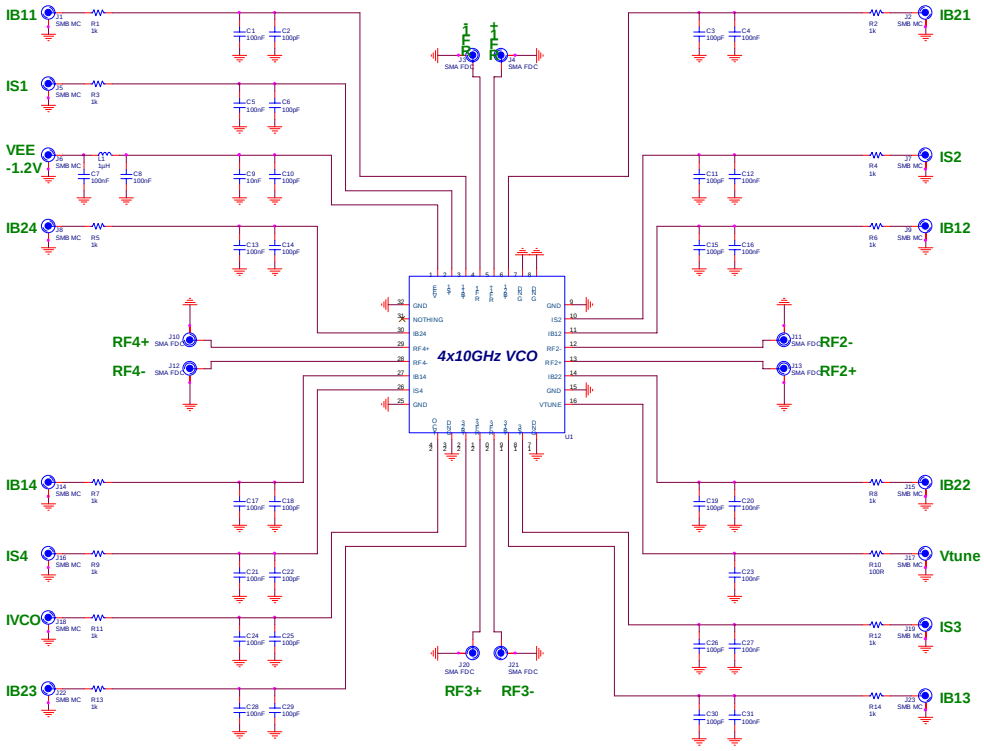



*Figure 3- 57: Schéma électrique de la carte de test du VCO multi-phases 4x10GHz.*

### III.4.3.3. RESULTATS DE SIMULATION DU VCO MULTI-PHASES 4X10GHZ

#### 1. Simulations temporelles

Le Tableau 3- 22 présente les résultats des simulations temporelles.

| Fréquence d'oscillation en [GHz] | | | Plage de fréquence Δf/f en [%] extrapolée | Amplitude du signal différentiel en [V] à Vc=0V |
|---|---|---|---|---|
| Vc=-1V | Vc=0V | Vc=+1V | | |
| 11,2 | 13,9 | 16,2 | 36 | 2,1 |

*Tableau 3- 22: Résultats des simulations temporelles du VCO multi-phases 4x10GHz.*

La fréquence centrale de 13.9GHz peut paraître élevée. Il faut cependant garder à l'esprit que nous ne tenons pas compte des capacités de routage. Or, un circuit à quatre étages à résonateurs LC occupe une surface de silicium élevée et donc des capacités élevées. Celles-ci auront pour conséquence de réduire la fréquence d'oscillation.

La plage de fréquence simulée nous semble optimiste. L'amplitude du signal différentiel est réduite par rapport au VCO2. En effet, le rapport W/L des transistors du VCO multi-phases a été réduit volontairement de 36% par rapport à celui du VCO2, puisque nous n'avions pas besoin d'autant de gain pour compenser les pertes résistives. Ceci explique la réduction de l'amplitude du signal différentiel du VCO multi-phases par rapport au VCO2 (38%).

A titre d'exemple, la Figure 3- 58 illustre la simulation des quatre sorties différentielles du VCO:

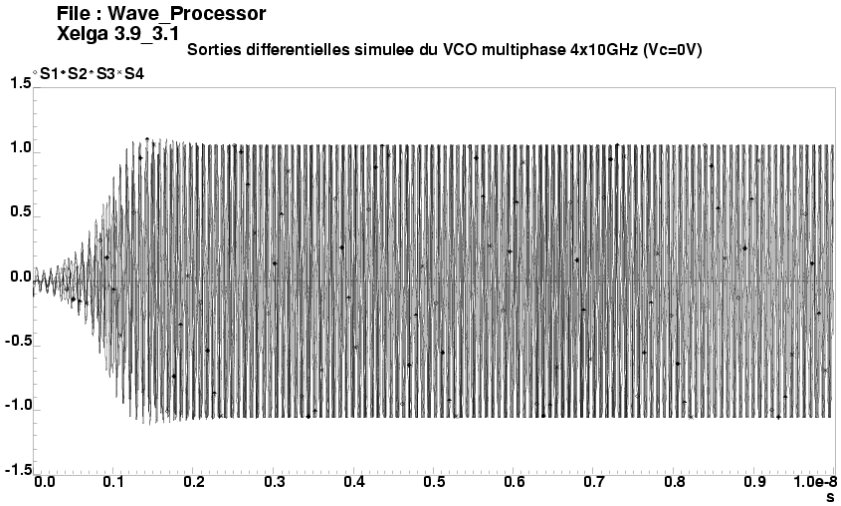



*Figure 3- 58: Simulation temporelle du VCO multi-phases 4x10GHz à Vc=0V.*

La phase transitoire d'établissement des oscillations est moins perturbée que dans les VCO 10GHz. Ceci confirme aussi la plus grande stabilité fréquentielle du VCO multi-phases en accord avec [SAMORI05].

Un zoom sur les signaux temporels est présenté sur la Figure 3- 59:

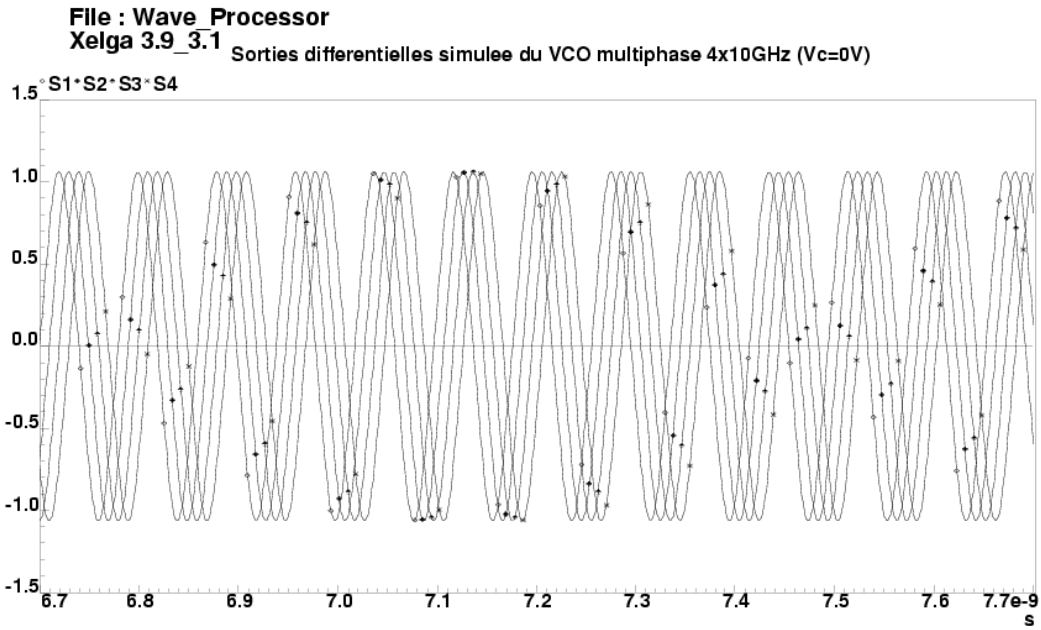



*Figure 3- 59: Signaux de sorties du VCO multi-phases 4x10GHz*

La simulation permet de visualiser le déphasage de 0, 45°, 90°, 135° entre les signaux différentiels.

### 2. Simulations du bruit de phase

En simulation harmonique balance, la fréquence d'oscillation à Vc=0V est de 12,6GHz contre 13,9GHz en simulation temporelle, ce qui nous laisse penser à un dysfonctionnement soit des modèles, soit du simulateur. De plus, la simulation de bruit de phase ne convergeant pas, nous n'avons pas pu simuler les performances en bruit de phase. Cependant, les travaux de [SAMORI05] sur le bruit de phase des VCO multi-phases confirme les qualités de cette structure.

## III.5. CONCLUSION

Pour répondre au problème des liens haut débit 10 et 40Gbit/s en tenant compte des contraintes imposées par les normes, nous avons identifié deux grands types de solution système. La première solution est la transmission parallèle de quatre canaux à 10Gbit/s. La seconde est la transmission série à 40Gbit/s.

Pour la solution I, notre choix s'est porté sur l'étude et la réalisation de VCO LC NMOS en CMOS/SOI-PD à 10GHz. L'étude du bruit de phase nous a permis de comprendre les mécanismes de génération du bruit et d'identifier les moyens de les réduire grâce à une conception adaptée.

Notre objectif étant aussi l'application des technologies CMOS/SOI, nous avons étudié les potentiels offerts par cette technologie en préparant une feuille de route qui permet de quantifier l'effet des différentes solutions. Ceci nous a conduit à concevoir neuf circuits VCO et oscillateurs à 10GHz.

Pour la solution II, nous souhaitions également explorer les solutions en CMOS/SOI pour réaliser un lien de transmission série à 40Gbit/s. Nous avons exploré les quelques solutions proposées sur CMOS/SOI à 40GHz et nous avons constaté qu'il était difficile, en l'état actuel des technologies CMOS, de satisfaire les exigences de la norme SONET 0C-768. Nous avons donc proposé une architecture permettant d'espérer une réduction de 10 à 12dB en bruit de phase. Cette architecture est de type VCO multi-phases à résonateur LC NMOS. Celle-ci réutilise pour une grande part les blocs conçus pour les VCO 10GHz de la solution I.

Dans le chapitre suivant, nous présenterons les résultats de mesure sur les circuits de la solution I et de la solution II.

## III.6. REFERENCES DU CHAPITRE III

[ANDREANI02] P. Andreani and H. Sjoland, "Tail current noise suppression in RF CMOS VCOs;" Solid-State Circuits, IEEE Journal of, Vol. 37, Issue 3, pp.342-348, March 2002.

[BOERSTLER04] D. Boerstler and al, "A 10+ GHz low jitter wide band PLL in 90 nm PD SOI CMOS technology," VLSI Circuits, Digest of Technical Papers, Symposium on, pp.228 – 231, June 2004.

[CHA05] C-Y. Cha and S-G. Lee, "A complementary Colpitts oscillator in CMOS technology, " Microwave Theory and Techniques, IEEE Transactions on, Vol. 53, Issue 3, Part 1, pp.881 – 887, March 2005.

[CHEN03] W-Z Chen and al, "10 GHz quadrature-phase voltage controlled oscillator and prescaler," Solid-State Circuits Conference, ESSCIRC '03. Proceedings of the 29th European, pp.361-364, Sept. 2003.

[CORDEAU04] D. Cordeau, "Etude comportementale et conception d'oscillateurs intégrés polyphases accordables en fréquence en technologies Si et SiGe pour les radiocommunications", PhD Thesis, Université de Poitiers, Nov. 2004.

[CRANINCKX95] J. Craninckx, M. Steyaert, "Low-noise voltage controlled oscillator using enhanced LC-tank", IEEE, Analog-and-Digital-Signal-Processing, Vol. 42, N°. 12, pp.794-804, Dec. 1995.

[DELLSPERGER02] T. Dellseprger, "Design of a 5GHz VCO in CMOS," Master thesis, Swiss Federal Institue of Technology Zurich, Institut für Elektronic, 2002.

[DEVITO01].L. M. de Vito, "Clock Recovery.and data retiming," Electronics laboratories advanced engineering course on, IC design for optical communication systems, EPFL, Lausanne, Switzerland, June 2001.

[ELLINGER04] F. Ellinger and al, "60 GHz VCO with wideband tuning range fabricated on VLSI SOI CMOS technology," Microwave Symposium Digest, IEEE MTT-S International, vol. 3, pp.1329-1332, June 2004.

[ELSAYED01] A.M. ElSayed ad M.I. Elmary, "Low-phase-noise LC quadrature VCO using coupled tank resonators in a ring structure," Solid-State Circuits, IEEE Journal of, vol. 36, Issue 4, pp.701-705, April 2001.

[FONG04] N. Fong and al, "A low-voltage 40-GHz complementary VCO with 15% frequency tuning range in SOI CMOS technology," Solid-State Circuits, IEEE Journal of, vol. 39, Issue 5, pp.841-846, May 2004.

[GIERKINK03] S.L.J. Gierkink and al, "A low-phase-noise 5-GHz CMOS quadrature VCO using superharmonic coupling," Solid-State Circuits, IEEE Journal of, vol. 38, Issue 7, pp.1148-1154, July 2003.

[GU03] Z. Gu and al, "Fully integrated 10 GHz CMOS LC VCOs," Microwave Conference, 33rd European, vol. 2, pp.583-586, Oct. 2003.

[HAJIMIRI98] A. Hajimiri, "Jitter and phase noise in electrical oscillators," PhD thesis, Stanford University, 1998.

[HAJIMIRI99] A. Hajimiri and T.H. Lee, "Design issues in CMOS differential LC oscillators", IEEE, J. Solid-State Circuits, vol. 34, pp. 717-724, May 1999.

[HEGAZI01] E. Hegazi and al, "A filtering technique to lower LC oscillator phase noise," Solid-State Circuits, IEEE Journal of, Vol. 36, Issue 12, pp.1921-1930, Dec. 2001.

[HUNG00] C.M. Hung, L. Shi, I. Lagnado, K.K.O, "A 25.9 GHz Voltage-Controlled Oscillator fabricated in a CMOS process," Digest of Symposium on VLSI Circuits, pp. 100-101, June 2000.

[JACQUINOT01] H. Jacquinot, "Etude de l'intégration en technologies silicium de boucles de synthèse pour des applications radiofréquences à 5 GHz", PhD thesis, Institut National Polytechnique de Grenoble, Dec. 01.

[JIA04] L. Jia and al, "9.3-10.4-GHz-band cross-coupled complementary oscillator with low phase-noise performance," Microwave Theory and Techniques, IEEE Transactions on, vol. 52, Issue 4, pp.1273-1278, April 2004.

[KIM00] J. Kim and B. Kim, “A Low Phase-Noise CMOS LC Oscillator with a Ring Structure,” ISSCC Dig. of Tech. Papers, pp.430-431, Feb. 2000.

[KIM03] J. Kim and al, "Highly manufacturable 40-50 GHz VCOs in a 120 nm system-on-chip SOI technology," Electron Devices Meeting, IEDM '03 Technical Digest. IEEE International, pp.15.3.1-15.3.4, Dec. 2003.

[KIM04] J.J. Kim, Y. Lee and S.B. Park, "Low-noise CMOS LC oscillator with dual-ring structure," Electronics Letters, vol. 40, Issue 17, pp.1031-1032, 2004.

[KO04] S. Ko and al, "20 GHz integrated CMOS frequency sources with a quadrature VCO using transformers," Radio Frequency Integrated Circuits (RFIC) Symposium, Digest of Papers, IEEE, pp.269-272, June 2004.

[LEE03] J. Lee and B. Razazvi, "A 40-Gb/s clock and data recovery circuit in 0.18µm CMOS technology," Solid-State Circuits, IEEE Journal of, Vol. 38, Issue 12, pp.2181-2190, Dec. 2003.

[LEESON66] D. B. Leeson, « A Simple Model of Feedback Oscillator Noise Spectrum, » Proc. IEEE, vol.54, pp. 329-330, Feb. 1966.

[LI03] S. Li and al, "A 10-GHz CMOS quadrature LC-VCO for multirate optical applications," Solid-State Circuits, IEEE Journal of, vol. 38, Issue 10, pp.1626-1634, Oct. 2003.

[MUKHERJEE02] D. Mukherjee and al, "A differentially-tuned CMOS LC VCO for low-voltage full-rate 10 Gb/s CDR circuit," Microwave Symposium Digest, IEEE MTT-S International, vol. 2, pp.707-710, June 2002.

[NALLATAMBY05] J.-C. Nallatamby, M. Prigent and J. Obregon, "On the role of the additive and converted noise in the generation of phase noise in nonlinear oscillators," Microwave Theory and Techniques, IEEE Transactions on, Vol. 53, Issue 3, Part 1, pp.901 – 906, March 2005.

[OIF-SFI5] "Serdes Framer Interface Level 5 (SFI-5): Implementation agreement for 40Gb/s Interface for Physical Layer Devices," Physical and link layer working group, Implementation agreement 0IF-SFI5-01.0, Jan. 2002. available on line at : http://www.oiforum.com

[PAILLOT91] J. M. Paillot, “CAO des circuits analogiques non-linéaires : réalisation d’ un simulateur pour l’ analyse des spectres de bruit des oscillateurs”, Thèse de doctorat de l’Université de Limoges, n° d’ ordre : 4-1991, Janvier 1991.

[PAVLOVIC04] N. Pavlovic and al, "A 10 GHz frequency synthesiser for 802.11a in 0.18 µm CMOS [transceiver applications]," Solid-State Circuits Conference, ESSCIRC, Proceeding of the 30th European, pp.367-370, Sept. 2004.

[PENFIELD66] P. Penfield, “Circuit theory of periodically driven nonlinear systems”, Proc. of IEEE, vol. 54, n°2, February 1966.

[PERRAUD03] L. Perraud and al, "Fully integrated 10 GHz CMOS VCO for multi-band WLAN applications," Solid-State Circuits Conference, ESSCIRC '03. Proceedings of the 29th European, pp.353-356, Sept. 2003.

[PRIGENT87] M. Prigent, “Contribution à l’étude de la conversion de fréquence dans les circuits non-linéaires : application à la CAO d’ oscillateurs à bruit de phase minimum”, Thèse de doctorat de l’Université de Limoges, n° d’ ordre : 46-87, 1987.

[RASMUSSEN02] C. Rasmussen and al, "Transmission of 40×42.7 Gbit/s over 5200 km UltraWave fiber with terrestrial 100 km spans using turn-key ETDM transmitter and receiver," ECOC 2002, post deadline paper, Denmark, 2002.

[RAVI03] A. Ravi and al, "10 GHz, 20 mW, fast locking, adaptive gain PLLs with on-chip frequency calibration for agile frequency synthesis in a 0.18-µm digital CMOS process," VLSI Circuits, Digest of Technical Papers, Symposium on, pp.181-184, June 2003.

[RAZAVI01] B. Razavi, "Design of high-speed circuits for optical communication systems", IEEE Conference on Custom Integrated Circuits, pp.315-322, 2001.

[RAZAVI02] B. Razavi, "Prospects of CMOS technology for high-speed optical communication circuits," Solid-State Circuits, IEEE Journal of, vol. 37, Issue 9, pp.1135- 1145, Sep 2002.

[ROBINS82] W. P. Robins, "Phase Noise in Signal Sources," Peter Peregrinus Ltd., London, 1982.

[ROZEAU05] O. Rozeau and al, "SOI design and trial report," Médéa+ A108 Superstar, Deliverable D4.2.2, DCIS/SCME/05-034, Jan 2005.

[SAMORI05] C. Samori, "Phase noise and phase accuracy in multiphase LC oscillators," Microwave Symposium Digest, IEEE MTT-S International, in press, June 2005.

[SAVOJ01] J. Savoj and B. Razavi, "High-Speed CMOS Circuits for Optical Receivers," Boston: Kluwer Publishers, 2001.

[SONET01] "The control of jitter and wander in the optical transport network," ITU-T, Draft Recommendation G.8251, 04.0 ed., 2001.

[TAO04] R. Tao and M. Berroth, "Low power 10 GHz ring VCO using source capacitively coupled current amplifier in 0.12µm CMOS technology," Electronics Letters, vol. 40, Issue 23, pp.1484-1486, Nov. 2004.

[TIEBOUT03] M. Tiebout, "Physical scaling of integrated inductor layout and model and its application to WLAN VCO design at 11GHz and 17GHz," Circuits and Systems, ISCAS '03. Proceedings of the International Symposium on, vol. 1, pp.I-637-I-640, May 2003.

[TONIETTO04] R. Tonietto and al, "A six phases LC based ring oscillator for 1.5-3Gbit/s SATA interfaces," VLSI Circuits, Digest of Technical Papers. Symposium on, pp.260- 263, June 2004.

[VANDEBEEK04] R. C. H. van de Beek and al, "A 2.5-10-GHz clock multiplier unit with 0.22-ps RMS jitter in standard 0.18µm CMOS," Solid-State Circuits, IEEE Journal of, vol. 39, Issue 11, pp.1862-1872, Nov. 2004.

[VANDERTANG02] J. van der Tang and al, "Analysis and design of an optimally coupled 5-GHz quadrature LC oscillator," Solid-State Circuits, IEEE Journal of, vol. 37, Issue 5, pp.657-661, May 2002.

[WALKER02] R. Walker, "Clock and Data Recovery for Serial Digital Communication focusing on bang-bang loop CDR design methodology," ISSCC Short Course, IEEE, Feb. 2002.

[WEIGANDT98] T. C. Weigandt, "Low-Phase-Noise, Low-Timing-Jitter Design Techniques for Delay Cell Based VCOs and Frequency Synthesizers," PhD Thesis, U.C. Berkeley, Jan. 1998.

[ZHAN04] J. H. C. Zhan and al, "A comparative study of MOS VCOs for low voltage high performance operation," Low Power Electronics and Design, ISLPED '04, Proceedings of the International Symposium on, pp.244-247, Aug. 2004.

**CHAPITRE IV : RÉSULTATS DE MESURE ET INTERPRÉTATION ..... 177**

I.1. Chronologie des mesures ..... 178

I.2. Implémentation et mesures sur les circuits 10GHz ..... 179
I.2.1. Implémentation ..... 179
I.2.2. Résultats des mesures fréquentielles ..... 179
I.2.3. Résultats des mesures de bruit de phase ..... 190

I.3. Implémentation et mesures sur le VCO multi-phases 4x10GHz ..... 196
I.3.1. Implémentation ..... 196
I.3.2. Résultats des mesures fréquentielles ..... 196
I.3.3. Résultats des mesures temporelles ..... 199
I.3.4. Résultats des mesures de bruit de phase ..... 200

I.4. Conclusions ..... 202

# CHAPITRE IV : RESULTATS DE MESURE ET INTERPRETATION

Les neufs circuits 10GHz et le VCO multi-phases ont été envoyés en fabrication chez STMicroelectronics sur trois runs entre octobre 2003 et juin 2004.

En octobre 2003, STMicroelectronics avait ouvert, pour la première fois, sa ligne de production pilote en CMOS/SOI-PD 0.13µm à des chercheurs extérieurs. Le calendrier de réception des circuits n'a pas suivi l'ordre d'envoi et nous a obligés à procéder aux mesures de façon à pouvoir tester un maximum de circuits pendant la durée de ce travail de thèse.

Les équipements de mesures fréquentiels et temporels étaient directement disponibles au LETI. Nous avons effectué les mesures fréquentielles sous pointes et les mesures de déphasage sur carte.

Les équipements de mesures du bruit de phase n'existant pas actuellement au LETI, nous avons effectué ces mesures chez Aeroflex et chez STMicroelectronics.

Le calendrier extrêmement contraint nous a permis de tester la majeure partie des VCO 10GHz, un oscillateur et le VCO multi-phases.

Ce chapitre donne les résultats des mesures effectuées et leur interprétation. La succession des campagnes de mesures étant très dépendante des dates de retour de fabrication des circuits, nous commencerons par rappeler la chronologie des tests.

Nous présenterons ensuite successivement les résultats de mesure sur les circuits 10GHz et les résultats de mesures sur le VCO multi-phases 4x10GHz.

## I.1. CHRONOLOGIE DES MESURES

La chronologie des étapes de fabrication, des mesures fréquentielles et des mesures de phase est représentée sur la Figure 4- 1:

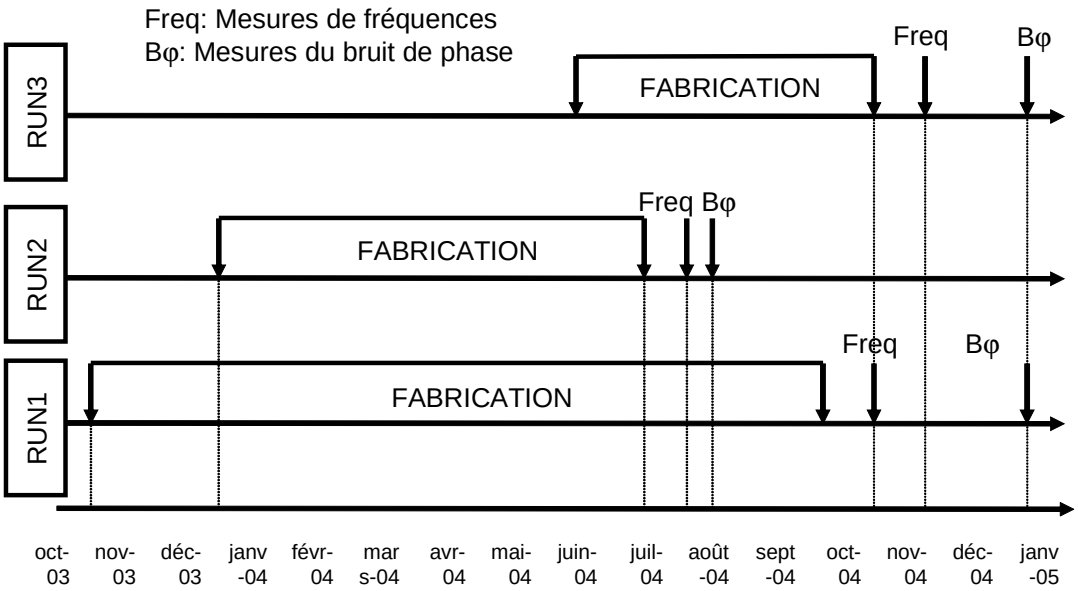



*Figure 4- 1: Chronologie des phases de fabrication et de mesures.*

Le contenu des envois pour les trois runs de fabrication CMOS/SOI est résumé dans le Tableau 4- 1:

| RUN1 | RUN2 | RUN3 |
|---|---|---|
| VCO1 | reprise VCO2 | VCO multi-phases |
| VCO2 | VCO4 | |
| VCO3 | VCO5 | |
| VCO6 | | |
| OSC1 | | |
| OSC2 | | |

*Tableau 4- 1: Contenu des trois runs de fabrication.*

## I.2. IMPLEMENTATION ET MESURES SUR LES CIRCUITS 10GHZ

### I.2.1. IMPLEMENTATION

A titre d'exemple, la microphotographie du VCO3 testé sous pointes est représentée sur la Figure 4- 2:

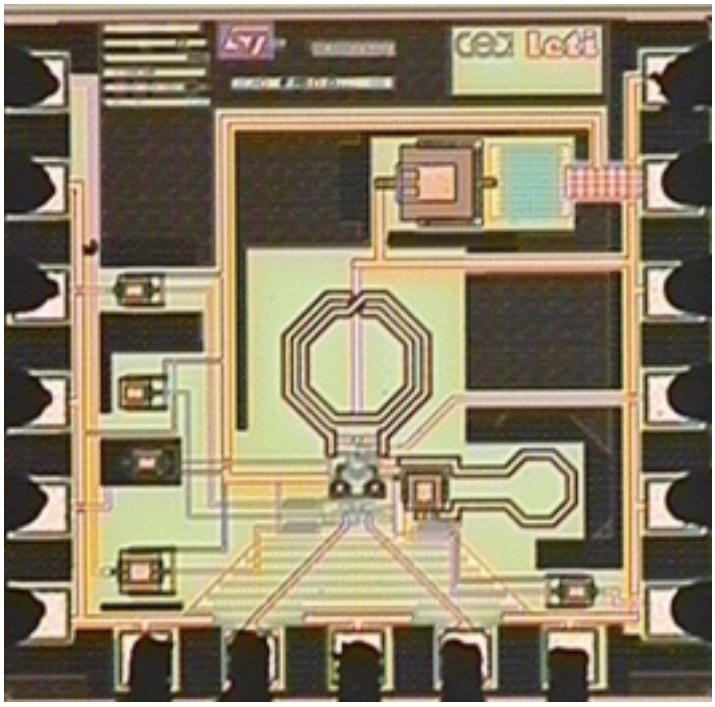


*Figure 4- 2: Microphotographie du VCO3 sous pointes.*

Les circuits 10GHz occupent une surface de 1mm$^2$. Les contraintes liées à l'espacement des plots d'entrée sortie expliquent la taille de ces circuits. En réalité, si le VCO est intégré dans le CDR, on s'affranchira des étages de sorties et de tous les plots.

### I.2.2. RESULTATS DES MESURES FREQUENTIELLES

Nous avions établi une feuille de route pour la conception des circuits afin d'identifier l'influence des différents paramètres de conception. Nous allons donc effectuer l'interprétation des mesures en suivant la même démarche.

- Différence entre les varactors PMOS et NMOS: VCO1 et VCO2.
- Différence apportée à la fois par les varactors PMOS et NMOS et le filtre LC: VCO6 et VCO3.
- Intérêt du filtre seul sur deux circuits à varactors NMOS: VCO2 et VCO3.

- Influence de la géométrie du résonateur: VCO2 et VCO5.
- Différence entre les transistors à body contacté et à body flottant: VCO2 et VCO4.
- Influence de la largeur des transistors sur deux oscillateurs: OSC1 et OSC2.
- Différence entre l'utilisation de varactors NMOS ou de capacités MIM: VCO2 et OSC1.
- Analyse des mesures du VCO9 à commande différentielle des varactors NMOS.

Les mesures présentées ci-dessous ont été réalisées sous pointe sur une plate-forme Karl Suss. Les câbles RF utilisés présentent des pertes d'environ 2 dB à 10GHz. Nous avons utilisé l'analyseur de spectre FSIQ40 de Rhodes et Schwartz. Les mesures de puissance ont été réalisées sur une seule voie. Nous avons ensuite extrapolé ces valeurs pour obtenir la puissance différentielle (en ajoutant 3dB). La tension d'alimentation est de -1.2V. Les polarisations en courant pour toutes ces mesures sont les suivantes:

- courant dans le cœur du VCO: 4.5mA,
- courant dans l'étage suiveur: 2mA,
- courant dans les étages buffers: 5 et 8mA.

#### I.2.2.1. DIFFERENCE ENTRE LES VARACTORS PMOS ET NMOS

Le Tableau 4- 2 donne les valeurs de fréquence (mesures et simulation) pour les VCO1 et VCO2:

| Circuits | | Fréquence d'oscillation en [GHz] | | | Plage de fréquence Δf/f en [%] | Amplitude du signal différentiel en [V] à $V_c$=0V | |
|---|---|---|---|---|---|---|---|
| | | $V_c$=-1V | $V_c$=0V | $V_c$=+1V | | Sortie du VCO | Sortie des buffers |
| VCO1[1] PMOS | Simulation | NC (13,9 à $V_c$=-2V) | NC | NC | NC | NC | NC |
| | Mesure | 12,24 (12,64 à $V_c$=-2V) | 10,96 | 10,04 | 20 | - | 0,111 |
| VCO2 NMOS | Simulation | 10 | 11,11 | NC (12,22 à $V_c$=0.5V | NC | 3,4 | NC |
| | Mesure | 10,11 | 11,02 | 12,34 (11,735 à $V_c$=0.5V) | 20 | - | 0,116 |

*Tableau 4- 2: Comparatif en fréquence et en amplitude VCO1-VCO2.*

[1] NC traduit la non convergence de la simulation et Vc la valeur de la tension de contrôle des varactors.

Les VCO1 et VCO2 se comportent de manière identique en fréquence et en amplitude de sortie. La plage de fréquence de 20% est calculée pour une tension de contrôle des varactors entre -1V et +1V. En réalité, pour une excursion en tension plus grande, la plage de fréquence est de 24%. Ceci conduit à un rapport $C_{MAX}/C_{MIN}$ égal 5,76 en CMOS/SOI contre 3,5 en CMOS/BULK d'après les modèles. L'augmentation est donc de 64% en faveur du SOI.

Il est intéressant de constater que la simulation donne des résultats proches de la mesure pour le VCO2. Par contre, la seule simulation possible pour le VCO1 (à $V_c$=-2V) donne une fréquence surestimée de 12% (1,7GHz). Le modèle de varactors PMOS sur BULK ne semble pas, dans ce cas, coïncider avec les mesures sur SOI.

L'amplitude du signal, entre simulation et mesures, ne peut être comparée, car dans le premier cas, la valeur simulée est aux bornes du résonateur, alors qu'en mesure on est à la sortie des buffers, atténuateurs à 10GHz.

#### I.2.2.2. DIFFERENCE ENTRE VARACTORS PMOS ET NMOS EN PRESENCE DU FILTRE LC

Le Tableau 4- 3 résume les mesures et les simulations sur les VCO à varactors PMOS et NMOS utilisant le filtre LC:

| Circuits | | Fréquence d'oscillation en [GHz] | | | Plage de fréquence Δf/f en [%] | Amplitude du signal différentiel en [V] à Vc=0V | |
|---|---|---|---|---|---|---|---|
| | | $V_c$=-1V | $V_c$=0V | $V_c$=+1V | | Sortie du VCO | Sortie des buffers |
| VCO6 PMOS | Simulation | 13,53 | 11,54 | 10,28 | 27 | 4,22 | NC |
| | Mesure | 12,34 | 10,99 | 10,07 | 20,3 | - | 0,112 |
| VCO3 NMOS | Simulation | 10,27 | 11,75 | 14,2 | 32 | 3,45 | NC |
| | Mesure | 10,04 | 10,98 | 12,33 | 20,5 | - | 0,111 |

*Tableau 4- 3: Comparatif en fréquence et en amplitude VCO6-VCO3.*

Les mesures de fréquence et d'amplitude de sortie sur le VCO2 et le VCO3 sont identiques. Par contre, la simulation pour la borne haute de fréquence s'éloigne considérablement des valeurs mesurées aussi bien en NMOS qu'en PMOS. Ceci explique aussi les différences sur la plage de fréquence.

L'erreur de la simulation sur les fréquences hautes pourrait provenir soit d'un défaut du modèle soit d'un défaut du simulateur. Un défaut a été répertorié sur les simulateurs. Ce défaut se traduit par l'apparition d'un courant moyen non nul aux bornes du varactor. Cette déviation provient souvent d'une modulation de capacité, phénomène d'autant plus visible à haute fréquence.

#### I.2.2.3. INTERET DU FILTRE SEUL SUR DEUX CIRCUITS A VARACTORS NMOS

En comparant les deux tableaux précédents, on constate que le filtre n'a pas d'influence significative sur les performances de fréquences mesurées entre VCO2 et VCO3 ou entre VCO1 et VCO6. Ceci est un facteur favorable puisque son utilisation pour réduire le bruit de phase ne perturbe pas le fonctionnement fréquentiel.

#### I.2.2.4. INFLUENCE DE LA GEOMETRIE DU RESONATEUR

Le Tableau 4- 4 compare les simulations et les mesures des VCO2 et VCO5 qui utilisent deux résonateurs différents:

| **Circuits** | | **Fréquence d'oscillation en [GHz]** | | | **Plage de fréquence Δf/f en [%]** | **Amplitude du signal différentiel en [V] à $V_c$=0V** | |
|---|---|---|---|---|---|---|---|
| | | **$V_c$=-1V** | **$V_c$=0V** | **$V_c$=+1V** | | **Sortie du VCO** | **Sortie des buffers** |
| **VCO2 L=1.1nH NMOS 350fF** | **Simulation** | 10 | 11,11 | NC | NC | 3,4 | NC |
| | **Mesure** | 10,11 | 11,02 | 12,34 | 20 | - | 0,116 |
| **VCO5 L=500pH NMOS 700fF** | **Simulation** | NC (11,64 à $V_c$=-2V) | 13,35 | NC | - | 2,13 | NC |
| | **Mesure** | 11,77 (11,69 à $V_c$=-2V) | 13,12 | 15,83 | 29,5 | - | 0,105 |

*Tableau 4- 4: Comparatif en fréquence et en amplitude selon le résonateur LC.*

En toute rigueur, il aurait fallu implémenter une inductance de 550pH au lieu de 500pH. Cet écart devrait conduire à une augmentation de la fréquence du VCO5 de l'ordre de 5%. Or, on constate une différence nettement plus importante (2,1GHz soit 16%).

Ce résultat peut s'expliquer par une forte réduction des capacités parasites de l'inductance de 500pH. L'inductance du VCO5 présente une capacité parasite inférieure à celle

du VCO2, d'environ 160fF. Rappelons que l'inductance de 500pH n'a qu'une spire au lieu de deux. L'augmentation de la plage de fréquence en est une autre conséquence.

La comparaison entre la simulation et la mesure du VC05 semble confirmer que le modèle est moins fiable au-delà de 10GHz.

#### I.2.2.5. DIFFERENCE ENTRE LES TRANSISTORS A BODY CONTACTE ET A BODY FLOTTANT

Le Tableau 4- 5 présente un comparatif entre le VCO2 à transistors à body contacté sur la structure active et le VCO4 à transistors à body flottant.

| Circuits | | Fréquence d'oscillation en [GHz] | | | Plage de fréquence Δf/f en [%] | Amplitude du signal différentiel en [V] à $V_c$=0V | |
|---|---|---|---|---|---|---|---|
| | | $V_c$=-1V | $V_c$=0V | $V_c$=+1V | | Sortie du VCO | Sortie des buffers |
| VCO2 Body contacté | Simulation | 10 | 11,11 | NC | NC | 3,4 | NC |
| | Mesure | 10,11 | 11,02 | 12,34 | 20 | - | 0,116 |
| VCO4 Body flottant | Simulation | 10,38 | 11,27 | 13,28 | 27 | 3,7 (à $V_c$=-2V) | NC |
| | Mesure | 10,26 | 11,17 | 12,51 | 20 | - | 0,125 |

*Tableau 4- 5: Comparatif en fréquence et en amplitude selon la nature des transistors de la structure active.*

On remarque que le VCO4 présente des fréquences légèrement plus élevées que le VCO2. Ceci confirme la réduction attendue des capacités parasites des transistors à body flottant. Ce résultat est en accord avec les simulations.

L'amplitude de sortie est plus élevée avec les transistors à body flottant. En effet, ces transistors ont une meilleure transconductance $g_m$ à même courant.

#### I.2.2.6. INFLUENCE DE LA LARGEUR DES TRANSISTORS DE LA STRUCTURE ACTIVE

Le Tableau 4- 6 compare l'influence de la largeur des transistors de la structure active sur les deux oscillateurs OSC1 et OSC2:

| Circuits | | Fréquence d'oscillation en [GHz] | Amplitude du signal différentiel en [V] à $V_c$=0V | |
|---|---|---|---|---|
| OSC1 W=20µm L=0.13µm | Simulation | 9,80 | 4,31 | NC |
| | Mesure | 9,64 | - | 0,118 |
| OSC2 W=40µm L=O.13µm | Simulation | 8,83 | NC | NC |
| | Mesure | 8,84 | - | 0,122 |

*Tableau 4- 6: Comparatif en fréquence et en amplitude selon la taille des transistors de la structure active.*

Le doublement de la largeur des transistors de la structure active conduit à une réduction sensible de la fréquence d'oscillation de 8% en accord avec les simulations. Toutefois, il est intéressant de voir que la contribution des capacités parasites du transistor n'est pas dominante par rapport aux capacités parasites du reste du circuit (inductance et varactors). L'augmentation de l'amplitude de sortie n'est pas très marquée. Rappelons que l'amplitude est mesurée à la sortie des buffers et non dans le cœur du VCO.

#### I.2.2.7. DIFFERENCE ENTRE L'UTILISATION DE VARACTORS NMOS OU DE CAPACITES MIM

Le Tableau 4- 7 présente une comparaison entre le VCO2 à varactors NMOS et l'oscillateur OSC1 utilisant des capacités MIM.

| Circuits | | Fréquence d'oscillation en [GHz] | Amplitude du signal différentiel en [V] à $V_c$=0V | |
|---|---|---|---|---|
| | | $V_c$=-2V | Sortie du VCO | Sortie des buffers |
| VCO2 NMOS 350fF | Mesure | 10,02 | - | 0,116 |
| OSC1 MIM 350fF | Simulation | 9,80 | 4,31 | NC |
| | Mesure | 9,64 | - | 0,118 |

*Tableau 4- 7: Comparatif en fréquence et en amplitude entre des varactors NMOS et des capacités MIM.*

OSC1 utilise des capacités MIM de valeur 350fF supposées équivalentes aux capacités maximales des varactors NMOS. La différence mesurée de fréquence entre les deux circuits est de 4%. Les amplitudes de sortie sont, elles aussi, quasiment identiques.

Ces résultats permettent de valider la modélisation des capacités maximales des varactors en CMOS/BULK. En outre, on montre que la capacité maximale des varactors CMOS/SOI est très proche de celle des varactors CMOS/BULK.

### I.2.2.8. ANALYSE DES MESURES DU VCO9 A COMMANDE DIFFERENTIELLE

Le Tableau 4- 8 présente les résultats sur le VCO9:

| Circuits | | Fréquence d'oscillation en [GHz] | | | Plage de fréquence Δf/f en [%] | Amplitude du signal différentiel en [V] à $V_c$=0V | |
|---|---|---|---|---|---|---|---|
| | | $V_c$+=-1 $V_c$-=+1 | $V_c$+=$V_c$-=0V | $V_c$+=+0.6V $V_c$-=-0.6V | | Sortie du VCO | Sortie des buffers |
| VCO9 diff | Mesure | NC | 8,573 | 9,9 | NC | - | 0,110 |

*Tableau 4- 8: Comparatif en fréquence et en amplitude entre la simulation et la mesure du VCO9diff.*

Ce VCO n'a pas fait l'objet d'une campagne de mesure complète, néanmoins il fonctionne correctement. Il serait utile de reprendre une campagne de mesure complète avec également une mesure de bruit de phase.

### I.2.2.9. CARACTERISATION DES VCO

#### 1. Spectre de fréquence

La Figure 4- 3 représente le spectre du VCO2 amplifié en sortie à l'aide d'un amplificateur large bande et faible bruit de 20 dB:

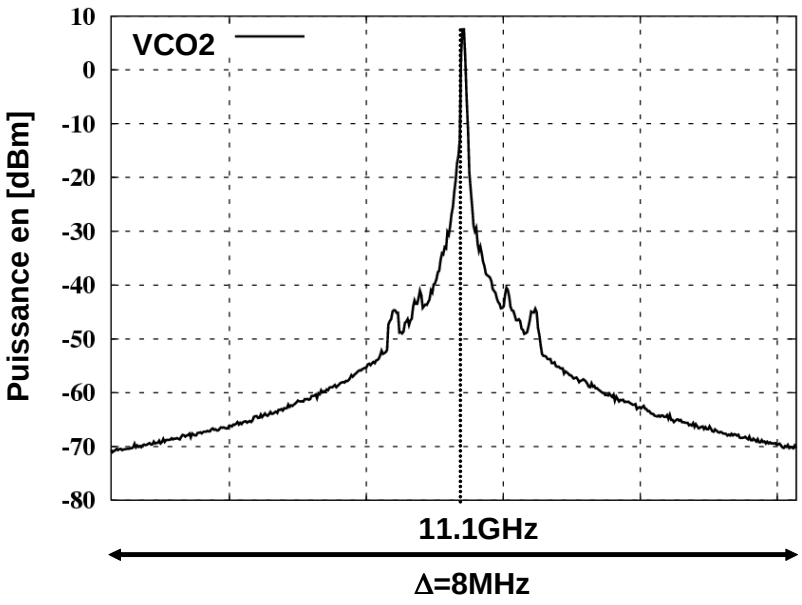



*Figure 4- 3: Spectre de fréquence du VCO2.*

Les artefacts visibles sur la courbe ci-dessus sont dus à l'environnement.

### 2. Plage de variation de la fréquence

Les tableaux précédents nous ont montré que les VCO 1, 2, 3 et 6 ont des plages de variation de la fréquence équivalentes. Par contre, les caractéristiques des VCO 2, 4 et 5 sont typiques. Nous présentons, sur la Figure 4- 4, les courbes de variation de la fréquence en fonction de la tension de contrôle des varactors de ces trois VCO.

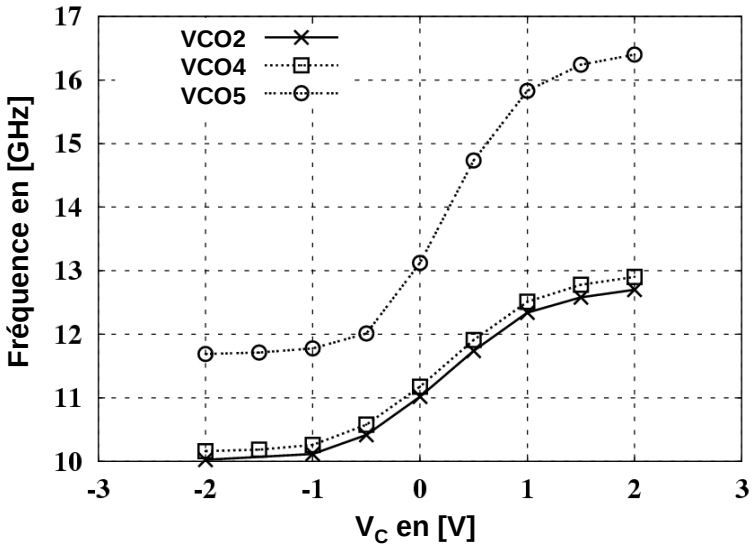



*Figure 4- 4: Variation de la fréquence des VCO en fonction de la tension $V_C$ de contrôle des varactors.*

La plage de fréquence des VCO2 et VCO4 est de 24% pour une tension de contrôle des varactors comprise entre -2V et +2V. La plage de variation du VCO5 est, quant à elle, de 29%.

### 3. Gain des VCO

Le gain des VCO, noté $K_{VCO}$, est un paramètre important, car il intervient à la fois dans les performances en bruit de phase des VCO mais aussi dans la qualité de la réjection du bruit d'alimentation. La dérivée des courbes précédentes donne la caractéristique du gain de chaque VCO représentée sur la Figure 4- 5 :

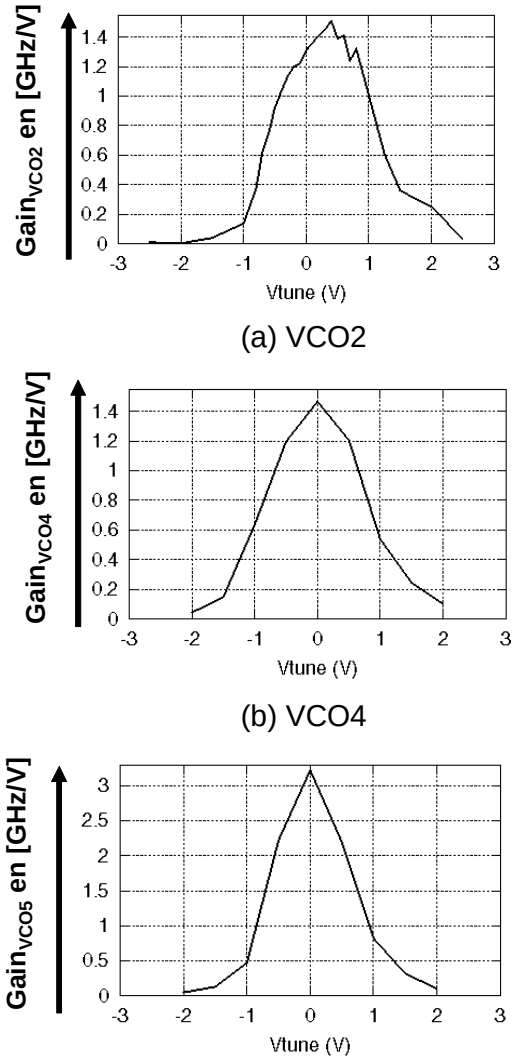



*Figure 4- 5: Gain des VCO 2, 4, et 5 en fonction de la tension de contrôle des varactors[2].*

Le gain maximal des VCO2 et VCO4 est d'environ 1.4GHz/V. Pour le VCO5, le gain maximal est supérieur à 3GHz/V.

[2] $V_c$ et Vtune sont identiques.

### 4. Sensibilité de la fréquence à la tension d'alimentation

Nous avons mesuré la sensibilité de la fréquence en fonction de la tension d'alimentation. Le Tableau 4- 9 présente les principaux résultats:

| Circuits | PUSHING en [MHz/V] | | |
|---|---|---|---|
| | $V_c$=-0,5V | $V_c$=0V | $V_c$=0.5V |
| **VCO1** | 480 | 168 | 34,8 |
| **VCO2** | 120 | 84 | 446 |
| **VCO3** | 120 | 54 | 368 |
| **VCO4** | 126 | NC | 460 |
| **VCO5** | 6 | NC | 602 |
| **VCO6** | 32 | 138 | 434 |
| **OSC1** | 144 | | |
| **OSC2** | 170 | | |

*Tableau 4- 9: PUSHING pour différentes valeurs de la tension de contrôle des varactors.*

Lorsque le gain du VCO est maximal, le pushing est le plus élevé. Les VCO 2, 3 et 4 ont des comportements similaires et un pushing "pire cas" de l'ordre de 400MHz/V à environ 11GHz. Le VCO1 à varactors PMOS a un comportement symétrique. Le VCO6 à varactors PMOS et filtre LC a un comportement singulier. Le VCO5 présente un pushing plus élevé pour $V_c$ égale à +0.5V. Ceci peut s'expliquer par un gain beaucoup plus important pour ce VCO.

Les oscillateurs présentent un pushing équivalent à celui des VCO à fréquence basse.

### 5. Rejection du bruit d'alimentation

Le gain du VCO et le pushing à la fréquence centrale permettent d'estimer la réjection du VCO (équation (4- 1)):

$$\mathrm{Rej}_{VCO} = 20 \cdot \log\left(\frac{K_{VCO}}{K_{VDD}}\right) \qquad (4\text{- }1)$$

où $\mathrm{Rej}_{VCO}$ est la réjection du bruit d'alimentation en [dB], $K_{VCO}$ est le gain du VCO en [Hz/V] et $K_{VDD}$ est le pushing en [Hz/V].

Pour un gain de 1.4GHz/V, et un pushing à $V_c$=0V d'environ 130MHz/V, la réjection vaut 20,6dB.

### 6. Mesures de la puissance d'harmonique 2

Le Tableau 4- 10 présente les mesures de puissance de l'harmonique 2 à 21 GHz:

| Circuits | Puissance de l'harmonique 2 à 21GHz en [dB] |
|---|---|
| **VCO1** | -36,2 |
| **VCO2** | -35,6 |
| **VCO3** | -40 |
| **VCO4** | -32,5 |
| **VCO5** | -35 |
| **VCO6** | -40 |
| **OSC1** | -35,1 |
| **OSC2** | -33,3 |

*Tableau 4- 10: Puissance de l'harmonique 2 à 21GHz.*

Les bruits présents autour de l'harmonique 2 sont convertis par la structure active autour de la fréquence centrale et ont une contribution sur le bruit de phase. La mesure de la puissance de cette harmonique devrait avoir une bonne corrélation avec celle du bruit de phase.

Les filtres LC des VCO3 et 6 ont été conçus pour réduire la contribution de l'harmonique 2. On constate dans le tableau ci-dessus une réduction d'environ 4 à 5dB de la puissance de l'harmonique 2 entre les VCO1 et VCO6 et entre les VCO2 et VCO3. Cette réduction importante montre l'efficacité du filtre LC.

On remarque aussi la puissance d'harmonique 2 relativement élevée dans le VCO4.

## I.2.2.10. CONCLUSION

Les mesures fréquentielles ont permis de vérifier que l'ensemble des neuf circuits à 10GHz sont fonctionnels. La comparaison avec les valeurs simulées ont mis en évidence un certain nombre de limites provenant soit du simulateur, soit des modèles.

La mesure de la dynamique en fréquence des VCO1 et VCO2 a montré une augmentation de 64% du rapport $C_{MAX}/C_{MIN}$ sur SOI, par rapport au varactors CMOS/BULK simulés.

Les filtres LC ont favorisé la convergence de la simulation et montrent que les circuits équipés de filtre fonctionnent aussi bien que les autres.

Les varactors NMOS et PMOS se sont révélés jusqu'à présent équivalents avec une réduction de la puissance de l'harmonique 2 favorable au PMOS.

La mesure sur les oscillateurs a permis jusqu'à présent de valider la modélisation de la capacité maximale des varactors et de montrer que le doublement de la largeur des transistors

engendre des capacités parasites supplémentaires sans apporter de réels bénéfices sur l'amplitude du signal de sortie.

La démarche de conception des circuits, s'appuyant à la fois sur des modèles CMOS/BULK pour les varactors, des modèles "maison" pour l'inductance, et des modèles peu matures pour les transistors SOI, se révèle intéressante pour évaluer les potentialités de la technologie CMOS/SOI 0.13µm.

Nous allons à présent décrire les résultats des mesures sur le bruit de phase.

## I.2.3. RESULTATS DES MESURES DE BRUIT DE PHASE

Les mesures de bruit de phase ont été réalisées à la fois dans la société Aeroflex et dans la société STMicroelectronics au cours de trois campagnes de mesure.

### I.2.3.1. COURBES DE BRUIT DE PHASE

La mesure du bruit de phase sur les VCO2, VCO4 et VCO5 est représentée sur la Figure 4- 6:

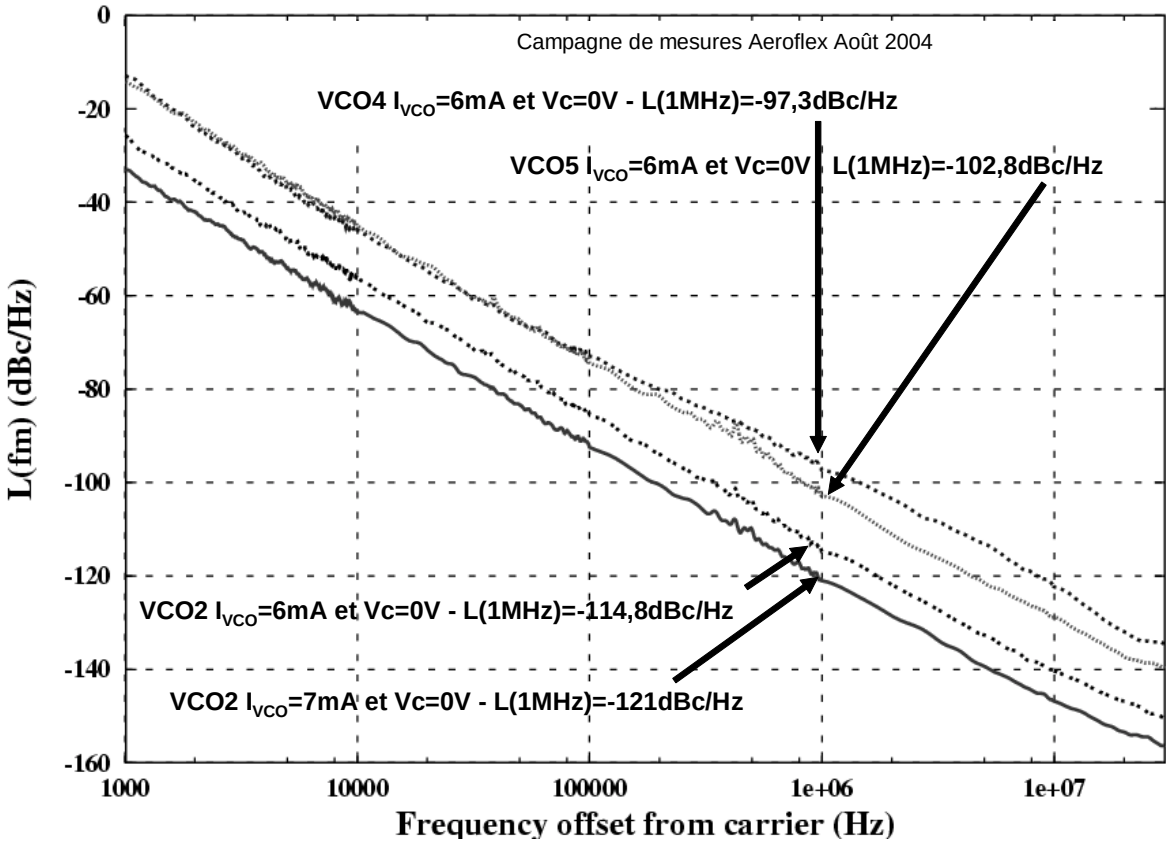



*Figure 4- 6: Mesures du bruit de phase sur les VCO2, VCO4 et VCO5.*

Notons tout d'abord les différences entre les fréquences centrales:

- pour le VCO2, la fréquence centrale est de 11,1GHz,
- pour le VCO4, de 11,3GHz, et
- pour le VCO5, 13,2GHz.

La courbe de bruit de phase du VCO4, à transistor à body flottant, fait apparaître un excès de bruit à partir de 200kHz jusqu'au bruit de plancher. Cet excès est dû à la conversion de l'effet basse fréquence kink autour de la porteuse. Ce résultat confirme aussi la théorie d'Hajimiri sur les modes de conversion du bruit basse fréquence en bruit de phase. Le bruit de phase est dans ce cas relativement plus élevé.

Le VCO5 présente près de la fréquence centrale le même niveau de bruit de phase que le VCO4. Cependant à partir de 200kHz, les deux courbes se séparent et à 1MHz, le VCO5 présente un bruit de phase meilleur surtout compte tenu de la fréquence centrale plus élevée (14%).

Le VCO2 présente un bruit de phase de -115dBc/Hz à 1MHz pour un courant égal à 6mA. Au cours de ces mesures, nous avons appliqué successivement un courant de 7 et 8mA. A partir de 8mA, le VCO a présenté des anomalies de fonctionnement représentées sur la photographie de la Figure 4- 7:

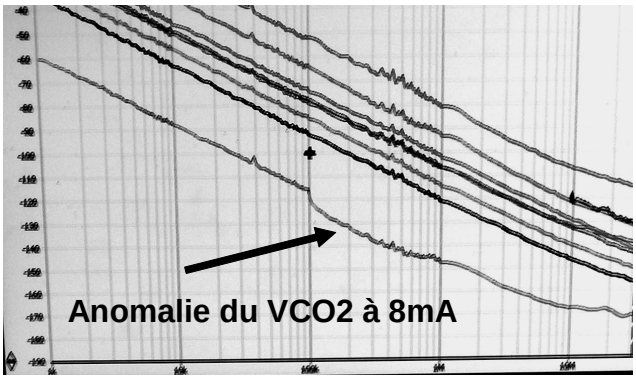



*Figure 4- 7: Courbe de bruit de phase de VCO2 à 8mA.*

Le VCO2, après l'anomalie à 8mA, a montré des résultats très détériorés (de 40dB) représentés sur la Figure 4- 8 ci-après.

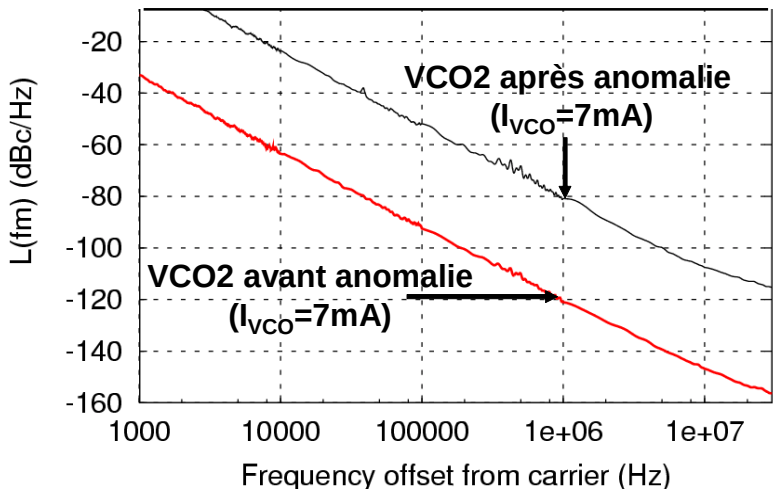



*Figure 4- 8: Détérioration de la mesure de bruit de phase sur le VCO2.*

### I.2.3.2. ETUDE COMPARATIVE ENTRE MESURE ET SIMULATION

Le Tableau 4- 11 présente les résultats comparés entre les mesures et les simulations du bruit de phase pour un courant de 6mA dans le cœur du VCO.

| Circuits | Bruit de phase à 1MHz en [dBc/Hz] | | Δ en [dB] Sim-Mes[3] |
|---|---|---|---|
| | Mesure | Simulation | |
| **VCO1** | -104,1 | -102,2 | 1,9 |
| **VCO2** | -114,8[4] | -106 | 8,8 |
| **VCO3** | -109,5 | -107 | 2,5 |
| **VCO4** | -97,3 | -97,2 | 0,1 |
| **VCO5** | -102,8 | -106 | -3,2 |
| **VCO6** | -102,4 | -107 | -4,6 |
| **OSC1** | -104,4 | -102 | 2,4 |

*Tableau 4- 11: Comparaison entre simulation et mesure du bruit de phase à 1MHz ($I_{VCO}$=6mA et Vc=0V).*

Nous allons à présent commenter ces mesures de bruit de phase.

[3] Δ est l'écart entre la valeur simulée et la valeur mesurée.
[4] Cette mesure n'a pas pu être reproduite après l'anomalie citée ci-dessus.

### 1. Commentaires sur les résultats de bruit de phase

Le VCO1 présente des performances en bruit de phase relativement proches de la simulation. Les performances sont très correctes.

Le VCO3 présente les meilleures performances. Elles sont conformes à la simulation, abstraction faite du VCO2, qui demande à être mesuré à nouveau. Ce VCO3 semblable au VCO2, mais avec un filtre LC, a lui aussi été testé jusqu'à 9mA: il ne présente aucune anomalie et il est très robuste face à l'environnement.

Le VCO4, à transistors à body flottant est le moins performant en matière de bruit de phase, mais a démontré pendant les mesures une robustesse remarquable. L'effet kink est responsable de cette performance moyenne en bruit de phase.

Le VCO5 présente un bruit de phase en deçà de la simulation. La modélisation de l'inductance laissait présager un facteur de qualité plus faible que l'inductance 1.1nH. La mesure confirme cela. On notera qu'un courant de polarisation deux fois plus fort permettrait d'améliorer le bruit de phase.

Le VCO6 a été mesuré sur un autre banc de mesure. Des mesures comparatives entre les deux bancs ont montré des écarts significatifs (11dB). Il serait donc souhaitable de refaire des mesures dans les mêmes conditions que les autres VCO. Les simulations laissent prévoir un meilleur résultat.

Enfin, l'oscillateur OSC1 a un bruit dans la moyenne, malgré le facteur de qualité simulé très élevé pour les capacités MIM. En simulation (avec des varactors CMOS/BULK), l'analyse des contributeurs de bruit montre que les varactors sont des contributeurs légèrement plus importants que l'inductance (pour le VCO1, 2,9% contre 1,8%). La mesure sur OSC1, avec des capacités MIM qui n'ont pas les limites des varactors, montre que le bruit de phase n'est pas amélioré. Nous en concluons que l'inductance a une contribution prépondérante et plus importante que ne le propose la simulation.

Les difficultés liées à l'accès aux bancs de mesures ne nous ont pas permis encore de faire les mesures sur OSC2 et sur le VCO9 à commande différentielle.

### 2. Influence de l'harmonique 2 sur le bruit de phase

Le classement des circuits par bruit de phase croissant montre une très bonne adéquation avec les mesures de puissance à l'harmonique 2 (Tableau 4- 12 ci-après). Si l'on écarte du classement les VCO2 et 6 pour les raisons évoquées plus haut, la correspondance est très satisfaisante.

| Circuits | Bruit de phase à 1MHz en dBc/Hz | Puissance de H2 en [dB] à 21GHz |
|---|---|---|
| **VCO3** | -109,5 | -40 |
| **OSC1** | -104,4 | -35,1 |
| **VCO1** | -104,1 | -36,2 |
| **VCO5** | -102,8 | -35 |
| **VCO4** | -97,3 | -32,5 |
| | | |
| **VC02** | -114,8 | -35,6 |
| **VCO6** | -102,4 | -40 |

*Tableau 4- 12: Classement des circuits par bruit de phase croissant et comparaison avec la puissance de l'harmonique 2.*

Il est important de remarquer que OSC1 a une fréquence d'oscillation inférieure à celles de VCO1 et de VCO5, ce qui peut expliquer son meilleur bruit de phase malgré une puissance d'harmonique 2 plus élevée.

#### I.2.3.3. CONCLUSION SUR LES FIGURES DE MERITE COMPAREES

Les performances en bruit de phase de l'ensemble des circuits, que nous avons pu mesurer, sont très satisfaisantes. Il est intéressant de comparer nos VCO avec les VCO publiés grâce à la figure de mérite vue au chapitre III, qui tient compte de tous les paramètres (fréquence centrale, plage de fréquence, consommation et bruit de phase).

Le Tableau 4- 13 présente les figures de mérite de nos circuits comme indiqué au chapitre 3:

| Circuits | FOM en [dB] |
|---|---|
| **VCO3** | -119,4 |
| **VCO1** | -114,0 |
| **VCO5** | -115,9 |
| **VCO4** | -107,0 |

*Tableau 4- 13: Figures de mérite FOM de nos circuits.*

La Figure 4- 9 illustre les performances comparées en termes de FOM et de puissance dissipée des VCO1 et VCO3 sur CMOS/SOI aux huit meilleurs résultats donnés dans la littérature:

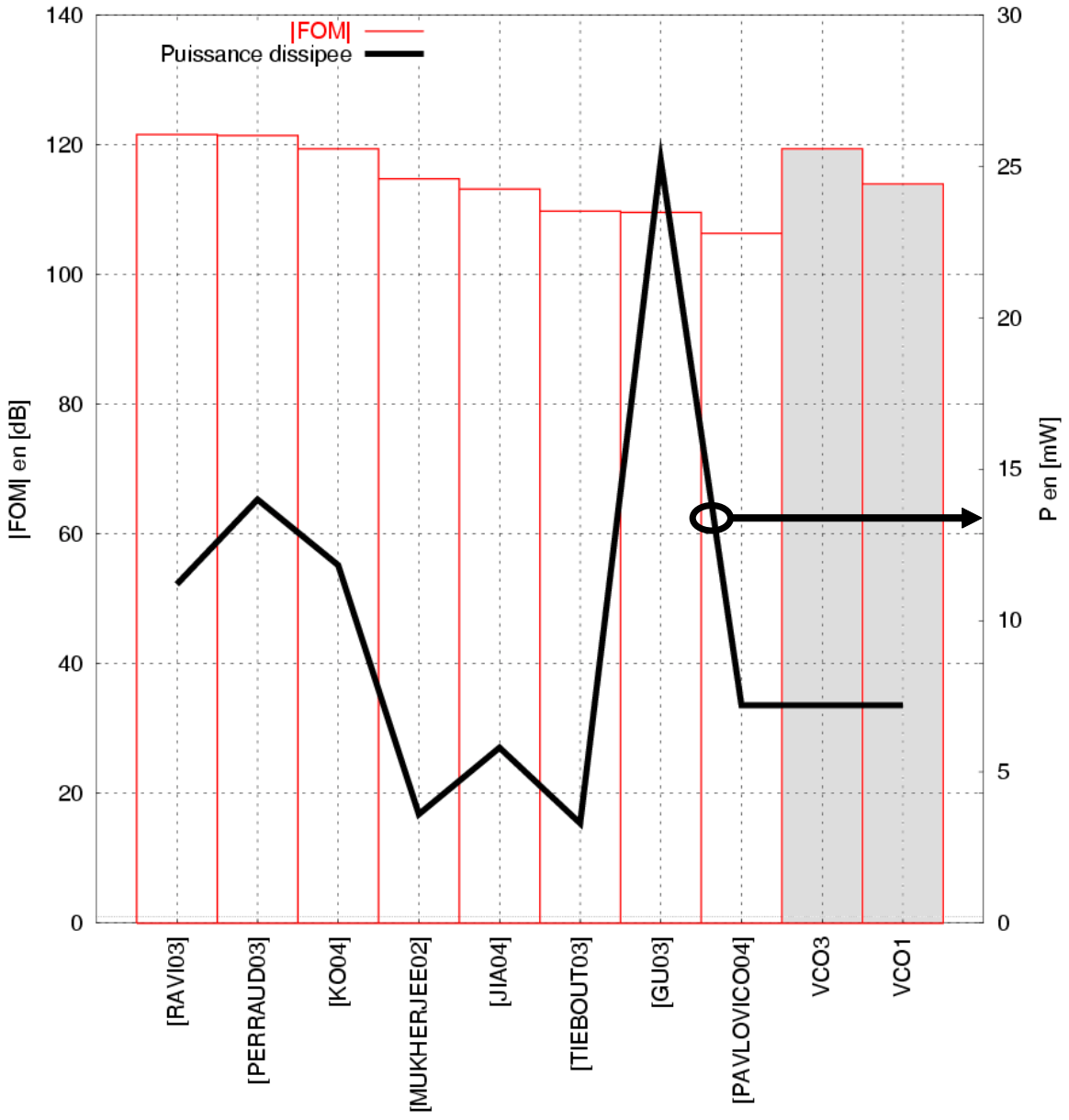



*Figure 4- 9: Figures de mérite (FOM) à 1MHz et puissance dissipée dans le cœur du VCO.*

Les VCO1 et 3 sont équivalents aux trois meilleurs VCO de la littérature. Malgré un bruit de phase inférieur, le facteur de mérite reflète la faible consommation et une plage de fréquence large des VCO réalisés en CMOS/SOI-PD 0.13µm.

A facteur de mérite équivalent, les circuits CMOS/SOI présentent une consommation inférieure de 41% aux trois meilleurs VCO de la littérature.

Les résultats particulièrement performants du VCO2 ne sont pas illustrés et mériteraient d'être confirmés par une autre mesure.

# I.3. IMPLEMENTATION ET MESURES SUR LE VCO MULTI-PHASES 4X10GHZ

## I.3.1. IMPLEMENTATION

La microphotographie du VCO multi-phases est représentée sur la Figure 4- 10:

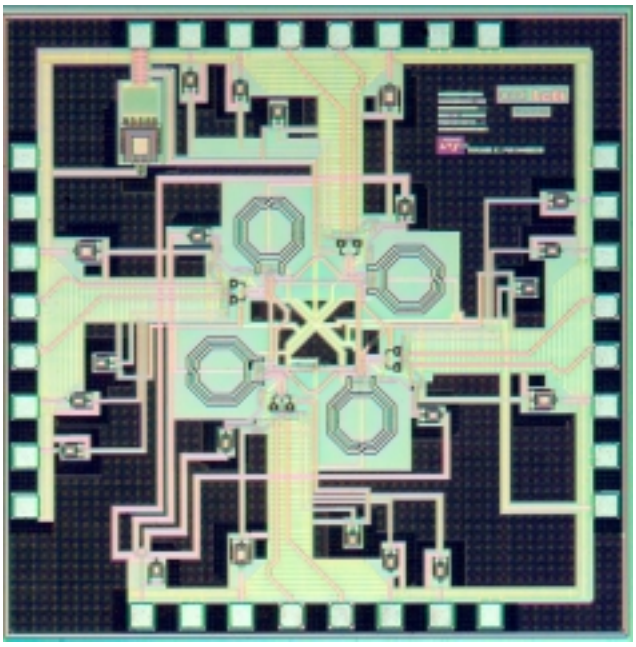


*Figure 4- 10: Microphotographie du VCO multi-phases 4x10GHz*

Le VCO multi-phases occupe une surface de 4 $mm^2$.

## I.3.2. RESULTATS DES MESURES FREQUENTIELLES

### I.3.2.1. FREQUENCE D'OSCILLATION ET PUISSANCE DE SORTIE

Le Tableau 4- 14 présente un comparatif simulations et mesures fréquentielles:

| Fréquence d'oscillation en [GHz] | | | | Plage de fréquence Δf/f en [%] extrapolée | Amplitude du signal différentiel en [V] à $V_c$=0V | |
|---|---|---|---|---|---|---|
| | $V_c$=-1V | $V_c$=0V | $V_c$=+1V | | Sortie VCO | Sortie Buffers |
| **Simulation** | 11,2 | 13,9 | 16,2 | 36 | 2,1 | |
| **Mesure** | 10,28 | 11,13 | 12,76 | 21,5 | | 0.1 |

*Tableau 4- 14: Comparaison entre les mesures et les simulations fréquentielles du VCO multi-phases 4x10GHz.*

La différence constatée entre simulation et mesure provient de la non prise en compte dans ces simulations des capacités de routage entre les cellules du VCO. La fréquence mesurée à $V_c$=0V est proche de celle souhaitée dans le cahier des charges (11,226GHz).

L'amplitude de sortie en différentielle est légèrement inférieure à celle des VCO 10GHz. Ceci s'explique par la réduction du rapport W/L des transistors de la structure active.

Les mesures ci-dessus ont été effectuées avec un courant total de 4x4.5mA soit 18mA. Notons que le VCO continue à osciller jusqu'à un courant total de 4x1mA soit 4mA.

#### I.3.2.2. PLAGE DE FREQUENCE

La Figure 4- 11 présente la caractéristique en fréquence du VCO mesurée sur une des quatre sorties:

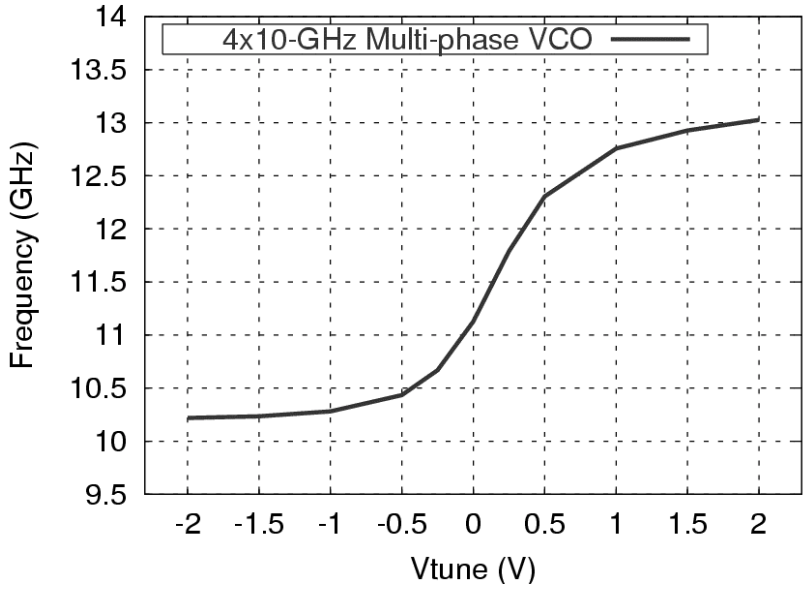



*Figure 4- 11: Variation de la fréquence du VCO 4X10GHz en fonction de la tension de contrôle des varactors[5].*

La plage de fréquence du VCO multi-phases est de 24,4%.

#### I.3.2.3. PUISSANCE DISSIPEE

La consommation du cœur du VCO est de 18mA, soit une puissance dissipée de 21,6mW. Cette consommation est raisonnable pour un VCO générant quatre signaux différentiels. La courant consommé dans l'ensemble du circuit est de 91,32mA, soit 109,5mW.

[5] On rappelle que $V_c$ et Vtune sont identiques.

Les étages de sortie nécessaires au test du VCO contribuent à cette consommation élevée mais n'existeront que partiellement dans le CDR.

#### I.3.2.4. SENSIBILITE DE LA FREQUENCE A LA TENSION D'ALIMENTATION

Le gain du VCO à la fréquence centrale est de 2,36GHz/V. Ce gain est plus élevé de 68% par rapport au VCO 10GHz, alors qu'on utilise les mêmes varactors NMOS de 35OfF. Le VCO multi-phases utilise huit varactors. La pente résultante est plus élevée.

Le pushing à une tension de contôle de 0V est de 288MHz/V.

Le gain du VCO et le pushing à la fréquence centrale permettent d'estimer la réjection du VCO. Pour un gain de 2,36GHz/V et un pushing à $V_c$=0V de 288MHz/V, la réjection vaut 18,3dB.

#### I.3.2.5. CONCLUSION

La Figure 4- 12 illustre les plages de variation du VCO2 et du VCO 4x10GHz:

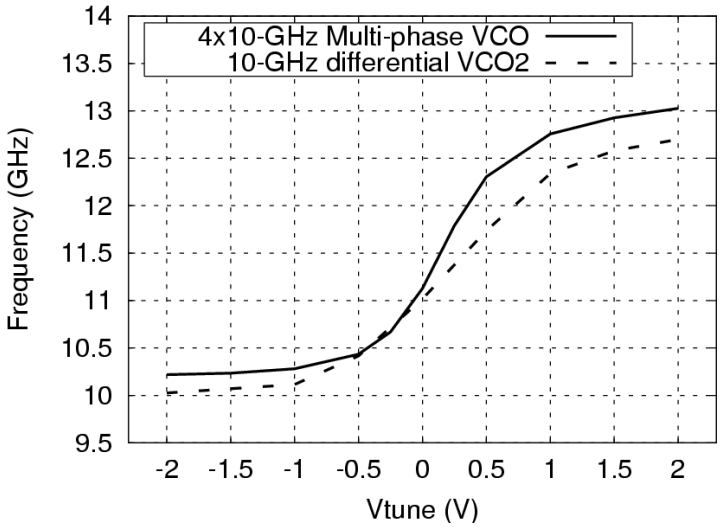



*Figure 4- 12: Comparaison des plages de fréquence du VCO2 et du VCO multi-phases 4x10GHz.*

Le gain du VCO multi-phases est plus élevé que celui du VCO2 10GHz. La consommation pour les mesures fréquentielles a été fixée à 18mA dans le cœur du VCO. Nous verrons ultérieurement que l'optimum de bruit de phase est atteint pour une consommation de 10mA. La réjection du bruit d'alimentation est de 18,3dB. Enfin, la puissance de l'harmonique 2 est relativement faible. Nous allons maintenant présenter les mesures temporelles.

### I.3.3. RESULTATS DES MESURES TEMPORELLES

Les mesures temporelles ont été effectuées sur l'oscilloscope large bande Agilent Infinium DCA 86100B.

Nous avons effectué le déclenchement de l'oscilloscope sur une sortie non différentielle de la cellule 1, amplifié par un amplificateur large bande et faible bruit.

La période des signaux de sortie est d'environ 90.6ps, soit une fréquence d'environ 11GHz. La tension d'offset de sortie est de -72,5mV et l'amplitude est d'environ 47mV. Ceci correspond à une amplitude différentielle crête-crête de 94mV, proche de la mesure fréquentielle (100mV)

Nous avons constaté entre chaque sortie d'une même cellule un déphasage différent des 180° attendus. Les valeurs obtenues varient de +/- 20°. Nous avons donc essayé d'identifier l'origine d'un déphasage parasite. Il s'avère que des problèmes de "setup" du plan de mesures ont, semble t-il, provoqué ce déphasage (longueurs différentes des câbles RF). Cependant, le VCO fonctionne et la Figure 4- 13 illustre les performances temporelles entre les deux sorties non différentielles de la cellule 2:

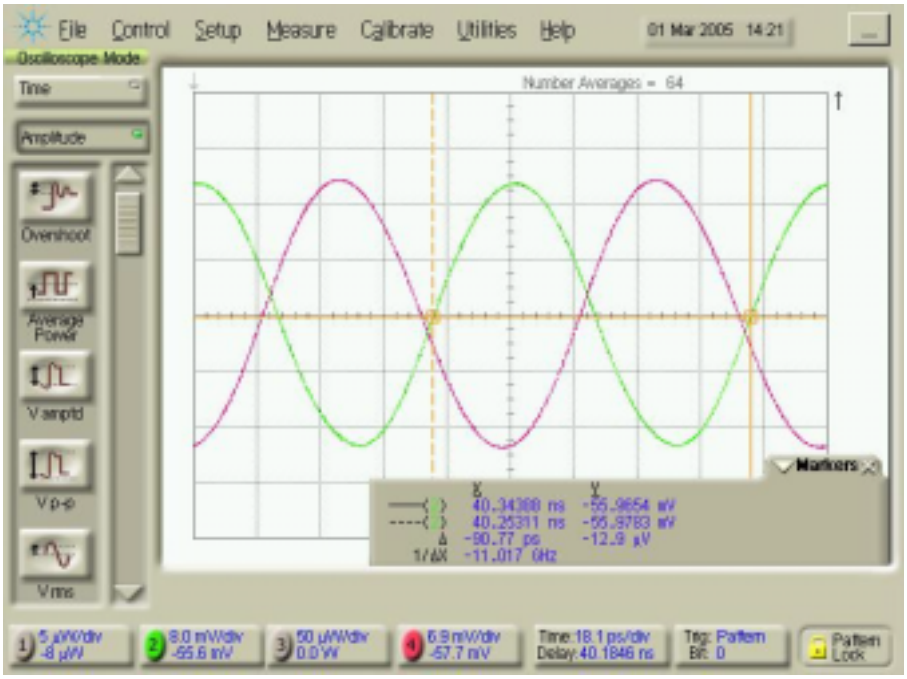



*Figure 4- 13: Signaux de sortie de la cellule 2.*

La période des signaux est de 90.7ps et le déphasage entre les deux sorties est de 194,7° au lieu des 180° attendus. Le déphasage de 45° entre les signaux différentiels devrait être inhérent à la structure du VCO (4 cellules bouclées) sans le problème de "setup".

Nous allons maintenant présenter les mesures de bruit de phase.

## I.3.4. RESULTATS DES MESURES DE BRUIT DE PHASE

Les mesures de bruit de phase ont été réalisées dans la société Aeroflex. La simulation n'ayant pas convergé, nous n'aurons pas de comparaison.

### I.3.4.1. COURBES DE BRUIT DE PHASE

Le bruit de phase est optimum à un courant de polarisation du cœur du VCO égal à 10mA. La Figure 4- 14 illustre la mesure du bruit de phase:

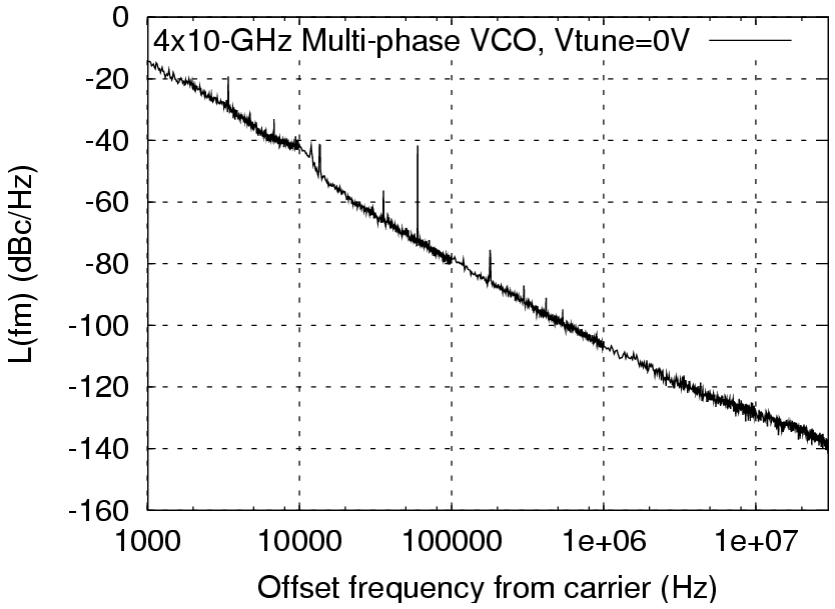
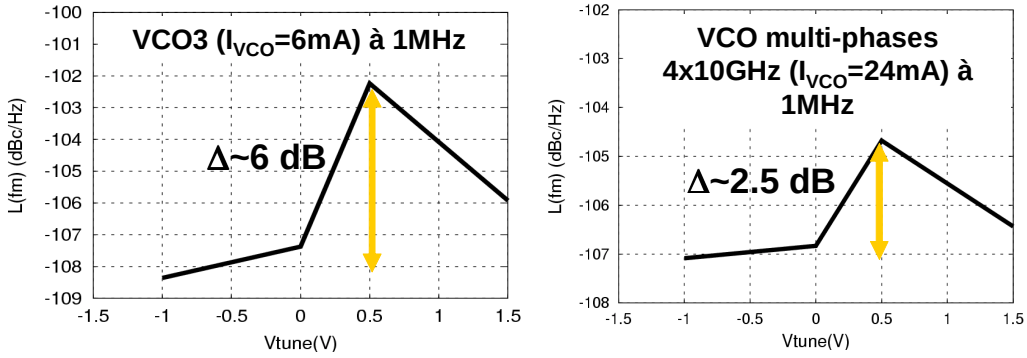



*Figure 4- 14: Mesure du bruit de phase du VCO multi-phases 4x10GHz ($I_{VCO}$=18mA, $V_c$=0V).*

La valeur du bruit de phase mesuré est de -107dBc/Hz à 1MHz de la fréquence centrale de 11,1GHz à $V_c$ égal à 0V et pour un courant du cœur du VCO de 10mA à 21mA. Ce qui démontre une consommation faible et un bruit de phase réduit, grâce au SOI. On notera qu'à 10mA, la fréquence centrale est de 11,03GHz, la puissance de sortie est seulement inférieure de 1 dB à celle mesurée à 21mA. Au moment des mesures fréquentielles, nous n'avions pas encore connaissance des résultats performants en bruit de phase et nous n'avons pas mesuré la plage de fréquence à 10mA. Tout laisse à penser qu'elle est sensiblement identique à celle mesurée à 18mA.

### I.3.4.2. COMPARAISON DE LA VARIATION DU BRUIT DE PHASE

La Figure 4- 15 illustre la variation du bruit de phase du VCO3 et du VCO multi-phases 4x10GHz.




**(a) Variation du bruit de phase du VCO3** **(b) Variation du bruit de phase du VCO multi-phases**

*Figure 4- 15: Comparatif de la variation du bruit de phase entre VCO3 et le VCO multi-phases 4x10GHz.*

La polarisation du VCO multi-phases pour cette comparaison est de 24mA (différente de la valeur à l'optimum de bruit de phase) mais la comparaison reste valide. Le bruit de phase du VCO multi-phases 4x10GHz est équivalent à une tension de contrôle de 0V à celui du VCO3. Mais sa variation en fonction de $V_C$ est inférieure de 3,5 dB à celle du VCO3. Son bruit de phase est donc plus constant, ce qui est toujours un avantage.

### I.3.4.3. PERFORMANCES COMPAREES AVEC LES TRAVAUX PUBLIES

La figure de mérite du VCO multi-phases 4x10GHz est comprise entre -112dB et -115dB avec un courant dans le cœur du VCO de 10 à 18mA. A titre de comparaison, les VCO 40GHz ont une figure de mérite maximum de -108,1dB (chapitre III). Le Tableau 4- 15 ci-après présente les performances comparées des deux VCO multi-phases 10GHz de la littérature, en CMOS/BULK 0.18µm et notre VCO multi-phases 4x10GHz en CMOS/SOI 0.13µm.

| Réf | Fréquence centrale [GHz] | Plage de fréq Δf/f [%] | Puissance consommée Pdiss [mW] | Bruit de phase à 1 MHZ L(1MHz) [dBc/Hz] |
|---|---|---|---|---|
| **[GU03]** | 9,65 | 11,4 | 32,4 | -101 |
| **[LEE03]** | 9,94 | 12 | NC | -105 |
| **VCO multi-phases 4x10GHz** | 11,13 | 24,4 | 21,6 | -107 |

*Tableau 4- 15: Comparaison des VCO multi-phases 10GHz.*

Le VCO multi-phase 4x10GHz présente de très bonnes performances en bruit de phase et une plage de fréquence deux fois plus élevée que celles des auteurs cités. La puissance consommée pour générer quatre signaux à 10GHz reste relativement modérée.

## I.4. CONCLUSIONS

Pour évaluer les potentialités du CMOS/SOI 0.13µm dans les applications haute fréquence, nous avons établi dans le chapitre 3 une feuille de route. Celle-ci nous a conduit à réaliser dix circuits qui fonctionnent et qui ont permis d'apporter les réponses attendues en termes de choix technologiques.

Par ailleurs la démarche de conception suivie (modèles CMOS/BULK pour les varactors, modèles CMOS/SOI pour les transistors et modèle électromagnétique pour les inductances) s'est révélée efficace.

Les simulations et les modèles ont apporté des indications utiles mais ont montré leurs limites, notamment à haute fréquence, dans l'évaluation des capacités maximales des varactors. De plus, la mesure du bruit de phase de l'oscillateur montre que l'inductance est un contributeur plus important en bruit de phase que ne laissait prévoir la simulation (avec un varactor MOS/BULK).

Pour les VCO 10GHz, les varactors NMOS et PMOS présentent des performances similaires avec toutefois une puissance d'harmonique 2 légèrement inférieure pour le PMOS.

La convergence de la simulation est améliorée grâce au filtre LC. En outre, ce filtre a permis d'atteindre de meilleures performances en bruit de phase.

Le transistor à body flottant présente des performances en bruit de phase inférieures dues à la conversion de l'effet kink. Toutefois, les mesures de bruit de phase sont très reproductibles.

Le doublement de la largeur des transistors ne s'est pas révélé favorable aux performances fréquentielles de l'oscillateur. Les mesures de bruit de phase n'ont pas pu être

réalisées pour des raisons matérielles. Elles sont cependant souhaitables pour connaître le bruit de phase de cet oscillateur.

La géométrie de l'inductance et son facteur de qualité ont, comme attendu, une influence importante sur le bruit de phase.

Enfin, la réduction de la puissance de l'harmonique deux présente une bonne corrélation avec la réduction du bruit de phase.

Malgré la quantité d'enseignement recueillie, nous aurions souhaité pouvoir faire de nouvelles mesures sur un autre VCO2 pour identifier l'origine de l'anomalie à fort courant. Nous aurions aussi voulu mesurer les performances du VCO9 à commande différentiel.

La technologie CMOS/SOI-PD 0.13µm permet de réaliser des VCO ayant un bruit de phase réduit, une faible consommation et une large plage de fréquence. Les facteurs de mérite de nos VCO 10GHz sont ainsi parmi les meilleurs de ceux des VCO publiés en technologie CMOS/BULK et CMOS/SOI.

Pour le VCO multi-phases 4x10GHz, nous avons choisi d'implémenter le VCO2 légèrement modifié. Toutefois, nous n'avons pas utilisé le filtre LC puisque les résultats de mesures sur les VCO 10GHz n'étaient pas disponibles au moment de sa conception. Ce filtre devrait améliorer les qualités du VCO multi-phases 4x10GHz.

Les mesures ont montré une fréquence centrale et une plage de fréquence légèrement supérieures à celles du VCO2 malgré l'addition de capacités parasites.

La réjection du bruit d'alimentation est de -18,3dB.

Les performances en bruit de phase sont très bonnes et donnent un facteur de mérite de l'ordre de -115dB. De plus le bruit de phase est plus constant sur la plage de fréquence que les VCO 10GHz.

Ce VCO multi-phases réalisé sur CMOS/SOI-PD permet d'utiliser les qualités du substrat hautement résistif et d'obtenir des performances très élevées. Celles-ci autorisent la réalisation d'un CDR multi-phases 40Gbit/s plus performant en jitter que le serait un CDR avec un VCO 40GHz.

Le dernier chapitre est une discussion sur les perspectives offertes par ce travail.

**CHAPITRE V: DISCUSSION ET PERSPECTIVES ..... 207**
I.1. Discussion..... 208
I.2. Perspectives ..... 209

# CHAPITRE V: DISCUSSION ET PERSPECTIVES

Le sujet de notre travail était d'étudier les potentialités d'une technologie avancée, le CMOS/SOI 0.13µm sur substrat HR, pour la réalisation de fonctions d'interface des liens, dont le débit est supérieur à 10Gbit/s.

Dans ce chapitre, nous allons tout d'abord essayer de porter un regard critique sur notre travail et sur ce qu'ont réalisé les chercheurs avant nous. Par la suite, nous tenterons de dégager les perspectives de poursuite du travail de recherche sur ce sujet et nous évoquerons les enjeux à venir dans la transmission de données à très haut débit.

## I.1. DISCUSSION

Notre travail a commencé à un moment très particulier de l'utilisation du CMOS/SOI dans les applications allant des radiofréquences (systèmes à bande étroite) aux systèmes de télécommunications large bande (DC à 40GHz). Le développement de circuits RF en CMOS/SOI est encore en phase exploratoire, cependant les outils de conception deviennent plus matures et les réalisations se multiplient.

Rappelons qu'au démarrage de ce travail, nous ne disposions pas encore des modèles de simulation et que nos circuits ont été fondus dans les tous premiers runs de STMicroelectronics, ouverts aux centres de Recherche et de Développement. Nos travaux ont été intégrés, parmi d'autres, dans le projet européen Médéa T206. Ce projet exploratoire consiste à étudier à la fois le comportement des dispositifs SOI à haute fréquence et les performances maximales pouvant être obtenues sur des véhicules de test analogiques.

Les liens haut débit, régis par la norme SONET, ont pendant longtemps été réalisés à l'aide de technologies performantes et éprouvées à très haute fréquence mais plus onéreuses que le CMOS: les technologies AsGa, InP ou encore SiGe qui présentent une fréquence de transition élevée. Ces technologies ne permettent cependant pas l'intégration de circuits analogiques et numériques sur la même puce. L'utilisation du CMOS pour les liens à 10Gbit/s n'a pu être concevable qu'à partir des technologies 0.18µm. Les challenges sont malgré tout nombreux, notamment à cause des contraintes de jitter maximal, de taux d'erreur binaire (BER) et de consommation. La difficulté majeure en CMOS consiste à concevoir des circuits très rapides tout en satisfaisant un bruit de phase, un jitter, et un BER minimaux. Les travaux antérieures ont le plus souvent tenté la réalisation de VCO fonctionnant à la fréquence maximale des données (10 puis 40Gbit/s), sans pouvoir toujours satisfaire les normes en jitter ou en plage d'accord en fréquence.

L'option "half-rate" et même "quarter-rate" sont aujourd'hui incontournables pour permettre aux technologies CMOS de contribuer au développement rapide des liens à 40Gbit/s, de l'accélérer, et d'apporter de l'innovation en intégrant le traitement numérique sur le même dispositif. En effet, la facilité d'intégration des circuits en CMOS, ainsi que leur coût réduit, permettraient un développement plus rapide des infrastructures supportant des débits toujours plus élevés. L'arrivée des technologies CMOS/SOI 90nm, 65nm puis 45nm permettront d'augmenter significativement le produit Gain-Bande et donc de réduire la consommation. Des architectures nouvelles, fonctionnant par exemple à un quart de la fréquence maximale, permettent de surmonter les difficultés inhérentes à une fréquence plus élevée. Il est ainsi possible de satisfaire à la fois la plage d'accord en fréquence et les performances en jitter imposées par les normes.

Dans une première étape de notre travail, nous avons exploré les solutions possibles pour la réalisation de VCO 10GHz. Cela nous a conduit à la réalisation des neuf premiers circuits. Cette feuille de route, bien qu'assez complète, a malgré tout certaines lacunes. L'implémentation, par exemple, d'une inductance multi-brins pour améliorer les performances de nos circuits n'a pas pu être mise en oeuvre. De plus, le calendrier des mesures des circuits de la feuille de route, a été impacté par la conception du VCO multi-phase.

En outre, la fréquence des runs (imposant des contraintes de temps sévères) et les difficultés de mises en place des campagnes de mesures ont constitué des challenges supplémentaires. La non disponibilité des appareils de mesures et le coût inhérent aux campagnes de test ne nous ont pas permis une caractérisation exhaustive. Celle-ci permettrait de comparer les résultats de mesure et les simulations de manière à optimiser d'une part les modèles et d'autre part les VCO.

Dans la deuxième étape, nous avons exploré la solution "quarter-rate". Cela nous a conduit à concevoir un VCO multi-phases 4x10GHz ayant de très bonnes performances en bruit de phase, en consommation et en plage de fréquence. Cependant, nous aurions souhaité pouvoir rectifier le plan de mesure (longueur des câbles RF) et adapter leurs déphasages grâce à des connecteurs spécifiques dont le déphasage est réglable.

Parmi les options à explorer, l'étape suivante consiste à implémenter sur le prochain run accessible, d'une part, le filtre LC, et d'autre part, une inductance multi-brins sur le VCO multi-phases.

Nous allons à présent discuter des perspectives d'amélioration et de poursuite de ce travail.

## I.2. PERSPECTIVES

L'arrivée récente de modèles des transistors CMOS/SOI 0.13µm prenant en compte le bruit en 1/f permet d'affiner la conception des VCO. Ils permettraient également de poursuivre le travail de conception vers l'implémentation d'un CDR complet sur SOI hautement résistif.

A titre d'essai d'optimisation des inductances, nous avons conçu une inductance multi-brins et multi-niveaux de 550pH pour le résonateur des différents VCO. Cette inductance a été dessinée dans le but de réduire sa résistance série et donc d'optimiser son facteur de qualité. Le dessin de l'inductance est représenté sur la Figure 5- 1:

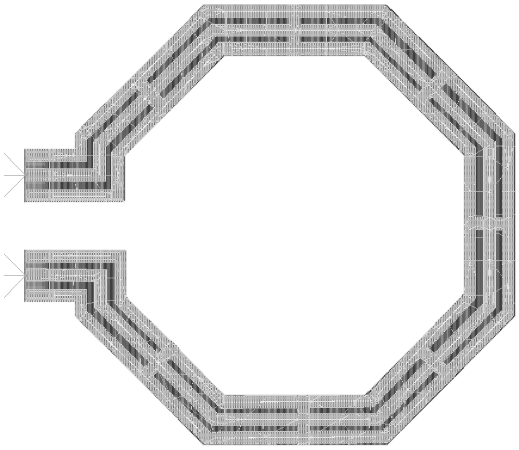


*Figure 5- 1: Inductance multi-brins et multi-niveaux de 550pH.*

Cette inductance multi-niveaux (métal 5, métal 6 et alucap) est constituée de trois brins reliés en parallèle de largeur 12µm. Le facteur de qualité de cette inductance sur substrat SOI HR a été simulé sur Momentum 2005 (Figure 5- 2).

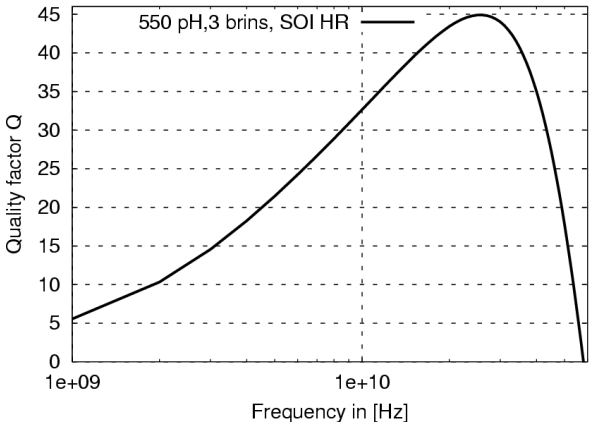



*Figure 5- 2: Facteur de qualité simulé de l'inductance multi-brins et multi-niveaux de 550pH.*

Le facteur de qualité simulé à 10GHz est d'environ 33 contre 20, pour l'inductance différentielle de 1.1nH et contre 12, pour l'inductance de 500pH. Le facteur de qualité maximal de l'inductance multi-brins est de 45 à 25GHz. Comme nous l'avons vu, les performances du VCO à 10GHz sont essentiellement limitées par le facteur de qualité de l'inductance. Il serait donc intéressant de réaliser un VCO 10GHz et un VCO multi-phases avec cette inductance.

Le substrat SOI HR permettrait donc à nouveau d'obtenir des composants passifs de très bonne qualité. Bien que les performances en bruit de phase du VCO multi-phases satisfassent les normes SONET, un niveau encore inférieur permettrait de relâcher les contraintes sur le jitter des autres circuits.

Il serait aussi possible de concevoir un VCO dont les inductances jouent le rôle de lignes de transmission entre les étages. Il serait alors nécessaire d'utiliser une structure de VCO LC NMOS-PMOS dont les avantages et les limites ont été présentés au chapitre III.

Enfin, nous souhaiterions caractériser le VCO9 à commande différentielle et l'implémenter dans le VCO multi-phases. La commande différentielle permet de part sa symétrie de réduire les fluctuations et le bruit présents sur la tension de contrôle des varactors.

L'ensemble de nos résultats, ainsi que ces nouveaux éléments, nous laissent entrevoir la possibilité de réaliser un CDR complet à très haut débit, totalement intégré en CMOS/SOI, dont les performances en jitter ne seraient pas limitées par le VCO.

**CONCLUSION..... 215**

# CONCLUSION

La transmission de données sur des liens haut débit à 10 et à 40Gbit/s est aujourd'hui en phase de développement en CMOS. Les circuits électroniques d'interface doivent donc pouvoir suivre l'augmentation exponentielle du volume des données à transmettre.

Ces circuits électroniques doivent avoir un niveau d'intégration et des performances plus élevés, tout en réduisant le coût du bit transmis. La technologie CMOS occupe aujourd'hui une place de plus en plus importante et permet la réalisation de circuits conçus autrefois en AsGa ou en InP et aujourd'hui en SiGe.

Le premier chapitre a exposé la problématique des liens haut débit et nous a permis d'identifier les fonctions critiques CDR et VCO. Nous avons ensuite étudié les atouts et les limites du CMOS/SOI pour la conception de circuits à haute fréquence avant de décrire la méthodologie itérative que nous avons utilisée. Le troisième chapitre a présenté la conception de dix circuits VCO et oscillateurs dédiés aux liens à 40Gbit/s. Les résultats des mesures ont ensuite été présentés et interprétés dans le chapitre IV. Enfin, nous avons présenté, dans le chapitre V, un bilan permettant de porter un regard critique sur notre travail et d'envisager des perspectives à ce travail.

Le CMOS/SOI a déjà démontré des performances intéressantes par rapport au CMOS/BULK, dans les applications numériques et analogiques basses fréquences. Notre travail a consisté à évaluer les potentialités du CMOS/SOI 0.13µm, pour la réalisation de fonctions d'interface des liens haut débit à 10 et à 40Gbit/s.

L'étude et la conception de circuits oscillants (VCO et oscillateurs) intégrant des composants passifs et actifs ont permis de valider des choix technologiques, d'identifier les convergences et les divergences avec les modèles de simulation et surtout de démontrer le fort potentiel de la technologie CMOS/SOI sur substrat hautement résistif.

Parmi les composants passifs, l'inductance sur substrat SOI HR présente un facteur de qualité supérieur de plus de 40% à celui d'une inductance identique sur un substrat de résistivité standard. Les varactors, pour lesquels nous n'avions pas de modèles CMOS/SOI, ont démontré en mesure une dynamique supérieure en capacité de 64% par rapport aux mêmes varactors simulés sur CMOS/BULK ($C_{MAX}/C_{MIN}$ égal 5,76 en CMOS/SOI contre 3,5 en CMOS/BULK). Les varactors NMOS et PMOS ont présenté des comportements semblables en fréquence. L'ensemble de ces bons résultats est attribué à des pertes réduites dans le substrat, à une meilleure isolation des dispositifs et à la réduction des capacités parasites en SOI.

Pour valider les choix technologiques de la structure active, nous avons utilisé des transistors à body contacté et des transistors à body flottant. Les mesures fréquentielles ont

révélé une diminution des capacités parasites du transistor à body flottant, ainsi qu'un gain légèrement supérieur. Par contre, les performances en bruit de phase se sont révélées meilleures pour les transistors à body contacté. Ces résultats sont attribués à la conversion de l'effet kink autour de la fréquence d'oscillation dans le cas du transistor à body flottant.

Les techniques mises en œuvre pour réduire le bruit de phase se sont avérées efficaces. Elles pourraient encore être optimisées grâce aux modèles de simulation disponibles aujourd'hui.

Les neuf circuits 10GHz, dédiés à la transmission parallèle de quatre canaux 10Gbit/s, sont fonctionnels et présentent des performances élevées en plage de fréquence (24%) et en consommation (7.2mW). Le bruit de phase du VCO avec filtre LC (-109.5 à 1MHz) est parmi les meilleurs de la littérature et pourrait être encore amélioré grâce aux nouveaux modèles, et à la nouvelle inductance multi-brins et multi-niveaux. Ces performances conduisent à une figure de mérite de -119,4dB. Ce VCO se place parmi les trois meilleurs et présente une consommation inférieure de 41%.

Le VCO multi-phases 4x10GHz dédié à la transmission série à 40Gbit/s est fonctionnel.

Ce VCO multi-phases 4x10GHz présente un faible niveau de bruit de phase (-107dBc/Hz à 1MHz) qui satisfait la norme SONET pour les liens à 40Gbit/s. Il bénéficie des mêmes avantages apportés par la technologie CMOS/SOI et sa structure lui confère des performances légèrement supérieures aux circuits précédents (plage de fréquence: 24,4%). Le VCO fonctionne sur une très large plage de courant en gardant les mêmes performances en bruit de phase. La figure de mérite de ce VCO est d'environ -112dB, soit meilleure de plus de 4dB par rapport aux VCO 40GHz CMOS/SOI de la littérature dédiés à la même application. La plage de fréquence du VCO multi-phases est elle aussi supérieure (24 % contre 12%).

Nous avons démontré la faisabilité de circuits pour les liens haut débit en technologie CMOS/SOI 0.13µm utilisant un substrat hautement résistif. Ceci nous a conduit à de très bonnes performances électriques. Nos travaux, l'évolution des modèles SOI et nos perspectives en termes de conception, laissent envisager des performances encore améliorées. Dans ce nouveau contexte, il est désormais possible de concevoir un CDR complet, totalement intégrable, satisfaisant les normes de transmission haut débit. L'évolution des technologies CMOS/SOI (65nm puis 45nm) permettront, à performances équivalentes, de réduire fortement la consommation du CDR complet.

**ANNEXES ..... 219**
I.1. Annexe 1 : Les comparateurs de phase ..... 219
I.2. Annexe 2 : Modélisation du bruit BF dans les transistors ..... 228
I.3. Annexe 3 : Schémas et paramètres des étages suiveurs et amplificateurs ..... 230
I.4. Références des annexes ..... 232

# ANNEXES

## I.1. ANNEXE 1 : LES COMPARATEURS DE PHASE

### I.1.1. LES COMPARATEURS DE PHASE LINEAIRES

#### I.1.1.1. LE COMPARATEUR DE PHASE XOR :

La porte logique OU Exclusif (XOR) réalise la comparaison entre deux séquences du même signal "Dentrée". La première séquence est le signal original. La deuxième est le signal original retardé d'un demi temps bit (Tb/2). En sortie de la porte XOR, nous obtenons un signal logique de fréquence 1/Tb (Figure 6- 1). La largeur des impulsions représente la différence de phase entre "Dentrée" et "H".

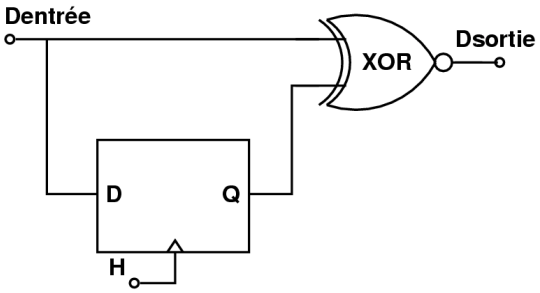



*Figure 6- 1: Porte logique XOR et retard.*

Ce comparateur de phase analogique utilise la cellule de Gilbert [MEYER99], [ISHIHARA94], [YU96] représenté sur la Figure 6- 2.

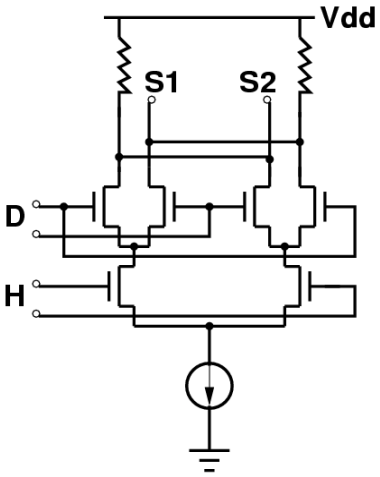



*Figure 6- 2 : Schéma du comparateur de phase à cellule de Gilbert.*

La caractéristique du comparateur de phase est linéaire sur [-π/2, +π/2] (différence de phase admise entre les signaux d'entrée). Le comparateur de phase fonctionne comme une porte XOR.

Cependant, le circuit à base de XOR présente un inconvénient majeur. La valeur moyenne du signal de sortie est dépendante de la densité des transitions du signal de donnée. Ainsi, la tension de sortie est inchangée si la densité des transitions est divisée par deux et si, simultanément, la différence de phase est doublée. Deux erreurs différentes de phase peuvent ainsi conduire à la même tension de sortie : la PLL ne verrouillera pas correctement.

De plus, la cellule de Gilbert est sensible au rapport cyclique des entrées. Ce qui se manifeste par une erreur statique de phase de la PLL. Enfin, ce type de comparateur de phase ne permet pas de comparer à la fois la phase et la fréquence des signaux d'entrée.

#### I.1.1.2. LE COMPARATEUR DE PHASE A BASCULES RS :

La bascule RS permet aussi de réaliser la fonction "comparateur de phase" [SOYUER90]. Une architecture de CDR utilisant ce type de comparateur de phase est détaillée dans [SOYUER93]. Le schéma du comparateur utilisé est décrit sur la (Figure 6- 3):

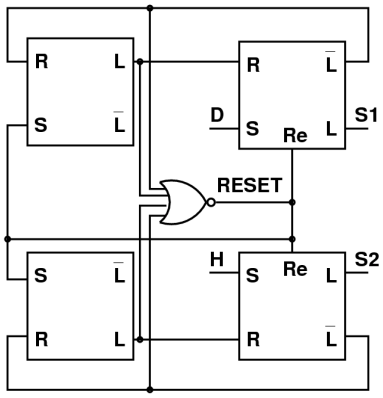



*Figure 6- 3 : Schéma du comparateur de phase à bascule RS.*

Cette bascule produit une sortie différentielle qui change de signe à chaque fois qu'un front montant sur l'une des entrées est suivi par un front montant sur l'autre entrée. La caractéristique de ce circuit est linéaire sur [-π, +π]. Cette structure est insensible au rapport cyclique des entrées, ce qui résout le problème d'erreur statique de phase de la cellule de Gilbert. Cependant, il est intéressant de remarquer que la bascule RS produit un signal DC différent de zéro, si l'une des entrées a une fréquence multiple de l'autre entrée. Ainsi, une PLL utilisant la bascule RS comme comparateur de phase peut verrouiller sur une harmonique de rang supérieure, si la plage de fréquence du VCO est suffisamment large.

### I.1.1.3. LE COMPARATEUR DE PHASE DE TYPE " HOGGE " :

Le comparateur de type " Hogge " ([HOGGE85]) permet de résoudre certains inconvénients des structures précédentes. Il est constitué de deux bascules D et de deux portes XOR (Figure 6- 4).

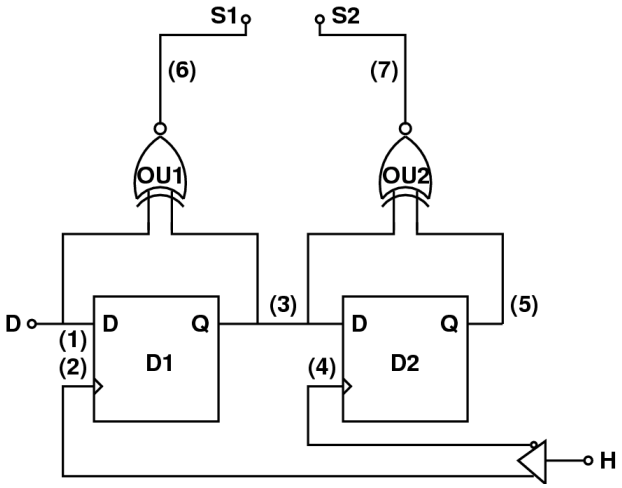



*Figure 6- 4 : Schéma du comparateur de phase de type " Hogge ".*

Un signal intermédiaire de référence (3) est généré pour éliminer les problèmes de densités de transition rencontrés précédemment.

Les signaux temporels sont décrit sur la Figure 6- 5.

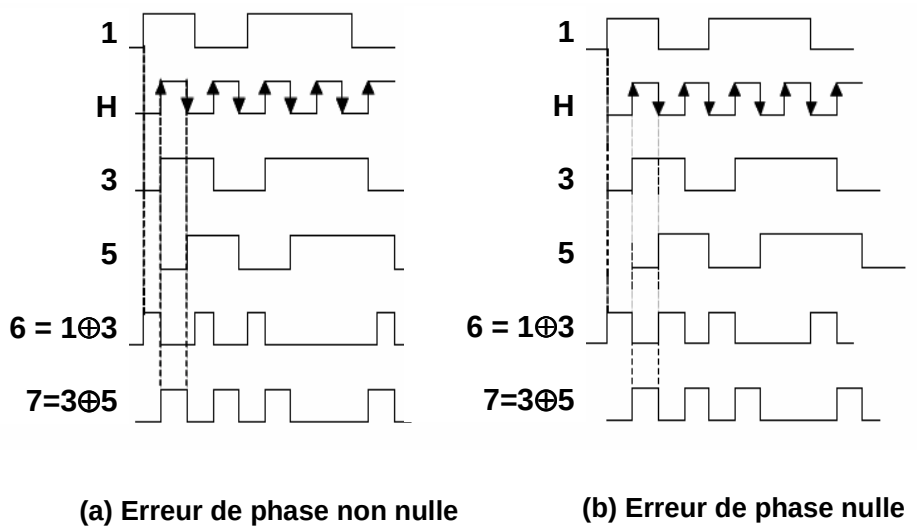



*Figure 6- 5: Diagramme temporel des signaux du comparateur de phase "Hogge" [WITHITSOONTHORN04].*

La bascule D1 échantillonne le signal d'entrée (1) sur front montant (ou descendant) de l'horloge H (2). La sortie (3) de la bascule D1 est échantillonnée par la bascule D2 sur front descendant (ou montant) de l'horloge H (4) produisant en sortie un signal (5) identique à (3), mais retardée d'une demi période. Les signaux (1) et (3) sont comparés par la porte OU1. De même pour les signaux (3) et (5), comparés par la porte OU2. La différence entre les sorties (6) et (7) des portes OU1 et OU2 donne une tension proportionnelle à l'écart de phase entre le signal de données (1) et l'horloge (2). Lorsque le signal d'entrée et l'horloge sont en phase, la sortie du comparateur de phase est nulle. Le VCO oscille ainsi à sa fréquence centrale. Il est intéressant de remarquer que les fonctions de détection et de décision sont assurées par les bascules D.

Le comparateur de phase de type Hogge présente plusieurs inconvénients. Le délai interne d'une bascule D n'est pas nul. Ce délai doit être compensé par un décalage des données et de l'horloge pour éviter que la sortie du comparateur soit non nulle, lorsque la différence de phase entre l'horloge et les données est nulle. Ce décalage est plus critique à haute fréquence et induit un déphasage systématique entre horloge et données, limitant ainsi les performances du circuit (marge de phase du VCO, performances en bruit) [HOGGE85]. Un deuxième inconvénient est lié au fait que les sorties des portes XOR sont décalées dans le temps d'un demi-temps bit dû au retard de la deuxième bascule D. Des modifications de l'architecture permettent de limiter ce problème [DEVITO91].

## I.1.2. LES COMPARATEURS DE PHASE BINAIRES

### I.1.2.1. LE COMPARATEUR DE PHASE ET DE FREQUENCE :

Ce comparateur séquentiel appelé PFD (" Phase Frequency Detector ") permet de pallier le problème de la comparaison de fréquence entre les deux signaux d'entrée. Cette structure (Figure 6- 6) traduit à la fois une différence de phase et une différence de fréquence et possède une caractéristique plus étendue que les deux comparateurs précédents (de $[-2\pi, +2\pi]$) et périodique [MEYR90].

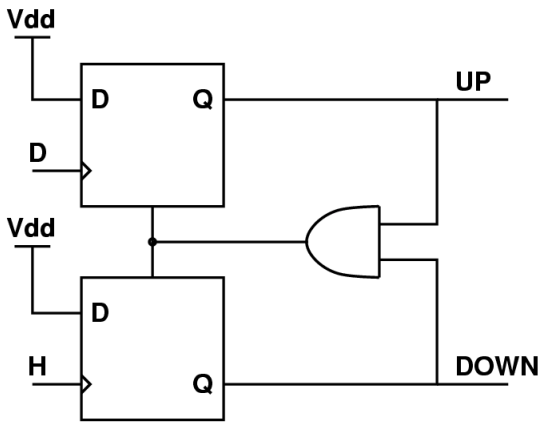



*Figure 6- 6 : Schéma du PFD.*

Contrairement aux structures précédentes, cette structure ne génère pas deux sorties complémentaires. Le principe de fonctionnement est le suivant: si la fréquence du signal D est inférieure à celle de l'horloge H, la sortie UP produit des pulses positifs, alors que DOWN reste constant et égal à zéro. Inversement si H présente une fréquence inférieure à D, DOWN produit des pulses positifs alors que UP est égal à zéro. Si les fréquences sont égales, le circuit génère des impulsions sur l'une des deux sorties avec une largeur égale à la différence de phase entre les deux entrées. Le comparateur séquentiel ne s'intéresse par à la forme des signaux, mais uniquement à leurs passages par zéro. Seul le front montant ou descendant intervient dans la prise de décision de l'avance de phase ou du retard. Ainsi, ce circuit est insensible au rapport cyclique du signal. L'état, dans lequel les deux sorties QA et QB sont à un, est interdit par la remise à zéro des bascules. Cependant lors d'un fonctionnement à haute fréquence, notamment à 10 ou à 40GHz, le temps de commutation de la porte logique ET n'est plus négligeable par rapport à la fréquence de fonctionnement du PFD, ceci constitue un avantage pour la zone morte. La conséquence est l'injection d'un courant dans le filtre passe-bas correspondant à l'état interdit. Pendant cet état, aucun front ne peut être détecté.

### I.1.2.2. LE COMPARATEUR DE PHASE DE TYPE " ALEXANDER " :

Le comparateur de phase de type " Alexander " [ALEXANDER75] est constitué de quatre bascules D et de deux portes OU Exclusif (Figure 6- 7).

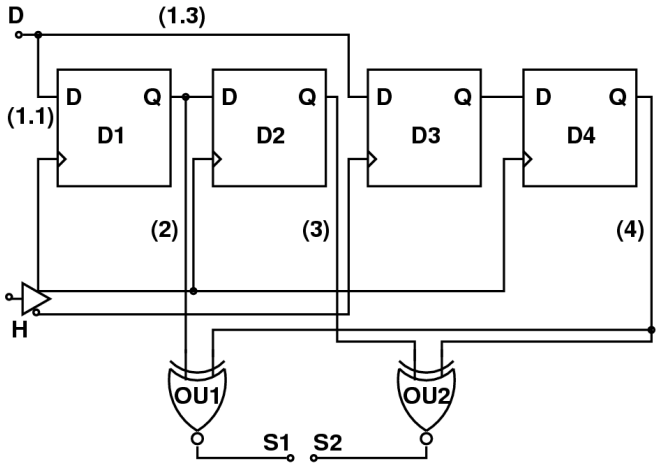



*Figure 6- 7 : Schéma du comparateur de phase de type " Alexander ".*

Les signaux temporels dans le cas où l'horloge est en avance (respectivement en retard) sont représentés sur la Figure 6- 8.a (respectivement Figure 6- 8.b).

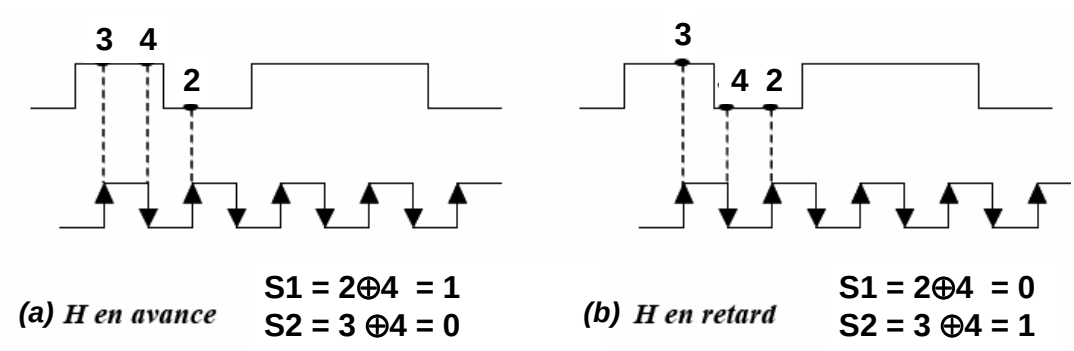



*Figure 6- 8: Diagramme temporel des signaux du comparateur de phase "Alexander" [WITHITSOONTHORN04].*

Les sorties S1 et S2 du comparateur sont binaires et leurs niveaux opposés indiquent l'avance ou le retard de l'horloge sur le signal d'entrée. Le signal d'entrée D est envoyé simultanément sur les bascules D1, signal (1.1) et D3, signal (1.3). Les bascules D1 et D3 sont synchronisées sur des fronts opposés. Le signal (1.1) est échantillonné sur front montant (ou descendant). La sortie (2) de D1 est ensuite échantillonnée sur front montant (ou descendant) par D2 pour donner le signal (3). Le signal (1.3) est échantillonné par D3. La bascule D4 permet de synchroniser la sortie de D3 sur le même front d'horloge que celui utilisé pour générer (3). La sortie (4) de D4 et (2) sont comparées par la bascule OU1. Le signal (3) et le signal (4) sont

comparés par la bascule OU2. Si l'horloge (H) est en avance sur les données (D), alors (2) ≠ (4) et (3) = (4). Dans le cas contraire, (2) = (4) et (3) ≠ (4), l'horloge est en retard sur les données. Si les trois sorties (2), (3) et (4) sont égales, cela signifie qu'il n'y a pas de transition du signal de données.

Comme dans le cas du comparateur de type " Hogge ", l'emploi du comparateur de type " Alexander " permet la récupération automatique des données, sans l'ajout d'un circuit de décision. En l'absence de transitions du signal de données, la sortie du comparateur de phase binaire est dans un troisième état laissant inchangée la tension de contrôle du VCO. La déviation en phase et en fréquence est ainsi limitée. De plus, le comparateur de phase binaire échantillonne les données au moment optimal (au milieu du bit), tout en comparant ce bit au bit précédent et au bit suivant. La fréquence de fonctionnement de ces comparateurs est donc limitée uniquement par la fréquence de fonctionnement des bascules D.

#### I.1.2.3. LES COMPARATEURS DE PHASE " HALF-RATE " ET " QUARTER-RATE " :

Certaines architectures de CDR permettent de recevoir les données à haut débit, tout en utilisant des VCO dont la fréquence est deux fois ou quatre fois plus faible que le débit des données. Ces architectures permettent aussi de relâcher les contraintes de vitesse des comparateurs de phase. Les architectures précédentes sont adaptées pour fonctionner à des fréquences sous multiples de la fréquence des données. Les deux fronts de l'horloge " half-rate " doivent être utilisés pour détecter les données. La Figure 6- 9 représente le schéma bloc d'un comparateur de phase linéaire " half-rate " [RAZAVI02], [SAVOJ01]. Le principe de fonctionnement est similaire au principe de fonctionnement du comparateur de Hogge.

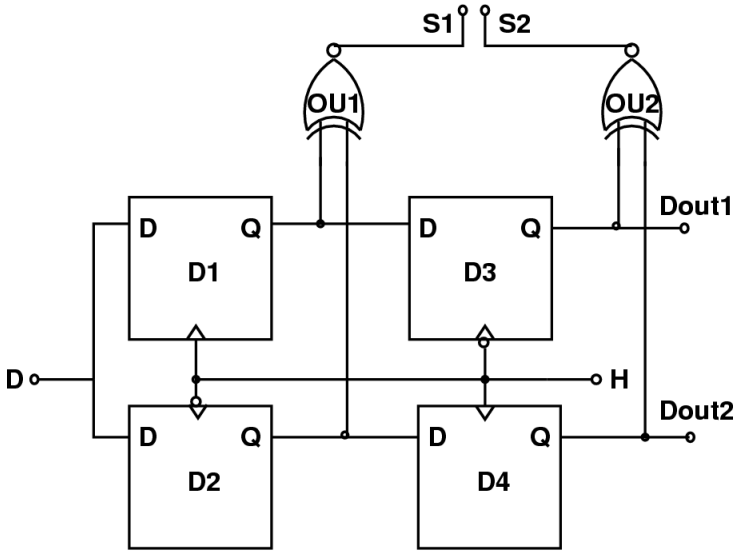



*Figure 6- 9 : Schéma d'un comparateur linéaire " Half-Rate ".*

Il en est de même pour le comparateur de phase binaire " half-rate ", dont le principe de fonctionnement est proche du principe de fonctionnement du comparateur " Alexander " (Figure 6- 10).

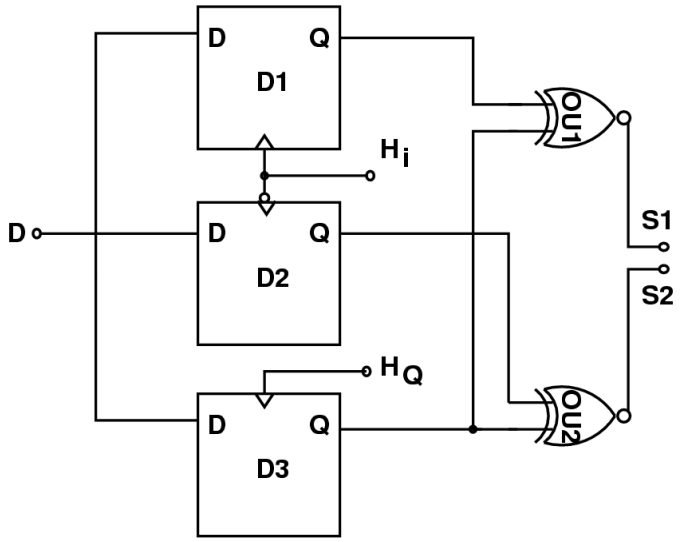



*Figure 6- 10 : Schéma bloc du comparateur de phase binaire " half-rate ".*

Le comparateur de phase " quarter-rate " (Figure 6- 11), publié par [LEE03], utilise huit bascules D pour échantillonner un signal de données à 40Gbit/s sur un signal d'horloge multi-phases à 10GHz. D'une façon similaire au comparateur " Alexander ", celui-ci compare deux à deux les données échantillonnées dans huit portes XOR. Les sorties de deux portes XOR

consécutives sont analysées par un convertisseur tension courant, qui génère un courant seulement si ses entrées ne sont pas égales.

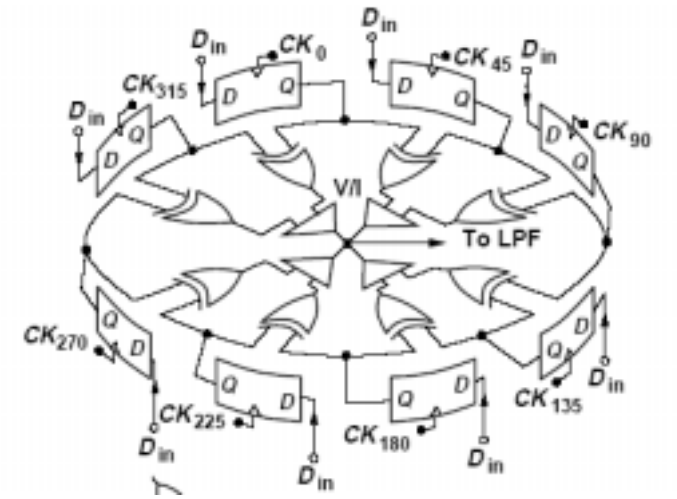



*Figure 6- 11 : Schéma bloc du comparateur de phase " quarter-rate " [LEE03].*

# I.2. ANNEXE 2 : MODELISATION DU BRUIT BF DANS LES TRANSISTORS

Cette annexe est un extrait traduit de la publication suivante:

D. Axelrad, E. de Foucauld, M. Boasis, P. Martin, P. Vincent, M. Belleville and F. Gaffiot, “A Multi-phase 10 GHz VCO in CMOS/SOI for 40 Gbits/s SONET OC-768 Clock and Data Recovery Circuits,” *2005 IEEE RFIC Symposium*, Long beach, California, June 2005 - IN PRESS.

## MODELISATION DU BRUIT BASSE FREQUENCE DES TRANSISTORS:

Une modélisation précise du bruit en 1/f des transistors CMOS est indispensable pour prédire le bruit de phase des VCO. Nous avons donc extrait les paramètres (NOIA, NOIB, NOIC et EF) pour le modèle de simulation BSIMPD2.2.3. Les dispositifs étudiés sont des transistors CMOS/SOI partiellement déserté, de longueur de grille minimale de 0.13µm, d'épaisseur d'oxyde de 2.6nm, sous une tension d'alimentation de 1.2V.

Les mesures sous pointes ont été effectuées en régime linéaire (|Vds|=50 mV), sur des transistors de type N et de type P. Les largeurs et les longueurs de grille sont comprises entre 0.13µm et 10µm. Les dispositifs étudiés sont à body flottant et à body contacté avec une ou deux prises body.

A titre d'exemple, la Figure 6- 1 illustre la bonne corrélation entre les mesures, le modèle BSIM et le modèle $M_C$ Whorter $\Delta\mu$-$\Delta n$ [GHIBAUDO91].

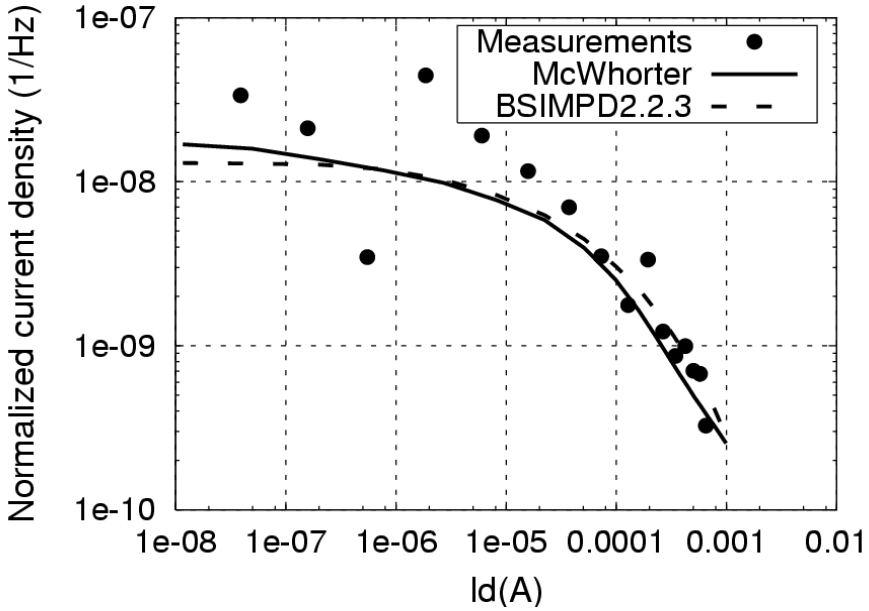



*Figure 6- 12: Densité spectrale de bruit du courant de drain normalisée ($S_{Id}/Id^2$) en fonction du courant de drain (NMOS BC,W/L=10µm/0.13µm, EF=0.98, f=10Hz).*

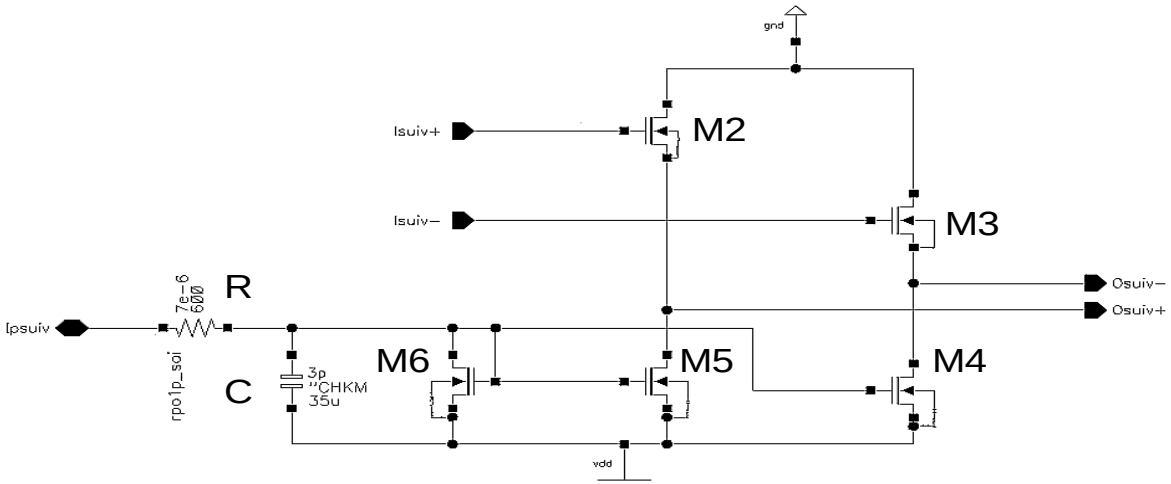
L'expression de la densité spectrale de bruit de courant de drain dans le modèle McWhorter est:

$$S_i(f)_{\Delta\mu-\Delta n} = \left[1 \pm \alpha\, \mu_{eff}\, C_{ox} \frac{I_d}{g_m}\right]^2 S_i(f)_{\Delta n} \cdot \qquad (6\text{-}1)$$

Nous avons donc extrait les paramètres suivants: la densité de piège $N_t$ (quantité exprimée dans $S_i(f)_{\Delta n}$ et le coefficient de Coulomb $\alpha$, traduisant les fluctuations corrélées de la mobilité. Bien que notre modèle ne soit pas directement implémenté dans BSIM, les équations permettent de retrouver les relations entre (Nt, $\alpha$) and (NOIA, NOIB, NOIC). Ce modèle nous permet ainsi de prédire les performances des VCO lors de l'étape de conception.

# I.3. ANNEXE 3 : SCHEMAS ET PARAMETRES DES ETAGES SUIVEURS ET AMPLIFICATEURS

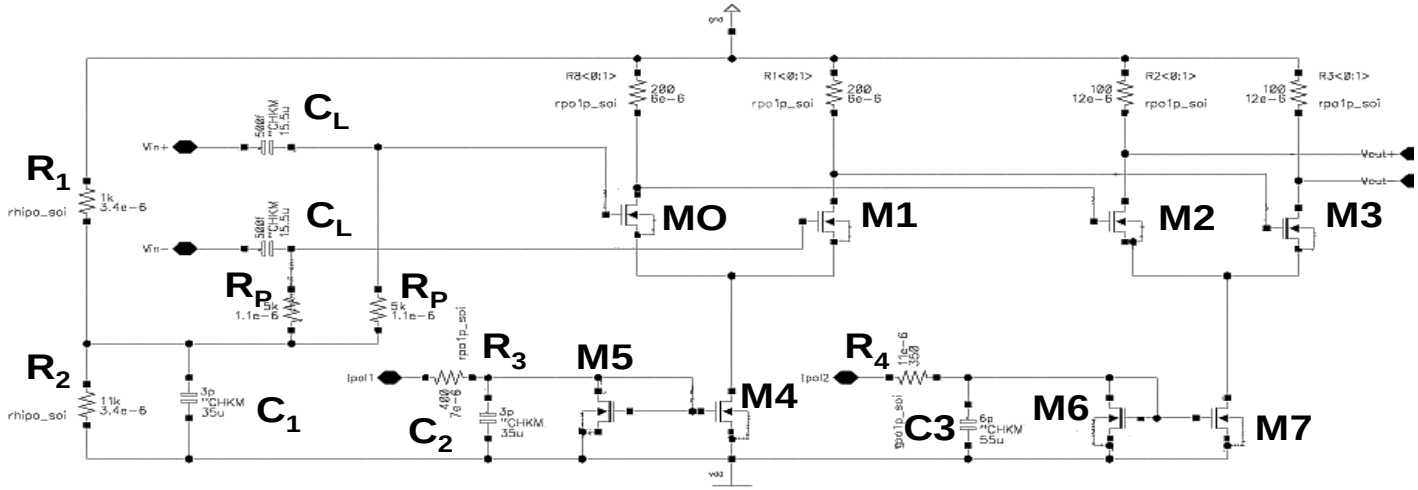
## I.3.1. SCHEMA ELECTRIQUE ET PARAMETRES DE L'ETAGE SUIVEUR




| Paramètres | M2, M3 | M4, M5, M6 |
|---|---|---|
| Dimensions (W,L) en [µm] | (30,0.13) | (100,0.13) |
| Nombre de doigts | 12 | 40 |
| Nature du body | Contacté à la source | Contacté à la source |

| Paramètres | Résistance R | Capacité C |
|---|---|---|
| Type | P+ Poly non siliçurée | MIM |
| Valeur | 600 Ω | 3pF |
| Dimensions | Longueur: 7µm | 35µm |
| Nombre de contacts | 20 | - |
| Nombre de vias | - | 22 |

## I.3.2. SCHEMA ELECTRIQUE ET PARAMETRES DES ETAGES BUFFERS




| Paramètres | M0, M1 | M2, M3 | M4, M5, M6, M7 |
|---|---|---|---|
| Dimensions (W,L) en [µm] | (15,0.13) | (40,0.13) | (200,0.13) |
| Nombre de doigts | 6 | 16 | 80 |
| Nature du body | Contacté à la source | Contacté à la source | Contacté à la source |

| Paramètres | R1 | R2 | R3 | R4 | Rp |
|---|---|---|---|---|---|
| Type | Poly haute résistivité | Poly haute résistivité | P+ Poly non siliçurée | P+ Poly non siliçurée | Poly haute résistivité |
| Valeur | 11 kΩ | 1 kΩ | 400 Ω | 350 Ω | 5 kΩ |
| Dimensions | Longueur: 3.4µm | Longueur: 3.4µm | Longueur: 7µm | Longueur: 11µm | Longueur: 1.1µm |
| Nombre de contacts | 8 | 8 | 20 | 32 | 2 |

| Paramètres | CL | C1 | C2 | C3 |
|---|---|---|---|---|
| Type | MIM | MIM | MIM | MIM |
| Valeur | 500 fF | 3pF | 3pF | 6pF |
| Dimensions | 15.5µm | 35µm | 35µm | 55µm |
| Nombre de vias | 6 | 22 | 22 | 28 |

## I.4. RÉFÉRENCES DES ANNEXES

[ALEXANDER75] J.D.H. Alexander, “Clock recovery from random binary signals”, Electronic Letters, vol.11, no.22, pp.541-542, 1975.

[DEVITO91] L. DeVito and al, "A 52MHz And 155MHz Clock-recovery PLL," Solid-State Circuits Conference, Digest of Technical Papers. 38th ISSCC, IEEE International, pp.142-306, Feb. 1991.

[GHIBAUDO91] G. Ghibaudo, O. Roux-dit-Buisson, C. Nguyen-Duc, F. Balestra, and J. Brini, “Improved analysis of low-frequency noise in field effect MOS transistor,” Phys. Stat. Solidi A, vol. 124, pp. 571-581, 1991

[HOGGE85] C. R. Hogge, “A self correcting clock recovery circuit”, Journal of Lightwave Technology, vol.3, no.6, pp.1312-1314, 1985.

[ISHIHARA94] N. Ishihara, Y. Akazawa, “A monolithic 156 Mb/s clock and data recovery PLL circuit using the sample -and-hold technique”, IEEE Journal of Solid-State Circuits, vol.29, no.12, pp.1566-1571, 1994.

[LEE03] J. Lee and B. Razavi, "A 40-Gb/s clock and data recovery circuit in 0.18µm CMOS technology,", Solid-State Circuits, IEEE Journal of; Vol. 38, Issue 12, Dec. 2003 pp.2181- 2190.

[MEYER99] M.T. Terrovitis and R.G. Meyer, " Noise in current communitating CMOS mixers ", IEEE-Journal-of-Solid-State-Circuits, vol.34, no.6, pp. 772-782, June 1999.

[RAZAVI02] B. Razavi Challenges in the Design of High-Speed Clock and Data Recovery Circuits

[SAVOJ01] J. Savoj and B. Razavi, "A 10-Gb/s CMOS clock and data recovery circuit with a half-rate linear phase detector," Solid-State Circuits, IEEE Journal of, Vol. 36, Issue 5, pp.761-768, May 2001.

[SAVOJ03] A 10-Gb/s CMOS clock and data recovery circuit with a half-rate binary phase/frequency detector, Savoj, J.; Razavi, B.; Solid-State Circuits, IEEE Journal of, Vol. 38, Issue 1, pp.13 – 21, Jan. 2003.

[SOYUER90] M. Soyuer and R.G. Meyer, "Frequency limitations of a conventional phase-frequency detector," Solid-State Circuits, IEEE Journal of, vol. 25, Issue 4, pp.1019-1022, Aug. 1990.

[SOYUER93] M. Soyuer, "A monolithic 2.3-Gb/s 100-mW clock and data recovery circuit in silicon bipolar technology," Sollid-State Circuits, IEEE Journal of, vol. 28, Issue 12, pp.1310-1313, Dec. 1993.

[WITHITSOONTHORN04] S. Withitsoonthorn, "Photodiode UTC et oscillateur différentiel commandé en tension à base de TBdH InP pour récupération d'horloge dans un réseau de transmission optique à très haut débit," PhD Thesis, Université Paris 6, June 2004.

[YU96] R. Yu, R. Pierson, P. Zampardi, K. Runge, A. Campana, D. Meeker, K.C. Wang, A. Petersen, J.Bowers, “Packaged clock recovery integrated circuits for 40Gbit/s optical communication links”, 18th Annual Gallium Arsenide Integrated Circuit Symposium, GaAs IC’96, Technical Digest, pp.129-132, 1996.

**GLOSSAIRE** ..... **237**

# GLOSSAIRE

| | | |
|---|---|---|
| A | ADS | Advanced Design System |
| | A-MOS | Accumulation-mode Metal Oxide Semiconductor (varactor) |
| | AsGa | Arséniure de Gallium |
| B | BER | Bit Error Rate |
| | BF | Basse Fréquence |
| | BSIM | Berkeley Short-channel IGFET Model |
| C | CAG | Contrôle Automatique de Gain |
| | CDR | Clock and Data Recovery |
| | CMOS | Complementary Metal Oxide Semiconductor |
| | CP | Charge Pump |
| D | DIBL | Drain Induced Barrier Lowering |
| | DEMUX | Demultiplexeur |
| G | $G_{LPF}$ | Gain of the Low Pass Filter |
| | GIDL | Gate Induced Barrier Lowering |
| I | IGFET | Insulated-Gate Field-Effect Transistor |
| | I-MOS | Inversion-mode Metal Oxide Semiconductor (varactor) |
| | InP | Indium Phosphide |
| | ITU | International Telecommunications Union |
| J | JGEN | Jitter de Génération |
| | JTOL | Jitter toléré |
| | JTRAN | Jitter de transfert |
| K | $K_{VCO}$ | Gain of the VCO |
| | $K_{PD}$ | Gain of the Phase Detector |
| L | LPF | Low Pass Filter |
| | LTI | Linear Time-Invariant |
| | LTV | Linear Time-Variant |
| M | MIM | Metal Inter Metal Capacitor |

| | | |
|---|---|---|
| | MOM | Metal Oxide Metal Capacitor |
| | MUX | Multiplexeur |
| N | NMOS | N-type Metal Oxide Semiconductor |
| | NRZ | Non Return to Zero |
| O | OIF | Optical Internetworking Forum |
| | OU | Porte logique OU |
| P | PD | Phase Detector |
| | PFD | Phase Frequency Detector |
| | PLL | Phase Locked Loop |
| | PMOS | P-type Metal Oxide Semiconductor |
| | PRBS | Pseudo Random Bit Sequence |
| R | RMS | Root Mean Square |
| | RZ | Return to Zero |
| S | SCE | Short Channel Effect |
| | SerDes | Sérialisateur/Désérialisateur |
| | SFI-5 | Serdes Framer Interface Level 5 |
| | SiGe | Silicium Germanium |
| | SNR | Signal to Noise Ratio |
| | SOI | Silicon On Insulator |
| | SOI-FD | Silicon On Insulator Fully Depleted |
| | SOI-PD | Silicon On Insulator Partially Depleted |
| | SONET | Synchronous Optical NETwork |
| U | UI | Unit Interval |
| V | VCO | Voltage Controlled Oscillator |
| W | WDM | Wavelength Division Multiplexing |
| X | XOR | Porte logique OU Exclusif |

**LISTE DES PUBLICATIONS ET DES COMMUNICATIONS EN RELATION AVEC CE TRAVAIL ..... 239**

# LISTE DES PUBLICATIONS ET DES COMMUNICATIONS EN RELATION AVEC CE TRAVAIL

D. Axelrad, E. de Foucauld, P. Vincent, M. Belleville and F. Gaffiot,

“10GHz Low Phase Noise Fully Integrated VCOs in 130nm High Resistivity CMOS/SOI for 40Gbit/s Datacom,”

2004 IEEE International SOI Conference, pp. 174-176, October 2004.

D. Axelrad, E. de Foucauld, M. Boasis, P. Martin, P. Vincent, M. Belleville and F. Gaffiot,

“A Multi-phase 10 GHz VCO in CMOS/SOI for 40 Gbits/s SONET OC-768 Clock and Data Recovery Circuits,”

2005 IEEE RFIC Symposium, pp. 573-576, June 2005.

C. Raynaud, F. Gianesello, C. Tinella, P. Flatresse, R. Gwoziecki, P. Touret, G. Avenier, S. Haendler, O. Gonnard, G. Gouget, G. Labouret, J. Pretet, M. Martin, R. Di Frenza, D. Axelrad, P. Delatte, G. Provins, J. Roux, E. Balossier, JC. Vildeuil, S. Boret, B. Van Haaren, P. Chevalier, L. Boissonet, T. Scwartzmann, A. Chantre, D. Gloria, E. de Foucauld, P. Scheer, C. Pavageau, G. Dambrine,

“Is SOI CMOS A Promising Technology for SOCs in High Frequency Range?”

207th Electrochemical Society Meeting, Proc. of Silicon On Insulator Technology and Devices, pp. 331-344, Quebec City, Canada, May 2005.

D. Axelrad,

“Conception d’un oscillateur 10 GHz commandé en tension totalement intégré en CMOS/SOI 130nm pour les liens très haut débit (40 Gbit/s),”

VII$^{\text{èmes}}$ Journées Nationales du Réseau Doctoral de Microélectronique, May 2004.

D. Axelrad,

"Design, Optimization and Results Overview of 10GHz VCOs in 130nm HR CMOS/SOI,"

Workshop Médéa T206, STMicroelectronics, Crolles, November 2004.

D. Axelrad,

“Conception d’un VCO Multi-phase 4x10 GHz en CMOS/SOI 130nm pour Application 40 Gbits/s,”

VIII$^{èmes}$ Journées Nationales du Réseau Doctoral de Microélectronique, May 2005.

P. Martin, M. Boasis, O. Rozeau, J. Prouvée and D. Axelrad,

"Wafer-Level Extraction of BSIMSOI Low Frequency Noise Parameters for 130nm Partially-Depleted SOI MOSFETs,”

MOS-AK Compact Modeling Group, Spring’05 Meeting, April 2005.

## Résumé

**Application des technologies CMOS sur SOI aux fonctions d'interface des liens de communication haut débit (>10Gbit/s)**

L'objectif de ce travail est d'étudier les avantages de la technologie CMOS/SOI 0.13µm partiellement désertée, pour la conception des circuits d'interface des liens haut débit (10 et 40Gbit/s). Nous avons identifié une fonction critique: la récupération de l'horloge et des données (CDR). L'étude de cette fonction nous a conduit à une analyse approfondie de l'oscillateur commandé en tension (VCO). Neuf circuits VCO et oscillateurs 10GHz ont ainsi été conçus pour valider les choix technologiques offerts par le CMOS/SOI. Les performances mesurées démontrent l'intérêt du CMOS/SOI pour les applications à hautes fréquences. Pour les applications à 40Gbit/s, nous avons ensuite conçu, réalisé et testé un VCO multi-phases 4x10GHz. Les résultats expérimentaux montrent une amélioration significative de la figure de mérite lorsque l'on compare ce circuit en CMOS/SOI avec les résultats précédemment publiés.



*Mots-clés:* silicium sur isolant (SOI), CMOS, lien haut débit 10Gbit/s et 40Gbit/s, récupération d'horloge et de données (CDR), boucle à verrouillage de phase (PLL), oscillateur commandé en tension (VCO), multi-phases, bruit de phase, inductance, varactor, substrat haute résistivité.



## Abstract

**Application of CMOS on SOI technologies to high-speed Datacom interface functions (>10Gbit/s)**

The purpose of this work is to investigate the advantages of a CMOS/SOI partially depleted 0.13µm technology for the design of high data rate communications circuits. This work has been focused on the Clock and Data Recovery function (CDR), with an in depth analysis of the VCO. A roadmap has been established to investigate the different technological choices in SOI technology (active and passive components). Nine circuits (VCO and oscillators) at 10GHz have been designed and processed to select the best ones. Measured performances show the interest in using CMOS/SOI for high frequency range. Then, targeting 40Gbit/s applications, we designed and processed a 4x10GHz multi-phases VCO. Experimental results demonstrate a significant improvement of the figure of merit when comparing this SOI design to previously published results.



*Keywords:* Silicon On Insulator (SOI), CMOS, high-speed link 10Gbit/s and 40Gbit/s, Clock and Data Recovery circuits (CDR), Phase-Locked Loop (PLL), Voltage-Controlled Oscillator (VCO), multi-phases, phase noise, inductance, varactor, high resistivity substrate.



Thèse INPG réalisée au **CEA-LETI**

DCIS, SCME, Laboratoire Conception et Architectures Radiofréquences,

17, rue des Martyrs, 38054 Grenoble cedex 9, France.