



Etude et mise au point de la méthodologie de conception et de fabrication collective de microsystemes sur silicium

J. - M. Paret

► To cite this version:

J. - M. Paret. Etude et mise au point de la méthodologie de conception et de fabrication collective de microsystemes sur silicium. Micro et nanotechnologies/Microélectronique. Institut National Polytechnique de Grenoble - INPG, 1997. Français. NNT : . tel-00010771

HAL Id: tel-00010771

<https://theses.hal.science/tel-00010771>

Submitted on 26 Oct 2005

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

**ETUDE ET MISE AU POINT DE LA
METHODOLOGIE DE CONCEPTION ET
DE FABRICATION COLLECTIVE DE
MICROSYSTEMES SUR SILICIUM**

Jean-Marc PARET

January 13, 1997

REMERCIEMENTS

Ce travail a été effectué au sein du laboratoire des Techniques de l'Informatique et de la Microélectronique pour l'Architecture d'ordinateurs (TIMA), de l'Institut National Polytechnique de Grenoble (INPG), grâce à l'accueil bienveillant de son directeur, Monsieur Bernard Courtois, qui a également dirigé ma thèse.

Je remercie Madame Nadine Guillemot, directrice du Centre Inter-universitaire de Micro-Electronique (CIME), qui m'a fait l'honneur de présider mon jury de thèse.

Que Messieurs François Baillieu, de l'Ecole Supérieure d'Ingénieurs en Electrotechnique et Electronique (ESIEE), et Daniel Estève, du Laboratoire d'Analyse et d'Architecture des Systèmes (LAAS), trouvent ici l'expression de ma reconnaissance pour avoir accepté d'être rapporteurs de mon travail.

Je tiens tout particulièrement à remercier Monsieur Jean-Michel Karam, qui a supervisé et orienté l'ensemble de mon travail, et qui a accepté de faire partie de mon jury de thèse.

J'adresse mes plus sincères remerciements à Monsieur Bruno Mercier, de l'ESIEE, pour les opérations de gravure anisotropique du silicium qu'il a effectuées.

Je tiens de plus à remercier l'ensemble des membres du CIME, pour l'aide qu'ils m'ont apportée, et pour leur disponibilité.

Je tiens également à témoigner ma reconnaissance à Nathalie Matthieu, du Laboratoire de Physique des Composants à Semiconducteurs (LPCS), pour son aide au début de mon travail, ainsi qu'à Damien Veychard, du laboratoire TIMA, pour ses conseils au moment de la rédaction de ce document. Je souhaite de plus remercier Zsolt Kohári, ingénieur à l'Université Technique de Budapest, pour les simulations thermiques par éléments finis qu'il a effectuées. Enfin, que madame Corbet soit assurée de ma gratitude pour ses très précieux conseils concernant la rédaction de ce document.

Je remercie également ma famille et mes proches, pour m'avoir toujours soutenu au cours de mes études, et à qui je souhaite dédier ce travail.

Enfin, que tous mes collègues et camarades du laboratoire TIMA et du service CMP soient assurés de mon amitié et de ma reconnaissance, pour leurs contributions diverses à ce travail, et pour le plaisir que j'ai eu à vivre avec eux.

RESUME

La notion de microsysteme est née avec la microélectronique, mais n'a jamais connu le même essor. Les raisons de cette différence de développement sont nombreuses : multiplicité des domaines à maîtriser, complexité des circuits de traitement du signal nécessaires, et surtout manque de procédés de fabrication standards. Jusqu'à nos jours, pour presque chaque circuit microsysteme conçu puis réalisé, un procédé de fabrication spécifique a dû être développé en laboratoire. En outre, en raison du manque de marché apparent pour ce type de composant, rares sont les applications qui ont pu être industrialisées, les investissements nécessaires étant trop importants. Les microsystemes sont donc, depuis leur naissance, restés des sujets de recherche en laboratoires, et n'ont pu connaître de phase d'industrialisation.

Le but de mon travail de recherche a été l'utilisation des capacités et des compétences offertes par l'industrie de la microélectronique (technologies de fabrication, outils et méthodes de conception, de simulation et de test), pour concevoir et réaliser des circuits microsystemes monolithiques.

Grâce au procédé de gravure anisotropique du silicium monocristallin, il est possible d'obtenir des éléments suspendus sur des micro-cavités, à partir de puces fabriquées avec des technologies VLSI. Ces éléments peuvent être utilisés pour réaliser des fonctions micro-électro-mécaniques.

Ce procédé de gravure a été étudié et caractérisé, et des règles de dessin pour la conception et la fabrication de structures suspendues ont été établies. Un environnement de conception assistée par ordinateur, basé sur le logiciel Cadence, a de plus été développé, afin de rendre ce procédé de fabrication accessible à tous les concepteurs.

ABSTRACT

The microsystem notion was born with microelectronics, but its development was never the same. The reasons for this difference are the multiplicity of the domains to be mastered, the complexity of the necessary signal treatment devices, and particularly the lack of standard fabrication processes. Until now, a specific fabrication process has been developed for each microsystem circuit. Moreover, because of the lack of apparent market for this kind of component, very few applications have been industrialised, the necessary investments being too expensive. Since their birth, microsystems stayed research subjects in laboratories, but did not become industrial products.

The aim of my research activities was to use the microelectronics industry capabilities and competences (fabrication technologies, methods and tools for circuits design, simulation and test), in order to design and realise monolithic microsystems circuits.

Thanks to the anisotropic etching of single crystal silicon process, it is possible to obtain elements suspended on the top of micro-cavities, from chips fabricated with VLSI technologies. These elements can be used to realise micro-electro-mechanical functions

This etching process has been studied and characterised, and rules for the design and fabrication of suspended components have been established. A computer assisted design environment, based on the Cadence software, has been developed, in order to make this fabrication process available to all designers.

Table des Matières

1	INTRODUCTION	3
2	LA GRAVURE ANISOTROPIQUE DU SILICIUM	9
2.1	Introduction	9
2.2	Le monocristal de silicium	10
2.3	Le mécanisme de la gravure anisotropique du silicium	13
2.3.1	Généralités	13
2.3.2	Modèle électro-chimique	16
2.3.3	Modèle inspiré par la théorie de la croissance des cristaux	19
2.4	Caractérisation de la gravure anisotropique du silicium	20
2.4.1	Gravures avec KOH	20
2.4.1.1	Mécanisme de la gravure avec KOH	21
2.4.1.2	Expériences de gravure avec KOH	21
2.4.1.3	Gravure des principaux plans cristallins du silicium	25
2.4.1.4	Influence du dopage du silicium sur la gravure	36
2.4.1.5	Attaque des plots d'aluminium et de la couche de passivation	39
2.4.2	Gravures avec TMAH	44
2.4.2.1	Mécanisme de la gravure avec TMAH	44
2.4.2.2	Expériences de gravure avec TMAH	46
2.4.3	Gravures avec EDP	46
2.4.3.1	Mécanisme de la gravure avec EDP	47
2.4.3.2	Expériences de gravure avec EDP	47
2.4.3.3	Gravure des principaux plans cristallins du silicium	51
2.4.3.4	Influence du dopage du silicium sur la gravure	60
2.4.3.5	Attaque des plots d'aluminium et de la couche de passivation	60
2.4.3.6	Apparition de protubérances pyramidales	63
2.4.3.7	Apparition de résidus sur les puces	63
2.4.4	Autres possibilités pour graver le silicium	64
2.5	Simulation de la gravure anisotropique pour la conception de microsystemes	69
2.5.1	Simulation de la gravure avec KOH	69
2.5.2	Simulation de la gravure avec EDP	71
2.6	Conclusion	72

3	TECHNOLOGIES MICROSYSTEMES COMPATIBLES AVEC LES PRO- CEDES DE FABRICATION VLSI	77
3.1	Micro-usinage en volume	78
3.1.1	Micro-usinage en volume par la face avant	78
3.1.1.1	Principe	78
3.1.1.2	Procédé de fabrication	79
3.1.1.3	Problèmes rencontrés lors de la fabrication des circuits . . .	84
3.1.1.4	Applications possibles	85
3.1.2	Micro-usinage en volume par la face arrière	88
3.2	Micro-usinage en surface	88
3.2.1	Gravure du dioxyde de silicium	88
3.2.2	Gravure du silicium polycristallin	90
3.3	Conclusion	90
4	PRINCIPALES APPLICATIONS DU MICRO-USINAGE EN VOLUME PAR LA FACE AVANT	95
4.1	Réalisation de détecteurs piezorésistifs	95
4.1.1	Principe	95
4.1.2	Description de la structure utilisée pour le test	96
4.1.3	Mesures effectuées	97
4.1.4	Simulations effectuées et discussion	99
4.2	Réalisation de pixels thermiques	101
4.2.1	Principe	101
4.2.2	Description de la structure utilisée pour le test	101
4.2.3	Tests effectués	101
4.2.4	Simulations effectuées	104
4.2.4.1	Description de la structure simulée	104
4.2.4.2	Paramètres physiques utilisés pour la simulation	105
4.2.4.3	Contraintes physiques choisies pour la simulation	105
4.2.4.4	Description du micro-pont	106
4.2.4.5	Résultat de la simulation	110
4.2.5	Le circuit PIXEL_TH	110
4.3	Réalisation de thermopiles	112
4.3.1	Principe	112
4.3.2	Le circuit THERMOPILES	114
4.4	Réalisation de composants électroniques suspendus	116
4.4.1	Principe	116
4.4.2	Description de la structure utilisée pour le test	116
4.4.3	Tests effectués et discussion	120
4.5	Découpage de plaquettes sans scie diamantée	120
4.5.1	Principe	120
4.5.2	Tests effectués et discussion	121
4.6	Conclusion	125

5	ETABLISSEMENT DES REGLES POUR LA CONCEPTION ET LA FABRICATION DE MICROSYSTEMES	129
5.1	Approche choisie	129
5.2	Règles pour la conception de circuits microsystemes	130
5.2.1	Contraintes liées au procédé de fabrication	130
5.2.1.1	Définition des zones de silicium à nu	130
5.2.1.2	Structures diagonales	131
5.2.1.3	Angles aigus	134
5.2.1.4	Exemples de règles de dessin pour la technologie ECPD10	134
5.2.2	Contraintes liées à l'étape de micro-usinage	135
5.2.2.1	Temps maximal de gravure	135
5.2.2.2	Dimensionnement des micro-structures	135
5.2.2.3	Espace entre le chemin de découpe et les plots	142
5.3	Règles pour la fabrication de circuits microsystemes	146
5.4	Obtention de plots métalliques protégés contre la gravure	147
5.5	Conclusion	150
6	OUTILS D'AIDE A LA CONCEPTION DE MICROSYSTEMES : ADAP- TATION DE CADENCE OPUS	153
6.1	Approche Générale	154
6.2	Conception au niveau schématique	154
6.3	Conception des dessins de masque des composants à suspendre	156
6.3.1	Définition de standards d'affichage adaptés	157
6.3.2	Bibliothèque de composants microsystemes	158
6.3.3	Vérification des règles de dessin des composants à suspendre	160
6.3.4	Simulation de la gravure anisotropique	160
6.3.5	Extraction des paramètres électriques des composants à suspendre	162
6.4	Exemple d'application du <i>kit Cadence</i> : conception du circuit <i>PIXEL.TH</i>	164
6.5	Conclusion	167
7	CONCLUSION	171

ANNEXES	175
A REFERENCES BIBLIOGRAPHIQUES	177
B PUBLICATIONS ET CONFERENCES	191
C LE SERVICE CMP MICROSYSTEMES	195
D CIRCUITS MICROSYSTEMES FABRIQUES PAR ATMEL-ES2	199
D.1 Circuit MICSURF	199
D.2 Circuit MICBULK	201
D.3 Circuit MICBULK2	202
D.4 Circuit MICES2	203
D.5 Circuit THERMOPILES	204
D.6 Circuit PIXELTH	205
D.7 Circuit IC	206
D.8 Circuit BEAM	207
D.9 Circuit MSC	208
D.10 Circuit ACCELSensor	209
D.11 Circuit CHIPFINAL	210
D.12 Circuit IMITSENS	211
D.13 Circuit IR5	212
D.14 Circuit TIMATEST	213
D.15 Circuit MICES3	214
D.16 Circuit IR6	215
D.17 Circuit ACCEL2	216
D.18 Circuit IC1_CHARACTERISATION	217
D.19 Circuit FIRST	218
E CIRCUITS MICROSYSTEMES FABRIQUES PAR AMS	219
E.1 Circuit MICAMS	219
E.2 Circuit MICBULK3	220
E.3 Circuit BiCMOS_BULK	221
E.4 Circuit TRANS	223
E.5 Circuit MICAMS2	224
E.5.1 Caractéristiques	224
E.5.2 Structures à micro-usiner en surface	224
E.5.3 Structures à micro-usiner en volume	226
E.6 Circuit MICAMS3	230
F NOTATIONS UTILISEES	233
G SIGLES ET ACRONYMES	235

Liste des Figures

2.1	<i>Maille élémentaire du réseau cristallin du silicium.</i>	10
2.2	<i>Plans principaux du cristal de silicium.</i>	11
2.3	<i>Détermination des indices de Miller de différents plans cristallins du silicium.</i>	12
2.4	<i>Détermination du type et de l'orientation d'une plaquette de silicium.</i>	13
2.5	<i>Représentation des vecteurs normaux aux principaux plans cristallins du silicium.</i>	14
2.6	<i>Formation de cavités par micro-usinage du silicium.</i>	15
2.7	<i>Vue orthogonale des plans principaux du silicium.</i>	15
2.8	<i>Niveaux d'énergie électronique des atomes.</i>	17
2.9	<i>Evolution de la structure chimique et électronique des atomes de silicium des plans $\{100\}$ au cours de la première étape de la gravure.</i>	17
2.10	<i>Matériel utilisé au CIME pour effectuer les gravures KOH.</i>	23
2.11	<i>Résultats de la gravure KOH effectuée sur le circuit MICBULK</i>	24
2.12	<i>Vue en coupe d'une cavité limitée par des plans $\{100\}$.</i>	26
2.13	<i>Mesure de l'épaisseur des puces.</i>	26
2.14	<i>Gravure KOH sur la cellule <i>trous100</i> de MICAMS2.</i>	27
2.15	<i>Gravure KOH sur les cellules <i>trous110</i> et <i>S1</i> à <i>S8</i> de MICAMS2.</i>	28
2.16	<i>Gravure KOH sur la cellule <i>trous111</i> de MICAMS2.</i>	29
2.17	<i>Vue en coupe des structures <i>trous111</i> après 2h de gravure.</i>	30
2.18	<i>Définition des zones de silicium à nu pour les structures <i>trous111</i>.</i>	30
2.19	<i>Micro-pont n° 3 du circuit MICBULK après 2 heures de gravure dans KOH.</i>	31
2.20	<i>Micro-membrane du circuit MICBULK après 2 heures de gravure dans KOH.</i>	32
2.21	<i>Identification des plans apparaissant pendant la gravure.</i>	33
2.22	<i>Apparition de plans $\{411\}$ au cours de la gravure.</i>	33
2.23	<i>Détermination de la vitesse de gravure des plans $\{411\}$.</i>	35
2.24	<i>Détermination de $S_{Si\{411\}}$ à partir de S_M.</i>	35
2.25	<i>Génération du diagramme de lenteur.</i>	37
2.26	<i>Diagramme de gravure pour KOH 40% à 60° C.</i>	37
2.27	<i>Dessin des masques de la structure <i>memb12</i> du circuit BiCMOS_BULK.</i>	38
2.28	<i>Vue en coupe de la cellule <i>pont21</i> du circuit BiCMOS_BULK.</i>	38
2.29	<i>Etat des plots d'aluminium de la puce MICBULK après 1h45 de gravure dans KOH.</i>	39
2.30	<i>Résultat des mesures à l'Alpha-Step sur les plots métalliques de TIMATEST</i>	40
2.31	<i>Vue en coupe schématisée d'un bord de plot métallique du circuit TIMATEST.</i>	42
2.32	<i>Profondeur mesurée, en fonction de la durée de la gravure effectuée.</i>	43
2.33	<i>Vue en coupe schématisée d'un bord de plot métallique du circuit MICAMS2.</i>	43
2.34	<i>Etat des plots d'aluminium après 1h15 de gravure avec TMAH.</i>	46

2.35	Bain de gravure EDP, avant que le panier contenant les puces y soit placé.	50
2.36	Schémas représentant le bain d'attaque EDP utilisé.	50
2.37	Gravure des plans $\{100\}$ parallèles à la surface de la puce.	52
2.38	Processus de gravure perturbé par l'oxyde natif formé sur les zones de silicium à nu.	53
2.39	Gravure EDP sur les cellules trous110 et S1 à S8 de MICAMS2.	54
2.40	Distance gravée sous l'oxyde des structures trous111 en fonction du temps de gravure dans KOH.	55
2.41	Plans apparaissant pendant la gravure.	56
2.42	Identification des plans $\{123\}$	57
2.43	Mesure de la distance d_M gravée.	59
2.44	Diagramme de gravure pour EDP à $90^\circ C$	59
2.45	Puce TIMATEST après 6 heures de gravure dans EDP.	60
2.46	Courbes $d(t)$ pour les circuits fabriqués par ATMEL-ES2 et AMS.	62
2.47	Apparition de protubérances pyramidales pendant le processus de suspension d'une micro-structure avec EDP.	63
2.48	Résidu apparaissant sur les zones de silicium à nu, lorsque le bain de gravure est mal renouvelé à la surface des puces.	64
2.49	Micro-pont n° 3 du circuit MICBULK, micro-usiné dans KOH 40% à $60^\circ C$, pendant 2 heures: résultat de la simulation et cavité réellement creusée.	70
2.50	Micro-membrane du circuit MICBULK, micro-usiné dans KOH 40% à $60^\circ C$, pendant 2 heures: résultat de la simulation et cavité réellement creusée.	70
2.51	Structure S6 du circuit MICAMS2, gravée 5h30 dans KOH 40% à $60^\circ C$: résultat de la simulation et cavité réellement creusée.	71
2.52	Structure S8 du circuit MICAMS2, gravée 2h dans EDP à $90^\circ C$: résultat de la simulation et cavité réellement creusée.	72
3.1	Extension des procédés de fabrication standards aux microsystèmes.	78
3.2	Apparition de résidus sur la zone de silicium à nu d'une micro-poutre, pouvant fortement perturber l'étape de micro-usinage en volume.	85
3.3	Problème posé, pour l'étape de gravure, par la mauvaise définition des zones de silicium à nu.	86
3.4	Détail du dessin des masques correspondant au circuit de la figure 3.3.	86
3.5	Exemples de structures réalisables par micro-usinage en volume par la face avant.	87
3.6	Vue en oblique des micro-structures suspendues de la figure 3.5.	87
3.7	Exemple de structure micro-usinée en volume par la face arrière.	88
3.8	Micro-pont en silicium polycristallin, partiellement suspendu après 90 minutes de gravure dans HF.	89
3.9	Vue en coupe schématisée du micro-pont de la figure 3.8 avant et après l'étape de gravure.	89
3.10	Vue en coupe schématisée, avant et après l'étape de gravure, d'une micro-structure à suspendre par gravure du polysilicium.	90

4.1	<i>Dessin des masques du micro-pont n°2 et de la micro-poutre du circuit MICBULK.</i>	97
4.2	<i>Schéma montrant les micro-structures intégrées sur une puce en silicium.</i>	98
4.3	<i>Principe du test de piezorésistivité effectué sur le circuit MICBULK mis en boîtier.</i>	98
4.4	<i>Simulation par éléments finis de la distribution des contraintes sur une piste de polysilicium contenue dans le micro-pont.</i>	99
4.5	<i>Simulation par éléments finis de la distribution des contraintes sur une piste de polysilicium contenue dans une micro-poutre.</i>	100
4.6	<i>Dissipation de la chaleur par conduction, convection et radiation, pour des pistes de polysilicium suspendues et non suspendues.</i>	102
4.7	<i>Dessin des masques du micro-pont n°6 du circuit MICBULK.</i>	102
4.8	<i>Schéma de principe du test de fonctionnement des pixels thermiques.</i>	103
4.9	<i>Emission d'un rayonnement visible par le pixel thermique.</i>	103
4.10	<i>Dessin des masques du micro-pont du circuit PIXEL-TH.</i>	105
4.11	<i>Simplifications horizontales apportées à la structure.</i>	106
4.12	<i>Simplifications verticales apportées à la structure en micro-pont pour effectuer la simulation.</i>	107
4.13	<i>Simplifications apportées à la zone de contact métal-polysilicium pour effectuer la simulation.</i>	107
4.14	<i>Description simplifiée de la structure, utilisée pour effectuer la simulation.</i>	108
4.15	<i>Maillage de la structure.</i>	108
4.16	<i>Description, en trois dimensions, du micro-pont.</i>	109
4.17	<i>Distribution de la température sur le micro-pont.</i>	111
4.18	<i>Effet Seebeck sur un matériau.</i>	112
4.19	<i>Thermocouple à effet Seebeck.</i>	113
4.20	<i>Thermopile à effet Seebeck.</i>	113
4.21	<i>Dessin des masques du circuit THERMOPILES.</i>	115
4.22	<i>Photo d'un des micro-ponts du circuit THERMOPILES.</i>	115
4.23	<i>Vue en coupe schématisée d'un transistor bipolaire PNP vertical et d'un inverseur CMOS avant l'étape de gravure.</i>	117
4.24	<i>Vue en coupe schématisée d'un transistor bipolaire PNP vertical et d'un inverseur CMOS suspendu après l'étape de micro-usinage.</i>	117
4.25	<i>Dessin des masques et représentation schématique de l'inverseur de la cellule memb7.</i>	118
4.26	<i>Vue en coupe schématisée de l'inverseur CMOS de memb7 avant l'étape de gravure.</i>	119
4.27	<i>Vue en coupe schématisée de l'inverseur CMOS de memb7 après l'étape de gravure.</i>	119
4.28	<i>Exemple de répartition des circuits intégrés sur une plaquette multi-projets CMP.</i>	120
4.29	<i>Chemins de découpe pour des circuits intégrés multi-projets.</i>	121
4.30	<i>Plan de la macro-cellule "chocolat".</i>	122
4.31	<i>Schéma représentant une rainure creusée par micro-usinage dans une tranche de silicium.</i>	122
4.32	<i>Photos des chemins de découpe micro-usinés dans KOH.</i>	123
4.33	<i>Epaisseur de la puce et profondeur de la rainure creusée en fonction du temps de gravure.</i>	124

5.1	<i>Composition des structures suspendues.</i>	130
5.2	<i>Réduction de la marche à la périphérie des zones de silicium à nu.</i>	131
5.3	<i>Orientation des plans $\{100\}$ et $\{111\}$ par rapport aux axes des logiciels de dessin de masques, et cavités générées.</i>	132
5.4	<i>Génération de la trame d'un masque à partir du dessin de masque correspondant.</i>	133
5.5	<i>Coupure des angles aigus d'un dessin de masque triangulaire.</i>	134
5.6	<i>Convention adoptée pour la notation des règles de dessin microsystemes.</i>	135
5.7	<i>Règles de dessin pour la couche de polysilicium.</i>	136
5.8	<i>Etape de gravure diagonale sur un micro-pont classique.</i>	137
5.9	<i>Etape de gravure convexe sur un micro-pont classique.</i>	138
5.10	<i>Résultat d'une simulation de gravure avec ACESIM sur un micro-pont.</i>	139
5.11	<i>Processus de gravure anisotropique sur une micro-poutre diagonale.</i>	140
5.12	<i>Processus de gravure anisotropique sur une micro-poutre non diagonale.</i>	141
5.13	<i>Processus de gravure anisotropique sur une micro-membrane.</i>	142
5.14	<i>Influence de l'étape de micro-usinage sur les bords d'une puce.</i>	143
5.15	<i>Comparaison du chemin de découpe de ATMEL-ES2 avec celui préconisé pour les puces micro-usinées.</i>	145
5.16	<i>Vue en coupe d'un bord de puce (plan $\{111\}$) après l'étape de micro-usinage.</i>	145
5.17	<i>Vue en coupe d'un angle de puce (plan $\{123\}$) après l'étape de micro-usinage.</i>	146
5.18	<i>Dessin des masques des plots protégés par l'oxyde CVD 2.</i>	148
5.19	<i>Vue en coupe des plots protégés par l'oxyde CVD 2.</i>	148
5.20	<i>Résultat d'une mesure Alpha-Step sur un plot protégé et un plot classique.</i>	149
6.1	<i>Conception de circuits microsystemes avec Cadence.</i>	155
6.2	<i>Séquence des étapes à effectuer lors de la conception des dessins de masque d'un composant à suspendre.</i>	156
6.3	<i>Placement d'une cellule paramétrée.</i>	157
6.4	<i>Dessins de masques d'un micro-pont, imprimés en mode usuel et en mode spécifique aux microsystemes.</i>	158
6.5	<i>Légende utilisée pour l'impression des dessin de masques.</i>	159
6.6	<i>Vue "layout" du composant pixel thermique.</i>	159
6.7	<i>Fenêtre utilisée pour la spécification des conditions de la vérification des règles de dessin.</i>	160
6.8	<i>Exemple de résultat de vérification des règles de dessin sur un circuit microsysteme.</i>	161
6.9	<i>Fenêtre utilisée pour la spécification des conditions de gravure à simuler.</i>	162
6.10	<i>Exemple de résultat d'extraction sur un circuit microsysteme.</i>	163
6.11	<i>Schéma du circuit permettant la commande du pixel de la ligne 1 et de la colonne 2.</i>	164
6.12	<i>Vue schématique du circuit PIXEL-TH.</i>	165
6.13	<i>Dessin des masques du circuit PIXEL-TH.</i>	166

C.1	<i>Partage du coût de fabrication de circuits intégrés grâce au principe de lots multi-projets.</i>	196
C.2	<i>Principe de fonctionnement du service CMP pour les circuits microsystemes.</i>	196
D.1	<i>Dessin des masques du circuit MICSURF.</i>	200
D.2	<i>Dessin des masques du circuit MICBULK.</i>	201
D.3	<i>Dessin des masques du circuit MICBULK2.</i>	202
D.4	<i>Dessin des masques du circuit MICES2.</i>	203
D.5	<i>Dessin des masques du circuit THERMOPILES.</i>	204
D.6	<i>Dessin des masques du circuit PIXEL_TH.</i>	205
D.7	<i>Dessin des masques du circuit IC.</i>	206
D.8	<i>Dessin des masques du circuit BEAM.</i>	207
D.9	<i>Dessin des masques du circuit MSC.</i>	208
D.10	<i>Dessin des masques du circuit ACCELSSENSOR.</i>	209
D.11	<i>Dessin des masques du circuit CHIPFINAL.</i>	210
D.12	<i>Dessin des masques du circuit IMITSENS.</i>	211
D.13	<i>Dessin des masques du circuit IR5.</i>	212
D.14	<i>Dessin des masques du circuit TIMATEST.</i>	213
D.15	<i>Dessin des masques du circuit MICES3.</i>	214
D.16	<i>Dessin des masques du circuit IR6.</i>	215
D.17	<i>Dessin des masques du circuit ACCEL2.</i>	216
D.18	<i>Dessin des masques du circuit IC1_CHARACTERISATION.</i>	217
D.19	<i>Dessin des masques du circuit FIRST.</i>	218
E.1	<i>Dessin des masques du circuit MICAMS.</i>	219
E.2	<i>Dessin des masques du circuit MICBULK3.</i>	220
E.3	<i>Dessin des masques du circuit BiCMOS_BULK.</i>	221
E.4	<i>Contenu du circuit BiCMOS_BULK.</i>	222
E.5	<i>Dessin des masques du circuit TRANS.</i>	223
E.6	<i>Dessin des masques du circuit MICAMS2.</i>	224
E.7	<i>Contenu du circuit MICAMS2.</i>	225
E.8	<i>Dessin des masques de la cellule surface_poly.</i>	225
E.9	<i>Dessin des masques de la cellule trous100.</i>	226
E.10	<i>Dessin des masques de la cellule trous110.</i>	227
E.11	<i>Dessin des masques de la cellule trous111.</i>	227
E.12	<i>Dessin des masques de la cellule trous230.</i>	228
E.13	<i>Dessin des masques de S2.</i>	229
E.14	<i>Dessin des masques du circuit MICAMS3.</i>	230
E.15	<i>Contenu du circuit MICAMS3.</i>	231

Liste des Tableaux

2.1	<i>Diverses solutions à base de KOH utilisées pour la gravure du silicium monocristallin.</i>	22
2.2	<i>Diverses solutions à base de TMAH utilisées pour la gravure du silicium monocristallin.</i>	45
2.3	<i>Diverses solutions à base d'EDP utilisées pour la gravure du silicium monocristallin.</i>	48
2.4	<i>Diverses solutions à base d'EDP utilisées pour la gravure du silicium monocristallin (suite).</i>	49
2.5	<i>Mesures effectuées sur S6 et S8 et calcul des valeurs de U_M correspondant.</i>	58
2.6	<i>Diverses solutions à base d'hydrazine utilisées pour la gravure anisotropique du silicium monocristallin.</i>	66
2.7	<i>Diverses solutions aqueuses alcalines utilisées pour la gravure anisotropique du silicium monocristallin.</i>	67
2.8	<i>Diverses solutions à base de HNA utilisées pour la gravure du silicium monocristallin.</i>	68
2.9	<i>Résumé des principales caractéristiques des gravures avec KOH et EDP.</i>	73
4.1	<i>Dimensions du micro-pont n°2 du circuit MICBULK.</i>	96
4.2	<i>Dimensions de la micro-poutre du circuit MICBULK.</i>	96
4.3	<i>Dimensions du micro-pont n°6 du circuit MICBULK.</i>	102
4.4	<i>Dimensions du micro-pont du circuit PIXEL_TH.</i>	104
4.5	<i>Coefficients de Seebeck des matériaux utilisés pour la fabrication de circuits intégrés par la fonderie AMS.</i>	114
E.1	<i>Dimensions des micro-membranes du circuit MICBULK3.</i>	220
E.2	<i>Dimensions des structures de trous100.</i>	226
E.3	<i>Dimension d'un côté de triangle des structures de trous110.</i>	227
E.4	<i>Espace entre les zones de silicium à nu de trous111.</i>	228
E.5	<i>Dimensions des structures de trous230.</i>	228
E.6	<i>Largeur des micro-ponts des structures S1 à S8.</i>	229
E.7	<i>Dimensions des micro-ponts du circuit MICAMS3.</i>	231
E.8	<i>Dimensions des micro-poutres diagonales du circuit MICAMS3.</i>	231

Chapitre 1

INTRODUCTION

Chapitre 1

INTRODUCTION

Il existe plusieurs définitions du terme “microsystème”, mais elles ont toutes en commun le fait qu’un microsystème regroupe des éléments dont le fonctionnement est électronique et des éléments dont le fonctionnement n’est pas, ou pas seulement, électronique (il peut ainsi être mécanique¹ ou thermo-électronique par exemple). Des systèmes contenant des capteurs, des actionneurs et leurs circuits électroniques de contrôle et de traitement, intégrés de façon monolithique ou hybride, sont des microsystèmes. L’intégration de ces systèmes présente de multiples avantages : coût de fabrication, encombrement et consommation réduits, et fiabilité augmentée.

Le matériau principalement utilisé pour la fabrication de systèmes micro-électro-mécaniques est le silicium [156]. En effet, ce matériau, présent en abondance sur Terre et déjà très largement utilisé par l’industrie microélectronique, possède d’excellentes propriétés mécaniques et thermiques [143, 200].

Le marché des microsystèmes est en plein essor [75], et il pourrait atteindre 14 milliards de dollars en l’an 2000 selon certaines études [57, 180]. Les secteurs d’activités les plus importants pour le développement des microsystèmes sont l’automobile et le médical [57]. Cependant, le développement de procédés de fabrication pour ce type de systèmes est long et souvent extrêmement coûteux, et la conception de systèmes micro-électro-mécaniques complexes et performants est rendue très délicate par le manque d’outils d’aide à la conception. La croissance du marché des microsystèmes pourrait donc être encore augmentée si la réalisation de prototypes était simplifiée.

Le laboratoire TIMA² a créé, en 1994, un groupe de recherche sur les microsystèmes. L’idée principale sur laquelle se fondait la création de ce nouveau groupe était l’utilisation des capacités et des compétences offertes par l’industrie de la microélectronique (technologies de fabrication, outils et méthodes de conception, de simulation et de test) pour concevoir

¹Le terme de “système micro-électro-mécanique” (*Micro-Electro-Mechanical System* : *MEMS*) est également utilisé pour désigner un microsystème.

²TIMA : Techniques de l’Informatique et de la Microélectronique pour l’Architecture d’ordinateurs, partie recherche du laboratoire TIMA-CMP.

et réaliser des circuits microsystemes monolithiques [79, 81, 82, 87]. En particulier, la fabrication de circuits microsystemes à travers le service de prototypage CMP³ [35, 36, 84, 85, 86, 87], et l'extension aux microsystemes des outils de CAO existants, étaient les objectifs principaux de ce nouveau groupe.

Le principal intérêt des microsystemes monolithiques (dont tous les éléments sont intégrés sur le même substrat) par rapport aux microsystemes hybrides (dont les éléments sont fabriqués sur différents substrats, assemblés ultérieurement) est bien sûr leur faible coût de fabrication, rendu possible par la réalisation collective de toutes les étapes de fabrication. De plus, leur fiabilité est très souvent supérieure.

La réalisation d'éléments au fonctionnement micro-électro-mécanique, à partir de circuits fabriqués avec des technologies VLSI, requiert l'ajout d'une ou plusieurs étapes aux procédés de fabrication classiques [14, 126, 141, 163]. En effet, il est dans la plupart des cas nécessaire d'avoir une partie suspendue pour réaliser un capteur ou un actionneur : cette partie suspendue peut ainsi être mobile dans certains cas, ou permet simplement d'obtenir une excellente isolation thermique et électrique par rapport aux autres composants intégrés sur la même puce. Cette étape de fabrication spécifique ne peut être effectuée qu'après la sortie de fonderie industrielle des circuits VLSI [126, 141, 190].

L'étude des différents procédés de fabrication de microsystemes compatibles avec les procédés VLSI a montré que la technique la plus simple et la moins coûteuse, permettant d'obtenir des micro-structures suspendues, était le procédé de micro-usinage en volume du silicium monocristallin par des solutions aqueuses. Ce procédé, utilisant les propriétés de la gravure anisotropique du silicium monocristallin, et permettant d'obtenir très facilement des parties suspendues sur des micro-cavités, est détaillé au chapitre 2. La mise au point de cette étape d'usinage sur des puces fabriquées sur des lignes industrielles à travers le service CMP est également décrite dans ce même chapitre.

La technique de conception et le procédé de fabrication de structures, par micro-usinage en volume par la face avant de puces VLSI, sont détaillés dans le chapitre 3. De plus, les divers essais de fabrication de micro-structures suspendues, en utilisant d'autres procédés de micro-usinage compatibles avec les circuits VLSI, sont également détaillés au sein de ce chapitre.

Dans le chapitre 4 sont présentées les principales applications du procédé de micro-usinage en volume par la face avant. En particulier, des structures pouvant fonctionner comme des capteurs tactiles ou comme détecteurs de chocs piezorésistifs, des pixels thermiques (composants intégrés pouvant émettre des rayonnements infrarouges et visibles) et des thermopiles (mesurant des rayonnements infrarouges par effet Seebeck) ont été conçus, fabriqués sur des lignes industrielles, micro-usinés chimiquement et testés.

³CMP : Circuits Multi Projets, partie service du laboratoire TIMA-CMP.

Des règles de dessin, relatives à la technologie des microsystèmes obtenus par micro-usinage en volume du silicium monocristallin, ont été établies dans le but de rendre ce nouveau procédé de fabrication accessible à tous les concepteurs. Le chapitre 5 décrit la méthodologie utilisée pour l'établissement de ces règles, et présente les principales contraintes à respecter.

Enfin, le chapitre 6 présente le travail effectué dans le domaine de la CAO pour les microsystèmes, ayant débouché sur la réalisation d'un kit de conception pour Cadence Opus.

Chapitre 2

LA GRAVURE ANISOTROPIQUE DU SILICIUM

Chapitre 2

LA GRAVURE ANISOTROPIQUE DU SILICIUM

2.1 Introduction

La gravure chimique du silicium monocristallin est utilisée dans la fabrication des semi-conducteurs depuis leur naissance, dans le début des années 1950. L'attaque isotropique (gravant dans toutes les directions à la même vitesse) a été utilisée pour le polissage chimique et le nettoyage des plaquettes de silicium. Dans un passé plus récent, l'intérêt s'est porté vers la gravure anisotrope du silicium (où l'attaque du silicium se fait principalement suivant des directions privilégiées). Les principales applications de la gravure anisotrope du silicium sont :

- la réalisation, sur des plaquettes de silicium, de parties suspendues en dioxyde de silicium ou en silicium monocristallin fortement dopé, dans le but de réaliser des éléments micro-électro-mécaniques [74, 95, 101],
- la réalisation de transistors UMOS [10], VMOS [42, 43, 158, 194] et V-bipolaires [157],
- la réalisation de micro-miroirs, avec les faces des cavités creusées par gravure anisotrope [177, 13],
- la fabrication d'imprimantes à jet d'encre (réalisation, à travers des plaquettes de silicium, de trous micrométriques utilisés pour le passage de l'encre [15, 16, 93, 172, 175]),
- la réalisation de guides d'ondes sur du silicium monocristallin [16, 28],
- l'amélioration de l'isolation électrique entre composants intégrés, en les séparant par une rainure [17].

Jusqu'à présent, un grand nombre de solutions de gravure a été proposé. Dans leur grande majorité, les solutions utilisées sont alcalines (même si la solution acide HNA — voir le tableau 2.8 — peut également être utilisée [16]) :

- solutions aqueuses alcalines non organiques : hydroxyde de potassium (KOH), de sodium (NaOH), de césium (CsOH), de lithium (LiOH), de tétra-méthyle ammonium (TMAH : $(\text{CH}_3)_4\text{NOH}$), ou ammoniacque (NH_4OH),

- solutions aqueuses alcalines organiques : hydrazine (N_2H_4), éthylène diamine pyrocatéchol (EDP : $\text{NH}_2(\text{CH}_2)_2\text{NH}_2$, $\text{C}_6\text{H}_4(\text{OH})_2$) et choline ($(\text{CH}_3)_3\text{N}(\text{CH}_2\text{CH}_2\text{OH})\text{OH}$).

Les propriétés importantes de la gravure anisotropique sont :

- l'anisotropie bien sûr,
- la sélectivité (rapport entre les vitesses de gravure du matériau utilisé pour réaliser une partie suspendue, et du matériau sacrifié),
- la facilité de manipulation de la solution utilisée pour effectuer la gravure,
- la reproductibilité,
- la compatibilité avec les procédés de fabrication : cette dernière propriété est extrêmement importante si on veut réaliser des circuits microsystemes avec des procédés VLSI, comme c'est le cas dans le cadre des travaux exposés.

2.2 Le monocristal de silicium

Le silicium monocristallin [111, 117] a une structure cubique face centrée (dite structure diamant, voir la figure 2.1) : chaque atome de silicium est positionné au centre d'un tétraèdre et est attaché à ses quatre atomes voisins par des liaisons covalentes. Ces quatre atomes voisins sont aussi les sommets du tétraèdre.

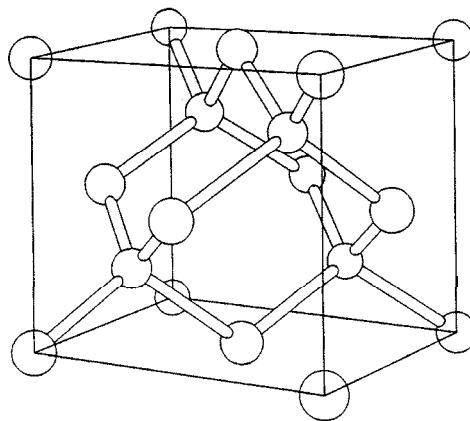


Figure 2.1: Maille élémentaire du réseau cristallin du silicium.

Dans le but de permettre une représentation et une classification simple des différents plans contenus dans le réseau cristallin (voir la figure 2.2), on utilise généralement les indices de Miller associés à ces plans. Pour déterminer les indices de Miller d'un plan cristallin, il suffit de connaître l'équation cartésienne de ce plan dans un repère orthonormé de l'espace, dont les axes sont formés par trois arêtes contiguës du cube de silicium représenté sur la figure 2.1, et dont l'origine est l'un des sommets de ce cube. Pour connaître cette équation,

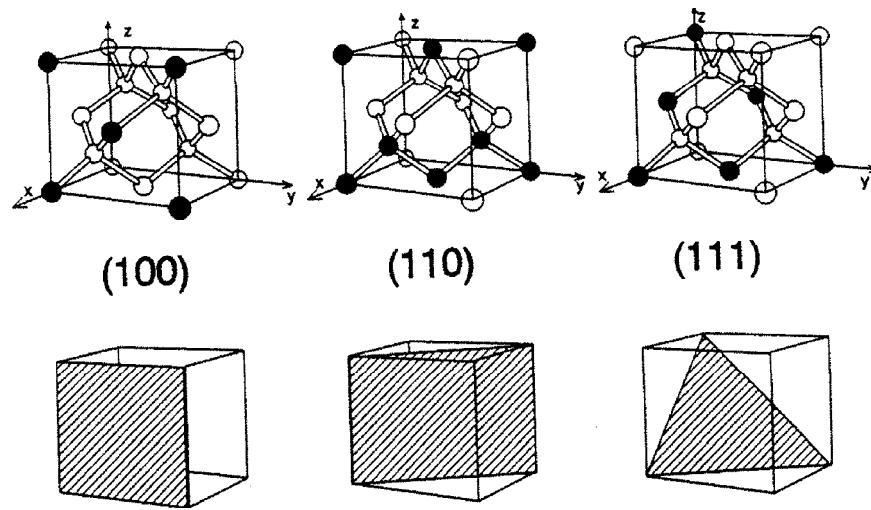


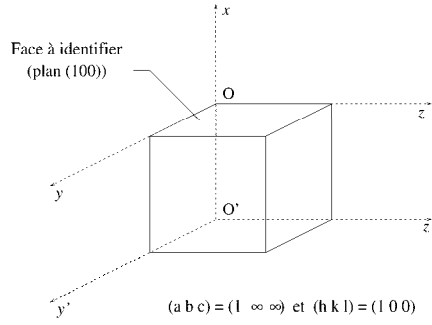
Figure 2.2: Plans principaux du cristal de silicium.

les coordonnées de trois points distincts du plan suffisent.

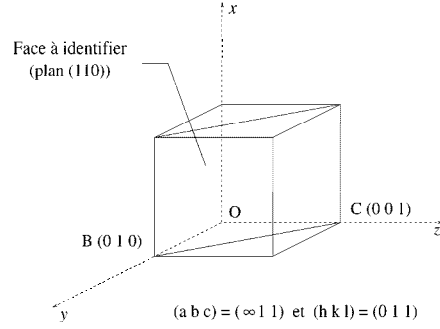
En pratique, on choisit de déterminer les coordonnées des points d'intersection du plan avec les trois axes du repère (Ox), (Oy) et (Oz) (voir la figure 2.3). Les coordonnées de ces trois points seront donc respectivement $(a \ 0 \ 0)$, $(0 \ b \ 0)$ et $(0 \ 0 \ c)$, où a , b et c peuvent avoir la valeur ∞ dans le cas où un ou deux des axes du repère sont parallèles au plan. Par contre, aucun des nombres a , b ou c ne peut être nul; si tel était le cas, il suffirait de changer d'origine pour le repère (voir l'exemple illustré par la figure 2.3(a)). On prend ensuite les inverses des nombres a , b et c , et on choisit les plus petits entiers h , k et l qui sont dans le même rapport (h , k et l étant donc premiers entre eux). Les entiers h , k et l sont appelés les indices de Miller du plan, et le plan est désigné par (hkl) .

La figure 2.3(a) illustre la détermination des indices de Miller pour une des faces du cube représentant la maille élémentaire du monocristal de silicium (plan (100)). Si on définit l'origine du repère orthonormé en O , le coefficient a vaudra 0, ce qui est interdit. On choisit donc l'origine en O' , et le point d'intersection de la face avec l'axe ($O'x$) est alors $O(1 \ 0 \ 0)$. Les coefficients b et c sont tous deux rejetés à l'infini. Les valeurs des coefficients h , k et l sont donc respectivement 1, 0 et 0, et le plan est noté (100) . Les figures 2.3(b) à 2.3(f) illustrent la détermination des indices de Miller pour d'autres plans cristallins intéressants.

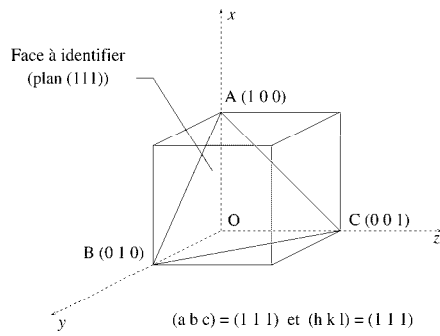
Les plaquettes de silicium généralement utilisées pour l'industrie et la recherche dans le domaine de la microélectronique sont des tranches (100) , (110) ou (111) : cela signifie que la surface de la plaquette est contenue dans un de ces trois plans principaux du silicium. Le dopage et l'orientation de la plaquette utilisée sont facilement reconnaissables grâce à un ou plusieurs méplats visibles sur la tranche. Les différentes plaquettes de silicium que l'on peut trouver sont données par la figure 2.4 [188]. Il est à noter que l'industrie de la microélectronique utilise, pour la grande majorité des procédés de fabrication VLSI, des plaquettes de silicium (100) dopées P.



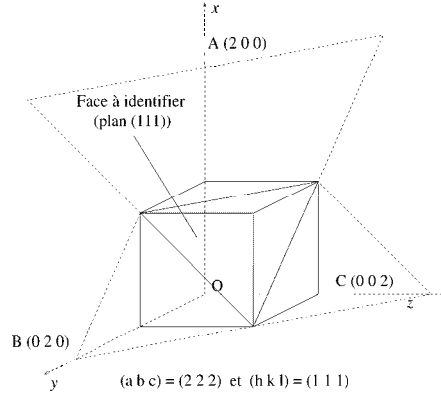
(a) Indices de Miller du plan (100).



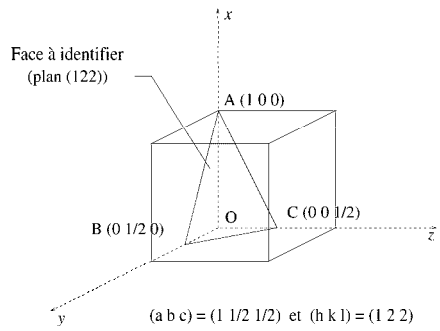
(b) Indices de Miller du plan (110).



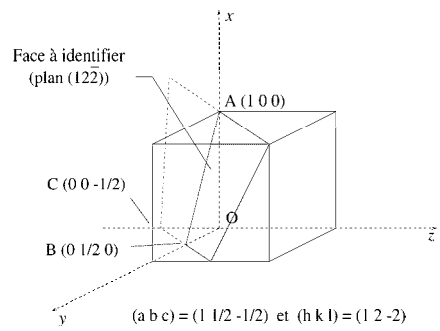
(c) Indices de Miller du plan (111).



(d) Indices de Miller du plan (111).



(e) Indices de Miller du plan (122).



(f) Indices de Miller du plan (122).

Figure 2.3: Détermination des indices de Miller de différents plans cristallins du silicium.

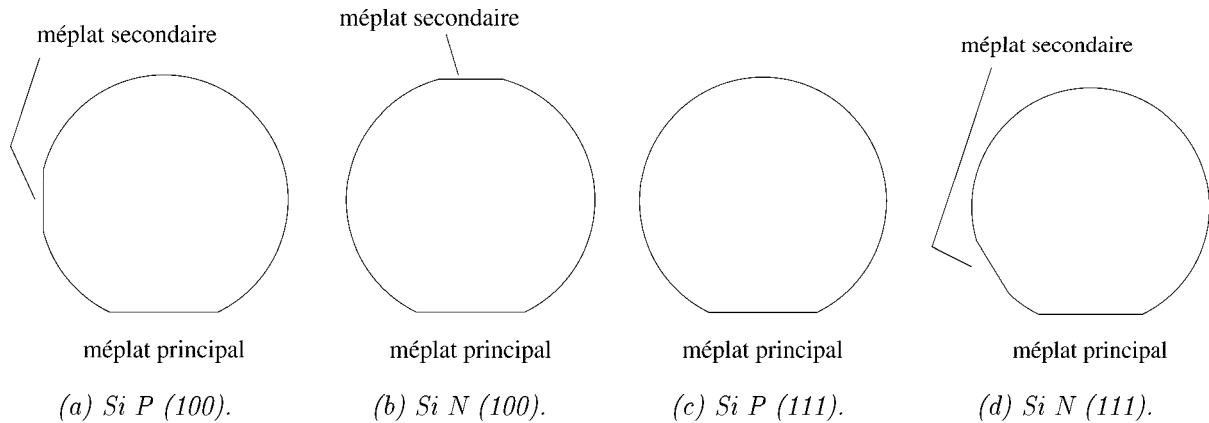


Figure 2.4: Détermination du type et de l'orientation d'une plaquette de silicium à partir de ses méplats.

On remarque que les coefficients h , k et l sont aussi les coordonnées du vecteur normal au plan cristallin (hkl) : il est donc très intéressant de repérer les plans cristallins par leurs vecteurs normaux, comme illustré par la figure 2.5.

Les plans cristallins appartenant à la même famille sont équivalents, et il n'est pas utile de les différencier. Ainsi, les plans représentés par les faces du cube de silicium de la figure 2.1 (plans (100) , $(\bar{1}00)$, (010) , $(0\bar{1}0)$, (001) et $(00\bar{1})$) sont tous dénommés plans $\{100\}$. Conformément à la notation adoptée par de nombreux auteurs, on notera dans ce document :

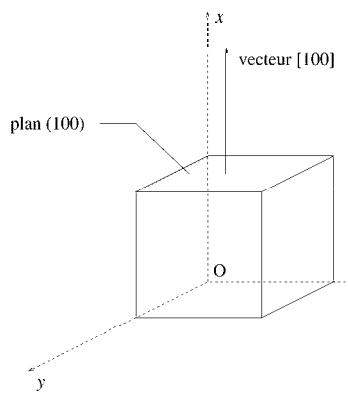
- (hkl) : plan spécifique,
- $\{hkl\}$: plan équivalent,
- $[hkl]$: direction spécifique,
- $\langle hkl \rangle$: direction équivalente.

2.3 Le mécanisme de la gravure anisotropique du silicium

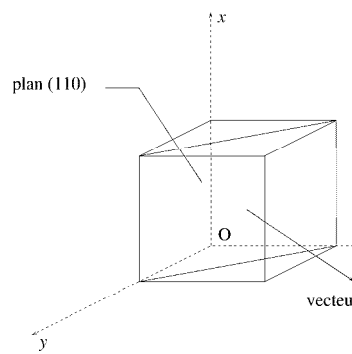
2.3.1 Généralités

Lorsque le silicium monocristallin est plongé dans certaines solutions aqueuses (notamment les solutions aqueuses alcalines), il est attaqué, mais pas dans toutes les directions à la même vitesse : on parle alors de gravure anisotropique ou de micro-usinage en volume.

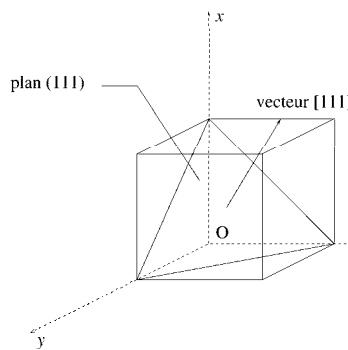
Le procédé de la gravure anisotropique du silicium a fait l'objet de très nombreuses études et publications depuis les années 1960 [50, 53, 61, 96, 143, 172, 173]. Un certain voile demeure encore cependant sur les mécanismes précis qui régissent la gravure anisotropique. La principale caractéristique de cette attaque est que les plans $\{111\}$ sont attaqués bien



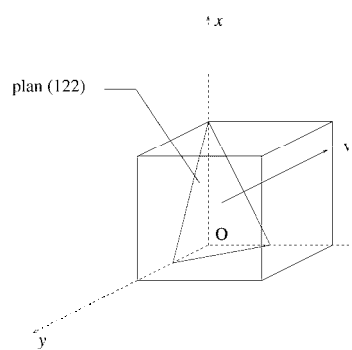
(a) Plan (100) et vecteur [100].



(b) Plan (110) et vecteur [110].



(c) Plan (111) et vecteur [111].



(d) Plan (122) et vecteur [122].

Figure 2.5: Représentation des vecteurs normaux aux principaux plans cristallins du silicium.

plus lentement que les autres plans cristallins (des rapports de plusieurs centaines entre les vitesses de gravure sont assez courants); ils vont donc limiter les volumes formés dans le silicium par la gravure (voir la figure 2.6), si on laisse celle-ci s'effectuer suffisamment longtemps.

Les plans $\{111\}$ présentent la plus forte densité d'atomes (voir la figure 2.7), et on peut penser que cette variation de densité est responsable de l'anisotropie. Un autre facteur est la façon dont les atomes sont liés à leurs plus proches voisins [96]. Ainsi l'énergie nécessaire pour extraire un atome d'une surface $\{100\}$ est plus faible que pour une surface $\{111\}$. Néanmoins des rapports de plusieurs centaines entre les vitesses sont difficiles à expliquer ainsi.

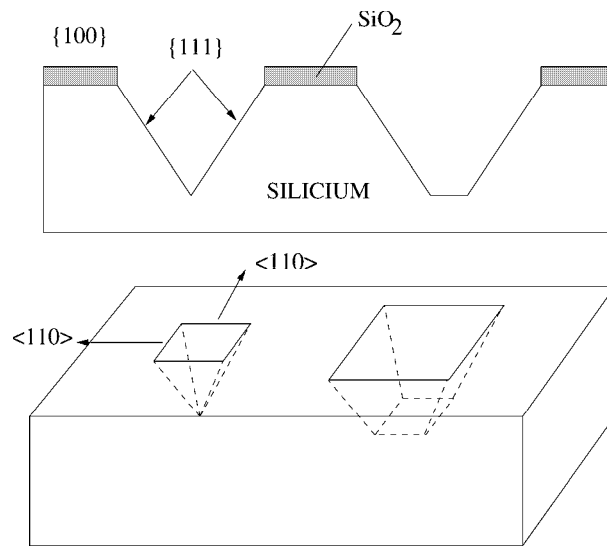


Figure 2.6: Formation de cavités par micro-usinage du silicium.

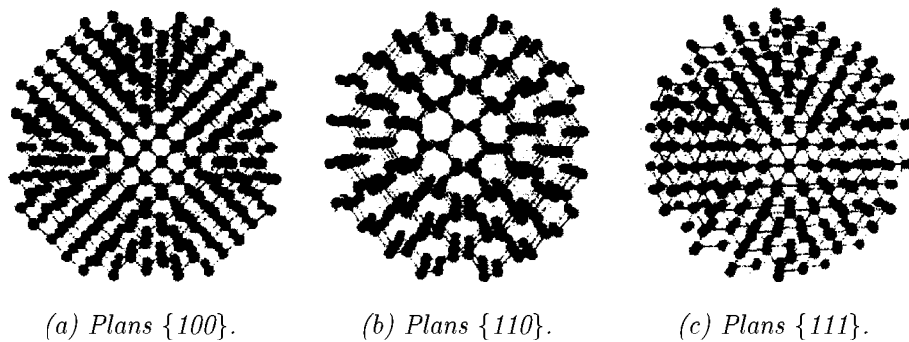


Figure 2.7: Vue orthogonale des plans principaux du silicium.

2.3.2 Modèle électro-chimique

En 1990, un article en deux parties [172, 173] a été publié par H. Seidel, L. Csepregi, A. Heuberger et H. Baumgärtel. Dans cet article est donné un modèle électrochimique expliquant le mécanisme de la gravure anisotropique du silicium. Ce modèle, présumé valable pour toutes les solutions alcalines par ses auteurs, explique également l'influence des dopants sur les vitesses de gravure. Il a été cité depuis dans de nombreux articles [19, 38, 50, 94, 96, 98, 122, 166, 182, 186, 189], et semble être actuellement le modèle expliquant le mieux le phénomène de la gravure anisotropique du silicium. Un bref résumé des principaux éléments de ce modèle est donné dans ce paragraphe.

Le modèle proposé par Seidel *et al.* est basé sur l'étude chimique et par spectroscopie Raman des différents produits de la réaction de gravure [171]. Différentes solutions de KOH, NaOH, LiOH et EDP type S [74, 101, 150, 172, 173] ont été expérimentées avec différentes concentrations, et pour différentes températures. Il a été ainsi montré que la gravure obéit à la loi d'Arrhenius :

$$R_{Si\{hkl\}} = R_{0_{Si\{hkl\}}} \exp\left(\frac{-E_{a_{Si\{hkl\}}}}{kT}\right) \quad (2.1)$$

où :

- $R_{Si\{hkl\}}$ est la vitesse de gravure des plans $\{hkl\}$ du silicium,
- $R_{0_{Si\{hkl\}}}$ est le facteur pré-exponentiel pour les plans $\{hkl\}$ et pour une solution de gravure donnée,
- $E_{a_{Si\{hkl\}}}$ est l'énergie d'activation pour les plans $\{hkl\}$ et pour une solution de gravure donnée,
- k est la constante de Boltzmann : $k = 1.3805 \times 10^{-23} JK^{-1}$,
- T est la température absolue de la solution (en degrés Kelvin).

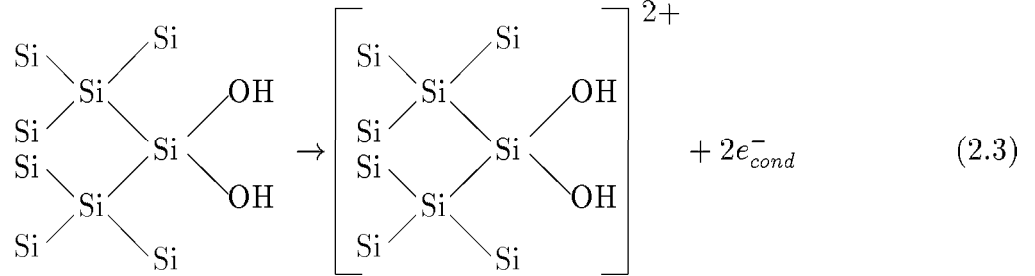
Dans le cristal de silicium, les niveaux d'énergie électroniques peuvent être représentés par les bandes de valence et de conduction, comme indiqué par le schéma de la figure 2.8(a), et où la position du niveau de Fermi dépend de la concentration en dopant.

Les principaux agents réactifs de la solution aqueuse sont les molécules d'eau (H_2O) et les groupes hydroxyles (OH^-). Il est supposé dans le modèle que le couple oxydo-réducteur H_2O/OH^- joue un rôle dans la réaction.

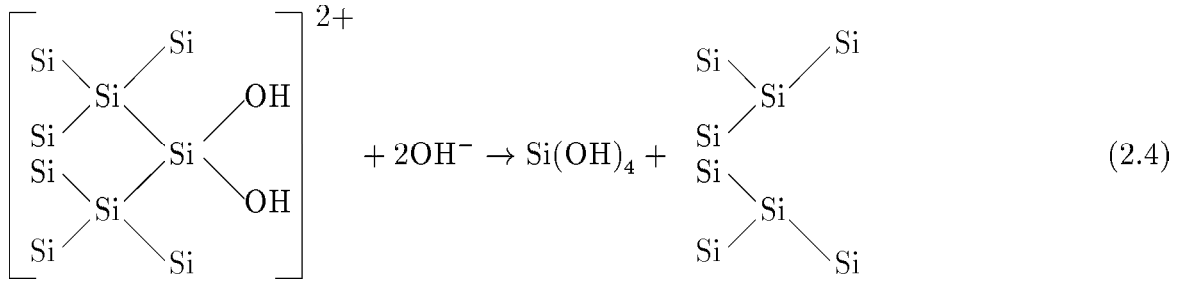
Une représentation graphique des niveaux d'énergie électroniques des atomes de la surface du cristal de silicium et de la solution de gravure est donnée par la figure 2.8(a). Après l'immersion de la plaquette de silicium dans la solution, les niveaux de Fermi des deux côtés de l'interface silicium/solution vont passer au même niveau, par transfert d'électrons de la solution vers le cristal. Cet état est illustré par le schéma de la figure 2.8(b).

La configuration électronique initiale d'un des atomes d'une surface $\{100\}$ exposée à la solution de gravure est donnée par la figure 2.9(a). Deux des électrons de la couche orbitale supérieure de l'atome sont pris par des liaisons covalentes vers d'autres atomes de silicium (vers le substrat : les liaisons sont appelées "*backbonds*"), les deux autres électrons étant

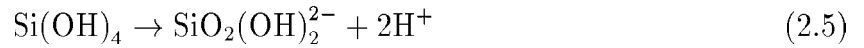
La présence des groupes hydroxyles à la surface du plan {100} fragilise les liaisons covalentes entre l'atome de silicium à la surface et les atomes de silicium dans le substrat. Dans la seconde étape de la réaction, ces liaisons vont être cassées, libérant de nouveau deux électrons :



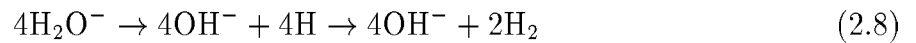
Le produit complexe de la réaction précédente réagit avec deux autres ions hydroxyles pour produire de l'acide orthosilicique :



La molécule neutre Si(OH)_4 peut alors quitter la surface du cristal de silicium. Cette molécule est instable dans la solution, à cause du pH élevé de cette dernière (les solutions utilisées pour la gravure anisotropique du silicium sont généralement très alcalines) :

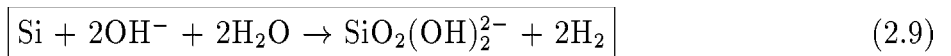


L'excès d'électrons dans la bande de conduction est transféré aux molécules d'eau proches de l'interface silicium/solution, conduisant à la formation d'ions OH^- et de gaz hydrogène :



Les quatre ions OH^- produits par la réaction de l'équation 2.8 sont ceux qui seront utilisés pour arracher un autre atome de silicium du cristal. La formation de gaz H_2 correspond au dégagement de bulles visibles dans la solution de gravure.

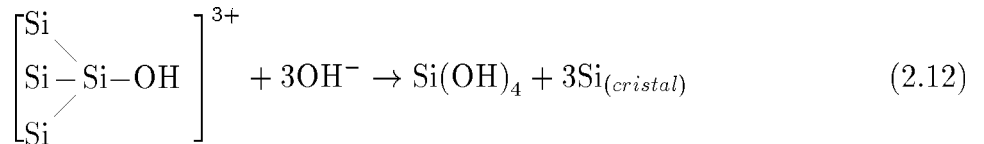
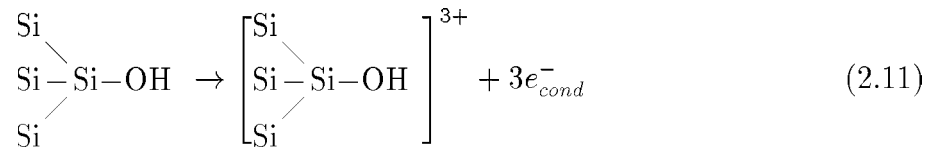
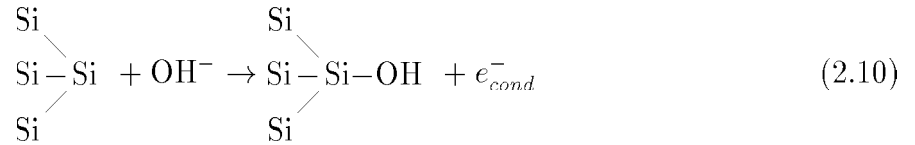
La réaction globale résultante est :



Il est à noter que certains auteurs d'articles, après analyse chimique des éléments produits, proposent d'autres produits pour la réaction globale. Par exemple, la formation de

$\text{Si}(\text{OH})_3\text{O}^-$ et SiOHO_3^{3-} est proposée en plus de $\text{SiO}_2(\text{OH})_2^{2-}$ [61, 123], et il a été montré que ces trois produits forment un polymère dans la solution. D'autres auteurs proposent la formation de $\text{Si}(\text{OH})_6^{2-}$ [150]. Il est très probable en réalité qu'il y ait plusieurs réactions chimiques se déroulant simultanément dans le bain d'attaque, et le polymère formé serait le résidu qui apparaît généralement (voir le paragraphe 2.4.3.7).

Le processus électro-chimique pour extraire un atome d'une surface $\{110\}$ est identique à celui de l'extraction d'un atome d'une surface $\{100\}$, décrit ci-dessus : les atomes des surfaces $\{110\}$ ont également deux liaisons covalentes vers des atomes du substrat et deux électrons libres. Par contre, pour extraire un atome de silicium d'un plan $\{111\}$, il est nécessaire de briser trois liaisons covalentes vers les atomes de silicium du substrat, ce qui requiert davantage d'énergie : Les équations décrivant l'extraction d'un atome de silicium d'un plan $\{111\}$ sont données ci-dessous :



2.3.3 Modèle inspiré par la théorie de la croissance des cristaux

Un article publié en 1993 par M. Elwenspoek [50] propose un modèle différent pour expliquer les différences de vitesses de gravure du silicium monocristallin. Ce modèle, inspiré de la théorie de la croissance du cristal, explique qualitativement pourquoi la gravure est isotropique avec certaines solutions, et anisotropique avec d'autres. Ce modèle, assez complexe, ne sera pas exposé dans ce document.

Il est probable que ces modèles donnent tous deux une approche assez fine de la réalité. Le modèle de H. Seidel *et al.* présente cependant l'avantage d'expliquer le phénomène de la gravure à un niveau moins macroscopique que celui de M. Elwenspoek.

2.4 Caractérisation de la gravure anisotropique du silicium

L'objectif premier de mon travail de recherche était de montrer que l'obtention de micro-structures suspendues était possible à partir de circuits fabriqués avec des procédés industriels standards (CMOS, BiCMOS, bipolaires¹). Dans le cadre de cette étude, des circuits de caractérisation ont été conçus avec les outils de conception traditionnels, et fabriqués par des fonderies de silicium industrielles, à travers le service CMP (voir les annexes C, D et E). L'approche générale et les règles à suivre pour la conception de structures à suspendre par micro-usinage en volume sont expliquées en détail dans les chapitres 3 et 5.

Le procédé de micro-usinage sur ces circuits a été successivement tenté avec KOH, TMAH et EDP. Les circonstances et les résultats de ces différents essais sont exposés dans les paragraphes suivants.

2.4.1 Gravures avec KOH

L'hydroxyde de potassium, ou potasse, de formule chimique KOH, est la solution de gravure la plus utilisée pour la gravure anisotropique du silicium [13, 16, 25, 38, 122, 123, 124, 147, 172, 173, 178, 186, 198, 201]. Facile à manipuler, de toxicité et de danger d'utilisation réduits, la solution d'hydroxyde de potassium présente cependant quelques inconvénients majeurs, qui la rendent inutilisable pour l'opération de micro-usinage en volume de puces contenant des circuits électroniques :

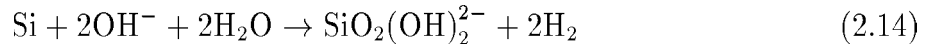
- KOH attaque l'aluminium des plots extrêmement rapidement, empêchant tout contact électrique vers un circuit micro-usiné si les plots de ce dernier n'ont pas été préalablement protégés.
- KOH grave la silice assez rapidement : la couche de passivation utilisée pour protéger les circuits intégrés étant généralement à base de silice (mélangée le plus souvent à du nitrure de silicium), l'étape de micro-usinage du silicium peut être fatale aux circuits de traitement intégrés.
- Enfin, la présence d'ions potassium dans le bain d'attaque peut entraîner des problèmes de dérive dans le fonctionnement électronique des circuits intégrés sur le même substrat, sans doute à cause de phénomènes de diffusion de charges [38, 160].

La solution de KOH peut cependant être utilisée dans le cas du micro-usinage de silicium sans circuit électronique intégré [178].

¹La faisabilité de micro-structures dans les mêmes conditions, à partir de circuits fabriqués en Arsénure de Gallium, a été étudiée par d'autres personnes du groupe MiCroSystèmes de TIMA [68, 83], et fait actuellement l'objet d'une thèse de doctorat.

2.4.1.1 Mécanisme de la gravure avec KOH

L'équation de la réaction chimique de la gravure du silicium monocristallin par l'hydroxyde de potassium est donnée ci-dessous, à partir des considérations générales exposées au paragraphe 2.3.2 :



Des ions hydroxydes (OH^-) et de l'eau (H_2O) sont consommés et du gaz hydrogène (H_2) est formé au cours de la réaction (ce qui correspond aux bulles dégagées dans la solution). D'autres données sur quelques unes des solutions de KOH utilisées pour la gravure anisotropique du silicium sont fournies par le tableau 2.1.

La gravure avec KOH obéit à la loi d'Arrhenius donnée par l'équation 2.1. Le coefficient $R_{0_{\text{Si}\{hkl\}}}$ peut y être exprimé en fonction de la concentration en KOH et en H_2O , pour des solutions de KOH diluées de 10% à 60% [172] :

$$R_{0_{\text{Si}\{hkl\}}} = k_{0_{\text{Si}\{hkl\}}} [\text{H}_2\text{O}]^4 [\text{KOH}]^{1/4} \quad (2.15)$$

avec :

- $k_{0_{\text{Si}\{100\}}} = 2480 \text{ } \mu\text{m.h}^{-1} \cdot (\text{mol/l})^{-4.25}$,
- $k_{0_{\text{Si}\{110\}}} = 4500 \text{ } \mu\text{m.h}^{-1} \cdot (\text{mol/l})^{-4.25}$.

Pour certaines solutions de gravure, de l'alcool isopropylique a été ajouté à la solution. Cet alcool ne participe pas à la réaction, mais sa présence fait diminuer les vitesses de gravure. Le rôle de l'alcool est en fait d'ajuster la concentration de l'agent gravant par rapport à l'eau, ce qui ne pourrait être fait autrement sans modification sensible du pH de la solution.

2.4.1.2 Expériences de gravure avec KOH

Bien que le procédé de micro-usinage du silicium avec KOH soit connu pour sa non compatibilité avec les circuits VLSI, des gravures avec KOH ont été tentées sur plusieurs circuits fabriqués avec les technologies CMOS et BiCMOS de ATMEL-ES2 et AMS : ces gravures ont été tentées en premier lieu, avant les essais de gravure avec TMAH et EDP, dans le simple but de vérifier que l'approche choisie pour la réalisation de micro-structures en dioxyde de silicium était valable. Plusieurs opérations de gravure avec KOH à 60°C ont donc eu lieu dans la salle blanche du CIME, à l'INPG.

Le matériel utilisé pour les opérations de gravure est montré par la photo de la figure 2.10. La solution de potasse utilisée était diluée à 40% (dilution de 200 g de pastilles de KOH^2 dans 300 ml d'eau désionisée). Cette solution était préparée dans un becher spécial (utilisé uniquement pour les gravures avec KOH). Ce becher était ensuite placé dans un bain d'eau désionisée, dont la température, fixée à 60°C, était imposée grâce à un potentiomètre. La

²Pastilles d'hydroxyde de Potassium, de marque PROLABO RECTAPURTM.

Nom de la Gravure	Caractéristiques et Remarques	Composition	Vitesses de Gravure	Références Bibliographiques
{100} ODE	Solution de gravure anisotropique, et dépendante de la densité de dopants : masquable à 25°C par une résine photosensible pour de faibles temps de gravure, et par SiO ₂ ou Si ₃ N ₄ pour des temps ou des températures plus importants.	KOH : 250 g Propanol : 200 g Eau désionisée : 800 g	à $\theta=80^{\circ}\text{C}$, $R_{\text{Si}\{100\}} \approx 1\text{ }\mu\text{m}/\text{min}$ $R_{\text{SiO}_2} \approx 28\text{ }\text{\AA}/\text{min}$ $R_{\text{Si}_3\text{N}_4} \approx 0\text{ }\mu\text{m}/\text{min}^a$ $R_{\text{SiF}_4} \approx 0\text{ }\mu\text{m}/\text{min}^a$	[16]
{110} ODE	Solution de gravure anisotropique.	KOH (35%) - H ₂ O	à $\theta=80^{\circ}\text{C}$, $R_{\text{Si}\{110\}} \approx 0.8\text{ }\mu\text{m}/\text{min}$ $R_{\text{Si}\{111\}} \approx 13\text{ }\text{\AA}/\text{min}$ $R_{\text{SiO}_2} \approx 30\text{ }\text{\AA}/\text{min}$	[16]
KOH (eau + alcool)	Solution de gravure anisotropique, masquable par SiO ₂ et Si ₃ N ₄ .	KOH : 44 g eau + alcool : 100 ml KOH : 50 g eau + alcool : 100 ml	à $\theta=85^{\circ}\text{C}$, $R_{\text{Si}\{100\}} = 1.4\text{ }\mu\text{m}/\text{min}$ $R_{\text{Si}\{111\}} = 35\text{ }\text{\AA}/\text{min}$ $R_{\text{SiO}_2} = 14\text{ }\text{\AA}/\text{min}$ à $\theta=50^{\circ}\text{C}$, $R_{\text{Si}\{100\}} = 1\text{ }\mu\text{m}/\text{min}$ $R_{\text{Si}\{111\}} = 25\text{ }\text{\AA}/\text{min}$	[38, 143]

Tableau 2.1: Diverses solutions à base d'hydroxyde de potassium (KOH) utilisées pour la gravure du silicium monocristallin.

^avaleur non mesurable après 5 heures de gravure à 80°C.

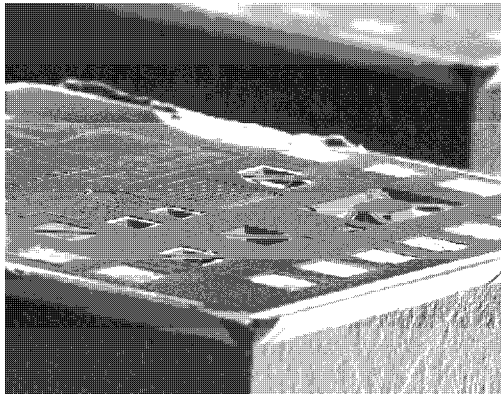
température du bain était également contrôlée à l'aide d'un thermomètre immergé dans l'eau. Il fallait en général attendre environ deux heures de chauffage avant que le bain se stabilise à la température de 60°C.



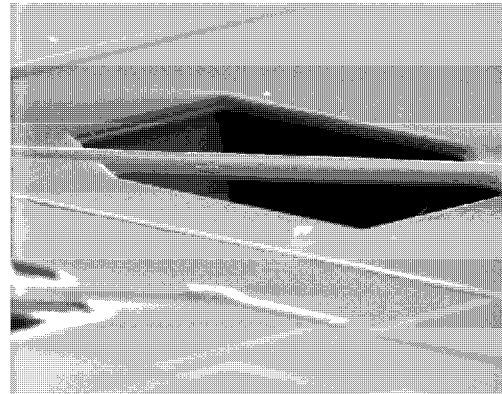
Figure 2.10: Matériel utilisé au CIME pour effectuer les gravures KOH.

Une des difficultés posées par les opérations de gravure tentées sur les circuits fabriqués industriellement était que les échantillons à manipuler étaient des puces, dont la taille d'un côté était souvent de l'ordre de 2 à 5 mm seulement. Aucun des supports en téflon du CIME ne convenant, il fallait mettre les puces directement dans un becher, à l'aide d'une pince. Mettre les puces puis la solution (déjà à 60°C) dans le becher, ou mettre les puces dans un becher contenant la solution à 60°C conduisait en pratique au même résultat : entre un tiers et la moitié des puces tombaient à l'envers, c'est-à-dire que la face à graver se retrouvait contre le fond du becher. Il était difficile de les remettre du bon côté, car les puces sont si légères que le moindre remous dans la solution avait tendance à les faire se tourner de nouveau. Les puces étaient donc laissées telles quelles dans le bain d'attaque : sur tous les échantillons observés, il n'a jamais été observé de différence de vitesse de gravure. Evidemment, aucune agitation n'était appliquée à la solution de gravure.

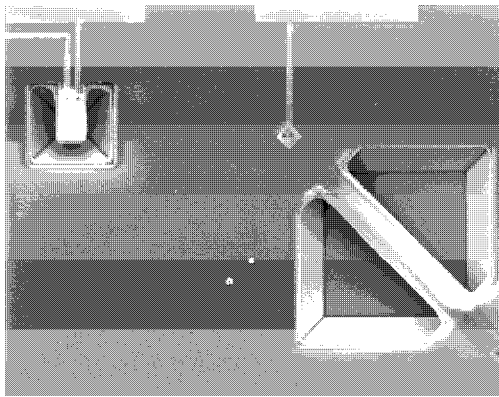
Lorsque le temps de gravure choisi était écoulé, le becher était sorti du bain d'eau, et les puces récupérées dans la solution de KOH grâce à une pince précelle. Les puces étaient ensuite rincées plusieurs fois à l'eau désionisée, puis mises à sécher sur une simple plaque électrique à 110°C, pendant cinq minutes. Lors de cette étape de séchage, les puces avaient



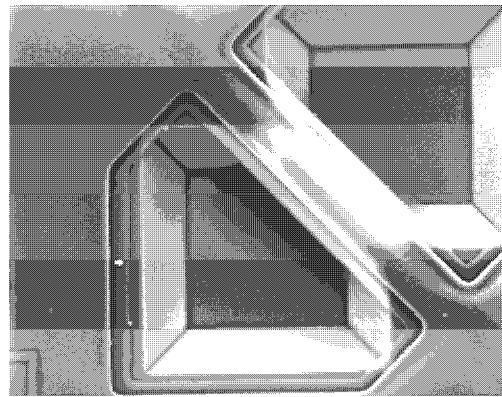
(a) Puce après 1h30 de gravure.



(b) Micro-pont n°3 après 1h30 de gravure.



(c) Micro-poutre et micro-pont n°3 après 1h30 de gravure.



(d) Micro-pont n°2 après 1h45 de gravure.

Figure 2.11: Photos au microscope électronique à balayage montrant les résultats de la gravure KOH 40% à 60°C effectuée sur le circuit MICBULK (voir le paragraphe D.2).

également tendance à se retourner sur la plaque, à cause de l'eau portée à ébullition sur leur face arrière.

Malgré toutes les imperfections de la manipulation exposée, et notamment le traitement assez rude imposé aux puces, il n'a jamais été relevé d'échantillon dont les structures aient été cassées lors de l'opération de gravure (les structures entièrement suspendues étaient de très petites dimensions — de l'ordre de 20 μm par 150 μm en général —, mais cela prouve leur grande solidité). De plus, il n'a jamais été relevé de différence d'avancement de gravure d'une puce à l'autre ayant été gravées dans le même bain : cela démontre qu'il était inutile d'essayer de retourner les puces dans le fond du becher.

Les résultats obtenus lors de ces gravures sont illustrés par les photos de la figure 2.11.

Comme initialement prévu, la métallisation des plots a été attaquée (voir la figure 2.29 et le paragraphe 2.4.1.5), et il n'a pas été possible de tester électriquement les structures suspendues, ni les circuits électroniques intégrés. Ces opérations de gravure ont cependant été très utiles dans le cadre de la détermination des règles de dessin pour microsystemes exposées au chapitre 5.

2.4.1.3 Gravure des principaux plans cristallins du silicium

Les vitesses de gravure des principaux plans cristallins du silicium dans KOH ont été déterminées à partir d'expériences réalisées sur les circuits TIMATEST (voir le paragraphe D.14) et MICAMS2 (voir le paragraphe E.5) : ces expériences ont été effectuées dans la salle blanche du CIME, avec la solution de KOH 40% à 60°C décrite au paragraphe 2.4.1.2.

Les puces TIMATEST et MICAMS2 ont été mises toutes ensemble dans la solution de gravure, et deux échantillons de chaque circuit ont été retirés du bain, à l'aide d'une pince précelle, à chaque temps de gravure intermédiaire. Les temps intermédiaires choisis étaient : 30 minutes, 1h, 1h30, 2h, 2h30, 3h30, 4h30, 5h30 et 6h30.

Le circuit MICAMS2 a été conçu spécialement dans le but de déterminer les vitesses de gravure des principaux plans cristallins du silicium au cours de la gravure anisotropique. Les structures de test de ce circuit sont décrites en détail au paragraphe E.5.

Le circuit TIMATEST a été utilisé comme témoin de la gravure sur les puces MICAMS2, afin de vérifier que la gravure sur des puces fabriquées par la fonderie ATMEL-ES2 se faisait de la même façon que la gravure sur des puces fabriquées par la fonderie AMS.

a. Gravure des plans {100}

On peut distinguer deux familles de plans {100} pour la gravure anisotropique du silicium (voir la figure 2.12) :

- les plans {100} parallèles à la surface des puces (correspondant en particulier au fond des cavités creusées et à la face arrière des puces). La vitesse de gravure de ces plans dans KOH a été déterminée en mesurant l'épaisseur des puces (voir la figure 2.13(b)) et la profondeur des cavités creusées (voir la figure 2.14) pour chaque temps de gravure intermédiaire.
- les plans {100} perpendiculaires à la surface des puces, et gravés sous le dioxyde de silicium pour former les parties suspendues en diagonale sur les cavités creusées. La vitesse de gravure de ces plans a été déterminée en mesurant la distance gravée sous l'oxyde suspendu des structures `trous110` et `S1` à `S8` du circuit MICAMS2, pour chaque temps de gravure intermédiaire (voir la figure 2.15).

L'épaisseur des puces TIMATEST et MICAMS2, en fonction du temps de gravure dans KOH, a été déterminée en utilisant un microscope équipé d'un système de mesure du déplacement de la partie optique (voir le schéma de la figure 2.13(a)). La mise au point du microscope a tout d'abord été effectuée sur le plateau (lorsque la mise au point est réalisée, on voit apparaître une croix au centre de l'image perçue à travers

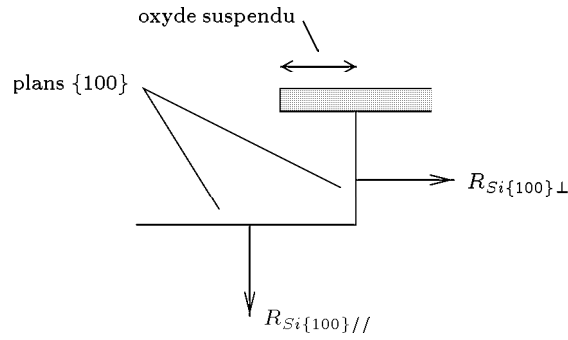


Figure 2.12: Vue en coupe d'une cavité limitée par des plans $\{100\}$.

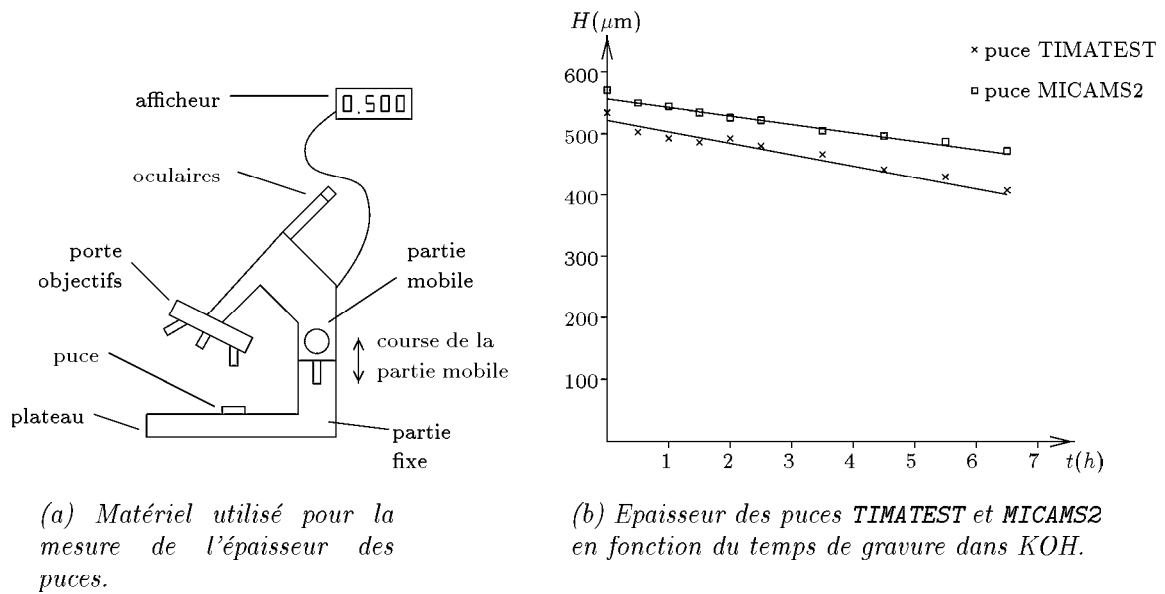


Figure 2.13: Mesure de l'épaisseur des puces.

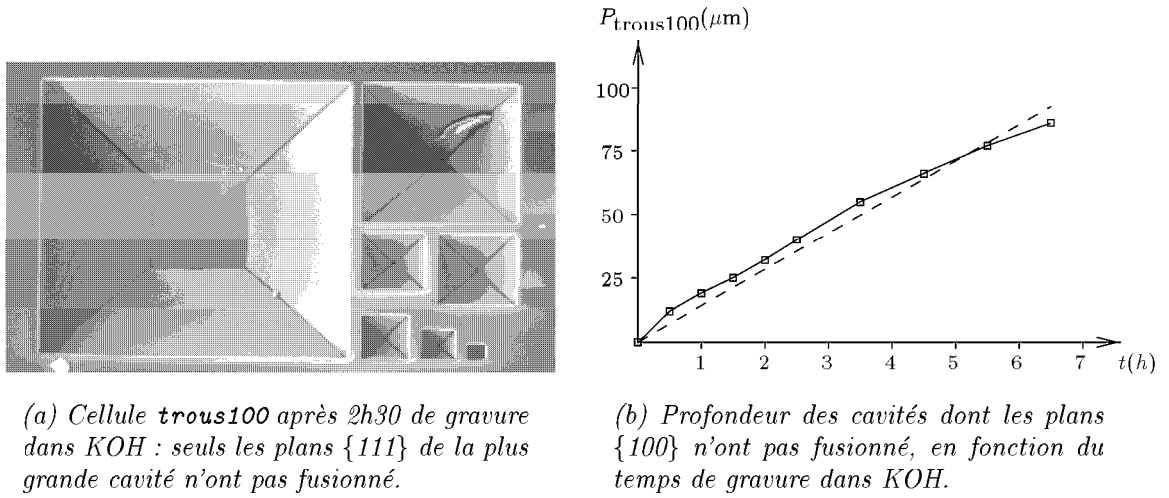


Figure 2.14: Gravure KOH sur la cellule **trous100** de MICAMS2.

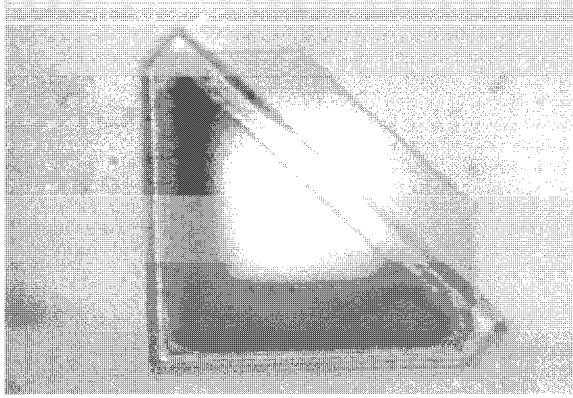
les oculaires), et le système de mesure du déplacement a été mis à zéro. Les puces ont ensuite été placées successivement sur le plateau, et la mise au point du microscope a été réalisée à leur surface. La mesure de la course de la partie mobile, donnée par l'afficheur, correspond à l'épaisseur des puces. La précision des mesures effectuées grâce à cet appareil est de l'ordre de 5%.

La figure 2.13(b) donne la variation de l'épaisseur des puces TIMATEST et MICAMS2 en fonction du temps de gravure dans KOH. Cette variation correspond au matériau gravé sur la face arrière des puces : leur face avant est en effet protégée par une couche de passivation, dont la vitesse de gravure dans KOH est déterminée au paragraphe 2.4.1.5. Cette couche de passivation, ayant une épaisseur de l'ordre de $1 \mu\text{m}$, n'est pas entièrement gravée en 6h30 : l'influence de sa gravure sur l'épaisseur des puces (variant de plus de $50 \mu\text{m}$) peut donc être négligée.

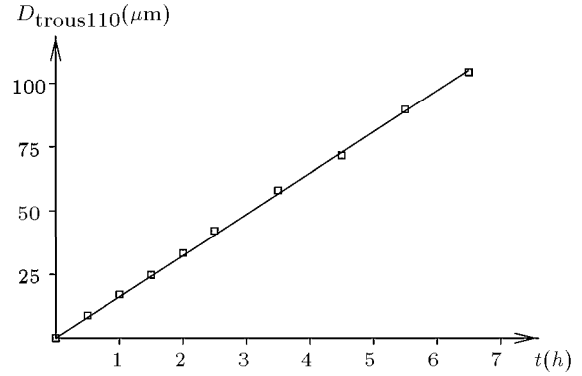
La face arrière des puces MICAMS2 est gravée bien plus lentement que celle des puces TIMATEST. Ceci est dû au fait que la face arrière des puces fabriquées par AMS est protégée par une couche de dorure. La face arrière des puces fabriquées par ATMEL-ES2 n'est protégée par aucune couche : le matériau gravé sur la face arrière des puces fabriquées par ATMEL-ES2 est donc du silicium monocristallin. La vitesse de gravure des plans $\{100\}$ du silicium pour la face arrière des puces peut donc être facilement déterminée à partir de ces puces :

$$R_{Si\{100\} //, \text{face arrière}} \approx 0.31 \mu\text{m}/\text{min} \quad (2.16)$$

La profondeur des structures **trous111**, dont les plans $\{100\}$ n'ont pas fusionné (voir la photo de la figure 2.14(a)), en fonction du temps de gravure dans KOH, est donnée par la courbe de la figure 2.14(b). Les profondeurs de cavités ont été déterminées avec l'appareil de la figure 2.13(a), peu précis pour la mesure de faibles distances. La courbe



(a) Structure *trous110c* après 1h de gravure dans KOH.



(b) Distance gravée sous l'oxyde des structures *trous110* et *S1* à *S8* en fonction du temps de gravure dans KOH.

Figure 2.15: Gravure KOH sur les cellules *trous110* et *S1* à *S8* de MICAMS2.

$P_{trous\{100\}}(t)$ peut être assimilée à une droite, dont la pente est la vitesse de gravure des plans $\{100\}$, micro-usinés verticalement, parallèlement à la surface de la puce. On calcule :

$$R_{Si\{100\} //, face\ avant} \approx 0.23 \mu\text{m}/\text{min} \quad (2.17)$$

Enfin, les plans $\{100\}$ les plus intéressants pour la réalisation de micro-structures suspendues sont ceux qui sont gravés horizontalement, sous l'oxyde à suspendre (voir le schéma de la figure 2.12). La vitesse de gravure de ces plans dans KOH a été déterminée grâce aux structures *trous110* et *S1* à *S8* du circuit MICAMS2. La photo de la figure 2.15(a) illustre le principe de mesure utilisé pour déterminer cette vitesse : on peut voir, grâce à un simple microscope optique, quelles parties d'oxyde sont suspendues. Le dioxyde de silicium est en effet transparent, et on peut voir à travers celui-ci l'intersection du plan $\{100\}$ limitant la cavité creusée avec la surface de la puce.

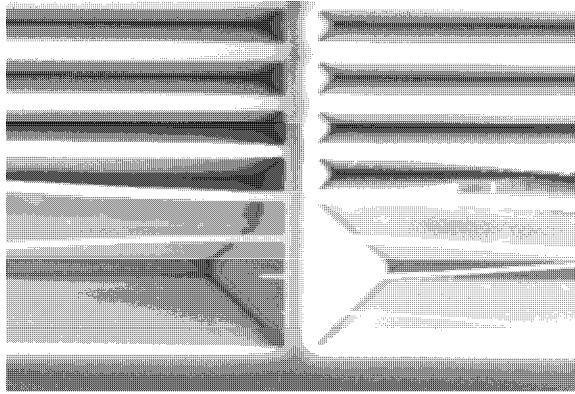
La figure 2.15(b) donne la variation de la distance gravée dans la direction $\langle 100 \rangle$, en fonction du temps de gravure écoulé : la pente de la droite obtenue est la vitesse de gravure de ces plans :

$$R_{Si\{100\} \perp} \approx 0.27 \mu\text{m}/\text{min} \quad (2.18)$$

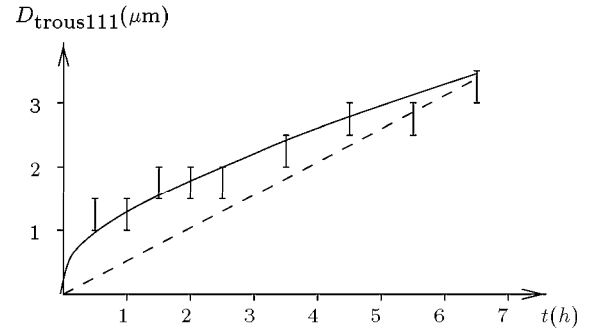
Les trois vitesses de gravure des plans $\{100\}$ déterminées sont assez proches. On peut donc considérer que tous les plans $\{100\}$ sont gravés à la même vitesse :

$$R_{Si\{100\}} \approx 0.27 \mu\text{m}/\text{min} \quad (2.19)$$

Il est intéressant de noter que la vitesse de gravure des plans $\{100\}$ ne dépend pas de la taille de la zone de silicium à nu définissant la cavité à creuser.



(a) Vue partielle de la cellule *trous111*, après 2h de gravure dans KOH.



(b) Distance gravée sous l'oxyde des structures *trous111* en fonction du temps de gravure dans KOH.

Figure 2.16: Gravure KOH sur la cellule *trous111* de MICAMS2.

b. Gravure des plans {111}

La vitesse de gravure des plans {111} dans KOH a été déterminée grâce aux structures *trous111* de MICAMS2. La photo de la figure 2.16(a) montre une vue partielle des cavités obtenues après 2 heures de gravure : seules les quatre premières cavités ont fusionné, ce qui signifie que la distance gravée en 2 heures est comprise entre $1.5 \mu m$ et $2 \mu m$ (voir la figure 2.17).

La figure 2.16(b) donne la variation de la distance gravée sous l'oxyde en fonction du temps écoulé. On obtient pour chaque temps un intervalle de $0.5 \mu m$, puisque l'espace entre les différentes zones de silicium à nu³ varie par pas de $1 \mu m$. On constate que les segments obtenus ne peuvent pas être alignés sur une même droite. En fait, les mesures réalisées sur les zones de silicium à nu de moins de $5 \mu m$ sont peu fiables, dans la mesure où la définition de ces zones est peu précise (voir les schémas de la figure 2.18). Les mesures obtenues pour les temps intermédiaires de 5h30 et 6h30 sont par contre assez fiables (les zones de silicium à nu sur lesquelles ont été effectuées les mesures correspondant à ces temps sont espacées de plus de $5 \mu m$), et on peut en déduire la vitesse à laquelle se déplacent les intersections des plans {111} avec la surface de la puce :

$$U_{Si\{111\}} \approx 87 \text{ Å/min} \quad (2.20)$$

³Zones où le silicium monocristallin du substrat est directement exposé à l'agent gravant : voir le paragraphe 3.1.1.1, où le principe d'obtention de ces zones est détaillé.

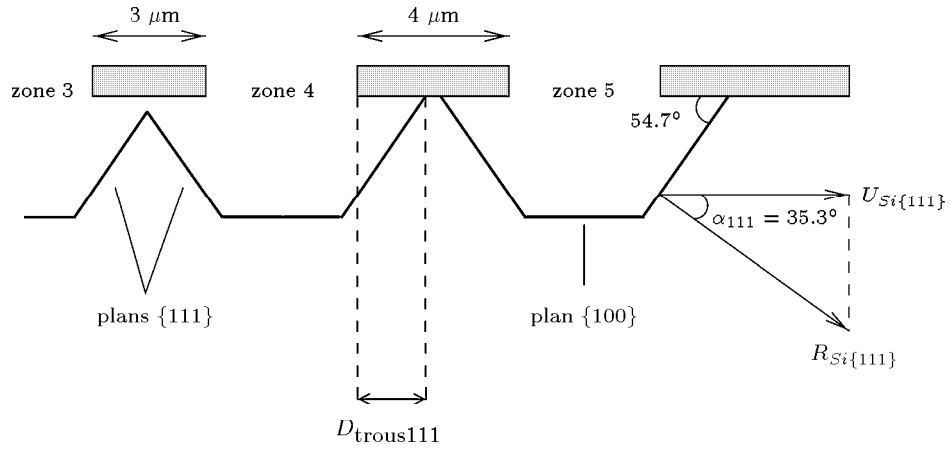


Figure 2.17: Vue en coupe des structures *trous111* après 2h de gravure.

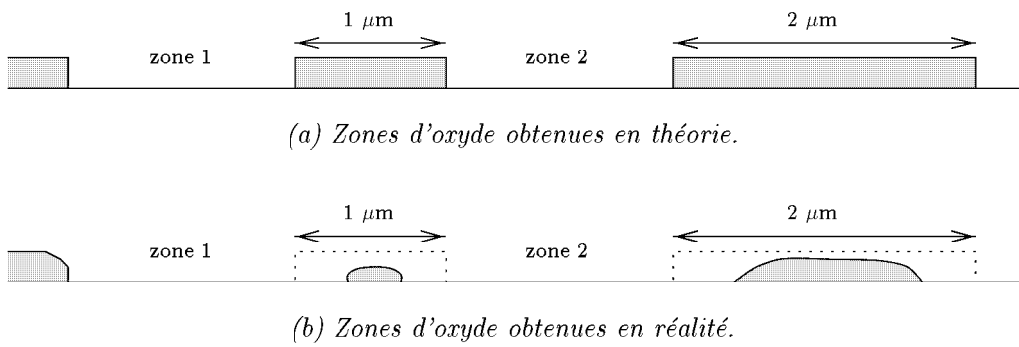


Figure 2.18: Définition des zones de silicium à nu pour les structures *trous111*.

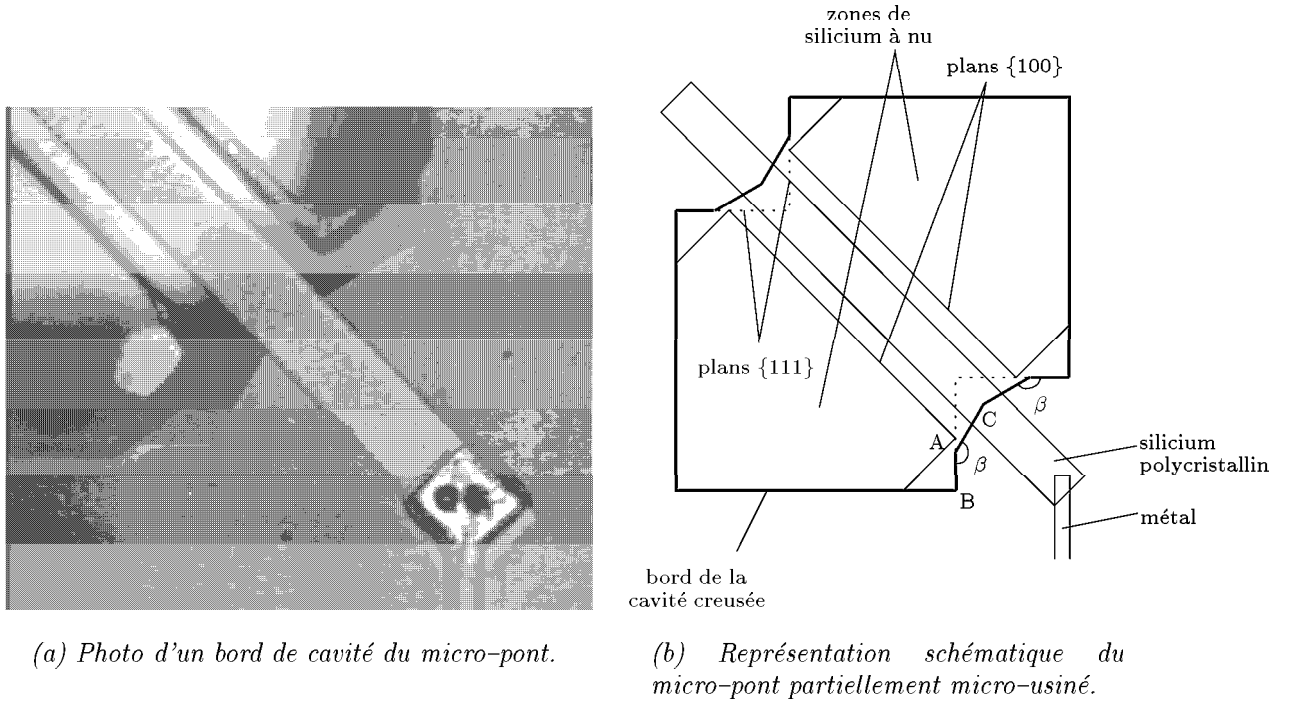


Figure 2.19: Micro-pont n°3 du circuit MICBULK après 2 heures de gravure dans KOH.

On peut calculer la valeur de la vitesse de gravure des plans {111} grâce à l'équation :

$$U_{Si\{111\}} = R_{Si\{111\}} \times \cos(\alpha_{111}) \quad (2.21)$$

où α_{111} est l'angle entre les vecteurs $\overrightarrow{U_{Si\{111\}}}$ et $\overrightarrow{R_{Si\{111\}}}$ (voir la figure 2.17) :
 $\alpha_{111} = 35.3^\circ$.

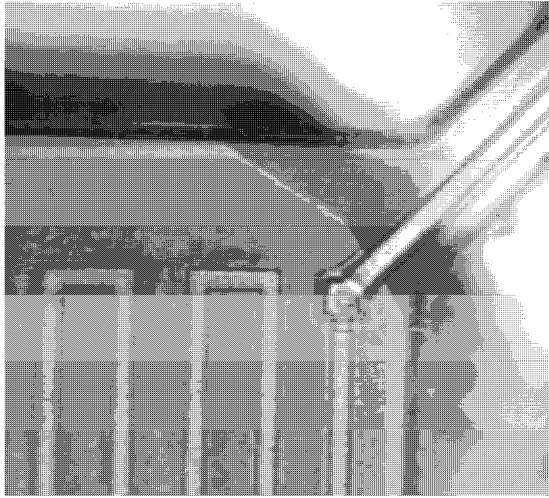
$$R_{Si\{111\}} \approx 110 \text{ Å/min} \quad (2.22)$$

c. Gravure des plans {411}

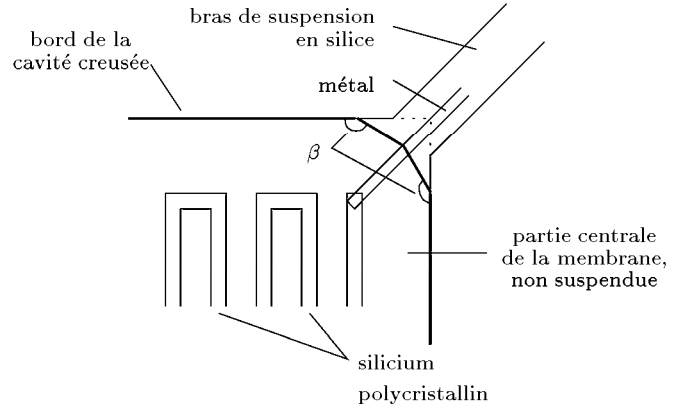
Ces plans apparaissent au cours de la gravure, à l'intersection de plans {111} formant un angle convexe. Les traits en pointillés des figures 2.19(b) et 2.20(b) représentent les intersections de ces plans avec la surface de la puce, pour un micro-pont et une micro-membrane. Il est important de connaître leur vitesse de gravure, car ces plans ralentissent le processus de suspension des structures micro-usinées.

La photo de la figure 2.19(a) et le schéma de la figure 2.19(b) montrent comment ces plans limitent la cavité creusée pour une micro-structure en pont. La photo de la figure 2.20(a) et le schéma de la figure 2.20(b) montrent comment ces mêmes plans limitent la cavité creusée pour une micro-membrane. L'angle β des figures 2.19(b) et 2.20(b) peut être mesuré facilement à partir des photos prises :

$$\beta \approx 151^\circ \quad (2.23)$$



(a) Photo d'un bord de la micro-membrane.



(b) Représentation schématique du bord de la micro-membrane partiellement micro-usinée.

Figure 2.20: Micro-membrane du circuit MICBULK, partiellement suspendue après 2 heures de gravure dans KOH.

La connaissance de la valeur de β permet de déterminer deux des trois coordonnées des plans limitant la gravure (voir le paragraphe 2.2). La figure 2.21 illustre la méthode utilisée pour déterminer ces coordonnées. Sur cette figure, le segment [AB] représente l'intersection du plan (111) du bord de la cavité creusée avec la surface de la puce. Ce segment est également représenté sur le schéma de la figure 2.19(b). De même, le segment [AC] représente l'intersection du plan à identifier avec la surface de la puce. L'angle formé par ces deux segments est β .

Le vecteur $\vec{u}$ est le vecteur normal à la droite (AB), $\vec{v}$ étant normal à la droite (AC) : $\vec{u}$ et $\vec{v}$ sont respectivement les projections, sur le plan (100) de la surface de la puce, des vecteurs normaux au plan (111) et au plan à identifier. On a donc :

$$\vec{u} \begin{pmatrix} 1 \\ 1 \end{pmatrix} \text{ et } \vec{v} \begin{pmatrix} \rho \cdot \cos \gamma \\ \rho \cdot \sin \gamma \end{pmatrix} \quad (2.24)$$

où γ est l'angle entre l'axe [Ax) et le vecteur $\vec{v}$, et ρ est le module du vecteur $\vec{v}$. On montre facilement que :

$$\gamma = \beta - 135^\circ \quad (2.25)$$

c'est-à-dire :

$$\gamma \approx 14^\circ \quad (2.26)$$

et donc :

$$\vec{v} \begin{pmatrix} 4 \\ 1 \end{pmatrix} \quad (2.27)$$

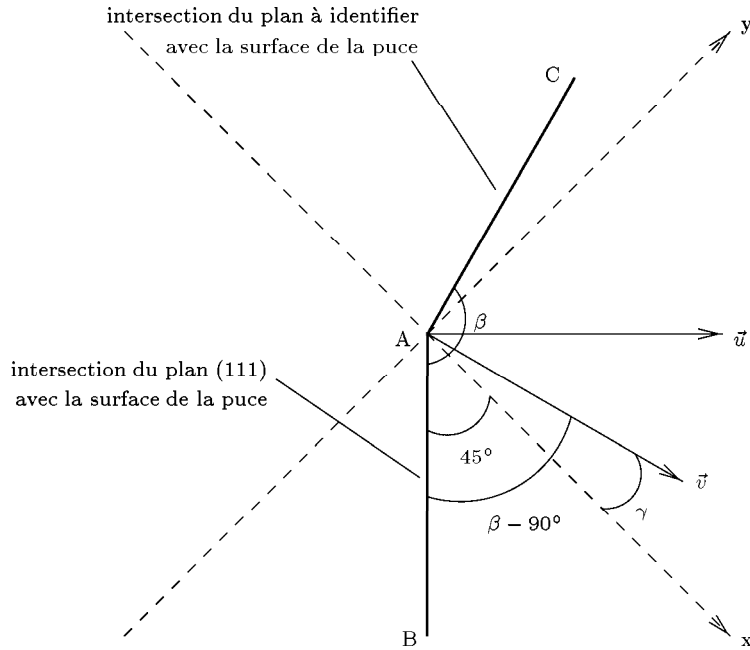


Figure 2.21: Identification des plans apparaissant pendant la gravure.

Le plan à identifier est donc un plan $\{41c\}$, où c reste à déterminer. Dans cet objectif, l'oxyde suspendu d'une structure en pont a été cassé grâce à une pointe de test. La photo de la figure 2.22, prise au microscope électronique à balayage, montre qu'en fait, le plan $\{41c\}$ limitant la gravure n'est présent que dans une zone proche de la surface de la puce. Entre cette zone et le fond de la cavité creusée, on trouve des plans très proches des plans $\{100\}$.

La composante c n'a donc pas pu être déterminée, pour la gravure avec KOH. Il a été montré dans [122] que des plans $\{411\}$ limitent les cavités micro-usinées dans KOH. Il n'a été trouvé dans aucun autre article de références à d'autres plans $\{41c\}$.

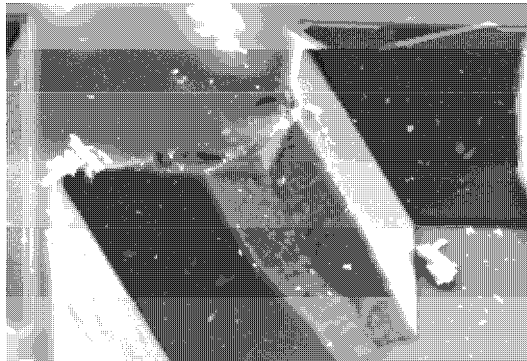


Figure 2.22: Apparition de plans $\{411\}$ au cours de la gravure d'un angle convexe entre deux plans $\{111\}$.

Il est donc fort probable que les plans apparaissant au cours des gravures effectuées soient également des plans $\{411\}$. Ces plans seront donc notés ainsi dans ce document.

Il est important de remarquer que dans le cadre des travaux présentés, la connaissance de la composante c ne présente que peu d'intérêt : le seul élément intéressant est de savoir si les structures à micro-usiner vont pouvoir être suspendues dans un temps de gravure donné. Pour cela, seul le mouvement de l'intersection des plans $\{411\}$ avec le plan de la surface de la puce est utile (voir le paragraphe 2.5, décrivant le principe de la simulation de la gravure avec le logiciel ACESIM).

Les structures S6 à S8 et trous230 du circuit MICAMS2 ont permis de déterminer la vitesse de gravure des plans $\{411\}$. Le schéma de la figure 2.23(a) montre comment se déplacent les plans $\{411\}$ au cours de la gravure des structures trous230 : on note $\vec{U}_M$ le vecteur vitesse associé au déplacement du point M au cours de la gravure. La norme du vecteur $\vec{U}_M$ peut être déterminée à partir de la courbe de la figure 2.23(b) : U_M est en effet la pente de la droite $D_{Si\{411\}}(t)$.

$$\boxed{U_M \approx 25 \text{ } \mu\text{m/h} \approx 0.42 \text{ } \mu\text{m/min}} \quad (2.28)$$

Le schéma de la figure 2.24 donne la construction géométrique permettant de déterminer le vecteur $\vec{U}_{Si\{411\}}$ (projection, sur le plan de la surface de la puce, du vecteur vitesse de gravure des plans $\{411\}$: $\vec{R}_{Si\{411\}}$) à partir du vecteur $\vec{U}_M$.

On définit le vecteur lenteur ("Slowness") associé à un vecteur vitesse comme le vecteur colinéaire et de même sens, dont la norme est l'inverse de celle du vecteur vitesse associé. On note $\vec{S}_M$ le vecteur lenteur associé au vecteur vitesse $\vec{U}_M$. On note $\vec{S}_{Si(411)}$ et $\vec{S}_{Si(4\bar{1}1)}$ les projections, sur le plan de la surface de la puce, des vecteurs lenteur associés aux vecteurs vitesse $\vec{R}_{Si(411)}$ et $\vec{R}_{Si(4\bar{1}1)}$. Les plans $\{411\}$ sont tous équivalents pour la gravure anisotropique, on a donc :

$$R_{Si(4\bar{1}1)} = R_{Si(411)} = R_{Si\{411\}} \quad (2.29)$$

et par conséquent :

$$S_{Si(4\bar{1}1)} = S_{Si(411)} = S_{Si\{411\}} \quad (2.30)$$

On note :

$$\vec{MH} = \vec{S}_M, \quad \vec{MN}_1 = \vec{S}_{Si(411)} \quad \text{et} \quad \vec{MN}_2 = \vec{S}_{Si(4\bar{1}1)} \quad (2.31)$$

La droite (MH) est une hauteur de triangle MN_1N_2 [118]. Ce triangle est isocèle, et la hauteur (MH) est aussi bissectrice de l'angle $\widehat{MN_1N_2}$. Cette bissectrice est en fait l'axe des x de la figure 2.21, et :

$$\widehat{MN_1N_2} = 2 \times \gamma \quad (2.32)$$

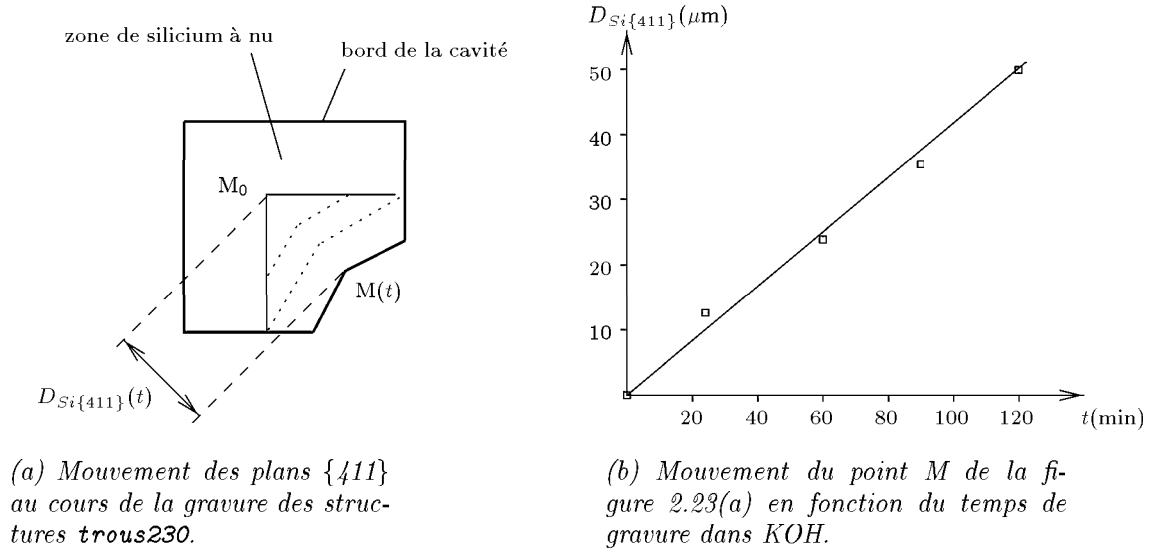


Figure 2.23: Détermination de la vitesse de gravure des plans $\{411\}$.

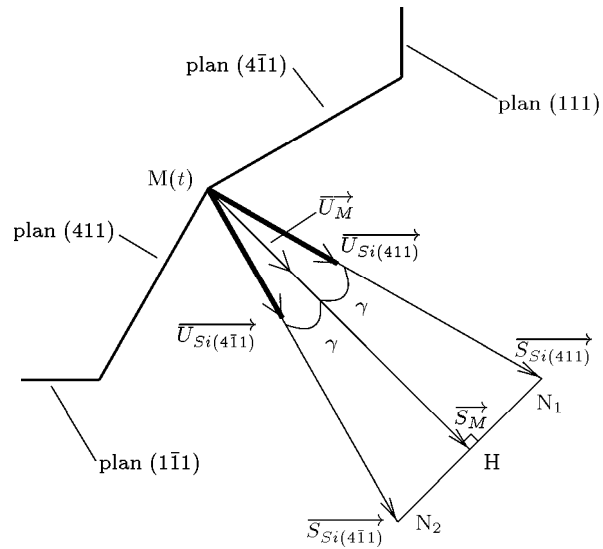


Figure 2.24: Détermination de $S_{Si\{411\}}$ à partir de S_M .

On a donc :

$$S_M = S_{Si\{411\}} \times \cos \gamma \quad (2.33)$$

c'est-à-dire :

$$U_{Si\{411\}} = U_M \times \cos \gamma \quad (2.34)$$

On peut donc calculer la valeur de $U_{Si\{411\}}$:

$$\boxed{U_{Si\{411\}} \approx 0.4 \text{ } \mu\text{m/min}} \quad (2.35)$$

d. Constitution du diagramme de gravure

A partir des vitesses de gravure des plans $\{100\}$, $\{111\}$ et $\{411\}$ déterminées ci-dessus, il est possible d'établir un diagramme de gravure, permettant de simuler, en deux dimensions, l'étape de micro-usinage de structures avec le logiciel ACESIM (voir le paragraphe 2.5).

On commence par tracer le diagramme de lenteur de la solution de gravure étudiée, en coordonnées polaires. Les intersections des plans $\{111\}$ (définissant les cavités creusées) avec le plan de la surface de la puce étant alignées avec les axes X et Y des logiciels de conception de dessins de masques, on prend $\phi_{(111)} = 0$ ($\phi_{(111)}$ désigne l'angle associé au vecteur lenteur $\overrightarrow{S_{Si(111)}}$ en coordonnées polaires). On obtient ainsi :

- $\phi_{(010)} = 45^\circ$,
- $\phi_{(100)} = 315^\circ$,
- $\phi_{(411)} = 329^\circ$,
- $\phi_{(141)} = 31^\circ$.

La figure 2.25(a) montre comment disposer les vecteurs lenteur pour obtenir le diagramme de lenteur. La figure 2.25(b) donne le diagramme de lenteur établi pour la solution d'hydroxyde de potassium à 40%, utilisée à 60°C : on obtient ce diagramme en reliant entre eux les sommets des vecteurs vitesse déterminés dans ce paragraphe [118, 175].

La figure 2.26 donne le diagramme de gravure pour KOH 40% à 60°C , obtenu en inversant le diagramme de lenteur associé. Ce diagramme relie entre eux les sommets des projections des vecteurs vitesse de gravure des plans $\{abc\}$ sur la surface de la puce, notés $\overrightarrow{U_{Si\{abc\}}}$.

2.4.1.4 Influence du dopage du silicium sur la gravure

Plusieurs structures de test, permettant de déterminer l'influence du dopage du silicium sur la gravure avec KOH, ont été conçues sur les circuits fabriqués.

L'influence du dopage du caisson (N ou P) sur la gravure KOH a été déterminée grâce à la structure `memb12` du circuit `BiCMOS_BULK` : la moitié de la structure est conçue sur un caisson N, l'autre moitié sur le substrat P (voir la figure 2.27). Aucune différence de vitesse

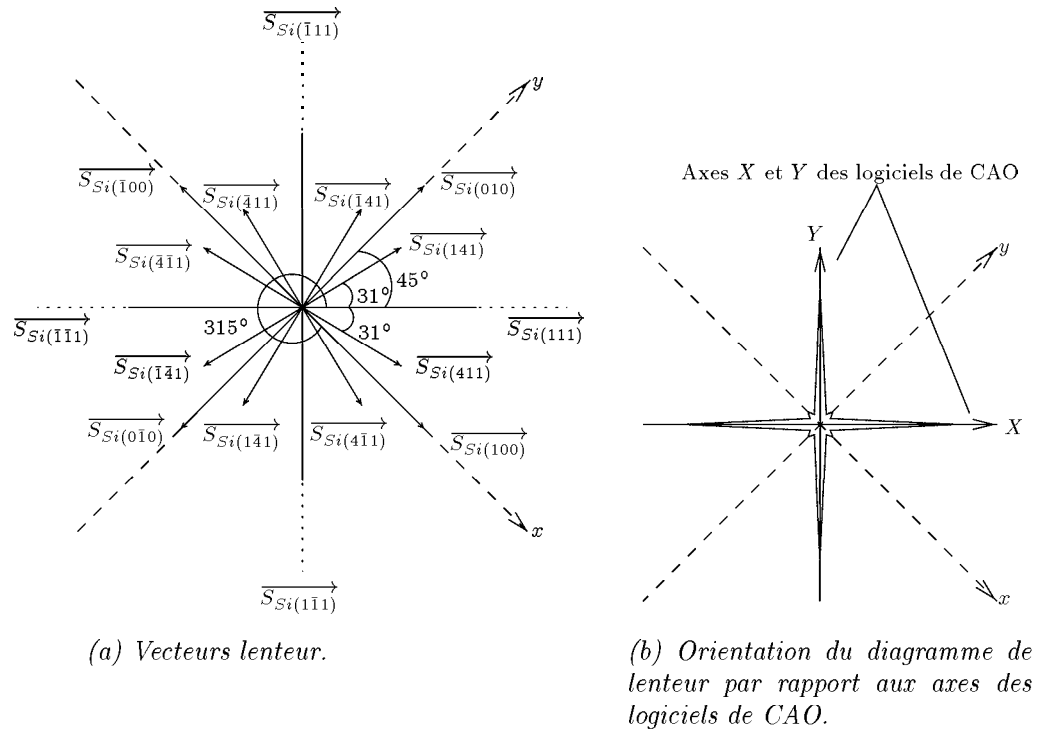


Figure 2.25: Génération du diagramme de lenteur.

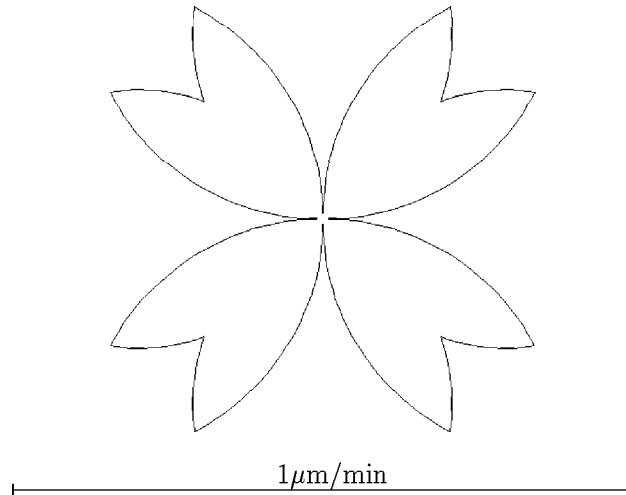


Figure 2.26: Diagramme de gravure pour KOH 40% à 60°C (tracé en coordonnées polaires).

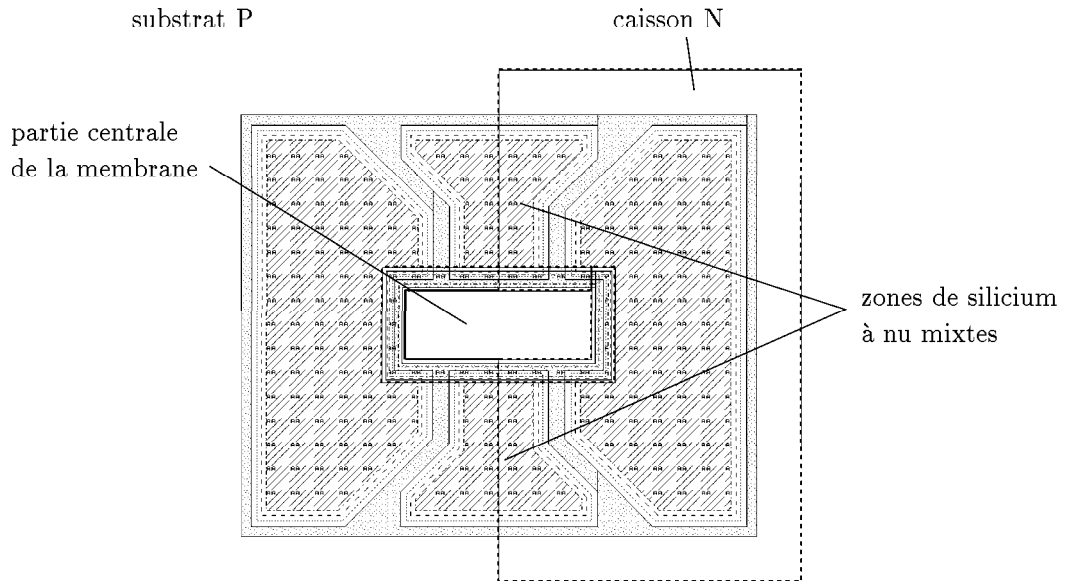


Figure 2.27: Dessin des masques de la structure *memb12* du circuit *BiCMOS_BULK*.

de gravure n'a été constatée, en particulier pour les deux zones de silicium à nu où le dopage est mixte.

Différentes structures de test ont également été conçues dans le but de déterminer l'influence des dopages N+ et P+, utilisés normalement pour créer les zones de source et drain des transistors MOS, sur la gravure anisotrope du silicium. La cellule *pont21* du circuit *BiCMOS_BULK* (voir la figure 2.28) est composée d'une zone dopée P+ sur une zone de silicium à nu dopée P. Après l'étape de micro-usinage, les zones dopées P+ et P ont été toutes les deux gravées, laissant une cavité sans structure suspendue.

La profondeur de la jonction P+ étant de l'ordre de $0.4\ \mu\text{m}$, il est cependant possible que la zone de dopage P+ ait été gravée involontairement au cours du procédé de fabrication (voir le paragraphe 3.1.1.1). En effet, la création des zones de silicium à nu conduit à la

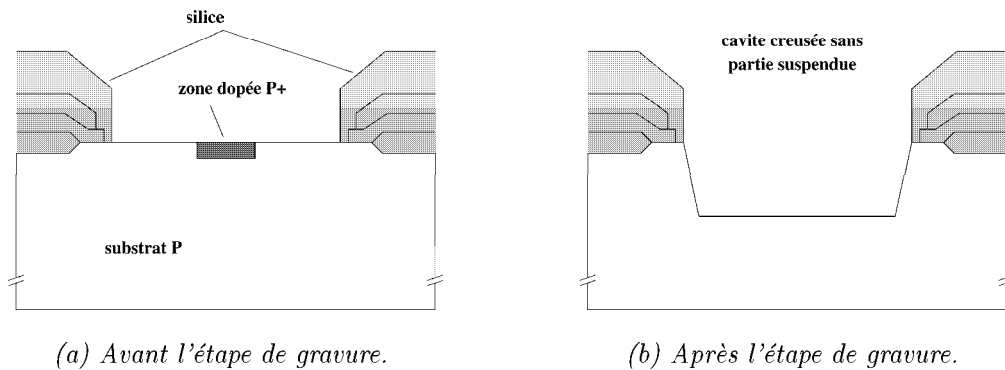


Figure 2.28: Vue en coupe de la cellule *pont21* du circuit *BiCMOS_BULK*, avant et après l'étape de gravure.

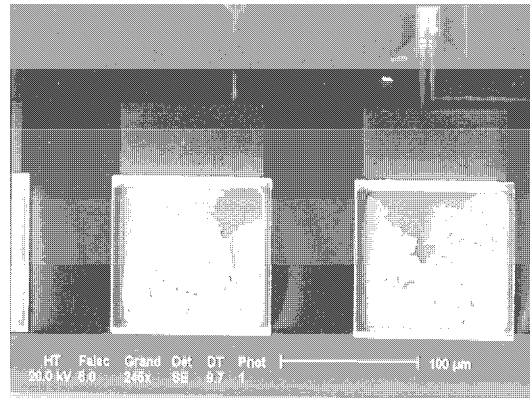


Figure 2.29: Photo au microscope électronique à balayage montrant l'état des plots d'aluminium de la puce MICBULK après 1h45 de gravure avec KOH 40% à 60°C.

gravure de toutes les couches déposées au cours du procédé de fabrication : il est ainsi possible qu'au cours de l'étape de gravure du métal déposé sur le silicium monocristallin de la zone de silicium à nu, un peu de silicium à la surface du substrat puisse être également attaqué. Ainsi, il est possible qu'il n'y ait déjà plus de silicium dopé P+ à la surface de la zone de silicium à nu, à la sortie de fonderie du circuit.

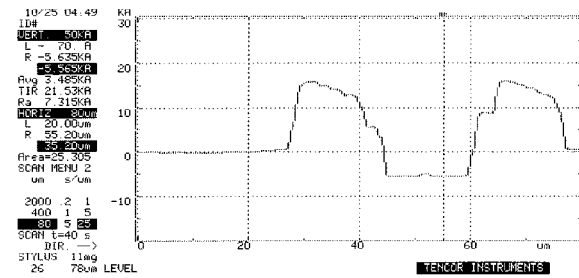
2.4.1.5 Attaque des plots d'aluminium et de la couche de passivation

Des mesures effectuées avec l'Alpha-Step du CIME, sur des puces TIMATEST et MICAMS2 micro-usinées dans KOH 40% à 60°C (voir le paragraphe 2.4.1.3), ont permis de déterminer les vitesses de gravure des couches de métallisation et de passivation dans cette solution, pour les procédés de fabrication de ATMEL-ES2 et AMS. La photo de la figure 2.29 montre l'état de plots métalliques (obtenus avec le procédé de fabrication ECPD10 de ATMEL-ES2) après 1h45 de gravure : ces plots ont été sévèrement attaqués au cours de l'opération de micro-usinage, et il n'est plus possible d'obtenir de contact électrique vers les circuits. Les plots de la fonderie AMS ne résistent pas non plus à l'attaque par KOH.

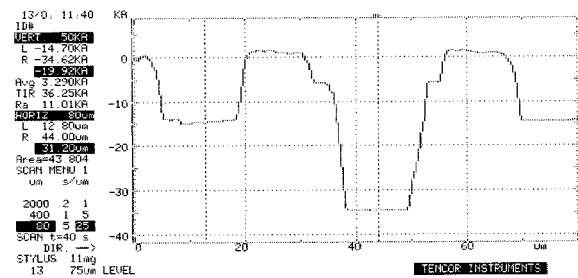
a. Vitesse de gravure de l'aluminium et de la couche de passivation du procédé ECPD10 de ATMEL-ES2

Les figures 2.30(a), 2.30(b) et 2.30(c) donnent les résultats de mesures effectuées à l'Alpha-Step sur les plots métalliques de TIMATEST : la partie la plus basse du profil donné par les courbes correspond à la partie centrale des plots (là où la soudure est effectuée). La figure 2.30(d) donne la courbe $d(t)$, représentant la profondeur de la surface de la zone métallique des plots par rapport à la surface de la couche de passivation : cette profondeur est indiquée sur la figure 2.31 pour $t = 0$ (d_0) et pour $t \approx 30$ min (d_1). La courbe $d(t)$ a été établie d'après les mesures à l'Alpha-Step effectuées sur des puces TIMATEST micro-usinées dans KOH 40% à 60°C pendant 30 minutes, 1h, 1h30, 2h, 2h30, 3h30, 4h30, 5h30 et 6h30.

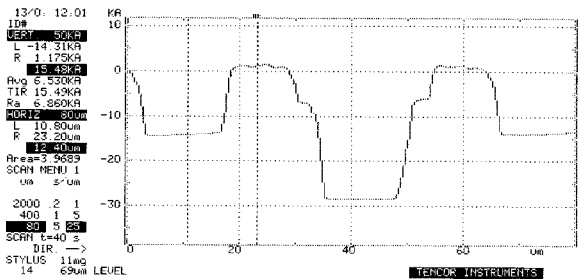
2.4. CARACTÉRISATION DE LA GRAVURE ANISOTROPIQUE DU SILICIUM



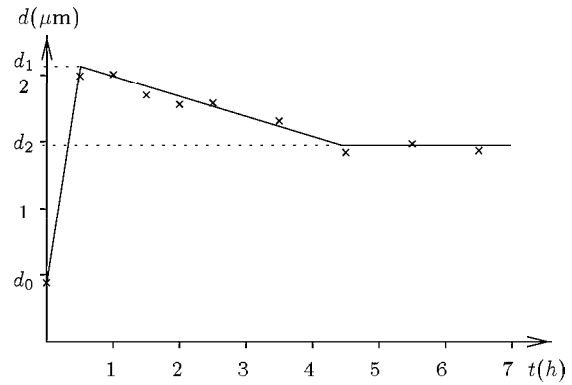
(a) Mesure avant l'étape de gravure.



(b) Mesure après 30 minutes de gravure.



(c) Mesure après 6h30 de gravure.



(d) Courbe $d(t)$: profondeur mesurée, en fonction de la durée de la gravure effectuée.

Figure 2.30: Résultat des mesures à l'Alpha-Step sur les plots métalliques de TIMATEST, en fonction de la durée de gravure effectuée.

Cette courbe peut être assimilée à trois segments de droite contigus, correspondant aux trois phases de gravure des plots :

- la phase 1, durant approximativement 30 minutes (on notera $t_{(phase\ 1)} \approx 30$ min), correspond à la gravure de l'aluminium et de la couche barrière 2 des plots⁴, ainsi que de la couche de passivation. On a donc :

$$d(t) = d_0 + R_{Al} \times t - R_{pass} \times t \quad (2.36)$$

où :

- d_0 est la profondeur mesurée avant le micro-usinage (voir la figure 2.31) : $d_0 = 4400 \text{ \AA}$;
 - t est la durée de gravure effectuée;
 - R_{Al} est la vitesse de gravure de l'aluminium (on néglige le temps nécessaire à la gravure de la couche barrière 2);
 - R_{pass} est la vitesse de gravure de la passivation.
- la phase 2, ayant lieu à partir de 30 minutes de gravure, et durant environ 4h (on a donc $t_{(phase\ 2)} \approx 4$ h), correspond à la gravure de la barrière 1 des plots et de la couche de passivation. On a donc :

$$d(t') = d_1 + R_{bar1} \times t' - R_{pass} \times t' \quad (2.37)$$

où :

- d_1 correspond à la profondeur des plots par rapport à la couche de passivation à la fin de la phase 1 (voir la figure 2.31) : on mesure $d_1 \approx 21000 \text{ \AA}$;
 - t' est le temps de gravure écoulé dans la phase 2 : $t' = t - t_{(phase\ 1)}$;
- la phase 3, commençant lorsque la couche barrière 1 est gravée : pendant cette dernière phase sont gravées la couche de passivation et la couche d'oxyde CVD 1. On a donc :

$$d(t'') = d_2 + R_{CVD\ 1} \times t'' - R_{pass} \times t'' \quad (2.38)$$

où :

- d_2 correspond à la profondeur de la zone de plots par rapport à la couche de passivation à la fin de la phase 2;
- t'' est le temps de gravure écoulé dans la phase 3 : $t'' = t - t_{(phase\ 1)} - t_{(phase\ 2)}$;

La profondeur des zones de plots par rapport à la couche de passivation reste constante au cours de la phase 3. On a donc :

$$R_{CVD\ 1} = R_{pass} \quad (2.39)$$

⁴La composition exacte des couches barrières utilisées par la fonderie ATMEL-ES2 est confidentielle : ces couches contiennent principalement du titane, et ont une épaisseur d'environ 1000 Å.

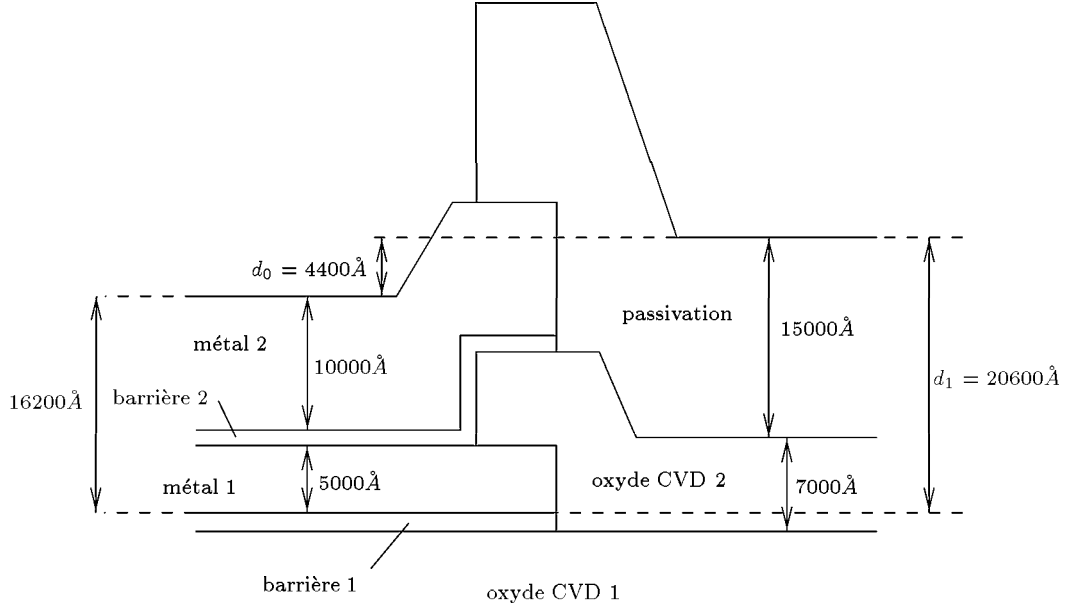


Figure 2.31: Vue en coupe schématisée d'un bord de plot métallique du circuit *TIMATEST*, avant l'étape de gravure.

Au cours de la phase 1, toute l'épaisseur des couches d'aluminium a été gravée en 30 minutes environ. On peut donc calculer :

$$R_{Al} \approx 16200 \text{ Å}/30 \text{ min} \quad (2.40)$$

c'est-à-dire :

$$R_{Al} \approx 540 \text{ Å}/\text{min} \quad (2.41)$$

On peut également déduire, à partir de l'équation 2.37 :

$$R_{pass} \approx 25 \text{ Å}/\text{min} \quad (2.42)$$

b. Vitesse de gravure de l'aluminium et de la couche de passivation du procédé CAE de AMS

La figure 2.32 donne la courbe $d(t)$ pour les puces MICAMS2, fabriquées avec le procédé CAE de AMS. Cette courbe peut être assimilée à deux segments de droite contigus, correspondant aux deux phases de la gravure :

- la phase 1, durant moins de 30 minutes, pendant laquelle l'aluminium des plots est totalement gravé. Cette gravure est arrêtée par une couche barrière d'environ 1000 Å (voir le schéma de la figure 2.33). Pendant cette phase, la couche de passivation est également gravée.
- la phase 2, commençant lorsque l'aluminium des plots a été entièrement gravé : au cours de cette phase, la couche de passivation et la barrière sont gravées approximativement à la même vitesse.

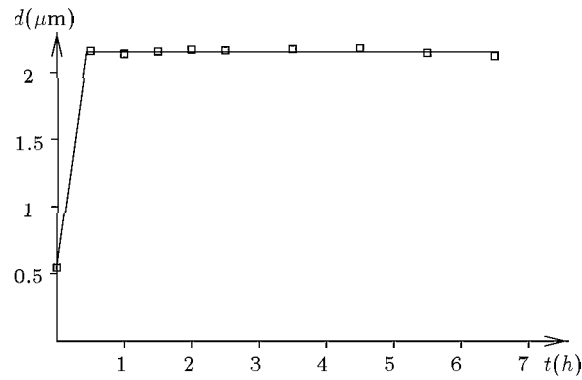


Figure 2.32: Courbe $d(t)$: profondeur mesurée, en fonction de la durée de la gravure effectuée sur les puces MICAMS2.

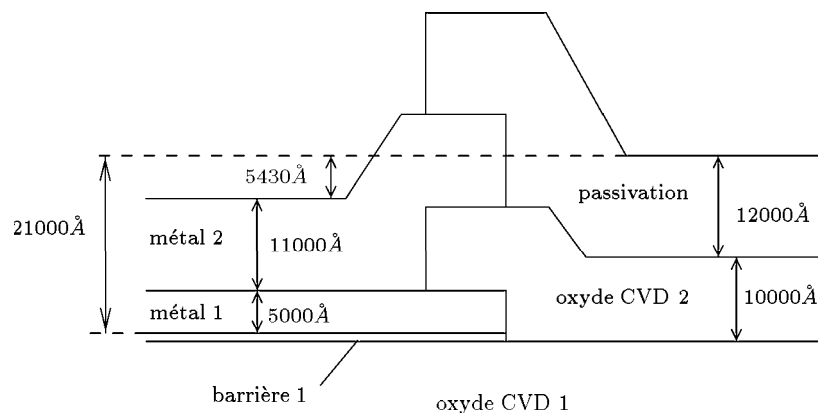


Figure 2.33: Vue en coupe schématisée d'un bord de plot métallique du circuit MICAMS2, avant l'étape de gravure.

Au cours de la phase 1, les 16000 Å d'aluminium (voir la figure 2.33) sont gravés en moins de 30 minutes. On a donc :

$$R_{Al} > 530 \text{ Å/min} \quad (2.43)$$

On observe, au microscope optique, une couche jaune-orangé au niveau des zones métalliques des plots, pour tous les temps de gravure : cela signifie que la couche barrière n'est pas totalement gravée, même après 6h30 de gravure. On peut en déduire que moins de 1000 Å de la couche de passivation ont été gravés entre 30 minutes et 6h30 de gravure, donc :

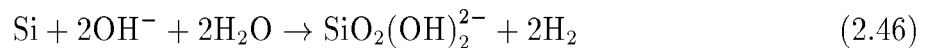
$$R_{pass} < 2.8 \text{ Å/min} \quad (2.44)$$

2.4.2 Gravures avec TMAH

Le sigle TMAH est utilisé pour désigner une solution alcaline organique composée par l'hydroxyde de tétra-méthyle ammonium, de formule chimique $(CH_3)_4NOH$. Cette solution a été très souvent proposée pour effectuer le micro-usinage en volume du silicium [38, 96, 104, 115, 116, 166, 172, 181, 182]. Par rapport à KOH, TMAH présente le grand avantage de ne pas graver la silice ni l'aluminium des plots, à condition de dissoudre des barreaux de silicium entiers dans le bain d'attaque. Cette opération, très longue, peut cependant être évitée en dissolvant de l'acide dans la solution [104, 181]. De plus, TMAH ne contient pas d'ions potassium, ce qui élimine le risque de contamination des circuits électroniques par ces ions. Enfin, TMAH n'est pas toxique, et ne se décompose pas à des températures inférieures à 130°C. Cependant, les vitesses de gravure avec cette solution sont très dépendantes du pH et des impuretés dissoutes. De plus, l'apparition de protubérances pyramidales [96] (voir le paragraphe 2.4.3.6) peut perturber l'étape de gravure. Le tableau 2.2 présente quelques unes des solutions de TMAH trouvées dans les références bibliographiques.

2.4.2.1 Mécanisme de la gravure avec TMAH

L'équation de la réaction chimique correspondant à la gravure du silicium monocristallin par TMAH est donnée ci-dessous, à partir des considérations générales exposées au paragraphe 2.3.2 :



La gravure avec TMAH obéit à la loi d'Arrhenius donnée par l'équation 2.1. Pour certaines solutions de gravure, de l'alcool isopropylique (IPA) a été ajouté à la solution. D'autres données sur quelques unes des solutions de TMAH utilisées pour la gravure anisotropique du silicium sont fournies par le tableau 2.2.

Nom de la Gravure	Caractéristiques et Remarques	Composition	Vitesses de Gravure	Références Bibliographiques
TMAH 22%	Solution de gravure anisotropique. Très forte dépendance de la vitesse de gravure de l'aluminium au pH et à la conductivité de la solution. Contrôle du pH et de la conductivité par dissolution de barreaux de silicium ou par ajout d'acide $(\text{NH}_4)_2\text{CO}_3$ ou $(\text{NH}_4)\text{H}_2\text{PO}_4$.	TMAH du commerce, contenant déjà H_2O (TCL-22, Kanto Chemical Corp.).	à $\theta=80^\circ\text{C}$, $\text{pH}=12$ et $\sigma=60 \text{ mS/cm}$: $R_{\text{Si}\{100\}} = 0.7 \mu\text{m/min}$ $R_{\text{Al}} < 0.01 \mu\text{m/min}$	[181]
TMAH 10%		Dissolution de la solution de TMAH 22% avec de l'eau désionisée.	à $\theta=80^\circ\text{C}$, $\text{pH}=11.5$ et $\sigma=100 \text{ mS/cm}$: $R_{\text{Si}\{100\}} = 0.85 \mu\text{m/min}$ $R_{\text{Al}} < 0.01 \mu\text{m/min}$	
TMAH/IPA	Solution de gravure anisotropique, utilisée par le CNM et testée sur les puces fabriquées au cours de ce travail.	TMAH : 15 % IPA ^a : 17 % vol. H_2O	à $\theta=80^\circ\text{C}$, $R_{\text{Si}\{100\}} = 0.38 \mu\text{m/min}$ $R_{\text{Si}\{111\}} = 167 \text{ Å/min}$ $R_{\text{SiO}_2} = 0.7 \text{ Å/min}$ $R_{\text{Si}_3\text{N}_4} = 0.13 \text{ Å/min}$	[115, 116]
TMAHW	Solution de gravure anisotropique, ne grave pas les plots d'aluminium protégés par l'oxyde natif qui les recouvre. SiO_2 et Si_3N_4 peuvent être utilisés comme masques.	TMAH 2% (TMAH 25% du commerce dilué dans de l'eau désionisée; provenance : Riedel - de Haën AG)	à $\theta=80^\circ\text{C}$, $R_{\text{Si}\{100\}} = 0.65 \mu\text{m/min}$ $R_{\text{Si}\{111\}} = 130 \text{ Å/min}$	[166]
TMAH	Solution de gravure anisotropique. Réduction de la vitesse de gravure de l'aluminium des plots en dissolvant du silicium dans la solution.	TMAH 22% H_2O	à $\theta=90^\circ\text{C}$, $R_{\text{Si}\{100\}} = 1 \mu\text{m/min}$ $R_{\text{Si}\{110\}} = 1.4 \mu\text{m/min}$ $R_{\text{Si}\{111\}} = 800 \text{ Å/min}$ $R_{\text{SiO}_2(\text{th})} < 0.25 \mu\text{m/min}$ $R_{\text{Si}_3\text{N}_4} \approx 0 \mu\text{m/min}^b$	[182]
TMAH 25%	Solution de gravure anisotropique. Etude de la formation de protubérances pyramidales en fonction de la valeur du rapport $R_{\text{Si}\{100\}}/R_{\text{Si}\{110\}}$.	TMAH 25% H_2O	à $\theta=85^\circ\text{C}$, $R_{\text{Si}\{100\}} = 0.42 \mu\text{m/min}$ $R_{\text{Si}\{110\}} > 0.5 \mu\text{m/min}$ Pas de "hillocks" ^c	[96]
TMAH 15%		TMAH 15% H_2O Silicium dopé dissous : 0.6 g/l	à $\theta=50^\circ\text{C}$, $R_{\text{Si}\{100\}} = 0.1 \mu\text{m/min}$ $R_{\text{Si}\{110\}} = 0.04 \mu\text{m/min}$ Formation de "hillocks".	
TMAH + silicium dissous	Solution de gravure anisotropique. La dissolution de plaquettes de silicium dans TMAH (produisant de l'acide silicique) empêche l'attaque des plots.	TMAH (25%) : 270 ml H_2O : 630 ml 12 plaquettes de silicium 3 pouces	à $\theta=100^\circ\text{C}$, $R_{\text{Si}\{100\}} = 1.17 \mu\text{m/min}$	[104]
TMAH + acide silicique ($\text{Si}(\text{OH})_4$)	Solution de gravure anisotropique. L'acide silicique dissous empêche l'attaque des plots métalliques.	TMAH (25%) : 80 ml $\text{Si}(\text{OH})_4$: 16 g H_2O : 170 ml	à $\theta=90$ à 100°C , $R_{\text{Si}\{100\}} = 0.05$ à $0.12 \mu\text{m/min}$	

Tableau 2.2: Diverses solutions à base de TMAH utilisées pour la gravure du silicium monocristallin.

^aIPA : alcool isopropylique; dans ce cas, propanol-2.

^bValeur trop faible pour être déterminée avec la précision des mesures.

^cNom anglo-saxon donné aux protubérances pyramidales formées dans le fond des cavités creusées (voir le § 2.4.3.6).

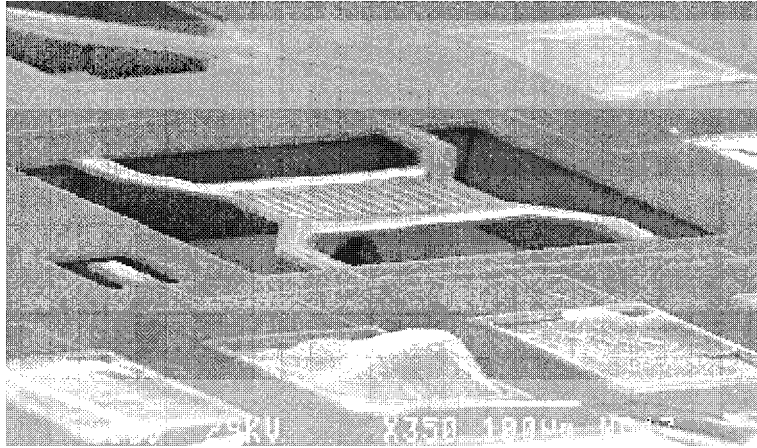


Figure 2.34: Photo au microscope électronique à balayage montrant l'état des plots d'aluminium après 1h15 de gravure avec TMAH, effectuée au LAAS.

2.4.2.2 Expériences de gravure avec TMAH

Le micro-usinage en volume des structures fabriquées avec des procédés VLSI a été tenté avec TMAH, mais sans succès, ce qui était assez inattendu : en effet, TMAH est certainement la solution qui convient le mieux pour la gravure. L'échec de ces opérations de gravure, sous-traitées au LAAS⁵ et au CNM⁶, est dû principalement au fait que les plots métalliques sont attaqués lors du micro-usinage des structures, comme illustré par la figure 2.34. De plus, dans le cas de puces ayant été micro-usinées plusieurs mois après leur fabrication, un oxyde natif recouvrait les zones de silicium à nu : cet oxyde n'ayant pas pu être gravé par TMAH, le silicium monocristallin qui se trouvait dessous n'a pas pu être attaqué non plus.

2.4.3 Gravures avec EDP

Le sigle EDP (ou EDPW) est utilisé pour désigner une solution alcaline organique très utilisée pour le micro-usinage en volume du silicium monocristallin [13, 15, 16, 20, 38, 53, 64, 124, 150, 153, 172, 173, 191, 201, 202] et composée de :

- éthylène diamine (ED : $\text{NH}_2(\text{CH}_2)_2\text{NH}_2$)
- pyrocatechol, également parfois appelé catéchol (P : $\text{C}_6\text{H}_4(\text{OH})_2$)
- eau (W : H_2O).

EDP a été l'une des premières solutions utilisées lorsqu'il a été montré que le micro-usinage avec KOH n'était pas compatible avec les circuits VLSI. EDP présente l'avantage de ne pas attaquer la métallisation des plots⁷ ni la silice des couches de passivation. Par contre, cette solution est extrêmement toxique (cancérigène), et donc très délicate à manipuler. Des

⁵LAAS : Laboratoire d'Analyse et d'Architecture des Systèmes, attaché au CNRS, à Toulouse.

⁶CNM : Centro Nacional de Microelectrónica, à Barcelone.

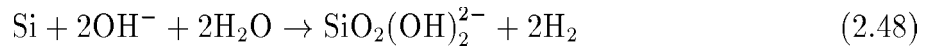
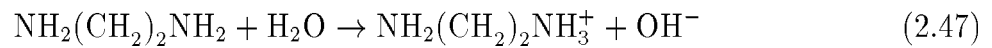
⁷Voir le paragraphe 2.4.3.5.

précautions très strictes doivent être employées lors des gravures avec EDP [191]. Toutefois, EDP est la seule solution avec laquelle il a été possible de montrer la compatibilité des structures suspendues avec les procédés de fabrication VLSI. Cette solution a été étudiée, et est utilisée pour effectuer l'étape de micro-usinage des circuits microsystemes fabriqués à travers le service CMP (voir l'annexe C).

Des exemples de solutions de gravure à base d'EDP sont données dans les tableaux 2.3 et 2.4.

2.4.3.1 Mécanisme de la gravure avec EDP

L'équation de la réaction chimique de la gravure du silicium monocristallin par EDP est donnée ci-dessous, à partir des considérations générales exposées au paragraphe 2.3.2 :



Comme pour les gravures avec KOH et TMAH, des ions hydroxyles (OH^-) et de l'eau (H_2O) sont consommés, et du gaz hydrogène (H_2) est formé au cours de la réaction.

Le pyrocatechol n'est pas indispensable à la gravure : son rôle est de diluer le produit de la réaction 2.48, conduisant à une nette augmentation des vitesses de gravure du silicium. La présence de quelques grammes de pyrazine⁸ ($\text{C}_4\text{H}_4\text{N}_2$) dans le bain d'attaque a également tendance à faire augmenter les vitesses de gravure [172].

Il a été noté par de nombreux auteurs que des résidus pouvaient apparaître sur la surface du silicium. Une analyse chimique de ces résidus a montré qu'ils étaient principalement composés de SiO_2 avec quelques traces d'autres produits de la réaction [172].

Enfin, lorsque EDP est exposé à l'oxygène (ce qui arrive lors de la préparation de la solution, et chaque fois qu'on ouvre l'enceinte de gravure pour y faire entrer ou sortir des puces), du benzoquinone-1,4 ainsi que d'autres produits sont formés [150, 172]. Ceci conduit à un brunissement sensible de la solution, et à une nette augmentation des vitesses de gravure du silicium [150].

2.4.3.2 Expériences de gravure avec EDP

Les gravures par EDP ont été effectuées dans la salle blanche de l'ESIEE⁹, successivement par Madame Janine Marty et Monsieur Bruno Mercier.

Là encore, les manipulations ont été effectuées sur des puces. Néanmoins, un support spécial en téflon, contenant des casiers, a pu être utilisé, simplifiant grandement les étapes d'entrée et de sortie des puces dans la solution ainsi que leur rinçage. Cependant, la solution est moins renouvelée dans ces casiers, et il est possible que les vitesses de gravure en aient

⁸Ces quelques grammes de pyrazine sont en fait souvent déjà présents dans les solutions d'EDP vendues [150].

⁹Ecole Supérieure d'Ingénieurs en Electrotechnique et Electronique, à Paris.

Nom de la Gravure	Caractéristiques et Remarques	Composition	Vitesses de Gravure	Références Bibliographiques
EDP (ou EDA)	Solution de gravure anisotropique et dépendant du dopage.	Ethylène Diamine : 255 cm ³ Pyrocatechol : 45 g H ₂ O : 120 cm ³ (possibilité d'ajouter de l'hydrazine, ce qui augmente les vitesses de gravure).	à $\theta=100^{\circ}\text{C}$, $R_{\text{Si}\{100\}} \approx 1.1 \mu\text{m}/\text{min}$ $R_{\text{SiO}_2} \approx 8 \text{ \AA}/\text{min}$ $R_{\text{Si P+}} \approx 0 \mu\text{m}/\text{min}$	[16, 100]
EDP + pyrazine	Solution anisotropique utilisée et recommandée par MOSIS ^a à ses clients; a inspiré la solution utilisée par l'ESLIE. Ne grave pas la silice ni l'aluminium pour des temps de gravure de l'ordre de 80 minutes à 80°C.	— — —	à $\theta=92^{\circ}\text{C}$, $R_{\text{Si}\{100\}} = 0.7 \mu\text{m}/\text{min}$ $R_{\text{Si}\{111\}} = 200 \text{ \AA}/\text{min}$	[191]
EDP	Solution anisotropique, utilisée pour la gravure du silicium {100} et du silicium {110}, dans une atmosphère non oxydante. Ne grave pas le silicium dopé P+ au bore à partir de $7.10^{19} \text{ At./cm}^3$.	Ethylène Diamine : 1 l Pyrocatechol : 160 g H ₂ O : 320 ml	à $\theta=118^{\circ}\text{C} \pm 1^{\circ}\text{C}$, $R_{\text{Si}\{100\}} = 0.83 \mu\text{m}/\text{min}$ $R_{\text{Si}\{110\}} = 0.5 \mu\text{m}/\text{min}$ $R_{\text{Si}\{111\}} = 167 \text{ \AA}/\text{min}$ $R_{\text{SiO}_2(\text{th})} = 2.5 \text{ \AA}/\text{min}$ $R_{\text{Si}_3\text{N}_4(\text{CVD})} = 1.3 \text{ \AA}/\text{min}$	[15, 172, 173]
EDP	Solution anisotropique, masquable par SiO ₂ , Si ₃ N ₄ , Au, Cr, Ag et Cu.	Ethylène Diamine : 750 ml Pyrocatechol : 120 g H ₂ O : 100 ml Ethylène Diamine : 750 ml Pyrocatechol : 120 g H ₂ O : 240 ml	à $\theta=115^{\circ}\text{C}$, $R_{\text{Si}\{100\}} = 0.75 \mu\text{m}/\text{min}$ $R_{\text{Si}\{111\}} = 215 \text{ \AA}/\text{min}$ $R_{\text{SiO}_2} = 2 \text{ \AA}/\text{min}$ $R_{\text{Si}_3\text{N}_4} = 1 \text{ \AA}/\text{min}$ à $\theta=115^{\circ}\text{C}$, $R_{\text{Si}\{100\}} = 1.25 \mu\text{m}/\text{min}$ $R_{\text{Si}\{111\}} = 360 \text{ \AA}/\text{min}$ $R_{\text{SiO}_2} = 2 \text{ \AA}/\text{min}$ $R_{\text{Si}_3\text{N}_4} = 1 \text{ \AA}/\text{min}$	[38, 143]

Tableau 2.3: Diverses solutions à base d'Ethylène Diamine Pyrocatechol (EDP) utilisées pour la gravure du silicium monocristallin.

^aMOSIS : service de prototypage de circuits intégrés multi-projets, similaire à CMP, aux Etats Unis.

Nom de la Gravure	Caractéristiques et Remarques	Composition	Vitesses de Gravure	Références Bibliographiques
EDP (type "B")	Solution anisotropique.	Ethylène Diamine : 75 ml Pyrocatechol : 12 g H ₂ O : 24 ml	à $\theta=115^{\circ}\text{C}$, $R_{Si\{100\}} = 0.72 \mu\text{m}/\text{min}$	[13, 150, 201, 202]
EDP + pyrazine (type "F")	Solution anisotropique; observation de résidus après une gravure à 115°C , mais pas à 95°C .	Ethylène Diamine : 7.5 ml Pyrocatechol : 2.4 g H ₂ O : 2.4 ml pyrazine : 6 g/l d'éthylène diamine ^a	à $\theta=115^{\circ}\text{C}$, $R_{Si\{100\}} = 1.35 \mu\text{m}/\text{min}$	[150, 172, 201, 202]
EDP + pyrazine (type "G")	Solution anisotropique, ayant servi à la réalisation de capteurs infrarouges fabriqués à partir de procédés CMOS de Faseltec Zürich [74] et AMS [101].	Ethylène Diamine : 7.5 ml Pyrocatechol : 1.2 g H ₂ O : 1 ml pyrazine : 6 g/l d'éthylène diamine ^a	à $\theta=50^{\circ}\text{C}$, $R_{Si\{100\}} = 0.078 \mu\text{m}/\text{min}$ $R_{Si\{100\}} = 0.1 \mu\text{m}/\text{min}$ à $\theta=95^{\circ}\text{C}$, $R_{Si\{100\}} = 0.5 \mu\text{m}/\text{min}$ $R_{Al} = 27 \text{Å}/\text{min}$ $R_{SiO_2} = 2.5 \text{Å}/\text{min}$ à $\theta=115^{\circ}\text{C}$, $R_{Si\{100\}} = 0.75 \mu\text{m}/\text{min}$	[150, 172, 173]
EDP (type "T")	Solution anisotropique, n'attaquant pas le silicium dopé P+ au bore à partir de $7.10^{19} \text{At.}/\text{cm}^3$ [20].	Ethylène Diamine : 17 ml Pyrocatechol : 3 g H ₂ O : 8 ml	à $\theta=110^{\circ}\text{C} \pm 1^{\circ}\text{C}$, $R_{Si\{100\}} = 0.83 \mu\text{m}/\text{min}$ $R_{Si\{110\}} = 0.5 \mu\text{m}/\text{min}$ $R_{Si\{111\}} = 500 \text{Å}/\text{min}$ $R_{SiO_2} = 3 \text{Å}/\text{min}$	[20, 53, 64, 172]

Tableau 2.4: Diverses solutions à base d'Ethylène Diamine Pyrocatechol (EDP) utilisées pour la gravure du silicium monocristallin (suite du tableau 2.3).

^aPyrazine déjà présente dans la solution d'éthylène diamine utilisée.

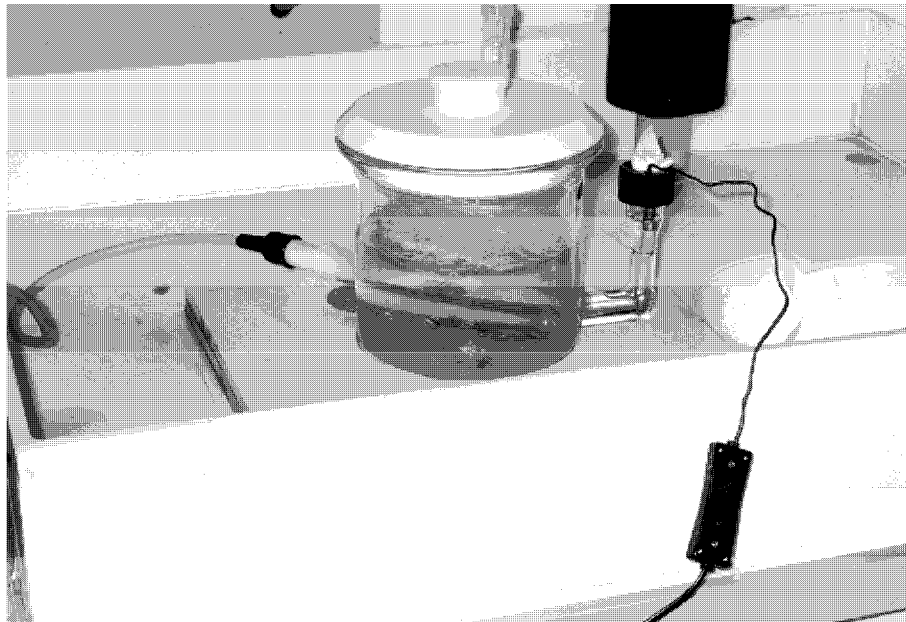
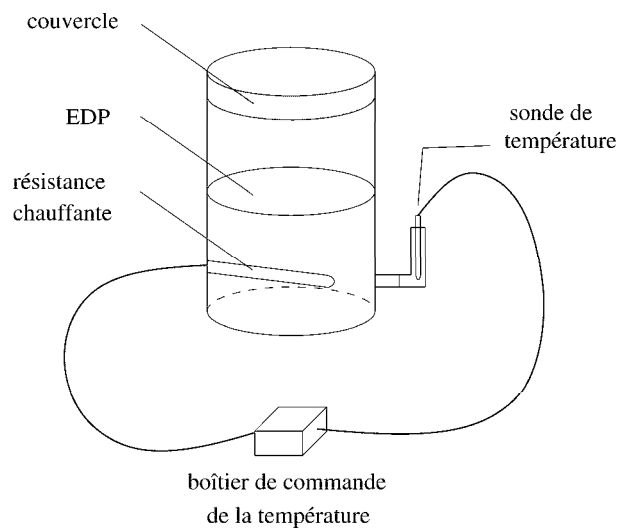
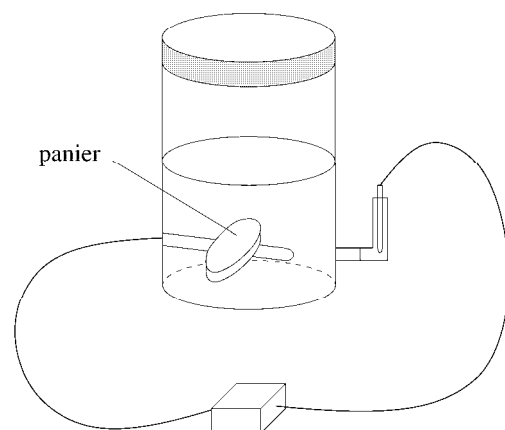


Figure 2.35: Bain de gravure EDP, avant que le panier contenant les puces y soit placé.



(a) Bain d'attaque EDP.



(b) Panier contenant les puces dans le bain.

Figure 2.36: Schémas représentant le bain d'attaque EDP utilisé.

été affectées (ces vitesses devraient donc être sensiblement supérieures pour des expériences similaires menées avec des plaquettes de silicium).

Le matériel utilisé pour effectuer les gravures avec EDP est montré par la photo de la figure 2.35, ainsi que par les schémas des figures 2.36(a) et 2.36(b). Un pot en verre, de forme cylindrique et de diamètre proche de 15 cm, équipé d'un appareil de condensation de reflux (afin de conserver constante la concentration de la solution en EDP) a été utilisé pour effectuer ces opérations de gravure. Le réglage de la température du bain était réalisé par l'intermédiaire une résistance chauffante, protégée par un tube en verre, et placée dans la solution. Cette résistance était commandée électroniquement, comme montré sur la figure 2.36(a). Malheureusement, le tube protecteur de la résistance a été placé trop bas lors de la conception de ce matériel, et l'utilisation d'un agitateur dans la solution a été impossible : celui-ci pouvait en effet venir percuter le tube en verre et le briser.

La composition de la solution d'attaque utilisée est donnée ci-dessous :

- éthylène diamine : 770 ml.
- pyrocatéchol : 115 g.
- eau désionisée : 360 ml.

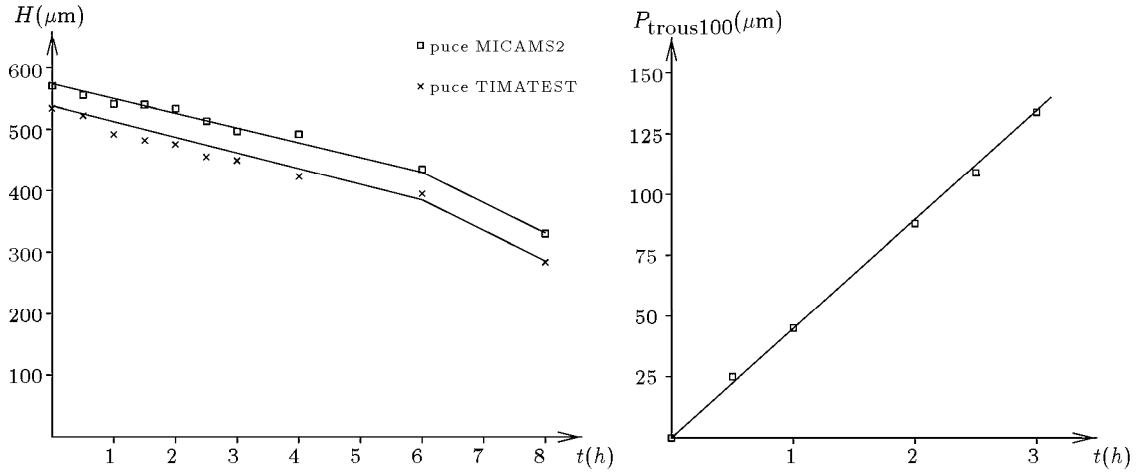
Il était nécessaire d'attendre environ une heure, en chauffant la solution, pour que celle-ci atteigne la température de 90°C en s'y stabilisant, et pour que les granulés de pyrocatéchol soient dissous. Les puces étaient ensuite disposées dans des casiers, ceux-ci étant ensuite placés dans des paniers plongés dans la solution, comme illustré par le schéma de la figure 2.36(b). De très grandes précautions devaient être prises en présence de la solution d'EDP, très toxique [191].

Lorsque le temps de gravure choisi était écoulé, le panier contenant les puces était retiré de la solution puis plongé dans de l'eau désionisée. Cette opération de rinçage devait durer environ cinq minutes et avait pour objectif l'élimination des traces d'EDP et de résidus déposés [191] à la surface des puces. Les puces étaient ensuite rincées à l'alcool et séchées dans une étuve à 80°C pendant quelques minutes.

2.4.3.3 Gravure des principaux plans cristallins du silicium

Les vitesses de gravure des principaux plans cristallins du silicium dans EDP ont été déterminées à partir de gravures réalisées sur les circuits TIMATEST (voir le paragraphe D.14) et MICAMS2 (voir le paragraphe E.5) : ces gravures ont été effectuées par M. Mercier, dans la salle blanche de l'ESIEE, avec la solution d'EDP à 90°C et le matériel décrits au paragraphe 2.4.3.2. Les temps intermédiaires choisis, permettant la caractérisation de l'étape de micro-usinage, étaient : 30 minutes, 1h, 1h30, 2h, 2h30, 3h, 3h30, 4h, 6h et 8h.

Le matériel et les techniques utilisés pour mesurer les vitesses de gravure des plans limitant les cavités creusées au cours de l'étape de micro-usinage dans EDP sont les mêmes que ceux utilisés pour KOH (voir le paragraphe 2.4.1.3).



(a) Épaisseur des puces *TIMATEST* et *MICAMS2* en fonction du temps de gravure dans EDP. (b) Profondeur des cavités *trous100* dont les plans $\{111\}$ n'ont pas fusionné, en fonction du temps de gravure dans EDP.

Figure 2.37: Gravure des plans $\{100\}$ parallèles à la surface de la puce.

a. Gravure des plans $\{100\}$

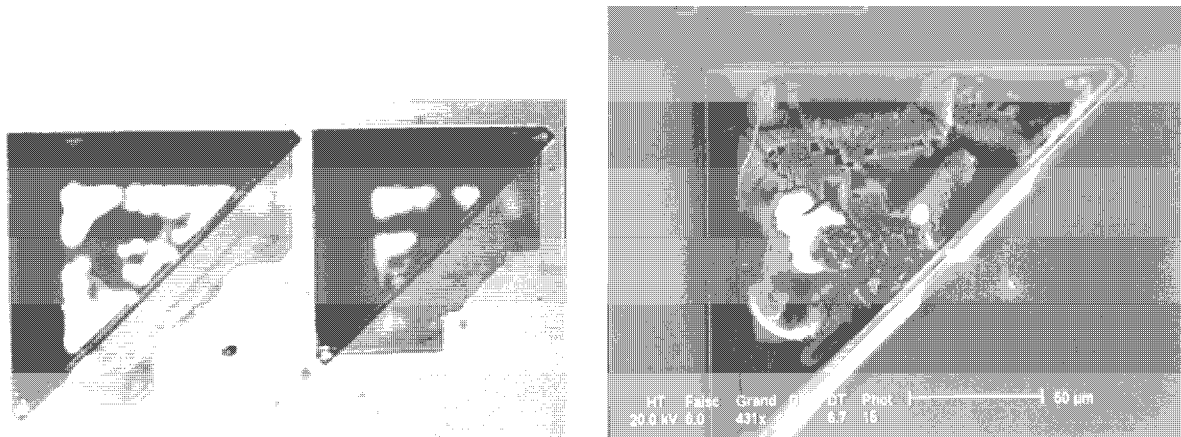
La figure 2.37(a) donne la variation de l'épaisseur des puces *TIMATEST* et *MICAMS2* en fonction du temps de gravure dans EDP. Les deux courbes obtenues peuvent être scindées en deux segments de droite, parallèles deux à deux. Il semble que la gravure des plans $\{100\}$ des faces arrière des puces soit plus rapide après 6 heures de gravure. Ce phénomène n'est pas expliqué : il est possible que cette accélération de la gravure soit due à une nette augmentation de la concentration d'oxygène dans la solution d'EDP, causée par l'ouverture du couvercle du bain pour récupérer les puces correspondant au temps de gravure intermédiaire $t = 6h$ dans la solution. L'attaque des plots d'aluminium (voir le paragraphe 2.4.3.5) et celle des bords de la puce (voir le paragraphe 2.4.3.3-e) imposent cependant que le temps de gravure soit inférieur à 6 heures. On détermine la vitesse de gravure des plans $\{100\}$ de la face arrière des puces pour un temps de gravure inférieur à 6 heures à partir des courbes de la figure 2.37(a).

$$R_{Si\{100\} //, \text{ face arrière}} \approx 0.43 \mu\text{m}/\text{min} \quad (2.49)$$

La profondeur des structures *trous100* du circuit *MICAMS2*, dont les plans $\{111\}$ n'ont pas fusionné, en fonction du temps de gravure dans EDP, est donnée par la figure 2.37(b). On calcule, à partir de la droite $P_{\text{trous100}}(t)$:

$$R_{Si\{100\} //, \text{ face avant}} \approx 0.74 \mu\text{m}/\text{min} \quad (2.50)$$

La détermination de $R_{Si\{100\} \perp}$ est plus délicate que dans le cas de la gravure avec KOH. En effet, la figure 2.38(a) montre que le front de la gravure du silicium



(a) Structures *trou110f* et *trou110g* après 1h30 de gravure dans EDP.

(b) Zone de silicium à nu de la structures *S3* après 30 minutes de gravure dans EDP.

Figure 2.38: Processus de gravure perturbé par l'oxyde natif formé sur les zones de silicium à nu.

monocristallin sous l'oxyde n'est pas constitué d'un seul plan, comme dans le cas de la figure 2.15(a), avec KOH. La photo de la figure 2.38(b) montre une des zones de silicium à nu de la structure *S3* après 30 minutes de gravure dans EDP. On constate que le silicium n'est attaqué que par endroits, vraisemblablement à cause d'un oxyde natif recouvrant le silicium monocristallin. Il est également intéressant de constater que la gravure des plans $\{100\}$ sous l'oxyde suspendu n'a commencé qu'à certains endroits : ces endroits sont les zones brillantes de la photo, correspondant à l'oxyde chargé (les électrons émis par le microscope électronique à balayage ne peuvent pas se dissiper dans le substrat, puisque celui-ci a été gravé).

Les puces MICAMS2 ont été micro-usinées dans EDP un an après leur sortie de la fonderie AMS, et le silicium monocristallin des zones de silicium à nu a pu s'oxyder légèrement pendant cette année.

Pour résoudre le problème posé par la formation d'oxyde natif sur les zones de silicium à nu, il est nécessaire de nettoyer les puces dans une solution d'acide fluorhydrique pendant quelques secondes ("*HF wash*"). Cette opération sera tentée prochainement. Il est cependant nécessaire de mesurer l'influence de cette étape sur la couche de passivation et les plots métalliques : cette étape de gravure de l'oxyde natif ne peut pas être précédée d'une étape de masquage, pour des raisons techniques (l'opération de nettoyage est effectuée sur des puces) et de coût.

Les zones de silicium à nu des structures ne présentent plus d'oxyde natif après une heure de gravure, et leur fond est devenu plat. Par contre, le fond d'attaque du silicium monocristallin sous l'oxyde n'est pas devenu plat, et le phénomène a même tendance à s'accroître à cause de l'anisotropie de la gravure.

La courbe de la figure 2.39(b) donne la variation de la distance gravée sous l'oxyde des structures *trous110* et *S1* à *S8* du circuit MICAMS2. Le schéma de la figure 2.39(a)

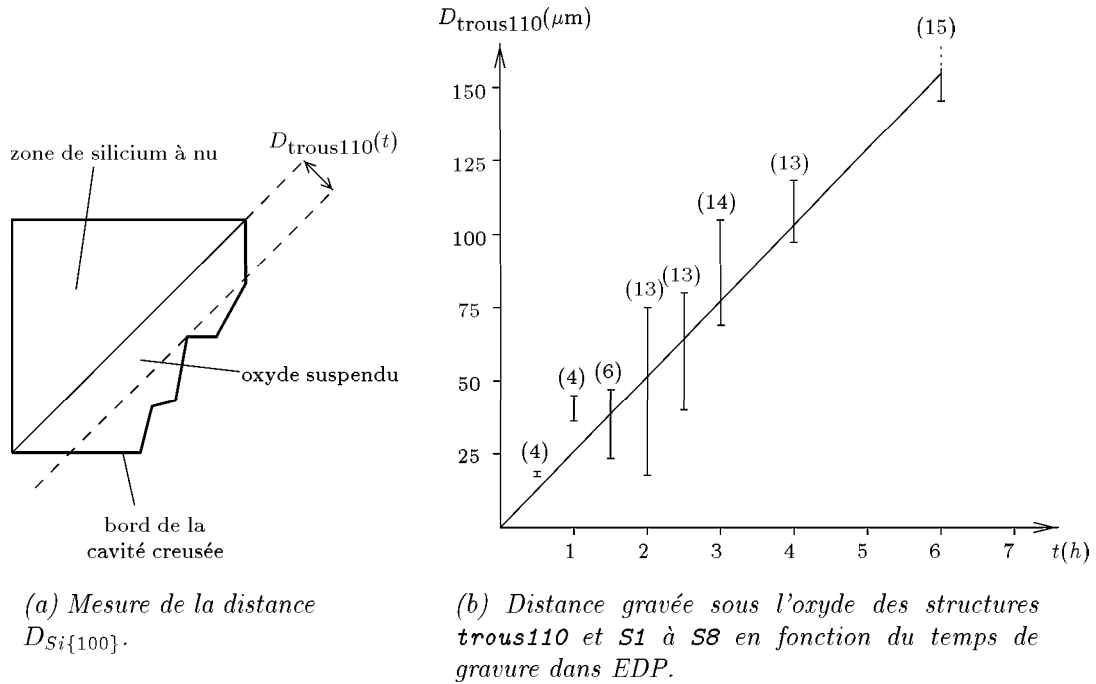


Figure 2.39: Gravure EDP sur les cellules **trous110** et **S1** à **S8** de **MICAMS2**.

montre comment la distance $D_{trous110}$ a été mesurée sur ces structures. Cette distance varie parfois assez nettement d'une structure à l'autre pour le même temps de gravure, c'est pourquoi on obtient des intervalles de distance gravée pour chaque temps intermédiaire. Ces intervalles sont représentés par des segments sur la figure 2.39(b), et le nombre indiqué entre parenthèses au dessus de chaque segment correspond au nombre de structures sur lesquelles ces mesures ont été effectuées.

La droite tracée sur la figure 2.39(b) coupe presque tous les segments représentant les intervalles de distance gravée : on peut donc considérer que la pente de cette droite est la vitesse de gravure moyenne des plans $\{100\}$ perpendiculaires à la surface de la puce. On calcule :

$$R_{Si\{100\}\perp} \approx 0.4 \mu m/min \quad (2.51)$$

On constate que la vitesse de gravure des plans $\{100\}$ des structures **trous100** est nettement supérieure à la vitesse de gravure du silicium de la face arrière des puces et à celle des plans $\{100\}$ perpendiculaires à la surface des puces. Cela est dû au fait que la solution est moins bien renouvelée sous l'oxyde où le silicium est gravé perpendiculairement à la surface de la puce, et sur la face arrière de celles-ci : les puces sont en effet posées dans des casiers dont les ouvertures sont plus petites du côté de la face arrière des puces. La vitesse de gravure la plus intéressante dans le cadre des travaux exposés est celle des plans $\{100\}$ perpendiculaires à la surface des puces, puisque ce sont eux qui ralentissent le processus de suspension des micro-structures. Ainsi, lorsqu'il sera fait référence à la vitesse de gravure de plans $\{100\}$ dans la suite

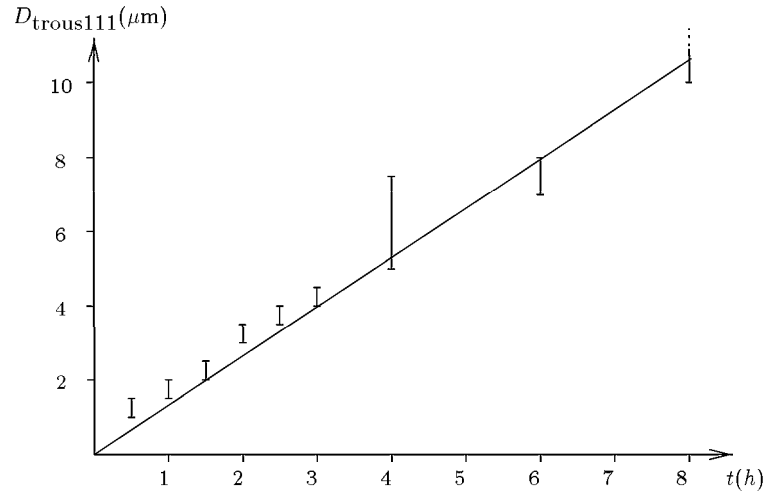


Figure 2.40: Distance gravée sous l'oxyde des structures *trous111* en fonction du temps de gravure dans KOH.

de ce document, cela correspondra en fait (par abus de langage) à la vitesse de gravure des plans $\{100\}$ perpendiculaires à la surface des puces. On prend donc, pour la suite de ce document :

$$R_{Si\{100\}} \approx 0.4 \text{ } \mu\text{m}/\text{min} \quad (2.52)$$

Il est intéressant de noter que, comme dans le cas de la gravure avec KOH, la vitesse de gravure des plans $\{100\}$ ne dépend pas de la taille de la zone de silicium à nu définissant la cavité à creuser.

b. Gravure des plans $\{111\}$

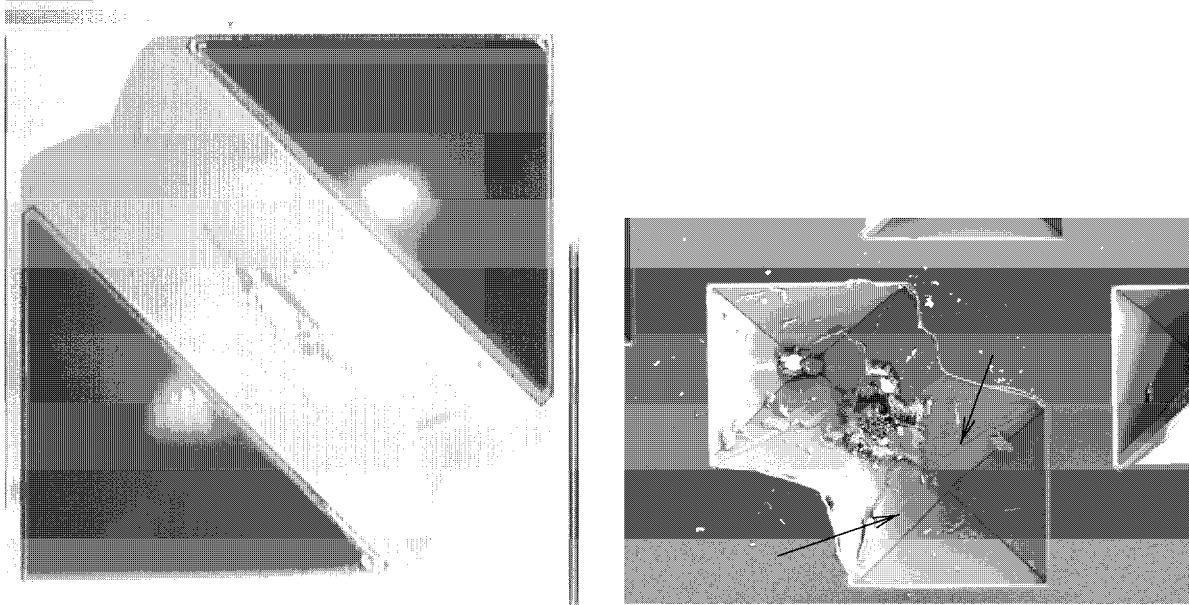
La figure 2.40 donne la variation de la distance gravée sous l'oxyde des structures *trous111* de MICAMS2. On obtient, pour chaque temps intermédiaire, un intervalle de distance gravée, correspondant à la moitié de la distance séparant les deux dernières structures de *trous111* ayant fusionné.

Comme dans le cas de la gravure avec KOH, les mesures effectuées sur des zones de silicium à nu espacées de moins de $5 \text{ } \mu\text{m}$ sont peu fiables (temps intermédiaires de 30min, 1h et 1h30), ce qui explique pourquoi les segments correspondant ne sont pas alignés sur la droite $D_{\text{trous111}}(t)$. On calcule, à partir de cette droite :

$$U_{Si\{111\}} \approx 220 \text{ } \text{\AA}/\text{min} \quad (2.53)$$

On a donc :

$$R_{Si\{111\}} \approx 270 \text{ } \text{\AA}/\text{min} \quad (2.54)$$



(a) Structure S6, micro-usinée 4h dans EDP.

(b) Structure S4, micro-usinée 4h dans EDP : la partie suspendue en oxyde a été cassée pour effectuer les mesures à l'Alpha-Step.

Figure 2.41: Plans apparaissant pendant la gravure.

c. Gravure des plans $\{123\}$

Ces plans apparaissent au cours de la gravure, à l'intersection de plans $\{111\}$ formant un angle convexe, de la même façon que les plans $\{411\}$ apparaissent au cours de la gravure avec KOH (voir le paragraphe 2.4.1.3-c).

La photo de la figure 2.41(a) montre comment ces plans apparaissent pour la structure S3 du circuit MICAMS2. On définit les angles β et γ comme au paragraphe 2.4.1.3-c. On mesure, sur les photos prises :

$$\beta \approx 162^\circ \quad (2.55)$$

ce qui signifie que :

$$\gamma \approx 27^\circ \quad (2.56)$$

Le plan à identifier est donc un plan $\{21c\}$, où c reste à déterminer. Dans cet objectif, l'oxyde suspendu de la structure S4 du circuit MICAMS2, gravée 4 heures dans EDP, a été cassé grâce à une pointe de test. La photo de la figure 2.41(b) montre les plans $\{21c\}$ apparaissant sous l'oxyde. Des mesures avec l'Alpha-Step du CIME permettent de déterminer l'angle δ existant entre ces plans et la surface de la puce. Le chemin parcouru par la pointe de l'Alpha-Step est donné sur les figures 2.41(b) et 2.42. On calcule :

$$\delta \approx 37^\circ \quad (2.57)$$

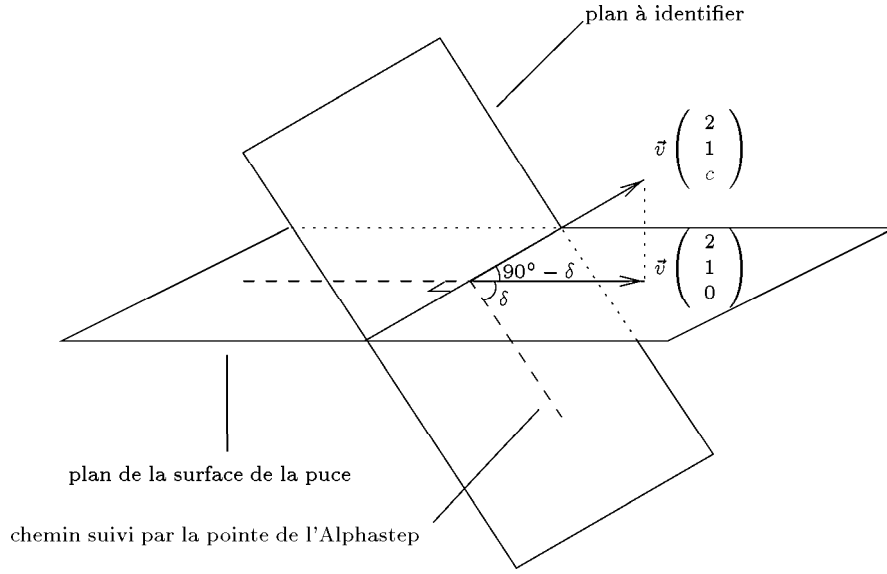


Figure 2.42: Identification des plans $\{123\}$.

On a :

$$\tan(90^\circ - \delta) = \frac{c}{\|\vec{v}\|} \quad (2.58)$$

Donc :

$$c = \frac{\|\vec{v}\|}{\tan \delta} = \frac{\sqrt{5}}{\tan 37^\circ} \quad (2.59)$$

On calcule $c = 3$: le plan à identifier est donc un plan $\{213\}$, que l'on peut également noter $\{123\}$.

L'oxyde natif recouvrant les zones de silicium à nu des structures **trous230** a considérablement perturbé la gravure de ces structures. Elles n'ont pas pu être utilisées pour déterminer la vitesse de déplacement U_M du point M de la figure 2.23(a). Cette vitesse a été déterminée à partir des structures **S6** et **S8** du circuit **MICAMS2**. L'étape de micro-usinage de ces composants a également été très perturbée par le problème posé par la formation de l'oxyde natif, comme le montre la photo de la figure 2.38(a) (les structures **trous110**, **S6** et **S8** sont constituées de zones de silicium à nu similaires). L'instant où les plans de chaque côté du pont fusionnent aux points M_0 et M_0' (voir le schéma de la figure 2.43) est difficile à déterminer, puisque le front de la gravure n'est pas constitué d'un seul plan. Il a donc été choisi de faire la moyenne des résultats obtenus à partir des mesures effectuées sur les structures **S6** et **S8**. On a, pour ces structures :

$$t_{grav} = t_{\{100\}} + t_M \quad (2.60)$$

Structure	Temps de gravure	d_M (μm)	U_M correspondant ($\mu\text{m}/\text{min}$)
S6	3h	80.2	0.325
	4h	99.7	
S8	1h30	24.5	1.225
	2h	61.25	
	2h30	84.4	0.77

Tableau 2.5: Mesures effectuées sur S6 et S8 et calcul des valeurs de U_M correspondant.

où :

- t_{grav} désigne le temps de gravure écoulé,
- $t_{\{100\}}$ désigne le temps nécessaire pour que les plans gravés de chaque côté des ponts se rencontrent aux points M_0 et M_0' ,
- t_M désigne le temps au cours duquel le point M se déplace de la distance d_M .

On a donc :

$$t_{grav} = \frac{d_{\{100\}}}{R_{Si\{100\}\perp}} + \frac{d_M}{U_M} \quad (2.61)$$

Si on réalise deux mesures correspondant aux temps t_{grav1} et t_{grav2} , on a :

$$U_M = \frac{d_{M_2} - d_{M_1}}{t_{grav2} - t_{grav1}} \quad (2.62)$$

où :

- d_{M_1} désigne la distance entre le point M_0 et le point $M(t_{grav1})$,
- d_{M_2} désigne la distance entre le point M_0 et le point $M(t_{grav2})$.

Les mesures effectuées sur les structures S6 et S8 sont données dans le tableau 2.5. En faisant la moyenne des résultats obtenus, on a :

$$U_M \approx 0.77 \mu\text{m}/\text{min} \quad (2.63)$$

On peut donc calculer :

$$U_{Si\{123\}} \approx 0.69 \mu\text{m}/\text{min} \quad (2.64)$$

d. Constitution du diagramme de gravure

La figure 2.44 donne le diagramme de gravure de la solution d'éthylène diamine pyrocatechol. Ce diagramme a été obtenu à partir des résultats du paragraphe 2.4.3.3, en utilisant le même procédé que pour KOH (voir le paragraphe 2.4.1.3-d).

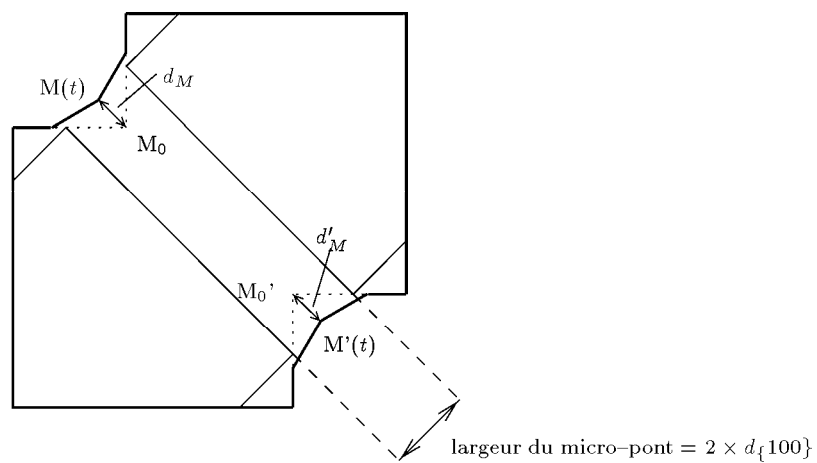


Figure 2.43: Mesure de la distance d_M gravée.

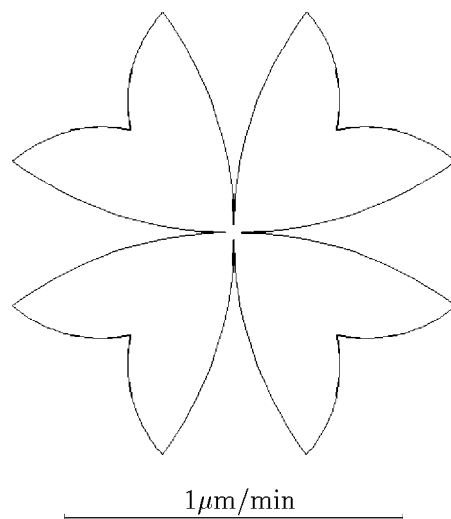


Figure 2.44: Diagramme de gravure pour EDP à 90°C (tracé en coordonnées polaires).

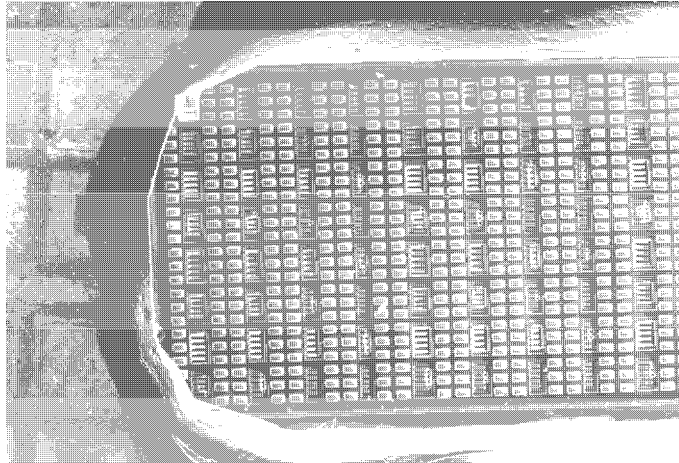


Figure 2.45: Puce *TIMATEST* après 6 heures de gravure dans EDP.

- e. **Gravure des bords des puces** Les puces sont limitées par des plans $\{110\}$, qui sont également attaqués au cours de l'étape de micro-usinage ($R_{Si\{110\}} \approx R_{Si\{100\}}$). La photo de la figure 2.45 montre l'état d'un bord de puce *TIMATEST* après 6 heures de gravure dans EDP : des plans $\{123\}$ apparaissent aux angles de la puce, et les différentes couches déposées (ou obtenues par croissance) au cours de la fabrication du circuit sont suspendues ou cassées. Il ne semble donc pas raisonnable d'effectuer une gravure de plus de 6 heures sur les puces.

2.4.3.4 Influence du dopage du silicium sur la gravure

L'influence du dopage du silicium sur la gravure avec EDP a été déterminée avec les mêmes structures de test que pour la gravure avec KOH (voir le paragraphe 2.4.1.4) : il a ainsi pu être montré que les valeurs de dopages utilisées pour la fabrication des circuits intégrés par ATMEL-ES2 et AMS n'avaient aucune incidence sur les vitesses de gravure avec EDP.

2.4.3.5 Attaque des plots d'aluminium et de la couche de passivation

La plupart des articles relatant les études réalisées sur le procédé du micro-usinage avec EDP affirment que cette solution n'attaque pas l'aluminium [101, 190, 191]. Cette affirmation est fausse : EDP attaque bien l'aluminium, mais pas la majorité des autres métaux [113]. Cependant, la plupart des couches de métallisation utilisées pour la fabrication des circuits VLSI sont des alliages entre l'aluminium et d'autres métaux, qui ne sont en général pas attaqués par EDP.

a. Vitesse de gravure de l'aluminium du procédé ECPD10 de ATMEL-ES2

La couche de métallisation utilisée par ATMEL-ES2 jusqu'au début de l'année 1996 n'était pas attaquée par EDP. De nombreux circuits, fabriqués avec les procédés

ECPD10 (CMOS 1.0 μm) et ECPD12 (CMOS 1.2 μm) avaient été micro-usinés en volume sans que les plots métalliques aient été touchés. Pour des raisons relatives à la qualité de ses circuits intégrés (et pour être en conformité avec le procédé de fabrication C200DM de Philips [3], où la fabrication de ses circuits peut être sous-traitée), ATMEL-ES2 a changé sa métallisation au début de l'année 1996. La métallisation des circuits fabriqués après cette date est attaquée par EDP. Ce phénomène est facilement détectable au microscope optique : les plots, lorsqu'ils sont intacts, ont une couleur jaune-or, et sont de couleur orange lorsqu'ils ont été attaqués.

La courbe de la figure 2.46(a) donne la variation de la profondeur de la zone métallique des plots par rapport à la couche de passivation, en fonction du temps de gravure dans EDP, pour le circuit TIMATEST (voir le paragraphe 2.4.1.5). Cette courbe peut être assimilée à trois segments de droite contigus, correspondant aux trois phases de la gravure des plots :

- la phase 1, durant approximativement 100 minutes, et pendant laquelle la couche de métal 2 est attaquée.
- la phase 2, durant approximativement 4 heures, pendant laquelle la gravure est stoppée par la couche barrière 2 (voir le schéma de la figure 2.31).
- la phase 3, durant laquelle la couche de métal 1 est attaquée.

Il est nécessaire que la couche de métal 1 au moins soit en bon état pour que les soudures réalisées sur les plots soient correctes. Cette couche n'est pas totalement gravée après 8 heures de micro-usinage, mais il semble plus prudent de ne pas dépasser un temps de gravure de 6 heures, afin d'être certain que la couche de métal 1 est intacte.

Il est à noter que les différents circuits fabriqués en 1996 et gravés (notamment ceux des clients du service CMP microsystemes) ont pu être testés sous pointes et mis en boîtier, même après huit heures de gravure à 90°C.

A partir du segment de droite correspondant à la phase 1, on calcule :

$$\boxed{R_{Al} \approx 80 \text{ \AA/min}} \quad (2.65)$$

b. Vitesse de gravure de l'aluminium du procédé CAE de AMS

La courbe de la figure 2.46(b) donne la variation de la profondeur de la zone métallique des plots du circuit par rapport à la couche de passivation, en fonction du temps de gravure dans EDP, pour le circuit MICAMS2. Cette courbe peut être assimilée à deux segments de droite contigus, correspondant aux deux phases de la gravure des plots :

- la phase 1, durant approximativement 100 minutes, et pendant laquelle les couches de métal 2 et de métal 1 sont attaquées.

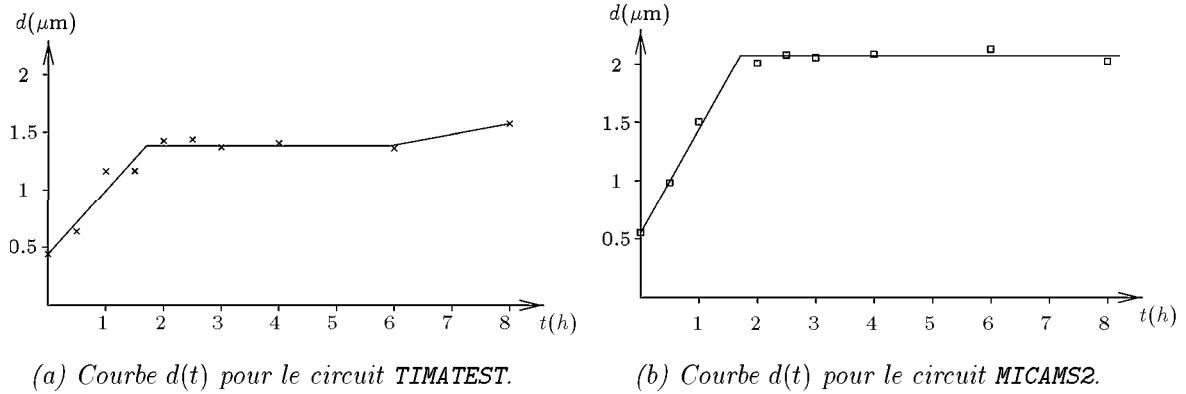


Figure 2.46: Courbes $d(t)$ pour les circuits fabriqués par ATMEL-ES2 et AMS : profondeur de la zone métallique des plots par rapport à la surface de la couche de passivation, en fonction de la durée de la gravure effectuée.

- la phase 2, durant laquelle la gravure est stoppée par la couche barrière des plots (voir le schéma de la figure 2.33) : on observe en effet une couleur orange au niveau des zones métalliques des plots (signifiant qu’il reste du métal sur ces zones), même après 8 heures de gravure.

A partir du segment de droite correspondant à la phase 1, on calcule :

$$R_{Al} \approx 150 \text{ Å/min} \quad (2.66)$$

c. Attaque de la couche de passivation

Il n’a pas été possible de mesurer l’épaisseur de passivation gravée au cours des étapes de micro-usinage des puces fabriquées par ATMEL-ES2 et AMS : la vitesse de gravure, dans EDP, du dioxyde de silicium et des couches de passivation est en effet extrêmement faible. Cette vitesse de gravure sera considérée comme nulle dans la suite de ce document.

d. Protection des plots métalliques pendant la gravure

Une méthode simple, permettant d’obtenir des plots sur lesquels une soudure peut encore être réalisée après la gravure, consiste à les protéger avec un oxyde mince, puis à réaliser la soudure à travers cet oxyde. Cette possibilité, donc le principe est détaillé au paragraphe 5.4, a été testée avec succès sur des circuits fabriqués avec différents procédés de ATMEL-ES2 et AMS.

2.4.3.6 Apparition de protubérances pyramidales

Le fond des cavités obtenues par micro-usinage avec EDP n'est pas parfaitement plat : des protubérances pyramidales (*"hillocks"*) recouvrent ce fond. La formation de ces pyramides a récemment fait l'objet de quelques articles [19, 25, 43, 96, 167, 185, 186], mais leur formation n'a toujours pas réellement été expliquée.

Même si la qualité de la surface du fond de la cavité creusée n'a pas une très grande importance dans le cadre des travaux exposés dans ce document (la seule chose réellement intéressante est que les structures ayant subi le micro-usinage soient suspendues), la formation de ces pyramides est un phénomène qui peut être inquiétant, dans la mesure où celles-ci peuvent gêner la suspension d'une structure. Il a en effet été observé que lorsque ces pyramides (souvent limitées par des plans $\{111\}$ ou proches) sont créées, il est très difficile de les faire disparaître. Si l'une de ces pyramides se trouve près d'une structure à suspendre, elle peut perturber le processus de gravure du silicium monocristallin sous cette dernière, comme le montre la photo de la figure 2.47.



Figure 2.47: Apparition de protubérances pyramidales pendant le processus de suspension d'une micro-structure avec EDP.

2.4.3.7 Apparition de résidus sur les puces

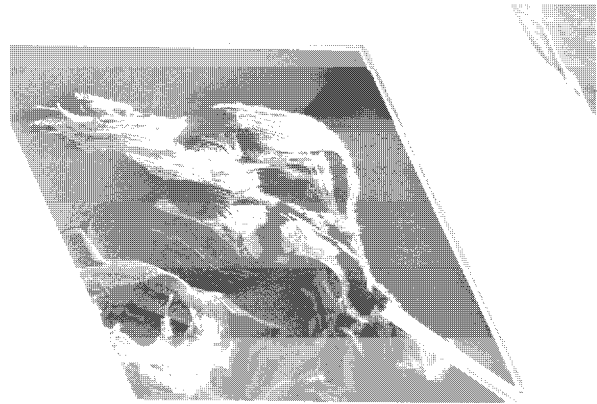
L'apparition d'un résidu sur les zones de silicium à nu a été observée au cours de quelques unes des opérations de gravure effectuées. La photo de la figure 2.48(a) montre une zone de silicium à nu recouverte par ce résidu, gênant l'opération de micro-usinage, mais ne la stoppant pas totalement : la photo de la figure 2.48(b) montre en effet que lorsque la structure suspendue est brisée et le film de résidu déchiré, la cavité formée par micro-usinage est bien présente.

L'apparition de résidu a été observée uniquement à la surface de puces où le bain de gravure est mal renouvelé. Le cas le plus typique est celui de puces tombées de leurs supports, et dont la face active se retrouve contre le fond du bain de gravure EDP.

Il a été expliqué, au paragraphe 2.3.2, qu'un polymère se forme dans la solution avec les différents produits de la réaction de gravure du silicium. Le renouvellement de la solution à la surface des puces où le résidu apparaît étant très faible, il est très probable que cette



(a) Zone de silicium à nu recouverte de résidu.



(b) Structure du résidu et cavité formée.

Figure 2.48: Résidu apparaissant sur les zones de silicium à nu, lorsque le bain de gravure est mal renouvelé à la surface des puces.

apparition soit due au dépôt du polymère formé, ce polymère ne pouvant être évacué de la surface de la puce par manque d'agitation.

Pour éviter l'apparition de ce résidu sur les zones de silicium à nu au cours de la gravure, il suffit de placer les puces dans des casiers contenant des ouvertures assez grandes (de l'ordre de 1.5 mm par 1.5 mm), permettant un bon renouvellement de l'agent gravant à la surface des circuits et l'évacuation des produits de la réaction. Une meilleure solution consisterait à agiter mécaniquement le bain de gravure : cette solution n'a pu être appliquée pour les raisons exposées au paragraphe 2.4.3.2.

2.4.4 Autres possibilités pour graver le silicium

L'utilisation de solutions aqueuses autres que EDP, TMAH et KOH pour graver anisotropiquement le silicium monocristallin a été tentée par de nombreux chercheurs. Les principales autres solutions utilisées sont :

- l'hydrazine, de formule chimique N_2H_4 [43, 61, 100, 113, 153, 157, 172, 201] (voir le tableau 2.6), présentant des caractéristiques de gravure proches de celles de EDP. Malheureusement, comme EDP, l'hydrazine est très cancérigène, et est de plus un produit explosif.
- L'hydroxyde de sodium, de formule chimique $NaOH$ [38, 172, 173] (voir le tableau 2.7), présentant cependant l'inconvénient de contenir des ions Na^+ , contaminant les composants électroniques intégrés (le problème est identique à celui posé par l'ion potassium de la solution de KOH).
- L'hydroxyde de césium, de formule chimique $CsOH$ [28, 153, 172] (voir le tableau 2.7), présentant de nombreux avantages, mais ayant l'inconvénient de coûter très cher (plus de 2000 francs le litre).

- L’hydroxyde de lithium, de formule chimique LiOH [172, 173] (voir le tableau 2.7).
- L’hydroxyde de tétra-éthyle ammonium, de formule chimique $(\text{C}_2\text{H}_5)_4\text{NOH}$ [182] et noté TEAH.
- L’ammoniaque, de formule chimique NH_4OH [172, 167, 168] (voir le tableau 2.7).
- la choline, de formule chimique $(\text{CH}_3)_3\text{N}(\text{CH}_2\text{CH}_2\text{OH})\text{OH}$ [172].
- La solution acide de HNA, obtenue par dilution des acides fluorhydrique (HF) et nitrique (HNO_3) dans l’acide acétique (CH_3COOH) [16, 38, 62, 143, 154, 155, 170], pouvant graver isotropiquement ou anisotropiquement le silicium monocristallin (voir le tableau 2.8).

Des techniques autres que celle du micro-usinage purement chimique par des solutions aqueuses permettent également de micro-usiner des structures dans le silicium monocristallin, de façon anisotropique ou isotropique :

- la technique du micro-usinage électro-chimique [8, 31, 38, 91, 94, 123, 142] permet notamment l’obtention, par gravure anisotropique, de membranes en silicium monocristallin faiblement dopé (donc exemptes de contraintes), utilisables pour y réaliser des composants électroniques par exemple.
- La technique du micro-usinage par plasma, avec des gaz à base de fluor (SF_6 [54, 183] et XeF_2 [29, 30] par exemple), chlore, brome, et avec l’adjonction d’oxygène ou d’argon [38, 44, 46, 76, 102, 164, 179].
- Le micro-usinage par laser [9, 38].

Nom de la Gravure	Caractéristiques et Remarques	Composition	Vitesses de Gravure	Références Bibliographiques
hydrazine	Solution anisotropique, utilisée pour la réalisation de transistors V-bipolaires.	N ₂ H ₄ : 100 g H ₂ O : 50 ml	à $\theta=100^\circ\text{C}$, $R_{Si\{100\}} = 3 \mu\text{m}/\text{min}$ à $\theta=118^\circ\text{C}$, $R_{Si\{100\}}/R_{Si\{110\}} \approx 1.8$ $R_{Si\{100\}}/R_{Si\{111\}} \approx 16$	[157]
hydrazine	Solution anisotropique.	— — —	$R_{Si\{100\}}/R_{Si\{110\}} \approx 1.8$ $R_{Si\{100\}}/R_{Si\{111\}} \approx 16$	[172, 173]
hydrazine	Solution anisotropique, pas de dépendance au dopant, masquable par SiO ₂ et Al.	N ₂ H ₄ : 100 ml eau + alcool isopropylique : 100 ml	à $\theta=100^\circ\text{C}$, $R_{Si\{100\}} = 2 \mu\text{m}/\text{min}$	[43, 100, 143]
hydrazine	Solution anisotropique, masquable par Al, Bi, Cr et Ti.	N ₂ H ₄ du commerce (98 %) diluée dans de l'eau déionisée.	à $\theta=100^\circ\text{C}$, pH=12 à 13, $R_{Si\{100\}} = 1.5 \text{ à } 3.5 \mu\text{m}/\text{min}$ $R_{Si\{100\}}/R_{Si\{111\}} = 21.6$	[61]
hydrazine	Solution anisotropique, masquable par SiO ₂ et Si ₃ N ₄ , par le silicium dopé au bore à $1.5 \times 10^{20} \text{ At./cm}^3$ (mais pas par Al, Cu ni Zn).	N ₂ H ₄ : 100 ml H ₂ O : 100 ml	à $\theta=115^\circ\text{C}$, $R_{Si\{100\}} = 3 \mu\text{m}/\text{min}$ $R_{SiO_2} = 1.7 \text{ Å}/\text{min}$	[113]
hydrazine/IPA	Solution anisotropique. Les plans {111} sont gravés le plus lentement; les plans {211} sont gravés le plus rapidement.	mélange équimolaire de N ₂ H ₄ et H ₂ O + IPA ^a .	à $\theta=120^\circ\text{C}$, $R_{Si\{100\}} = 3.3 \mu\text{m}/\text{min}$	[100]

Tableau 2.6: Diverses solutions à base d'hydrazine utilisées pour la gravure anisotropique du silicium monocristallin.

^aalcool isopropylique : CH₃COOHCH₃ dans le cas exposé.

Nom de la Gravure	Caractéristiques et Remarques	Composition	Vitesses de Gravure	Références Bibliographiques
NaOH 9%	Solution anisotropique et masquable par SiO ₂ et Si ₃ N ₄ .	NaOH : 10 g H ₂ O : 100 ml	à $\theta=65^{\circ}\text{C}$, $R_{Si\{100\}} = 0.25 \text{ à } 1 \text{ } \mu\text{m}/\text{min}$ $R_{SiO_2} = 7 \text{ } \text{\AA}/\text{min}$	[38, 143]
NaOH 24%	Solution anisotropique obéissant à la loi d'Arrhenius.	NaOH : 32 g H ₂ O : 100 ml	à $\theta=65^{\circ}\text{C}$, $R_{Si\{100\}} = 0.537 \text{ } \mu\text{m}/\text{min}$ $R_{Si\{110\}} = 0.844 \text{ } \mu\text{m}/\text{min}$ $R_{SiO_2} = 20 \text{ } \text{\AA}/\text{min}$	[172]
LiOH 10%	Solution anisotropique obéissant à la loi d'Arrhenius.	LiOH : 11 g H ₂ O : 100 ml	à $\theta=65^{\circ}\text{C}$, $R_{Si\{100\}} = 0.587 \text{ } \mu\text{m}/\text{min}$ $R_{Si\{110\}} = 0.76 \text{ } \mu\text{m}/\text{min}$ $R_{SiO_2} = 5.8 \text{ } \text{\AA}/\text{min}$	[172]
CsOH 45%	Solution anisotropique, masquable par SiO ₂ et par de nombreux métaux, très peu toxique, mais très chère (plus de 2000 francs le litre).	CsOH : 50 g H ₂ O : 63 ml	à $\theta=60^{\circ}\text{C}$, $R_{Si\{100\}} = 0.34 \text{ } \mu\text{m}/\text{min}$ $R_{Si\{111\}} = 0.013 \text{ } \mu\text{m}/\text{min}$ à $\theta=70^{\circ}\text{C}$, $R_{Si\{100\}} = 0.57 \text{ } \mu\text{m}/\text{min}$ $R_{Si\{111\}} = 0.017 \text{ } \mu\text{m}/\text{min}$ à $\theta=80^{\circ}\text{C}$, $R_{Si\{100\}} = 0.99 \text{ } \mu\text{m}/\text{min}$ $R_{Si\{111\}} = 0.02 \text{ } \mu\text{m}/\text{min}$	[28]
CsOH	Solution anisotropique.	CsOH : 150 g H ₂ O : 100 ml	— — —	[153]
NH ₄ OH	solution anisotropique et masquable par SiO ₂ , Si ₃ N ₄ et Al si du silicium dopé est dissous dans la solution. Formation importante d'"hillocks".	NH ₄ OH : 9% H ₂ O	à $\theta=75^{\circ}\text{C}$, $R_{Si\{100\}} = 0.5 \text{ } \mu\text{m}/\text{min}$ $R_{Si\{111\}} = 0.02 \text{ } \mu\text{m}/\text{min}$	[167, 168]

Tableau 2.7: Diverses solutions aqueuses alcalines utilisées pour la gravure anisotropique du silicium monocristallin.

Nom de la Gravure	Caractéristiques et Remarques	Composition	Vitesses de Gravure	Références Bibliographiques
gravure "planar" (HNA)	Solution de gravure isotropique.	HF (8%) : 10 ml HNO ₃ (75%) : 94 ml CH ₃ COOH (17%) : 21 ml	$R_{Si} \approx 5 \mu\text{m}/\text{min}$ à 25°C dans toutes les directions.	[16]
		HF (9%) : 2 ml HNO ₃ (68%) : 15 ml CH ₃ COOH (23%) : 5 ml	$R_{Si} \approx 5 \mu\text{m}/\text{min}$ dans toutes les directions.	[62]
gravure "1-3-10" (HNA)	Solution de gravure isotropique, utilisée pour le polissage du silicium; grave le silicium dopé P+ ou N+, mais pas le silicium dopé P- ou N-.	HF (7%) : 10 ml HNO ₃ (21%) : 30 ml CH ₃ COOH (72%) : 100 ml	$R_{Si} \approx 3 \mu\text{m}/\text{min}$ dans toutes les directions.	[16]
HNA	Solution de gravure isotropique, masquable par SiO ₂ pour de faibles temps de gravure.	HF (8%) : 10 ml HNO ₃ (25%) : 30 ml	$R_{Si} = 0.7$ à $3 \mu\text{m}/\text{min}$ à 22°C dans toutes les directions. $R_{SiO_2} \approx 300 \text{ Å}/\text{min}$	[38, 143]
HNA	Solution de gravure isotropique, masquable par SiO ₂ pour de faibles temps de gravure.	HF (8%) : 9 ml HNO ₃ (66%) : 75 ml CH ₃ COOH (26%) : 30 ml	$R_{Si} = 7 \mu\text{m}/\text{min}$ à 22°C dans toutes les directions. $R_{SiO_2} \approx 700 \text{ Å}/\text{min}$	[38, 143]
HNA	Solution de gravure isotropique, masquable par Si ₃ N ₄ .	HF (25%) : 25 ml HNO ₃ (56%) : 50 ml CH ₃ COOH (25%) : 25 ml	$R_{Si} = 40 \mu\text{m}/\text{min}$ à 22°C dans toutes les directions.	[38, 143]
HNA (CP-4A)	Solution de gravure isotropique	HF (27%) : 3 ml HNO ₃ (46%) : 5 ml CH ₃ COOH (27%) : 3 ml	$R_{Si} = 80 \mu\text{m}/\text{min}$ dans toutes les directions.	[62]
gravure "B"	Solution de gravure anisotropique.	HF (2%) : 1 ml HNO ₃ (71%) : 40 ml CH ₃ COOH (27%) : 15 ml	à $\theta=25^\circ\text{C}$, $R_{Si\{100\}} \approx 0.2 \mu\text{m}/\text{min}$ $R_{Si\{111\}} \approx 0.15 \mu\text{m}/\text{min}$	[16]
gravure "Dash"	Solution de gravure anisotropique et dépendante de la densité de dopants : solution utilisée pour délimiter ou définir les défauts cristallins du silicium {111}.	— — —	à $\theta=25^\circ\text{C}$, Si dopé P ou N, $R_{Si\{100\}} \approx 1300 \text{ Å}/\text{min}$ $R_{Si\{111\}} \approx 46 \text{ Å}/\text{min}$ $R_{Si} \text{ P+ ou N+} \approx 2.5 \mu\text{m}/\text{min}$	[16, 154, 155, 170]

Tableau 2.8: Diverses solutions à base de HNA utilisées pour la gravure du silicium monocristallin.

2.5 Simulation de la gravure anisotropique pour la conception de microsystemes

La prédiction des cavités obtenues par gravure anisotropique est très importante pour la conception de systèmes micro-électro-mécaniques. Différents modèles de simulation de la gravure anisotropique existent, et peuvent être scindés en deux catégories : les modèles atomistiques [24, 159] et les modèles géométriques [65]. C'est le modèle géométrique qui a été choisi par le groupe MiCroSystèmes de TIMA, qui a développé un logiciel de simulation du procédé de micro-usinage en volume du silicium monocristallin : ACESIM [5, 118].

Le modèle géométrique, utilisant la méthode de prédiction de Wulff-Jaccodine [38, 39, 71], est basé sur l'utilisation de diagrammes de gravure ("*Etch Rate Diagrams*") et leurs inverses, les diagrammes de lenteur ("*Slowness Diagrams*").

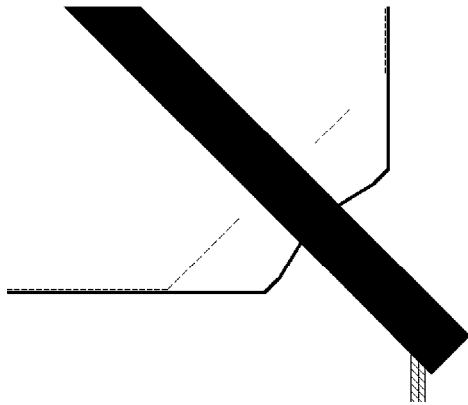
A partir des données obtenues lors des différentes expériences de gravure menées avec KOH et EDP, des diagrammes de gravure ont pu être construits pour ces deux solutions (voir les paragraphes 2.4.1.3 et 2.4.3.3). Grâce au simulateur de gravure ACESIM, il est donc désormais possible de simuler l'étape de gravure anisotropique du silicium monocristallin des composants microsystemes fabriqués à travers le service CMP. Des exemples de simulation avec KOH et EDP sont donnés ci-après, et les formes des cavités obtenues par la simulation sont comparées avec les formes des cavités réellement creusées.

2.5.1 Simulation de la gravure avec KOH

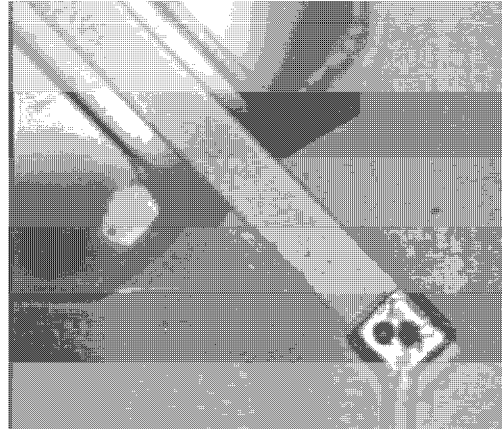
Les figures 2.49(a) et 2.50(a) montrent les résultats d'une simulation de gravure anisotropique avec KOH sur le circuit MICBULK. Les zones en gris correspondent aux zones de silicium à nu, les polygones hachurés correspondent aux pistes de métal 1, et les polygones en noir correspondent aux pistes de silicium polycristallin. Les traits épais représentent les contours des cavités creusées, telles qu'ils sont au niveau de la surface des puces : la simulation permet de déterminer la forme et la position de ces contours.

Les résultats montrés par ces figures sont à comparer avec les photos des figures 2.49(b) et 2.50(b), où l'on voit, par transparence à travers le dioxyde de silicium, les contours des cavités micro-usinées. On constate que les résultats obtenus par la simulation sont très proches de la réalité.

La figure 2.51 permet de comparer le résultat d'une simulation avec la structure réellement obtenue, pour le composant S6 du circuit MICAMS2, fabriqué avec la technologie CAE de AMS. Là encore, la simulation donne un résultat très proche de la réalité

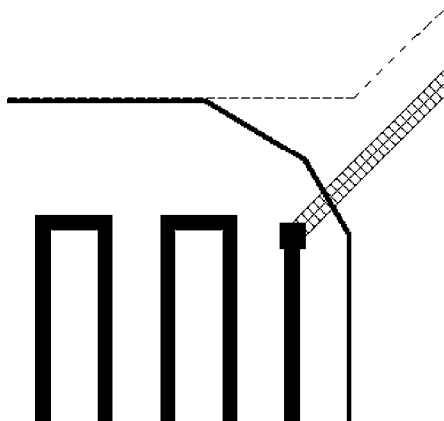


(a) Résultat de la simulation.

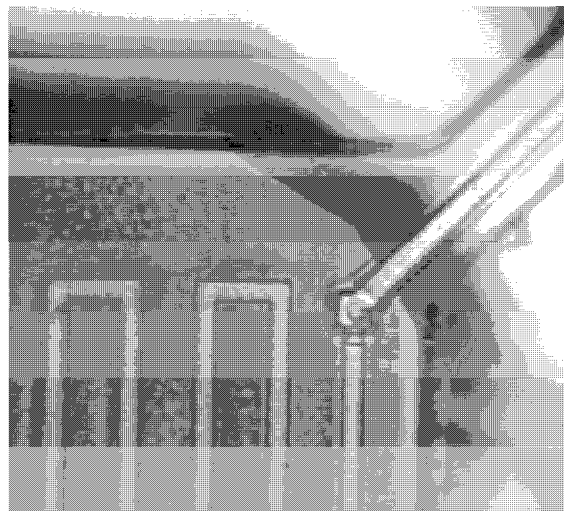


(b) Photo de la structure après la gravure.

Figure 2.49: Micro-pont n°3 du circuit MICBULK, micro-usiné dans KOH 40% à 60° C, pendant 2 heures: résultat de la simulation et cavité réellement creusée.



(a) Résultat de la simulation.



(b) Photo de la structure après la gravure.

Figure 2.50: Micro-membrane du circuit MICBULK, micro-usiné dans KOH 40% à 60° C, pendant 2 heures: résultat de la simulation et cavité réellement creusée.

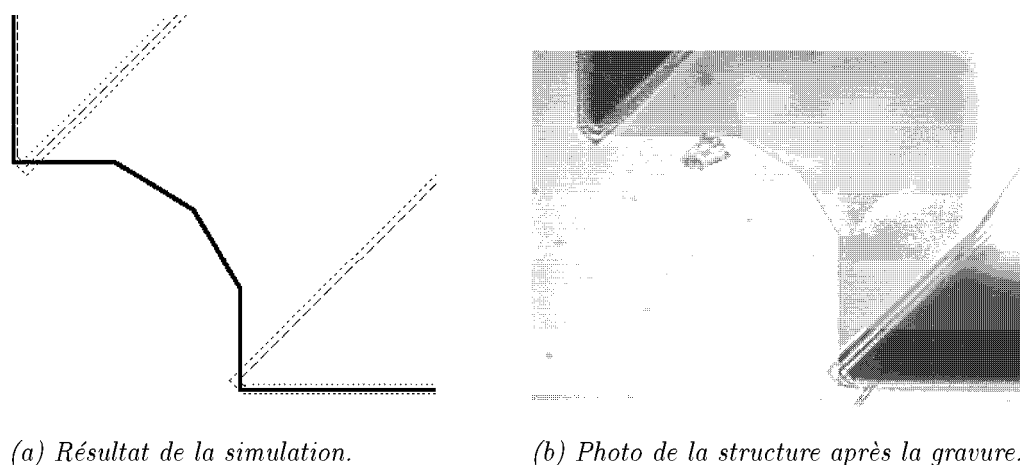


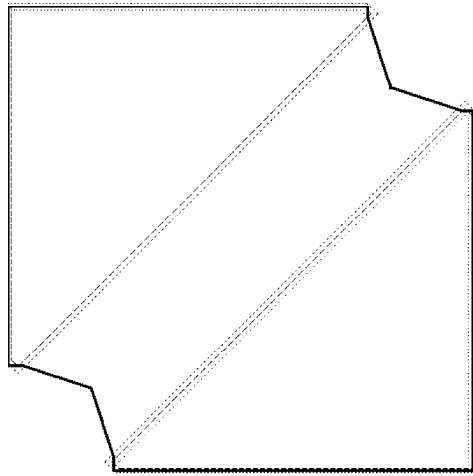
Figure 2.51: Structure S6 du circuit MICAMS2, gravée 5h30 dans KOH 40% à 60°C : résultat de la simulation et cavité réellement creusée.

2.5.2 Simulation de la gravure avec EDP

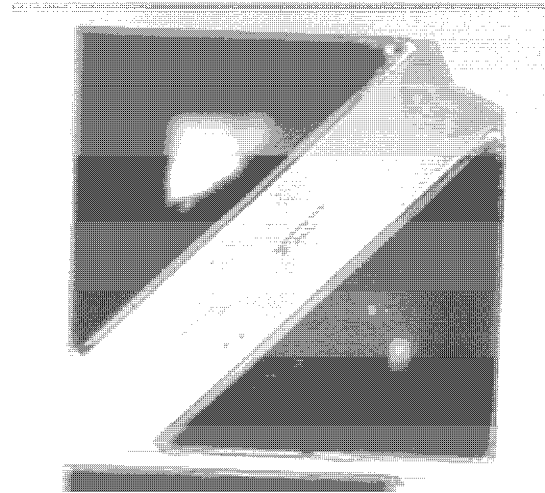
La figure 2.52 permet de comparer le contour d'une cavité, obtenu par simulation, et celui obtenu en réalité, pour une gravure avec EDP à 90°C de 2 heures sur le composant S8 du circuit MICAMS2, fabriqué avec la technologie CAE de AMS. On constate que le résultat de la simulation est moins proche de la réalité que dans le cas des simulations effectuées avec KOH. Cela est dû au fait que la caractérisation de la gravure anisotrope avec EDP a été perturbée par la présence d'oxyde natif sur les zones de silicium à nu (voir le paragraphe 2.4.3.3). Les vitesses de gravure déterminées à partir des structures micro-usinées ne sont pas tout à fait exactes.

La comparaison des résultats de la simulation et de la réalité pour des circuits fabriqués avec la technologie ECPD10 de ATMEL-ES2 sont similaires. Ceci était prévisible, car les substrats de silicium diffèrent très peu d'un fondeur à l'autre, et la gravure ne dépend pas du dopage du silicium pour des valeurs inférieures à 10^{19} At./cm³.

Il semble nécessaire de mesurer de nouveau les vitesses de gravure du silicium dans la solution d'EDP à 90°C, afin d'entrer des valeurs plus justes dans le logiciel de simulation. Les échantillons micro-usinés ayant permis la détermination des vitesses données dans ce document n'ont été reçus qu'en Octobre 1996, et une nouvelle série de gravures, précédées d'une étape de nettoyage de l'oxyde natif des zones de silicium à nu n'a pas pu être effectuée, par manque de temps.



(a) Résultat de la simulation.



(b) Photo de la structure après la gravure.

Figure 2.52: Structure S8 du circuit MICAMS2, gravée 2h dans EDP à 90° C : résultat de la simulation et cavité réellement creusée.

2.6 Conclusion

L'ensemble des solutions de gravure utilisées au cours de ces 35 dernières années pour le micro-usinage du silicium monocristallin a été présenté dans ce chapitre.

Si la solution d'hydroxyde de potassium semble faire l'unanimité pour le micro-usinage de structures sur des circuits ne contenant pas de composants électroniques intégrés, son utilisation pour la fabrication, sans étape de masquage supplémentaire, de microsystemes monolithiques, compatibles avec les procédés de fabrication VLSI, est impossible, car les plots d'aluminium et la couche de passivation des circuits sont attaqués au cours de la gravure.

Les solutions d'éthylène diamine pyrocatechol, hydroxyde de tétra-méthyle ammonium et hydrazine ont été expérimentées par différents laboratoires de recherche avec des résultats souvent très positifs. Ces solutions présentent cependant l'inconvénient de ne pas être compatibles avec les environnements des salles blanches. Les opérations de gravure doivent donc être effectuées à l'extérieur des salles blanches industrielles, à la fin du procédé de fabrication VLSI.

Le micro-usinage de circuits intégrés avec les solutions de KOH et EDP a été tenté au cours des travaux présentés. Le tableau 2.9 donne les principales caractéristiques de ces deux solutions.

La solution d'EDP convient bien pour effectuer l'étape de micro-usinage en volume sur des circuits CMOS ou BiCMOS. Cette opération est bien maîtrisée par l'ESIEE, et de nombreux circuits ont pu être micro-usinés dans le cadre de la coopération entre CMP et l'ESIEE.

	KOH	EDP
plans {100}	$R_{Si\{100\}} \approx 0.27 \mu\text{m}/\text{min}$	$R_{Si\{100\}} \approx 0.4 \mu\text{m}/\text{min}$
plans {111}	$R_{Si\{111\}} \approx 110 \text{ \AA}/\text{min}$ $U_{Si\{111\}} \approx 87 \text{ \AA}/\text{min}$	$R_{Si\{100\}} \approx 270 \text{ \AA}/\text{min}$ $U_{Si\{100\}} \approx 220 \text{ \AA}/\text{min}$
autres plans	$U_{Si\{411\}} \approx 0.4 \mu\text{m}/\text{min}$	$U_{Si\{123\}} \approx 0.69 \mu\text{m}/\text{min}$
aluminium	Circuits de ATMEL-ES2 : $R_{Al} \approx 540 \text{ \AA}/\text{min}$ Circuits de AMS : $R_{Al} > 530 \text{ \AA}/\text{min}$	Circuits de ATMEL-ES2 : $R_{Al} \approx 80 \text{ \AA}/\text{min}$ Circuits de AMS : $R_{Al} \approx 150 \text{ \AA}/\text{min}$
passivation	Circuits de ATMEL-ES2 : $R_{pass} \approx 25 \text{ \AA}/\text{min}$ Circuits de AMS : $R_{pass} < 2.8 \text{ \AA}/\text{min}$	Circuits de ATMEL-ES2 : $R_{pass} \approx 0 \mu\text{m}/\text{min}$ Circuits de AMS : $R_{pass} \approx 0 \mu\text{m}/\text{min}$

Tableau 2.9: Résumé des principales caractéristiques des gravures avec KOH et EDP.

Enfin, le logiciel de simulation de gravure ACESIM, développé par le groupe MiCroSystèmes de TIMA, permet de prédire la forme et la dimension des cavités obtenues par micro-usinage. Les résultats des simulations effectuées avec KOH sont très fiables, ceux obtenus avec EDP le sont un peu moins, à cause de difficultés rencontrées lors de la caractérisation de la gravure anisotrope avec cette solution. Une nouvelle campagne de caractérisation devrait prochainement être lancée afin de déterminer plus précisément les vitesses de gravure des plans cristallins du silicium dans la solution d'EDP.

Chapitre 3

TECHNOLOGIES MICROSYSTEMES COMPATIBLES AVEC LES PROCEDES DE FABRICATION VLSI

Chapitre 3

TECHNOLOGIES MICROSYSTEMES COMPATIBLES AVEC LES PROCEDES DE FABRICATION VLSI

La fabrication de la plupart des capteurs et des actionneurs, à partir de procédés VLSI, nécessite qu'on puisse suspendre leurs éléments actifs : ceci permet en effet d'obtenir une partie mobile (nécessaire pour la réalisation de capteurs d'accélération, de pression, ou d'actionneurs), ou d'obtenir une excellente isolation thermique par rapport au reste du circuit (permettant la fabrication d'émetteurs infrarouges et de thermocouples). Ces parties suspendues peuvent s'obtenir assez simplement en gravant, par micro-usinage chimique, un des matériaux composant la puce à sa sortie de fonderie [44, 200].

L'objectif de mon travail, au sein du groupe MiCroSystèmes de TIMA et dans le cadre de l'extension des procédés de fabrication microélectroniques standards aux microsystemes, n'a pas été de développer de nouvelles étapes de fabrication spécifiques, mais d'étudier toutes les possibilités de fabrication de composants microsystemes offertes par la combinaison des procédés de fabrication standards et des opérations de micro-usinage chimique connues. Un des points clés de cette approche est que les procédés de fabrication utilisés sont industriels (procédés CMOS de ATMEL-ES2 et procédés CMOS et BiCMOS de AMS). Ceci présente de grands avantages (contrôle des paramètres de fabrication, fiabilité des composants, prix...), mais il est impossible d'apporter des modifications à ces procédés. Cet aspect est très important, car les paramètres utiles pour la réalisation de structures suspendues (dopages, épaisseurs des couches...) sont souvent différents de ceux utilisés pour la fabrication de composants électroniques classiques.

Les différentes techniques de micro-usinage utilisées dans le cadre des travaux exposés, ainsi que leurs principales applications, sont décrites dans ce chapitre, et sont illustrées par la figure 3.1. A partir de circuits fabriqués avec les procédés VLSI classiques, il est possible de réaliser des structures suspendues principalement grâce à deux techniques : le micro-usinage en volume (gravure anisotrope du silicium monocristallin du substrat, dont le mécanisme a été expliqué en détail au chapitre 2) et le micro-usinage en surface (attaque d'une ou plusieurs des couches déposées ou obtenues par croissance, et appelées couches sacrificielles). Le micro-usinage en volume du silicium monocristallin peut être effectué en gravant à partir

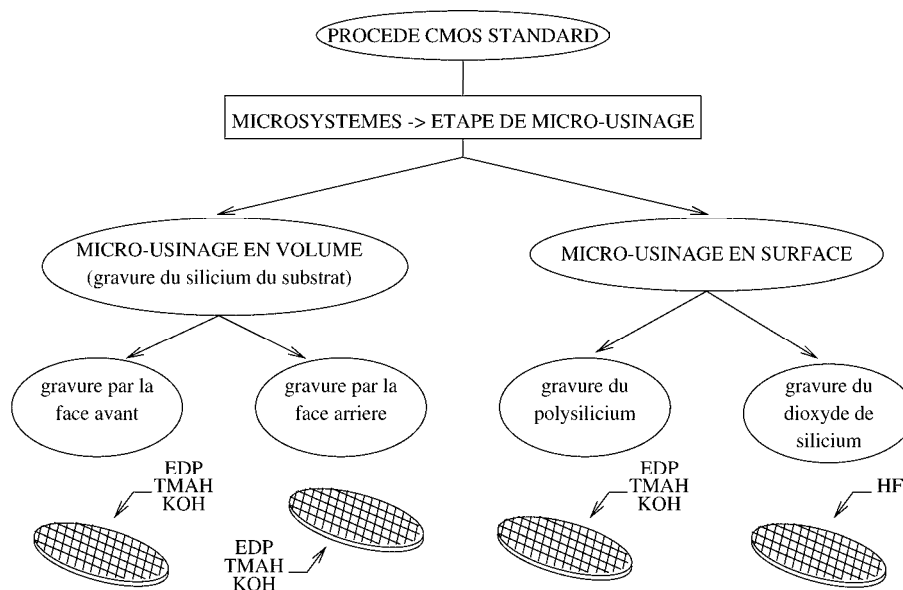


Figure 3.1: Extension des procédés de fabrication standards aux micro-systèmes.

de la face avant ou la face arrière de la puce (ou de la plaquette) de silicium. La couche sacrifiée lors de l'étape de micro-usinage en surface peut être principalement du dioxyde de silicium ou du silicium polycristallin.

3.1 Micro-usinage en volume

3.1.1 Micro-usinage en volume par la face avant

La technique du micro-usinage en volume par la face avant sur des circuits fabriqués avec le procédé CMOS ECPD10 de ATMEL-ES2 a été validée dans le cadre des travaux présentés, et de nombreux circuits ont été conçus et fabriqués. De plus, l'extension du service CMP à cette technologie, depuis Février 1996, a permis à plusieurs laboratoires européens de réaliser des prototypes de capteurs (voir les annexes C et D). D'autres lots de fabrication collective de circuits micro-systèmes sont actuellement en cours de préparation.

3.1.1.1 Principe

La principale caractéristique de la technologie du micro-usinage en volume par la face avant est le procédé de gravure anisotropique du silicium monocristallin exposé en détail au chapitre 2. Ce procédé permet de suspendre très facilement, et sans étape de masquage supplémentaire, des micro-structures fabriquées avec les matériaux classiques des procédés CMOS standards [101, 124, 152, 190, 200].

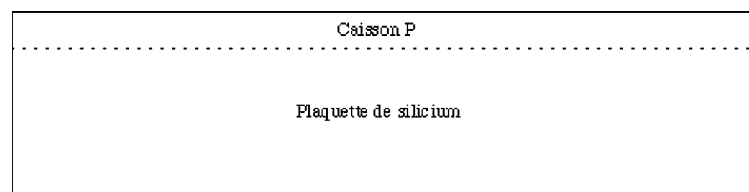
Pour réaliser ce type de structure, il suffit de définir sur le circuit, lors de sa conception, des "zones de silicium à nu" (zones où aucune des couches successivement déposées au cours de la fabrication n'a été conservée) : on obtient ainsi, en sortie de fonderie, le silicium

monocristallin du substrat directement exposé à la gravure chimique.

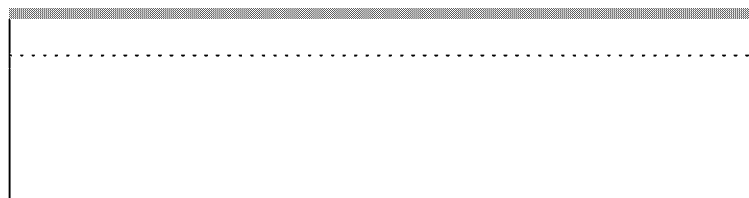
3.1.1.2 Procédé de fabrication

La description des principales étapes de fabrication de micro-structures usinées en volume à partir du procédé ECPD10 de ATMEL-ES2 est donnée dans ce paragraphe. La fabrication, sur la même tranche de silicium, d'un inverseur CMOS et d'un micro-pont est schématisée. Sur la partie gauche de chaque schéma est représentée la vue en coupe de l'inverseur après chaque étape de fabrication. Sur la partie droite de chaque schéma est représentée la vue en coupe du micro-pont.

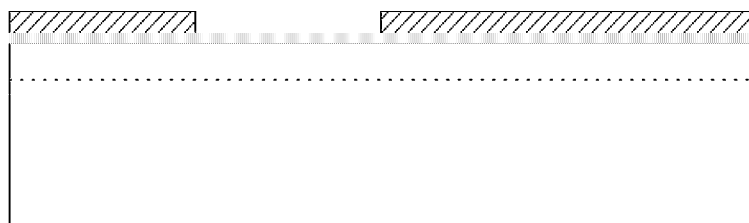
- Etape n°1 : croissance épitaxiale de 10 μm à partir d'un substrat silicium (100) dopé P.



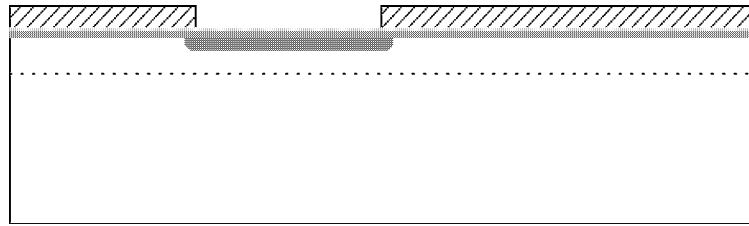
- Etape n°2 : oxydation initiale : 500 Å.



- Etape n°3 : dépôt d'une résine photosensible, masquage, insolation et développement.



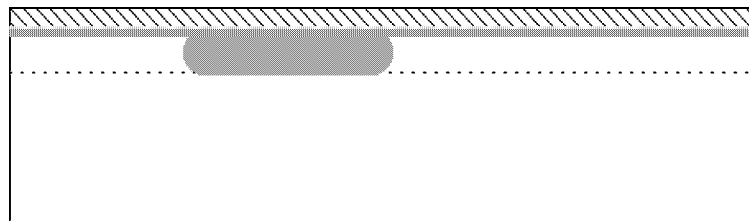
- Etape n°4 : implantation ionique du caisson N (transistor PMOS).



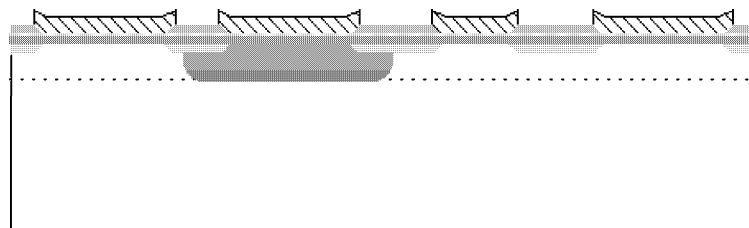
- Etape n°5 : nettoyage de la résine, recuit du caisson N.



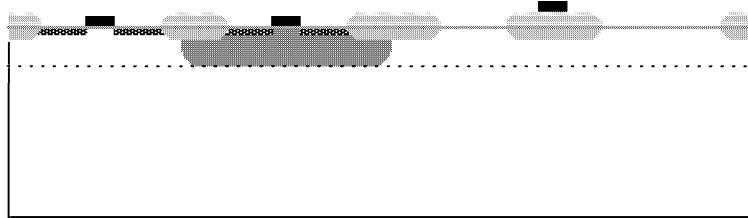
- Etape n°6 : dépôt de nitrure de silicium.



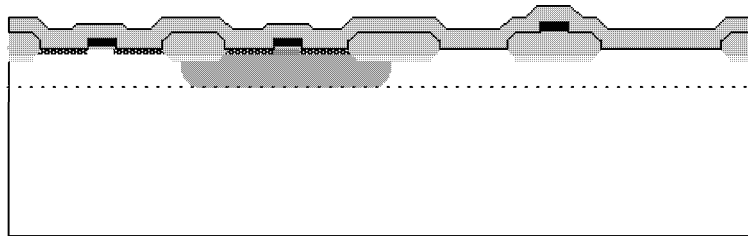
- Etape n°7 : masquage et gravure du nitrure de silicium et oxydation de champ : définition des zones actives des transistors et des zones de silicium à nu.



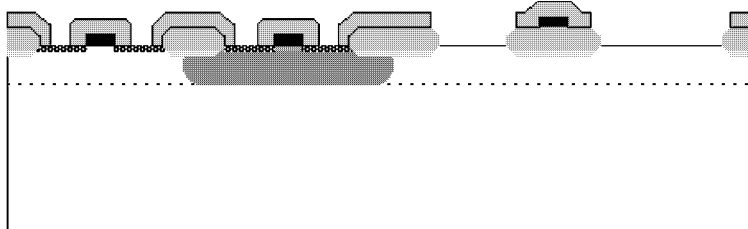
- Etape n°8 : Nettoyage du nitrure de silicium et de l'oxyde des zones actives ; oxydation de grille ; dépôt et gravure du silicium polycristallin (grilles des transistors et piste conductrice du micro-pont) ; dopage des zones de source et drain des transistors.



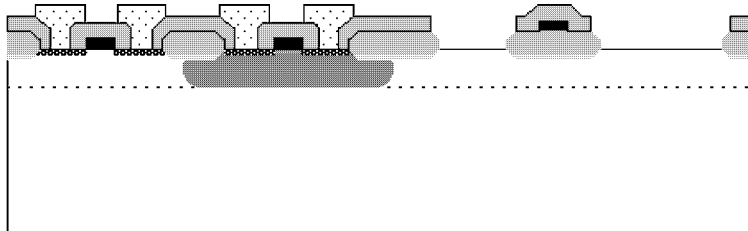
- Etape n°9 : dépôt de l'oxyde intermétal CVD1.



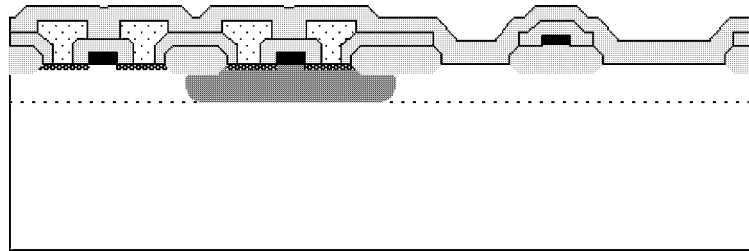
- Etape n°10 : ouverture de contacts vers les sources et drains des transistors, et pour la définition des zones de silicium à nu.



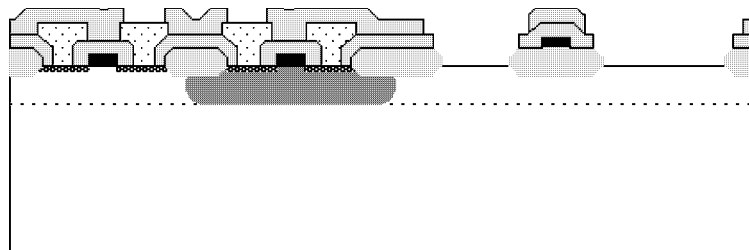
- Etape n°11 : dépôt et gravure de la couche de métal 1.



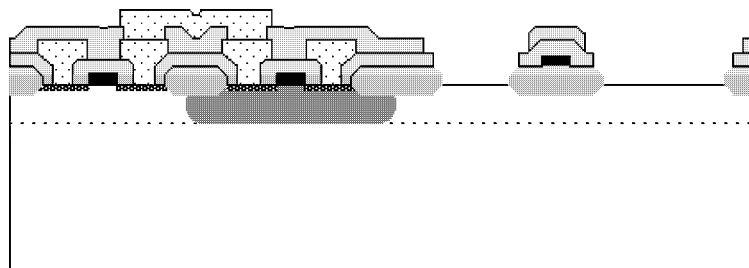
- Etape n°12 : dépôt de l'oxyde intermétal CVD2.



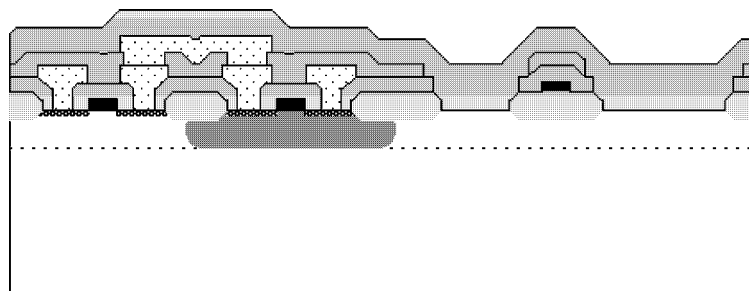
- Etape n°13 : ouverture de vias pour former les connections entre le métal 1 et le métal 2, et pour la définition des zones de silicium à nu.



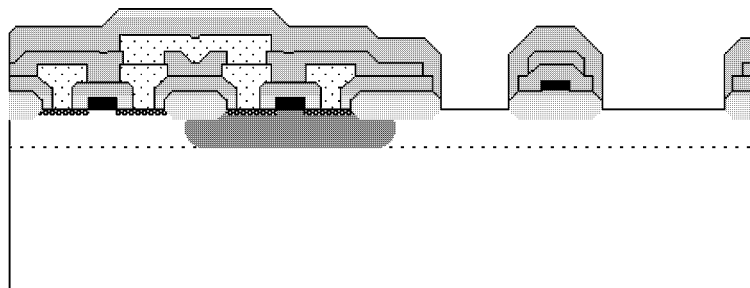
- Etape n°14 : dépôt et gravure de la couche de métal 2.



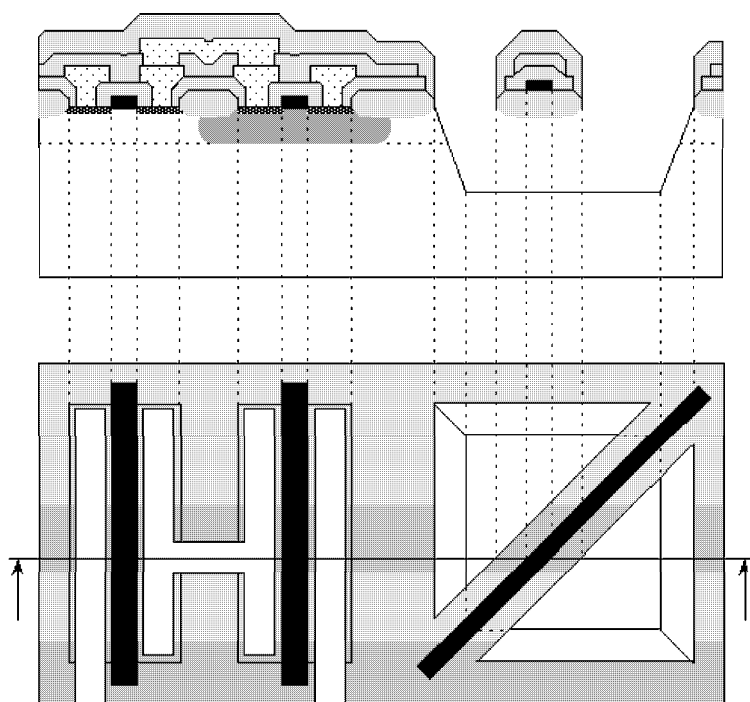
- Etape n°15 : dépôt de la couche de passivation.



- Etape n°16 : ouvertures dans la passivation (au niveau des plots de contact et des zones de silicium à nu).



- Etape n°17 : gravure de la micro-cavité (sans étape de masquage préalable).



	silicium monocristallin		silicium polycristallin
	dioxyde de silicium		implantation P+ et N+
	caisson N		métal 1 et 2

Les photos des figures 3.5 et 3.6 montrent quelques exemples de micro-structures réalisables avec ce procédé de fabrication. L'épaisseur des micro-structures suspendues est de l'ordre de 5 à 6 μm , leur longueur et leur largeur font typiquement quelques dizaines à quelques centaines de microns.

3.1.1.3 Problèmes rencontrés lors de la fabrication des circuits

La conception de micro-structures à usiner en volume et à fabriquer sur les lignes industrielles de ATMEL-ES2 et AMS implique la violation d'un certain nombre de règles de dessin (voir le chapitre 5). Ces règles de dessin, établies par les fondeurs de silicium, ont pour but de garantir le bon fonctionnement du circuit électronique conçu, en vérifiant qu'aucun problème ne peut survenir au cours des étapes de fabrication des puces. En violant ces règles, on n'est plus sûr que le procédé de fabrication ne sera pas perturbé. De nombreux circuits prototypes ont été conçus et fabriqués sur les lignes de ATMEL-ES2 et AMS (voir les annexes D et E), dans le but de vérifier que le procédé de fabrication n'était pas perturbé. La très grande majorité des structures fabriquées était conforme à ce qui avait été prévu lors de la conception. Cependant, dans le cas de quelques lots de fabrication, certains problèmes ont été rencontrés pour la définition des zones de silicium à nu (jamais le fonctionnement des composants électroniques n'a été perturbé par la réalisation, sur la même plaquette de silicium, de composants microsystemes). Ce paragraphe présente les différents problèmes rencontrés, ainsi que les solutions qui ont été proposées pour y remédier. Ces résultats ont permis la définition de règles de dessin spécifiques aux composants microsystemes, exposées dans le chapitre 5.

a. Apparition de résidus sur les zones de silicium à nu

La photo de la figure 3.2 montre l'apparition de résidu sur les zones de silicium à nu pour une micro-poutre du circuit MICBULK2 (voir le paragraphe D.3). Ce résidu a une épaisseur de l'ordre de $1.8\ \mu\text{m}$, et résiste à une attaque de 6h30 avec KOH 40% à 60°C . Il est vraisemblablement constitué de silice thermique et des différentes couches d'oxydes, mal nettoyées au cours de la fabrication des circuits. L'apparition du résidu sur les différentes zones de silicium à nu ne dépend pas de leurs dimensions.

Le résidu peut perturber fortement l'étape de micro-usinage des micro-structures dont il recouvre les zones de silicium à nu, dans la mesure où le silicium monocristallin n'est pas exposé à l'agent gravant là où le résidu apparaît.

La seule solution trouvée pour éviter l'apparition de ces résidus sur les puces à usiner consiste à trier les plaquettes avant leur découpe, et à ne faire découper que celles où les zones de silicium à nu sont bien définies.

Il est cependant à noter que sur l'ensemble des circuits fabriqués sur les lignes industrielles de ATMEL-ES2 et AMS, seul le circuit MICBULK2 du lot CMP E94_9 a présenté ce défaut.

b. Zones de silicium à nu mal définies

La création de zones de silicium à nu implique la superposition d'une zone active, d'un contact, d'un via et d'une ouverture dans la passivation (voir le procédé de fabrication au paragraphe 3.1.1.2). Sur certains circuits fabriqués, les dimensions des zones de silicium à nu étant trop faibles, elles n'ont pas permis une bonne ouverture (voir

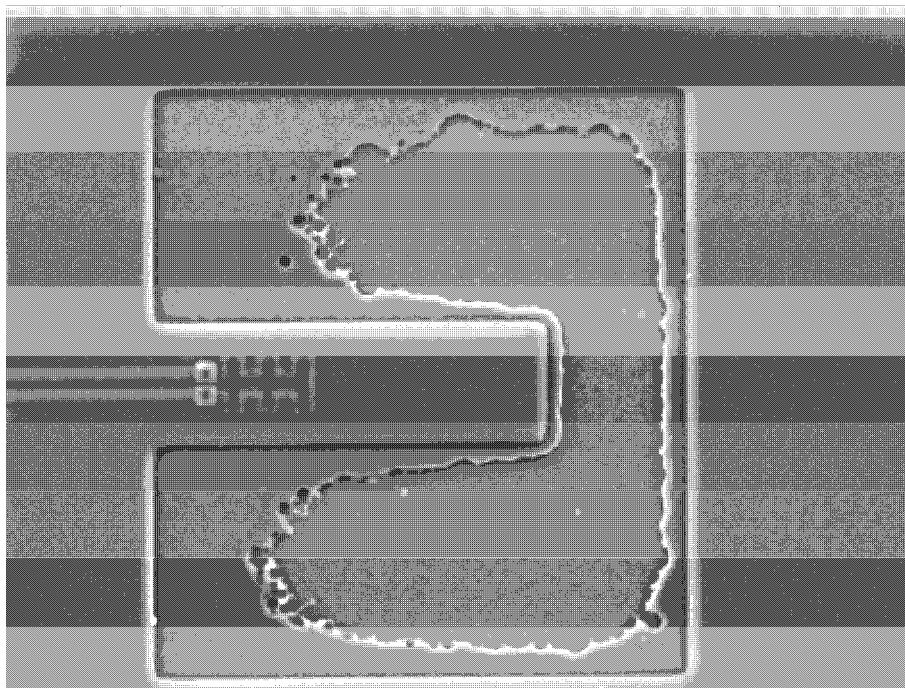


Figure 3.2: Apparition de résidus sur la zone de silicium à nu d'une micro-poutre, pouvant fortement perturber l'étape de micro-usinage en volume.

la photo de la figure 3.3 et la partie du dessin des masques correspondant sur la figure 3.4¹). L'opération de micro-usinage est partiellement bloquée par l'oxyde restant sur certaines parties des zones de silicium à nu.

La solution à ce problème de définition est simple : il suffit de créer des zones de silicium à nu de dimensions suffisantes. En accord avec les ingénieurs de ATMEL-ES2, il a été établi que la largeur minimale d'une zone de silicium à nu devrait être de 20 μm (voir le paragraphe 5.2.1.1).

3.1.1.4 Applications possibles

Les principales structures réalisables avec cette technique sont des micro-ponts, des micro-poutres (ou micro-cantilevers) et des micro-membranes (voir les figures 3.5 et 3.6). Ces structures ne doivent pas être considérées comme des composants à part entière, mais comme les supports des composants microsystemes. Ainsi, en faisant passer une piste de polysilicium au cœur d'une micro-poutre ou d'un micro-pont en oxyde, on peut réaliser un capteur d'accélération ou un détecteur de chocs piezorésistif (voir le paragraphe 4.1). Cette même piste de polysilicium, parcourue cette fois par un courant de quelques dizaines de milliampères va émettre de la chaleur par effet Joule, ainsi qu'un rayonnement dans l'infrarouge et le visible (voir le paragraphe 4.2, expliquant le principe de fonctionnement du pixel thermique).

¹La signification des différents codages utilisés pour l'affichage des dessins de masques est donnée au paragraphe 6.3.1.

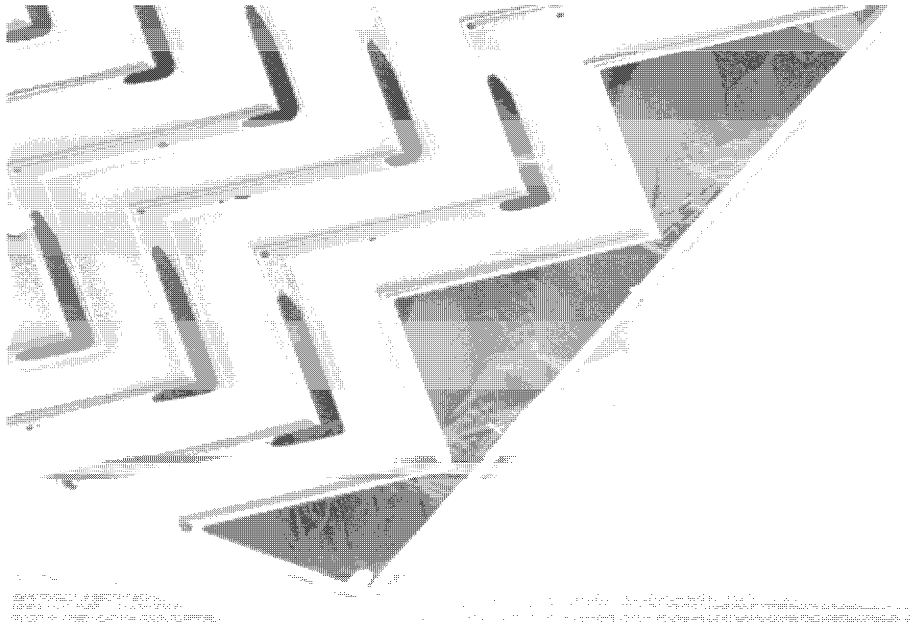


Figure 3.3: Photo montrant le problème posé, pour l'étape de gravure, par la mauvaise définition des zones de silicium à nu.

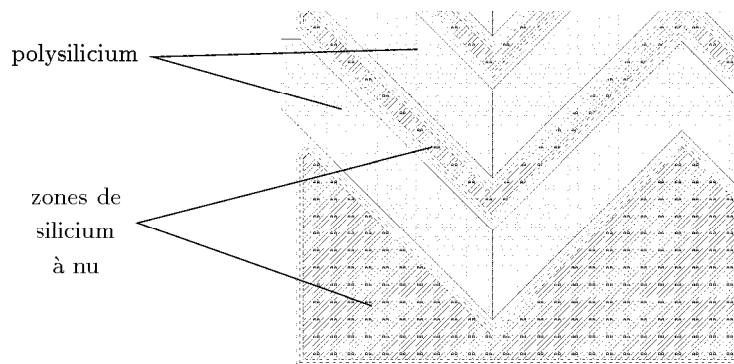


Figure 3.4: Détail du dessin des masques correspondant au circuit de la figure 3.3.

Ainsi, une même structure peut être utilisée pour réaliser deux types de composants aux principes de fonctionnements très différents.

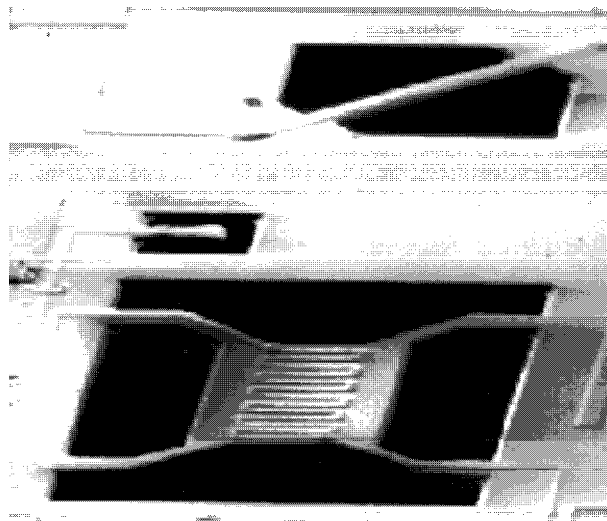


Figure 3.5: Exemples de structures réalisables par micro-usinage en volume par la face avant. Dans l'ordre de haut en bas : micro-pont, micro-poutre et micro-membrane (photo prise au microscope électronique à balayage d'une puce gravée 5h30 dans EDP à 90°C, à l'ESIEE).

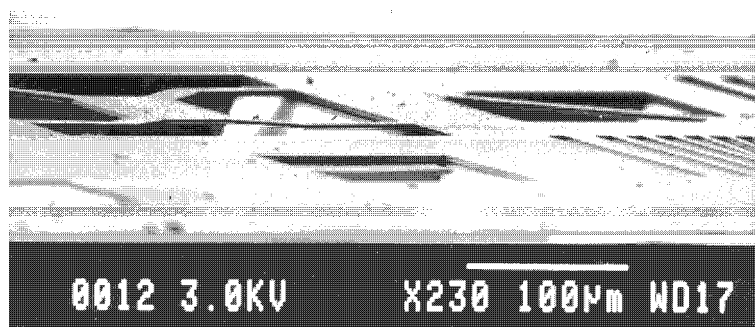


Figure 3.6: Vue en oblique des micro-structures suspendues de la figure 3.5.

Les applications les plus intéressantes du procédé de micro-usinage en volume sur des circuits VLSI, et qui ont fait l'objet d'études dans le cadre des travaux présentés, sont présentées dans le chapitre 4.

3.1.2 Micro-usinage en volume par la face arrière

La technique du micro-usinage en volume par la face arrière [88, 94] est similaire à celle du micro-usinage en volume par la face avant, mais elle est plus difficile à maîtriser et nécessite au moins une étape de masquage supplémentaire. Ce procédé n'a pas été tenté au cours des travaux présentés, par manque du matériel nécessaire au masquage de la face arrière (appareil permettant l'alignement des masques sur les deux faces). De plus, cette étape de masquage impose que la manipulation soit effectuée sur des plaquettes (ou des morceaux de plaquette), et non des puces.

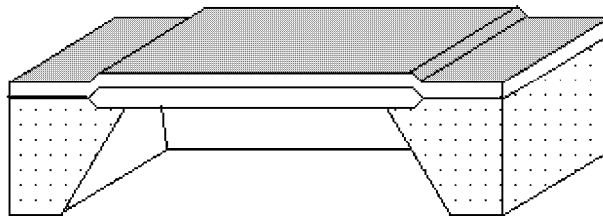


Figure 3.7: Exemple de structure micro-usinée en volume par la face arrière.

Ce procédé pourrait cependant être proposé par le service CMP au cours de l'année 1997 : l'étape de micro-usinage en face arrière étant sous-traitée au CNM.

Les principales structures réalisables avec cette technique sont des micro-membranes larges (voir la figure 3.7), utilisables comme capteurs de pression piezorésistifs [89, 151] ou capacitifs [144, 148, 169, 193], ou encore comme support pour des thermopiles [49, 95, 165, 192, 199].

3.2 Micro-usinage en surface

La principale caractéristique de cette technique est que le matériau sacrifié, permettant la réalisation de structures suspendues, a été déposé (ou a été obtenu par croissance) au cours du procédé de fabrication, et n'est plus le silicium du substrat [106]. Dans le cas de circuits fabriqués avec des procédés VLSI silicium, ce matériau peut être principalement du silicium polycristallin ou du dioxyde de silicium [152, 200].

3.2.1 Gravure du dioxyde de silicium

La technique consistant à graver du dioxyde de silicium [55, 69, 106, 107, 124, 190] permet d'obtenir principalement des parties suspendues en silicium polycristallin. Cette technique permet essentiellement la fabrication de micro-moteurs rotatifs [52, 112, 114, 120, 184, 187] ou en peigne [67, 72, 73, 78], ou d'accéléromètres capacitifs [32, 66, 148]. Ce procédé a fait l'objet d'études et de tests dans le cadre des travaux exposés, mais n'a débouché sur aucun résultat significatif.

La gravure, par l'acide fluorhydrique (HF), de la couche dioxyde de silicium (sur laquelle est déposé le silicium polycristallin) a été tentée sur le circuit MICSURF, fabriqué avec les

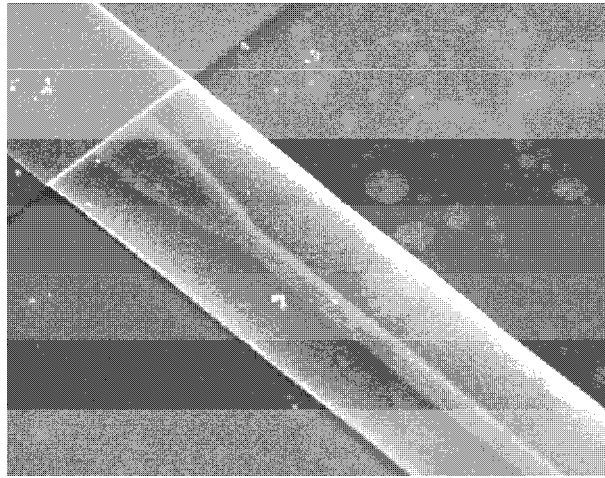


Figure 3.8: Micro-pont en silicium polycristallin, partiellement suspendu après 90 minutes de gravure dans HF à 28°C : on voit, par transparence à travers le polysilicium, qu'il reste de la silice non gravée.

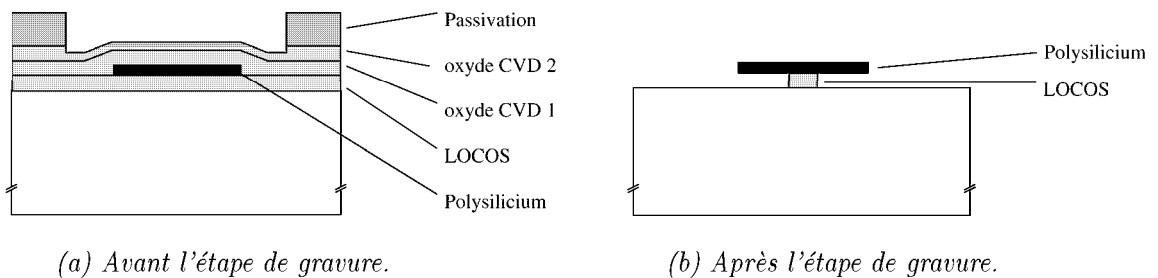


Figure 3.9: Vue en coupe schématisée du micro-pont de la figure 3.8 avant et après l'étape de gravure.

procédés ECPD10 et ECPD12 de ATMEL-ES2 en 1994 (voir le paragraphe D.1). L'essai de gravure ayant été effectuée sur des puces, il n'a pas été possible de déposer de masque de protection sur les parties électroniques ni sur les plots. La couche de passivation étant très insuffisante pour arrêter la gravure HF, aucun composant électronique n'a survécu à cette attaque.

La photo de la figure 3.8 montre le résultat obtenu après la gravure partielle de l'oxyde de champ sous un micro-pont de polysilicium de 20 μm de large (la vue en coupe de ce micro-pont avant l'étape de gravure est représentée sur la figure 3.9(a), sa vue en coupe après l'étape de gravure est représentée sur la figure 3.9(b)) : on voit en effet, par transparence à travers le pont de polysilicium, qu'il reste encore de la silice sous celui-ci. On peut également constater sur la photo de la figure 3.8 la très faible épaisseur des couches utilisées. Des micro-ponts de largeur 10 μm , ayant subi la même étape de gravure, sont totalement micro-usinés, mais l'épaisseur insuffisante du polysilicium fait que les parties suspendues se collent au substrat par effet de capillarité [78, 109, 110]. Selon [26], une couche de polysilicium d'épaisseur 2 μm (au lieu des 0.45 μm de la technologie ECPD10) permet de suspendre des micro-structures

de grandes dimensions.

Des essais similaires, réalisés sur les mêmes puces par le LETI² ont donné les mêmes résultats. Cette technique n'a par conséquent pas été approfondie davantage.

3.2.2 Gravure du silicium polycristallin

La technique consistant à micro-usiner le polysilicium, illustrée par les schémas de la figure 3.10, est plus simple à mettre en œuvre, puisqu'on peut utiliser la même opération de gravure que pour le micro-usinage en volume par la face avant.

Les principales structures réalisables avec cette technique sont des micro-ponts et des micro-poutres, pouvant être utilisées comme électrodes mobiles de capacités pour des capteurs d'accélération, par exemple.

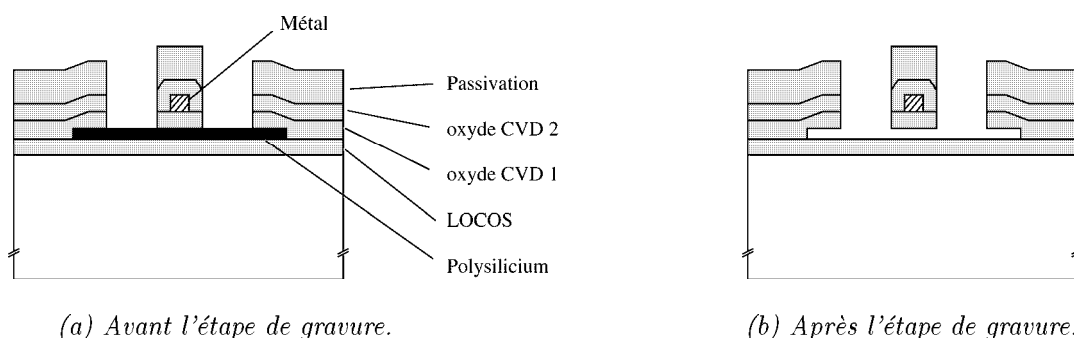


Figure 3.10: Vue en coupe schématisée, avant et après l'étape de gravure, d'une micro-structure à suspendre par gravure du polysilicium.

Cependant, comme dans le cas du paragraphe ci-dessus, la trop faible épaisseur de la couche sacrifiée (le silicium polycristallin a une épaisseur de moins de $0.5 \mu\text{m}$) fait que les structures suspendues se collent au substrat par effet de capillarité. Cette technique d'obtention de micro-structures suspendues semble donc ne pas être compatible avec les procédés de fabrication VLSI.

3.3 Conclusion

Les principales micro-structures réalisables avec les procédés de fabrication VLSI, suivis d'une simple étape de micro-usinage chimique, permettant d'obtenir des parties suspendues, ont été présentées dans ce chapitre.

Le procédé du micro-usinage en volume du silicium monocristallin par la face avant a été validé sur un grand nombre de puces fabriquées avec le procédé ECPD10 de ATMEL-ES2, et cette technologie est proposée aux clients du service CMP depuis Février 1996. De nombreux circuits ont été conçus par différents laboratoires européens, fabriqués sur la ligne

²LETI : Laboratoire d'Electronique, Technologie et Instrumentation, installé à Grenoble.

industrielle ECPD10 de ATMEL-ES2 et micro-usinés en volume par EDP à l'ESIEE. La ligne de fabrication ECPD10 de ATMEL-ES2 devant être stoppée au cours de l'année 1997 (la technologie 1 micron devenant obsolète au niveau industriel), la validation de cette technologie avec le procédé de fabrication ECPD07 (CMOS 0.7 μm) est actuellement en cours. Cette validation ne devrait poser aucun problème, ces deux procédés étant très proches.

Le même principe peut être appliqué pour réaliser des structures suspendues à partir de circuits fabriqués avec les technologies CMOS et BiCMOS de AMS. La seule différence est le problème posé par l'attaque des plots métalliques au cours de la gravure.

Le procédé de micro-usinage en volume par la face arrière n'a pas été tenté, par manque du matériel nécessaire. Cette technique de fabrication, également compatible avec les procédés de fabrication VLSI, devrait cependant être proposée par le service CMP au cours de l'année 1997, l'étape de micro-usinage étant sous-traitée au CNM.

Les procédés de micro-usinage en surface de dioxyde de silicium ou de silicium polycristallin ont été tentés sans succès. La raison principale de cet échec est que l'épaisseur des matériaux utilisés comme couches sacrificées est trop faible pour réaliser des structures suspendues : les structures ont donc tendance à ce coller au substrat par effet de capillarité.

Chapitre 4

PRINCIPALES APPLICATIONS DU MICRO-USINAGE EN VOLUME PAR LA FACE AVANT

Chapitre 4

PRINCIPALES APPLICATIONS DU MICRO-USINAGE EN VOLUME PAR LA FACE AVANT

Les applications les plus intéressantes du procédé de micro-usinage en volume sur des circuits VLSI, et qui ont fait l'objet d'études dans le cadre des travaux effectués, sont présentées dans ce chapitre. Ces études ont été réalisées en collaboration avec d'autres membres du groupe MiCroSystèmes de TIMA, et ont débouché sur la fabrication de circuits, obtenus avec la technologie ECPD10 de ATMEL-ES2 et micro-usinés chimiquement par EDP, à l'ESIEE

4.1 Réalisation de détecteurs piezorésistifs

4.1.1 Principe

Avec les composants micro-usinés en volume dont le procédé de fabrication a été détaillé au paragraphe 3.1.1.1, il est possible de réaliser des capteurs de force ou d'accélération, dont le principe de fonctionnement est basé sur le phénomène de la piezorésistivité du silicium polycristallin [56, 99, 119, 146, 176].

La piezorésistivité est une propriété des matériaux conducteurs ou semi-conducteurs, qui modifie la résistivité du matériau lorsqu'une contrainte lui est appliquée [11, 23, 195]. Ce phénomène a été souvent utilisé pour réaliser des capteurs d'accélération en silicium monocristallin dopé [11, 152, 200].

Le silicium polycristallin est constitué d'un agglomérat de grains de silicium monocristallin, qui subissent l'effet de la piezorésistivité mais ne possèdent pas de direction cristallographique commune. L'effet piezorésistif sur le silicium polycristallin est par conséquent la moyenne des effets piezorésistifs sur les différents grains [195].

Une approche très simplifiée du phénomène permet d'établir la relation suivante [11] :

$$\frac{\Delta R}{R} = K \frac{\Delta l}{l} \quad (4.1)$$

Dimensions de la piste de polysilicium	$10 \times 200 \mu\text{m}^2$
Largeur du micro-pont	$55 \mu\text{m}$
Longueur du micro-pont	$120 \mu\text{m}$
Dimensions de la cavité creusée	$86 \times 86 \mu\text{m}^2$

Tableau 4.1: Dimensions du micro-pont n°2 du circuit MICBULK.

Dimensions de la piste de polysilicium	$2.4 \times (20.5 + 7 + 20.5) \mu\text{m}^2$
Largeur de la micro-poutre	$17 \mu\text{m}$
Longueur de la micro-poutre	$36 \mu\text{m}$
Dimensions de la cavité creusée	$50 \times 53 \mu\text{m}^2$

Tableau 4.2: Dimensions de la micro-poutre du circuit MICBULK.

où :

- R est la valeur de la résistance de la piste de polysilicium, et ΔR la valeur de sa variation;
- l est la longueur de la piste de polysilicium, et Δl la valeur de sa variation;
- K est le facteur de jauge du capteur. K est indépendant de la contrainte appliquée sur la structure (on a en général $K \approx \pi E$, où π est le coefficient piezorésistif du polysilicium et E son module d'Young) ; K est positif pour du polysilicium dopé P et négatif pour du polysilicium dopé N¹.

4.1.2 Description de la structure utilisée pour le test

Les structures en pont et en poutre du circuit MICBULK (voir le paragraphe D.2) ont été conçues dans le but de valider la faisabilité de micro-structures suspendues sur des puces CMOS, par micro-usinage en volume du silicium monocristallin. Ces structures sont constituées des différentes couches de dioxyde de silicium du procédé de fabrication CMOS (voir la vue en coupe de l'étape n°17 du paragraphe 3.1.1.1). Une piste de silicium polycristallin, connectée à des pistes métalliques (ces pistes étant elles mêmes reliées à des plots de contact) passe au centre des structures (voir les dessins de masques du micro-pont n°2 et de la micro-poutre donnés par la figure 4.1, ainsi que le schéma de la figure 4.2). Les dimensions de ces micro-structures sont données dans les tableaux 4.1 et 4.2.

Ces structures n'ont pas été optimisées pour la détection par piezorésistivité, mais des mesures ont tout de même pu être effectuées sur les micro-ponts du circuit. Des tests ont

¹Exemples de valeurs de K :

- Pour les métaux : $K \approx 2$,
- Pour le silicium monocristallin dopé P : $K \approx 100$ à 200 .

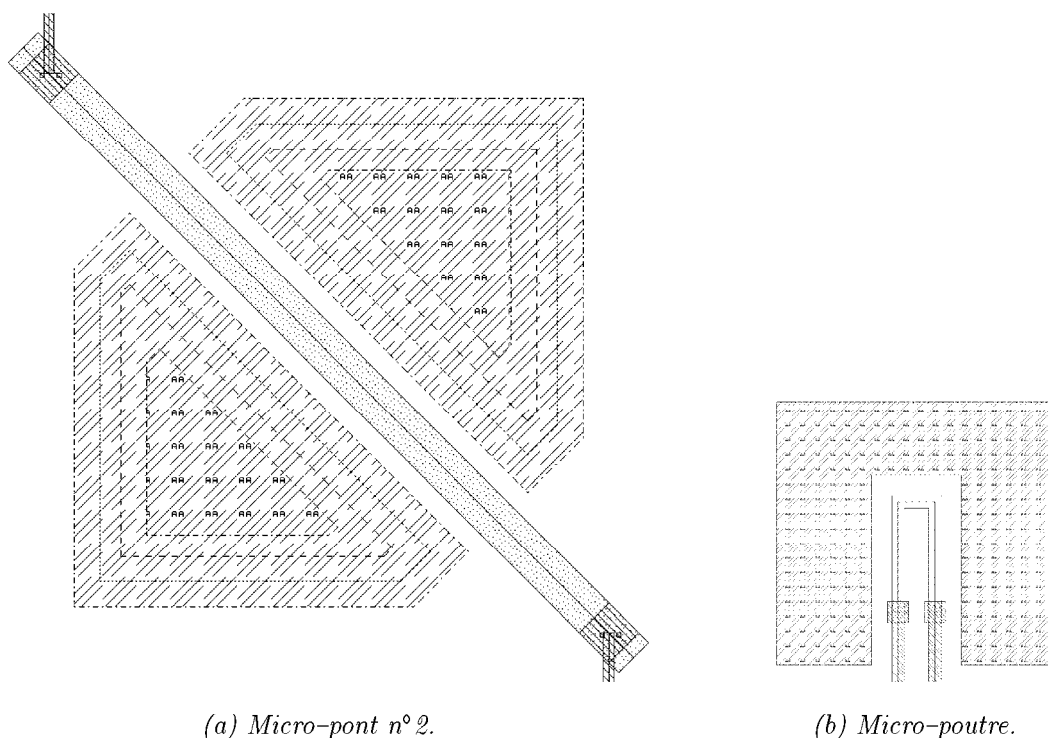


Figure 4.1: Dessin des masques du micro-pont n°2 et de la micro-poutre du circuit MICBULK.

également été effectués sur la micro-poutre, mais celle-ci, trop courte, se brise avant qu'un changement de valeur de la résistance la parcourant ait pu être mesuré.

4.1.3 Mesures effectuées

Au cours d'une manipulation effectuée dans la salle de test du CIME [128], il a été montré que lorsque le micro-pont n°2 du circuit MICBULK est soumis à une contrainte suffisante pour le déformer, la résistance de la piste de silicium polycristallin le parcourant est sensiblement modifiée.

Le schéma de la figure 4.3 illustre la méthode utilisée pour effectuer ces mesures : une tension de 0.7 V, maintenue constante au cours de la manipulation, est appliquée aux extrémités de la piste de polysilicium contenue dans le micro-pont. Un ampèremètre de précision permet de déterminer la valeur du courant traversant la résistance de polysilicium. En appuyant avec une pointe de test sur le micro-pont, on observe une variation sensible du courant traversant la résistance. La méthode de mesure utilisée est plus fiable que celle consistant à utiliser seulement un ohm-mètre pour déterminer la valeur de la variation de la résistance.

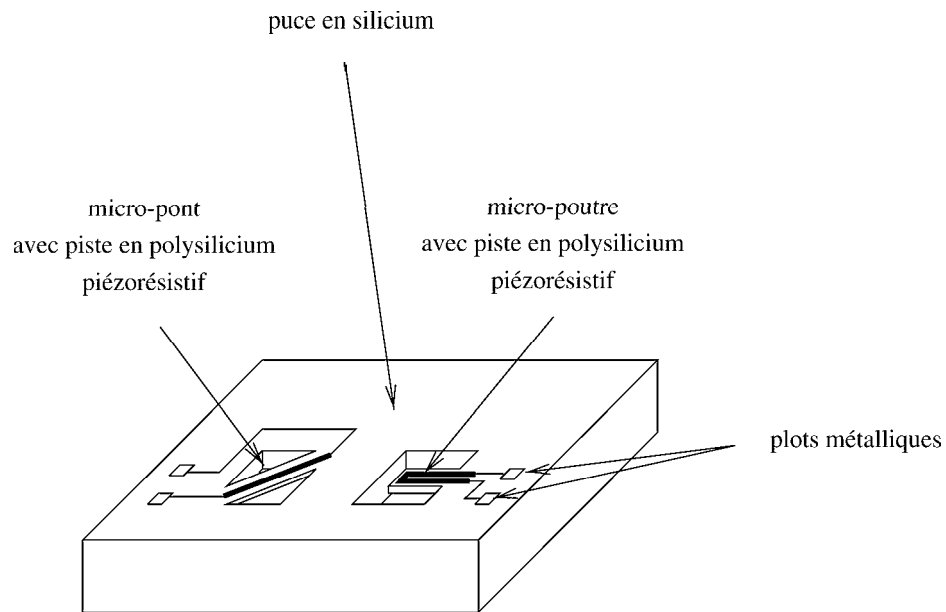


Figure 4.2: Schéma montrant les micro-structures intégrées sur une puce en silicium.

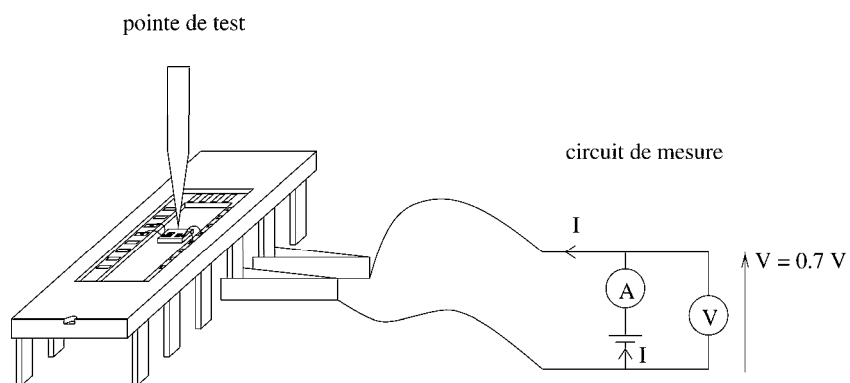


Figure 4.3: Principe du test de piézorésistivité effectué sur le circuit MICBULK mis en boîtier.

Avec ce montage, on mesure :

- $I = 0.723 \text{ mA}$ sans appuyer sur le micro-pont, ce qui correspond à une résistance de 968Ω .
- $I = 0.729 \text{ mA}$ en appuyant sur le micro-pont, ce qui correspond à une résistance de 960Ω .

Ce phénomène est réversible : on revient à la même valeur de courant en relâchant la pression appliquée avec la pointe de test.

4.1.4 Simulations effectuées et discussion

Le silicium polycristallin de la filière ECPD10 de ATMEL-ES2 est dopé N+. Le coefficient K de l'équation 4.1, est donc négatif, et la valeur de la résistance de polysilicium doit diminuer lorsque la longueur de la piste augmente.

Il est cependant difficile de déterminer si la longueur de la piste en polysilicium augmente ou diminue dans le cas de la manipulation effectuée sur le micro-pont. La figure 4.4 donne le résultat d'une simulation par éléments finis, réalisée avec le logiciel ANSYS sur le micro-pont étudié. On observe que les contraintes sur le polysilicium sont positives par endroits et négatives à d'autres endroits.

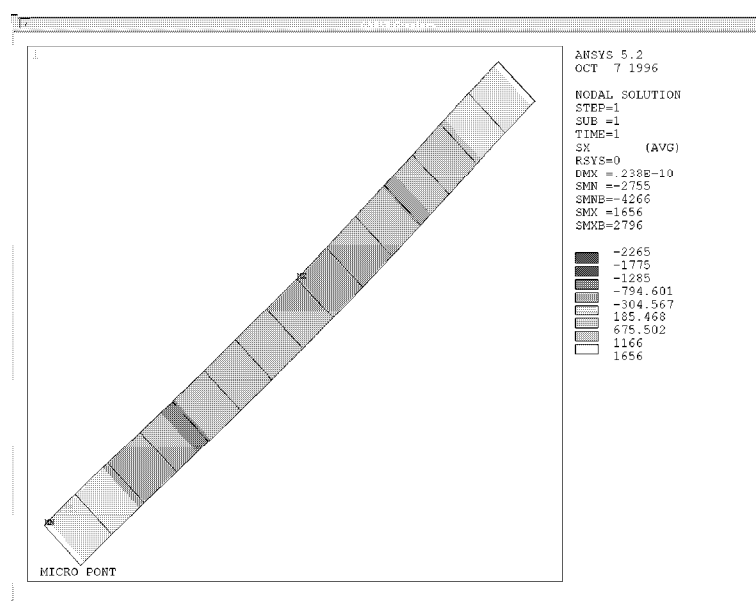


Figure 4.4: Simulation par éléments finis de la distribution des contraintes sur une piste de polysilicium contenue dans le micro-pont.

La même simulation, réalisée sur une micro-poutre (voir la figure 4.5), montre que les contraintes ont cette fois le même signe sur toute la longueur de la structure, et que la déformation appliquée à la micro-poutre est supérieure à celle appliquée au micro-pont de

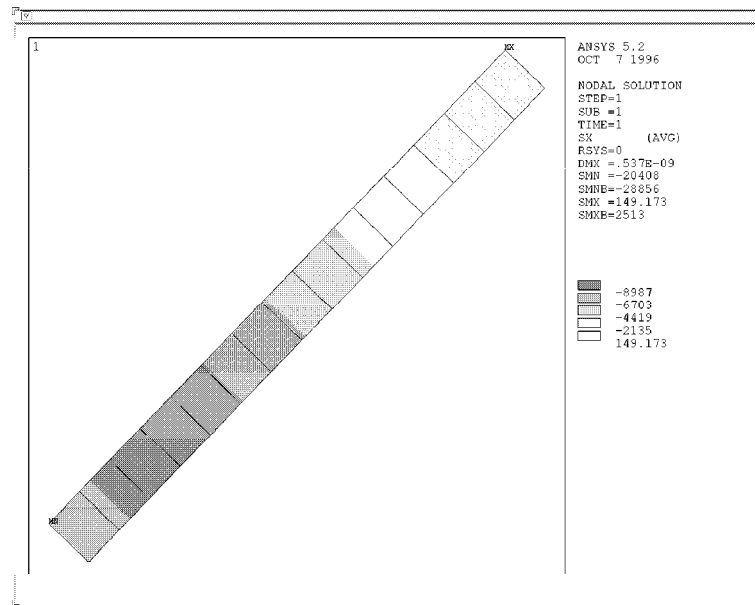


Figure 4.5: Simulation par éléments finis de la distribution des contraintes sur la même piste de polysilicium qui serait contenue dans une micro-poutre de mêmes dimensions, et sur laquelle la même contrainte serait appliquée.

mêmes dimensions. Ces résultats montrent que la structure en poutre est plus adaptée pour effectuer la mesure d'efforts par piezorésistivité.

Les mesures et les simulations effectuées montrent que l'effet de la piezorésistivité peut être utilisé pour réaliser des capteurs à partir des structures développées [21]. Cependant, il n'a pas été possible, avec le matériel du CIME, de mesurer la force appliquée sur le micro-pont, ni sa déflexion. La caractérisation précise et complète [51, 77, 145] de ce type de composant microsysteme (notamment la détermination des coefficients de piezorésistivité du silicium polycristallin du procédé de fabrication) n'a donc pas pu être menée.

Les dimensions latérales (c'est-à-dire dans le plan de la surface de la puce) de ces composants sont très faibles (de l'ordre d'une centaine de microns de largeur et de quelques centaines de microns de longueur au maximum), et leur épaisseur est encore plus faible (5 à 6 μm) : les micro-structures fabriquées ont donc une masse extrêmement faible (approximativement 5×10^{-11} kg pour le micro-pont n°2 du circuit MICBULK), ce qui les rend très peu sensibles à des accélérations. Il est donc très probable qu'elles ne puissent pas être utilisées directement pour la mesure d'accélérations². Il existe cependant des procédés permettant de déposer des matériaux à l'extrémité de la partie suspendue de ce type de structure³ : on peut ainsi obtenir un capteur d'accélérations assez sensible a priori.

²Un circuit prototype, conçu en collaboration avec le département *Engineering* de l'Université de Cambridge, a été fabriqué (lot CMP E96_03 de Février 1996, voir l'annexe C et le paragraphe D.8). Le circuit sera testé à la fin de l'année 1996.

³Le département *Engineering* de l'Université de Cambridge, ainsi que le Laboratoire de Physique et Métrologie des Oscillateurs (LPMO, à Besançon), maîtrisent ces techniques de dépôt.

4.2 Réalisation de pixels thermiques

4.2.1 Principe

On considère un circuit, fabriqué avec un procédé VLSI, sur lequel on a réalisé une piste de silicium polycristallin connectée à des pistes métalliques à ses extrémités : à cette piste peut être associée une résistance de valeur R , à travers laquelle passe un courant I sous une tension V . Cette résistance est soumise à l'effet Joule, et l'énergie électrique qui lui est fournie est entièrement dissipée en chaleur. La puissance P dissipée peut être déterminée en fonction de R et I selon l'équation :

$$P = R \times I^2 \quad (4.2)$$

La chaleur produite peut être dissipée par trois moyens [41] :

- par conduction (à travers les couches d'oxyde et de polysilicium, puis vers le substrat);
- par convection (échange de chaleur avec l'air);
- par radiation.

En général, la dissipation de chaleur par convection et radiation est négligeable par rapport à la dissipation par conduction.

Le schéma de la figure 4.6 montre la vue en coupe de deux pistes de polysilicium, parcourues par des courants identiques, et placées au milieu de couches de dioxyde de silicium suspendues ou non. Il est clair que la proportion de chaleur dissipée par conduction est bien moins importante dans le cas de la piste suspendue. Ainsi, la proportion de chaleur dissipée par radiation et par convection augmente : en effet, le micro-pont en silice, de grande résistance thermique, ne peut pas évacuer toute la chaleur produite par effet Joule, ce qui conduit à une élévation de la température au centre de la structure. Un rayonnement infrarouge est tout d'abord émis. Si la température est suffisamment élevée, le rayonnement peut être émis dans le domaine du visible. Ce principe est illustré par la photo de la figure 4.9.

Ce dispositif peut être utilisé pour simuler des sources infrarouges, ce qui peut être utile pour calibrer des caméras infrarouges ou pour tester les systèmes de détection optiques et infrarouges militaires complexes [37, 59, 60, 108, 125].

4.2.2 Description de la structure utilisée pour le test

Le dessin des masques et les dimensions du micro-pont n°6 du circuit MICBULK, utilisé pour effectuer les tests, sont donnés respectivement par la figure 4.7 et le tableau 4.3.

4.2.3 Tests effectués

Le fonctionnement en pixel thermique a été testé au CIME, sur les différents micro-ponts du circuit MICBULK [128]. Ce test a été effectué sur des puces mises en boîtier (sans

4.2. RÉALISATION DE PIXELS THERMIQUES

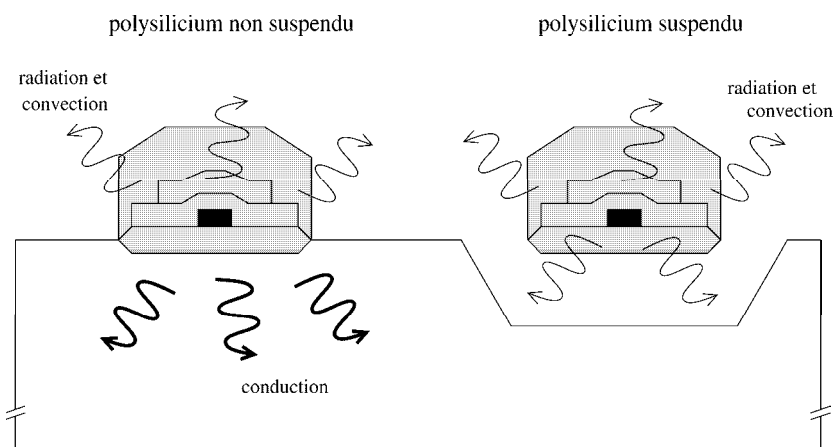


Figure 4.6: Dissipation de la chaleur par conduction, convection et radiation, pour des pistes de polysilicium suspendues et non suspendues.

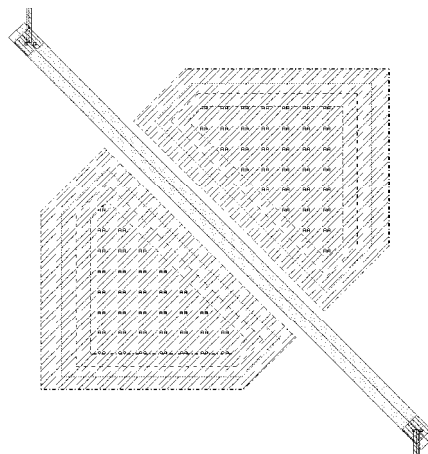


Figure 4.7: Dessin des masques du micro-pont n°6 du circuit MICBULK.

Dimensions de la piste de polysilicium	$281.5 \times 10 \mu\text{m}^2$
Largeur du micro-pont	$55 \mu\text{m}$
Longueur du micro-pont	$170 \mu\text{m}$
Dimensions de la cavité creusée	$120 \times 122 \mu\text{m}^2$

Tableau 4.3: Dimensions du micro-pont n°6 du circuit MICBULK.

couvercle), comme montré par la figure 4.8 : une tension continue est appliquée aux bornes de la résistance de polysilicium contenue dans les ponts. Un voltmètre et un ampèremètre permettent de déterminer la tension appliquée aux bornes de la résistance ainsi que le courant la traversant ; on peut ainsi calculer la puissance électrique fournie, et dissipée par effet Joule.

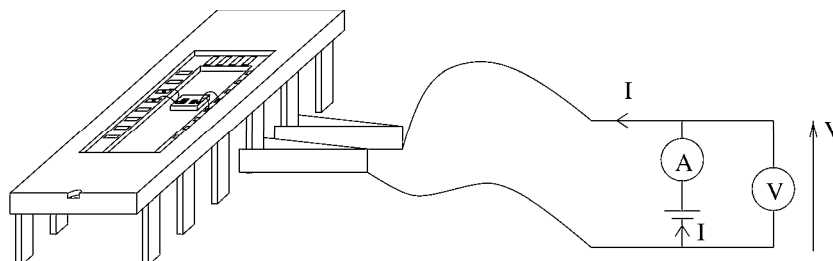


Figure 4.8: Schéma de principe du test de fonctionnement des pixels thermiques.

La photo de la figure 4.9 a été prise au cours des tests effectués sur le micro-pont n°6 du circuit MICBULK. La tension continue appliquée aux bornes de la résistance de polysilicium était alors de 8.7 V, et le courant la traversant de 9.42 mA. La puissance dissipée par effet Joule était donc d'environ 82 mW.

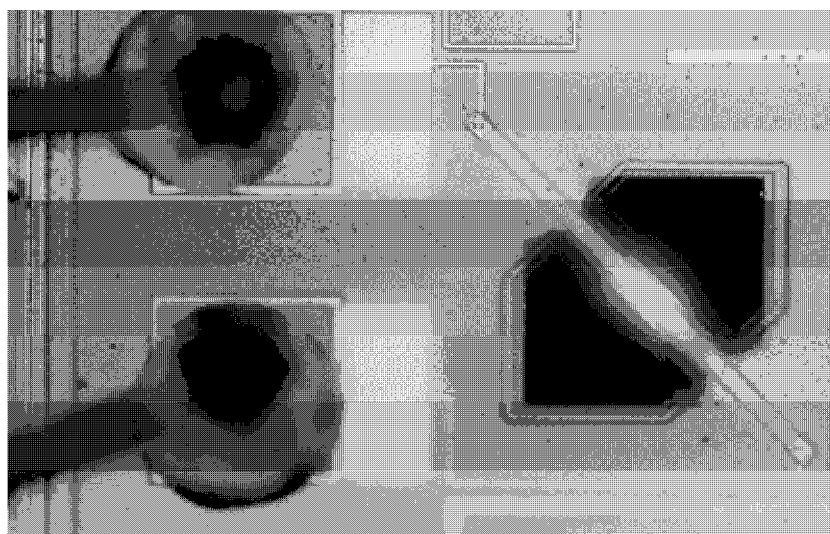


Figure 4.9: Emission d'un rayonnement visible par le pixel thermique.

Il n'a cependant pas été possible, avec le matériel dont dispose le CIME, de mesurer le rayonnement émis. Ce type de mesure devrait être effectué en collaboration avec un autre laboratoire au cours de l'année 1997.

Les structures testées ne résistent pas très longtemps à l'échauffement provoqué par le fonctionnement en pixel thermique : en effet, la température s'élève peu à peu au centre

Dimensions de la piste de polysilicium	$10 \times 80 \mu\text{m}^2$
Distance entre les rangées de contacts (longueur “active” de polysilicium)	$72 \mu\text{m}$
Valeur de la résistance de polysilicium	250Ω
Largeur du micro-pont	$22.7 \mu\text{m}$
Longueur du micro-pont	$72 \mu\text{m}$
Dimensions de la cavité creusée	$66 \times 63.5 \mu\text{m}^2$

Tableau 4.4: Dimensions du micro-pont du circuit *PIXEL-TH*.

du pont, et le dioxyde de silicium se dilate, finissant par entraîner la cassure de la piste de silicium polycristallin. Ainsi, lorsqu’une tension de 10 V est appliquée aux bornes de la résistance du micro-pont n°6, des craquelures apparaissent rapidement dans la silice, et la piste de polysilicium est coupée après une trentaine de secondes de fonctionnement du pixel.

4.2.4 Simulations effectuées

Une simulation par éléments finis a été effectuée sur le pixel thermique étudié, dans le but de déterminer approximativement la température maximale dans un micro-pont. Cette simulation a été effectuée avec le logiciel SYSTUS, en collaboration avec Zsolt Kohári, ingénieur à l’Université Technique de Budapest. L’objectif de cette simulation était de montrer que la température maximale du micro-pont restait inférieure à la température de fusion des matériaux le constituant⁴.

La dissipation de chaleur par radiation et convection étant négligeables par rapport à la dissipation par conduction (même pour un pont suspendu, puisque le pont lui-même conduit la chaleur jusqu’au silicium du substrat), elles n’ont pas été prises en compte pour cette simulation. Les approximations faites ont peu d’importance dans la mesure où l’on cherche seulement à avoir une idée de la température maximale du micro-pont.

4.2.4.1 Description de la structure simulée

La simulation a été effectuée sur un micro-pont similaire au micro-pont n°6 du circuit MICBULK, qui a été ensuite utilisé dans le circuit *PIXEL-TH* (voir le paragraphe 4.2.5). Dans le but de réduire la puissance nécessaire au fonctionnement en pixel thermique, les dimensions de la structure suspendue et de la piste de silicium polycristallin ont été réduites (voir le dessin des masques du composant, donné par la figure 4.10, et ses dimensions, données par le tableau 4.4).

⁴La température de fusion de la silice est d’environ 1320°C , celle du silicium de 1410°C [103].

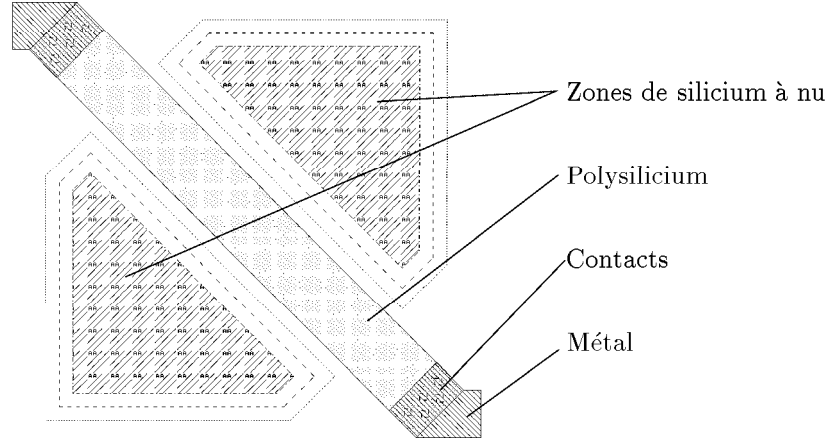


Figure 4.10: Dessin des masques du micro-pont du circuit *PIXEL_TH*.

4.2.4.2 Paramètres physiques utilisés pour la simulation

Les paramètres physiques utilisés pour la simulation thermique effectuée sont les suivants :

- conductivité thermique du silicium monocristallin :

$$\kappa_{Si} = 150 \times 10^{-6} \text{ W}.\mu\text{m}^{-1}.K^{-1}$$

- conductivité thermique du dioxyde de silicium :

$$\kappa_{SiO_2} = 10 \times 10^{-6} \text{ W}.\mu\text{m}^{-1}.K^{-1}$$

- conductivité thermique du silicium polycristallin :

$$\kappa_{poly} = 100 \times 10^{-6} \text{ W}.\mu\text{m}^{-1}.K^{-1}$$

- conductivité thermique de la couche d'interconnection métallique :

$$\kappa_{m\acute{e}tal} = 220 \times 10^{-6} \text{ W}.\mu\text{m}^{-1}.K^{-1}$$

- conductivité thermique de la couche de passivation :

$$\kappa_{passivation} = 10^{-6} \text{ W}.\mu\text{m}^{-1}.K^{-1}$$

4.2.4.3 Contraintes physiques choisies pour la simulation

Afin de simplifier et rendre plus rapide la simulation effectuée, il a été choisi de prendre une température de substrat de 0°C (au lieu de 25°C). Cette température est considérée constante pour les parties du substrat éloignées du micro-pont.

De plus, toujours dans le but de simplifier la simulation, la puissance dissipée dans la résistance par effet Joule avait pour valeur 1 *mW*. La surface de la piste de polysilicium

étant de $720 \mu\text{m}^2$, on impose donc une dissipation thermique de $1.39 \times 10^{-6} \text{ W}/\mu\text{m}^2$ au micro-pont.

Il sera aisé, une fois les simulations effectuées, de calculer la véritable distribution de la température dans la piste de polysilicium et les couches d'oxydes à partir des résultats obtenus (voir le paragraphe 4.2.4.5).

4.2.4.4 Description du micro-pont

La structure à simuler a également été simplifiée, afin de rendre plus aisée l'entrée de sa description dans le logiciel de simulation.

a. Simplifications horizontales

Les schémas de la figure 4.11 montrent que la structure du micro-pont possède deux axes de symétrie horizontaux. De plus, la dissipation de la chaleur est également réalisée selon ces axes. On peut donc définir quatre zones équivalentes, pouvant être considérées séparément, sur la structure. Dans le but de rendre la simulation plus simple et plus rapide, une seule zone sera considérée.

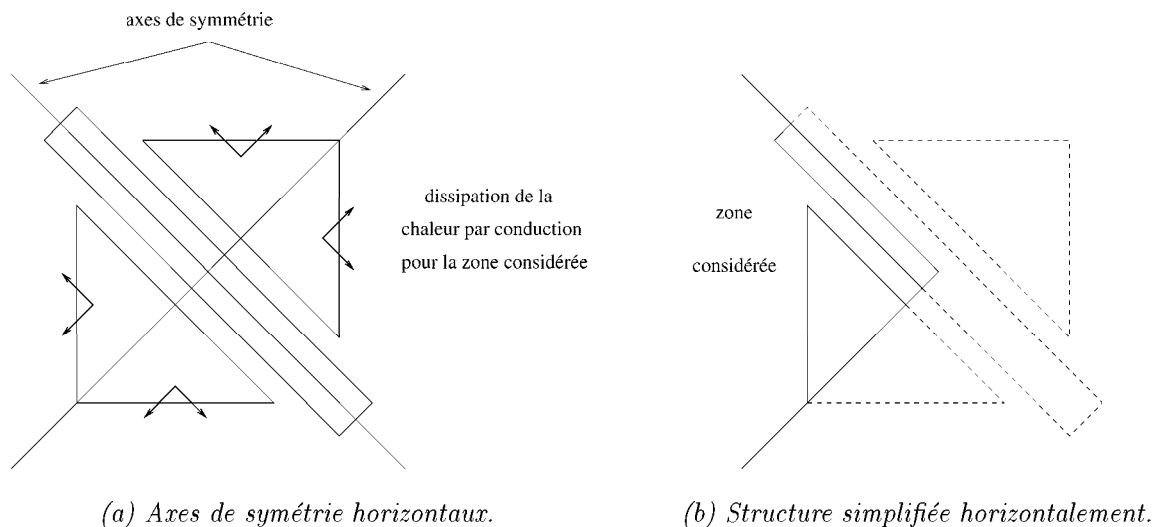


Figure 4.11: Simplifications horizontales apportées à la structure.

b. Simplifications verticales

La structure du micro-pont est relativement complexe, et des simplifications sont nécessaires pour permettre d'entrer la description de cette structure dans le simulateur. Les vues en coupes des figures 4.12(a) et 4.12(b) montrent les simplifications effectuées : les polygones représentant les différentes couches ont été simplifiés, afin qu'ils contiennent moins de points, et les deux couches d'oxyde intermétal ont été fusionnées en une seule et même couche.

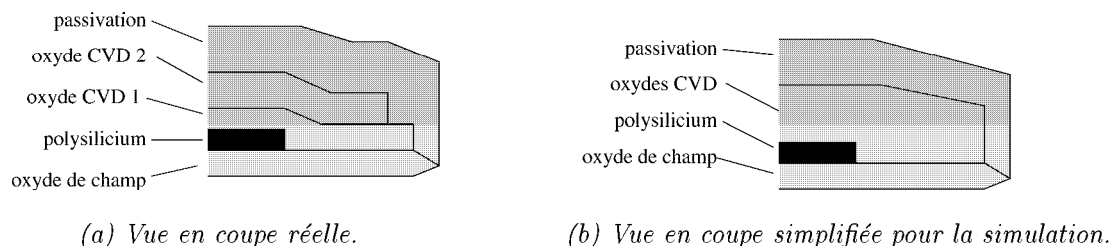
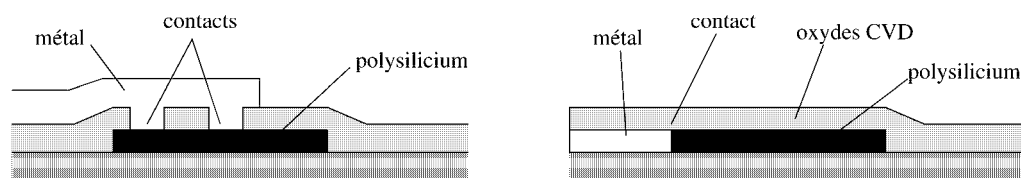


Figure 4.12: Simplifications verticales apportées à la structure en micro-pont pour effectuer la simulation.

c. Connexion métal-polysilicium

La connexion électrique vers la couche de métal aux extrémités de la piste de polysilicium est obtenue grâce à cinq contacts de $1 \mu\text{m}^2$ (voir le dessin des masques de la structure, donné par la figure 4.10). La description en trois dimensions de cette connexion est relativement complexe : une vue en coupe en est donnée par la figure 4.13(a). La figure 4.13(b) donne une vue en coupe de cette connexion, une fois les simplifications effectuées : les couches de métal et de polysilicium sont mises en contact sur toute la surface de leur section, et sont mises au même niveau vertical. Dans les deux cas, la surface de contact entre les deux matériaux est de $5 \mu\text{m}^2$ (puisque le polysilicium et le métal ont tous deux une épaisseur approximative de $0.5 \mu\text{m}$, et que leur largeur est de $10 \mu\text{m}$). Les modifications apportées à la description de la zone de connexion n'ont donc qu'une influence très faible sur la simulation.



(a) Vue en coupe réelle de la zone de contact. (b) Zone de contact simplifiée pour la simulation.

Figure 4.13: Simplifications apportées à la zone de contact métal-polysilicium pour effectuer la simulation.

d. Structure simplifiée obtenue

La description du micro-pont, obtenue après les simplifications décrites, et entrée dans le logiciel de simulation par éléments finis, est donnée par la figure 4.14.

e. Génération de la maille de la structure, en trois dimensions

Les figures 4.15 et 4.16 donnent la description de la structure et du maillage utilisé pour effectuer la simulation : la figure 4.16 montre que la cavité sous le micro-pont a été décrite comme ayant une profondeur égale à l'épaisseur de la puce de silicium, et

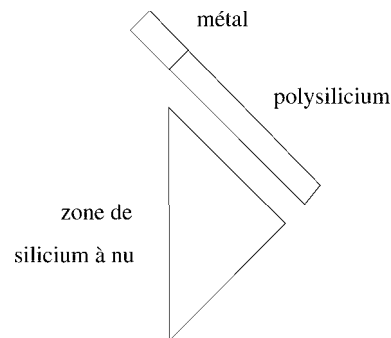


Figure 4.14: Description simplifiée de la structure, utilisée pour effectuer la simulation.

que ses faces sont perpendiculaires à la surface de la puce. Ces approximations ont été également effectuées dans le but de simplifier l'étape d'entrée de la description de la structure dans le logiciel SYSTUS, et n'ont qu'une faible influence sur le résultat de la simulation : les dimensions et la forme de la cavité n'ont en fait de réelle influence que sur la dissipation de chaleur par convection et radiation, phénomènes non considérés pour la simulation effectuée.

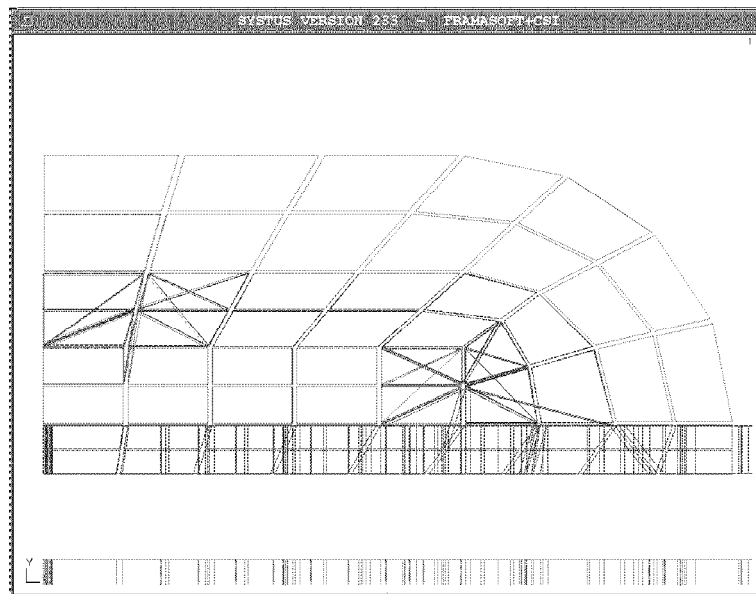


Figure 4.15: Maillage de la structure (vue en coupe dans la largeur du pont).

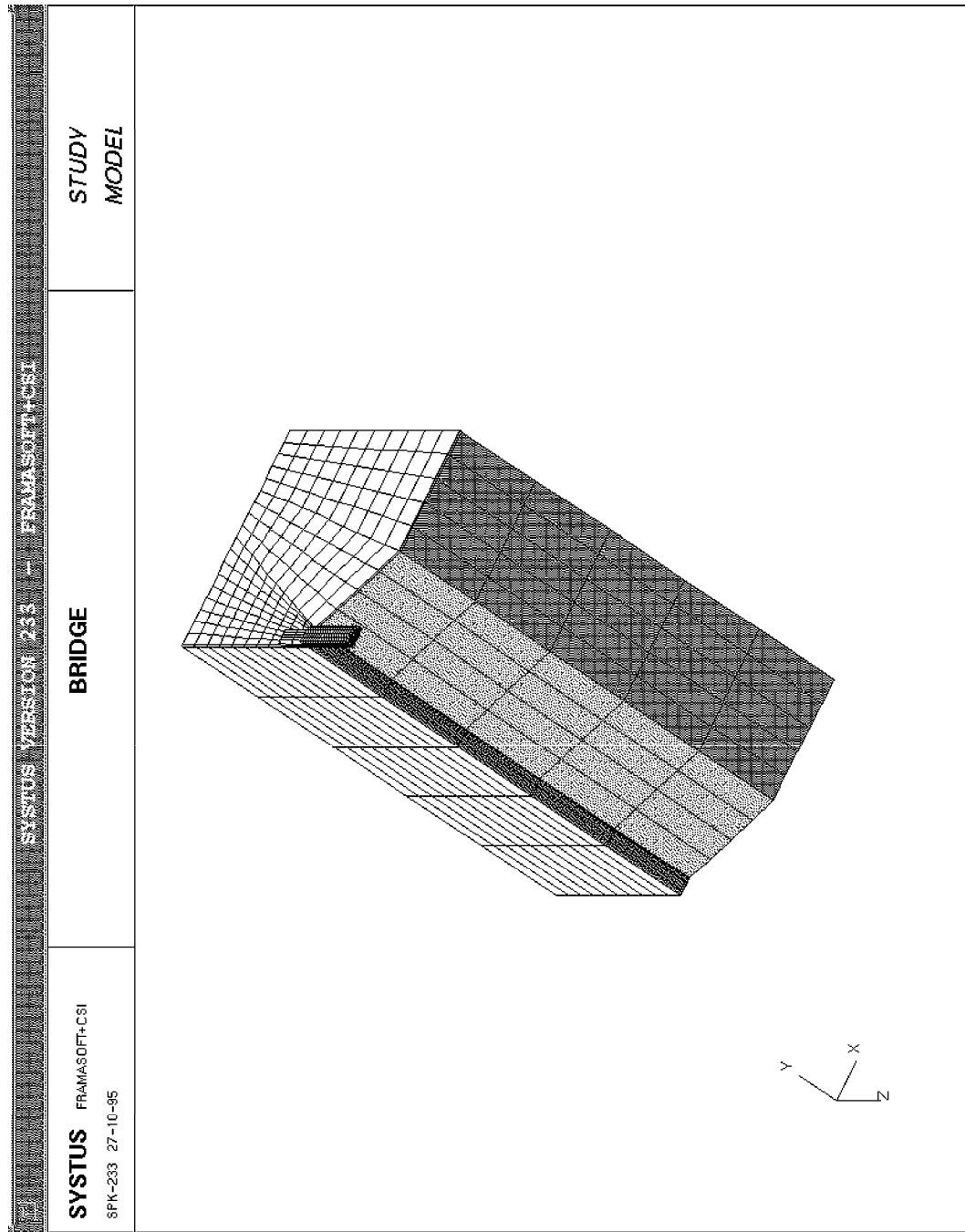


Figure 4.16: Description, en trois dimensions, du micro-pont.

4.2.4.5 Résultat de la simulation

La distribution de la température sur le pixel thermique, pour une énergie dissipée de 1 mW , est donnée par la figure 4.17. La température maximale est d'environ 8.3°C , au centre du micro-pont.

Le pixel thermique du circuit **PIXEL_TH** a été conçu pour fonctionner sous une tension de 5 V . La résistance de polysilicium ayant une valeur de $250\ \Omega$, la puissance dissipée par effet Joule a donc pour valeur 100 mW .

La température maximale du micro-pont est liée à la température du substrat par la relation suivante :

$$\theta_{\text{pont}} = h \times P + \theta_{\text{substrat}} \quad (4.3)$$

où :

- θ_{pont} est la température maximale du micro-pont (en $^\circ\text{C}$),
- θ_{substrat} est la température du substrat (en $^\circ\text{C}$),
- P est la puissance dissipée par effet Joule (en mW),
- h est l'impédance thermique de la structure (en $^\circ\text{C}/\text{mW}$), considérée constante.

La valeur de h peut être calculée à partir des résultats de la simulation effectuée :

$$h = 8.3^\circ\text{C}/\text{mW} \quad (4.4)$$

Avec ces paramètres, la température maximale du micro-pont peut être aisément déterminée pour $\theta_{\text{substrat}} = 25^\circ\text{C}$ et $P = 100\text{mW}$:

$$\theta_{\text{pont}} = 8.3 \times 100 + 25 = 855^\circ\text{C} \quad (4.5)$$

Cette température reste bien inférieure à la température de fusion du polysilicium et du dioxyde de silicium (voir la note de bas de page n°4, page 104).

4.2.5 Le circuit **PIXEL_TH**

Un circuit complet, exploitant le phénomène décrit, a été conçu et réalisé par l'intermédiaire du service CMP : le circuit **PIXEL_TH** [121] est constitué d'une matrice 4×4 de micro-ponts, utilisés comme pixels thermiques, et commandés par un circuit logique intégré sur la même puce (voir les figures 6.12 et 6.13 au paragraphe 6.4, donnant le schéma électrique et le dessin des masques du circuit). Ce circuit permet le contrôle électronique de l'allumage et de l'extinction des pixels ; on obtient ainsi un écran plat (de 4×4 pixels).

Ce circuit, fabriqué avec le procédé ECPD10 de ATMEL-ES2 et micro-usiné en volume par EDP à l'ESIEE, sera testé au début de l'année 1997.

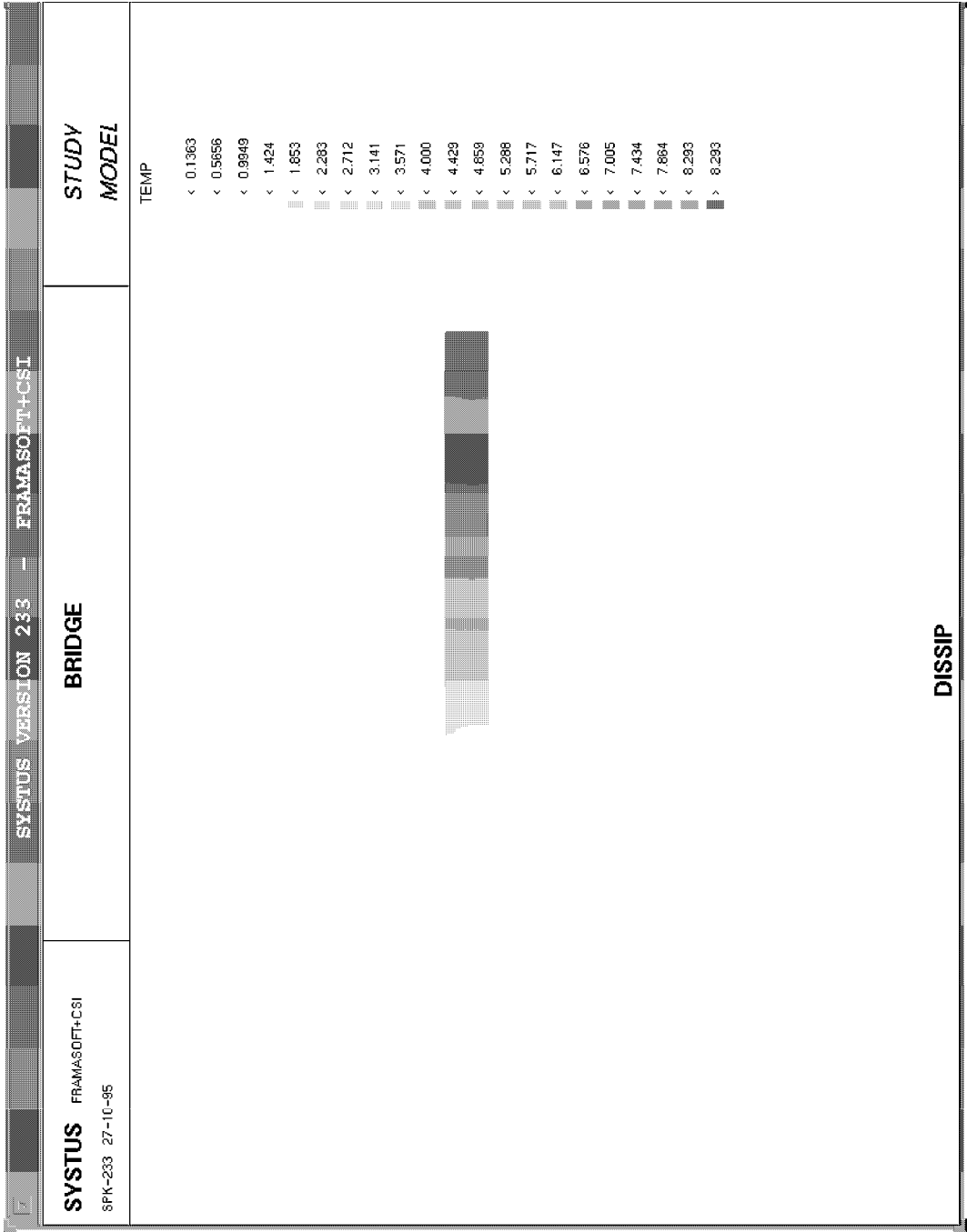


Figure 4.17: Distribution de la température sur le micro-pont, pour une énergie dissipée de 1 mW.

4.3 Réalisation de thermopiles

4.3.1 Principe

Le fonctionnement des thermopiles étudiées est basé sur l'effet Seebeck [11] : lorsque les extrémités d'un matériau sont soumises à des températures différentes (c'est-à-dire lorsque qu'un gradient de température est appliqué au matériau), il se crée une différence de potentiel entre elles (voir le schéma de la figure 4.18) :

$$V = \alpha(T_c - T_f) \quad (4.6)$$

où :

- V est la tension entre les extrémités du matériau,
- T_c est la température du “point chaud” (en degrés Kelvin),
- T_f est la température du “point froid” (en degrés Kelvin),
- α est le coefficient de Seebeck du matériau (en V/K).

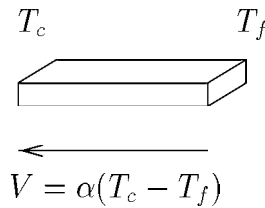


Figure 4.18: Effet Seebeck sur un matériau.

On crée un thermocouple en associant en série deux matériaux ayant des coefficients de Seebeck différents, comme illustré par le schéma de la figure 4.19. On obtient alors :

$$V = V_2 - V_1 = (\alpha_2 - \alpha_1)(T_c - T_f) \quad (4.7)$$

où :

- V est la tension entre les extrémités froides des matériaux,
- V_1 est la tension entre les extrémités du matériau 1,
- V_2 est la tension entre les extrémités du matériau 2,
- α_1 est le coefficient de Seebeck du matériau 1,
- α_2 est le coefficient de Seebeck du matériau 2.

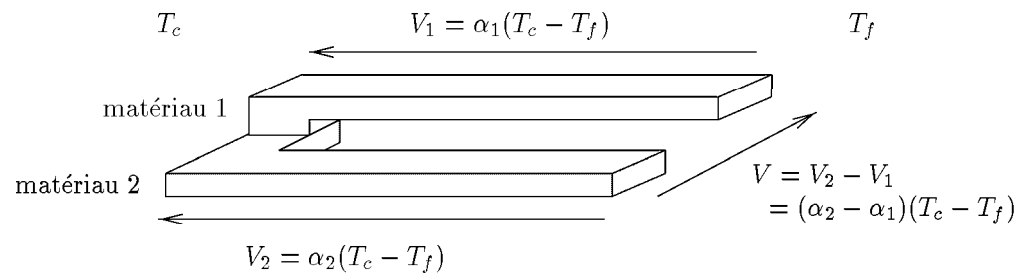


Figure 4.19: Thermocouple à effet Seebeck.

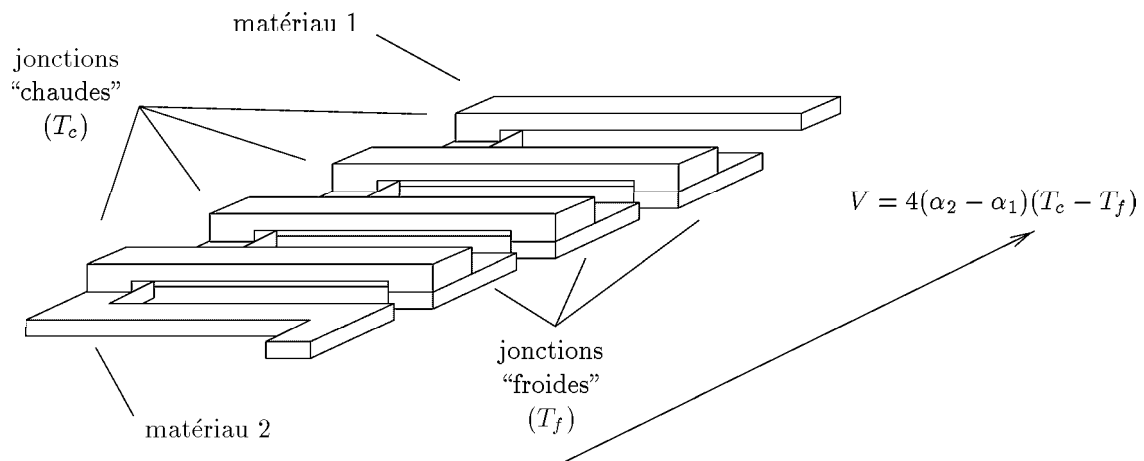


Figure 4.20: Thermopile à effet Seebeck.

Matériau	Coefficient de Seebeck ($\mu V/K$)
Aluminium	-1.7
Polysilicium dopé N	-65
Polysilicium dopé P	135

Tableau 4.5: Coefficients de Seebeck des matériaux utilisés pour la fabrication de circuits intégrés par la fonderie AMS.

En mettant en série plusieurs thermocouples (voir le schéma de la figure 4.20), on réalise une thermopile.

L'effet Seebeck existe pour les matériaux semiconducteurs et les métaux. De nombreux articles détaillant le principe de fonctionnement ou la fabrication de thermocouples ont été publiés [12, 27, 45, 47, 49, 174].

Avec les procédés de fabrication VLSI, il est possible de réaliser des thermopiles en mettant en série des thermocouples polysilicium–aluminium ou des thermocouples entre deux couches de polysilicium aux dopages différents [40, 48, 101, 165, 192, 196]. Les valeurs des coefficients de Seebeck de ces matériaux sont données dans le tableau 4.5 [101].

4.3.2 Le circuit THERMOPILES

Le circuit THERMOPILES [80, 92, 162] est constitué de deux blocs, chacun étant constitué de quatre micro–ponts suspendus sur la même cavité (voir la figure 4.21). Chaque micro–pont contient une thermopile réalisée par l'association en série de 40 thermocouples polysilicium–aluminium, utilisés comme capteurs de rayonnement infrarouge. Les jonctions “chaudes” sont situées au centre des micro–ponts (et sont donc isolées thermiquement du reste de la puce), les jonctions “froides” étant disposées aux extrémités des ponts, sur le substrat en silicium (elles sont donc à la température de la puce, considérée constante).

Les valeurs données dans le tableau 4.5 permettent de calculer approximativement le coefficient de Seebeck équivalent des thermopiles conçues : en effet, les coefficients de Seebeck des matériaux du procédé de fabrication ECPD10 de ATMEL–ES2 sont certainement très proches de ceux des procédés de AMS.

On a :

$$V_{thermopile} = N(\alpha_{Si\ poly} - \alpha_{aluminium})(T_c - T_f) \quad (4.8)$$

où :

- $V_{thermopile}$ est la tension de sortie de la thermopile;
- N est le nombre de thermocouples constituant la thermopile : $N = 40$;
- $\alpha_{Si\ poly}$ est le coefficient de Seebeck du silicium polycristallin : $\alpha_{Si\ poly} = -65\ \mu V/K$;
- $\alpha_{aluminium}$ est le coefficient de Seebeck de la couche d'aluminium : $\alpha_{aluminium} = -1.7\ \mu V/K$.

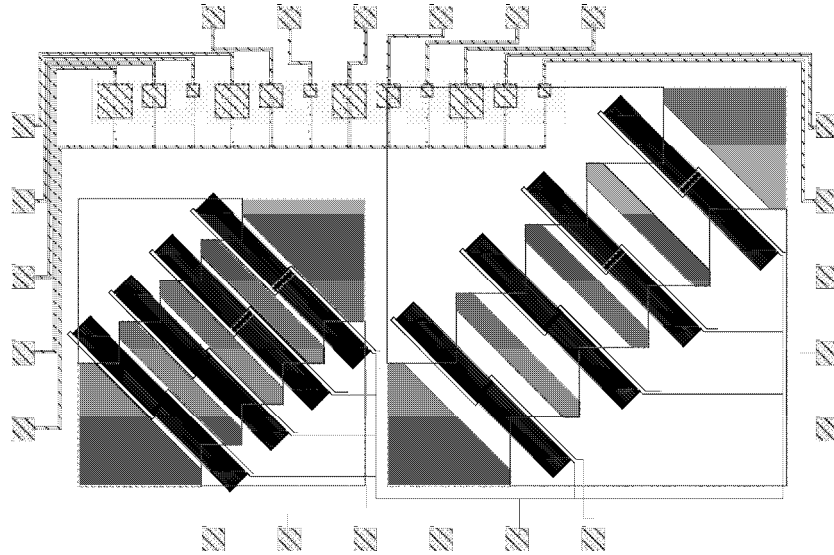


Figure 4.21: Dessin des masques du circuit *THERMOPILES*.

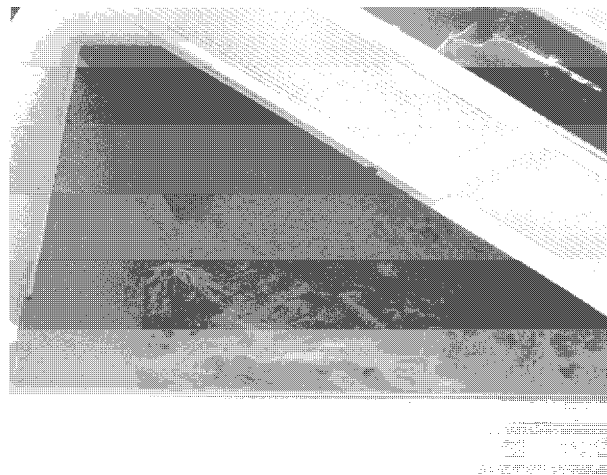


Figure 4.22: Photo d'un des micro-ponts du circuit *THERMOPILES* (photo prise au microscope électronique à balayage).

Le coefficient de Seebeck équivalent de la thermopile est déterminé par l'équation :

$$\alpha_{thermopile} = N(\alpha_{Si\ poly} - \alpha_{aluminium}) \quad (4.9)$$

On calcule, pour les thermopiles conçues :

$$\alpha_{thermopile} = -2.5\ mV/K \quad (4.10)$$

Ce circuit a été fabriqué avec le procédé ECPD10 de ATMEL-ES2, et micro-usiné chimiquement par EDP à l'ESIEE. Il sera testé au cours de l'année 1997.

4.4 Réalisation de composants électroniques suspendus

4.4.1 Principe

La technique de gravure du silicium monocristallin, détaillée au chapitre 2, est sélective par rapport au dioxyde de silicium, mais aussi par rapport au silicium monocristallin fortement dopé avec des atomes de bore [15, 16, 20, 64]. Ainsi, il est possible de suspendre des micro-structures en silicium monocristallin, en utilisant un procédé proche de celui détaillé au paragraphe 3.1.1.2.

Ce procédé peut bien sûr être utilisé pour réaliser des structures micro-électro-mécaniques (notamment des accéléromètres piezorésistifs [11, 152, 200]), mais aussi pour obtenir des composants électroniques "suspendus". Ces composants présentent l'intérêt d'être presque parfaitement isolés thermiquement et électroniquement des autres composants électroniques intégrés sur la même puce [63, 90, 149].

Le domaine d'utilisation de ce type de composants est le même que celui des circuits SOI (*Silicon On Insulator*), mais avec un coût de fabrication nettement inférieur, si on peut les obtenir à partir de circuits fabriqués avec des procédés CMOS ou BiCMOS.

Les procédés de fabrication CMOS classiques ne comportent d'opération de dopage P+ que pour la formation des zones de source et de drain des transistors P. Par contre, certains procédés BiCMOS comportent une couche enterrée et des puits collecteurs dopés P+, qui pourraient permettre d'obtenir des parties suspendues en silicium monocristallin [140].

Les schémas des figures 4.23 et 4.24 illustrent la méthode pouvant être utilisée pour la fabrication de ces composants : la gravure du silicium monocristallin non dopé, avec arrêt sur du silicium dopé P+, permet la suspension, sur une micro-membrane, d'un inverseur CMOS, totalement isolé électriquement des autres composants de la puce.

4.4.2 Description de la structure utilisée pour le test

Le service CMP ne propose malheureusement pas de procédé de fabrication BiCMOS permettant la réalisation de transistors PNP verticaux, et par conséquent l'obtention des structures décrites au paragraphe 4.4.1. Cependant, le procédé BiCMOS 1.2 μm (BAE) de AMS permet la fabrication de transistors bipolaires NPN verticaux, grâce à une couche enterrée et des puits collecteurs dopés N+.

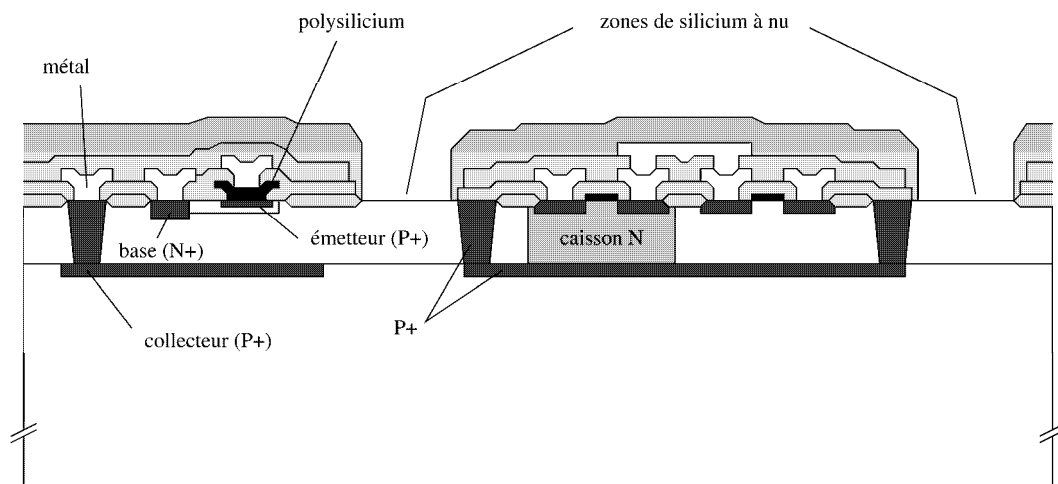


Figure 4.23: Vue en coupe schématisée d'un transistor bipolaire PNP vertical et d'un inverseur CMOS avant l'étape de gravure.

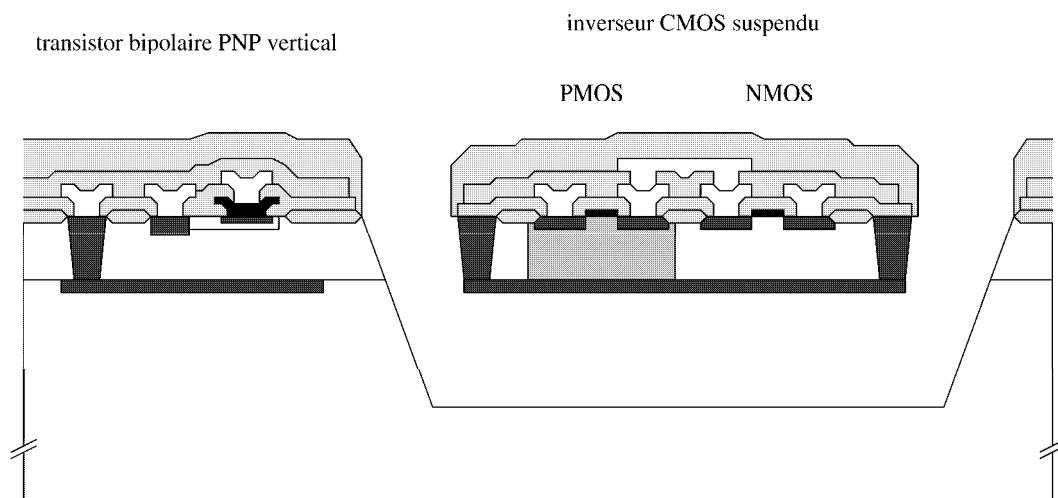


Figure 4.24: Vue en coupe schématisée d'un transistor bipolaire PNP vertical et d'un inverseur CMOS suspendu après l'étape de micro-usinage.

Un circuit de test, nommé **BiCMOS_BULK** (voir le paragraphe E.3) a donc été conçu et fabriqué dans le but de vérifier si on pouvait réaliser des parties suspendues en silicium monocristallin avec ce procédé : en effet, même s'il est clair que le dopage N+ ne suffit pas à stopper l'effet de la gravure anisotropique, il est possible que les vitesses de gravure soient un peu réduites, et qu'il reste du silicium monocristallin sous la partie suspendue. Ce silicium pourrait permettre le fonctionnement d'un composant électronique suspendu.

Plusieurs micro-membranes (contenant ou non des composants électroniques à suspendre) ont été dessinées sur le circuit **BiCMOS_BULK**. Ce circuit a cependant été conçu avant que ne soit montré que les plots métalliques de AMS étaient gravés au cours de l'étape de micro-usinage : un seul des composants de la puce, la cellule **memb7**, a été adressée avec des plots protégés par de l'oxyde (voir le paragraphe 5.4 détaillant le principe de d'obtention de ces plots). Le dessin des masques de cette cellule est donné par la figure 4.25(a), et la représentation schématisée de l'inverseur à suspendre par la figure 4.25(b).

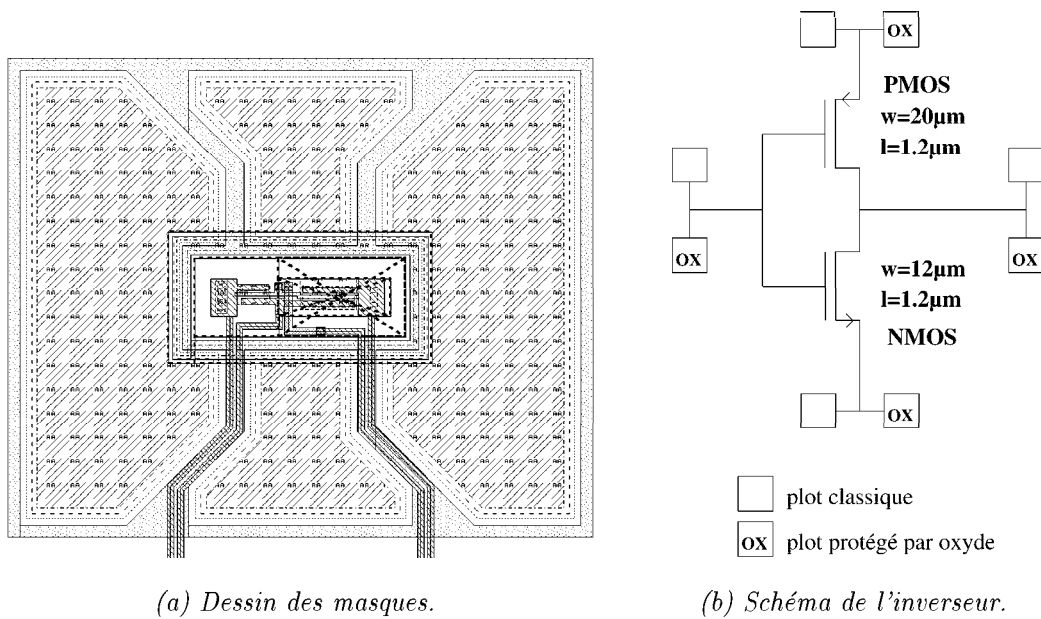


Figure 4.25: Dessin des masques et représentation schématisée de l'inverseur de la cellule **memb7**.

La figure 4.26 donne une vue en coupe très schématisée de la cellule avant la gravure du silicium monocristallin. Un puits collecteur et une couche enterrée dopés N+ ont été dessinés au bord de la zone de silicium à nu, en espérant que le silicium dopé sera gravé plus lentement. La figure 4.27 donne la vue en coupe espérée de la structure après l'étape de micro-usinage.

Seule la partie centrale de la membrane a été protégée par un dopage N+ : les bras de suspension sont constitués par les différentes couches d'oxyde du procédé de fabrication BAE.

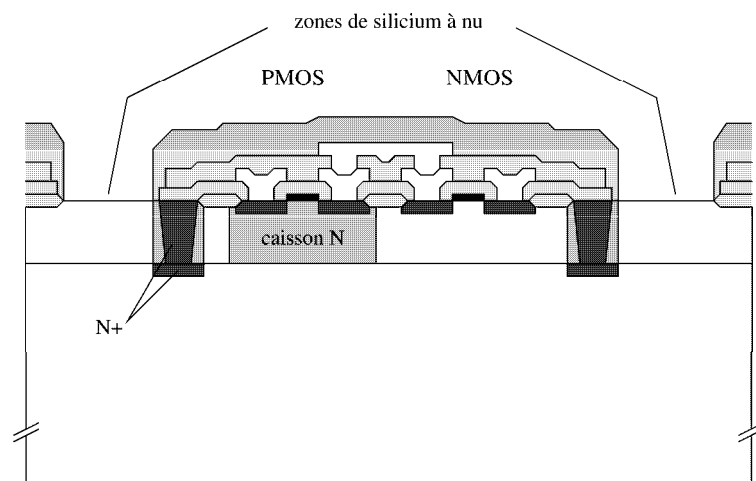


Figure 4.26: Vue en coupe schématisée de l'inverseur CMOS de *memb7* avant l'étape de gravure.

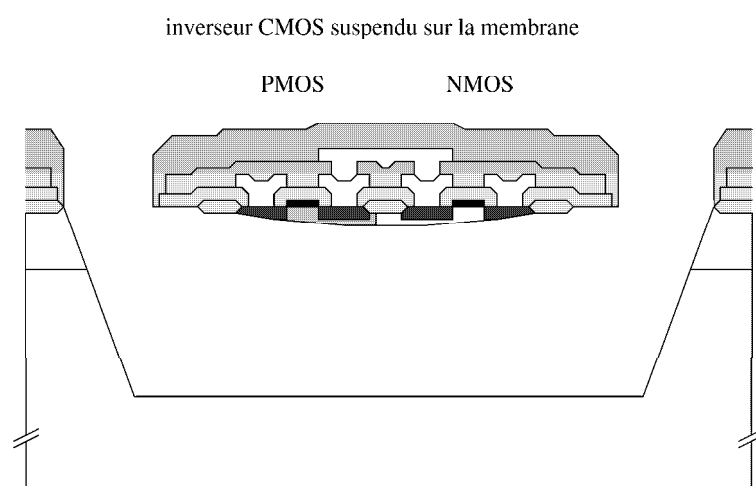


Figure 4.27: Vue en coupe schématisée de l'inverseur CMOS de *memb7* après l'étape de gravure.

4.4.3 Tests effectués et discussion

Le test sous pointe du circuit BiCMOS_BULK après micro-usinage a été impossible, même avec les plots protégés par de l'oxyde : le contact des pointes de test sur ce type de plot est en effet d'assez mauvaise qualité à cause de l'isolation électrique apportée par l'oxyde.

Deux puces BiCMOS_BULK ont donc été collées sur des substrats en céramique. Sur les plots protégés par l'oxyde ont été soudés des fils connectés à des plots de la céramique⁵, sur lesquels peuvent être posées des pointes de test.

La puce non micro-usinée a été testée avec succès, mais l'inverseur de la puce ayant subi l'étape de gravure n'a pas fonctionné : il est donc clair qu'il ne reste pas de silicium monocristallin sous la micro-membrane de la figure 4.27.

Le procédé de fabrication BiCMOS de la fonderie AMS n'est donc pas adapté pour la réalisation de composants électroniques suspendus. Cependant, d'autres procédés BiCMOS industriels contiennent certainement des étapes de dopage P+ de couches enterrées et de puits collecteurs, qui pourraient permettre l'obtention de ce type de composants. Aucun des procédés de fabrication proposés par le service CMP ne convenant, ce travail n'a pas été poursuivi ; il pourrait cependant être repris si un procédé de fabrication compatible était identifié.

4.5 Découpage de plaquettes sans scie diamantée

4.5.1 Principe

L'utilisation du procédé de micro-usinage en volume du silicium pour découper des plaquettes pourrait apporter un réel progrès dans l'opération de découpage des plaquettes multi-projets du service CMP. En effet, tous les circuits fabriqués n'ayant pas la même taille, il est dans la plupart des cas nécessaire d'en sacrifier un bon nombre au cours de l'opération de découpe.

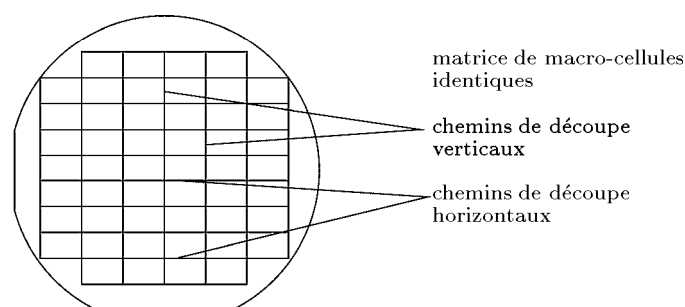


Figure 4.28: Exemple de répartition des circuits intégrés sur une plaquette multi-projets CMP.

⁵Manipulation effectuée par Irène Pheng, au CIME.

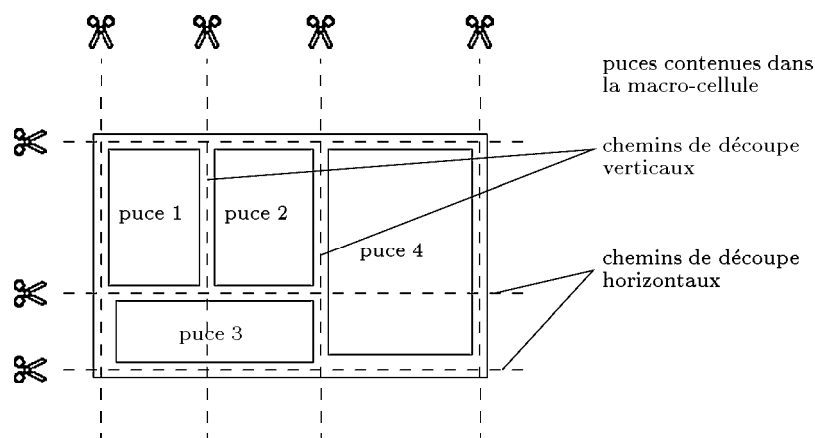


Figure 4.29: Chemins de découpe pour des circuits intégrés multi-projets.

Les figures 4.28 et 4.29 montrent la façon dont sont organisées les puces sur les plaquettes de silicium multi-projets CMP : une macro-cellule réunit un exemplaire de chaque puce, et cette macro-cellule est ensuite répétée sur la tranche de silicium. Les chemins de découpe utilisés sont également donnés par les figures 4.28 et 4.29. On note sur le schéma de la figure 4.29 que les puces 3 et 4 vont devoir être sacrifiées au cours de l'opération de découpe : en effet, la scie diamantée utilisée pour le découpage des plaquettes doit totalement traverser la tranche horizontalement, puis verticalement. Il est donc nécessaire de prévoir un nombre suffisant de macro-cellules pour obtenir toutes les puces 3 et 4 nécessaires aux clients du service CMP.

L'utilisation de la gravure anisotropique, pour créer les chemins de découpe sur la tranche de silicium, permettrait de ne plus avoir de puces sacrifiées, ce qui pourrait se traduire par une économie importante de surface de silicium consommée.

4.5.2 Tests effectués et discussion

Une opération de micro-usinage en volume par KOH a été effectuée au CIME sur la macro-cellule "chocolat", dont le plan est donné par la figure 4.30, et fabriquée par la fonderie AMS. Le nom de "chocolat" exprime bien le principe utilisé pour la découpe de cette macro-cellule : la gravure en volume du silicium des chemins de découpe va créer des rainures, limitées par des plans $\{111\}$, sur la tranche (voir le schéma de la figure 4.31), permettant le clivage du silicium selon ces directions, comme on casse les carreaux d'une tablette de chocolat.

Les chemins de découpe de la macro-cellule sont des zones de silicium à nu d'une largeur de $80\ \mu\text{m}$, obtenues de la même façon que celles utilisées pour la réalisation de parties suspendues (voir le paragraphe 3.1.1.2). La profondeur maximale des rainures creusées, si on néglige la gravure des plans $\{111\}$, est donc de $(80/2) \times \tan 54.7^\circ \approx 56.5\ \mu\text{m}$.

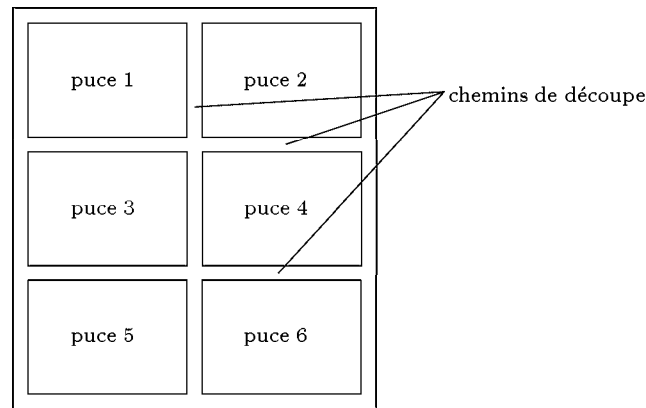


Figure 4.30: Plan de la macro-cellule "chocolat".

Les macro-cellules ont été micro-usinées dans KOH 40% à 60°C, au CIME. Les circuits électroniques ont bien évidemment été endommagés et les plots de contact attaqués lors de la gravure : cette opération de micro-usinage n'était qu'un test permettant de vérifier que l'on pouvait cliver la macro-cellule selon les rainures creusées par la gravure, l'objectif final étant de valider ce procédé avec une gravure par EDP, compatible avec les circuits intégrés.

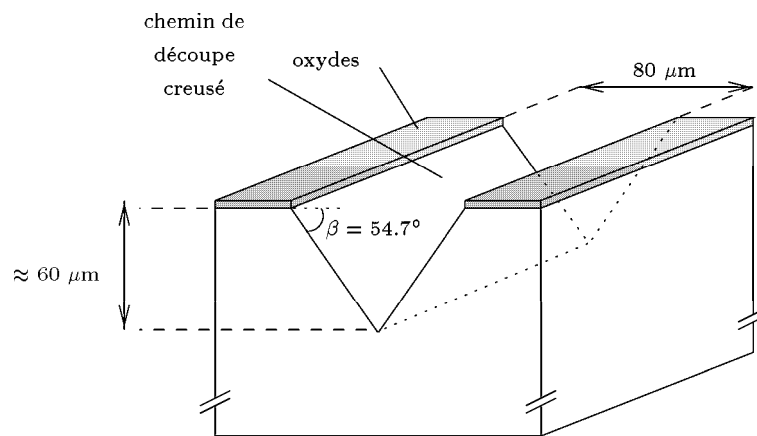
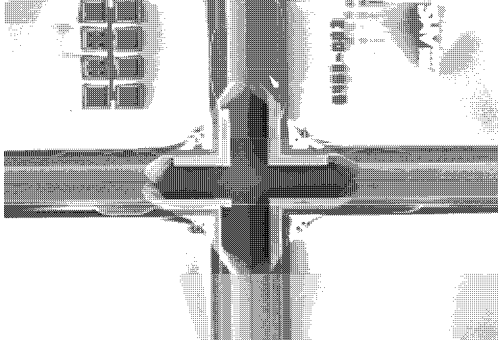


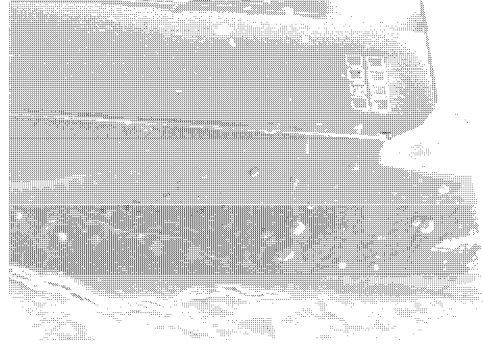
Figure 4.31: Schéma représentant une rainure creusée par micro-usinage dans une tranche de silicium.

La photo de la figure 4.32(a) montre le résultat de cette gravure sur la macro-cellule : on distingue les deux chemins de découpe creusés, limités par des plans $\{111\}$, et se croisant au centre de la photo. A ce croisement, on observe que le silicium monocristallin a été gravé sous l'oxyde : en effet, au croisement des chemins de découpe sont créés deux plans $\{111\}$ formant un angle convexe. Des plans $\{411\}$ apparaissent donc, comme pour les structures en micro-pont dans le même cas (voir le paragraphe 2.4.1.3).

La photo de la figure 4.32(b) montre le bord d'une puce, découpée par clivage de la macro-cellule selon les chemins de découpe gravés. On voit que les bords de la puce ne sont



(a) Chemin de découpe après micro-usinage.



(b) Puce obtenue après clivage de la macro-cellule.

Figure 4.32: Photos des chemins de découpe micro-usinés dans KOH.

pas tout à fait plats, ce qui signifie que le clivage n'a pas été effectué dans de très bonnes conditions : il a en effet fallu appliquer une force assez importante sur la macro-cellule pour la découper. Ceci qui montre que les chemins de découpe creusés n'étaient pas assez profonds.

La découpe des tranches de silicium, par une scie diamantée, est généralement effectuée sur une profondeur proche de l'épaisseur totale de la plaquette. Cette profondeur doit en tout cas être au moins égale à la moitié de cette épaisseur.

Dans le cas où l'étape de sciage est remplacée par une gravure anisotropique des chemins de découpe, la profondeur des rainures creusées est limitée par deux facteurs :

- la largeur des zones de silicium à nu des chemins de découpe : si on nomme cette largeur l , alors la profondeur maximale p_{max} des rainures creusées est, si on néglige l'effet de la gravure des plans $\{111\}$:

$$p_{max} = \frac{l}{2} \times \tan(54.7^\circ) \quad (4.11)$$

- le temps de gravure t_{grav} : dans le cas d'une gravure avec EDP à 90°C , il a été montré que ce temps ne doit pas être supérieur à 6 heures (voir les paragraphes 2.4.3.2 et 5.2.2.1).

L'épaisseur de silicium E_{grav} pouvant être gravée pendant un temps de gravure t_{grav} est donnée par l'équation :

$$E_{grav} = R_{Si\{100\}} \times t_{grav} \quad (4.12)$$

où $R_{Si\{100\}}$ est la vitesse de gravure des plans $\{100\}$ dans EDP à 90°C . Cette valeur a été déterminée au paragraphe 2.4.3.3 : $R_{Si\{100\}} \approx 0.4 \mu\text{m}/\text{min}$. On obtient donc, lorsque t_{grav} vaut 6 heures :

$$E_{grav} (t=6h) \approx 144 \mu\text{m} \quad (4.13)$$

Cette épaisseur gravée E_{grav} correspond à la profondeur des rainures creusées (si la largeur des zones de silicium à nu correspondant est suffisante, voir l'équation 4.11) et à l'épaisseur gravée sur la face arrière de la tranche (voir le schéma de la figure 4.33). Si H désigne l'épaisseur de la tranche de silicium à micro-usiner, on a :

$$H_{(t=6h)} = H_{(t=0)} - E_{grav} \quad (4.14)$$

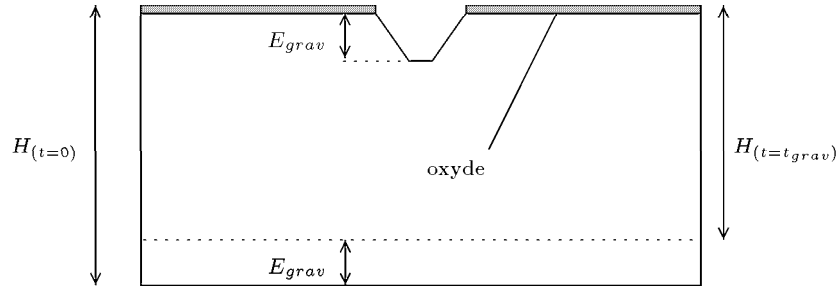


Figure 4.33: Epaisseur de la puce et profondeur de la rainure creusée en fonction du temps de gravure.

Les plaquettes utilisées ont une épaisseur de l'ordre de $500 \mu\text{m}$, on a donc, pour $t_{grav} = 6 \text{ h}$:

$$H_{(t=6h)} \approx 356 \mu\text{m} \quad (4.15)$$

et :

$$\frac{E_{grav (t=6h)}}{H_{(t=6h)}} \approx 0.4 \quad (4.16)$$

Un temps de gravure d'environ 7 h serait nécessaire pour avoir un rapport de 1/2.

La largeur de zone de silicium à nu minimale pour obtenir des rainures de profondeur $144 \mu\text{m}$, peut être calculée à partir de l'équation 4.11 :

$$l = \frac{2 \times E_{grav (t=6h)}}{\tan(54.7^\circ)} \quad (4.17)$$

c'est-à-dire :

$$l \approx 200 \mu\text{m} \quad (4.18)$$

En concevant des chemins de découpe de largeur $200 \mu\text{m}$ à la surface des tranches à découper, on obtient donc, après 6 h de gravure dans EDP à 90°C , des rainures d'une profondeur d'environ $150 \mu\text{m}$, soit un peu moins de la moitié de l'épaisseur de la plaquette de silicium. Celle-ci devrait donc être relativement facile à cliver selon les rainures creusées, et les puces devraient être bien découpées.

4.6 Conclusion

Les principales applications de la technique du micro-usinage en volume sur des puces VLSI ont été présentées dans ce chapitre.

Les structures obtenues par micro-usinage en volume du silicium monocristallin, et permettant de réaliser des détecteurs piezorésistifs, des pixels thermiques ou des thermopiles, présentent un grand intérêt : elles devraient en effet permettre d'obtenir des composants fonctionnels à bas coût, en ayant la possibilité d'intégrer, sur la même puce de silicium, les circuits électroniques nécessaires au fonctionnement de ces composants ou au traitement de l'information reçue.

Les tests effectués sur les circuits fabriqués dans le cadre des travaux présenté n'ont malheureusement pas permis de caractériser pleinement les composants obtenus, par manque de temps et surtout du matériel nécessaire. Ce travail de caractérisation sera poursuivi par d'autres membres du groupe MiCroSystèmes de TIMA, en collaboration avec des laboratoires spécialisés, au cours de l'année 1997.

La réalisation de composants électroniques suspendus pourrait se révéler d'un très grand intérêt pour les applications où des circuits fabriqués avec des technologies SOI étaient jusqu'alors nécessaires. Le procédé du micro-usinage en volume sur des membranes entourées de silicium dopé P+ pourrait offrir une solution alternative de bien moindre coût. Il reste cependant à trouver un procédé de fabrication industriel convenant à la fabrication de ce type de composant.

Enfin, le procédé de gravure des chemins de découpe, permettant le clivage de plaquettes de silicium sans utiliser de scie diamantée, pourrait apporter un réel progrès pour la fabrication de circuits intégrés prototypes sur des plaquettes multi-projets, en évitant de sacrifier des puces lors de l'opération de découpage.

Chapitre 5

ETABLISSEMENT DES REGLES POUR LA CONCEPTION ET LA FABRICATION DE MICROSYSTEMES

Chapitre 5

ETABLISSEMENT DES REGLES POUR LA CONCEPTION ET LA FABRICATION DE MICROSYSTEMES

Très peu de publications ont été effectuées dans le domaine de l'établissement de règles de dessin génériques pour la conception et la fabrication de composants microsystemes. En effet, pour presque tous les composants microsystemes conçus jusqu'à nos jours, un procédé de fabrication spécifique a dû être développé. Le groupe MiCroSystemes du laboratoire TIMA et le service de prototypage CMP ont choisi l'approche inverse, qui consiste à développer un procédé de fabrication générique, proposé à des clients concepteurs. Il est donc obligatoire de fournir à ces clients un ensemble de règles à respecter lors de la conception de leur composant, comme c'est le cas pour les circuits électroniques intégrés classiques.

L'objectif de ce chapitre est de montrer comment les règles pour la conception et la fabrication de circuits microsystemes, obtenus par micro-usinage en volume par la face avant, ont été établies, et d'en énumérer les principaux points.

Ces règles de dessin ont été définies à partir de l'expérience acquise lors de la conception, la réalisation et le test de plusieurs circuits microsystemes fabriqués avec la technologie CMOS standard ECPD10 de ATMEL-ES2, et micro-usinés en volume par EDP à l'ESIEE.

La méthode utilisée pour réaliser des plots métalliques, protégés de l'attaque de la gravure chimique EDP par une mince couche d'oxyde, est également présentée dans ce chapitre. L'utilisation de ces plots à la place des plots standards est très importante : ils permettent en effet de faire fonctionner les circuits électroniques contenus sur les puces fabriquées par ATMEL-ES2 ou AMS, et ayant subi l'étape de micro-usinage en volume, et de tester électriquement les structures suspendues.

5.1 Approche choisie

Les règles de dessin établies ont pour but de permettre la conception et la réalisation, sur une même puce, de composants électroniques classiques et de structures en dioxyde de silicium, suspendues par micro-usinage en volume avec la solution d'EDP, et pouvant

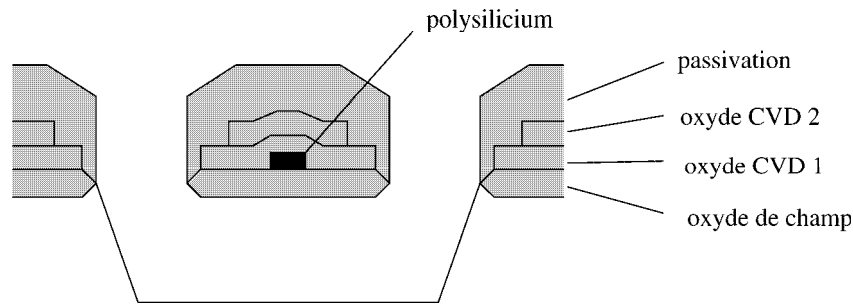


Figure 5.1: Composition des structures suspendues.

contenir des pistes de silicium polycristallin ou de métal (voir la figure 5.1). Le procédé de fabrication de ces structures est détaillé au paragraphe 3.1.1.2.

Les circuits microsystemes sont fabriqués sur des lignes industrielles, sur des plaquettes multi-projets contenant également des circuits intégrés classiques. Les fondeurs de silicium imposent un certain nombre de règles très strictes à respecter lors de la conception des circuits électroniques qu'on leur donne à fabriquer. Ces règles sont exposées dans des documents spécifiques [1, 2, 3] et dans des fichiers technologiques, distribués aux concepteurs et interprétés par les logiciels de vérification des règles de dessin (Diva pour Cadence Opus par exemple).

L'obtention de parties suspendues impose la violation d'un certain nombre de ces règles, et nécessite que des contraintes spécifiques soient respectées. L'approche la plus efficace, pour décrire ces contraintes, consiste à adopter une méthodologie calquée sur celle utilisée par les fondeurs pour décrire leur règles. Il suffit de différencier, au niveau du dessin des masques ("*layout*"), les couches utilisées pour la description des composants microsystemes des couches décrivant les composants électroniques classiques.

Une couche fictive, appelée "zone micro-structure", à l'intérieur de laquelle tous les dessins de masques des composants microsystemes doivent être inclus, a donc été créée pour permettre cette différenciation.

La première des règles, découlant directement de la définition des zones micro-structures, est qu'aucun transistor ne peut être dessiné à l'intérieur d'une de ces zones (puisque le substrat y est gravé), et aucune structure à micro-usiner ne peut être dessinée à l'extérieur.

5.2 Règles pour la conception de circuits microsystemes

5.2.1 Contraintes liées au procédé de fabrication

5.2.1.1 Définition des zones de silicium à nu

La définition de zones de silicium à nu est nécessaire pour créer des parties suspendues par micro-usinage en volume. Ces zones sont obtenues, lors du dessin des masques des composants microsystemes, en superposant les masques "zone active", "contact", "via" et "ouverture dans la passivation" (voir les paragraphes 3.1.1.1 et 3.1.1.2).

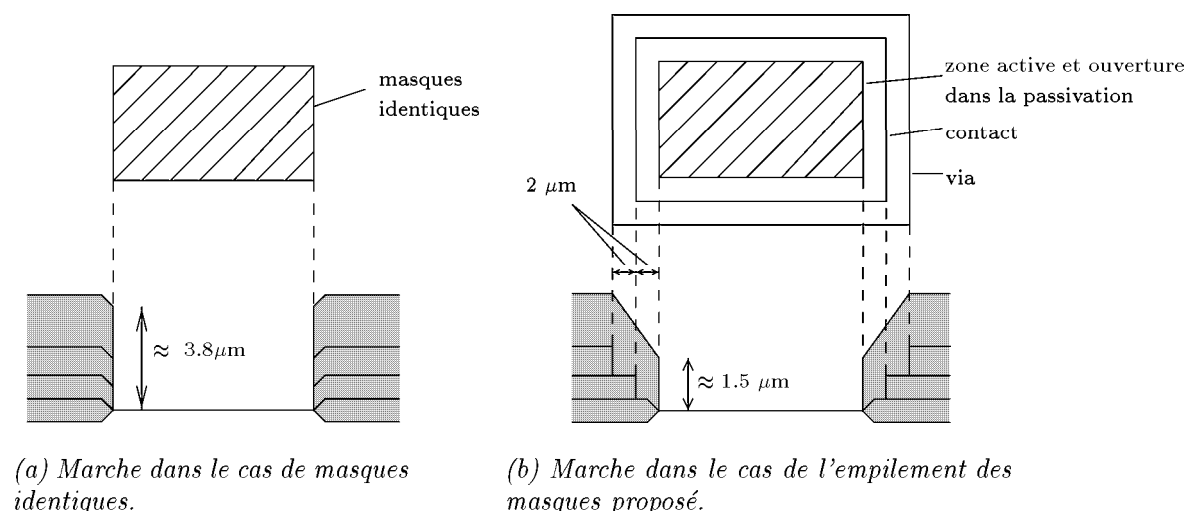


Figure 5.2: Réduction de la marche à la périphérie des zones de silicium à nu.

La superposition stricte de ces quatre masques (voir la figure 5.2(a)) génère sur le circuit intégré une “marche” d’environ $3.8 \mu\text{m}$. La formation de cette marche au cours de la fabrication des circuits peut causer un mauvais étalement de la résine photosensible, et provoquer l’apparition de résidus ou de sur-gravures à la périphérie des zones de silicium à nu.

L’empilement des masques illustré par la figure 5.2(b) permet de réduire la marche à environ $1.5 \mu\text{m}$, et de résoudre en partie le problème de planéité des puces à la périphérie des zones de silicium à nu. De plus, cet empilement permet d’enrober totalement les couches d’oxyde intermédiaire CVD 1 et CVD 2 par de la passivation et de la silice thermique, moins perméables aux ions polluants. Cette superposition des masques a été approuvée par les ingénieurs technologues de ATMEL-ES2.

5.2.1.2 Structures diagonales

La caractérisation de la gravure anisotrope du silicium, détaillée au chapitre 2, a permis de montrer que les plans $\{100\}$ étaient gravés beaucoup plus rapidement que les plans $\{111\}$. Il est donc très important de faire en sorte que ce soit par la gravure de ces plans que les structures suspendues soient obtenues.

Les axes (OX) et (OY) des logiciels de dessin de masques sont parallèles aux intersections des plans $\{111\}$ avec le plan de la surface de la puce à micro-usiner. L’intersection des plans $\{100\}$ avec le plan de la surface de la puce est en diagonale par rapport à ces mêmes axes. Ces considérations sont illustrées par le schéma de la figure 5.3.

La plupart des dessins de masques des micro-structures à suspendre contiennent par conséquent des angles à 45 degrés. Or, les fabricants de circuits intégrés ne tolèrent en général que des dessins de masques composés de polygones à angles droits, et dont les bords sont alignés sur la grille (X,Y).

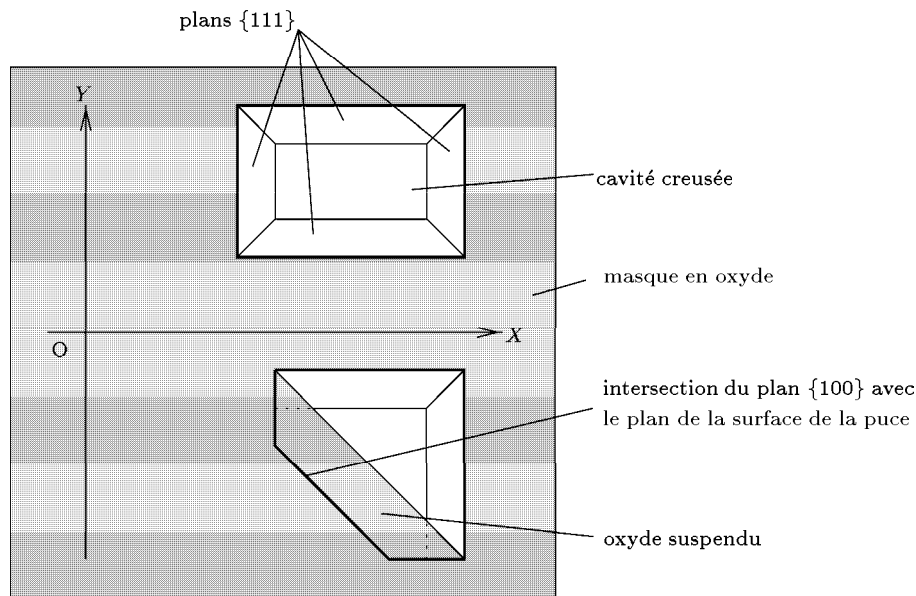


Figure 5.3: Orientation des plans $\{100\}$ et $\{111\}$ par rapport aux axes des logiciels de dessin de masques, et cavités générées.

Chaque couche du procédé de fabrication des circuits est obtenue en déposant tout d'abord une résine sur les plaquettes de silicium. La vue *layout* correspondant à la couche est alors transcrite sur cette résine par photo-lithographie à travers un masque, ou par écriture directe grâce à un faisceau d'électrons ("*electron beam*").

Pour une couche donnée, une trame est créée à partir des polygones correspondant dans le fichier du dessin des masques. Cette trame est ensuite reproduite sur un masque puis transférée sur la résine, ou bien directement transférée sur la résine par faisceau d'électrons. C'est pour la définition de cette trame que les polygones contenant des angles non droits posent un problème.

a. Écriture à travers un masque

La définition de la trame du masque associé à un contact triangulaire, classique pour la définition d'une zone de silicium à nu de micro-pont, est illustrée par les schémas de la figure 5.4. Le côté diagonal du triangle a été transformé en "escaliers" lors de la création de la trame associée au masque. Le problème est qu'on ne peut pas prédire si les carrés de trame (maille minimale utilisée pour la création de motifs sur les masques) correspondants à ce côté diagonal vont être opaques ou transparents sur le masque. Pour un triangle de contact aux dimensions proches de celles des carrés de trame, l'imprécision sur le masque généré peut être assez importante.

Les carrés de trame ont une taille de l'ordre de $0.1 \mu\text{m}$. L'imprécision sur la définition de la trame d'un masque est donc souvent négligeable pour des structures diagonales de grandes dimensions. C'est le cas par exemple pour les zones de silicium à nu triangulaires, dont la taille des côtés est souvent supérieure à $100 \mu\text{m}$. Par contre, dans le cas de pistes de polysilicium ou de métal en diagonale (pistes suspendues sur

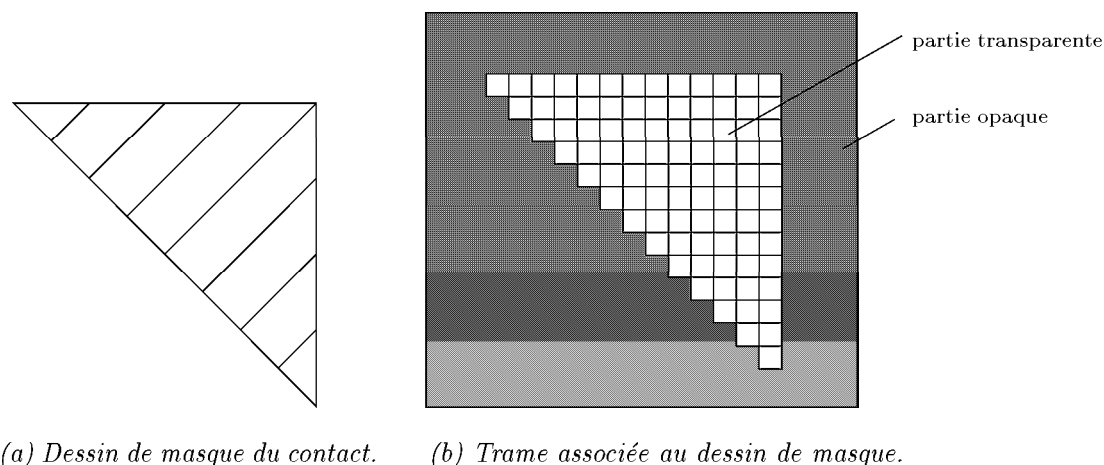


Figure 5.4: Génération de la trame d'un masque à partir du dessin de masque correspondant, pour un contact utilisé pour la définition d'une zone de silicium à nu.

un micro-pont par exemple), il est nécessaire de s'assurer que cette imprécision ne peut pas causer de coupure d'une piste, ou de court-circuit avec une piste voisine.

b. Ecriture directe par faisceau d'électrons

Le cas de l'écriture directe dans la résine par un faisceau d'électrons est plus délicat. En effet, la taille des carrés de trame est en général dans ce cas calculée par un programme qui n'est pas adapté à des polygones ayant des angles non droits. Pour gagner du temps lors de l'opération d'écriture avec le faisceau d'électrons, la taille des carrés de trame est prise la plus grande possible, et peut valoir $1\ \mu\text{m}$. L'imprécision sur la définition d'une zone de silicium à nu reste négligeable, mais celle sur les pistes de polysilicium ou de métal en diagonale devient importante, et peut causer des coupures de piste, ou des courts-circuits entre des pistes diagonales voisines.

c. Ecriture dans la résine pour les circuits fabriqués par ATMEL-ES2

Pour la fabrication de circuits intégrés en grande série, ATMEL-ES2 utilise des masques pour toutes les étapes d'insolation de résine. Pour les petites séries, ATMEL-ES2 n'utilise de masque que pour l'insolation de la résine permettant la définition des couches de métal 1 et de métal 2. Toutes les autres opérations d'écriture dans la résine (définition des zones actives, du polysilicium, des contacts, des vias, des ouvertures dans la passivation et des zones à doper) sont faites directement avec un faisceau d'électrons : ces opérations prennent davantage de temps, mais permettent de réduire fortement le coût de fabrication des circuits intégrés en petites séries, puisque le prix d'un masque est en général de l'ordre de 15000 francs.

Les circuits microsystemes réalisés à travers le service CMP sont fabriqués en petites séries par ATMEL-ES2. Seules les couches de métal sont donc définies à travers des masques. Il est par conséquent très important de définir des règles de dessin pour les couches dessinées en diagonale, en particulier pour les pistes de silicium polycristallin.

d. Ecriture dans la résine pour les circuits fabriqués par AMS

AMS utilise des masques pour toutes les étapes d'écriture dans la résine. L'imprécision sur la définition des carrés de trame reste donc généralement négligeable par rapport aux dimensions des polygones des dessins de masques.

5.2.1.3 Angles aigus

Les fondeurs de silicium interdisent l'usage de polygones contenant des angles trop aigus pour la définition des masques qu'ils utilisent : la résine photosensible peut en effet se décoller au niveau de ces angles. Les angles trop aigus doivent donc être coupés, comme indiqué par les schémas de la figure 5.5.

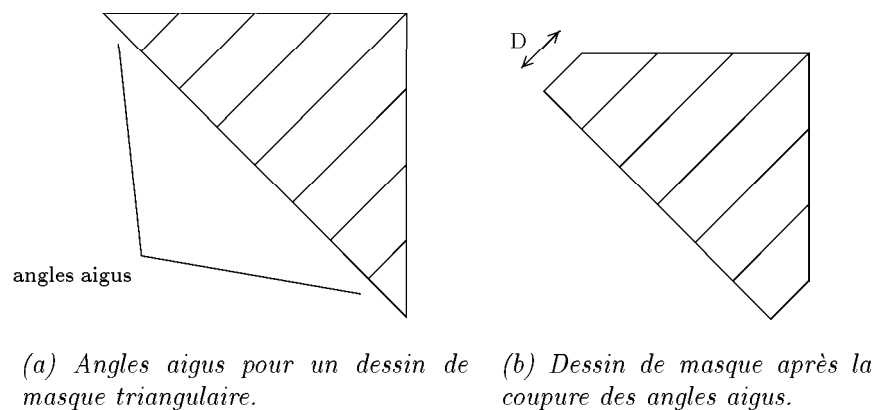


Figure 5.5: Coupure des angles aigus d'un dessin de masque triangulaire : on doit en général avoir $D \geq 5 \mu m$.

5.2.1.4 Exemples de règles de dessin pour la technologie ECPD10

Les règles de dessin énoncées dans ce paragraphe ne sont valables que pour la fabrication de micro-structures obtenues par usinage en volume sur des puces fabriquées avec le procédé ECPD10 de ATMEL-ES2, et ne sont applicables qu'aux dessins de masques à l'intérieur de zones micro-structures. Les règles classiques du procédé ECPD10 [3] doivent être appliquées aux masques dessinés à l'extérieur de ces zones.

Aucun transistor n'est autorisé à l'intérieur d'une zone micro-structure. Aucun composant à suspendre ne doit être dessiné à l'extérieur d'une zone micro-structure. Afin de simplifier l'étape de vérification des règles de dessin par les logiciels adaptés, il a été décidé qu'une seule structure à suspendre devait être dessinée à l'intérieur de chaque zone micro-structure, et que seules les couches utilisées pour réaliser des interconnexions électriques (polysilicium et métal 1 et 2) pouvaient couper une de ces zones.

Une convention a dû être adoptée pour la notation des règles de dessin microsyntèmes, afin de rendre plus aisée l'identification des règles violées. Cette convention est donnée par le schéma de la figure 5.6, et a été obtenue par extension de celle adoptée par ATMEL-ES2

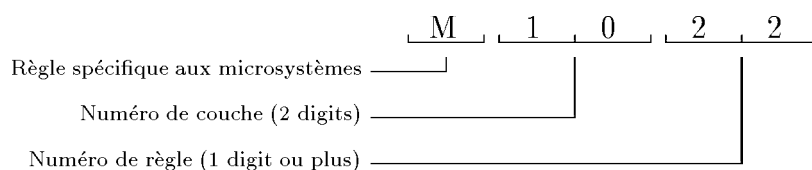


Figure 5.6: Convention adoptée pour la notation des règles de dessin microsystèmes.

et AMS pour le codage de leurs règles, en ajoutant un “M” (comme “Microsystèmes”) au début de chaque règle.

A titre d’exemple, les règles de dessin relatives à la couche de polysilicium sont données par la figure 5.7 [129]. Les règles relatives aux autres couches sont distribuées par CMP avec les kits de conception pour Cadence ou Mentor (voir le chapitre 6).

5.2.2 Contraintes liées à l’étape de micro-usinage

5.2.2.1 Temps maximal de gravure

Il a été montré au chapitre 2 qu’il n’était pas raisonnable de dépasser 6 heures de gravure dans EDP à 90°C. Les plots d’aluminium risquent en effet d’être trop significativement attaqués pour pouvoir y effectuer des soudures correctes (voir le paragraphe 2.4.3.5-a).

5.2.2.2 Dimensionnement des micro-structures

Les dimensions maximales des micro-structures suspendues réalisables avec les procédés de fabrication CMOS dépendent principalement des paramètres suivants :

- les conditions de la gravure anisotrope du silicium monocristallin (concentration des constituants de la solution, température et durée de l’opération).
- la robustesse mécanique de la structure suspendue.
- le problème de collage de structure lors du séchage, par effet de capillarité : ce problème, majeur dans le cas du micro-usinage en surface, est inexistant dans le cas du micro-usinage en volume, dans la mesure où les cavités creusées sont très profondes (50 à 100 μm).

Les dimensions maximales dépendant de la robustesse mécanique des micro-structures sont difficiles à déterminer, et sont de plus très dépendantes de leur géométrie et de l’environnement dans lequel elles vont être utilisées. De plus, ces limites sont dans la plupart des cas supérieures aux limites imposées par les conditions de la gravure anisotrope du silicium monocristallin. Ainsi, les seuls paramètres pris en considération pour la détermination des dimensions maximales des structures à suspendre seront les conditions de la gravure anisotrope du silicium.

4.4-4 layer: 50. name: POLYSILICON.

Rule Number	Parameter	min. dimension
M501	the vertices of polysilicon shapes must be parallel or be diagonal with respect to the axes of the CAD software	
M5021	width of orthogonal Polysilicon shapes	1
M5022	width of diagonal Polysilicon shapes	2
M5031	spacing between 2 orthogonal stripes of Polysilicon	1.5
M5032	spacing between 2 diagonal vertices of Polysilicon	5
M504	spacing to Active Area	3

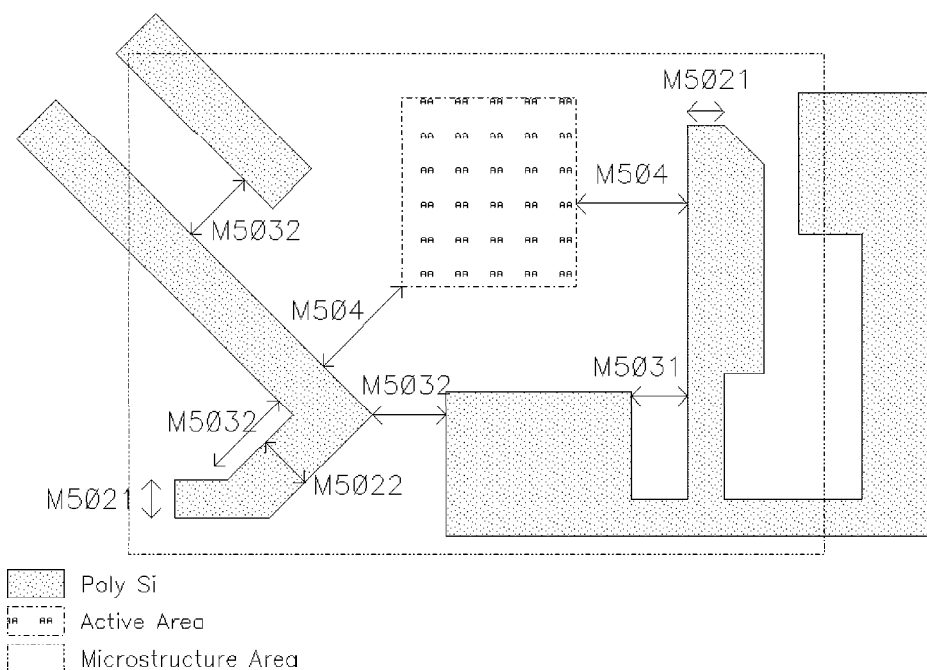


Figure 5.7: Règles de dessin pour la couche de polysilicium.

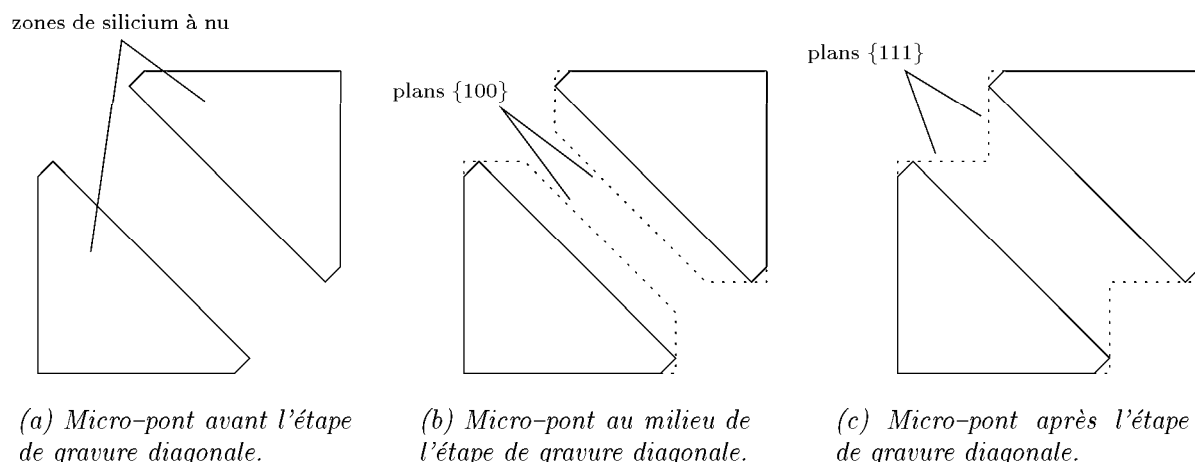


Figure 5.8: Etape de gravure diagonale sur un micro-pont classique.

Le temps maximal de gravure défini au paragraphe 5.2.2.1 implique un dimensionnement correct des structures à suspendre, afin d'en optimiser les dimensions. Ces dimensions optimales peuvent être déterminées grâce à la simulation avec le logiciel ACESIM (voir les paragraphes 2.5 et 6.3.4). Il est cependant nécessaire de bien comprendre le procédé de micro-usinage en volume, afin de pouvoir interpréter les résultats des simulations pour améliorer la géométrie des structures à suspendre.

Le micro-usinage en volume du silicium est un procédé très fortement anisotropique :

- les plans $\{111\}$ sont gravés beaucoup plus lentement que les plans $\{100\}$. En conséquence, les cavités formées par micro-usinage sont limitées par des plans $\{111\}$.
- des plans $\{123\}$ apparaissent aux angles convexes entre des plans $\{111\}$, et sont gravés à une vitesse comparable à celle des plans $\{100\}$.

Si on néglige la gravure des angles concaves formés par deux plans $\{111\}$, (qui vont former les angles des cavités creusées), le processus de gravure anisotropique du silicium pour la plupart des structures peut être schématiquement séparé en deux étapes différentes et facilement modélisables :

- une étape de “gravure diagonale”, durant laquelle les plans $\{100\}$ sont attaqués.
- une étape de “gravure convexe”, durant laquelle les plans $\{123\}$, apparaissant aux angles convexes formés par des plans $\{111\}$, sont attaqués.

a. Temps de gravure pour la suspension totale d'un micro-pont

Les schémas de la figure 5.8 donnent la vue du dessus d'un micro-pont avant la gravure (figure 5.8(a)), au milieu de l'étape de gravure diagonale (figure 5.8(b)) et à la fin de cette étape (figure 5.8(c)).

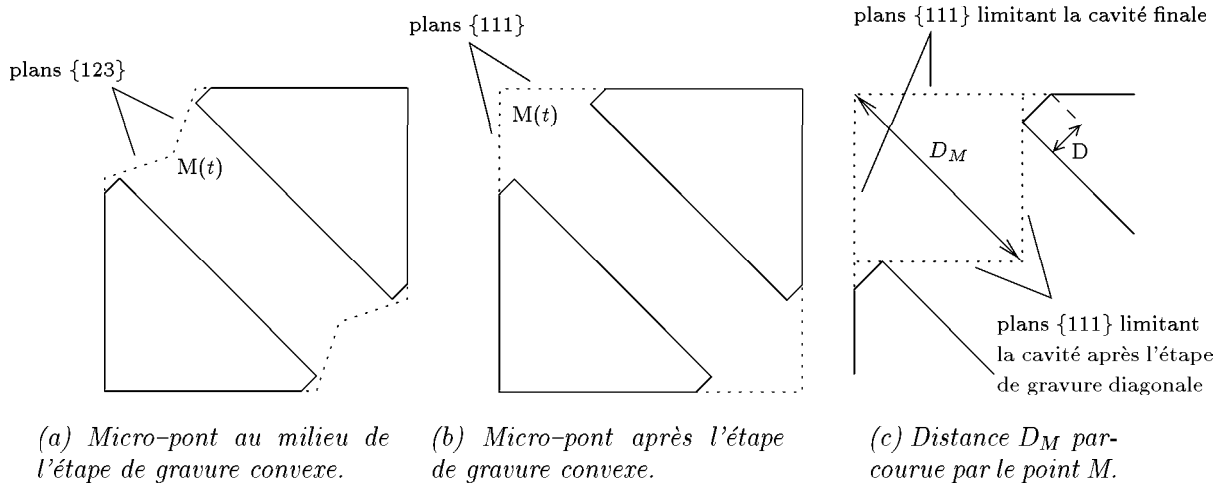


Figure 5.9: Etape de gravure convexe sur un micro-pont classique.

Les plans $\{100\}$ sont gravés à la vitesse $R_{Si\{100\}} \approx 0.43 \mu\text{m}/\text{min}$ dans EDP à 90°C . Cela signifie que pour un micro-pont de largeur l , l'étape de gravure diagonale va durer le temps t_{diag} défini par l'équation :

$$t_{diag} = \frac{l/2}{R_{Si\{100\}}} \quad (5.1)$$

Lorsque l'étape de gravure diagonale du micro-pont de la figure 5.8 est terminée, la cavité creusée est limitée par des plans $\{111\}$. Les plans $\{111\}$ se coupant sous la partie suspendue forment un angle convexe : des plans $\{123\}$ vont donc apparaître à cette intersection et être gravés.

Le schéma de la figure 5.9(a) donne la vue du dessus du micro-pont de la figure 5.8 au milieu de l'étape de gravure convexe. Le schéma de la figure 5.9(b) montre ce même micro-pont à la fin de cette étape (le micro-pont est alors totalement suspendu, et on peut considérer que l'étape de gravure est terminée, si on néglige la gravure des plans $\{111\}$). Le schéma de la figure 5.9(c) montre à quoi correspondent les distances D et D_M pour ce micro-pont.

La vitesse de déplacement du point M, pour parcourir la distance D_M , a été déterminée au chapitre 2 : $U_M \approx 0.77 \mu\text{m}/\text{min}$. L'étape de gravure convexe pour un micro-pont va donc durer un temps t_{conv} , défini par l'équation :

$$t_{conv} = \frac{D_M}{U_M} = \frac{l + D}{U_M} \quad (5.2)$$

Le temps de gravure t_{grav} nécessaire à la suspension totale d'un micro-pont est donné par l'équation 5.3, à partir des considérations exposées ci-dessus.

$$t_{grav} = t_{diag} + t_{conv} = \frac{l}{2R_{Si\{100\}}} + \frac{l + D}{U_M} \quad (5.3)$$

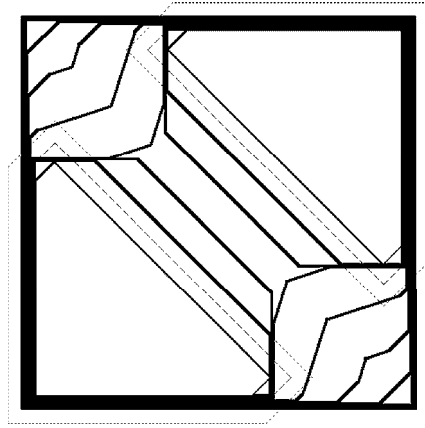


Figure 5.10: Résultat d'une simulation de gravure avec ACESIM sur un micro-pont.

On remarque que ce temps ne dépend que de la valeur de D , des vitesses de gravure des plans $\{100\}$ et $\{123\}$ du silicium, et de la largeur du micro-pont, mais pas de sa longueur.

La figure 5.10 donne le résultat d'une simulation de gravure de 90 minutes sur un micro-pont de largeur $22.5 \mu\text{m}$, dont les zones de silicium à nu sont des triangles rectangles de côté $30 \mu\text{m}$ et pour lequel $D=5 \mu\text{m}$. La vue du dessus de la cavité créée est affichée toutes les 10 minutes de gravure. On constate facilement l'avancée des plans $\{100\}$ et celle des plans $\{123\}$, respectivement pour l'étape de gravure diagonale et pour l'étape de gravure convexe.

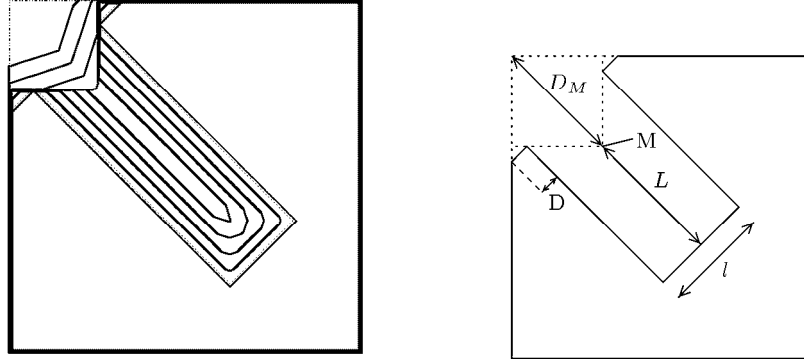
b. Temps de gravure pour la suspension totale d'une micro-poutre diagonale

On appelle micro-poutre diagonale une structure suspendue en diagonale par un seul point d'attache (voir la figure 5.11). La figure 5.11(a) donne le résultat d'une simulation de gravure de 4 heures sur une micro-poutre diagonale de largeur $l = 125 \mu\text{m}$ et de longueur $L = 300 \mu\text{m}$ (la signification des symboles l et L est donnée par le schéma de la figure 5.11(b)). La vue du dessus de la cavité créée est affichée toutes les 30 minutes de gravure.

On peut, comme dans le cas du micro-pont, séparer le processus de gravure en une étape de gravure diagonale et une étape de gravure convexe. L'étape de gravure diagonale dure jusqu'à ce que le point M soit atteint. On a donc :

$$t_{diag} = \frac{l/2}{R_{Si\{100\}}} \quad \text{si } L \geq l/2 \quad (5.4)$$

$$t_{diag} = \frac{L}{R_{Si\{100\}}} \quad \text{si } L \leq l/2 \quad (5.5)$$



(a) Résultat d'une simulation de gravure avec ACESIM sur une micro-poutre diagonale.

(b) Signification des dimensions de la micro-poutre diagonale simulée.

Figure 5.11: Processus de gravure anisotropique sur une micro-poutre diagonale.

On a, dans la très grande majorité des cas, $L \geq l/2$: il est en effet le plus souvent intéressant d'avoir une structure suspendue plus longue que large. On calcule la valeur de t_{conv} comme pour le micro-pont :

$$t_{conv} = \frac{D_M}{U_M} = \frac{l + D}{U_M} \quad (5.6)$$

Le temps de gravure nécessaire à la suspension totale d'une micro-poutre diagonale est donc :

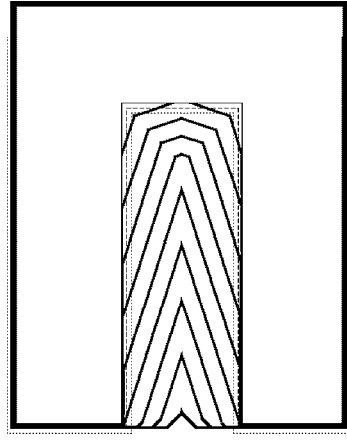
$$t_{grav} = \frac{l/2}{R_{Si\{100\}}} + \frac{l + D}{U_M} \quad \text{si } L \geq l/2 \quad (5.7)$$

$$t_{grav} = \frac{L}{R_{Si\{100\}}} + \frac{l + D}{U_M} \quad \text{si } L \leq l/2 \quad (5.8)$$

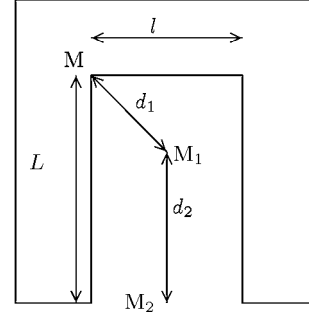
c. Temps de gravure pour la suspension totale d'une micro-poutre non diagonale

On appelle micro-poutre non diagonale une structure suspendue par un seul point d'attache et dont les bords sont alignés sur la grille (X,Y) des logiciels de dessin de masques (voir la figure 5.12). La figure 5.12(a) donne le résultat d'une simulation de gravure de 90 minutes sur une micro-poutre non diagonale de largeur $l = 50 \mu\text{m}$ et de longueur $L = 130 \mu\text{m}$ (la signification des valeurs de l et L est donnée par le schéma de la figure 5.12(b)). La vue du dessus de la cavité créée est affichée toutes les 10 minutes de gravure.

Le processus de gravure d'une micro-poutre non-diagonale consiste uniquement en une étape de gravure convexe (puisque'il n'y a pas de côté en diagonale exposant des



(a) Résultat d'une simulation de gravure avec ACESIM sur une micro-poutre non diagonale.



(b) Signification des dimensions de la micro-poutre simulée.

Figure 5.12: Processus de gravure anisotropique sur une micro-poutre non diagonale.

plans $\{100\}$ à la gravure). Le résultat de la simulation de gravure montre que les plans $\{123\}$ apparaissant aux angles suspendus de la structure se rejoignent sur l'axe de symétrie de celle-ci. L'étape de gravure diagonale peut être subdivisée en deux étapes de gravure convexe, pendant lesquelles le point M se déplace respectivement de la distance d_1 et de la distance d_2 (voir le schéma de la figure 5.12(b)). On a donc :

$$t_{grav} = t_{conv1} + t_{conv2} = \frac{d_1 + d_2}{U_M} \quad (5.9)$$

On peut déterminer d_1 et d_2 en fonction des dimensions de la micro-poutre :

$$d_1 = \frac{l\sqrt{2}}{2} \quad (5.10)$$

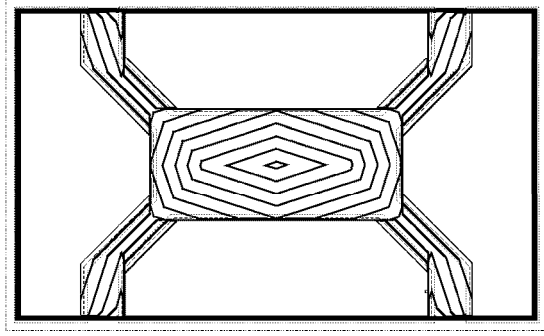
$$d_2 = L - \frac{l}{2} \quad (5.11)$$

On a donc :

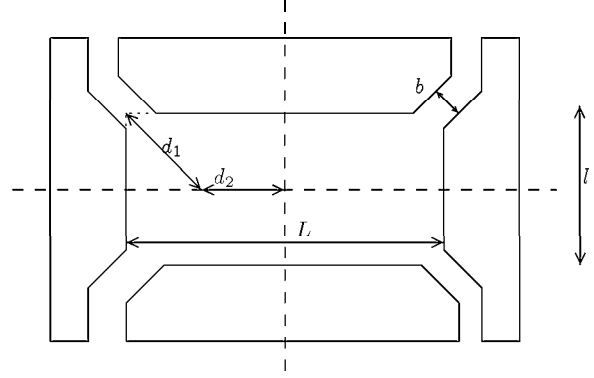
$$t_{grav} = \frac{2L + l(\sqrt{2} - 1)}{2U_M} \quad (5.12)$$

d. Temps de gravure pour la suspension totale d'une micro-membrane

L'exemple de gravure de la micro-membrane présenté ici permet la compréhension du procédé de gravure anisotropique sur des structures plus complexes que des micro-ponts ou des micro-poutres. La figure 5.13(a) donne le résultat d'une simulation de



(a) Résultat d'une simulation de gravure avec ACESIM sur une micro-membrane.



(b) Signification des dimensions de la micro-membrane simulée.

Figure 5.13: Processus de gravure anisotropique sur une micro-membrane.

gravure de 120 minutes sur une micro-membrane dont les bras de suspension ont une largeur $b = 22 \mu\text{m}$, et dont la partie centrale a pour dimensions $l = 65 \mu\text{m}$ et $L = 146 \mu\text{m}$. La vue du dessus de la cavité créée est affichée toutes les 10 minutes de gravure.

L'étape de gravure diagonale correspond au micro-usinage du silicium sous les bras de suspension de la membrane, et l'étape de gravure convexe correspond à la gravure des plans $\{123\}$ apparaissant aux angles de la partie centrale. On a donc :

$$t_{diag} = \frac{b/2}{R_{Si\{100\}}} \quad (5.13)$$

$$t_{conv} = \frac{d_1 + d_2}{U_M} = \frac{L + l(\sqrt{2} - 1)}{2U_M} \quad (5.14)$$

On a par conséquent :

$$t_{grav} = \frac{b}{2R_{Si\{100\}}} + \frac{L + l(\sqrt{2} - 1)}{2U_M} \quad (5.15)$$

5.2.2.3 Espace entre le chemin de découpe et les plots

L'étape de micro-usinage en volume du silicium étant réalisée sur des puces, et non sur des plaquettes, les plans $\{110\}$ du bord des puces sont attaqués au cours de la gravure. La photo de la figure 2.45 (page 60) montre l'état d'une puce micro-usinée pendant 6 heures dans EDP à 90°C : les bords de la puce ont été sévèrement attaqués, et quelques uns des composants contenus sur les angles de la puce se retrouvent suspendus.

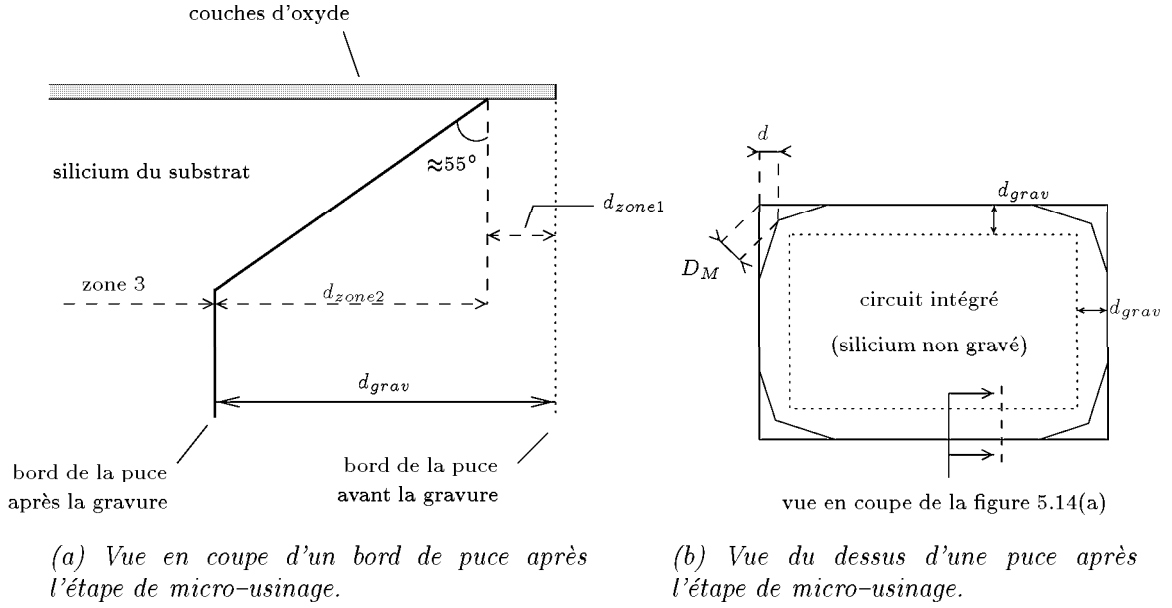


Figure 5.14: Influence de l'étape de micro-usinage sur les bords d'une puce.

La gravure est limitée par des plans $\{111\}$ au niveau de la surface de la puce, comme le montre la photo de la figure 2.11(a) (page 24).

Le schéma de la figure 5.14(a) donne la vue en coupe d'un bord de puce après l'étape de micro-usinage (la zone de la puce correspondant à cette vue en coupe est donnée par le schéma de la figure 5.14(b)). La vue en coupe peut être divisée en trois zones distinctes.

- la zone 1 correspond aux endroits où le dioxyde de silicium est totalement suspendu au bord de la puce. L'intersection des plans $\{111\}$ avec le plan de la surface de la puce se déplace au cours de la gravure à la vitesse $U_{Si\{111\}} \approx 220 \text{ \AA}/\text{min}$, c'est-à-dire environ $1.3 \text{ \mu m}/\text{h}$. La largeur de la zone 1 pour une étape de micro-usinage de 6 heures dans EDP est donc de l'ordre de $8 \text{ \mu m}$.
- la zone 2 correspond aux endroits où la gravure des plans $\{110\}$ des bords de la puce a été arrêtée par les plans $\{111\}$ proches de la surface. La vitesse de gravure de ces plans $\{110\}$ n'a pu être mesurée précisément avec les puces de test fabriquées. Il est cependant clair que cette vitesse est proche de celle des plans $\{100\}$. Afin d'être certain qu'aucun composant à la périphérie des puces ne sera involontairement suspendu, on pose, pour effectuer les calculs de ce paragraphe, que $R_{Si\{110\}}$ est égal à la plus grande valeur de $R_{Si\{100\}}$ mesurée :

$$R_{Si\{110\}} = R_{Si\{100\}} //, \text{ face avant} \approx 0.74 \text{ \mu m}/\text{min} \quad (5.16)$$

On a donc, pour $t_{grav} = 6 \text{ h}$:

$$d_{zone2} = R_{Si\{110\}} \times t_{grav} \approx 266 \text{ \mu m} \quad (5.17)$$

- la zone 3 correspond au cœur de la puce, où le silicium monocristallin n'a pas été attaqué au cours de la gravure.

A partir des considérations exposées ci-dessus, on calcule :

$$d_{grav} = d_{zone1} + d_{zone2} \approx 275 \mu\text{m} \quad (5.18)$$

La valeur de d_{grav} est importante, dans la mesure où les plots métalliques sont disposés à la périphérie des circuits. L'opération de soudure sur ces plots peut provoquer la cassure du bord des puces si les plots sont placés trop près du bord de la zone 2, ou dans la zone 1.

On constate également sur la photo de la figure 2.45 que les angles des puces sont très fortement attaqués au cours de la gravure. En effet, des plans $\{123\}$ apparaissent à ces angles, car les plans $\{111\}$ y forment des angles convexes. La valeur de la distance D_M peut être déterminée de la même façon que pour les structures micro-usinées en volume :

$$D_M = t_{grav} \times U_M \approx 277 \mu\text{m} \text{ pour } t_{grav} = 6\text{h} \quad (5.19)$$

On peut donc calculer la valeur de d , représentant la distance minimale à respecter entre les composants du cœur de la puce et le chemin de découpe :

$$d = D_M \times \sin(45^\circ) \quad (5.20)$$

C'est-à-dire :

$$d \approx 195 \mu\text{m} \quad (5.21)$$

La mince couche de dioxyde de silicium suspendue aux angles des puces a tendance à se casser, ce qui peut créer des fissures dans les couches d'oxyde du circuit intégré, et perturber le fonctionnement de celui-ci. Il est donc intéressant de creuser, grâce à l'étape de micro-usinage, une rainure sur la face avant des circuits, permettant de séparer totalement les couches d'oxydes partiellement suspendues des couches d'oxyde du circuit intégré. Cette rainure n'a véritablement d'intérêt qu'aux angles des puces, puisque le dioxyde de silicium n'est suspendu que sur une largeur de $8 \mu\text{m}$ le long des bords. Cependant, pour des raisons de simplicité de génération des chemins de découpe, la rainure sera placée à la périphérie de toute la puce.

Enfin, ATMEL-ES2 utilise des couches de métal pour indiquer à quel endroit faire passer la scie au cours de l'opération de découpage des circuits. Ces couches servent également d'anneau de garde au circuit électronique intégré. Des couches de métal doivent donc être placées à la périphérie des circuits, afin d'indiquer le chemin de découpe à emprunter. Les couches généralement utilisées pour créer l'anneau de garde des circuits doivent être conservées. Les schémas de la figure 5.15 donnent les chemins de découpe utilisés pour les puces avec et sans étape de micro-usinage.

Les schémas des figures 5.16 et 5.17 donnent la vue en coupe, après l'étape de micro-usinage, d'un bord de puce contenant le chemin de découpe décrit dans ce paragraphe.

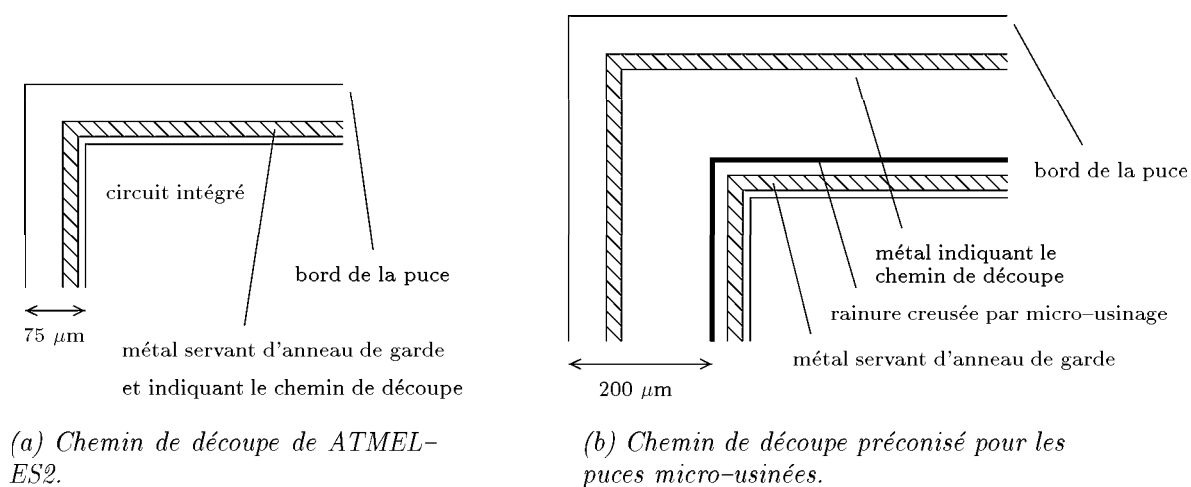


Figure 5.15: Comparaison du chemin de découpe de ATMEL-ES2 avec celui préconisé pour les puces micro-usinées.

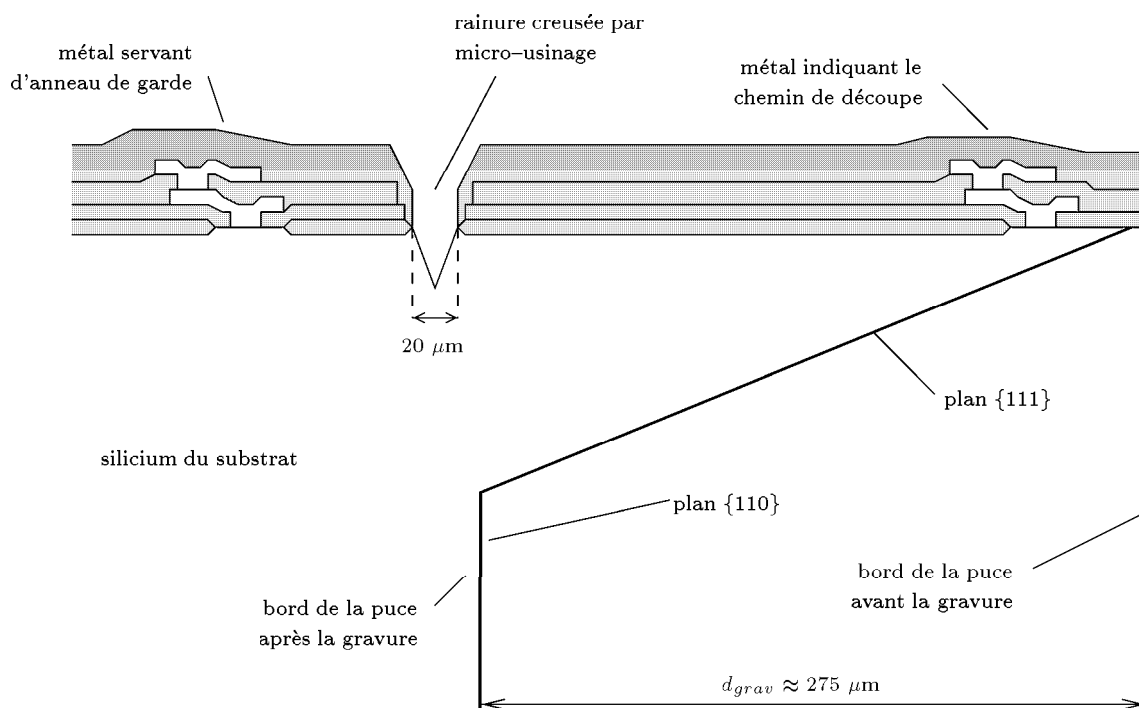


Figure 5.16: Vue en coupe d'un bord de puce (plan $\{111\}$) après l'étape de micro-usinage.

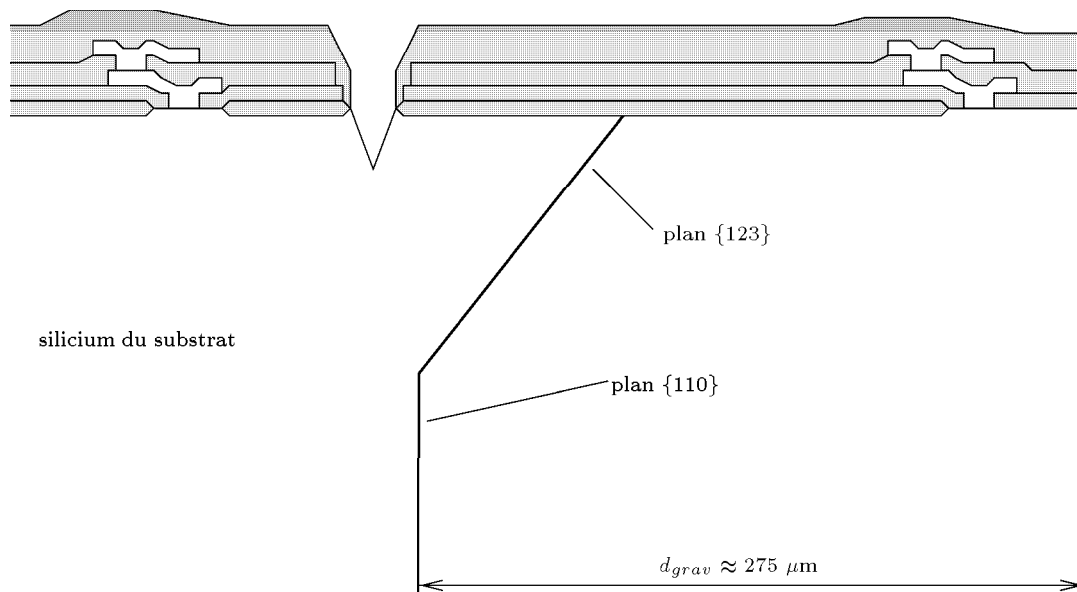


Figure 5.17: Vue en coupe d'un angle de puce (plan {123}) après l'étape de micro-usinage.

5.3 Règles pour la fabrication de circuits microsystemes

La fabrication des puces, sur les lignes industrielles de ATMEL-ES2 et AMS, ne peut pas être soumise à des contraintes spécifiques aux microsystemes : les procédés de fabrication sont en effet totalement fixés par les fondeurs, et il est impossible d'apporter des modifications à la moindre étape.

Par contre, après la sortie de fonderie des puces, il est important de respecter quelques règles, énoncées ci-dessous, et permettant de conserver les circuits en bon état.

Les circuits microsystemes peuvent contenir des composants électroniques intégrés, très sensibles aux décharges électrostatiques. Il est donc nécessaire de manipuler les puces avec de grandes précautions.

Les circuits étant passivés, ils ne craignent plus (ou moins) les impuretés polluantes ou les poussières de l'air. Il est tout de même préférable de n'ouvrir les boîtes alvéolées contenant les puces que dans des environnements propres.

Les contraintes spécifiques à l'opération de micro-usinage sont peu nombreuses (les règles à respecter pour se protéger de la solution d'EDP, très toxique, ne seront pas énoncées dans ce paragraphe [191]) : il est tout simplement nécessaire d'ouvrir le moins souvent et le moins longtemps possible le bain de gravure, puisque l'oxygène de l'air augmente très sensiblement les vitesses de gravure (voir le paragraphe 2.4.3.1). Les circuits peuvent donc être micro-usinés plus que prévu, ce qui peut poser un problème au niveau de la gravure des bords des puces en particulier (voir le paragraphe 5.2.2.3). Un contrôle précis de la température du bain et de la concentration des constituants de la solution permettent également d'assurer une bonne reproductibilité du procédé de micro-usinage.

Les puces micro-usinées doivent être manipulées avec de très grandes précautions, à cause de la fragilité des structures suspendues. La principale étape conduisant à la cassure de parties suspendues est celle du transport, dans des boîtes alvéolées classiques, des circuits micro-usinés et pas encore mis en boîtier. Ainsi, lorsqu'une boîte contenant des puces micro-usinées est retournée, les structures suspendues peuvent venir heurter son couvercle et se casser. L'utilisation de boîtes à fond collant (boîtes GELPACK) n'apporte pas de solution à ce problème : la face arrière des puces, attaquée pendant l'étape de micro-usinage, n'est plus parfaitement plane, et ne permet plus une bonne adhérence à la matière collante. L'utilisation de ces boîtes est même à proscrire, dans la mesure où la face avant des puces, en revanche, adhère très bien au fond collant : au cours du transport de puces micro-usinées dans des boîtes GELPACK, les puces peuvent se retourner, et leur face avant se coller. Les puces peuvent alors facilement être décollées (les boîtes sont prévues pour), mais les parties suspendues risquent de rester dans la matière collante.

La seule solution pour éviter le problème de cassure des structures suspendues pendant les étapes de transport consiste à effectuer la mise en boîtier sur le lieu même où est effectuée l'étape de micro-usinage (les structures suspendues des puces mises en boîtiers ne risquent quasiment plus de se briser). Cette solution n'a pas pu être mise en œuvre par le service CMP (le micro-usinage est effectué par l'ESIEE, la mise en boîtier par EDGETEK, à Paris également). Il est donc important, au cours de la conception des composants à suspendre, de veiller à ce que ceux-ci soient suffisamment solides.

La dernière étape critique de la fabrication des circuits microsystemes est celle de la mise en boîtier ("*packaging*"). Les boîtiers utilisés sont des boîtiers classiques aux circuits intégrés, dont les couvercles ne pas scellés.

Les puces sont généralement aspirées par une suceuse lors de leur manipulation de la boîte alvéolée vers le boîtier. La face avant des circuits microsystemes contenant des parties suspendues, il est bien sûr nécessaire de ne pas utiliser ce mode de manipulation, et de lui préférer une simple pince précelle.

5.4 Obtention de plots métalliques protégés contre la gravure

Des solutions à l'attaque de la couche de métallisation ont été proposées par différents auteurs. La plus simple à imaginer (mais pas à faire mettre en œuvre par les industriels. . .) consiste tout simplement à remplacer l'aluminium par un autre matériau qui soit inattaquable, ou à recouvrir l'aluminium par ce matériau au niveau des ouvertures des plots seulement. L'or [105] et le molybdène [105] pourraient être ce matériau.

Une autre solution, proposée par le service MOSIS¹, consiste à effectuer l'opération de micro-usinage sur des circuits déjà mis en boîtiers. Cette technique présente en outre l'avantage de permettre de travailler sur des échantillons de taille plus importante lors des étapes

¹service de prototypage multi-projets similaire à CMP, aux Etats Unis.

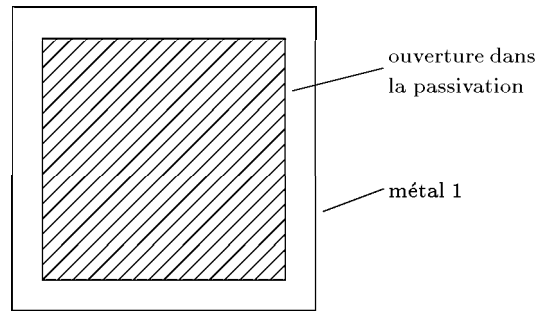


Figure 5.18: Dessin des masques des plots protégés par l'oxyde CVD 2.

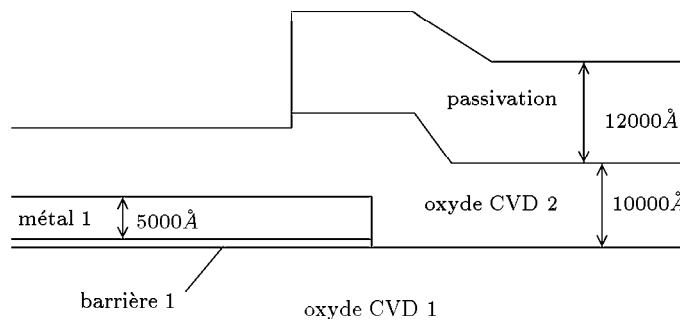


Figure 5.19: Vue en coupe des plots protégés par l'oxyde CVD 2.

de micro-usinage. Elle n'a cependant pas été validée à grande échelle : il est en effet possible (même si c'est peu probable) qu'une réaction chimique puisse avoir lieu en parallèle avec un des composants du boîtier, ou que la qualité de la soudure soit amoindrie au cours de la gravure. Cette technique n'a pas été testée au cours des travaux présentés.

La technique de protection des plots présentée dans ce paragraphe consiste à recouvrir la couche supérieure d'aluminium d'une mince couche d'oxyde, résistant à la gravure par EDP, et à travers laquelle une soudure peut être effectuée.

Le schéma de la figure 5.18 donne le dessin des masques de ces plots, consistant en un seul niveau de métal (au lieu des deux niveaux de métal superposés) et une ouverture dans la passivation (alors que le dessin des masques des plots classiques contient une ouverture dans la passivation et un via superposés). Le schéma de la figure 5.19 donne une vue en coupe de ces plots, fabriqués avec la technologie CAE (CMOS 1.2 μm) de AMS (vue à comparer avec celle de la figure 2.33, page 43). La vue en coupe obtenue pour un plot protégé avec de l'oxyde, fabriqué avec la technologie ECPD10 de ATMEL-ES2 est presque identique : seules les épaisseurs des couches changent.

La figure 5.20 donne le résultat d'une mesure effectuée à l'Alpha-Step sur un plot protégé et un plot standard. On constate que la profondeur des zones de soudure des plots par rapport à la surface de la couche de passivation est à peu près la même pour les deux plots. La profondeur des plots protégés par l'oxyde est en fait très légèrement supérieure (de 200 à 1000 Å). La seule différence entre ces deux plots est le remplacement de la couche de métal 2

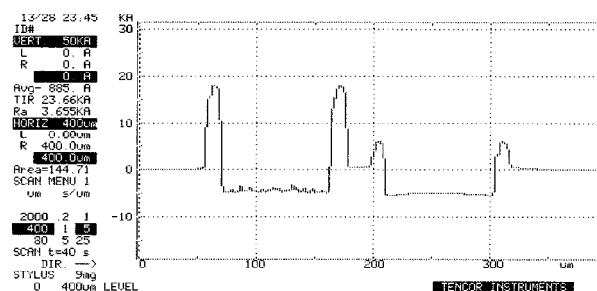


Figure 5.20: Résultat d'une mesure Alpha-Step sur un plot protégé (à droite) et un plot classique (à gauche).

du plot standard par de l'oxyde CVD 2 sur le plot protégé. Cette couche d'oxyde CVD 2 est légèrement attaquée lors de l'étape d'ouverture dans la passivation, comme le montre le schéma de la figure 5.19. La couche de métal 1 reste cependant protégée par de l'oxyde CVD 2, dont l'épaisseur est proche de celle du métal 2 : il reste donc un peu moins de $1\ \mu\text{m}$ d'oxyde sur le métal 1 des plots protégés contre la gravure.

Le principal intérêt de cette technique est qu'elle ne requiert pas l'utilisation d'un masque supplémentaire : la protection des plots d'aluminium avec une mince couche d'oxyde est réalisée simplement en jouant sur la superposition des masques lors de la conception et la fabrication des circuits.

La faisabilité de soudures sur ce type de plots a été démontrée au CIME : il a simplement été nécessaire de modifier un peu les réglages de l'appareil utilisé pour effectuer les soudures sur les plots habituels. Le test sous pointes, à travers l'oxyde, est également possible, même si le contact vers les plots est dans ce cas de qualité médiocre.

Cette technique de protection des plots pourrait être très importante dans le cadre de l'effort effectué pour tenter d'industrialiser les circuits microsystemes. En effet, tous les procédés de fabrication VLSI (en particulier les procédés CMOS analogiques et BiCMOS de AMS) peuvent être utilisés pour réaliser des structures suspendues, et la technique de protection des plots permet d'être certain que la couche de métal des plots n'est pas attaquée au cours de l'opération de gravure, donc que les structures suspendues et les circuits électroniques intégrés vont pouvoir fonctionner électriquement.

Il est cependant nécessaire de vérifier la qualité de la soudure obtenue : il est en effet très probable que la résistance et surtout la capacité de contact sur les plots soient sensiblement augmentés par la couche d'oxyde, ce qui pourrait poser un problème pour le fonctionnement en haute fréquence des circuits électroniques intégrés (en particulier pour les signaux d'horloge).

5.5 Conclusion

Les principales contraintes à respecter lors de la conception et la fabrication de circuits microsystemes, obtenus par le procédé de micro-usinage en volume avec EDP de puces CMOS, ont été présentées dans ce chapitre.

L'ensemble des règles relatives à la conception de circuits microsystemes fabriqués avec la technologie ECPD10 de ATMEL-ES2 est exposé dans un document technique [4], diffusé par le service CMP. L'amélioration de ces règles, en collaboration avec les ingénieurs technologues de ATMEL-ES2, est actuellement en cours [129].

La technique permettant d'obtenir des plots protégés contre la gravure a également été présentée dans ce chapitre. Ces plots vont permettre l'ouverture, au cours de l'année 1997, des technologies de fabrication de AMS aux microsystemes. Ce point est très important dans le cadre du développement du service CMP microsystemes, dans la mesure où les procédés de fabrication de AMS permettent l'obtention de circuits analogiques, alors que le procédé de fabrication ECPD10 de ATMEL-ES2 est un procédé de fabrication pour circuits logiques (permettant également la fabrication de circuits analogiques, mais au fonctionnement moins précis).

Chapitre 6

OUTILS D'AIDE A LA CONCEPTION DE MICROSYSTEMES : ADAPTATION DE CADENCE OPUS

Chapitre 6

OUTILS D'AIDE A LA CONCEPTION DE MICROSYSTEMES : ADAPTATION DE CADENCE OPUS

La conception de circuits microsystemes est actuellement rendue très difficile par le manque d'outils de CAO (Conception Assistée par Ordinateur) adaptés [161]. Dans le cadre de l'extension aux microsystemes des procédés de fabrication et des méthodes de conception classiques à la microélectronique, le logiciel de conception **Cadence Opus** a été adapté pour permettre la conception de circuits contenant des composants à suspendre par micro-usinage en volume¹.

Un ensemble de conception ("*design kit*") a été créé et distribué aux clients du service CMP qui en ont fait la demande², dans le cadre de l'extension du service aux microsystemes (voir l'annexe C).

Cet ensemble de conception est constitué d'une bibliothèque de cellules microsystemes, d'un fichier technologique adapté, de procédures Skill³ écrites afin de gérer l'environnement défini, et du logiciel ACESIM, permettant la simulation de la gravure anisotropique. Le *kit* a été conçu pour la fabrication de puces en technologie CMOS 1 μm (ECPD10) de ATMEL-ES2, suivie d'une étape de micro-usinage en volume par la face avant avec la solution d'EDP, et est facilement adaptable aux autres technologies microsystemes. Il permet la conception simultanée de composants à suspendre et de composants électroniques intégrés classiques, pouvant être placés sur une même puce.

L'approche générale choisie pour adapter les outils de CAO à la conception de circuits microsystemes a été calquée sur celle des circuits classiques : il est ainsi possible de concevoir un circuit au niveau schématique, puis d'utiliser un outil de placement et de routage pour en obtenir les dessins de masques. Il est également possible de dessiner directement les masques qui vont être utilisés pour la fabrication des composants à suspendre, ou encore d'utiliser

¹Un travail similaire a été effectué postérieurement par un autre membre du groupe MiCroSystèmes de TIMA pour adapter le logiciel Mentor Graphics [5].

²Plus de 75 organisations (laboratoires ou entreprises) ont actuellement installé sur leur site les premières versions du "*kit*" microsystemes pour **Cadence**.

³Langage de programmation propre à **Cadence**.

des cellules de la librairie microsystemes développée.

Un niveau de masque fictif, appelé “zone micro-structure” (voir le paragraphe 5.1), a été ajouté aux masques classiques, afin de différencier les zones contenant des composants microsystemes des zones contenant des composants microélectroniques classiques. Les masques dessinés à l’intérieur de cette zone sont interprétés différemment par les outils de vérification et d’extraction.

6.1 Approche Générale

Le schéma de la figure 6.1 donne la séquence des étapes de conception d’un composant microsysteme. Cette séquence est en fait identique à celle de la conception d’un circuit classique : l’approche choisie pour adapter le logiciel de conception **Cadence** aux microsystemes a en effet été de rester le plus près possible des opérations standards.

L’ensemble de conception créé n’est pas vraiment un *design kit* à part entière : cet ensemble a en effet besoin du *design kit* de ATMEL-ES2 pour fonctionner. Le *kit* microsystemes ajoute en fait des fonctionnalités, spécifiques à la conception de composants à suspendre, au *kit* de ATMEL-ES2.

6.2 Conception au niveau schématique

La conception de circuits microsystemes, au niveau schématique, n’est pas très différente de celle des circuits électroniques : il suffit en effet d’utiliser des symboles de composants à suspendre (pris dans la librairie microsystemes ou créés spécialement) et des symboles classiques dans un même schéma. Il est possible, à partir de ce schéma, d’effectuer des simulations électriques et comportementales, et d’utiliser l’outil de placement et de routage **Cell Ensemble** pour créer les dessins de masque des circuits.

La simulation des circuits microsystemes est un des domaines les plus importants restant à développer. Deux types de simulation peuvent être différenciés :

- la simulation électrique des circuits : les composants microsystemes doivent alors être remplacés par leurs équivalents électriques (résistance, capacité...). Ce type de simulation permet, par exemple, la vérification du fonctionnement du circuit électronique de traitement du signal issu d’un capteur, lorsque ce signal est statique (c’est-à-dire lorsque l’excitation appliquée au capteur est constante).
- la simulation comportementale du circuit, où le fonctionnement des composants microsystemes doit être entièrement modélisé. Ce type de simulation, permettant de vérifier le fonctionnement dynamique de systèmes complexes, fait l’objet de recherches très poussées au sein du groupe MiCroSystèmes du laboratoire TIMA. Ces recherches ne sont cependant pas entrées dans le cadre des travaux exposés.

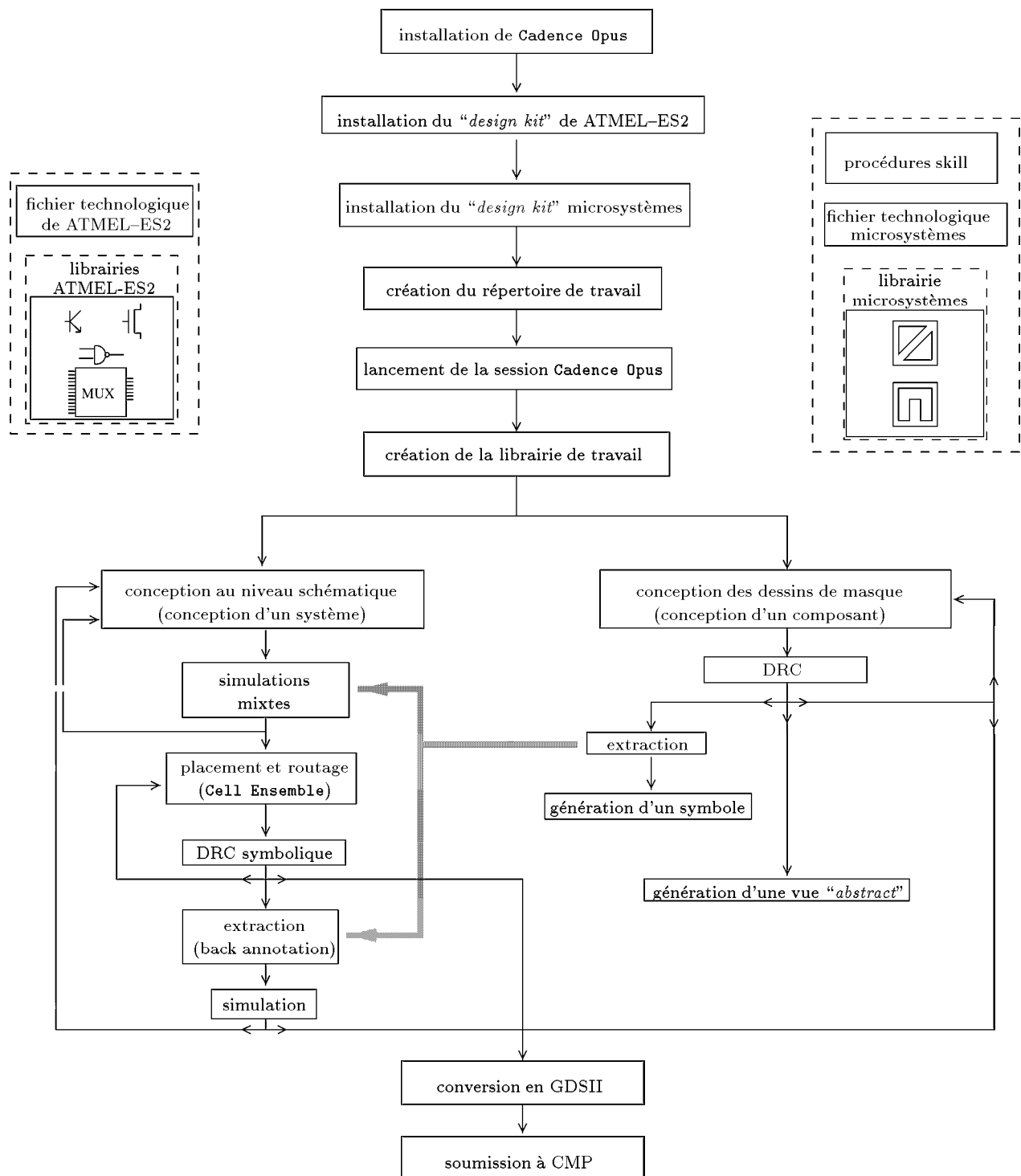


Figure 6.1: Conception de circuits microsystemes avec Cadence.

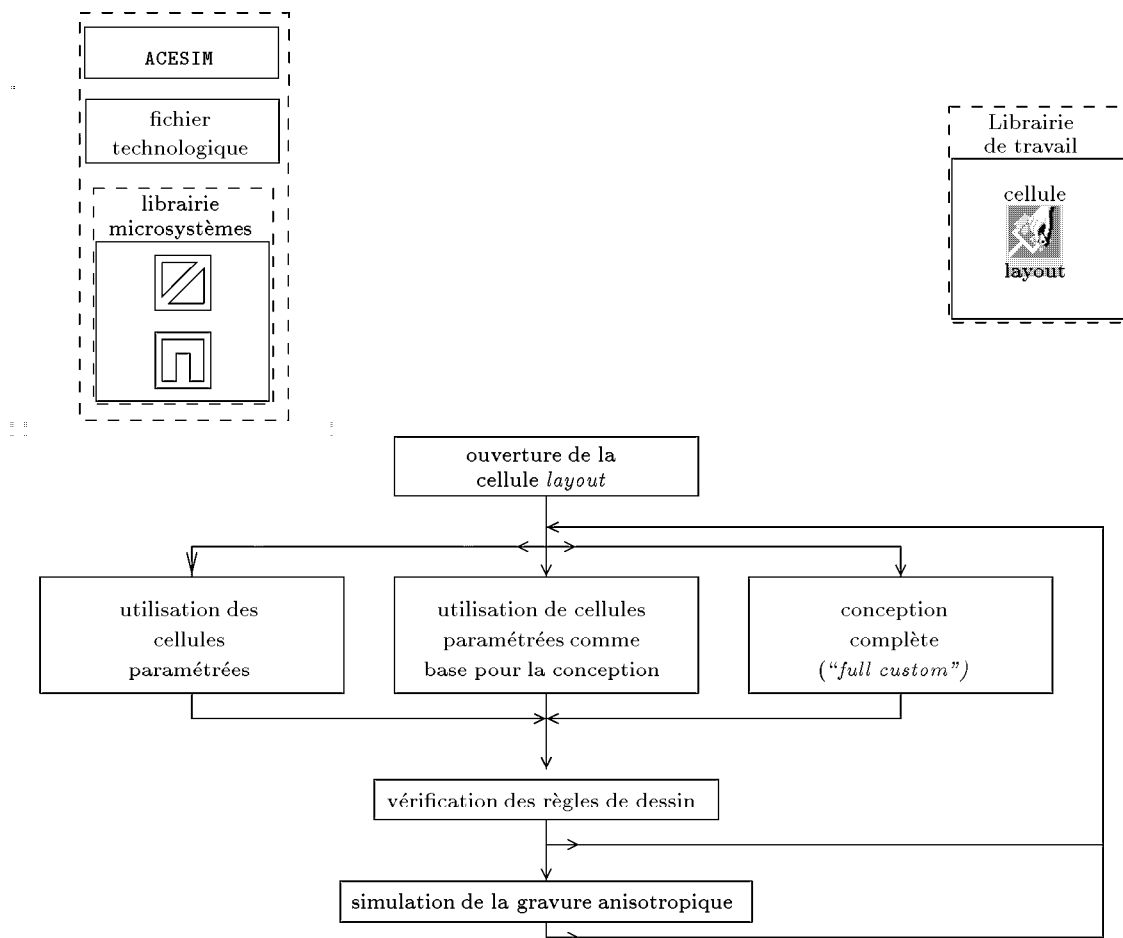


Figure 6.2: Séquence des étapes à effectuer lors de la conception des dessins de masque d'un composant à suspendre.

6.3 Conception des dessins de masque des composants à suspendre

La conception de vues *layout* de composants microsystemes est un peu différente de celle des composants électroniques classiques. Les règles à suivre pour la conception de parties suspendues ne sont bien sûr pas les mêmes (voir le chapitre 5). L'étape de micro-usinage en volume implique de plus des vérifications supplémentaires : il est en effet nécessaire de s'assurer que les parties à suspendre sont correctement micro-usinées avec les conditions de gravure choisies.

Le schéma de la figure 6.2 donne la séquence des étapes à exécuter lors de la conception des dessins de masques d'un composant à suspendre. Il existe trois méthodes permettant d'obtenir le *layout* d'une micro-structure :

- la méthode la plus simple consiste à utiliser les cellules paramétrées de la bibliothèque microsystemes. La figure 6.3 montre comment la cellule paramétrée correspondant à une micro-poutre non diagonale peut être placée au sein d'un circuit.

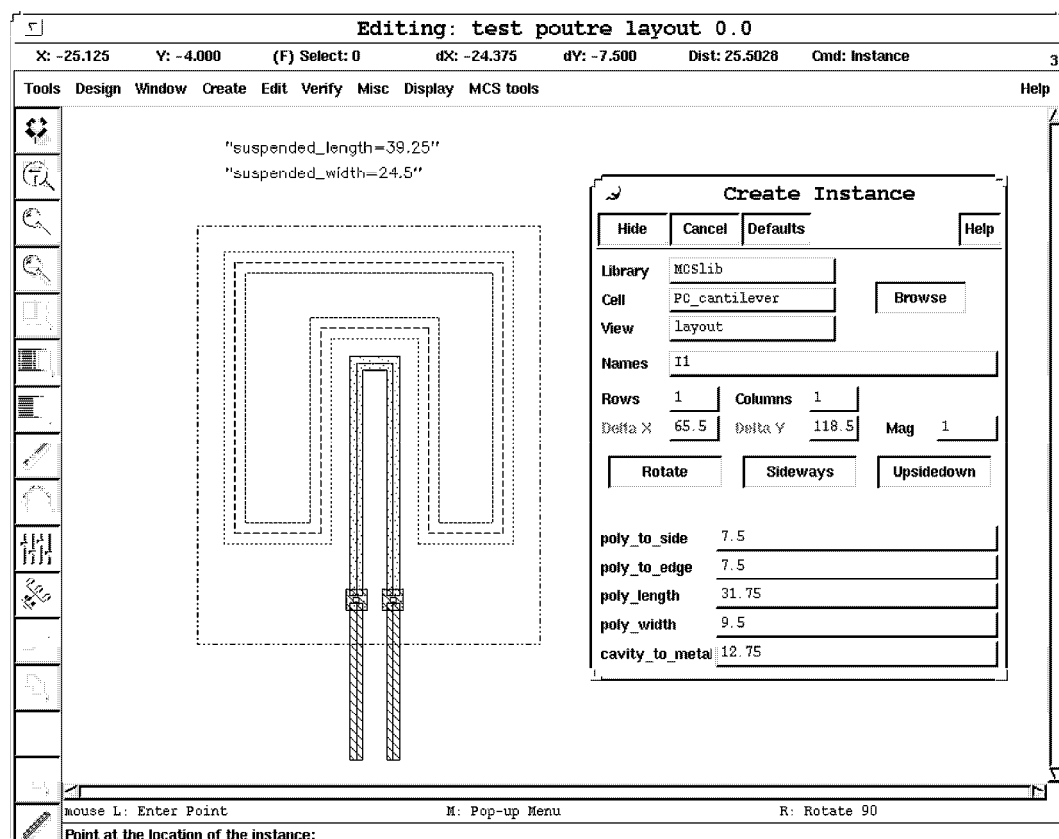
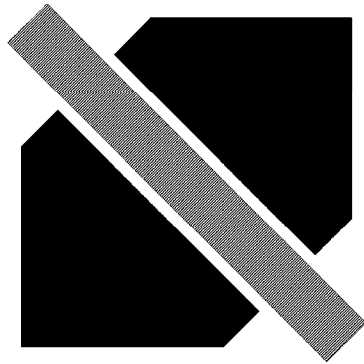


Figure 6.3: Placement d'une cellule paramétrée.

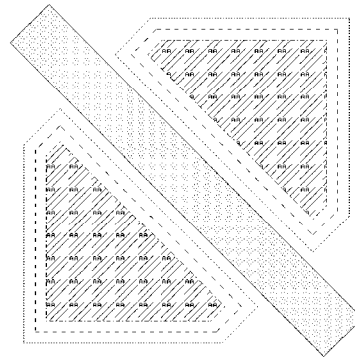
- il est également possible d'utiliser les cellules paramétrées de la librairie microsystemes comme base pour la conception de composants à suspendre plus complexes. Il suffit pour cela de “mettre à plat” une cellule paramétrée placée dans le circuit conçu, et de modifier les dessins de masques obtenus.
- la dernière possibilité consiste à dessiner directement les niveaux de masque des composants à suspendre (“*full custom design*”).

6.3.1 Définition de standards d'affichage adaptés

L'organisation des dessins de masques des composants microsystemes est complètement différente de celle des composants classiques. Les zones de silicium à nu sont par exemple obtenues, entre autres, à partir de grands polygones de “vias”, alors que ce masque est normalement utilisé pour réaliser les interconnexions entre les deux couches de métal. Pour la conception avec **Cadence**, la couche correspondant au via de la technologie ECPD10 de ATMEL-ES2 est de couleur magenta, et est totalement opaque. Ainsi, on ne voit rien à travers le polygone de via dessiné pour créer les zones de silicium à nu, alors que les masques de contact, de zone active et d'ouverture dans la passivation doivent être placés à l'intérieur



(a) Mode d'impression usuel.



(b) Mode d'impression spécifique aux microsystèmes.

Figure 6.4: Dessins de masques d'un micro-pont, imprimés en mode usuel et en mode spécifique aux microsystèmes.

de ce polygone. Ceci conduit à un important manque de confort pendant la conception, puisqu'il est impossible de voir tous les niveaux de masques en même temps. Le problème est identique pour l'impression des circuits : on obtient de grands polygones noirs, comme le montre la figure 6.4(a).

Des standards d'affichage et d'impression ont donc été définis et inclus dans le fichier technologique du procédé ECPD10 adapté pour les microsystèmes, afin de permettre une meilleure visualisation des niveaux de masque dessinés. La figure 6.4(b) montre, avec le mode d'impression adapté, les mêmes dessins de masques que ceux de la figure 6.4(a) : on constate que le mode d'impression défini permet de tirer beaucoup plus d'informations à partir des dessins de masques. La figure 6.5 donne la légende utilisée pour l'impression des dessin de masques.

L'ensemble de conception créé ayant pour objectif de permettre la conception, au même niveau, de composants à suspendre et de composants électroniques classiques, il est important de pouvoir choisir le mode d'affichage adapté au type de composant conçu. Le changement d'affichage peut être facilement effectué dans l'environnement de dessin des masques de **Cadence**, grâce à l'ajout d'un menu spécial, nommé "*Display*".

6.3.2 Bibliothèque de composants microsystèmes

Une bibliothèque de composants microsystèmes, nommée **MCSlib**, a été créée dans le but d'aider les concepteurs à dessiner leurs circuits. Cette bibliothèque contient des microstructures classiques dont les dimensions ont été paramétrées, et quelques cellules standards, comme le pixel thermique (voir le paragraphe 4.2), dont la vue *layout* est représentée sur la figure 6.6.

	zone microstructure (MICBULK)
	caisson N (CNWI)
	zone active (CTOX)
	polysilicium (CPOL)
	dopage N+ (CNPI)
	dopage P+ (CPPI)
	contact (CCON)
	métal 1 (CME1)
	via (CVIA)
	métal 2 (CME2)
	ouverture dans la passivation (CPAS)

Figure 6.5: Légende utilisée pour l'impression des dessin de masques.

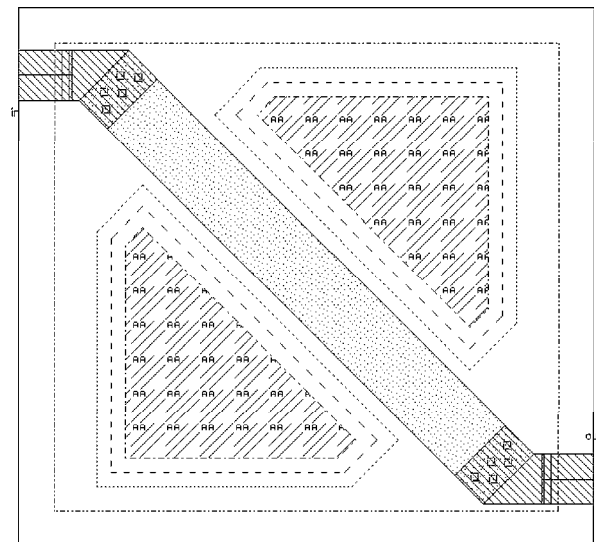


Figure 6.6: Vue "layout" du composant pixel thermique.

6.3.3 Vérification des règles de dessin des composants à suspendre

Les règles de dessin définies au chapitre 5 et dans la documentation diffusée par CMP [4] ont été décrites dans le langage du logiciel *Diva*, utilisé par l'environnement *Cadence Opus* pour la vérification des dessins de masques ("*Design Rules Checking*" : DRC), et incluses dans le fichier technologique adapté aux microsystemes.

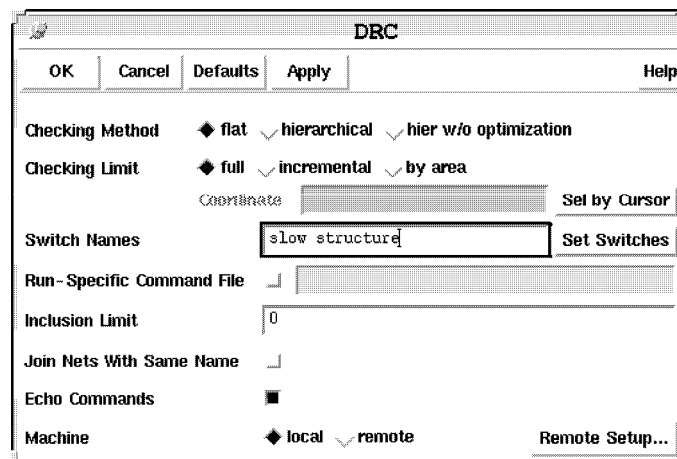


Figure 6.7: Fenêtre utilisée pour la spécification des conditions de la vérification des règles de dessin.

La vérification des règles de dessin s'effectue, comme pour les circuits classiques, en appelant la fonction DRC du menu "*Verify*" de la fenêtre de dessins de masques (voir la figure 6.8). Une fenêtre, dans laquelle les conditions de la vérification des règles de dessin doivent être spécifiées, apparaît alors à l'écran (voir la figure 6.7). Les "*switchs*" permettent de définir quelles catégories de règles doivent être vérifiées. Le *switch* "*slow*" va provoquer la vérification de toutes les règles de dessin associées à la technologie ECPD10 (vérification effectuée sur les polygones de dessins de masques placés à l'extérieur des zones micro-structures seulement). Le *switch* "*structure*" va provoquer la vérification des règles de dessin microsystemes (pour les polygones de dessin de masques placés à l'intérieur de zones micro-structures).

Un exemple de résultat de DRC sur un circuit contenant des composants à suspendre et des composants classiques est donné par la figure 6.8.

6.3.4 Simulation de la gravure anisotropique

La simulation de la gravure anisotropique du silicium est un des éléments clés permettant la conception d'un élément suspendu [18, 22, 39, 58, 70, 175, 189]. Le processus du micro-usinage en volume du silicium est en effet complexe (voir le chapitre 2, consacré à la gravure anisotropique, et le paragraphe 5.2.2.2, détaillant l'étape de gravure de structures simples), et l'apparition de certains plans, limitant fortement la gravure, peut compromettre la suspension totale d'une structure. Il est donc primordial qu'un tel type de simulateur fasse partie de l'environnement de conception de microsystemes.

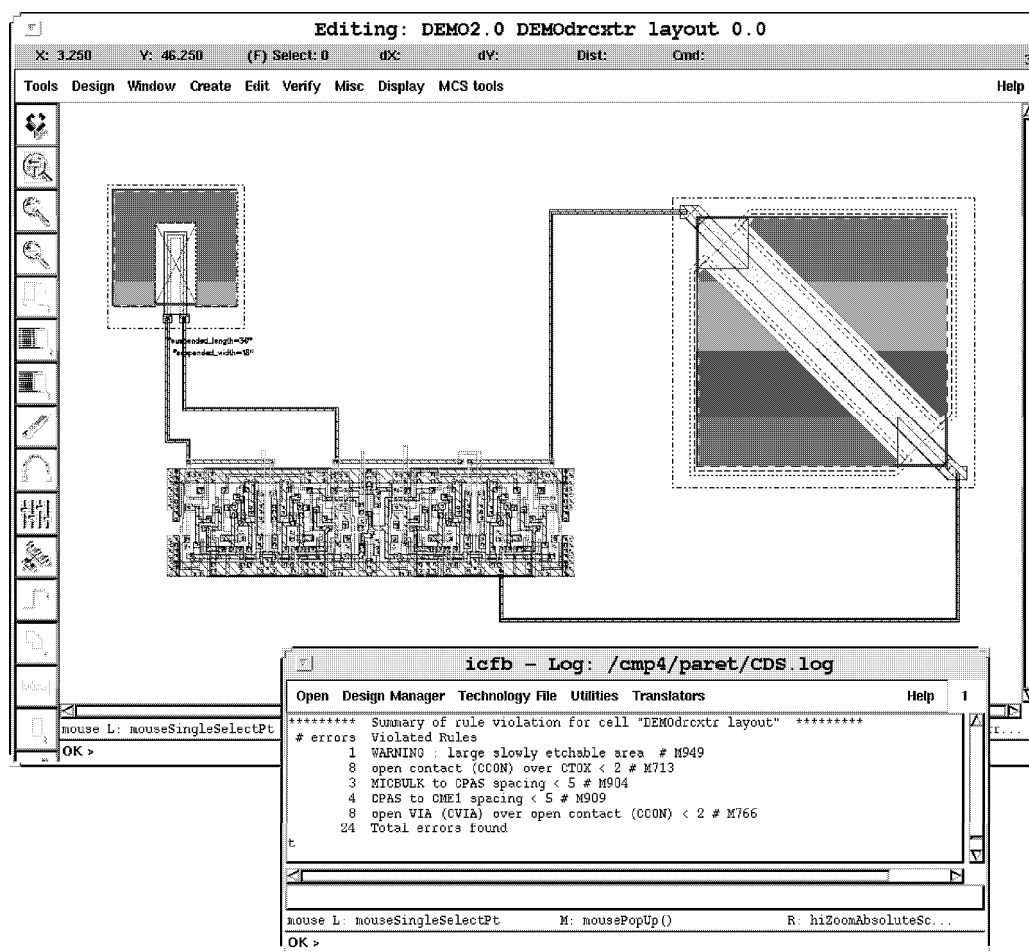


Figure 6.8: Exemple de résultat de vérification des règles de dessin sur un circuit microsystème.

Le logiciel de simulation de la gravure anisotropique du silicium utilisé, ACESIM, a été développé par le groupe MiCroSystèmes du laboratoire TIMA (voir le paragraphe 2.5), et a été couplé avec le logiciel Cadence Opus dans le cadre des travaux exposés. Ce couplage permet la vérification de la dernière étape de fabrication du composant (son micro-usinage) dès la conception de celui-ci, sans sortir de l’environnement du logiciel de dessin des masques.

Les paramètres à entrer dans ACESIM pour effectuer les simulations de gravure sont :

- les coordonnées des zones de silicium à nu des structures à suspendre,
- le temps de gravure total à utiliser pour la simulation,
- le temps de gravure entre chaque affichage de la cavité (voir les figures 5.10 à 5.13),
- un fichier où sont stockées les vitesses de gravure des principaux plans du silicium pour la solution simulée.

Ces entrées sont spécifiées, dans l’environnement Cadence, à partir d’une fenêtre spéciale, représentée par la figure 6.9.

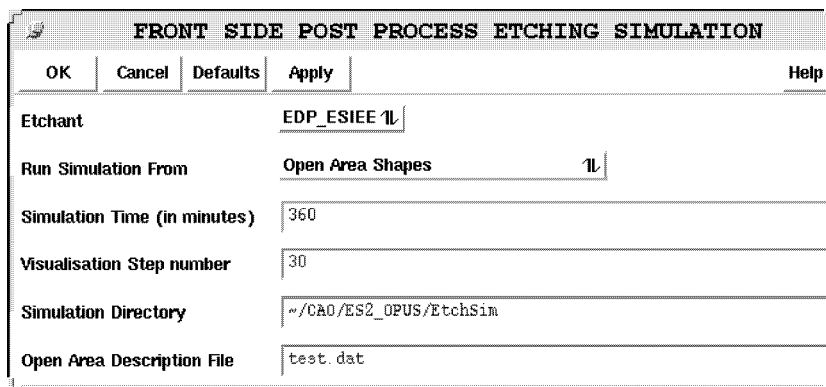


Figure 6.9: Fenêtre utilisée pour la spécification des conditions de gravure à simuler.

6.3.5 Extraction des paramètres électriques des composants à suspendre

Le logiciel Diva permet d’obtenir une description du réseau électrique (“*netlist*”) contenu dans les dessins de masque d’un circuit. Cette opération d’extraction a été étendue aux composants à suspendre. Ces composants contiennent dans la plupart des cas une piste de polysilicium, utilisée par exemple pour les mesures de piezorésistivité ou comme élément émetteur de rayons infrarouges. La valeur de cette résistance est déterminée lors de l’extraction des paramètres avec Diva.

Un exemple de résultat d’extraction sur un circuit contenant des composants microsystèmes est donné par la figure 6.10. Le circuit dont les paramètres électriques ont été extraits est celui de la figure 6.8. La partie supérieure de la figure 6.10 montre le circuit extrait (vue “*extracted*”). La partie inférieure donne le détail de ce circuit correspondant à la micro-poutre. La valeur de la résistance extraite est affichée sur la vue *extracted* ($R \approx 901.6 \Omega$).

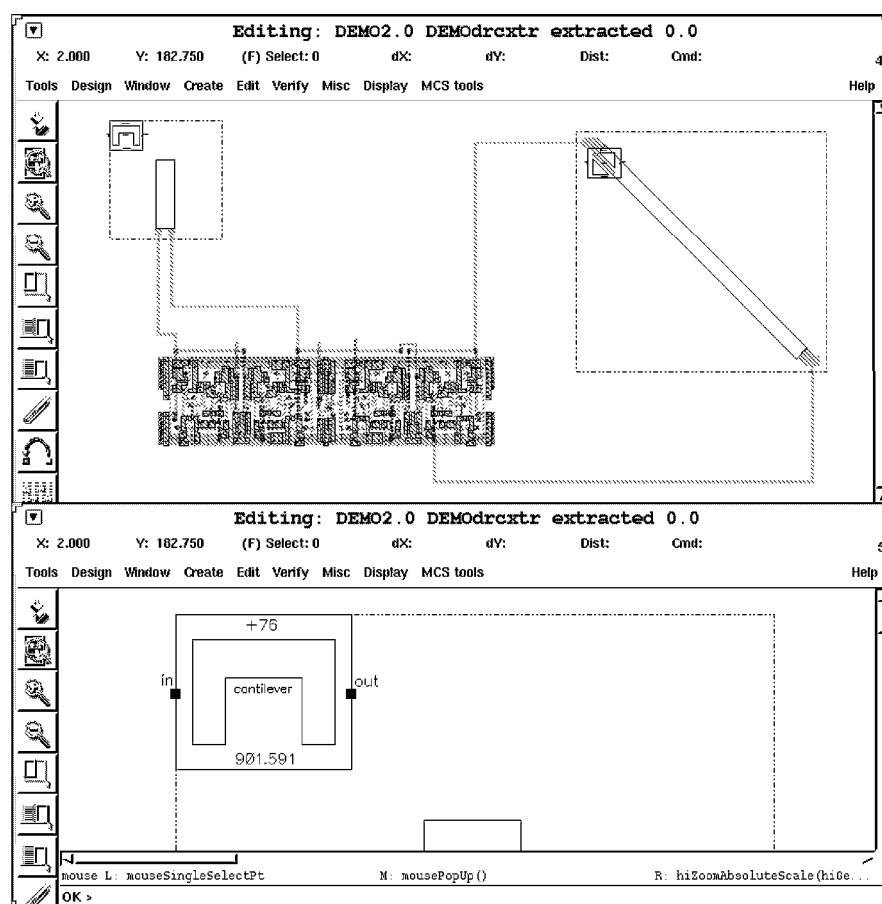


Figure 6.10: Exemple de résultat d'extraction sur un circuit microsysteme.

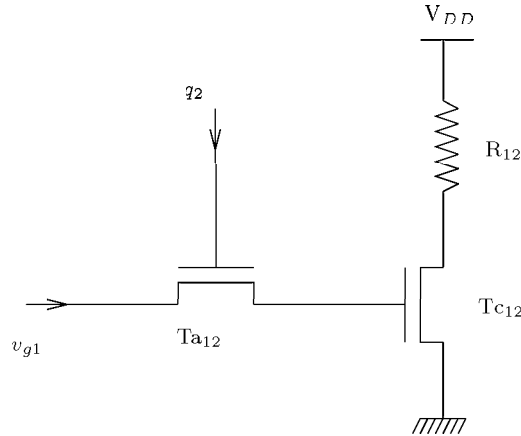


Figure 6.11: Schéma du circuit permettant la commande du pixel de la ligne 1 et de la colonne 2.

6.4 Exemple d'application du *kit* Cadence : conception du circuit PIXEL_TH

Le circuit PIXEL_TH est constitué d'une matrice 4×4 de micro-ponts utilisés comme pixels thermiques, et commandés par un circuit logique intégré sur la même puce. Le principe de fonctionnement et les applications du pixel thermique sont expliqués en détail au paragraphe 4.2.

La vue schématique du circuit PIXEL_TH est donnée par la figure 6.12 [121]. Des symboles de composants à suspendre et de composants électroniques classiques ont été disposés au sein d'un même circuit, et interconnectés.

Le circuit électronique de contrôle, intégré sur la même puce, permet l'adressage par colonne de la matrice de pixels. Ce circuit est constitué d'un simple registre à décalage, permettant d'adresser les colonnes les unes après les autres. L'adressage par ligne est réalisé grâce à des signaux extérieurs (entrée v_{g1} pour les pixels de la ligne n°1 par exemple, comme le montre le schéma de la figure 6.11). Un transistor d'adressage (le transistor Ta_{12} du schéma de la figure 6.11 pour le pixel de la ligne 1 et de la colonne 2), contrôlé par les signaux de ligne et de colonne, permet de commander l'allumage et l'extinction de chaque pixel de la matrice. Le courant traversant le pixel thermique s'écoule à travers un transistor de charge (transistor Tc_{12} du schéma de la figure 6.11 pour le pixel de la ligne 1 et de la colonne 2).

Le fonctionnement électrique du circuit a pu être simulé avec Hspice, après extraction de la valeur de la résistance de polysilicium des pixels (R_{12} sur le schéma de la figure 6.11). Les simulations effectuées ont permis d'optimiser la taille des transistors d'adressage et des transistors de charge des pixels.

Le circuit a été placé et routé en utilisant le logiciel Cell Ensemble. La vue *layout* obtenue est donnée par la figure 6.13.

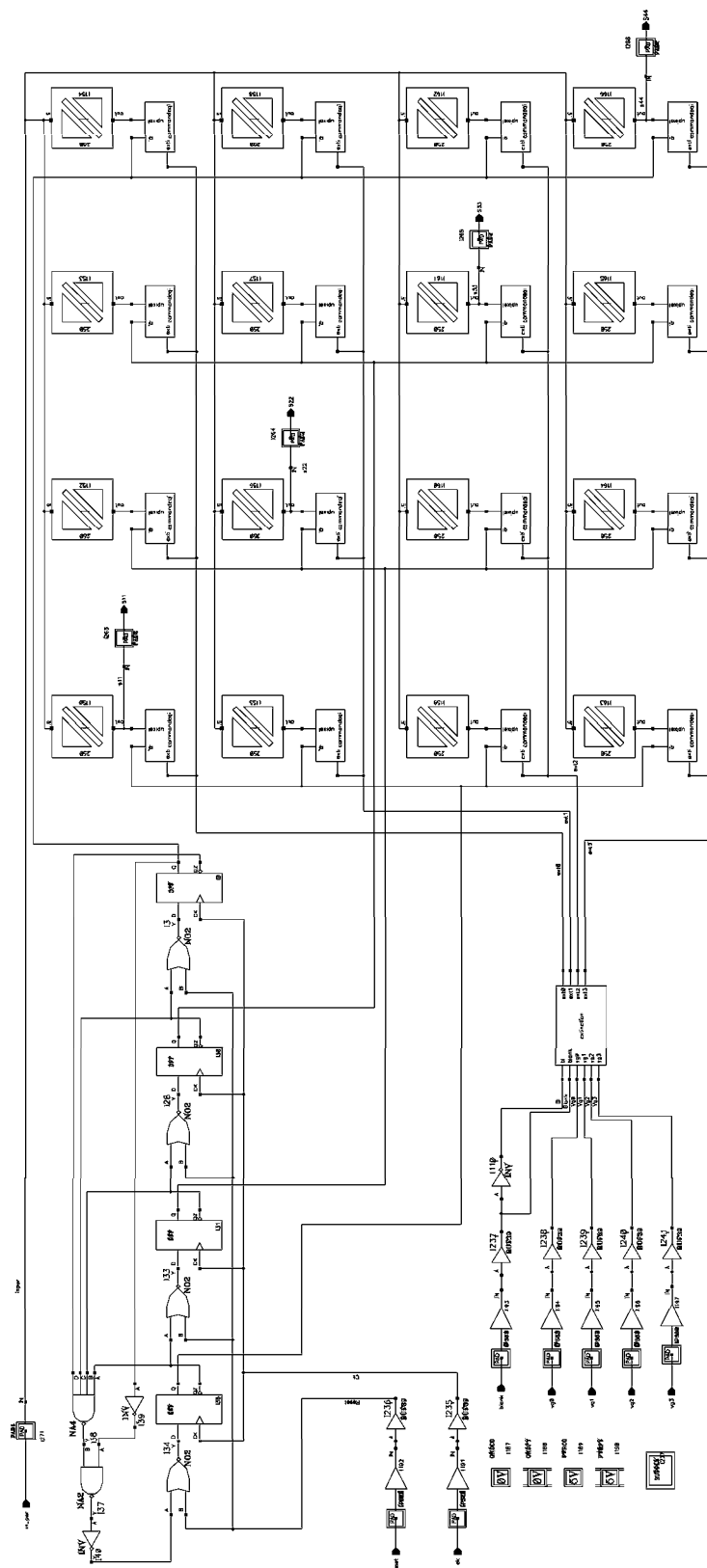


Figure 6.12: Vue schématique du circuit `PIXEL_TH`.

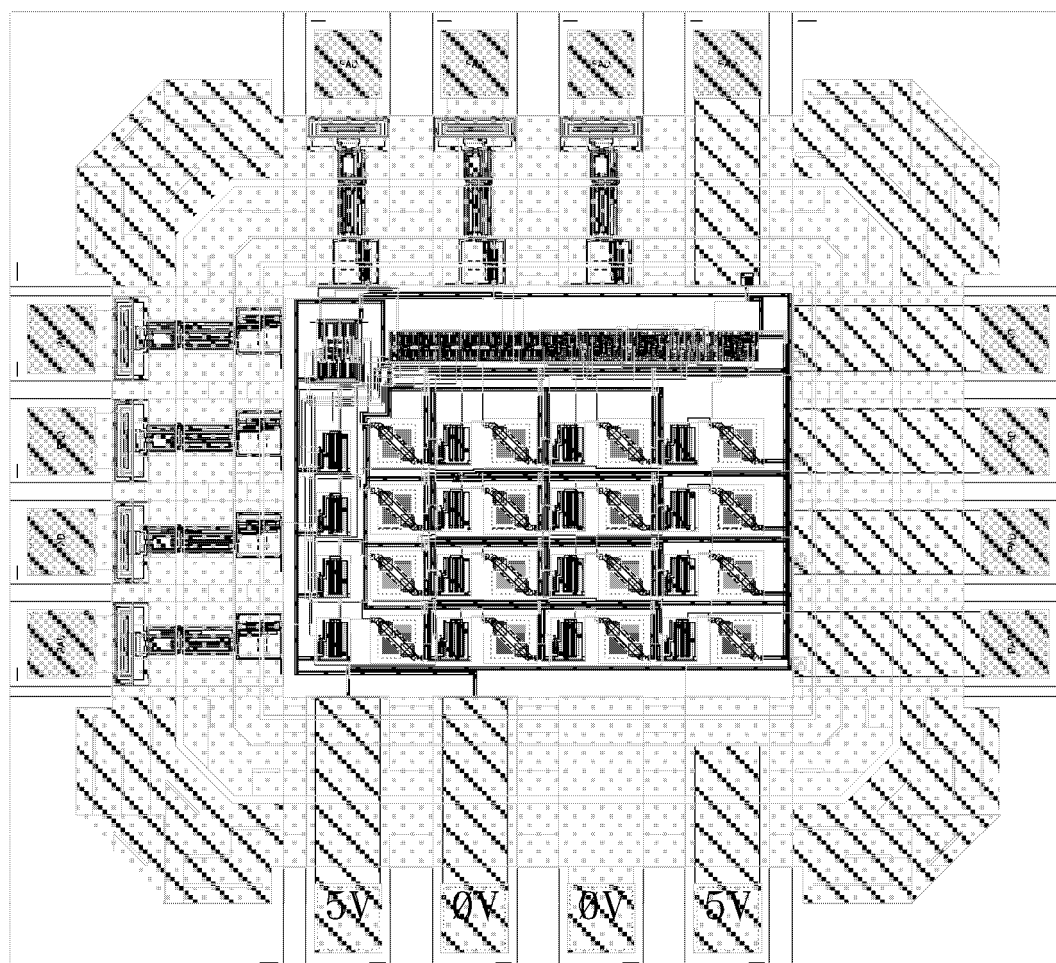


Figure 6.13: Dessin des masques du circuit *PIXEL_TH*.

6.5 Conclusion

Dans ce dernier chapitre a été présenté le travail effectué dans le domaine de l'adaptation des outils de CAO aux microsystemes.

Les principales modifications ont été apportées à **Cadence** au niveau de l'environnement du dessin des masques (vues *layout*) : des modes d'affichage et d'impression adaptés à la conception de parties suspendues ont été définis, et les règles pour la conception de composants microsystemes ont été ajoutées aux règles vérifiées par l'environnement ATMEL-ES2. Le logiciel ACESIM, permettant la simulation de la gravure anisotropique, a été couplé avec **Cadence**. Des procédures *Skill* ont été écrites afin de permettre la gestion de l'environnement défini. Enfin, une bibliothèque de composants microsystemes a été créée.

Ce travail a débouché sur la réalisation d'un *design kit* microsystemes pour **Cadence Opus** [6, 7], dont les premières versions ont été distribuées à plus de 75 utilisateurs du service CMP. Grâce à ce *design kit*, 10 circuits provenant de 7 laboratoires de recherche européens ont été envoyés en fabrication par l'intermédiaire du service CMP.

Des *design kits* adaptés aux procédés de fabrication de AMS seront très prochainement créés en se basant sur le *kit* présenté. Ils permettront aux clients de CMP de faire fabriquer leurs circuits avec les procédés CMOS et BiCMOS analogiques de AMS, bien plus adaptés que le procédé digital ECPD10 de ATMEL-ES2 pour réaliser les circuits analogiques, nécessaires au traitement des signaux issus des composants suspendus.

Chapitre 7

CONCLUSION

Chapitre 7

CONCLUSION

Les techniques de conception et de fabrication permettant d'obtenir des micro-structures suspendues sur des puces en silicium, contenant également des circuits électroniques intégrés, ont été présentées dans ce document.

La finalité de ces travaux était l'extension du service de prototypage de circuits intégrés multi-projets CMP à ce type de composants, afin de donner à des laboratoires de recherche et à des entreprises la possibilité de réaliser des éléments micro-électro-mécaniques intégrés à faible coût, et avec un temps de développement court.

Le procédé du micro-usinage en volume du silicium monocristallin, permettant d'obtenir des structures suspendues en dioxyde de silicium, a été étudié dans le chapitre 2. De nombreux essais de micro-usinage ont été effectués avec les solutions d'hydroxyde de potassium (KOH) et d'éthylène diamine pyrocatechol (EDP).

La solution de KOH n'est pas totalement compatible avec les procédés de fabrication VLSI, dans la mesure où les couches d'oxyde et l'aluminium des plots des circuits sont attaqués au cours de la gravure. Il a par contre été montré que la solution d'EDP permettait d'obtenir des composants électroniques intégrés fonctionnels et des parties suspendues sur une même puce.

Le processus de gravure du silicium avec ces deux solutions a été étudié et caractérisé, et les vitesses de gravure des principaux plans du silicium ont été mesurées. Un oxyde natif recouvrant les zones à micro-usiner avec EDP a perturbé la détermination des vitesses de gravure pour cette solution.

La précision obtenue sur ces vitesses est actuellement suffisante pour permettre la prévision de l'influence de l'étape de micro-usinage sur des circuits prototypes, dans la mesure où la technologie de fabrication proposée par CMP est "naissante", et pas encore totalement figée. Une campagne de caractérisation plus précise de la gravure avec EDP est cependant nécessaire dans un avenir proche.

Un logiciel de simulation de la gravure anisotropique du silicium, **ACESIM**, a été développé par le groupe MiCroSystèmes de TIMA. Les vitesses de gravure mesurées pour KOH et EDP ont été entrées dans des fichiers lus par ce logiciel. Des résultats de simulation ont été comparés avec des photos prises. Ces résultats sont très proches de la réalité pour KOH, un peu moins pour EDP à cause de l'imprécision sur la mesure des vitesses de gravure. Il

est en tout cas dorénavant possible de simuler l'influence de la gravure anisotropique sur des composants à suspendre, et ce dès leur conception.

La technique de conception de circuits contenant des structures à suspendre par micro-usinage en volume a été présentée dans le chapitre 3. Les autres techniques de micro-usinage ayant fait l'objet d'études ou de tentatives dans le cadre des travaux effectués sont également présentées dans ce chapitre.

Les applications les plus intéressantes de la technique du micro-usinage en volume ont été présentées dans le chapitre 4. Des détecteurs piezorésistifs, des pixels thermiques et des thermopiles ont été fabriquées avec le procédé ECPD10 de ATMEL-ES2, et micro-usinés en volume par EDP à l'ESIEE. Ces circuits ont été testés, mais leur fonctionnement n'a pas pu être totalement caractérisé, par manque de temps et du matériel nécessaire. Ce travail va être poursuivi par d'autres membres du groupe MiCroSystèmes de TIMA.

Des règles de dessin pour la conception de structures à micro-usiner en volume ont été établies à partir de l'expérience acquise lors de la conception, la fabrication et le test de nombreux circuits microsystemes, et en collaboration avec les ingénieurs technologues de ATMEL-ES2. Ces règles, présentées dans le chapitre 5, permettent d'assurer aux concepteurs que les masques qu'ils dessinent vont permettre la réalisation de structures à suspendre, sans perturber la ligne de fabrication industrielle de ATMEL-ES2.

Le procédé de micro-usinage a également été modélisé et décomposé en deux étapes successives, dont les temps de gravure associés peuvent être déterminés à partir d'équations simples. Cette modélisation permet également de mieux interpréter les résultats obtenus lors de la simulation de la gravure anisotropique, et par conséquent d'améliorer plus efficacement les micro-structures conçues.

Un dispositif de protection des plots d'aluminium a de plus été développé au cours des travaux effectués, et est également présenté dans le chapitre 5. Ce dispositif, permettant de recouvrir l'aluminium des plots par une mince couche d'oxyde, protège ceux-ci de l'attaque de la gravure anisotropique. Il est important de remarquer que ce dispositif de protection ne nécessite aucune étape de masquage ni de gravure supplémentaires, et n'ajoute donc aucun coût à la fabrication des circuits. La faisabilité de soudures à travers l'oxyde de protection a également été démontrée. Le développement de ces plots est une étape très importante dans le cadre de l'extension des procédés de fabrication VLSI aux microsystemes : les technologies CMOS et BiCMOS analogiques de AMS (dont l'aluminium non protégé ne résiste pas à l'attaque de la gravure) vont en effet dorénavant permettre la fabrication de parties suspendues et de circuits électroniques fonctionnels, comme c'était déjà le cas pour le procédé digital ECPD10 de ATMEL-ES2.

Tous ces travaux ont débouché sur la réalisation d'un ensemble de conception ("*design kit*") pour **Cadence Opus** adapté aux microsystemes, et présenté au chapitre 6. Ce *kit* contient principalement une bibliothèque de composants à suspendre, un fichier technologique adapté où les règles définies au chapitre 5 ont été décrites, et le logiciel **ACESIM**, permettant la simulation de l'étape de gravure. Les premières versions de ce *kit* ont été distribuées à plus

de 75 institutions clientes du service CMP, et ont déjà permis la conception et la fabrication de 10 circuits provenant de 7 laboratoires européens.

Des *kits* adaptés aux procédés de fabrication CMOS et BiCMOS de AMS seront très prochainement proposés par CMP, et permettront la conception et la réalisation de circuits microsystemes avec ces technologies.

En résumé, l'approche choisie pour étendre l'activité du service CMP aux microsystemes a permis le développement d'une filière technologique spécifique, basée sur le procédé de fabrication ECPD10 de ATMEL-ES2. Cette même approche va prochainement permettre le développement de filières basées sur les procédés CMOS et BiCMOS de AMS.

ANNEXES

Annexe A

REFERENCES BIBLIOGRAPHIQUES

- [1] “1.2 μm CMOS Design Rules, revision E”, documentation technique AMS, Septembre 1994.
- [2] “1.2 μm BiCMOS Design Rules, revision A”, documentation technique AMS, Mars 1995.
- [3] “ECPD10 Dual Layer Metal 1.0 Micron Design Rules, Rev. C”, documentation technique ATMEL-ES2, Octobre 1995.
- [4] “ES2 CMOS 1.0 μ Front-Side Bulk Micromachining Design Rules — Version 1.0 —”, documentation technique CMP, Octobre 1995.
- [5] “CMP/Mentor Graphics Microsystem Design-Kit User’s Guide”, documentation technique CMP/Mentor Graphics, Septembre 1996.
- [6] “MiCroSystem ES2 Cadence 4.3.3 Design Kit User Guide — Version 2.0 —”, documentation technique CMP, Janvier 1996.
- [7] “MiCroSystem ES2 Library Databook — Version 2.0 —”, documentation technique CMP, Janvier 1996.
- [8] M. C. Acero, J. Esteve, C. Burrer, et A. Götz, “Electrochemical Etch-Stop Characteristics of TMAH:IPA Solutions”, *Sensors and Actuators A*, n° 46–47, pages 22–26, 1995.
- [9] M. Alavi, S. Büttgenbach, A. Schumacher, et H. J. Wagner, “Fabrication of Microchannels by Laser Machining and Anisotropic Etching of Silicon”, *Sensors and Actuators A*, n° 32, pages 299–302, 1992.
- [10] E. S. Ammar et T. J. Rodgers, “UMOS Transistors on (110) Silicon”, *IEEE Transactions on Electron Devices*, vol. ED-27, n° 5, pages 907–914, Mai 1980.
- [11] G. Asch, *Les Capteurs en Instrumentation Industrielle*. Dunod, quatrième édition, 1991.
- [12] F. J. Auerbach, G. Meiendres, R. Müller, et G. J. E. Scheller, “Simulation of the Thermal Behaviour of Thermal Flow Sensors by Equivalent Electrical Circuits”, *Sensors and Actuators A*, n° 41–42, pages 275–278, 1994.
- [13] Y. Bäcklund et L. Rosengren, “New Shapes in (100) Si Using KOH and EDP Etches”, *Journal of Micromechanics and Microengineering*, n° 2, pages 75–79, 1992.

-
- [14] H. Baltes, "CMOS as Sensor Technology", *Sensors and Actuators A*, n° 37–38, pages 51–56, 1993.
 - [15] E. Bassous, "Fabrication of Novel Three-Dimensional Microstructures by the Anisotropic Etching of (100) and (110) Silicon", *IEEE Transactions on Electron Devices*, vol. ED-25, n° 10, pages 1178–1185, Octobre 1978.
 - [16] K. E. Bean, "Anisotropic Etching of Silicon", *IEEE Transactions on Electron Devices*, vol. ED-25, n° 10, pages 1185–1193, Octobre 1978.
 - [17] K. E. Bean et J. R. Lawson, "Application of Silicon Crystal Orientation and Anisotropic Effects to the Control of Charge Spreading in Devices", *IEEE Journal of Solid-State Circuits*, vol. SC-9, n° 3, pages 111–117, Juin 1974.
 - [18] N. Bennouri et C. Mayer, "Contribution à l'Environnement de CAO pour Microsystèmes CMP/Mentor-Graphics : Simulateur de gravure ACESIM", Rapport d'avant projet ingénieur de 2ème année ENSERG (Ecole Nationale Supérieure d'Electronique et de Radioélectricité de Grenoble), Grenoble, France, Septembre 1996.
 - [19] Y. K. Bhatnagar et A. Nathan, "On Pyramidal Protrusions in Anisotropic Etching of <100> Silicon", *Sensors and Actuators A*, n° 36, pages 233–240, 1993.
 - [20] A. Bohg, "Ethylene Diamine-Pyrocatechol-Water Mixture Shows Etching Anomaly in Boron-Doped Silicon", *Journal of the Electrochemical Society*, vol. 118, n° 2, pages 401–402, Février 1971.
 - [21] F. Boucly, "Capteur tactile", Rapport de DEA de Microélectronique, Université Joseph Fourier, Grenoble, France, Juin 1996.
 - [22] S. Bütttenbach et O. Than, "SUZANNA: A 3D CAD Tool for Anisotropically Etched Silicon Microstructures", dans *From ASICs to Systems*, pages 454–458, ED&TC: the European Design & Test Conference, 11–14 Mars 1996.
 - [23] J. Cali, *Etude des Paramètres Microscopiques de la Piezorésistivité de Couches Minces Polycristallines de Silicium Dopé Bore*. Thèse de Doctorat, Laboratoire d'Etudes des Propriétés Electroniques des Solides (CNRS), Grenoble, France, Avril 1996.
 - [24] H. Camon et Z. Moktadir, "Atomic Scale Simulation of Silicon Etched in aqueous KOH Solution", *Sensors and Actuators A*, n° 46–47, pages 27–29, 1995.
 - [25] S. A. Campbell, K. Cooper, L. Dixon, R. Earnwaker, S. N. Port, et D. J. Schiffrin, "Inhibition of Pyramid Formation in the Etching of Si p<100> in Aqueous Potassium Hydroxide-Isopropanol", *Journal of Micromechanics and Microengineering*, n° 5, pages 209–218, 1995.
 - [26] Canadian Microelectronics Corporation, "A Basic Introduction to Micromachining and the CAN-MEMS Approach", document importé par internet, 1995.
 - [27] E. Castaño, E. Revuelto, M. C. Martin, A. Garcia-Alosa, et F. J. Gracia, "Metallic Thin-Film Thermocouple for Thermoelectric Microgenerators", dans *Eurosensors X*, (Louvain, Belgique), pages 1409–1412, 8–11 Septembre 1996.

- [28] F. A. Chambers et L. S. Wilkiel, "Cesium Hydroxide Etching of (100) Silicon", *Journal of Micromechanics and Microengineering*, n° 3, pages 1–3, 1993.
- [29] F. I. Chang, "Xenon Difluoride Etching of Silicon for MEMS", Master's thesis, UCLA, Août 1995.
- [30] F. I. Chang, R. Yeh, G. Lin, P. B. Chu, E. Hoffman, E. J. J. Kruglick, et K. S. J. Pister, "Gas-Phase Silicon Micromachining with Xenon Difluoride", dans *SPIE'95: Symposium on Microelectronic Structures and Microelectronic Devices for Optical Processing and Multimedia Applications*, volume 2641, (Austin, Texas, USA), pages 117–128, 24 Octobre 1995.
- [31] W. S. Choi et J. G. Smith, "A Method to Etch Undoped Silicon Cantilever Beams", *Journal of Microelectromechanical Systems*, vol. 2, n° 2, pages 82–86, Juin 1993.
- [32] T. A. Core, W. K. Tsang, et S. J. Sherman, "fabrication Technology for an Integrated Surface-Micromachined Sensor", *Solid-State technology*, vol. 36, pages 39–47, Octobre 1993.
- [33] B. Courtois, H. Delori, J. M. Karam, et J. M. Paret, "Réalisation de Micro-Structures à travers le CMP : Circuits en Cours de Fabrication et Etapes Post Process à Effectuer", rapport technique, CMP, 46, av. Félix Viallet, 38031 Grenoble, France, Juillet 1994.
- [34] B. Courtois, H. Delori, J. M. Karam, J. M. Paret, et T. Pignol, "Premier Essai de Fabrication de Micro-Structures par le CMP", rapport technique, CMP, 46, av. Félix Viallet, 38031 Grenoble, France, Juin 1994.
- [35] B. Courtois, J. M. Karam, et J. M. Paret, "Advances at CMP service: from Microelectronics to Microsystems", ISIC'95, Singapour, 6–8 Septembre 1995.
- [36] B. Courtois, J. M. Karam, et J. M. Paret, "Developments at CMP Service : from Microelectronics to Microsystems", dans *Proceedings of the European Workshop on Microelectronics Education*, pages 85–91, Grenoble, France, 5–6 Février 1996.
- [37] M. Daehler, "Infrared Display Array", dans *SPIE'87, volume 765 : Imaging Sensors and Displays*, (Los Angeles, Californie, USA), pages 94–101, 13–14 Janvier 1987.
- [38] J. S. Danel et H. Camon, "Le Micro-Usinage du Silicium", *L'Onde Electrique*, vol. 74, n° 2, pages 21–27, Mars–Avril 1994.
- [39] J. S. Danel et G. Delapierre, "Anisotropic Crystal Etching: a Simulation Program", *Sensors and Actuators A*, n° 31, pages 267–274, 1992.
- [40] U. A. Dauderstädt, P. H. S. de Vries, R. Hiratsuka, et P. M. Sarro, "Silicon Accelerometer Based on Thermopiles", *Sensors and Actuators A*, n° 46–47, pages 201–204, 1995.
- [41] G. De Mey, "Misunderstandings of Heat Transfer in the Electronics Engineering Community", dans *Therminic'95 : International Workshop on Thermal Investigation of ICs and Microstructures*, pages 80–85, TIMA, 25–26 Septembre 1995.
- [42] M. J. Declerq, "A New CMOS Technology Using Anisotropic Etching of Silicon", *IEEE Journal of Solid-State Circuits*, vol. SC-10, n° 4, pages 191–197, Août 1975.

-
- [43] M. J. Declercq, L. Gerzberg, et J. D. Meindl, "Optimization of the Hydrazine–Water Solution for Anisotropic Etching of Silicon in Integrated Circuit Technology", *Journal of the Electrochemical Society*, vol. 122, n° 4, pages 545–552, Avril 1975.
- [44] G. Delapierre, "Micro–Machining: A Survey of the Most Commonly Used Processes", *Sensors and Actuators A*, n° 17, pages 123–138, 1989.
- [45] U. Dillner, E. Kessler, S. Poser, V. Baier, et J. Müller, "Low Power Consumption Thermal Gas Flow Sensor Based on Thermopiles of Highly Effective Thermoelectric Materials", dans *Euroensors X*, (Louvain, Belgique), pages 449–452, 8–11 Septembre 1996.
- [46] C. Dominguez, J. Muñoz, R. Gonsalez, et M. Tudanca, "CHF₃–Reactive Ion Etching for Waveguides", *Sensors and Actuators A*, n° 37–38, pages 779–783, 1993.
- [47] T. Elbel, "Miniaturized Thermoelectric Radiation Sensors Covering a Wide Range with Respect to Sensitivity or Time Constant", *Sensors and Actuators A*, n° 25–27, pages 653–656, 1991.
- [48] T. Elbel, L. Lenggenhagger, et H. Baltes, "Model of Thermoelectric radiation sensors made by CMOS and micromachining", *Sensors and Actuators A*, n° 35, pages 101–106, 1992.
- [49] T. Elbel, S. Poser, et H. Fischer, "Thermoelectric Radiation Microsensors", *Sensors and Actuators A*, n° 41–42, pages 493–496, 1994.
- [50] M. Elwenspoek, "On the Mechanism of Anisotropic Etching of Silicon", *Journal of the Electrochemical Society*, vol. 140, n° 7, pages 2075–2080, Juillet 1993.
- [51] F. Ericsson et J. A. Schweitz, "Micromechanical Fracture Strength of Silicon", *Journal of Applied Physics*, vol. 68, n° 11, pages 5840–5844, Décembre 1990.
- [52] L. S. Fan, Y. C. Tai, et R. S. Muller, "IC–Processed Electrostatic Micromotors", *Sensors and Actuators A*, n° 20, pages 41–47, 1989.
- [53] R. M. Finne et D. L. Klein, "A Water–Amine–Complexing Agent System for Etching Silicon", *Journal of the Electrochemical Society*, vol. 114, n° 9, pages 965–970, Septembre 1967.
- [54] M. Francou, J. S. Danel, et L. Peccoud, "Deep and Fast Plasma Etching for Silicon Micromachining", *Sensors and Actuators A*, n° 46–47, pages 17–21, 1995.
- [55] P. J. French, "Development of Surface Micromachining Techniques Compatible with On–Chip Electronics", *Journal of Micromechanics and Microengineering*, n° 6, pages 197–211, 1996.
- [56] P. J. French et A. G. R. Evans, "Piezoresistance in Polysilicon and its Applications to Strain Gauges", *Solid–State Electronics*, vol. 32, n° 1, pages 1–10, 1989.
- [57] Frost & Sullivan, "European Silicon Sensors Markets", Etude du marché des microsystèmes, 1993.
- [58] J. Frühauf, K. Trautmann, J. Wittig, et D. Zielke, "A Simulation Tool for Orientation Dependant Etching", *Journal of Micromechanics and Microengineering*, n° 3, pages 113–115, 1993.

- [59] M. Gaitan, M. Parameswaran, R. B. Johnson, et R. Chung, "Commercial CMOS Foundry Thermal Display for Dynamic Scene Simulation", dans *SPIE'93, volume 1969 : Infrared Imaging Systems: Design, Analysis, Modeling and TestingIV*, (Orlando, Floride, USA), pages 363–369, 14–15 Avril 1993.
- [60] M. Gaitan, M. Parameswaran, M. Zaghloul, J. Marshall, D. Novotny, et J. Suehle, "Design Methodology for Micromechanical Systems at Commercial CMOS Foundries Through MO-SIS", *Proceedings of the 35th Midwest Symposium on Circuits and Systems*, n° 2, pages 1357–1360, 1992.
- [61] M. A. Gajda, H. Ahmed, J. E. A. Shaw, et A. Putnis, "Anisotropic Etching of Silicon in Hydrazine", *Sensors and Actuators A*, n° 40, pages 227–236, 1994.
- [62] S. K. Ghandhi, *VLSI Fabrication Principles*. John Wiley and Sons Inc., 1983.
- [63] F. Goodenough, "Analog Advances Permeate ISSCC", *Electronic Design*, pages 82–92, 20 Février 1995.
- [64] J. C. Greenwood, "Ethylene Diamine–Catechol–Water Mixture Shows Preferential Etching of p–n Junction", *Journal of the Electrochemical Society*, vol. 116, n° 9, pages 1325–1326, Septembre 1969.
- [65] U. Heim, "A New Approach for the Determination of the Shape of Etched Devices", *Journal of Micromechanics and Microengineering*, n° 3, pages 116–117, 1993.
- [66] C. Hierold, A. Hildebrandt, U. Näher, T. Scheiter, B. Mensching, M. Steger, et R. Tielert, "A Pure CMOS Surface Micromachined Integrated Accelerometer", dans *IEEE 9th Annual International Workshop on Micro Electro Mechanical Systems: an Investigation of structures, Sensors, Actuators, Machines and Systems*, (San Diego, California, USA), pages 174–179, 11–15 Février 1996.
- [67] T. Hirano, T. Furuhashi, K. J. Gabriel, et H. Fijita, "Design, Fabrication, and Operation of Submicron Gap Comb-Drive Microactuators", *Journal of Microelectromechanical Systems*, vol. 1, n° 1, pages 52–59, Mars 1992.
- [68] M. Högljö, "Collective Fabrication of Gallium Arsenide Based Microsystems", Rapport de DEA de Microélectronique, Université Joseph Fourier, Grenoble, France, Juin 1995.
- [69] R. T. Howe, "Surface Micromachining for Microsensors and Microactuators", dans *Microsensors*, pages 117–121, IEEE press, 1990.
- [70] T. J. Hubbard et E. K. Antonsson, "Emergent Faces in Crystal Etching", *Journal of Microelectromechanical Systems*, vol. 3, n° 1, pages 19–28, Mars 1994.
- [71] R. J. Jaccodine, "Use of Modified Free Energy Theorems to Predict Equilibrium Growing and Etching Shapes", *Journal of Applied Physics*, vol. 33, n° 8, pages 2643–2647, Août 1962.
- [72] V. P. Jaeklin, C. Linder, N. F. de Rooij, et J. M. Moret, "Micromechanical Comb Actuators with Low Driving Voltage", *Journal of Micromechanics and Microengineering*, n° 2, pages 250–255, 1992.

-
- [73] V. P. Jaecklin, C. Linder, N. F. de Rooij, et J. M. Moret, “Comb Actuators for xy-Microstages”, *Sensors and Actuators A*, n° 39, pages 93–89, 1993.
 - [74] D. Jaeggi, H. Baltes, et D. Moser, “Thermoelectric AC Power Sensor by CMOS Technology”, *IEEE Electron Device Letters*, vol. 13, n° 7, pages 366–368, Juillet 1992.
 - [75] H. Jakobsen, “Sensor Foundries and Production of Sensors at SensoNor A.S.”, *Journal of Micromechanics and Microengineering*, n° 6, pages 193–196, 1996.
 - [76] H. Jansen, H. Gardeniers, M. de Boer, M. Elwenspoek, et J. Fluitman, “A Survey on the Reactive Ion Etching of Silicon in Microtechnology”, *Journal of Micromechanics and Microengineering*, n° 6, pages 14–28, 1996.
 - [77] S. Johansson, J. A. Schweitz, L. Tenerz, et J. Tirén, “Fracture Testing of Silicon Microelements in situ in a Scanning Electron Microscope”, *Journal of Applied Physics*, vol. 63, n° 10, pages 4799–4803, Mai 1988.
 - [78] H. Kahn, S. Stemmer, K. Nandakumar, A. H. Heuer, R. L. Mullen, R. Ballarini, et M. A. Huff, “Mechanical Properties of Thick, Surface Micromachined Polysilicon Films”, dans *IEEE 9th Annual International Workshop on Micro Electro Mechanical Systems: an Investigation of structures, Sensors, Actuators, Machines and Systems*, (San Diego, California, USA), pages 343–348, 11–15 Février 1996.
 - [79] J. M. Karam, *Méthodes et Outils pour la Conception et la Fabrication des Microsystèmes*. Thèse de Doctorat, Institut National Polytechnique de Grenoble (INPG), 46, av. Félix Viallet, 38031 Grenoble, France, Mai 1996.
 - [80] J. M. Karam, R. A. Bianchi, F. Vinci Dos Santos, et B. Courtois, “Design and Fabrication of an Array of CMOS Compatible IR Sensors”, dans *Therminic’96 : International Workshop on Thermal Investigation of ICs and Microstructures*, pages 199–202, TU Budapest, 25–27 Septembre 1996.
 - [81] J. M. Karam et B. Courtois, “Microsystems Prototyping: from the Idea to the Foundry via a Continuous Design Flow”, dans *Euroensors X*, (Louvain, Belgique), pages 199–202, 8–11 Septembre 1996.
 - [82] J. M. Karam, B. Courtois, et M. Bauge, “High Level CAD Melds Microsystems with Foundries”, dans *From ASICs to Systems*, pages 442–447, ED&TC: the European Design & Test Conference, 11–14 Mars 1996.
 - [83] J. M. Karam, B. Courtois, M. Höljö, J. L. Declerq, et P. Viktorovitch, “Collective Fabrication of Gallium Arsenide Based Microsystems”, dans *SPIE’96 : Symposium on Micromachining and Microfabrication Process Technology II, volume 2879*, (Austin, Texas, USA), pages 315–326, 14–15 Octobre 1996.
 - [84] J. M. Karam, B. Courtois, et J. M. Paret, “Collective Fabrication of Microsystems Compatible with CMOS through the CMP Service”, *Materials Science and Engineering B*, n° 35, pages 219–233, 1995.
 - [85] J. M. Karam, B. Courtois, et J. M. Paret, “Collective Fabrication of Microsystems Compatible with CMOS through the CMP Service”, *Low Dimensional Structures and Devices (LDSD 95)*, Singapour, 8–10 Mai 1995.

- [86] J. M. Karam, B. Courtois, et J. M. Paret, "Microelectronics Compatible Manufacturing Techniques of Microsystems", dans *MECATRONICS'96 : third France-Japan Congress and first Europe-Asia Congress on Mechatronics, volume 2*, pages 528–531, Besançon, France, 1–3 Octobre 1996.
- [87] J. M. Karam, B. Courtois, J. M. Paret, et H. Boutamine, "Low Cost Access to MST: Manufacturing Techniques and Related CAD Tools", dans *Micro System Technologies 96*, (Postdam), pages 127–132, 5th International Conference on Micro Electro, Opto, Mechanical Systems and Components, 17–19 Septembre 1996.
- [88] E. S. Kim, R. S. Muller, et R. S. Hijab, "Front-to-Backside Alignment Using Resist-Patterned Etch Control and One Etching Step", *Journal of Microelectromechanical Systems*, vol. 1, n° 2, pages 95–99, Juin 1992.
- [89] K. H. Kim, J. S. Ko, Y. H. Cho, K. Lee, B. M. Kwak, et K. Park, "A Skew-Symmetric Cantilever Accelerometer for Automotive Airbag Applications", *Sensors and Actuators A*, n° 50, pages 121–126, 1995.
- [90] E. H. Klaassen, R. J. Reay, et G. T. A. Kovacs, "Diode-Based Thermal RMS Converter with On-Chip Circuitry Fabricated Using Standard CMOS Technology", dans *Proceedings of the 8th International Conference on Solid State Sensors and Actuators (Transducers' 95 et Eurosensors IX)*, pages 154–157, Stockholm, Suède, 25–29 Juin 1995.
- [91] B. Kloeck, S. D. Collins, N. F. de Rooij, et R. Smith, "Study of Electrochemical Etch-Stop for High-Precision Thickness Control of Silicon Membranes", dans *Microsensors*, pages 110–116, IEEE press, 1990.
- [92] M. Koort, "Optimization of CMOS-compatible Thermopile", rapport technique, TIMA, 46, av. Félix Viallet, 38031 Grenoble, France, Août 1995.
- [93] P. Krause, E. Obermeier, et W. Wehl, "A Micromachined Single-Chip Inkjet Print Head", *Sensors and Actuators A*, n° 53, 1996.
- [94] T. A. Kwa et R. F. Wolffenbuttel, "Electronically Controlled Etch-Mask for Silicon Bulk Micromachining", *Journal of Microelectromechanical Systems*, vol. 3, n° 4, pages 155–161, Décembre 1994.
- [95] G. R. Lahiji et K. D. Wise, "A Batch-Fabricated Silicon Thermopile Infrared Detector", *IEEE Transactions on Electron Devices*, vol. ED-29, n° 1, pages 14–22, Janvier 1982.
- [96] L. M. Landsberger, M. K. S. Naseh, et M. Paranjape, "On Hillocks Generated During Anisotropic Etching of Si in TMAH", *Journal of Microelectromechanical Systems*, vol. 5, n° 2, page 106–116, June 1996.
- [97] M. Lang et M. Glesner, "An Acceleration Sensor in CMOS-Compatible Technology for Integration in Complex Systems", dans *7th European Workshop on MicroMechanics (MME'96)*, pages 164–167, Barcelone, Espagne, 21–22 Octobre 1996.
- [98] D. Lapadatu et R. Puers, "On the Passivation of Silicon in Aqueous KOH Solutions", dans *Eurosensors X*, (Louvain, Belgique), pages 493–496, 8–11 Septembre 1996.

-
- [99] M. Le Berre, M. Lemiti, D. Barbier, P. Pinard, J. Cali, E. Bustarret, J. Sicart, et J. C. Robert, "Piezoresistance of Boron-Doped PECVD and LPCVD Polycrystalline Silicon Films", *Sensors and Actuators A*, n° 46–47, pages 166–170, 1995.
 - [100] D. B. Lee, "Anisotropic Etching of Silicon", *Journal of Applied Physics*, vol. 40, n° 11, pages 4569–4574, Octobre 1969.
 - [101] R. Lenggenhager, H. Baltes, et T. Ebel, "Thermoelectric Infrared Sensors in CMOS Technology", *Sensors and Actuators A*, n° 37–38, pages 216–220, 1993.
 - [102] Y. X. Li, M. R. Wolffenbuttel, P. J. French, M. Laros, P. M. Sarro, et R. F. Wolffenbuttel, "Reactive Ion Etching (RIE) Techniques for Micromachining Applications", *Sensors and Actuators A*, n° 41–42, pages 317–323, 1994.
 - [103] D. R. Lide, *Handbook of Chemistry and Physics*. CRC Press Inc., 71ème édition, 1990–1991.
 - [104] G. Lin, B. Eyre, et K. S. J. Pister, "Bulk Micromachining of Standard CMOS Using Silicic Acid Added to TMAH for Aluminum Passivation", rapport technique, UCLA, Juin 1995.
 - [105] K. M. Lin, C. Y. Kwok, et R. S. Huang, "A modified MOS IC process suitable for bulk micromachining", *Journal of Micromechanics and Microengineering*, n° 6, page 236–239, 1996.
 - [106] C. Linder, L. Paratte, M. A. Grétilat, V. P. Jaecklin, et N. F. de Rooij, "Surface Micromachining", *Journal of Micromechanics and Microengineering*, n° 2, pages 123–132, 1992.
 - [107] K. W. Markus, D. A. Koester, A. Cowen, R. Mahadevan, V. R. Dhuler, D. Roberson, et L. Smith, "MEMS Infrastructure: the Multi-User MEMS Processes (MUMPs)", dans *SPIE'95, volume 2639 : Symposium on Micromachining and Microfabrication*, (Austin, Texas, USA), pages 55–63, 23–24 Octobre 1995.
 - [108] J. Marshall, M. Parameswaram, M. E. Zaghloul, et M. Gaitan, "High-Level CAD Molds Micromachined Devices with Foundries", *IEEE Circuits and Devices*, vol. 8, n° 6, pages 10–17, Novembre 1992.
 - [109] C. H. Mastrangelo et C. H. Hsu, "Mechanical Stability and Adhesion of Microstructures Under Capillary Forces — Part I: Basic Theory", *Journal of Microelectromechanical Systems*, vol. 2, n° 1, pages 33–43, Mars 1993.
 - [110] C. H. Mastrangelo et C. H. Hsu, "Mechanical Stability and Adhesion of Microstructures Under Capillary Forces — Part II: Experiments", *Journal of Microelectromechanical Systems*, vol. 2, n° 1, pages 44–55, Mars 1993.
 - [111] H. Mathieu, *Physique des Semiconducteurs et des Composants Electroniques*. Masson, seconde édition, 1990.
 - [112] M. Mehregany, S. F. Bart, L. S. Tavrow, J. H. Lang, S. D. Senturia, et M. F. Schlecht, "A Study of Three Microfabricated Variable-Capacitance Motors", *Sensors and Actuators A*, n° 21–23, pages 173–179, 1990.
 - [113] M. Mehregany et S. D. Senturia, "Anisotropic Etching of Silicon in Hydrazine", *Sensors and Actuators A*, n° 13, pages 375–390, 1988.

- [114] M. Mehregany, S. D. Senturia, J. H. Lang, et P. Nagarkar, "Micromotor Fabrication", *IEEE Transactions on Electron Devices*, vol. 39, n° 9, pages 2060–2069, Septembre 1992.
- [115] A. Merlos, M. Acero, M. H. Bao, J. Bausells, et J. Esteve, "TMAH/IPA Anisotropic Etching Characteristics", *Sensors and Actuators A*, n° 37–38, pages 737–743, 1993.
- [116] A. Merlos, M. C. Acero, M. H. Bao, J. Bausells, et J. Esteve, "A Study of the Undercutting Characteristics in the TMAH/IPA System", *Journal of Micromechanics and Microengineering*, n° 2, pages 181–183, 1992.
- [117] J. Millman et A. Grabel, *Micro-Electronique*. Mc Graw-Hill, seconde édition, 1991.
- [118] R. Mimoun, "Anisotropic Crystal Etching", Rapport de DEA de Microélectronique, Université Joseph Fourier, Grenoble, France, Septembre 1995.
- [119] V. Mosser, J. Suski, J. Goss, et E. Obermeier, "Piezoresistive Pressure Sensors Based on Polycrystalline Silicon", *Sensors and Actuators A*, n° 28, pages 113–132, 1991.
- [120] R. S. Muller, "Microdynamics", *Sensors and Actuators A*, n° 21–23, pages 1–8, 1990.
- [121] J. Nguyen, "Etude et Conception d'un Circuit de Commande de l'Affichage d'une Matrice de Pixels Thermiques", Rapport de Maîtrise de Physique, Université Joseph Fourier, Grenoble, France, Mars 1995.
- [122] H. L. Offereins, K. Köhl, et H. Sandmaier, "Method for the Fabrication of Convex Corners in Anisotropic Etching of (100) Silicon in Aqueous KOH", *Sensors and Actuators A*, n° 25–27, pages 9–13, 1991.
- [123] E. D. Palik, V. M. Bermudez, et O. J. Glembocki, "Ellipsometric Study of Orientation-Dependant Etching of Silicon in Aqueous KOH", *Journal of the Electrochemical Society*, vol. 132, n° 4, pages 871–884, Avril 1985.
- [124] M. Parameswaran, H. P. Baltes, L. Ristic, A. C. Dhaded, et A. M. Robinson, "A New Approach for the Fabrication of Micromechanical Structures", *Sensors and Actuators A*, n° 19, pages 289–307, 1989.
- [125] M. Parameswaran, A. M. Robinson, D. L. Blackburn, M. Gaitan, et J. Geist, "Micromachined Thermal Radiation Emitter from a Commercial CMOS Process", *IEEE Electron Device Letters*, vol. 12, n° 2, pages 57–59, Février 1991.
- [126] J. M. Paret, "Etude de la Fabrication Collective des Microsystèmes", Rapport de DEA de Microélectronique, Université Joseph Fourier, Grenoble, France, Septembre 1994.
- [127] J. M. Paret, "Run E94_14 : Circuit MICES2", rapport technique, TIMA-CMP, 46, av. Félix Viallet, 38031 Grenoble, France, Janvier 1995.
- [128] J. M. Paret, "Tests du Circuit MICBULK", rapport technique, TIMA, 46, av. Félix Viallet, 38031 Grenoble, France, Février 1995.
- [129] J. M. Paret, "Design Rules for Front-Side Bulk Micromachined Structures Compatible with the CMOS ECPD10 Process from ES2 — Version 3, rev. A —", rapport technique, TIMA-CMP, 46, av. Félix Viallet, 38031 Grenoble, France, Mai 1996.

-
- [130] J. M. Paret, “Microsystem Circuits of Run E95_14”, rapport technique, TIMA–CMP, 46, av. Félix Viallet, 38031 Grenoble, France, Mars 1996.
 - [131] J. M. Paret, “Microsystem Circuits of Run E96_03”, rapport technique, TIMA–CMP, 46, av. Félix Viallet, 38031 Grenoble, France, Mars 1996.
 - [132] J. M. Paret, “Post Process Steps and Tests Performed on Circuit BiCMOS_BULK”, rapport technique, TIMA–CMP, 46, av. Félix Viallet, 38031 Grenoble, France, Août 1996.
 - [133] J. M. Paret, “Post Process Steps Performed on Circuit MICAMS”, rapport technique, TIMA–CMP, 46, av. Félix Viallet, 38031 Grenoble, France, Août 1996.
 - [134] J. M. Paret, “Run A94_07 : Circuit MICAMS”, rapport technique, TIMA–CMP, 46, av. Félix Viallet, 38031 Grenoble, France, Août 1996.
 - [135] J. M. Paret, “Run A96_09 : Circuit MICAMS3”, rapport technique, TIMA–CMP, 46, av. Félix Viallet, 38031 Grenoble, France, Août 1996.
 - [136] J. M. Paret, “Runs A94_11 : Circuit MICBULK3”, rapport technique, TIMA–CMP, 46, av. Félix Viallet, 38031 Grenoble, France, Août 1996.
 - [137] J. M. Paret, “Runs A95_02 and A95_03 : Circuit BiCMOS_BULK”, rapport technique, TIMA–CMP, 46, av. Félix Viallet, 38031 Grenoble, France, Août 1996.
 - [138] J. M. Paret, “Runs A95_04 : Circuit TRANS”, rapport technique, TIMA–CMP, 46, av. Félix Viallet, 38031 Grenoble, France, Août 1996.
 - [139] J. M. Paret, “Runs A95_06 and A95_07 : Circuit MICAMS2”, rapport technique, TIMA–CMP, 46, av. Félix Viallet, 38031 Grenoble, France, Août 1996.
 - [140] J. M. Paret et J. M. Karam, “Suspended Monocrystalline Microstructures”, rapport technique, TIMA, 46, av. Félix Viallet, 38031 Grenoble, France, Juillet 1995.
 - [141] J. M. Paret et T. Pignol, “Etude de la Fabrication Collective des Microsystèmes à travers CMP”, Rapport de projet ingénieur de 3ème année ENSERG (Ecole Nationale Supérieure d’Electronique et de Radioélectricité de Grenoble), Grenoble, France, Juin 1994.
 - [142] E. Peeters, D. Lapadatu, W. Sansen, et R. Puers, “Developments in Etch Stop Techniques”, dans *4th Workshop on Micromachining, Micromechanics and Microsystems Europe 1993 (MME’93)*, pages 35–49, Neuchâtel, Suisse, Septembre 1993.
 - [143] K. E. Petersen, “Silicon as a Mechanical Material”, *Proceedings of the IEEE*, vol. 70, n° 5, pages 420–457, Mai 1982.
 - [144] K. E. Petersen, P. Barth, J. Poydock, J. Brown, J. Mallon, et J. Bryzek, “Silicon Fusion Bonding for Pressure Sensors”, dans *IEEE Solid-State Sensor and Actuator Workshop*, pages 144–147, 1988.
 - [145] K. E. Petersen et C. R. Guarnieri, “Young’s Modulus Measurements of Thin Films Using Micromechanics”, *Journal of Applied Physics*, vol. 50, n° 11, pages 6761–6766, Novembre 1979.

- [146] K. E. Petersen, A. Shartel, et N. F. Raley, "Micromechanical Accelerometer Integrated with MOS Detection Circuitry", *IEEE Transactions on Electron Devices*, vol. ED-29, n° 1, pages 23–27, Janvier 1982.
- [147] B. Puers et W. Sansen, "Compensation Structures for Convex Corner Micromachining in Silicon", *Sensors and Actuators A*, n° 21–23, pages 1036–1041, 1990.
- [148] R. Puers, "Capacitive Sensors: When and How to Use Them", *Sensors and Actuators A*, n° 37–38, pages 93–105, 1993.
- [149] R. J. Reay et E. H. Klaassen, "Thermally and Electrically Isolated Single Crystal Silicon Structures in CMOS Technology", *IEEE Electron Device Letters*, vol. 15, n° 10, pages 399–401, Octobre 1994.
- [150] A. Reisman, M. Berkenblit, S. A. Chan, F. B. Kaufman, et D. C. Green, "The Controlled Etching of Silicon in Catalysed Ethylenediamine–Pyrocatechol–Water Solutions", *Journal of the Electrochemical Society*, vol. 126, n° 8, pages 1406–1415, Août 1979.
- [151] W. Riethmüller, W. Benecke, U. Schnakenberg, et B. Wagner, "A Smart Accelerometer with On-Chip Electronics Fabricated by a Commercial CMOS Process", *Sensors and Actuators A*, n° 31, pages 121–124, 1992.
- [152] L. Ristic, *Sensor Technology and Devices*. Artech House, 1994.
- [153] L. Ristic, A. C. Dhaded, K. Chau, et W. Allegretto, "Edges and Corners of Multilayer Dynamic Microstructures", *Sensors and Actuators A*, n° 21–23, pages 1042–1047, 1990.
- [154] H. Robbins et B. Schwarz, "Chemical Etching of Silicon: I. The System HF, HNO₃, and H₂O", *Journal of the Electrochemical Society*, vol. 106, n° 6, pages 505–508, Juin 1959.
- [155] H. Robbins et B. Schwarz, "Chemical Etching of Silicon: II. The System HF, HNO₃, H₂O, and HC₂H₃O₃", *Journal of the Electrochemical Society*, vol. 107, n° 2, pages 108–111, Février 1960.
- [156] J. L. Robert, J. C. Bruyère, et P. Pinard, "Le Silicium, un Matériau de Base pour les Microsystèmes", *L'Onde Electrique*, vol. 74, n° 2, pages 10–13, Mars–Avril 1994.
- [157] T. J. Rodgers et J. D. Meindl, "Epitaxial V–Groove Bipolar Integrated Circuit Process", *IEEE Transactions on Electron Devices*, vol. ED-20, n° 3, pages 226–232, Mars 1973.
- [158] T. J. Rodgers et J. D. Meindl, "VMOS: High Speed TTL Compatible MOS Logic", *IEEE Journal of Solid-State Circuits*, vol. SC-9, n° 5, pages 239–250, Octobre 1974.
- [159] D. Rouhani, A. M. Gué, H. Camon, et G. Cohen–Solal, "La Simulation à l'Echelle Atomique des Microtechnologies", *L'Onde Electrique*, vol. 74, n° 2, pages 14–19, Mars–Avril 1994.
- [160] G. Russel et I. Sayers, *Advanced Simulation and Test Methodologies for VLSI Design*.
- [161] H. Sandmeier, H. L. Offereins, et B. Folkmer, "CAD Tools for Micromechanics", *Journal of Micromechanics and Microengineering*, n° 3, pages 103–106, 1993.

-
- [162] F. V. Santos, R. A. Bianchi, J. M. Karam, et B. Courtois, "CMOS Compatible IR Sensor Array", dans *7th European Workshop on MicroMechanics (MME'96)*, pages 275–278, Barcelone, Espagne, 21–22 Octobre 1996.
 - [163] P. M. Sarro, "Sensor Technology Strategy in Silicon", *Sensors and Actuators A*, n° 31, pages 138–143, 1992.
 - [164] M. Sato et Y. Arita, "Etch Shape Control of Single-Crystal Silicon in Reactive Ion Etching Using Chlorine", *Journal of the Electrochemical Society*, vol. 134, n° 11, pages 2856–2862, Novembre 1987.
 - [165] J. Schieferdecker, R. Quad, E. Holzenkämpfer, et M. Schulze, "Infrared Thermopile Sensors with High Sensitivity and Very Low Temperature Coefficient", *Sensors and Actuators A*, n° 46–47, pages 422–427, 1995.
 - [166] U. Schnakenberg, W. Benecke, et P. Lange, "TMAHW Etchants for Silicon Micromachining", dans *Proceedings of the 6th International Conference on Solid State Sensors and Actuators (Transducers' 91)*, pages 815–818, San Francisco, CA, USA, Juin 1991.
 - [167] U. Schnakenberg, W. Benecke, et B. Löchel, "NH₄OH-Based Etchants for Silicon Micromachining", *Sensors and Actuators A*, n° 21–23, pages 1031–1035, 1990.
 - [168] U. Schnakenberg, W. Benecke, B. Löchel, S. Ullerich, et P. Lange, "NH₄OH-Based Etchants for Silicon Micromachining : Influence of Additives and Stability of Passivation Layers", *Sensors and Actuators A*, n° 25–27, pages 1–7, 1991.
 - [169] F. V. Schnatz, U. Schöneberg, W. Brockherde, P. Kopystynski, T. Mehlhorn, E. Obermeier, et H. Benz, "Smart CMOS Capacitive Pressure Transducer with On-Chip Calibration Capability", *Sensors and Actuators A*, n° 34, pages 77–83, 1992.
 - [170] B. Schwarz et H. Robbins, "Chemical Etching of Silicon: III. A Temperature Study in the Acid System", *Journal of the Electrochemical Society*, vol. 108, n° 4, pages 365–372, Avril 1961.
 - [171] H. Seidel, "The Mechanism of Anisotropic Etching and its Relevance for Micromachining", dans *Microsensors*, pages 104–109, IEEE press, 1990.
 - [172] H. Seidel, L. Csepregi, A. Heuberger, et H. Baumgärtel, "Anisotropic of Crystalline Silicon in Alkaline Solutions: 1. Orientation Dependence and Behavior of Passivation Layers", *Journal of the Electrochemical Society*, vol. 137, n° 11, pages 3612–3626, Novembre 1990.
 - [173] H. Seidel, L. Csepregi, A. Heuberger, et H. Baumgärtel, "Anisotropic of Crystalline Silicon in Alkaline Solutions: 2. Influence of Dopants", *Journal of the Electrochemical Society*, vol. 137, n° 11, pages 3626–3632, Novembre 1990.
 - [174] A. Septier et C. Machet, "Calcul de la sensibilité et de la constante de temps d'une thermopile à éléments en couches minces et structure radiale", *Revue de Physique Appliquée*, n° 18, pages 507–514, 1983.
 - [175] C. H. Sequin, "Computer Simulation of Anisotropic Crystal Etching", *Sensors and Actuators A*, n° 31, pages 225–241, 1992.

- [176] J. Y. W. Seto, "Piezoresistive Properties of Polycrystalline Silicon", *Journal of Applied Physics*, vol. 47, n° 11, pages 4780–4783, Novembre 1976.
- [177] C. Strandman, L. Rosengren, H. G. A. Elderstig, et Y. Bäcklund, "Fabrication of 45° Mirrors Together with Well-Defined V-Grooves Using Wet Anisotropic Etching of Silicon", *Journal of Microelectromechanical Systems*, vol. 4, n° 4, pages 213–219, Décembre 1995.
- [178] Y. Su, G. R. Evans, et A. Brunnschweiler, "Micromachined Silicon Cantilever Paddles with Piezoresistive Readout for Flow Sensing", *Journal of Micromechanics and Microengineering*, n° 6, pages 69–72, 1996.
- [179] K. Suzuki, S. Okudaira, N. Sakudo, et I. Konomata, "Microwave Plasma Etching", *Japanese Journal of Applied Physics*, vol. 16, n° 11, pages 1979–1984, Novembre 1977.
- [180] System Planning Corporation (SPC), "MEMS Market Study", Etude du marché des micro-systèmes, 1994.
- [181] O. Tabata, "pH-Controlled TMAH Etchants for Silicon Micromachining", *Sensors and Actuators A*, n° 53, pages 335–339, 1996.
- [182] O. Tabata, R. Asahi, H. Funabasho, K. Shimaoka, et S. Sugiyama, "Anisotropic Etching of Silicon in TMAH Solutions", *Sensors and Actuators A*, n° 34, pages 51–57, 1992.
- [183] S. Tachi, K. Tsujimoto, et S. Okudaira, "Low-Temperature Reactive Ion Etching and Microwave Plasma Etching of Silicon", *Applied Physics Letters*, vol. 52, n° 8, pages 616–618, Février 1988.
- [184] Y. C. Tai et R. S. Muller, "IC-Processed Electrostatic Synchronous Micromotors", *Sensors and Actuators A*, n° 20, pages 49–55, 1989.
- [185] S. S. Tan, M. L. Reed, H. Han, et R. Boudreau, "Morphology of Etch Hillock Defects Created during Anisotropic Etching of Silicon", *Journal of Micromechanics and Microengineering*, n° 4, pages 147–155, 1994.
- [186] S. S. Tan, M. L. Reed, H. Han, et R. Boudreau, "Mechanism of Etch Hillock Formation", *Journal of Microelectromechanical Systems*, vol. 5, n° 1, pages 66–73, Mars 1996.
- [187] L. S. Tavrow, S. F. Bart, J. H. Lang, et M. F. Schlecht, "A LOCOS Process for an Electrostatic Microfabricated Motor", *Sensors and Actuators A*, n° 21–23, pages 893–898, 1990.
- [188] Technology Associates, *Semiconductor Technology Handbook*. Avril 1982.
- [189] O. Than et S. Büttgenbach, "Simulation of Anisotropic Chemical Etching of Crystalline Silicon Using a Cellular Automata Model", *Sensors and Actuators A*, n° 45, pages 85–89, 1994.
- [190] H. A. C. Tilmans, K. Baert, A. Verbist, et R. Puers, "CMOS foundry-based Micromachining", *Journal of Micromechanics and Microengineering*, n° 6, pages 122–127, 1996.
- [191] V. Tyree, J. I. Pi, C. Pina, W. Hansford, J. Marshall, M. Gaitan, M. Zaghloul, et D. Novotny, "Realizing Suspended Structures on Chips Manufactured by CMOS Foundry Processes Through the MOSIS Service", *Courrier électronique d'annonce Microsystème*, Avril 1994.

-
- [192] A. W. van Herwaarden, D. C. van Duyn, B. W. van Oudheusden, et P. M. Sarro, "Integrated Thermopile Sensors", *Sensors and Actuators A*, n° 21–23, pages 621–630, 1989.
- [193] R. P. van Kampen, M. J. Vellekoop, P. M. Sarro, et R. F. Wolffenbuttel, "Application of Electrostatic Feedback to Critical Damping of an Integrated Silicon Capacitive Accelerometer", *Sensors and Actuators A*, n° 43, pages 100–106, 1994.
- [194] P. Vanden Bosschelle, *Technologie des Semi-Conducteurs et des Circuits Intégrés*. Mc Graw-Hill, 1986.
- [195] D. Veychard, "Création d'une Bibliothèque pour les Microsystèmes", Rapport de DEA de Microélectronique, Université Joseph Fourier, Grenoble, France, Juin 1996.
- [196] F. Völklein et H. Baltes, "Optimization Tool for the Performance Parameters of Thermoelectric Microsensors", *Sensors and Actuators A*, n° 36, pages 65–71, 1993.
- [197] M. Weber, P. Lerch, et P. Renaud, "Simulation and Characterization of Thin Film Micromachined Infrared Sources for Gas Sensors", dans *7th European Workshop on MicroMechanics (MME'96)*, pages 180–183, Barcelone, Espagne, 21–22 Octobre 1996.
- [198] D. F. Weirauch, "Correlation of the anisotropic Etching of Single-Crystal Silicon Spheres and Wafers", *Journal of Applied Physics*, vol. 46, n° 4, pages 1478–1483, Avril 1975.
- [199] J. Werno, R. Kerjes, W. Mokwa, et H. Vogt, "Reduction of Heat Loss of Silicon Membranes by the Use of Trench-Etches Techniques", *Sensors and Actuators A*, n° 41–42, pages 578–581, 1994.
- [200] R. F. Wolffenbuttel, *Silicon Sensors and Circuits: on-Chip Compatibility*. Chapman & Hall, première édition, 1996.
- [201] X. P. Wu et W. H. Ko, "Compensation Corner Undercutting in Anisotropic Etching of (100) Silicon", *Sensors and Actuators A*, n° 18, pages 207–215, 1989.
- [202] X. P. Wu, Q. H. Wu, et W. H. Ko, "A Study on Deep Etching of Silicon Using Ethylene-Diamine-Pyrocatechol-Water", *Sensors and Actuators A*, n° 9, pages 333–343, 1986.
- [203] D. Zielke et J. Frühauf, "Determination of Rates for Orientation Dependent etching", *Sensors and Actuators A*, n° 48, pages 151–156, 1995.
- [204] C. Zincke, M. Gaitan, M. E. Zaghloul, et L. W. Linholm, "Test Structures for Determining Design Rules for Microelectromechanical-Based Sensors and Actuators", dans *1994 IEEE International Conference on Microelectronic Test Structures*, San Diego, Californie, USA, 21–24 Mars 1994.

Annexe B

PUBLICATIONS ET CONFERENCES

La liste des publications relatives aux travaux exposés est donnée ci-dessous :

- J. M. Karam, B. Courtois, et J. M. Paret, “Collective Fabrication of Microsystems Compatible with CMOS through the CMP Service”, *Materials Science and Engineering B*, n° 35, pages 219–233, 1995.
- J. M. Karam, B. Courtois, J. M. Paret, et H. Boutamine, “Low Cost Access to MST: Manufacturing Techniques and Related CAD Tools”, dans *Micro System Technologies 96*, (Postdam), pages 127–132, 5th International Conference on Micro Electro, Opto, Mechanical Systems and Components, 17–19 Septembre 1996.
- B. Courtois, J. M. Karam, et J. M. Paret, “Developments at CMP Service : from Microelectronics to Microsystems”, dans *Proceedings of the European Workshop on Microelectronics Education*, pages 85–91, Grenoble, France, 5–6 Février 1996.
- B. Courtois, J. M. Karam, et J. M. Paret, “Advances at CMP service: from Microelectronics to Microsystems”, ISIC’95, Singapour, 6–8 Septembre 1995.
- J. M. Karam, B. Courtois, et J. M. Paret, “Collective Fabrication of Microsystems Compatible with CMOS through the CMP Service”, Low Dimensional Structures and Devices (LDSD 95), Singapour, 8–10 Mai 1995.
- J. M. Karam, B. Courtois, et J. M. Paret, “Microelectronics Compatible Manufacturing Techniques of Microsystems”, dans *MECATRONICS’96 : third France–Japan Congress and first Europe–Asia Congress on Mechatronics, volume 2*, pages 528–531, Besançon, France, 1–3 Octobre 1996.

La liste des conférences (sans publication associée) relatives aux travaux exposés est donnée ci-dessous :

- J. M. Paret, J. M. Karam, B. Courtois, “CAD tools for MEMS”, CAVE Workshop’95, 3–6 Décembre 1995, Kenmare, Irlande.
- J.M. Paret, “Sous traitance de la salle blanche de l’ESIEE pour la réalisation de microsystemes compatibles CMOS”, Demi journée de présentation des moyens microélectroniques de l’ESIEE, Paris, 20 Juin 1996.
- J.M. Paret, “Collective Fabrication of Microsystems on Silicon”, conférence donnée au cours du Board of European Students of Technology (BEST), Septembre 1995.

La liste des documents techniques, diffusés par CMP et rédigés dans le cadre des travaux exposés, est donnée ci-dessous :

- “ES2 CMOS 1.0 μ Front-Side Bulk Micromachining Design Rules — Version 1.0 —”, documentation technique CMP, Octobre 1995.
- “MCS-ES2 Design Kit Documentation — Version 1 —”, documentation technique CMP, Octobre 1995.
- “MiCroSystem ES2 Cadence 4.3.3 Design Kit User Guide — Version 2.0 —”, documentation technique CMP, Janvier 1996.
- “MiCroSystem ES2 Library Databook — Version 2.0 —”, documentation technique CMP, Janvier 1996.

La liste des environnements de conception de microsystemes, diffusés par CMP et conçus dans le cadre des travaux exposés, est donnée ci-dessous :

- *Design Kit Cadence* pour circuits microsystemes fabriqués avec le procédé ECPD10 de ATMEL-ES2, version 1, Octobre 1995.
- *Design Kit Cadence* pour circuits microsystemes fabriqués avec le procédé ECPD10 de ATMEL-ES2, version 2.0, Janvier 1996.

La liste des différents rapports relatifs aux travaux exposés est donnée ci-dessous :

- J. M. Paret et T. Pignol, “Etude de la Fabrication Collective de Micromachines”, Recherche bibliographique du projet d’ingénieur de 3ème année ENSERG (Ecole Nationale Supérieure d’Electronique et de Radioélectricité de Grenoble), Grenoble, France, Décembre 1993.
- J. M. Paret et T. Pignol, “Etude de la Fabrication Collective de Micromachines”, Rapport d’avant projet ingénieur de 3ème année ENSERG (Ecole Nationale Supérieure d’Electronique et de Radioélectricité de Grenoble), Grenoble, France, Décembre 1993.
- J. M. Paret et T. Pignol, “Etude de la Fabrication Collective des Microsystèmes à travers CMP”, Rapport de projet ingénieur de 3ème année ENSERG (Ecole Nationale Supérieure d’Electronique et de Radioélectricité de Grenoble), Grenoble, France, Juin 1994.
- J. M. Paret, “Etude de la Fabrication Collective des Microsystèmes”, Rapport de DEA de Microélectronique, Université Joseph Fourier, Grenoble, France, Septembre 1994.
- B. Courtois, H. Delori, J. M. Karam, J. M. Paret, et T. Pignol, “Premier Essai de Fabrication de Micro-Structures par le CMP”, rapport technique, CMP, 46, av. Félix Viallet, 38031 Grenoble, France, Juin 1994.
- B. Courtois, J. M. Karam, et J. M. Paret, “Fabrication Collective de Microsystèmes à travers le service CMP”, rapport technique, CMP, 46, av. Félix Viallet, 38031 Grenoble, France, Octobre 1994.
- J. M. Paret, “Fabrication Collective de Microsystèmes sur Silicium”, rapport technique, TIMA, 46, av. Félix Viallet, 38031 Grenoble, France, Mars 1996.
- J. M. Paret et J. M. Karam, “Suspended Monocrystalline Microstructures”, rapport technique, TIMA, 46, av. Félix Viallet, 38031 Grenoble, France, Juillet 1995.
- J. M. Paret, “Design Rules for CMOS Compatible Microstructures Released by Front Side Bulk Micromachining”, rapport technique, CMP, 46, av. Félix Viallet, 38031 Grenoble, France, Mai 1995.
- B. Courtois, H. Delori, J. M. Karam, et J. M. Paret, “Réalisation de Micro-Structures à travers le CMP : Circuits en Cours de Fabrication et Etapes Post Process à Effectuer”, rapport technique, CMP, 46, av. Félix Viallet, 38031 Grenoble, France, Juillet 1994.
- J. M. Paret, “Tests du Circuit MICBULK”, rapport technique, TIMA, 46, av. Félix Viallet, 38031 Grenoble, France, Février 1995.
- J. M. Paret, “Run E94_14 : Circuit MICES2”, rapport technique, TIMA-CMP, 46, av. Félix Viallet, 38031 Grenoble, France, Janvier 1995.
- J. M. Paret, “Run E96_03 : Circuit TIMATEST”, rapport technique, TIMA-CMP, 46, av. Félix Viallet, 38031 Grenoble, France, Mars 1996.

-
- J. M. Paret, “Run A94_07 : Circuit MICAMS”, rapport technique, TIMA–CMP, 46, av. Félix Viallet, 38031 Grenoble, France, Août 1996.
 - J. M. Paret, “Post Process Steps Performed on Circuit MICAMS”, rapport technique, TIMA–CMP, 46, av. Félix Viallet, 38031 Grenoble, France, Août 1996.
 - J. M. Paret, “Runs A94_11 : Circuit MICBULK3”, rapport technique, TIMA–CMP, 46, av. Félix Viallet, 38031 Grenoble, France, Août 1996.
 - J. M. Paret, “Runs A95_02 and A95_03 : Circuit BiCMOS_BULK”, rapport technique, TIMA–CMP, 46, av. Félix Viallet, 38031 Grenoble, France, Août 1996.
 - J. M. Paret, “Post Process Steps and Tests Performed on Circuit BiCMOS_BULK”, rapport technique, TIMA–CMP, 46, av. Félix Viallet, 38031 Grenoble, France, Août 1996.
 - J. M. Paret, “Runs A95_04 : Circuit TRANS”, rapport technique, TIMA–CMP, 46, av. Félix Viallet, 38031 Grenoble, France, Août 1996.
 - J. M. Paret, “Runs A95_06 and A95_07 : Circuit MICAMS2”, rapport technique, TIMA–CMP, 46, av. Félix Viallet, 38031 Grenoble, France, Août 1996.
 - J. M. Paret, “Run A96_09 : Circuit MICAMS3”, rapport technique, TIMA–CMP, 46, av. Félix Viallet, 38031 Grenoble, France, Août 1996.
 - J. M. Paret, “Microsystem Circuits of Run E95_14”, rapport technique, TIMA–CMP, 46, av. Félix Viallet, 38031 Grenoble, France, Mars 1996.
 - J. M. Paret, “Microsystem Circuits of Run E96_03”, rapport technique, TIMA–CMP, 46, av. Félix Viallet, 38031 Grenoble, France, Mars 1996.

Annexe C

LE SERVICE CMP MICROSYSTEMES

Le service CMP, créé en 1981, peut être défini comme une interface entre concepteurs de circuits intégrés et fondeurs de silicium. Son but est de rendre accessible aux chercheurs, aux étudiants et aux PME-PMI, les technologies de pointe offertes par les industriels de la microélectronique.

Le principe sur lequel est basé le fonctionnement du service CMP est illustré par le schéma de la figure C.1 : le coût de fabrication de circuits intégrés est partagé entre différents circuits, placés ensemble sur même tranche de silicium.

Depuis le début de l'année 1996, CMP a étendu son action à la fabrication de circuits microsystemes. La première technologie proposée est celle du micro-usinage en volume par la face avant, sur des puces fabriquées avec le procédé CMOS ECPD10 de ATMEL-ES2. Les technologies basées sur le micro-usinage en volume, par la face avant, de puces fabriquées avec les procédés CMOS et BiCMOS de AMS, seront très probablement proposées au cours de l'année 1997.

L'objectif de cette activité est essentiellement de permettre aux laboratoires de recherche, ayant une expérience dans le domaine des capteurs conventionnels ou intégrés, de réaliser des circuits prototypes ou de petites séries à faible coût, et en utilisant des lignes de fabrication industrielles.

Le traitement des circuits microsystemes par le service CMP est illustré par le schéma de la figure C.2 : les concepteurs, avec l'aide du *kit* de conception de microsystemes développé par TIMA, créent les dessins de masques de leur circuit, comme ils le feraient pour un circuit microélectronique classique. Ce circuit est ensuite envoyé à CMP, qui le place dans un lot de fabrication collectif (les circuits microsystemes et les circuits classiques sont placés sur une même plaquette de silicium). Les circuits sont ensuite fabriqués sur un site industriel (ATEL-ES2 ou AMS). Les puces, à leur retour de fabrication et de découpage, sont triées, et les circuits microsystemes seuls subissent l'étape de micro-usinage. Les circuits sont ensuite mis en boîtier et renvoyés aux concepteurs.

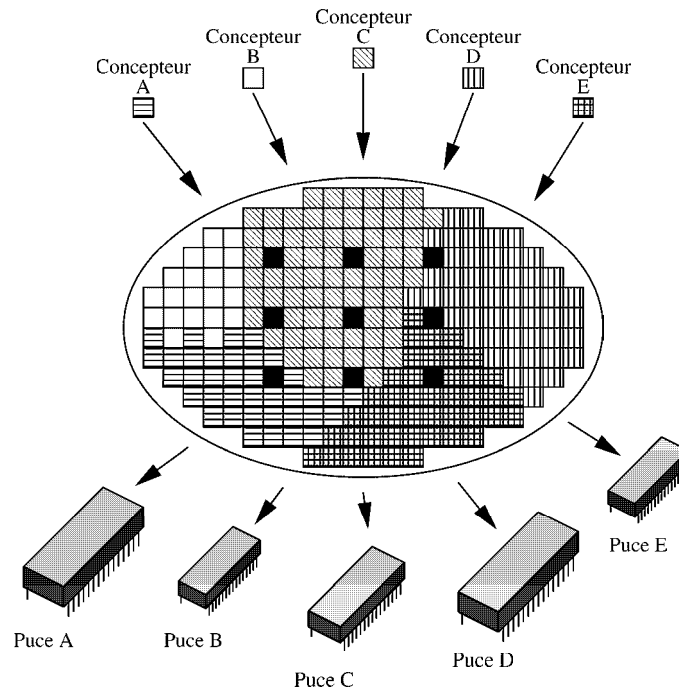


Figure C.1: Partage du coût de fabrication de fabrication de circuits intégrés grâce au principe de lots multi-projets.

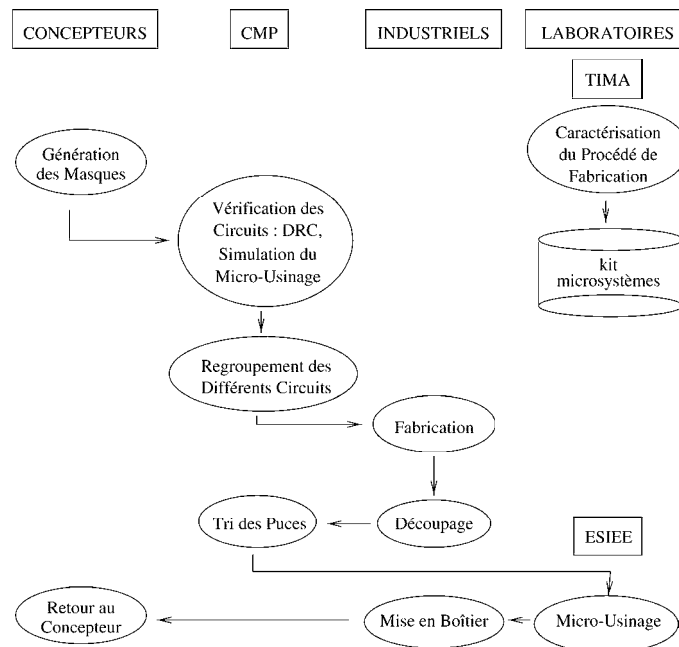


Figure C.2: Principe de fonctionnement du service CMP pour les circuits microsystemes.

Les premiers lots multi-projets CMP contenant des circuits à micro-usiner ont permis l'envoi en fabrication de onze circuits provenant de huit laboratoires européens différents ¹ (voir l'annexe D).

L'ouverture du service CMP vers les microsystemes est également très importante dans le cadre de l'activité de recherche du laboratoire TIMA : elle permet en effet de connaître, dès à présent, les besoins des concepteurs de circuits microsystemes (physiciens ou concepteurs de circuits intégrés utilisant des capteurs) en matière de technologie, d'informations sur les paramètres physiques utiles, et sur les outils CAO et cellules standard ou paramétrées à développer. Cette activité permet également de débiter d'importantes collaborations avec différents laboratoires ayant une expérience dans le domaine des capteurs.

¹Sans compter, bien sûr, les nombreux circuits de caractérisation du procédé envoyés en fabrication par le laboratoire TIMA.

Annexe D

CIRCUITS MICROSYSTEMES FABRIQUES PAR ATMEL-ES2

D.1 Circuit MICSURF

Lots CMP : E94_06 et E94_08.

Procédé de fabrication : ECPD10 (ES2 CMOS DLM, SLP 1.0 μm) pour le lot E94_06.
ECPD12 (ES2 CMOS DLM, SLP 1.2 μm) pour le lot E94_08.

Circuit conçu par : TIMA (Jean-Marc PARET et Thierry PIGNOL).

Taille : 887 μm $\times$ 936 μm .

Surface : 0.83 mm².

Fonction : Structures de test pour la caractérisation du micro-usinage en surface (gravure de dioxyde de silicium) [33, 34, 141].

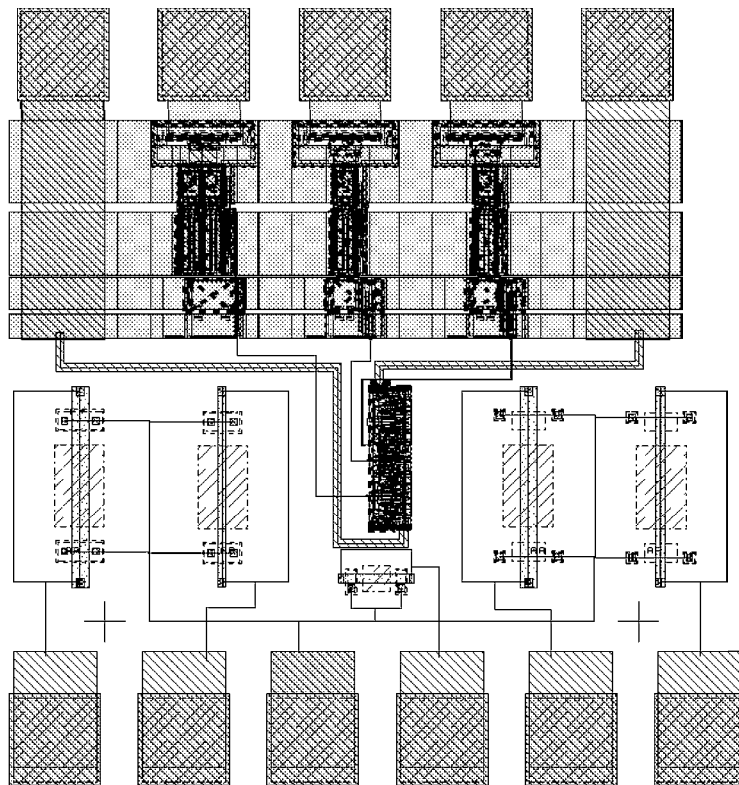


Figure D.1: Dessin des masques du circuit MICSURF.

D.2 Circuit MICBULK

Lots CMP : E94_06 et E94_08.

Procédé de fabrication : ECPD10 (ES2 CMOS DLM, SLP $1.0\ \mu\text{m}$) pour le lot E94_06.
ECPD12 (ES2 CMOS DLM, SLP $1.2\ \mu\text{m}$) pour le lot E94_08.

Circuit conçu par : TIMA (Jean-Marc PARET et Thierry PIGNOL).

Taille : $1283\ \mu\text{m} \times 1096\ \mu\text{m}$.

Surface : $1.4\ \text{mm}^2$.

Fonction : Structures de test pour la caractérisation du micro-usinage en volume [33, 34, 141].

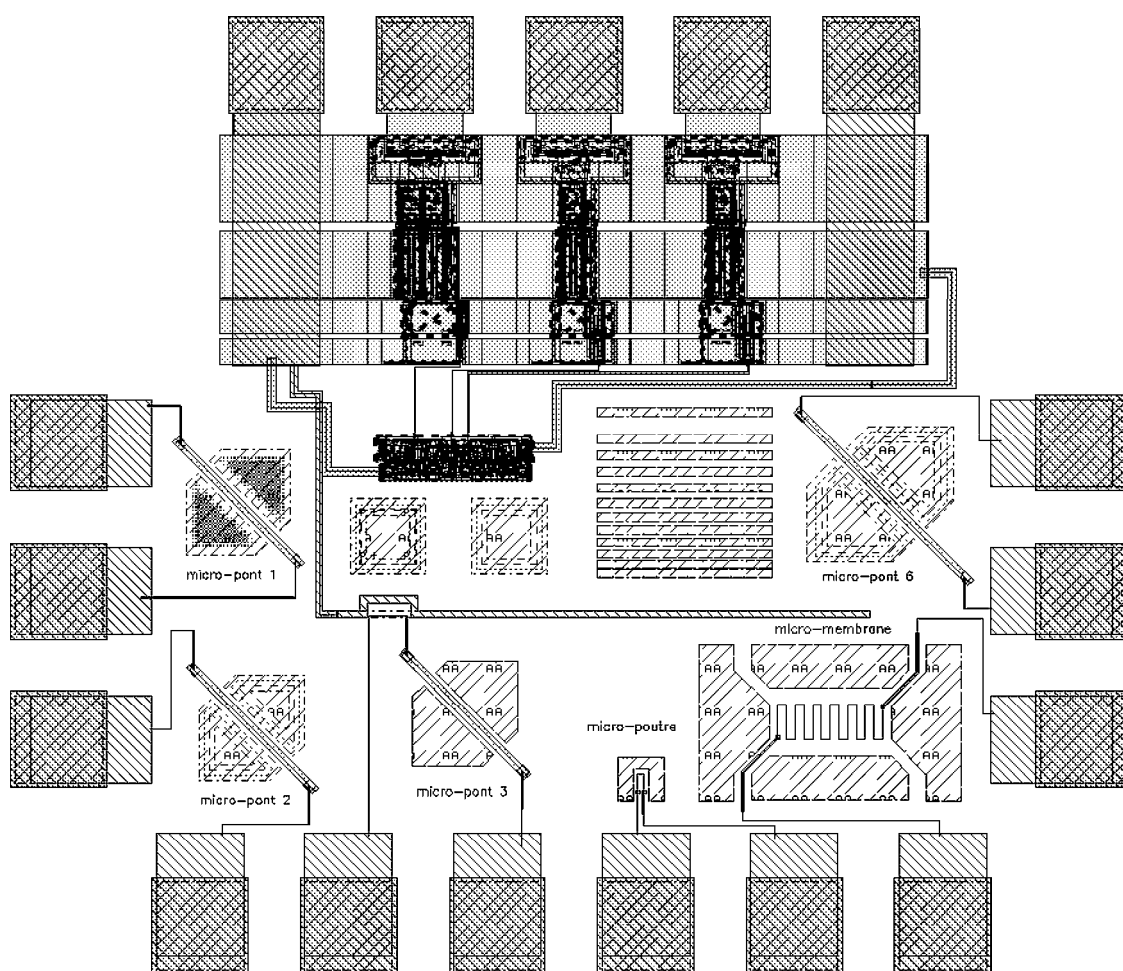


Figure D.2: Dessin des masques du circuit MICBULK.

D.3 Circuit MICBULK2

Lot CMP : E94_09.

Procédé de fabrication : ECPD10 (ES2 CMOS DLM, SLP 1.0 μm).

Circuit conçu par : TIMA (Jean-Marc PARET).

Taille : 1927 $\mu\text{m} \times 740 \mu\text{m}$.

Surface : 1.42 mm^2 .

Fonction : Structures de test pour la caractérisation du micro-usinage en volume [33].

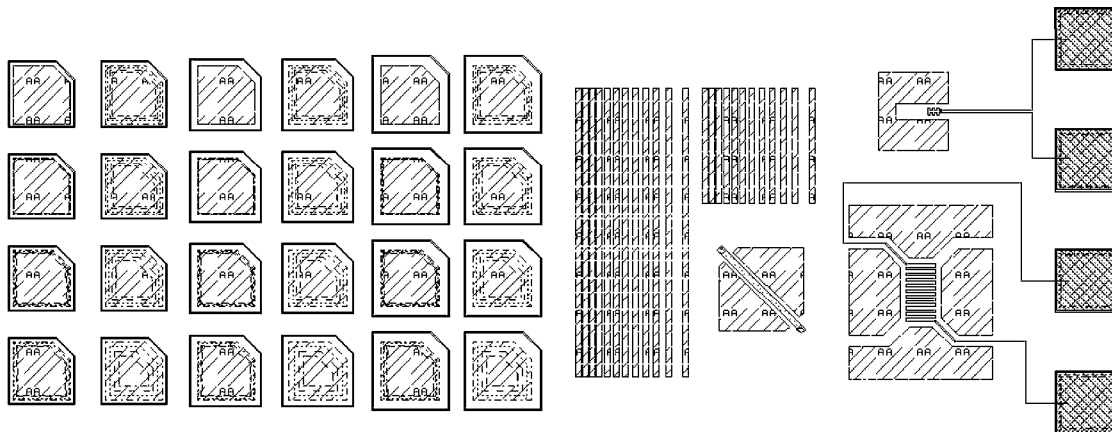


Figure D.3: Dessin des masques du circuit MICBULK2.

D.4 Circuit MICES2

- Lot CMP : E94.14.
- Procédé de fabrication : ECPD10 (ES2 CMOS DLM, SLP 1.0 μm).
- Circuit conçu par : TIMA (Jean-Marc PARET).
- Taille : 2411 $\mu\text{m} \times 1256 \mu\text{m}$.
- Surface : 3 mm^2 .
- Fonction : Structures de test pour la caractérisation du micro-usinage en volume et en surface (gravure de dioxyde de silicium) [127].
Premier essai du dispositif de protection des plots par de l'oxyde.

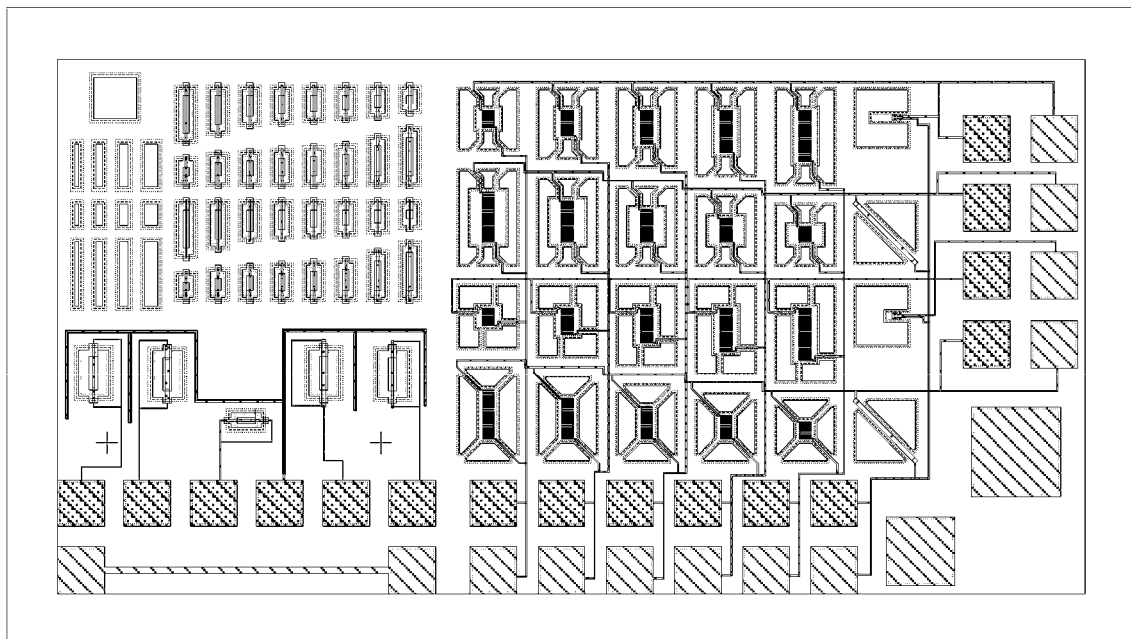


Figure D.4: Dessin des masques du circuit *MICES2*.

D.5 Circuit THERMOPILES

Lot CMP : E95_14.
Procédé de fabrication : ECPD10 (ES2 CMOS DLM, SLP 1.0 μm).
Circuit conçu par : TIMA (Jean-Marc PARET et Marko KOORT).
Taille : 3819 $\mu\text{m} \times 2518 \mu\text{m}$.
Surface : 9.6 mm².
Fonction : Structures de test pour l'optimisation de thermopiles compatibles CMOS [92, 130] (voir le paragraphe 4.3).

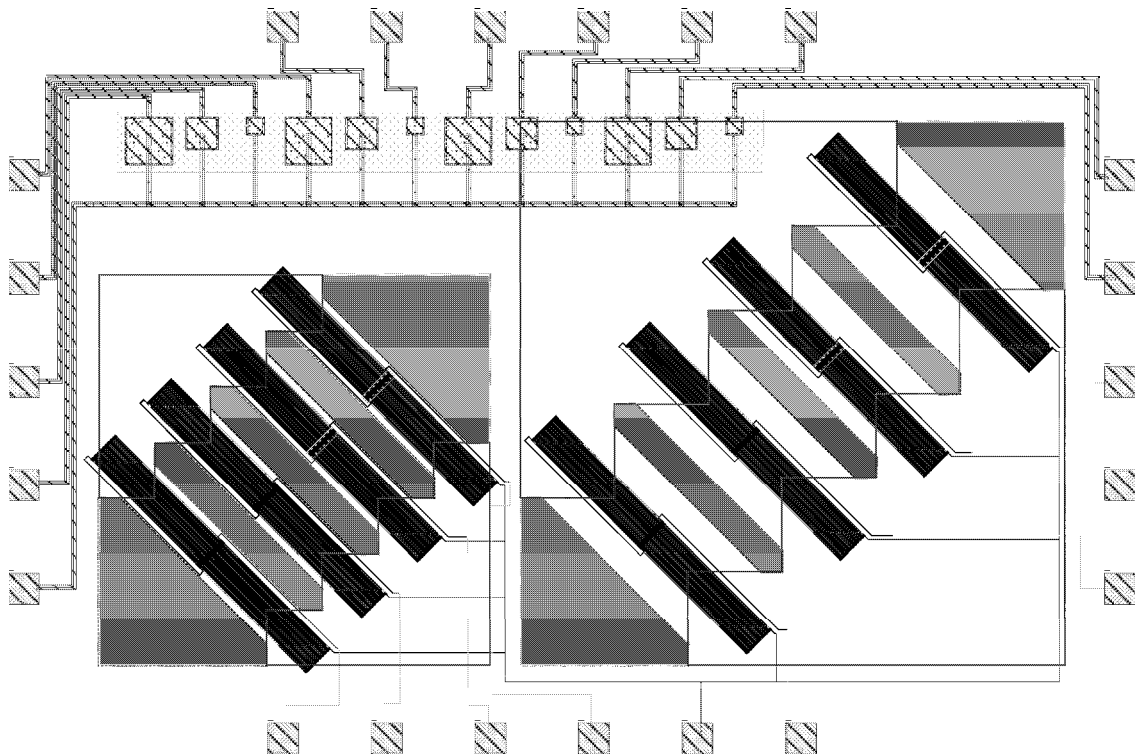


Figure D.5: Dessin des masques du circuit THERMOPILES.

D.6 Circuit PIXEL_TH

Lot CMP : E94.14.
 Procédé de fabrication : ECPD10 (ES2 CMOS DLM, SLP 1.0 μm).
 Circuit conçu par : TIMA (Jean-Marc PARET et Julien NGUYEN).
 Taille : 1635 $\mu\text{m} \times 1483 \mu\text{m}$.
 Surface : 2.43 mm^2 .
 Fonction : Matrice 4×4 de pixels thermiques et circuit de commande intégré [121, 130] (voir le paragraphe 4.2).

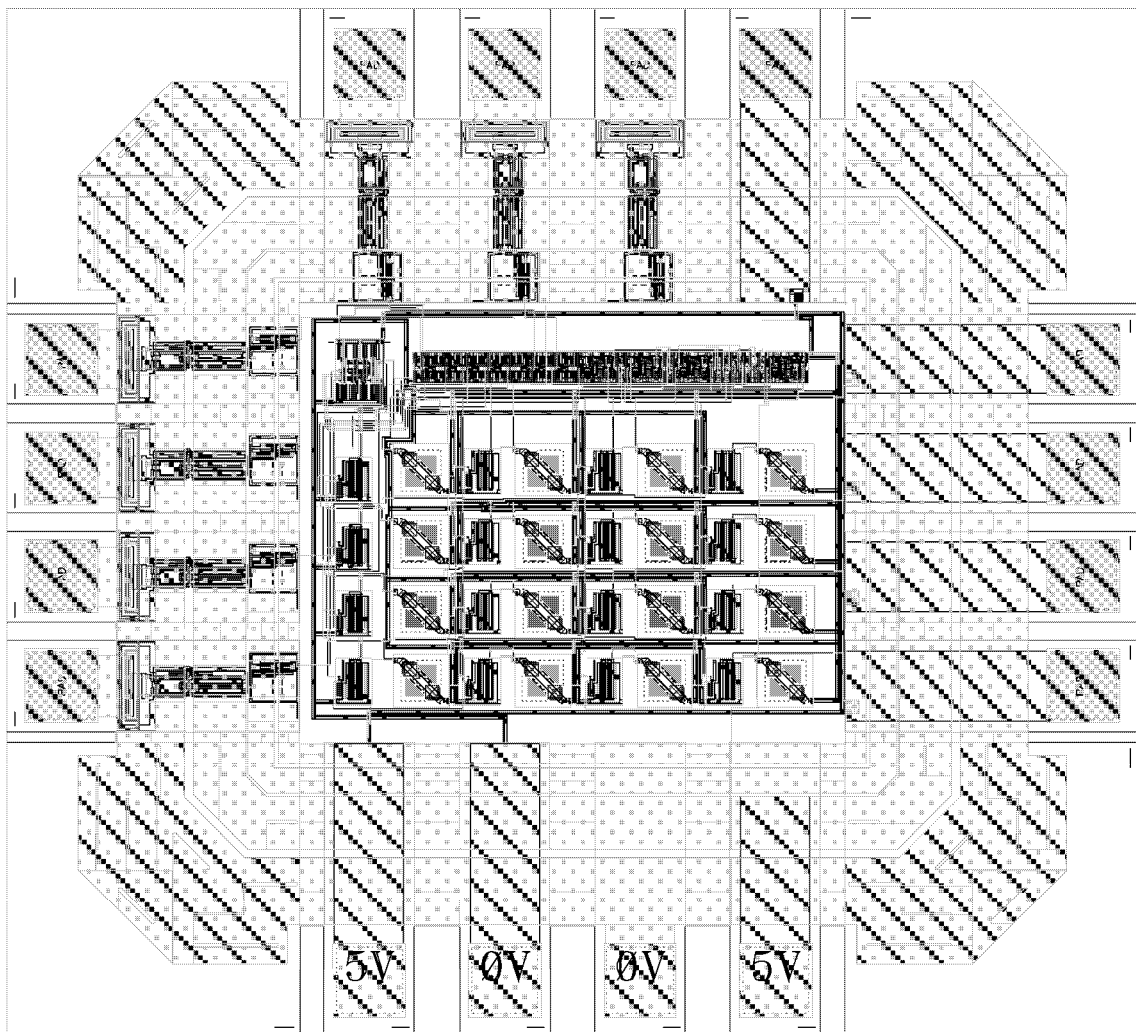


Figure D.6: Dessin des masques du circuit *PIXEL_TH*.

D.7 Circuit IC

Lot CMP : E95_14.
 Procédé de fabrication : ECPD10 (ES2 CMOS DLM, SLP 1.0 μm).
 Circuit conçu par : T.U. BUDAPEST (Csaba MARTA).
 Taille : 2930 μm $\times$ 2921 μm .
 Surface : 8.55 mm².
 Fonction : Structures de test pour la mesure d'accélération [130].

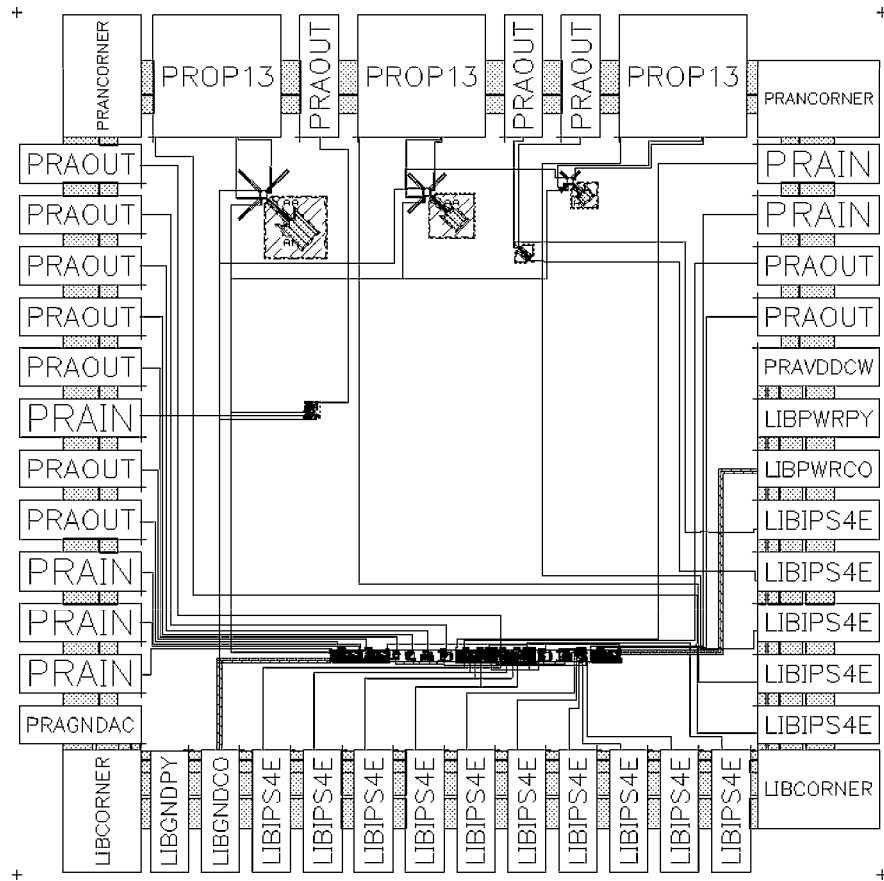


Figure D.7: Dessin des masques du circuit IC.

D.8 Circuit BEAM

Lot CMP : E96_03.
 Procédé de fabrication : ECPD10 (ES2 CMOS DLM, SLP 1.0 μm).
 Circuit conçu par : U. CAMBRIDGE (David MOORE et Jurgen DANIEL)
 et TIMA (Jean-Marc PARET).
 Taille : 3193 μm $\times$ 1954 μm .
 Surface : 6.25 mm².
 Fonction : Structures de test pour la mesure d'accélération [131].

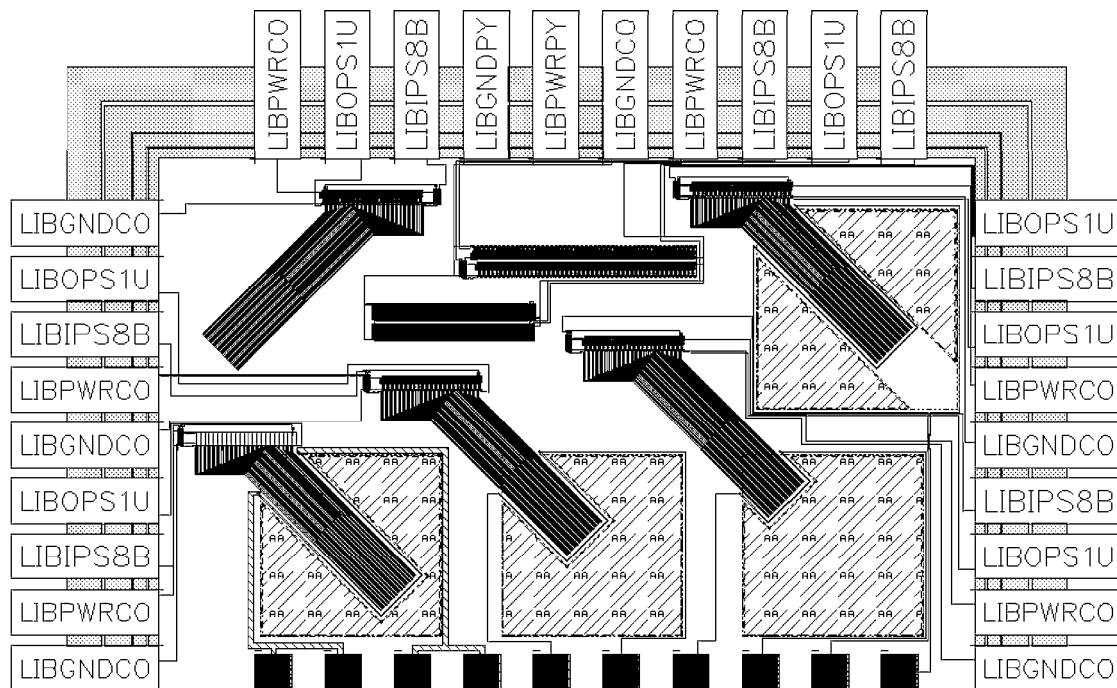


Figure D.8: Dessin des masques du circuit BEAM.

D.9 Circuit MSC

Lot CMP : E96_03.

Procédé de fabrication : ECPD10 (ES2 CMOS DLM, SLP 1.0 μm).

Circuit conçu par : T.U. LODZ (Wojtek WOJCIAK).

Taille : 2200 μm $\times$ 2200 μm .

Surface : 4.85 mm².

Fonction : Différentes structures de test pour la réalisation d'éléments micro-électro-mécaniques intégrés [131] (capteur de flux gazeux, détecteur de radiations infrarouges, convertisseur électro- thermique, capteur d'accélération et pixel thermique).

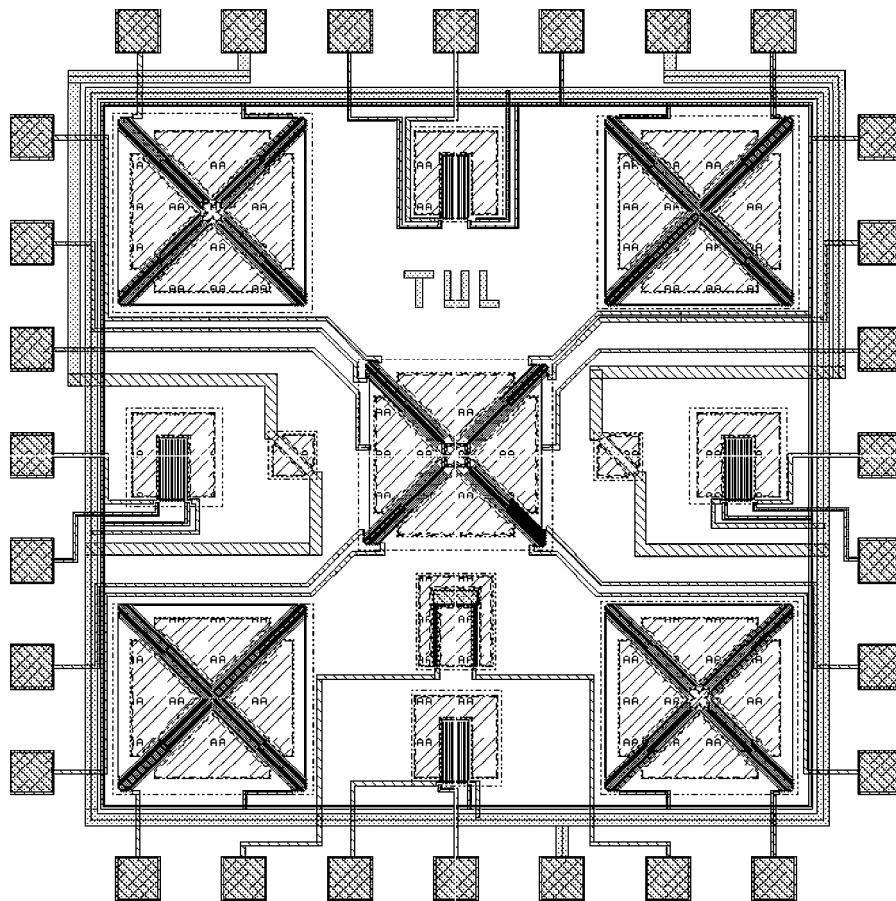


Figure D.9: Dessin des masques du circuit MSC.

D.10 Circuit ACCELSensor

Lot CMP : E96_03.
 Procédé de fabrication : ECPD10 (ES2 CMOS DLM, SLP 1.0 μm).
 Circuit conçu par : T.H. DARMSTADT (Markus LANG).
 Taille : 1587 $\mu\text{m} \times 3010 \mu\text{m}$.
 Surface : 4.8 mm^2 .
 Fonction : Structures de test pour la mesure d'accélérations [131, 97].

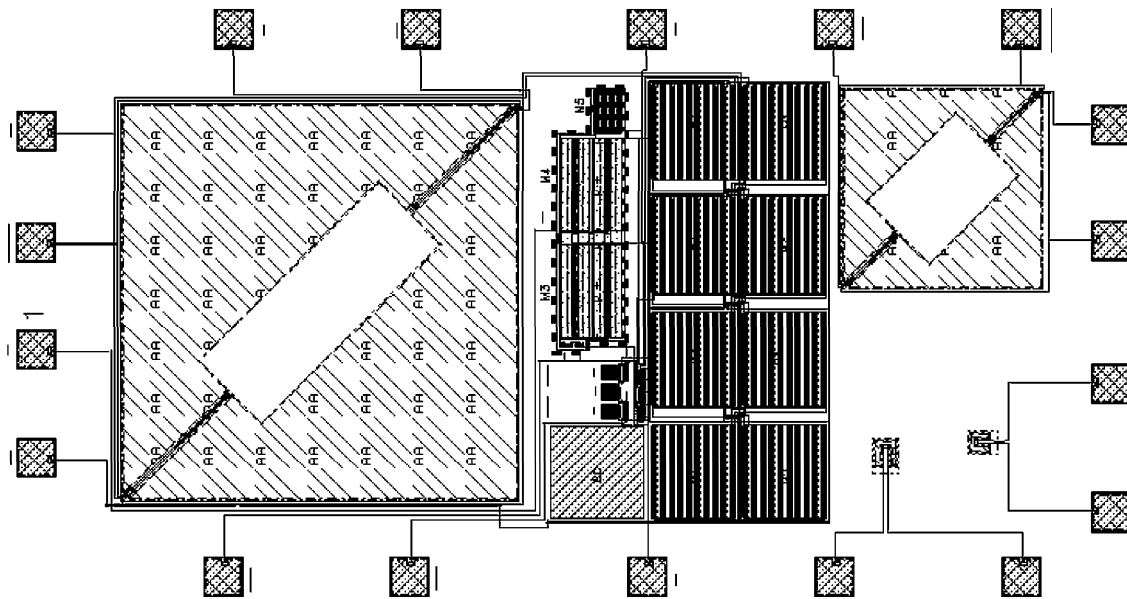


Figure D.10: Dessin des masques du circuit ACCELSensor.

D.11 Circuit CHIPFINAL

Lot CMP : E96_03.
 Procédé de fabrication : ECPD10 (ES2 CMOS DLM, SLP 1.0 μm).
 Circuit conçu par : LIRMM (Christian DUFAZA).
 Taille : 3318 μm $\times$ 2641 μm .
 Surface : 8.8 mm^2 .
 Fonction : Structures de test pour la mesure d'accélération [131].

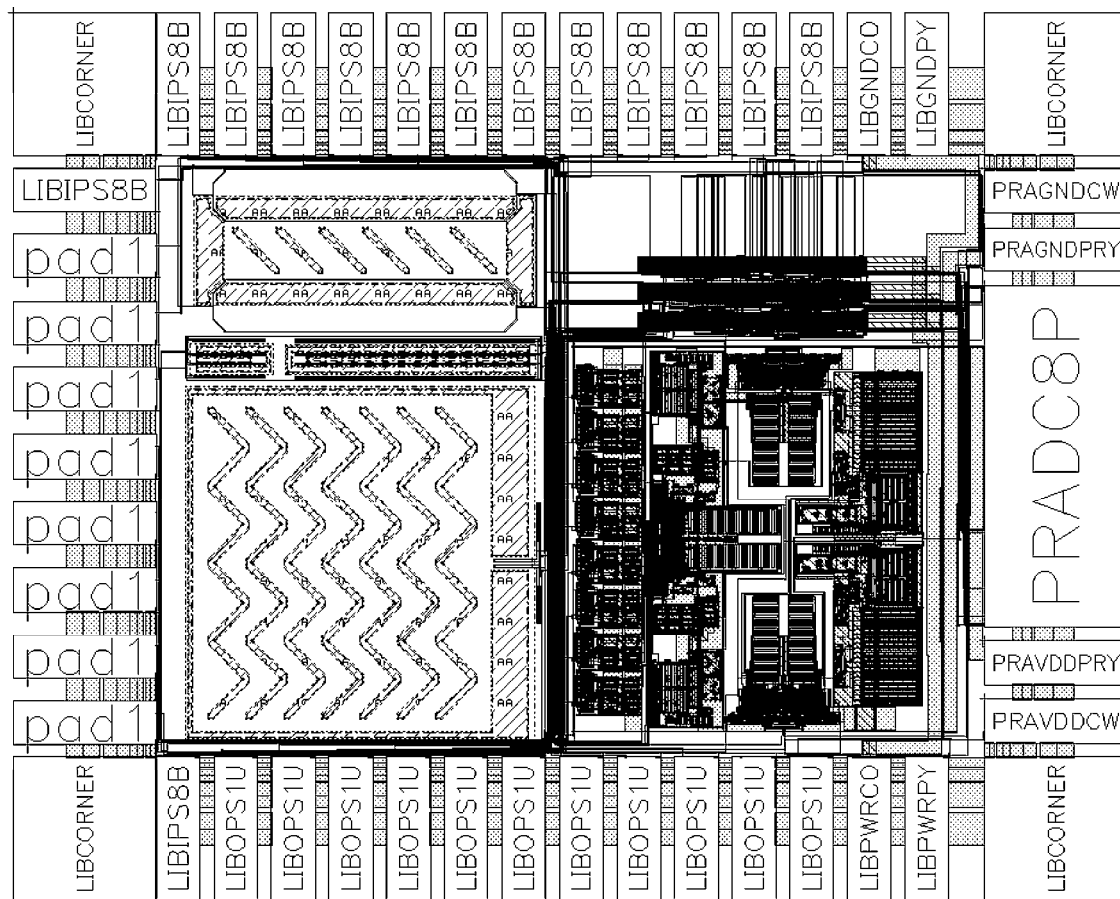


Figure D.11: Dessin des masques du circuit *CHIPFINAL*.

D.12 Circuit IMITSENS

Lot CMP : E96_03.
 Procédé de fabrication : ECPD10 (ES2 CMOS DLM, SLP 1.0 μm).
 Circuit conçu par : HSG-IMIT (Bernd FOLKMER).
 Taille : 2835 μm $\times$ 1810 μm .
 Surface : 5.1 mm².
 Fonction : Structures de test pour la détection de gaz [131].

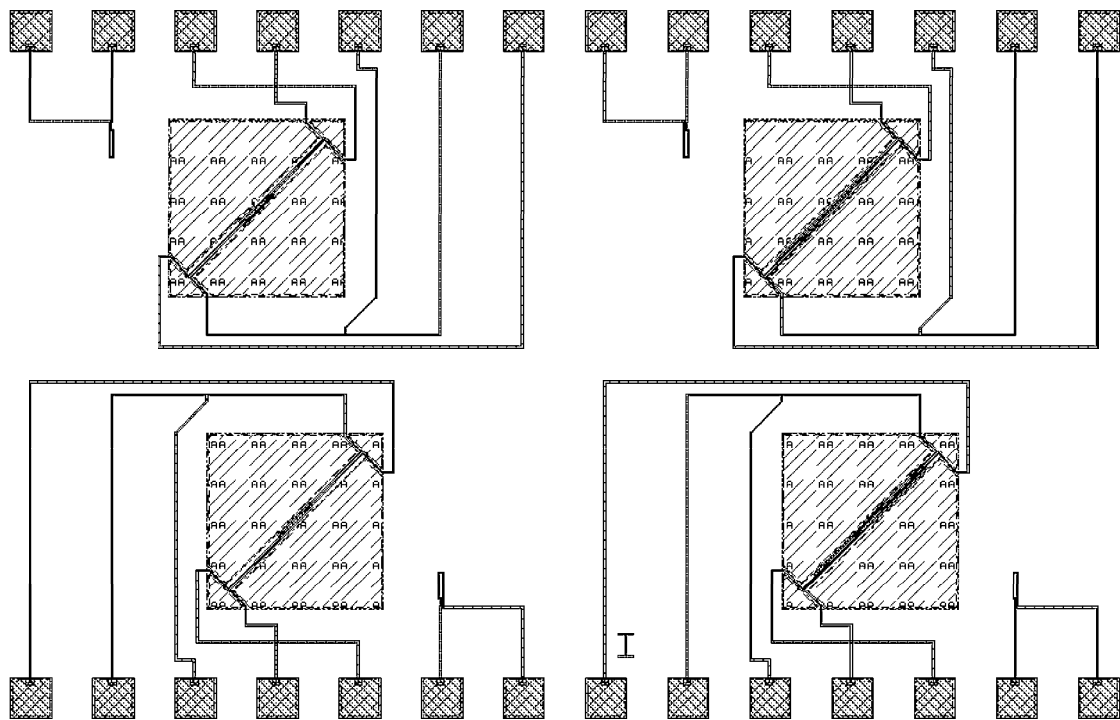


Figure D.12: Dessin des masques du circuit IMITSENS.

D.13 Circuit IR5

Lot CMP : E96_03.

Procédé de fabrication : ECPD10 (ES2 CMOS DLM, SLP 1.0 μm).

Circuit conçu par : EPFL (Michel WEBER).

Taille : 3055 μm $\times$ 1944 μm .

Surface : 5.9 mm^2 .

Fonction : Emetteur infrarouge [131, 197].

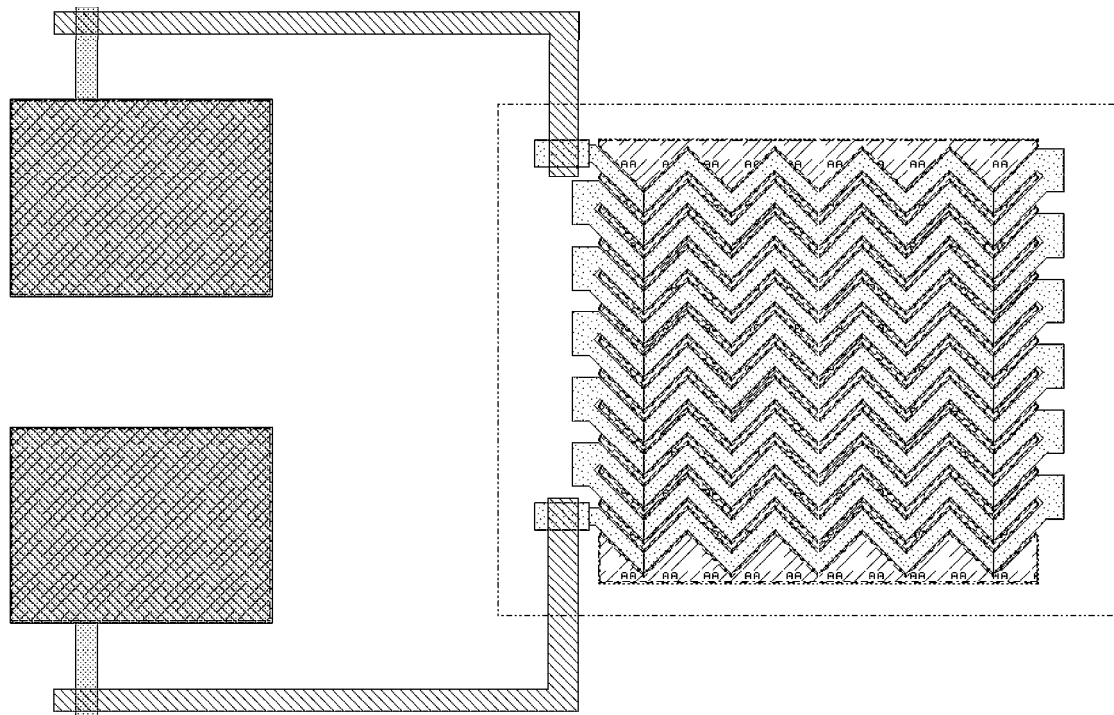


Figure D.13: Dessin des masques du circuit IR5.

D.14 Circuit TIMATEST

Lot CMP : E96_03.
Procédé de fabrication : ECPD10 (ES2 CMOS DLM, SLP 1.0 μm).
Circuit conçu par : TIMA (Jean-Marc PARET).
Taille : 1535 $\mu\text{m} \times 3184 \mu\text{m}$.
Surface : 4.9 mm^2 .
Fonction : Structures de caractérisation du procédé de micro-usinage en volume et en surface (gravure de polysilicium, voir le paragraphe 3.2.2) [131].

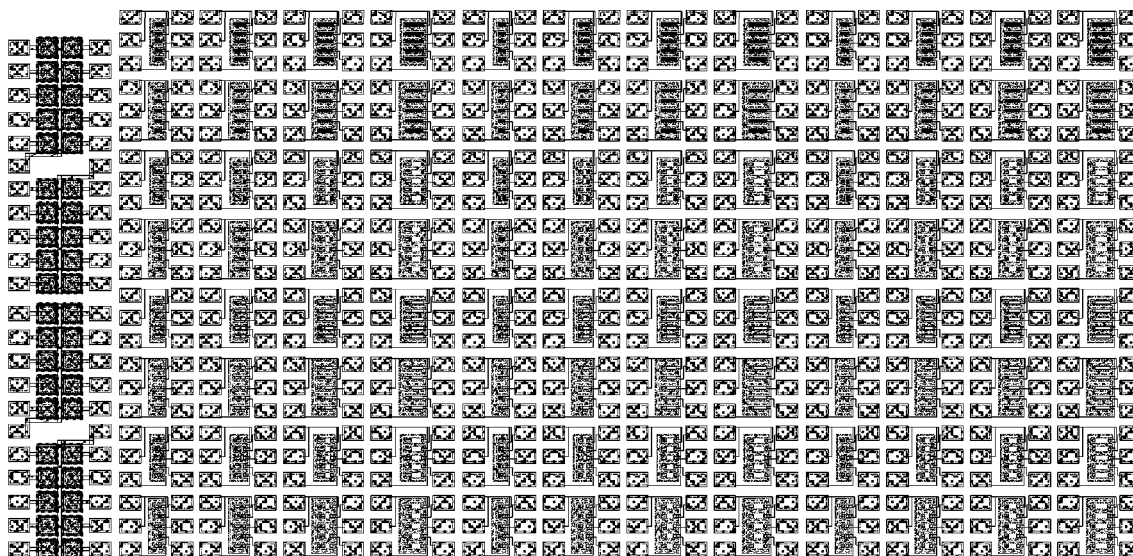


Figure D.14: Dessin des masques du circuit TIMATEST.

D.15 Circuit MICES3

- Lot CMP : E96_09.
 Procédé de fabrication : ECPD07 (ES2 CMOS DLM, SLP $0.7 \mu\text{m}$).
 Circuit conçu par : TIMA (Jean-Marc PARET).
 Taille : $2886 \mu\text{m} \times 2534 \mu\text{m}$.
 Surface : 7.3 mm^2 .
 Fonction : Structures conçues pour permettre la caractérisation du procédé de micro-usinage en volume à partir de puces fabriquées avec le procédé ECPD07 de ATMEL-ES2 (circuit identique à MICAMS3, voir le paragraphe E.6). Première puce fabriquée avec les chemins de découpe décrits au paragraphe 5.2.2.3.

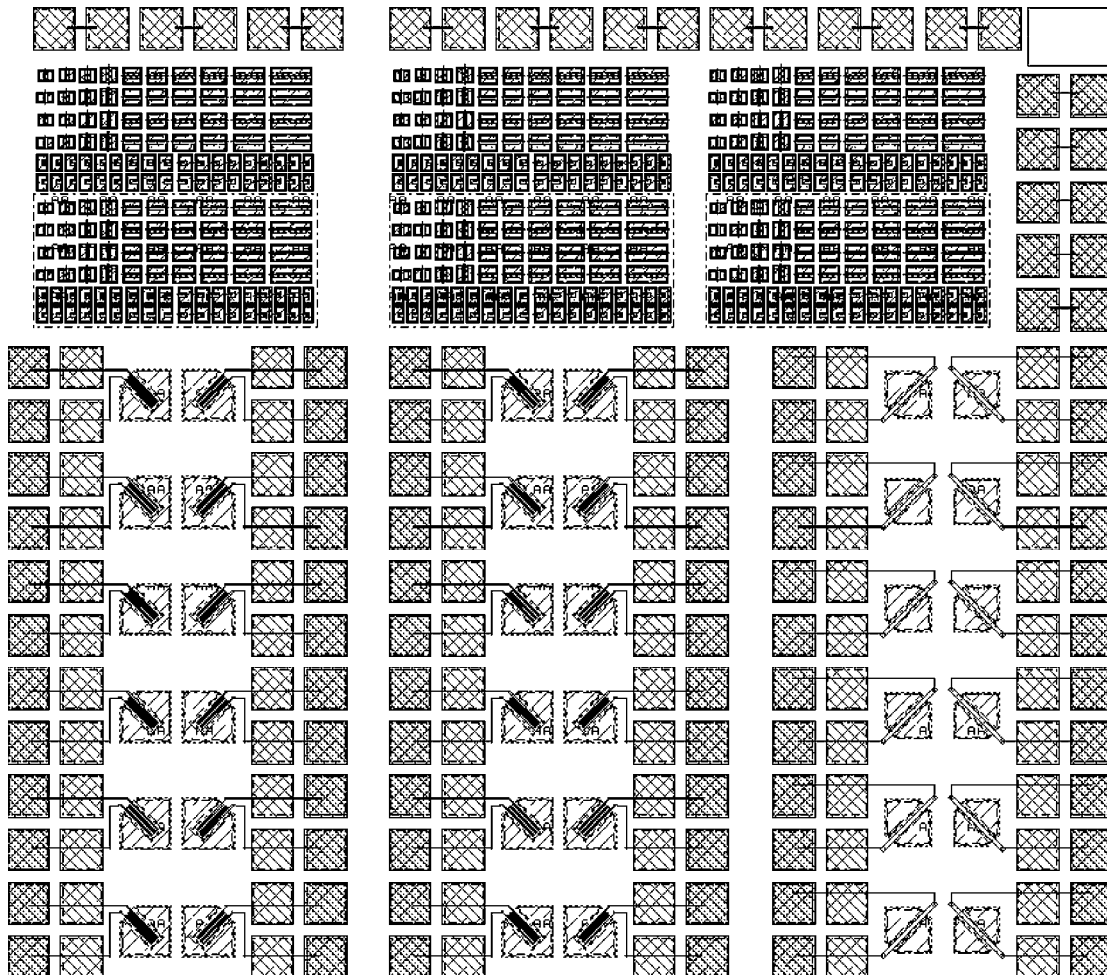


Figure D.15: Dessin des masques du circuit MICES3.

D.16 Circuit IR6

Lot CMP : E96_11.
Procédé de fabrication : ECPD10 (ES2 CMOS DLM, SLP 1.0 μm).
Circuit conçu par : EPFL (Michel WEBER).
Taille : 2930 μm $\times$ 1945 μm .
Surface : 5.7 mm².
Fonction : Emetteur infrarouge [197].

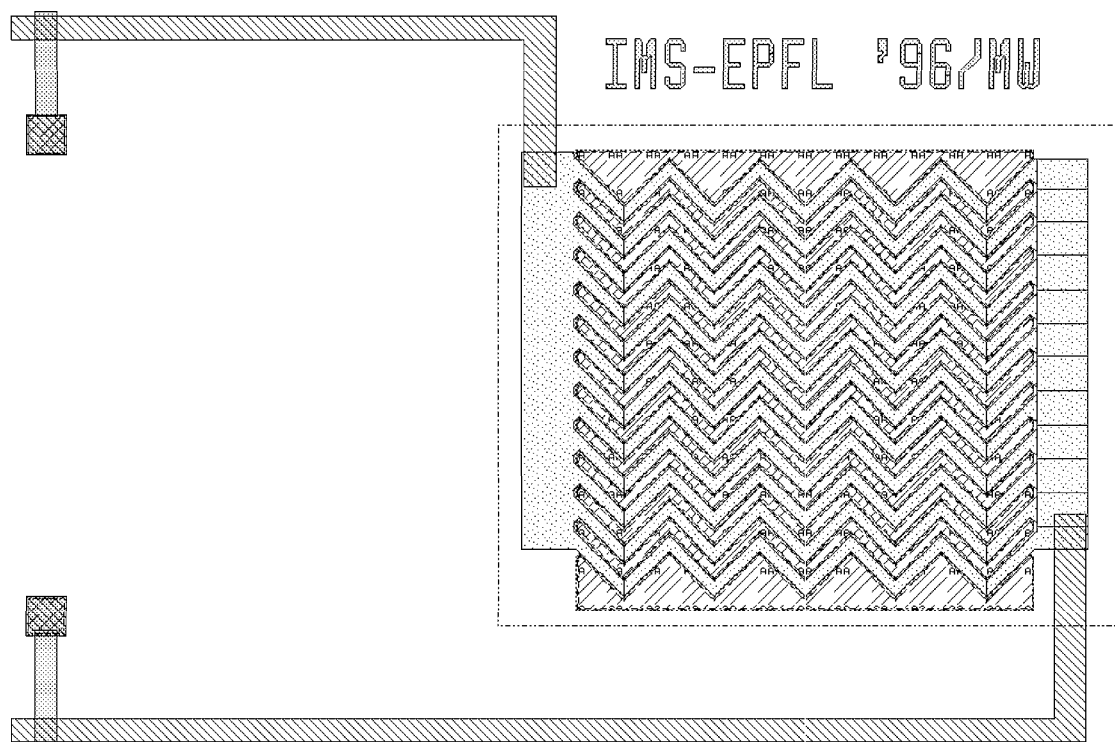


Figure D.16: Dessin des masques du circuit IR6.

D.17 Circuit ACCEL2

Lot CMP : E96_13.

Procédé de fabrication : ECPD10 (ES2 CMOS DLM, SLP 1.0 μm).

Circuit conçu par : T.H. DARMSTADT (Markus LANG).

Taille : 2250 μm $\times$ 3156 μm .

Surface : 7.1 mm^2 .

Fonction : Structures de test pour la mesure d'accélération [97].

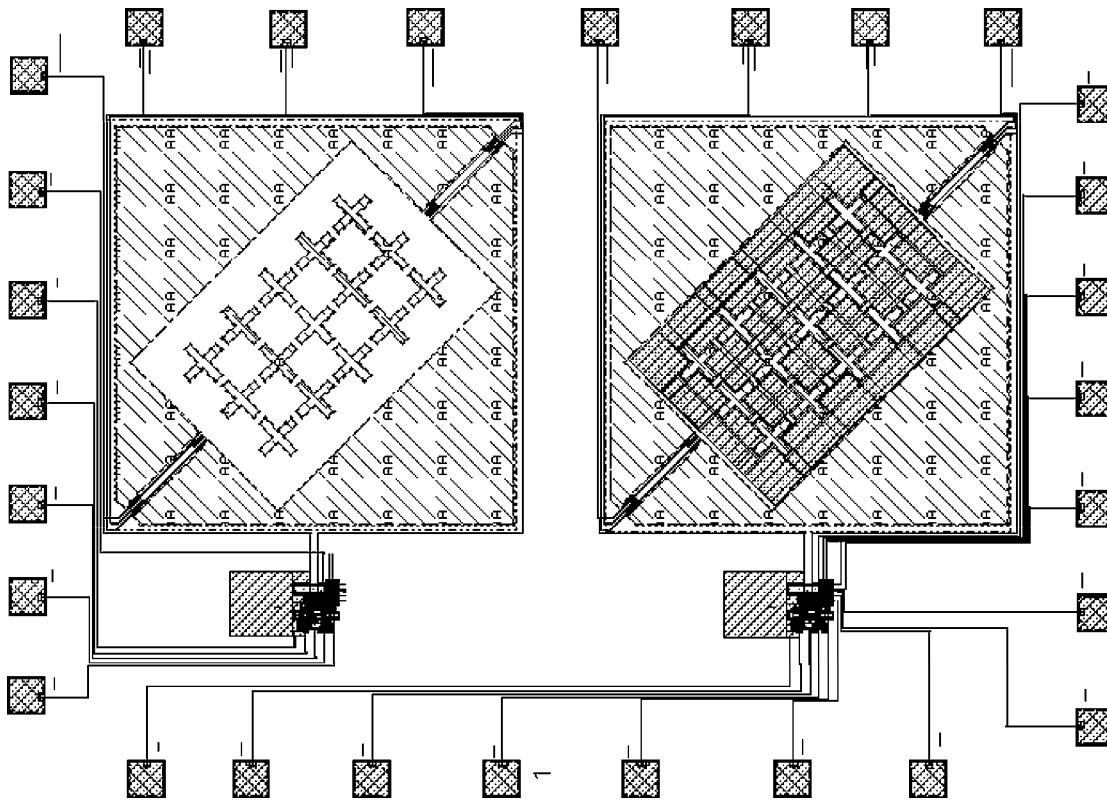


Figure D.17: Dessin des masques du circuit ACCEL2.

D.18 Circuit IC1_CHARACTERISATION

Lot CMP : E96.11.
 Procédé de fabrication : ECPD10 (ES2 CMOS DLM, SLP 1.0 μm).
 Circuit conçu par : LIRMM (Pascal NOUET et Laurent LATORRE).
 Taille : 2235 μm $\times$ 2235 μm .
 Surface : 5 mm^2 .
 Fonction : Structures de test pour la fabrication de capteurs intégrés.

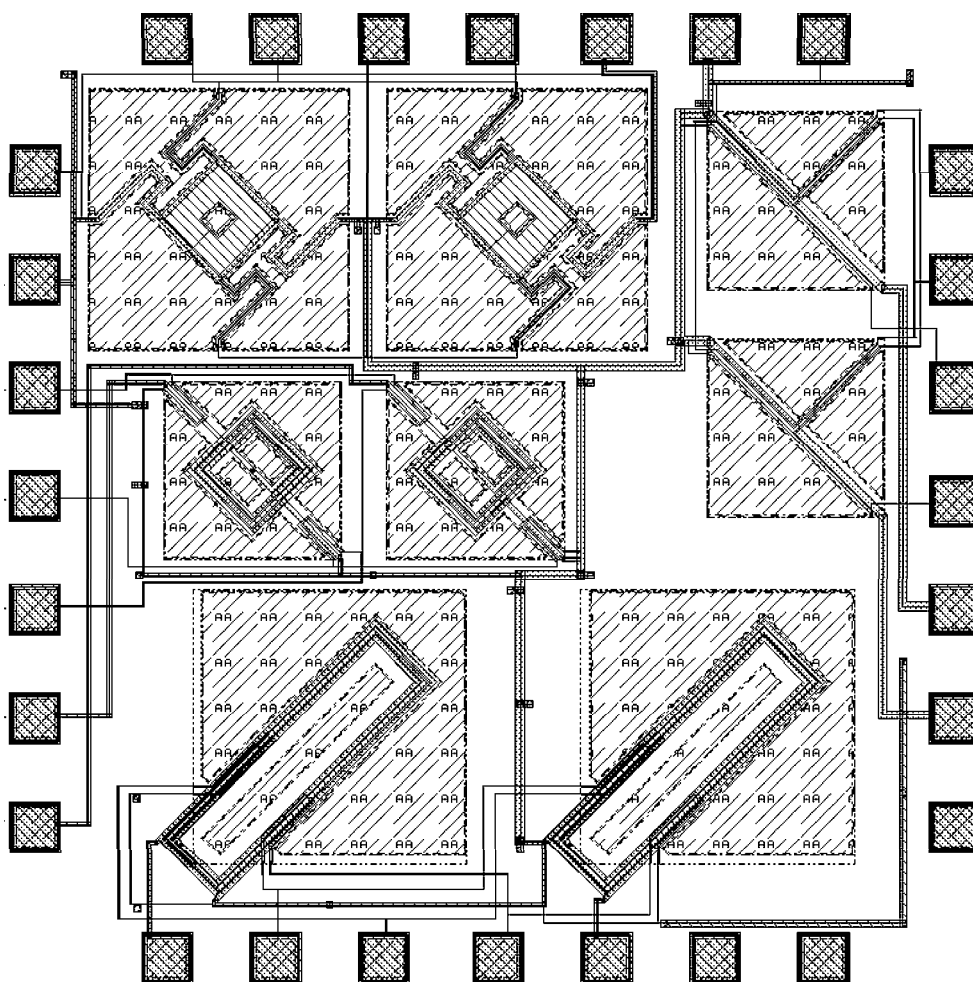


Figure D.18: Dessin des masques du circuit IC1_CHARACTERISATION.

D.19 Circuit FIRST

Lot CMP : E96_11.
 Procédé de fabrication : ECPD10 (ES2 CMOS DLM, SLP 1.0 μm).
 Circuit conçu par : U.P. TURIN (Danilo DEMARCHI).
 Taille : 2180 μm $\times$ 2180 μm .
 Surface : 4.75 mm².
 Fonction : Structures de test pour la fabrication de capteurs intégrés.

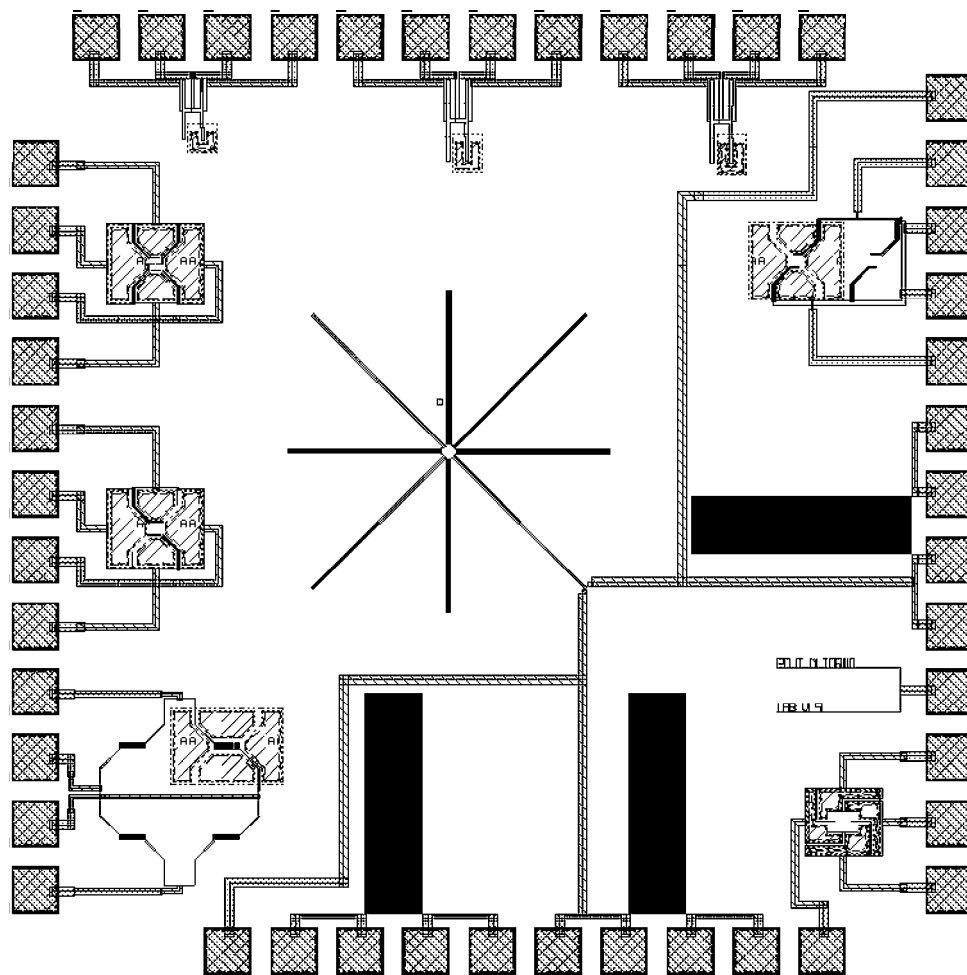


Figure D.19: Dessin des masques du circuit FIRST.

Annexe E

CIRCUITS MICROSYSTEMES FABRIQUES PAR AMS

E.1 Circuit MICAMS

Lot CMP : A94_07.

Procédé de fabrication : CAE (AMS CMOS DLM, DLP $1.2\ \mu\text{m}$).

Circuit conçu par : TIMA (Jean-Marc PARET).

Taille : $3237\ \mu\text{m} \times 740\ \mu\text{m}$.

Surface : $2.4\ \text{mm}^2$.

Fonction : Structures de test pour la caractérisation du micro-usinage en volume et en surface (gravure de dioxyde de silicium [33, 133, 134].

Le circuit MICAMS a été obtenu en plaçant côte à côte le circuit MICBULK2 décrit au paragraphe D.3 et une structure en peigne à micro-usiner en surface (gravure de l'oxyde de champ et suspension du polysilicium). Cette structure, comme celle de la photo de la figure 3.8 (page 89), a conduit à un échec, les épaisseurs des couches utilisées étant trop faibles.

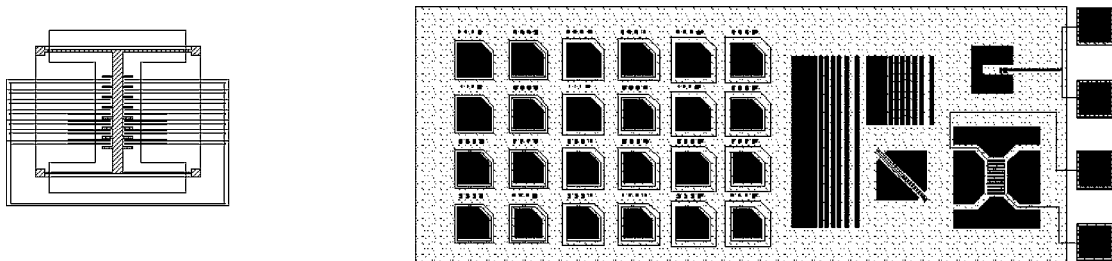


Figure E.1: Dessin des masques du circuit MICAMS.

E.2 Circuit MICBULK3

Lot CMP : A94_11.

Procédé de fabrication : CAE (AMS CMOS DLM, DLP 1.2 μm).

Circuit conçu par : TIMA (Jean-Marc PARET).

Taille : 1735 $\mu\text{m} \times 875 \mu\text{m}$.

Surface : 1.51 mm^2 .

Fonction : Matrice de micro-membranes à usiner en volume [136].

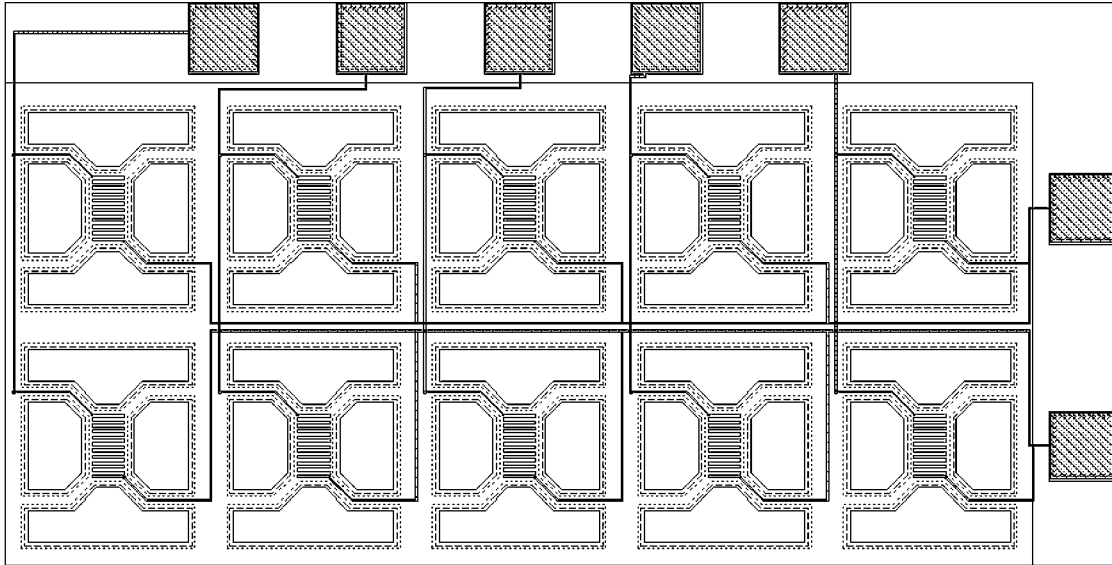


Figure E.2: Dessin des masques du circuit MICBULK3.

base de la cavité	$300 \times 250 \mu\text{m}^2$
partie suspendue	$131.2 \times 81.2 \mu\text{m}^2$
bras de suspension	$32.4 \times (70 + 27.4) \mu\text{m}^2$
distance entre les cavités	$70 \mu\text{m}$

Tableau E.1: Dimensions des micro-membranes du circuit MICBULK3.

E.3 Circuit BiCMOS_BULK

- Lot CMP : A95_02 et A95_03 .
 Procédé de fabrication : BAE (AMS BiCMOS DLM, DLP 1.2 μm) pour le lot A95_02.
 CAE (AMS CMOS DLM, DLP 1.2 μm) pour le lot A95_03.
 Circuit conçu par : TIMA (Jean-Marc PARET).
 Taille : 2960 $\mu\text{m} \times 1540 \mu\text{m}$.
 Surface : 4.56 mm^2 .
 Fonction : Circuit de caractérisation du procédé de micro-usinage en volume sur des puces AMS [132, 137] : suspension de structures en dioxyde de silicium et en silicium monocristallin, étude de l'influence du dopage sur la gravure. Essai du dispositif de protection des plots du paragraphe 5.4.

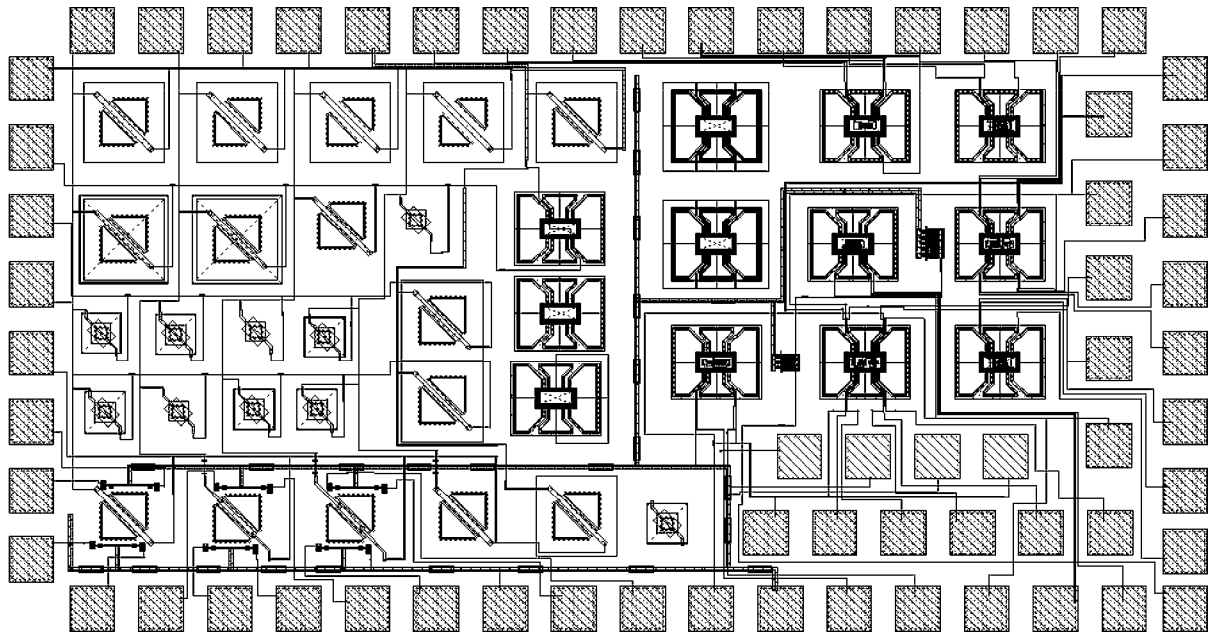


Figure E.3: Dessin des masques du circuit BiCMOS_BULK.

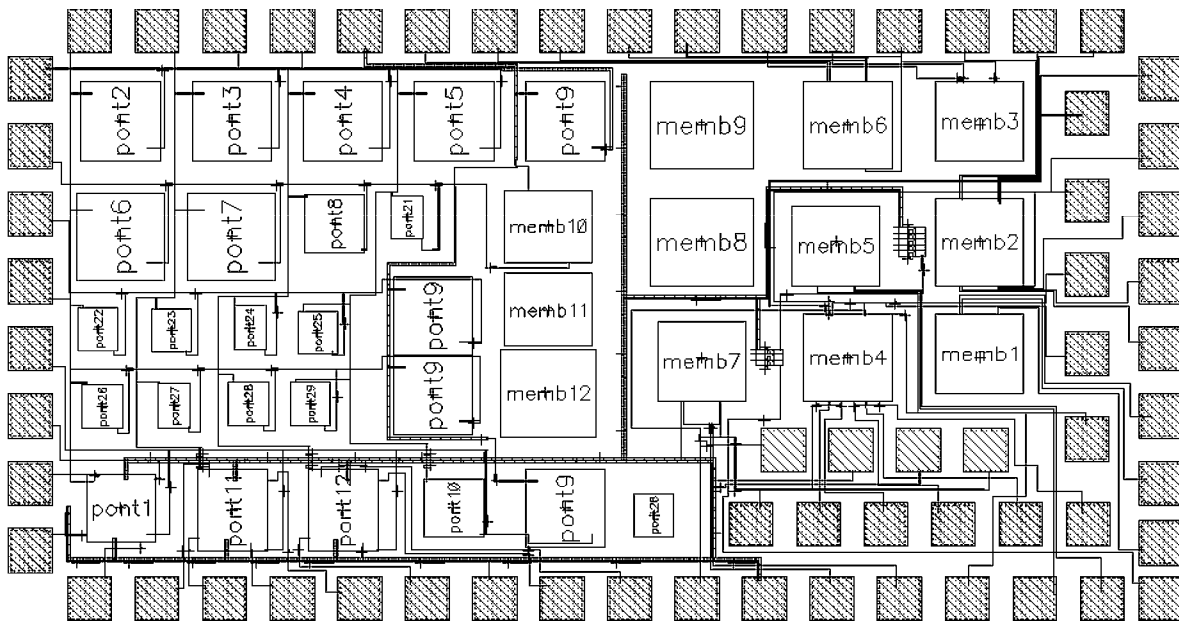


Figure E.4: Contenu du circuit BiCMOS_BULK.

E.4 Circuit TRANS

- Lot CMP : A95_04.
Procédé de fabrication : BYE (AMS BiCMOS DLM, DLP $0.8\ \mu\text{m}$).
Circuit conçu par : TIMA (Jean-Marc PARET).
Taille : $1960\ \mu\text{m} \times 1971\ \mu\text{m}$.
Surface : $3.86\ \text{mm}^2$.
Fonction : structures de test pour la caractérisation du procédé de micro-usinage en surface (gravure de l'oxyde de champ sous des micro-ponts en polysilicium) [138].

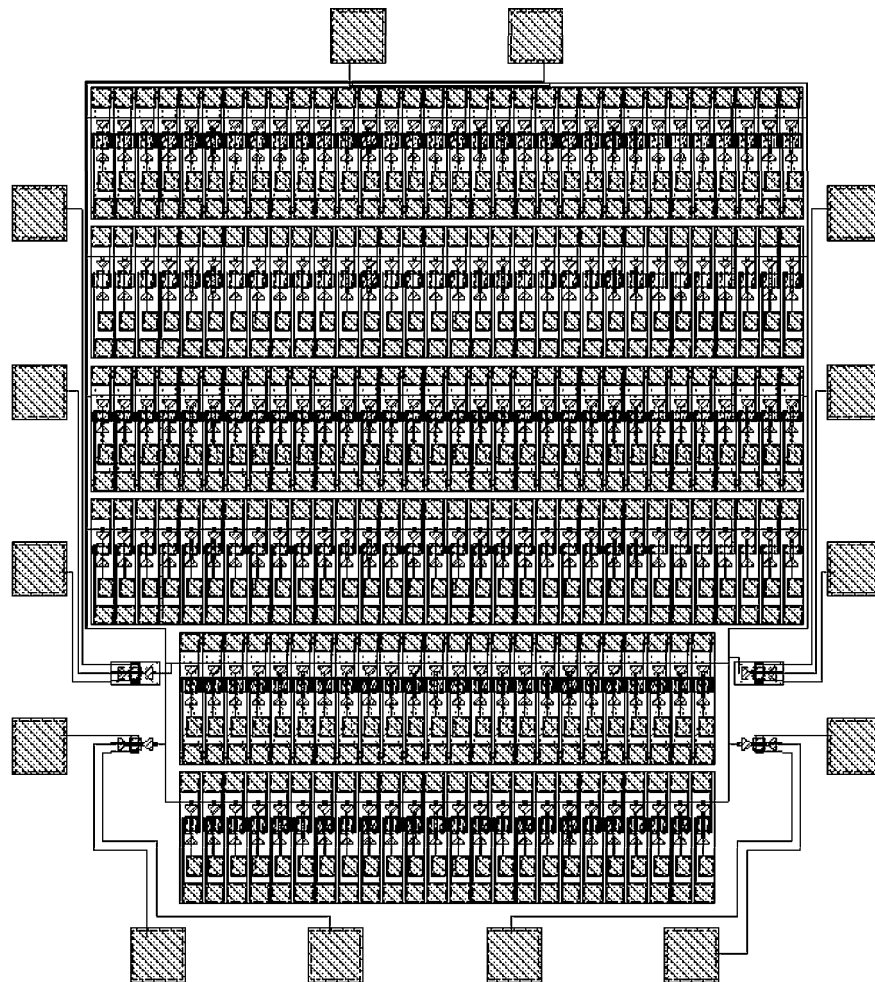


Figure E.5: Dessin des masques du circuit TRANS.

E.5 Circuit MICAMS2

E.5.1 Caractéristiques

Lots CMP : A95_06 et A95_07.

Procédé de fabrication : CYE (AMS CMOS DLM, DLP 0.8 μm) pour le lot A95_06.
CAE (AMS CMOS DLM, DLP 1.2 μm) pour le lot A95_07.

Circuit conçu par : TIMA (Jean-Marc PARET).

Taille : 2857 μm $\times$ 2480 μm .

Surface : 7.08 mm².

Fonction : Structures de test pour la caractérisation du micro-usinage en volume et en surface (gravure de polysilicium) sur les procédés CMOS 0.8 et 1.2 μm de AMS [139].

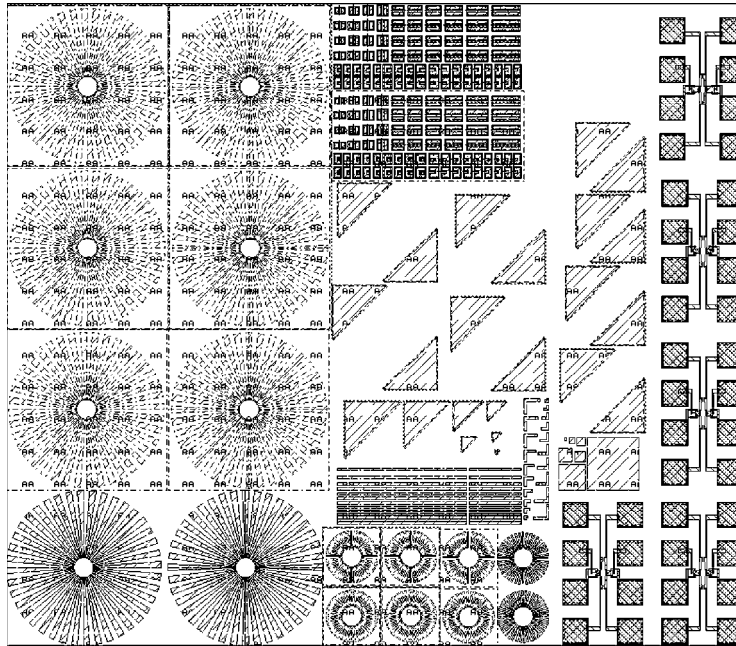


Figure E.6: Dessin des masques du circuit MICAMS2.

E.5.2 Structures à micro-usiner en surface

La cellule `surface_poly` (dont le dessin des masques est donné par la figure E.8) contient des micro-ponts et des micro-poutres à micro-usiner en surface (gravure du polysilicium, voir le paragraphe 3.2.2).

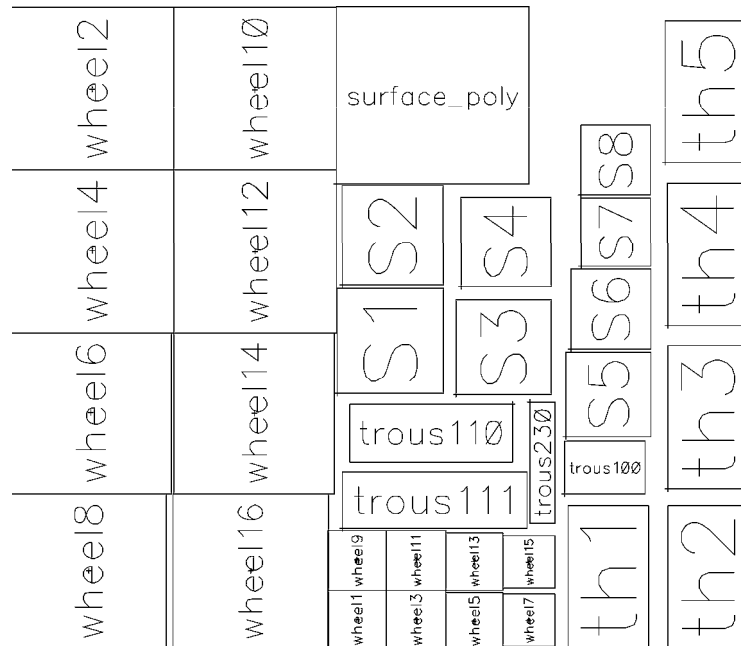


Figure E.7: Contenu du circuit MICAMS2.

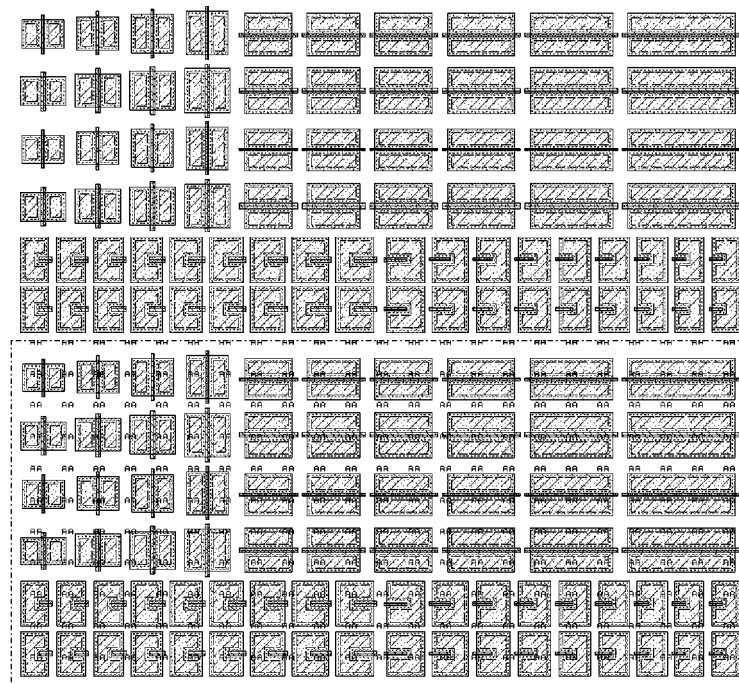


Figure E.8: Dessin des masques de la cellule surface_poly.

E.5.3 Structures à micro-usiner en volume

Les structures à micro-usiner en volume sur le circuit MICAMS2 ont été conçues dans le but de permettre la caractérisation de la gravure anisotropique du silicium monocristallin pour les circuits AMS :

- les structures **wheel1** à **wheel16** sont des structures en roue de wagon [172, 203], conçues pour déterminer les plans apparaissant au cours de la gravure.
- la cellule **trous100** contient de simples zones de silicium à nu carrées, formant des cavités sans structure suspendue au cours de l'opération de micro-usinage. Ces structures permettent de déterminer la vitesse de gravure des plans $\{100\}$ parallèles au plan de la surface des puces, en mesurant la profondeur des cavités creusées en fonction du temps de gravure écoulé. L'influence de la taille des zones de silicium à nu sur la vitesse de gravure de ces plans peut également être déterminée grâce à cette cellule.

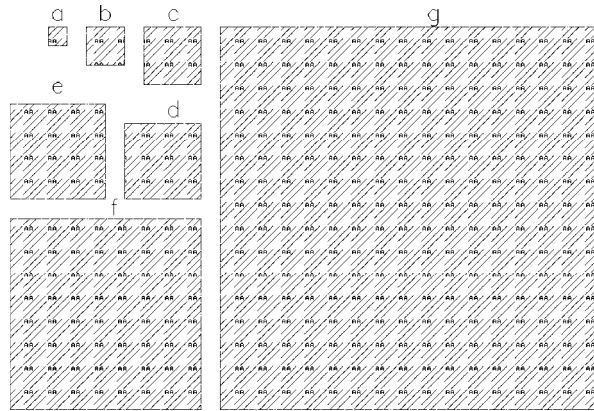


Figure E.9: Dessin des masques de la cellule *trous100*.

trou100a	$10 \times 10 \mu\text{m}^2$
trou100b	$20 \times 20 \mu\text{m}^2$
trou100c	$30 \times 30 \mu\text{m}^2$
trou100d	$40 \times 40 \mu\text{m}^2$

trou100e	$50 \times 60 \mu\text{m}^2$
trou100f	$100 \times 100 \mu\text{m}^2$
trou100g	$200 \times 200 \mu\text{m}^2$

Tableau E.2: Dimensions des structures de *trous100*.

- la cellule **trous110** contient 7 zones de silicium à nu triangulaires. Ces structures permettent de déterminer la vitesse de gravure des plans $\{100\}$ perpendiculaires au plan de la surface des puces, en mesurant la distance gravée sous le dioxyde de silicium suspendu au cours de l'opération de micro-usinage. L'influence de la taille des zones de silicium à nu sur la vitesse de gravure de ces plans peut également être déterminée grâce à cette cellule.

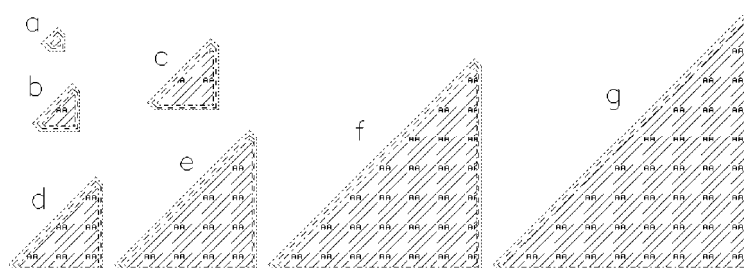


Figure E.10: Dessin des masques de la cellule *trous110*.

trou110a	5.6 μm	trou110e	105.6 μm
trou110b	25.6 μm	trou110f	165.6 μm
trou110c	45.6 μm	trou110g	205.6 μm
trou110d	65.6 μm		

Tableau E.3: Dimension d'un côté de triangle des structures de *trous110*.

- la cellule *trous111* contient deux ensembles de zones de silicium à nu rectangulaires : la dimension de ces zones est respectivement de $10 \times 200 \mu\text{m}^2$ et de $10 \times 500 \mu\text{m}^2$ pour chacun de ces ensembles. L'espace entre les différentes zones de silicium à nu varie de 1 à $20 \mu\text{m}$ (voir le tableau E.4), ce qui permet de déterminer la vitesse de gravure des plans $\{111\}$, limitant les cavités formées au cours de l'opération de micro-usinage [204].

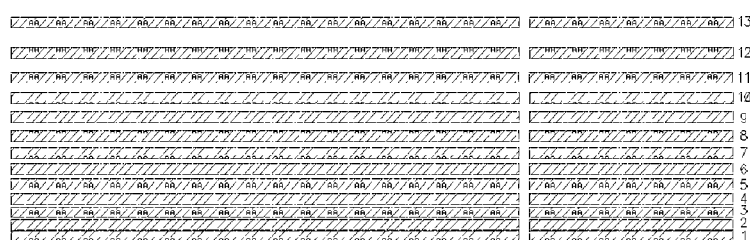
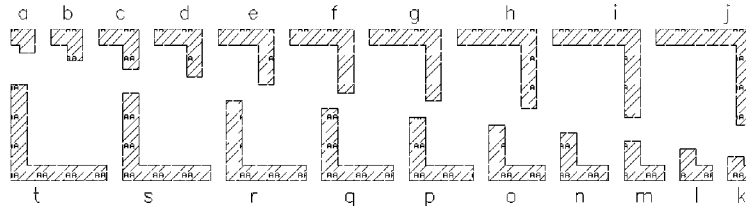


Figure E.11: Dessin des masques de la cellule *trous111*.

zone 1 à zone 2	1 μm	zone 7 à zone 8	7 μm
zone 2 à zone 3	2 μm	zone 8 à zone 9	8 μm
zone 3 à zone 4	3 μm	zone 9 à zone 10	9 μm
zone 4 à zone 5	4 μm	zone 10 à zone 11	10 μm
zone 5 à zone 6	5 μm	zone 11 à zone 12	15 μm
zone 6 à zone 7	6 μm	zone 12 à zone 13	20 μm

Tableau E.4: Espace entre les zones de silicium à nu de *trous111*.

- les structures *trous230* ont été conçues pour permettre de mesurer les vitesses de gravure des plans apparaissant aux intersections de plans $\{111\}$ formant un angle convexe.

Figure E.12: Dessin des masques de la cellule *trous230*.

trou230a et trou230k	$(15 \times 15) - (5 \times 5) \mu\text{m}^2$
trou230b et trou230l	$(20 \times 20) - (10 \times 10) \mu\text{m}^2$
trou230c et trou230m	$(25 \times 25) - (15 \times 15) \mu\text{m}^2$
trou230d et trou230n	$(30 \times 30) - (20 \times 20) \mu\text{m}^2$
trou230e et trou230o	$(35 \times 35) - (25 \times 25) \mu\text{m}^2$
trou230f et trou230p	$(40 \times 40) - (30 \times 30) \mu\text{m}^2$
trou230g et trou230q	$(45 \times 45) - (35 \times 35) \mu\text{m}^2$
trou230h et trou230r	$(50 \times 50) - (40 \times 40) \mu\text{m}^2$
trou230i et trou230s	$(55 \times 55) - (45 \times 45) \mu\text{m}^2$
trou230j et trou230t	$(60 \times 60) - (50 \times 50) \mu\text{m}^2$

Tableau E.5: Dimensions des structures de *trous230*.

- les structures S1 à S8 sont des micro-ponts de différentes largeurs, permettant également la mesure de la vitesse de gravure des plans $\{100\}$ et des plans apparaissant aux intersections de plans $\{111\}$ formant un angle convexe. Les zones de silicium à nu définissant les structures sont des triangles rectangles isocèles identiques, dont la dimension d'un côté est $197.8 \mu\text{m}$.

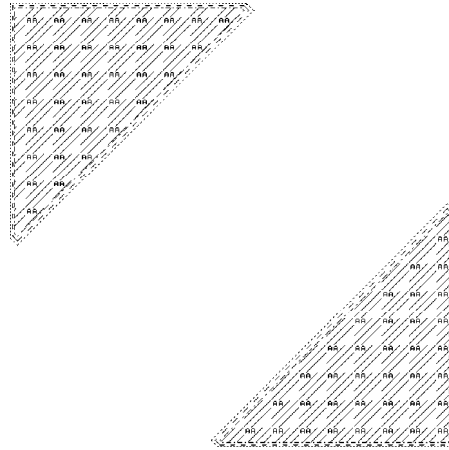


Figure E.13: Dessin des masques de S2.

S1	$279.7 \mu\text{m}$	S5	$166.6 \mu\text{m}$
S2	$251.5 \mu\text{m}$	S6	$138.3 \mu\text{m}$
S3	$223.2 \mu\text{m}$	S7	$81.7 \mu\text{m}$
S4	$194.9 \mu\text{m}$	S8	$81.7 \mu\text{m}$

Tableau E.6: Largeur des micro-ponts des structures S1 à S8.

E.6 Circuit MICAMS3

Lot CMP : A96_09.
 Procédé de fabrication : BAE (AMS BiCMOS DLM, DLP 1.2 μm).
 Circuit conçu par : TIMA (Jean-Marc PARET).
 Taille : 2886 $\mu\text{m} \times 2534 \mu\text{m}$.
 Surface : 7.31 mm^2 .
 Fonction : Structures de caractérisation des procédés de micro-usinage en volume et en surface (gravure du polysilicium) [135].

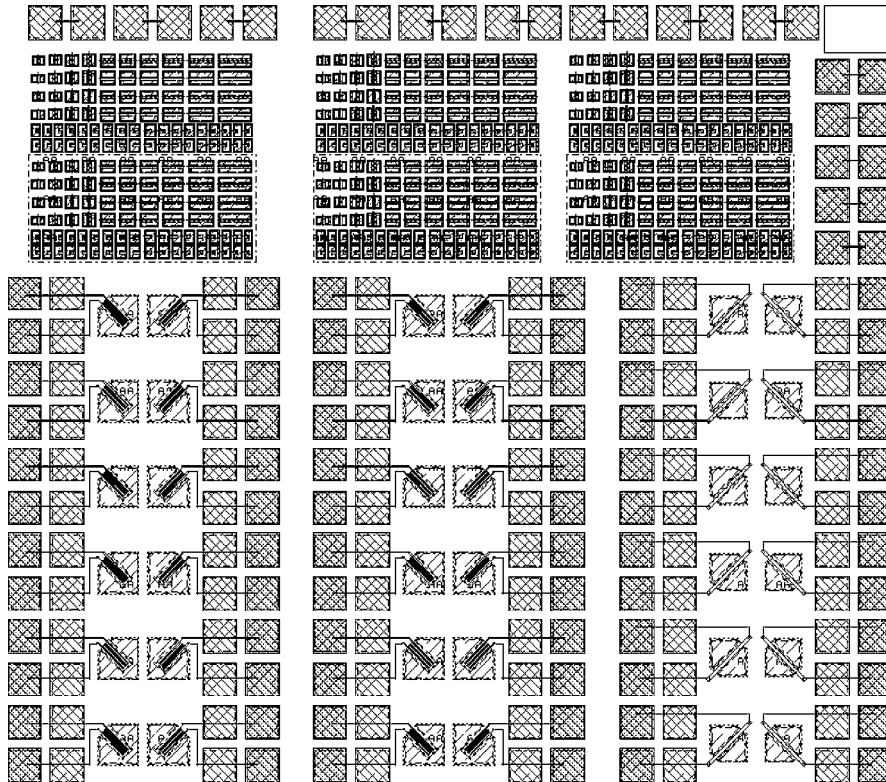


Figure E.14: Dessin des masques du circuit MICAMS3.

Les cellules `surface_poly` sont identiques à celles du circuit MICAMS2 (voir le paragraphe E.5). Les structures à micro-usiner en volume sont des micro-ponts et des micro-poutres en diagonale, dont les dimensions sont données respectivement par les tableaux E.7 et E.8. Ces structures contiennent une piste de polysilicium, reliée des plots classiques et à des plots protégés par de l'oxyde (dispositif décrit au paragraphe 5.4).

Les cellules `padSet1` et `padSet2` sont respectivement constituées de deux plots classiques et de deux plots protégés, connectés par une simple piste de métal. Ces cellules ont été conçues dans le but de mesurer la variation de résistance de contact sur ces plots provoquée par la couche d'oxyde.

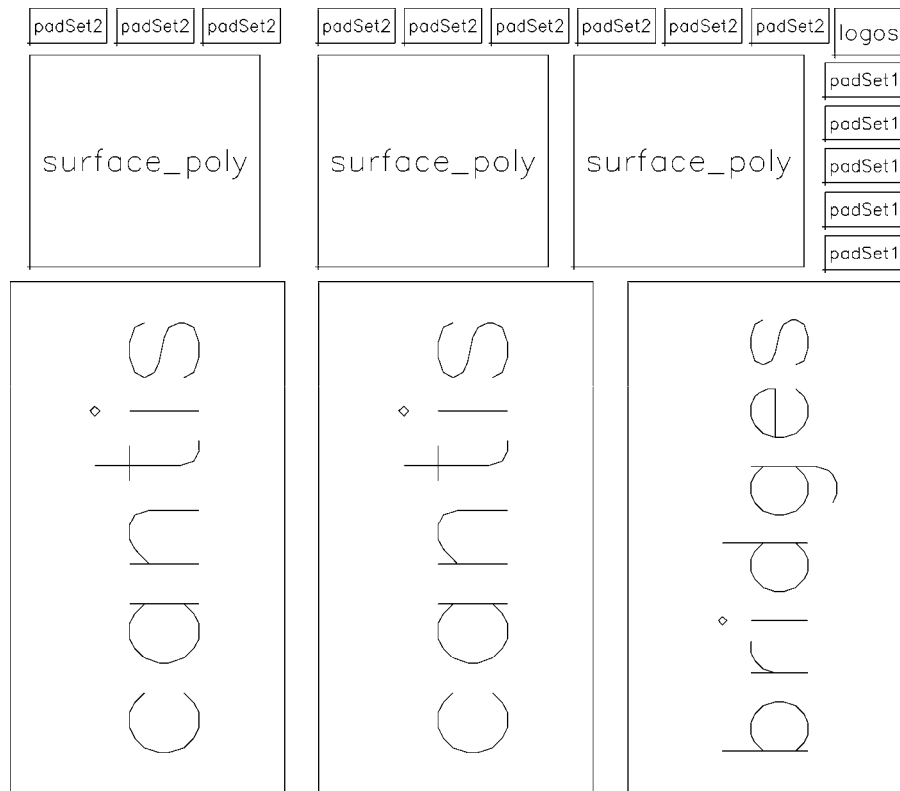


Figure E.15: Contenu du circuit MICAMS3.

base de la cavité	$128 \times 179 \mu\text{m}^2$
largeur des ponts	$28 \mu\text{m}$
dimensions de la piste de polysilicium	$10.2 \times 200 \mu\text{m}^2$

Tableau E.7: Dimensions des micro-ponts du circuit MICAMS3.

base de la cavité	$122 \times 122 \mu\text{m}^2$
dimensions de la poutre diagonale	$48 \times 100 \mu\text{m}^2$

Tableau E.8: Dimensions des micro-poutres diagonales du circuit MICAMS3.

Annexe F

NOTATIONS UTILISEES

Dans cette annexe sont explicitées les notations mathématiques utilisées dans ce document.

$\alpha_{matériau}$	Coefficient de Seebeck d'un matériau (V/K).
$E_{matériau}$	Module d'Young d'un matériau (N/m ²).
h	Impédance thermique d'une structure (°C/W).
I	Courant électrique (A).
k	Constante de Boltzmann : $k = 1.3805 \times 10^{-23} \text{ J.K}^{-1}$.
K	Facteur de jauge de capteurs piezorésistifs.
$\kappa_{matériau}$	Conductivité thermique d'un matériau (W.m ⁻¹ .K ⁻¹).
P	Puissance électrique (W).
$\pi_{matériau}$	Coefficient de piezorésistivité d'un matériau (m ² /N).
R	Résistance électrique (Ω).
$R_{matériau}$	Vitesse de gravure d'un matériau : par exemple, $R_{Si\{100\}}$ désigne la vitesse de gravure des plans {100} du silicium monocristallin et R_{Al} désigne la vitesse de gravure de l'aluminium.
$\sigma_{solution}$	Conductivité électrique d'une solution (S/m).
T	Température absolue (K).

θ	Température en degrés centigrades.
$U_{matériau}$	Norme de la projection, sur le plan de la surface d'une puce, du vitesse de gravure d'un matériau.
V	Tension électrique (V).
(x,y)	Axes du repère cristallographique du silicium.
(X,Y)	Axes des logiciels de dessin de masques de circuits intégrés.

Annexe G

SIGLES ET ACRONYMES

Cette annexe a pour objectif de présenter une liste (malheureusement sans doute non exhaustive) des sigles et acronymes utilisés dans ce rapport de thèse, et plus généralement dans le milieu des microsystemes. La plupart des termes proviennent d'expressions anglo-saxonnes¹, et ne sont pas toujours évidentes à comprendre pour des néophytes et même pour certains utilisateurs confirmés des technologies microsystemes. Mon souhait est que ce lexique puisse aider les uns comme les autres dans leur travail.

AHW	<i>Ammonium Hydroxide Water</i> : ensemble des solutions aqueuses basées sur l'hydroxyde d'ammonium (NH ₄ OH par exemple).
ASIC	<i>Application Specific Integrated Circuit</i> : circuit intégré développé pour des applications spécifiques.
ASIS	<i>Application Specific Integrated System</i> : système intégré développé pour des applications spécifiques.
BiCMOS	<i>Bipolar Complementary Metal Oxide Semiconductor</i> : procédé de fabrication de circuits intégrés permettant de réaliser, sur un même substrat, des composants bipolaires et CMOS.
CAD	<i>Computer Aided Design</i> : Conception Assistée par Ordinateur.
CAO	Conception Assistée par Ordinateur.
CCD	<i>Charge Coupled Devices</i> : Dispositifs à transfert de charge.
CIF	<i>Caltech Intermediate Form</i> : format de transfert pour les circuits intégrés.
CMOS	<i>Complementary Metal Oxide Semiconductor</i> : procédé de fabrication de circuits intégrés le plus répandu actuellement.

¹Les mots en langue étrangère sont notés en italiques.

CVD	<i>Chemical Vapour Deposition</i> : étape des procédés de fabrication des circuits intégrés consistant à déposer un matériau en phase vapeur sur un substrat.
DIL	<i>Dual In-Line</i> : type de boîtier pour circuits intégrés.
DLM	<i>Dual Layer Metal</i> : sigle utilisé pour spécifier qu'un procédé de fabrication possède deux couches de métal.
DLP	<i>Dual Layer Polysilicon</i> : sigle utilisé pour spécifier qu'un procédé de fabrication possède deux couches de polysilicium.
DRC	<i>Design Rules Checking</i> : vérification des règles de dessin lors de la conception d'un circuit (voir le chapitre 5 et le paragraphe 6.3.3).
EDP	Ethylène Diamine Pyrocatechol (voir le paragraphe 2.4.3).
GDSII	Format de transfert pour les circuits intégrés.
HNA	Solution de gravure du silicium monocristallin, pouvant être isotropique ou anisotropique, constituée des acides fluorhydrique (HF) et nitrique (HNO ₃) dilués dans l'acide acétique (CH ₃ COOH).
IPA	<i>Isopropyl alcohol</i> : alcool isopropylique, utilisé dans certaines solutions de gravure.
ISFET	<i>Ion Sensitive Field Effect Transistor</i> : transistor à effet de champ sensible à la présence d'ions, utilisé en général pour la mesure du pH.
KOH	Hydroxyde de potassium, ou potasse (voir le paragraphe 2.4.1 sur la gravure avec KOH).
LOCOS	<i>Local Oxidation of Silicon</i> : oxyde épais (également appelé oxyde de champ), séparant les zones actives des circuits.
MEB	Microscope Electronique à Balayage.
MEMS	<i>Micro Electro Mechanical Systems</i> : systèmes micro-électro-mécaniques (ou microsystèmes).
ODE	<i>Orientation Dependant Etching</i> : gravure anisotropique.
QAH	<i>Quaternary Ammonium Hydroxide</i> : hydroxyde quaternaire d'ammonium; nom générique regroupant en particulier les solutions de TEAH et TMAH.

SKILL	Langage de programmation propre au logiciel Cadence .
SLP	<i>Single Layer Polysilicon</i> : sigle utilisé pour spécifier qu'un procédé de fabrication possède une seule couche de polysilicium.
SOI	<i>Silicon On Insulator</i> : procédé de fabrication de circuits intégrés sur isolant.
SOS	<i>Silicon On Sapphire</i> : procédé de fabrication de circuits intégrés sur saphir.
SEM	<i>Scanning Electron Microscope</i> : microscope électronique à balayage.
SLS	<i>Single Crystal Silicon</i> : silicium monocristallin.
TEAH	<i>Tetra Ethyl Ammonium Hydroxide</i> : hydroxyde de tétra éthyle ammonium.
TMAH	<i>Tetra Methyl Ammonium Hydroxide</i> : hydroxyde de tétra méthyle ammonium (voir le paragraphe 2.4.2).
VLSI	<i>Very Large Scale Integration</i> : terme utilisé pour désigner les circuits intégrés, où le niveau d'intégration des composants est très grand.
VMOS	<i>V (shaped cross section) Metal Oxide Semiconductor</i> : transistor MOS réalisé dans une rainure en forme de "V", creusée par gravure anisotropique.