



HAL
open science

Conception de circuits MMIC BiMOS SiGe appliqués à la synthèse de fréquence fractionnaire

Wa Wong

► **To cite this version:**

Wa Wong. Conception de circuits MMIC BiMOS SiGe appliqués à la synthèse de fréquence fractionnaire. Micro et nanotechnologies/Microélectronique. Université Paul Sabatier - Toulouse III, 2003. Français. NNT: . tel-00011081

HAL Id: tel-00011081

<https://theses.hal.science/tel-00011081>

Submitted on 22 Nov 2005

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Avant propos

Le travail présenté dans ce mémoire a été effectué au sein du groupe Composant et Intégration des Systèmes Hyperfréquences pour les Télécommunications du Laboratoire d'Analyse et d'Architecture des Systèmes (LAAS) du CNRS de Toulouse.

Je remercie en premier lieu Messieurs Jean-Claude Laprie et Malik Ghallab, successivement Directeurs du LAAS pour la confiance qu'ils m'ont témoigné en m'accueillant dans ce laboratoire.

Je remercie vivement Jacques Graffeuil, Professeur à l'Université Paul Sabatier-Toulouse III, qui m'a fait l'honneur d'assumer la présidence du jury de thèse. Je lui suis également reconnaissante de m'avoir accueillie au sein de l'équipe Composants et Circuits Micro-ondes (CCM) qu'il dirigeait à mon arrivée au laboratoire. Je remercie également Olivier Llopis, Chargé de recherche au LAAS, qui a pris sa succession à la tête de l'équipe dont le nom est devenu Composant et Intégration de Systèmes Hyperfréquences pour les Télécommunications (CISHT), je lui suis aussi reconnaissante pour ses nombreux conseils scientifiques.

J'adresse également mes remerciements à Yann Deval, Maître de Conférences à l'Université de Bordeaux I et Nathalie Rolland, Maître de Conférences à l'Université de Lille I qui ont bien voulu me faire l'honneur de juger ce travail en acceptant d'être rapporteurs.

Je remercie Laurent Escotte, Professeur à l'Université Paul Sabatier-Toulouse III, Jean-Claude Mollier, Professeur à SUPAERO à Toulouse, Simon Desgrez, Ingénieur à Alcatel Space à Toulouse, Roger Petit, Ingénieur à la DGA-CELAR à Rennes, Isabelle Telliez, Responsable R&D Crolles à STMicroelectronics à Crolles et Éric Tournier, Maître de Conférences à l'Université Paul Sabatier-Toulouse III, pour l'honneur qu'ils m'ont fait de participer à mon jury de thèse.

Ces travaux n'auraient pu aboutir sans le soutien d'Alcatel Space à Toulouse, et de la société STMicroelectronics qui nous a donné accès aux filières BiCMOS SiGe pour la conception des circuits présentés dans ce mémoire.

Je tiens à exprimer ma profonde gratitude à Jean-Guy Tartarin, Maître de conférences à l'Université Paul Sabatier-Toulouse III, pour avoir assuré la direction de cette thèse.

Je remercie par ailleurs tous les membres permanents du groupe CISHT ou d'ailleurs que je n'ai pas encore cités et qui ont tous contribué à ce que les travaux se passent dans de bonnes conditions : Robert Plana, Thierry Parra, Katia Grenier, David Dubuc, Jacques Rayssac et Laurent Bary.

Ces trois années n'auraient pas été particulièrement réussies sans les thésards et stagiaires qui ont contribué à créer une ambiance de travail plus que sympathique. Je commencerai par mes colocataires de bureau : Gilles, Christophe, Giana, Mathilde et Abdel. Je retiendrai particulièrement les fous rires et les moments de soutien que nous avons partagés. Les ex-thésards : Jessica, Sabine, Anthony et Jérôme. Les thésards de la "cave" : Benoît, Samuel, Fouad et Jean-Pierre; et la jeune relève : Damien, Geoffroy, Nhut, Stéphane, Bertrand et Mohamed. Et bien sûr, tous les stagiaires rencontrés durant ces trois années : Jacques, Damien, Roland, Simone, Emanuele, Elena, Béatrice, Jean-Michel, ...

Merci à l'ensemble du service de documentation et de reproduction, et notamment Christian Berty pour leur sens du service et leur sympathie.

Je remercie aussi mes amis des "Deux-Chèvres" : Aurélie, Jérôme, Nico, Céline, Maf, Géraldine, Natacha, Sylvain, Guillaume, Annie, Franck, ... pour m'être resté fidèles malgré mes longues absences, et mes amis pompomgalliens ouf malades : #babal, +foxy, "crickrrack, ☐ju, ♥iris, §red, mastif, rv, ... ou non : Stéphanie, Angélique, Pascal, Benoît, Fred, ... de Toulouse pour leurs présences et pour tout ce qu'ils m'ont apportés.

Enfin, je finirai par remercier mes parents, ma sœur et ma famille en France, aux États-Unis, en Angleterre, en Chine ou au Cambodge, parce qu'ils me sont particulièrement chers.

SOMMAIRE

| | |
|---|-----------|
| INTRODUCTION GENERALE..... | 1 |
| CHAPITRE 1 : LA BOUCLE A VERROUILLAGE DE PHASE | 7 |
| I. Introduction | 9 |
| II. Les différents types d'architecture de synthèse de fréquence | 10 |
| 1.1 La synthèse de fréquence directe | 10 |
| 1.2 La synthèse de fréquence numérique directe (DDS: Direct Digital Synthesizer) | 11 |
| 1.3 La boucle à verrouillage de phase | 12 |
| 1.3.1 La boucle à verrouillage de phase analogique (Analog PLL: Analog Phase Locked Loop) ou de type I..... | 12 |
| 1.3.2 La boucle à verrouillage de phase numérique (Digital PLL) ou de type II | 13 |
| 1.3.3 Autre architecture de synthèse de fréquence à base de PLL | 14 |
| 1.4 Bilan sur la synthèse de fréquence | 16 |
| III. Description des éléments constitutifs de la PLL numérique | 17 |
| 1.1 La source de référence..... | 17 |
| 1.2 Le comparateur phase fréquence (PFD) [4] | 17 |
| 1.3 La pompe de charge | 19 |
| 1.4 Le filtre de boucle | 20 |
| 1.5 Le diviseur programmable | 21 |
| 1.6 L'oscillateur contrôlé en tension..... | 22 |
| IV. Spécifications de la PLL | 23 |
| 1.1 Temps d'établissement..... | 23 |
| 1.2 Stabilité..... | 24 |

| | | |
|--------------|---|-----------|
| 1.3 | Bruit de phase | 24 |
| 1.4 | Pics parasites | 25 |
| V. | Linéarisation de la PLL | 25 |
| 1.1 | Linéarisation de la PLL du 2 nd ordre | 26 |
| 1.2 | Linéarisation de la PLL du 3 ^{ème} ordre | 28 |
| VI. | Analyse en bruit de la PLL..... | 30 |
| 1.1 | Le bruit de phase de la PLL | 30 |
| 1.1.1 | Les différentes sources de bruit de la PLL | 30 |
| 1.1.2 | Contribution des différentes sources de bruit sur le bruit de phase global de la PLL par une description linéaire | 33 |
| 1.1.3 | Modèle de bruit de phase obtenu en sortie de la PLL | 36 |
| 1.2 | Les pics parasites de la PLL | 36 |
| 1.2.1 | Pics parasites issus de la fréquence de référence..... | 36 |
| 1.2.2 | Autres causes des pics parasites | 37 |
| 1.2.3 | Solutions de minimisation des pics parasites | 37 |
| VII. | Bilan des performances..... | 38 |
| VIII. | Conclusion..... | 38 |
| | CHAPITRE 2 : L'OSCILLATEUR CONTRÔLÉ EN TENSION | 41 |
| I. | Introduction | 43 |
| II. | Etude théorique | 43 |
| 1.1 | Principe général de génération de l'oscillation..... | 44 |
| 1.1.1 | Les conditions générales d'oscillation | 44 |
| 1.1.2 | Démarrage des oscillations..... | 45 |
| 1.1.3 | La topologie parallèle | 46 |
| 1.1.4 | La topologie série | 47 |

| | | |
|-------|--|----|
| 1.2 | Les différents oscillateurs micro-ondes..... | 47 |
| 1.2.1 | Les oscillateurs à fréquence fixe | 47 |
| 1.2.2 | Les oscillateurs synchronisés | 47 |
| 1.2.3 | Les oscillateurs contrôlés en tension (OCT) | 48 |
| 1.3 | Réalisation des Oscillateurs Contrôlés en Tension MMIC micro ondes | 48 |
| 1.3.1 | Le transistor bipolaire à homojonction sur silicium | 49 |
| 1.3.2 | Le transistor bipolaire à hétérojonction..... | 49 |
| 1.3.3 | Le CMOS..... | 50 |
| 1.3.4 | BiCMOS SiGe | 51 |
| 1.3.5 | Bilan des technologies..... | 51 |
| 1.4 | Le bruit de phase | 52 |
| 1.4.1 | Définition du bruit de phase | 52 |
| 1.4.2 | Formulation générale du bruit de phase | 54 |
| 1.4.3 | La gigue (jitter)..... | 55 |
| 1.4.4 | L'origine du bruit de phase | 55 |
| 1.4.5 | Théories du bruit de phase..... | 58 |

III. Simulation de l'oscillateur

| | | |
|-------|--|----|
| 1.1 | L'analyse fréquentielle petit signal..... | 63 |
| 1.2 | L'analyse temporelle..... | 64 |
| 1.2.1 | L'analyse transitoire..... | 64 |
| 1.2.2 | L'analyse PSS (Periodic Steady State) | 65 |
| 1.3 | L'analyse tempo-fréquentielle | 65 |
| 1.3.1 | La méthode d'équilibrage harmonique [15]..... | 65 |
| 1.4 | L'analyse du bruit de phase selon différents logiciels de CAO..... | 66 |
| 1.4.1 | Environnement ADS (Agilent)..... | 66 |
| 1.4.2 | Environnement Cadence [18]..... | 67 |

| | | |
|---|--|-----------|
| 1.5 | Conclusion..... | 67 |
| IV. Conception d'OCT en technologie BiCMOS SiGe..... | | 68 |
| 1.1 | Les éléments passifs | 68 |
| 1.1.1 | Pertes par les couches de métallisation | 68 |
| 1.1.2 | Pertes par le substrat..... | 69 |
| 1.1.3 | Les inductances | 69 |
| 1.1.4 | Les capacités..... | 72 |
| 1.2 | Les éléments actifs | 72 |
| 1.2.1 | Le transistor | 72 |
| 1.2.2 | Le varactor..... | 73 |
| 1.3 | Choix des éléments actifs pour les réalisations en bande X..... | 74 |
| V. L'OCT parallèle en bande X | | 75 |
| 1.1 | Description du circuit..... | 76 |
| 1.2 | Circuit électrique de l'oscillateur (présentation détaillée)..... | 78 |
| 1.3 | Optimisation du coefficient de conversion K_p pour la minimisation du bruit de phase | 80 |
| 1.4 | Mesures du circuit | 82 |
| 1.4.1 | Accordabilité de l'oscillateur | 83 |
| 1.4.2 | Récapitulatif des performances | 87 |
| VI. L'OCT série en bande X..... | | 88 |
| 1.1 | OCT série bande X totalement intégré..... | 89 |
| 1.1.1 | Description du circuit | 89 |
| 1.1.2 | Circuit électrique de l'oscillateur (présentation détaillée)..... | 89 |
| 1.1.3 | Optimisation du coefficient de conversion K_p pour la minimisation du bruit de phase | 91 |
| 1.1.4 | Mesures du circuit | 93 |

| | | |
|--------------|---|------------|
| 1.2 | OCT série bande X avec une solution de filtrage externe pour l'amélioration du bruit de phase | 95 |
| VII. | Conception d'un OCT à sortie différentielle en bande K..... | 97 |
| 1.1 | Réalisation d'un oscillateur push-push | 99 |
| 1.2 | Description du circuit | 101 |
| VIII. | état de l'art | 109 |
| IX. | Conclusion..... | 110 |
| | | |
| | CHAPITRE 3 : CONTRIBUTION A LA DIVISION FRACTIONNAIRE PROGRAMMABLE..... | 113 |
| I. | Introduction | 115 |
| II. | La division fractionnaire | 116 |
| 1.1 | Principe de base..... | 116 |
| 1.2 | Architectures variantes pour la division fractionnaire de fréquence..... | 118 |
| 1.2.1 | Division fractionnaire à ajout d'un taux de division alternatif [52] | 118 |
| 1.2.2 | Division fractionnaire à numérateur et dénominateur programmable [53] | 119 |
| 1.2.3 | Division fractionnaire à base de modulateur $\Delta\Sigma$ | 121 |
| 1.2.4 | Architecture de division fractionnaire retenue | 126 |
| III. | La PLL à division fractionnaire..... | 130 |
| 1.1 | Description des différents blocs | 130 |
| 1.1.1 | Le comparateur phase fréquence et la pompe de charge..... | 130 |
| 1.1.2 | L'oscillateur contrôlé en tension..... | 131 |
| 1.1.3 | Simulation temporelle | 134 |
| 1.2 | Estimation du bruit de phase en sortie de la PLL..... | 134 |
| 1.2.1 | Bruit de la fréquence de référence..... | 134 |

| | | |
|--|--|------------|
| 1.2.2 | Bruit du comparateur phase-fréquence et de la pompe de charge... | 135 |
| 1.2.3 | Bruit du filtre de boucle..... | 136 |
| 1.2.4 | Bruit de phase de l'OCT | 137 |
| 1.2.5 | Bruit du diviseur fractionnaire..... | 137 |
| 1.2.6 | Bruit estimé de la PLL..... | 138 |
| 1.3 | Perspectives..... | 139 |
| IV. Conclusion..... | | 139 |
| CONCLUSION..... | | 141 |
| RÉFÉRENCES BIBLIOGRAPHIQUES | | 147 |
| 1. | References du chapitre 1..... | 149 |
| 2. | Références du chapitre 2..... | 149 |
| 3. | Références du chapitre 3..... | 153 |

INTRODUCTION GENERALE

Dans le contexte du développement des télécommunications sans fil, un des enjeux majeur concerne l'intégration des fonctions permettant ainsi la réduction de l'encombrement des systèmes et la réduction des coûts de fabrication.

La saturation des bandes de fréquence associée à la mise en place de modulations perfectionnées autorisant d'émettre un maximum d'information dans un minimum de bande de fréquence, rendent les spécifications sur les systèmes de communication particulièrement sévères : un des éléments critiques de ces systèmes est l'oscillateur local dont les performances vont déterminer grandement les caractéristiques du système, notamment en terme de sélectivité en fréquence. La fréquence de l'oscillateur local est généralement synthétisée par une boucle à verrouillage de phase (PLL : Phase Locked Loop) qui doit être capable de générer une fréquence possédant une haute pureté spectrale.

L'enjeu de ce travail de thèse concerne la mise en œuvre d'un tel dispositif travaillant en bande X (8 GHz-12 GHz) et réalisé en technologie BiCMOS SiGe. Le choix de cette technologie est motivé par les avantages qu'elle procure en terme d'intégration des fonctions analogiques HF (utilisation de transistors bipolaires à hétérojonction Si/SiGe) et numériques BF (utilisation des transistors CMOS) utilisées pour la conception, associés au faible coût de cette technologie.

La qualité de la synthèse de fréquence dépend des paramètres qui lui sont appliqués au travers des performances des circuits qui le composent et des architectures retenues pour la conception du système global.

Dans un premier chapitre, nous ferons état des différentes architectures explorées pour la réalisation du synthétiseur dans la gamme de fréquence désirée. Ces architectures sont décrites et confrontées : cette première analyse motive notre choix de conception à base de structure de type PLL, pour laquelle nous détaillons les différents modules qui la constituent ainsi que leurs spécifications. Leurs influences sur les performances globales du système sont

présentées avant d'aborder le mode d'analyse de la PLL. La stabilité en fréquence en terme de bruit de phase est analysée sur la base d'une PLL linéarisée. Les compromis résultant de cette étude (entre l'obtention d'un pas de réglage fin et un temps d'établissement court) aboutissent au choix d'une réalisation de synthèse de fréquence fractionnaire programmable : la possibilité de programmer la donnée fractionnaire permet ainsi de conserver une fréquence de référence élevée (et de ce fait permettre un temps d'établissement optimum) et de réduire le pas de réglage en fréquence.

Lors de ce chapitre, nous mettons en évidence l'enjeu de disposer d'un oscillateur de qualité pour synthétiser le signal de sortie. En effet, l'oscillateur contrôlé en tension définit la plage de fréquence disponible en sortie et le bruit de phase en dehors de la bande passante de la boucle, et se positionne ainsi comme un élément majeur de notre conception.

Le second chapitre est donc dédié à l'étude spécifique des oscillateurs contrôlés en tension (OCT) sur la base des paramètres limitatifs de notre application, en l'occurrence le bruit de phase et la bande de fréquence de contrôle. Dans un premier temps, nous abordons les généralités sur les oscillateurs et justifions le choix de la technologie BiCMOS SiGe. Le paramètre de bruit de phase étant un paramètre essentiel des oscillateurs, les principales théories sont avancées ainsi que les méthodes employées pour le simuler. La conception de différents oscillateurs est décrite : nous avons opté pour la réalisation d'un oscillateur à contre réaction parallèle et d'un oscillateur à contre réaction série conçus pour osciller en bande X : ce choix est guidé par l'objectif de définir des méthodes de discrimination topologique selon les performances du composant actif retenu. Pour chaque conception, nous présentons la méthodologie d'optimisation du bruit de phase, qui est justifiée par la confrontation des résultats mesurés et de la simulation.

Dans la continuité des études précédentes, d'autres réalisations ont été menées afin d'améliorer les performances de nos circuits : une étude (toujours en bande X) propose ainsi

la mise en œuvre d'une solution de réduction du bruit de phase par un système de polarisation externe. Une dernière réalisation d'OCT différentiel en bande K (18 GHz-27 GHz) est proposée, au travers notamment d'une étude particulière de l'architecture afin de minimiser le bruit de phase.

Finalement, la troisième partie aborde la synthèse de fréquence fractionnaire. Après avoir donné son principe général, nous décrivons les différentes manières de réaliser cette division fractionnaire de boucle, justifiant ainsi notre choix de la structure à taux de fraction programmable. Dans une seconde partie, les éléments constitutifs de la PLL sont décrits et l'ensemble est analysé dans l'objectif d'une évaluation du bruit de phase : pour cela, nous évoquerons l'influence individuelle de chacun des modules à la contribution globale du bruit de phase du circuit.

CHAPITRE 1 :

LA BOUCLE A VERROUILLAGE DE PHASE

I. INTRODUCTION

La synthèse de fréquence est un élément clé dans les architectures de circuits électroniques (et plus précisément dans les récepteurs et émetteurs des ensembles de communication). Le récepteur de la figure 1 illustre les besoins de synthèse de fréquence tant au niveau des oscillateurs locaux de conversion de fréquence (à fréquence élevée) qu'au niveau des démodulateurs des signaux en bande de base. La qualité de mise en forme de la modulation et de la liaison HF est donc fortement tributaire des performances dynamiques et en bruit de ces synthétiseurs de fréquence.

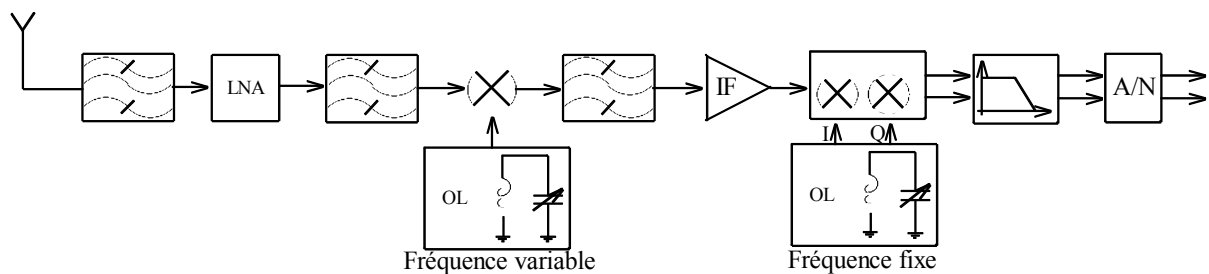


Figure 1 : Schéma de principe de la réception hétérodyne

Si la synthèse de fréquence proprement dite est assurée par l'oscillateur (à fréquence fixe ou à fréquence variable) dont l'étude est abordée au Chapitre 2, les dérives de fréquence de ce module imposent son intégration dans un contexte plus complexe permettant une stabilisation de la fréquence synthétisée : ce premier chapitre est dédié à l'étude des synthétiseurs de fréquence, au travers de la boucle à verrouillage de phase (PLL : Phase Locked Loop).

Dans un premier temps, l'architecture et le principe de fonctionnement de la PLL sont présentés : les différents blocs constitutifs de la PLL sont détaillés, et les avantages, inconvénients et différents compromis liés au fonctionnement global de la PLL seront ainsi discutés.

II. LES DIFFERENTS TYPES D'ARCHITECTURE DE SYNTHÈSE DE FRÉQUENCE

1.1 La synthèse de fréquence directe

La synthèse de fréquence directe est une solution purement analogique basée sur l'utilisation d'un jeu d'oscillateurs qui peuvent être multipliés ou divisés avant d'être mélangés (le mélange est alors appliqué après la sélection de deux oscillateurs). La fréquence de sortie ainsi obtenue est alors la somme ou la différence des deux fréquences appliquées au mélangeur.

L'avantage principal de ce genre d'architecture réside en la rapidité de commutation entre deux fréquences; aussi, il est possible d'obtenir un bon bruit de phase en minimisant le bruit de phase additif de chacun des composants. Un exemple de réalisation est donné en figure 2.

L'exemple de synthèse de fréquence telle qu'elle est donnée sur le schéma fonctionnel en figure 2 permet d'obtenir 16 fréquences de sortie différentes.

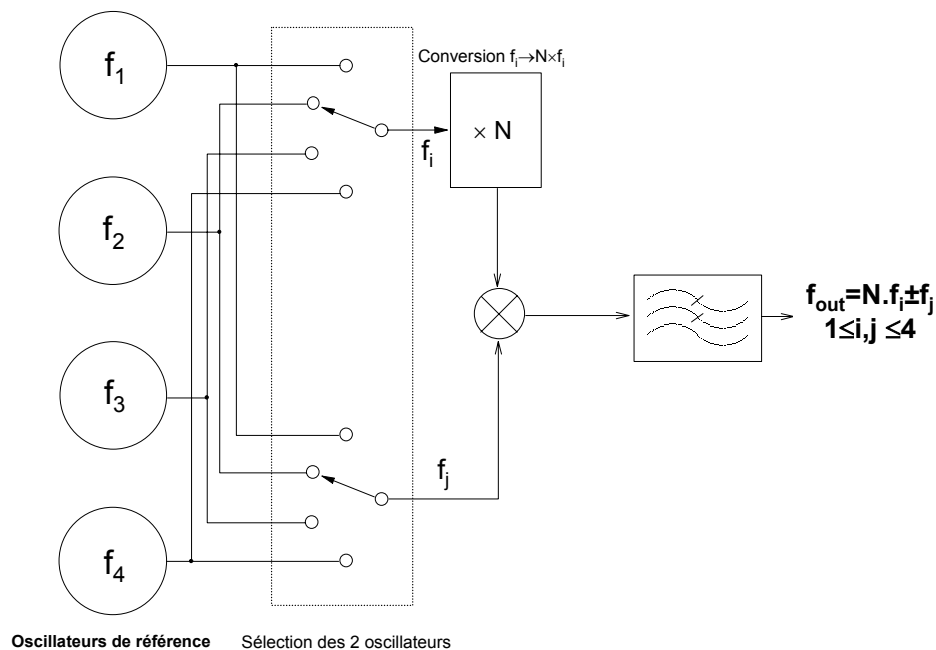


Figure 2: Schéma de fonctionnement de la synthèse de fréquence directe

En revanche, l'inconvénient principal de cette structure est son encombrement ainsi que la génération de pics parasites qu'elle induit.

D'autres architectures sont possibles utilisant les mêmes modules de base, permettant ainsi de générer un plus grand nombre de fréquences différentes, mais au prix d'un encombrement accru [2].

1.2 La synthèse de fréquence numérique directe (DDS: Direct Digital Synthesizer)

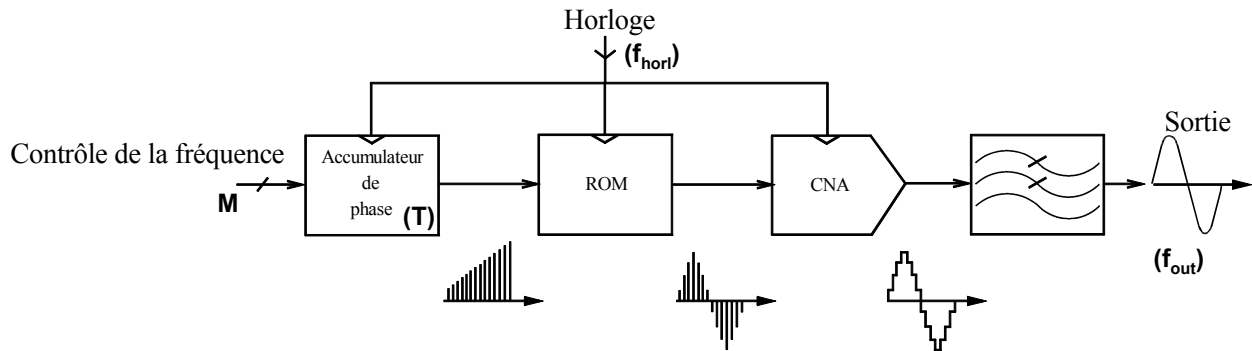


Figure 3: Schéma fonctionnel de la synthèse de fréquence numérique

La solution numérique pour synthétiser une fréquence est décrite sur la figure 3. Le mot appliqué à l'entrée de l'accumulateur de phase va permettre le contrôle de la fréquence de la manière suivante:

L'accumulateur de phase génère une rampe de phase périodique dépendante du mot d'entrée. Ce signal est ensuite injectée dans une mémoire (ROM : Read Only Memory) afin d'affecter une amplitude à chaque valeurs discrètes de la rampe : les valeurs affectées dépendent d'un tableau d'adressage conçu de manière à générer une sinusoïde. Enfin, le signal de sortie de la mémoire sera ensuite traduit sous forme analogique à l'aide d'un convertisseur numérique analogique, puis filtré afin d'éliminer les harmoniques de la fréquence d'échantillonnage (et limiter la distorsion de la sinusoïde obtenue).

Considérons le mot d'entrée défini par l'entier M , et la taille de l'accumulateur par l'entier T , le tout étant contrôlé par l'horloge de fréquence f_{horl} , la fréquence du signal de sortie f_{OUT} est donnée par:

$$f_{OUT} = f_{horl} \cdot \frac{M}{T} \text{ (Hz)} \quad (1)$$

Le pas de fréquence Δf est donc défini par:

$$\Delta f = \frac{f_{horl}}{T} \text{ (Hz)} \quad (2)$$

Les principaux avantages du DDS sont la rapidité d'établissement de la fréquence désirée ainsi que le faible pas permis. Les fonctions numériques sont réalisées en technologie silicium à faible coût tirant bénéfice d'une très haute intégration (VLSI: Very Large Scale Integration). Par voie de conséquence, le circuit résultant est de très petite taille.

Son principal défaut concerne la fréquence d'opération qui est limitée par le fait que le système utilise le principe d'une sinusoïde issue d'un signal échantillonné par une horloge. La fréquence délivrée f_{OUT} est donc soumise au respect du théorème de Shannon :

$$f_{OUT} \leq \frac{f_{horl}}{2} \text{ (Hz)} \quad (3)$$

Toutefois, une fréquence de 4,56 GHz a déjà été synthétisée par ce principe d'architecture [1].

1.3 La boucle à verrouillage de phase

La synthèse de fréquence en bande X envisagée pour notre étude nous incite à nous orienter vers une solution plus conventionnelle reposant sur une architecture analogique.

1.3.1 *La boucle à verrouillage de phase analogique (Analog PLL: Analog Phase Locked Loop) ou de type I*

Cette méthode de synthèse de fréquence est une synthèse de fréquence asservie : elle repose sur un oscillateur contrôlé en tension (OCT) fournissant le signal de sortie et synchronisé sur la phase de la fréquence de référence. Généralement, la fréquence de référence est réalisée par un oscillateur ultra stable de fréquence f_0 suivi d'un diviseur analogique par M.

La sortie de la fréquence de référence et celle de l'oscillateur contrôlé en tension divisé par N sont les entrées du détecteur de phase. La sortie du détecteur $\Delta\phi$ représente l'erreur de phase entre le signal de référence f_0/M et le signal synthétisé f_{out} . Elle est filtrée (FPB) et éventuellement amplifiée, puis envoyée à l'entrée de commande V_{tuning} de l'OCT qui est régulé de manière à annuler l'erreur de phase. Le schéma de principe de cet asservissement de phase est présenté en figure 4.

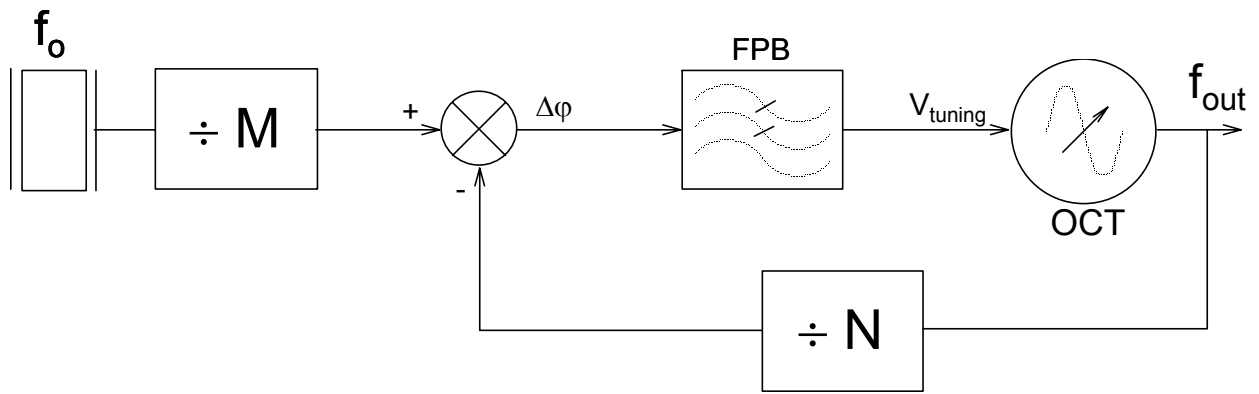


Figure 4: Schéma fonctionnel d'une boucle à verrouillage de phase analogique

La fréquence de sortie ainsi obtenue est :

$$f_{\text{OUT}} = \frac{N}{M} \cdot f_o \text{ (Hz)} \quad (4)$$

Cette solution entièrement analogique impose alors les valeurs entières M et N qui sont fixes, cette synthèse n'est donc pas reconfigurable, une solution mettant en œuvre des éléments numériques est donc utilisée afin de faire varier la fréquence de sortie.

1.3.2 La boucle à verrouillage de phase numérique (Digital PLL) ou de type II

Cette architecture est très proche de la PLL analogique, à la différence près que la sélection de la fréquence de sortie est rendue possible par l'utilisation d'un diviseur numérique programmable. L'appellation de PLL numérique est abusive dans la mesure où la synthèse du signal de sortie reste analogique. La comparaison entre la fréquence de l'OCT divisée et la fréquence de référence est réalisée par un détecteur phase fréquence (PFD: Phase Frequency Detector) numérique contrôlant les générateurs de courant constituant la pompe de charge, selon l'erreur en phase/fréquence détectée. Enfin, cette information en courant est convertie en tension et filtrée afin de commander l'OCT.

Le schéma de principe est donné en figure 5.

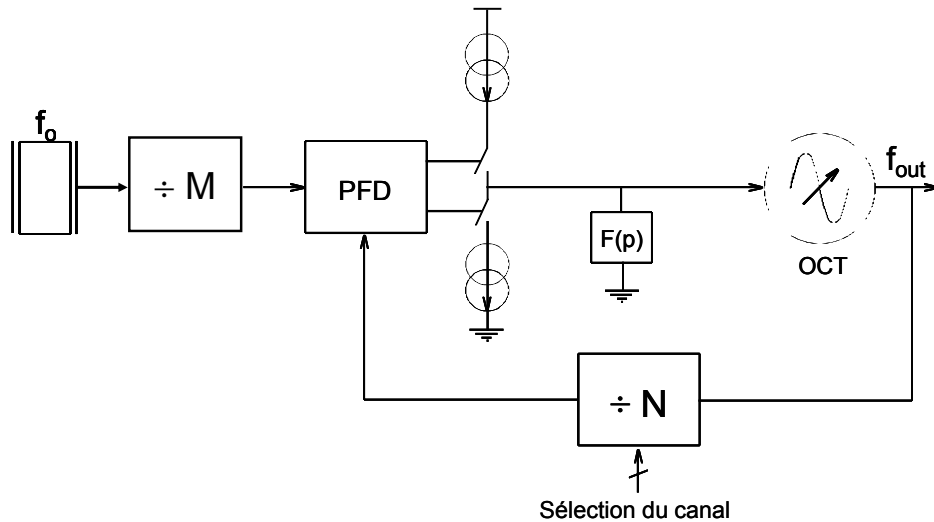


Figure 5: Schéma fonctionnel de la boucle à verrouillage de phase numérique

De la même manière que la PLL analogique, la fréquence de sortie est donnée par l'équation (4), avec la possibilité dorénavant de modifier la valeur de N (dont l'ordre de grandeur est de plusieurs centaines) et d'ajuster ainsi le pas de synthèse de fréquence.

Le pas de réglage que l'on peut obtenir est égal à la fréquence d'entrée du PFD; aussi, afin d'obtenir un pas de réglage fin, il est nécessaire de réduire cette entrée, donc d'augmenter le taux de division N et de ralentir le temps d'établissement de la boucle.

1.3.3 Autre architecture de synthèse de fréquence à base de PLL

Afin de pallier au compromis sur le pas de fréquence et le temps d'établissement, il est possible de concevoir des architectures plus complexes à base de PLL, comme par exemple une structure à double boucle permettant de réduire au maximum les taux de divisions (figure 6).

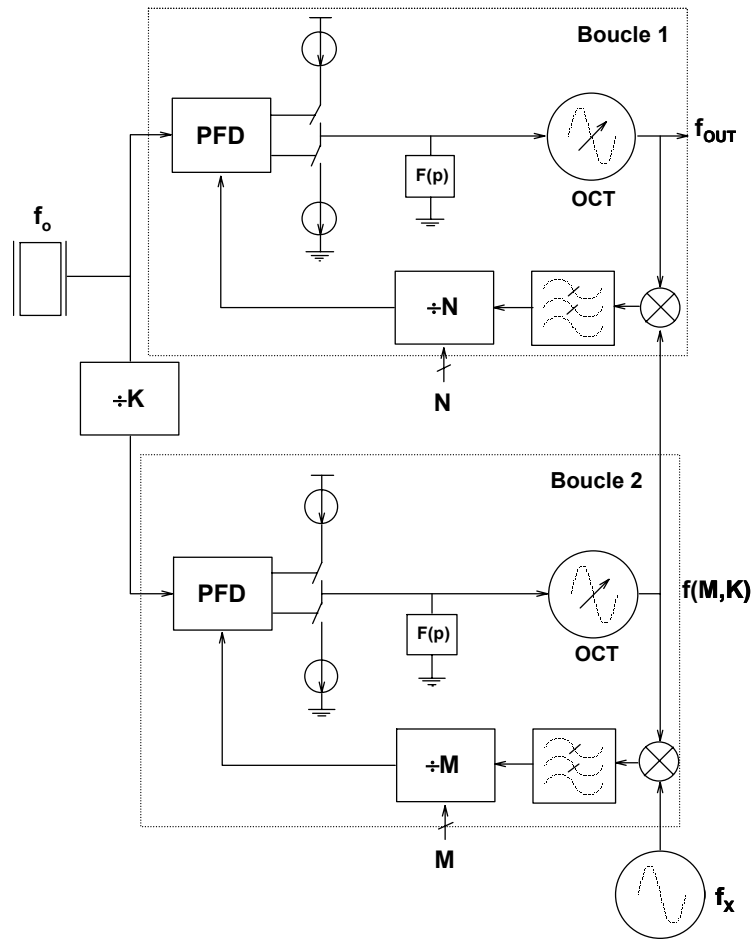


Figure 6: Schéma fonctionnel de la synthèse de fréquence double boucle

Dans l'exemple donné ici, la seconde boucle permet de réaliser un décalage en fréquence pour la première boucle. Ceci permet de synthétiser une fréquence de sortie de:

$$f_{OUT} = f(M, K) \pm N \cdot f_o \quad (\text{Hz}) \quad (5)$$

$$\text{Avec } f(M, K) = f_x \pm \frac{M \cdot f_o}{K} \quad (\text{Hz}) \quad (6)$$

Le pas de fréquence minimal est alors de f_o/K . L'intérêt de cette structure réside en l'utilisation d'une fréquence f_o plus élevée que dans le cas de la PLL simple, avec l'obtention d'un même pas de réglage en fréquence minimal. Ceci permet ainsi un temps d'établissement plus rapide ainsi qu'un traitement différent au niveau du bruit de phase. En effet, le bruit de phase subit une détérioration en $20 \cdot \log N$ entre l'entrée et la sortie d'un diviseur par N , par conséquent, la détérioration est diminuée en utilisant des taux de division plus faible.

Cependant, cette solution nécessitant deux sources de référence (f_0 et f_x) et doublant le nombre de circuit est plus complexe et est coûteuse en termes d'encombrement et en consommation, ce qui s'inscrit mal dans la recherche de l'intégration des systèmes.

1.4 Bilan sur la synthèse de fréquence

Ces différentes méthodes de synthèses de fréquence présentent des avantages et inconvénients différents en terme d'intégration, de performances en fréquence et de fonctionnement : par ordre de description, la synthèse de fréquence directe présente le désavantage d'être encombrant, car elle nécessite de nombreux oscillateurs de référence. Le DDS, qui est une solution entièrement numérique est idéale dans le contexte de forte intégration, nécessite une fréquence d'horloge au moins 2 fois plus élevée que la fréquence à synthétiser, ce qui constitue une limite en terme de performance fréquentielle. Enfin, la boucle à verrouillage de phase (la plus répandue) constitue à ce jour la meilleure solution pour la génération de fréquence micro-ondes. Sa réalisation est possible en technologie monolithique (mis à part la fréquence de référence et parfois le filtre de boucle) et les performances fréquentielles ne sont limitées que par celles de l'OCT et du pré-diviseur.

La boucle à verrouillage de phase peut être analogique ou numérique. La différence de fonctionnement entre ces deux structures est principalement due à la différence de fonctionnement du comparateur de phase. Dans le premier cas, celui-ci n'est qu'un détecteur de phase, et la différence de phase ne peut dépasser $\pi/2$; aussi, il existe une bande de fréquence de capture du signal dont les extrémités correspondent aux limites des possibilités de la PLL de se verrouiller sur la fréquence d'entrée à partir de l'état non verrouillé. Cette plage de fréquence est inférieure à la plage de maintien à l'état verrouillé. Avec le comparateur de type II, il y aura toujours capture du signal (excursion des phases $\pm\pi$), mais la plage de maintien est dans ce cas égale à la plage de capture. Aussi, celle-ci fonctionne par détection de front, ce qui autorise d'avoir à son entrée des signaux de rapport cyclique différents de 0,5 permettant de mettre en œuvre un diviseur de fréquence numérique programmable.

Toutes ces caractéristiques rendent la PLL de type II très avantageuse en termes de conception et de performances s'inscrivant dans la problématique de la montée en fréquence et d'intégration.

III. DESCRIPTION DES ELEMENTS CONSTITUTIFS DE LA PLL NUMERIQUE

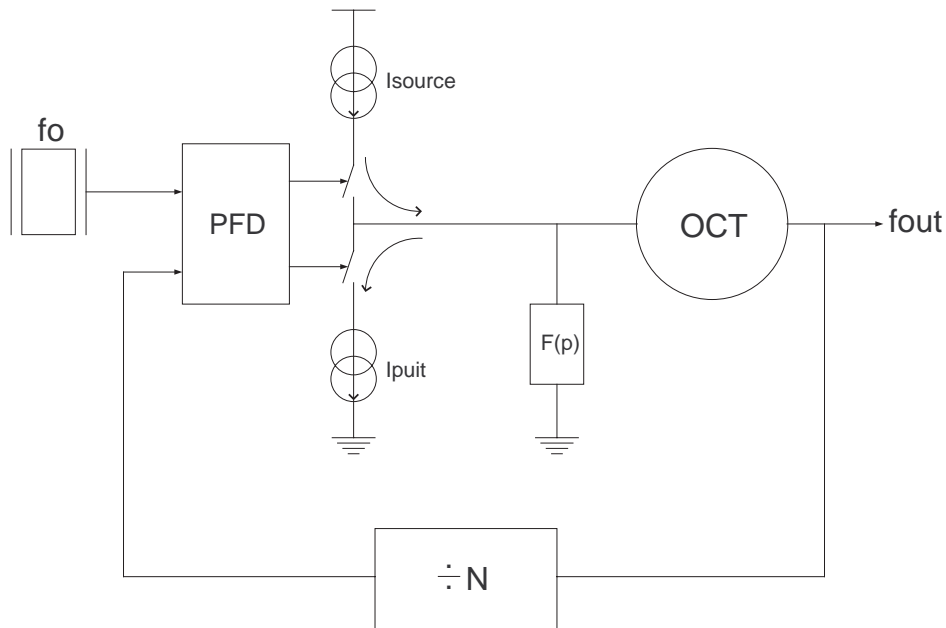


Figure 7 : Schéma de principe de la PLL numérique

Afin de mieux appréhender le fonctionnement du système, il est nécessaire d'identifier le rôle de chacun de ces blocs constitutifs et de confronter les différentes solutions envisageables pour les réaliser. Le schéma de la PLL numérique est rappelé sur la figure 7. Elle est représentée ici sous sa forme la plus basique et est constituée d'une source de référence f_0 , d'un PFD numérique et sa pompe de charge, d'un filtre $F(p)$, d'un OCT et d'un diviseur numérique de fréquence. Le fonctionnement de chacun d'eux est décrit ci-après.

1.1 La source de référence

Le signal de référence f_0 doit posséder des caractéristiques élevées en terme de stabilité. Il est délivré par un oscillateur à cristal, généralement un quartz. C'est sur cette fréquence de référence que le signal de sortie de la PLL va se synchroniser.

1.2 Le comparateur phase fréquence (PFD) [4]

Le détecteur phase fréquence génère un mot de sortie sur 2 bits donnant l'état de comparaison en phase/fréquence de ses deux entrées.

Son mode de fonctionnement est décrit par le diagramme d'état suivant (figure 8):

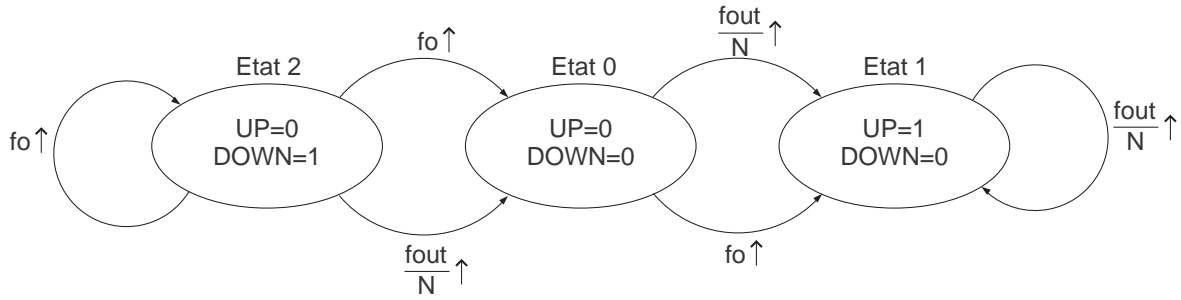


Figure 8: Diagramme d'état de la PFD

UP et DOWN sont les sorties du PFD.

Le circuit réagit sur front, le rapport cyclique des signaux d'entrée n'a donc pas d'importance. Son fonctionnement est le suivant: un front (montant par exemple) sur f_{OUT}/N met la sortie DOWN à 1 (ou la maintient à 1) et remet l'entrée UP à 0 (si elle était à 1 initialement), et inversement pour l'entrée f_o sur les sorties UP et DOWN respectivement. Aussi, il existe un état interdit, la sortie ne peut donc prendre que trois états, ce type de PFD est aussi appelé PFD trois états.

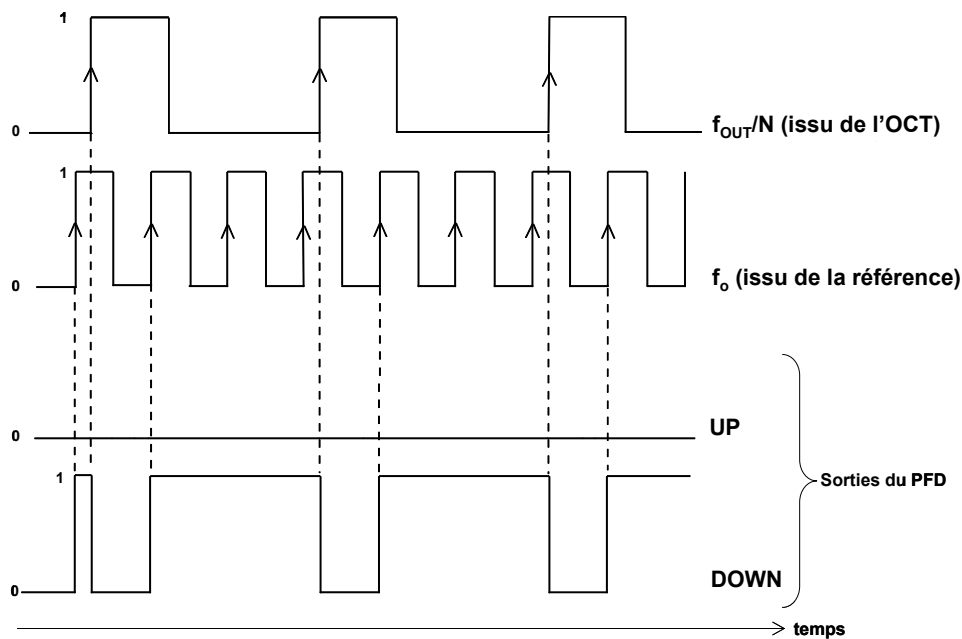


Figure 9 : Diagramme des temps des entrées et sorties du PFD

Ce système génère donc des impulsions dont les largeurs sont égales à la différence de phase entre les deux entrées. La réalisation de base est la suivante (figure 10-a).

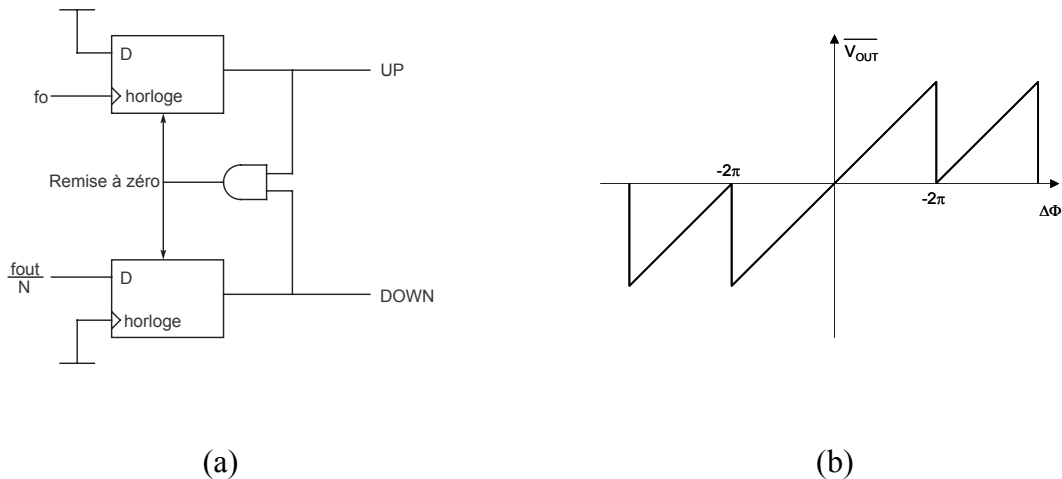


Figure 10 : Schéma de la réalisation classique (a) et caractéristique idéale (b) du PFD

$\overline{V_{OUT}}$ représente la différence moyenne entre les sortie UP et DOWN, et $\Delta\Phi$ représente la différence de phase entre les signaux d'entrées f_{out}/N et f_o appliqués au PFD.

Cependant, en raison des délais non négligeables des portes logiques au-delà d'une certaine fréquence de fonctionnement, le comportement réel de la PFD n'est pas celui présenté par le graphe de la figure 10-b : le délai introduit par la porte générant le signal de remise à zéro des bascules entraîne l'apparition de l'état interdit (1,1) (cf. figure 8) induits par la présence des pics parasites non négligeables qui apparaissent sur la sortie censée rester à zéro. Par conséquent, il existe une zone morte pour des erreurs de phase proches de zéro pour lesquelles la sortie du PFD est altérée. La correction de phase/fréquence n'est donc pas assurée dans cette zone.

1.3 La pompe de charge

Cet élément est indissociable de l'utilisation d'un PFD trois états dans la PLL. En effet, il convertit l'information en sortie du PFD en un courant image de l'erreur de phase détectée.

Dans un premier temps, la pompe de charge traduit les impulsions en tension issues des sorties UP et DOWN en charge et décharge en courant dans un filtre capacitif de fonction de transfert $F(p)$. Ce dernier réalise une intégration de l'information en courant qui est restituée en information en tension pour commander la tension de contrôle V_{tuning} de l'OCT.

La pompe de charge est réalisée par le contrôle d'une source et d'un puit en courant par des interrupteurs actionnés par les sorties du PFD (figure 11).

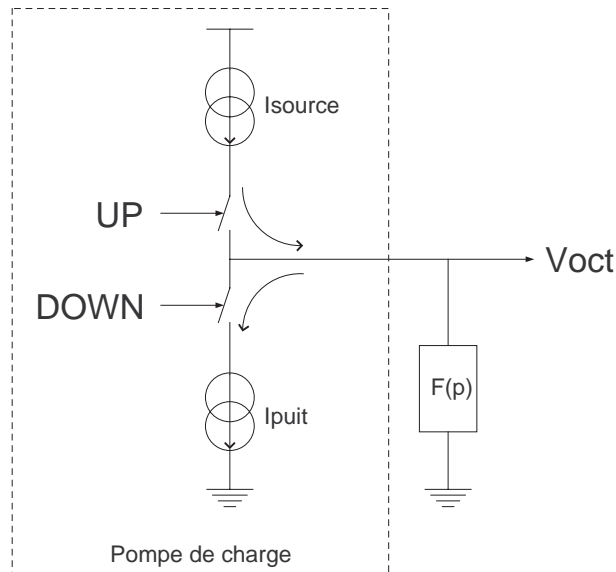


Figure 11: Schéma de fonctionnement de la pompe de charge associé au filtre $F(p)$

De manière idéale, le courant de source I_{source} et le courant du puit I_{puit} sont égaux, ce qui n'est pas le cas dans la réalité. Cette dissymétrie crée des pics parasites à la sortie de la PLL.

1.4 Le filtre de boucle

Le rôle du filtre de boucle est de réaliser l'intégration du courant délivré par la pompe de charge et de restituer l'information en tension. Ainsi, une simple capacité peut réaliser cette fonction. Cependant, cette solution entraîne une instabilité de la boucle; aussi, une résistance lui est associée afin d'ajouter un pôle dans la fonction de transfert, et permettre ainsi la stabilité. Ceci représente alors la configuration de base du filtre de la PLL numérique (figure 12-a). Ce filtre présente cependant le désavantage de créer des sauts de tension à sa sortie dus à la présence de la résistance soumise à la propriété de commutation intermittente du courant issu de la pompe de charge. Des variantes peuvent être appliquées afin de lisser la tension de sortie (figure 12-b et -c) :

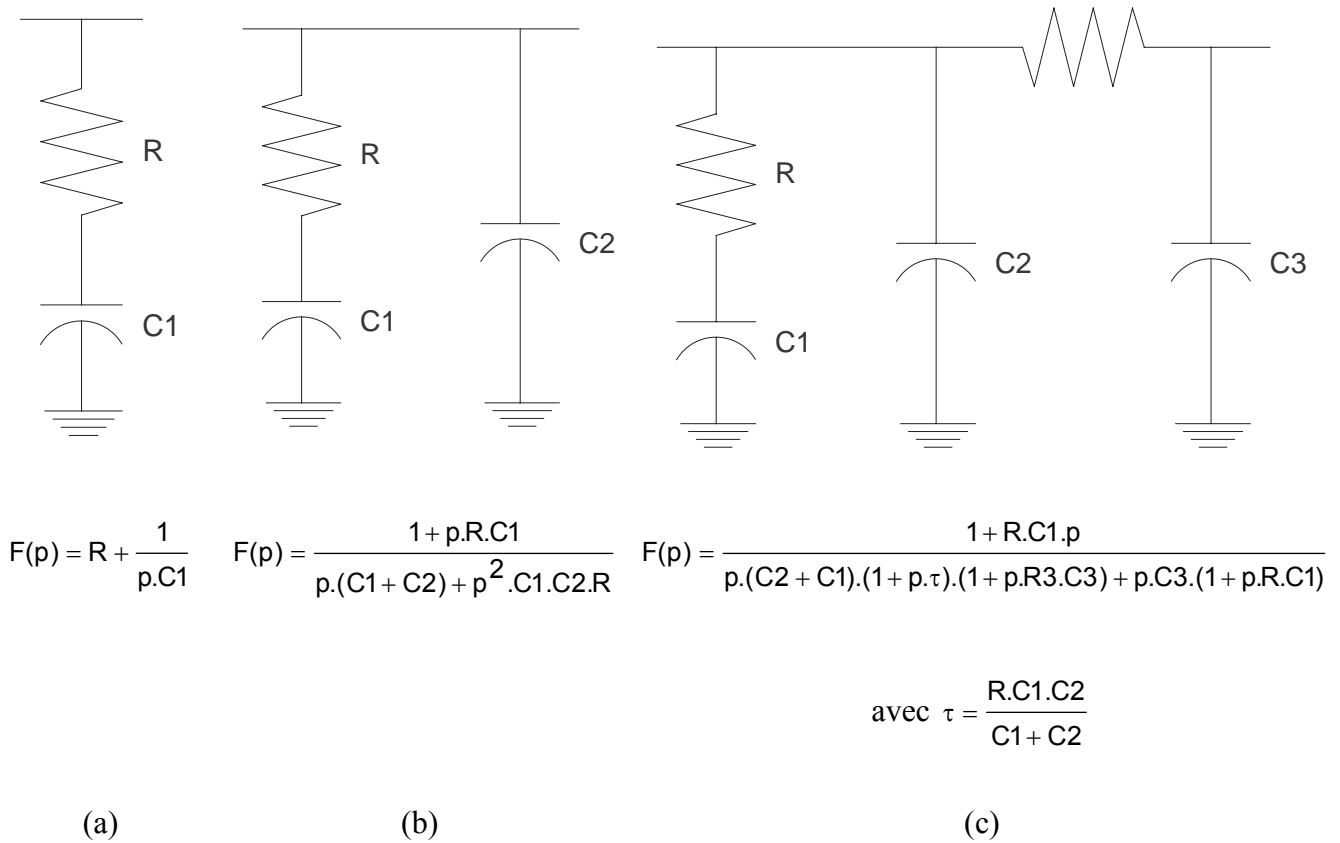


Figure 12: Filtres de boucle du 1^{er} (a) 2nd (b) et 3^{ème} (c) ordre

Selon les valeurs de R et de C souvent impossibles à intégrer au circuit monolithique, ces filtres sont généralement réalisés en externe au circuit. Le choix du filtre dépend des caractéristiques de la PLL en termes de stabilité, temps d'établissement, et bruit de phase.

Lorsque la tension de commande de l'OCT est grande, il est parfois nécessaire d'utiliser un amplificateur DC associé au filtre ou un filtre actif réalisé à base d'amplificateur opérationnel.

1.5 Le diviseur programmable

Le diviseur programmable est réalisé par un pré-diviseur (appelé aussi prescaler) à taux de division commutant entre les valeurs P et (P+1) et fonctionnant à haute fréquence (à la fréquence de l'OCT). Celui-ci est contrôlé par deux compteurs programmables fonctionnant à basse fréquence (à la fréquence de l'OCT divisé par P ou (P+1)). Aussi, le pré-diviseur est réalisé en logique rapide (ECL: Emitter Current Logic) et les compteurs en logique CMOS. Les performances fréquentielles du diviseur programmable sont alors fixées par les performances fréquentielles du pré-diviseur [5].

Son mode de fonctionnement est le suivant (figure 13) :

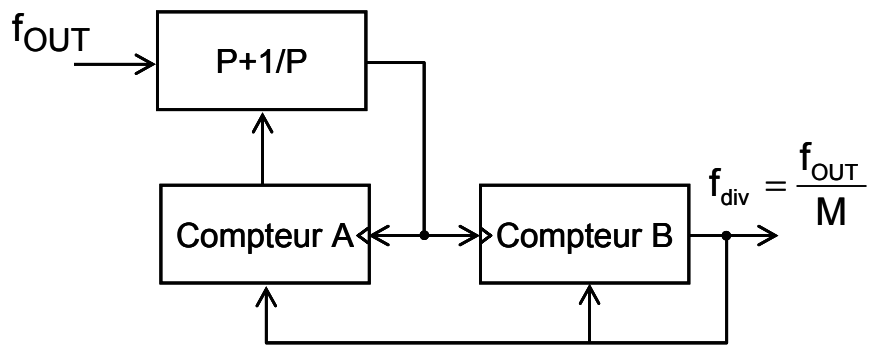


Figure 13: Schéma de fonctionnement du diviseur programmable par M

La sortie du pré-diviseur est divisée par les compteurs A et B. A l'état initial, le pré-diviseur divise par (P+1), une fois le décomptage de A terminé, le compteur A envoie un signal commutant la division de (P+1) à P. La division par P s'opère jusqu'au retour à l'état initial des compteurs, soit lorsque B a fini de compter.

Le cycle obtenu est le suivant: une division de (P+1) durant A cycles, et une division de P durant (B-A) cycles, soit $[(P+1).A+P.(B-A)]$, ce qui revient à un taux de division M équivalent à :

$$M=B.P+A \text{ avec } A < B \quad (7)$$

La sortie est alors définie par:

$$f_{div} = \frac{f_{OUT}}{BP + A} \text{ en (Hz) avec } A < B \quad (8)$$

1.6 L'oscillateur contrôlé en tension

Ce circuit peut être réalisé par un oscillateur en anneau (figure 14-a) ou un OCT à résonateur LC (figure 14-b).

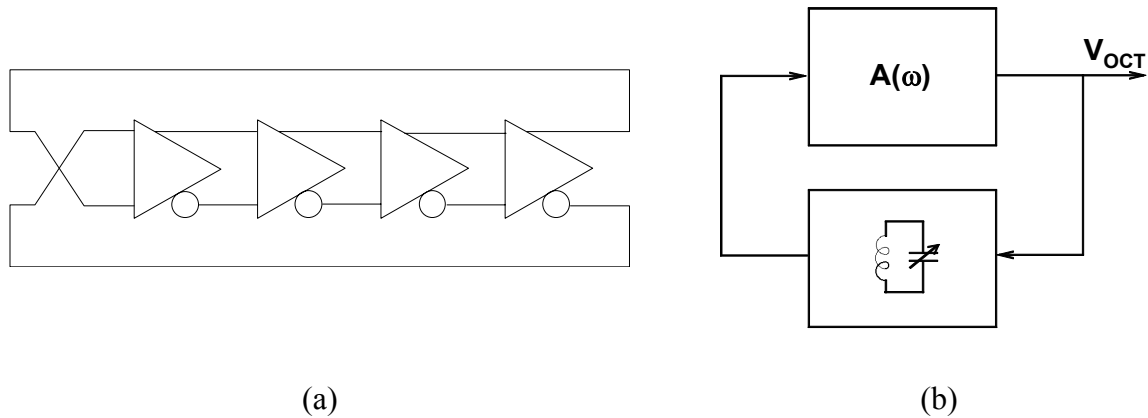


Figure 14: Schéma d'OCT intégrables dans une PLL

Le premier présente un large accord en fréquence, mais un mauvais bruit de phase alors que le second présente un accord en fréquence modeste, mais un meilleur bruit de phase que le premier. C'est cette seconde solution qui sera intégrée dans la PLL et qui est détaillée dans le Chapitre 2.

De manière idéale, la sortie est définie par :

$$V_{OCT}(t) = A_0 \cos(\omega_{OCT} t) \quad (9)$$

$$\text{Avec } \omega_{OCT} = \omega_0 + K_{\text{tuning}} V_{\text{tuning}} \quad (10)$$

$$\text{Soit } V_{OCT}(t) = A_0 \cos\left(\omega_0 + K_{\text{tuning}} \int V_{\text{tuning}}(t) dt\right) \quad (11)$$

Avec K_{tuning} désignant l'accordabilité de l'OCT en Hz/V

et V_{tuning} la tension de commande en V, issue du filtre de boucle

IV. SPECIFICATIONS DE LA PLL

1.1 Temps d'établissement

Le temps d'établissement est le temps nécessaire à la boucle pour se verrouiller. Il est défini plus exactement par le temps que met la PLL pour atteindre 95% de la fréquence désirée. Aussi, dans un système de télécommunication, celui-ci détermine le temps nécessaire au système pour passer d'un canal à un autre.

1.2 Stabilité

Il y a plusieurs moyens de s'assurer de la stabilité d'un système :

Le moyen le plus simple est de réaliser une simulation temporelle et de vérifier si la boucle se verrouille. Cependant, cette analyse est coûteuse en temps de simulation et une première approximation permettant de fixer les valeurs des paramètres est nécessaire.

Pour cela, la stabilité de la PLL s'étudie en linéarisant les équations qui régissent le fonctionnement des différents blocs, puis en y appliquant les critères de stabilités (tels que le critère de Nyquist, le lieu des racines ou les marges de stabilité sur le diagramme de Bode).

Ces critères permettent de prévoir la stabilité de système en boucle fermée à partir de l'étude en boucle ouverte.

1.3 Bruit de phase

Le bruit de phase à la sortie de la PLL est issu principalement :

- ◆ du bruit de phase de la source de référence
- ◆ du bruit de phase de l'OCT

La fréquence de coupure du filtre de boucle (plus ou moins élevée) sera ajustée selon le niveau de bruit de phase de la source de référence dégradée de $20\log M$ (M étant le taux de division de la boucle de retour), et selon le niveau du bruit de phase de l'OCT.

L'analyse de ce paramètre sera développée au chapitre 1 §-VI.

L'incidence du bruit de phase de la PLL sur son utilisation concerne la sélectivité en fréquence, ainsi que la qualité de la modulation et démodulation. En effet, l'information utile peut être noyée dans du bruit de phase, ce qui est pénalisant lorsque la modulation utilise la phase dans son codage (ce qui est généralement le cas pour des protocoles tels que EDGE ou UMTS).

Cependant, il n'est pas possible d'optimiser l'allure du bruit de phase sans modifier les autres spécifications telles que la stabilité et le temps d'établissement. L'établissement d'un compromis sera toujours nécessaire entre ces trois paramètres.

1.4 Pics parasites

Les pics parasites sont issus de la modulation d'amplitude de la commande de l'OCT. Ceci se traduit par la présence de fréquences parasites sur le spectre de sortie autour de la fréquence de la porteuse apparaissant avec un pas égal à la fréquence de modulation.

Ils ont plusieurs origines : ils peuvent être générés au sein du PFD, et sont généralement liées aux instants de comparaison (fronts). L'environnement du circuit peut également favoriser l'apparition de ces pics; les remèdes permettant d'y remédier consistent en la mise en place de blindage et protection des circuits de polarisation.

La génération des pics parasites sera développée au chapitre 1 § VI-1.2.

V. LINEARISATION DE LA PLL

La PLL à pompe de charge possède un fonctionnement numérique et séquentiel qui ne peut donc être décrit complètement que par un algorithme à temps discret. Un modèle de celui-ci est proposé par M.V. Paemel [6] permettant une description du comportement complet d'une PLL du 2nd ordre à partir d'une représentation d'état discrète. Cette méthode est particulièrement utile lorsqu'une large bande passante de boucle est nécessaire puisqu'elle permet d'établir les limites réelles de stabilité du système.

Une autre méthode d'analyse est possible : le système peut être linéarisé dans le domaine continu. Il est nécessaire pour cela de travailler en bande étroite (la bande passante de la PLL est petite devant la fréquence de référence) et d'obtenir la stabilité réelle du système.

Le diagramme bloc de la PLL est alors le suivant en supposant la symétrie de la pompe de charge à la valeur de courant I_p (cf figure 15).

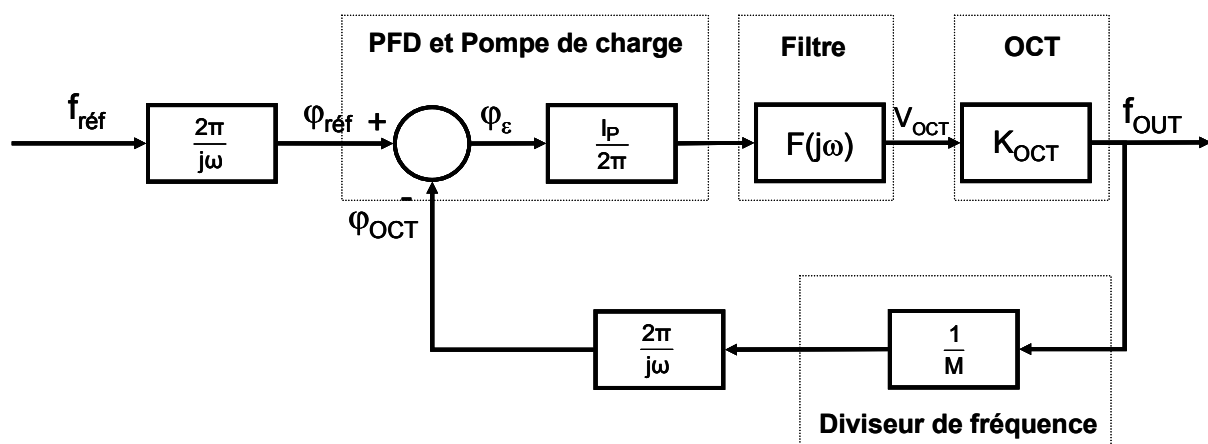


Figure 15: Diagramme bloc d'une PLL linéarisée

Il est important de noter que l'étude de la PLL linéarisée permet de prédire la stabilité du système à une perturbation introduite en supposant l'état de départ de la PLL verrouillé et stable.

1.1 Linéarisation de la PLL du 2nd ordre

Pour un filtre du 1^{er} ordre constitué d'une résistance R et d'une capacité C, tels que sa fonction de transfert répond à :

$$F(p) = \frac{1 + RCp}{Cp} \quad (12)$$

p étant la variable complexe de la transformée de Laplace, ceci donne la PLL du 2nd ordre dont la fonction de transfert est la suivante :

$$H(p) = \frac{2\zeta\omega_n p + \omega_n^2}{p^2 + 2\zeta\omega_n p + \omega_n^2} \quad (13)$$

Avec:

La pulsation propre :

$$\omega_n = \sqrt{\frac{K_{OCT} I_P}{C}} \quad (\text{rad/sec}) \quad (14)$$

Le facteur d'amortissement:

$$\zeta = \frac{R}{2} \sqrt{K_{OCT} I_P C} \quad (15)$$

Il est reconnu que la limite théorique de stabilité est obtenue pour $\omega_n \leq 0,26 \cdot \omega_{réf}$, ce qui définit ainsi aussi la limite de validité de la linéarisation pour une PLL du 2nd ordre.

L'allure du diagramme de Bode de la fonction de transfert de la PLL du 2nd ordre en boucle ouverte linéarisée est la suivante (figure 16), avec ω_n égal à 32 MHz et ξ égal à 2 :

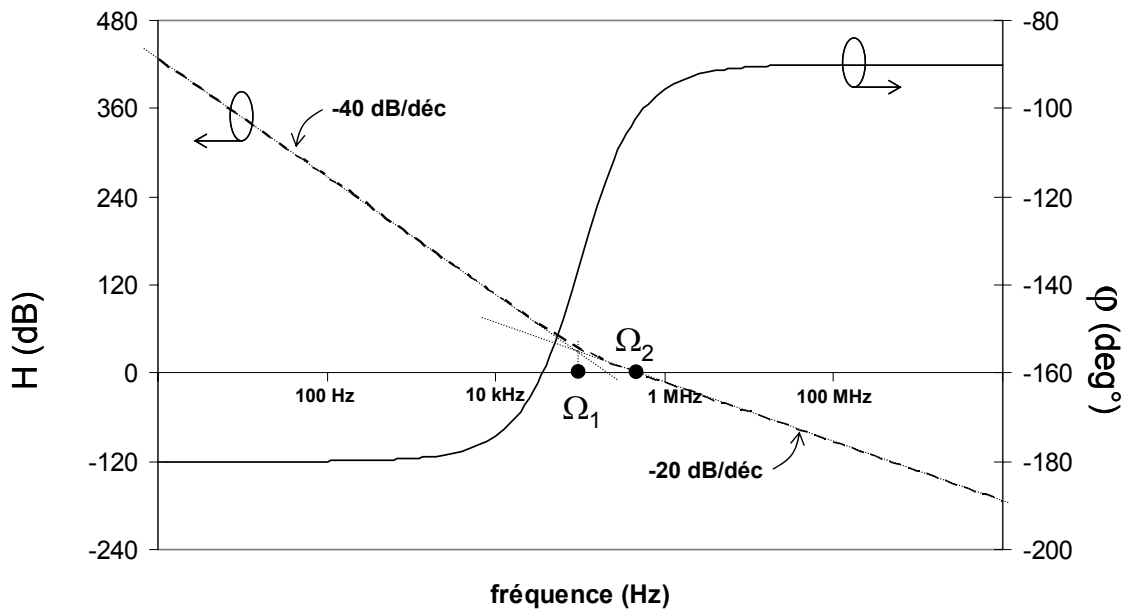


Figure 16: Diagramme de Bode de la fonction de transfert de la PLL linéarisée du 2nd ordre en boucle ouverte

Ainsi, en étudiant la fonction de transfert entre l'erreur de phase et la commande en tension de l'OCT (figure 17), on s'aperçoit que les fréquences supérieures à la fréquence de coupure du filtre ne sont pas correctement filtrées.

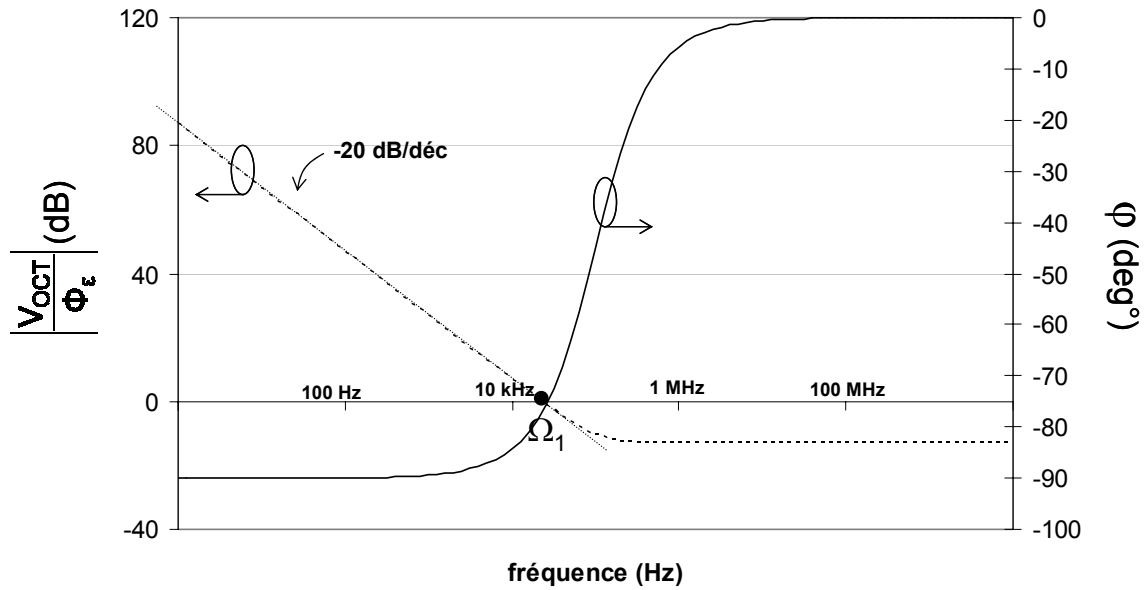


Figure 17: Diagramme de Bode de la fonction de transfert entre la tension de commande de l'OCT et l'erreur de phase en sortie du PFD

Ceci est problématique dans la mesure où la présence de la résistance de filtre génère un pic à chaque période de la fréquence de référence. Un filtre d'un ordre supérieur doit être utilisé afin de rejeter les fréquences élevées, ce qui permet ainsi de réduire les pics parasites issues des impulsions délivrées par la pompe de charge.

1.2 Linéarisation de la PLL du 3^{ème} ordre

En utilisant le filtre du 2nd ordre décrit en (§I-3.4), la fonction de transfert entre l'erreur de phase et la tension de commande de l'OCT devient :

$$\frac{V_{\text{OCT}}(p)}{\varepsilon(p)} = \frac{I_p}{2\pi} \frac{1 + R_2 C_2 p}{(C_1 + C_2)p + C_2 R_2 C_1 p^2} \quad (16)$$

Ceci aboutit au diagramme de Bode suivant (figure 18) en ajoutant une capacité C_2 de 5 pF :

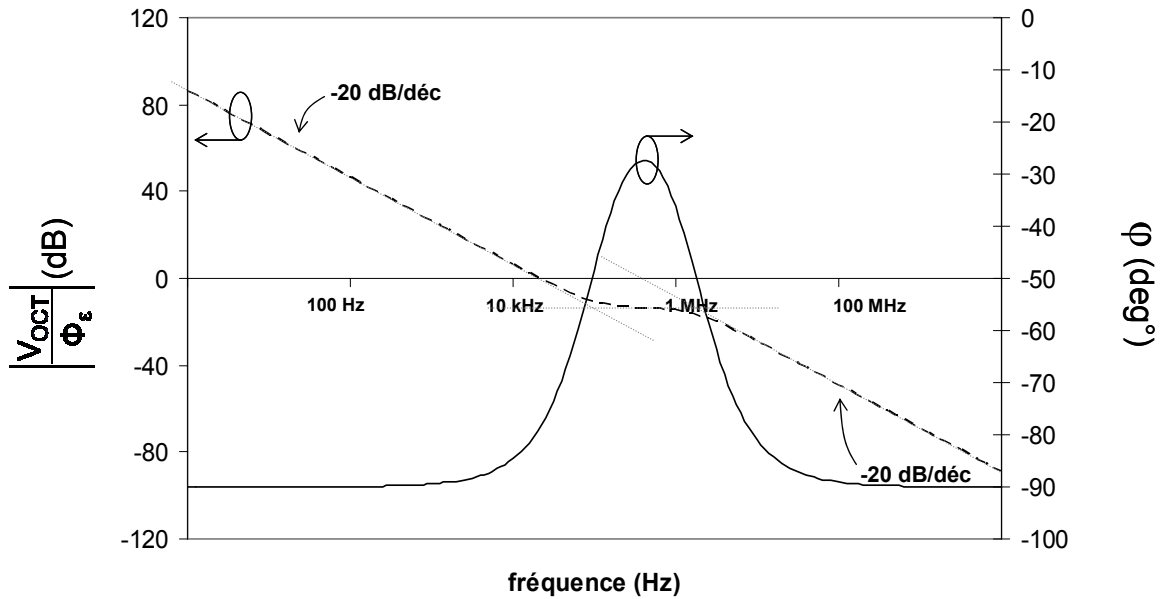


Figure 18: Diagramme de Bode de la fonction de transfert entre la tension de commande de l'OCT et l'erreur de phase en sortie du PFD

Le filtrage des hautes fréquences est ainsi assuré. Le diagramme de Bode de la fonction de transfert de la PLL du 3^{ème} ordre en boucle ouverte est alors la suivante :

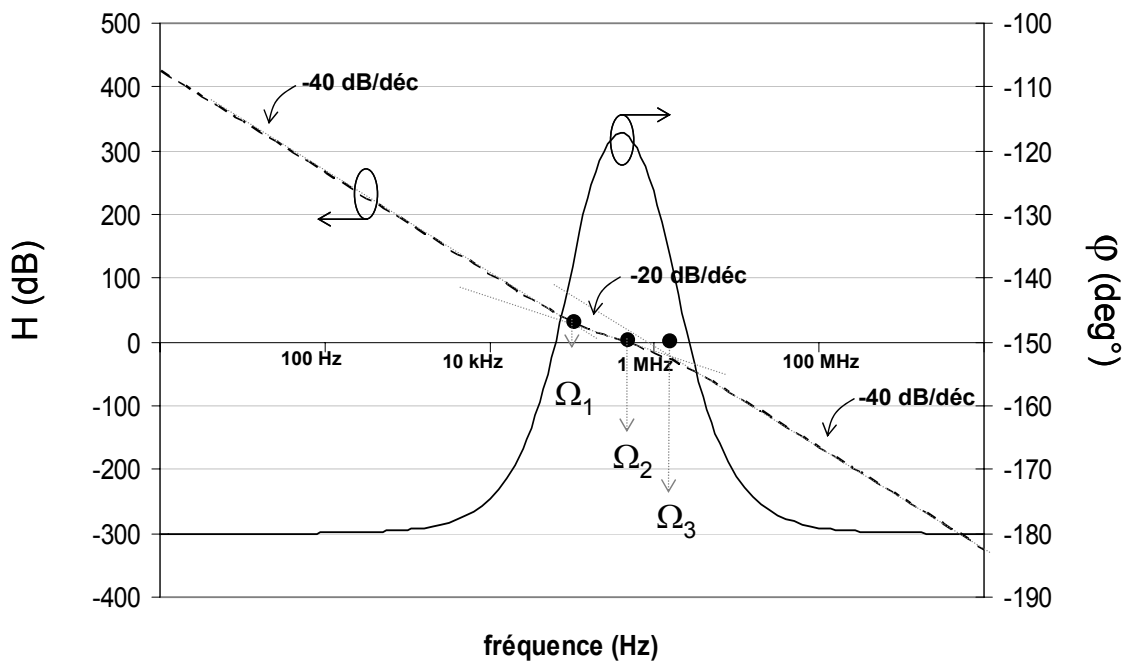


Figure 19: Diagramme de Bode de la fonction de transfert de la PLL linéarisé du 3^{ème} ordre en boucle ouverte

Cette configuration du filtre de boucle est la configuration minimale assurant la conversion de l'information en courant issue de la pompe de charge en commande en tension à l'entrée de l'OCT et procurant une atténuation suffisante du pic parasite à la fréquence de référence. Il est toujours possible d'améliorer la réjection de cette dernière en augmentant l'ordre du filtre. Cependant il faudra toujours s'assurer de la stabilité du système.

VI. ANALYSE EN BRUIT DE LA PLL

Il existe deux mécanismes de bruit différents dans la PLL. Le premier est le bruit de phase (défini en §II-2.4), et les seconds sont liés à la présence des pics parasites.

Le bruit de phase de la PLL est prédit utilisant son modèle comportemental linéarisé. Ce dernier permet d'écrire les fonctions de transfert appliquées aux différents bruits issus des modules composant la PLL. Ceci est une approximation généralement utilisée. Les bruits de phase de chacun des modules sont décrits dans une première partie, et leur contribution élémentaire individuelle dans le bruit de phase global de la PLL est présentée. Nous finirons par établir la limitation de cette approximation liée notamment à la présence des éléments numériques de la PLL.

1.1 Le bruit de phase de la PLL

1.1.1 Les différentes sources de bruit de la PLL

1 L'oscillateur de référence

L'oscillateur de référence est souvent un oscillateur à quartz. Le bruit de phase de ce type d'oscillateur est généralement bien meilleur que celui d'un oscillateur LC intégré. La théorie du bruit de phase est identique à celle régissant les oscillateurs en général. Elle est développée au Chapitre 2 §1.4.

2 L'oscillateur contrôlé en tension

Le bruit de phase de l'oscillateur contrôlé en tension est une caractéristique clé et aussi un verrou dans la conception de système de télécommunication. Sa contribution n'est pas égale sur toute la bande de fréquence considérée, et la pré étude système fixera la sévérité des objectifs à atteindre à une certaine distance de la porteuse. L'étude du bruit de phase de l'OCT est particulièrement développée dans le Chapitre 2.

3 *Filtre de boucle*

Le bruit du filtre de boucle provient essentiellement des résistances. Une source de bruit en tension lui est généralement associée représentant le bruit thermique généré, dont la densité spectrale de puissance est donnée par :

$$S_{v_f} = 4KT \cdot R \text{ [V}^2\text{/Hz]} \quad (17)$$

Avec K : la constante de Boltzmann égale à $1,381 \cdot 10^{-23} \text{J/}^\circ\text{K}$

T : la température en $^\circ\text{K}$

R : la résistance en Ohm à laquelle on associe la source de bruit en tension

Certaines résistances présentent aussi une composante de bruit en $1/f$, ceci étant dû à la présence de polysilicium dans leur composition; son niveau dépend du courant traversant le barreau résistif.

Le bruit en tension en sortie du filtre dépend alors de la structure de celui-ci, ainsi que des conditions électriques de polarisation auxquelles il est soumis. C'est pourquoi il est très important de reproduire les conditions électriques en état verrouillé de la boucle pour l'évaluation du bruit.

Aussi, le bruit de phase introduit par le filtre dépend de la fonction de transfert tension-phase appliquée à cette source de bruit, qui représente le gain de l'OCT.

4 *Les éléments numériques*

Nombre d'études ont été réalisées sur le bruit de phase des oscillateurs. De ce fait, les oscillateurs peuvent être modélisés avec une bonne précision afin de les intégrer dans la simulation système de la PLL. Le bruit issu des éléments passifs du filtre de boucle est pour sa part facile à intégrer à l'étude globale en raison de la simplicité d'expression de ses sources de bruit. En revanche, le bruit des éléments numériques n'est pas encore bien compris et les publications restent à ce jour peu nombreuses sur ce sujet : la plupart des modèles sont largement empiriques.

◆ Le diviseur programmable

Le bruit du diviseur programmable est plus facilement interprété dans le domaine temporel que dans le domaine fréquentiel : aussi, nous parlerons ici de giques (définies en §II-1.4.3), plutôt que de bruit de phase. Ce diviseur est réalisé par une chaîne de bascules D. Le

bruit présent à l'entrée d'une bascule modifie le temps t_1 pour lequel le niveau de sortie change d'état créant ainsi de la gigue. Ceci est illustré en figure 20.

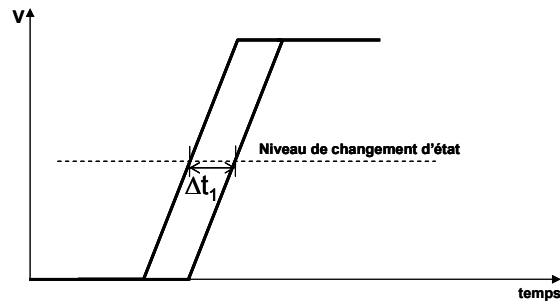


Figure 20: Représentation temporelle de la gigue

De ce fait, dans les systèmes asynchrones, la gigue est cumulative alors que dans les systèmes synchrones, la sortie de la dernière bascule ne dépend pas de la gigue des bascules précédentes, mais seulement de l'entrée commune à toutes les bascules. Un diviseur synchrone est alors moins bruyant qu'un diviseur asynchrone.

Aussi, le bruit étant dépendant du temps de montée et de descente, un signal de grande amplitude sera moins sensible aux giges : c'est pourquoi il est recommandé d'utiliser des signaux de grande amplitude. De plus, la génération de bruit des éléments numériques est maximale au moment de la commutation des transistors : de ce fait, plus on monte en fréquence, plus le bruit sera élevé.

A la sortie du diviseur, le bruit de phase S_{ϕ_OUT} en fonction du bruit de l'entrée S_{ϕ_in} s'exprime de la manière suivante :

$$S_{\phi_OUT}(f) = \frac{S_{\phi_in}(f)}{M} + S_{\phi_div}(f) \text{ (rad}^2/\text{Hz)} \quad (18)$$

Le bruit de phase résiduel S_{ϕ_div} est défini par l'équation suivante [7] :

$$S_{\phi_div}(f) = \frac{a_1}{f} + a_0 \text{ (rad}^2/\text{Hz)} \quad (19)$$

Les termes a_1 et a_0 sont obtenues de manière semi-empiriques. Ils ont une dépendance avec la fréquence de sortie telle que :

$$a_1 = a_{11} \cdot f_0^2 + a_{10} \text{ (rad}^2/\text{Hz)} \quad (20)$$

$$a_0 = a_{01} \cdot f_0 + a_{00} \text{ (rad}^2\text{/Hz)} \quad (21)$$

Les différents coefficients sont également définis de manière empiriques.

En général, le bruit de phase des diviseurs n'est pas critique : le bruit de phase de l'entrée divisé par le taux de division excède généralement le bruit de phase résiduel du diviseur. Cependant, pour un taux de division élevé, il peut devenir critique, surtout si la source d'entrée présente une très bonne pureté spectrale.

◆ Le détecteur phase-fréquence et la pompe de charge

Il n'existe pas d'étude spécifique à ce sujet, le bruit de celui-ci est donné par un terme en $1/f$ et un bruit blanc. La mesure du bruit de phase d'un PFD numérique donné par Kroupa [8] fait état d'un bruit en $1/f$ de 0,1 MHz à 1 MHz.

Les valeurs définissant le bruit de l'ensemble sont déterminées de manière empirique.

1.1.2 Contribution des différentes sources de bruit sur le bruit de phase global de la PLL par une description linéaire

Le niveau de description est comportemental. Ces sources de bruit sont présentes dans chacun des blocs constitutifs de la PLL : l'oscillateur de référence, le détecteur phase-fréquence, la pompe de charge suivie du filtre, le VCO et le diviseur. Le bruit de chacun de ces éléments est considéré comme additif. Le schéma de la linéarisation de la PLL avec les sources de bruit associées peut être représenté de la manière suivante (figure 21) :

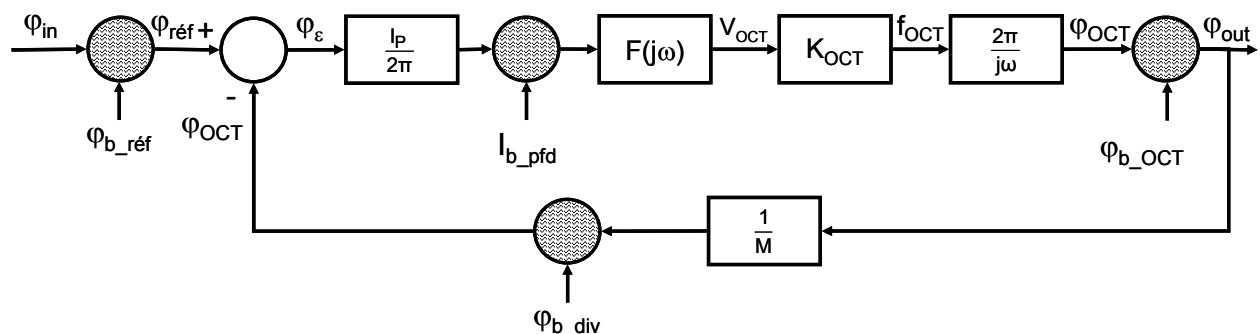


Figure 21: Diagramme bloc de la PLL linéarisée avec les sources de bruit

La présence du bruit de la PLL est représentée par $\varphi_{b_réf}$, φ_{b_div} , φ_{b_OCT} et I_{b_pfd} . Cette schématique décrit les influences du bruit de phase à la sortie de la PLL. Celles-ci sont

définies par les fonctions de transfert de chacune d'elles sur la sortie en considérant les autres sources de bruit éteintes.

1 **Influence du bruit de phase de la source de référence $\varphi_{b_réf}$ et du diviseur φ_{b_div}**

Il est donné par l'expression suivante :

$$T_{b_réf} = \frac{\varphi_{out}}{\varphi_{b_réf}} = \frac{\varphi_{out}}{\varphi_{b_div}} = T_{b_div} \quad (22)$$

Pour la PLL du 3^{ème} ordre décrit en §I-5.2, ceci donne le diagramme de Bode suivant :

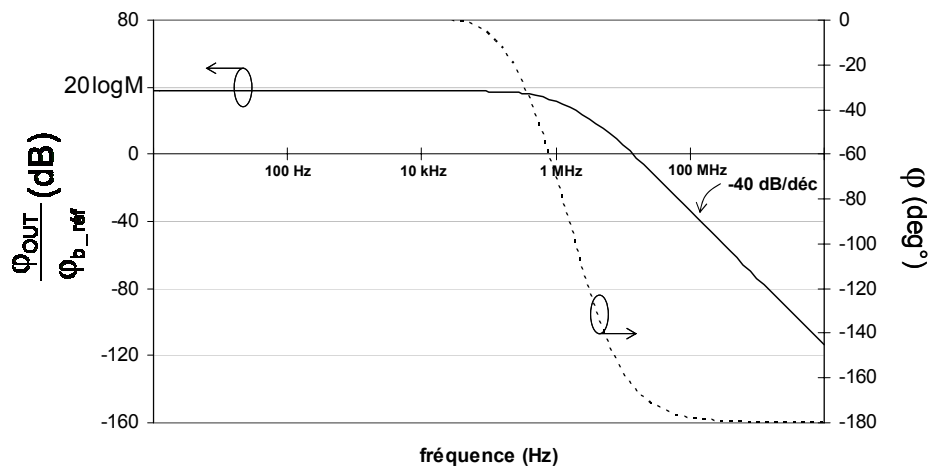


Figure 22: Diagramme de Bode de la fonction de transfert du bruit de phase de la source de référence et du diviseur sur la phase de sortie

Le bruit de la source de référence est augmenté de $20\log M$, puis atténué au-delà de la fréquence de coupure du filtre de boucle de la PLL.

2 **Influence du bruit de phase de l'OCT φ_{b_OCT}**

$$T_{b_OCT} = \frac{\varphi_{out}}{\varphi_{b_OCT}} \quad (23)$$

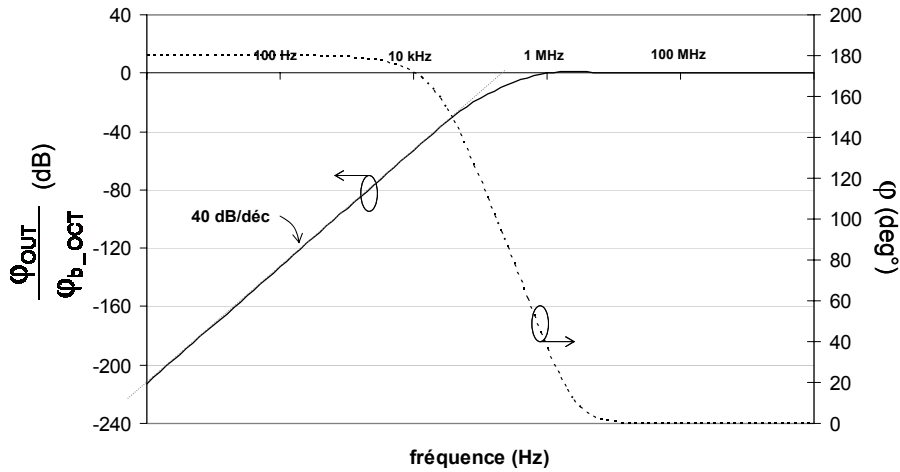


Figure 23: Diagramme de Bode de la fonction de transfert du bruit de phase de l'OCT sur la phase de sortie de la PLL

Le bruit de phase de l'OCT est retrouvé au-delà de la fréquence de coupure de la boucle. Ceci permet de définir la distance à la porteuse pour laquelle le bruit de phase de l'OCT doit être minimisé.

3 *Influence du bruit de courant du PFD/pompe de charge I_{b_pfd}*

$$T_{b_pfd} = \frac{\varphi_{out}}{I_{b_pfd}} \quad (24)$$

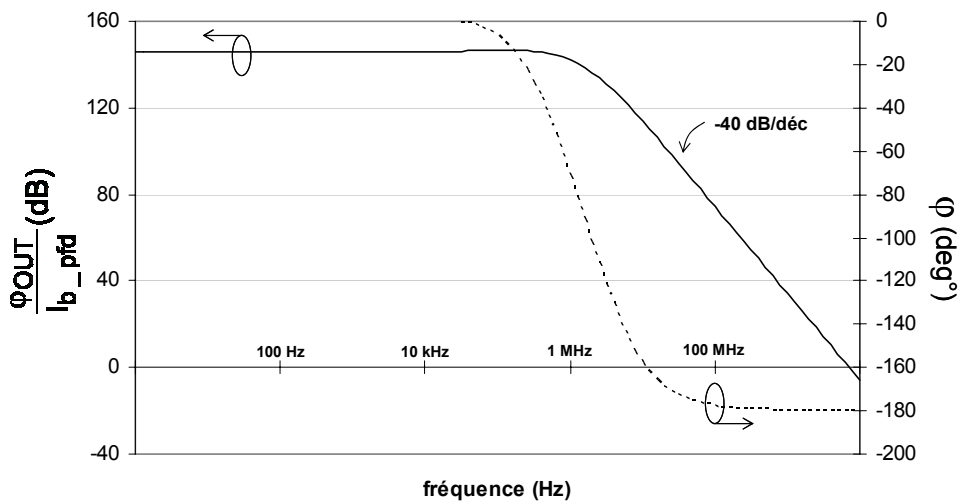


Figure 24: Diagramme de Bode de la fonction de transfert du bruit en courant du PFD/pompe de charge sur la phase de sortie de la PLL

En regard de l'étude précédente, nous justifions que le bruit dominant aux fréquences loin de la porteuse est le bruit de phase de l'OCT, et que le bruit de phase dominant près de la porteuse est le bruit de phase de la référence, de la PFD et de la pompe de charge. Il est à noter que pour une PLL du 3^{ème} ordre, une résonance à la fréquence de coupure de celle-ci peut avoir pour effet d'amplifier le bruit de l'OCT dans cette gamme de fréquence. Un compromis devra alors être trouvé entre la bande passante de la PLL et la hauteur du pic de résonance (qui est minimisé dans l'exemple montré en figure 23).

1.1.3 Modèle de bruit de phase obtenu en sortie de la PLL

Le bruit total à la sortie de la PLL est obtenu en multipliant chacune des sources de bruit par sa fonction de transfert correspondante puis en sommant les résultats obtenus.

Ceci nécessite la connaissance du bruit de chacun des éléments, par la simulation ou par la mesure (ou également en fixant des objectifs pour répondre au cahier des charges).

La conséquence de ceci en terme de conception est le choix d'une bande passante élevée dans le cas où le bruit de l'OCT est dominant, et d'une bande passante faible dans le cas où le bruit de phase des autres contributions soumises au gain qui leur est associé est dominant.

1.2 Les pics parasites de la PLL

Les pics parasites sont obtenus par la modulation d'amplitude de la tension de commande de l'OCT de boucle. Ceci a pour conséquence une modulation de fréquence de celui-ci générant ainsi des pics parasites de chaque côté de la porteuse à chaque multiple de la fréquence de référence.

1.2.1 Pics parasites issus de la fréquence de référence

Ce type de pic parasite est le plus commun, il apparaît à chaque multiple de la fréquence de référence (correspondant aux instants de comparaison). Les causes de celles-ci sont doubles: la dissymétrie du courant de la pompe de charge, et les courant de fuite de celle-ci.

L'influence de chacune de ces causes est expliquée à l'aide de la figure 25 : aux basses fréquences de comparaison, le temps t_{nul} (temps durant lequel la pompe de charge est supposée présenter une impédance infinie) est grand. Le courant de fuite de cette dernière est

alors le facteur dominant de la génération de pics parasites; en revanche, aux fréquences de comparaison élevées ($T_{réf}$ faible), la dissymétrie de la pompe de charge ($I_{source} \neq I_{puit}$) devient le facteur dominant de génération de pics parasites.

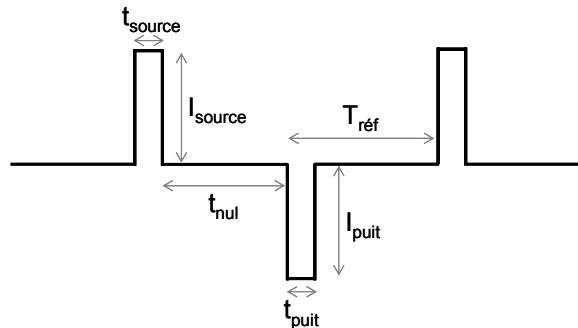


Figure 25: Diagramme des temps de la sortie de la pompe de charge lorsque la PLL est verrouillée

Cependant, aux fréquences de comparaison élevées, la symétrie entre la source et le puit de courant ne garantit pas à elle seule une minimisation des pics parasites. En effet, un troisième facteur aggravant est la vitesse de commutation différente entre les transistors PMOS et NMOS utilisés respectivement pour réaliser les interrupteurs de source et du puit. Le PMOS a un temps de réponse plus lent que le NMOS : il est alors préférable d'obtenir une source de courant de valeur un peu plus élevée que le puit de courant. Si on considère de plus les courants de fuite, généralement issue du puit de courant, ceci est un argument de plus afin d'obtenir une dissymétrie en faveur de la source de courant. Cependant, l'optimisation des courants de la pompe de charge afin de minimiser les pics parasites n'est pas valable pour toute la plage de contrôle de l'OCT, une optimisation de ces trois paramètres ne peut être obtenue que pour une fréquence médiane.

1.2.2 *Autres causes des pics parasites*

Outre les interférences avec l'environnement extérieur (alimentation, circuits adjacents et couplages éventuels réalisés lors du dessin des masques), les pics parasites peuvent apparaître dans le cas de l'utilisation d'une division fractionnaire lors de la mise en œuvre de la PLL. Ce point sera développé dans le Chapitre 3.

1.2.3 *Solutions de minimisation des pics parasites*

Le principal remède aux pics parasites consiste en la conception d'un filtre approprié. L'utilisation d'un filtre d'un ordre élevé contribue à une meilleure réjection des pics : aussi, il









est possible de rajouter un filtre réjecteur, mais ceci n'aura d'effet que sur le pic sur lequel il est centré. La proximité de ces pics avec les fréquences utiles du signal constitue une limite à cette solution de filtrage selon l'endroit où elle est appliquée.

Si une fréquence de coupure faible du filtre entraîne une meilleure réjection des pics parasites, en revanche le temps d'établissement de la PLL s'en trouve allongé.

VII. BILAN DES PERFORMANCES

Dans l'idéal, les performances attendues de la PLL serait un temps d'établissement de la fréquence désirée rapide, tout en conservant une bonne stabilité du système, ainsi qu'un faible bruit de phase et une absence de pic parasite. Bien entendu, outre le choix d'éléments à faible bruit de phase, tout ceci se joue surtout au niveau du choix du filtre.

Dans le tableau suivant est résumé ce qui est le plus avantageux pour chacune des spécifications selon la bande passante de la PLL.

| Fréquence de coupure du filtre | élevée | faible |
|--------------------------------|---|---|
| Temps d'établissement |  |  |
| Stabilité |  |  |
| Bruit de phase |  |  |
| Pics parasites |  |  |

VIII. CONCLUSION

Nous avons présenté dans ce chapitre les principes fondamentaux de la boucle à verrouillage de phase numérique. La PLL est la solution la mieux adaptée pour la génération de fréquences programmables; aussi, celle-ci présente de fortes potentialités au niveau de l'intégration des fonctions. Les paramètres fondamentaux pour la conception d'une PLL ont été posés ainsi que la méthodologie de conception. Il en ressort que le choix des paramètres du filtre de boucle fixe la stabilité, le temps d'établissement et le bruit de phase de la PLL.

Les rôles des différents éléments ont été décrits et leurs contributions en bruit de phase mises en avant.

Les influences de chacun des blocs sur la sortie de la boucle à verrouillage de phase sont posées sur la base d'un modèle linéarisé de la PLL. Ensuite, nous présentons les origines d'un autre type de signal parasite (les pics parasites) et les solutions de minimisations associées.

Les compromis résultant de cette étude (entre l'obtention d'un pas de réglage fin et un temps d'établissement court) aboutissent au choix d'une réalisation de synthèse de fréquence fractionnaire programmable : la possibilité de programmer la donnée fractionnaire permet ainsi de conserver une fréquence de référence élevée (et de ce fait permettre un temps d'établissement optimum) et de réduire le pas de réglage en fréquence. Ceci sera l'objet de notre troisième chapitre.

CHAPITRE 2 :

L'OSCILLATEUR CONTRÔLÉ EN TENSION

I. INTRODUCTION

Les performances dynamiques d'un oscillateur induisent des enjeux importants sur la conception du système pour lequel il est conçu : différentes architectures d'oscillateurs ont été largement utilisées parmi lesquelles les plus répandues (Clapp, Colpitts, Pierce) sont généralement choisies de par les fréquences d'utilisation auxquelles elles sont destinées. Cependant, il existe ce jour très peu d'études permettant de distinguer de manière claire le choix d'une topologie selon des critères précis tels que la fréquence d'utilisation, la technologie utilisée (F_t , F_{max} des transistors) voire encore l'excursion en fréquence ou le bruit de phase des circuits à réaliser. Ce chapitre tentera de dégager quelques règles permettant de réaliser un tel choix topologique pour des oscillateurs travaillant en mode fondamental (et non pas en overtone sur les harmoniques). Pour cela, nous baserons ce travail sur l'utilisation d'une technologie monolithique MMIC (filiale BiCMOS développée par STmicroelectronics Crolles, France), afin de réaliser des oscillateurs contrôlés en tension OCT (ou VCO en terme Anglosaxon).

Nous commencerons par présenter des généralités concernant l'oscillateur : son mode de fonctionnement, les différents moyens de le concevoir, ainsi que ses caractéristiques générales. Nous présenterons ensuite succinctement les différents types de transistors utilisés dans l'état de l'art. De plus, nous établirons une présentation de cet état de l'art selon un critère de bruit de phase choisi comme facteur de mérite. Ceci nous permettra d'introduire cette notion fondamentale des oscillateurs. Les différentes théories du bruit de phase seront présentées, ainsi que la manière dont celui-ci est calculé dans les principaux simulateurs de conception de circuit RF et micro-ondes. Nous présenterons le mode d'optimisation utilisé pour nos conceptions d'oscillateur. Différentes conceptions ont été mises à l'étude afin d'investiguer des aspects topologique des circuits : un OCT à topologie parallèle et un OCT à topologie série conçus en bande X, ainsi qu'un OCT différentiel conçu en bande K. Leurs performances seront enfin comparées à l'état de l'art.

II. ETUDE THEORIQUE

De manière très générale, un oscillateur est un système convertissant une puissance continue en puissance RF. Il est indispensable dans les systèmes de communication afin de générer une fréquence utilisée comme source de référence ou pour synthétiser une fréquence

permettant la transposition du signal utile vers la bande de base ou la fréquence intermédiaire afin de traiter le signal en bande de base. Deux technologies sont généralement utilisées : la technologie hybride et la technologie MMIC. L'une ou l'autre est choisie selon les performances voulues et/ou les contraintes imposées.

Quelles que soit la technologie, les caractéristiques principales d'un oscillateur sont :

La fréquence d'oscillation (GHz)

La plage de réglage en fréquence et son gain (Hz/V)

La consommation (mW)

La puissance de sortie (dBm)

La pureté spectrale (bruit de phase, en dBc/Hz)

Le "pulling" (Hz/Ohm)

Le "pushing" (Hz/Ohm ou Hz (c.c./c.o.))

L'élément le plus critique est la pureté spectrale, c'est pourquoi nous chercherons à minimiser ce paramètre.

1.1 Principe général de génération de l'oscillation

Un oscillateur est basé sur un principe de conversion d'une puissance continue (d'alimentation) en une puissance RF. Le système est constitué d'un élément passif résonant Q et d'un élément actif A régénérant la puissance RF dissipée formant ainsi une boucle d'oscillation. Ce paragraphe est consacré à la présentation des équations régissant ce fonctionnement, ainsi que les deux méthodes permettant de la mettre en œuvre.

1.1.1 Les conditions générales d'oscillation

Les conditions d'oscillation peuvent s'exprimer de manière générale par le formalisme des impédances ou des coefficients de réflexion qui est valable pour les deux topologies. Les conditions d'oscillation de Barkhausen par le formalisme des impédances se définissent de la manière suivante :

Avec $Z_A=R_A+jX_A$ pour l'impédance de la partie active et $Z_Q=R_Q+jX_Q$ pour l'impédance du résonateur, elles s'écrivent :

$$R_A(\omega_0)+R_Q(\omega_0)=0 \quad (25)$$

$$X_A(\omega_0)+X_Q(\omega_0)=0 \quad (26)$$

Ce qui est équivalent à (si l'impédance caractéristique $Z_c \neq 0$) :

$$|\Gamma_A(\omega_0)| \cdot |\Gamma_Q(\omega_0)| = 1 \quad (27)$$

$$\theta_{11A}(\omega_0) + \theta_{11Q}(\omega_0) = 0 \quad [2k\pi] \quad k \in \mathbb{N} \quad (28)$$

Ceci se traduit par l'équilibre énergétique (l'énergie fournie par la résistance négative est totalement dissipée par le résonateur). De plus, le déphasage total de la boucle est égale à 0 $[2k\pi]$ avec $k \in \mathbb{N}$. Avant de pouvoir s'assurer de l'entretien des oscillations, il est primordial de vérifier que la mise en oscillation puisse être assurée.

1.1.2 Démarrage des oscillations

L'oscillateur utilise son bruit interne afin de l'amplifier et enfin établir l'oscillation répondant aux conditions de Barkausen. L'étude en impédance présente l'avantage de donner un résultat indépendant de tout paramètre, contrairement au formalisme en paramètre S pour lequel les conditions d'oscillation dépendent de la valeur choisie pour les impédances des ports d'étude.

Pour mettre en place l'oscillation, il faut donc une amplification supérieure aux pertes du résonateur. Les conditions de démarrage s'écrivent de la manière suivante dans le formalisme courant-tension :

$$R_A(\omega_0)+R_Q(\omega_0)<0 \quad (29)$$

$$X_A(\omega_0)+X_Q(\omega_0)=0 \quad (30)$$

Ou encore dans le formalisme des coefficients de réflexion :

$$|\Gamma_A(\omega_0)| \cdot |\Gamma_Q(\omega_0)| > 1 \quad (31)$$

$$\theta_{11A}(\omega_0) + \theta_{11Q}(\omega_0) = 0 \quad [2k\pi] \quad k \in \mathbb{N} \quad (32)$$

Les équations (29)-(30) et (31)-(32) ne sont équivalentes que si l'inégalité $Z_C > \sqrt{|R_A R_Q|}$ est respectée. Des hypothèses doivent donc être avancées sur les impédances caractéristiques afin d'obtenir une équivalence entre ces jeux d'équation.

Les non linéarités du transistor vont permettre de limiter l'amplitude de l'oscillation et ainsi de trouver son régime permanent. Le transistor fonctionnera alors en compression.

L'obtention de l'oscillation peut être obtenue selon deux configurations qui sont décrites ci-après :

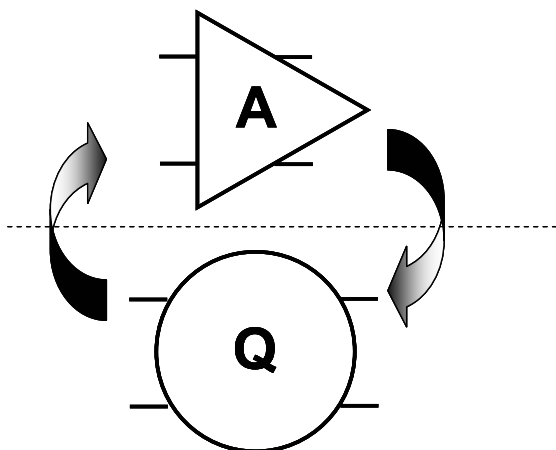


Figure 26: Oscillateur en mode de transmission

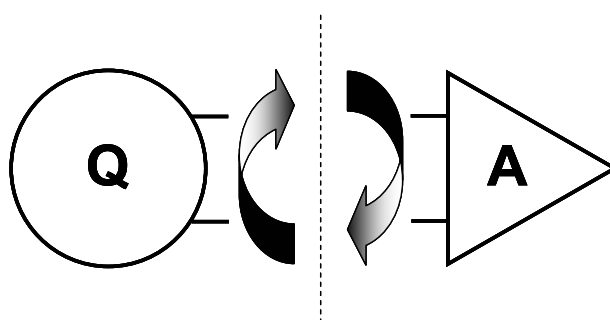


Figure 27: Oscillateur en mode de réflexion

1.1.3 La topologie parallèle

Dans ce cas, l'amplificateur fonctionne en transmission (figure 26). Les conditions d'oscillation à la pulsation ω_0 sont définies par les équations de Barkausen, facilement obtenues par l'étude de la figure 26.

$$S_{21A} \cdot S_{21Q} = 1, \text{ soit } |S_{21A}| \cdot |S_{21Q}| = 1 \quad (33)$$

$$\theta_{21A} + \theta_{21Q} = 0 [2k\pi] \quad k \in \mathbb{N} \quad (34)$$

S_{21A} et S_{21Q} représentent les coefficients de transmission petit signal de l'amplificateur et du résonateur conformément à la figure 26.

1.1.4 La topologie série

L'amplificateur fonctionne ici en réflexion (figure 27). Ainsi, il existe un plan d'oscillation situé aux bornes de l'amplificateur en réflexion (module utilisant le transistor). De même, le résonateur fonctionne en réflexion : son onde incidente est atténuée puis réfléchi.

Les conditions de Barkhausen s'appliquant également à ce type d'oscillateur mettent en équation les coefficients de réflexion de chacun des modules et s'expriment de la manière suivante :

$$S_{11A}.S_{11Q}=1 \text{ soit } |S_{11A}|.|S_{11Q}|=1 \quad (35)$$

$$\theta_{11A}+\theta_{11Q}=0 [2k\pi] \quad k \in \mathbb{N} \quad (36)$$

S_{11A} et S_{11Q} représentent les coefficients de réflexion petit signal de l'amplificateur et du résonateur conformément à la figure 27.

Après avoir exposé les deux topologies d'oscillateurs, nous découvrirons dans le paragraphe suivant les principales mises en œuvre de ce circuit.

1.2 Les différents oscillateurs micro-ondes

1.2.1 Les oscillateurs à fréquence fixe

Il existe plusieurs types d'oscillateurs selon les contraintes des applications envisagées. Les oscillateurs fixes sont généralement utilisés comme source de référence pour synchroniser une synthèse de fréquence par exemple. Ils sont réalisés principalement avec des résonateurs diélectriques (céramiques ou cristal comme le saphir ou le quartz) dont les coefficients de qualité sont très élevés (un $f_0 \cdot Q_0$ de 100 000 pour le céramique avec f_0 exprimé en GHz à un Q_0 de 4 000 000 000 pour le saphir refroidi). Ils sont parfaitement stabilisés et possèdent donc de très bons bruits de phase. La fréquence d'oscillation est fixée par les propriétés du résonateur.

1.2.2 Les oscillateurs synchronisés

Il existe aussi les oscillateurs synchronisés qui sont à mi-chemin entre la boucle à verrouillage de phase et l'oscillateur classique, et qui permettent d'obtenir des fréquences à puissance et phase constante sur la plage de synchronisation. Il est également possible

d'obtenir des fréquences divisées du signal de référence lorsque la synchronisation de l'oscillateur se fait par l'injection d'une fréquence harmonique à la fréquence d'oscillation libre de l'oscillateur. L'oscillation est donc utilisée comme diviseur de fréquence, ou encore pour les réseaux d'antenne qui exploitent sa propriété de phase constante sur la plage de synchronisation.

1.2.3 Les oscillateurs contrôlés en tension (OCT)

Les oscillateurs à fréquence variable, plus connus selon leurs appellations d'oscillateurs contrôlés en tension sont utilisés dans la synthèse de fréquence (dans un contexte global de boucle à verrouillage de phase). Ceux-ci peuvent être réalisés en hybride avec une structure micro-ruban présentant un coefficient de qualité faible (environ 100) comparé aux résonateurs diélectriques : l'utilisation d'un varactor (associé à une inductance) ou d'un résonateur YIG (Q d'environ 1000) permet de réaliser d'accord en fréquence. Parmi les réalisations en monolithique, ces types d'oscillateurs utilisent un résonateur du type LC présentant un très faible coefficient de qualité compris entre 10 et 20.

Notre étude est consacrée à ce type d'OCT, en réalisation MMIC utilisant la technologie SiGe (filiale BiCMOS de ST Microelectronics).

1.3 Réalisation des Oscillateurs Contrôlés en Tension MMIC micro ondes

Les avantages principaux des oscillateurs MMIC sur leurs homologues hybrides sont :

- Une très bonne reproductibilité des puces
- La réduction des coûts de fabrication liée à l'absence de réglage post fabrication et à une production à fort rendement
- Un très haut niveau d'intégration

La technologie BiCMOS vient appuyer ce gain lié à l'intégration de par les possibilités de regrouper sur une même puce les différentes fonctions d'un même système; cependant, pour la conception des oscillateurs, les coefficients de qualité des résonateurs réalisés en technologie monolithique ne sont pas comparables à ceux des résonateurs intégrables en hybride (cavités métalliques, quartz, SAW, diélectrique, saphir...) qui ont des coefficients de qualité allant de quelques centaines à quelques centaines de milliers.

Les performances en terme de bruit de phase que l'on peut obtenir en technologie MMIC sont cependant suffisantes pour bon nombre d'applications. Les applications

RADARs, systèmes pour l'automobile pour les télécommunications trouvent un intérêt particulier dans une telle technologie.

La variété des OCT MMIC dépend d'une part de la technologie utilisée, et d'autre part de la topologie choisie. Les principales technologies sont répertoriés et décrites ci-après.

1.3.1 Le transistor bipolaire à homojonction sur silicium

1 Si

Le silicium est largement utilisé en électronique classique. Son bas coût lié à la facilité à obtenir la matière première en est la raison principale. La maturité technologique et la maîtrise des procédés de fabrication le rendent aujourd'hui utilisable en RF. Un autre argument justifie l'intérêt des dispositifs actifs à base de silicium pour les applications électroniques : il possède en effet l'avantage de présenter un niveau de bruit basse fréquence très bas. Il devient alors le meilleur candidat pour la conception d'oscillateur faible bruit. Seules ses performances fréquentielles limitent son utilisation au delà de quelques GHz. La conception d'un OCT a cependant été reportée à 4,4 GHz [9].

1.3.2 Le transistor bipolaire à hétérojonction

1 AlGaAs

L'AsGa (Arséniure de Gallium) est une technologie coûteuse apparue pour répondre aux exigences liées au domaine militaire et spatial inhérentes à la montée en fréquence. Avec le développement des systèmes de télécommunication grand public, cette technologie s'est démocratisée pour palier aux insuffisances en fréquence du silicium, et son coût a diminué en conséquence de la production accrue. L'introduction d'Aluminium a servi pour répondre à certaines exigences de puissance : cependant, le TBH AlGaAs a aussi trouvé sa place dans la synthèse de fréquence aux fréquences élevées. En effet, ce matériau présente une bande interdite élevée. La conception d'un émetteur AlGaAs associé à un matériau à bande interdite plus faible dans la base (ici l'AsGa) permet de travailler à plus haute fréquence, et d'augmenter le gain en courant.

Un de ses inconvénients concerne la présence d'un fort niveau de bruit de génération recombinaison se manifestant par un changement des pentes sur l'allure du bruit de phase.

2 *GaInP*

De la même manière que l'AlGaAs, le GaInp associé à l'AsGa crée une hétérojonction. Son avantage principal par rapport à l'hétérojonction AlGaAs/AsGa est de l'ordre du processus technologique. En effet, la sélectivité entre le GaInp et l'AsGa est infinie, ceci permet de contrôler de manière très précise la valeur de la résistance de base lors de la gravure du méso d'émetteur. Aussi, il est également plus facile de passiver du GaInp que du AsGa : ceci se traduit en outre par la limitation du phénomène de recombinaison des porteurs en surface par rapport au matériau AlGaAs, procurant ainsi de meilleures performances en bruit basse fréquence [10].

3 *SiGe*

L'introduction de Germanium dans le Silicium a permis de créer des hétérojonctions de type Si/SiGe présentant les mêmes avantages que les hétéro-structures AlGaAs/AsGa et InPGa/AsGa. En effet, la discontinuité dans la bande de valence ΔE_v au niveau de l'hétérojonction base émetteur évite l'injection de trous de la base vers l'émetteur alors que la discontinuité de la bande de conduction ΔE_c facilite le flux d'électrons de l'émetteur vers la base.

Le SiGe présente les mêmes avantages que le silicium pur au niveau du bruit et du coût, cependant la présence de l'hétérojonction favorise la montée en fréquence des dispositifs, autorisant ainsi des applications dans des gammes de fréquence supérieures à celles visées par le silicium. A ce jour, il a été reporté une fréquence d'oscillation maximale (à notre connaissance) de 47 GHz [47] pour la réalisation d'un oscillateur MMIC sans multiplication, ni overtone. Aussi, la conception d'un oscillateur à résonateur saphir simple boucle a été réalisée en bande C avec un niveau de bruit à l'état de l'art toute technologie confondue [11].

1.3.3 *Le CMOS*

Les conceptions utilisant cette technologie sont préférées par les industriels en raison du faible coût et de la basse consommation en courant du transistor.

Le transistor MOS est un transistor à effet de champ. Il est constitué d'une grille sur une couche isolante (SiO_2) sur un substrat dopé P ou N. Deux bacs dopés N^+ ou P^+ (constituant la source et le drain) sont implantés dans le substrat de chaque côté de la grille. Par application d'une tension négative ou positive sur la grille, il est donc possible de créer un

canal de trous ou l'électrons. Un courant I_{DS} peut donc circuler sous la grille, commandé par la tension appliquée sur cette dernière.

Les performances fréquentielles du MOS sont limitées par la forte capacité C_{GS} entre grille et source : en effet, en régime de saturation les 2/3 des charges sont situées du côté de la source. Cependant, des conceptions d'OCT à MOS ont été reportés jusqu'à 5,5 GHz [12].

Un autre point déterminant pour la conception d'OCT est la caractéristique en bruit basse fréquence du MOS. Le bruit dominant du MOS est le bruit du canal présentant un fort niveau de bruit en $1/f$. Le PMOS est généralement préféré pour la conception d'OCT car celui-ci présente un bruit en $1/f$ plus faible que le NMOS. Le fort bruit en $1/f$ est un des points limitatifs de cette technologie, mais certaines publications font état de conception d'OCT utilisant cette technologie et donnant des performances en bruit de phase équivalentes à une technologie bipolaire silicium reconnue pour son faible bruit basse fréquence.

1.3.4 BiCMOS SiGe

La technologie BiCMOS présente l'avantage d'intégrer sur le même substrat des composants bipolaires et des composants CMOS, et donc d'intégrer les fonctions numériques avec les fonctions analogiques : dans le cas de la technologie BiCMOS SiGe, les fonctions analogiques bénéficient des hétérostructures Si/SiGe afin d'augmenter les fréquences de fonctionnement. Cette technologie est donc très fortement liée à la conception de circuits monolithiques. Si cette technologie bénéficie des avantages liés à l'utilisation de transistors SiGe la présence de la technologie MOS implique l'utilisation de substrat de faible résistivité grandement préjudiciable en terme de pertes accrues par le substrat (ce qui a pour conséquence une qualité moindre des éléments passifs). Cette technologie sera cependant l'objet de notre choix pour nos conceptions en raison notamment de l'intégration des diviseurs, détecteur de phase, pompe de charge et de l'OCT sur une même puce pour l'application de la PLL, en exploitant sa propriété d'intégration de composants CMOS et bipolaires hyperfréquences.

1.3.5 Bilan des technologies

Ces résultats indiquent la tendance des technologies en termes de bruit BF et de performances fréquentielles.

| Technologies | Bruit | Fréquence |
|----------------|-------|-----------|
| Si | +++ | + |
| AlGaAs/GaAs | + | +++ |
| GaInp/GaAs | ++ | +++ |
| SiGe/Si | +++ | ++ |
| BiCMOS SiGe/Si | ++(+) | ++ |
| CMOS | +(+) | + |

1.4 Le bruit de phase

Les effets néfastes du bruit de phase des oscillateurs locaux des étages d'émission et de réception ont été mis en évidence lorsque le MTI (moving target information) a été développé durant la seconde guerre mondiale pour suivre les trajectoires des cibles. Depuis lors, les recherches se sont centrées dans la détermination et l'amélioration du bruit de phase.

Ces recherches ont été publiées depuis dans de nombreux articles [13] [14]. En 1960, W.A. Edson fut le premier à donner une formule mathématique de la déviation du bruit FM des oscillateurs. Depuis, de nombreuses publications tentent de mieux le déterminer et le modéliser, et ainsi d'établir les moyens de conception dans le but de le réduire.

1.4.1 Définition du bruit de phase

Le bruit de phase représente une instabilité en phase de l'oscillation. Il se manifeste par l'étalement de la raie autour de la porteuse. Il est généralement caractérisé par le terme $L(f_m)$ où f_m représente la distance de la porteuse à laquelle on se place pour le visualiser. Sa définition générale consiste en le rapport de la densité spectrale de modulation de phase simple bande ramenée à une bande de 1 Hz P_{ssb} sur la puissance de la porteuse P_s (figure 28). Il est exprimé en dBc/Hz.

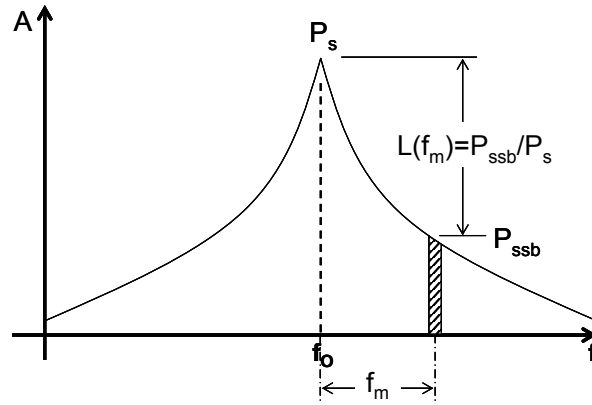


Figure 28: Définition du bruit de phase

L'illustration précédente peut également être représentée dans le domaine temporel comme le propose la figure 29. Les variations sur le passage par zéro de la sinusoïde par rapport à sa période sont appelées giges ("jitter").

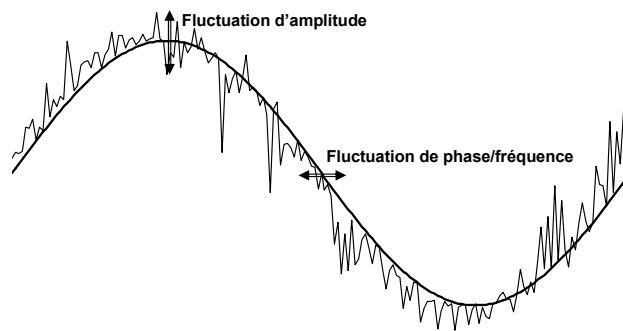


Figure 29: Représentation temporelle du bruit de phase

La détermination de la gigue d'un oscillateur est prépondérante pour la conception de systèmes de télécommunications. En effet, dans l'exemple suivant d'un système de réception, nous supposons deux signaux utiles f_1 et f_2 à l'entrée du système de conversion de fréquence (figure 30).

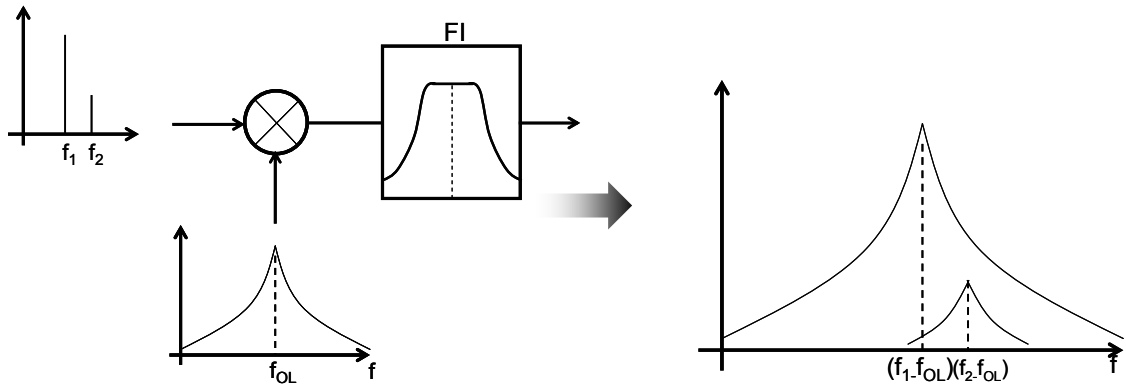


Figure 30: Effet du bruit de phase dans la transposition de fréquence

Ils sont mélangés à l'oscillateur local OL afin de centrer les fréquences vers une fréquence intermédiaire (généralement basse) pour procéder à leur traitement. Le bruit de phase de l'oscillateur local sera directement retrouvé en sortie du filtre FI. En conséquence, le signal utile en $f_2 - f_{OL}$ est noyé dans le bruit du canal adjacent. Le bruit de phase dégrade donc la sensibilité du système aussi bien que sa sélectivité.

1.4.2 Formulation générale du bruit de phase

Le signal de sortie bruité d'un oscillateur peut s'écrire en exprimant la tension de sortie en fonction du temps de la manière suivante :

$$V_s(t) = V_0 \cos\left(\omega_0 t + \frac{\Delta f}{f_m} \cos \omega_m t\right) \quad (37)$$

avec V_0 l'amplitude du signal de sortie (Volt)

ω_0 la pulsation d'oscillation (rad/sec)

ω_m la pulsation de modulation (rad/sec) liée à la fréquence de modulation f_m (Hz)

Δf la fluctuation de fréquence

En régime établi, la phase totale sur un tour de boucle est égale à $2k\pi$, avec $k \in \mathbb{N}$. Ainsi, une perturbation de la tension basse fréquence ΔV au niveau du transistor crée une variation de phase $\Delta\Phi t$ qui doit alors être compensée par une variation de la fréquence. On aboutit alors à l'expression suivante :

$$\Delta f = \frac{\Delta\phi_t}{\frac{d\phi}{df}} = \frac{k_\phi \cdot \Delta V}{\frac{d\phi}{df}} \quad (38)$$

Où k_ϕ est le coefficient de conversion du bruit en tension basse fréquence en bruit de fréquence ou de phase, et $\frac{d\phi}{df}$ est lié au coefficient de qualité du résonateur.

Le bruit de phase est généralement exprimé par le terme $L(f_m)$ qui correspond au rapport de la densité spectrale de bruit dans une bande de 1 Hz à une distance f_m de la porteuse à la puissance de cette même porteuse. De la formule (37) précédente, on aboutit aisément son expression sous la forme :

$$L(f_m) = 20 \log \left(\frac{\Delta f(f_m)}{\sqrt{2}f_m} \right) \quad \text{en dBc/Hz} \quad (39)$$

1.4.3 La gigue (jitter)

La connaissance de la distribution spectrale du bruit de phase est primordiale pour nombre d'applications analogiques. Mais pour la plupart des systèmes numériques, il est plus courant de caractériser la gigue. En effet, celle-ci définit le bruit de phase dans le domaine temporel, lequel est spécifié de la manière suivante :

Lorsque les fréquences d'intérêt possèdent des pulsations comprises entre $\omega_1 < \omega < \omega_2$, La gigue en phase est calculée par l'intégration du spectre de bruit :

$$\sigma_\phi^2 = \frac{1}{2\pi} \int_{\omega_1}^{\omega_2} s_\phi(\omega) d\omega \quad (40)$$

On peut facilement obtenir la gigue à partir du bruit de phase, mais l'opération inverse est beaucoup plus difficile à réaliser : en effet, l'information sur la forme du spectre est perdue lors de l'intégration.

1.4.4 L'origine du bruit de phase

Le bruit de phase des oscillateurs provient de sources de bruit propres à l'élément actif utilisé : ces sources peuvent être séparées en deux catégories principales abordées ci dessous

de manière non exhaustive, mais suffisante pour étudier le bruit de phase (cas des transistors bipolaires) :

1 Les sources de bruit blanc

Les sources de bruit blanc qui, comme leur nom l'indique, ont une signature qui ne dépend pas de la fréquence, et les sources de bruit en excès qui pour leur part intègrent la fréquence comme paramètre.

a) Le bruit thermique

Ce bruit est associé aux résistances d'accès du transistor ainsi qu'aux parties réelles des impédances ou admittances associées à celui-ci. Il est créé par agitation thermique des porteurs de charge dans les matériaux semi-conducteurs. Les collisions aléatoires affectent les trajectoires de ces porteurs.

Sa densité spectrale en courant s'exprime par :

$$S_{ith} = \frac{4KT}{R} \text{ (A}^2\text{/Hz)} \quad (41)$$

Avec K: La constante de Boltzmann

T: La température (en °K)

R: La résistance associée au matériau ou dispositif

b) Le bruit de grenaille (ou bruit Schottky)

Ce bruit est associé au mode de conduction d'une diode au niveau de sa jonction : de ce fait, il est particulièrement présent dans les TBH (et de manière plus générale dans les transistors bipolaires).

Nous retrouvons alors la densité spectrale de

La source de bruit en entrée: $S_{ib}=2qI_b$

La source de bruit en sortie: $S_{ic}=2qI_c$

I_b et I_c sont respectivement les courants statiques de base et de collecteur du transistor utilisé ici en configuration source commune.

⇒ Ces deux sources de bruit (thermique et de grenaille) sont dites irréductibles. Elles constituent donc la limite inférieure du bruit observable dans une jonction P-N, dans un

barreau de semi-conducteur ou au sein d'un composant à base de semi-conducteur (limite inférieure également appelée plancher de bruit).

2 Les sources de bruit en excès

a) Le bruit de génération recombinaison (GR)

Ce phénomène est lié à la variation du nombre de porteurs de charge. Ceci s'explique par de multiples mécanismes tel que la génération aléatoire de paires électrons-trous, ou encore l'ionisation spontanée de centres dopants, voire des phénomènes de piégeage et de dépiégeage des porteurs dus aux défauts cristallographiques générant des niveaux d'énergie situés dans la bande interdite du semi-conducteur.

Ce type de bruit qui n'apparaît qu'aux basses fréquences, est lié à la présence de défauts dans les couches de semi-conducteurs ou à l'interface entre deux couches.

Ce bruit de GR est du type Lorentzien et présente donc un plateau pour des fréquences inférieures à sa fréquence de coupure f_c et une décroissance en $1/f^2$ pour des fréquences supérieures à f_c . Il est décrit par la relation suivante :

$$S_i(f) = \left(\frac{I_0}{nV} \right)^2 \overline{\Delta N^2} \frac{4\tau}{1 + \omega^2 \tau^2} \quad (\text{A}^2/\text{Hz}) \quad (42)$$

Avec I_0 le courant moyen traversant le barreau de semi-conducteur

n la densité volumique de porteurs de charges

V le volume de l'échantillon considéré

$\overline{\Delta N^2}$ la valeur quadratique moyenne des fluctuations du nombre de porteurs

τ le temps de relaxation, caractéristique d'un niveau de piège situé dans la bande interdite.

Ce bruit se traduit sur l'allure du bruit de phase par un changement de pente.

Il est particulièrement présent dans l'AsGa, mais reste généralement très faible dans les composants à base de silicium.

b) Le bruit de scintillement (ou en $1/f$)

Ce phénomène a été découvert pour la première fois en 1925 par Johnson dans les tubes à vide. Il est aussi appelé bruit basse fréquence ou bruit rose par opposition au bruit blanc invariant avec la fréquence. Le bruit en $1/f$ comme son nom l'indique présente une dépendance de sa densité spectrale inversement proportionnelle à la fréquence. Il est lié à des fluctuations de la conductance du matériau (donc du nombre de porteur ou de leur mobilité); seulement, l'origine de ces fluctuations est controversée et n'a pas été clairement établie à ce jour.

Sa densité spectrale en courant dans un semi-conducteur est donnée par la relation :

$$S_i(f) = K \frac{I^a}{f^\alpha} \quad (\text{A}^2/\text{Hz}) \quad (43)$$

Avec I le courant moyen traversant le barreau de semi-conducteur

K une constante caractéristique du composant

a une constante prise entre 0,5 et 2,5 suivant le composant

α paramètre quasi constant et habituellement compris entre 0,8 et 1,4

Ce bruit est prépondérant dans les transistors à base de silicium, car le bruit de G-R est très faible dans ce type de composant (lié à une bonne maîtrise technologique). C'est principalement la conversion de ce bruit en $1/f$ que l'on retrouve près de la porteuse dans le bruit de phase des oscillateurs à base de silicium.

1.4.5 Théories du bruit de phase

1 Le modèle de Leeson (Théorie Linéaire et Stationnaire, LTI: Linear Time Invariant)

Le modèle mathématique de Leeson développé en 1966 de manière heuristique repose sur la considération du bruit comme étant un processus aléatoire et stationnaire, c'est à dire invariant avec le temps [13].

Son modèle montre clairement les relations liant le spectre des variations de phase au modèle de bruit de l'oscillateur en fonction des paramètres de bruit connus, du niveau de puissance du signal et des caractéristiques du résonateur utilisé.

Leeson utilise pour cela le modèle linéaire d'un oscillateur bouclé en supposant un faible niveau de correction nécessaire sur le résultat afin de tenir compte des non linéarités du transistor.

Le bruit à l'entrée du transistor en oscillation est supposé être composé de deux paramètres principaux :

- le bruit blanc additif autour de la fréquence porteuse et diverses fréquences résultant du mélange par les non linéarités.
- le bruit en $1/f$ issu des fluctuations des paramètres du transistor.

Ceci mène au modèle asymptotique du bruit de phase en fonction de la distance à la porteuse suivant (figure 31) :

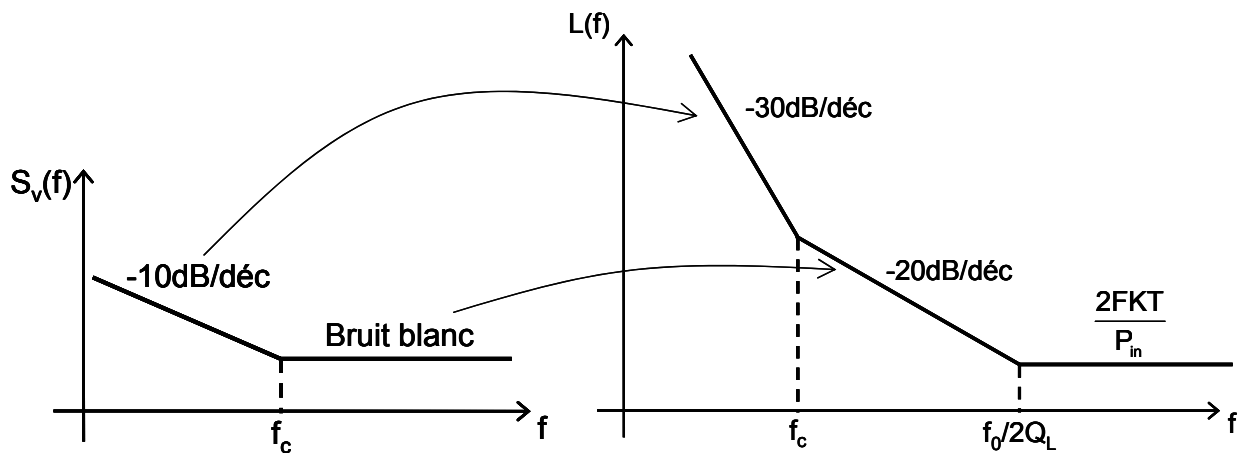


Figure 31: Modèle de Leeson du bruit de phase

f_c représente la fréquence de coupure en bruit du transistor [Hz]

f_0 la fréquence d'oscillation [Hz]

F le facteur de bruit

K la constante de Boltzman égale à $1,38 \cdot 10^{-23}$ [J/°K]

T la température [°K]

P_{in} la puissance en entrée du transistor [W]

Q_L le coefficient de qualité en charge du résonateur

$S_v(f)$ la densité spectrale d'une source de bruit en tension basse fréquence [V^2/Hz]

$L(f)$ le bruit de phase [dBc/Hz]

En dessous de f_c , nous retrouvons donc la conversion du bruit en $1/f$ du transistor. Entre f_c et $f_0/2Q_L$, la pente en -20 dB/déc traduit la conversion du plancher de bruit basse fréquence. Quant au plancher de bruit de phase, il est composé du bruit thermique HF en $\frac{2FkT}{P_{in}}$ rajouté au bruit converti qui lui, est négligeable.

Le modèle de Leeson tient compte des non linéarités par un ajustement "après coup" du facteur de bruit F .

Ce modèle est défini par la formule de Leeson-Cutler suivant :

$$L(f_m) = 10 \cdot \log\left(\frac{FkT}{2P_R}\right) \cdot \left[1 + \frac{f_0^2}{f_m^2} \cdot \frac{1}{2Q_L^2}\right] \cdot \left[1 + \frac{f_c}{f_m}\right] \quad (\text{dBc/Hz}) \quad (44)$$

Avec F : le facteur de bruit

P_R : La puissance moyenne dissipée dans le circuit résonant [W]

Q_L : le facteur de qualité en charge du circuit résonant

f_m : la distance à la porteuse [Hz]

L'oscillateur n'est pas un système invariant par nature : durant la mise en place de l'oscillation, l'amplification est linéaire; ensuite, la compression permet de limiter l'amplitude de celle-ci jusqu'à trouver un état stable de fonctionnement. Or, les effets non linéaires intrinsèques produisent principalement du bruit de phase puisque le bruit d'amplitude est limité par la compression du gain.

Les approches dans le domaine temporel sont basées quant à elles sur la fonction de sensibilité impulsionnelle (Impulse Sensitivity Function: ISF) [14].

2 ***Le modèle d'Hajimiri (Théorie Linéaire et variant temporellement LTV: Linear Time Variant)***

Il introduit le modèle non stationnaire à travers l'utilisation de la réponse en phase impulsionnelle. Il montre aussi le mécanisme par lequel le bruit aux différentes fréquences harmoniques participe au bruit de phase.

La notion d'ISF (Impulse sensitivity function) est introduite par l'étude de la réponse en amplitude et phase de l'oscillateur. Il montre ainsi la dépendance de la sortie au moment de l'injection du pic en courant. Ainsi, si l'impulsion est appliquée au moment du passage par

zéro de la sortie, l'effet sur la phase sera maximum et nul sur l'amplitude. Inversement, si l'impulsion est appliquée au moment où la sortie est à son maximum en amplitude, l'effet sur l'amplitude de sortie sera maximum et nul pour la phase. C'est ainsi que la notion de variance avec le temps est introduite.

D'autre part, il est montré que la relation du courant injecté avec le déphasage introduit est linéaire tant que la perturbation introduite ne dépasse pas 10 % de la valeur au nœud considéré, ce qui est largement le cas des sources de bruit. C'est ainsi qu'Hajimiri démontre le caractère linéaire et temporellement variant du bruit de phase.

Les points essentiels sont les suivants :

Il y a tout d'abord un phénomène de conversion lié à l'ISF : ce dernier traduit le phénomène de conversion du bruit autour des harmoniques en fluctuation de phase (figure 32). L'ISF est démontré comme étant une fonction périodique décomposable en série de Fourier définie par les coefficients C_n associés aux harmoniques.

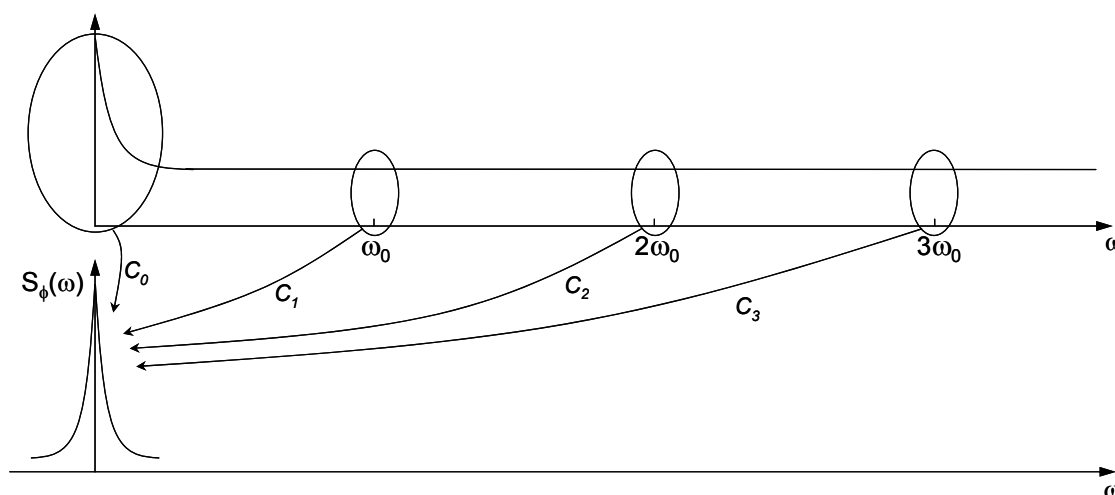


Figure 32: Conversion du bruit en fluctuation de phase

Il y a ensuite un phénomène de modulation de phase par une fonction non linéaire créant ainsi le bruit de phase autour de la fréquence d'oscillation (figure 33).

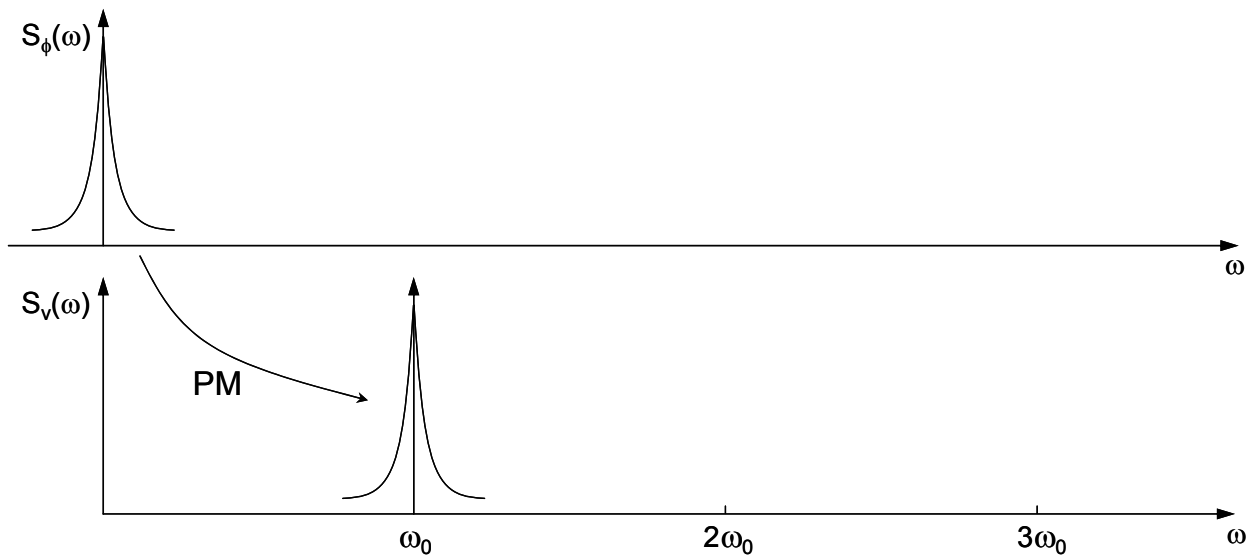


Figure 33: Conversion des fluctuations de phase en bruit de phase autour de la porteuse

De ce fait, la fréquence de coupure du bruit de phase entre la pente en $1/f^3$ et la pente en $1/f^2$ n'est pas la fréquence de coupure de la source de bruit considérée comme le suppose la théorie de Leeson, mais est plus faible et est dépendante de C_0 .

Enfin, la notion de cyclostationarité des sources de bruit est introduite.

Le bruit de phase total est défini par Hajimiri de la manière suivante :

$$L(\Delta\omega) = 10 \log \left(\sum_b \frac{\frac{i_n^2}{\Delta\omega} \sum_k (C_k)^2}{4q_{\max}^2 \Delta\omega^2} \right) \quad (45)$$

Avec pour chaque source de bruit b :

$\Delta\omega$: la distance à la porteuse [°rad]

$\frac{i_n^2}{\Delta\omega}$: la densité spectrale de bruit à $\Delta\omega$ [A^2/Hz]

C_k : le $k^{\text{ième}}$ coefficient de la série de Fourier de la fonction d'ISF

q_{\max} : la charge maximale au nœud d'injection du circuit [C]

Les conclusions pour la réduction du bruit de phase, sont les suivantes :

- augmenter la tension aux bornes du résonateur.
- réduire C_0 , ceci impliquant de symétriser le signal de sortie.

III. SIMULATION DE L'OSCILLATEUR

L'oscillateur peut être analysé à la fois dans le domaine fréquentiel et temporel. Les différents simulateurs permettent ce genre d'analyse.

Les premières simulations à effectuer pour un oscillateur sont les simulations petits signaux afin de s'assurer du démarrage de l'oscillation.

1.1 L'analyse fréquentielle petit signal

L'analyse petit signal est effectuée sur le plan de l'oscillation, soit dans le formalisme des paramètres S, soit dans le formalisme des impédances (équations (29) à (32)). Le gain de boucle est ainsi calculé, et ajusté de manière à obtenir une valeur de 4 dB environ afin de s'assurer de la présence de l'oscillation (figure 34) : en effet, obtenir un gain de boucle juste supérieur à 0 dB est possible en réalisation hybride du fait de la possibilité de retoucher au circuit ; en revanche, en MMIC, les imprécisions peuvent être fatales pour la réalisation d'un oscillateur se traduisant par l'absence de signal de sortie. A contrario, un gain de boucle trop élevé peut mener à la destruction du composant actif par compression trop forte du transistor.

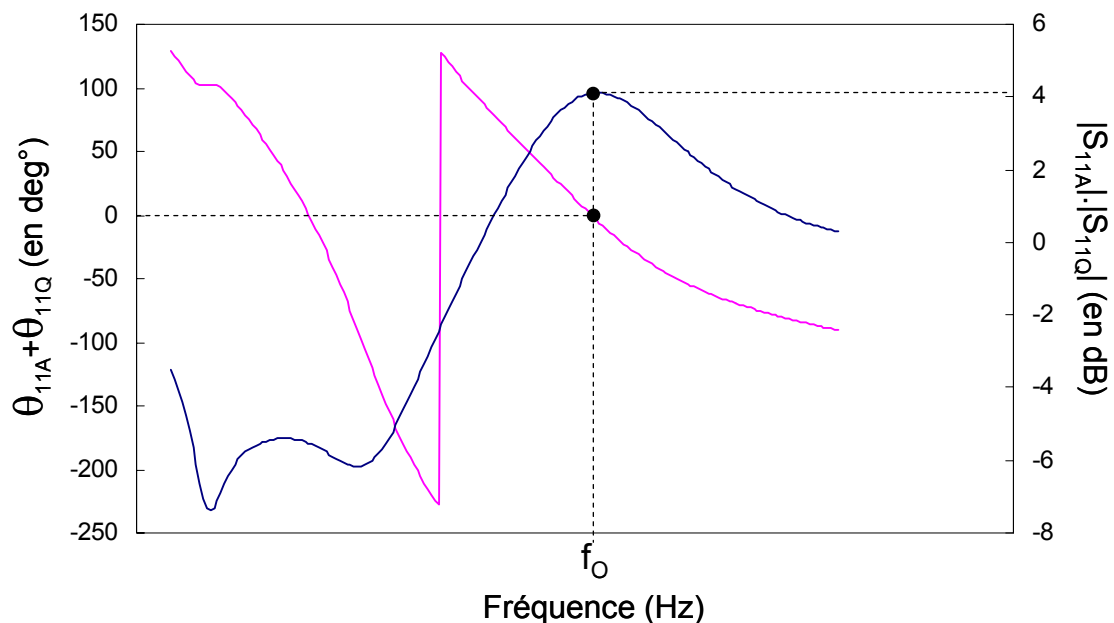


Figure 34: Exemple de simulation petit signal d'un oscillateur

L'analyse petit signal permet donc de régler la fréquence d'oscillation en contrôlant simultanément la condition de module et de phase, et de s'assurer de son unicité (notamment en basse fréquence).

Cependant, cette analyse ne nous donne une indication que sur la certitude du démarrage des oscillations et la fréquence d'oscillation approximative : il est nécessaire de faire une analyse en fort signal afin d'obtenir la fréquence d'oscillation précise, la puissance de sortie et une estimation du bruit de phase en tenant compte des non linéarités du transistor. Pour cela, deux types d'analyse sont possibles : l'analyse dans le domaine temporel et l'analyse dans le domaine fréquentiel.

1.2 L'analyse temporelle

1.2.1 L'analyse transitoire

L'analyse temporelle consiste à résoudre un système d'équations différentielles linéaires et non linéaires.

Afin de démarrer l'oscillateur, il est parfois nécessaire de stimuler le circuit avec une impulsion (par exemple sur la jonction base-émetteur du transistor, afin de traduire la mise sous tension du circuit) afin d'initier le démarrage de l'oscillateur. Ceci n'est cependant pas toujours nécessaire pour un oscillateur à faible coefficient de qualité pour lequel la convergence est obtenue très rapidement.

Cette analyse permet ainsi d'obtenir le comportement transitoire de l'oscillateur, ainsi que de détecter une éventuelle modulation d'amplitude non détectable autrement.

Elle est disponible sur le simulateur Spectre de Cadence, et également sous ADS (Advanced Design System) d'Agilent dont une illustration est donnée en figure 35. Pour ce dernier, un stimulus appliqué au circuit simulé est indispensable pour démarrer l'oscillateur.

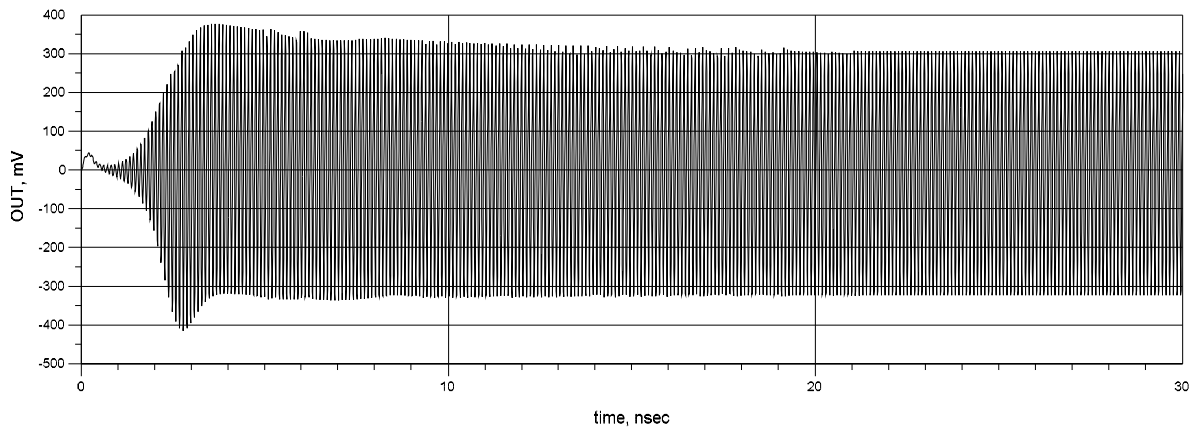


Figure 35: Exemple d'analyse temporelle sous ADS

1.2.2 L'analyse PSS (*Periodic Steady State*)

Cette analyse est proposée par SpectreRF de Cadence. Elle possède deux phases. Une analyse transitoire est menée jusqu'à un temps t que l'on peut définir. L'état obtenu sert alors d'état initial à la phase de calcul itératif toujours dans le domaine temporel sur une période afin de trouver le régime établi.

1.3 L'analyse tempo-fréquentielle

1.3.1 La méthode d'équilibrage harmonique [15]

Cette méthode est une technique d'analyse dans le domaine fréquentiel pour simuler les distorsions dans les circuits non linéaires. La méthode de simulation est itérative. Les nœuds du circuit sont définis par une série d'amplitude et de phase pour chaque composante en fréquence (les harmoniques pour l'oscillateur). Les courants des nœuds dans les éléments linéaires sont calculés dans le domaine fréquentiel, tandis que les courants des nœuds des éléments non linéaires sont calculés dans le domaine temporel : puis une transformée de Fourier les définissent dans le domaine fréquentiel afin de les ajouter à ceux de la première analyse. Le calcul se réitère jusqu'à obtenir le respect des lois de Kirchhoff sur les nœuds, sous réserve de la convergence de l'algorithme.

Le logiciel ADS de chez Agilent propose ce genre d'analyse adaptée à l'étude de l'oscillateur. L'outil *Oscport* réalise une série de recherche automatique avant le calcul d'équilibrage harmonique : il commence par chercher une fréquence pour laquelle le circuit satisfasse aux conditions d'oscillation. Ensuite, il recherche une fréquence et une puissance pour laquelle le gain en boucle ouverte est unitaire en module et nul en phase. Enfin, une

analyse d'équilibrage harmonique est effectuée en situation de boucle fermée permettant d'obtenir une fréquence d'oscillation et une puissance plus exacte.

1.4 L'analyse du bruit de phase selon différents logiciels de CAO

L'analyse du bruit de phase, quelle que soit la méthode de calcul, nécessite l'obtention du régime établi. Les outils d'analyse sont décrits ci-après pour les deux simulateurs que nous utilisons, à savoir ADS et SpectreRF de Cadence.

1.4.1 Environnement ADS (Agilent)

Les analyses de bruit proposées par ce logiciel découlent directement de l'analyse d'équilibrage harmonique dont les bases sont issues d'études menées par Rizzoli [16] [17].

a) *Pnfm (phase noise frequency modulation)*

Cette méthode est basée sur une analyse de sensibilité de la fréquence d'oscillation au bruit injecté à l'oscillateur. La densité spectrale de puissance des fluctuations de fréquence ainsi obtenue est convertie en bruit de phase.

La limite de cette méthode est qu'il n'y a pas de description du plancher de bruit. Le bruit de phase estimé n'est donc plus valide loin de la porteuse.

De plus, puisque cette méthode de calcul est basée sur une analyse de sensibilité de la fréquence au bruit, le bruit de phase calculé ne sera pas correct si les sources de bruit sont filtrées.

b) *Pnmx (phase noise matrix)*

Cette méthode tient compte du phénomène de mélange issu des non linéarités du montage pour le calcul du bruit de phase. Le bruit autour de la fréquence fondamentale est obtenu par matrice de conversion où le bruit autour des fréquences harmoniques considérées se mélange avec les signaux harmoniques [19].

L'analyse se base sur la théorie linéaire et stationnaire, ce qui permet l'utilisation du domaine fréquentiel comme domaine d'analyse.

Cette méthode est la plus adéquate pour l'étude du bruit de phase loin de la porteuse.

1.4.2 Environnement Cadence [18]

Une fois le calcul de l'état final de l'oscillateur obtenu par analyse PSS (§ Chapitre 2 III-1.2.2), les équations décrivant le circuit sont linéarisées autour de la fréquence fondamentale afin d'effectuer une analyse petit signal. Le système d'équations différentielles obtenu fait intervenir des paramètres linéaires, mais non stationnaires. C'est ainsi que le calcul du bruit de phase par ce simulateur est basé sur la théorie LTV (Linear Time-Varying), c'est-à-dire linéaire et variant temporellement.

Le calcul du bruit de phase étant basé sur l'analyse petit signal autour du point de fonctionnement en régime établi calculé, la détermination précise de ce point est un paramètre majeur quant à la validité du résultat obtenu : les conditions de tolérance sur la précision doivent être les plus restrictives possibles afin de garantir un calcul correct du bruit de phase.

1.5 Conclusion

Nous utiliserons donc les deux simulateurs ADS et SpectreRF dont les méthodes de simulation ont été décrites, afin concevoir nos circuits.

L'un et l'autre donnent des résultats concordants : le choix quant à l'utilisation de l'un ou l'autre dépend du type d'analyse voulue. En effet, les analyses temporelles sont plus aisées et aussi plus rapide sous Cadence dont le mode de simulation général est temporel, quant à l'analyse du bruit de phase, il est plus aisé de trouver une convergence sous ADS.

Pour l'analyse du bruit de phase, toutes les méthodes précédemment décrites se basent sur la linéarisation autour du point de fonctionnement. Aussi, elles comportent toutes une incertitude qui se traduit par la présence d'un bruit de phase infini à la fréquence d'oscillation. Afin de palier à ceci, une méthode est proposée par Demir, basée sur la description d'une perturbation non linéaire permettant une meilleure évaluation du bruit de phase près de la porteuse [20]; cependant, notre fréquence d'intérêt pour l'étude du bruit de phase dans un contexte de PLL étant à 100 kHz de la porteuse, les méthodes proposées par les simulateurs actuels suffisent pour notre étude.

Nous appliquons donc ces méthodes de simulation à la conception de nos oscillateurs. La technologie choisie est la technologie BiCMOS pour des raisons de compacité et de

performances en bruit BF comme expliqué en §1.3.4. Les avantages et verrous de conception sont développés dans le paragraphe suivant pour cette technologie.

IV. CONCEPTION D'OCT EN TECHNOLOGIE BiCMOS SiGe

1.1 Les éléments passifs

Les performances des éléments passifs sont définies en général par leurs facteurs de qualité. Ce dernier dépend fortement des propriétés des matériaux utilisés pour leurs réalisations, et plus particulièrement de la couche de métallisation utilisée et du substrat. Il est défini de la manière suivante :

$$Q = 2\pi \frac{E_{\text{stockée}}}{E_{\text{dissipée}}} \quad (46)$$

$E_{\text{stockée}}$, représente l'énergie stockée par cycle, et $E_{\text{dissipée}}$ l'énergie dissipée par cycle : l'élément passif est excité par une source sinusoïdale.

1.1.1 Pertes par les couches de métallisation

Le matériau utilisé pour la métallisation est l'aluminium, ce qui est le cas pour la plupart des technologies intégrées. L'aluminium n'étant pas un conducteur parfait, il présente des pertes résistives. Sa conductivité est de $\sigma = 3,65 \times 10^7$ S/m. Aussi, les métaux comme l'or ($\sigma = 4,6 \times 10^7$ S/m), le cuivre ($\sigma = 5,9 \times 10^7$ S/m) et l'argent ($\sigma = 6,25 \times 10^7$ S/m) sont de bien meilleurs conducteurs, mais moins compatibles avec les technologies intégrées. Afin d'améliorer les performances de l'aluminium, les couches de métaux sont souvent réalisées par des alliages à base d'aluminium et d'autres métaux comme le titane, le platine ou le tungstène.

Le second problème posé par les couches de métallisation est lié au phénomène d'électromigration : en effet, sous l'influence des forts courants circulant dans la piste de métallisation, un phénomène de migration d'atomes d'aluminium se produit à travers l'oxyde et les contact d'accès. Une limite est donc posée en terme de densité de courant maximum, raison pour laquelle il est si difficile de réaliser des réseaux d'adaptation pour les amplificateurs de puissance. De plus dans le cas des inductances, le fait d'augmenter la largeur des pistes pour se prémunir des problèmes d'électromigration entraîne une fréquence de résonance dégradée (associée à une réduction de la valeur d'inductance).

Aux fréquences beaucoup plus élevées, la distribution du courant dans les couches de métallisation change à cause de la présence de courants circulaires dans celui-ci. Ce phénomène est connu sous l'appellation d'effet de peau. Le courant va choisir le chemin le moins résistif, apparaissant donc sur les bords de la métallisation, étant donné que des champs électriques opposés sont créés dans le volume de la piste. De ce fait, la densité de courant sur les bords devient élevée, entraînant ainsi plus de pertes. Cet effet de peau subit une dépendance à la fréquence selon \sqrt{f} .

Un autre effet est l'effet de proximité des pistes métalliques. Les champs magnétiques générés par les éléments environnants contribuent au champ magnétique de l'élément considéré. Si celui-ci est additif, les pertes résistives augmenteront. Si le champ magnétique s'oppose à celui de l'élément considéré (comme c'est le cas dans un transformateur), les pertes effectives sont alors amoindries. La distribution du courant sera affectée par l'influence de ce conducteur adjacent.

1.1.2 Pertes par le substrat

Le substrat est la source majeure des pertes, et plus particulièrement pour la technologie BiCMOS qui, contrairement au substrat AsGa, utilise un substrat silicium peu résistif afin d'être compatible avec la technologie CMOS.

Cette nature conductrice du substrat est à l'origine de pertes par conversion de l'énergie électromagnétique en chaleur dans le volume du substrat. Tout d'abord, l'énergie électrique est couplée au substrat par les déplacements de charge. Ce courant circule à travers le substrat vers la masse la plus accessible. Ensuite, des courants induits circulent dans le substrat dû à la variation du champ magnétique qui le traverse. Ce champ magnétique variable produit un champ électrique variable conduisant à un courant induit dans le substrat. Enfin, toutes les autres pertes peuvent être attribuées aux radiations : les pertes induites de manière électromagnétique se produisent à des fréquences élevées pour lesquelles les dimensions physiques de l'élément considéré se rapprochent de la longueur d'onde.

1.1.3 Les inductances

Les inductances en technologie monolithique sont réalisées par une ligne de transmission rectiligne ou par une ligne de transmission enroulée en spirale. C'est pourquoi les pertes décrites précédemment sont particulièrement déterminantes sur la valeur du facteur de

qualité Q qui caractérise avec la valeur L cette inductance notamment utilisée dans le résonateur.

Tant que l'énergie magnétique stockée est bien plus élevée que l'énergie électrique stockée, le facteur de qualité Q peut être approximé par :

$$Q = \frac{\text{Im}(Z_{\text{in}})}{\text{Re}(Z_{\text{in}})} = -\frac{\text{Im}(Y_{\text{in}})}{\text{Re}(Y_{\text{in}})} \quad (47)$$

Avec Z_{in} l'impédance d'entrée et Y_{in} l'admittance d'entrée de l'élément passif. Cependant, aux fréquences élevées, cette définition devient inappropriée [21] de par le fait que l'énergie électrique stockée par les capacités parasites n'est plus négligeable.

Les inductances réalisées par une ligne sont le plus souvent utilisées en tant qu'élément localisé, c'est-à-dire pour une longueur de ligne inférieure à $\lambda/10$ (λ est la longueur d'onde liée à la fréquence de travail du circuit). Ces structures sont plus souvent mises en place pour les fréquences millimétriques.

D'après les pertes énumérées ci-dessus, celles mises en jeu pour les inductances spirales dépendent donc de la surface du métal en regard avec le substrat, ainsi que de l'écartement entre les spires. Pour une valeur d'inductance donnée, il existe donc une géométrie minimisant les pertes, et donc optimisant le facteur de qualité.

L'inductance peut être modélisée selon la figure 36. Ce modèle simplifié comprend les inductances réalisées par les pistes de métallisation auxquelles il convient d'associer les résistances de pertes dues à la résistivité du métal et de l'effet de peau, les capacités parasites créées par la proximité des lignes adjacentes (dites capacités inter-spires), ainsi que les capacités et résistances dues aux pertes dans le substrat. Sur la figure 36-b, nous trouvons également la capacité créée par l'oxyde entre la piste de métal et le substrat.

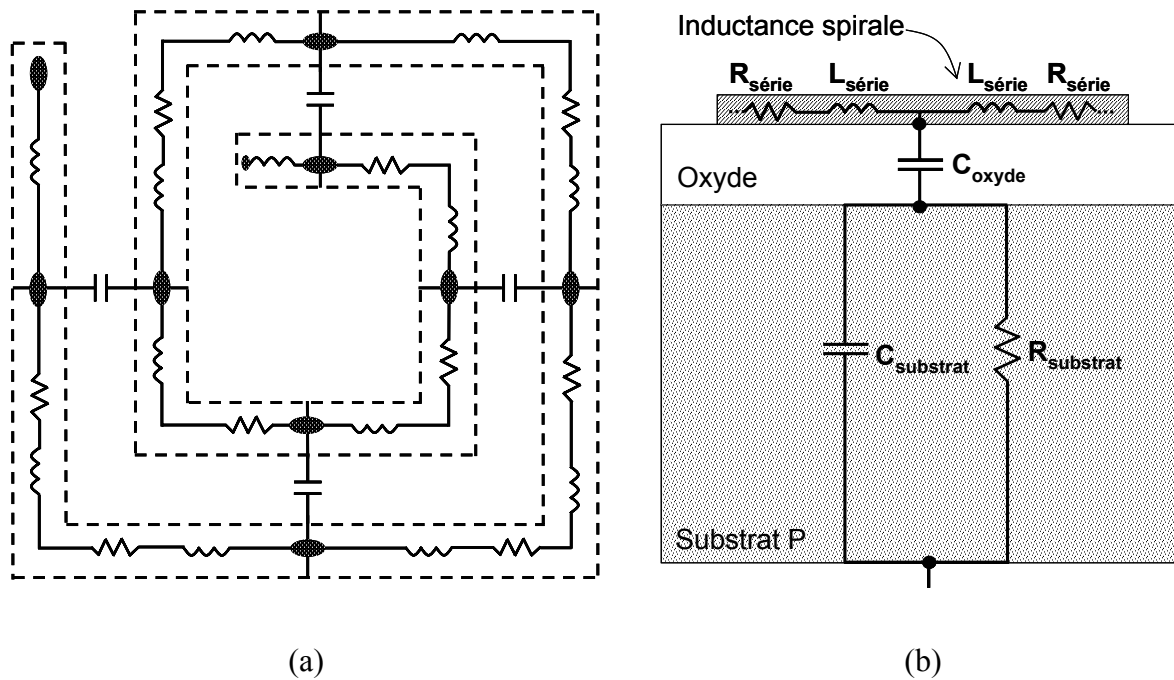


Figure 36: L'inductance spirale et son modèle vue du dessus (a) et vue en coupe (b)

La faible résistivité du substrat en technologie BiCMOS implique un faible facteur de qualité des éléments passifs et plus particulièrement de l'inductance du résonateur qui est l'élément limitatif en terme de facteur de qualité du résonateur. De plus, des effets de couplage du bruit issu du substrat sur le circuit à travers les inductances ont été démontrés par A.L.L. Pun [22].

Plusieurs solutions sont proposées afin de réduire l'influence du substrat : les premières sont d'ordre technologique, et nécessitent une modification du processus technologique lourde à mettre en œuvre (augmentation de la résistivité, éloignement du substrat ou élimination du substrat sous l'inductance); la seconde est basée sur l'ajout d'une interface entre le substrat et l'inductance : cette dernière solution est mise en œuvre dans le processus que nous utilisons. Elle consiste en la mise en place d'un "pattern shield". La polarisation de ce plan fortement dopé et placé dans une couche supérieure au substrat permet d'isoler le champ électrique de l'inductance par rapport au substrat. Ceci revient à éliminer le réseau de pertes sous l'oxyde de la figure 36-b.

Le motif d'interface utilisé est conçu de telle manière que le courant image qui pourrait apparaître n'ait pas de chemin de bouclage : les pistes sont perpendiculaires à la piste de métal, et les espacements entre chaque bande sont suffisamment étroits afin d'éviter tout passage du champ électrique vers le substrat [23].

D'autres solutions ne nécessitant pas de modification de processus existent, comme l'implantation de barreau de N+ dans la couche supérieure P+ perpendiculairement au passage du courant parasite dans le substrat. Les jonctions PNP ainsi formées empêchent la circulation du courant dans le substrat induit par le champ magnétique de l'inductance [24]. L'amélioration sera d'autant plus importante dans les substrats à très faible résistivité comme le CMOS ($\ll 0,01 \Omega \cdot \text{cm}$) pour lesquels ce type de courant est particulièrement important.

1.1.4 Les capacités

Il existe plusieurs manières de réaliser des capacités en MMIC. La capacité interdigitée permet la réalisation d'une capacité lorsqu'un seul niveau de métallisation est disponible : cependant la compacité géométrique par rapport à la valeur d'une capacité (que nous appellerons densité de capacité) est faible, et cette solution est de ce fait très peu utilisée.

La solution la plus répandue consiste en la réalisation d'une capacité verticale du type métal-isolant-métal (MIM). La densité de capacité est largement supérieure à la capacité interdigitée, et correspond donc mieux aux besoins de forte densité d'intégration. L'isolant peut être de plusieurs types. Le SiO_2 est celui implanté dans les capacités MIM du fondeur. Ce matériau présente une permittivité relative ϵ_r de 5, et la densité de capacité reste acceptable par rapport à d'autres isolants de permittivité supérieure. Le choix du SiO_2 est essentiellement lié au fait qu'il présente une tenue aux champs de claquage supérieure aux autres matériaux diélectriques (Si_3N_4 , Al_2O_3 , Ta_2O_5 , ...).

La valeur de la capacité est obtenue par la relation suivante :

$$C = \frac{\epsilon_0 \cdot \epsilon_r \cdot S}{e} \quad (\text{F}) \quad (48)$$

Où ϵ_0 est la permittivité du vide, ϵ_r est la permittivité relative du diélectrique isolant, S est la surface du métal en regard au diélectrique et e est l'épaisseur de diélectrique.

1.2 Les éléments actifs

1.2.1 Le transistor

Dans cette technologie, le choix entre les transistors MOS et les transistors bipolaires sera guidé par la spécification de la fréquence d'oscillation désirée (11 GHz) : le transistor bipolaire NPN qui présente un meilleur comportement fréquentiel (en terme de fréquence de

transition et fréquence maximale d'oscillation) que le transistor MOS, s'impose. De plus, ses performances en bruit basse fréquence restent un argument de premier ordre pour la conception d'oscillateur à faible bruit de phase, alors que le MOS présente un fort niveau de bruit en $1/f$.

Ce transistor sera donc utilisé pour réaliser l'amplificateur (en transmission ou en réflexion) permettant de compenser les pertes du résonateur.

1.2.2 Le varactor

Le varactor présente une capacité variable en fonction de la tension appliquée à ses bornes.

Cette propriété est particulièrement intéressante afin de commander la fréquence d'oscillation en faisant varier une capacité judicieusement placée en fonction d'une tension statique de contrôle.

Le varactor peut être réalisé de deux manières différentes : d'une part, en utilisant une diode PN polarisée en inverse (qui peut être réalisée par la jonction base-collecteur d'un transistor bipolaire), et d'autre part en utilisant la capacité grille-canal d'un transistor MOS.

La capacité variable dans le premier cas est réalisée en modulant la zone de charge d'espace créée à la jonction PN par la tension inverse appliquée.

Dans le cas du transistor MOS, en reliant la source et le drain, la capacité d'oxyde en série avec la zone de charge d'espace sous la grille varie avec la tension grille appliquée.

Il existe dans la bibliothèque du fondeur un varactor présentant une capacité à 0 Volt de 0,5 pF à 5 pF, avec une tension de réglage de 0 à 3,6 Volts. Celui-ci repose sur la mise en inverse d'une diode PN. Ce modèle sera utilisé dans la mise en œuvre du résonateur de nos circuits.

Les conceptions des circuits décrits ci-après ont pour but leur intégration dans une boucle à verrouillage de phase. Les critères retenus pour les oscillateurs en bande X sont les suivants :

Une fréquence d'oscillation de 11 GHz.

Un faible bruit de phase loin de la porteuse : un objectif -100 dBc/Hz à 100 kHz de la porteuse sera fixé, ce qui représente une valeur ambitieuse au vu de l'état de l'art des circuits MMIC (figure 37).

Une plage de contrôle de la fréquence minimale de 500 MHz est également intégrée au cahier de charges de nos réalisations, ce qui représente une bande d'accord d'au moins 5% .

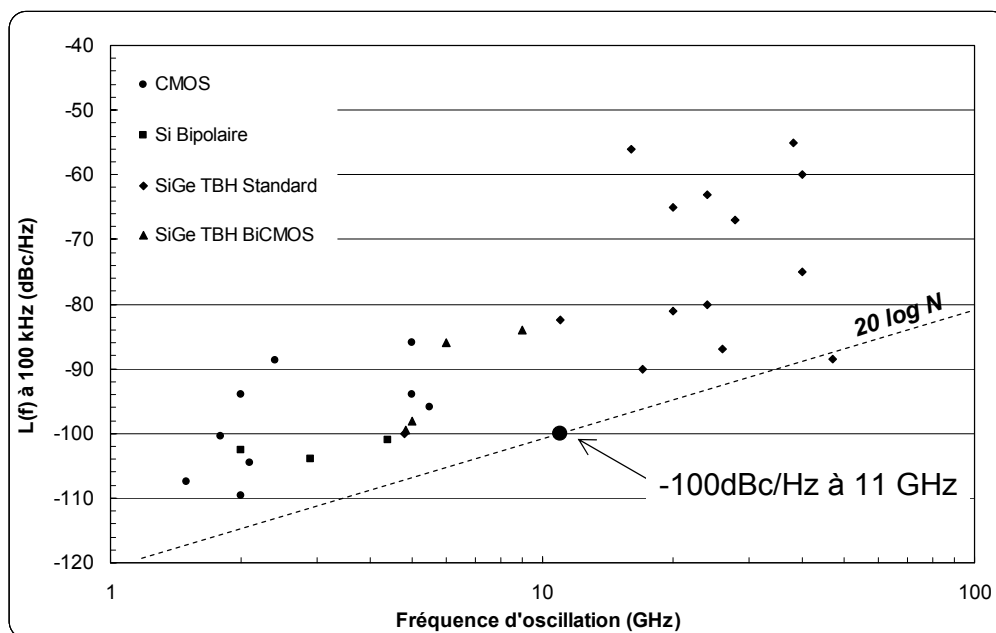


Figure 37: La spécification de nos OCTs dans l'état de l'art

1.3 Choix des éléments actifs pour les réalisations en bande X

Deux topologies d'OCT en bande X ont été réalisées, une configuration parallèle et une configuration série. Elles utiliseront le même élément actif afin de les comparer sur la base de la topologie. Le transistor retenu permet de satisfaire un compromis entre le gain nécessaire et le bruit basse fréquence pour les deux topologies.

En effet, le bruit basse fréquence des transistors est inversement proportionnel à la taille de ceux-ci (figure 38).

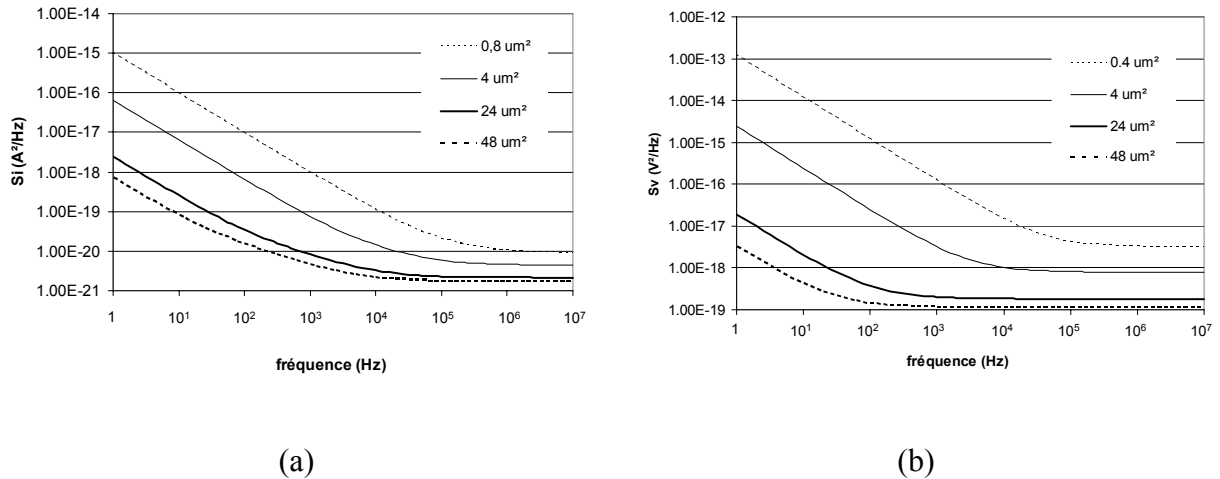


Figure 38: Bruit basse fréquence en courant (a) et en tension (b) ramené en entrée en fonction de l'aire d'émetteur

Aussi, l'élément actif choisi sera le plus gros possible et permettant les deux réalisations en terme de gain. La dimension retenue est donc un transistor à 3 doigts d'émetteur, 4 doigts de base et 2 doigts de collecteur de $24 \mu\text{m}^2$ d'aire d'émetteur individuelle. La fréquence de coupure du bruit BF de ce transistor est relevée à environ 2 kHz.

V. L'OCT PARALLELE EN BANDE X

La conception des oscillateurs se base tout d'abord sur l'obtention de la fréquence d'oscillation à la valeur désirée. La méthodologie se déroulent selon les étapes décrites sur le schéma suivant (figure 39).

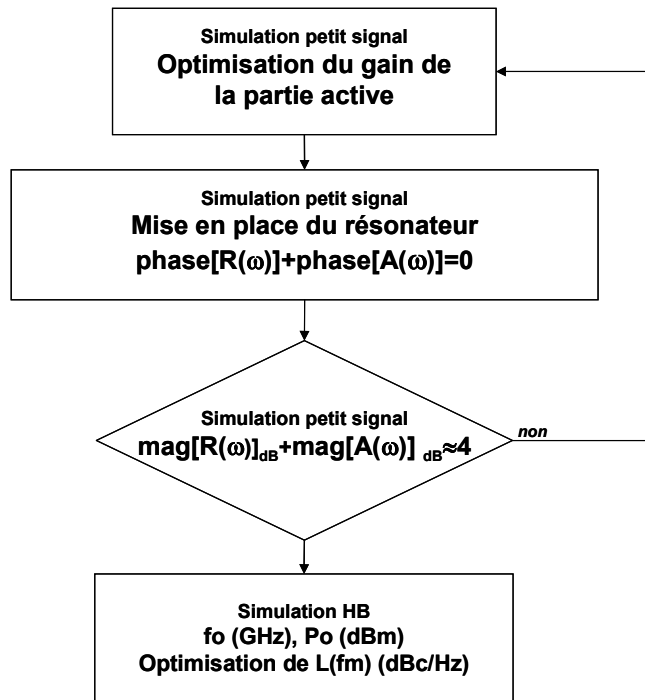


Figure 39: Étapes de conception des OCTs

1.1 Description du circuit

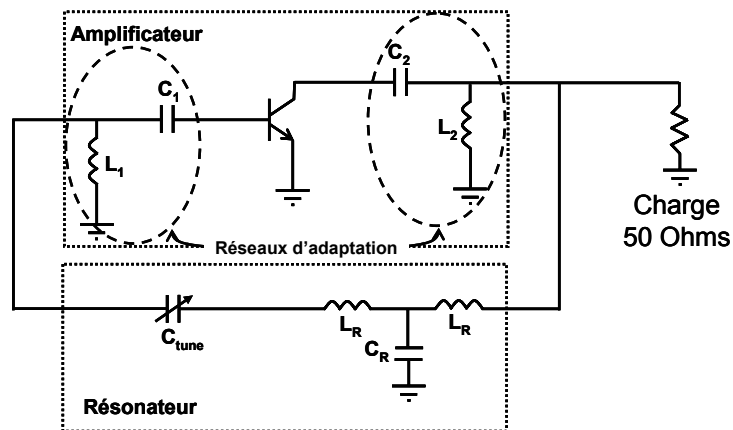


Figure 40: Schéma simplifié de l'OCT parallèle

Le circuit a été conçu tout d'abord en optimisant le gain en transmission de la partie amplificateur afin d'obtenir un gain optimum à la fréquence d'oscillation désirée. Ceci a nécessité la mise en place de réseaux d'adaptation en entrée et en sortie de l'amplificateur réalisé par les éléments L_1C_1 et L_2C_2 .

La topologie du résonateur a été conçue de manière à répondre aux conditions d'oscillation. En effet, une simple structure LC ne réalise pas le déphasage nécessaire afin de parvenir aux conditions d'oscillation en phase. Pour cela, une structure en T a été réalisée (L_R , C_R , L_R), dont les valeurs ont été optimisées de manière à minimiser les pertes du résonateur introduites par C_R . Ensuite, un varactor a été rajouté à cette structure de manière à permettre l'accord en fréquence et optimiser la plage de fréquence de contrôle.

Les inductances utilisées présentent une géométrie (choix de la largeur et de l'espacement inter-spire) qui assure un facteur de qualité optimum. Pour le résonateur, des inductances de 0,7 nH ont été utilisées présentant un facteur de qualité à vide de 23.

D'autre part, l'élément de contrôle de la fréquence est réalisé par un varactor disponible dans la bibliothèque. Nous choisissons d'utiliser celui-ci en raison de la valeur nécessitant plusieurs transistors de grande dimension mis en parallèle si le varactor était réalisé par des jonctions base-collecteur de transistor. Aussi, en raison de la présence de l'hétérojonction, la valeur de capacité de la jonction est moins bien contrôlée.

L'élément de contrôle de la fréquence est en fait une association de varactor en série parallèle afin d'obtenir un meilleur gain de varactor (F/V) (figure 41) : comme illustré en (b), l'accord du varactor en configuration série parallèle permet un accord sur 0,33 pF comparé à 0,26 pF pour un varactor simple, ce qui augmente la plage de fréquence contrôlée en tension.

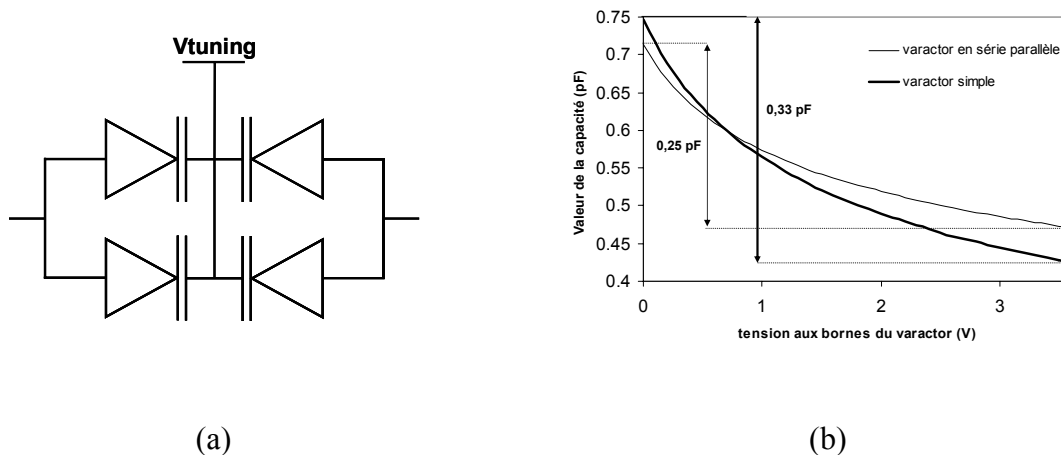


Figure 41: Association série parallèle des varactors (a) et gain comparé à un varactor seul (b)

Outre le choix des éléments, l'effort de conception peut être porté sur les conditions de polarisation du transistor de l'OCT et sur les conditions de charge [25]. Ces deux paramètres

sont difficilement contrôlables en raison du caractère monolithique du circuit : on ne peut donc par mener l'étude de l'amplificateur sans tenir compte du résonateur qui le charge. Le choix du résonateur qui charge l'amplificateur est difficile à optimiser en raison des conditions d'oscillation à respecter, qui réduisent les degrés de liberté : c'est pourquoi nous focaliserons principalement l'étude sur les paramètres du transistor (géométrie [cf. figure 38] et polarisation).

1.2 Circuit électrique de l'oscillateur (présentation détaillée)

Le circuit final conçu et simulé sous ADS est le suivant (figure 42) :

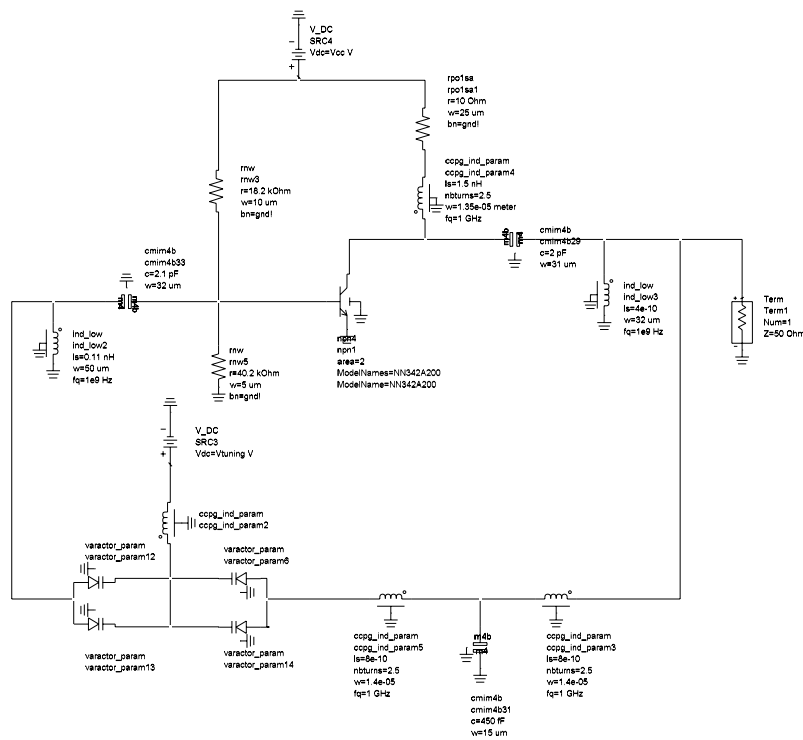


Figure 42: Schéma électrique détaillé de l'OCT parallèle en bande X

Les éléments passifs de connexion (lignes, coudes, tés, ...) en micro-ruban ne sont pas reportés afin de ne pas encombrer le schéma précédent : ils sont cependant intégrés à l'environnement de simulation afin de traduire au mieux le comportement de l'oscillateur. La prise en compte de ces lignes diminue la fréquence d'oscillation de 1.2 GHz par rapport à celle qui serait simulée à partir de la figure 42.

La simulation petit signal finalement retenue nous donne un gain de boucle de 3,5 dB pour un démarrage des oscillations à 11,7 GHz (figure 43).

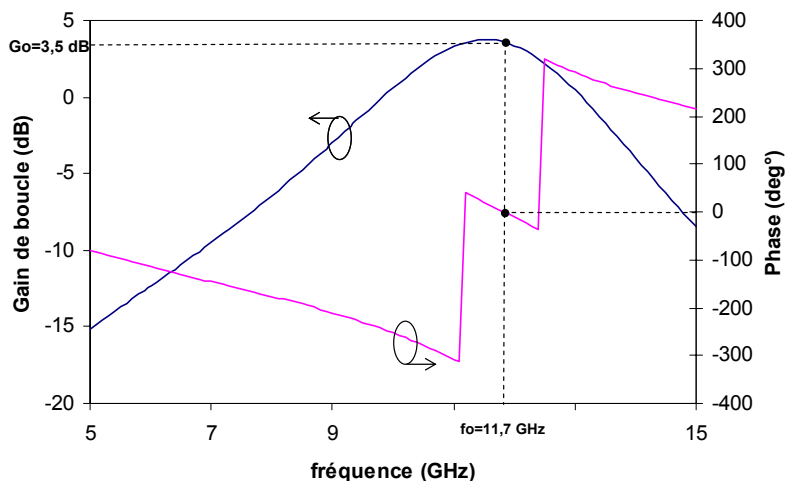


Figure 43: Simulation petit signal de l'OCT parallèle

La simulation en fort signal nous a permis de prédire la fréquence d'oscillation lorsque le transistor fonctionne en mode de saturation, ainsi que la puissance de sortie de l'oscillateur (figure 44).

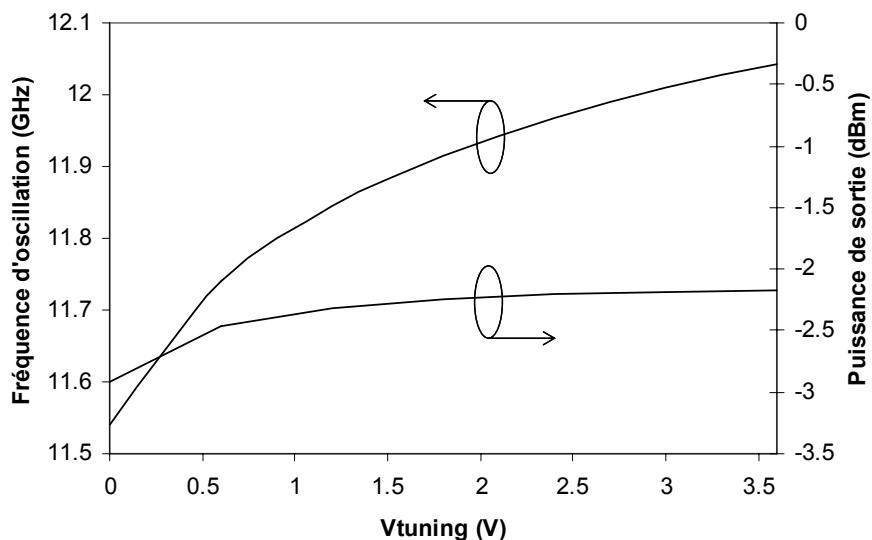


Figure 44: Résultat simulé de la fréquence d'oscillation et de la puissance de sortie en fonction de la tension de commande Vtuning

La fréquence d'oscillation varie entre 11,55 GHz et 12,05 GHz pour une puissance en sortie variant entre -3 et -2 dBm.

1.3 Optimisation du coefficient de conversion K_p pour la minimisation du bruit de phase

Nous utilisons pour cela la définition du bruit de phase défini par (13). D'après Leeson, nous avons pour le résonateur en transmission :

$$\frac{d\Phi}{df} = \frac{2Q_L}{f_o} \quad (49)$$

On obtient donc :

$$\Delta f = \frac{f_o}{2Q_L} \cdot \Delta\Phi \quad (50)$$

Avec Q_L le coefficient de qualité en charge du résonateur

f_o la fréquence d'oscillation (Hz)

$\Delta\Phi$ les fluctuations en phase du dispositif actif (rad)

La source de bruit basse fréquence prépondérante dans la génération du bruit de phase a été identifiée comme étant la source de bruit de grenaille et la source de bruit en $1/f$ de la jonction base émetteur. Celles-ci sont amplifiées en sortie au travers du gain en courant β du transistor. Nous nous intéressons alors plus particulièrement à la conversion de ces sources en fluctuation de fréquence grâce aux outils de simulations : une perturbation quasi-statique est introduite sur la base du transistor, et nous relevons le décalage en fréquence qui en résulte. L'utilisation d'un indice semblable au coefficient de pushing que nous appellerons K_p associé à cette perturbation et défini d'après (51) de la manière suivante et reporté sur la figure 45 en fonction de la polarisation du transistor appliquée sur son collecteur et sur la base :

$$K_p = \frac{f_o}{2Q_L} \cdot k_\Phi \text{ (Hz/V)} \quad (51)$$

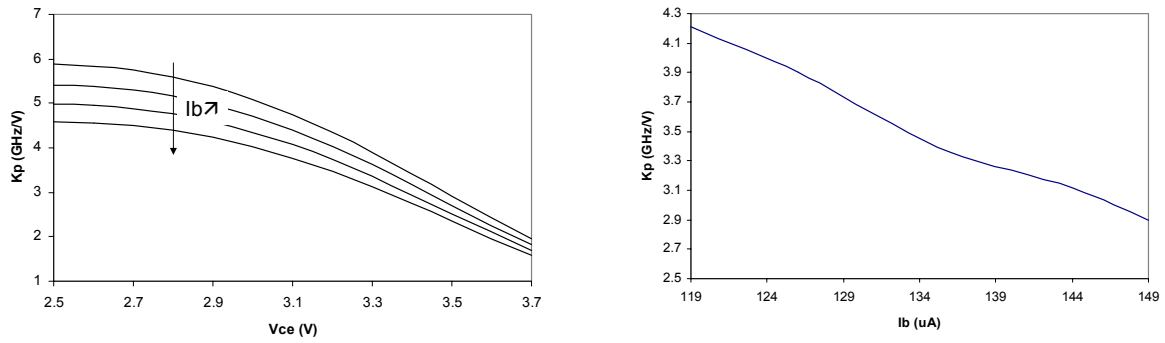


Figure 45: K_p en fonction de V_{ce} (a) et de I_b (à $V_{ce}=3V$) (b)

Le choix du point de polarisation aboutissant à une minimisation du bruit de phase a été obtenu à l'aide des graphes ci-dessus (figure 45). Le coefficient de conversion diminue avec une tension V_{ce} croissante; aussi, il a été vérifié que ceci est valable pour différentes valeurs du courant de base. De la même manière, un courant de base croissant améliore le coefficient de conversion. La tension collecteur-émetteur a donc été fixée à sa valeur maximale sans pour autant atteindre la tension d'avalanche, donc à 3 V, et le courant de base à 150 μA . La polarisation du circuit a été conçue de manière à l'alimenter sous une tension unique de 3,3 V. Notons que le bruit de phase doit s'améliorer avec une tension d'alimentation croissante (figure 46). Ceci sera vérifié en mesure.

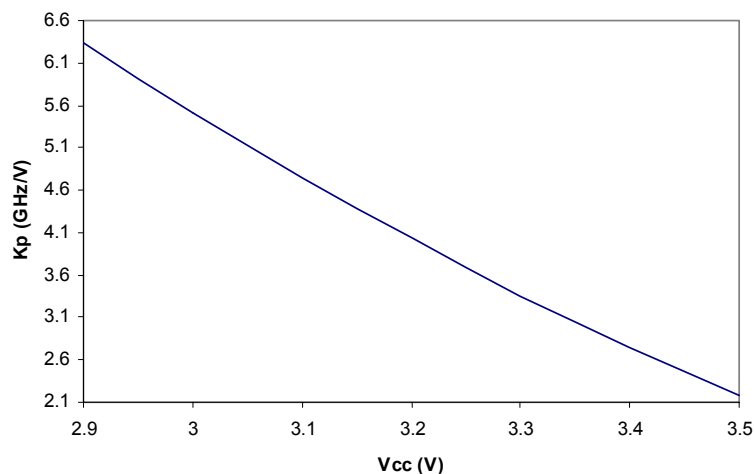


Figure 46: K_p en fonction de la tension de polarisation V_{cc}

Cette technique d'optimisation du point de fonctionnement dans le but de l'amélioration du bruit de phase a également été appliquée à nos autres conceptions d'oscillateurs, et a fait l'objet de publications (voir notamment [26]).

1.4 Mesures du circuit

Une microphotographie du circuit est présentée en figure 47.

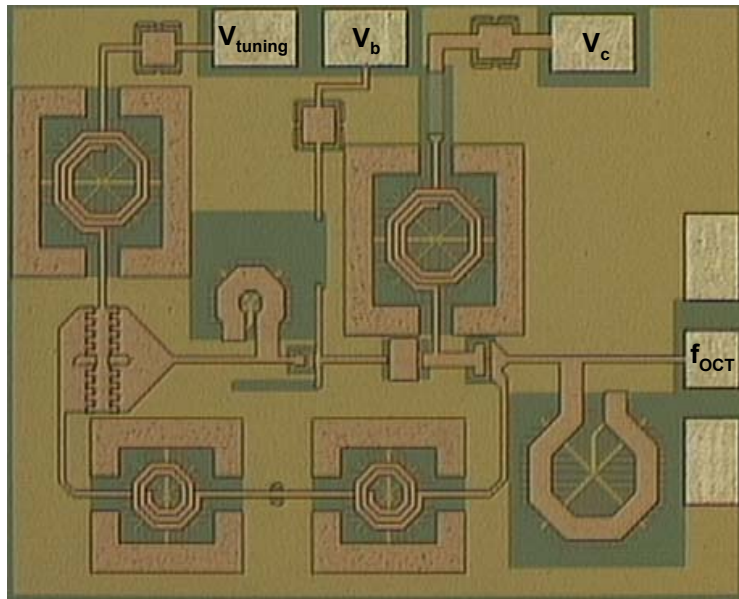


Figure 47: Microphotographie de l'OCT parallèle ($1 \times 1,3 \mu\text{m}$)

Une illustration de l'oscillation à 11 GHz est relevée à l'analyseur de spectre (Rodhe et Schwartz) sur la figure 48.

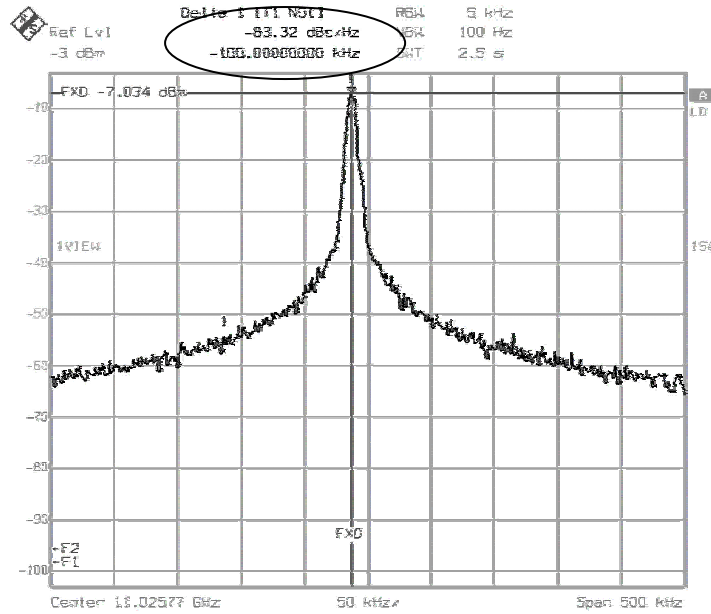


Figure 48: Spectre mesuré de l'oscillation à 11 GHz ($V_{\text{tune}}=0$ V)

Une mesure directe du bruit de phase à 100 kHz de la porteuse permet de relever une valeur de -83 dBc/Hz.

1.4.1 Accordabilité de l'oscillateur

Le réglage de la fréquence d'oscillation est obtenu par le contrôle de la tension appliquée au varactor. La variation de la fréquence avec la tension de contrôle est relevée en figure 49.

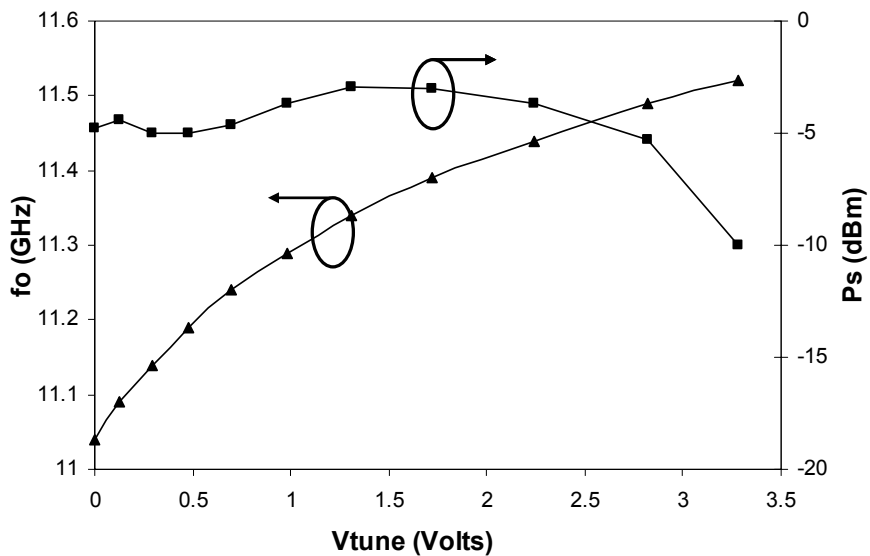


Figure 49: Mesure de la fréquence d'oscillation en fonction de la tension de réglage

La fréquence est contrôlable de 11 GHz à 11,5 GHz par une tension de contrôle variant de 0 à 3,2 V. Au-delà de 2,3 V, la puissance de sortie de la porteuse chute en dessous de -5 dBm, pour atteindre des valeurs inférieures à -10 dBm lorsque la tension de contrôle dépasse 3,3 V.

a) *Mesure du bruit de phase*

La mesure de ce paramètre est délicate à effectuer dans la mesure où celui-ci est très sensible aux parasites environnementaux et à la qualité des moyens utilisés pour la mesure.

C'est la raison pour laquelle cette caractérisation a été réalisée avec un circuit mis en boîtier. L'isolation du circuit avec l'environnement extérieur est assurée par l'alimentation du circuit par des batteries et la mesure est effectuée dans une cage de Faraday.

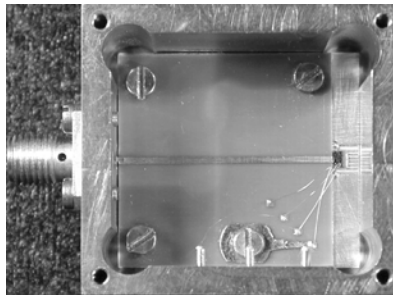


Figure 50: Photographie de la puce mis en boîtier (3×3,5 cm)

Les mesures de bruit de phase ont été réalisées lors de la caractérisation préliminaire du circuit à l'aide de l'analyseur de spectre, mais l'utilisation d'un banc de mesure spécifique développé au laboratoire a permis de déterminer le spectre de bruit en fonction de la fréquence à la porteuse.

Banc de mesure du bruit de phase utilisé

Le banc de mesure utilise la technique passive à ligne à retard [28]. La bande de fréquence de fonctionnement de ce banc est 2 – 18 GHz. Le schéma du banc est donné sur la figure 51 ci-dessous, et son principe de fonctionnement est le suivant : la sortie de l'oscillateur sous test est injectée sur les deux voies de mesure 1 et 2. La voie 1 où se trouve la ligne à retard τ transforme les fluctuations de fréquence issues de l'oscillateur en fluctuations de phase. Le signal est alors mélangé au signal de l'oscillateur avec une différence de phase de 90° et le mélangeur fonctionne en détecteur de phase. Les fluctuations de fréquence de la source sont transformées en fluctuations de tension suivant un processus linéaire donné par les équations suivantes :

$$\Delta V(f_m) = K_m \cdot \Delta f(f_m) \quad (52)$$

$$\text{Avec } K_m = 2\pi\tau \cdot K_\phi$$

K_m est proportionnel au retard τ apporté par l'élément de référence et au coefficient de détectivité en phase K_ϕ du mélangeur. Le calibrage consiste à évaluer K_m . Pour cela on utilise un signal micro-onde à haute pureté spectrale de même fréquence que l'oscillateur étudié, avec un indice de modulation connu. On mesure ensuite les fluctuations de tension induites par le bruit de fréquence de l'oscillation sous test par intercorrrelation des sorties des mélangeurs 1 et 2. On en déduit alors la densité spectrale simple bande de bruit de phase définie par l'équation :

$$L(f) = 20 \cdot \log\left(\frac{\Delta f(f_m)}{\sqrt{2} \cdot f_m}\right) = 20 \cdot \log\left(\frac{\Delta V(f_m)}{\sqrt{2} \cdot K_m \cdot f_m}\right) \text{ en dBc/Hz} \quad (53)$$

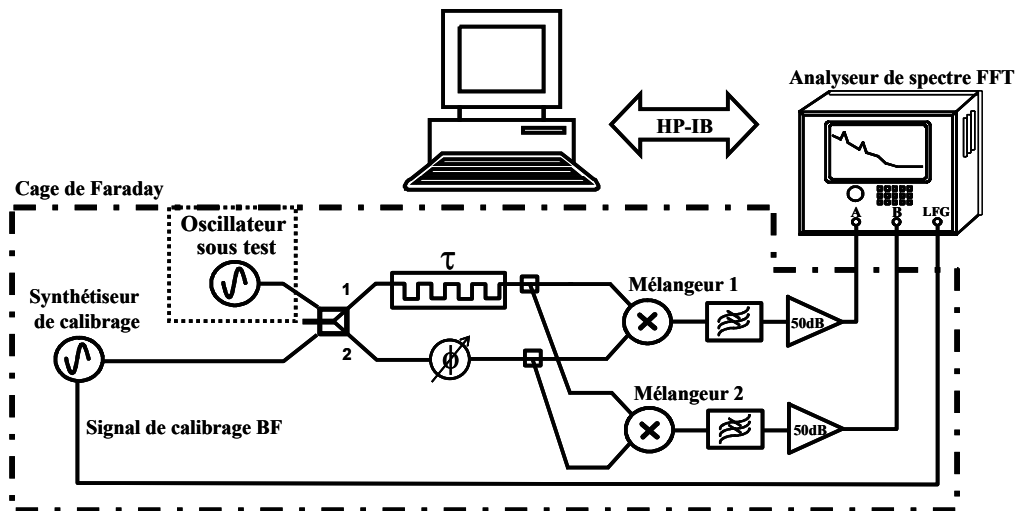


Figure 51: Banc de mesure du bruit de phase d'un oscillateur utilisant la technique passive à ligne à retard

Ce banc de mesure est mis en place au LAAS/CNRS et permet d'obtenir une mesure du bruit de phase jusqu'à 100 kHz de la porteuse.

1.4.1.1.a.1 Mesure obtenue sur l'OCT parallèle

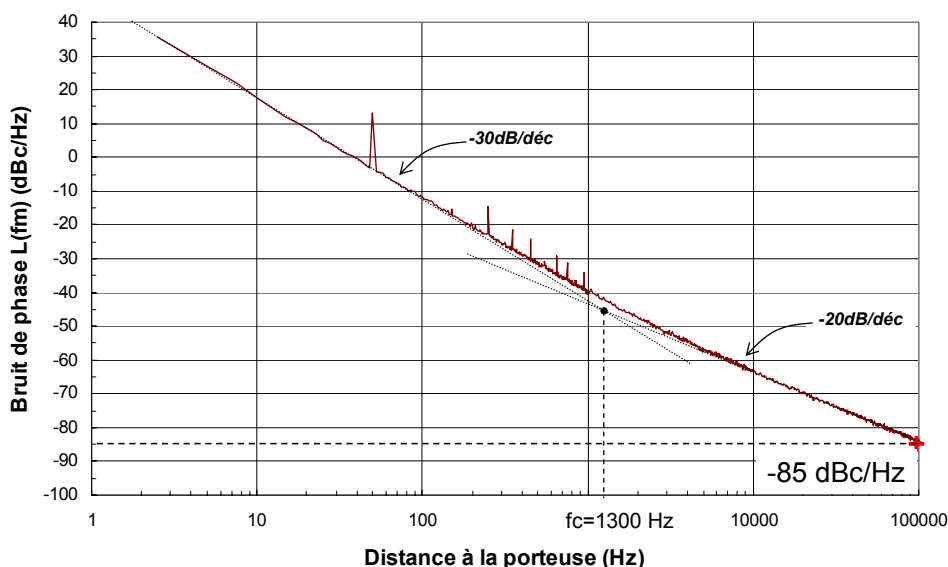


Figure 52: Bruit de phase mesuré de l'OCT parallèle au banc de mesure de bruit à ligne à retard

Une mesure du bruit de phase utilisant le banc de mesure décrit au dessus nous a permis de relever un bruit de phase de -85 dBc/Hz à 100 kHz de la porteuse, confirmant ainsi la mesure préliminaire à l'analyseur de spectre. Ce graphe nous permet également de relever la fréquence de coupure entre la pente en -30 dB/dec et la pente en -20 dB/dec du bruit de phase qui est à 1,3 kHz. Notons que la coupure en bruit BF de courant en entrée du transistor a été simulée à 2 kHz (§1.3), les non linéarités mises en jeu ainsi que l'influence des autres sources de bruit BF dans le bruit de phase expliquent la différence entre ces deux fréquences de coupures.

1.4.2 Récapitulatif des performances

| Paramètres | Simulations | Mesures |
|---|-------------|--------------|
| Fréquence d'oscillation libre ($V_{tune}=0V$) | 11,5 GHz | 11 GHz |
| Plage de réglage en fréquence | 500 MHz | 450 MHz |
| Tension de réglage en fréquence | 0 à 3,6 V | 0 à 3,2 V |
| Tension d'alimentation | 3,3 V | 3,3 V |
| Puissance de sortie | -2 dBm | -4 à -10 dBm |

En ce qui concerne la fréquence d'oscillation, cette dernière est sensible non seulement au déphasage créé par le résonateur, mais aussi au déphasage créé par l'élément actif. Une étude de sensibilité sur ces éléments (inductances et varactor) permet de retrouver le comportement mesuré de notre circuit. Nous rappelons qu'il a été tenu compte des tronçons de lignes d'interconnexion des éléments du circuit lors du dessin des masques : un phénomène de retour de masse dû au caractère imparfait du plan de métallisation crée cependant une inductance supplémentaire aux endroits de prise de ce contact de masse. Une légère surestimation de l'inductance d'adaptation en entrée du transistor influe particulièrement sur la fréquence d'oscillation, 3 % de variation sur celle-ci explique à elle seule une variation de 500 MHz sur la fréquence d'oscillation, cette inductance supplémentaire pouvant être attribuée au retour de masse.

Mise en évidence de la dépendance du bruit de phase à K_p

L'amélioration du bruit de phase avec l'augmentation de la tension de polarisation est vérifiée par la mesure à 100 kHz de la porteuse (figure 53). Aussi, il n'y a que peu d'amélioration mesurée (simulée) sur le bruit de phase près de la porteuse.

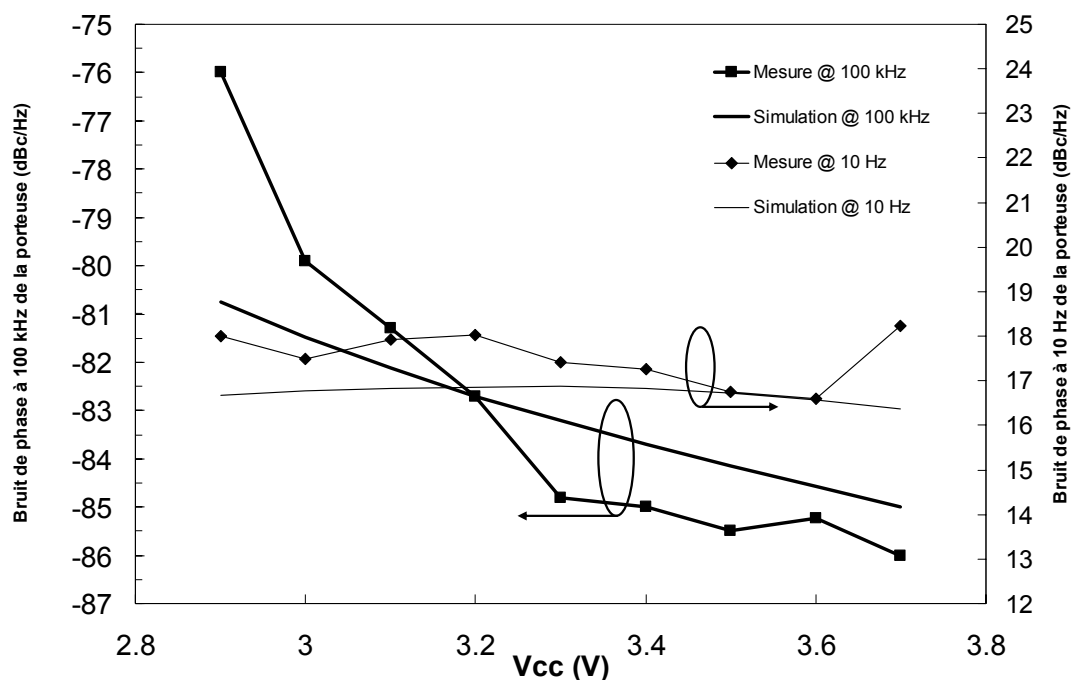


Figure 53: Bruit de phase à 10 Hz et à 100 kHz de la porteuse en fonction de la tension d'alimentation (Vtune=0V)

En effet, ceci s'explique par la dépendance de la source de bruit au courant de polarisation I_b , l'amélioration de la conversion liée à l'augmentation de V_{cc} est compensée par l'augmentation du courant de base qui intervient de manière quadratique sur le bruit en $1/f$: la source de bruit en courant sur la jonction est définie par l'équation suivante:

$$S_{ib} = K_f \frac{I_b^2}{f} + 2qI_b \quad (54)$$

VI. L'OCT SERIE EN BANDE X

La seconde topologie d'oscillateur retenue pour cette étude utilise le même type de transistor que dans la version en transmission.

1.1 OCT série bande X totalement intégré

1.1.1 Description du circuit

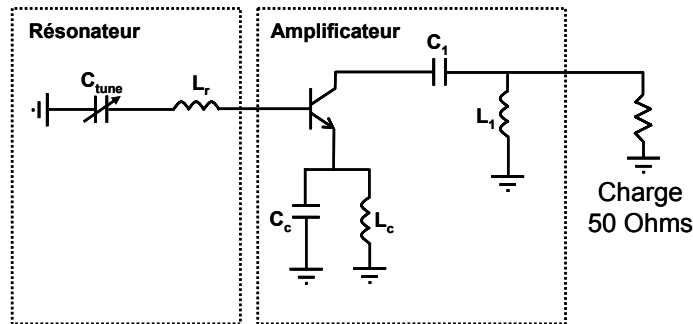


Figure 54: Schéma simplifié de l'OCT série

La configuration du résonateur et de l'amplification est utilisée ici en réflexion. Le plan d'oscillation est situé à l'interface entre le résonateur et l'amplificateur. La résistance négative est obtenue par la contre-réaction réalisée par la capacité C_c . Le gain en réflexion de ce module est optimisé à la fréquence d'oscillation de manière à obtenir un gain de boucle d'environ 3 à 4 dB.

Le résonateur

Le résonateur retenu est un réseau LC série simple dont les valeurs sont optimisées afin d'obtenir un meilleur accord en fréquence. En effet, une faible valeur de C_{tune} favorise la dépendance de la phase à ce dernier et de même pour une forte valeur de L_r (55) comme le confirme la valeur de la dérivée de l'impédance du réseau par rapport à la valeur de C_{tune} .

$$\left| \frac{\delta \text{Im}(Z)}{\delta C_{tune}} \right| = \frac{L_r}{C_{tune}^2 \omega} \text{ (Ohms/F)} \quad (55)$$

Les valeurs du réseau sont donc guidées par l'obtention d'un compromis entre la minimisation de C_{tune} , la maximisation de L_r et le respect de la condition d'oscillation à la fréquence désirée.

1.1.2 Circuit électrique de l'oscillateur (présentation détaillée)

Le circuit final conçu (hors lignes de connexion micro-ruban), avec les valeurs des éléments utilisés pour la simulation sous ADS est le suivant (figure 55) :

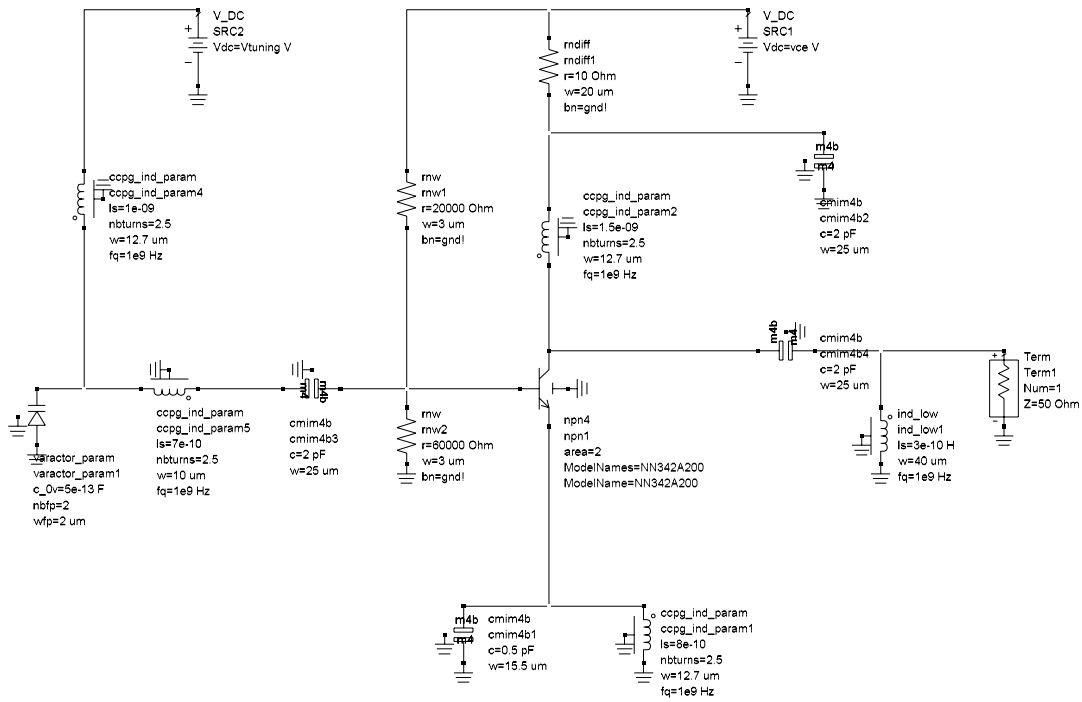


Figure 55: Schéma électrique détaillé de l'OCT série en bande X

La simulation de la figure 57 indique (a priori de l'étude présentée par la suite) l'obtention d'une oscillation à la fréquence de 11,7 GHz.

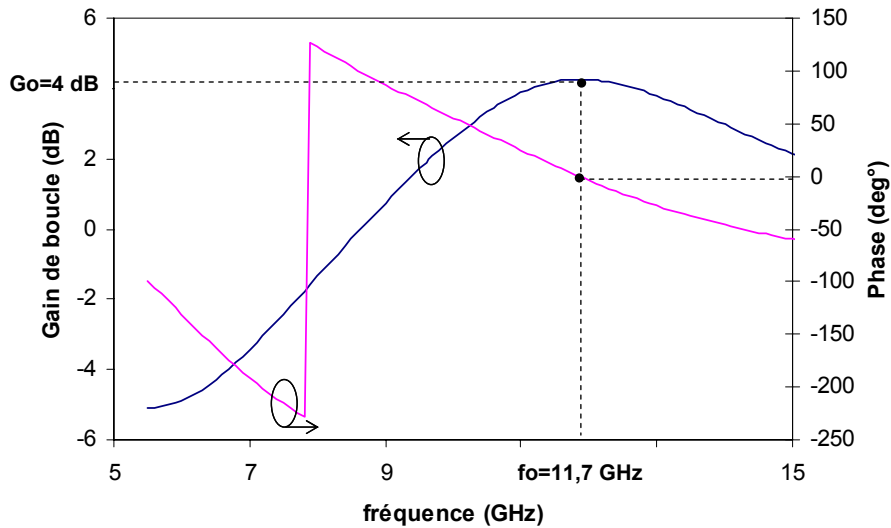


Figure 56: Simulation petit signal de l'OCT série

1.1.3 Optimisation du coefficient de conversion K_p pour la minimisation du bruit de phase

De la même manière que pour l'oscillateur parallèle, le point de polarisation a été fixé de manière à obtenir un coefficient de conversion minimum. En revanche, les formules utilisées en (49) et (50) ne sont valables que pour un oscillateur en transmission.

Afin de réaliser le même type d'étude sur l'optimisation du bruit de phase que pour la version de l'oscillateur en transmission, il est possible de modifier le circuit à l'aide d'une technique dite de la masse virtuelle, qui consiste à ramener l'oscillateur série à une représentation d'oscillateur en transmission [29].

Avec la masse virtuelle choisie comme étant l'émetteur du transistor, on redessine le circuit schématisé de l'OCT série de la figure 57-a de manière à obtenir l'OCT parallèle de la figure 57-b.

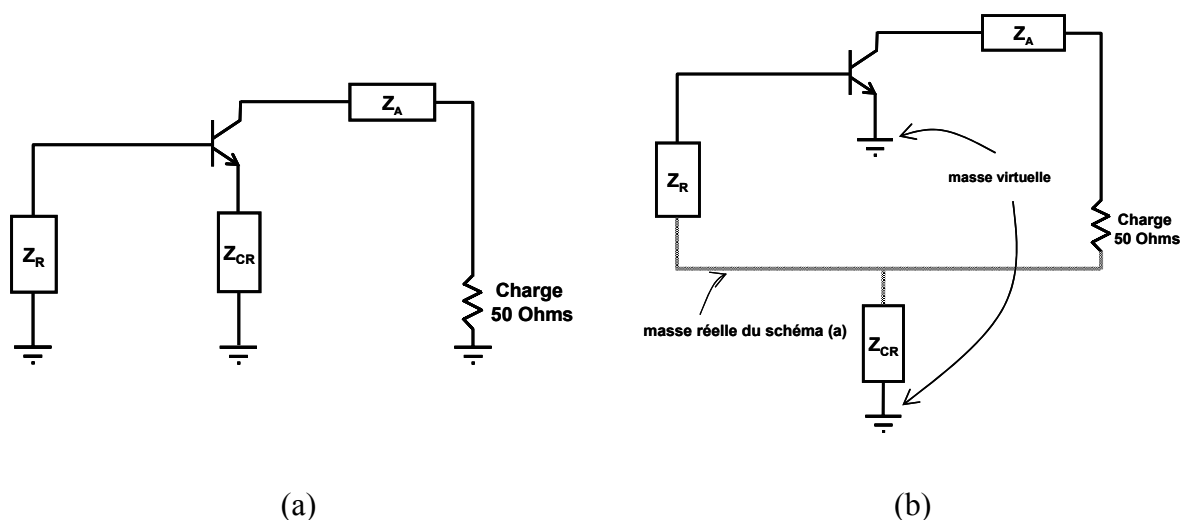


Figure 57: Transformation du circuit en réflexion (a) en circuit parallèle (b) par la technique de la masse virtuelle

L'équivalence entre ces deux circuits a été vérifiée en simulation pour les conditions d'oscillation en formalisme des impédances (figure 58) :

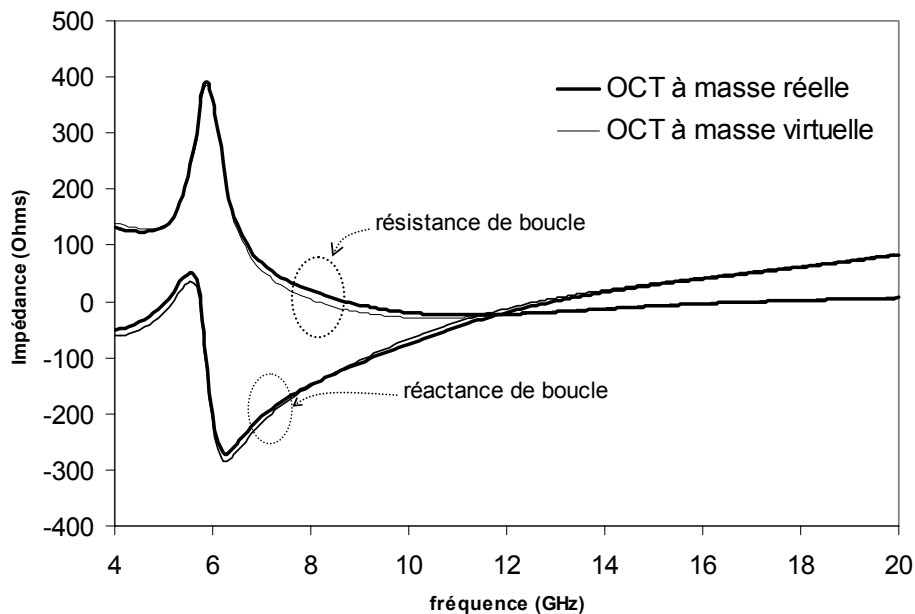


Figure 58: Comparaison des conditions d'oscillation entre l'OCT série et son équivalent à masse virtuelle

Pour cette comparaison, le point de polarisation a été fixé à l'optimum de conversion selon les polarisations de la tension collecteur V_{ce} et du courant de base I_b justifiés ci-après. Sur la figure 60, on remarque que le coefficient K_p présente un optimum pour une certaine valeur de courant de base I_b selon la valeur de V_{ce} . La tension V_{ce} a ainsi été fixée à une valeur de 3,3V (ni trop élevée pour ne pas provoquer de phénomène d'avalanche, ni trop faible pour ne pas augmenter la valeur de I_b procurant l'optimum du facteur de conversion). Le courant de base est ainsi fixé à 79 μA .

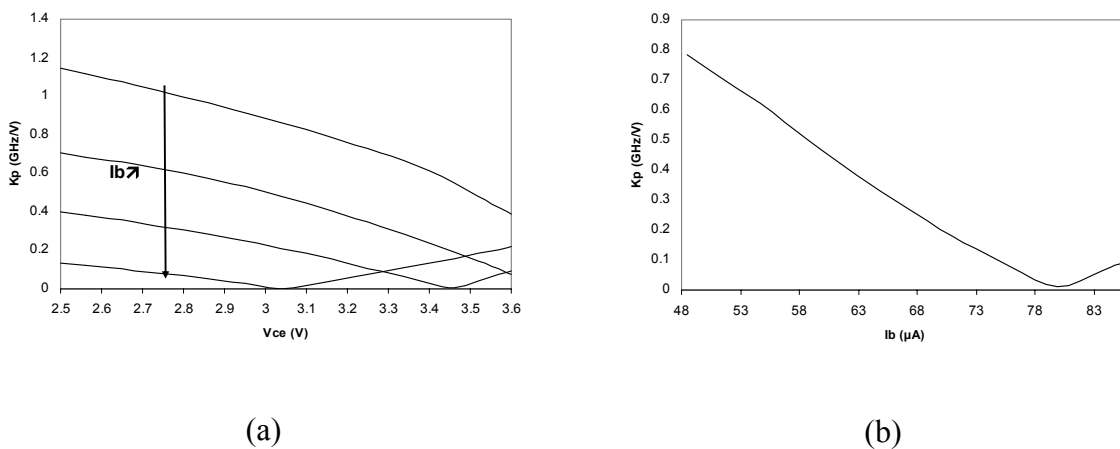


Figure 59 : K_p en fonction de V_{ce} (a) et de I_b (à $V_{ce}=3.3V$) (b)

Il a donc été conçu un réseau de polarisation de manière à polariser le circuit par une tension unique de 3,3 V. La valeur de K_p présente bien un optimum autour de 3,3 Volts (figure 60).

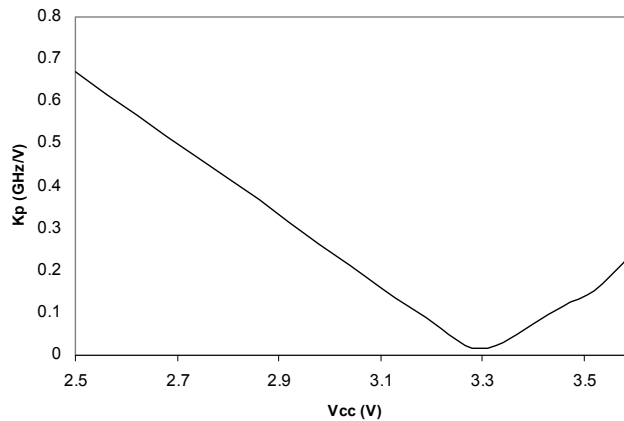


Figure 60: Résultat de simulation de K_p en fonction de la tension de polarisation

Notons que le point de conversion minimum qui correspond au point de "pushing" nul (associé au changement de signe de la conversion dont nous représentons la valeur absolue par K_p) ne conduit pas à une évaluation correcte du bruit de phase. Ceci s'explique d'une part par le fait que le calcul du coefficient de pushing a été réalisé à partir d'une perturbation basse fréquence introduite sur la jonction base émetteur extrinsèque du transistor (ce qui ne correspond pas à la localisation physique de la source de bruit en courant), et d'autre part l'influence des autres sources de bruit participant au bruit de phase ont été négligées au premier ordre et ne sont donc pas prises en compte dans ce calcul du coefficient de pushing [30]-[31].

1.1.4 Mesures du circuit

Une microphotographie du circuit est reportée sur la figure 61.

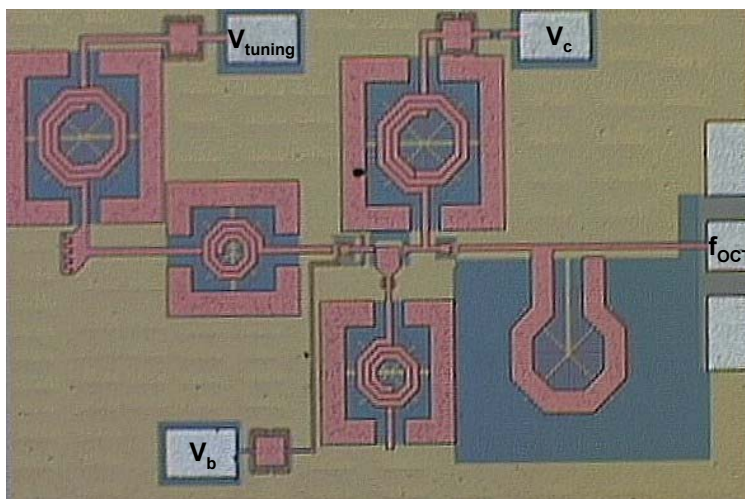


Figure 61: Microphotographie de l'OCT série (1,6 × 1 mm)

Sur ce circuit, les polarisations de la base et du collecteur ont été différenciées de manière à vérifier les conditions d'oscillation en fonction de I_b et de V_{ce} . Une fois l'oscillation vérifiée, elles ont été court-circuitées afin de minimiser le nombre de connexion pour la caractérisation du bruit de phase.

La présence de l'oscillation est relevée à 11,2 GHz pour une tension de commande nulle.

La mesure directe du bruit de phase sur l'analyseur de spectre a permis de relever un niveau de bruit de phase de -95 dBc/Hz à 100 kHz de la porteuse (figure 62).

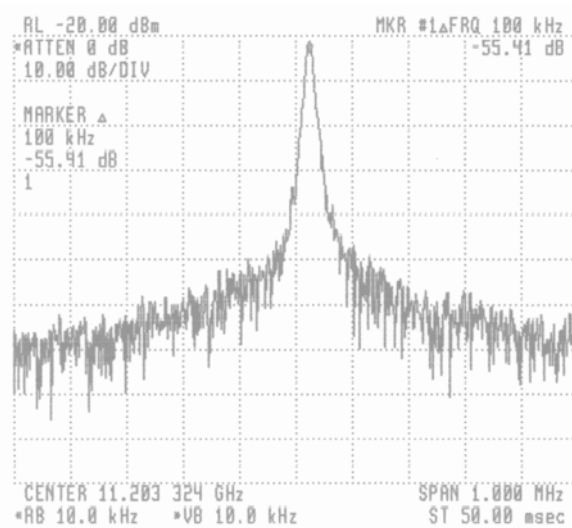


Figure 62: Mesure du bruit de phase de l'OCT série à l'analyseur de spectre

Aussi, nous relevons une excursion en fréquence de 1,2 GHz pour une tension de contrôle de 0 à 3,6 V (figure 63).

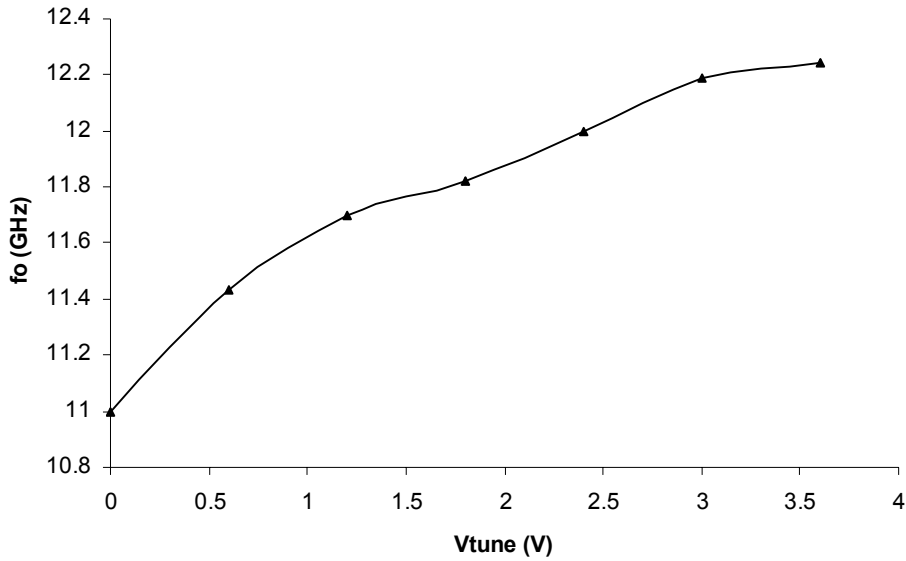


Figure 63: Mesure de la fréquence d'oscillation en fonction de la tension de réglage

1.2 OCT série bande X avec une solution de filtrage externe pour l'amélioration du bruit de phase

La prépondérance de la conversion de la source de bruit sur la jonction base émetteur a été démontré sur les circuits conçus. Cette source de bruit est connue comme étant une source de bruit en courant ayant une réalité physique au niveau de cette jonction (figure 64).

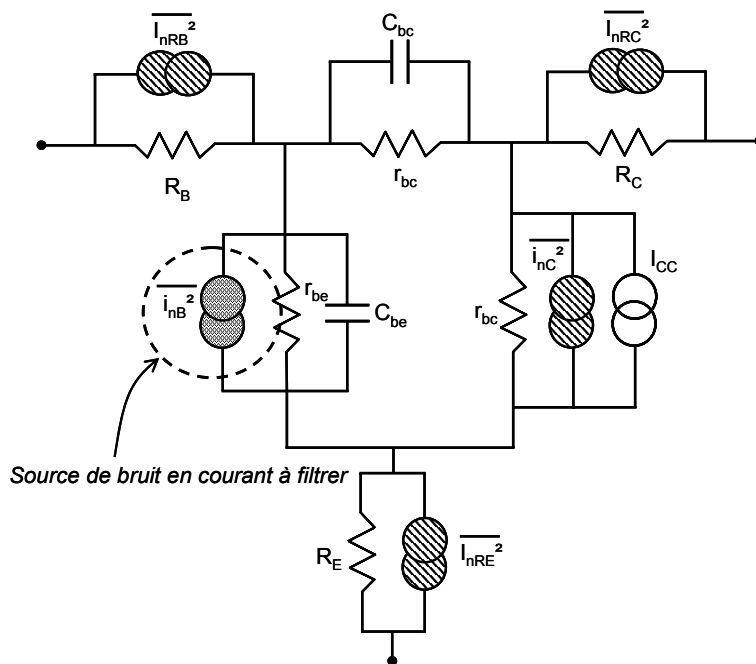


Figure 64: Schéma équivalent d'un transistor avec ses sources de bruit

Sur la base de ces observations, nous avons mis à l'étude une solution permettant de diminuer la contribution de cette source au bruit de phase total du circuit.

Il est donc possible de filtrer cette source de bruit par un circuit de polarisation adéquat : le filtrage s'effectuera de manière extrinsèque au transistor à cause des fortes valeurs nécessaires pour les éléments passifs (non intégrables en MMIC). Cette technique a déjà prouvé son efficacité [11].

L'efficacité du circuit de polarisation externe a été vérifiée sur le bruit de phase du transistor seul (figure 65). Une diminution du bruit de phase résiduel d'environ 5 à 6 dB est obtenue. Il faut cependant noter que ce résultat ne correspond pas exactement aux conditions d'utilisation du transistor tel qu'il est implanté dans les oscillateurs conçus, puisque la mesure charge le transistor sur 50 Ohms (ce qui n'est pas le cas de l'oscillateur intégré). Ceci donne toutefois une prédiction de l'amélioration possible du bruit de phase.

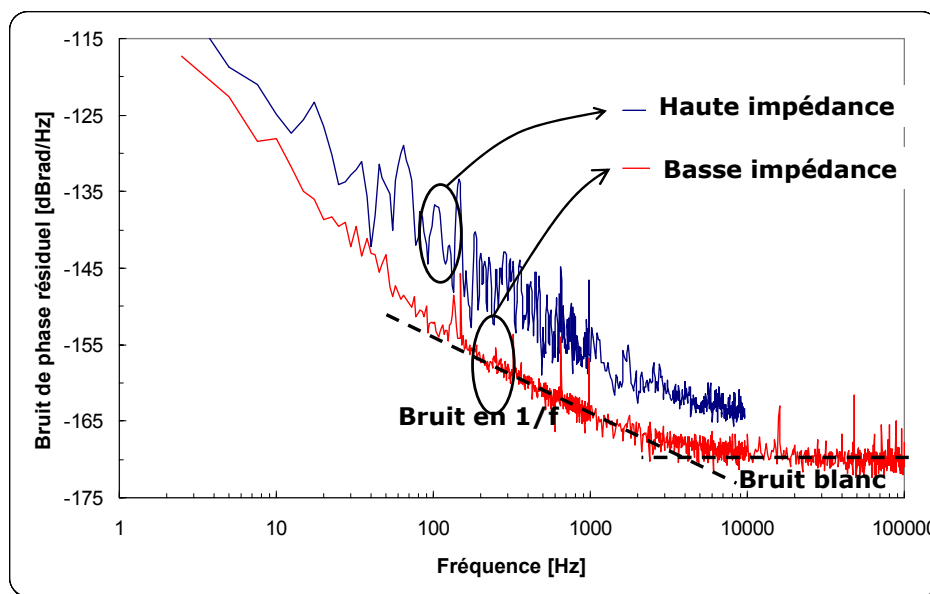


Figure 65: Effet du circuit de polarisation basse impédance sur le bruit de phase résiduel du transistor utilisé

Ceci est alors mis en place sur l'oscillateur à contre réaction série pour lequel les accès direct sur la base et le collecteur du transistor sont accessibles (figure 66).

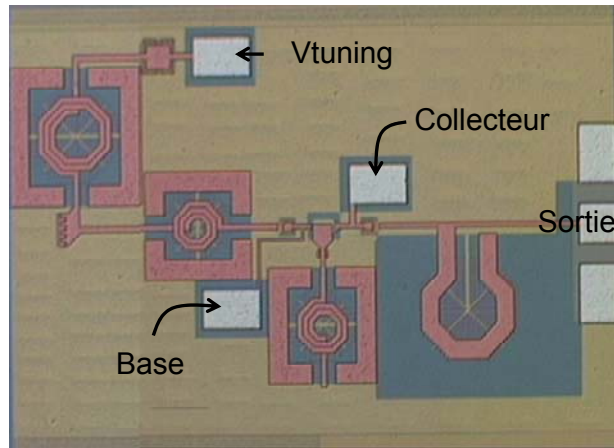


Figure 66 : Microphotographie de l'OCT série sans circuit de polarisation

Les premières mesures du circuit ainsi polarisé font état d'un comportement chaotique : l'efficacité de ce système de polarisation n'a donc pas pu être démontré sur cet oscillateur. Une étude plus poussée doit être conduite sur ce circuit pour tenter de résoudre ce problème expérimental : le concept théorique n'en reste pas moins pertinent.

La recherche d'architectures visant à réduire le bruit de phase des oscillateurs a motivé la dernière partie de ce chapitre : si les premières réalisations tentent de dégager des règles topologiques sur le bruit de phase des circuits, l'oscillateur présenté par la suite a été conçu en bande K afin de tirer le meilleur parti de la technologie BiCMOS utilisée tant au niveau des performances fréquentielles qu'au niveau des performances en bruit de phase.

VII. CONCEPTION D'UN OCT A SORTIE DIFFERENTIELLE EN BANDE K

Les circuits équilibrés présentent deux sorties en opposition de phase et sont largement utilisés en raison de leurs performances intrinsèques:

- ★ Ils présentent une bonne immunité aux interférences électromagnétiques, quelle qu'en soit la source (externe, alimentation ou substrat). En effet, ces sources de perturbations fonctionnant en mode commun, elles sont rejetées par le principe du mode différentiel.

- ★ La masse RF étant virtuelle (au point de symétrie du circuit), celle-ci n'est pas sujette aux imperfections de la masse physique (due par exemple à une mauvaise conductivité du plan de masse).
- ★ L'annulation du mode commun peut permettre une bonne réjection des harmoniques paires, donc particulièrement de l'harmonique 2.
- ★ La sortie prise en différentiel présente une puissance de sortie double par rapport à un circuit à une seule sortie.

Il ressort de tout cela que le paramètre principal responsable des avantages de cette structure est la réjection du mode commun, c'est à dire le rapport entre le gain en mode commun et le gain en mode différentiel.

Si celui-ci est trop important, les avantages cités plus haut en seraient largement affectés. De plus, le circuit générerait des interférences électromagnétiques.

La solution différentielle est aujourd'hui largement utilisée pour la réalisation des circuits de système d'émission/réception comme les combineurs de puissance, diviseurs de puissance actifs [32] pour lesquels les performances en réjection de mode commun sont essentielles afin d'obtenir des signaux déphasés de 180° .

Dans le cadre des OCT, il existe deux topologies permettant de générer des signaux en opposition de phase. La première et la plus largement utilisée est l'OCT différentiel à double paire croisée [33]-[34] (figure 67). La seconde topologie est la topologie push-push utilisée en général pour synthétiser une fréquence double de la fréquence fondamentale, c'est pourquoi les réalisations publiées apparaissent principalement aux fréquences millimétriques [35]-[38].

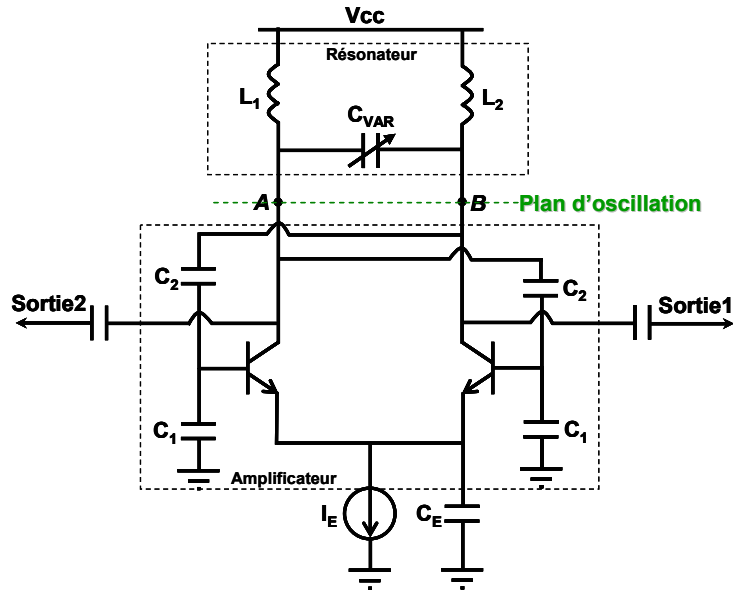


Figure 67: Schéma d'OCT différentiel à double paire croisée

1.1 Réalisation d'un oscillateur push-push

Le concept de base de cette topologie est l'utilisation de deux oscillateurs de base dont les sorties sont ajoutées (figure 68).

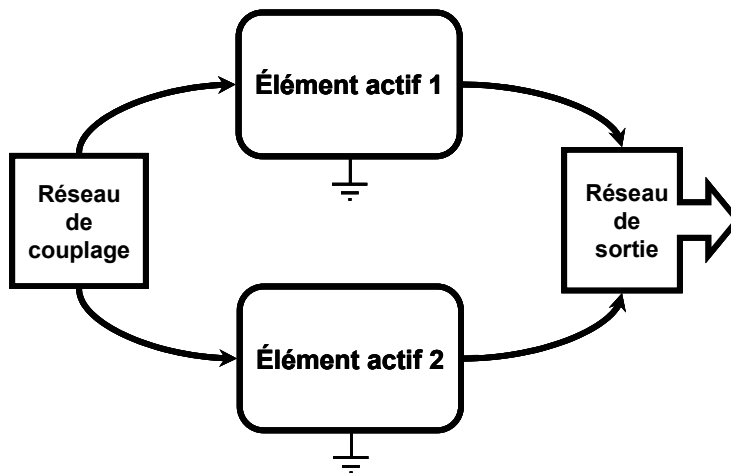


Figure 68: Principe de l'OCT push-push

Elle est généralement utilisée afin de synthétiser une fréquence double de la fréquence d'oscillation. En effet, celle-ci est obtenue par annulation de la fréquence fondamentale par addition des deux signaux de sortie déphasés de 180° ; par ailleurs, l'harmonique 2 s'ajoute en phase (le second harmonique peut aussi être extrait au niveau de la masse virtuelle du circuit).

Ce principe permet l'utilisation d'une technologie donnée à une gamme de fréquence plus étendue. Par exemple, un OCT à 38 GHz a été réalisé avec un TBH silicium présentant une fréquence de transition de seulement 25 GHz [39], c'est pourquoi cette topologie est généralement rencontrée pour des OCT générant des fréquences millimétriques. Elle est de plus en plus réalisée en MMIC [40]-[43], et ce jusqu'à une fréquence maximale publiée de 150 GHz [43]; en effet, nous tirons parti du meilleur facteur de qualité du résonateur LC à la fréquence fondamentale permettant ainsi d'atteindre un meilleur niveau de bruit de phase. Ceci est aussi le cas pour un OCT suivi d'un doubleur, mais nous avons ici la double fonction en un seul circuit, ce qui réduit à la fois l'encombrement et la consommation.

Ce concept peut aussi être étendu à la génération du Nième harmonique en utilisant un réseau de N oscillateurs couplés [45].

Nous choisirons cette topologie pour la conception de notre OCT, à la différence près que nous nous intéressons à la sortie différentielle du fondamental : nous ne tirerons donc pas bénéfice des avantages cités plus haut; en revanche, même utilisé dans un mode simple, cette structure présente un intérêt certain que nous exploiterons pour la conception de notre OCT à sortie différentielle en bande K.

1.2 Description du circuit

La topologie push-push (figure 69) a été choisie afin de réaliser l'OCT à 20 GHz. La configuration utilisant deux oscillateurs simples nous permet d'utiliser des éléments actifs plus gros que pour la conception d'un OCT à double paire croisée. Ces transistors sont donc moins bruyants (cf. figure 39). En effet, dans la topologie à double paire croisée classique, la sortie sur le collecteur d'un transistor est réinjecté sur l'entrée de l'autre, un délai supplémentaire est donc introduit en comparaison avec la topologie push-push reposant sur une topologie en réflexion. Ceci oblige donc à utiliser des transistors plus petits pour une même fréquence d'oscillation par rapport à la topologie simple. La topologie push-push (figure 69) nous permet ainsi d'associer les avantages en terme de robustesse du différentiel vis-à-vis des parasites électromagnétiques et les performances fréquentielles de la topologie simple.

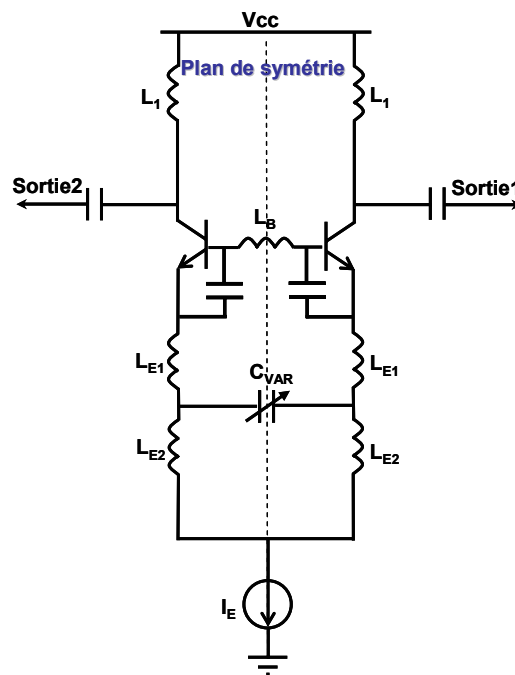


Figure 69: Schéma du VCO à 20 GHz

Un autre avantage de cette topologie est que le résonateur n'est plus directement chargé par la sortie de l'oscillateur contrairement à la topologie à double paire croisée. Ceci permet ainsi au résonateur d'être isolé de la charge sur le collecteur.

La conception d'un OCT de ce type commence par la réalisation d'une résistance négative simple à contre réaction série. Une étude petit signal est donc menée afin de générer un optimum de résistance négative à la fréquence d'oscillation voulue. Nous choisirons une topologie Colpitts pour réaliser notre réseau de base.

Ce travail est dupliqué pour satisfaire à la condition de symétrie : les deux sous parties sont enfin assemblées puis l'inductance L_B est optimisée afin que l'ensemble satisfasse à la condition d'oscillation.

Ici, le respect des conditions d'oscillation est vérifié en simulant l'impédance de la boucle, permettant ainsi de prendre en compte l'ensemble du circuit. Un démarrage des oscillations à 20,6 GHz a ainsi été fixé.

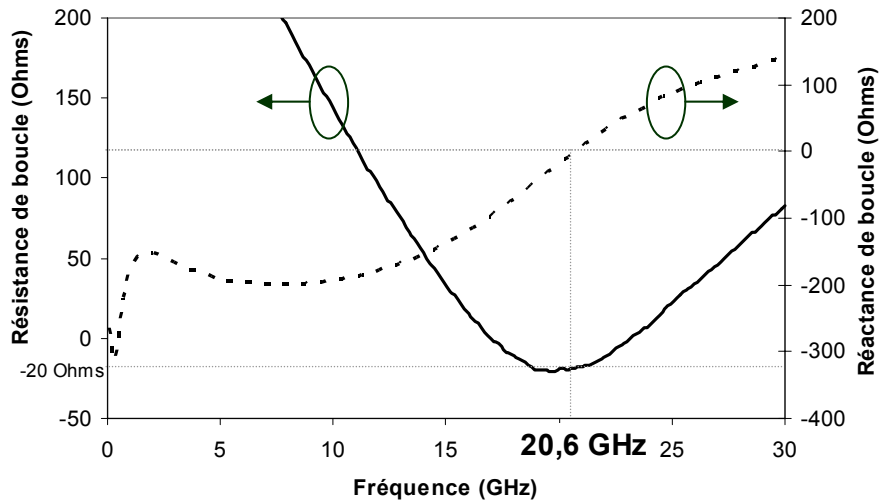
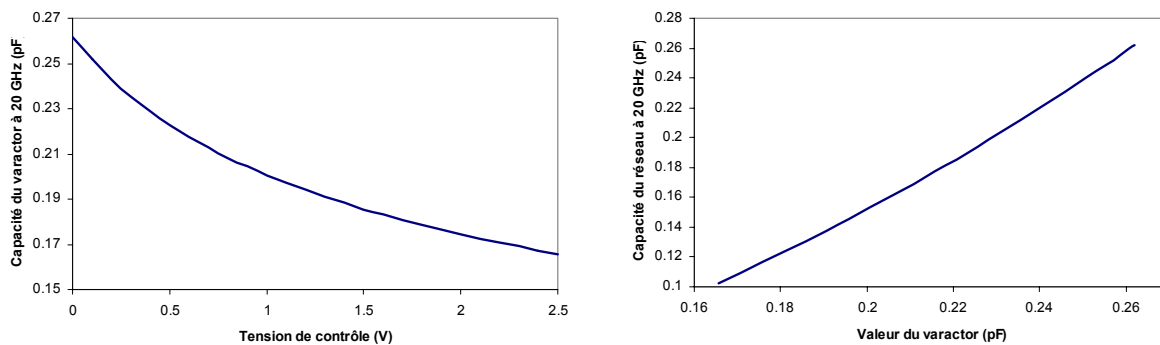


Figure 70 : Conditions d'oscillation petit signal de l'OCT en bande K

Dans le cas de l'oscillateur push-push dont on souhaite extraire l'harmonique d'ordre deux, la génération de l'harmonique doit être favorisée afin d'obtenir un maximum de puissance de sortie [46]. Dans le cas qui nous concerne, l'étude est guidée par le critère d'optimisation du bruit de phase. De ce fait, nous cherchons à minimiser le mode commun afin de bénéficier des avantages d'une structure différentielle cités plus haut.

Le concept d'amélioration du bruit de phase de notre OCT est basé sur l'étude de H. Li et Al. [47] dont les résultats définissent l'état de l'art du bruit de phase en réalisation MMIC. L'amélioration des performances en bruit est liée à l'utilisation d'un réseau LCL (représenté par L_{E1} , C_{var} , L_{E2} dans la figure 69) entre la résistance négative et la source en courant permettant de polariser les transistors.

Ce réseau a été conçu de manière à se comporter comme une capacité à la fréquence d'oscillation (figure 71); il réalise ainsi la contre-réaction série nécessaire à la génération de la résistance négative des sous circuits.



(a)

(b)

Figure 71 : Capacité du varactor simulé en fonction de la tension de commande (a) et capacité équivalente du réseau LCL à 20 GHz

L'influence de l'inductance L_{E1} est mise en évidence dans la comparaison des résultats avec et sans L_{E1} en figure 72. Un optimum de bruit de phase à -86 dBc/Hz a été trouvé pour une valeur de L_{E1} de $0,1$ nH. Sans l'inductance, le bruit de phase à 100 kHz de la porteuse serait de -82 dBc/Hz.

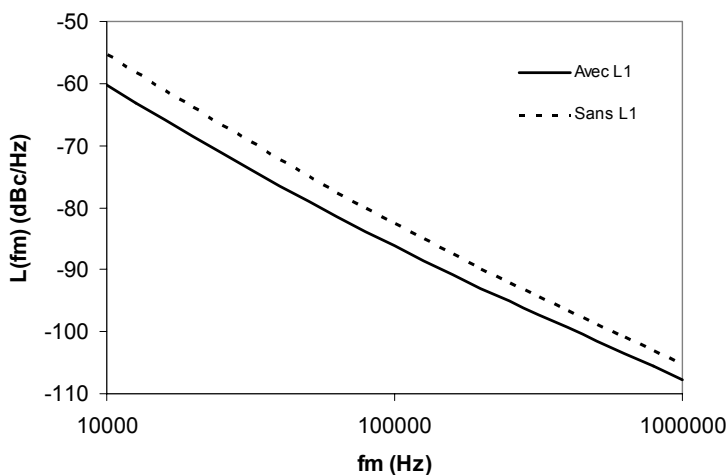


Figure 72 : Comparaison du bruit de phase simulé du circuit avec et sans L1

Afin de mieux comprendre l'influence de l'inductance, le bruit de phase a été comparé pour différents types de réseaux substitués à L_{E1} (pour des fréquences d'oscillation identiques) : une capacité présentant un module d'impédance équivalent à celui obtenu par

L_{E1} à la fréquence d'oscillation (en parallèle avec une inductance "parfaite" de valeur très élevée afin de permettre la polarisation) et une résistance de contre-réaction équivalente. Ceci nous a permis d'obtenir les résultats suivants :

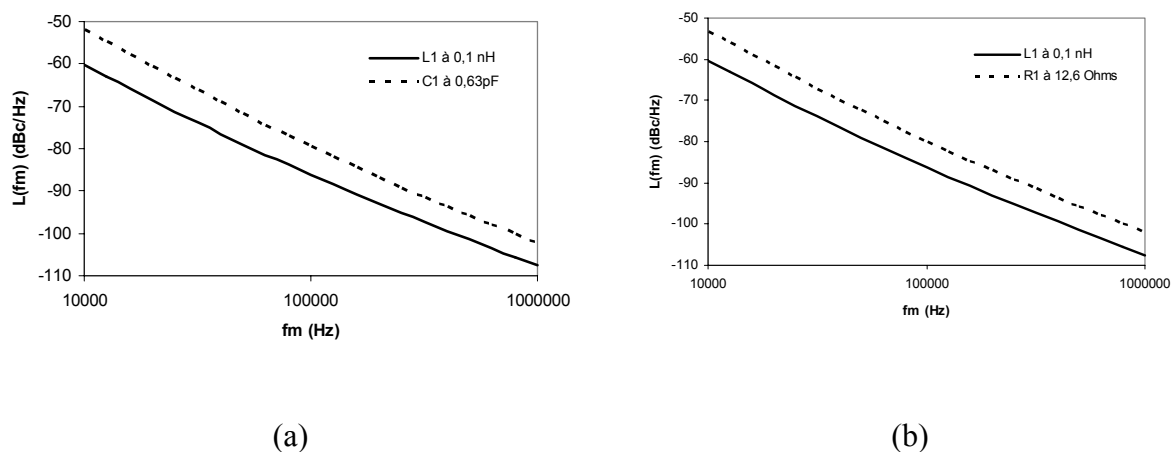


Figure 73: Comparaison de l'influence de L_1 avec des contre-réactions capacitive (a) et résistive (b) équivalentes

A 100 kHz de la porteuse, le bruit de phase obtenu avec C_{E1} est de -79 dBc/Hz et avec R_{E1} de -80 dBc/Hz, ce qui dégrade le bruit de phase comparé au cas équivalent avec L_1 . Une étude [25] fait état de l'amélioration du bruit de phase résiduel des transistors avec une modification des conditions de charge du transistor, affectant par là même les conditions d'adaptation : une relation des variations du gain petit signal avec les variations du bruit de phase résiduel est ainsi avancée. Aussi, la causalité de l'influence du gain petit signal sur le bruit de phase [25] n'est ici pas valide : les réseaux équivalents (en $|Z|$ ou $|\Gamma|$) mis en place dégradent le gain petit signal, mais le bruit de phase se trouve amélioré ou dégradé selon le caractère de la charge réalisant la contre-réaction série. La phase du circuit de contre-réaction est déterminante en vue de l'optimisation en bruit. La nature de la réaction appliquée sur l'émetteur affecte le comportement en bruit de phase des circuits.

Aussi, les raisons de l'amélioration du bruit de phase par les conditions de charge RF peuvent se vérifier par la mise en place en simulation du court circuit de la source de bruit en courant. En effet, nous montrons que son effet est nul dans le circuit tel qu'il a été optimisé (figure 74-a). Ceci traduit la non conversion de la source de bruit en courant dans le mécanisme de génération du bruit de phase. Aussi, il a été vérifié qu'avec un réseau classique sur

l'émetteur des transistors, le court-circuit de la source de bruit sur la jonction base émetteur est effectif.

Nous en concluons que nous sommes ici dans un optimum de bruit de phase, celui-ci n'étant généré que par la conversion des autres sources de bruit pour une tension de contrôle de la fréquence de 0 V.

La dégradation du bruit de phase avec la tension de contrôle s'explique par la modification des conditions de charge RF conduisant à un éloignement du minimum de conversion réel. De la même manière, nous constatons l'effet du court circuit pour une tension de contrôle de 2,5 V (figure 74-b) qui permettrait de réduire le bruit de phase au même niveau qu'à 0 V de tension de contrôle de la fréquence. Il faut noter ici que le bruit de phase a été simulé avec la méthode du pnm (§1.4.1b)), qui est rappelons le invalide près de la porteuse, mais permet de prendre en compte le filtrage des sources de bruit contrairement à la méthode du pnm (§1.4.1a)).

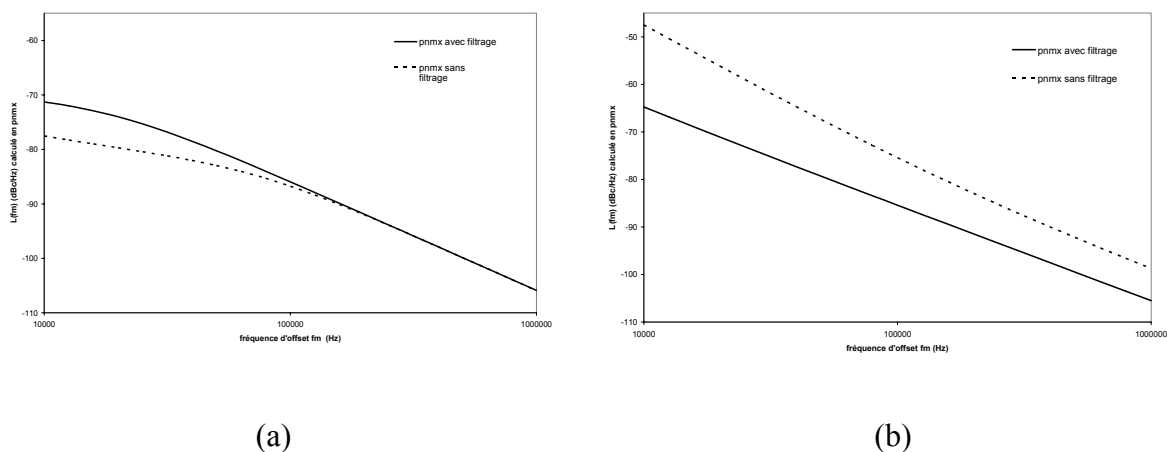


Figure 74 : Comparaison du bruit de phase avec et sans filtrage à $V_{tune}=0$ V (a) et $V_{tune}=2,5$ V (b)

L'effet de L1 s'explique alors par le fait qu'il permet de rajouter un paramètre supplémentaire d'optimisation permettant ainsi d'atteindre l'optimum en terme de conversion.

Pour cette conception, les inductances différentielles utilisées ont été optimisées en terme de coefficient de qualité pour une fréquence d'utilisation de 20 GHz. En effet, les inductances différentielles utilisées possèdent une couche N épitaxiale flottante sous la piste métallique de manière à réduire les pertes dans le substrat.

Les données simulées sous HFSS sont directement utilisées dans la simulation du circuit. A 20 GHz, la valeur simulée de l'inductance est un peu surestimée (0,7 nH simulé pour 0,67 nH mesuré), et le coefficient de qualité semble conforme à la simulation malgré un écart important entre 2 et 13 GHz dans l'estimation du coefficient de qualité et une bonne prédiction de la valeur de l'inductance. Ceci peut être dû à la difficulté de rendre compte précisément des pertes ohmiques par les simulateurs; cependant, les caractéristiques simulées sont suffisamment précises pour la fréquence à laquelle nous travaillons et pour notre application puisqu'une rétro simulation utilisant les mesures conduit à un résultat similaire.

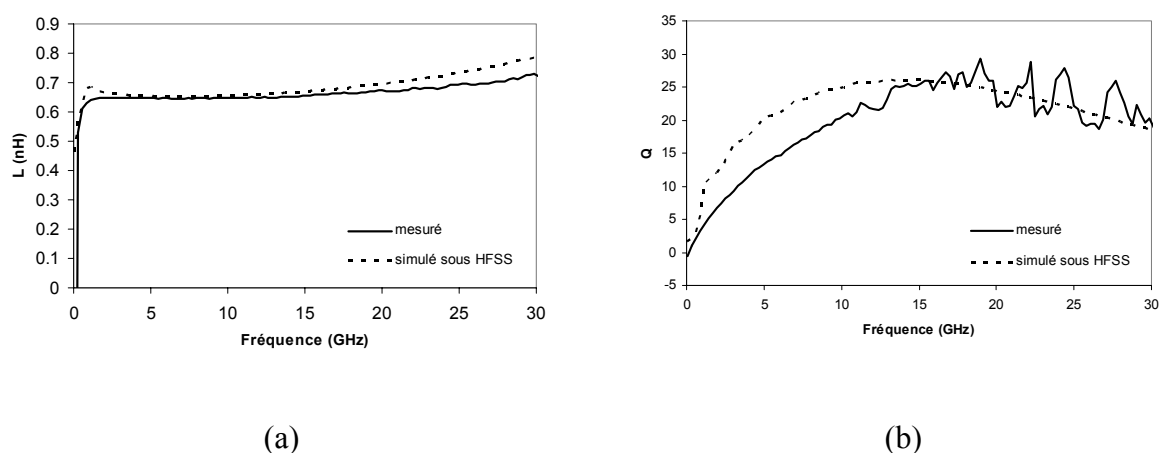
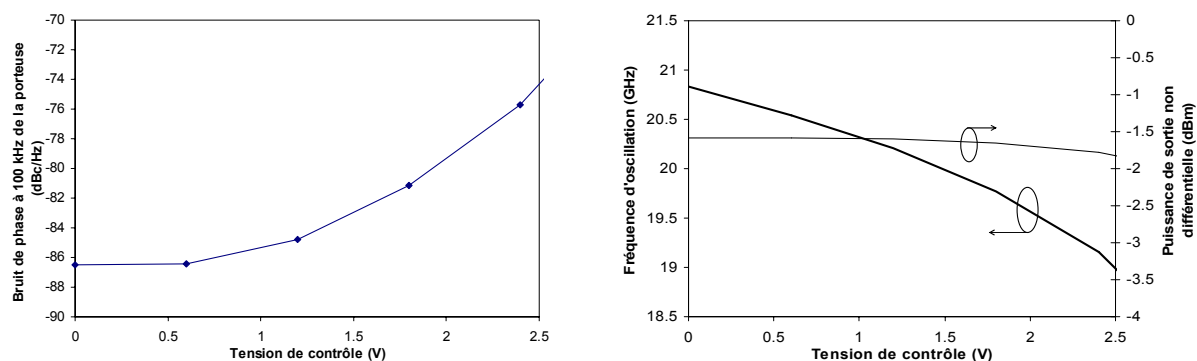


Figure 75 : Valeur (a) et coefficient de qualité (b) de l'inductance différentielle

Une microphotographie du circuit est représentée en figure 77. Il fonctionne sous une tension d'alimentation de 5,3 Volts et consomme 21 mA.

Les résultats de simulation sur le bruit de phase, la fréquence d'oscillation et la puissance de sortie de l'oscillateur sont reportés sur la figure 76.



(a) (b)

Figure 76 : Performances en bruit de phase simulé à 100 kHz de la porteuse (a) et performances simulées en accord et en puissance (b) en fonction de la tension de commande

Le bruit de phase attendu est de -87 dBc/Hz à 0 Volt de tension de commande, mais cette performance se dégrade fortement avec la tension de contrôle. Ceci semble être attribué aux non linéarités du varactor. En effet, si celui-ci est remplacé par la valeur de capacité équivalente, le niveau de bruit reste inchangé.

La fréquence de contrôle attendue s'étend de 20,8 GHz à 19 GHz pour une puissance de sortie constante à environ -2 dBm.

Une micro photographie du circuit est représentée en figure 77.

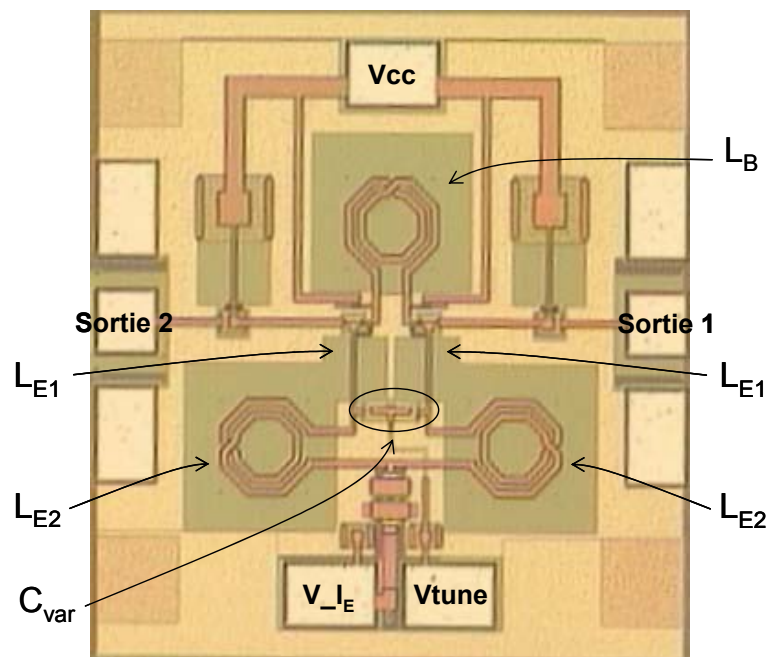


Figure 77: Microphotographie de l'OCT en bande K (0,8x0,8 mm)

a) Caractérisation

La mesure du circuit a été réalisée sous pointe avec une station Karl Süss.

Chapitre 2: L'oscillateur contrôlé en tension

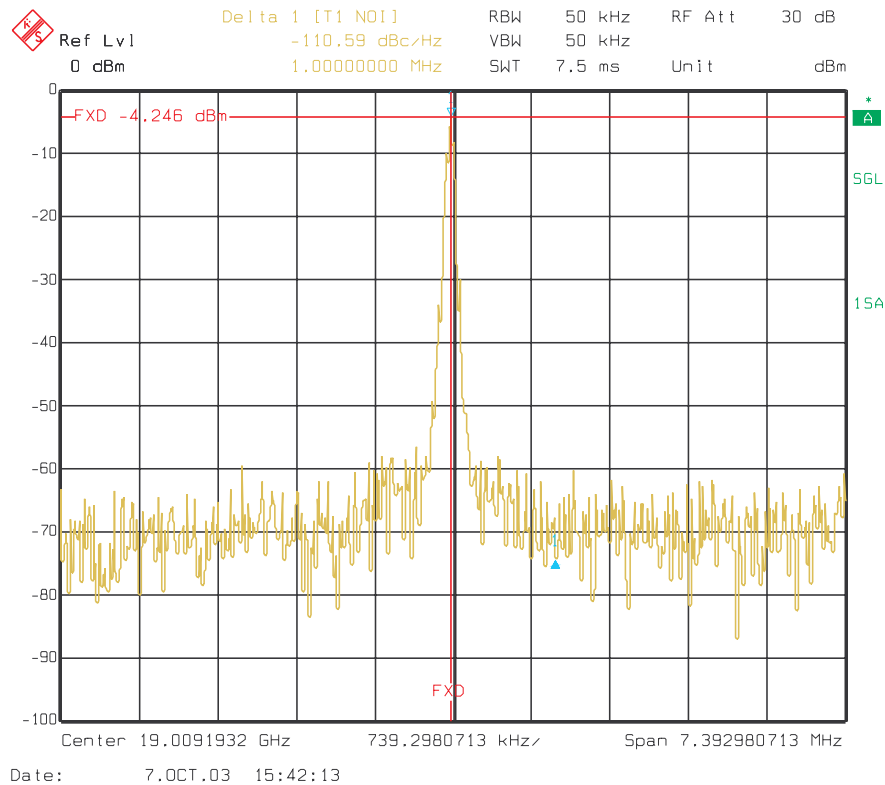


Figure 78: Spectre de sortie mesuré du VCO en bande K

A 0 V de tension de contrôle V_{tuning} , la fréquence d'oscillation libre est à 19 GHz. Le bruit de phase relevé ainsi est de -110 dBc/Hz à 1 MHz de la porteuse, soit -90 dBc/Hz à 100 kHz de la porteuse. Ce résultat est meilleur que ce que la simulation prédit en terme de bruit de phase; en revanche, la fréquence d'oscillation présente un décalage assez important de 1.8 GHz par rapport à la fréquence attendue en simulation. Tous les déphasages introduits par les pistes métalliques ayant déjà été pris en compte, une rétro simulation utilisant la valeur mesurée de l'inductance est réalisée, mais n'affecte que faiblement la fréquence d'oscillation : les valeurs mesurées et simulées sont en effet très proches. L'hypothèse d'une valeur du varactor différente sur le circuit de celle implémentée dans le simulateur est avancée : une rétro simulation sur la valeur des varactors prouve qu'une variation de 0,1 pF (incertitude de 30%) sur la valeur du varactor suffit pour justifier un changement sur la fréquence d'oscillation de 1,8 GHz.

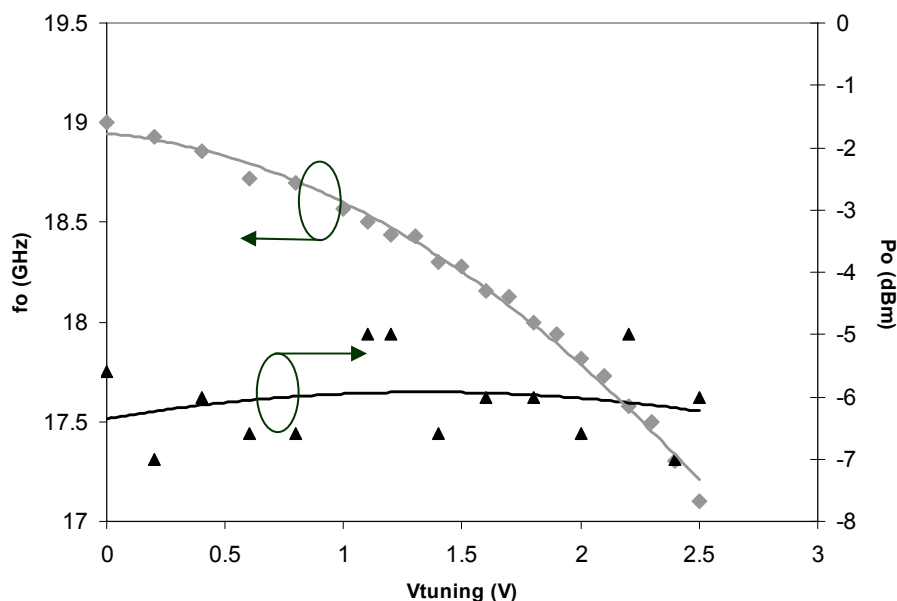


Figure 79: Variation de la fréquence de sortie et de la puissance avec la tension de contrôle

Pour une tension de contrôle de 0 à 2,5 V, la fréquence est variable de 19 à 17,1 GHz pour une puissance de sortie variant de -7 à -5 dBm. L'écart sur la puissance de sortie mesurée et simulée correspond à celui observé notamment pour la réalisation parallèle, et est attribué à une compression plus tardive du modèle du transistor par rapport au dispositif conçu et disponible sur le circuit : ce fait a été vérifié sur un composant de géométrie différente sur la courbe de compression $P_S(P_E)$ (écart de 4dB entre la mesure et la simulation à 5 GHz).

VIII. ETAT DE L'ART

Les oscillateurs conçus sont répertoriés sur un tableau représentant le niveau de l'état de l'art en terme de bruit de phase en figure 80 pour différentes technologies. Les spécifications sont toutes ramenées à 100 kHz de la porteuse (en supposant une régression du bruit de phase selon une pente en -20 dB/déc). La droite portée en pointillés correspond au bruit de phase de l'OCT réalisé en bande K, multiplié ou divisé. L'oscillateur série et l'oscillateur push-push sont situés au niveau de l'état de l'art actuel pour les réalisations intégrées (toutes technologies confondues) et définissent cet état de l'art en technologie BiCMOS SiGe.

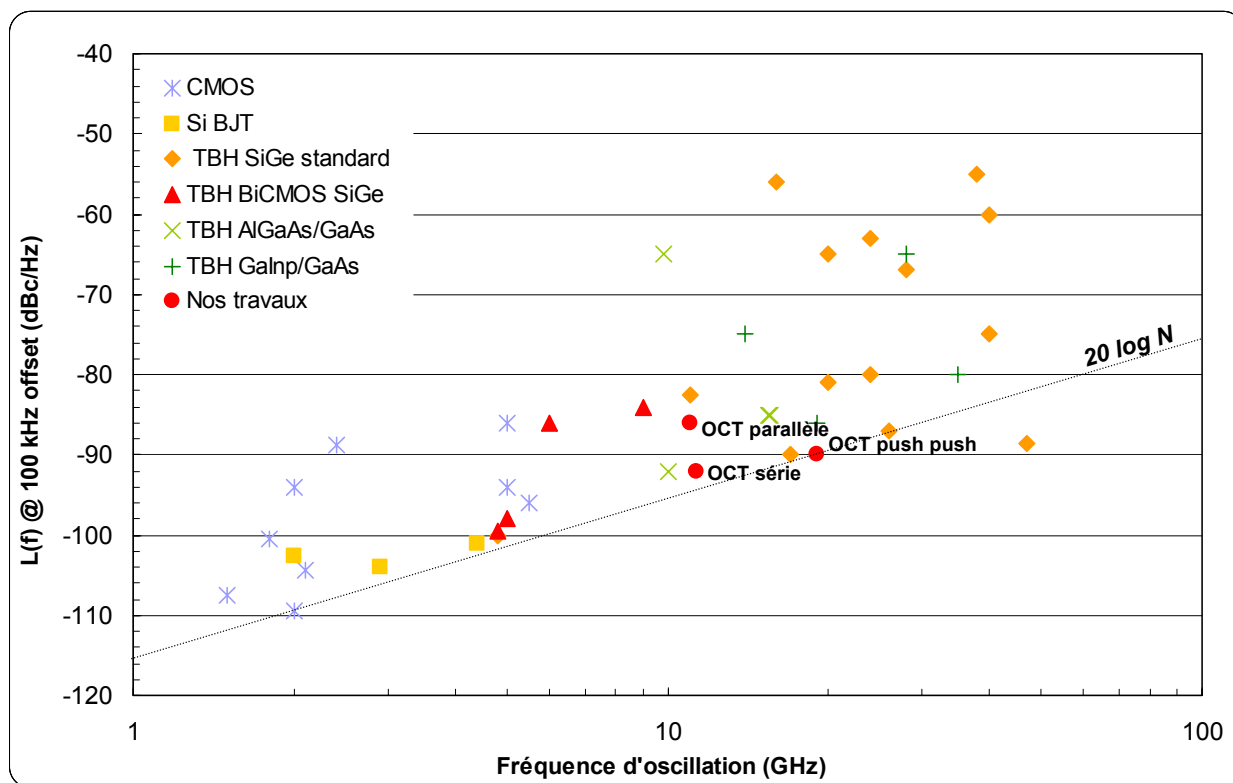


Figure 80 : État de l'art des oscillateur contrôlés en tension MMIC

IX. CONCLUSION

Dans ce chapitre, nous présentons la conception d'OCT en technologie BiCMOS : la faisabilité d'OCT dans cette technologie a été démontrée en bande X et K. Les deux premiers circuits réalisés en bande X ont été conçus sur la base de topologies simples : les deux topologies sont ainsi comparées sur la base de leurs topologies, l'élément actif choisi étant identique dans les deux cas. Finalement, la prépondérance de la source de bruit en courant sur la jonction base émetteur a été soulignée et démontrée en mesure sur l'élément actif utilisé. Sur la base de ce constat, nous avons identifié les points de polarisation les plus favorables en terme de bruit de phase en fonction de chacune des topologies. L'identification de la source principale responsable du bruit de phase a permis d'envisager la mise en place d'un circuit de polarisation basse impédance extrinsèque court-circuitant les effets de cette source de bruit en courant.

Le second circuit fonctionnant en bande K est réalisé de manière à fournir un signal différentiel. La topologie push-push a été retenue pour les meilleures performances fréquentielles qu'elle procure en comparaison avec la topologie à double paire croisée : ce constat permet l'utilisation d'un transistor plus gros, donc moins bruyant. L'optimisation du

bruit de phase du transistor a été basée sur l'ajout d'une contre réaction inductive améliorant de manière sensible la pureté spectrale et permettant d'obtenir un niveau de bruit à l'état de l'art à cette fréquence de fonctionnement en technologie intégrée monolithique.

Le verrou principal de la réalisation monolithique est lié au faible facteur de qualité des inductances, entraînant ainsi un bruit de phase dégradé en comparaison avec les autres réalisations hybrides ou à base de résonateurs diélectriques par exemple. Cependant, la miniaturisation associée au faible coût des circuits MMIC compensent largement ce désavantage dans bon nombre d'applications. Sur la base du constat précédent, Agilent a créé un résonateur FBAR (Film Bulk Acoustic Resonator) tout d'abord dédié à la miniaturisation du duplexeur de la téléphonie mobile : mais ses propriétés en compacité ($\approx 1 \text{ mm}^2$) et en facteur de qualité (> 500) ont été utilisées tout récemment pour la réalisation d'oscillateurs [49]. Le bruit de phase est ainsi amélioré de 15 à 20 dB en comparaison avec un résonateur classique LC.

CHAPITRE 3 :

CONTRIBUTION A LA DIVISION FRACTIONNAIRE PROGRAMMABLE

I. INTRODUCTION

Comme nous l'avons présenté lors du chapitre 1, la synthèse de fréquence est un système combinant plusieurs éléments résultant en la génération d'une ou plusieurs fréquences à partir d'une source de référence. Il fournit alors dans un système plus global le signal d'oscillateur local à un récepteur ou émetteur radio-fréquence. Cette synthèse est réalisée par une boucle à verrouillage de phase (PLL : Phase Locked Loop fig1), c'est à dire un asservissement en fréquence entre la sortie divisée et la fréquence de référence.

Les caractéristiques désirées consistent en :

- ★ un temps rapide d'établissement de la fréquence. Concrètement, ceci passe par une bande passante de boucle élevée, soit une fréquence de coupure de filtre de boucle élevée.
- ★ la suppression des pics parasites, ce qui revient à un faible courant de fuite pour la pompe de charge et une bande passante de boucle faible.
- ★ une faible consommation en puissance pour les applications mobiles

En conséquence des deux premiers points, les facteurs les plus contraignants concernent la définition de la largeur de bande passante de boucle et de la fréquence de référence.

Il est nécessaire d'avoir une fréquence de référence élevée autorisant une fréquence de coupure du filtre élevée de manière à obtenir un temps d'établissement faible. En conséquence, puisque $f_{vco} = N \times f_{réf}$, la résolution de fréquence de la boucle est donc $f_{réf}$.

C'est dans cette optique que la division fractionnaire a été développée : fixer une fréquence de référence correcte (suffisamment élevée) et obtenir une résolution fine ne dépendant plus totalement de cette référence [50].

II. LA DIVISION FRACTIONNAIRE

1.1 Principe de base

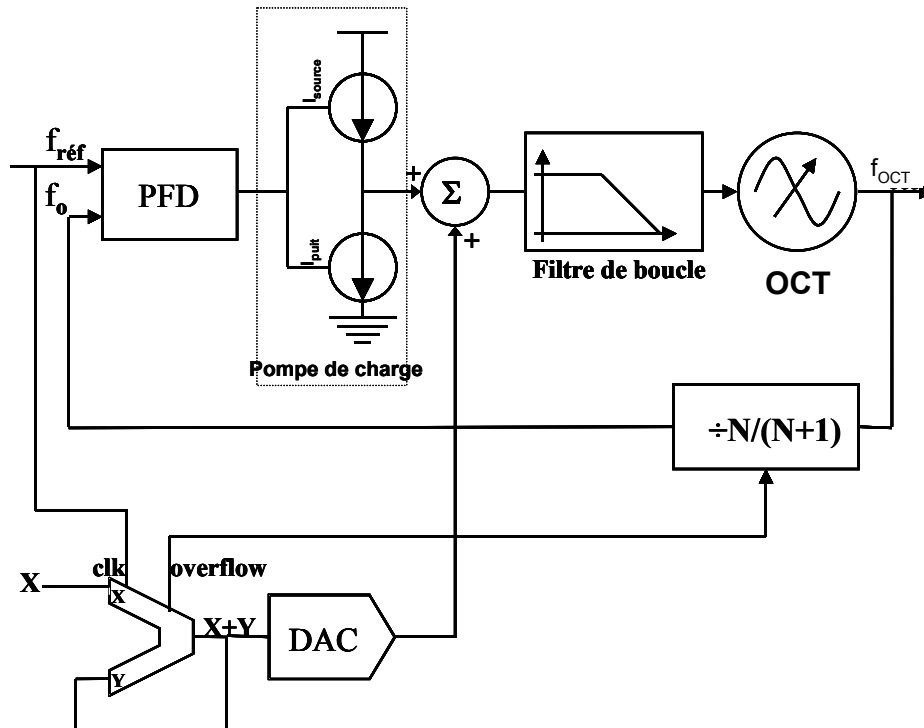


Figure 81 : Schéma de la synthèse de fréquence fractionnaire

La division fractionnaire (figure 81) est réalisée sur le principe d'une division commutant périodiquement de N à $N+1$ (N étant un entier naturel). La donnée fractionnaire apparaît dans la division moyenne obtenue, et correspond au rapport cyclique des temps de division par $N+1$ et N .

Ce module est réalisé à l'aide d'un accumulateur dont le pas de remplissage est fixé par l'entrée X . Une fois cet accumulateur saturé, il envoie un signal de débordement (overflow) commutant la commande du bloc de division de N à $N+1$.

Pour illustrer ces propos, la figure 82 montre la périodicité du bloc de division commandée par l'accumulateur : le bloc de division initialisé à N divisera par cette valeur durant le temps de comptage T_N de l'accumulateur, puis par $(N+1)$ au débordement de celui-ci durant T_{N+1} .

Ce motif de division présenté en exemple ne fait pas état d'un cas de figure général. Il varie selon l'entrée de l'accumulateur et la taille de celui-ci.

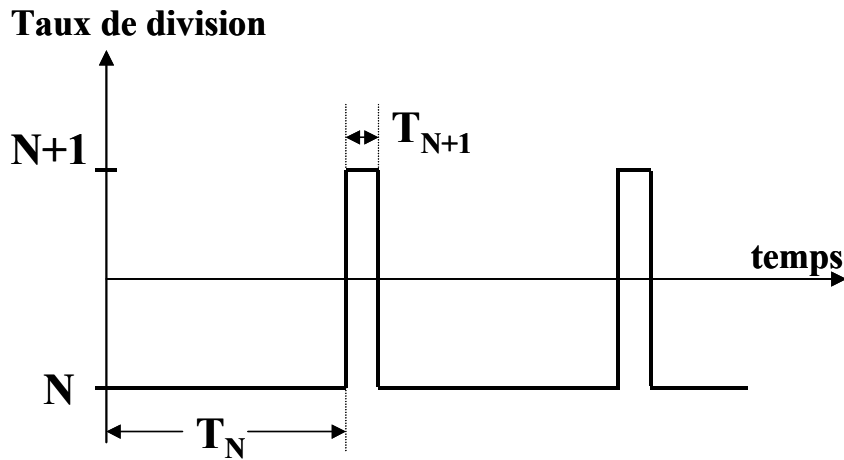


Figure 82 : Diagramme des temps de la division fractionnaire

Nous avons donc un taux de division moyen de :

$$N_{\text{moyen}} = \frac{N \times T_N + (N+1) \times T_{N+1}}{T_N + T_{N+1}} \quad (56)$$

$$\text{Soit la fréquence du OCT } f_{\text{oct}} = \left[N + \frac{T_{N+1}}{T_N + T_{N+1}} \right] \times f_{\text{réf}} \quad (57)$$

$D = \frac{T_{N+1}}{T_N + T_{N+1}}$ réalise la partie fractionnaire de la division. La fréquence de

l'oscillateur peut donc s'écrire : $f_{\text{oct}} = N, D \times f_{\text{réf}}$

La modification périodique du module du diviseur donne naissance à une erreur de phase (figure 83) en dent de scie. Si celle-ci n'est pas compensée, elle engendre des raies parasites en sortie du synthétiseur à chaque multiple de $(f_{\text{réf}} \times 0, D)$ autour de la fréquence désirée.

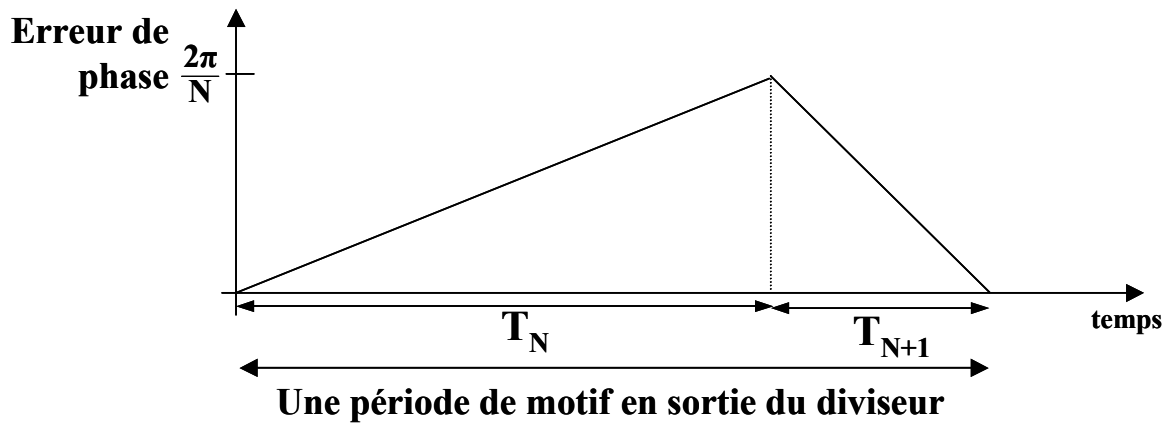


Figure 83: Mise en évidence de l'erreur de phase dans la division fractionnaire

L'information d'erreur étant disponible à la sortie de l'accumulateur, un convertisseur numérique analogique (DAC) permet de rectifier l'erreur directement en amont du filtre de boucle (figure 81). Les pics parasites sont alors réduits si le signal envoyé par le DAC compense exactement l'erreur de phase. Le soin particulier qu'il faut apporter à sa mise en œuvre et la complexité de celui-ci motive nos investigations sur de nouvelles structures.

Quelques autres structures partant du même principe ont été publiées avec pour objectif une minimisation de cette erreur de phase dont certaines sont présentées par la suite.

1.2 Architectures variantes pour la division fractionnaire de fréquence.

1.2.1 Division fractionnaire à ajout d'un taux de division alternatif [52]

Le mode de fonctionnement du synthétiseur présenté dans les travaux décrits en [52] repose sur l'introduction dans le motif de division classique de $N/(N+1)$ d'un taux supplémentaire de $N+1/2$. L'intérêt réside dans la réduction de l'erreur de phase.

En effet, en pratique, dans une division fractionnaire classique, l'erreur de phase se compense entre la division par N et celle par $(N+1)$. Ici, elle se compense entre une division par $(N+1/2)$ et une division par N ou $(N+1)$ selon que la valeur fractionnaire $2 \times D$ soit inférieure ou supérieure à 1.

Pour illustrer ceci, la figure 84 représente le diagramme de fonctionnement dans le cas de figure classique, avec l'erreur de phase engendrée qui est comparée au fonctionnement proposé : D est ici de $3/5$, donc le taux de division de $(N+1)$ sera utilisé en conjonction de $(N+1/2)$.

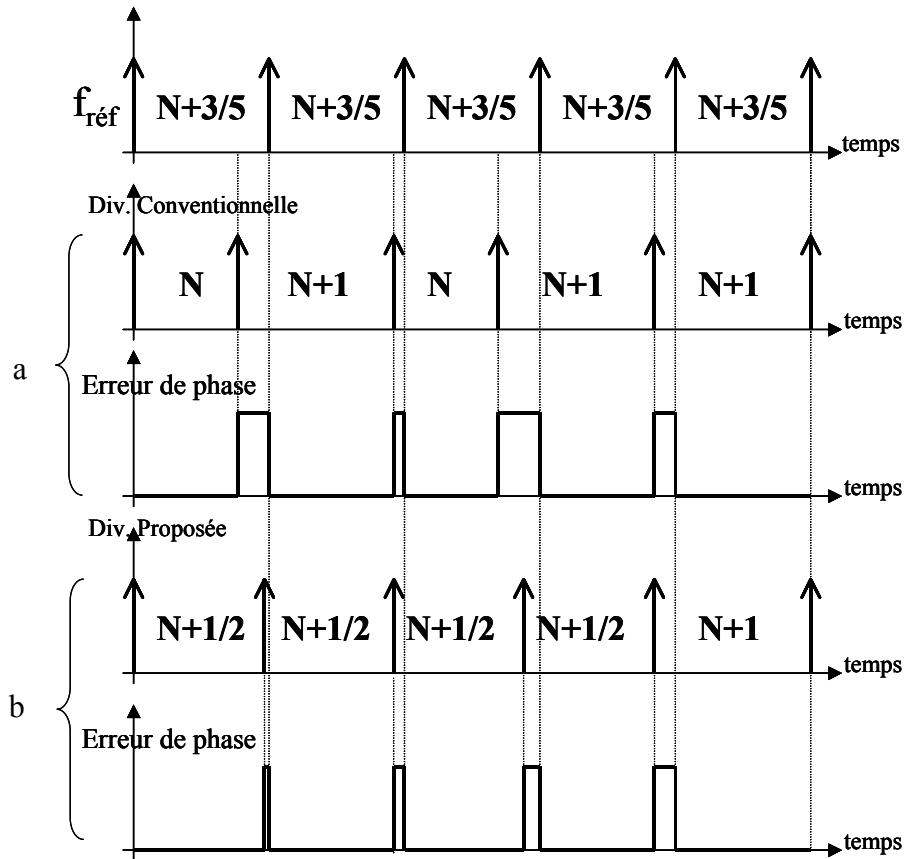


Figure 84: Comparaison de l'erreur de phase engendrée par la méthode de division traditionnelle (a) et celle proposée (b)

Cette méthode réduit certes le terme d'erreur, mais elle ne permet toujours pas de s'affranchir du circuit correcteur d'erreur.

1.2.2 Division fractionnaire à numérateur et dénominateur programmable [53]

Cette structure propose une convivialité d'utilisation puisque le numérateur et le dénominateur du taux de fractionalité sont directement des entrées du circuit. Outre la convivialité, le taux fractionnaire obtenu par la méthode conventionnelle est de $\frac{X}{Q}$ avec X l'entrée de l'accumulateur et Q la taille de celui-ci. Or Q est égal à 2^n , avec n la taille de celui-ci en nombre de bit. Les taux de fractionalité que l'on peut obtenir sont donc limités par la taille de l'accumulateur. La solution évoquée ici autorise un degré de liberté supplémentaire.

Son mode de fonctionnement est le même que celui de la structure classique à accumulateur, mais sa réalisation est basée sur l'utilisation de deux compteurs. Le diagramme bloc est celui de la figure 85 avec les entiers naturels satisfaisant la relation $A < M$.

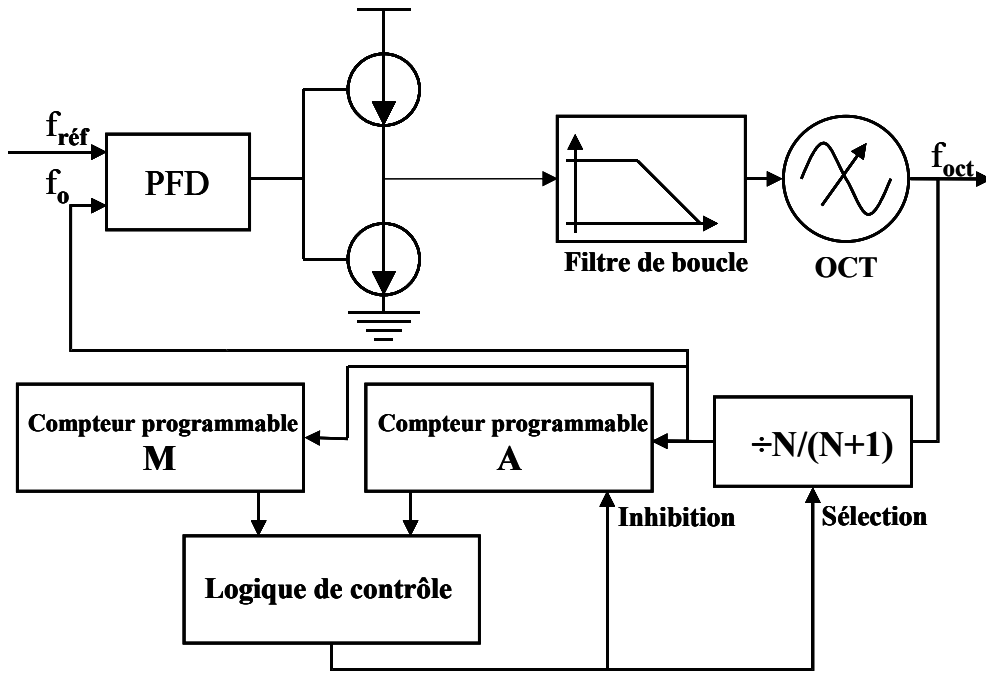


Figure 85: Schéma bloc du diviseur fractionnaire à taux de fractionalité programmable

Les compteurs M et A sont chargés respectivement aux valeurs (M-1) et (A-1) et commencent leur comptage simultanément. Le compteur A fini son cycle avant le compteur M et attend que celui-ci ait fini pour redémarrer un autre cycle avec lui. Ceci donne le diagramme de fonctionnement suivant avec M=5 et A=3.

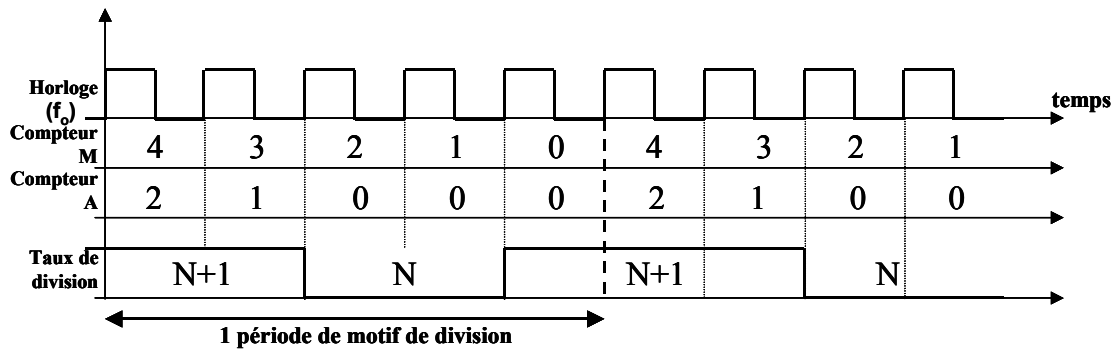


Figure 86 : Diagramme des temps de la division fractionnaire programmable

Ceci nous donne donc un taux de division moyen de :

$$N_{\text{moy}} = \frac{A \cdot (N + 1) + (M - A) \cdot N}{M} = N + \frac{A}{M} \quad (58)$$

Le bruit de phase de cette structure en comparaison avec une structure à taux de division entier pour un pas de fréquence équivalent (taux de division beaucoup plus élevé pour la structure à taux de division entier, et fréquence de référence d'autant plus faible) est bien meilleur : ceci est généralisable à la division fractionnaire. De plus, cette structure permet d'obtenir un pas de fréquence variable dont le domaine de réglage dépend des tailles des compteurs implémentés.

Ce mode de fonctionnement fait apparaître toutefois des pics de fréquences parasites qui sont la conséquence de l'erreur de phase engendrée par l'alternance des taux de division.

La seule structure permettant une division fractionnaire permettant de s'affranchir de cet inconvénient est la division fractionnaire à modulateur $\Delta\Sigma$.

1.2.3 Division fractionnaire à base de modulateur $\Delta\Sigma$

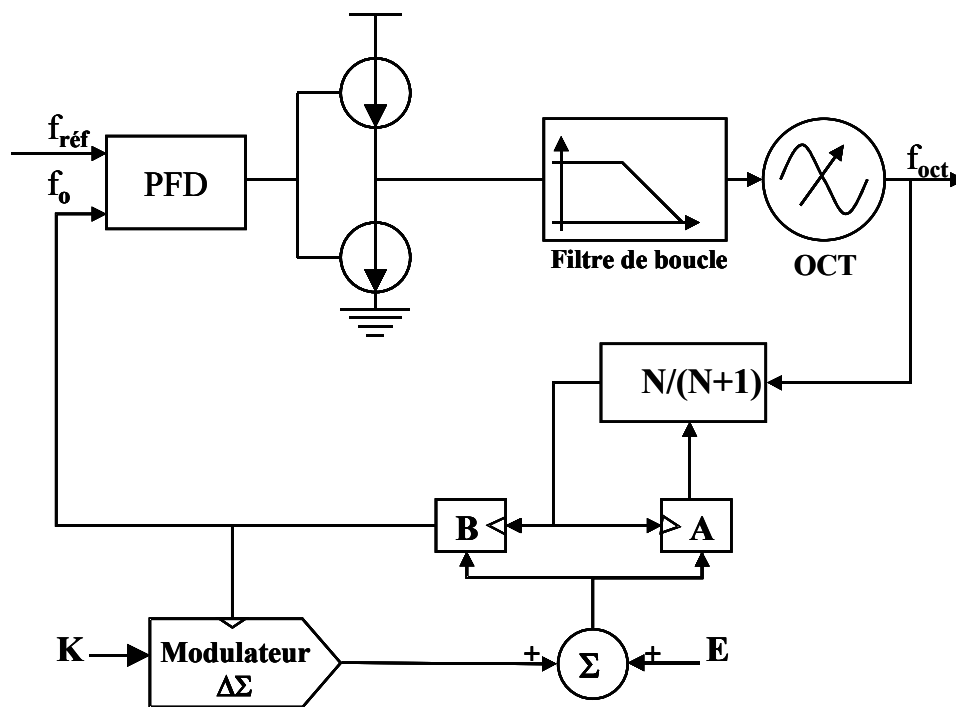


Figure 87: synthétiseur de fréquence fractionnaire N modulé $\Delta\Sigma$

Cette implémentation semble être la plus utilisée pour la réalisation de synthétiseur de fréquence fractionnaire [54]-[55]. Elle s'appuie sur le domaine du traitement du signal : en effet, les pics parasites sont dans cette structure transformés en bruit pseudo blanc comme nous l'évoquerons plus tard.

Une autre caractéristique de ce genre de structure, outre les avantages apportés par la fractionalité dans la division, concerne la mise en forme du bruit de quantification apporté par le modulateur : repoussé vers les hautes fréquences, le bruit pourra être filtré aisément par le filtre de boucle du synthétiseur.

De plus, son fonctionnement permet de s'affranchir de la compensation de l'erreur de phase : le signal généré étant de type pseudo aléatoire pour le modulateur d'ordre supérieur à 1, aucun pic n'est produit en sortie.

A l'origine, le modulateur $\Delta\Sigma$ était utilisé pour la réalisation de convertisseurs analogique numérique sophistiqués permettant des précisions de codage que n'autorisent pas les autres types de convertisseur. En effet, le signal d'entrée échantillonné possède une fréquence très supérieure à celle qui serait nécessaire pour l'application de la règle de Shannon.

1 Analogie entre le fonctionnement de l'accumulateur dans la division fractionnaire et celui du convertisseur $\Delta\Sigma$ du 1er ordre

L'utilisation du convertisseur $\Delta\Sigma$ dans la division fractionnaire s'explique par sa similarité dans son fonctionnement vis-à-vis de l'accumulateur. En effet, le signal de débordement de l'accumulateur s'apparente à une décision de comparaison qui se charge de la valeur de débordement. Ce débordement représente en fait l'erreur en fréquence entre la fréquence désirée K et la fréquence du flot de bit.

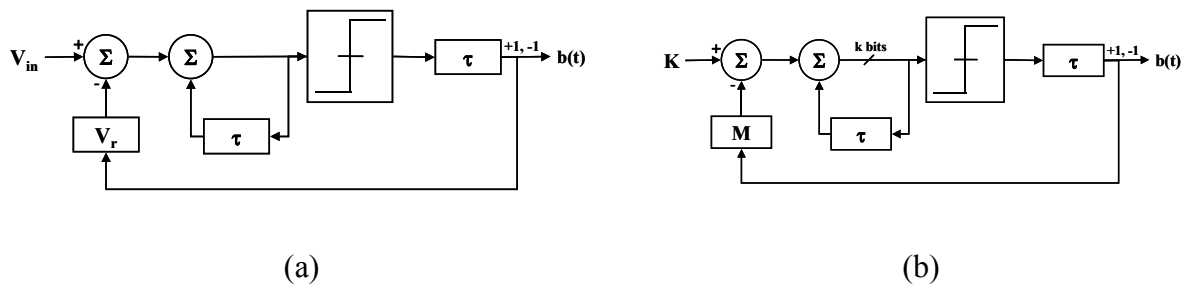


Figure 88: Utilisation du convertisseur $\Delta\Sigma$ en convertisseur analogique-numérique (CAN) (a) et en modulateur (b)

Le diagramme bloc du convertisseur $\Delta\Sigma$ est montré en figure 88 (a). En considérant le fonctionnement en modulateur $\Delta\Sigma$ réalisant la fonction très similaire à l'accumulateur, son schéma est celui de la figure 88 (b). Les différences notables sont les suivantes :

- l'accumulateur donne le résultat de sa sortie de manière instantanée, mais est contrôlé par l'horloge pour réaliser une opération à chaque cycle, alors que le modulateur a besoin d'un délai τ autour de la boucle.

- dans le cas de l'accumulateur, les deux valeurs limitatives pour le signal d'entrée sont définies par la taille de l'accumulateur, c'est à dire entre 0 et 2^k (k étant le nombre de bit), alors que dans le modulateur, il est limité par le coefficient de retour M.

- enfin, l'accumulateur produit un flot de 0 et 1 alors que le modulateur produit un flot de +1 et -1 (selon la taille du quantificateur $\pm q$), c'est à dire que la tension en sortie de

l'accumulateur est centrée autour de $\left(\frac{2^k-1}{2}\right)$ et celle du modulateur autour de 0.

Malgré ces différences, l'intégration et la quantification à la sortie de débordement de l'accumulateur suggèrent que la dynamique des deux circuits est similaire.

L'utilisation de ce système est souvent améliorée. En effet, la modulation $\Delta\Sigma$ du 1^{er} ordre par l'intégration permettant de convertir l'information de fréquence en information de phase retire un zéro dans la fonction de mise en forme du bruit ; la conséquence de ceci se traduit en l'incapacité du système du 1^{er} ordre à rendre pseudo-aléatoire le flot de bit de sortie [55]. Ceci résulte en l'apparition de raies parasites (spurious) autour de la fréquence de sortie. L'amélioration est apportée en augmentant l'ordre du modulateur par une organisation des structures en séries ou parallèles (MASH).

Une évolution de structures dans lesquelles sont utilisés les modulateurs $\Delta\Sigma$ est une version hybride entre la structure série et la structure parallèle. Elles sont désignées par le terme MASH211, par exemple pour une structure parallèle dont le premier étage est une structure série du deuxième ordre et dont les deux étages suivants sont des structures du premier ordre. Ces évolutions permettent de cumuler les avantages de chaque structure individuelle, mais elles pâtissent également des défauts de ces structures.

2 *Considération en terme de bruit dans les systèmes à division fractionnaire $\Delta\Sigma$*

Dans la division fractionnaire réalisée à partir de modulateur $\Delta\Sigma$, le bruit à analyser est le bruit de quantification assimilé à du bruit blanc si la donnée produite est suffisamment aléatoire.

3 *Le bruit de quantification*

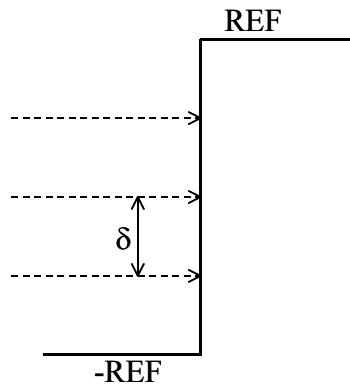


Figure 89: Exemple de répartition pour un quantificateur à 5 niveaux de sortie

Le quantificateur est supposé avoir un bruit à répartition uniforme (bruit blanc). Sa puissance d'erreur est exprimé par :

$$B = \frac{\delta^2}{12} \quad (59)$$

Avec δ le plus petit pas de quantification comme défini sur la figure 89.

La densité spectrale de puissance est donc donnée par : $Q = \frac{B}{f_{\text{réf}}}$ si $f_{\text{réf}}$ est la fréquence rythmant le quantificateur.

Ce bruit blanc, dans l'utilisation dans un modulateur $\Delta\Sigma$ est mis en forme et rejeté dans les hautes fréquences.

4 *Mise en forme du bruit de quantification*

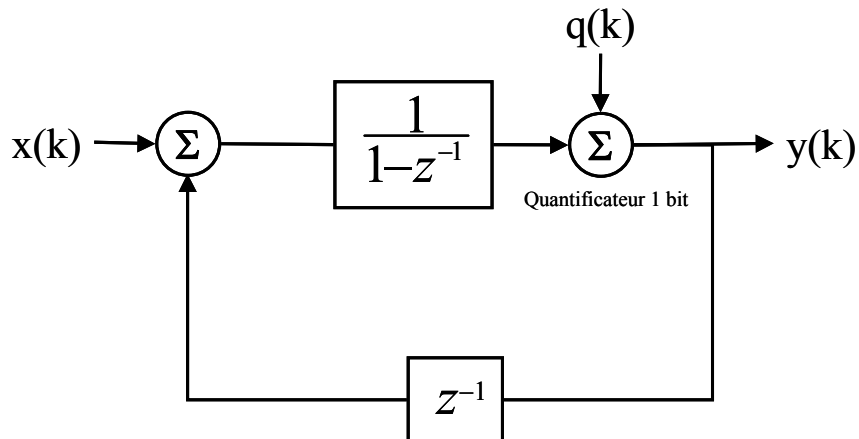


Figure 90: modulateur $\Delta\Sigma$ défini en transformée en z

La linéarisation comme définie en figure 90 nous donne l'expression suivante :

$$Y(z) = X(z) + (1 - z^{-1}) \cdot Q(z) \quad (60)$$

Le bruit de quantification est donc mis en forme par la fonction en z suivante :

$$H(z) = (1 - z^{-1}) \quad (61)$$

Il s'exprime de la manière suivante selon la fréquence (généralisation à n ordres) :

$$|H_n(f)| = \left[2 \cdot \sin\left(\frac{\pi \cdot f}{f_{\text{réf}}}\right) \right]^n \quad (62)$$

Le bruit blanc est donc concentré par cette fonction autour du pic à $f_{\text{réf}}/2$, avec en dessous de $f_{\text{réf}}/6$, un niveau de bruit d'autant plus faible que l'ordre du convertisseur est élevé, et au dessus de $f_{\text{réf}}/6$, une tendance inverse avec un niveau de bruit nettement supérieur pour un ordre élevé.

Cette architecture permet de repousser le bruit aux fréquences élevées, et rend l'utilisation du convertisseur dans une PLL attractive grâce au filtrage du bruit par la chaîne directe.

5 ***Bruit de phase du diviseur fractionnaire $\Delta\Sigma$***

Soit $f_o(t)$, la fréquence instantanée à la sortie du diviseur et f_{OCT} la fréquence à l'entrée de celui-ci, nous avons donc :

$$f_o(t) = \frac{f_{\text{VCO}}}{N + n_{\text{frac}}(t)} \quad (63)$$

$n_{\text{frac}}(t)$ étant la sortie instantanée du modulateur $\Delta\Sigma$.

$$n_{\text{frac}}(t) = \frac{a}{m} + q(t) \quad (64)$$

constituée de la valeur DC attendue $\frac{a}{m}$ et de $q(t)$ l'erreur de quantification assimilée à une source de bruit additive.

$$D'o\grave{u} f_o(t) = \frac{f_{OCT}}{N + \frac{a}{m}} * \frac{1}{1 + \frac{q(t)}{N + \frac{a}{m}}} = \frac{f_o}{N + \frac{a}{m}} \cdot \left(1 - \frac{q(t)}{N + \frac{a}{m}} \right) \text{ si } q(t) \ll N + \frac{a}{m} \quad (65)$$

On définit alors la variation de fréquence due à l'erreur de quantification par :

$$\Delta f_o(t) = f_o * \left(\frac{-q(t)}{N + \frac{a}{m}} \right) \text{ avec } f_o = \frac{f_{OCT}}{N + \frac{a}{m}} \quad (66)$$

D'où le bruit de phase :

$$L(f_m) = 10 \cdot \log \left(\frac{\overline{\Delta\phi_{frac}^2}}{2} \right) \text{ dBc/Hz} \quad (67)$$

$$\text{avec } \Delta\phi_{frac} = \frac{f_o}{f_m} \cdot \frac{Q(f_m)}{N + \frac{a}{m}} \quad (68)$$

$Q(f_m)$ étant la transformée de Fourier du bruit de quantification mis en forme

La définition complète du bruit de phase donne donc :

$$L(f_m) = 10 \cdot \log \left(\frac{1}{2} \cdot \left(\frac{f_o}{f_m} \cdot \frac{Q(f_m)}{N + \frac{a}{m}} \right)^2 \right) \text{ dBc/Hz} \quad (69)$$

1.2.4 Architecture de division fractionnaire retenue

En raison du bruit de phase du modulateur $\Delta\Sigma$ qui malgré l'action du filtre de boucle reste souvent visible sur le bruit loin de la porteuse en sortie de la PLL, et en raison d'une plus grande simplicité de mise en œuvre, l'architecture retenue est celle basée sur le paragraphe §1.2.2.

Le diviseur fractionnaire implémenté utilise la structure à numérateur et à dénominateur programmable. Afin de permettre son utilisation dans le plus grand nombre d'application possible, la partie entière est rendue programmable.

Ce module utilise un diviseur programmable à pas entier dont un des compteurs de programmation peut commuter de A à $A+1$, le tout étant contrôlé par des modules numériques.

Le pré-diviseur (prescaler $P / P+1$) (développé au LAAS et réalisé par M. Sié [56]) utilisé présente une structure originale lui permettant d'être opérationnel à 11 GHz. Son schéma de principe est donné en figure 91 pour un pré diviseur par 4/5. La division de fréquence de base est obtenue à l'aide de bascule D flip flop dont la sortie conjuguée est rebouclée sur l'entrée. La fréquence à diviser est utilisée comme horloge. Une bascule permet ainsi de réaliser une division par 2. Il est donc aisé de réaliser une division par 2^n , n étant le nombre de bascules utilisées.

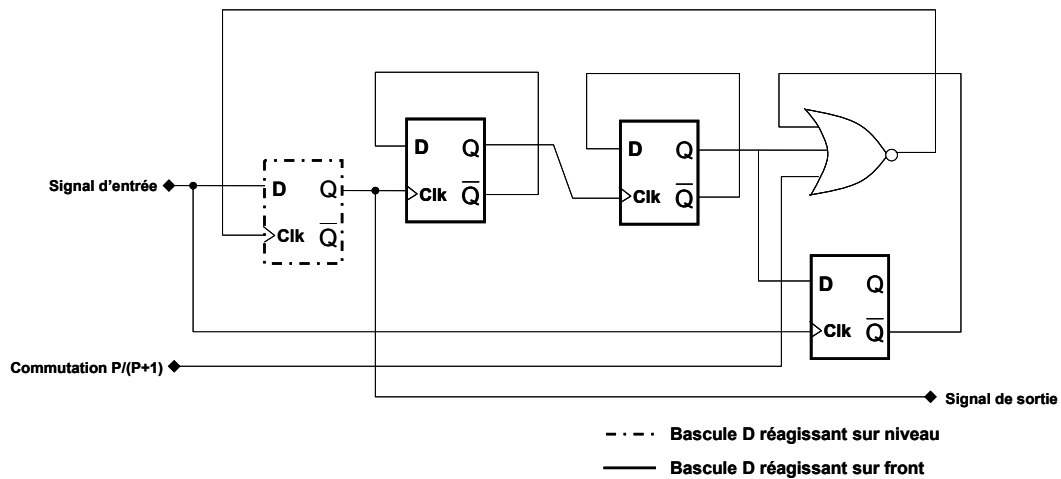


Figure 91 : Schéma de principe du pré-diviseur par 4/5 [56]

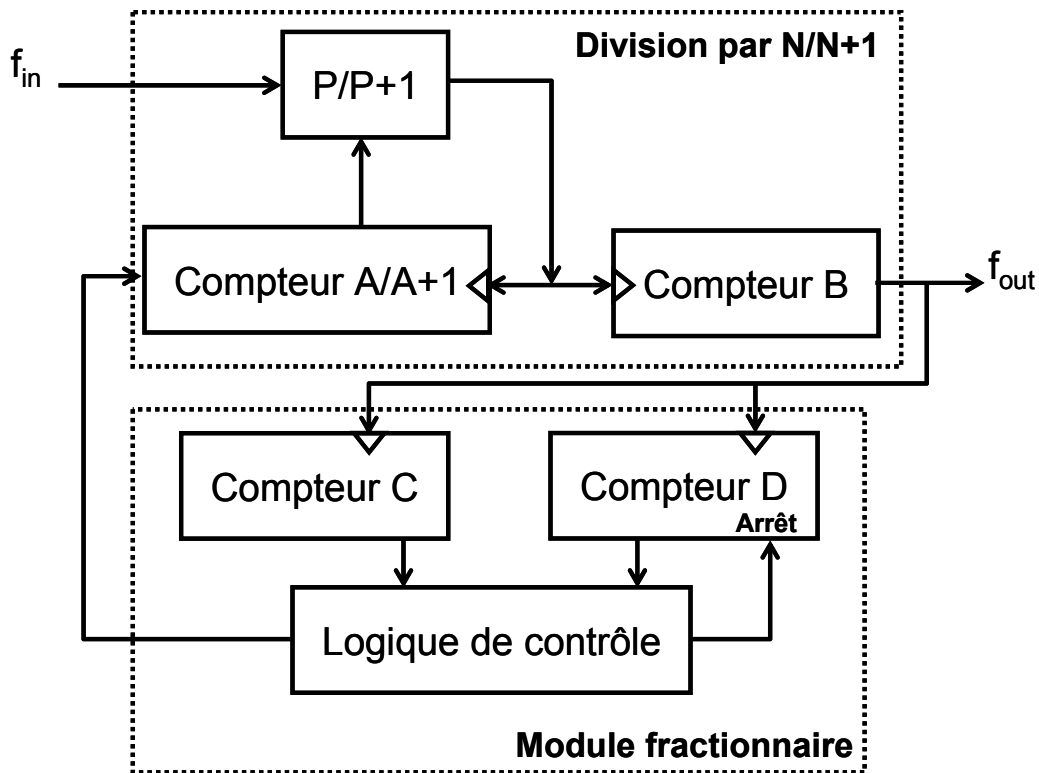


Figure 92 : Schéma de principe de la division fractionnaire implémentée

La programmation de la partie entière est rendue possible par l'ajout d'un circuit additionneur au niveau de la programmation du compteur A. La valeur entière N est alors toujours de $N=B.P+A$, avec P le taux de division du pré-diviseur qui a été mis en place avec une valeur de 32.

La sortie de la logique de contrôle fait commuter la valeur de programmation du compteur A à la valeur A+1 ou inversement, par le contrôle d'un additionneur implémenté à l'entrée du compteur.

Les horloges des compteurs sont issues de la sortie du pré-diviseur réalisé en technologie rapide ECL (Emitter Coupled Logic) : les compteurs peuvent donc bénéficier de la technologie plus lente CMOS, consommant moins de courant.

Les compteurs A et B sont des compteurs 6 bits, et les compteurs C et D se programment sur 4 bits.

Une pré-programmation est mise en place sur le circuit afin de permettre sa mesure directe sous pointe sans avoir à mettre en oeuvre tout le réseau de programmation nécessaire : les entrées sont les suivantes,

A=3 B=5 C=8 D=4 réalisant ainsi une division de $(BP+A)+D/C$ soit 195.5.

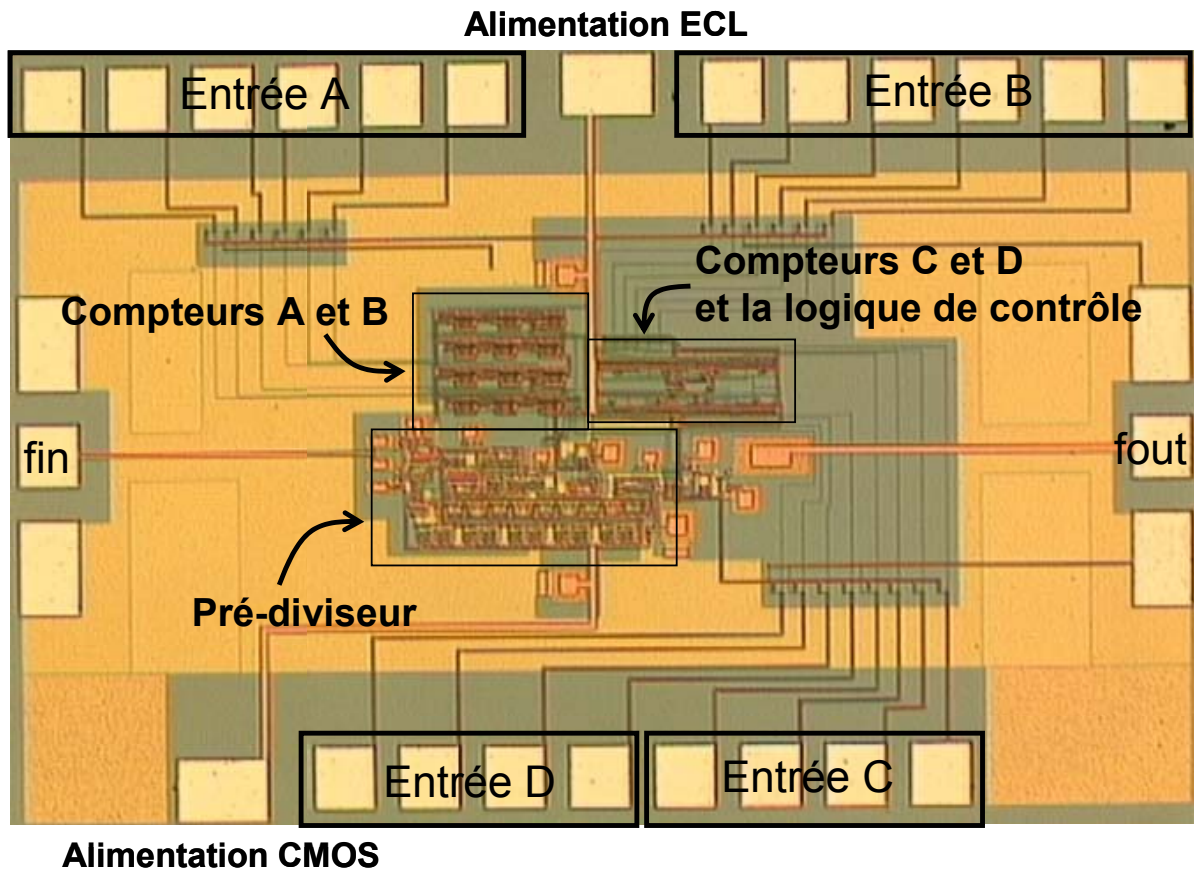


Figure 93 : Microphotographie du diviseur fractionnaire (500×700 um sans les plots, et 2×1,2 mm avec les plots)

Les entrées A et B sont des mots de 6 bits ($A < B$), de même que D (mot de 4 bits) doit être inférieur à C (4 bits). Il n'est donc pas possible d'obtenir en continu le taux de division de 1 à $(66M-1)$: le pré diviseur impose un taux minimum de 32. De plus, la condition sur le diviseur à taux entier revient à ne pouvoir synthétiser des taux de division pour B fixe, qu'entre $B.N$ et $B.(N+1)-1$ (B étant un entier variant de 1 à 2^6). Le taux fractionnaire minimum réalisable est de $1/2^4$.

Une simulation temporelle de ce module est présentée en figure 94.

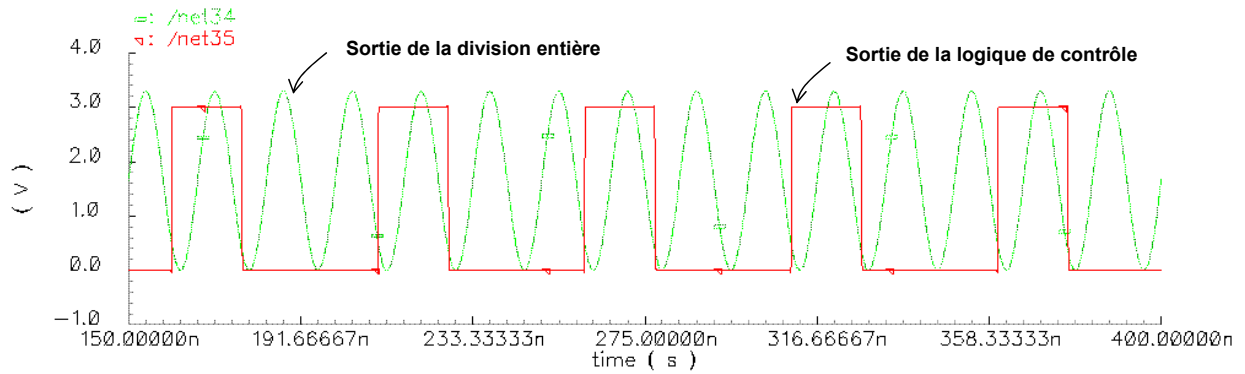


Figure 94 : Simulation temporelle sous Spectre (Cadence) de la division fractionnaire

Lorsque la sortie de la logique de contrôle est à l'état haut, la division est de 33. Elle passe à 32 lorsque la logique de contrôle est à l'état bas. Ici, C est égal à 1 et D égal à 3 pour obtenir une fraction de 0.33.

III. LA PLL A DIVISION FRACTIONNAIRE

1.1 Description des différents blocs

Nous reprenons ici la description des différents circuits composant la PLL du chapitre 1 avec une description plus détaillée de ce qui est mis en place pour notre étude.

1.1.1 *Le comparateur phase fréquence et la pompe de charge*

Comme il a été expliqué dans le Chapitre 1, le comparateur phase-fréquence génère un mot de 2 bits donnant l'état de comparaison en phase/fréquence de ses deux entrées. Le défaut de cette structure décrite en chapitre 1 §1.2 consiste en la présence d'une zone morte (figure 95) dans laquelle la différence de phase ne peut être détectée en raison des temps d'activation trop court des signaux de sortie du PFD utilisés pour commander la pompe de charge. La présence de cette zone est critique pour des valeurs de faible déphasage, elle sera donc critique à l'état verrouillé de la PLL dont la sortie présentera en conséquence une erreur de phase permanente.

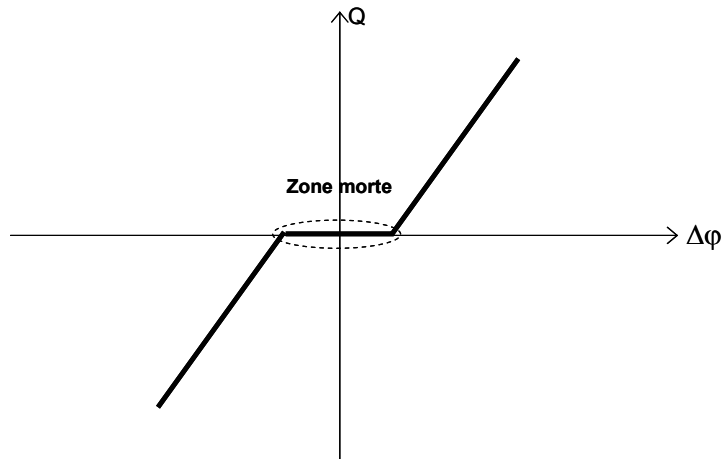


Figure 95 : Illustration de la zone morte du PFD+Pompe de charge

Des procédés d'élimination de la zone morte existent, comme l'ajout d'un déphasage produit par l'injection d'un courant de décalage sur une des voies de la pompe de charge : mais ceci crée des pics parasites en sortie de la PLL. Un autre procédé ajoute un retard avant la remise à zéro du comparateur phase fréquence : ceci a pour conséquence de provoquer un déphasage par l'injection de courant sur les deux voies de la pompe. Ainsi, lorsque les deux signaux d'entrée du PFD sont proches d'être en phase, les signaux de sortie sont suffisamment larges afin de commander les courants de la pompe de charge.

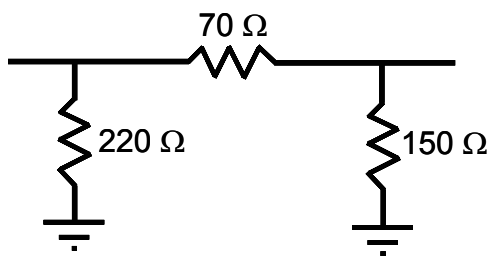
1.1.2 L'oscillateur contrôlé en tension

La description complète de l'oscillateur contrôlé en tension est donnée au paragraphe 2. Celui qui est implémenté dans notre conception est l'OCT série. Une validation intermédiaire a cependant été réalisée à base de l'OCT parallèle. L'OCT série présente une fréquence d'oscillation de 11 GHz pour une tension de contrôle de 0 V et une plage de réglage en fréquence de 1 GHz lorsque la commande en tension varie de 0 à 3,6 Volts.

Pour son intégration dans une boucle à verrouillage de phase, outre ses caractéristiques intrinsèques, il est important de vérifier l'isolation à son entrée. En effet, le retour des oscillations sur la tension de commande peut rendre la boucle instable. Le moyen de plus simple (sans utiliser de capacité de découplage qui rajouterai un pôle supplémentaire au filtre de boucle et risquerait de déstabiliser l'ensemble) est d'alimenter le varactor avec une

résistance de valeur suffisamment élevée afin de dissiper la puissance dynamique et améliorer la stabilité.

Toujours dans l'objectif d'isoler l'OCT, il est nécessaire de limiter le pulling. Aussi, un réseau d'atténuation passif a été ajouté à la sortie de l'OCT : ses caractéristiques sont les suivantes:



| | |
|------------|--------|
| S11 | -15 dB |
| S21 et S12 | -8 dB |
| S22 | -18 dB |

Figure 96 : Réseau d'atténuation passif et caractéristiques à 11 GHz

Il permet donc de réduire de 16 dB les puissances réfléchies sur l'OCT par transmission directe et inverse au travers de l'atténuateur, et ses entrée et sortie sont adaptées sur 50 Ohms. Notons que le diviseur numérique présente une très forte impédance d'entrée, ce qui ne modifie pas les conditions de charge de l'OCT.

1 Association OCT-pré diviseur

Une pré-étude a été réalisée afin de vérifier la compatibilité de l'oscillateur intégré avec le pré-diviseur. Le premier OCT réalisé (l'oscillateur parallèle) a été intégré avec un pré-diviseur par 5 (cf. figure 97), puis caractérisé. La polarisation de l'ensemble a été poussée à 3,45 V au lieu des 3,3 V prévus afin d'obtenir un fonctionnement correct de l'ensemble : en effet, la commutation 4 à 5 du diviseur n'apparaît pas lorsque la polarisation est à 3,3 V. La fréquence de sortie est bien divisée de 11 GHz vers 2,2 GHz et reste accordable par la tension de contrôle V_{tuning} de l'OCT sur 500 MHz soit 100 MHz divisé. La puissance de sortie du diviseur reste très stable à -18 dBm dans la bande d'accord, ce qui est conforme au fait que la puissance est ici délivrée par le pré-diviseur qui est un circuit numérique (figure 98).

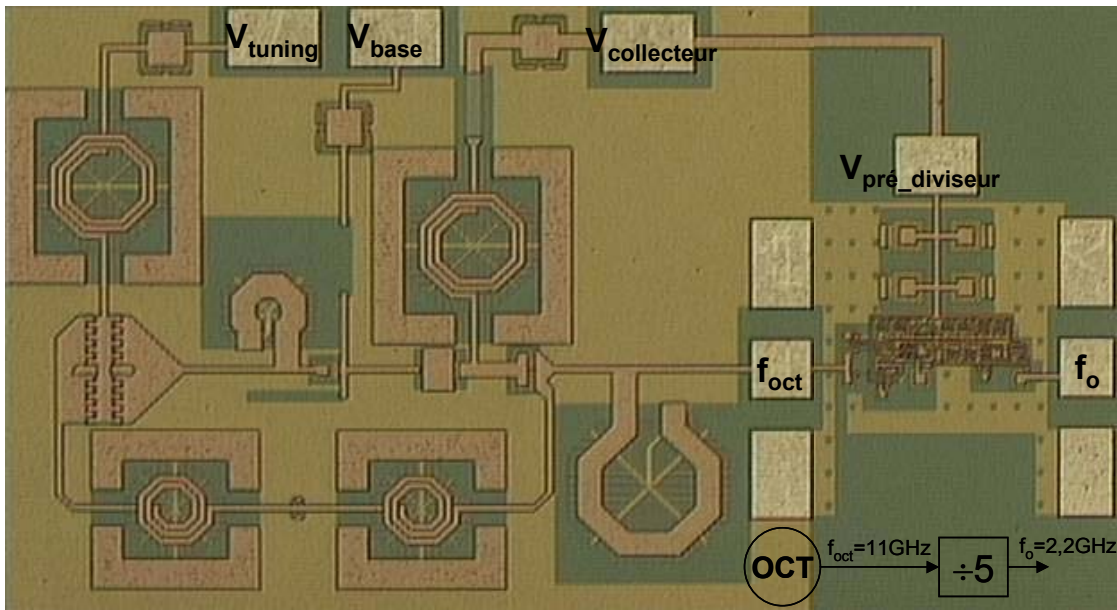
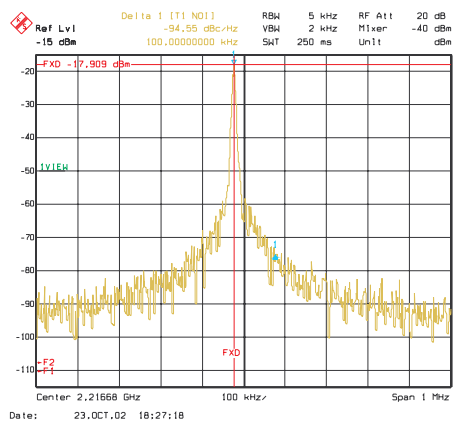
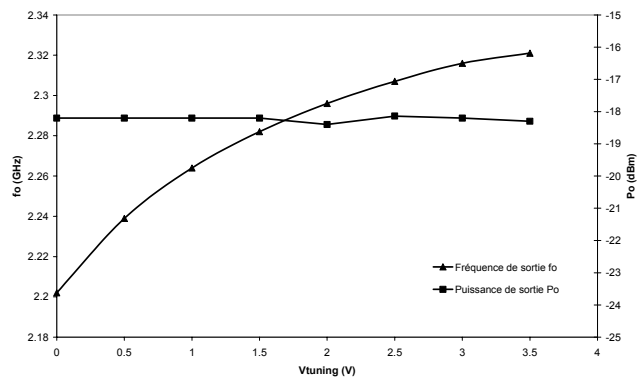


Figure 97 : Micro photographie de l'OCT parallèle intégré avec un pré-diviseur par 5



(a)



(b)

Figure 98 : Spectre mesuré sous pointe et caractéristique en fréquence et en puissance du circuit OCT parallèle+pré-diviseur par 5 intégré en fonction de la tension de contrôle V_{tuning}

Nous avons vérifié ici la compatibilité du pré-diviseur par 5 (qui sert de base pour la réalisation du diviseur fractionnaire complet) avec l'OCT parallèle. Le circuit final fera appel à l'association du diviseur fractionnaire et de l'OCT série qui sera finalement choisi pour ses performances en bruit.

1.1.3 Simulation temporelle

Bien que coûteuse en temps, la simulation temporelle est la seule permettant de rendre compte des interactions entre les différents blocs électriques. Ainsi, elle permet de vérifier la stabilité du système par une convergence de la tension de contrôle de l'OCT (figure 99).

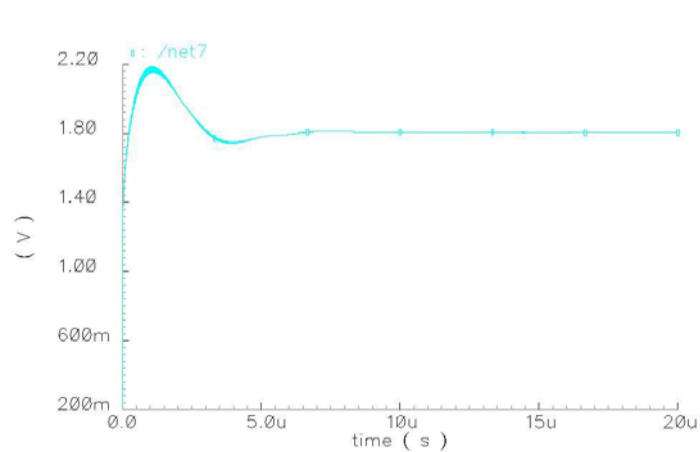


Figure 99 : Simulation temporelle de la tension de contrôle de l'OCT

La convergence est ici obtenue après un temps d'établissement de 7 μ sec.

1.2 Estimation du bruit de phase en sortie de la PLL

Cette étude repose sur l'approximation linéaire de la PLL (Chapitre 1 §1.1.2). Les bruits de chaque bloc sont déterminés de manière indépendante, puis considérés comme des sources de bruit additif dans la boucle. Ces sources associées à chacune des fonctions de la PLL sont étudiées en sortie de la PLL afin d'apprécier leur contribution au bruit global lorsque chaque module est considéré comme étant bruyant.

1.2.1 Bruit de la fréquence de référence

Pour la spécification en bruit de la référence, nous nous sommes basés sur celle du générateur de fonction de l'appareil Anritsu MG3690A.

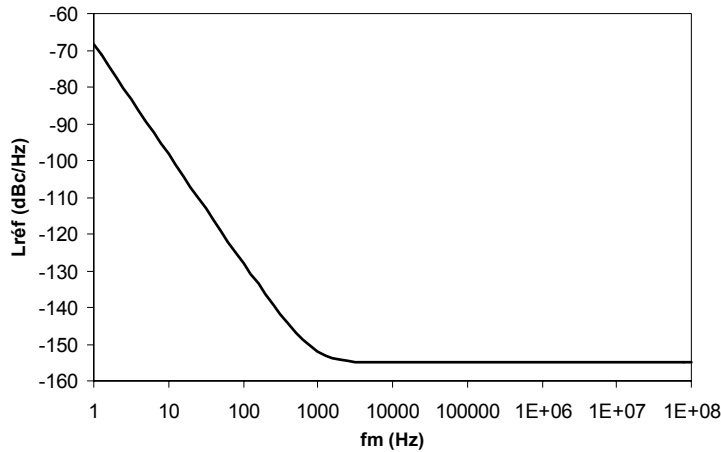


Figure 100 : Bruit de phase de la fréquence de référence

Il est défini par le modèle de Leeson (44) avec $f_c=60$ Hz, $\frac{f_o}{2Q}$ égal à 700 Hz.

1.2.2 Bruit du comparateur phase-fréquence et de la pompe de charge

Le bruit du comparateur phase–fréquence suivi de la pompe de charge $S_{\text{pfd_pdc_dB}}$ est un des paramètres difficile à estimer en raison de son mode de fonctionnement.

Il a été simulé en actionnant de manière périodique un des interrupteurs commandant la pompe de charge. Nous obtenons ainsi le bruit en courant en sortie de ce bloc $S_{\text{pfd_pdc_simu_dB}}$.

A l'état verrouillé, dans le cas idéal, il n'y a pas de déphasage : il n'y a donc pas de courant en sortie de la pompe de charge. Cependant, dans le cas réel, la zone morte crée un déphasage permanent : ce déphasage engendre un pic de courant permanent de 50 psec de largeur à la fréquence de référence $f_{\text{réf}}$ de 56 MHz. Le bruit en courant simulé est donc échantillonné par ce pic.

Le bruit de la pompe de charge est alors de :

$$S_{\text{pfd_pdc_dB}}(f) = S_{\text{pfd_pdc_simu_dB}} + 10 \cdot \log(50 \text{ psec} \times f_{\text{réf}}) \quad (70)$$

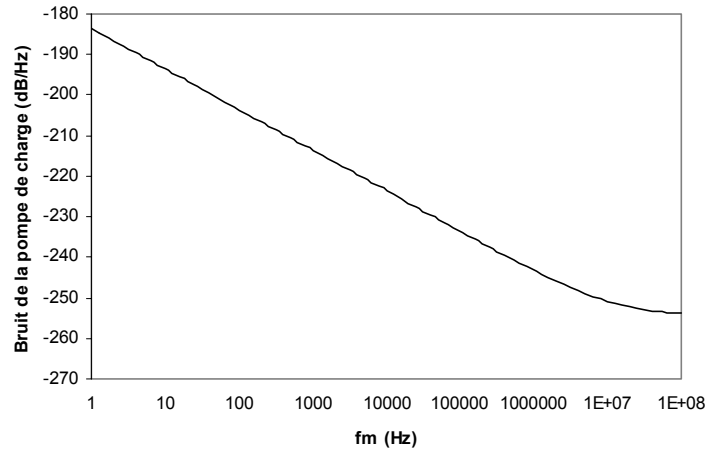


Figure 101 : Bruit du PFD et de la pompe de charge

1.2.3 Bruit du filtre de boucle

Celui-ci est lié au bruit des résistances du filtre rapporté à sa sortie. Le bruit en tension est relevé en sortie:

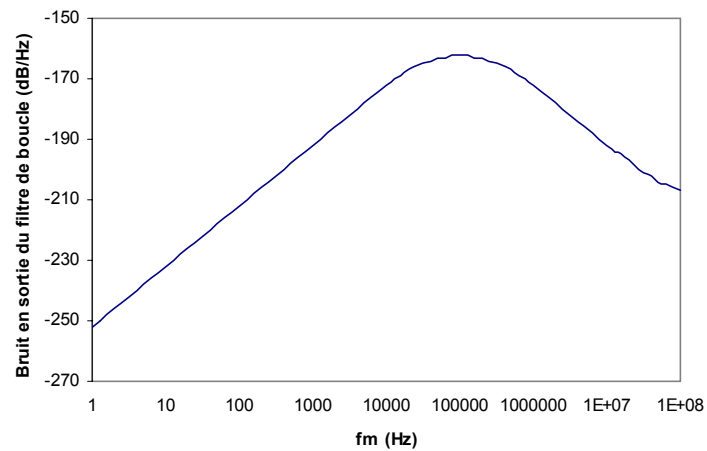


Figure 102 : Bruit du filtre de boucle

Il est déterminé par la racine de la somme quadratique de chaque source de bruit de chacune des résistances donnée par l'équation (17) ramené en sortie du filtre.

1.2.4 Bruit de phase de l'OCT

Le bruit de phase de l'OCT a été caractérisé dans le chapitre 2 en §1.1.4. Nous rappelons ici son spectre :

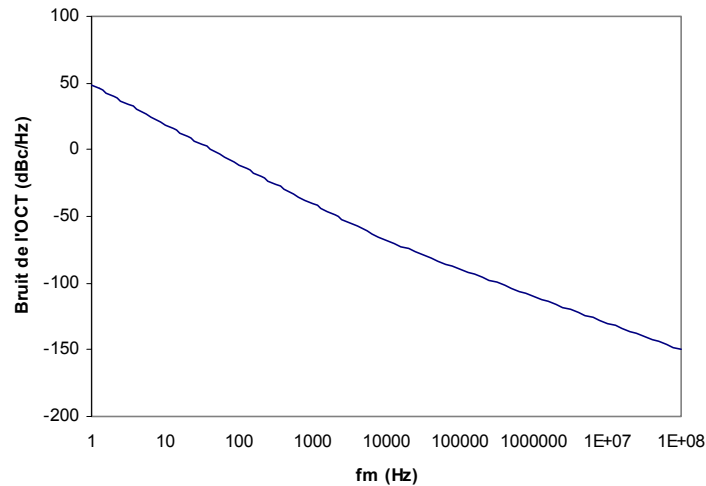


Figure 103 : Bruit de phase de l'OCT

Le bruit de phase simulé près de la porteuse est supérieur au niveau de puissance du signal, ce qui est inexact. Ceci n'est cependant pas problématique dans la prédiction du bruit de phase de la PLL dans la mesure où le bruit de l'OCT est filtré en dessous de la fréquence de coupure du filtre de boucle, et n'aura donc aucune influence. Nous retrouvons bien le bruit de phase simulé de -92 dBc/Hz à 100 kHz de la porteuse.

1.2.5 Bruit du diviseur fractionnaire

En terme de bruit de phase, le diviseur fractionnaire implémenté devrait se comporter comme le diviseur entier. Les modules fractionnaires ne viennent que contrôler la programmation du compteur A, ce qui rend avantageuse de cette structure : l'inconvénient est qu'elle génère des pics parasites. Le bruit du diviseur est simulé de manière à obtenir le bruit de l'étage de sortie du diviseur complet. En effet, celui-ci fonctionne de manière synchrone, ce qui rend le bruit de chacun indépendant des étages précédents.

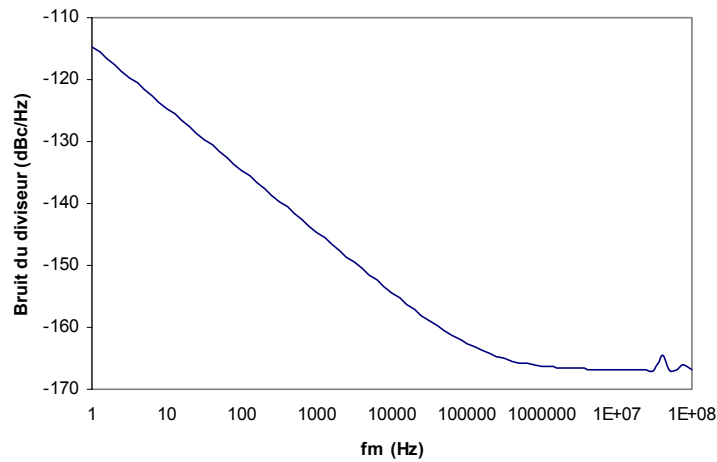


Figure 104 : Bruit de phase résiduel du diviseur

1.2.6 Bruit estimé de la PLL

Le bruit de l'ensemble PFD et pompe de charge est particulièrement dominant selon les estimations, il constitue la source principale de bruit à une distance de 10 Hz de la porteuse jusqu'à la fréquence de coupure de la boucle (figure 105). Ceci est particulièrement problématique et ne ressemble pas à l'allure généralement admise du bruit de phase d'une PLL dominée près de la porteuse par la source de référence et loin de la porteuse par le bruit de l'OCT. Aussi, il est possible de mettre en doute l'estimation du bruit des éléments numériques qui est encore mal connu et mal estimé. Seule la mesure de la PLL réalisée confirmera ou non la prédiction.

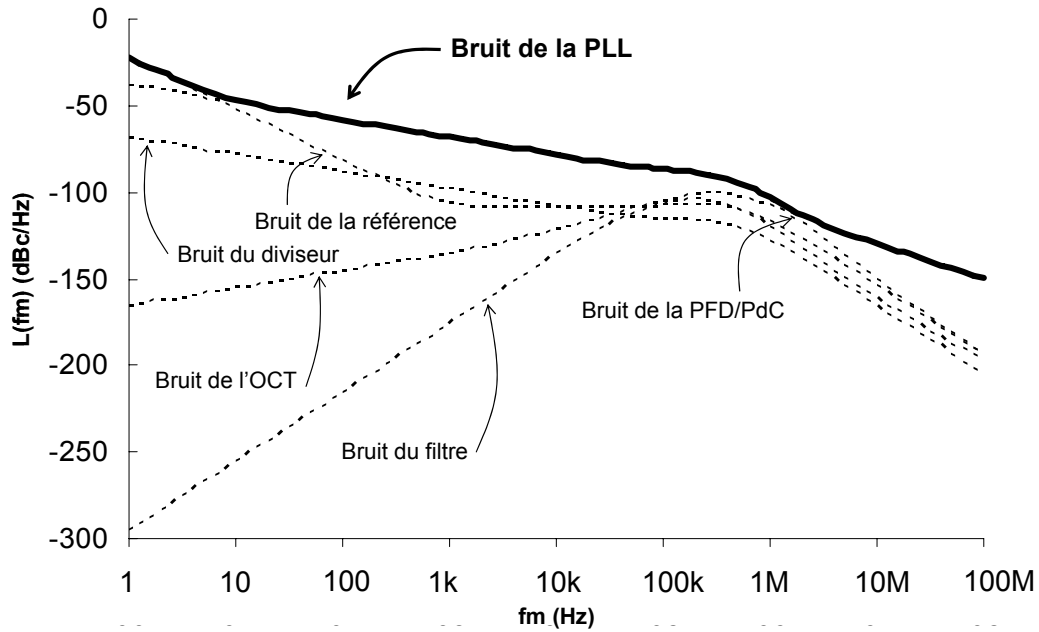


Figure 105 : Bruit de phase estimé à la sortie de la PLL

1.3 Perspectives

Au retour du fondeur, il reste encore à caractériser la boucle entière. Les perspectives seraient ensuite d'étudier un moyen de réduire les pics générés. Plusieurs axes peuvent être choisis pour cela. L'introduction d'un DAC correcteur contrôlé par le diviseur peut ainsi être injecté en entrée de la pompe de charge. Il est également possible de créer un module moyennant le courant de la pompe de charge [57].

IV. CONCLUSION

La division fractionnaire est présentée dans ce chapitre en rappelant sa mise en œuvre générale et les divers moyens employés. La manière conventionnelle utilisant le modulateur $\Delta\Sigma$ est détaillée et sa caractéristique en bruit mise en avant. La topologie retenue est plus simple et permet de réaliser un taux de fraction complètement modulable : sa conception est présentée, ainsi que les différents modules entrant en jeux dans la boucle à verrouillage de phase. Finalement, une estimation du bruit de phase de l'ensemble est faite sur la base de la linéarisation de la PLL.

CONCLUSION

Dans un contexte de forte intégration des systèmes et de montée en fréquence dans les télécommunications, nous avons cherché ici à réaliser une synthèse de fréquence à pas fractionnaire entièrement intégrée en bande X en technologie bas coût BiCMOS SiGe.

Dans une première partie, après avoir énoncé les moyens de réalisation de synthèse de fréquence pour les systèmes d'émission et de réception, la boucle à verrouillage de phase numérique a été choisie comme étant l'architecture la mieux adaptée afin de répondre aux contraintes d'intégration et de montée en fréquence. A l'heure actuelle, il n'a été reporté aucune synthèse de fréquence entièrement intégrée à la fréquence de notre étude et dans cette technologie; ceci constitue donc un challenge important comportant des verrous de conception liés principalement à la nature du filtre de boucle. L'étude de conception de la boucle à verrouillage de phase a été entreprise et les différents compromis liés au filtre de boucle ont été établis en termes de temps d'établissement, de bruit et de réduction des pics parasites.

La boucle à verrouillage de phase est composée de différents sous circuits, et notamment l'oscillateur contrôlé en tension qui a pour mission de délivrer le signal de sortie analogique de la PLL. Celui-ci est donc un élément clé quant à sa capacité d'accord en fréquence et son faible bruit de phase.

Dans le second chapitre, nous nous sommes intéressés plus particulièrement à ce type de circuit. Nous avons investigué pour cela deux topologies classiques, la topologie série et la topologie parallèle. Le même élément actif a été utilisé pour leur réalisation : aussi, pour cette technologie et ce choix de transistor, la topologie série présente une meilleure performance en bruit de phase et en accord de fréquence. En effet, la conversion du bruit de la jonction base émetteur est mise en avant et est utilisée dans l'optimisation du point de polarisation pour réduire le bruit de phase du circuit. La conversion de ce bruit pour la topologie série est inférieure à celle que procure la topologie parallèle (aussi, le courant de base étant inférieur, il génère moins de bruit de grenaille). Quant aux conditions de charge RF, elles sont

difficilement maniables en monolithique du fait de la condition d'oscillation à respecter, et ne seront que faiblement utilisées pour l'optimisation du bruit de phase. L'oscillateur série aboutit à des performances au niveau de l'état de l'art (défini sur la base des technologies silicium).

La prépondérance du bruit de la jonction base-émetteur étant mise en avant, une solution de polarisation basse impédance a été entreprise sur l'oscillateur série afin de filtrer cette source de courant en la court-circuitant. L'efficacité de cette solution n'a été vérifiée sur l'élément actif seul.

Une autre conception d'OCT a été entreprise en bande K grâce à l'utilisation de la technologie BiCMOS SiGe 0,25 μm proposée par ST microelectronics. Le cahier des charges est de disposer d'un signal différentiel en sortie de l'OCT, et d'obtenir un bruit de phase minimal. Nous avons pour cela basé notre conception sur une topologie push-push utilisant un réseau LCL sur l'émetteur des transistors afin de minimiser le bruit de phase. Un niveau de bruit a été mesuré à -90 dBc/Hz à 100 kHz de la porteuse à 19 GHz, ce qui constitue à notre connaissance pour cette technologie une performance en fréquence et en bruit à l'état de l'art.

Dans le dernier chapitre, nous avons mis en oeuvre l'intégration finale des circuits : l'étude de la division fractionnaire et des différents moyens de réalisation ont été proposés. La solution retenue pour sa facilité d'implémentation dans notre démonstrateur de PLL fractionnaire en bande X intégrée a été réalisée. Par la suite, les différents modules intégrés ont été décrits et leurs performances en bruit évaluées par simulation. Le bruit total de la PLL a ainsi été estimé et nous a permis de discuter des améliorations à apporter au niveau de chacun des modules constitutifs du système.

RÉFÉRENCES BIBLIOGRAPHIQUES

1. REFERENCES DU CHAPITRE 1

- [1] Z. Galani et Al. "An overview of frequency synthesizers for radars" IEEE Transactions on microwave theory and techniques, Vol. 39 n°5, pp 782 -790, Mai 1991
- [2] A. Gietterez-Aitken et Al. "Ultra high speed direct digital synthesizer using Inp DHBT technology" IEEE Journal of Solid-State Circuits, Vol. 37 n°9, pp 1115 -1119, Sept. 2002
- [3] Behzad Razavi. "RF microelectronics" Prentice Hall communications engineering and emerging technologies series, pp. 271-273, 1998
- [4] M. Soyuer et Al. "Frequency limitations of a conventional phase-frequency detector" IEEE Journal of solid-state circuits, Vol. 25, N°.4, pp. 1019-1022, août 1990
- [5] É. Tournier et Al. "A 14,5 GHz – 0,35 μm frequency divider for dual modulus prescaler" IEEE Radio Frequency Integrated Circuits Symposium, pp. 227-230, Juin 2002
- [6] M.Van Paemel "Analysis of a charge-pump PLL: A new model" IEEE Transactions on communications, Vol. 42 n°7, pp 2490 -2498, Juillet. 1994
- [7] V. F. Kroupa "Jitter and phase noise in frequency dividers" IEEE Transactions on instrumentation and measurement, Vol. 50 n°5, pp 1241 -1243, Octobre. 2001
- [8] V. F. Kroupa "Noise properties of PLL systems" IEEE Transactions on communications, Vol.COM-30, n°10, pp 2244 -2252, Octobre. 1982

2. REFERENCES DU CHAPITRE 2

- [9] A. M. Niknejad et R. G. Meyer "Fully-integrated low phase noise bipolar differential VCOs at 2,9 and 4,4 GHz" IEEE European Solid-State Circuit Conference, ESSCIRC 1999
- [10] J.-P. Roux "Etude du bruit de fond dans les transistors bipolaires hyperfréquences à hétérojonction GaInP/GaAs" Thèse de doctorat, Université Paul Sabatier de Toulouse, N°96337, 1996

- [11] G. Cibiel et Al "Ultra low phase noise SiGe HBT. Application to a C band sapphire resonator oscillator", IEEE MTT-Symposium IMS 2002, Seattle USA, pp. 691-694, Juin 2002
- [12] Chih-Ming Hung "A fully integrated 1.5-V 5.5-GHz CMOS phase-locked loop" IEEE Journal of Solid-State Circuits, Vol. 37 n°4, pp 521 -525, Avril 2002
- [13] D.B Leeson "A simple model of feedback oscillator noises spectrum" Proc. IEEE, Vol. 54, pp. 329-330, Fév. 1966
- [14] A. Hajimiri, T. H. Lee "A general theory of phase noise in electrical oscillator" IEEE Journal of Solid-State Circuits, Vol. 33 n°2, pp 179-193, Fév. 1998
- [15] V. Rizzoli "State of the art and present trends in nonlinear microwave CAD techniques" IEEE Transactions on Microwave Theory and Techniques, Vol. 36, N°2, pp. 343-365, Fév 1988
- [16] V. Rizzoli et Al "General noise analysis of nonlinear microwave circuits by the piecewise harmonic-balance technique" IEEE Transactions on Microwave Theory and Techniques, Vol. 42, pp. 807-819, Mai 1994
- [17] "A comprehensive guide to Harmonic Balance Simulation for Advance Design System" <http://eesof.tm.agilent.com/docs/adshbapp.pdf>
- [18] "Oscillator noise analysis in SpectreRF" http://www.cadence.com/datasheets/dat_pdf/oscnoise.pdf
- [19] P. Penfield "Circuit theory of periodically driven nonlinear systems" Proc. IEEE, Vol. 54, pp. 266-280, Fév. 1966
- [20] A. Demir et Al "Phase noise in oscillators: a unifying theory and numerical methods for characterization" IEEE transactions on circuits and systems-I: Fundamental theory and applications, Vol. 47 n°5, Mai 2000
- [21] O. Kenneth "Estimation methods for quality factors of inductors fabricated in silicon integrated circuit process technologies" IEEE Journal of Solid-State Circuits, Vol. 33 n°8, pp 1249-1252, Août. 1998
- [22] Alan L.L. Pun et Al. "Substrate noise coupling through planar spiral inductor" IEEE Journal of Solid-State Circuits, Vol. 33 n°6, pp 877-883, Juin 1998

- [23] C. Patrick Yue et S. Simon Wong "On-chip spiral inductors with patterned ground shields for Si-based RF IC's" IEEE Journal of Solid-State Circuits, Vol. 33 n°5, pp 743-752, Mai 1998
- [24] F. Mernyei et Al. "Reducing the substrate lossess of RF integrated inductors" IEEE microwave and guided wave letters, Vol. 8, pp. 300-301, Sept. 1998
- [25] J-B Juraver "Modélisation en bruit en régime non-linéaire de transistors micro-ondes. Application à l'optimisation d'oscillateurs à faible bruit de phase." Thèse de doctorat de l'Université Paul Sabatier à Toulouse, 2000
- [26] W. Wong et Al. "X band BiCMOS SiGe 0.35um voltage controlled oscillator in parallel and reflection topology and external phase noise improvement solution " IEEE Radio Frequency Integrated Circuits Symposium (RFIC'2003), Philadelphia (USA), pp.281-2848, Juin 2003
- [27] D. Dubuc et Al. "High quality factor and high self resonant frequency monolithic inductor on BiCMOS substrate " 31st European Microwave Conference, Londres (GB), 24-28 Septembre
- [28] O. Llopis et Al "Evaluation of two non standard techniques for the phase noise characterization at microwave frequencies" IEEE International Frequency Control Symposium and Exhibition, pp. 511-515, 2000
- [29] M. Randall et T. Hock "General Oscillator characterization using linear open-loop S-parameter" IEEE Transactions on Microwave Theory and Techniques, Vol.49, N°6, Juin 2001
- [30] J. Verdier "Etude et modélisation des transistors à effet de champ micro ondes à basse température. Application à la conception d'oscillateur à haute pureté spectrale." Thèse de doctorat de l'Université Paul Sabatier à Toulouse, 1997
- [31] O. Llopis "The active device characterization and modelling problem in low phase noise microwave oscillator design" Annales des télécommunications, 51, n°7-8, 1996
- [32] C. Viallon et Al "An Original SiGe active differential output power splitter for millimetre-wave applications" IEEE European Microwave Conference 2003, Munich
- [33] C. Samori et Al. "A fully-integrated low-power low-noise 2,6 GHz bipolar VCO for wireless applications" IEEE Microwave and Wireless Components Letters, Vol.11, N°5, Mai 2001

- [34] K. Ettinger et Al. "Single chip 20 GHz VCO and frequency divider in SiGe technology" IEEE MTT-Symposium IMS 2002, Seattle USA, Juin 2002
- [35] A. M. Pavio et M. A. Smith "A 20-40 GHz push-push dielectric resonator oscillator" IEEE Transactions on Microwave Theory and Techniques, Vol. 33, N°12, Déc. 1985
- [36] F. X. Sinnesbichler et Al "A Si/SiGe HBT dielectric resonator " IEEE Microwave and Guided Wave Letters, Vol. 10 n°4, Avril 2000.
- [37] L. Dussopt et G. M. Rebeiz "A low phase noise silicon 18 GHz push push VCO" IEEE Microwave and Wireless Components Letters, Vol. 13, N°1, Janv. 2003
- [38] F. X. Sinnesbichler "Hybrid millimeter-wave push-push oscillators using silicon-germanium HBTs" IEEE Transactions on Microwave Theory and Techniques, Vol. 51, N°2, Fév. 2003
- [39] F. X. Sinnesbichler, H. Geltinger et G. R. Olbrich "A 38 GHz push-push oscillator based on 25 GHz ft BJT's" IEEE Microwave and Guided Wave Letters, Vol. 9 n°4, Avril 1999.
- [40] K. W. Kobayashi et Al. "A 108 GHz Inp-HBT monolithic push push VCO with low phase noise and wide tuning bandwidth" IEEE Journal of solid-state circuits, Vol. 34, N°9, Sept. 1999
- [41] F. Lenk et Al. "Low phase noise monolithic GaInP/GaAs-HBT VCO for 77 GHz" IEEE MTT-S Digest, pp. 903-906, Juin 2003
- [42] J.-G. Kim et Al. "A 60 GHz InGaP/GaAs HBT push-push MMIC VCO" IEEE MTT-S Digest, pp. 885-888, Juin 2003
- [43] Y. Baeyens et Y.K. Chen "A monolithic integrated 150 GHz SiGe HBT push-push VCO with simultaneous differential V-band output" IEEE MTT-S Digest 2003, pp. 877-880, Juin 2003
- [44] M. Schott et Al. "38 GHz push-push GaAs-HBT MMIC oscillator" IEEE MTT-S Digest, pp. 839-842, Juin 2002
- [45] S.-C. Yen et T.-H. Chu "An Nth-harmonic oscillator using an N-push coupled oscillator array with voltage-clamping circuits" IEEE MTT-S Digest, pp. 2169-2172, Juin 2003

- [46] F. Ramírez et Al. "Nonlinear simulation techniques for the optimized design of push-push oscillator" IEEE MTT-S Digest, pp. 2157-2160, Juin 2003
- [47] H. Li et H.-M. Rein "Millimeter-wave VCOs with wide tuning range and low phase noise, fully integrated in a SiGe bipolar production technology" IEEE Journal of solid-state circuits, Vol. 38, N°2, Fév. 2003
- [48] J. J. Rael et A. A. Abidi "Physical processes of phase noise in differential LC oscillators" IEEE Custom Integrated Circuits Conference, pp. 569-571, 2000
- [49] A.P.S. Khanna et Al. "A 2 GHz voltage tunable FBAR oscillator" IEEE MTT-S Digest, pp. 717-720, Juin 2003

3. REFERENCES DU CHAPITRE 3

- [50] Brendan Daly "Comparing Integer-N and Fractional-N Synthesizers" Microwaves&RF, pages 93, septembre 2001
- [51] Brain Miller, Robert J. Conley : "A Multiple Modulator Fractional Divider" IEEE Transactions on instrumentation and measurement, vol. 40, NO. 3, Juin 1991.
- [52] Yasuaki Sumi et Al "Novel Fractional-N PLL Frequency Synthesizer with Reduced Phase Error" Proceeding of IEEE Asia Pacific Conference on Circuits and Systems '96, Novembre 18-21 1996, Seoul, Korea.
- [53] Tadao Nakagawa and Tsuneo Tsukahara: "A Low Phase Noise C-Band Frequency Synthesizer Using a New Fractional-N PLL with Programmable Fractionality" IEEE Transactions on Microwave Theory and techniques. Vol.44, NO.2, Feb. 1996
- [54] Laurent Camino "Modulation directe d'un synthétiseur de fréquence à division fractionnaire en boucle fermée" Thèse présentée à l'Université de Bordeaux I Ecole doctorale des sciences physiques et de l'ingénieur. 05 Avril 2002.
- [55] Tom A. D. Riley et Al "Delta-Sigma Modulation in Fractional-N Frequency Synthesis" IEEE Journal of Solid-State Circuits, Vol.28, No.5, Mai 1993

- [56] Mathilde Sié et Al. "High-speed, spurious-free sequential phase frequency detector and dual-modulus prescalers for RF frequency synthesis" IEEE MTTS- Digest, pages 165-168, Juin 2003

- [57] Y. Koo et Al. "A Fully integrated CMOS frequency synthesizer with charge-averaging charge pump and dual-path loop filter for PCS and cellular-CDMA wireless systems" IEEE Journal of solid-state circuits, Vol. 37, N°5, Mai 2002

