



HAL
open science

Test et Surveillance Intégrés des Systèmes Embarqués

Emmanuel Simeu

► **To cite this version:**

Emmanuel Simeu. Test et Surveillance Intégrés des Systèmes Embarqués. Micro et nanotechnologies/Microélectronique. Université Joseph-Fourier - Grenoble I, 2005. tel-00011617

HAL Id: tel-00011617

<https://theses.hal.science/tel-00011617>

Submitted on 15 Feb 2006

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Université Joseph Fourier de Grenoble

Mémoire présenté et soutenu publiquement
le 22 septembre 2005 pour l'obtention du

Diplôme d'Habilitation à Diriger des Recherches
(Spécialité Physique)

par

Emmanuel SIMEU

**Test et Surveillance Intégrés des Systèmes
Embarqués**

Jury d'habilitation :

Président du jury

Jean Michel DION

Directeur de Recherches CNRS

LAG, Grenoble

Rapporteurs

Christian LANDRAULT

Directeur de Recherches CNRS

LIRMM, Montpellier

Marcel STAROSWIECKI

Professeur des Universités

Université de Lille

Matteo SONZA REORDA

Professeur des Universités

Politecnico di Torino

Examineurs

Bernard COURTOIS

Directeur de Recherches CNRS

TIMA, Grenoble

René DAVID

Directeur de Recherches CNRS

LAG, Grenoble

Michael NICOLAIDIS

Directeur de Recherches CNRS

TIMA, Grenoble

Remerciements

La rédaction de ce manuscrit permet de mettre en exergue des aspects de ma perception de la recherche scientifique qui paraissent contradictoires au premier abord : L'exigence d'une démarche personnelle, curieuse, ouverte mais aussi la nécessité d'un projet collectif, cohérent et synergique. L'idée est de garantir l'adéquation nécessaire entre une vision personnelle et une aventure collective. Ce mémoire suit une ligne directrice qui motive la presque totalité de mon travail sur le test et la surveillance des systèmes intégrés. Les solutions analytiques élaborées sont soumises à la conception de champs d'expériences qui donnent aux techniques échafaudées un fondement scientifique aussi bien qu'une adéquation pratique. Ce goût prononcé pour les solutions appliquées reposant sur des fondements scientifiques rigoureux est peut-être le fruit d'une rencontre entre un cursus d'ingénieur et un objet de recherches orienté vers des applications concrètes, mais plus sûrement celui de rencontres avec des chercheurs, ou plus simplement des hommes ou des femmes que je veux remercier ici :

Bernard COURTOIS, pour tout ce qu'il fait pour développement du laboratoire TIMA, la concrétisation de sa réussite et l'épanouissement de ses chercheurs,

René DAVID, dont le soutien ne m'a jamais manqué pour m'avoir convaincu de rejoindre simultanément l'équipe SYLODI du LAG et l'équipe Test Intégré du CNET et pour la qualité de son encadrement,

Guy BORNARD, qui m'a fait comprendre le sens et l'importance d'une démarche scientifique rigoureuse, pour son audace scientifique,

Michael NICOLAIDIS, sincère, généreux et brillant, et qui sait faire donner le meilleur d'eux-mêmes aux pires défaitistes,

Salvador MIR, pour son dévouement, la cohérence de son travail et la constance de son soutien logistique, qui pousse des chercheurs moins ambitieux à se remettre en question,

Libor RUFER pour la gentillesse de sa collaboration dévouée et ses compétences techniques,

Arno W. PETERS, Ahmad ABDELHAY, Mouhamad Ayman NAAL, Ahcène BOUNCEUR, dont les travaux communs et les thèses jalonnent ce mémoire,

Isabelle AMIELH, synthèse de générosité et de compétence, qui a eu la patience de relire ce manuscrit et de me suggérer de précieuses corrections,

François RENZETTI, ma collègue de bureau, pour sa gentille délicatesse et son attention bienveillante, J'associe à mes remerciements tous les amis de TIMA, du groupe RMS ou non, qui rament chacun à leur rythme et à leur style, afin que l'aventure continue...

Qu'il me soit permis de remercier les étudiants et les collègues qui, à travers leurs questions, leurs critiques et les discussions que j'ai eues avec eux, ont contribué à la maturation du travail que je présente dans ce mémoire.

Je remercie particulièrement Alex ORAILOGLU, Abhijit CHATTERJEE, Jacob ABRAHAM, Christian LANDRAULT, Patrick GIRARD et tant d'autres chercheurs rencontrés dans les congrès internationaux et dans les projets européens qui ont positivement influencé mon travail, parfois par leur position antagoniste sur des thèmes partagés et souvent par les ouvertures qu'ils m'ont suggérées...

Je profite de cette occasion pour remercier :

Maurice TCHUENTE pour son soutien moral, ses conseils précieux et aussi pour sa perspicacité scientifique et son engagement audacieux.

Yannick FREIN pour son amitié, sa bonne humeur, ses encouragements permanents et discrets,

Alain FONKOUA, Augustin MEUTCHEDJE, Hubert FONGA, Yves LANGUE, Denis WOUESSI DJEWE... pour leur complicité et leur amitié fraternelle, je sais pouvoir compter sur leur soutien moral et matériel.

Sans oublier Zineb, Menes, Ceyla et Djoser qui ne me quittent jamais.

Enfin, je remercie les membres du jury pour l'honneur qu'ils me font de participer à la présentation de ce mémoire. J'exprime tout particulièrement ma gratitude à Jean Michel DION qui, treize ans plus tôt, présidait déjà le jury de ma thèse de doctorat, je lui sais gré d'avoir bien voulu accepter la présidence le jury mon Habilitation à Diriger des Recherches.

Table des matières

Avant-propos	5
1 Introduction Générale	6
1.1 Systèmes embarqués	7
1.1.1 Caractéristiques spécifiques.....	7
1.1.2 Complexité	8
1.1.3 Criticité, fiabilité	8
1.1.4 Problème de testabilité	9
1.2 Test et surveillance intégrés	9
1.2.1 Test hors ligne intégré	10
1.2.2 Test en ligne intégré	12
1.3 Situation de nos travaux	13
1.3.1 Contexte de nos travaux	13
1.3.2 Notre approche	15
1.3.3 Nos axes de recherche	15
2 Test intégré de systèmes analogiques et mixtes	17
2.1 Outils de CAO pour le test analogique	18
2.1.1 Outils de simulation de fautes pour les circuits analogiques	18
2.1.2 Générateur programmable des signaux analogiques multifréquences.....	20
2.2 Test analogique pseudo-aléatoire	23
2.2.1 Principe de la méthode	23
2.2.2 Application au test à bas coût de MEMS	25
2.3 Utilisation des ressources digitales embarquées pour le diagnostic intégré	27
2.3.1 Intelligence embarquée	27
2.3.2 Algorithmes récursifs d'estimation pour le test sur puce	28
2.3.3 Cas difficile des systèmes non linéaires	29
2.3.4 Problème d'excitation persistante	34
2.4 Conclusion	35
3 Test en ligne intégré	37
3.1 Synthèse automatique et contraintes spécifiques de systèmes complexes	37
3.1.1 Synthèse de haut niveau	38
3.1.2 Synthèse de bas niveau	39
3.1.3 Situation de nos travaux par rapport au processus de synthèse	39
3.1.4 Les contraintes spécifiques de systèmes intégrés	40

3.2	Test en ligne non-concurrent	41
3.2.1	Principe de la méthode	41
3.2.2	Evaluation	43
3.2.3	Application	44
3.3	Test en ligne semi-concurrent	44
3.3.1	Principe de la méthode	45
3.3.2	Partage de ressources	47
3.3.3	Utilisation d'un DFG dual dans l'architecture de vérification	50
3.3.5	Mise en œuvre pratique	53
3.4	Test en ligne concurrent	55
3.4.1	Architecture du test en ligne concurrent à base de redondances analytiques.....	56
3.4.2	Cadre linéaire classique	57
3.4.3	Identification paramétrique.....	57
3.4.4	Observateurs	58
3.4.5	Espace de parité	58
3.5	Problèmes spécifiques au Test en ligne des systèmes analogiques	61
3.6	Conclusion	64
4	Perspectives de recherche	65
4.1	Poursuite des travaux engagés	65
4.1.1	Test à bas coût des systèmes analogiques mixtes.....	65
4.1.2	Test en ligne.....	66
4.2	Nouvelle piste de recherche	68
4.2.1	Test en ligne semi-concurrent de modules analogiques linéaires et non linéaires	68
4.2.2	Localisation et l'identification de défauts.....	68
4.2.3	Test Alternatif	69
	Bibliographie générale	71
	Annexe : Dossier d'habilitation	78
A1	Curriculum Vitae	79
A2	Synthèse des activités pédagogiques.....	80
A3	Synthèse des activités recherche.....	83

Avant-propos

Ce document est rédigé en vue de l'obtention d'un diplôme d'habilitation à diriger des recherches de l'Université Joseph Fourier de Grenoble. Il présente une synthèse de nos travaux de recherche concernant essentiellement le test hors ligne et la surveillance en fonctionnement des systèmes embarqués. Ces travaux sont conduits au sein du laboratoire TIMA¹ de Grenoble successivement dans les équipes RIS² jusqu'en 2002 et RMS³ (Reliable Mixed Signal Systems) de 2002 à ce jour.

Ce mémoire est structuré en quatre chapitres :

Dans le chapitre introductif, nous définissons les systèmes embarqués et nous présentons les défis scientifiques et techniques qu'induisent leur émergence et leur prolifération rapides. Ensuite, nous posons le problème du test hors ligne et de la surveillance en ligne de ces systèmes. La fin du chapitre situe nos activités dans la discipline du test des systèmes intégrés et présente nos principaux axes de recherche.

Dans le chapitre 2, nous présentons nos travaux concernant le test intégré de modules analogiques et mixtes incorporés dans un environnement numérique. La première partie du chapitre est consacrée au développement d'outils de conception assistée par ordinateur pour le test des systèmes analogiques et mixtes alors que la deuxième décrit les techniques d'intégration de test à bas coût que nous avons développées pour les systèmes analogiques et mixtes.

Le chapitre 3 concerne les techniques de surveillance en ligne intégrée. Une description rapide du flot de synthèse automatique de systèmes intégrés nous permet de situer nos travaux par rapport aux processus modernes de conception de circuits. Les méthodes de test en ligne non-concurrent, semi-concurrent et concurrent sont ensuite exposées. Nous expliquons les liens que partagent les techniques proposées avec d'autres disciplines de recherche, notamment les travaux sur la détection et l'identification de fautes dans les systèmes automatisés.

Le chapitre 4 conclut le mémoire. Nous indiquons aussi quelques perspectives possibles pour nos prochaines activités de recherche. Les pistes qui se dégagent concernent aussi bien la poursuite des travaux déjà engagés que des travaux sur de nouvelles problématiques.

¹ Techniques Informatiques et Microélectroniques pour l'Architecture des Ordinateurs

² Reliable Integrated Systems

³ Reliable Mixed Signal Systems

Chapitre 1

Introduction générale

Les méthodes de conception des circuits intégrés ont subi une évolution vertigineuse au cours des deux dernières décennies. Dans ce domaine, l'évolution technologique se traduit d'abord par une diminution régulière de la taille des transistors induisant une densité d'intégration toujours plus importante et une augmentation constante de la fréquence de fonctionnement, mais aussi par un accroissement régulier de la taille des puces. Le Tableau 1.1 en présente une illustration dans laquelle les valeurs correspondent à des circuits de type microprocesseur en fonction de l'année d'apparition des technologies.

Tableau 1.1 Evolution de la densité d'intégration et la surface des puces [86].

Année	Technologie	Nombre de transistors/cm ²	Surface de la puce
1995	0,35µm	2M	250mm ²
1998	0,25µm	3,7M	300mm ²
1999	0,18µm	6,6M	340mm ²
2002	0,13µm	18M	430mm ²
2005	90 nano	44M	520mm ²
2008	70 nano	109M	650mm ²

La technologie actuelle des circuits intégrés travaille sur une longueur de la grille de MOS de 0,09µm soit 90 nanomètres (longueur effective du canal dans le transistor). Les nouveaux circuits comportent plusieurs dizaines de millions de transistors et leur fabrication nécessite des outils, toujours plus sophistiqués, aptes à affronter les fronts de complexité successifs imposés par l'avènement régulier de nouvelles générations de technologies silicium. Pour la prochaine décennie, les prédictions sur les tendances d'évolution technologique des circuits intégrés indiquent une réduction de la géométrie des transistors qui devrait atteindre le niveau de 0,07µm (70 nanomètres) et 7 niveaux de métallisation pour l'année 2010. Ce bouleversement permettra l'intégration de systèmes complexes pouvant comprendre un milliard de transistors sur le même support. D'un point de vue technique, nous pouvons encore tabler sur le développement du phénomène de miniaturisation pour une petite dizaine d'années supplémentaires, mais au-delà, à la taille de gravure évaluée à 20 nanomètres, on se heurtera à des impossibilités physiques sur la filière silicium. Des verrous technologiques non encore levés à ce jour sont identifiés vers 2008 pour une taille de gravure estimée à 70 nanomètres. Au-delà, l'évolution vers une taille de gravure de 20 nanomètres nécessitera d'autres améliorations technologiques significatives.

Par ailleurs, afin de faciliter la conception des circuits et de réduire le temps requis pour cette phase (*time to market*), des outils logiciels de conception assistée par ordinateur (CAO) ont vu le jour et se sont considérablement développés. Ils visent la génération automatique de circuits à partir de leur description comportementale. Les progrès des outils CAO associés à la puissance des calculateurs modernes et au besoin toujours croissant de systèmes performants conduisent à la conception de circuits de plus en plus complexes. Les dernières avancées des technologies au niveau de la densité d'intégration, les progrès de la CAO et les besoins du marché ont littéralement bouleversé la conception des systèmes électroniques. Il est désormais courant d'intégrer dans un composant unique des systèmes dont la complexité aurait requis, il y a seulement quelques années, une implémentation sur une ou plusieurs cartes imprimées. Ce bouleversement a favorisé l'émergence rapide et la prolifération des systèmes embarqués. La téléphonie

mobile en est un exemple éloquent ; en effet, un constructeur doit proposer une nouvelle génération de terminaux tous les 6 mois en moyenne.

1.1 Systèmes embarqués

Un système embarqué est un système complexe qui intègre du logiciel et du matériel conçus ensemble afin de fournir des fonctionnalités données. Il contient généralement un ou plusieurs microprocesseurs destinés à exécuter un ensemble de programmes définis lors de la conception et stockés dans des mémoires. Le système matériel et l'application (logiciel) sont intimement liés et immergés dans le matériel et ne sont pas aussi facilement discernables comme dans un environnement de travail classique de type ordinateur de bureau (PC⁴). Un système embarqué est autonome et ne possède pas des entrées/sorties standards tels qu'un clavier ou un écran d'ordinateur. Contrairement à un PC, l'interface IHM⁵ d'un système embarqué peut être aussi simple qu'une diode électroluminescente (LED⁶) qui clignote ou aussi complexe qu'un système de vision de nuit en temps réel ; les afficheurs à cristaux liquides (LCD⁷) de structure généralement simple sont couramment utilisés. Afin d'optimiser les performances et la fiabilité de ces systèmes, des circuits numériques programmables (FPGA⁸), des circuits dédiés à des applications spécifiques (ASIC⁹) ou des modules analogiques sont en plus utilisés. Le logiciel a une fonctionnalité fixe à exécuter qui est spécifique à une application. L'utilisateur n'a pas la possibilité de modifier les programmes. Bien souvent, il n'a pas conscience d'utiliser un système à base des microprocesseurs. Les systèmes embarqués sont désormais utilisés dans des applications diverses tels que le transport (avionique, espace, automobile, ferroviaire), dans les appareils électriques et électroniques (appareils photo, jouets, postes de télévision, électroménager, systèmes audio, téléphones portables), dans la distribution d'énergie, dans l'automatisation, ..., etc. L'attrait principal des systèmes embarqués vient du fait qu'ils permettent d'implémenter à faible coût des fonctions complexes dont la réalisation était inimaginable il y a quelques années seulement. Aujourd'hui, la tendance générale est d'utiliser les systèmes embarqués pour incorporer des fonctionnalités complexes, précédemment considérées comme exotiques, dans les produits de tous les jours.

1.1.1 Caractéristiques spécifiques

Les systèmes embarqués fonctionnent généralement en Temps Réel (TR) : les opérations de calcul sont alors faites en réponse à un événement extérieur (interruption matérielle). La validité et la pertinence d'un résultat dépendent du moment où il est délivré. Une échéance manquée induit une erreur de fonctionnement qui peut entraîner soit une panne du système (plantage), soit une dégradation non dramatique de ses performances.

Lorsque les systèmes embarqués sont utilisés dans les produits de grande consommation, ils sont fabriqués en grande série. Les exigences de coût se traduisent alors en contraintes drastiques sur les différentes composantes du système : utilisation de faibles capacités mémoires et de petits processeurs (4 bits ou 8 bits), mais en grand nombre. Ainsi, les systèmes embarqués sont particulièrement sensibles au coût de production. Il existe des applications dans lesquelles les contraintes de coût de production et de maintenance ont une importance de même niveau que les performances envisagées.

Dans les systèmes embarqués autonomes, la consommation d'énergie est un point critique pour le coût. En effet, une consommation excessive augmente le prix de revient du système embarqué, car il faut alors des batteries de forte capacité.

⁴ *Personal Computer*

⁵ *Interface Homme machine*

⁶ *Light Emitter Diode*

⁷ *Liquid Crystal Display*

⁸ *Field Programmable Gate Array*

⁹ *Application Specific Integrated Circuits*

1.1.2 Complexité

Les systèmes embarqués requièrent souvent un faible encombrement (faible poids) (PDA¹⁰, Internet et téléphone mobiles, ...). Leur technologie fait alors appel à une électronique et à des applications portables où l'on doit minimiser aussi bien l'encombrement que la consommation électrique. Par conséquent, la réalisation du packaging afin de faire cohabiter sur une faible surface de l'électronique analogique, de l'électronique numérique, des composantes RF¹¹ sans interférences est une tâche difficile. En effet, les performances des systèmes sur carte deviennent obsolètes dans le contexte des besoins actuels. Dans les stratégies de conception actuelles, un système embarqué est généralement intégré sur un support silicium unique constituant ainsi un système complet intégré sur une puce SoC¹². Les systèmes sur puce contiennent généralement une grande variété de dispositifs programmables tels que des microcontrôleurs, des processeurs de traitement de signaux (DSP¹³) et des ASIC qui sont développés pour des applications complexes nécessitant une production en grande série. Les mémoires (ROM et RAM) y sont intégrés pour le stockage des données et des programmes. Ces composants digitaux cohabitent généralement sur le même support de silicium avec des composants analogiques et mixtes divers tels que des composantes radiofréquence (RF) comme moyen de communication, des composantes optiques pour le transfert de données à haut débit, des MEMS¹⁴ pour l'interfaçage avec le monde externe, des convertisseurs analogiques/numérique et numérique/analogique requis pour le dialogue interne. L'objectif est d'obtenir une coopération harmonieuse entre composants embarqués afin de garantir des services globaux. Des contraintes d'implémentation physique sont liées à la consommation de ressources et au contexte de déploiement tels que le poids, la taille physique, la résistance aux vibrations, ou aux irradiations, ..., etc.

1.1.3 Criticité, fiabilité

Du fait de leur portabilité et de la mobilité des produits dans lesquels ils sont incorporés, les systèmes embarqués évoluent généralement dans de conditions environnementales non déterministes et souvent non maîtrisées. Ils sont exposés à des variations et autres contraintes environnementales susceptibles d'induire des défaillances : vibrations, chocs, variation de température, variations d'alimentation, interférences RF, corrosion, humidité, radiations, ... D'où la nécessité de prendre en compte des évolutions des caractéristiques des composants en fonction des conditions environnementales.

En même temps que s'accroît leur sophistication, les systèmes embarqués sont utilisés dans des applications de plus en plus critiques dans lesquels leur dysfonctionnement peut générer des nuisances, des pertes économiques ou des conséquences inacceptables pouvant aller jusqu'à la perte de vies humaines. C'est le cas, par exemple, des applications médicales ou celles de transports pour lesquelles une défaillance peut avoir un impact direct sur la vie d'êtres humains. C'est aussi le cas des applications spatiales, souterraines ou sous-marines où la défaillance peut entraîner des conséquences redoutables aussi bien en terme de sécurité qu'au niveau économique. Ce type de systèmes doit garantir une très haute fiabilité et doit pouvoir réagir en cas de panne de l'un de ses composants.

D'une manière générale, l'espérance de fiabilité et de robustesse que les utilisateurs placent dans les systèmes embarqués s'accroît rapidement. La plupart des utilisateurs se résignent à accepter un temps de panne relativement significatif (de l'ordre de quelques heures d'indisponibilité par mois) pour les ordinateurs. Par contre, ils sont généralement beaucoup moins patients vis-à-vis des pannes des ordinateurs incorporés sous la forme de systèmes embarqués dans d'autres produits de consommation. L'impatience est encore plus forte si les défaillances observées n'affectaient pas l'équipement avant que les systèmes embarqués y soient introduits.

¹⁰ *Personal Digital Assistant*

¹¹ *Radiofréquence*

¹² *System on a Chip*

¹³ *Digital-Signal Processor*

¹⁴ *Micro Electro Mechanical System*

Les applications incorporant des systèmes embarqués prolifèrent rapidement et leurs fortes exigences en matière de sûreté et de fiabilité posent aux concepteurs de ces systèmes de nouveaux défis recherche. Ainsi, pour les produits complexes de grande consommation, on doit pouvoir rapidement en faire le diagnostic et réparer facilement. Dans l'industrie automobile par exemple, des moyens sophistiqués de test en ligne et de diagnostic sont aujourd'hui implémentés sur des véhicules avec un niveau de complexité équivalent à ceux que l'on trouve sur certains anciens avions de ligne. Sans être exhaustif, le Tableau 1.2 résume les propriétés des applications incorporant les systèmes embarqués dans les produits de consommation courante.

Tableau 1.2 Propriétés des applications incorporant les systèmes embarqués

Application	Sensibilité au coût	Mobilité	Rudesse de l'environnement	Haute fiabilité	Criticité
Electroménager et audio-visuel	√			√	
Téléphonie mobile	√	√		√	
Transport					
Automobile	√	√	√	√	√
Ferroviaire		√	√	√	√
Aérien		√	√	√	√
Maritime		√	√	√	√
Aérospatial					
Fusée Navette		√	√	√	√
satellites		√	√	√	√
Cartes à puce		√		√	

1.1.4 Problème de testabilité

Bien que très intéressantes d'un point de vue économique, les nouvelles techniques d'intégration des systèmes embarqués sur puce nécessitent une adaptation du flot de conception microélectronique à ce nouveau genre de circuit. Les défis à relever sont nombreux et couvrent divers domaines allant de l'élaboration de nouvelles technologies de gravure jusqu'au test. Des problèmes apparaissent dès la conception de tels systèmes où les questions de testabilité doivent être prises en compte. Sur un système sur carte, chaque composante est testée individuellement avant d'être connectée sur la carte, ensuite les interconnexions de la carte sont testées. Sur un système sur puce, il n'y a pas de test individuel avant l'assemblage. De nouvelles contraintes de test apparaissent telles que l'accès aux différentes fonctions du système et la nécessité d'utiliser des testeurs coûteux capables de tester une très grande variété de fonctions complexes. Ces contraintes rendent la problématique du test de plus en plus complexe et de plus en plus coûteuse (pouvant représenter plus de 50% du coût total de certains systèmes mixtes analogiques numériques).

1.2 Test et surveillance intégrés

Les fautes sont induites par des défauts physiques ou défauts logiques qui affectent la conception, la fabrication ou le fonctionnement des composantes du système. Les défauts de conception sont commis soit par les humains soit par les logiciels de CAO au cours du processus de conception. Les défauts de fabrication résultent des imperfections dans les procédés de fabrication. Les défauts en opération sont généralement dus à la fatigue ou aux contraintes environnementales au cours des sollicitations du système. Les interférences électromagnétiques, ainsi que les vibrations et les températures extrêmes sont des sources potentielles de ce type de défaut. Certains défauts de conception et de fabrication peuvent échapper à la détection lors de tests appropriés. Ces défauts s'associent à la fatigue et aux perturbations environnementales pour créer des fautes dans le système en exploitation. Sous certaines conditions de fonctionnement, les fautes engendrent des erreurs qui se caractérisent par des états incorrects. Les erreurs entraînent des défaillances qui se caractérisent par une déviation plus ou moins importante du comportement du système par rapport au comportement nominal attendu. La défaillance devient un risque de danger si elle est susceptible d'entraîner un accident.

1.2.1 Test hors ligne intégré

Le test des systèmes est un maillon de la stratégie des fabricants ; il permet de mesurer la qualité et la fiabilité des produits et donc de valider l'ensemble de la chaîne de production. L'intérêt du test est multiple, il permet d'une part de fournir des systèmes opérationnels et d'autre part, grâce au diagnostic, de remettre en cause les procédures de fabrication ou de conception et donc d'augmenter le rendement de production. Le test s'insère donc naturellement dans le processus de synthèse et de réalisation de tout système, qu'il soit électronique ou non.

Exécuté en fin de production, le test hors ligne permet d'éliminer de façon simple et efficace tout système défectueux dont les défauts de fabrication sont révélés par l'application d'une séquence de détection. Ce mode d'implémentation est choisi dans les cas de figure suivants :

- test du système en sortie de chaîne de production avant la livraison aux clients
- test du système au démarrage ou à intervalles réguliers (maintenance préventive)
- en complément du test en ligne dans les applications critiques, le test hors ligne peut être utilisé pour préciser les raisons d'un dysfonctionnement révélé par une procédure de test en ligne.

Le test consiste à appliquer des vecteurs de test aux entrées du circuit sous test et de comparer ses sorties observées à des données de référence pré-calculées par simulation. Suivant que l'application du test fait appel ou pas à l'utilisation d'équipements extérieurs, on distingue le test externe du test intégré (BIST¹⁵). Le test externe fait appel à l'utilisation de testeurs, qui sont des équipements automatiques de test (ATE¹⁶). Les techniques de test intégré consistent à inclure directement dans le circuit tout ou partie des fonctions réalisées par le testeur qui sont la génération de vecteurs de test et l'analyse des résultats. Le test intégré contribue à la maîtrise des coûts induits par le test. L'utilisation des modules BIST sur le circuit permet d'effectuer le test du circuit de façon complètement autonome ce qui s'avère particulièrement utile pour la maintenance ou le test de systèmes embarqués sur site. Grâce au test intégré, la tâche des équipements automatiques de test est allégée, les outils de test sont simplifiés (moins de mémoire nécessaire pour stocker les vecteurs). Un autre avantage non négligeable du BIST est de permettre l'exécution du test à la vitesse nominale du circuit.

Les dispositifs de test intégré doivent être capables de générer des vecteurs de test et de comparer les résultats obtenus à ceux attendus suivant le schéma de principe représenté dans la Figure 1.1.

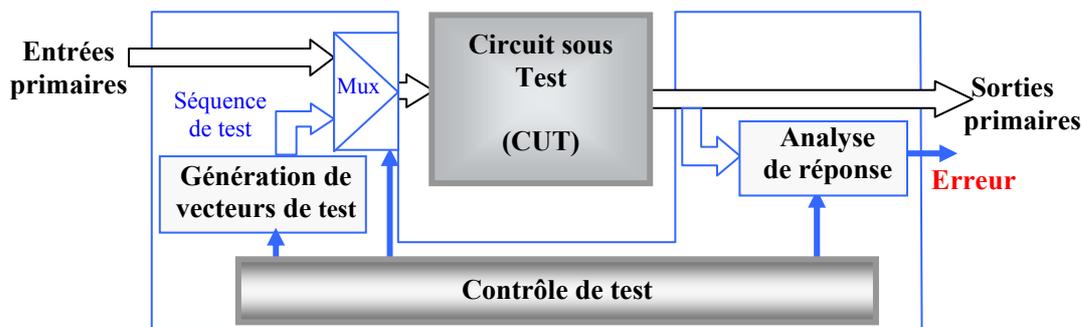


Figure 1.1 Architecture générique de BIST (digital)

Le test intégré structurel regroupe l'ensemble des techniques qui consistent à implanter sur le silicium les ressources nécessaires au test d'un circuit, c'est-à-dire les générateurs de vecteurs de test et analyseurs de réponses. Contrairement au test externe qui ne peut être envisagé que si le système n'est pas sollicité, les techniques de test intégré se classifient en deux catégories suivant qu'elles sont applicables au système en exploitation ou hors exploitation. On distingue ainsi le test en ligne et le test hors ligne. Contrairement au test en ligne, le mode d'implémentation hors exploitation autorise le choix du protocole de test en fonction des objectifs et des conditions d'application du test : choix des séquences d'entrée de test, choix des points d'observation et maîtrise de certaines entrées inconnues.

¹⁵ Built In Self Test

¹⁶ Automatic Test Equipments

Compte tenu de la complexité et des performances croissantes des systèmes, les ATE sont de plus en plus coûteux, ce qui impose des stratégies de conception facilitant le test afin d'en réduire le coût. Des recherches fondamentales et appliquées visant la résolution des problèmes de test sont intensivement poursuivies tant dans les universités que dans l'industrie. Le terme 'conception en vue d'une meilleure testabilité' (DFT¹⁷) recouvre toutes les techniques utilisées en vue de rendre le test des circuits économiquement viables.

Les techniques 'ad hoc' consistent en un ensemble de règles à respecter afin de rendre la conception plus facilement testable. Au contraire, les techniques structurées concernent la structure générale du circuit et sont basées sur l'utilisation de règles de conception de portée générale. Le but général des techniques structurées est de faciliter l'accès aux nœuds internes du circuit tout en limitant le nombre d'entrées sorties supplémentaires prévues à cet effet.

Malgré la somme importante d'efforts consentis pour le développement de méthodes et de techniques pour le test des circuits intégrés, un certain nombre de problèmes et de difficultés sont encore non résolus. Ils concernent aussi bien la génération des séquences de test proprement dites que l'application des données de test au circuit à tester. Il est peu probable que dans les années à venir, les résultats obtenus permettent de proposer des techniques de test ou des méthodes ayant une portée générale s'appliquant à des conceptions non structurées. Par contre, il semble raisonnable de parier sur l'obtention de résultats significatifs et économiquement viables, applicables pour des conceptions particulières incluant des dispositifs spécifiques en vue de faciliter le test.

Le test (hors ligne) des composantes digitales bénéficie des efforts de recherche considérables et d'une littérature scientifique très fournie. Les circuits analogiques et mixtes n'ayant pas fait l'objet d'une activité de recherche aussi prolifique, le test intégré de ce type de composante reste aujourd'hui un problème ouvert et constitue un des défis importants qui restent à lever. L'un des axes de nos investigations actuelles contribue à la recherche de solutions à bas coût pour l'intégration du test des composantes analogiques et mixtes.

1.2.2 Test en ligne intégré

La qualité d'un système embarqué est caractérisée par un ensemble de propriétés liées aux performances et à la fiabilité. Les propriétés de performance concernent les aspects dynamiques du comportement du système, tels que : vitesse, efficacité, temps de réponse, temps de latence, etc. Les propriétés de fiabilité comprennent la sûreté, la sécurité, la disponibilité, la facilité de réparation, et toute autre propriété caractérisant la capacité du système à fournir un service en présence de fautes, erreurs, surcharge, ou tout autre incident susceptible de perturber son fonctionnement nominal. L'objectif visé est de s'affranchir de l'influence des fautes pour ainsi contribuer à l'amélioration de la sécurité et la sûreté de fonctionnement des systèmes conçus et fabriqués.

Différentes méthodes peuvent être conjointement utilisées pour atteindre cet objectif. Parmi les moyens les plus couramment mis en œuvre, on distingue :

- la prévention des défaillances qui vise la réduction de la probabilité d'occurrence de fautes ; elle implique une analyse des mécanismes des différents modes de défaillance pour en déduire les lois de dégradation qui les gouvernent.
- la tolérance aux fautes qui concerne la réduction de la sensibilité de la fonction implémentée aux fautes.
- la prévision qui implique la surveillance du système. Elle regroupe les opérations de détection et de localisation de fautes afin de décider d'une action compensatrice de sorte que le processus puisse continuer à remplir la mission qui lui a été confiée, malgré la présence des défauts mis en évidence. La décision d'intervention ou de reconfiguration est prise lorsqu'il y a évidence expérimentale d'un défaut imminent.

La complexité des systèmes actuels et la nécessité d'accomplir ces tâches dans un temps restreint limitent fortement le rôle des opérateurs humains. Il est nécessaire de confier la tâche de surveillance à

¹⁷ Design For Testability

un module automatique de diagnostic intégré. A l'occurrence d'une défaillance, la réaction du module de surveillance commence par la détection du défaut, passe par la localisation du composant défectueux et se termine par une auto-reconfiguration permettant au système de poursuivre sa mission malgré l'évidence d'un défaut.

Le diagnostic regroupe l'ensemble des tâches requises pour accomplir la mission de surveillance qui contribue à garantir l'intégrité des systèmes embarqués. Le but est de fournir un ensemble d'informations auxiliaires d'une part aux opérations de maintenance (palliatives et curatives), et d'autre part aux organes de décisions intégrés chargés de la reconfiguration automatique du système dans le cas des applications critiques. Le problème de conception de système de surveillance intégré peut se formuler comme suit : en utilisant la connaissance que l'on a du système et les données disponibles en temps réel, il s'agit d'ajouter aux spécifications fonctionnelles du système un module dont le rôle est de produire les décisions les meilleures possibles relatives à l'état de santé du système. La partie fonctionnelle du système et le module de surveillance qui lui est associé doivent être intégrables sur le même support (chip) avec un surcoût raisonnable (surface et performances). Les données disponibles peuvent être aussi bien les valeurs des signaux mesurés (sortie, nœuds internes) que les valeurs des signaux connus (consignes d'entrée, paramètres nominaux). D'un point de vue fonctionnel, un diagnostic complet de système embarqué met en exergue le besoin émergeant de disposer de technologies de conception capables de prendre simultanément en compte les aspects suivants :

- i) **Production d'alarmes** : La détection concerne la mise en évidence d'événements qui affectent l'évolution nominale du processus. Elle consiste généralement à prendre une décision binaire : le fonctionnement du système est-il correct ou défaillant ? La procédure doit déterminer, le cas échéant, l'instant d'occurrence de la faute. C'est le rôle du test en ligne. La tâche est d'autant plus ardue que contrairement au test hors ligne, l'application du test en ligne ne permet pas, en générale de choisir les signaux d'excitation en vue du test.
- ii) **Analyse d'alarmes** : l'interprétation des alarmes caractérise les causes possibles du dysfonctionnement. La finesse des décisions à ce niveau peut être variable. Il convient ici de préciser de façon claire ce que l'on entend par connaître l'état de santé du système.
 - a) **L'isolation** concerne la détermination des événements anormaux et la localisation précise de la défaillance de façon à pouvoir déterminer la ou les zone(s) défectueuse(s). Ceci peut se faire à différents niveaux : sous-système, composants, ...
 - b) **L'identification** détermine l'allure de la panne et renseigne ainsi sur le type de maintenance ou de correction (accommodation ou reconfiguration) à réaliser sur le système. Dans certains cas, l'identification cherche à comprendre l'origine de la défaillance (recherche des causes) et même à prévoir son évolution (pronostic). Cette étape est très difficile à implémenter, car sa mise en œuvre requiert la connaissance précise du modèle de chaque faute possible. La plupart des systèmes de diagnostic actuels n'intègrent que la détection et l'isolation. L'identification de la panne n'est réalisée que lorsqu'une action de reconfiguration en ligne du système ou des objectifs à atteindre est envisagée.
- iii) **La reconfiguration** concerne, enfin la remise en état de la partie défectueuse du système, de façon à lui permettre de satisfaire à sa mission. La nature de la reconfiguration est étroitement liée à la gravité de la défaillance détectée.

Comme l'indique la Figure 1.2 les procédures de décision se situent à deux niveaux : la production d'alarmes correspond à une décision qui stipule qu'une anomalie de fonctionnement est détectée et qui, le cas échéant, est capable de situer la date de transition du fonctionnement normal au fonctionnement anormal. La finesse des décisions de ce niveau peut être essentiellement variable. Elle doit répondre au cahier des charges qui définit la nature et la précision des renseignements que l'on souhaite avoir sur l'état du système. Une autre décision concerne la possibilité de laisser le système poursuivre sa mission ou de l'interrompre. Les risques induits par la nouvelle situation, les mesures à prendre pour la contrôler sont des décisions qui relèvent de la tolérance aux fautes et ne concernent pas nos travaux actuels.

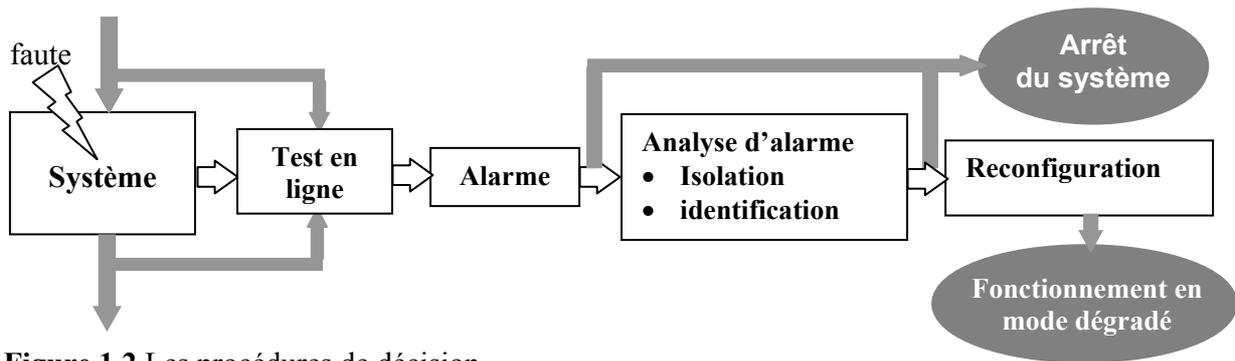


Figure 1.2 Les procédures de décision

1.3 Situation de nos travaux

1.3.1 Contexte de nos travaux

La complexité des fonctionnalités implémentées dans les systèmes intégrés croît en même temps que se réduisent les dimensions des puces, limitant l'accessibilité des nœuds internes et induisant des difficultés de test. Les techniques de conception en vue du test ont été développées pour les circuits numériques. Elles sont peu à peu standardisées et directement intégrées dans les outils de synthèse automatique. Malheureusement, il n'existe aucune méthode générique pour tester les blocs analogiques ou mixtes. Aujourd'hui, les cœurs analogiques et mixtes requièrent des tests fonctionnels complexes nécessitant des temps d'application très longs et des équipements de test coûteux. Le coût extrêmement élevé du test de ces blocs est le principal maillon faible du développement des systèmes embarqués sur une puce. On mesure l'étendue de ce problème par le fait que le coût du test approche redoutablement les 40 % du prix de revient total d'un circuit intégré actuel. Et comme les nouvelles technologies orientent la tendance d'évolution vers une diminution significative des coûts de fabrication, il est admis que le coût du test, et en particulier celui du test de la partie analogique, représentera bientôt la plus grosse partie du coût total des circuits intégrés mixtes. Dans le contexte technologique et économique actuel, la réduction du coût de test des circuits mixtes est un défi crucial pour les fabricants de systèmes embarqués.

Dans le domaine des systèmes analogiques et mixtes, nos investigations de recherche actuelles portent sur trois axes principaux : le développement des outils CAO¹⁸ pour le test des systèmes analogiques et mixtes, la mise au point de techniques d'intégration de test à bas coût pour les systèmes analogiques et mixtes et le test en ligne concurrent de systèmes linéaires (Figure 1.3).

¹⁸ Conception Assistée par Ordinateur

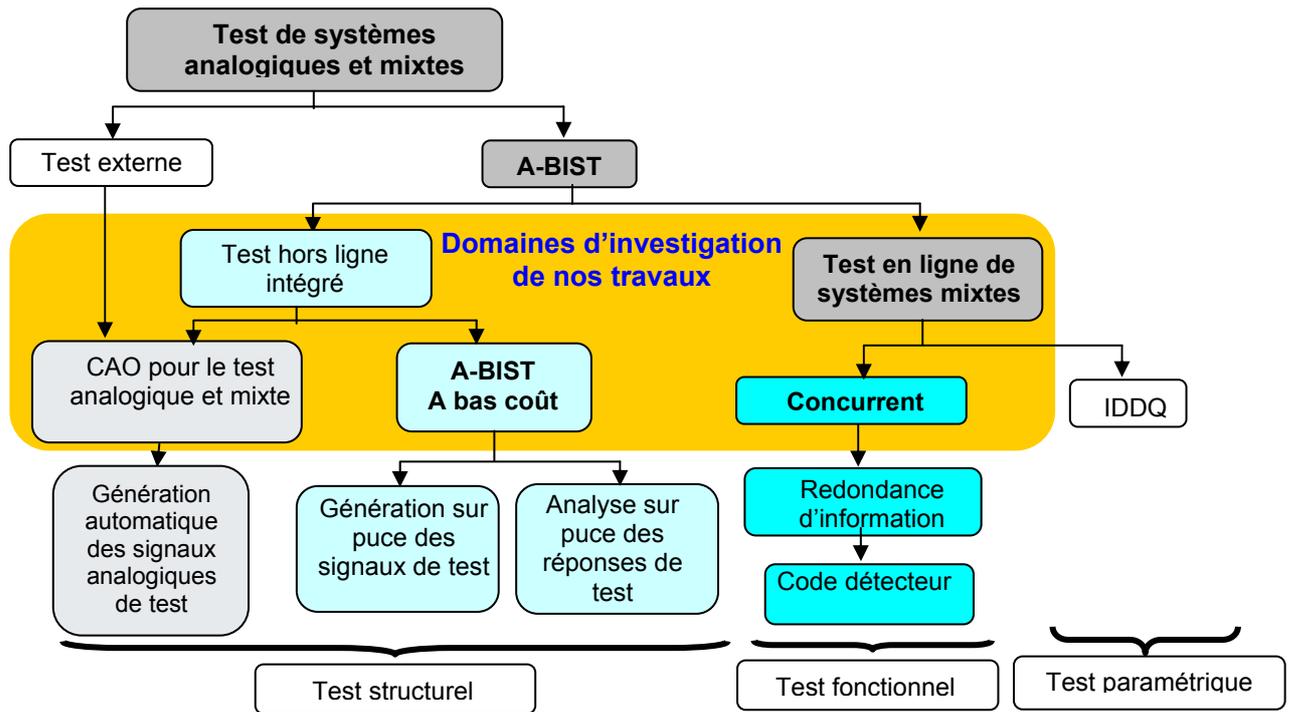


Figure 1.3 Situation de nos travaux dans le domaine du test des systèmes analogiques et mixtes

La complexité des systèmes embarqués les rend vulnérables aux défaillances en fonctionnement qui sont à l'origine de coûts importants en terme de sécurité et en terme de disponibilité. Associée à la criticité des missions, cette vulnérabilité justifie la conception et l'intégration dans ces systèmes de modules de surveillance, dont le rôle est de traiter les données accessibles sur le système, afin de détecter et de diagnostiquer les défaillances susceptibles d'affecter le système en cours de fonctionnement.

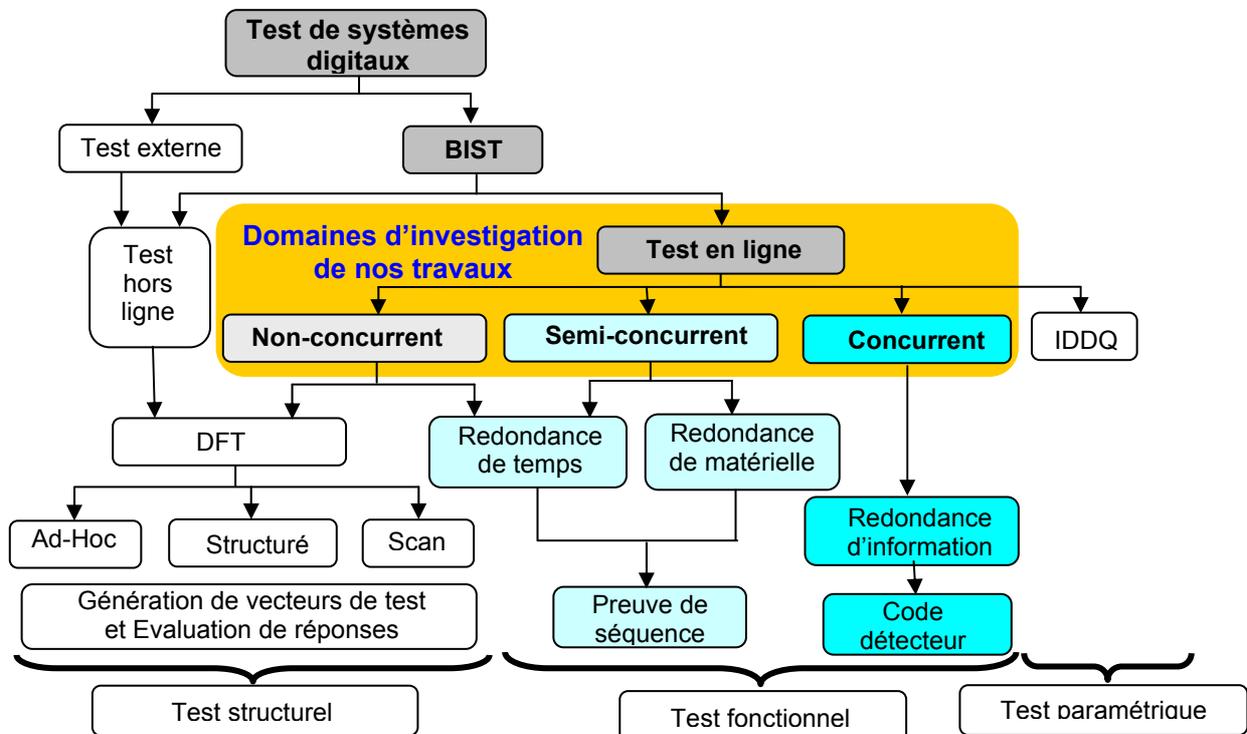


Figure 1.4 Situation de nos travaux dans le domaine du test des systèmes digitaux

Une partie importante de nos travaux porte sur le développement de méthodes de conception et d'intégration de modules de surveillance pour les systèmes embarqués. Plus précisément, nous travaillons sur l'élaboration des méthodes et le développement des outils permettant le test en ligne des systèmes intégrés. Ces travaux concernent aussi bien les modules digitaux, que les modules analogiques et mixtes. Concernant les systèmes digitaux, nous nous sommes essentiellement intéressé au développement de techniques de test en ligne non-concurrent, semi-concurrent et concurrent (Figure 1.4).

1.3.2 Notre approche

Il est souhaitable que les coûts d'intégration des modules de test et de surveillance proposés restent raisonnables. Ces coûts tiennent compte aussi bien du temps d'application du test que de la surface de silicium supplémentaire nécessaire pour son implémentation ainsi que de la dégradation des performances du système induite par l'insertion de fonctions de test et de surveillance. En effet, l'ajout de ces fonctions entraîne très souvent une modification des propriétés comportementales du système, généralement dans le sens d'une dégradation des performances attendues. Notre expérience de modélisation et de simulation de systèmes complexes confirme la pertinence de ce constat.

Nous cherchons à développer des méthodes suffisamment générales pour répondre à une famille de systèmes plutôt qu'à une application particulière. Cette préoccupation renforce la nécessité de rechercher des architectures génériques qui exploitent les propriétés structurelles des modèles de systèmes.

Puisque nos domaines de recherche sont motivés par les problèmes actuels et à venir, nous appliquons nos résultats à des situations effectives. Ceci implique de mettre en œuvre nos solutions dans des outils afin d'intégrer la problématique de test et de surveillance dans le processus de conception. Nous avons ainsi le souci de réaliser soit des outils logiciels complets et autonomes, soit de outils s'intégrant dans des ensembles logiciels importants.

1.3.3 Nos axes de recherche

Il existe des travaux qui préconisent les méthodes de DFT et plus particulièrement le BIST analogique comme une solution viable permettant d'améliorer la testabilité et de faciliter le diagnostic de ces produits. Cependant, les architectures ABIST¹⁹ proposées induisent généralement des coûts en surface matérielle prohibitifs, qui se situent souvent au delà de marges autorisées par les contraintes drastiques de surface. En effet, pour répondre à la demande pressante des applications de communications sans fil, de multimédia et de traitement des signaux, les concepteurs de circuits analogiques et mixtes incorporent de nombreuses fonctionnalités sur des surfaces de silicium strictement limitées. Dans ce contexte, nous avons choisi (au sein de l'équipe RMS de TIMA), de proposer des schémas de ABIST simples, à bas coût (en terme de surface) et compatibles avec l'environnement numérique. Le chapitre 2 expose nos investigations de recherche dans ce domaine. Elles concernent aussi bien le développement des outils CAO pour le test analogique que des techniques de BIST analogues dont les principaux atouts résident aussi bien dans la simplicité et le faible coût matériel, que dans leur compatibilité à un environnement de composants digitaux.

La différence entre les architectures de ABIST que nous proposons réside dans la nature du générateur de signaux de test analogique, du générateur de signature numérique et du contrôleur digital du test. Suivant le cas nous distinguons les générateurs suivants :

- Générateur sinusoïdal multifréquence couplé à un générateur de signature à base de convertisseur $\Sigma\Delta$,
- Générateur pseudo-aléatoire couplé avec des cellules de corrélation simplifiées,
- Générateur de signaux couplé avec un algorithme d'identification paramétrique

A l'issue de nos travaux de thèse, la surveillance en ligne des systèmes a constitué un champ d'investigation majeur. L'objectif visé est la vérification du fonctionnement d'un système en cours d'opération sans suspendre ni affecter le fonctionnement nominal qui reste prioritaire par rapport aux opérations de vérifications. Le chapitre 3 présente les travaux que nous avons développés en ce sens dans

¹⁹ *Analogue BIST*

le cadre du test en ligne des systèmes électroniques intégrés. Afin d'atteindre cet objectif sous la contrainte des priorités exprimées plus haut, les architectures proposées exploitent essentiellement des redondances intrinsèques contenues dans le système nominal. Trois types de redondance sont ainsi utilisés : les redondances d'information, les redondances de temps et les redondances de matériel.

- La redondance en information se traduit par les relations analytiques qui lient les signaux circulant dans le système.
- La redondance temporelle est exprimée par les temps oisifs pendant lesquels une ou plusieurs des composantes du système ne sont pas sollicitées par les opérations nominales. Ces composantes peuvent alors être utilisées pour un objectif secondaire tel que le test en ligne.
- La redondance en matériel concerne la disponibilité dans le système de plusieurs opérateurs capables d'assurer l'exécution d'une tâche. Le test en-ligne est donc assuré par l'exécution de la même tâche sur des opérateurs différents avec comparaison de résultats.

Suivant les types de redondances en jeu, nos investigations se déploient en trois approches complémentaires de test en-ligne :

Test en ligne concurrent

Les signaux des entrées primaires du système nécessaires au fonctionnement normal sont la seule excitation appliquée au système. Le test en-ligne concurrent exploite essentiellement la redondance en informations contenues dans les signaux circulant et accessibles à la lecture. Nous proposons cette méthode de test autant pour les systèmes numériques que pour les systèmes analogiques.

Test en ligne non-concurrent

Il utilise essentiellement les redondances en temps dans le système. Une séquence de test prédéterminée est appliquée par morceau à chaque unité fonctionnelle durant tous les intervalles de temps oisifs où elle n'est pas sollicitée par la fonction nominale.

Test en-ligne semi-concurrent

Il exploite essentiellement les redondances en temps et en matériel dans le système pour vérifier les propriétés fonctionnelles des opérateurs et des chemins de données. Les temps oisifs des opérateurs sont mis à profit afin de répéter des séquences d'opérations exécutées dans le fonctionnement nominal. Les signaux d'entrée du système sont utilisés comme stimuli de test.

Chapitre 2

Test intégré de systèmes analogiques et mixtes

Les circuits digitaux ont un comportement déterministe et parfaitement prévisible. Pour une combinaison des valeurs initiales de ses bascules internes donnée, les sorties d'un circuit digital sont déterminées de façon unique à partir de la connaissance de ses signaux d'entrée. Ainsi, même si un seul bit de la réponse du circuit sous test est différent de la valeur attendue sur un circuit sain, la signature du circuit est différente de la signature de référence attendue avec une très forte probabilité. Ainsi, les circuits digitaux sont soit défectueux, soit sain et jamais entre les deux ; cette propriété facilite la conception d'un analyseur de réponse permettant de distinguer par leur signature, les circuits défectueux des circuits sains. Pour les circuits analogiques, le problème est beaucoup plus complexe car les signaux analogiques sont de nature imprécise. Cette imprécision interdit l'utilisation d'un analyseur de réponse déterministe, analogue à celui des testeurs digitaux car le risque de déclarer incorrects des signaux analogiques parfaitement valides serait alors extrêmement élevé. Il ne s'agit plus de donner une réponse binaire de type "circuit bon" ou "circuit mauvais", mais plutôt de définir des critères de qualité continus permettant de classer les circuits, ensuite il faut déterminer les seuils de qualité qui permettent de distinguer les circuits défectueux des circuits sains. De ce fait, les techniques de BIST analogiques induisent souvent des coûts prohibitifs difficilement acceptables dans une application réelle. De nos jours, le défi principal des ingénieurs concepteurs de systèmes analogiques et mixte est d'assurer un test de haute qualité avec un coût de mise en œuvre et d'application raisonnable. Ce chapitre décrit nos travaux de recherche dans le domaine du test hors ligne des systèmes analogiques et mixtes. Nos investigations dans ce domaine sont orientées vers deux directions principales : la construction d'outils CAO facilitant la mise en œuvre du test pour de systèmes analogiques et mixtes et le développement d'architectures de BIST analogiques simples et de faible coût matériel compatibles avec un environnement de circuits digitaux.

Au sein du groupe RMS de TIMA, nous explorons des architectures ABIST qui consistent à tester des circuits analogiques et mixtes avec des testeurs numériques. Ces architectures requièrent tout d'abord la possibilité de générer dans la puce des signaux analogiques nécessaires au test des composantes analogiques et mixtes à partir de signaux codés numériquement. Après une conversion analogique numérique, les réponses sont recueillies et traitées par le contrôleur numérique de test comme l'indique la Figure 2.1. Sur ce schéma, le terme "système analogique" peut désigner aussi bien un circuit analogique, un MEMS qu'une composante RF²⁰.

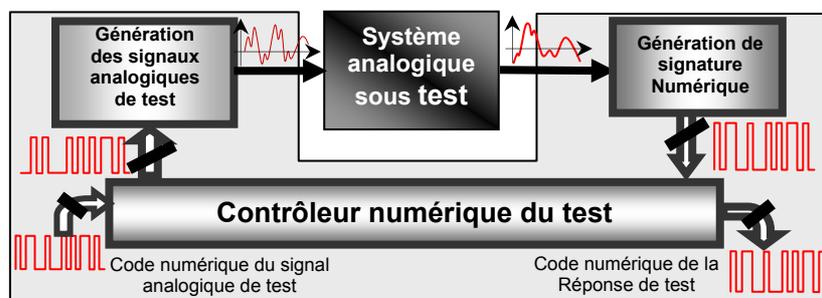


Figure 2.1 Architecture de BIST Analogique

²⁰ Radiofréquence

2.1 Outils CAO de test analogique

Les efforts de recherche considérables consentis au test des systèmes digitaux ont produit des résultats importants qui sont graduellement standardisés et incorporés dans les outils de synthèse automatique pour les circuits numériques. Malheureusement, les avancées sont beaucoup moins importantes dans le domaine du test des systèmes analogiques et mixtes. Une des difficultés importantes dans ce domaine est l'inexistence d'outils CAO permettant l'automatisation des tâches de simulation de fautes et de génération des vecteurs de test. Les outils de génération de stimuli de test et de simulation de faute sont essentiels aux techniques de test structurel et fonctionnel. Ils permettent d'évaluer la qualité de test afin d'automatiser la recherche de la solution optimale à implémenter. Les environnements des outils logiciels de conception industriels (CADANCE, MENTOR GRAPHICS, SYNOPSIS) n'incluent malheureusement aucun outil de simulation de fautes et de génération de stimuli de test analogique. Cette carence s'explique par la nature généralement fonctionnelle du test appliqué aux circuits analogiques. Pourtant, le besoin d'intégrer des architectures ABIST et d'évaluer leurs qualités finira bien par rendre ces outils incontournables. Ceci justifie les efforts importants que nous continuons à consacrer aux outils de CAO pour le test analogique, intégrés dans un environnement de conception industriel.

2.1.1 Outil de simulation de fautes pour circuits analogiques

Afin d'éprouver et de comparer des solutions concurrentes, la conception de BIST analogique requiert un outil efficace d'injection de fautes dans les modèles de circuits analogiques et mixtes. De même que dans le cas des systèmes digitaux, la simulation de fautes des circuits analogiques détermine le comportement du circuit en présence de chacune des fautes d'un ensemble de fautes prédéterminées. Du fait du très grand nombre de fautes à traiter et de la complexité des algorithmes à mettre en oeuvre, on adopte généralement l'hypothèse de la faute unique. L'objectif de la simulation de fautes est de déterminer la qualité d'une solution de test. Cette qualité s'exprime sous la forme d'un *taux de couverture de fautes* qui est défini par le rapport du nombre de fautes détectées par la séquence de test sur le nombre de fautes simulées. Au sein du groupe RMS du laboratoire TIMA, sous l'initiative de Salvador MIR et avec sa collaboration, nous avons contribué au développement d'un outil logiciel d'injection et de simulation de fautes qui accepte comme entrées des circuits analogiques et mixtes. L'objectif visé est de disposer d'un outil générique d'injection de fautes qui soit indépendant aussi bien du type de bloc à analyser (numérique, analogique ou mixte) que du niveau de description du circuit (comportemental, schématique, layout).

Le squelette initial de l'outil a été intégré dans l'environnement du logiciel CADENCE²¹ par Cosmin ROMAN lors de son stage de fin d'études d'ingénieur. Le langage de programmation SKILL²² et la souplesse des applications de cet environnement donnent une grande flexibilité pour l'injection de fautes. Ces travaux ont été poursuivis par Abdelatif ZOUAI²³ ; ils sont actuellement développés par Ahcène BOUNCEUR dans le cadre de ses travaux doctoraux.

Ces travaux ont permis l'automatisation des tâches de modélisation, d'injection et de simulation de fautes, ainsi que le traitement des résultats. La structure générale de l'outil est présentée dans la Figure 2.2 (a). La Figure 2.2 (b) donne une idée de la modélisation de fautes. Il s'agit ici d'une faute de court-circuit entre la base et le collecteur d'un transistor. La technique d'injection utilisée s'appuie sur un langage de description de modèle de fautes basé sur des interfaces graphiques et textuelles. Le travail de programmation est facilité par une librairie contenant un ensemble de fonctions permettant de faciliter la manipulation du circuit, il contient les possibilités suivantes : ajouter/supprimer une instance, ajouter/supprimer une connexion, ajouter/supprimer un circuit ou une partie d'un circuit. Une faute est représentée par son modèle qui est construit sous la forme d'une cellule du système en utilisant des primitives telles que les points de connexion, le segment dans le réseau d'interconnexion et éventuellement d'autres instances qui peuvent être configurées par l'utilisateur.

²¹ Logiciel de conception microélectronique

²² Langage textuel structuré incorporé dans l'environnement CADENCE

²³ Stage de DEA Recherche Opérationnelle, Combinatoire et Optimisation UJF (2003)

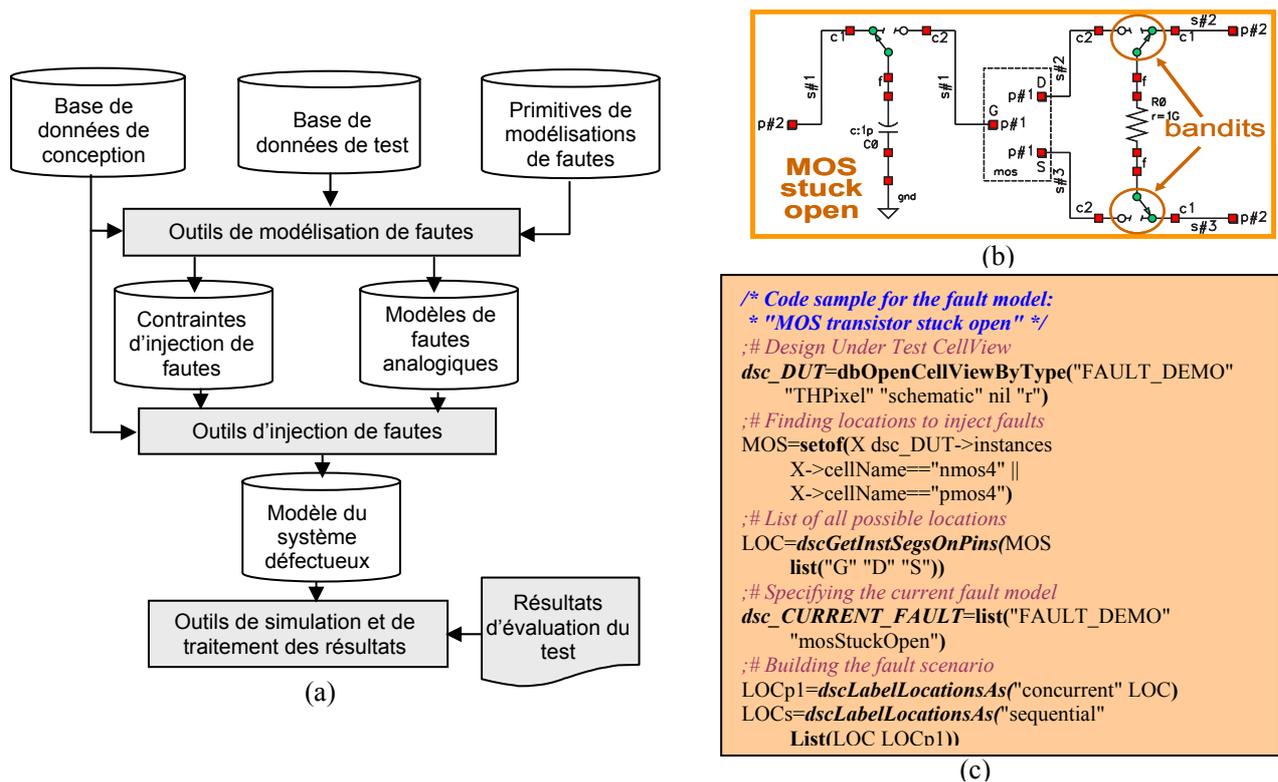
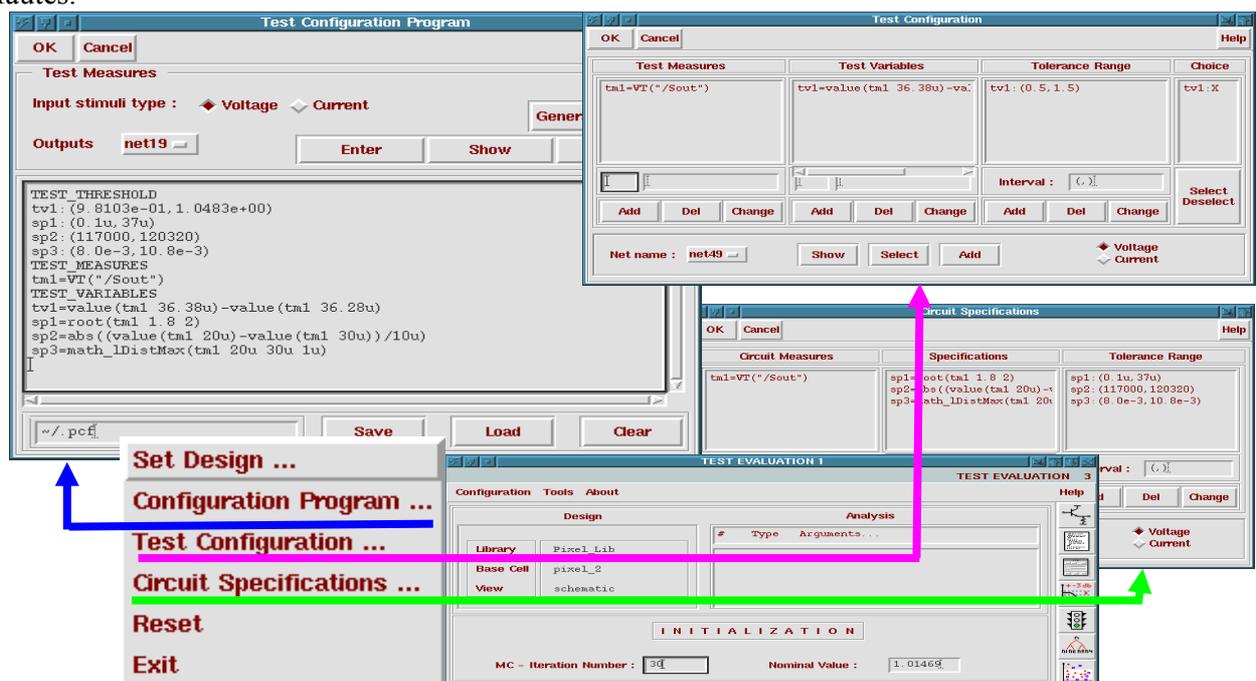


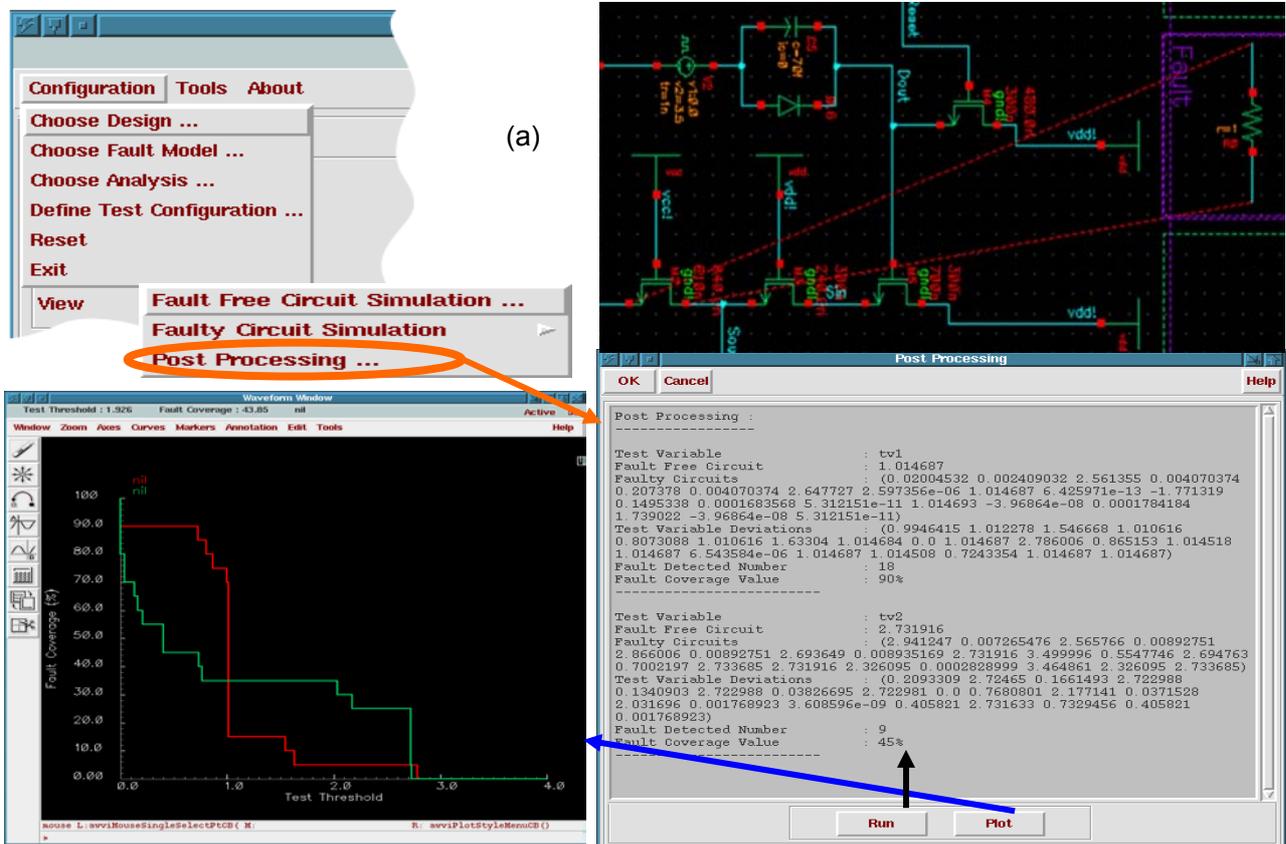
Figure 2.2 La structure générale de l’outil logiciel d’injection et de simulation de fautes : (a) architecture générale de l’outil, (b) Exemple de modèle de faute correspondant à un transistor MOS collé ouvert, (c) programme d’injection de faute correspondant.

Afin de faciliter l’utilisation de l’outil, le logiciel permet de détecter automatiquement les coordonnées des différents objets à ajouter et les coordonnées des connexions concernées. Un ensemble de fonctions y sont disponibles : Liste des coordonnées des pins d’une instance, liste des coordonnées des extrémités des segments des pins sortant d’une instance, positions relatives des différentes instances, ... La Figure 2.3 montre les principales fenêtres qui permettent de configurer l’outil de simulation et d’injection de fautes.



Figures 2.3 Principales fenêtres de configuration de l’outil outils d’injection et de simulation de fautes.

La campagne de simulation de fautes est lancée par un programme de test. Elle commence par la détermination des spécifications du système ainsi que leurs tolérances. Ensuite, les variables de test et leurs tolérances aux fautes sont définies. Une variable de test peut être formée d'une ou de plusieurs mesures de test. Une évaluation de la technique de test étudiée est obtenue grâce aux résultats qui découlent de la procédure de simulation. Un exemple de illustratif des résultats de simulation de simulation est présenté sur la Figure 2.4.



Figures 2.4 Outils logiciel d'injection et de simulation de fautes : résultat de l'optimisation multi-objectif (ADEV, SFDR) et vecteur de test sous un format compatible avec un testeur numérique.

2.1.2 Générateur programmable des signaux analogiques multifréquences

La mise en œuvre de l'architecture complète de ABIST nécessite une génération sur puce des signaux analogiques de test. Un outil a été développé afin d'assurer une génération de signaux analogiques sur puce à partir de leur codes numériques. Les signaux générés sont essentiellement multifréquences et leur génération se fait à partir d'un codage numérique des signaux de sortie souhaités. Comme l'indique la Figure 2.5, pour générer un signal analogique de fréquences $f_1 \leq f_2 \leq \dots \leq f_n$, un train binaire codant le signal désiré est chargé dans un premier temps T_1 dans un registre à décalage cadencé à la fréquence f_s . Puis on boucle le registre sur lui même en connectant sa sortie à l'entrée dans un temps T_2 .

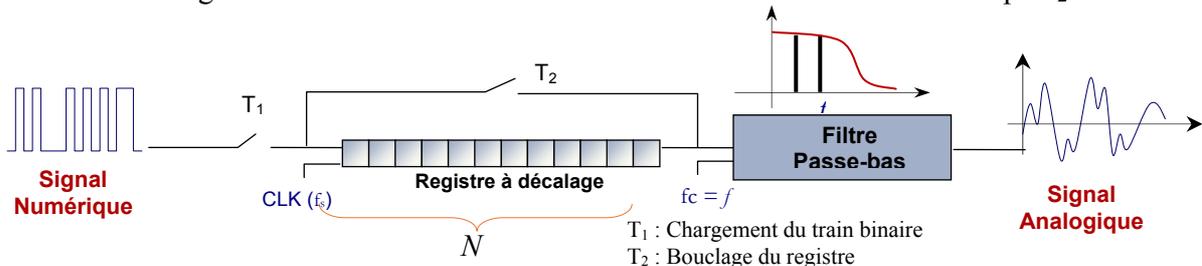


Figure 2.5 Schéma de principe de la génération des signaux analogiques.

Le train binaire à la sortie du registre à décalage est ensuite filtré pour retrouver le signal analogique qui était encodé dans le train binaire. Un filtre passe bas de fréquence de coupure $f_c = f_n$ est utilisé à cette fin. Le bouclage permet d'effectuer la périodisation du signal dans le domaine temporel. Par conséquent, on discrétise son spectre fréquentiel. En outre, si on considère que le registre à décalage a une longueur N , et que le registre est cadencé à la fréquence f_s , alors on obtient une relation entre f_s et f , où $f = PGCD^{24}$ ($f_i, i = 1, \dots, n$):

$$f = f_s \cdot \frac{M}{N}, \quad (2.1)$$

avec $M = 1, 2, \dots, \frac{N}{2}$. Les paramètres de programmation du générateur sont f_s, N, f_c ; le bloc de filtrage à

la sortie du registre à décalage est aussi programmable et permet de récupérer un signal analogique. Le signal analogique désiré est généré par simulation et encodé sur un vecteur de test de longueur de 256 bits contenant les informations suivantes définies dans la Figure 2.6.

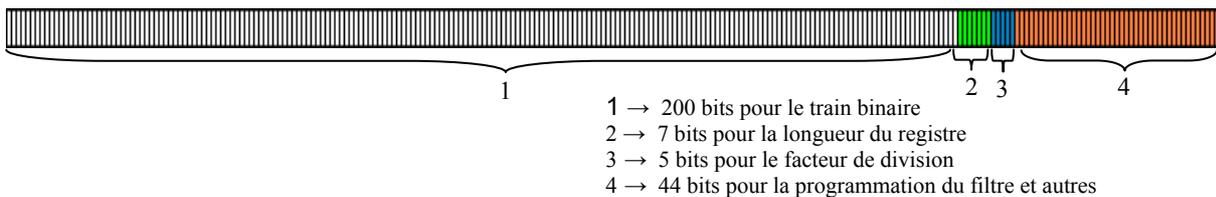


Figure 2.6 Configuration du train binaire encodant les signaux multifréquences

Une première version d'un outil logiciel de mise œuvre de cette approche a été réalisée pour s'intégrer dans l'environnement CADENCE (logiciel CAO de conception microélectronique) afin de valider la technique proposée, suivant l'architecture décrite dans la Figure 2.7. La version initiale de cet outil traitait le cas simple de la génération des signaux analogiques mono-fréquence.

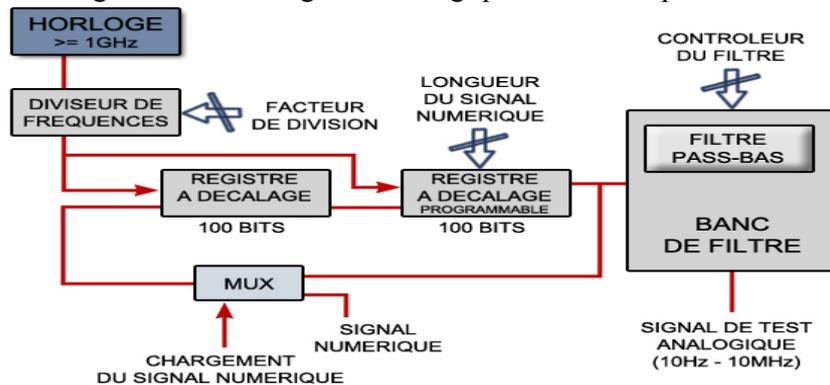


Figure 2.7 Générateur de signaux multifréquence

Comme le montre le tableau 2.1, les configurations des paramètres de programmation permettent de générer des signaux dans la bande de fréquence allant de 10Hz à 10Mhz. La résolution fréquentielle alors obtenue est meilleure que 1%.

Le travail de stage de DEA de Ahcène BOUNCEUR a permis de compléter l'outil initial d'un module permettant la simulation de circuits de génération de signaux multifréquences. De nouvelles fonctionnalités ont ainsi été introduites nécessitant une étude approfondie du comportement du circuit générateur vis-à-vis des signaux multifréquences. Il a aussi fallu optimiser des propriétés des signaux à générer afin qu'ils soient adaptés au mieux au test de circuits analogiques. A cause de la non linéarité sévère et surtout de la non dérivabilité des fonctions à optimiser, les méthodes analytiques d'optimisation se sont vite avérées inapplicables. Déjà utilisée dans la première version de l'outil, la méthode de Monte-carlo a été complétée par un algorithme génétique de type WARGA²⁵, qui utilise le principe de la relation de dominance au sens de Pareto.

²⁴ PGCD : Plus Grand Commun Diviseur

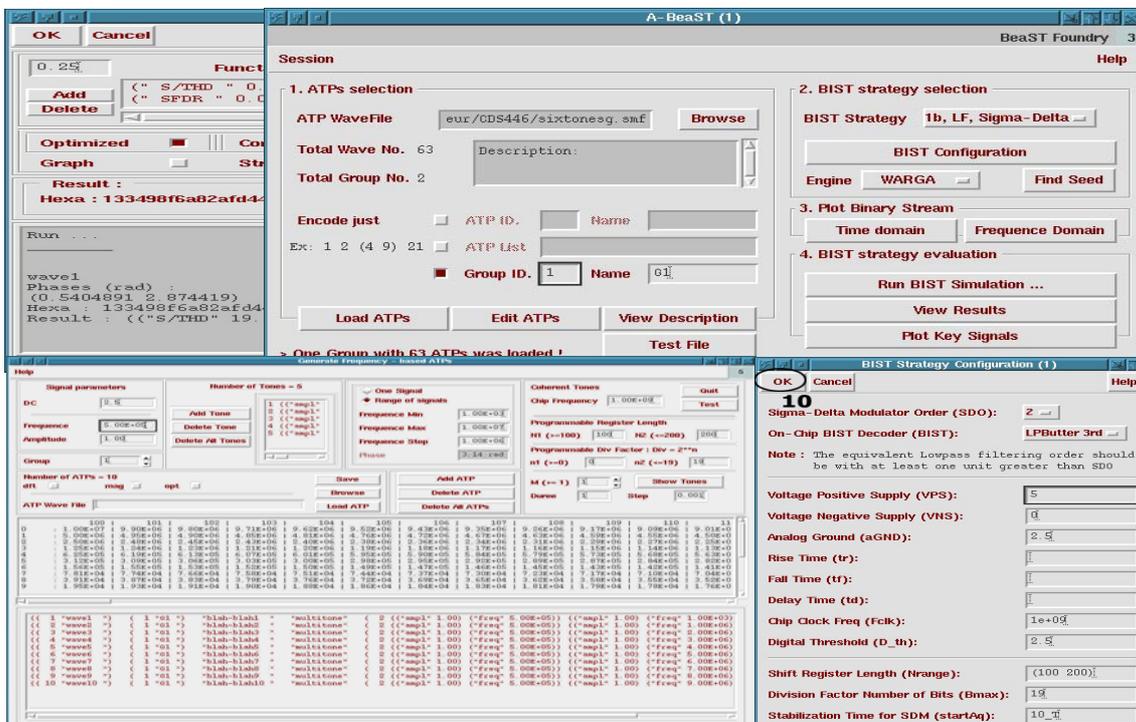
²⁵ Weighted Average Ranking Genetic Algorithm

Tableau 2.1 Fréquences de sortie en fonction de la fréquence d'échantillonnage et de la longueur du registre à décalage.

Div	fs	N				
		100	101	...	199	200
1	1,00E+09	1,00E+07	9,90E+06	...	5,03E+06	5,00E+06
2	5,00E+08	5,00E+06	4,95E+06	...	2,51E+06	2,50E+06
4	2,50E+08	2,50E+06	2,48E+06	...	1,26E+06	1,25E+06
8	1,25E+08	1,25E+06	1,24E+06	...	6,28E+05	6,25E+05
16	6,25E+07	6,25E+05	6,19E+05	...	3,14E+05	3,13E+05
32	3,13E+07	3,13E+05	3,09E+05	...	1,57E+05	1,56E+05
64	1,56E+07	1,56E+05	1,55E+05	...	7,85E+04	7,81E+04
128	7,81E+06	7,81E+04	7,74E+04	...	3,93E+04	3,91E+04
256	3,91E+06	3,91E+04	3,87E+04	...	1,96E+04	1,95E+04
512	1,95E+06	1,95E+04	1,93E+04	...	9,81E+03	9,77E+03
1024	9,77E+05	9,77E+03	9,67E+03	...	4,91E+03	4,88E+03
2048	4,88E+05	4,88E+03	4,83E+03	...	2,45E+03	2,44E+03
4096	2,44E+05	2,44E+03	2,42E+03	...	1,23E+03	1,22E+03
8192	1,22E+05	1,22E+03	1,21E+03	...	6,13E+02	6,10E+02
16384	6,10E+04	6,10E+02	6,04E+02	...	3,07E+02	3,05E+02
32768	3,05E+04	3,05E+02	3,02E+02	...	1,53E+02	1,53E+02
65536	1,53E+04	1,53E+02	1,51E+02	...	7,67E+01	7,63E+01
131072	7,63E+03	7,63E+01	7,55E+01	...	3,83E+01	3,81E+01
262144	3,81E+03	3,81E+01	3,78E+01	...	1,92E+01	1,91E+01
524288	1,91E+03	1,91E+01	1,89E+01	...	9,58E+00	9,54E+00

Div : Le facteur de division
 fs : la fréquence d'échantillonnage
 N : la longueur du registre à décalage

Cet outil est implémenté sous CADENCE et le processus de génération des vecteurs de test est totalement transparent à l'utilisateur. Les principales fenêtres d'interfaçage sont représentées sur les Figures 2.8. Un exemple de résultats d'optimisation est présenté sur la Figure 2.9. Ce travail a fait l'objet d'une communication à la conférence internationale DCIS [13].



Figures 2.8: Principales fenêtres de configuration de l'outil logiciel génération de vecteur de test

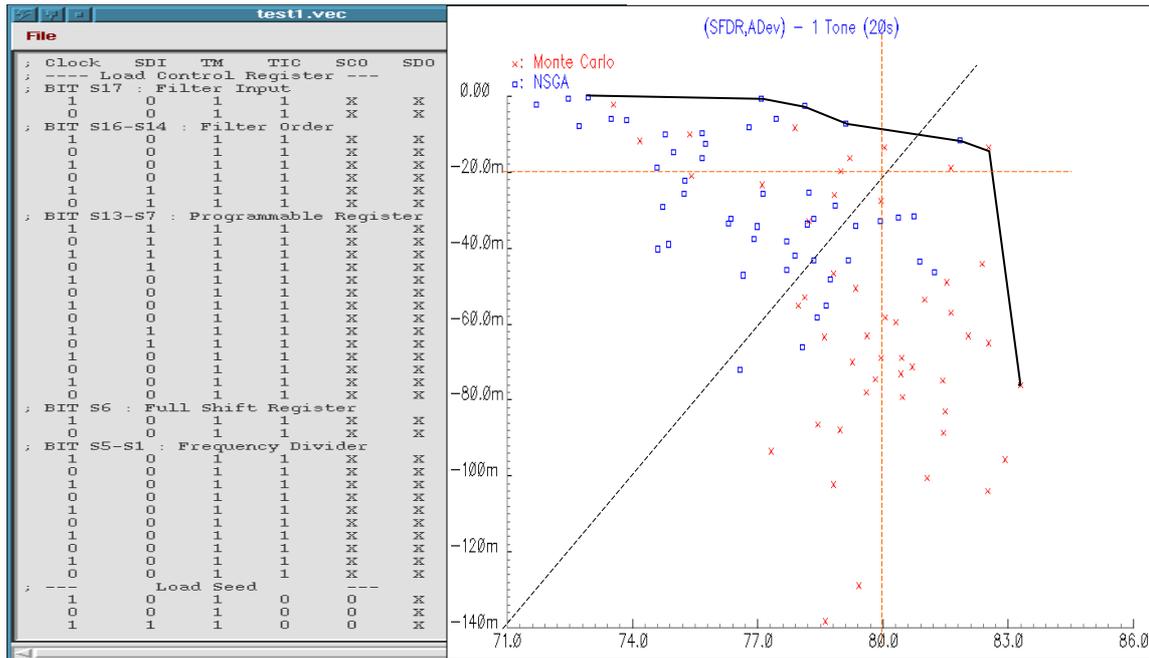


Figure 2.9 Outils logiciel génération de vecteur de test : résultat de l'optimisation multi-objectif (ADEV, SFDR) et vecteur de test.

2.2 Test analogique pseudo-aléatoire

La plupart des techniques de BIST analogiques que l'on trouve dans la littérature supposent que la partie digitale du système incorpore des processeurs digitaux, des convertisseurs analogiques numériques (ADC²⁶) et numériques analogiques (DAC²⁷). Dans ces architectures de BIST analogique, la génération de stimuli de test et l'analyse de signature sont alors implémentées sous forme logicielle exécutable sur les processeurs embarqués. L'architecture de la circuiterie de BIST que nous proposons est complètement digitale puisque le générateur des signaux de test et l'analyseur de signature le sont. Mais à la différence des méthodes habituelles, son implémentation ne requiert pas forcément ni un ADC pour générer les stimuli de test, ni un processeur pour le traitement des réponses de test. Les principaux atouts des méthodes que nous proposons résident dans leur simplicité, leur compatibilité à un environnement de composants digitaux et à leur coût matériel faible.

2.2.1 Principe de la méthode

Tout comme la fonction de transfert, la réponse impulsionnelle est une caractéristique comportementale invariante des systèmes linéaires stationnaires (LTI²⁸). Partant du principe que toute faute susceptible de perturber le fonctionnement d'un système LTI entraîne des changements dans sa réponse impulsionnelle, nous avons développé une architecture de test à bas coût basée sur l'évaluation sur puce de la réponse impulsionnelle du système sous test. Notre contribution s'est principalement focalisée sur l'implémentation sur la puce de méthodes d'estimation et d'évaluation de la réponse impulsionnelle avec un coût en surface de silicium acceptable. Avant d'aborder ce point important, rappelons brièvement le principe de la méthode d'estimation de réponse indicelle que nous utilisons.

Pour tout système linéaire invariant, l'intercorrélation des signaux d'entrée $x(t)$ et de sortie $y(t)$ est liée à la fonction de réponse impulsionnelle $h(t)$ par la relation :

²⁶ Digital to Analog Converter

²⁷ Analog to Digital Converter

²⁸ Linear Time Invariant

$$\phi_{xy}(t) = y(t) * x(t) = h(t) * \phi_{xx}(t) \quad (2.2)$$

Où $\phi_{xx}(t)$ est la fonction d'auto corrélation du signal d'entrée et le signe ‘ * ’ représente le produit de convolution de signaux qui est défini par :

$$y(t) * x(t) = \sum_{j=-\infty}^{+\infty} y(j).x(j - t) \quad (2.3)$$

D’après l’Equation (2.2), si le signal d’entrée $x(t)$ est choisi de sorte que

$$\phi_{xx}(t) = \delta(t) \quad (2.4)$$

(où $\delta(t)$ désigne l’impulsion de Dirac), alors l’intercorrélation des signaux d’entrée et de sortie donne directement la réponse impulsionnelle du système sous test. On a alors

$$y(t) * x(t) = h(t) * \delta(t) = h(t) \quad (2.5)$$

Théoriquement, l’équation (2.4) est vérifiée lorsque le signal d’entrée du système sous test est un bruit blanc. Cependant, le bruit blanc ne peut être utilisé dans notre application pour plusieurs raisons : le bruit blanc pur est un signal non réalisable parce que non causal ; même un bruit rose réalisable induirait un coût de génération ou stockage prohibitif, inacceptable pour une solution de test intégré viable. Pour pallier cette difficulté, nous avons opté pour une séquence binaire pseudo aléatoire SBPA²⁹ dont la génération sur puce se fait à l’aide de registres à décalage rebouclé à travers des ou-exclusifs (LFSR³⁰).

Comme l’indique l’Equation (2.5), l’estimation de la réponse impulsionnelle par cette méthode nécessite le calcul du produit de convolution de $x(t)$ et $y(t)$, qui, selon l’Equation (2.3), est constitué d’une somme de produits de signaux.

Le principe de cette méthode est bien connu et largement utilisé en science expérimentale, notamment en automatique pour l’identification des paramètres d’un système linéaire. Mais l’utilisation de ce principe dans une implémentation de BIST analogique s’est jusqu’ici butée au coût rédhibitoire d’implémentation matérielle des corrélateurs nécessaires au calcul de la réponse indicielle. L’implémentation d’un module de corrélation classique requiert en effet l’utilisation de multiplieurs onéreux dont le coût matériel d’implémentation est une fonction exponentielle du nombre de bits. La principale originalité de notre approche est de se servir de la nature binaire de la SBPA afin de proposer une cellule de corrélation à faible coût, où le multiplieur est remplacé par un simple multiplexeur numérique.

Comme l’indique la Figure 2.10, la SBPA générée par le LSFR est directement appliquée au dispositif sous test (DUT³¹) à travers un simple buffer. A partir du signal analogique de sortie du système sous test, un ADC génère une sortie numérique $y(t)$ dont l’intercorrélation avec la séquence binaire d’entrée donne une estimation de la réponse impulsionnelle du DUT.

Nous avons développé une cellule de corrélation simplifiée (CCS) qui permet d’implémenter l’opération de corrélation à bas coût, sans utiliser l’unité fonctionnelle de multiplication. La nature binaire du signal d’entrée a été déterminante dans cette simplification. Chacun des échantillons qui composent la réponse impulsionnelle est évaluée (sans multiplication) par une CCS dont la structure interne est détaillée dans la Figure 2.10 (b). La comparaison de la réponse indicielle obtenue avec la référence attendue fournit la réponse du test.

Au-delà des circuits analogiques classiques, nous avons utilisé avec succès cette architecture de ABIST pour le test de systèmes micromécaniques (MEMS³²). Les prospections visant l’extension de l’utilisation de cette architecture de ABIST pour le test de systèmes non linéaires donnent des résultats prometteurs.

²⁹ Séquence Binaire Pseudo Aléatoire

³⁰ Linear Feedback Shift Register

³¹ Design Under Test

³² MicroElectroMechanic Systems

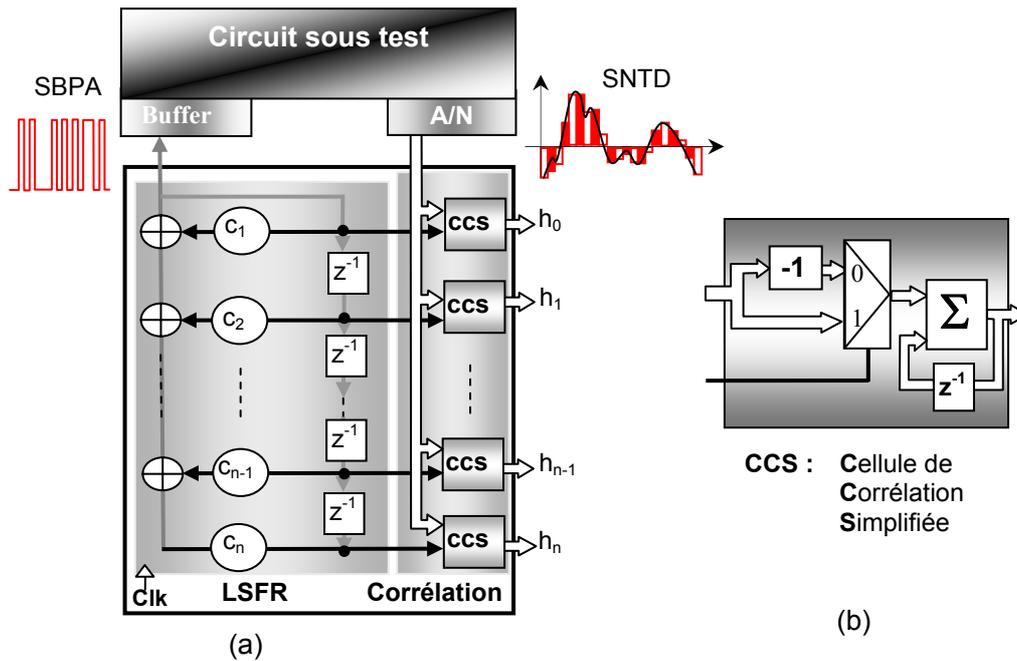


Figure 2.10 ABIST pseudoaléatoire à bas coût de système LTI analogique. (a) architecture générale, (b) cellule de corrélation simplifiée.

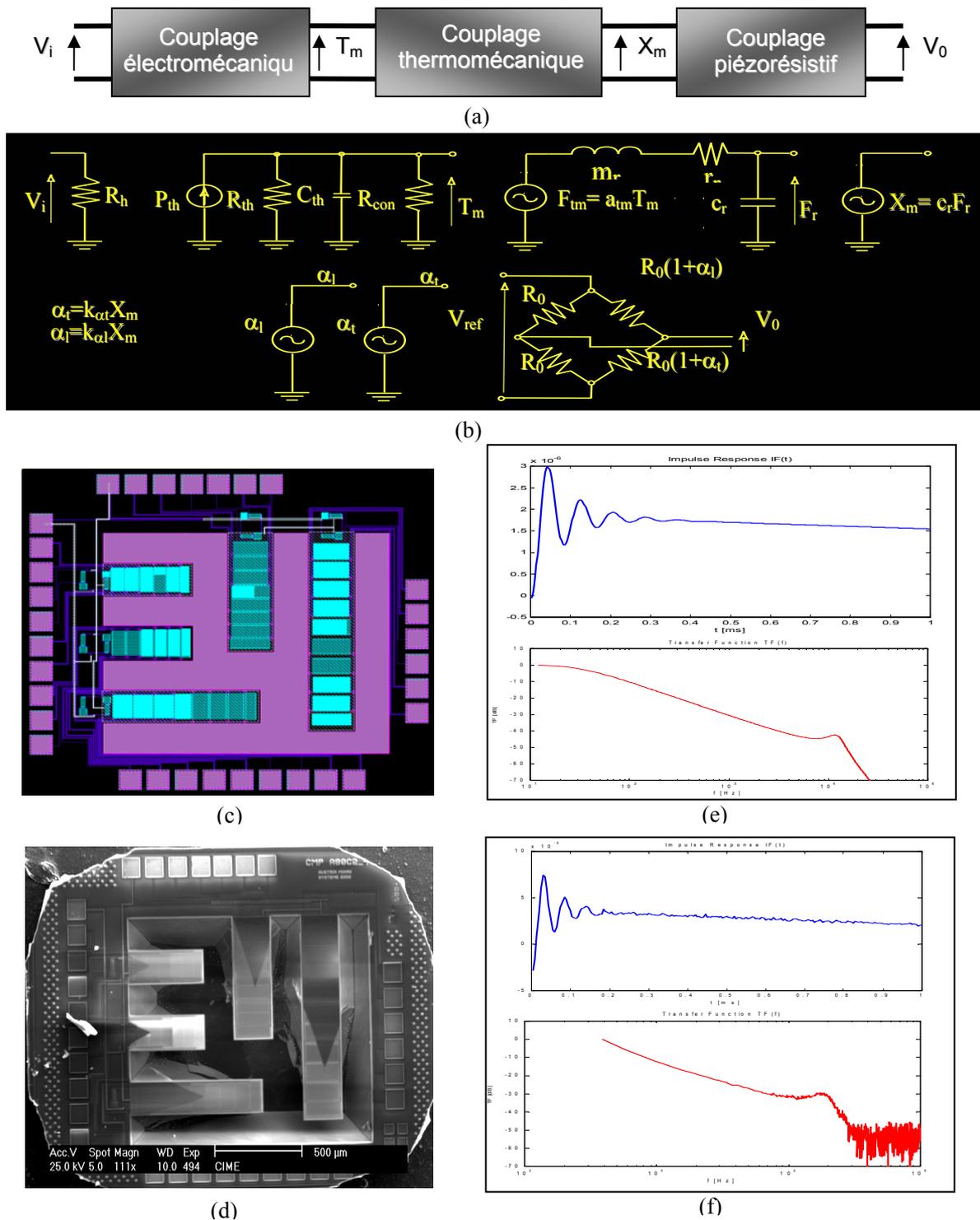
2.2.2 Application au test à bas coût de MEMS

Les MEMS sont des composants pluridisciplinaires dont la modélisation met généralement en évidence des couplages électromécaniques, thermomécaniques, piézoélectriques, ... Il est courant que plusieurs de ces couplages interviennent simultanément dans la modélisation d'un même composant MEMS. A cause de ces couplages pluridisciplinaires, les composants MEMS ont généralement une dynamique lente, comparée aux composants microélectroniques et RF qui peuvent être intégrées dans le même environnement. La dynamique lente des MEMS en fait des composants particulièrement adaptés à l'architecture de test sur puce proposée dans la Figure 2.10.

En la collaboration avec Libor RUFER et Salvador MIR, nous avons appliqué avec succès cette architecture de test sur des microsystèmes tels que les micro-poutres et les micro-accéléromètres. Les différents couplages qui sont en jeu dans le modèle d'une poutre sous test sont schématisés dans la Figure 2.11 (a) et les modèles électroniques équivalents correspondants sont traduits dans la Figure 2.11 (b). Les Figures 2.11 (c) et 2.11 (d) montrent respectivement le dessin de masque et la photo du prototype qui a été réalisé. Ce prototype a été élaboré à partir d'une micro-poutre réalisée en technologie 0,8 μm CMOS. Le procédé de fabrication est suivi d'un micro usinage en volume permettant de libérer les poutres. Afin de faciliter l'application du test, la surface de chaque micro-poutre est recouverte de résistances de chauffe en polysilicium. Le test se fait par échauffement de la micro-poutre par l'intermédiaire des résistances de chauffe qui la recouvre. Cet échauffement donne lieu à une déflexion qui est mesurée par un pont de Wheatstone piézorésistif disposé au point d'ancrage de la poutre.

La Figure 2.11 (e) donne les courbes de simulation de la réponse impulsionnelle et de la fonction de transfert observées entre les tensions d'entrée V_i et de sortie V_d , alors que la Figure 2.11 (f) représente les mêmes courbes relevées en présence de perturbation. Ces courbes montrent un écart important entre les fréquences de résonance thermique (environ 10 Hz) et mécanique (environ 12kHz.). L'architecture de test à bas coût décrite par la Figure 2.10 s'est avérée très efficace pour caractériser les poutres par leurs

réponses impulsionnelles. Une réduction significative du bruit est obtenue en moyennant les résultats obtenus par une suite de plusieurs applications de la même SBPA³³.



Figures 2.11 Micro-poutres testables utilisant le BIST à bas coût. (a) les couplages en jeu en mode test, (b) modèle électrique équivalent d'une micro-poutre, (c) dessin de masques des micro-poutres, (d) photo des micro-poutres, (e) courbes de la réponse indicielle et de la fonction de transfert théoriques, (f) courbes de la réponse indicielle et de la fonction de transfert relevées en présence de bruit.

³³ Séquence Binaire Pseudo Aléatoire

Les travaux de stage de DEA d'Achraf DHAYNI ont permis d'étudier l'optimisation des paramètres de l'architecture de BIST pseudoaléatoire proposée dans la Figure 2.10. En particulier, le choix des échantillons de la réponse impulsionnelle à calculer et à surveiller, le choix de la longueur de la SBPA ainsi que les influences de la précision du circuit de calcul de corrélation et du convertisseur analogique numérique sur les résultats du test ont été analysés. La suite de ce travail a consisté à étudier l'application de cette technique de BIST, les microsystemes, en tenant compte de leur comportement linéaire et non linéaire. L'influence des non linéarités sur l'architecture de BIST proposée est évaluée. Cette étude fait l'objet des travaux de thèse d'Achraf DHAYNI co-encadrés par Salvador MIR et Libor RUFER.

2.3 Utilisation des ressources digitales embarquées pour le diagnostic intégré

2.3.1 Intelligence embarquée

Les systèmes embarqués intègrent souvent sur la même puce des composants variés incluant aussi bien des modules analogiques et numériques que des composantes radiofréquences dédiées à la communication, ainsi que des composantes optiques pour le transfert de données en haut débit et des MEMS pour l'interfaçage avec le monde extérieur. Dans leurs parties digitales, les systèmes embarqués modernes incorporent généralement des composants intelligents sous la forme d'un ou de plusieurs microprocesseurs de traitement associés à des mémoires de stockage de type RAM ou ROM. Comme l'indique la Figure 2.12, l'intelligence embarquée communique généralement avec les modules analogiques et mixtes à travers des convertisseurs analogiques digitaux (ADC) et des convertisseurs numériques analogiques (DAC) implémentés sous forme d'interfaces microélectroniques.

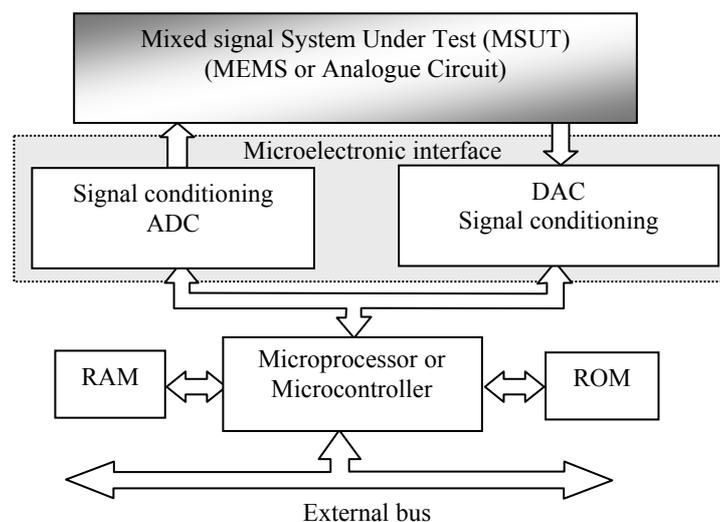


Figure 2.12 Exemple de modules Analogique, Mixtes ou MEMS dans un environnement digital.

Une partie importante de nos travaux actuels consiste à élaborer les techniques de test intégré mettant à contribution l'intelligence embarquée pour le test et le diagnostic de modules mixtes ou analogiques les que les composantes RF et MEMS intégrés. L'idée principale est de mettre en œuvre pour ces composantes des méthodes de test et de diagnostic suffisamment simples pour que les ressources intelligentes embarquées puissent permettre leur implémentation efficace. A cette fin, nous utilisons essentiellement des modèles dynamiques autorégressifs pour les modules sous test dont les paramètres sont utilisés dans l'élaboration de signature de test. L'évaluation est basée sur les algorithmes récursifs d'estimation paramétrique dont les études sont développées dans le domaine de l'automatique notamment dans le cadre de la commande adaptative. Ces algorithmes ont l'avantage de permettre une

gestion parcimonieuse de la capacité de stockage et de la puissance des ressources intelligentes nécessaires.

Dans le cas simple de systèmes dynamiques linéaires, le modèle d'entrée/sortie peut être représenté par une équation récurrente de la forme :

$$y(t) = \gamma^T(t) \cdot \theta_L + \varepsilon(t) \quad (2.6)$$

où $y(t)$ désigne la sortie du système à l'instant t , $\gamma(t) = (y(t-1), y(t-2), \dots, y(t-n_y), u(t-1), u(t-2), \dots, u(t-n_u))$ est le vecteur de régression dont les composantes sont constituées des valeurs de sortie $y(t-k)$ et d'entrée $u(t-k)$ antérieures à l'instant t et θ_L représente le vecteur des paramètres à estimer. Le terme additif $\varepsilon(t)$ correspond à une suite de variables aléatoires indépendantes centrées de variance minimale dont les caractéristiques sont proches de celles d'un bruit blanc. L'Equation (2.6) est dite 'AutoRégressive à variable eXogène' (ARX³⁴).

L'estimation $\hat{\theta}_L$ du vecteur des paramètres par les méthodes classiques telles que la méthode des moindres carrés (LSM³⁵) nécessite d'abord le stockage de toute la séquence de données d'entrée/sortie, le traitement requiert ensuite l'inversion d'une matrice dont les dimensions peuvent être importantes. Dans le contexte d'un algorithme d'identification hors ligne, la puissance des ordinateurs modernes permet de résoudre cette tâche qui ne pose alors aucun problème particulier. Par contre cette procédure devient fallacieuse lorsqu'elle est implémentée sur le processeur d'un système embarqué dont les ressources sont généralement drastiquement très limitées. Pour pallier cette difficulté, nous avons choisi d'utiliser les méthodes récursives d'identification qui sont habituellement mises en œuvre dans les schémas de commande adaptative indirecte. Ces algorithmes sont aménagés afin de servir dans des architectures de test et de diagnostic de modules analogiques. Les méthodes récursives d'identification présentent d'autres avantages qui contribuent à une utilisation parcimonieuse du temps de test et des ressources disponibles :

- i) Les données de test sont traitées au fur et à mesure de leur application sur le circuit sous test. Le temps de test est réduit à la durée nécessaire pour l'application de la séquence de test.
- ii) Il est possible d'arrêter le traitement dès qu'une faute est détectée, d'où une réduction du temps moyen de test et donc de production.
- iii) Il n'est pas nécessaire de stocker simultanément toutes les données utilisées dans l'algorithme de détection, d'où une réduction substantielle de l'espace mémoire nécessaire au test.
- iv) Les opérations requises par le traitement sont simples car elles se limitent à des additions ou à des multiplications de signaux par des constantes.

2.3.2 Algorithmes récursifs d'estimation pour le test sur puce

En automatique, la commande adaptative regroupe un ensemble de concepts et de techniques permettant d'ajuster automatiquement en temps réel les régulateurs mis en œuvre dans la commande d'un processus lorsque les paramètres de ce processus sont difficiles à déterminer ou varient avec le temps. On distingue deux approches principales de commande adaptative :

- la commande adaptative directe dans laquelle les paramètres du régulateur sont ajustés directement et en temps réel à partir de la comparaison entre les performances réelles observées et les performances désirées.
- La commande adaptative indirecte qui suppose une estimation des paramètres du processus par une procédure d'identification récursive. Comme l'indique la Figure 2.13, ce type de commande adaptative tient compte des caractéristiques d'évolution du système afin d'auto-ajuster le régulateur.

³⁴ *AutoRegressive with Exogenous variable*

³⁵ *Least Square Method*

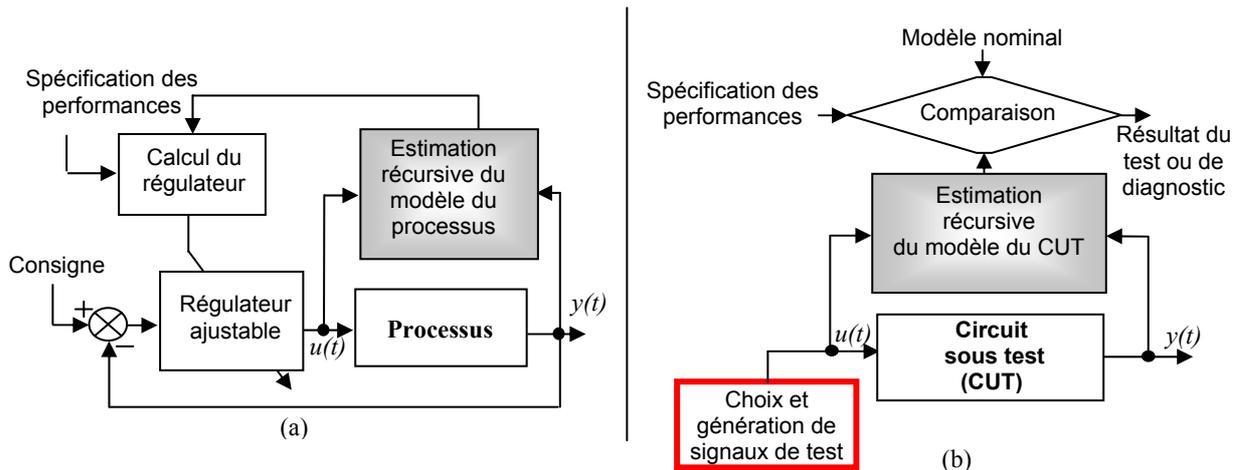


Figure 2.13 Utilisation de méthodes récursives d'estimation paramétrique :
 (a) En schéma de commande adaptative indirecte,
 (b) En test et diagnostic intégré hors ligne

D'autre part, par rapport à leur utilisation dans les schémas de commande adaptative, la mise en œuvre des méthodes récursives d'identification dans une architecture de test hors-ligne présente les avantages suivants :

- l'identification est faite en boucle ouverte, il n'y a donc aucun risque de perte d'identification due à la boucle de retour.
- Les paramètres nominaux du système sont supposés invariants, notamment lors de l'application du test. Il n'y a donc aucun besoin d'introduire des facteurs d'oubli.
- La procédure d'identification peut être initialisée aux valeurs nominales des paramètres estimées sur un système sain ou sur un modèle de connaissance de celui-ci.
- le problème d'excitation persistante (PE³⁶) est résolu par un choix judicieux des signaux d'entrée en mode test. Une procédure de recherche permet de sélectionner les séquences de test qui garantissent la condition de l'excitation persistante.

2.3.3 Cas difficile des systèmes non linéaires

Dans la théorie des systèmes, il est connu que le modèle d'état qui exprime le présent en fonction du passé permet de représenter avec une grande fidélité une très large classe de systèmes dynamiques linéaires ou non.

La Figure 2.14 donne une représentation générique du modèle d'état récurrent défini par :

$$x(t) = f(x(t-1), u(t-1)) \text{ et } y(t) = g(x(t), u(t)) \quad (2.7)$$

où $u(t)$ est l'entrée, $x(t)$ et $y(t)$ sont respectivement l'entrée, l'état et la sortie du système à l'instant t .

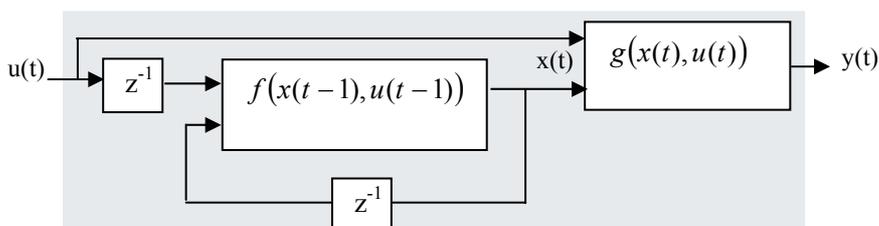


Figure 2.14 Représentation générique du modèle d'état récurrent

³⁶ Persistent Excitation

Les fonctions $f(\cdot)$ et $g(\cdot)$ sont généralement non linéaires, stationnaires, et peuvent être approximées avec des réseaux de neurones. Lorsque toutes les composantes du vecteur d'état sont accessibles à la mesure, les problèmes d'estimation de $f(\cdot)$ et de $g(\cdot)$ sont parfaitement découplés. Bien que la représentation d'état soit très générale, toutes les composantes du vecteur d'état ne sont pas toujours accessibles à la mesure. Le cas échéant, nous utilisons une extension aux systèmes non linéaires du modèle ARX. On déduit le modèle NARX (Nonlinear ARX) qui prédit la sortie actuelle comme une fonction non linéaire des entrées et des sorties antérieures.

$$\begin{aligned} y(t) &= f(y(t-1), y(t-2), \dots, y(t-n_y), u(t), u(t-1), \dots, u(t-n_u)) + v(t) \\ &= f(\gamma(t)) + v(t) \end{aligned} \quad (2.5)$$

avec $\gamma(t) = [y(t-1), y(t-2), \dots, y(t-n_y), u(t), u(t-1), \dots, u(t-n_u)]^T$

La principale difficulté de la modélisation NARX réside dans le choix d'une expression pertinente pour la fonction non linéaire $f(\cdot)$. Afin d'approximer la fonction non linéaire inconnue $f(\cdot)$ de sorte que la vraisemblance du modèle NARX soit maximisée, une très grande variété de types de fonctions non linéaires a été utilisé dans la littérature. L'architecture générique d'un modèle NARX est présentée sur la Figure 2.15.

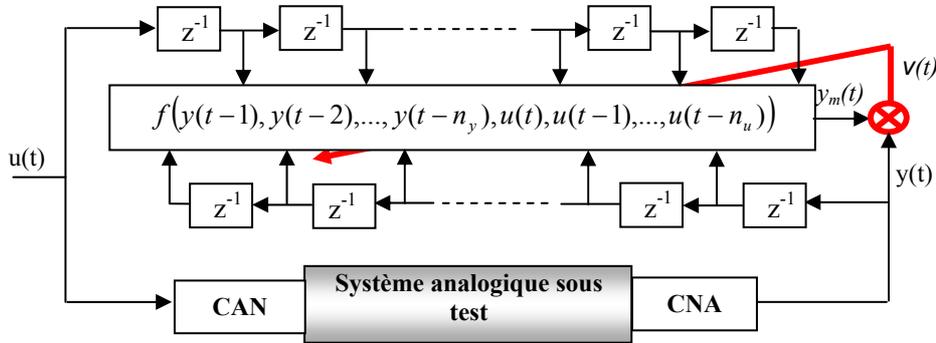


Figure 2.15 Modélisation NARX pour les systèmes analogiques et mixtes

Afin de simplifier la procédure de détection et de diagnostic de fautes, nous utilisons une fonction non linéaire construite à partir de la forme générique des modèles ARX classiques, c'est le modèle ARX dépendant de la position (PDARX³⁷) :

$$y(t) = \phi_0(\gamma(t)) + \sum_{i=1}^{n_y} \phi_i^y(\gamma(t))y(t-i) + \sum_{i=1}^{n_u} \phi_i^u(\gamma(t))u(t-i) + \varepsilon(t) \quad (2.6)$$

où les coefficients du modèle définis par $\phi_0(\gamma(t))$, $\phi_i^y(\gamma(t))|_{1 \leq i \leq n_y}$ et $\phi_i^u(\gamma(t))|_{1 \leq i \leq n_u}$ dépendent de la position courante. L'idée de base des modèles PDARX est d'effectuer une linéarisation locale du modèle NARX qui est très général en introduisant des modèles ARX localement linéaires, dont les coefficients dépendent de la position courante du système. Dans le cas particulier où $\phi_0(\cdot) = 0$ et où $\phi_i^y(\cdot)|_{1 \leq i \leq n_y}$ et $\phi_i^u(\cdot)|_{1 \leq i \leq n_u}$ sont toutes des fonctions constantes, on retrouve bien la structure des modèles ARX avec le vecteur des coefficients $\theta = [\phi_1^y(\cdot), \dots, \phi_{n_y}^y(\cdot), \phi_1^u(\cdot), \dots, \phi_{n_u}^u(\cdot)]^T$.

Modèle RBF-ARX

Pour modéliser les variations des coefficients de l'Equation (2.6) en fonction de la position, nous utilisons la base des fonctions radiales (RBF³⁸). L'influence localisée des fonctions de base favorise l'efficacité des réseaux RBF pour l'estimation des variations locales. Plus précisément, nous utilisons les réseaux RBF de type gaussien pour approximer les coefficients ϕ_i de l'Equation (2.6). Le modèle qui en découle est dénommé modèle RBF-ARX et est défini par :

³⁷ Position-dependant ARX

³⁸ Radial Basis Function

$$\begin{aligned}
\phi_0(\gamma(t)) &= c_0^0 + \sum_{k=1}^m c_k^0 \exp \left\{ -\rho_k^y \|\gamma(t) - Z_k^y\|^2 \right\} \\
\phi_i^y(\gamma(t)) &= c_{i,0}^y + \sum_{k=1}^m c_{i,k}^y \exp \left\{ -\rho_k^y \|\gamma(t) - Z_k^y\|^2 \right\} \\
\phi_i^u(\gamma(t)) &= c_{i,0}^u + \sum_{k=1}^m c_{i,k}^u \exp \left\{ -\rho_k^u \|\gamma(t) - Z_k^u\|^2 \right\}
\end{aligned} \tag{2.7}$$

où n_y , n_u et m sont les ordres du modèle, $Z_k^\alpha \Big|_{\substack{k=1,2,\dots,m \\ \alpha=y,u}}$ sont les centres des RBF; $\rho_k^\alpha \Big|_{\substack{k=1,2,\dots,m \\ \alpha=y,u}}$ sont les coefficients d'échelle, $c_{i,k}^\alpha \Big|_{\substack{k=1,2,\dots,m \\ i=1,2,\dots,n_\alpha \\ \alpha=0,y,u}}$ sont des paramètres scalaires constants et $\|\cdot\|$ représente la norme euclidienne, où α représente soit l'entrée u soit la sortie y .

L'identification hors-ligne d'un modèle RBF-ARX comprend aussi bien la détermination de l'ordre du système que l'estimation de tous les paramètres inconnus. L'utilisation d'un algorithme classique d'optimisation paramétrique pour estimer tous les paramètres induit une grande quantité de calculs complexes, qui peuvent être prohibitifs dans une architecture de test intégré. Pour pallier cette difficulté, nous scindons l'espace des paramètres en deux sous espaces : un sous-espace des poids linéaires et un sous-espace des paramètres non linéaires. Pour le modèle RBF-ARX décrit par les Equations (2.6 et 2.7), les paramètres linéaires sont donnés par :

$$\theta_L = \left\{ c_{i,k}^\alpha \Big|_{\substack{k=1,2,\dots,m \\ i=1,2,\dots,n_\alpha \\ \alpha=0,y,u}} \right\} \tag{2.8}$$

et les paramètres non linéaires sont définis par :

$$\theta_N = \left\{ \rho_k^\alpha \Big|_{\substack{k=1,2,\dots,m \\ \alpha=y,u}} ; Z_k^\alpha \Big|_{\substack{k=1,2,\dots,m \\ \alpha=y,u}} \right\}. \tag{2.9}$$

Afin de faciliter la procédure d'estimation, les équations du modèle du système peuvent être réécrites sous la forme :

$$y(t) = f(\theta_N, \theta_L, \gamma(t)) + \varepsilon(t) \tag{2.10}$$

ou encore

$$y(t) = \varphi(\theta_N, \gamma(t))^T \theta_L + \varepsilon(t) \tag{2.11}$$

où θ_N est le vecteur contenant les paramètres non linéaires, le vecteur θ_L contenant les poids linéaires. L'Equation (11) est la forme régressive de l'Equation (10) qui est linéaire par rapport à θ_L . Notre objectif est de définir un algorithme d'estimation suffisamment simple pour être implantable sur les ressources embarquées qui peuvent être fortement limitées. Il s'agit donc d'alléger au maximum les calculs exécutés lors du test tout en garantissant une qualité de test et de diagnostic élevée. Afin d'atteindre cet objectif, seuls les paramètres linéaires du modèle θ_L sont estimés par un algorithme des moindres carrés récursifs (RLSM³⁹). Nous faisons le pari que l'occurrence de toute faute dans le système sous test affectera aussi bien les paramètres non linéaires que linéaires. Il nous suffit donc de surveiller les paramètres linéaires du modèle pour déceler les anomalies potentielles. Le système sous test hérite des paramètres non linéaires $\tilde{\theta}_N$ qui sont estimés une fois pour toute sur le système sain ou sur un modèle de celui-ci. Ils sont complétés lors du test par les paramètres linéaires estimés à partir des mesures effectuées sur les systèmes sous test. L'équation du modèle que nous recherchons en mode test est donc :

$$y(t) = \varphi(\tilde{\theta}_N, \gamma(t))^T \theta_L + \varepsilon(t) \tag{2.12}$$

où $\tilde{\theta}_N$ est le vecteur des paramètres non linéaires hérités du modèle nominal du système, et θ_L est le vecteur des paramètres linéaires qui devra être estimé par la procédure de test.

³⁹ Recursive Least Square Method

Estimation des paramètres nominaux

La procédure d'identification du modèle nominal comprend aussi bien la sélection du modèle que l'estimation des paramètres. Il serait fastidieux d'utiliser un algorithme d'optimisation paramétrique non linéaire tel que le LMM⁴⁰ pour déterminer tous les paramètres du modèle. Comme le nombre de paramètres à déterminer est généralement élevé, le coût en temps de calcul deviendrait vite prohibitif. L'algorithme d'estimation que nous proposons associe le LMM aux moindres carrés classiques. La première méthode optimise les paramètres non linéaires par un processus itératif d'optimisation non linéaire. Elle est basée sur une recherche exhaustive dans l'espace des solutions, ce qui requiert un calcul intensif dépassant souvent la puissance des équipements intelligents embarqués. A chaque itération, les paramètres linéaires sont estimés par la méthode des moindres carrés, en utilisant l'estimation courante des paramètres non linéaires.

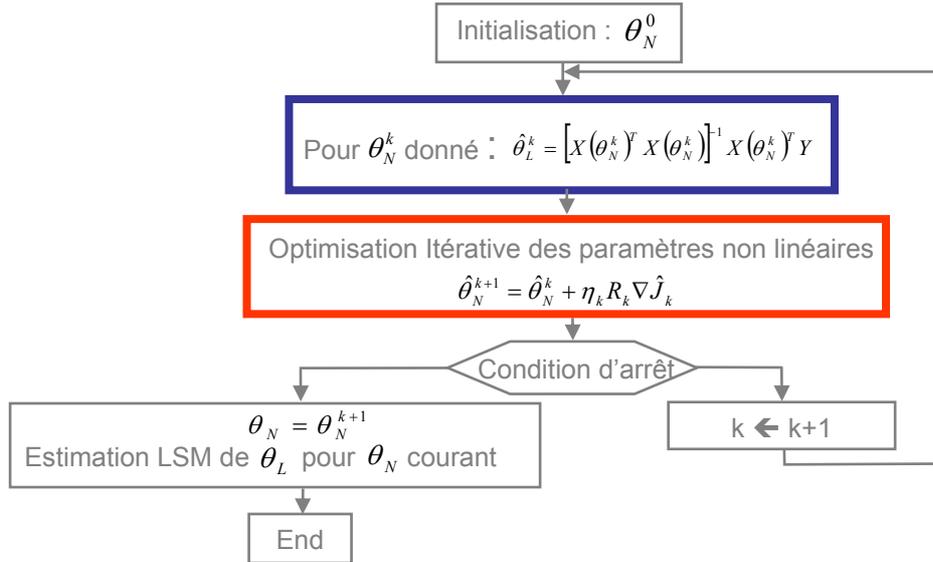


Figure 2.16 Procédure d'identification du modèle nominal

Comme l'indique la figure 2.16, l'algorithme d'estimation débute par une initialisation à θ_N^0 de θ_N à partir de connaissances a priori disponibles sur système sous test. A la $k^{\text{ième}}$ itération du processus d'estimation, le paramètre θ_N^k étant déterminé, l'estimation de θ_L^k par LSM donne :

$$\hat{\theta}_L^k = [X(\theta_N^k)^T X(\theta_N^k)]^{-1} X(\theta_N^k)^T Y \quad (2.13)$$

où

$$Y = \begin{bmatrix} y(M) \\ y(M-1) \\ \vdots \\ y(\tau+1) \\ y(\tau) \end{bmatrix} \quad \text{et} \quad X(\theta_N^k) = \begin{bmatrix} \varphi(\theta_N^k, \gamma(M-1)) \\ \varphi(\theta_N^k, \gamma(M-2)) \\ \vdots \\ \varphi(\theta_N^k, \gamma(\tau+1)) \\ \varphi(\theta_N^k, \gamma(\tau)) \end{bmatrix} \quad (2.14)$$

L'ensemble $\{y(i), \gamma(i-1)\}_{i=\tau+1, \dots, M}$ contient les données mesurées; τ est le retard le plus important contenu dans l'expression de $\gamma(\cdot)$ des Equations (2.6) et (2.7) et M est le nombre total de mesures effectuées.

Pour estimer les paramètres non linéaires, les routines d'optimisation les plus efficaces sont basées sur une recherche de direction optimale à partir du point courant. Nous utilisons un algorithme itératif de la forme :

$$\hat{\theta}_N^{k+1} = \hat{\theta}_N^k + \eta_k R_k \nabla \hat{J}_k \quad (2.15)$$

Où $\hat{\theta}_N^k$ est le vecteur des paramètres non linéaires estimés au bout de k itérations. L'algorithme de recherche est déterminé par trois entités :

⁴⁰ Levenberg-Marquardt Method

- η_k est la longueur du pas d'itération;
- $\nabla \hat{J}_k$ est le gradient estimé fonction $J(\theta_N, \theta_L)$ qui définit le critère à optimiser
- R_k est une matrice qui définit la direction de recherche.

Le critère à optimiser est de la forme :

$$\begin{aligned} J(\theta_N, \theta_L) &= \sum_{k=\tau}^{M-1} (y(k) - \hat{y}(k+1/k))^2 \\ &= \sum_{k=\tau}^{M-1} (y(k) - f(\hat{\theta}_N, \hat{\theta}_L, \gamma(k)))^2 \end{aligned} \quad (2.16)$$

où $\hat{y}(t+1/t) = f(\hat{\theta}_N, \hat{\theta}_L, \gamma(t))$ est la prédiction à un pas du modèle de sortie.

Ainsi,

$$\nabla \hat{J}_k = \frac{\partial J(\theta_N, \theta_L)}{\partial \theta_N} = - \sum_{k=\tau}^{M-1} (y(k) - f(\theta_N, \theta_L, \gamma(k))) \times h(\theta_N, \theta_L, \gamma(k)) \quad (2.17)$$

$$h(\theta_N, \theta_L, \gamma(k)) = \frac{\partial f(\theta_N, \theta_L, \gamma(k))}{\partial \theta_N} \quad (2.18)$$

Il est bien connu que la recherche du minimum par la méthode du gradient est inefficace et pose particulièrement des problèmes de convergence autour du point minimal. Par ailleurs, la recherche de la direction de Newton nécessitera le calcul de la dérivée seconde. Afin d'assurer en même temps la robustesse de processus de recherche et la rapidité de la convergence de l'algorithme, l'algorithme LMM utilise une direction alternative composite dont la direction de recherche est définie par :

$$R_k = H_k + \delta I. \quad (2.19)$$

où

$$H_k = \sum_{k=\tau}^M h(\hat{\theta}_N^k, \hat{\theta}_L^k, \gamma(k))^T h(\hat{\theta}_N^k, \hat{\theta}_L^k, \gamma(k)) \quad (2.20)$$

δ remplace ici la longueur du pas d'itération (η_k) définie dans l'Equation (2.15). Une grande valeur de δ donne un petit pas dans la direction du gradient alors qu'une valeur de δ faible (ou nulle) donne un pas de Gauss-Newton.

Les estimations $\tilde{\theta}_L$ et $\tilde{\theta}_N$ des paramètres nominaux linéaires et non linéaires du système sous test sont déterminés à l'issue du processus d'optimisation.

Estimation récursive des paramètres linéaires $\tilde{\theta}_L$ du système sous test

Une utilisation de l'algorithme LSM et LMM comme dans le paragraphe précédent permettrait de déterminer tous les paramètres linéaires ou non linéaires et par conséquent un diagnostic très précis. Par contre, cette technique souffre d'un handicap important : elle nécessite un calcul intensif, souvent au-delà de la capacité des équipements intelligents embarqués. Dans notre approche, afin d'éviter l'exécution de calculs excessifs en mode test, le système sous test hérite des paramètres non linéaires θ_N en mode test. Ainsi, nous supposons que θ_N est connu (égal à $\tilde{\theta}_N$). Seuls les paramètres linéaires θ_L seront estimés et comparés à leur valeurs nominales $\tilde{\theta}_L$ antérieurement calculées par la méthode des moindres carrés.

L'idée principale des moindres carrés récursifs consiste à éviter de refaire tous les calculs à chaque arrivée récursive de nouvelles données. Pour cela, on recherche une formule itérative permettant d'exprimer $\hat{\theta}_L(t)$ en fonction de $\hat{\theta}_L(t-1)$.

L'estimation des moindres carrés est définie par

$$\hat{\theta}_L = P \sum_{i=\tau}^t \varphi(\tilde{\theta}_N, \gamma(i)) y(i) = P \left(\sum_{i=1}^{t-1} \varphi(\tilde{\theta}_N, \gamma(i)) y(i) + \varphi(\tilde{\theta}_N, \gamma(t)) y(t) \right) \quad (2.21)$$

avec $P(t) = \left(\sum_{i=\tau}^t \varphi(\tilde{\theta}_N, \gamma(i)) \varphi^T(\tilde{\theta}_N, \gamma(i)) \right)^{-1}$,

d'où la récursivité sur $P(t)^{-1}$: $P(t)^{-1} = P(t-1)^{-1} + \varphi(\tilde{\theta}_N, \gamma(t)) \varphi^T(\tilde{\theta}_N, \gamma(t))$.

On a ainsi $\sum_{i=\tau}^{t-1} \varphi(\tilde{\theta}_N, \gamma(i)) y(i) = P(t-1)^{-1} \hat{\theta}_L(t-1) = P(t)^{-1} \hat{\theta}_L(t-1) + \varphi(\tilde{\theta}_N, \gamma(t)) \varphi^T(\tilde{\theta}_N, \gamma(t)) \hat{\theta}_L(t-1)$

L'estimation du vecteur des paramètres à l'instant t est donnée par l'équation récursive

$$\begin{aligned}
\hat{\theta}_L(t) &= \hat{\theta}_L(t-1) - P(t) \left(\varphi(\tilde{\theta}_N, \gamma(t)) \varphi^T(\tilde{\theta}_N, \gamma(t)) \right) \hat{\theta}_L(t-1) + P(t) \varphi(\tilde{\theta}_N, \gamma(t)) y(t) \\
&= \hat{\theta}_L(t-1) + P(t) \varphi(\tilde{\theta}_N, \gamma(t)) \left(y(t) - \varphi^T(\tilde{\theta}_N, \gamma(t)) \hat{\theta}_L(t-1) \right) \\
&= \hat{\theta}_L(t-1) + K(t) \varepsilon(t)
\end{aligned} \tag{2.22}$$

avec $K(t) = P(t) \varphi(\tilde{\theta}_N, \gamma(t))$.

Comme l'indique les équations ci-dessus, l'estimation récursive de $\hat{\theta}(t)$ requiert une équation récursive de $P(t)$ et non de $P(t)^{-1}$. Le lemme d'inversion de matrice permet de construire une équation récursive sur $P(t)$ à partir de l'équation récursive de $P(t)^{-1}$.

Lemme d'inversion matrices

Soient A, B, C et D des matrices de dimensions appropriées telles A, C et $(C^{-1} + DA^{-1}B)$ soient des matrices carrées non singulières, alors, d'après le lemme d'inversion des matrices :

$$(A + BCD)^{-1} = A^{-1} - A^{-1}B(C^{-1} + DA^{-1}B)^{-1}DA^{-1} \tag{2.23}$$

L'application du lemme d'inversion de matrice (avec $A = P(t-1)$, $B = \varphi(\tilde{\theta}_N, \gamma(i))$, $C = I$ et $D = \varphi^T(\tilde{\theta}_N, \gamma(i))$) dans l'Equation (2.22) donne l'équation récursive de $P(t)$.

$$\begin{aligned}
P(t) &= \left(\sum_{i=\tau}^t \varphi(\tilde{\theta}_N, \gamma(i)) \varphi^T(\tilde{\theta}_N, \gamma(i)) \right)^{-1} \\
&= \left(\sum_{i=\tau}^{t-1} \varphi(\tilde{\theta}_N, \gamma(i)) \varphi^T(\tilde{\theta}_N, \gamma(i)) + \varphi(\tilde{\theta}_N, \gamma(t)) \varphi^T(\tilde{\theta}_N, \gamma(t)) \right)^{-1} \\
&= \left(P(t-1)^{-1} + \varphi(\tilde{\theta}_N, \gamma(t)) \varphi^T(\tilde{\theta}_N, \gamma(t)) \right)^{-1} \\
&= P(t-1) - P(t-1) \varphi^T(\tilde{\theta}_N, \gamma(t)) \left(I + \varphi^T(\tilde{\theta}_N, \gamma(t)) P(t-1) \varphi(\tilde{\theta}_N, \gamma(t)) \right)^{-1} \varphi^T(t) P(t-1)
\end{aligned} \tag{2.24}$$

On en déduit

$$\begin{aligned}
K(t) &= P(t) \varphi^T(\tilde{\theta}_N, \gamma(i)) \\
&= P(t-1) \varphi(\tilde{\theta}_N, \gamma(i)) \left(I + \varphi^T(\tilde{\theta}_N, \gamma(t)) P(t-1) \varphi(\tilde{\theta}_N, \gamma(i)) \right)^{-1}
\end{aligned} \tag{2.24}$$

On en déduit l'algorithme d'estimation de $\tilde{\theta}_L$ par les moindres carrés récursifs.

Algorithme récursif d'identification
$\hat{\theta}_L(t) = \hat{\theta}_L(t-1) + K(t) [y(t) - \varphi^T(\tilde{\theta}_N, \gamma(t)) \hat{\theta}_L(t-1)]$
$K(t) = P(t) \varphi(\tilde{\theta}_N, \gamma(t))$
$= \frac{P(t-1) \varphi(\tilde{\theta}_N, \gamma(t))}{1 + \varphi^T(\tilde{\theta}_N, \gamma(t)) P(t-1) \varphi(\tilde{\theta}_N, \gamma(t))}$
$P(t) = P(t-1) - \frac{P(t-1) \varphi(\tilde{\theta}_N, \gamma(t)) \varphi^T(\tilde{\theta}_N, \gamma(t)) P(t-1)}{1 + \varphi^T(\tilde{\theta}_N, \gamma(t)) P(t-1) \varphi(\tilde{\theta}_N, \gamma(t))}$
$= [I - K(t) \varphi^T(\tilde{\theta}_N, \gamma(t))] P(t-1)$

2.3.4 Problème d'excitation persistante (PE).

Pour assurer la convergence robuste de l'algorithme d'estimation, il est nécessaire que la séquence de vecteurs $\varphi^T(\tilde{\theta}_N, \gamma(t))$ couvre de façon permanente (ou persistante) tout l'espace des paramètres linéaires du système. Plus précisément, une convergence robuste de l'algorithme d'estimation requiert l'existence d'une durée T et d'un réel positif α tels que :

$$\lambda_{\min} \left\{ \sum_{i=k}^{k+T} \varphi_i(\tilde{\theta}_N, \gamma(t)) \varphi_i^T(\tilde{\theta}_N, \gamma(t)) \right\} > \alpha, \quad \forall k \tag{2.25}$$

Lorsque la condition (2.25) est remplie, l'algorithme d'estimation récursive est dit excité de façon persistante et les paramètres estimés convergent asymptotiquement vers leurs valeurs actuelles, garantissant ainsi la robustesse de l'estimation vis-à-vis des perturbations. Cette condition est exigée pour

les systèmes adaptatifs afin d'assurer qu'un nombre suffisant de modes internes qui régissent le comportement du système sont excités et exprimés à travers les séquences de sortie mesurées. Dans une procédure d'estimation en temps réel (en commande adaptative par exemple) les séquences d'entrée utilisées par les algorithmes récursifs d'identification lui sont imposées par le fonctionnement nominal du système. Il est donc difficile de garantir la condition d'excitation permanente puisque l'on n'a aucune maîtrise des données d'entrée du système. Par contre, dans notre application, les algorithmes récursifs sont utilisés pour un test hors ligne. Nous avons donc le libre choix des séquences de test à appliquer. Cette marge de manœuvre nous permet de sélectionner les séquences de test qui garantissent la condition d'excitation persistante sur le système sain. La procédure de sélection de séquences d'entrées décrite dans la Figure 2.17 garantit la condition PE.

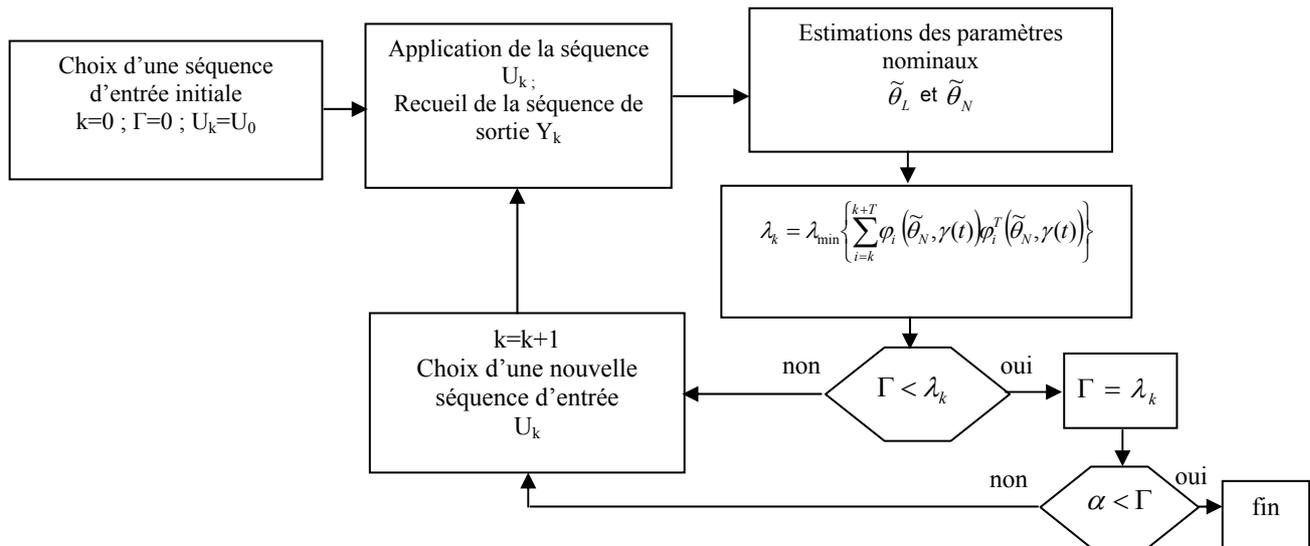


Figure 2.17 Procédure de recherche d'une séquence de test garantissant la condition d'excitation persistante

2.4 Conclusion

Aussi bien dans la communauté scientifique que dans le milieu industriel, l'intérêt du test intégré ne fait plus de doute. Actuellement, on trouve des modules complets de test intégré incorporés dans les outils de synthèse automatique pour les circuits digitaux. Pour ce qui concerne les circuits analogiques ou mixtes, les avancées dans le domaine du test sont malheureusement beaucoup moins importantes. De ce fait, même si la partie analogique représente généralement moins de 10% d'un circuit mixte, le coût de son test peut représenter jusqu'à 90 % du coût du test du circuit complet. Dans ce contexte, la nécessité de développer des outils CAO afin de faciliter l'intégration du test des composants analogiques et mixtes devient pressante. Dans ce chapitre, nous avons présenté les outils logiciels de simulation de fautes et de génération sur puce de signaux analogiques de test. Ces travaux sont développés dans le groupe RMS de TIMA dans le cadre des travaux de thèse d'Ahcène BOUNCEUR dont nous partageons l'encadrement avec Salvador MIR.

Il est capital de rechercher des architectures de BIST globales viables pour les circuits analogiques ou mixtes. Le test pseudoaléatoire présenté au paragraphe 2.2 définit clairement les circuits de génération de stimuli de test et d'analyse des réponses ; ceci est indispensable pour construire une architecture complète de BIST. C'est une toute première solution globale connue, qui intègre aussi bien la génération des signaux de test que l'analyse de signature pour le test de MEMS. Néanmoins, cette architecture est basée sur l'estimation de la réponse impulsionnelle des microsystèmes qui sont considérés comme linéaires invariants. Cette hypothèse est vraie dans la plage de fonctionnement de la plupart des micro-capteurs et de micro-actionneur cependant, l'étude des non linéarités créées par le mécanisme d'excitation, le caractère non idéal du système réel et les distorsions dans les mesures doivent être

approfondies. Une première étude faite par Achraf DHAYNI montre que l'immunité aux distorsions est liée à la nature de la séquence pseudoaléatoire appliquée et qu'un ajustement adéquat de l'analyseur des réponses donne une estimation précise de la réponse impulsionnelle.

Dans les systèmes embarqués, les modules analogiques baignent généralement dans un environnement digital riche, incluant des mémoires et des processeurs de traitement. Ce constat est à la source de l'un de nos axes de recherche qui explore les possibilités d'utilisation des ressources intelligentes incorporées dans un système embarqué pour le test des composantes analogiques et mixtes. Afin de garantir une consommation parcimonieuse des ressources nécessaires, la technique proposée utilise des algorithmes récursifs d'identification paramétrique pour le test sur puce des composantes analogiques et mixtes du système. Le cas difficile des systèmes non linéaires a été étudié et une solution générique est proposée pour permettre de couvrir les systèmes linéaires et non linéaires.

Ces travaux sont développés dans le cadre des projets de recherche MEDEA+ TechnoDat T-101, MEDEA+ PIC A-401⁴¹ et MEDEA+ NanoTest dans lesquels le groupes RMS est impliqué.

⁴¹ *Programmable Image with CMOS Sensors*

Chapitre 3

Test en ligne intégré

Dans les systèmes embarqués sur des applications critiques ou exigeant une haute fiabilité, le but essentiel du test en ligne est de détecter les fautes opérationnelles dès qu'elles apparaissent en cours d'exploitation. L'objectif final visé est de caractériser les fautes ou les erreurs éventuelles afin que les actions correctives appropriées soient entreprises. Dans certaines applications critiques par exemple, le système doit être immédiatement arrêté dès qu'une erreur est détectée. Dans d'autres applications, la détection d'une erreur déclenche automatiquement un mécanisme de reconfiguration qui permet au système de poursuivre son fonctionnement en mode dégradé (performances réduites). Le test en ligne (OLT⁴²) peut être implémenté sous la forme d'un module de surveillance externe ou intégré avec du matériel et/ou du logiciel. Ce chapitre décrit nos travaux de recherche dans le domaine du test en ligne des systèmes intégrés digitaux, analogiques et mixtes. Commencés dans le groupe RIS de TIMA sous l'impulsion de Michael NICOLAIDIS, nos travaux dans ce domaine se poursuivent désormais dans le groupe RMS notamment dans le cadre des projets européens MEDEA+ TechnoDat⁴³ (2001-2004) et MEDEA+ NanoTest dans lesquels la participation du laboratoire TIMA a été mise en place par Salvador MIR. Avant de rentrer dans la présentation de nos travaux, une description rapide du processus de synthèse automatique des systèmes intégrés nous semble utile. Le but est de situer nos travaux dans ce processus afin d'en faciliter la compréhension.

3.1 Synthèse automatique et contraintes spécifiques de systèmes complexes

Un système numérique peut être représenté à plusieurs niveaux d'abstraction. La différence entre ces niveaux réside dans la quantité de l'information contenue dans la description. Le premier niveau d'abstraction est le niveau système, le comportement du système y est décrit sans se soucier des détails de sa réalisation structurelle. On parle aussi de niveau comportemental. A ce niveau le système numérique se représente sous forme de processus communicant. Le deuxième niveau est le niveau de transfert de registre (*RTL*) où le système se représente sous forme d'unités fonctionnelles et unités de mémoire interconnectées par des bus et des multiplexeurs. Le niveau suivant est le niveau porte logique où le système est un réseau de portes logiques, de bascules et de registres. Le dernier niveau de description est le niveau physique ; le circuit y est représenté par sa réalisation matérielle au niveau layout⁴⁴ ou par sa représentation au niveau circuit par un réseau de transistors.

La synthèse est définie comme une séquence de raffinements successifs visant à transformer un comportement spécifié dans un langage matériel en une liste de portes ou d'opérateurs numériques interconnectés [75]. Elle consiste à réaliser en matériel la fonctionnalité demandée tout en satisfaisant à un ensemble de contraintes qui déterminent les caractéristiques de l'implémentation sous forme de limites : sur la surface, la vitesse, la consommation, la testabilité,... Chaque étape de synthèse permet d'affiner la granularité de la description du circuit, et ceci au détriment de sa complexité. Un niveau de synthèse est constitué de plusieurs étapes consécutives. La description finale prend la forme d'un dessin des plans de masques définissant la topologie du circuit. On distingue principalement deux niveaux de synthèse : la synthèse de haut niveau et la synthèse de bas niveau.

⁴² *OnLine Testing*

⁴³ *Technology-Driven Design and Test for System Innovation On Silicon*

⁴⁴ Dessin de masques

3.1.1 Synthèse de haut niveau (HLS⁴⁵)

Aussi appelée synthèse comportementale, la synthèse de haut niveau est une séquence de tâches qui transforment une description comportementale de type algorithmique en une description plus détaillée appelée description au niveau RTL⁴⁶ (niveau transfert de registre). Elle accepte comme entrée des spécifications comportementales et comprend les tâches servant à transformer une description du niveau comportemental au niveau RTL ([58, 60, 63]). Cette dernière description donne les deux principales composantes formant un circuit, à savoir l'unité de traitement et l'unité de contrôle. L'unité de traitement, appelée aussi *chemin de données*, contient les unités fonctionnelles et les registres. L'unité de contrôle détermine à chaque cycle d'horloge quelles opérations du graphe de flot de données ou de contrôle doivent être exécutées et par quelles unités fonctionnelles. Les tâches du processus de la synthèse de haut niveau peuvent être énumérées de la manière suivante :

Compilation : La description d'entrée d'un outil de synthèse comportementale décrit la fonctionnalité d'un circuit à concevoir. En général, c'est une description algorithmique du comportement du circuit qui ne contient aucune information ni sur sa structure ni sur la façon dont il sera réalisé. La première tâche dans le processus de synthèse consiste à compiler cette description algorithmique du système en une représentation intermédiaire/interne qui a souvent la forme d'un graphe topologique tel que le graphe de flot de données (DFG⁴⁷) et le graphe de flot de contrôle (CFG⁴⁸) qui serviront comme modèle d'entrée à l'étape d'ordonnement. Le résultat de cette étape influence fortement les performances et le coût du résultat final. Il est très important de noter que plusieurs DFG équivalentes peuvent résulter de la compilation d'une même description comportementale initiale. Nous exploiterons de façon bénéfique cette propriété afin d'améliorer la solution de test en ligne semi-concurrent.

Ordonnement : L'objectif de cette tâche est de déterminer un ordre statique d'exécution des opérations du graphe de flot de données ou du graphe de flot de contrôle par les unités fonctionnelles disponibles. L'ordonnement consiste en l'affectation des opérations du graphe produit par la compilation à des pas de contrôle. Cette affectation doit respecter plusieurs contraintes, en particulier les dépendances de données et de contrôle, inhérentes à la spécification initiale. A cette étape, la description est constituée de deux parties, la première partie représente le chemin de données sous forme d'un DFG, et la deuxième partie représente le contrôle nécessaire pour enchaîner une séquence d'opérations qui réalisent le calcul demandé, sous forme de machine à états finis (FSM⁴⁹).

Allocation : Cette tâche consiste à assigner des unités fonctionnelles sélectionnées dans une bibliothèque d'éléments aux opérations et à affecter des registres et éléments mémoires aux variables. La procédure d'allocation se fait généralement en cinq étapes :

- Sélection du type d'unité fonctionnelle.
- Détermination du nombre d'unités fonctionnelles et registres nécessaires.
- Assignation des unités fonctionnelles aux opérations de la description initiale.
- Assignation des registres aux variables de la description initiale.
- Allocation des éléments de routage de données (multiplexeurs et/ou bus).

Allocation des bus aux transferts de données : L'objectif de cette tâche est d'établir les interconnexions entre les unités fonctionnelles (unités arithmétiques et logiques) et les registres afin de former un chemin de données complet. Le principal critère d'optimisation dans cette tâche est la minimisation du nombre de connexions et de multiplexeurs.

Génération du contrôleur : Une fois le chemin de données déterminé, il faut générer la partie contrôle qui est responsable du chaînage des séquences d'opérations nécessaires à la réalisation du fonctionnement. Le contrôleur gère l'ordonnement des signaux du chemin de données à commander

⁴⁵ High Level Synthesis

⁴⁶ Register Transfer Level

⁴⁷ Data Flow Graph

⁴⁸ Control Flow Graph

⁴⁹ Finite State Machine

afin d'activer les transferts de données correspondant à la spécification initiale. Le contrôle peut être synthétisé sous forme de microprogramme le plus souvent décrit par une machine à états finis et une logique de contrôle. Chaque état de cette machine est associé à une étape de contrôle fixée par l'ordonnancement. La logique de contrôle positionne des signaux de contrôle des entités matérielles assignées afin d'effectuer les opérations. Enfin, le chemin de données peut communiquer avec le contrôleur à travers les signaux de compte rendu d'exécution. On obtient directement la description structurelle du contrôleur par synthèse logique de la description comportementale de type machine d'états.

3.1.2 Synthèse de bas niveau

La synthèse de bas niveau se décompose en deux étapes : la synthèse logique et le layout. La synthèse logique consiste à obtenir automatiquement une description structurelle d'un bloc combinatoire réalisant les fonctions de manière optimisée pour la cible technologique considérée, à partir d'une bibliothèque de fonctions booléennes. La synthèse logique a été d'abord définie pour les cellules standard. Les techniques de synthèse ont été récemment étendues aux circuits programmables. Actuellement, les outils de synthèse logique modernes sont capables de cibler plusieurs technologies de façon efficace. Le layout est constitué de dessins de masques servant à la réalisation effective du système.

La Figure 3.1 résume l'enchaînement des étapes dans le processus de synthèse automatique des circuits modernes.

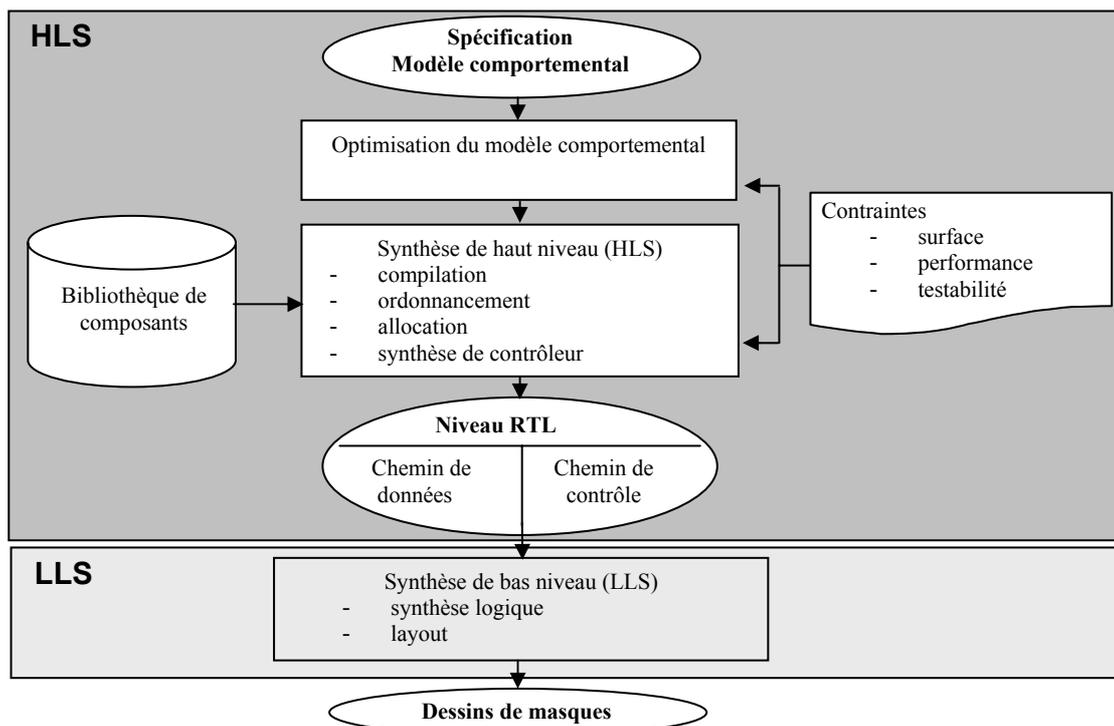


Figure 3.1 Synthèse automatique de systèmes intégrés

3.1.3 Situation de nos travaux par rapport au processus de synthèse

Par rapport à ce processus, nos travaux antérieurs⁵⁰ ont porté sur l'évaluation de la testabilité aléatoire des systèmes combinatoires représentés au niveau de portes logiques ; le niveau de synthèse concerné est donc le bas niveau. Au contraire, nos investigations actuelles se situent pour l'essentiel dans la partie haute du processus de synthèse des systèmes embarqués, allant de la spécification comportementale au niveau RTL. Ainsi, les solutions que nous proposons pour l'intégration du test en ligne entraînent des

⁵⁰ Effectués dans le cadre de notre thèse de doctorat

modifications plus ou moins importantes d'une ou de plusieurs étapes du flot de synthèse de haut niveau, comme l'indique le Tableau 3.1.

Tableau 3.1 Nos méthodes de test par rapport au processus de synthèse

Méthode de test hors ligne	Méthode de test en ligne		
	Test en ligne non-concurrent	Test en ligne semi-concurrent	Test en ligne concurrent
- synthèse logique	<ul style="list-style-type: none"> • Optimisation du modèle comportemental • Niveau RTL 	<ul style="list-style-type: none"> • Synthèse de haut niveau (HLS) <ul style="list-style-type: none"> - Compilation - ordonnancement - allocation - synthèse de contrôleur 	<ul style="list-style-type: none"> • Spécification Modèle comportemental
Synthèse de bas niveau (LLS)	Synthèse de haut niveau (HLS)		

Contrairement à nos travaux antérieurs (thèse de doctorat) se rapportant à une description structurelle du circuit, nos investigations de recherche actuelles posent la problématique du test au niveau système. Notre souci est davantage porté sur une vérification de la pertinence du système (ou d'une composante) par rapport à sa description comportementale qui nous sert de référence. Nous nous intéressons beaucoup moins à l'implémentation structurelle interne qui est sensée réaliser le comportement attendu. En bref, nous considérons le système (ou la composante) sous test comme une boîte noire dont on dispose uniquement de la description comportementale.

3.1.4 Les contraintes spécifiques de systèmes intégrés

Les fautes qui affectent le système en exploitation sont souvent classifiées suivant la durée de leurs effets, on distingue :

- **les fautes permanentes** qui persistent indéfiniment tant que les actions correctives permettant leur élimination ne sont pas effectuées. La plupart des fautes de ce type résultent des défauts résiduels de conception et de fabrication qui ont jusqu'ici échappé aux différents tests. Les autres interviennent souvent lors de changements de phase d'opérations telles que la mise en route et l'arrêt ; ils peuvent aussi survenir à la suite d'une perturbation environnementale catastrophique, telle qu'un choc dû à une collision.
- **les fautes intermittentes** qui apparaissent, disparaissent et réapparaissent de façon répétitive. Bien qu'elles soient très imprévisibles, leurs effets sont fortement corrélés. En présence de fautes intermittentes, le système fonctionne correctement la plupart de temps et tombe en panne sous certaines conditions atypiques.
- **les fautes transitoires** apparaissent et disparaissent rapidement et ne sont pas corrélées les unes et aux autres. Elles sont très souvent générées par des perturbations environnementales aléatoires.

Quatre paramètres importants sont à prendre en compte lors de la conception d'un module intégré de test en ligne :

- **Couverture d'erreur** : c'est la proportion souvent exprimée en pourcentage d'erreurs détectables parmi la totalité des erreurs modélisées. Afin de minimiser la probabilité de panne, les systèmes critiques et de haute fiabilité requièrent une forte couverture d'erreurs.
- **La latence d'erreur** : c'est la durée qui sépare l'instant où l'erreur devient active pour la première fois de l'instant où elle est détectée pour la première fois. La latence de faute est une notion liée à la latence d'erreur ; elle est définie par la durée qui sépare l'instant d'occurrence de la faute de l'instant où elle est détectée pour la première fois. Ainsi la latence d'une faute est supérieure ou égale à la latence de l'erreur qu'elle engendre. La latence de faute est très facile à mesurer et nous avons choisi de la considérer plutôt que la latence d'erreur dont l'estimation est plus délicate.

- Circuiterie supplémentaire : c'est le matériel supplémentaire requis pour implémenter le test en ligne. La plupart des applications de systèmes embarqués n'autorisent pas une circuiterie supplémentaire excessive.
- Dégradation des performances : l'intégration du test en ligne entraîne une dégradation des performances nominales (notamment de la vitesse) du système embarqué qu'il est important d'évaluer et de maîtriser. Dans certaines applications, la dégradation des performances peut être un facteur dont la criticité est supérieure à la circuiterie supplémentaire.

Un module de test en ligne idéal devrait avoir une couverture de faute de 100% une latence d'erreur d'une période d'horloge, ne nécessiterait aucune circuiterie supplémentaire et n'entraînerait aucune dégradation des performances. Malheureusement, ce module idéal n'existe pas. Une forte couverture d'erreur nécessitera forcément une latence d'erreur et une circuiterie supplémentaire importante. De même, un module capable de détecter toute erreur dès son occurrence est forcément complexe à mettre en œuvre et requiert une circuiterie importante pour son implémentation. Les quatre contraintes à considérer n'étant pas toujours compatibles, nous avons recherché un compromis suffisamment flexible pour s'adapter à des applications diverses.

Afin de couvrir tous les types de fautes opérationnelles décrits ci-dessus, nous avons développé trois techniques de test : le test en ligne non-concurrent, semi-concurrent et concurrent. Le test non-concurrent consiste à appliquer les stimuli de test aux composants pendant leurs temps oisifs (où ils ne sont pas sollicités par la fonction nominale). Le test semi-concurrent est un test de vérification qui consiste à prouver les séquences d'opérations récemment exécutées. Le test en ligne concurrent consiste à surveiller de façon continue le système, parallèlement à son fonctionnement nominal.

3.2 Test en ligne non-concurrent

Le test en ligne non-concurrent ressemble beaucoup aux tests classiques de fabrication. Les tests de ce type peuvent être appliqués en ligne à condition que les ressources de test nécessaires soient disponibles et adaptées à une application en exploitation. Plus précisément, la partie matérielle d'un système embarqué est généralement partitionnée en composantes fonctionnelles telles que les mémoires, les unités fonctionnelles, bus de données, ..., soumises chacune à un test spécifique le plus souvent intégré susceptible de s'exécuter indépendamment. L'objet du test en ligne non-concurrent est de permettre l'exécution du test sur des composantes matérielles du système à des moments déterminés de sorte que le fonctionnement nominal du système ne soit pas perturbé. Le test en ligne non-concurrent vise principalement la détection de fautes permanentes. Il peut être à déclenchement événementiel (sporadique) ou temporel (périodique). Lorsqu'il est à déclenchement événementiel, le test de chaque composante du système est initialisé et lancé dès l'occurrence des événements clefs ou lors de changements d'états tels que la mise en marche et l'arrêt.

Dans ce domaine, nos travaux concernent essentiellement le mode de déclenchement temporel pour lequel le test de chaque composante est exécuté à des instants préalablement déterminés dans le cycle de fonctionnement du système. Ce mode de test détecte les fautes permanentes en appliquant souvent le même type de test que celui qui est utilisé dans le cas des tests sporadiques. Le test périodique est spécialement utile pour les systèmes dont la période de cycle est supérieure au temps total nécessaire à l'exécution des opérations requises pour la génération des sorties. Le test périodique a aussi une bonne efficacité pour la détection des fautes intermittentes. Ces fautes se comportent comme des fautes permanentes sur de courtes périodes. Faute de disposer de tout le temps nécessaire à l'application d'une séquence de test complète dans chaque période de fonctionnement, les tests à déclenchement temporel sont souvent partitionnés en plusieurs morceaux dont la taille permet l'application dans chaque période de fonctionnement.

3.2.1 Principe de la méthode

Dans le cadre des travaux de thèse de Mouhamad Ayman NAAL ([64]), nous avons développé une méthode de test en-ligne non-concurrent, basée sur l'exploitation des redondances temporelles qui

existent dans le système afin d'appliquer une séquence de test périodique aux unités fonctionnelles du système. La technique consiste à appliquer des vecteurs de test aux unités fonctionnelles pendant leurs temps oisifs. L'unité de test intégré assure l'application d'un test complet sous forme d'une séquence de test prédéterminée. Ces vecteurs sont générés et appliqués dans un ordre déterminé. A chaque pas de contrôle contenant un temps oisif, une opération de test est ordonnancée.

Comme l'indique la Figure 3.2, la période de fonctionnement d'un système est constituée de deux parties :

- une phase active dans laquelle le système doit traiter un échantillon afin de produire les sorties correspondant à la période,
- une phase de dormance (en absence de chemin critique) qui intervient lorsque tous les traitements sont terminés et le système est en attente du déclenchement de la prochaine période de traitement.

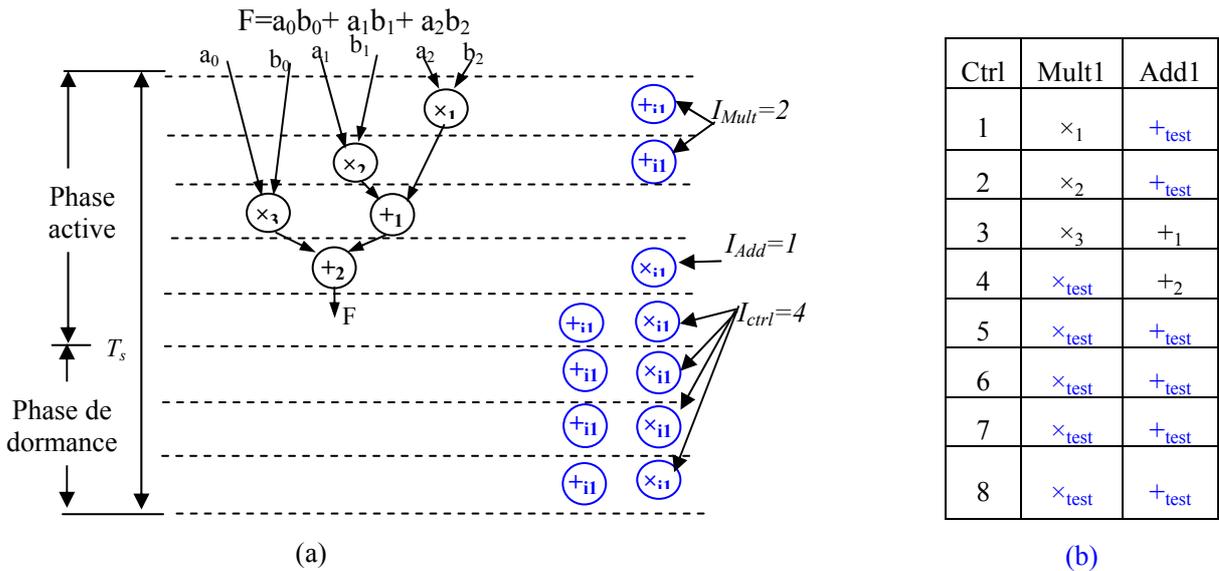


Figure 3.2 Eléments de base d'évaluation de la latence de faute : (a) DFG ordonnancé, (b) table d'allocation

Par ailleurs, il est rare qu'une unité fonctionnelle soit sollicitée dans tous les pas de contrôle qui constituent la phase active. Une unité fonctionnelle a généralement des temps oisifs qui sont localisés aussi bien dans les pas de contrôle de la phase active lorsque l'unité fonctionnelle concernée n'est pas impliquée dans les traitements en cours, que dans les phases de dormance du système (Figure 3.2).

Dans la phase active du système, chaque unité fonctionnelle peut être sollicitée pendant ses temps oisifs, le BIST qui le concerne est réactivé permettant l'application et l'analyse de réponse d'un ou de plusieurs vecteurs de test. Dès que l'unité fonctionnelle est à nouveau sollicitée pour une opération nominale, le BIST est désactivé après mémorisation du prochain vecteur à appliquer dans la séquence de test. La séquence complète de test est ainsi appliquée en plusieurs périodes successives ou non.

En supposant que la séquence de vecteurs de test appliquée garantit une couverture de faute totale, la latence de faute correspond au temps nécessaire pour l'application d'une séquence de test complète. Dans le contexte du test non-concurrent, la testabilité en ligne du système exprimée en latence de faute est ici mesurée par le nombre de périodes de fonctionnement nécessaires pour l'application d'une séquence de test complète garantissant une couverture totale. L'Equation (3.1) donne une évaluation théorique de Lt_{fui} pour une unité fonctionnelle fui :

$$Lt_{fui} = T_s \frac{Ls_i}{I_{ctrl} + I_{fui}} \quad (3.1)$$

où Ls_i est la longueur de la séquence requise pour garantir une couverture des fautes fixée, et comme l'illustre la Figure 3.2, T_s , I_{ctrl} , I_{fui} représentent respectivement la période fonctionnelle, le nombre de pas dans la phase de dormance et le nombre de pas oisifs de l'unité fonctionnelle fui dans la phase active.

Si Lt_{spec} est la latence de faute maximale acceptable (fixée par la spécification), la méthode non-concurrente ne peut être retenue pour la mise en œuvre du test en ligne que si $Lt_{fui} < Lt_{spec}$ quelle que soit l'unité fonctionnelle fui_i

Dans le processus de synthèse des systèmes embarqués décrits au paragraphe 3.1, les opérations de test en ligne non-concurrent sont insérées au niveau ordonnancement. Dans un premier temps, la durée de la phase de dormance est évaluée en terme de nombre de pas de contrôle disponibles. Pour chaque unité fonctionnelle (FU⁵¹), le nombre de pas oisifs dans la phase active est évalué et la latence de fautes correspondante déduite. Les opérations de test en ligne non-concurrent sont insérées dans l'intervalle oisif de FU uniquement si la latence ainsi calculée respecte les spécifications imposées par les contraintes de test en ligne. Dans le cas contraire, on peut soit diviser le système en sous systèmes plus faciles à tester, soit augmenter le nombre des unités fonctionnelles les moins testables afin de libérer des temps oisifs requis pour l'application du test, soit enfin essayer une autre méthode de test en ligne.

3.2.2 Evaluation

Comme l'indique la Figure 3.3 (a) le circuit de test en ligne se compose de deux parties : la première assure la génération et l'application des vecteurs de test, la deuxième se charge du codage de la réponse et de l'analyse de la signature. La séquence de test appliquée peut être générée par n'importe quel outil de génération de test. Nous avons utilisé l'outil Design Analyzer de SYNOPSIS comme moyen de génération de test. A l'aide de cet outil, nous avons évalué le coût d'implémentation du BIST nécessaire pour le test en ligne non-concurrent des unités fonctionnelles courantes. Le générateur de test (TG⁵²) et l'analyseur de signature (RCSA⁵³) ont été conçus et synthétisés par l'outil Design Analyzer de SYNOPSIS pour l'additionneur et pour le multiplieur. Les Figures 3.3 (b) et (c) représentent l'évaluation du coût en surface et du délai pour le circuit de test par rapport aux additionneurs et multiplieurs.

Les unités fonctionnelles et les unités de test en-ligne sont d'abord décrites en vhdl comportemental, puis synthétisées avec l'outil Design Analyzer. Les coûts en surface et en délai sont enfin estimés par l'outil, pour chaque largeur en bit. Les résultats des Figures 3.3 (b) et (c) montrent que le coût (en surface et en délai) de mise en œuvre du test en ligne non-concurrent est très raisonnable sur les unités fonctionnelles complexes telles que les multiplieurs. Ce coût en surface devient prohibitif pour les unités fonctionnelles simples telles que les additionneurs.

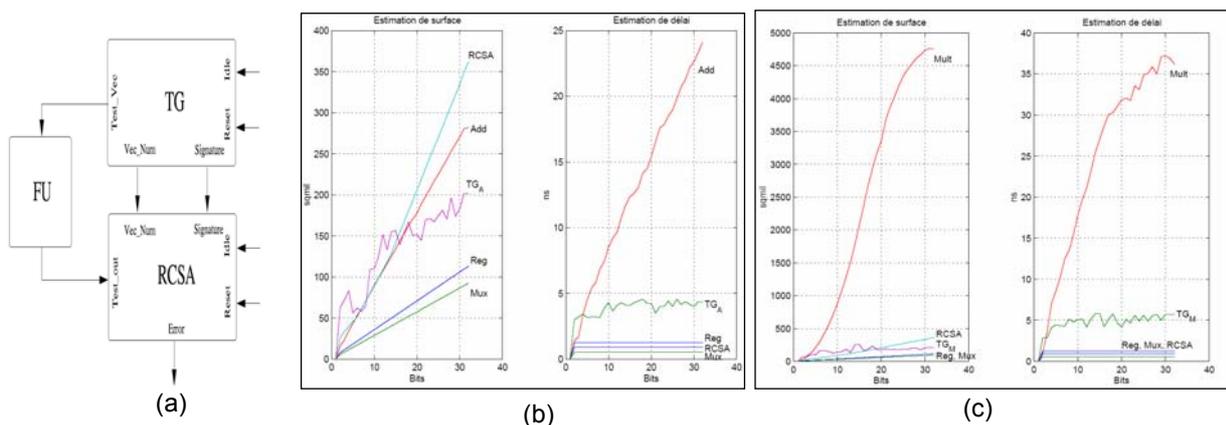


Figure 3.3 Estimation du coût de BIST sur les unités fonctionnelles : (a) Architecture du BIST pour le test non-concurrent de FU, (b) Evaluation du coût de BIST en surface et en performances pour un additionneur, (c) Evaluation du coût de BIST en surface et en performances pour un multiplieur

⁵¹ Functional Unit

⁵² Test Generator

⁵³ Response Compaction and Signature Analyzer

3.2.3 Application

Nous avons étudié l'efficacité de la méthode de test en ligne non-concurrent sur divers circuits digitaux dont les filtres digitaux. La Figure 3.4 (a) montre le chemin de données et le chemin de contrôle d'un filtre à réponse impulsionnelle finie (FIR⁵⁴). Ce filtre est implémenté avec un additionneur et un multiplieur de 32 bits équipé chacun de modules de test non-concurrent. Les Figures 3.4 (b) et (c) montrent l'efficacité de cette technique de test en ligne. Elles indiquent que la faute est détectée dès son occurrence dans le DUT, garantissant ainsi une latence de faute très faible. Toutes les fautes de collage logique sur les entrées et les sorties des unités fonctionnelles ont été ainsi détectées avec une latence de 1 ou 2 cycles de traitement. Les figures 3.4 (b) et (c) montrent bien que les fautes injectées sont immédiatement détectées indépendamment du fait qu'elles sont observables sur les sorties du système (Figure 3.4 (b)) ou non (Figure 3.4 (c)). Ainsi, comme l'indique la Figure 3.4 (c), l'efficacité de la détection est vérifiée même lorsque les effets de la faute ne sont pas observables sur les sorties nominales du circuit sous test.

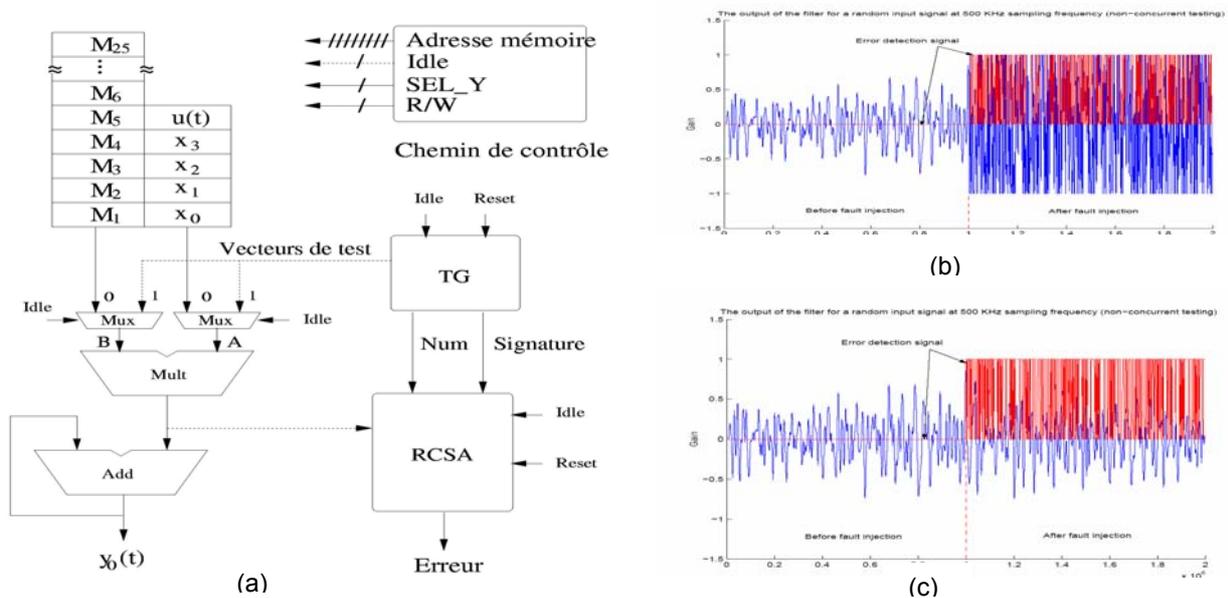


Figure 3.4 Détection en ligne non-concurrente : (a) Implémentation du filtre avec test non-concurrent du multiplieur, (b) La faute affecte les sorties du système (c) la faute n'affecte pas les sorties du système

3.3 Test en ligne semi-concurrent

La méthode de test en-ligne non-concurrent, exposée dans le chapitre précédent, est bien adaptée aux systèmes disposant d'une période de dormance suffisamment importante pour garantir une latence de faute acceptable. Lorsque les temps oisifs disponibles sont insuffisants, d'autres méthodes de test en ligne peuvent être envisagées. Nous avons développé une méthode de test semi-concurrent, particulièrement adaptée aux applications dans lesquelles peu de temps oisifs sont disponibles. Une justification rationnelle de cette approche est la rareté des occurrences de fautes dans les semi-conducteurs en opération. Hormis le cas d'environnements opératoires extrêmement sévères, la rareté des défauts apparaissant dans la phase opérative autorise l'application d'une procédure de vérification qui, au lieu d'être appliquée de façon continue à chaque itération du système, est exécutée périodiquement toutes les N itérations. L'entier naturel N est défini en conformité avec la criticité de l'application et la distribution statistique des occurrences de fautes. Le flot de données nominales d'entrée peut être considéré comme une séquence de test aléatoire de couverture de fautes acceptable. Une technique similaire a été d'abord utilisée [25 et 38] pour des architectures régulières dans lesquelles un nombre limité d'unités fonctionnelles redondantes dupliquent périodiquement les opérations des unités fonctionnelles nominales afin de détecter et de localiser les fautes. De même que dans le cas du

⁵⁴ Finite Impulse Response

test concurrent, les signaux d'entrée fonctionnels du système servent de stimuli de test du test. Ainsi, la latence de faute observée n'est plus une caractéristique du testeur seul, car elle dépend aussi de la capacité des signaux d'entrée fonctionnels à exciter et à révéler les fautes existantes. Les résultats obtenus par cette approche offrent un bon compromis entre le coût (exprimé en terme de surface redondante) et d'efficacité (liée à la latence de faute).

Les techniques de test en ligne semi-concurrent que nous proposons sont applicables sur tous les ASICs décrits. Aucune restriction particulière n'est faite sur la nature d'opérations exécutées. La périodicité des vérifications est définie par le rapport entre le nombre de pas de contrôle qui séparent deux vérifications consécutives et le nombre de pas de contrôle requis dans l'ordonnancement nominal. La finalité de notre contribution peut être résumée comme suit : pour un ordonnancement et une allocation nominaux du graphe de flot de données et pour une périodicité des vérifications fixée, synthétiser un chemin de données modifié qui intègre une auto vérification semi-concurrente en minimisant les redondances matérielles (en terme d'unités fonctionnelles redondantes), avec un risque de masquage de fautes minimal.

Par rapport au processus de synthèse automatique des systèmes intégrés décrit dans le paragraphe 3.1, notre approche du test en ligne semi-concurrent est introduite dès les tâches d'ordonnancement et d'allocation du processus de synthèse de haut niveau. Une innovation importante de notre contribution est d'introduire une stratégie de test en ligne dans un environnement de synthèse de haut niveau, avec une implémentation qui requiert beaucoup moins de redondances matérielles que les techniques conventionnelles de duplication complète suivie d'une comparaison. Les ressources matérielles disponibles sont réutilisées autant que possible dans la fonction de vérification, sans altérer de la capacité d'auto détection. Nous montrons que cette technique peut être utilisée efficacement dans la synthèse de haut niveau. En particulier nous ne proposons ni une nouvelle méthode d'ordonnancement, ni une nouvelle technique d'allocation. D'autre part notre méthode ne vise pas un algorithme particulier d'ordonnancement et d'allocation car les concepts introduits peuvent être incorporés quel que soit l'algorithme utilisé.

La circuiterie supplémentaire requise pour l'implémentation du test en ligne semi-concurrent est toujours très faible, comparée à la technique conventionnelle de duplication et de comparaison souvent utilisée dans la littérature. Les résultats de ces travaux ont fait l'objet de communications [66, 64].

3.3.1 Principe de la méthode

Nous désignons par *architecture nominale* l'architecture qui implémente le chemin de données nominal sans aucune capacité de test en ligne. L'ordonnancement et l'allocation de l'architecture nominale sont fournis par un algorithme d'ordonnancement quelconque en optimisant les contraintes de coût et de performances. Nous retenons la latence d'erreur comme principal facteur de mesure de qualité de la solution architecturale retenue pour le système auto-surveillé, incorporant le test en ligne semi-concurrent. Nous supposons que le nombre de pas de contrôle k_N requis pour l'exécution de l'architecture nominale coïncide avec la longueur du chemin critique. Notons que cette hypothèse ne constitue absolument pas une limitation pour notre approche. Au contraire, elle impose une contrainte importante qui est celle de travailler dans les conditions limites. Si τ est la durée du cycle d'horloge, alors la durée d'une période de l'architecture nominale est :

$$L_N = k_N \tau \quad (3.2)$$

Pour illustrer cette méthode, considérons l'ordonnancement qui implémente les équations différentielles suivantes :

$$u' = u + 3xu.dx + 3y.dx,$$

$$y' = y + u.dx,$$

$$x' = x + dx$$

La Figure 3.5 représente l'ordonnancement et l'allocation de l'architecture nominale du système. A chaque pas de contrôle, les opérateurs oisifs (disponibles) sont représentés à la marge.

$$u' = u + 3xu \cdot dx + 3y \cdot dx \quad y' = y + u \cdot dx \quad y'' = x + dx$$

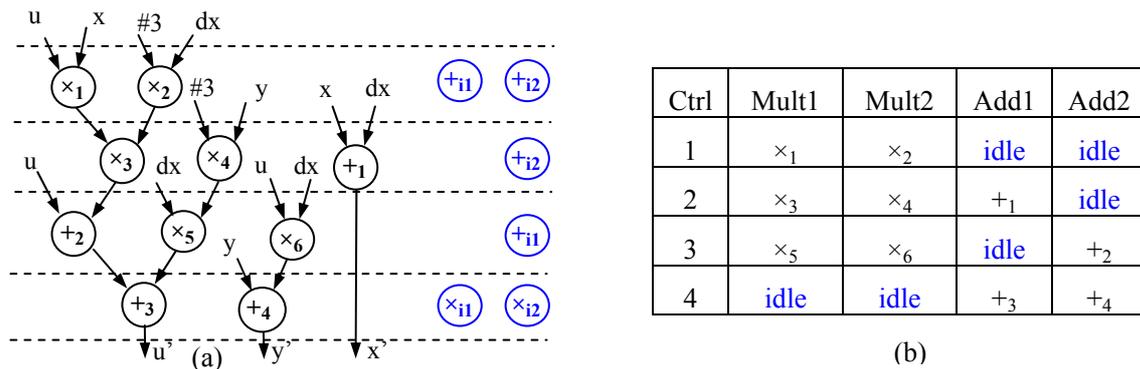


Figure 3.5 Implémentation nominale des équations différentielles avec 2 multiplieurs et 2 additionneurs : a) DFG ordonnancé, b) allocation des ressources.

L'architecture globale auto-testable est obtenue en associant à l'architecture nominale initiale du système une architecture indépendante de vérification, qui s'exécute parallèlement à l'architecture nominale. Le principe de fonctionnement de l'ensemble est le suivant :

- i) Au début du cycle de vérification, le même vecteur de données d'entrée (données fonctionnelles) est appliqué sur l'architecture nominale fonctionnelle et sur l'architecture de vérification. Les deux architectures opèrent indépendamment et au bout de k_N pas de contrôle, l'architecture nominale reçoit un nouveau vecteur d'entrée et recommence le cycle de traitement. Les sorties primaires produites par l'architecture nominale à la suite du traitement des données en vérification sont stockées dans les registres jusqu'à ce que les sorties correspondantes soient produites sur l'architecture de vérification. Dès la fin du cycle de l'architecture de vérification, la comparaison est effectuée avec le contenu des registres de stockage qui sont aussitôt libérés.
- ii) Si k_{checking} est le nombre de pas de contrôle nécessaires à la comparaison, la vérification complète est accomplie au bout de $k_c + k_{\text{checking}}$ pas de contrôle, k_c étant le nombre total de pas de contrôle requis pour implémenter le DFG de vérification. Le signal erreur est activé si une différence est détectée ; dans le cas contraire, les deux architectures sont déclarées sans faute. Au bout de P itérations du cycle de l'architecture nominale, les deux architectures reçoivent un jeu de données d'entrée qui constitue le nouveau vecteur de test et l'étape i) est répétée.

Comme l'indique le graphe d'ordonnement de la Figure 3.6 et le tableau d'allocation correspondant, les deux architectures ne partagent aucune ressource. Ainsi, sous l'hypothèse de faute unique, si les deux architectures produisent des résultats identiques, on peut conclure sans risque que les opérations sur les deux architectures se sont effectuées sans erreur. Les deux seules possibilités envisageables dans ce cas sont les suivantes :

- aucune faute n'affecte le système,
- les fautes qui affectent le système ne sont pas excitées par le jeu de données nominal appliqué sur les entrées du système.

Autrement dit, aucun masquage d'erreur (par lequel un résultat affecté d'erreur est déclaré bon) n'est possible. Par construction, on s'arrange de sorte que la contrainte relative à la périodicité des vérifications soit satisfaite. Le nombre total de ressources nécessaires, en terme d'unités fonctionnelles requises, est donné par la somme de ressources dans les architectures nominale et de vérification. Si un chemin de données de coût minimal est retenu dans l'architecture de vérification (comme dans l'exemple de la Figure 3.6, pour chaque type d'unité fonctionnelle présent dans le chemin de données nominal, une seule unité fonctionnelle supplémentaire est requise dans l'architecture de vérification. On évalue grossièrement la complexité de la machine à état fini (FSM) nécessaire pour l'implémentation du contrôleur du système testable en ligne à celle d'une FSM de $k_c + k_{\text{checking}}$ états.

$$u' = u + 3xu.dx + 3y.dx \quad y' = y + u.dx \quad x' = x + dx$$

$$u' = u + 3xu.dx + 3y.dx \quad y' = y + u.dx \quad x' = x + dx$$

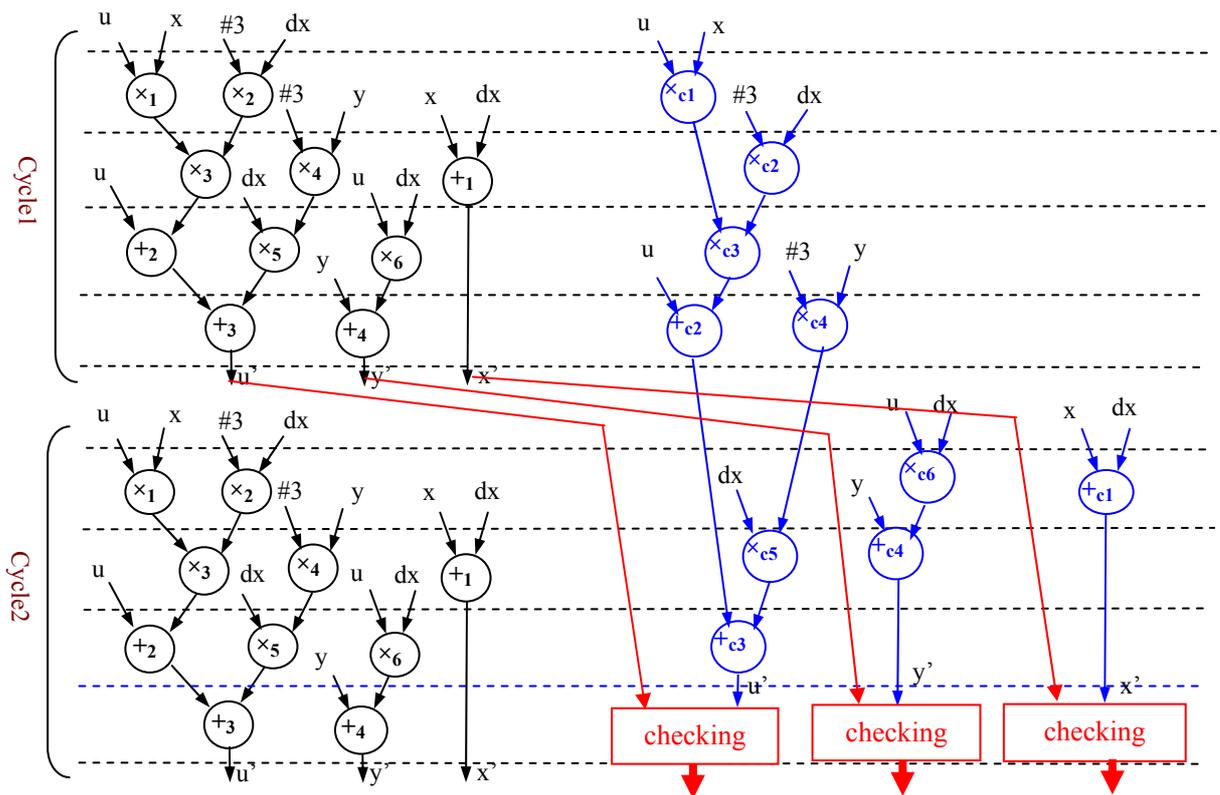


Figure 3.6 Ordonnancement sans partage de ressources

Tableau 3.2 Allocation sans partage de ressources 2+1 multiplieurs et 2+1 additionneurs

Ctrl	Mult1	Mult2	Add1	Add2	Mult3	Add3
1	\times_1	\times_2			\times_{c1}	
2	\times_3	\times_4	$+_1$		\times_{c2}	
3	\times_5	\times_6	$+_2$		\times_{c3}	
4			$+_3$	$+_4$	\times_{c4}	$+_{c2}$
5	\times_1	\times_2			\times_{c6}	$+_{c1}$
6	\times_3	\times_4	$+_1$		\times_{c5}	$+_{c4}$
7	\times_5	\times_6	$+_2$			$+_{c3}$
8			$+_3$	$+_4$		

Dans le domaine du test en ligne semi-concurrent, nos travaux ont essentiellement contribué à apporter des améliorations significatives à cette technique de base. Comme nous pouvons le constater, cette méthode requiert une consommation importante de ressources, ce qui induit un surcoût en surface de silicium relativement élevé. Or il est bien connu [58, 60] que les ressources utilisées dans le chemin de données nominal sont rarement simultanément sollicitées à chaque pas de contrôle. Sur la base de ce constat, nous avons exploré la possibilité de réutiliser les unités fonctionnelles de l'architecture nominale dans l'architecture de vérification de sorte à réduire le coût du chemin de données de vérification.

L'idée de base de cette amélioration est de mettre à profit les temps oisifs des ressources nominales dans l'implémentation de l'architecture de vérification. Il en résulte un partage optimisé des ressources disponibles entre le chemin de données nominal et le chemin de données de vérification. La réutilisation des ressources nominales dans l'architecture de vérification des ressources impose forcément des contraintes supplémentaires vis-à-vis du problème de masquage que nous précisons.

3.3.2 Partage de ressources

Les procédures d'ordonnancement et d'allocation sont d'abord appliquées au chemin de données nominal indépendamment de toute contrainte de test. Dans un premier temps nous supposons que le concepteur choisit librement le chemin de données nominal et les méthodes d'ordonnancement et

d'allocation, sans aucune restriction. Ainsi, l'ordonnancement de l'architecture nominale ainsi que l'allocation des ressources associée sont supposés figés et ne doivent pas changer lors de la construction et l'implémentation du chemin de données de vérification.

La *périodicité de surveillance* T est la durée temporelle maximale qui doit séparer deux vérifications successives. Nous utilisons aussi la périodicité relative P définie par :

$$P = \left\lfloor \frac{T}{L_N} \right\rfloor \quad (3.3)$$

Où $\lfloor x \rfloor$ représente la partie entière de x . Si $P=0$ ($T < L_N$) le système doit être au préalable partagé en sous-systèmes dont les latences sont chacune inférieure à T ; afin que la technique proposée puisse être appliquée à chaque sous-système individuellement.

L'architecture de vérification indépendante est définie à partir du DFG nominal en implémentant le chemin de données de coût minimal compatible à la contrainte de périodicité de surveillance P . Si la distribution des défaillances le permet, (c'est-à-dire si $T \gg L_N$) le chemin de données de vérification peut être conçu sans recourir à des unités fonctionnelles supplémentaires.

Les unités fonctionnelles utilisées pour l'implémentation du chemin de données nominale sont réutilisées dans l'implémentation du chemin de données de vérification. Lorsque la périodicité des vérifications exigée est suffisamment grande, l'ordonnancement et l'allocation du chemin de données de vérification sont effectués en respectant les contraintes de temps dictées par la périodicité des vérifications, en introduisant le moins de ressources additionnelles possibles.

Chaque fois qu'une ressource n'est pas sollicitée dans le chemin de données nominal, elle devient disponible et peut être utilisée dans l'implémentation du chemin de données de vérification, à condition que cette réutilisation n'induisse pas de risque de masquage de faute induite par cette réutilisation. Autrement, l'introduction d'une unité fonctionnelle supplémentaire pour le chemin de données de vérification sera nécessaire. Pour minimiser le risque de masquage et le coût additionnel, un ensemble de conditions nécessaires sont requises :

- i) Pour éviter des masquages d'erreur, toute opération du chemin de données nominal doit être exécutée dans le chemin de données de vérification avec une unité fonctionnelle différente de celle qui l'a réalisée dans le DFG nominal. Cette condition impose des restrictions dans l'ordonnancement et l'allocation de l'architecture de vérification.
- ii) il doit être possible d'ordonner le chemin de données de vérification en un nombre de cycles nominaux inférieur à périodicité imposée P .

La condition i) assure qu'il est possible d'ordonner l'architecture de vérification avec un risque de masquage minimal. Quant à la condition ii), elle garantit la possibilité qu'un tel ordonnancement soit réalisable en un nombre de pas de contrôle fini, respectant les contraintes de périodicité de vérification imposées par la distribution statistique des défaillances.

Afin de respecter ces deux conditions, des unités fonctionnelles supplémentaires seront obligatoires uniquement dans les cas suivants :

- une seule unité de ce type est utilisée dans le chemin de données nominal (vérification de la condition i)).
- toutes les unités fonctionnelles de ce type sont simultanément sollicitées à chaque pas de contrôle du chemin de données nominal (vérification de la condition ii).

En dehors de ces cas particuliers, le recours à des ressources supplémentaires se justifie uniquement par la rapidité des cycles de vérification nécessaires pour respecter la périodicité maximale imposée P .

Pour illustrer cette technique, nous l'avons appliquée au DFG représenté dans la Figure 3.5. La Figure 3.7 donne l'ordonnancement global du chemin de données nominal et du chemin de données de vérification. L'allocation des ressources correspondantes est représentée sur la première partie du Tableau 3.3.

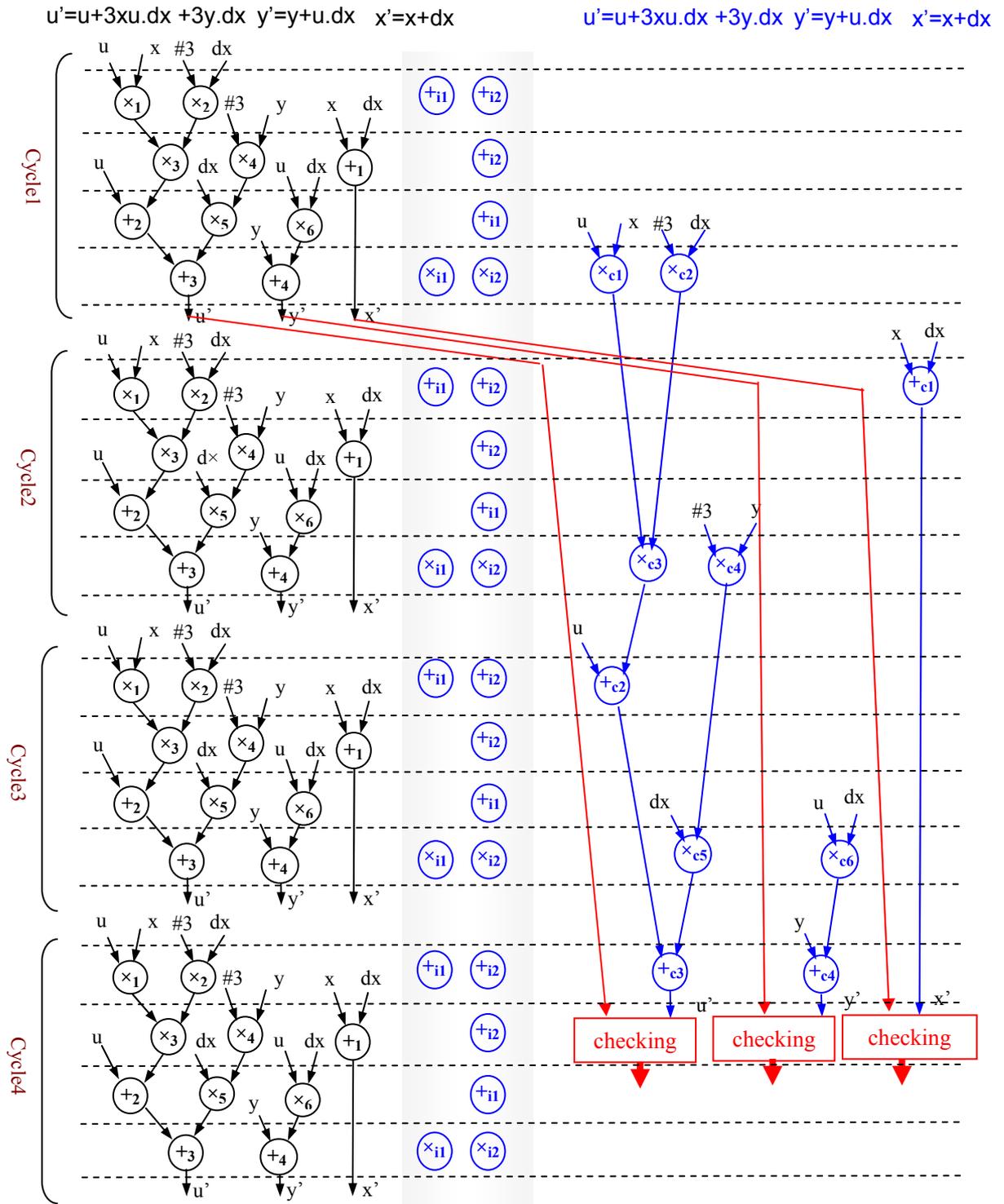


Figure 3.7 DFG de architecture testable en ligne avec partage de ressources

Les pas de contrôle oisifs des unités fonctionnelles sont représentés dans la marge centrale du schéma d'ordonnancement (Figure 3.7). Par rapport à l'ordonnancement initial qui utilise deux multiplieurs et deux additionneurs (voir la Figure 3.5), on peut constater que l'ordonnancement testable en ligne de la Figure 3.7 ne fait appel à aucune ressource supplémentaire.

Les opérations nécessaires à la vérification globale du calcul sont toutes ordonnancées dans les temps oisifs des unités fonctionnelles correspondantes. A contrario, l'architecture testable en ligne sans partage

de ressource (Figure 3.6) pour laquelle seulement deux cycles sont nécessaires, quatre cycles nominaux seront requis pour l'exécution complète du chemin de données de vérification. Ainsi, cette solution ne sera retenue que dans le cas où les contraintes imposées autorisent une latence de fautes $P \geq 4$. Dans le cas contraire il sera nécessaire d'introduire des ressources supplémentaires ou d'utiliser une version améliorée de cette méthode.

On peut noter que l'application de cette méthode entraîne la duplication lorsque l'allocation du chemin de données nominal ne contient qu'une seule unité fonctionnelle de chaque type. L'utilisation d'un DGF différent dans le chemin de données de vérification nous permet de pallier cet inconvénient.

3.3.3 Utilisation d'un DFG dual dans l'architecture de vérification

Dans le processus de synthèse de haut niveau, la compilation de la spécification comportementale aboutit généralement à une solution de DFG unique. Cependant, plusieurs DFG de structures différentes peuvent implémenter le même algorithme de description comportementale. Cette multiplicité de solutions concurrentes nous a donné l'idée d'explorer la possibilité de réduire la nécessité de recours à des ressources supplémentaires dans l'architecture de vérification, notamment dans le cas où certains types d'unité fonctionnelle ne sont pas dédoublés dans l'allocation du DFG nominal. Ceci se fait en utilisant dans l'architecture de vérification, non plus le même DFG utilisé dans l'implémentation de la fonction nominale, mais une solution duale judicieusement sélectionnée. Le terme DFG dual désigne ici un graphe de flot de données qui implémente exactement la même description comportementale que le DFG nominal, tout en ayant une structure différente. Le DFG nominal et le DFG dual sont dits équivalents. Puisqu'ils implémentent la même description comportementale, en absence de faute, les signaux de sorties attendus sur deux DFG sont identiques lorsque les mêmes données sont appliquées sur leurs entrées.

L'utilisation d'un DFG dual dans l'architecture de vérification présente plusieurs avantages :

- il n'est plus nécessaire de recourir systématiquement à une ressource supplémentaire dans l'architecture de vérification dès lors qu'il existe une seule unité fonctionnelle de ce type dans l'allocation du chemin de données nominal.
- en plus d'une couverture d'erreurs comparable à celle du cas précédent (paragraphe 3.2.2), l'utilisation du DFG dual induit une possibilité d'anticipation d'erreurs. Cette anticipation correspond au cas où les entrées appliquées ne permettent pas d'exciter la faute sur le DFG nominal alors qu'elle est excitée sur le chemin de données de vérification. Bien qu'elle n'affecte pas la sortie nominale du système, la faute est détectée par la différence de sortie des deux DFGs.

La différence de structures entre deux DFG équivalents est justifiée par les propriétés individuelles et collectives des opérations qui interviennent dans la description comportementale du système (symétrie, associativité, distributivité,...). Ces propriétés permettent de transformer (par factorisation, développement, ...) la structure l'ensemble des équations constituant le DFG nominal, en une sans que le résultat attendu soit modifié. L'équivalence (au sens de l'égalité des sorties) entre le DFG initial et celui qui résulte de la transformation n'est garantie que si les propriétés utilisées lors de cette transformation restent vérifiées. Notre démarche est justifiée par le pari suivant : La présence d'une faute dans le système entraîne la violation de l'une au moins de ces propriétés pour les unités affectées et infirme ainsi les conditions d'équivalence entre le DFG nominal et le DFG dual. Ceci entraîne une différence qui est observable sur leurs sorties respectives. Cette différence entraîne la détection de la faute.

Les résultats de simulation présentés sur les Tableaux 3.4, 3.3 et 3.6 nous donnent raison. Dans ces tableaux, nous avons étudié quelques propriétés arithmétiques qui peuvent être utilisées pour la transformation DFG nominal en DFG dual. Une seule unité fonctionnelle de chaque type est utilisée dans chaque cas, les DFGs nominal et dual sont implémentés avec les mêmes unités fonctionnelles. Chaque tableau correspond à une propriété particulière. Dans chaque cas, nous avons simulé 5000 vecteurs d'entrée aléatoires et pour chaque faute injectée, nous avons calculé :

- le taux de détection de la faute ρ_{fault} : proportion des vecteurs d'entrée qui détectent la faute.

- La latence moyenne de faute calculée à partir du taux de détection $L_{\text{fault}}=1/\rho_{\text{fault}}$ (en nombre de pas de contrôle)
- le taux de détection d'erreur ρ_{error} : proportion des vecteurs d'entrée qui détectent l'erreur engendrée par la faute.
- La latence moyenne d'erreur calculée à partir du taux de détection d'erreur $L_{\text{error}}=1/\rho_{\text{error}}$ (en nombre de pas de contrôle)

Les résultats de simulation présentés sur les Tableaux 3.4, 3.5 et 3.6 indiquent une latence de faute très faible (1.5 pas de contrôle en moyenne), et une latence d'erreur quasiment égale à 1 pas de contrôle, ce qui est tout simplement excellent.

Tableau 3.4 Exploitation de la distributivité de la multiplication par rapport à l'addition

DGG nominal $a \times (b+c)$	DGG dual $(a \times b) + (a \times c)$	Bit	Additionneur SAO sur bit de sortie				Additionneur SAO sur bit de sortie			
			ρ_{fault}	L_{fault}	ρ_{error}	L_{error}	ρ_{fault}	L_{fault}	ρ_{error}	L_{error}
		0	0.490	2.040	0.996	1.004	0.758	1.319	0.996	1.004
		1	0.628	1.592	0.995	1.005	0.743	1.345	0.995	1.005
		2	0.681	1.468	0.993	1.007	0.758	1.319	0.998	1.002
		3	0.710	1.408	0.996	1.004	0.737	1.356	1	1
		4	0.748	1.337	0.996	1.004	0.753	1.328	0.996	1.004
		5	0.740	1.351	0.993	1.007	0.727	1.375	0.996	1.004
		6	0.754	1.326	0.990	1.010	0.746	1.340	1	1
		7	0.748	1.337	0.994	1.006	0.759	1.317	0.990	1.010
		8	0.752	1.330	1	1	0.749	1.335	0.990	1.010
		9	0.768	1.302	1	1	0.737	1.357	0.990	1.010
		10	0.750	1.333	1	1	0.751	1.331	0.990	1.010
		11	0.738	1.355	1	1	0.741	1.349	0.990	1.010
		12	0.744	1.344	1	1	0.747	1.338	0.992	1.008
		13	0.754	1.326	1	1	0.740	1.351	0.993	1.007
		14	0.744	1.344	1	1	0.740	1.351	0.995	1.005
15	0.749	1.335	1	1	0.750	1.333	1	1		

Tableau 3.5 Exploitation de l'associativité de la multiplication

DGG nominal $a \times (b \times c)$	DGG dual $(a \times b) \times c$	Bit	Multiplieur SAO sur bit de sortie				Multiplieur SAO sur bit de sortie			
			ρ_{fault}	L_{fault}	ρ_{error}	L_{error}	ρ_{fault}	L_{fault}	ρ_{error}	L_{error}
		0	0.257	3.636	1	1	0.264	3.788	0.98	1.020
		1	0.453	2.2.7	0.87	1.149	0.446	2.242	0.92	1.087
		2	0.549	1.821	0.83	1.205	0.569	1.757	0.85	1.176
		3	0.622	1.607	0.74	1.351	0.632	1.582	0.88	1.136
		4	0.690	1.449	0.79	1.265	0.694	1.441	0.85	1.176
		5	0.713	1.402	0.77	1.298	0.719	1.391	0.83	1.204
		6	0.730	1.370	0.73	1.370	0.732	1.366	0.83	1.204
		7	0.732	1.366	0.75	1.333	0.748	1.337	0.82	1.219
		8	0.748	1.337	0.73	1.370	0.744	1.344	0.85	1.176
		9	0.760	1.315	0.66	1.515	0.735	1.360	0.91	1.010
		10	0.752	1.330	0.62	1.613	0.747	1.339	0.98	1.020
		11	0.742	1.348	0.61	1.640	0.744	1.344	0.99	1.010
		12	0.750	1.333	0.56	1.786	0.749	1.335	0.98	1.020
		13	0.753	1.328	0.54	1.851	0.749	1.335	1	1
		14	0.743	1.346	0.55	1.818	0.768	1.302	1	1
15	0.757	1.321	0.60	1.667	0.758	1.319	1	1		

Tableau 3.6 Exploitation de l'associativité de l'addition

DGG nominal $a+(b+c)$	DGG dual $(a+b)+c$	Bit	Multiplieur SA0 sur bit de sortie				Multiplieur SA0 sur bit de sortie			
			ρ_{fault}	L_{fault}	ρ_{error}	L_{error}	ρ_{fault}	L_{fault}	ρ_{error}	L_{error}
		0	0.503	1.988	0.996	1.004	0.503	1.988	0.996	1.004
		1	0.485	2.061	0.995	1.005	0.484	2.066	0.995	1.005
		2	0.508	1.968	0.993	1.007	0.508	1.968	0.998	1.002
		3	0.517	1.934	0.996	1.004	0.517	1.934	1	1
		4	0.488	2.049	0.996	1.004	0.490	2.041	0.996	1.004
		5	0.490	2.041	0.993	1.007	0.490	2.041	0.996	1.004
		6	0.504	1.984	0.990	1.010	0.504	1.984	1	1
		7	0.519	1.927	0.994	1.006	0.494	2.024	0.990	1.010
		8	0.495	2.020	1	1	0.494	2.024	0.990	1.010
		9	0.508	1.968	1	1	0.508	1.968	0.990	1.010
		10	0.506	1.976	1	1	0.506	1.976	0.990	1.010
		11	0.489	2.045	1	1	0.489	2.045	0.990	1.010
		12	0.496	2.016	1	1	0.486	2.058	0.992	1.08
		13	0.496	2.016	1	1	0.496	2.016	0.993	1.007
		14	0.493	2.028	1	1	0.496	2.016	0.995	1.005
		15	0.488	2.049	1	1	0.488	2.049	1	1

Pour le système dont le chemin de données est défini dans la Figure 3.5. L'utilisation d'un DFG dual sur permet, comme l'indique la Figure 3.8, d'économiser deux unités fonctionnelles (un multiplieur et un additionneur) par rapport à la solution initiale proposée dans la Figure 3.6. En plus, par rapport à la solution précédente (Figure 3.7), nous économisons également un cycle nominal dans la périodicité des vérifications. Ainsi cette solution pourra être retenue dans le cas où les contraintes de testabilité imposées par la spécification autorisent une latence faute $P \geq 3$. La table d'allocation correspondante est représentée sur la deuxième partie du Tableau 3.3.

Cette amélioration est fondamentale car contrairement au cas précédent, son application ne conduit pas à la duplication lorsqu'une seule unité fonctionnelle de chaque type est utilisée dans l'ordonnancement du chemin de données nominal. Cette technique est notamment bien adaptée au cas très courant des systèmes embarqués dans lesquels les programmes sont exécutés sur un seul processeur incorporé. L'application de la méthode consistera à construire un programme dual, équivalent du programme nominal qui est exécuté dans les périodes où le processeur n'est pas sollicité par le programme nominal.

Tableau 3.3: Allocation testable avec partage de ressources

DFG nominal pour la vérification					DFG dual pour la vérification			
Ctrl	Mult1	Mult2	Add1	Add1	Mult1	Mult2	Add1	Add2
1	x_1	x_2			x_1	x_2		
2	x_3	x_4	$+_1$		x_3	x_4	$+_1$	
3	x_5	x_6		$+_2$	x_5	x_6		$+_2$
4	x_{e2}	x_{c1}	$+_3$	$+_4$	x_{e2}	x_{c1}	$+_3$	$+_4$
5	x_1	x_2		$+_{c1}$	x_1	x_2	$+_{c2}$	$+_{c1}$
6	x_3	x_4	$+_1$		x_3	x_4	$+_1$	
7	x_5	x_6		$+_2$	x_5	x_6		$+_2$
8	x_{e4}	x_{c3}	$+_3$	$+_4$	x_{e4}	x_{c3}	$+_3$	$+_4$
9	x_1	x_2	$+_{c2}$		x_1	x_2	$+_{c4}$	$+_{c3}$
10	x_3	x_4	$+_1$		x_3	x_4	$+_1$	
11	x_5	x_6			x_5	x_6		$+_2$
12	x_{e6}	x_{c5}	$+_3$	$+_4$	x_{c2}	x_{c1}	$+_3$	$+_4$
13	x_1	x_2	$+_{c4}$	$+_{c3}$				
14	x_3	x_4	$+_1$					
15	x_5	x_6		$+_2$				
16	x_{e2}	x_{c1}	$+_3$	$+_4$				

↑
gain
↓

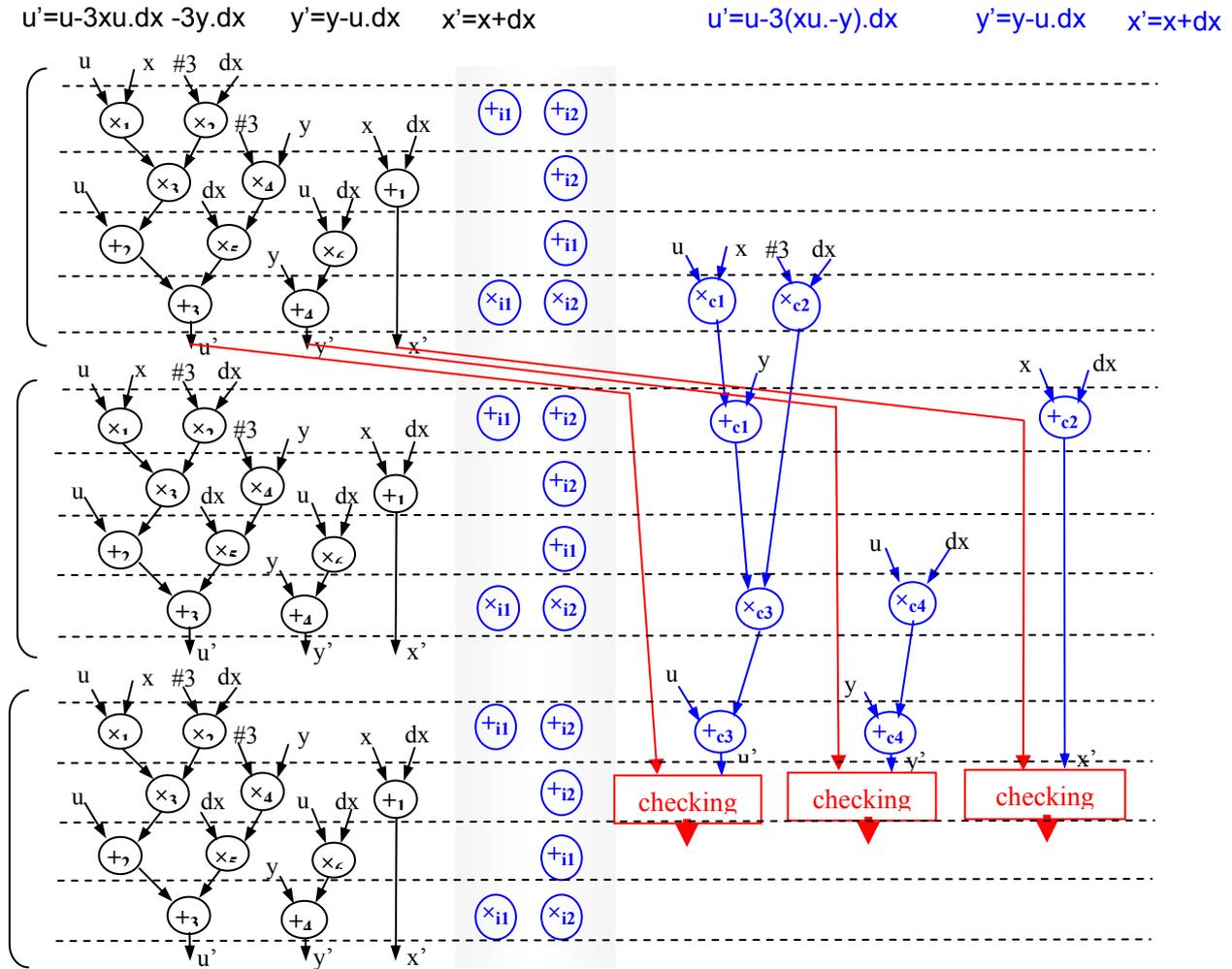


Figure 3.8 Architecture ordonnancée testable avec partage de ressource et utilisant un DFG dual

3.3.4 Mise en œuvre pratique

Un outil logiciel (dont les fenêtres de configurations sont représentées dans la Figure 3.9) a été développé par Mouhamad Ayman NAAL dans le cadre de sa thèse de doctorat. Cet outil intègre les techniques de test en ligne non-concurrentes et semi-concurrentes.

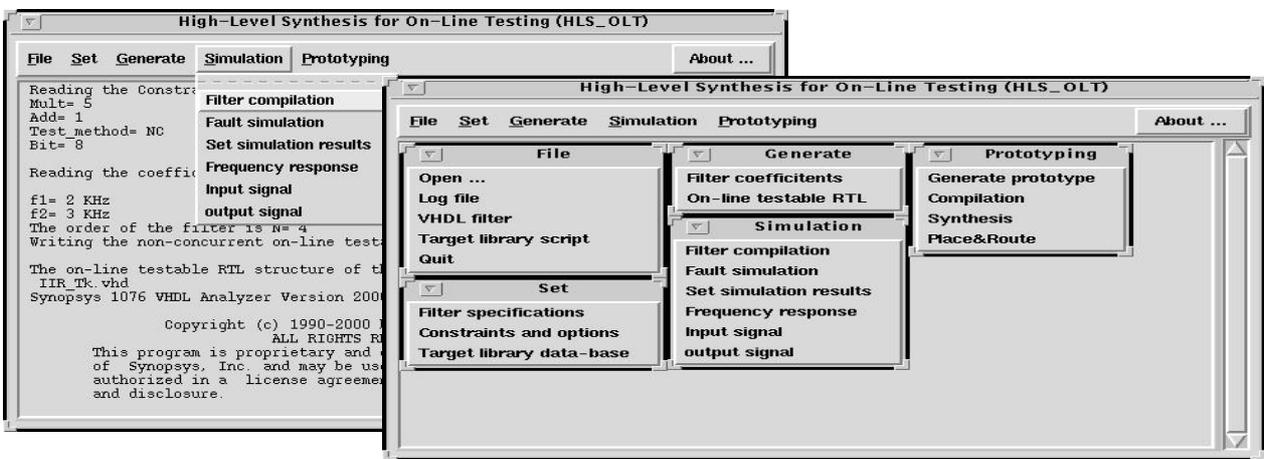


Figure 3.9 Fenêtres de configurations de l'outil de test en ligne non-concurrent et semi-concurrent

En collaboration avec Mouhamad Ayman NAAL⁵⁵ et Salvador MIR, nous avons étudié l'application des techniques de test en ligne dans les blocs de décimation de convertisseurs analogique/numérique $\Sigma\Delta$ audio. Ce bloc est dédié au filtrage du bruit de quantification du signal binaire qui provient de l'étape de modulation à 5.6448 Mhz. Il ré-échantillonne le signal à la fréquence de Nyquist (44.1khz) avec une précision de 16 bits. Nous avons étudié le test en ligne semi-concurrent dans la première étape de ce bloc qui est constitué d'un filtre à réponse impulsionnelle finie (FIR) de type CIC⁵⁶ dont l'équation et les schémas de réalisation sont donnés dans la Figure 3.10 (a). Le chemin de données de l'implémentation intégrant le test en ligne semi-concurrent est donné dans la Figure 3.10 (b).

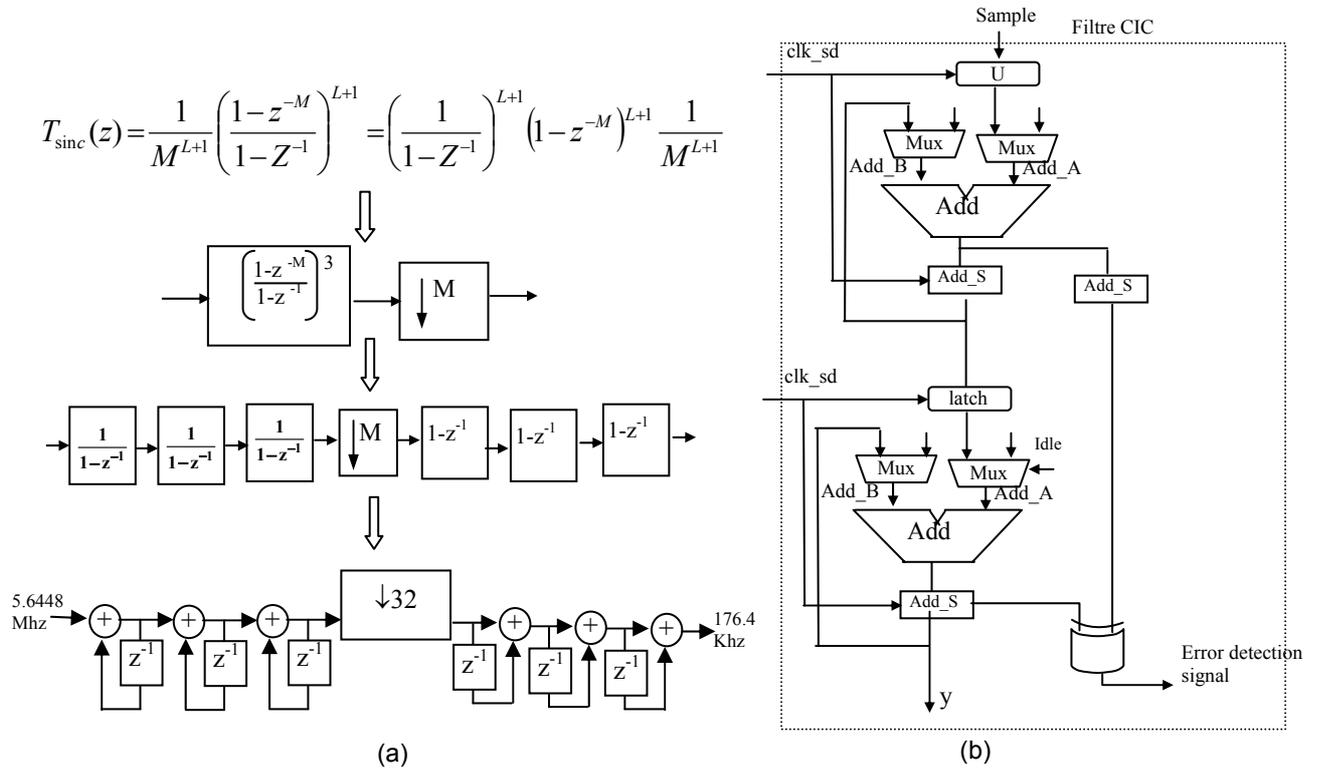


Figure 3.10 Filtre CIC d'un convertisseur $\Sigma\Delta$ avec test en ligne semi-concurrent : (a) modèle analytique du filtre et schémas de principe équivalents, (b) chemin de données.

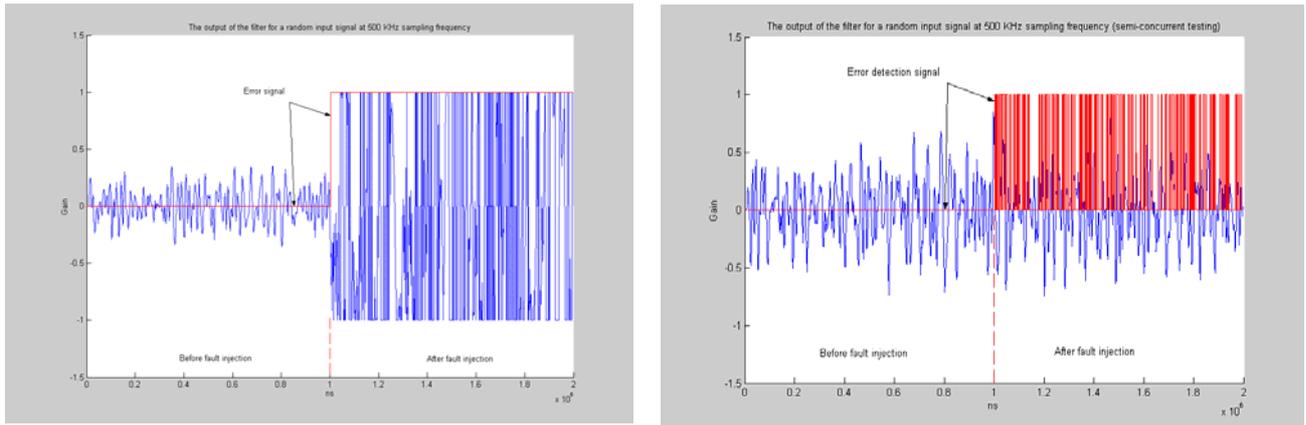
La Figure 3.11 (a) donne le coût en terme de circuiterie supplémentaire nécessaire et de dégradation des performances (vitesse) due à l'insertion des opérations de test en ligne semi-concurrent pour les technologies 0.6, 0.35 et 0.18 μm . La vérification utilise la propriété de distributivité de la multiplication par rapport à l'addition. Afin de faciliter l'opération de multiplication, le facteur multiplicatif est 2, $(2 \times (A+B) = 2 \times A + 2 \times B)$; ainsi, la multiplication par deux dans la Figure 3.10 (b) est réduite à un simple décalage des valeurs des registres; la contrepartie de cette simplicité est la nécessité de surdimensionner de 1bit les unités fonctionnelles et les registres de stockage. La Figure 3.11 (b) montre l'efficacité de cette technique pour la détection en ligne de fautes de collage logique.

⁵⁵ Au terme de sa thèse de Doctorat, Mouhamad Ayman NAAL a été engagé pour un post-doc de 3 mois dans l'équipe RMS

⁵⁶ Cascaded-Integrator-Comb

Technologie		ADD	MUX	REG	CIC	ADD DFT	REG DFT	Circuits de DTF	CIC DFT	Surcoût %
0.6 μm	Surface (mm^2)	198.0	63.5	78.1	432.3	207.1	81.51	31.11	482.9	11.7
	Délai (ns)	17.6	0.52	1.26	18.86	17.82	1.26	1.44	20.52	8.8
0.35 μm	surface (μm^2)	12142	6921	11827	47624	12675	12360	4713	54470	14.38
	délai(ns)	13.77	0.40	1.05	14.82	14.37	1.05	1.2	16.62	12.15
0.18 μm	Surface (μm^2)	1568	630	1278	5402	1638	1335	487	6130	13.48
	délai(ns)	7.25	0.27	0.49	7.74	7.54	0.49	0.56	8.59	10.98

(a)



(b)

Figure 3.11 Test en ligne semi-concurrent du filtre CIC : (a) Evaluation du surcoût dû à l'insertion du test en ligne semi-concurrent, (b) Exemple de détection en ligne de fautes par le test en ligne semi-concurrent

3.4 Test en ligne concurrent

La conception des circuits destinés à des applications critiques a progressivement orienté les investigations de recherche vers les domaines de test en ligne concurrent et de tolérance aux fautes. Le problème de la conception de systèmes de test en ligne concurrent peut se formuler comme suit : en utilisant les signaux disponibles dans un système en fonctionnement et la connaissance que l'on a du système, il s'agit de produire en temps réel les meilleures décisions possibles relatives à l'état (présence ou absence de fautes) du système. Le module de détection à concevoir utilise comme entrée aussi bien des données mesurables que des paramètres connus sur le système tels que les signaux d'entrée et de sortie, ainsi que les valeurs nominales des paramètres. Le test concurrent est bien adapté aux systèmes qui traitent des données continues et qui ne peuvent pas se soustraire de l'application nominale afin d'être soumis à une séquence de test non-concurrent.

Le fonctionnement nominal est caractérisé par un ensemble de connaissances disponibles sur le système. Les connaissances utilisées se situent à différents niveaux dans la hiérarchie épistémologique des systèmes. Pour la surveillance en ligne, on distingue deux formes de connaissances disponibles sur le système :

- Les connaissances qui sont constituées d'un ensemble de résultats expérimentaux sur les évolutions des signaux et les états de fonctionnement ou de dysfonctionnement du système. On parle de méthodes sans modèle. Le test concurrent consiste alors à concevoir des algorithmes qui analysent les signaux produits par le système sous test, afin de reconnaître par induction le type de fonctionnement dont ils sont vraisemblablement issus. Les techniques de test en ligne paramétrique (tel que le IDDQ⁵⁷ [14]) développés dans le domaine de la microélectronique relèvent des méthodes de test en ligne sans

⁵⁷ Test paramétrique basé sur la surveillance du courant d'alimentation

modèle. Par ailleurs, les méthodes de surveillance sans modèle font l'objet d'importantes investigations au sein des communautés automatique et traitement du signal.

- Les connaissances qui sont constituées de modèles. Il s'agit généralement de modèles comportementaux ou de modèles de connaissance (souvent analytiques). La surveillance en ligne avec modèle consiste à concevoir des modules de détection qui traitent en temps réel les signaux accessibles à la mesure sur le système afin de déterminer par déduction l'état qui le caractérise le plus vraisemblablement. Les méthodes de surveillance à base de modèle ont principalement été utilisées au sein de la communauté automatique et d'intelligence artificielle [11, 23, 26, 29, 34, 39, 103, 104].

Les premiers travaux sur le test concurrent et la tolérance aux fautes des circuits intégrés proposés par HUANG et Abraham dans [52] utilisent le concept de tolérance aux fautes à base d'algorithme. L'idée de base proposée par les auteurs consiste à utiliser un code de vérification pour la détection et la correction des erreurs de calcul dans les chaînes de traitement de matrices complexes. JOU et ABRAHAM présentent dans [55] un ensemble d'approches de détection (et de correction) d'erreurs à base d'algorithme destinées à des architectures fortement parallèles et des structures fortement concurrentes telles que les architectures systoliques implémentant les filtres linéaires. Dans [56], JOU et ABRAHAM utilisent une circuiterie additionnelle dans le chemin de données du système pour assurer la détection d'erreurs dans des applications de transformées de Fourier rapides (FFT). Une technique de codage sur une fonction des "sommés des carrés" des données d'entrées/sorties est proposée par REDDY et BENERJEE [83]. Dans [67], NAIR et ABRAHAM proposent un code numérique de variables réelles pour la détection de fautes et la correction d'erreurs sur les opérations matricielles. Les travaux de CHATTERJEE et D'ABREU [16] sont relativement différents des approches précédentes. Ils utilisent un code numérique de variables réelles proche de celui proposé dans [67], pour la détection de fautes sur les systèmes digitaux linéaires à variables d'états. Les systèmes digitaux linéaires constituent une large part des circuits embarqués pour des applications de traitements digitaux des signaux et de commande numérique. Ces systèmes sont implémentés à l'aide de modules fonctionnels tels que les additionneurs, les multiplieurs et des éléments de mémorisation qui sont interconnectés afin de réaliser des fonctions complexes. Le rôle des éléments mémoires est de stocker certains résultats intermédiaires qui sont récursivement utilisés dans le calcul des valeurs de sorties. Contrairement aux approches précédentes basées sur une résolution algorithmique du problème de détection, une circuiterie spécifique dédiée à la détection d'erreurs est proposée dans [16]. Cependant, l'accessibilité à la mesure de toutes les variables d'état du système sous test constitue une contrainte importante qui limite les méthodes proposées dans [16] aux seuls systèmes linéaires à variables accessibles à la mesure. Or il est bien connu que les variables d'état d'un système sont des grandeurs caractéristiques, généralement virtuelles, dont l'existence concrète en tant que grandeur mesurable est rarement garantie.

3.4.1 Architecture du test en ligne concurrent à base de redondances analytiques

Parmi les travaux qui existent dans le domaine du test en ligne concurrent des circuits intégrés, notre contribution est plus proche des travaux de CHATTERJEE et D'ABREU [16] que des approches plus anciennes. Mais contrairement aux publications précédentes, nous avons recherché une solution générique applicable à tous les systèmes digitaux linéaires, qu'ils soient à variable d'état ou non. La recherche d'une solution générique nous a orienté vers les méthodes de détection et d'isolation de défauts (FDI⁵⁸) développées dans la communauté d'automatique et de traitement de signal. Afin de minimiser la probabilité d'occurrence de défaillance inopinée, la conception de module de test en ligne concurrent de systèmes embarqués partage avec les algorithmes de FDI en automatique le souci de garantir une forte couverture de fautes avec une latence de faute minimale.

Dans un schéma classique d'implémentation de FDI en automatique, les résidus sont généralement calculés à l'aide d'algorithmes incorporés dans les calculateurs de contrôle. Les contraintes relatives au coût en surface de silicium et à la dégradation des performances deviennent caduques. En effet, contrairement au test en ligne intégré, l'implémentation d'un algorithme de FDI sur les calculateurs

⁵⁸ *Fault Detection and Isolation*

dédiés ne requiert aucune surface de silicium supplémentaire et n'entraîne en principe aucune dégradation de performances du système sous surveillance. Dans notre travail, il a fallu tenir compte de cette différence fondamentale dans l'adaptation des méthodes de FDI au test concurrent des circuits intégrés.

Nos premiers efforts se sont focalisés sur l'adaptabilité au test en ligne des circuits des méthodes de FDI basées sur les modèles comportementaux de systèmes. Ces algorithmes mettent en œuvre une démarche qui consiste à construire des modèles testables du système, c'est-à-dire des modèles dans lesquels n'interviennent que des variables disponibles (mesurées ou connues d'avance). La détermination de tels modèles requiert l'existence dans le système, de redondance d'informations qu'il faudra mettre en évidence. Dans le cas de modèles numériques, cette démarche conduit au calcul d'un résidu dont les caractéristiques sont différentes suivant que le fonctionnement du système est normal ou qu'il est affecté de fautes (Figure 3.12). Les modèles testables doivent être robustes c'est-à-dire permettre de détecter les défaillances tout en rejetant les perturbations (Figure 3.13).

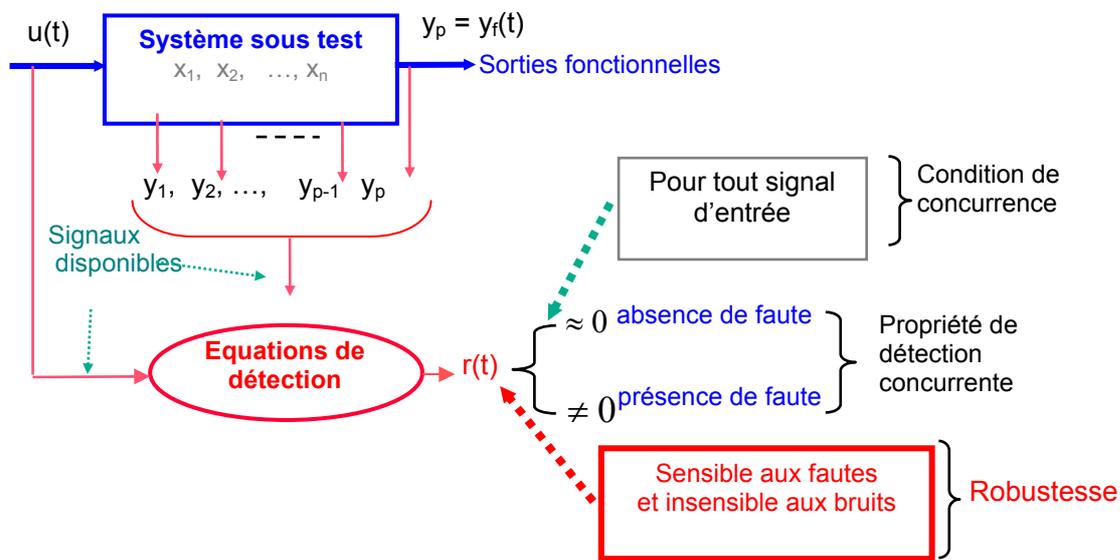


Figure 3.12 Architecture générique du test en ligne concurrent

3.4.2 Cadre linéaire classique

Dans le cadre linéaire, le système est représenté par les équations d'état et de sortie :

$$\begin{aligned} x(t+1) &= Ax(t) + Bu(t) + E_d d(t) + E_f f(t) \\ y(t) &= Cx(t) + Du(t) + F_d d(t) + F_f f(t) \end{aligned} \quad (3.4)$$

Où $x \in R^n$ est le vecteur d'état, $y \in R^m$ est le vecteur des sorties, $u \in R^p$ est le vecteur des entrées, $d \in R^k$ est le vecteur des perturbations inconnues, $f \in R^q$ est le vecteur représentant les fautes à détecter. Les matrices $A, B, C, D, E_d, F_f, F_d$ et F_f sont supposées connues à coefficients constants de dimensions appropriées. Le fonctionnement nominal est caractérisé par $f(t) = 0$. Chaque défaillance du cahier des charges est modélisé par un vecteur $f_i(t)$ dont l'évolution temporelle dépend de paramètres inconnus.

On distingue trois approches principales de détection et d'isolation de défauts à base de modèles dynamiques : les méthodes à base d'identification paramétrique, d'observateurs et d'espace de parité.

3.4.3 Identification paramétrique

Les méthodes basées sur l'identification paramétrique reposent sur l'utilisation d'algorithmes récursifs afin d'estimer en ligne des paramètres du système [57, 94, 106]. Les déviations du système sous test sont surveillées par un algorithme récursif de traitement des données d'entrée/sortie du système. Les

défaillances sont détectées en comparant les paramètres ainsi calculés à leurs valeurs nominales. Le résidu de détection peut prendre la forme :

$$r(k) = (\hat{\theta}(k) - \theta_{nomi})^T \Delta (\hat{\theta}(k) - \theta_{nomi}) \quad (3.5)$$

Où Δ est une matrice de pondération définie positive, θ_{nomi} représente le vecteur des paramètres nominaux et $\hat{\theta}(k)$ celui des paramètres estimés à l'instant k . L'utilisation de cette technique dans le contexte du test en ligne concurrent de circuits pose quelques sérieux problèmes :

- Une application efficace de cette méthode requiert des contraintes spécifiques sur les signaux d'entrée concernant l'excitation de la dynamique du système (l'excitation persistante). La condition d'excitation persistante n'est pas toujours garantie pour la séquence de signaux d'entrée fonctionnelle appliquée.
- L'identification en ligne des paramètres du système est généralement gourmande aussi bien en puissance de calcul qu'en capacité de mémorisation. L'application de méthodes de FDI basée sur l'identification paramétrique induirait un coût en surface supplémentaire excessif, probablement supérieur au coût d'une duplication.

Cette approche n'est adaptable pour le test concurrent de systèmes embarqués que si celui-ci incorpore un processeur suffisamment puissant avec une réserve de capacité de calcul suffisante pour exécuter les procédures complexes de l'algorithme d'identification récursive. Cette hypothèse est implicite dans nos investigations concernant ce domaine [94 et 97].

3.4.4 Observateurs

L'approche de FDI basée sur les observateurs consiste à construire un vecteur résiduel à partir de la différence entre la sortie réelle mesurée et la sortie estimée par l'observateur. [22, 39, 40, 73]. On peut utiliser un observateur de Luenberger à cette fin :

$$\begin{aligned} \hat{x}(t+1) &= A\hat{x}(t) + Bu(t) + L(y(t) - \hat{y}(t)) \\ \hat{y}(t) &= C\hat{x}(t) + Du(t) \end{aligned} \quad (3.6)$$

Et le résidu est donné par :

$$r(t) = y(t) - \hat{y}(t) \quad (3.7)$$

Sa forme d'évaluation est :

$$\begin{aligned} e(t+1) &= (A - LC)e(t) + LBu(t) + (LF_d - E_d)d(t) + (LF_f - E_f)f(t) \\ r(t) &= Ce(t) \end{aligned} \quad (3.8)$$

où $e(t) = x(t) - \hat{x}(t)$ est l'erreur d'estimation qui tend vers zéro si la matrice $(A - LC)$ est stable.

Comme l'indiquent les Equations (3.6) et (3.7), l'évaluation du résidu de détection à partir des observateurs requiert l'implémentation d'un système d'une complexité comparable à celle du système sous test. Ceci n'est pas acceptable dans un contexte de test de circuit car il en résulte une circuiterie de test dont la taille est supérieure à la duplication du circuit initial, induisant un coût d'implémentation prohibitif en terme de surface de silicium supplémentaire nécessaire. Nous étudions actuellement la possibilité d'utiliser des observateurs partiels à coût d'implémentation raisonnable.

3.4.5 Espace de parité

Parmi les méthodes de FDI couramment utilisées pour la surveillance des systèmes automatisés, la technique de projection sur l'espace de parité [26, 39, 84, 98] est celle qui se prête le mieux à une adaptation au test en ligne des systèmes intégrés. En effet, par rapport à un système automatisé classique, les systèmes électroniques se caractérisent par une abondance de possibilités de connections et par un coût pratiquement nul de la mesure (pas de capteur nécessaire). Ceci facilite la génération de relations de redondance riches d'ordre relativement faible ($p = 0, 1$ ou 2). Nous avons adapté avec succès la méthode de parité pour le test en ligne concurrent aussi bien des systèmes analogiques et mixtes [87, 95],..., que pour le test des filtres linéaires purement digitaux [1, 2, 92, 96]. Nous avons obtenu des résultats comparables pour le test en ligne concurrent des filtres analogiques.

Résidu d'ordre zéro

Afin d'éprouver la pertinence des données accessibles, la première stratégie mise en œuvre s'est appuyée sur la redondance des mesures. Dans cette approche, le nombre de mesures (données accessibles) utilisées est supérieur à n (nombre de variables d'état du système). La matrice de sortie C a alors plus de lignes que de colonnes. La redondance ainsi obtenue constitue alors un moyen simple de déceler parmi les mesures utilisées celles qui sont entachées d'erreurs. L'équation du résidu d'ordre nul est définie par :

$$r(t) = v^T y(t) - v^T Du(t) \quad (3.9)$$

où v est un vecteur de parité orthogonal à la matrice C . Une équation de parité d'ordre nul n'existe que si l'on dispose d'un ensemble de points accessibles fortement redondants. Le résidu d'ordre nul qu'on en déduit permet une bonne couverture des défaillances affectant directement les données mesurées, mais la couverture des fautes qui perturbent la dynamique du système est plus modeste. Afin de garantir une couverture de fautes plus générale et plus importante, il est souvent nécessaire de rechercher une équation de résidu d'ordre supérieur ($p \geq 1$), même si l'existence d'une solution d'ordre nul n'est pas exclue.

Cas général : résidu d'ordre $p \geq 1$

La méthode de parité consiste à rechercher une relation de redondance entre les données d'entrée/sortie disponibles à l'instant t . Son principe de base peut être présenté de façon intuitive : lorsque les données d'entrées/sorties mesurées à l'instant t ne permettent pas de déduire des équations de redondance directe suffisamment riches pour garantir la couverture de fautes souhaitée, on recherche une relation entre les données disponibles mesurées à l'instant t et aux instants précédents ($t-1, t-2, \dots, t-p$). La profondeur de mémoire p de l'équation de redondance constitue l'ordre du résidu.

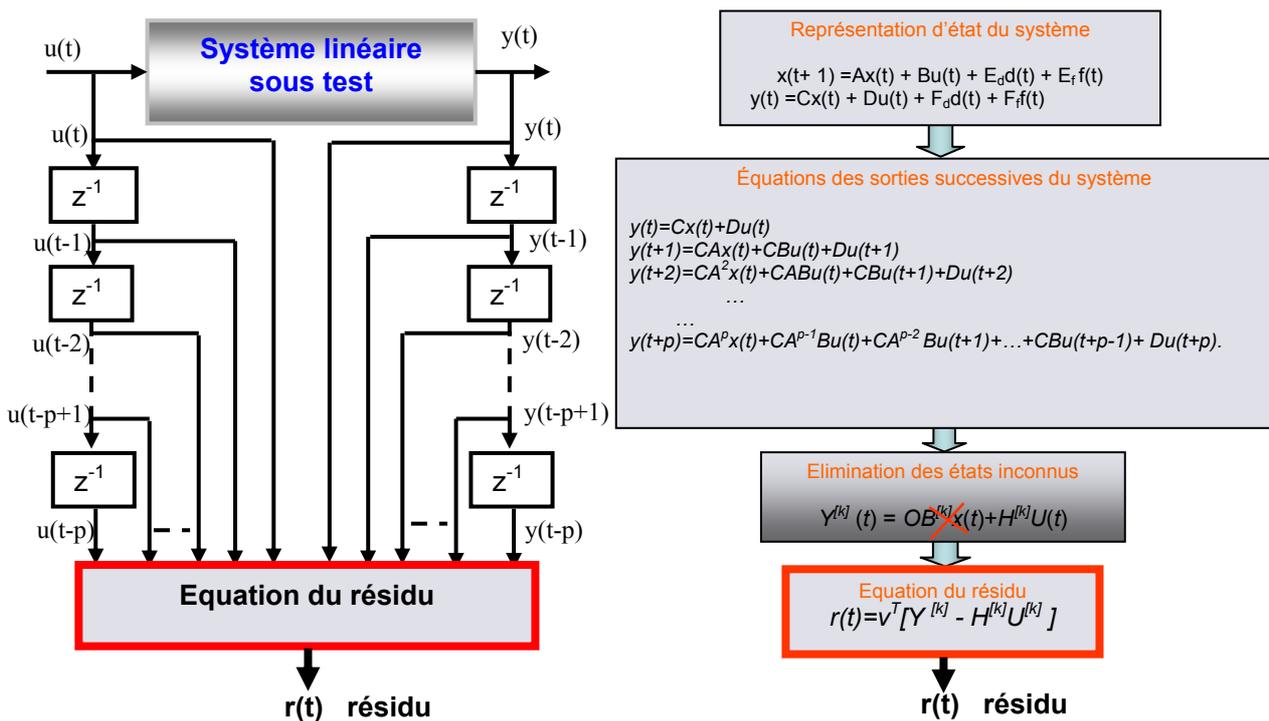


Figure 3.13 Présentation du principe de la méthode de parité pour les systèmes digitaux linéaires.

En calculant les sorties p successives d'un système linéaire décrit par les Equations (11) à partir d'un l'instant t , on obtient :

$$Y^{[p]} = O^{[p]}(A,C)x(t) + K^{[p]}(A,B,C,D)U^{[p]} + K^{[p]}(A,E^d,C,F^d)d^{[p]} + K^{[p]}(A,E^f,C,F^f)f^{[p]} \quad (3.10)$$

où

$$O_{(p)}(A,C) = \begin{bmatrix} C \\ CA \\ CA^2 \\ \vdots \\ CA^p \end{bmatrix}, \quad K_{(p)}(N,M,P,Q) = \begin{bmatrix} Q & 0 & 0 & 0 & 0 \\ PN & Q & 0 & \vdots & \\ PMN & PN & Q & \vdots & \\ \vdots & \vdots & \vdots & Q & 0 \\ PM^{p-1}N & PM^{p-2}N & \vdots & PN & Q \end{bmatrix}, \quad \forall (M,N,P,Q); \quad Y^{[p]} = \begin{bmatrix} y(t) \\ y(t+1) \\ y(t+2) \\ \vdots \\ y(t+p) \end{bmatrix}, \quad U^{[p]} = \begin{bmatrix} u(t) \\ u(t+1) \\ u(t+2) \\ \vdots \\ u(t+p) \end{bmatrix}, \dots, \text{etc.}$$

Soit Ω une matrice de projection sur l'espace orthogonal à $im(O^{[p]}(A,C))$ (espace de parité)

$$\Omega O^{[p]}(A,C) = 0, \quad (3.11)$$

la relation de redondance analytique est définie ([62]) par :

$$\Omega Y^{[p]} = \Omega K^{[p]}(A,B,C,D)U^{[p]} + \Omega K^{[p]}(A,E^d,C,F^d)d^{[p]} + \Omega K^{[p]}(A,E^f,C,F^f)f^{[p]} \quad (3.2)$$

et le vecteur résidu d'ordre p est défini sous sa forme de calcul par :

$$r(t) = \Omega [y^{[p]} - K_{(p)}(A,B,C,D)u^{[p]}] \quad (3.13)$$

On note que la formule de calcul ne fait intervenir que des grandeurs connues (valeurs d'entrées et sorties disponibles à l'instant t) et permet ainsi de calculer le vecteur de résidu de parité à tout instant.

Sous sa forme d'évaluation, le vecteur résidu est défini par :

$$r(t) = \Omega [K_{(p)}(A,E_d,C,F_d)d^{[p]} + K_{(p)}(A,E_f,C,F_f)f^{[p]}] \quad (3.14)$$

Cette forme permet de caractériser le résidu sous les différentes hypothèses qui nous intéressent :

- En absence de défaillance et en présence des perturbations seules.

$$r(t) = \Omega K_{(p)}(A,E_d,C,F_d)d^{[p]} \quad (3.15)$$

- En absence de perturbations et en présence de défaillance.

$$r(t) = \Omega K_{(p)}(A,E_f,C,F_f)f^{[p]} \quad (3.16)$$

- en présence des perturbations et de défaillance.

$$r(t) = \Omega [K_{(p)}(A,E_d,C,F_d)d^{[p]} + K_{(p)}(A,E_f,C,F_f)f^{[p]}] \quad (3.17)$$

- En absence de défaillances et de perturbations

$$r(t) \cong 0 \quad (3.18)$$

Il est cependant nécessaire de tenir compte des bruits induits par les erreurs d'arrondi. En absence de défaillance et de perturbations, le vecteur résiduel sera en réalité proche de zéro, sans être pour autant identiquement nul. Les propriétés statistiques du résidu dépendront de celles du bruit. En particulier, si le bruit est centré, le résidu sera de moyenne nulle.

Cette technique a été appliquée avec succès pour le test en ligne de divers filtres digitaux. La Figure 3.14 présente les résultats que nous avons obtenus sur un filtre digital elliptique d'ordre 4 dont le modèle comportemental est défini par les matrices suivantes :

$$A = \begin{bmatrix} -0.3277 & -0.1331 & 0.7887 & -0.1561 \\ 0.1331 & -0.1847 & 0.1561 & 0.9565 \\ -0.7887 & 0.1561 & 0.0747 & 0.1831 \\ -0.1561 & -0.9565 & -0.1831 & -0.1221 \end{bmatrix}, \quad B = \begin{bmatrix} 0.3578 \\ 0.0708 \\ -0.4198 \\ -0.0831 \end{bmatrix}, \quad C = \begin{bmatrix} 0.0177 & 0.3103 & 0.0208 & 0.3641 \\ 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 \end{bmatrix}, \quad D = \begin{bmatrix} 0.1094 \\ 0 \\ 0 \end{bmatrix}.$$

L'équation d'un résidu normalisé d'ordre 1 déterminée à partir de ces données est la suivante :

$$r(t) = \{-73.99y_0(t-1) - 6.76y_1(t-1) + 8.16y_2(t-1) + 49.42y_0(t) + 4.71y_1(t) - 44.14y_2(t)\} - \{6.93u(t-1) + 5.41u(t)\}.$$

La couverture des fautes résultante est illustrée sur le tableau de la Figure 3.14. Les défaillances simulées correspondent aux fautes affectant les termes constants des multiplieurs. La première colonne du tableau donne la marge de sécurité sur chaque terme constant, c'est-à-dire la déviation en deçà de laquelle la sortie du système reste insensible. La dernière colonne du tableau donne la déviation minimale

déTECTABLE. On peut noter que dans presque tous les cas, les déviations paramétriques sont détectables sur le résidu avant que leurs effets ne soient observables sur les sorties du système.

Les spectres du résidu représentés sur les Figures 3.14 (a), (b), (c) et (d) indiquent que la couverture de fautes observée est garantie sur un large spectre du signal d'entrée incluant la bande passante du filtre sous test.

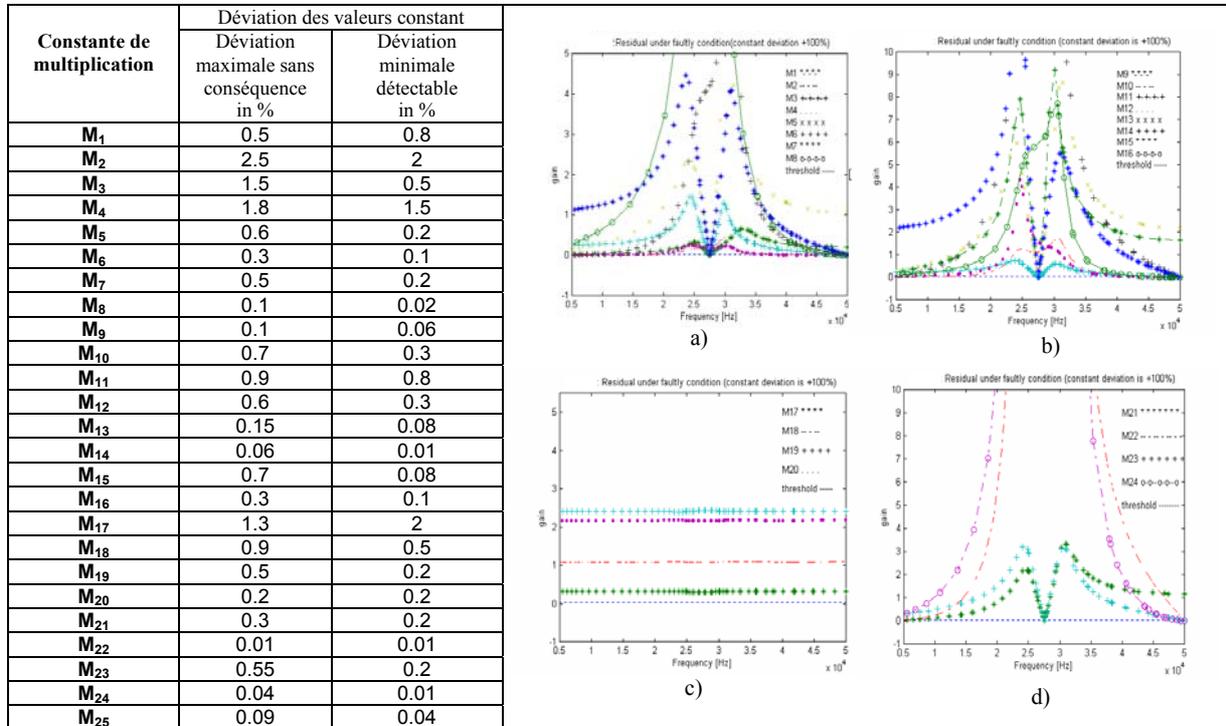


Figure 3.14 Application de l'espace de parité pour le test en ligne concurrent d'un filtre elliptique du 4^{ème} ordre, couverture de fautes.

3.5 Problèmes liés au test en ligne des systèmes analogiques

Contrairement aux systèmes digitaux, les composantes d'un système analogique sont toutes simultanément sollicitées de façon permanente. La notion de temps oisif qui nous a servi pour élaborer les techniques de test en ligne non-concurrent et semi-concurrent n'a plus de sens. Ainsi, étant essentiellement basées sur l'exploitation des temps oisifs ces méthodes ne sont pas applicables sur les systèmes analogiques et mixtes. Seule une approche concurrente du test en ligne est envisagée.

Par ailleurs, contrairement aux systèmes à temps continu classiquement étudiés dans les algorithmes de FDI (en automatique) sur lesquels chaque mesure nécessite un capteur approprié, le coût d'une mesure directe sur un circuit analogique est quasiment nul. La disponibilité de nombreux points de connexion induit une richesse significative de mesures à coût nul sur ces circuits. Le problème principal à résoudre est d'utiliser les mesures disponibles afin de déterminer et d'implémenter l'équation du résidu à un coût raisonnable en terme circuiterie supplémentaire et avec une dégradation de performances minimale.

Dans les travaux de Chatterjee [15], un test en ligne concurrent par 'checksums' est appliqué au cas particulier des filtres analogiques linéaires à variables d'état. Ces filtres ont une structure particulière autorisant leur modélisation par des équations d'état avec toutes les variables d'état directement accessibles à la mesure. Contrairement à ces travaux, nous avons recherché une solution générique, permettant de traiter tout circuit analogique, pourvu qu'il soit linéaire.

Afin d'exploiter de façon efficace toute la richesse des mesures qu'offrent les circuits analogiques, le premier problème que nous avons eu à résoudre est de finir une modélisation spéciale du circuit sous test permettant d'exprimer les signaux à chaque nœud accessible. Il s'agit de construire un modèle d'état enrichi à sorties multiples du circuit sous test pour lequel le vecteur de sortie contient tous les signaux internes accessibles à la mesure. Le rôle de ce modèle est de fournir non seulement l'équation du signal de sortie du système, mais aussi les expressions analytiques qui calculent la valeur du signal sur tout nœud interne susceptible d'être utilisé comme variable d'entrée pour le testeur en ligne. Ces informations n'étant malheureusement pas disponibles dans les outils classiques de modélisation et de simulation des circuits analogiques, nous avons dû développer un outil de génération automatique des équations d'état dont les grandes lignes sont présentées dans la Figure 3.15 : A partir du schéma du circuit ou du netlist⁵⁹ correspondant (Figure 3.15 (a)) et en utilisant le tableau des contributions des éléments de la Figure 3.15 (b), on génère un ensemble d'équations non ordonné décrivant le circuit (Figure 3.15 (c)). Un algorithme d'arrangement des équations est ensuite exécuté afin de mettre les équations dans un ordre permettant de déduire par substitution successive les équations du modèle d'état enrichi du système (Figure 3.15 (e)). Ces travaux ont fait l'objet de la thèse de Arno W. Peters⁶⁰.

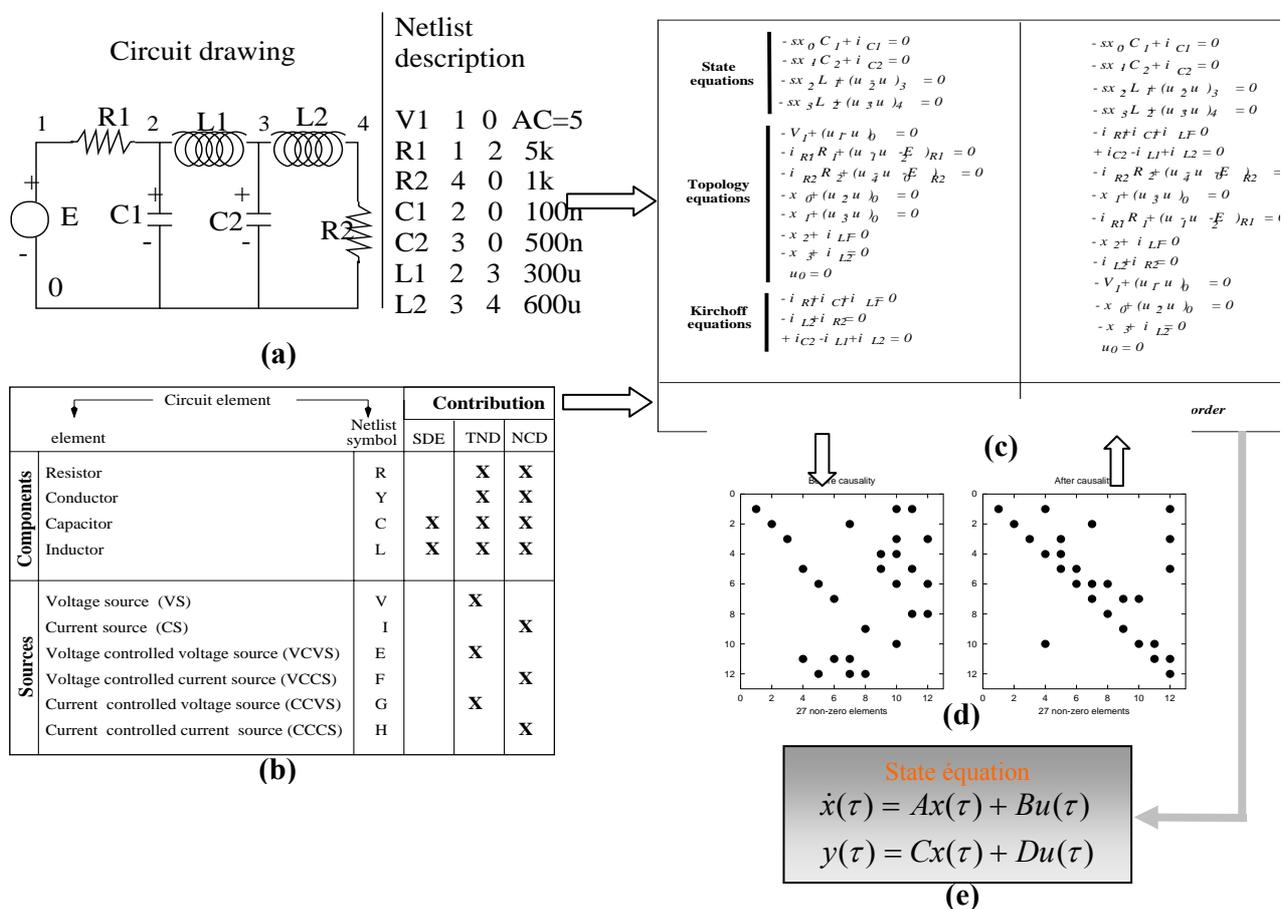


Figure 3.15 Processus de génération automatique de modèle d'état enrichi de circuits analogiques (a) Schéma et netlist du circuit, (b) Table de contribution des éléments aux équations de circuit, (c) Listes des équations avant et après arrangement, (d) Matrice de dépendance avant et après arrangement, (e) Equations d'état enrichies du système.

Une fois le modèle d'état enrichi généré, la détermination de l'équation du résidu est analogue à celle que nous avons présentée pour les systèmes linéaires digitaux. Comme l'indique la Figure 3.16, les retards (z^{-1}) unitaires du cas digital sont remplacés par des intégrateurs dans le cas analogique alors que les avances unitaires sont remplacées par des dérivateurs.

⁵⁹ Description textuelle intermédiaire du circuit
⁶⁰ Thèse de Eindhoven University of Technology

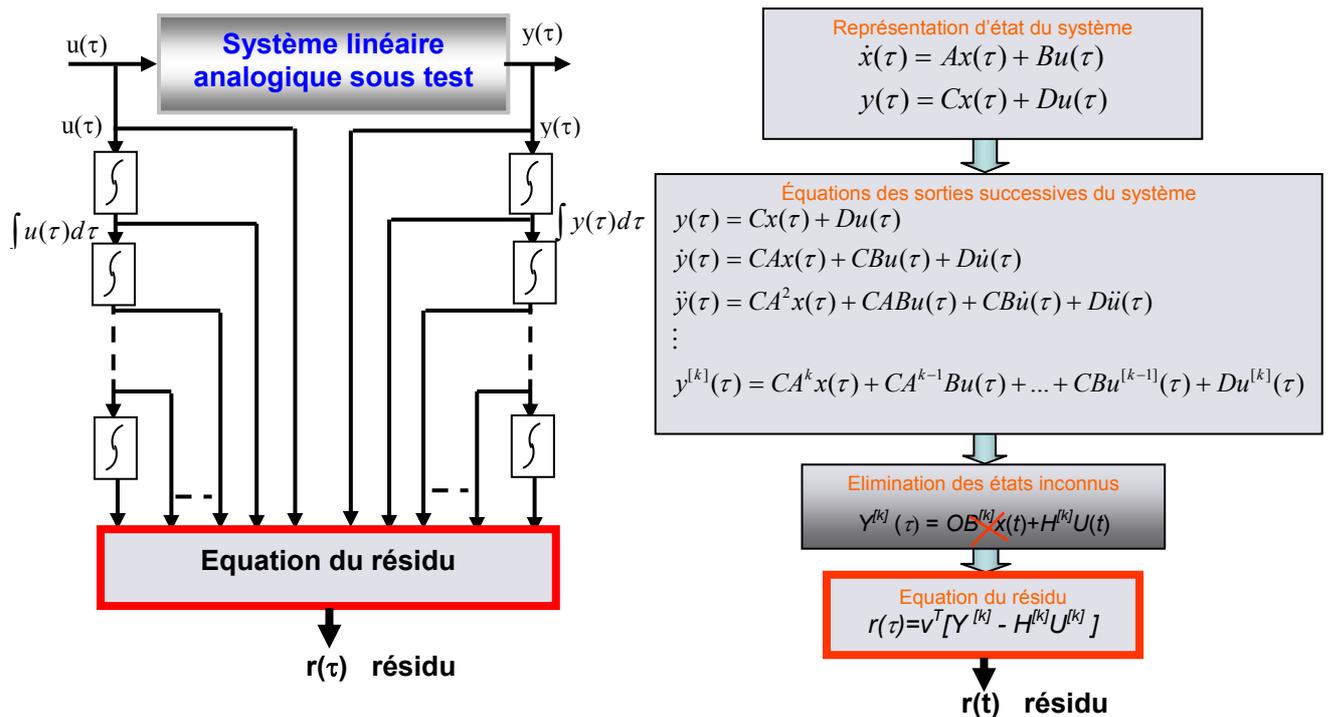


Figure 3.16 Présentation du principe de la méthode de parité pour les systèmes analogiques linéaires

La Figure 3.17 montre un exemple d'application du test en ligne concurrent par la méthode de parité pour un filtre analogique d'ordre 4. Comme l'indique la Figure 3.17 (a) le filtre testé a une structure de type RLC et non à variable d'état. La circuiterie de détection est représentée dans la Figure 3.17 (b). Les spectres du résidu en présence de différentes fautes qui sont représentés sur les Figures 3.17 (c) et (d) montrent une très bonne couverture de fautes sur une large bande de fréquence qui couvre la bande passante du filtre.

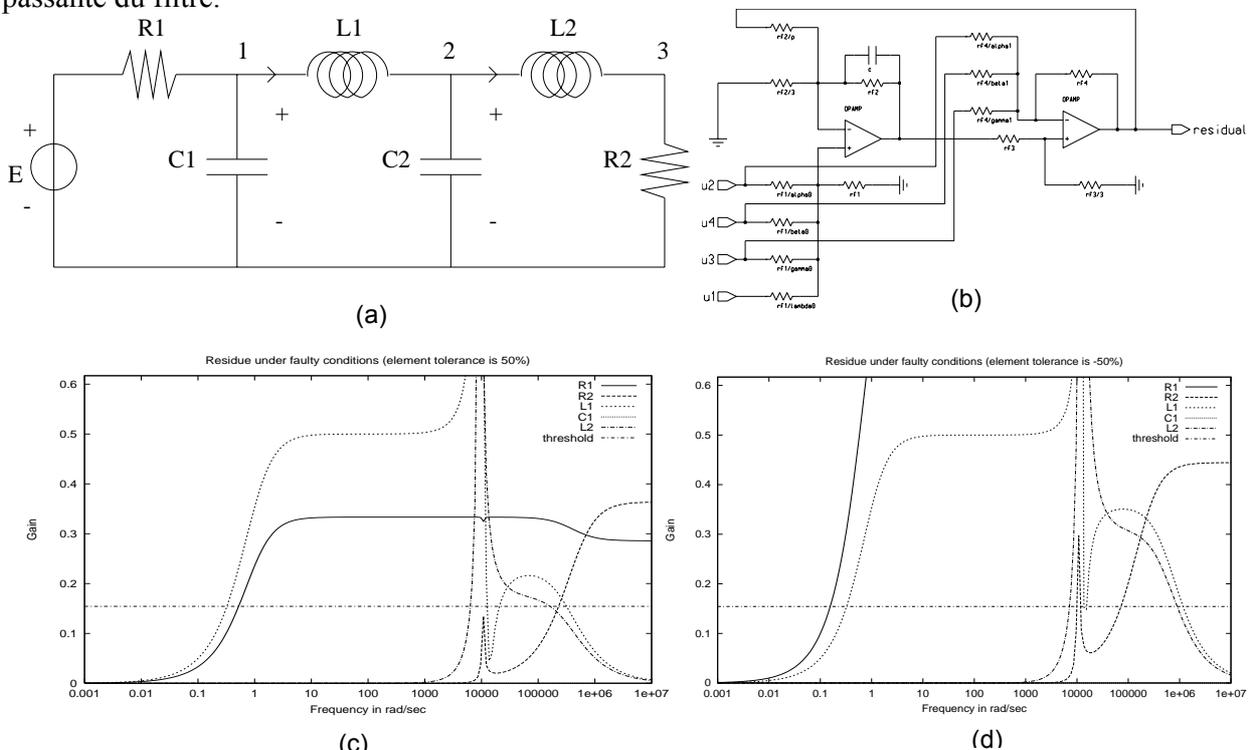


Figure 3.17 Test en ligne concurrent d'un filtre analogique biquadratique d'ordre 4 : (a) schéma du filtre biquadratique, (b) circuiterie de test générant le résidu, (c) et (d) spectre fréquentiel du résidu en présence de fautes

3.6 Conclusion

Les techniques de test en ligne que nous avons développées et implémentées sont présentées dans ce chapitre. Nous proposons un ensemble de méthodes de test en ligne complémentaires, non exclusives les unes des autres, permettant de couvrir une grande variété d'applications potentielles.

Les techniques de test en ligne non-concurrent sont bien adaptées dans les applications qui utilisent des unités fonctionnelles de performances surdimensionnées par rapport aux besoins stricts de l'application. Les périodes de dormance qui sont importantes dans ce type d'application permettent d'appliquer des sous-séquences de test de tailles significatives sur les unités fonctionnelles au repos. La latence de fautes dépend non seulement de la durée du temps de dormance dans chaque période de fonctionnement mais aussi de la longueur de séquence nécessaire pour garantir la couverture de faute requise.

Dans les applications pour lesquelles le temps de repos des unités fonctionnelles se limite à quelques pasoisifs, les méthodes semi-concurrentes sont plus appropriées. Le partage des ressources entre l'architecture nominale et les opérations de vérification permet de réaliser un test en ligne performant (en terme de latence de fautes) sans recourir systématiquement à des ressources supplémentaires. Un autre avantage important de cette technique vient du fait qu'elle n'est soumise à aucune limitation relative au modèle comportemental du système digital sous test. Elle s'applique indifféremment aussi bien à des systèmes simples tels que les filtres linéaires digitaux qu'à des algorithmes plus complexes implémentant des systèmes sévèrement non linéaires. Cette technique a été appliquée pour le test en ligne des blocs de décimation d'un convertisseur $\Sigma\Delta$ de 16 bits de résolution

Le test concurrent se prête bien aux applications qui exigent une quantification continue de l'état de santé du dispositif sous test. Il est bien adapté aux systèmes qui traitent des données de façon continue. Les composantes de ce type de système ne peuvent pas se soustraire de l'application nominale afin d'être soumises à une séquence de test non-concurrent, ou à une opération de vérification semi-concurrente. Dans l'état d'avancement actuel de nos travaux, une implémentation économiquement viable de cette technique requiert la condition de linéarité du modèle comportemental du système sous test. Il existe dans la littérature quelques algorithmes de détection et d'isolation de fautes qui traitent le cas des systèmes non linéaires, [37, 51], mais la complexité de ces algorithmes induit un coût d'implémentation excessif (généralement supérieur au coût de la duplication), ce qui proscrit leur utilisation dans un contexte de test en ligne de circuits. Pour certains types de systèmes non linéaires (systèmes bilinéaires), nous espérons pouvoir bientôt exhiber des algorithmes de test concurrent suffisamment simples pour être utilisés dans le contexte de test de circuits, avec un coût d'implémentation raisonnable. Contrairement aux méthodes non-concurrentes et semi-concurrentes qui ne concernent que les systèmes digitaux, notre technique de test en ligne concurrent s'applique aussi bien aux systèmes analogiques que digitaux.

Chapitre 4

Perspectives de recherche

Le développement fulgurant des méthodes de conception des circuits intégrés a favorisé l'émergence des systèmes embarqués qui prolifèrent rapidement dans des domaines d'application très variés, allant des composants bon marché aux systèmes de très haute sécurité. Les besoins de miniaturisation et de performance toujours croissants favorisent l'évolution rapide des systèmes intégrés sur puce qui deviennent prépondérants dans la conception des systèmes. De nombreux constructeurs de systèmes embarqués ont aujourd'hui recours à cette approche de conception pour les avantages importants qu'elle comporte. En intégrant toutes les fonctions sur le même morceau de silicium, la surface des composants diminue drastiquement et leurs performances sont accrues grâce aux nouvelles technologies fortement sub-microniques. Toutefois, la cohabitation sur le même support de silicium de composants d'origines variées impose aux fabricants de circuits un changement de stratégie de conception inévitable et engendre de nouveaux défis. Plusieurs difficultés émergent de ce nouveau concept, allant de l'élaboration de nouvelles technologies de gravure jusqu'au test. Par ailleurs, les systèmes embarqués sont de plus en plus impliqués dans des missions critiques. Appliqué seul comme unique moyen de détection de fautes, le test hors ligne classique ne permet pas de garantir les niveaux de fiabilité et de sécurité de ces systèmes qui restent vulnérables aux défauts survenant en cours d'opération. Pour un grand nombre d'applications critiques telles que le transport, l'énergie nucléaire, les applications spatiales et médicales, la sécurité et la sûreté de fonctionnement sont deux facteurs importants qui doivent guider chacune des étapes des processus de conception et de fabrication. L'objectif visé est de s'affranchir de l'influence des défauts, afin de contribuer à l'amélioration de la sécurité et à la sûreté de fonctionnement de ces systèmes. La criticité de leur mission justifie la nécessité de compléter le test hors ligne classique par des modules de surveillance capables d'évaluer l'état d'un système en cours d'exploitation.

Les travaux que nous menons s'orientent suivant deux axes principaux : ils ont pour cadre le test des modules analogiques et mixtes incorporés dans un environnement digital, et la surveillance en ligne des systèmes intégrés. Pour chacun des axes de nos travaux, nous avons eu la double préoccupation de la validation et de l'applicabilité. La validation nous a conduit à réaliser des implantations efficaces de nos solutions dans un environnement logiciel de conception (Cadence). C'est déjà le cas pour le simulateur de faute et le générateur des stimuli analogiques de test ; ça sera bientôt le cas pour nos techniques de test en ligne. Nous avons étudié plusieurs applications de nos résultats à des situations effectives : test pseudoaléatoire intégré de micropoutres (MEMS), test en ligne semi-concurrent de filtres de décimation, test en ligne concurrent d'un filtre elliptique d'ordre 4, et test en ligne concurrent de filtres analogiques.

L'expérience que nous avons acquise nous conduit à envisager des projets spécifiques. Il n'est pas question ici de faire une liste exhaustive de futurs projets mais plutôt d'identifier des pistes d'intérêts. La poursuite de nos activités de recherche devrait suivre deux directions : continuation des travaux déjà engagés et travaux sur de nouvelles problématiques.

4.1 Poursuite des travaux engagés

4.1.1 Test à bas coût des systèmes analogiques mixtes

Avec l'accroissement des performances et de la complexité des circuits intégrés, le test devient la tâche la plus coûteuse dans le processus de production des systèmes intégrés actuels. En effet, d'une part les performances en vitesse des équipements automatiques de test (ATEs) n'évoluent pas aussi rapidement que celles des circuits. D'autre part, la complexité des circuits actuels nécessite l'application d'un très

grand nombre de données de test ; ceci requiert de grandes capacités en mémoire dans ces ATEs. Les techniques d'autotest (BIST⁶¹) capables d'effectuer tout ou partie du test directement sur la puce, aussi bien pour les composantes digitales que pour les composantes analogiques et mixtes, apparaissent comme la meilleure solution permettant de freiner la montée vertigineuse des coûts de test.

Nous continuerons à étudier les techniques de test sur puce et leurs applications aux circuits analogiques et mixtes, en tenant compte de leur environnement numérique. La richesse et la puissance de traitement de l'environnement digital disponible nous orientent vers des architectures de test pour lesquelles la génération des stimuli analogiques et l'analyse des réponses analogiques de test se traitent numériquement sur la puce. Dans le cadre de la coopération avec ST Microelectronics et du projet européen MEDEA+ NanoTest 2A-702, une architecture de test intégré est en cours de développement dans l'équipe RMS⁶² pour un convertisseur $\Sigma\Delta$ nécessitant une résolution de 16 bits pour stimuler le modulateur. Contrairement aux travaux existants dans ce domaine, l'objectif visé dans notre équipe est de développer une architecture de BIST globale, couvrant aussi bien le test de la partie mixte que celui de la partie de décimation numérique. La charge de la testabilité de cette dernière partie nous revient et sera réalisée au moyen d'un test en ligne concurrent ou semi-concurrent.

La technologie des microsystèmes évolue rapidement et l'électronique de contrôle prend une place de plus en plus importante dans les nouvelles générations de ces composants. Pour ce type de dispositif, l'intérêt des techniques de test sur puce de microsystèmes est une évidence. Nous continuerons à développer des architectures complètes de test sur puce de microsystèmes qui utilisent l'électronique de contrôle intégrée aussi bien pour générer les stimuli électriques de test que pour analyser les réponses. Cela nécessite une bonne maîtrise des phénomènes de transduction électromécaniques, électrothermiques, électromagnétiques, ainsi que d'autres possibilités de couplage telles que le couplage thermomécanique, piézoélectrique, ...

Nous poursuivons l'étude des techniques basées sur les méthodes récursives d'identification sur puce dans le cas des systèmes non linéaires. Afin de garantir la condition d'excitation persistante requise pour l'application de ces méthodes, nous utilisons un générateur pseudoaléatoire de stimuli multi-niveaux dont la distribution statistique des différents niveaux est programmable. Cependant, dans le cas des capteurs MEMS (qui sont approximativement linéaires), nous ne pensons pas que cette nouvelle technique apportera un avantage déterminant par rapport à l'architecture de test pseudo aléatoire simple que nous avons développée. Par contre, elle sera très intéressante dans une architecture de test sur puce de micro-actionneurs ou d'autres dispositifs non linéaires. Dans le cadre de la coopération avec Philips (Caen) et du projet européen MEDEA+ 2A-702, l'équipe RMS conduit une étude⁶³ portant sur le test sur puce de MEMS embarqués dans des applications RF. Nous pensons qu'il sera difficile d'aboutir à un test fonctionnel de composants MEMS RF. Les investigations s'orientent vers une solution alternative de test indirecte qui consiste à estimer certains paramètres invariants liés à la structure du système afin d'en déduire des informations sur la fonctionnalité des dispositifs et sur leurs modes de défaillance. Le modèle à estimer fera forcément intervenir plusieurs couplages non linéaires. Nous pensons que les techniques récursives d'identification sur puce de systèmes non linéaires que nous avons développées seront d'une grande utilité dans ce projet.

4.1.2 Test en linge

Le développement de techniques de surveillance en ligne intégrée restera un axe important de nos investigations. Pour les techniques de test non-concurrent, nous pensons qu'il sera difficile de trouver des améliorations qui, sans perturber la structure nominale du système apportent un avantage significatif par rapport à l'architecture actuelle. Par contre, des améliorations de notre architecture de test semi-concurrent sont actuellement en étude :

⁶¹ *Built-In-Self-Test*

⁶² Thèse de Luis Rolindez encadrée par Salvador Mir

⁶³ Thèse de Hoang-Nan Nguyen co-encadré par Salvador Mir et Libor Rufer

• **Automatisation de la construction de DFG dual** : Sur les outils de synthèse automatique des systèmes intégrés que nous avons utilisés (Leonardo Spectrum et Synopsys Compiler), les algorithmes d'optimisation n'interviennent que lors de la synthèse de bas niveau qui regroupe les étapes permettant de passer d'une description RTL au niveau layout. Aucune optimisation n'a lieu dans l'étape de compilation qui transforme la description comportementale du système en un DFG. Ainsi, la compilation de deux algorithmes différents aboutit généralement à deux DFGs différents même si les deux algorithmes décrivent exactement le même modèle comportemental. Nous exploitons cette faiblesse des outils de synthèse existants afin de générer les DFGs duaux à partir d'une description comportementale donnée. Le problème de la construction automatique d'un DFG dual est ainsi réduit à celui de la génération d'une version transformée de la description comportementale initiale. Le DFG dual est choisi parmi les solutions issues de la compilation de descriptions comportementales transformées et présentant une alternance maximale des opérations avec le DFG nominal. L'algorithme de transformation utilise une table de transformation organisée sous la forme d'une base de structures équivalentes qui doivent être reconnues dans la description comportementale du système. Les éléments de cette base dynamique sont construits à partir de simples propriétés classiques des opérations arithmétiques et logiques telles que l'associativité, la distributivité, la symétrie, ..., etc. La Figure 4.1 présente la spécification de l'architecture de l'outil de génération automatique de DFG dual, qui est suivi des étapes l'ordonnancement et de l'allocation des ressources, pour constituer un environnement complet de synthèse de systèmes testables en ligne. La validation (par simulation) de cette spécification fait l'objet du stage de DEA de Boualem Hamichi.

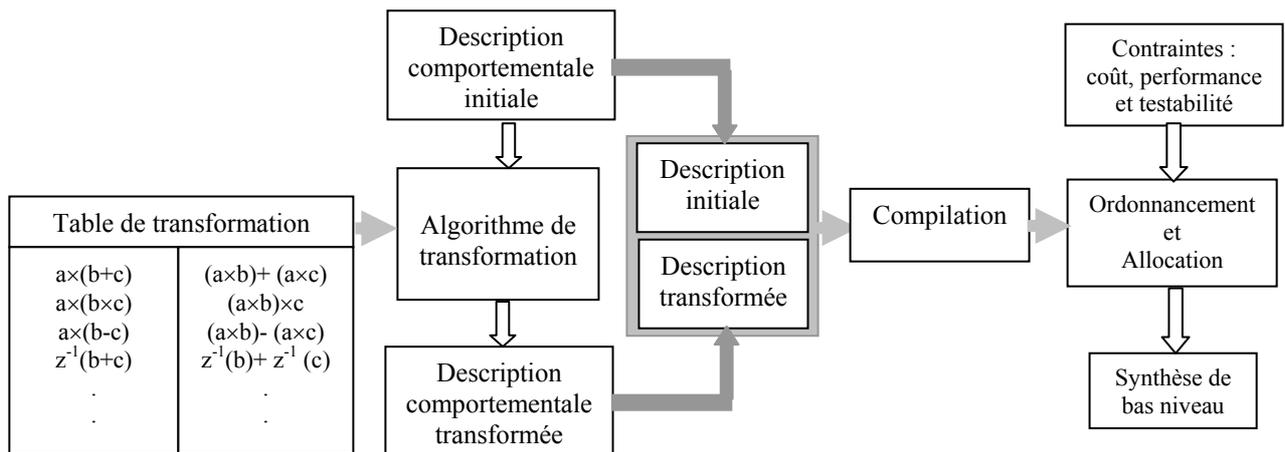


Figure 4.1 Spécification de l'architecture de génération de DFG dual

La deuxième amélioration en exploration vise l'introduction et l'optimisation du processus de génération du DFG dual. Le critère de qualité à optimiser tient compte de deux facteurs importants :

- coût du test évalué en terme de ressources supplémentaires nécessaires pour implémenter le test en ligne,
- la qualité du test en ligne évaluée en terme de latence de fautes.

• **Test en ligne du graphe de flot de contrôle** : Le test du graphe de flot de contrôle constitue un autre champ d'investigations que nous avons ouvert. En effet, comme nous l'avons vu au paragraphe 3.1.1, dans le processus de synthèse, la tâche de compilation scinde une description comportementale en un graphe de flot de données (DFG) et un graphe de flot de contrôle (CFG). Seul le DFG est testé par la version actuelle de la technique de test semi-concurrent en ligne que nous avons développée. Nous visons son extension au test de la partie contrôle ; nous pensons que les travaux sur la surveillance des systèmes à évènements discrets et sur le test des machines à états finis nous seront d'une grande utilité.

4.2 Nouveaux axes de recherche

Nous souhaitons compléter nos outils afin qu'ils puissent couvrir un large éventail d'applications possibles. Pour cela, nous avons identifié deux thèmes sur lesquels nous commençons à travailler : le premier porte sur le test en ligne semi-concurrent de modules analogiques linéaires ou non linéaires, compatibles avec un environnement digital et le deuxième thème concerne la l'identification du défaut détecté.

4.2.1 Test en ligne semi-concurrent de modules analogiques linéaires et non linéaires

Comme nous l'avons montré dans le chapitre précédent, le test en ligne concurrent de modules analogiques par la méthode de parité donne des résultats satisfaisants. Cependant, son utilisation est strictement limitée au cas particulier des systèmes linéaires. Notre souhait est de développer une méthode générique utilisable aussi bien pour le test en ligne des circuits analogiques linéaires que pour la surveillance de modules non linéaires tels que peuvent l'être certaines composantes MEMS ou RF.

La première approche que nous explorons consiste à mettre à contribution l'intelligence embarquée pour implémenter un test semi-concurrent de modules analogiques linéaires ou non linéaires : les données d'entrée et de sortie issues de modules analogiques seront stockées après conversion analogique numérique dans une zone mémoire tampon accessible par les processeurs embarqués. Dès qu'il n'est pas sollicité par les opérations nominales, chaque processeur peut lire les données de la zone tampon afin de mettre à jour l'estimation des paramètres du modèle des modules analogiques et mixtes. Cette mise à jour sera faite par l'exécution d'un algorithme d'estimation récursive telle que le RLSM qui est initialisé aux valeurs précédentes des paramètres estimés. Afin que la condition d'excitation persistante requise pour l'algorithme récursif soit remplie, seules seront stockées dans la zone tampon, les séquences correspondant aux entrées suffisamment riches pour garantir une excitation suffisante des modes internes des modules sous test. Un des problèmes importants à résoudre est de trouver un moyen simple permettant de classifier les séquences d'entrée fonctionnelles observées en fonction de leur capacité à exciter les modes internes des modules analogiques sous test.

4.2.2 Localisation et identification des défauts

Un module de surveillance complet doit permettre de caractériser le mode de fonctionnement du système surveillé, en reconnaissant et en indiquant les anomalies de fonctionnement. Dans les axes actuels de nos travaux, nous avons essentiellement eu une double préoccupation : la détection de défauts en exploitation et la détection de défauts hors exploitation. Le problème que nous avons commencé à aborder concerne la localisation et l'identification des défauts. Lorsque l'occurrence d'une défaillance doit déclencher des actions de reconfiguration du système ou des objectifs à atteindre, il est nécessaire que la détection soit complétée par une procédure de localisation et d'identification qui permet de préciser les raisons du dysfonctionnement détecté. La localisation consiste à déterminer l'élément défectueux alors que l'identification consiste à préciser l'allure de la défaillance en vue de déterminer le type de maintenance ou de correction à réaliser. A la différence d'un système de détection pour lequel un seul résidu peut être suffisant, les procédures de localisation et d'identification requièrent un ensemble de résidus (vecteur de résidus). De nombreux travaux existent sur la localisation défauts de systèmes automatisés. Les résultats importants qui sont disponibles dans le cas des systèmes dynamiques linéaires nous seront d'une grande utilité. Cependant, le nombre excessif de fautes à prendre en compte dans le contexte de diagnostic de circuits intégrés proscrit toute recherche d'un vecteur de résidus dont les propriétés permettent de caractériser de manière unique chaque faute. Dans le contexte des circuits VLSI⁶⁴ une telle démarche induirait rapidement une dimension prohibitive du vecteur des résidus. Contrairement aux travaux existants qui sont basées sur la localisation individuelle de chaque faute, nous nous orientons vers une répartition des fautes en classes ; chaque classe étant caractérisée par un ensemble de propriétés du vecteur résidus qui permettent de la localiser.

⁶⁴ *Very Large Scale Integration*

4.2.3 Test Alternatif

Avec l'émergence récente des architectures de systèmes sur une puce (SoC) et de systèmes en un boîtier (SiP⁶⁵), le test des spécifications du système focalise désormais une attention de recherche croissante, et prend progressivement le pas sur l'approche classique de test de modules ou de composants. Le test des blocs analogiques, mixtes et RF qui sont intégrés dans les SoCs ou les SiPs constitue un défi important des ingénieurs de test. En même temps que se posent de sérieux problèmes d'accessibilités pour l'application des stimuli de test et l'acquisition des réponses pour les SoCs et les SiPs, le test des spécifications du système nécessite le développement de nouvelles stratégies applicables dans un contexte de production réel. Le coût du test de ces puces est relativement maîtrisé pour le cas des blocs numériques : des testeurs numériques à bas coût peuvent être utilisés, en combinaison avec des interfaces de test standardisées et des techniques de BIST. Par contre, les progrès sont encore bien timides dans le domaine des circuits mixtes. Ainsi, l'incorporation de blocs mixtes et RF dans un SoC engendre un surcoût de test très important, notamment par nécessité d'utiliser de testeurs mixtes et des techniques de test analogique qui sont souvent plus proches des méthodes de caractérisation de circuit que d'un test de production. Plusieurs techniques de BIST mixte ont été récemment proposées, mais il n'y a pas encore de solutions assez robuste et avec des coûts de développement et d'application suffisamment raisonnables pour être adoptées par les industriels. Nos investigations dans ce domaine s'orientent vers la recherche de solutions basées sur les techniques alternatives de test.

Comme l'indique la Figure 4.2 les variations induites par les fautes sur les paramètres internes du circuit affectent aussi bien l'espace des spécifications que celui des mesures. L'objectif du test alternatif est d'accélérer toute la procédure de test, en remplaçant le test de spécifications classique par la génération des mesures à l'aide d'une séquence d'entrée qui optimise la corrélation (non linéaire) entre ces mesures et les spécifications.

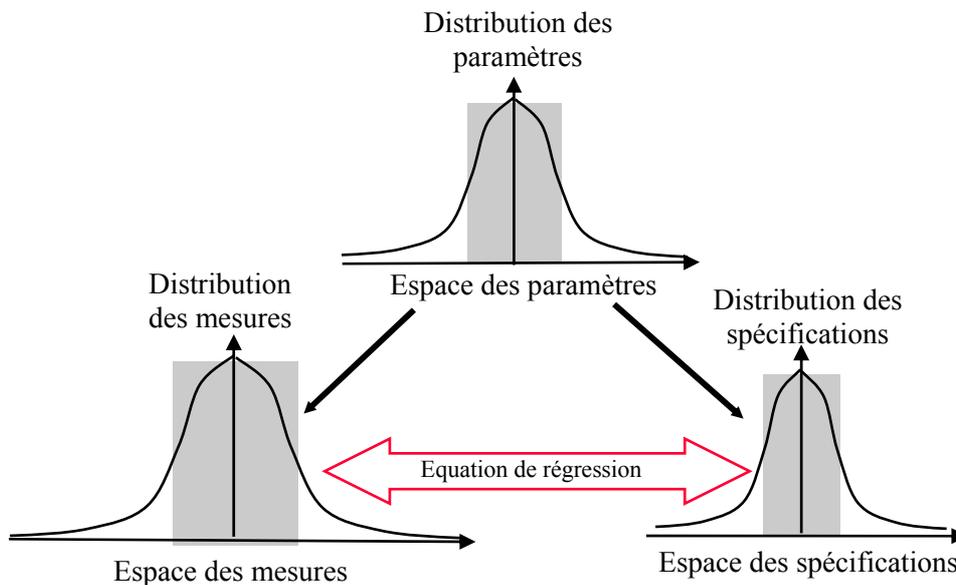


Figure 4.2 Principe de base du test alternatif

Le test alternatif utilise des stimuli de test astucieux afin de prédire les spécifications des circuits sous test à partir de ses réponses à l'aide des équations de régression non linéaire. La génération des fonctions de régression non linéaires nécessaires utilise une population de circuits. Faute de disposer d'un échantillonnage représentatif des circuits réellement produits, notre étude portera sur une population de circuits générée par simulation Monte Carlo des variations paramétriques dans le modèle du circuit sous test.

⁶⁵ System in a Package

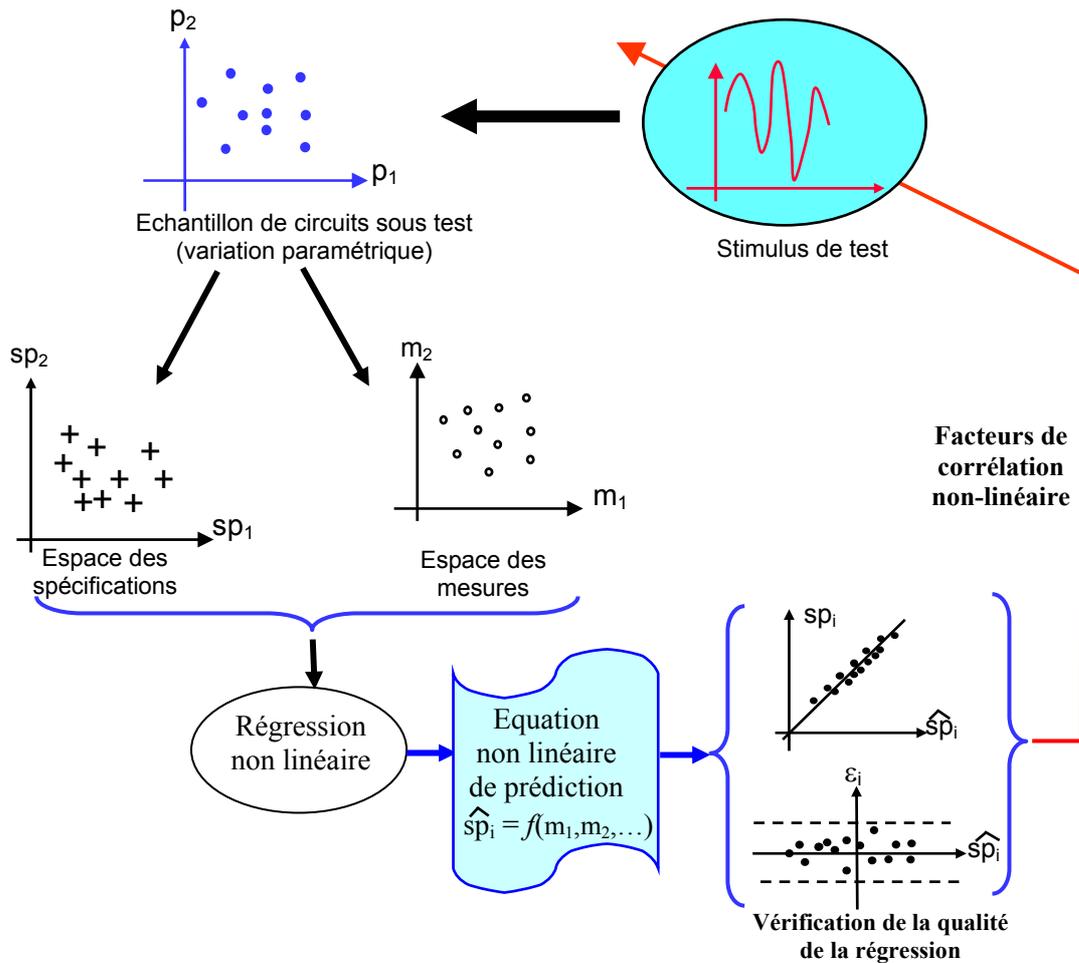


Figure 4.3 Synoptique général de génération de test alternatif

L'application des techniques de régression statistique non linéaires permet d'établir une relation analytique directe entre l'espace des spécifications et l'espace des mesures (Figure 4.3).

Ainsi, le test de production se réduit finalement à utilisation du modèle de régression ainsi construit pour déduire les spécifications du circuit sous test à partir d'un relevé de mesures appropriées (Figure 4.4).

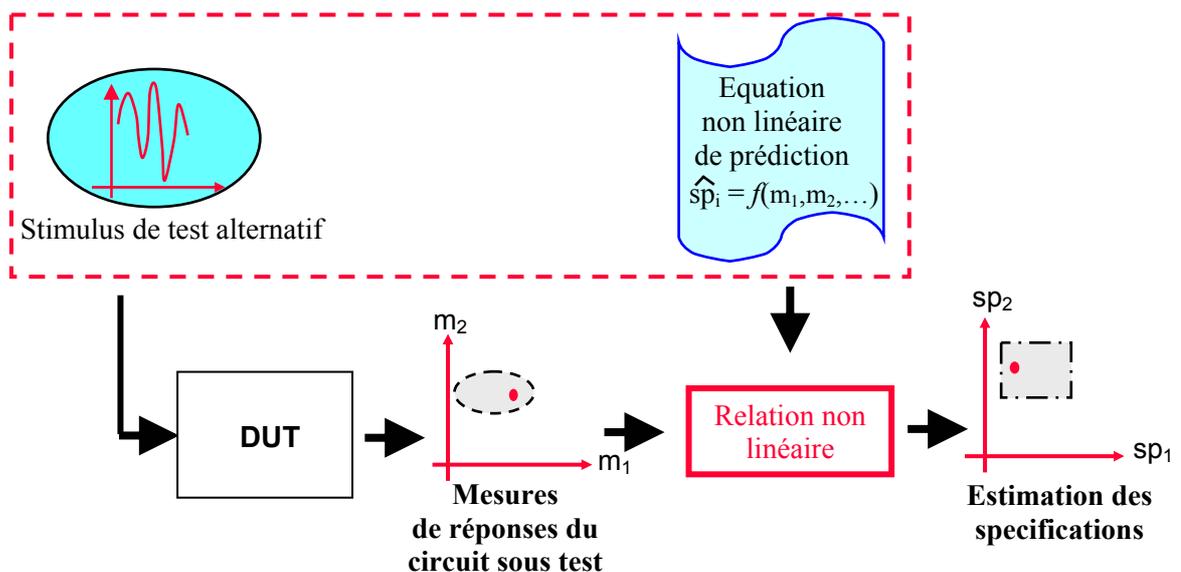


Figure 4.4 Application du test alternatif

Plusieurs problèmes sont à résoudre : le premier concerne le choix judicieux des spécifications et des mesures qui garantissent une robustesse suffisante de l'équation de régression. Le second problème sera celui de l'optimisation de la séquence d'entrée de test afin de maximiser la corrélation (non linéaire) entre les mesures effectuées sur le circuit sous test et les spécifications estimées. Le troisième problème est lié à la pertinence du choix de l'algorithme de régression non linéaire.

Bibliographie générale

- [1] A. Abdelhay, “*Test en ligne des Systèmes Digitaux Linéaires*“, Thèse de Doctorat de l’Institut Nationale Polytechnique de Grenoble spécialité EEATS - Microélectronique 2001.
- [2] A. Abdelhay, E. Simeu, “*Analytical Redundancy Based Approach for Concurrent Fault Detection in Linear Digital Systems*”, IEEE 6th IOLTW, Palma de Mallorca, Spain, July 2000.
- [3] M. Abramovici, M. A. Breuer, A. D. Freidman, “*Digital Systems Testing and Testable Design*”, Computer science press, 1990.
- [4] J. A. Abraham, K. Fuchs “*Fault and Error Models for VLSI*” Proceedings of the IEEE, VOL. 74, N° .5, JuneMay 1986.
- [5] J. A. Abraham, H. C. Shih, “*Testing of MOS VLSI Circuits*”, Proceeding of international symposium on circuit and systems, pp. 1297-1300, 1985.
- [6] H. Al-Asaad, B. T. Murray and J. P. Hayes “*Online BIST for Embedded Systems*”, IEEE design & Test of Computers vol. 15, n°4, October–December 1998
- [7] V. D. Agrawal and K.-T. Cheng. “*Finite state machine synthesis with embedded test function.*” Journal of electronic testing: theory and applications, n°1, 221-228, 1990.
- [8] H. Akaike. “*Statistical Predictor Identification*”, Ann. Inst. Math. Statist., n° 22, pp 203-217, 1970.
- [9] A. Antola, F. Ferrandi, V. Piuri, and M. Sami. “*Semiconcurrent Error Detection in Data Paths*”. IEEE Transactions on Computers, vol. 50 n° 5, 449-465, may 2001.
- [10] M. Bellanger. Traitement numérique du signal. Théorie et pratique. MASSON, Paris, France, 1987.
- [11] M. Blanke, M. Kinnaert, J. Lunze, M. Staroswiesiecki, “*Diagnosis and Fault-Tolerant Control*”, Springer-Verlag Berlin Heidelberg 2003.
- [12] S. S. Bhattacharya, P. K. Murthy, and E. A. Lee. “*Synthesis of Embedded Software from Synchronous Dataflow Specifications*“, Journal of VLSI Signal Processing, N° 21 pp151-166, 1999.
- [13] A. Bounseur, S. Mir and E. Simeu “*Optimisation of Digitally Coded Test Vectors for Mixed-Signal Components*” 14th Conference on Design of Circuits and Integrated Systems, Bordeaux, France, November 24-26, 2004.
- [14] T. Calin, L. Anghel and M. Nicolaidis “*Built-in Current Sensor for IDDQ Testing in Deep Submicron CMOS*” VLSI Test Symposium, Dana Point, California, 26-28 April 1999.
- [15] A. Chatterjee, “*Concurrent Error Detection and Fault Tolerance in Linear Analog Integrated Circuits Using Continuous Checksums*”, IEEE Transactions on VLSI Systems, vol. 1, n°2 pp. 138-150 , 1993.
- [16] A. Chatterjee, M. A. d’Abreu “*The Design of Fault-Tolerant Linear Digital State Variable System : Theory and Techniques*”, IEEE Trans. On computers, Vol. 42, N° . 7, pp. 794-808, JULY 1993.

- [17] S. Chakrabarti, A. Chatterjee “*On-Line Fault Detection in DSP Circuits Using Extrapolated Checksums with Minimal Test Points*”, IEEE International Test Conference, p. 36.1, pp. 955-963, 1999.
- [18] A. Chatterjee and R. K. Roy, “*Concurrent error detection in nonlinear digital circuits using time-freeze linearization*”, *IEEE Trans. Comput.*, vol. 46, pp. 1208–1218, Nov. 1997
- [19] B. Charlot, S. Mir and B. Courtois, “*Generation of Electrically Induced Stimuli for MEMS Self-test* “ JETTA : Journal of Electronic Testing - Theory and Applications, Vol.17, N° . 6, December, 2001.
- [20] S. Chen, S. Billings, and P. Grant , “*Non-linear system identification using neural networks*”, *Inc. J. Control*, vol. 51, pp 1191-1214, 1990.
- [21] S. Chen, S. Billings and W. Luo, “*Orthogonal least squares methods and their application to non-linear system identification*”, *Inr. J. Control*, vol. 50, 1873-1896, 1989.
- [22] S. Chen, C. Cowan and P. Grant, “*Orthogonal least squares learning algorithm for radial basis function networks*”, *IEEE Trans. Neural Networks*, NN-2,302-309, 1991.
- [23] J. Chen and R. J. Patton, *Robust Model-Based Fault Diagnosis for Dynamic Systems*. Norwell, MA: Kluwer, 1999.
- [24] J. Chen, R. J. Patton, and H. Y. Zhang, “*Design of Unknown Input Observers and Robust Fault Detection Filters*”, *Int. J. Control*, vol. 63, n° . 1, pp. 85–105, 1996.
- [25] Y.H. Choi, D.S. Fussel, and M. Malek, “*Token-Triggered Systolic Diagnosis of Wafer Scale Arrays*”, *Proc. Int'l Workshop Wafer Scale Integration*, July 1985
- [26] V. Cocquempot, J.-Ph. Cassar, and M. Satroswiecki, “*Generation of Robust Analytic Redundancy Relations*”, *Proc. Euro. Control Conf.*, vol. 1, Grenoble, France, 1991, pp. 309–314.
- [27] C. Commault, “*On the Disturbed Fault Detection and Isolation Problem*”, *Syst. Control Lett.*, vol. 38, pp. 73–78, 1999.
- [28] C. Commault, J. M. Dion, and A. Perez, “*Disturbance Rejection for Structured Systems*,” *IEEE Trans. Automat. Contr.*, vol. 36, pp. 884–887, July 1991.
- [29] C. Commault, J.-M. Dion, O. Sename, and R. Motyeian “*Observer-Based Fault Detection and Isolation for Structured Systems*” *IEEE Transactions on Automatic Control*, vol. 47, n° 12, December 2002.
- [30] B. Courtois, S. Mir and M. Lubaszewski, “*An Analog-Based Approach for MEMS Testing*” 2nd IEEE Latin-American Test Workshop (LATW'01), Cancun, Mexico, February 11-14, 2001.
- [31] B. Courtois, S. Mir, B. Charlot and M. Lubaszewski, “*From Microelectronics to MEMS Testing*” IEEE Microelectronics Reliability and Qualification Workshop, Glendale, California, USA, 1 November 2000.
- [32] B. Courtois, M. Nicolaidis “*Self-Checking Circuits: From Theory to Practice*” *Materials Science and Engineering B-Solid State Materials For Advanced Technology*, 83-88, 1991
- [33] B. Courtois, M. Nicolaidis “*Self-Checking Logic Arrays*” *Microprocessors and Microsystems*, vol. 13, n° 4, 1989.
- [34] B. Darkhovski and M. Staroswiecki, “*A Game-Theoretic Approach to Decision in FDP*”, *IEEE Transactions on Automatic Control* Vol. 48 N° 5, May 2003.
- [35] R. David, “*Signature Analysis for Multiple Output Circuits*”, *IEEE Transactions on Computers*, vol. C-35, N° . 9, pp. 830-837, September 1986.
- [36] R. David, “*Random Testing of Digital Circuits*”, Marcel Dekker Inc., ISBN 0-8247-0182-8, 1998.

- [37] C. De Persis and A. Isidori, “*A Geometric Approach to Nonlinear Fault Detection and Isolation*”, IEEE Transactions on Automatic Control, vol. 46, n° 6, June 2001.
- [38] R.A. Evans, J.V. McCanny, and K.W. Wood, “*Wafer Scale Integration Based on Self-Organization*”, Proc. Int'l Workshop Wafer Scale Integration, July 1985
- [39] P. M. Frank, “*Fault Diagnosis in Dynamic Systems using Analytical and knowledge-based Redundancy- A Survey and Some New Results*”, Automatica, vol. 26, n° 3, pp. 459-474, 1990.
- [40] P. M. Frank, (1996) “Analytical and qualitative model-based fault diagnosis—A survey and some new results,” *Eur. J. Control*, vol. 2, pp. 6–28, 1996.
- [41] P. M. Frank, and X. Ding “*Survey of robust residual generation and evaluation methods in observer-based fault detection systems*” *J. Proc. Cont.* Vol. 7, n° 6, pp. 403-424, 1997
- [42] M.L. Flottes, C. Landrault and A. Petitqueux, “*Pseudo-random BIST of sequential circuits: Non-scan DFT technique for full testability*”, DCIS'00: 15th International Conference on Design of Circuits and Integrated Systems , pp. 346-351, 2000.
- [43] Gertler, J. J. (1988) “Survey of model-based failure detection and isolation in complex plants”, *IEEE Contr. Syst. Mag.*, vol. 3, pp. 3–11, 1988.
- [44] J. Gertler, “*Fault Detection and Diagnosis in Engineering Systems*”, New York: Marcel Dekker, 1998.
- [45] P. Girard, A. Vurazel, C. Landrault, V. Moreda and S. Pravossoudovitch, ”*A Scan-BIST Structure to Fast Delay Faults in Sequential Circuits*”, Journal of Electronic Testing: Theory and Application (JETTA) , Vol. 14, 1/2, pp. 95-102, 1999.
- [46] D. Gizopoulos, A. Paschalis, Y. Zorian, “*An Effective BIST Scheme for Booth Multipliers*”, Proceeding of IEEE international test conference, pp. 824-833, 1995.
- [47] D. Gizopoulos, A. Paschalis, Y. Zorian, “*An Effective BIST Scheme for Datapaths*”, Proceeding of IEEE international test conference, pp. 76-85, 1996.
- [48] M. Goessel, E. S. Sogomonyan, “*A Parity-Preserving Multi-Input Signature Analyzer and Its Application for Concurrent Checking and BIST*”, Journal of Electronic Testing, Theory and Applications pp. 165-177, August 1996.
- [49] C. Guernez, , J. Ph. Cassar, and M. Staroswiecki, “*Extension of the parity space to non-linear polynomial dynamic systems*”, Proceedings of the IFAC Safeprocess 1997, Hull.
- [50] R. W. Hamming, “*Error detecting and error correcting codes*”, The Bell System Technical Journal, vol.26 n°2, pp. 147-160, 1950.
- [51] H Hammouri, M., Kinnaert, and E.H. El Yaagoubi, “*Observer based approach to fault detection and isolation for nonlinear systems*”, IEEE Transactions on Automatic Control, vol.44, n°10, 1999.
- [52] K. H. Huang, J. A. Abraham, “*Algorithm-Based Fault Tolerance for Matrix Operations*”, IEEE Transaction on Computers, VOL. c-33, n° 6, pp. 518-528, June 1984.
- [53] A. A. Ismaeel, R. Bhatnagar, and R. Mathew. “*Modification of Scheduled Data Flow Graph for On-Line Testability*”, Microelectronics Reliability, (39):1473-1484, 1999.
- [54] B. Iyer and R. Karri, “*Introspection: A Low Overhead Binding Technique during Self-Diagnosing Microarchitecture Synthesis*”, Proc. Design Automation Conf. '96, pp. 137-142, June 1996.
- [55] J. Y. Jou, J. A. Abraham, “*Fault-tolerant Matrix Arithmetic and Signal Processing on Highly Concurrent Computing Structures*”, Proceedings of the IEEE, VOL. 74, n° 5, pp. 732-741, May 1986.
- [56] J. Y. Jou, J. A. Abraham, “*Fault-Tolerant FFT Networks* “ IEEE Transactions on Computers, VOL. 37, n° 5, pp. 732-741, May 1988.

- [57] A. Juditskys, H. Hjalmarsson, A. Benveniste, B. Deyon, L. Ljung, J. Sjöberg and Q. Zhang, “*Nonlinear Black-box Models in System Identification: Mathematical Foundations*” *Automatica*, vol. 31, n° 12, pp. 1725-1750, 1995.
- [58] D. W. Kenneth and S. Dea. “*High-Level Synthesis for Testability: A Survey and Perspective*”, 33rd Design Automation Conference, pp. 131-136, June 1996.
- [59] S. Koeppe, “*Modeling and Simulation of Delay Faults in CMOS Logic Circuits*”, Proceeding of international test conference, pp. 530-536, 1986.
- [60] D. C. Ku and G. De Micheli, “*Relative Scheduling Under Timing Constraints: Algorithms for High-Level Synthesis of Digital Circuits*”. *IEEE Transaction on computer-aided design*, vol. 11 n° 6 pp. 696-717, June 1992.
- [61] C. Landrault, “*Functional Memory Testing*” EWDTW: East-West Design & Test International Workshop, 2004.
- [62] X. C. Lou, A. S. Willsky, G. C. Verghese, “*Optimally Robust Redundancy Relations for Failure detection in Uncertain Systems*”? *Automatica*, Vol. 22, n° 3, pp. 333-344, 1986.
- [63] M. C. McFarland, A. C. Parker, and R. Camposano. “*The high-level synthesis of digital systems*”, *Proc. IEEE*, vol. 78 n°2, pp.301-318, February 1990.
- [64] M. A. Naal. “*Synthèse de Haut Niveau pour la Testabilité En ligne*”, Thèse de Doctorat de l’Institut Nationale Polytechnique de Grenoble spécialité EEATS - Microélectronique 2002.
- [65] M. A. Naal and E. Simeu, “*On-Line Testability Optimization in High Level Synthesis*”, *Proceedings of the 6th IEEE IOLTW00*, pages 201-206, 2000.
- [66] M.A Naal, E. Simeu and S. Mir, “*On-Line Testable Decimation Filter Design for AMS Systems*” 9th IEEE International On-line Testing Symposium, Kos Island, Greece, July 7-9, 2003.
- [67] V. S. S. Nair, J. A. Abraham, “*Real-Number Codes for Fault-Tolerant Matrix Operations On Processor Arrays*”, *IEEE Transaction on Computers*, Vol. 39, n° 4, pp. 426-435, April 1990.
- [68] M. Nicolaidis, “*Theory of Transparent BIST for RAMs*,” *IEEE Trans. Computers*, Vol. 45, n° 10, Oct. 1996, pp. 1141-1156., 1996.
- [69] M. Nicolaidis, “*On-Line Testing for VLSI: State of the Art and Trends Integration*”, *The VLSI Journal*, vol. 26, n° 1-2, 197-209, 1998.
- [70] M. Nicolaidis, “*Fail-safe Interfaces for VLSI: Theoretical Foundations and Implementation*”, *IEEE Transactions on Computers*, vol.47, n° 1; Jan., 62-77, 1998.
- [71] M. Nicolaidis, N. Achouri and L. Anghel, “*Memory Built In Self Repair for Nanotechnologies*”, 9th IEEE International On Line Testing Symposium, Kos Island, Greece, July 7-9, 2003
- [72] M. Nicolaidis and H. Bederrh, “*Efficient Totally Self-Checking Shifter Design*”, *JETTA : Journal of Electronic Testing - Theory and Applications*, vol. 12, n° 1-2, April, 29-39, 1998.
- [73] I. Nikiforov, M. Staroswiecki, and B. Vozel, “*Duality of Analytical Redundancy and Statistical approach in fault diagnosis*”, in *Proc. 13th IFAC World Congr.*, vol. N, San Francisco, CA, pp. 19-24, 1996.
- [74] A. Orailoglu and I. G. Harris. “*Microarchitectural Synthesis for Rapid BIST Testing*”. *IEEE Transaction on computer-aided design*, 16(6):573-586, June 1997.
- [75] K. Parhi. “*High-Level Algorithm and Architecture Transformations for DSP Synthesis*”, *Journal of VLSI Signal Processing*, 9(1-2):121-143, 1995.
- [76] R. J. Patton, P. M. Frank, and R. N. Clark, Eds., *Fault Diagnosis in Dynamic Systems, Theory and Application*. Englewood Cliffs, NJ: Prentice-Hall, 1989.

- [77] O. Potin, C. Dufaza and C. Landrault, "On-Line Testing of Linear Analog Filter by Digital Counterpart" DCIS'99: 14th International Conference on Design of Circuits and Integrated Systems , pp. 571-576, 1999.
- [78] D. K. Pradhan, S. M. Reddy, "A Design Technique for Synthesis of Fault-Tolerant Adders", Proceeding of the fault-tolerant computing symposium, pp. 20-23, 1972 .
- [79] G. Prenat, S. Mir, D. Vasquez and Rolindez, " Low-Cost Digital Frequency Testing Approach for Mixed-Signal Devices Using Sigma-Delta Modulation", 10th International Mixed-Signal Testing Workshop (IMSTW'04), Portland, USA, June 23-25, 2004.
- [80] M. Rebaudengo, M. Sonza Reorda, M. Violante, "A new approach to software-implemented fault tolerance" JETTA: The Journal of Electronic Testing: Theory and Applications, Kluwer Academic Publishers, N. 20, pp. 433-437, August 2004.
- [81] M. Rebaudengo, M. Sonza Reorda, M. Violante "Accurate Analysis of Single Event Upsets in a Pipelined Microprocessor" Journal of Electronic Testing: Theory and Applications, Vol. 19, n° . 5, pp. 577-584, October 2003.
- [82] M. Rebaudengo, M. Sonza Reorda, M. Violante, B. Nicolescu, R. Velazco , "Coping With SEUs/SETs in Microprocessors by means of Low-Cost Solutions: A Comparative Study" IEEE Transactions on Nuclear Science, Vol. 49, n° . 3, June 2002, pp. 1491-1495
- [83] A. L. N. Reddy, P. Banerjee, "Algorithm-Based Fault Detection for Signal Processing Applications", IEEE Transaction on Computers, Vol. 39, n° . 10, pp. 1304-1308, October 1990.
- [84] L. Rufer, E. Simeu and S. Mir, "Built-in Self-Test of Linear Time Invariant Systems Using Maximum-Length Sequences" IEEE European Test Workshop (ETW'03), Maastricht, The Netherlands, May 25-28 , 2003
- [85] L. Rufer, E. Simeu and S. Mir, "On-chip Testing of Linear Time Invariant Systems Using Maximum Length Sequences" IFAC Workshop on Programmable Devices and Systems, Ostrava, Czech Republic, February 2003.
- [86] SIA (Semiconductor Industry Association), "International Technology Roadmap for Semiconductors (ITRS)", 1999 Edition.
- [87] E. Simeu, "Optimal Detector Design for On-Line Testing" International VLSI Design Journal, Special Issue on On-line Testing, Vol. 11, n° .1, 2000.
- [88] E. Simeu "Residual Checking Method for Concurrent Fault Detection in Linear Analog Systems" 4th IEEE International On-Line Testing Workshop, July 6-7, 1998, Capri, -Italy.
- [89] E. Simeu "NARMAX Modelling for Fault Detection and Identification in Nonlinear Systems: Application to Microsystems Test and Diagnosis", 15th IMACS World Congress on Scientific Computation, Modelling and Applied Mathematics, Berlin/Germany August 24-29, 1997
- [90] E. Simeu, "Test Aléatoire : évaluation de la testabilité des circuits combinatoires", Thèse de Doctorat de l'Institut Nationale Polytechnique de Grenoble spécialité Automatique Productique et Théorie des systèmes 1992.
- [91] E. Simeu, A. Abdelhay, and M. A. Naal, "Robust Concurrent Self Test of Linear Digital Systems" The 10th Anniversary Compendium of Papers from Asian Test Symposium, 2001.
- [92] E. Simeu, A. Abdelhay, and M. A. Naal. "Robust Concurrent Self Test of Linear Digital Systems", ATS'01 the Tenth Asian Test Symposium, Kyoto, Japan, November 2001.
- [93] E. Simeu and A. Abdelhay, "A Robust Fault Detection Scheme for Concurrent Testing of Linear Digital Systems", IEEE 7th IOLTW, Taormina, Italy, July 2001.
- [94] E. Simeu and T. Hervé "Model-Based Fault Detection and Identification in Linear and Nonlinear Systems: Parameter Estimation Methods", IFAC/IFIP/IMACS Conference on Control of

Industrial Systems, May 20-22 Belfort, France 1997.

- [95] E. Simeu A. W. Peters and I. Rayane “*Automatic Design of Optimal Concurrent Fault Detector for Linear Analog Systems*” 29th International Fault-Tolerant Computing Symposium (FTCS) Madison, Wisconsin, USA, June 15-18, 1999.
- [96] E. Simeu, S. Mir and L. Rufer, “*Online Testing Embedded Systems: Adapting Automatic Control Techniques to Microelectronic Testing*”, 16th IFAC World Congress Prague, Czech Republic, from July 4 to July 8, 2005.
- [97] E. Simeu, S. Mir, “*Parameter Identification Based Diagnosis in Linear and Non-linear Mixed-Signal Systems*”, IMTSW’2005 June 27-29, Cannes, Côte d’Azur, France, 2005,
- [98] J. Sjöberg, Q. Zhang, L. Ljung, A. Benveniste, B. Deyon, P.Y Glorennec, H. Hjalmarsson and A. Juditskys, “*Nonlinear Black-box Modeling in System Identification: a Unified Overview*”, Automatica. Vol. 31, n° . 12, pp. 1691-1724. 1995.
- [99] E. Sonntag, “*Nonlinear Regulation : the Piecewise Linear Approach*”. IEEE Trans. Autom. Control, A26, pp. 346-358, 1981.
- [100] M. Sonza Reorda and M. Violante, “*Accurate and Efficient Analysis of Single Event Transients in VLSI Circuits*” IEEE On-Line Testing Symposium, Kos , Greece, 7-9 July 2003.
- [101] M. Sonza Reorda, M. Violante “*Efficient analysis of single event transients*” Journal of Systems Architecture, Elsevier Science, Amsterdam, Netherland, Vol. 50, n° . 5, pp. 239-246, 2004.
- [102] M. Sonza Reorda and M. Violante, “*Fault List Compaction Through Static Timing analysis for Efficient Fault Injection Experiment*” IEEE Symposium on Defect and Fault Tolerance in VLSI Systems, pp 263-271, 2002.
- [103] M. Staroswiecki, J. Ph. Cassar, and V. Cocquempot, “*Generation of optimal structured residuals in the parity space*”, 12th IFAC Word Congr., Sydney, Australia, vol. 5, pp. 535–542, 1993.
- [104] M. Staroswiecki, G. Comtet-Varga, “*Analytical Redundancy Relations for Fault Detection and Isolation in Algebraic Dynamic Systems*”, Automatica Vol. 37, pp. 687-699, 2001.
- [105] A. Vurazel, R. David, P. Girard, C. Landraulta and S. Pravossoudovitch, ”*Delay Fault Testing: Choosing Between Random SIC and Random MIC Test Sequences*”, Journal of Electronic Testing: Theory and Application (JETTA) ,vol. 17, n°3, pp. 233-241, , 2001.
- [106] Q. Zhang, M. Basseville and A. Benveniste”, *Early warning of slight changes in systems and plants with application to condition based maintenance*”, Automatica ,n° 30, pp 95-113.1994.
- [107] Zorian, Y., E.J. Marinissen and S. Dey, “*Testing embedded core-based system chips*”, IEEE Transactions on Computer, vol. 32, n° . 6, June, pp. 52-60, 1999.

Annexe

Dossier d'habilitation

A1. Curriculum Vitae

Emmanuel SIMEU

Né le 25 décembre 1959

Adresse : TIMA-CNRS/INPG/UJF, 46 av. Félix Viallet, 38031 Grenoble CEDEX

Tél : 04 76 57 46 63 - Fax : 04 76 47 38 14

Email : Emmanuel.Simeu@imag.fr

Marié, 3 enfants

Nationalité française

Diplômes et Formation

- **Diplôme d’Habilitation à Diriger des Recherches de l’Université Joseph Fourier de Grenoble**
Spécialité : Physiques
Sujet : Test et Surveillance des Systèmes Embarqués
Soutenue le 22 septembre 2005 à l’UJF (Grenoble)
- **Thèse de Doctorat** de L’Institut National Polytechnique de Grenoble (
Spécialité : Automatique Productique et Théorie des Systèmes
Sujet de thèse : Test Aléatoire : Evaluation de la Testabilité des Circuits Combinatoires
Soutenue le 6 juillet 1992 à l’INPG (Grenoble)
- **DEA de l’Institut National Supérieur Polytechnique de Grenoble (1988)**
Spécialité : Automatique - Traitement du signal,
- **Diplôme d’Ingénieur Electricien** de Ecole Hassania des Sciences de l’Ingénieur de Casablanca au Maroc 1987

Situations successives

- Fonctions actuelles : Maître de Conférences à l’Université Joseph Fourier de Grenoble (depuis septembre 1995)
 - Enseignant à l’Ecole Polytechnique de l’Université de Grenoble
 - Chercheur au Laboratoire TIMA de Grenoble
Groupe “Systèmes Mixtes Fiables” (RMS pour Reliable Mixed signal Systems)
- Maître de conférences à l’Institut Supérieur d’automatique et de Robotique (ISAR) de Valence (devenu ESISAR en 1995 Valence) 1992 -1995.
- Chercheur au Laboratoire d’Automatique de Grenoble
 - Equipe SYLODI 1989 – 1992
 - Equipe Systèmes et Commande 1992-1995
- Chercheur au Centre National d’Etudes des Communications (CNET) de Grenoble (thèse de doctorat 1989-1992)

Résumé

J’ai effectué mes travaux de recherche doctoraux au Centre National d’Etude des Télécommunications de Grenoble (CNET, Centre Norbert Ségard à Meylan) dans le cadre d’un contrat de recherche entre le CNET et LAG (équipe SYLODI : SYtèmes LOGiques et DIScrets). J’ai obtenu le doctorat en Automatique et Théorie des Systèmes de l’Institut National Polytechnique de Grenoble en juin 1992. Ma carrière d’enseignant a commencé en septembre 1992 à l’Institut Supérieur d’Automatique et de Robotique (ISAR devenu ESISAR) de Valence. J’y ai été nommé Maître de Conférences dès Janvier 1993. Depuis Septembre 1995 je suis Maître de Conférences à l’Université Joseph Fourier de Grenoble, affecté à l’Ecole Polytechnique de l’Université de Grenoble où j’ai assuré plusieurs responsabilités au sein du département Prévention de Risques Industriels (PRI). Je participe aussi activement à formation en Master EEATS de l’UFR de physique de l’UJF au titre de coresponsable du module de formation Automatique des Systèmes à Evènements Discrets.

J’effectue mes activités de recherche au laboratoire TIMA. Au sein du groupe RMS, mes recherches concernent le test intégré à bas coût des systèmes analogiques et mixtes et la surveillance intégrée des systèmes embarqués.

A2. Activités pédagogiques

A2.1 Service d'enseignement

En dehors des enseignements des travaux pratiques et des travaux dirigés de microcontrôleur/microprocesseur dont nous partageons la responsabilité avec Jean Pierre PERRIER, nous avons personnellement réalisée la conception et la mise place chacun des enseignements dispensés.

Le tableau suivant récapitule nos activités d'enseignement actuelles

Etablissement	Niveau	Matières enseignées	Nature Volume annuel	Supports pédagogiques Réalisé et révisé chaque année	Période
Polytech' Grenoble UJF	3 ^e année ingénieur département PRIHSE	Automatismes et Informatique Industriels	12 h de CM 10 h de TD 32 h de TP	Polycopié 126 pages Polycopié TD 19 pages Polycopié TP 27 pages	1995-2006
		Outils logiciels de Modélisation et Simulation	10 h de CM 20 h de TD	Polycopié 121 pages Polycopié TD 12 pages	1998-2006
	2 ^e année ingénieur département PRIHSE	Analyse de Données	14 h de CM 20 h de TD	Polycopié cours et TD 97 pages	2000-2006
	1 ^e année ingénieur département PRIHSE	Méthodes Statistiques	12 h de CM 16 h de TD	Polycopié cours et TD 104 pages	2004-2006
	3 ^e année ingénieur département 3I	Automatique : Système de Production	16 H de TP	Polycopié TP 41 pages	2003-2006
	1 ^e année ingénieur département 3I	Microprocesseur/ Microcontrôleur	10 h de TD 28 h de TP	Polycopié TP ~20 pages (avec J. P. Perrier)	2000-2006
<i>UFR de physique EEATS UJF</i>	Master 1 et IUP	Automatique SED : Automatismes Industriels	10 h de CM 16 h de TD 40 h de TP	Polycopié 114 pages Polycopié TD 17 pages Polycopié TP 27 pages	2002-2006 2002-2006 1998-2006
<i>ENS des Mines de Saint Etienne (ISMEA Marseille)</i>	3 ^e année ingénieur	Test et Tolérance aux Fautes	16 h de CM 12 h de TD	Polycopié 133 pages Polycopié TD 19 pages	2001-2006
Total			64 h de CM 104 h de TD 116 h de TP	8 Polycopiés de Cours/TD 4 Polycopiés de TP	

Les fiches programmes des quelques enseignements sont disponibles en annexe 2

Le tableau suivant récapitule quelques uns de nos enseignements antérieurs

Etablissement	Niveau	Matières enseignées	Nature Volume annuel	Supports pédagogiques Réalisé et révisé chaque année	Période
Polytech' Grenoble UJF	3 ^e année ingénieur département PRIHSE	Surveillance et Maintenance	10 h de CM 12 h de TD	Polycopié cours et TD 65 pages	1995-2001
		Mathématiques Appliquées	12 h de CM 16 h de TD	Polycopié 54 pages Polycopié TD 12 pages	1995-2000
	2 ^e année ingénieur département PRIHSE	Sûreté de Fonctionnement : Modélisation	8 h de CM 16 h de TD	Polycopié cours et TD 44 pages	1995-1999
	1 ^e année ingénieur département PRIHSE	Probabilité Statistiques	20 h de CM 20 h de TD	Polycopié cours et TD 115 pages	1995-2004
	3 ^e année ingénieur département 3I	Sûreté de Fonctionnement : production	16 H de TP	Polycopié TP 21 pages	1998-2001
ESISAR (INPG) Valence	3 ^{ème} année	Automatique SED : Modélisation et Commande des Systèmes de Production	12 h de CM 8 h de TD	Polycopié cours et TD 73 pages	1995-1997
ISAR Institut Supérieur d'Automatique et de Robotique de Valence 1992-1995	2 ^{ème} année	Automatique Avancée	14 h de CM 12 h de TD	Polycopié 45 pages	1992-1995
		Théorie et Traitement du Signal			1992-1995
	1 ^{ère} année	Automatique SED : Modélisation et Commande des Systèmes de Production	12 h de CM 16 h de TD 32 h TP	Polycopié cours 73 pages	1992-1995
		Automatique des Systèmes Continus (Asservissement)	12 h de CM 10 h de TD	Polycopié de TP 21 pages	1992-1995
IUT1 GEII de l'UJF Grenoble 1990-1994	1 ^{ère} année (formation continue)	Electricité (Circuits électriques)	8 h de CM 16 h de TD 20 h TP		1990-1994

A2.2 Administration d'enseignement

Responsable de la plateforme AII du département PRI de polytech'Grenoble depuis 1999

Afin d'illustrer les enseignements du département PRI relatifs à la sûreté et à la sécurité des automatismes industriels, nous avons développé et mis en à Polytech' Grenoble une plateforme expérimentale d'Automatisme et Informatique Industriels (AII). Nous assurons désormais la gestion et la maintenance de cette plate forme qui contient :

- 1 translateur rotatif pneumatique,
- 1 Magasin vertical,
- 1 traitement de surface,
- 1 armoire d'automatismes configurables
- 4 Automates programmables TSX37,
- 10 PCs servant de terminaux de programmation

Responsabilités pédagogiques de la plateforme productive de l'ISAR de 1993 - 1995

Nous avons été responsable de la plateforme productive de l'ISAR de 1993 à 1995

Plateforme contenant :

- 1 Chaîne de transfert lié,
- 1 Robot six axes, 1 Station multitâche VME /68030 (sur OS9 PEP 2630),
- 1 réseau local industriel (Factor),
- 4 Automates programmables TSX47-20,
- 3 Automates /OS9 EURO PEP IUC-9000-5
- 8 PCs servant de terminaux de programmation

Autres Responsabilités diverses

- Directeur des études de la 3^{ème} année du département PRI de Polytech'Grenoble (1996-2003)
- Membre du conseil scientifique du département PRI de Polytech'Grenoble (depuis 1998)
- Membre titulaire de la commission paritaire de Polytech'Grenoble depuis 1996
- Membre titulaire du conseil pédagogique de l'ISTG (1997-2000)
- Membre de la commission des spécialistes 61^{ème} et 63^{ème} section de l'UJF (1997-2003)
- Membre externe de la commission des spécialistes 61^{ème} de l'Université de Montpellier I (depuis 2002)
- Responsable Informatique du département PRI de Polytech'Grenoble (depuis 1996)

A2.3 Développement de prototypes expérimentaux pour l'enseignement et la recherche

2003 "*Conception des cartes de TP de microprocesseur/ microcontrôleur pour les universités camerounaises*". Nous avons étudiés ces cartes pour quelles soient bien adaptées aux besoins locaux. Réalisée en une centaine d'exemplaires par une PME locale, ces cartes équipent désormais les salles de sept universités camerounaises où elles sont utilisées pour l'enseignement des travaux pratiques de microprocesseurs et de microcontrôleurs.

2003 "*Conception et réalisation d'un atelier de production fiabilisé comprenant un magasin vertical automatisé, un robot de transfert motorisé et une chaîne de traitement de surface*"

Cet atelier (salle 033 de Polytech' Grenoble est actuellement utilisé pour les travaux pratiques d'Automatique et Informatique Industrielle du département PRI (Prévention des Risques Industriels).

1994 "*Conception et réalisation d'un prototype expérimental de système non linéaire sur la base d'un système de freinage sans contact par courants de Foucault*"

1995 "*Conception et réalisation d'un système de transmission flexible*"

Nous avons aussi développé en langage C de l'environnement logiciel nécessaire pour la commande de ces deux dernières manip qui ont été utilisés dans le laboratoire de l'ISAR (Institut Supérieur d'Automatique et de Robotique de valence pour illustrer les enseignements d'Automatique Avancées et notamment la commande de systèmes non linéaires.

A2.4 Conférences invitées et activités internationales

- Université de Yaoundé au Cameroun, Professeur Invité en Février 2004 : Séminaires de formation sur le Réseaux de communications : fiabilité et sécurité. M. Emmanuel KAMGNIA, Chef du département informatique de l'Université de Yaoundé I, nous a proposé de dispenser un cours de spécialisation pour les informaticiens (à destination d'étudiants DEA, post-DEA et d'industriels). Ce nouveau cours a été monté de façon à mettre en valeur, dans des cas concrets, les techniques utilisées. Dans cette formation, Nous sommes assisté par un enseignant camerounais. Notre objectif est de passer la relève à ce jeune collègue dès qu'il sera près à assumer seul cette responsabilité.
- Ecole Mohammedia des Ingénieurs de Rabat, Ecole d'été sur la télémaintenance; juin 2004 Rabat Maroc, Test et tolérance aux fautes des systèmes intégrés : Nous avons été invité par le comité d'organisation de l'Ecole d'été sur la télémaintenance organisé à l'école Mohammedia des Ingénieurs de Rabat afin de dispenser un séminaire destiné aux doctorants, post-doctorants et d'industriels sur le test et la tolérance aux fautes des systèmes intégrés.
- Université de Douala au Cameroun Professeur Invité en Février 2002 : Séminaires de formation initiale sur l'architecture des ordinateurs et microprogrammation. Nous avons dispensé cette formation aux étudiants d'IUT et de licence de l'université de Douala, à la demande du Professeur Maurice TCHUENTE, alors recteur de l'Université de Douala. Aujourd'hui, c'est un jeune collègue camerounais que nous avons formé et encadré qui dispense cet enseignement.

A2.5 Coopérations internationales

• Franco - Camerounaise

Séminaires de formation des formateurs de Yaoundé au Cameroun, Professeur Invité en Février 2003. Architecture des système à microprocesseurs et microprogrammation : les aspects pédagogiques et industriels

Monsieur le Ministre Camerounais de l'Enseignement Supérieur nous a demandé d'organiser un séminaire de formation des formateurs destiné aux enseignants spécialisés de six universités d'Etat et trois universités privées au Cameroun. Nous avons montée de façon à mettre en valeur les aspects pratiques. Dans ce cadre, nous avons conçu une carte de TP de microprocesseur/ microcontrôleur adaptée aux besoins locaux. Réalisée en une centaine d'exemplaires, cette carte équipe désormais les salles de sept universités camerounaises où elles sont utilisées pour l'enseignement des travaux pratiques de microprocesseurs et de microcontrôleurs.

• Franco-Mexicaine

ITESM Monterrey (depuis 1999)

Dans le cadre de la coopération Franco – Mexicaine, nous participons chaque année à la formation des élèves Ingénieurs de l'ITESM de Monterrey. L'enseignement que nous dispensons est intitulé "GRAFCET : *A Specification Language for sequential Function Chart*". Il concerne la spécification et la programmation des automatismes industriels à l'aide de GRAFCET. Cette intervention se fait dans le cadre d'une école d'été (*Automatic Control for Production Systems Summer School*) organisée chaque année par le Laboratoire Automatique de Grenoble en collaboration avec l'ITESM de Monterrey.

A3. Synthèse des activités de recherche

A3.1 Résumé des travaux de recherche Doctoraux

Thèse de Doctorat de L'Institut National Polytechnique de Grenoble (1992)

Option : Automatique Productique et Théorie des Systèmes

Sujet de thèse : Test Aléatoire : évaluation de la testabilité des circuits combinatoires

Soutenue le 6 juillet 1992 à INPG Grenoble

Composition du jury :

Jean Michel DION : Président

Pascale THEVENOD : Rapporteur

Gaston CAMBON : Rapporteur

René DAVID : Directeur de thèse

Roland GERBER : Examineur

Jean-Luc RAINARD : Examineur

Bref résumé de notre contribution et des résultats obtenus

D'un point de vue générique, la testabilité d'un circuit est un concept abstrait lié à une variété de coûts associés au test. C'est une caractéristique de conception qui influence l'ensemble des facteurs liés à la faciliter (ou à la difficulté) du test. L'accroissement de la testabilité d'un circuit implique la réduction d'une fonction (croissante) des coûts relatifs au test. L'observabilité et la contrôlabilité sont les principaux attributs associés à la testabilité.

Toutes les techniques d'analyse de testabilité se préoccupent de fournir des mesures qui sont basées sur les notions générales de contrôlabilité, d'observabilité et de testabilité :

- la *contrôlabilité* caractérise la facilité de positionner un noeud à une valeur logique prédéfinie à partir des entrées primaires du circuit,
- l'*observabilité* représente la facilité de vérifier sur les sorties primaires du circuit la présence d'une valeur donnée sur un noeud interne, en contrôlant les valeurs des entrées et en observant ces sorties primaires,
- la *testabilité* combine les notions de contrôlabilité et d'observabilité pour quantifier la facilité avec laquelle le circuit pourra être testé.

Les techniques structurées de DFT requièrent le développement d'outils efficaces de mesure de testabilité. Les résultats d'analyse de testabilité doivent permettre d'infléchir des politiques de conception afin d'obtenir un produit dont les implications de la phase de test restent cohérentes avec les objectifs initiaux (coût, taux de couverture, temps d'exécution, ...). Les mesures de contrôlabilité, d'observabilité et de testabilité sont différentes suivant que les vecteurs de test sont générés aléatoirement ou de façon déterministe par un algorithme de génération automatique des données de test (ATPG⁶⁶). Le terme testabilité aléatoire suppose une génération aléatoire des vecteurs de test. Les mesures de contrôlabilité et d'observabilité sont alors exprimées en terme de probabilité et la testabilité prend le sens de la probabilité de détection de la faute la plus difficile à détecter. L'évaluation de ces mesures sur chaque nœud du circuit permet d'y localiser les nœuds qui posent des problèmes de testabilité afin de guider les modifications visant une amélioration de la testabilité du circuit. Dans le contexte du test aléatoire, on montre que la longueur L_r de la séquence de test requise pour garantir une couverture de faute r donnée est liée à la probabilité d_{min} de détection de la faute la plus difficile à détecter par la relation :

$$L_r = \frac{\ln(1 - \rho)}{\ln(1 - d_{min})} \quad (1)$$

Pour des raisons d'efficacité évidentes, il est souhaitable que les broches supplémentaires ne sont utilisées qu'à des endroits cruciaux, ayant les testabilités les plus faibles.

En collaboration avec l'équipe SYLODI⁶⁷ du LAG⁶⁸, notre thèse de doctorat s'est effectué au CNET⁶⁹ Centre Norbert SEGA de Grenoble dans le cadre du projet "SITAR" (Système d'Intégration du Test Aléatoire Réaliste) dont la vocation est d'apporter le soutien informatique nécessaire à l'intégration du test aléatoire dans les circuits du CNET. Le logiciel SITAR est destiné à être intégré aux outils CAO de conception des circuits afin de faciliter (voire automatiser) la mise en œuvre de méthodologies d'intégration de test décrite sur la Figure 1. La partie la plus délicate de ce travail est la mesure de testabilité qui a aussi été le premier objectif visé par le projet SITAR. Dans ce contexte, notre travail a contribué à élaborer l'outil de mesure de testabilité aléatoire utilisé dans la procédure SITAR.

Trois techniques complémentaires sont associées à cette fin :

- Une phase de simulation permet de dégrossir le problème en éliminant les nœuds qui ne posent pas de problèmes de testabilité. La méthode de Monte-carlo est efficace pour évaluer les différentes probabilités nécessaires à l'estimation de la testabilité, mais elle présente une faiblesse de taille pour ce qui est du calcul de très faibles probabilités. En particulier, elle ne permet pas de distinguer les événements peu probables non observés et des événements impossibles (de probabilité nulle).
- La preuve formelle a d'abord été introduite pour le contrôle de validité des méthodes purement numériques. Sur des exemples de petite taille, elle permet un calcul exhaustif des fonctions booléennes des connections d'un circuit combinatoire, fournissant ainsi la valeur exacte des différentes probabilités nécessaires au calcul de testabilité. La preuve formelle palie les insuffisances de la méthode statique dans les cas litigieux en associant une fonction booléenne aux événements douteux. Lorsque ces événements sont effectivement impossibles, la fonction booléenne associée est toujours fautive. Dans le cas contraire, la probabilité exacte de l'évènement est calculée par l'algorithme.
- Dans certains complexes, la consommation en temps de calcul et en mémoires de stockage de l'algorithme de preuve formelle peut être prohibitive. Le cas échéant, une preuve formelle partielle est appliquée afin de distinguer les événements rares des événements impossibles. Nous avons développé une méthode numérique de calcul exact applicable aux cas des de testabilité faible et non nulle afin de déterminer avec précision de la testabilité des nœuds.

Le Tableau 1.4 résume les résultats de l'application de SITAR sur les dix circuits benchmark de ISCAS.

⁶⁶ Automatique Test Pattern Generation

⁶⁷ Systèmes Logiques et Discrets

⁶⁸ Laboratoire d'automatique de Grenoble

⁶⁹ Centre National d'Etude des Télécommunications

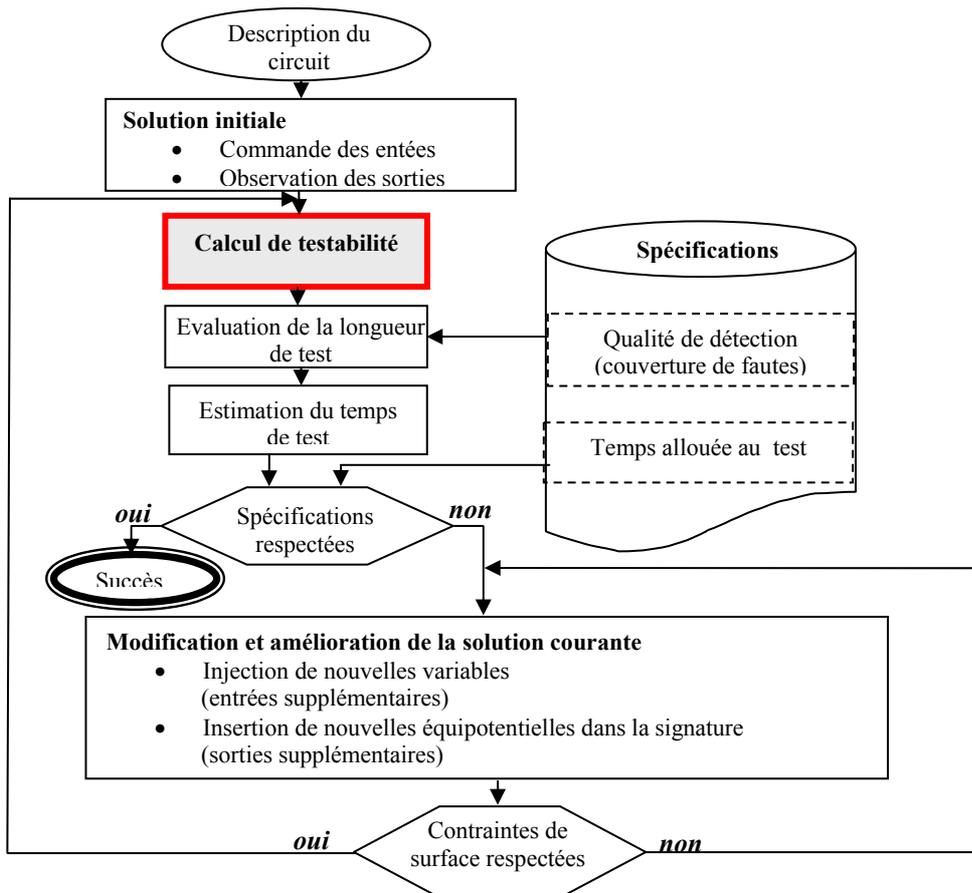


Figure 1 Procédure SITAR pour l'intégration du test dans les circuits CNET

Tableau 1 : Résultats obtenus sur les circuits ISCAS

Circuits	Taille en # de portes	modification	Temps CPU preuve Formelle	Temps CPU simulation et calcul	Longueur de test estimée
C432	160	1CES-MS	6000s	703s	45350
C499	202	Non	121s	118s	5900
C880	385	3CES	66s	825s	8035
C1355	546	Non	231s	277s	10225
C1908	880	1CSS	198s	2650s	58585
C2670	1195	1CES-4CSS	4230s	3206s	67990
C3540	1669	1CSS	5800s	3653s	61051
C5315	2307	1CSS	499s	1307s	17062
C6288	2416	Non	246s	5306s	1430
C7552	3512	15CES-6CSS	5500s	19480s	3260000

Modifications :

- Non : aucune modification du circuit initiale n'est effectuée
- xCES : x connexions d'entrée supplémentaires sont ajoutées au circuit initial
- xCSS : x connexions de sortie supplémentaires sont ajoutées au circuit initial
- MS : Une modification spéciale est faite sur le C432 : 3 portes ET à 9 entrées et une porte ET à 8 entrées ont été décomposées et remplacées par des portes ET à quatre entrées.

Temps CPU :

- Le temps CPU est obtenu sur une station SUN Sparc2

A3.2. Encadrement des travaux de recherche

A) Encadrement de thèses de doctorat

[T-1] Thèse de Ahcène BOUNCEUR

Ecole doctorale EEATS de l'Institut National Polytechnique de Grenoble,
Spécialité : Microélectronique
Soutenance prévue en 2006

Directeurs de thèse :

Salvador MIR (60 %)
Emmanuel SIMEU (40 %)

Sujet : Outils CAO pour le test Analogique et mixte

Situation actuelle de A. BOUNCEUR : Thèse en cours

La thèse de Ahcène BOUNCEUR a pour objet le développement des outils de CAO de test de circuits mixtes, en particulier les outils de simulation de fautes et de génération de vecteurs de test. Je co-encadre cette thèse à 40% sur les outils de CAO de test nécessaires aux parties numériques des circuits mixtes, et Salvador MIR assure le restant sur les outils d'application aux circuits analogique. Nous avons mis en place cette thèse en octobre 2003 afin de continuer les travaux précédents dans ce domaine qui nécessite des compétences en programmation et en recherche opérationnelle. D'abord, il est important d'intégrer ces outils dans une structure de CAO utilisée par les ingénieurs de conception et de test. Deuxièmement, il est nécessaire d'utiliser des algorithmes avancés d'optimisation, éventuellement aboutissant sur des nouveaux algorithmes de génération de vecteurs de test analogiques et mixtes. Des procédures spécifiques dans le cas de circuits mixtes incorporant des techniques de BIST sont envisagées. Une étude détaillée des techniques de génération de vecteurs de test existantes, structurelles et fonctionnelles, est nécessaire afin de comparer les résultats obtenus. L'objectif final de ces travaux de thèse est la mise en place d'une plateforme de CAO facilitant le test des circuits mixtes et RF, permettant la simulation de fautes, la génération et l'optimisation des vecteurs de test, et l'évaluation de la performance de techniques de test intégré.

[T-2] Mouhamad Ayman NAAL (1999-2002)

Ecole doctorale EEATS de l'Institut National Polytechnique de Grenoble,
Spécialité : Microélectronique
Thèse soutenue le 24 septembre 2002

Directeurs de thèse :

Michael NICOLAIDIS (Directeur administratif)
Emmanuel SIMEU (100% d'encadrement effectif)

Sujet : Synthèse de haut niveau pour la testabilité en-ligne

Situation actuelle de M.A NAAL : Associate Professor at Alep University Syrie

La thèse de Mohamed Ayman NAAL a porté sur les techniques non concurrentes et semi concurrentes de test en ligne de systèmes complexes. Les solutions retenues doivent garantir un surcoût raisonnable en temps de conception, en ressources impliquées et en performance. Cela nécessite le développement de nouvelles méthodes de synthèse de haut niveau qui prennent en compte des contraintes de test en-ligne dès les premières tâches du flot de la synthèse de haut niveau. Le travail s'est développé suivant deux axes principaux : le premier a consisté à proposer deux méthodes de test en-ligne, non-concurrent et semi-concurrent, présentées sous forme de solutions intégrées (BIST). Alors que le deuxième axe propose une nouvelle méthode de synthèse de haut niveau (HLS) qui tient compte de la testabilité en-ligne. La prise en compte des contraintes de test en-ligne est effectuée au niveau de la compilation de la description comportementale en graphe de flot de données (DFG). Selon les contraintes imposées au système, une des méthodes de test en-ligne développées dans le premier axe est intégrée au système au niveau ordonnancement. Bien que Michael NICOLAIDIS en soit le directeur administratif officiel, j'ai assuré seul l'intégralité de l'encadrement de cette thèse.

[T-3] Thèse de Ahmad ABDELHAY**Ecole doctorale EEATS de l'Institut National Polytechnique de Grenoble,**

Spécialité : Microélectronique

Thèse soutenue le 20 avril 2001 à l'INPG

Directeurs de thèse :

Michael NICOLAIDIS (Directeur administratif)

Emmanuel SIMEU (100% d'encadrement)

Sujet : *Test en Ligne des Systèmes Digitaux Linéaires***Situation actuelle** de Ahmad ABDELHAY : Associate Professor at Alep University, Syrie

L'objet du travail de thèse que j'ai confié à Ahmad ABDELAY était d'étudier et d'implémenter une nouvelle approche de conception et d'intégration des détecteurs de défauts concurrents pour les systèmes digitaux linéaires. Ces systèmes sont largement impliqués dans les applications de commande et de traitement numérique des signaux. Ceci explique la croissance vertigineuse de leur importance dans les applications modernes et notamment sensibles. La difficulté de cette tâche est importante car il s'agit de générer un signal qui, sans perturber le fonctionnement nominal du système porte de façon permanente les indications sur l'occurrence éventuelle de faute. Une difficulté supplémentaire vient du fait que la qualité de détection doit être garantie, indépendamment des signaux d'entrée qui sont imposés par les conditions de fonctionnement et non par les exigences de testabilité. Afin d'atteindre cet objectif ambitieux, une méthodologie automatique permettant de générer et d'intégrer le détecteur concurrent dans le processus de conception des systèmes linéaires digitaux a été proposé. Le principe directeur de la méthode utilisée est basé sur l'exploitation des redondances analytiques existant dans l'historique des signaux accessibles du système sous test. Les algorithmes développés permettent aussi d'assurer une sensibilité minimale du détecteur aux bruits alors qu'elle est maximale pour les fautes. La taille de la circuiterie supplémentaire nécessaire à l'implémentation du test en ligne reste très raisonnable. A l'inverse des méthodes proposées dans littérature du domaine, aucune condition restrictive n'est imposée sur la conception. La méthode proposée est générale et applicable à tout système digital pourvu qu'il soit linéaire. Un outil logiciel a été développé au cours de cette thèse, permettant une génération automatique des paramètres et de la description VHDL du circuit de test concurrent, à partir d'une description du système testé. J'ai assuré l'intégralité de l'encadrement de cette thèse, bien que Michael NICOLAIDIS en soit le directeur administratif officiel.

[T-4] Arno W. PETERS (1997-1999)

Thesis of Eindhoven University of Technology Pays-Bas (1997-1999, dont 12 mois à TIMA)

Thèse soutenue le 30 septembre 1999 à Eindhoven University of Technology

Directeurs de thèse :

Professeur Jochen A. G. JESS de Eindhoven University of Technology (60%)

Emmanuel SIMEU (40%)

Sujet : *Automatic Generation of Optimal Concurrent Error Detection for Linear Analog Systems***Situation actuelle** de Arno W. PETERS, Ingénieur de recherche chez INTEL Pays-Bas.

Le travail de thèse de Arno W. PETERS a porté sur le test en ligne concurrent des systèmes analogiques. La seule technique de test en ligne concurrent qui existait avant ces travaux n'était applicable qu'à une forme très particulière de circuits analogiques : les filtres analogiques linéaires à variables d'état. Ces filtres ont une structure particulière autorisant leur modélisation par des équations d'état avec toutes les variables d'état directement accessibles à la mesure. Contrairement à ces travaux, dans la thèse de Arno W. PETERS, nous avons recherché une solution générique, permettant de traiter tout circuit analogique, pourvu qu'il soit linéaire. Afin d'exploiter de façon efficace toute la richesse des mesures qu'offrent les circuits analogiques, le premier problème qu'il a fallu résoudre est de finir une modélisation spéciale du circuit sous test permettant d'exprimer les signaux à chaque nœud accessible. Il s'agit de construire un modèle d'état enrichi à sorties multiples du circuit sous test pour lequel le vecteur de sortie contient tous les signaux internes accessibles à la mesure. Le rôle de ce modèle est de fournir non seulement l'équation du signal de sortie du système, mais aussi les expressions analytiques qui calculent la valeur du signal sur tout nœud interne susceptible d'être utilisé comme variable d'entrée pour le testeur en ligne. Ces informations n'étant malheureusement pas disponibles dans les outils

classiques de modélisation et de simulation des circuits analogiques, il a fallu développer un outil de génération automatique des équations d'état à partir du schéma du circuit ou du netlist⁷⁰ correspondant. Une fois le modèle d'état enrichi généré, la détermination de l'équation du résidu est analogue à celle que utilisée dans la thèse de Ahmad ABDELHAY pour les systèmes linéaires digitaux.

J'ai assuré 40% d'encadrement de cette thèse (séjour de 12 mois du thésard au laboratoire TIMA) et le Professeur Jochen A. G. JESS de Eindhoven University of Technology a assuré l'encadrement de la partie restante qui s'est déroulée à Eindhoven.

B) Encadrement de DEA et Master 2 Recherche

- **Boualem HAMICHI**

Master 2 Recherche EEATS en Micro et Nano électronique de l'INPG-UJF

Sujet : Optimisation du test des méthodes de test en ligne concurrent

2004-2005

- **Ahcène BOUNCEUR**

DEA Recherche Opérationnelle, Combinatoire et Optimisation UJF

Sujet : réalisation d'un outil CAO pour la validation des techniques d'autotest des circuits microélectroniques mixtes.

2002-2003

- **Abdelatif ZOUAI,**

DEA Recherche Opérationnelle, Combinatoire et Optimisation UJF

Sujet : Réalisation d'un outil de simulation de fautes pour la CAO microélectronique.

2002-2003

- **Achraf DHAYNI**

DEA Signal, Image, Parole de l'INPG

Sujet : validation de techniques d'autotest de microsystèmes par génération de séquence binaire pseudo-aléatoire et analyse de la réponse impulsionnelle.

2002-2003

- **Manitra Johanesa RAKOTOARISOA**

DEA Informatique, Informatique, option ISC à l'UJF 2001-2002

Sujet : *Outils CAO pour le Test En-Ligne*

2001-2002

- **Bernard KAMSU FOGUEM**

DEA Recherche opérationnelle 1999-2000

Sujet : *Compilation de description comportementale en vue du test en ligne*

1999-2000

- **Armand CASTILLEJO**

DEA Microélectronique INPG 1996-1997.

Sujet : *Mécanismes de défaillance des microsystèmes*

1997-1998

- **Christophe LE POITVIN**

DEA Circuits Intégrés et Micro - Informatique de l'Université PARIS 6-7 (10 mois de Stage)

Sujet : Détection et Identification de Défauts

1996-1997

⁷⁰ Description textuelle intermédiaire du circuit

C) Encadrement de stages pédagogiques

- Tuteur enseignant de stage fin d'études ingénieur : en moyenne 5,6 stages/ans depuis 1995
- Tuteur enseignant de stage de Master 1 : en moyenne 2,7 stages /ans depuis 2003
- Tuteur enseignant de stage de 2^{ème} année d'ingénieur : en moyenne 3,8 stages/ans depuis 1995
- Maître de stage de projet fin d'études ingénieur : 6 stages en tout
- Maître de stage de stage de Master 1 : en moyenne 1,4 stages /ans depuis 2003

A3.4. Chercheur Invité (par des laboratoires étrangers)

○ Computer System Department of Jozef Stefan Institute, University of Ljubljana, Slovenia, Professeur Invité en décembre 1995 dans le cadre du programme de coopération PROTEUS : invité par l'équipe du Professeur F. Novac pour des présentations et discussions sur le thème : Residual Generation Based On-Line Fault Detection. Nous avons animé plusieurs séminaires (12 heures en tout) sur le thème de la génération de résidu à base de modèles dynamiques pour le test en ligne des systèmes analogiques intégrés.

○ Eindhoven University of Technology (Pays-Bas) : Collaboration avec l'équipe du Professeur Jochen A. G. JESS sur le thème : Automatic Generation of Optimal Error Detection for on line testing of Linear Analog Systems. La thèse de Arno, W. PETERS soutenue le 30 septembre 1999 à Eindhoven University of Technology (Pays-Bas) est le résultat de cette coopération

A3.5 Administration de recherche

Membre d'organisations scientifiques

- Membre IEEE
- Membre de IEEE Reliability Society
- Membre de IEEE Computer Society

Responsabilités dans les comités d'organisation de conférences internationales

- Local Chair de IFIP International Conférence on Very Large Scale Intégration SoC (VLSI'SoC'06) Cannes France, Octobre 2006
- Posters Chair de IMTW'05 (International Mixed Signal Testing Workshop), Cannes France, June 27-29, 2005
- Secretary Chair de IOLTS'02 (IEEE International On-Line Testing Workshop) : Isle of Bendor, France, 08-10/07/2002

Participation aux comités de programmes de conférences internationales

- Comité de programme de IEEE IOLTS (International On-Line Testing Symposium), 2005, 2004, 2003.
- Comité de programme de IEEE IOLTW (International On-Line Testing Workshop) 2002, 2001, 2000, 1999.
- Membre du comité scientifique de CARI (Conférence Africaine sur la Recherche en Informatique) (2004-2005).
- Comité de programme de IFIP International Conférence on Very Large Scale Intégration SoC (VLSI'SoC'06) Cannes France, Octobre 2006

Présidence de session de conférences internationales

- Président de session à IOLTS'04 : Funchal, Madeira Island, Portugal, 12-14/07/2004
- Président de la Session 4 : « On-Line Testing for Secure and Asynchronous Chips, » IOLTS'05 : Saint-Raphael, French Riviera, France, 06-08/07/2005
- Président des sessions P1, P2 et P3 de IMTW'05 (International Mixed Signal Testing Workshop) Cannes France, June 27-29, 2005.

Comité de rédaction de revues internationales

- Membre permanent du comité de rédaction de la revue ARIMA

Participation à des comités de lecture de conférences internationales (Participation régulière)

- IEEE-VTS : VLSI Test Symposium (≈ deux articles par an en moyenne)
- IEEE-ITC : International Test Conference (≈ deux articles par an en moyenne)
- EDAC, Design Automation and Test in Europe (≈ un article par an en moyenne)

- IEEE-IOLTS : International On-Line Testing Symposium, (\approx cinq articles par an en moyenne)
- IEEE-IMTW : International Mixed Signal Testing Workshop (\approx un article tous les deux ans en moyenne)
- IEEE-ETS : European Testing Symposium (\approx un article par an en moyenne)
- CARI : Conférence Africaine Sur la Recherche en Informatique (\approx quatre articles tous les deux ans en moyenne)

Participation à des comités de lecture de revues internationales (au moins une participation en tant que Reviewer)

- Control Engineering Practice,
- Mechatronic,
- Journal of Electronic Testing : Theory and Applications (JETTA)
- IEEE Transactions on Computer Aided Design
- IEEE Transactions on Computers
- ARIMA journal

A3.6 Valorisation de la recherche

Transfert de technologie vers les P.M.E.

1993- "Etude et réalisation d'un système d'entraînement et de rééducation à la marche"

Partenaire Industriel : Société IMPULSE 26700 Pierrelate.

1994- "Asservissement de température de sortie d'un échangeur thermique"

Partenaire Industriel : E.F.S. - Electronique 69390 Millery.

1995- "Estimation Prévisionnelle de Stock et de Temps d'Attente de Véhicules sur les Plates Formes de Péage d'Autoroute"

Partenaire Industriel : Autoroutes du Sud de France (A.S.F) 84270 Vedène

Projets Européens et collaboration industrielle,

Au sein du groupe RMS du laboratoire TIMA je participe aux programmes de coopération mis en place avec les industriels de semi-conducteurs ST Microelectronics, Atmel et Philips. Ces programmes visent l'étude de techniques de test intégré de circuits mixtes et RF, d'imageurs CMOS et de microsystèmes RF, respectivement. Ces travaux sont développés dans le cadre de deux projets de recherche européens du programme MEDEA par financé par le Ministère de l'Industrie.

Coopération avec ST Microelectronics (Crolles)

Une coopération importante avec ST Microelectronics (Crolles) existe dans le cadre du projet européen MEDEA+ 2A-702 NanoTest qui se déroule pendant la période 2005-2008. La participation de notre groupe dans ce projet est mise en place par Salvador MIR en collaboration avec Jean-Louis CARBONERO, Philippe GARCIN et Laroussi BOUZAIDA à ST Microelectronics. L'objectif global du projet est de développer des techniques innovantes de test de production des systèmes SoC et SiP fabriqués avec les nouvelles technologies, permettant la réduction des coûts de test, l'amélioration de leur qualité et la réduction du temps nécessaire à l'introduction des dispositifs dans le marché. Les tâches du projet sont groupées en trois grands blocs qui incluent la technologie, la conception en vue du test et les testeurs. Le partenariat du projet inclut les grands fabricants européens de semi-conducteurs, ST Microelectronics en France, Infineon Technologies en Autriche et en France, Philips au Pays Bas et en France, et AMIS en Belgique ; les PME dans le domaine de test, Q-Star en Belgique, Tecmic au Portugal et Temento en France ; et les instituts de recherche, INESC au Portugal et CEA-LETI, LIRMM et TIMA en France.

La collaboration entre le groupe RMS de TIMA et ST Microelectronics vise le développement de techniques de conception en vue du test (DFT) de circuits mixtes et RF, ainsi que le développement d'outils de CAT mixte. Le test des blocs analogiques, mixtes et RF qui sont intégrés dans les SoCs est un défi important des ingénieurs de test.

Coopération avec Philips (Caen)

Dans le cadre du projet européen MEDEA+ 2A-702 NanoTest, la collaboration avec Philips (Caen) nous a été proposé par Philippe CAUVET. Cette collaboration, à hauteur d'un homme-an/an au Laboratoire TIMA, vise le test de MEMS RF pendant la période 2005-2008. Dans ce cadre, mes investigations sont orientées vers les

techniques alternatives de test de MEMS embarqués dans des applications RF. L'objectif principal est l'utilisation de ces techniques en vue d'obtenir des informations sur la fonctionnalité des dispositifs et sur leurs modes de défaillance. Les dispositifs considérés peuvent inclure des interrupteurs, des filtres électromécaniques, et des filtres à ondes acoustiques de surface (SAW¹⁷¹) et de substrat (BAW¹⁷²) fabriqués par des technologies SiP propres à Philips.

Coopération avec Atmel (St. Egrève)

Dans le cadre du projet Européen MEDEA+ A-406 PICS une collaboration est établie entre avec Atmel (St. Egrève) et le laboratoire TIMA dans la période allant de 2003 à 2006 deux tâches sont prises en charge par le Laboratoire TIMA : D'abord le développement de nouveaux pixels CMOS, adaptés aux applications du projet. Cette tâche est développée par une autre équipe de TIMA (CIS). Au sein du groupe RMS, nous développons la deuxième tâche, à hauteur d'un homme-an/an, correspondant au développement de techniques de BIST des imageurs et leur électronique de lecture associée. Le test de production des imageurs nécessite l'utilisation de testeurs avec des sources de lumière calibrées, afin de pouvoir les stimuler. Une technique de BIST structurel, qui utilise des stimuli électriques a été proposée. Cette solution permet ainsi d'éliminer le besoin d'utiliser des sources lumineuses, ce qui entraînera une réduction du coût de test de production, car des testeurs numériques à bas coût pourront être utilisés. En outre, l'inclusion d'une telle technique de BIST dans un imageur permet de signaler au système l'existence de pixels défaillants, ce qui peut être intéressant afin d'évaluer la qualité des images produites et d'appliquer des techniques de correction.

A3.7 Publications

6 articles (dont 1 en première relecture et 1 soumis) dans des revues internationales
44 articles dans des conférences internationales avec comité de lecture

Liste des publications

Revues scientifiques internationales

- [1] L. RUFER, S. MIR, E. SIMEU and C. DOMIGUEZ.
On-chip pseudorandom MEMS testing.
Journal of Electronic Testing: Theory and Applications. Springer Science+Business Media, Vol. 21, 2005, pp. 233-241.
- [2] E. SIMEU, A. ABDELHAY, M.A NAAL
Robust self concurrent test of linear digital systems
IEEE ATS's 10th Anniversary Compendium of best Papers November 2001.
Publication of IEEE Computer Society
- [3] E.SIMEU
Optimal detector design for on-line testing
International VLSI Design Journal, Special Issue on On-line Testing, Vol. 11, No.1, 2000
- [4] E. SIMEU, D. GEORGES
Modelling and Control of an Eddy Current Brake
IFAC Journal of Control Eng. Practice Vol. 4 No. 1 pp 19-26'1996.

En cours d'évaluation

- [5] E. SIMEU
Online Concurrent Fault Detection Methods for Electronic Embedded Systems :
soumis à IEEE Transactions on Journal Reliability.
- [5] E. SIMEU, S. MIR, L. RUFER
Application of FDI Techniques for Online Testing Embedded Microelectronic Systems,
Soumis à ARIMA Journal, a publication of CARI committee.

Conférences Internationales avec actes et comité de lecture

- [7] E. SIMEU, S. MIR
Parameter Identification Based Diagnosis in Linear and Non-linear Mixed-Signal Systems,
11th IEEE International Mixed-Signal Testing Workshop (MSTW'05), 11-15 June 2005, Cannes (France)
- [8] A. DHAYNI, S. MIR, L. RUFER, A. BOUNCEUR, E. SIMEU
Effects of Non Linearities on Pseudorandom On-Chip MEMS Testing,
11th IEEE International Mixed-Signal Testing Workshop (MSTW'05), 11-15 June 2005, Cannes (France)
- [9] E. SIMEU; L. RUFER; S. MIR;
Online Testing Embedded Systems: Adapting Automatic Control Techniques to Microelectronic Testing,
16th IFAC World Congress Prague, Czech Republic, from July 4 to July 8, 2005.
- [10] A. BOUNCEUR, S. MIR, E. SIMEU
Optimization of Digitally Coded Test Vectors for Mixed-Signal Components,
19th Conference on Design of Circuits and Integrated Systems, Bordeaux, France, November 24-26, 2004
- [11] M. A. NAAL, E. SIMEU, S. MIR.
Comparative study of on-line testing methods for AMS systems: Application to decimation filters,
International Conference on Information and Communication Technologies: from Theory to Applications
(ICCTTA'04), Damascus, Syria, April 19-23, 2004
- [12] S. MIR, G. PRENAT, L. ROLINDEZ, E. SIMEU, L. RUFER
On-Chip Analogue Testing Based on $\Sigma\Delta$ Modulation,
Invited Presentation at Workshop on the Testing of High Resolution Mixed Signal Interface, Ajaccio,
France, May 2004.
- [13] L. RUFER, E. SIMEU, S. MIR
Built-in self-test of linear time invariant systems using maximum-length sequences
IEEE European Test Workshop (ETW'03), Maastricht, The Netherlands, May 25-28, 2003
- [14] S. MIR, L. RUFER, E. SIMEU, C. DOMINGUES
MLS-based technique for MEMS characterization
3rd International Workshop on Microfabricated Ultrasonic Transducers (MUT'03), Lausanne,
Switzerland, June 26-27, 2003
- [15] L. RUFER, S. MIR, E. SIMEU, C. DOMINGUES
On-chip pseudorandom MEMS testing,
9th International Mixed-Signal Testing Workshop (IMSTW'03), Sevilla, Spain, June 25-27, 2003
- [16] L. RUFER, E. SIMEU, S. MIR
On-chip testing of linear time invariant systems using maximum length sequences,
IFAC Workshop on Programmable Devices and Systems, Ostrava, Czech Republic, February, 2003
- [17] L. RUFER, S. MIR S., E. SIMEU, C. DOMINGUES
On-chip testing of MEMS using pseudo-random test sequences
Symposium on Design, Test, Integration and Packaging of MEMS/MOEMS (DTIP'03), Cannes, France,
May 5-7, SPIE, 2003
- [18] M. A. NAAL, E. SIMEU, S. MIR
On-line testable decimation filter design for AMS systems,
9th IEEE International On-line Testing Symposium, Kos Island, Greece, July 7-9, 2003
- [19] M. A. NAAL, M. RAKOTOAR, E. SIMEU, C. AKTOUF
Using concurrent and semi-concurrent on-line testing during HLS: an adaptable approach
8th IEEE International On-Line Testing Workshop (IOLTW'02), Bendor, France, July 8-10, 2002.

- [20] A. ABDELHAY, E. SIMEU, M.A NAAL, I. SHAKO
Robust Fault Detection Scheme for Concurrent Testing of Linear Digital Systems,
 6^{ème} Conférence Africaine sur la Recherche en Informatique CARI'02, Octobre 2002 à Yaoundé,
 Cameroun
- [21] E. SIMEU,
Détermination d'un Modèle de Fiabilité par Ajustement sur une Distribution de Weibull Mixte,
 Proceedings of Qualita'01 conference, April 22-23 2001, Annecy , France
- [22] E. SIMEU, A. ABDELHAY
A robust fault detection scheme for concurrent testing of linear digital systems
 7th IEEE International On-Line Testing Workshop (IOLTW 2001), Taormina, Italy, July 9-11 2001.
- [23] E. SIMEU, A. ABDELHAY, M.A NAAL
Robust self concurrent test of linear digital systems,
 The Tenth Asian Test Symposium (ATS'01), Kyoto, Japan, November 19-21, 2001.
- [24] A. ABDELHAY, E. SIMEU
Analytical redundancy based approach for concurrent fault detection in linear digital systems
 6th IEEE On-Line Testing Workshop, Palma de Mallorca, Spain, 3-5 July 2000
- [25] M.A. NAAL, E. SIMEU
High level synthesis methodology for on-line testability optimization
 6th IEEE On-Line Testing Workshop, Palma de Mallorca, Spain, 3-5 July 2000
- [27] E. SIMEU, A. W. PETERS, I. RAYANE
Symbolic modeling for fault detection and isolation: application to linear analog systems
 16th IMACS World Congress on Scientific Computation, Modeling and Applied Mathematics Lausanne,
 Switzerland, August 21-25 2000
- [28] E.SIMEU, A. W. PETERS
Robust model-based concurrent fault detection – application to linear analog systems
 6th IEEE International Mixed-Signal Testing Workshop (IMSTW 2000), Montpellier, France, June 21-
 23, 2000
- [29] E. SIMEU, A. W. PETERS, I. RAYANE
Automatic Design of Optimal Concurrent Fault Detector for Linear Analog Systems
 29th International Symposium on Fault-Tolerant Computing Madison, Wisconsin, USA, June 15-18, 1999.
- [30] E. SIMEU, A. W. PETERS
Extended State Modelling for Concurrent Testing of Linear Analog Systems
 5th IEEE International On-Line Testing Workshop, July, 5-7, 1999, Grecotel Rhodes Imperial,
 Rhodes, Greece.
- [31] E. SIMEU
Residual Checking Method for Concurrent Fault Detection in Linear Analog Systems
 4th IEEE International On-Line Testing Workshop, July 6-7, 1998, Capri, -Italy.
- [32] E. SIMEU
*NARMAX Modelling for Fault Detection and Identification in Nonlinear Systems: Application to
 Microsystems Test and Diagnosis,*
 15th IMACS World Congress on Scientific Computation, Modelling and Applied Mathematics August
 24-29, 1997, Berlin/Germany
- [33] E. SIMEU, T. HERVE
*Model-Based Fault Detection and Identification in Linear and Nonlinear Systems: Parameter Estimation
 Methods.*
 IFAC/IFIP/IMACS Conference on Control of Industrial Systems, May 20-22, 1997 Belfort, France.

- [34] E. SIMEU, D. VEYCHARD, J.-M. KARAM
Détection et Identification de Défauts à Base de Modèles Dynamiques: Application au Test des Microsystèmes''
 2^{ème} Congrès Pluridisciplinaire sur la Qualité et la Sûreté de Fonctionnement (QSDF'97) 20-21 Mars 1997 Angers France.
- [35] A. KAMGA, E.SIMEU
A Straight Line Path Following Strategy Applied to a Tricycle Vehicle
 3rd IFAC Symposium on Intelligent Components and Instruments for Control Applications (SICICA'97), June 9-11 1997, Annecy, France.
- [36] A. KAMGA, E.SIMEU
Dynamic Modelling of a Tricycle Robot,
 5th IEEE–Mediterranean Conference of Control and Automation 1997
- [37] E. SIMEU D. GEORGES
Speed Control with an Eddy Current Brake System,
 Proceedings of IFAC Conference on System Structure and Control Nantes 1995.
- [39] E. SIMEU, N. BURCHIANTI, L. CREMILLIEUX, B. RIOUX
Commande Adaptative d'un Système de Chauffage de Liquide Sensible,
 Actes de la 2^{ème} Conférence Internationale sur l'Automatisation Industrielle du 7 au 9 Juin 1995 à Nancy France.
- [40] E. SIMEU
Polynomial modelling of Eddy Current Brake System From Input/Output Data,
 Proceedings of 2nd International Conference on Industrial Automation June 7-9, 1995 Nancy France.
- [41] E. SIMEU
NARMAX Modelling and Identification Practice for Nonlinear Systems: Application an Eddy Current Brake Process".
 IEEE–CCA '95 Conference on Control Applications August 1995 New York – USA.
- [42] D. GEORGES, E. SIMEU
Commande Optimale Non linéaire de Système de Freinage à Courant de Foucault,
 Actes de la Conférence Méditerranéenne sur l'Electronique et l'Automatisation du 13 au 15 Septembre 1995 à Grenoble -France.
- [43] E. SIMEU
Commande de Systèmes par les Réseaux de Petri
 2^{ème} Conférence Africaine sur la Recherche en Informatique CARI'95, Ouagadougou, Burkina Fasso 1995
- [44] E. SIMEU, A. PUISSOCHET, J.L RAINARD, A.M. TAGANG, M. POISE
A New Tool for Random Testability Evaluation Using Simulation and Formal Proof
 10th IEEE VLSI Test Symposium April 6-9 1992, Atlantic City, USA

Autres conférences avec actes sans comité de lecture

- [45] A. BOUNCEUR, A. DHAYNI, S. MIR, E. SIMEU, L. RUFER.
 Génération de vecteurs de test pour les MEMS non linéaires pour le calcul des noyaux de Volterra.
 Actes des 8^{ème} Journées Nationales du Réseau Doctoral de Microélectronique, Paris, France, May 2005, pp. 340-342
- [46] A. DHAYNI, S. MIR, L. RUFER, A. BOUNCEUR, E. SIMEU.
Autotest Intégré des Microsystèmes Nonlinéaires. Actes des 8^{ème} Journées Nationales du Réseau Doctoral de Microélectronique, Paris, France, May 2005, pp. 256-258

- [47] BOUNCEUR A., MIR S., SIMEU E.
Génération et optimisation de vecteurs de test pour des composants analogiques et mixtes
Actes des 7ème Journées Nationales du Réseau Doctoral de Microélectronique, Marseille, France, May
4-6 2004, pp. 198-200.
- [48] D. GEORGES, E. SIMEU
Les actionneurs Intelligents à Courants de Foucault
Actes des Journées d'Etudes sur les Systèmes Embarqués du 4 au 5 Février 1999 à Valence -France.
- [49] A. M. NAAL, E. SIMEU
Mesure de Testabilité pour la Synthèse de Haut Niveau
Colloque CAO de circuits intégrés et systèmes Aix-En-Provence, France 10-12 Mai 1999.
- [50] A. ABDELHAY, E. SIMEU
Méthode de Test en Ligne pour les Systèmes Digitaux Linéaires
Colloque CAO de circuits intégrés et systèmes Aix-En-Provence, France 10-12 Mai 1999.
- [51] E. SIMEU O. R. ABIB,
Contrôlabilité de Systèmes Bilinéaires
2^{ième} Colloque Internationale sur les Applications de la Science, Casablanca, Maroc 6-7 Mars 1987.

Test et Surveillance Intégrés des Systèmes Embarqués

Ce document est rédigé en vue de l'obtention d'un diplôme d'habilitation à diriger des recherches de l'Université Joseph Fourier de Grenoble. Il présente une synthèse de nos travaux de recherche concernant essentiellement le test hors ligne et la surveillance en fonctionnement des systèmes embarqués. Ces travaux sont conduits au sein du laboratoire TIMA de Grenoble successivement dans les équipes "RIS" (Reliable Integrated Systems) jusqu'en 2002 et "RMS" (Reliable Mixed Signal Systems) de 2002 à ce jour.

Dans le chapitre introductif, nous définissons les systèmes embarqués et nous présentons les défis scientifiques et techniques qu'induisent leur émergence et leur prolifération rapides. Ensuite, nous posons le problème du test hors ligne et de la surveillance en ligne de ces systèmes. La fin du chapitre situe nos activités dans la discipline du test des systèmes intégrés et présente nos principaux axes de recherche.

Dans le chapitre 2, nous présentons nos travaux concernant le test intégré de modules analogiques et mixtes incorporés dans un environnement numérique. La première partie du chapitre est consacrée au développement d'outils de conception assistée par ordinateur pour le test des systèmes analogiques et mixtes alors que la deuxième décrit les techniques d'intégration de test à bas coût que nous avons développées pour les systèmes analogiques et mixtes.

Le chapitre 3 concerne les techniques de surveillance en ligne intégrée. Une description rapide du flot de synthèse automatique de systèmes intégrés nous permet de situer nos travaux par rapport aux processus modernes de conception de circuits. Les méthodes de test en ligne non-concurrent, semi-concurrent et concurrent sont ensuite exposées. Nous expliquons les liens que partagent les techniques proposées avec d'autres disciplines de recherche, notamment les travaux sur la détection et l'identification de fautes dans les systèmes automatisés.

Le chapitre 4 conclut le mémoire. Nous indiquons aussi quelques perspectives possibles pour nos prochaines activités de recherche. Les pistes qui se dégagent concernent aussi bien la poursuite des travaux déjà engagés que des travaux sur de nouvelles problématiques.

Off-Line and On-Line BIST for Embedded Systems

This report presents a summary of our research activities focusing on off-line testing and on-line supervision of embedded systems. Modern microelectronic manufacturing technologies and software tools make it feasible to integrate a complex system, into a single chip (SoC) able to hold all the components and functions that historically required a hardware board. Embedded systems made up of hardware and software generally contains a variety of integrated devices including digital, analogue, and even radio-frequency cores on the same chip. As these systems are gain sophistication, manufacturers are using them in increasingly critical applications that can result in injury, economic loss, or unacceptable inconvenience when they do not perform as required. This leads to new challenge for the test and for the real time supervision capabilities.

The first part of this manuscript puts forward original BIST design methodology for analogue and mixed signal devices using embedded smart resources (embedded microprocessors and memories). The second part introduces different approaches for online supervision and discusses their applicability to online testing to of embedded ICs, including semiconcurrent and concurrent online testing strategies. It is attractive to adapt some of the results that are abundantly available in automatic control research to deal with the problem of online fault detection in electronic embedded systems. However, only some techniques are applicable to electronic systems because the design and implementation constrains are very different in both research fields. Compared to other known FDI architectures, it is shown that the model-based parity space approach is suitable for online testing of digital embedded systems with respect to electronic design constrains and allows not only for efficient fault coverage, but also for efficient implementation facilities.

ISBN 2-84813-071-7

