



HAL
open science

Utilisation des technologies CMOS SOI 130 nm pour des applications en gamme de fréquences millimétriques

Christophe Pavageau

► To cite this version:

Christophe Pavageau. Utilisation des technologies CMOS SOI 130 nm pour des applications en gamme de fréquences millimétriques. Micro et nanotechnologies/Microélectronique. Université des Sciences et Technologie de Lille - Lille I, 2005. Français. NNT : . tel-00011744v1

HAL Id: tel-00011744

<https://theses.hal.science/tel-00011744v1>

Submitted on 3 Mar 2006 (v1), last revised 4 Apr 2006 (v2)

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

N° d'ordre : 3704

THESE

Présentée à

L'UNIVERSITE DES SCIENCES ET TECHNOLOGIES DE LILLE

École Doctorale Sciences pour l'Ingénieur

pour obtenir le grade de

DOCTEUR DE L'UNIVERSITE

Spécialité : MICROONDES ET MICROTECHNOLOGIES

par

Christophe PAVAGEAU

Utilisation des technologies CMOS SOI 130 nm pour des
applications en gamme de fréquences millimétriques

Membres du jury :	Andréas Kaiser	<i>Président</i>
	François Danneville	<i>Directeur de thèse</i>
	Laurence Picheta	<i>Co-directrice de thèse</i>
	Danièle Vanhoenacker-Janvier	<i>Rapporteur</i>
	Jean-Luc Gautier	<i>Rapporteur</i>
	Didier Belot	<i>Examineur</i>
	Gilles Dambrine	<i>Examineur</i>
	Jean Russat	<i>Examineur</i>
	Nicolas Fel	<i>Examineur</i>

« L'art est fait pour troubler. La science rassure »

Le Jour et la Nuit, G. Braque

Remerciements

*Le travail présenté dans ce mémoire est le fruit d'une collaboration entre le groupe de recherche ANODE de l'IEMN à Villeneuve d'Ascq et le laboratoire LCIF au CEA à Bruyères-le-Châtel. Je remercie les responsables du groupe ANODE, Messieurs **Alain Cappy** et **Gilles Dambrine**, ainsi que ceux du laboratoire LCIF, Messieurs **Gilles Bezencenet** et **Jean Russat**, pour leur accueil pendant ces trois années de thèse.*

*Je remercie Monsieur **Andréas Kaiser**, directeur de recherche CNRS à l'ISEN de Lille, Madame **Danièle Vanhoenacker-Janvier**, professeur à l'Université Catholique de Louvain-La-Neuve, Monsieur **Jean-Luc Gautier**, professeur à l'ENSEA de Cergy-Pontoise et Monsieur **Didier Belot**, ingénieur R&D à ST-Microelectronics (Crolles), qui m'ont fait l'honneur de présider, rapporter et examiner ce travail.*

*Je remercie vivement toutes les personnes qui m'ont aidé au cours de ce travail. Ma reconnaissance et ma sympathie vont en premier lieu à Monsieur **François Danneville**, professeur à l'USTL et à Madame **Laurence Picheta**, Maître de Conférences à l'USTL, ainsi qu'à Messieurs **Jean Russat** et **Nicolas Fel** du CEA pour avoir dirigé ce travail. Je tiens à remercier chacun d'eux très personnellement, non seulement pour leurs apports scientifiques et techniques, mais aussi et surtout pour leur sens aigu de l'encadrement, pour leur disponibilité de chaque instant. Leurs marques de confiance et de reconnaissance m'ont permis d'aller plus loin dans ce travail, et ces « tranches de vie » partagées avec chacun d'eux m'ont beaucoup apporté personnellement.*

*Je tiens à remercier tous les membres de l'équipe ANODE et du laboratoire LCIF pour leur sympathie, les discussions enrichissantes et leur aide au cours de mes travaux. Mes pensées s'adressent à chacun d'eux et je citerai particulièrement **Christiane Capella** et **Marie-Bénédicte Dernoncourt**, secrétaires d'une présence salubre et chercheuses émérites en facilitation de démarches administratives, **Michel Wittmer** et **Olivier Chaumont** pour leur support indispensable sur le dessin des circuits, **Sylvie Lepillet** pour les mesures et **Philippe Berthomé** pour son aide précieuse à la bibliothèque. Je n'oublierai pas le professeur*

François Durbin pour son amour de la langue de Shakespeare et du coteau du Layon, Carmen Tahmi pour toutes les démarches informatiques et nos discussions, Jean-Luc Rebourg et Jacques Haussy pour les moments de détente à la boxe française, les collègues de la pause café ainsi que les stagiaires du CEA pour leur participation au concours de gâteaux au chocolat! Je remercie également mes nombreux collègues de bureau pour leur sympathie et leur bonne humeur : Guillaume Wolf, Emmanuelle Pichonat, Sébastien Pruvost, Nicolas Bouvet, Nicolas Fel et enfin Thierry Lagutère.

Je remercie tout particulièrement, Alexandre Siligaris dont j'ai beaucoup appris sur la modélisation, sur la vie et la musique orientale, Mehdi Si Moussa pour notre collaboration très enrichissante et Etienne Besson que j'ai eu le plaisir d'encadrer pendant son stage de Master. A tous les trois, je leur exprime toute ma reconnaissance et toute mon amitié.

Un grand merci à tous mes relecteurs, Christiane qui a eu le droit à la première relecture, Laurence pour son travail sur le fond et le style, François et Jean pour sa disponibilité malgré ses nouvelles fonctions et enfin IMEC pour toutes les facilités accordées pendant la période des corrections et de la préparation de la soutenance.

Je ne serais pas arriver là aujourd'hui sans les conseils avisés et les marques de reconnaissance de mes encadrants de stages d'école d'Ingénieur (Félix Donkers à Philips et Catherine Le Corre au CEA) et de thèse. Ce sont de petits gestes, de petits mots, de petites phrases qui ne « coûtent » pas beaucoup à dire mais qui sont d'un effet tellement bénéfique pour celui qui les reçoit, qui aident à prendre confiance en soi et en ses capacités et donnent toujours plus de motivation pour aller plus loin.

Enfin, il me tient à cœur de remercier Virginie pour sa patience, son soutien et son amour tout au long de ce travail.

Un dernier clin d'œil à mes parents qui m'ont incité un soir de 1995, le bulletin de notes entre les mains, à en faire un peu moins et à étudier un peu plus...

<i>Introduction générale</i>	11
------------------------------	----

CHAPITRE I

LA TECHNOLOGIE SOI POUR LES APPLICATIONS HYPERFREQUENCES

<i>Introduction</i>	18
I. Les substrats SOI	19
I.1. La méthode SIMOX	20
I.2. La méthode Smartcut®	20
I.3. Transfert du SOI sur un substrat isolant	22
II. Comparaison des MOSFET sur substrat massif et sur SOI	24
II.1. Capacités de jonction	25
II.2. Effet de « latchup » (thyristor parasite)	25
II.3. Densité d'intégration	26
II.4. Effet de canal court	26
II.5. Pente inverse sous le seuil	27
II.6. Effet d'auto-échauffement et fonctionnement à température élevée	28
II.7. Effet des rayonnements	28
III. Fonctionnement des transistors MOSFET sur SOI	30
III.1. Transistors partiellement et totalement désertés	30
III.2. Propriétés électriques des composants PD et TD	31
III.2.1. Courant de saturation	32
III.2.2. Mobilité	32
III.3. Effets de substrat flottant	33
III.3.1. Effet « kink »	33
III.3.2. Effet du transistor bipolaire parasite et pente anormale sous le seuil	35
IV. Les transistors hyperfréquences en SOI	37
IV.1. La technologie SOI-PD 130 nm	37
IV.2. Les transistors flottants et à prises	38
IV.3. Réalisation technologique et dessins	39
IV.3.1. Les différents masques des transistors MOSFET	39
IV.3.2. Particularités des transistors à prises	42
<i>Conclusion</i>	43
<i>Bibliographie</i>	44

CHAPITRE II

LES LIGNES DE TRANSMISSION SUR SOI

<i>Introduction</i>	48
I. Les structures de propagation hyperfréquences sur SOI	49
I.1. Structure des couches d'interconnexions	49
I.2. La ligne microruban sur couche mince	50
I.2.1. Structure	50
I.2.2. Modes de propagation	51
I.3. La ligne coplanaire	52
I.3.1. Structure	52
I.3.2. Modes de propagation	53
II. Modélisation des lignes sur SOI 130 nm	57
II.1. Modèles analytiques	57
II.2. Modèle phénoménologique à constantes réparties RLCG	57
II.3. Modèle électromagnétique (EM)	59
II.3.1. Elaboration d'un modèle simplifié de la structure multicouche	60

II.3.2.	Calibrage du modèle	61
II.4.	Comparaison des modèles	62
III.	Performances des lignes sur silicium	65
III.1.	Lignes microruban	65
III.1.1.	Gamme d'impédance	65
III.1.2.	Réduction des pertes	66
III.2.	Lignes coplanaires	67
III.2.1.	Réduction des pertes	67
III.2.2.	Gamme d'impédance et atténuation	69
Conclusion		71
Annexe du chapitre II		73
II.A.1.	Simulation des performances des lignes coplanaires sur SOI haute résistivité	73
II.A.2.	Implémentation des modèles de lignes dans ADS	75
Bibliographie		77

CHAPITRE III

MODELISATION ET PERFORMANCES DES TRANSISTORS SOI-PD 130 NM

Introduction		80
I.	Le modèle RF petit signal	81
I.1.	Approches quasi-statique et non quasi-statique	81
I.2.	Schéma électrique équivalent du transistor MOSFET	82
I.2.1.	Eléments intrinsèques	82
I.2.2.	Eléments extrinsèques	83
I.2.3.	Facteurs d'échelle	86
I.3.	Procédures d'extraction du schéma équivalent petit signal	87
I.3.1.	Capacités de plot C_{pg} et C_{pd}	87
I.3.2.	Résistances d'accès	88
I.3.3.	Inductances d'accès et éléments intrinsèques	89
I.3.4.	Validation des procédures d'extraction	90
I.3.5.	Résumé des procédures d'extraction	93
I.4.	Modélisation du bruit intrinsèque des transistors MOSFET	95
I.4.1.	Les sources de bruit des transistors MOSFET	95
I.4.2.	Modèle de bruit associé au schéma équivalent petit signal	97
II.	Le modèle RF grand signal SILICA	101
II.1.	Les modèles non linéaires	101
II.1.1.	Modélisation physique	101
II.1.2.	Les modèles tabulés	102
II.1.3.	Les modèles phénoménologiques	102
II.2.	Caractéristiques du modèle SILICA	103
II.2.1.	Modélisation de la source de courant de drain	104
II.2.2.	Modélisation des capacités C_{gs} et C_{gd}	108
II.2.3.	Comparaison des paramètres S simulés et mesurés	109
II.3.	Extraction des paramètres du modèle SILICA	111
II.3.1.	Méthodes d'extraction	111
II.3.2.	Implémentation dans un logiciel de calcul gratuit	112
II.4.	Implémentation du modèle dans le simulateur ELDO	113
II.4.1.	Description de l'implémentation	114
II.4.2.	Simulation temporelle dans ELDO	116
III.	Caractérisation de la filière 130 nm	119
III.1.	Les fréquences de coupure d'un transistor	119
III.2.	Structures de test et principales caractéristiques RF	121
III.3.	Comparaison des caractéristiques hautes fréquences pour le NMOS et le PMOS	122
III.3.1.	Facteurs limitant de la fréquence F_{max} et du facteur de bruit minimum NF_{min}	122

III.3.2.	Variation des fréquences de coupure extrinsèque en fonction de la largeur de grille	127
III.3.3.	Caractéristiques en bruit	129
III.3.4.	Etat de l'art de transistors CMOS sur substrat massif et sur SOI	130
Conclusion		134
Annexes du chapitre III		135
III.A.1. Paramètres du modèle SILICA pour les transistors flottants et à prises		135
III.A.1.a)	Transistor à prises substrat	135
III.A.1.b)	Transistor à substrat flottant	135
III.A.2. Comparaison des paramètres S du modèle SILICA		136
Bibliographie		138

CHAPITRE IV

CONCEPTION ET REALISATION D'AMPLIFICATEURS DISTRIBUES EN BANDE-K

Introduction		144
I.	Fonctionnement des amplificateurs distribués	146
I.1.	Analyse de l'amplificateur distribué source commune	146
I.1.1.	Produit gain-bande	148
I.1.2.	Atténuation des lignes de transmission artificielles	149
I.1.3.	Gain de l'amplificateur distribué	152
I.1.4.	Caractéristiques de l'amplificateur distribué comportant des lignes de transmission	153
I.2.	Compensation de l'atténuation des lignes	154
I.2.1.	Résistance négative (à transistor grille commune) [18]	155
I.2.2.	La paire cascode avec deux lignes additionnelles	156
I.3.	Le bruit dans les amplificateurs distribués	159
I.3.1.	Approche matricielle	159
I.3.2.	Calcul à partir du schéma équivalent	160
I.3.3.	Simulation du bruit d'un amplificateur SOI cascode	162
I.4.	Autres amplificateurs distribués	163
I.4.1.	Amplificateur distribué double	163
I.4.2.	Amplificateur à division de capacité sur la grille	164
I.4.3.	Amplificateurs distribués cascades	165
I.5.	Etat de l'art des amplificateurs distribués en CMOS	167
II.	Etude et mesure d'amplificateurs distribués CMOS SOI 130 nm fonctionnant en bande K	168
II.1.	Architecture des amplificateurs distribués	168
II.1.1.	Simplicité des architectures	169
II.1.2.	Comparaison entre étage source commune et étage cascode	169
II.1.3.	Lignes de transmission	170
II.1.4.	Circuit de compensation à résistance négative avec des lignes de transmission.	172
II.1.5.	Réalisations	173
II.2.	Résultats de mesure	175
II.2.1.	Amplificateur source commune	175
II.2.2.	Amplificateurs cascode	176
II.2.3.	Comparaison de l'isolation des amplificateurs cascode et source commune	178
II.2.4.	Mesures en température	178
II.3.	Rétrosimulation de l'amplificateur cascode	180
II.3.1.	Limites des modèles des transistors et des lignes	180
II.3.2.	Rétrosimulation de l'amplificateur cascode à transistors à prises	181
II.4.	Comparaison des performances à l'état de l'art	184
II.4.1.	Comparaison des performances des technologies CMOS sur substrat massif et sur SOI	184
II.4.2.	Comparaison avec les autres technologies	186
Conclusion		188
Annexes du chapitre IV		189
IV.A.1. Effet Miller		189

IV.A.2. Etat de l'art des amplificateurs distribués III-V et SiGe	192
Bibliographie	193

CHAPITRE V

CONCEPTION ET DESSIN D'AMPLIFICATEURS DISTRIBUES ET FAIBLE BRUIT, DE MELANGEURS ACTIFS

Introduction	198
I. Amplificateurs distribués cascode avec des lignes faibles pertes	199
I.1. Amélioration des performances des amplificateurs distribués précédents	199
I.2. Conception et dessin d'amplificateurs distribués	201
I.2.1. Schéma électrique	202
I.2.2. Simulations en petit signal	203
II. Amplificateurs faible bruit à structure cascode	206
II.1. Le bruit	207
II.1.1. Le bruit dans les quadripôles : éléments de théorie	207
II.1.2. Bruit dans les structures cascades	207
II.2. Etat de l'art	208
II.3. Adaptation de l'étage d'entrée en bruit et en puissance	210
II.3.1. Adaptation par inductance de source dégénérée	210
II.3.2. Autre technique d'adaptation	217
II.4. Conception et dessin de trois amplificateurs faible bruit à structure cascode à 23 GHz	220
II.4.1. Comparaison des adaptations en puissance et en bruit pour les trois versions	220
II.4.2. Schéma électrique et dessin	221
II.4.3. Simulation en petit signal des amplificateurs faible bruit	223
II.4.4. Comparaison à l'état de l'art	225
III. Mélangeur cascode	230
III.1. Grandeurs caractéristiques du mélangeur	230
III.1.1. Gain de conversion	230
III.1.2. Isolations	230
III.1.3. Puissance de compression à -1 dB	231
III.1.4. Intermodulation d'ordre 3	232
III.2. Le mélangeur cascode	234
III.2.1. Choix de l'architecture du mélangeur	234
III.2.2. Fonctionnement du mélangeur cascode	235
III.2.3. Etat de l'art	236
III.2.4. Conception et dessin du mélangeur cascode	238
Conclusion	245
Annexes du chapitre V	247
V.A.1. Dessin des amplificateurs distribués à lignes microruban et coplanaires	247
V.A.2. Dessin de la cellule de plan de masse des lignes coplanaires	249
V.A.3. Le masque MERCURE	249
V.A.3.1. Disposition des circuits sur le masque	249
V.A.3.2. Détails des Kits de calibrage pour la mesure et la modélisation	251
Bibliographie	255
Conclusion générale	259
Liste des publications	265

INTRODUCTION GENERALE

Introduction générale

Les applications radiofréquences (RF), analogiques et signaux mixtes analogique/numérique sont, depuis quelques années, très importantes pour la réussite commerciale des technologies des semiconducteurs. Ces applications font partie intégrante des communications numériques sans fil, dont le marché et les services, qui progressent de manière spectaculaire, rendent notre société sensible à leurs variations économiques.

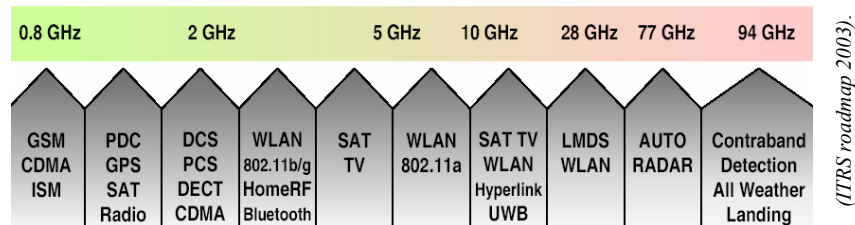


Figure 1 : Spectre des applications RF.

Les applications des technologies sans fil, répertoriées à la Figure 1, ne cessent de se multiplier. Ce que l'on appelle « style de vie numérique » ou « maison et voiture connectées » sont des exemples de cette évolution. De même, l'arrivée du standard UMTS (« *Universal Mobile Telecommunications System* ») sur le marché européen permet à la voix, aux données et à l'image de converger vers un même support électronique et de se connecter sur Internet, permettant à tout un nouveau marché de services de se développer. L'un des progrès majeurs apportés par ces technologies à notre vie quotidienne sera certainement la réalisation d'un réseau de communication sans fils sur le corps humain, reliant tout un ensemble de micro-systèmes (capteurs et actionneurs) placés à l'intérieur et sur le corps humain, à un assistant personnel, afin de contrôler la santé des individus¹.

Toutes ces applications sont possibles grâce au progrès des technologies de semiconducteurs, tels que ceux de la colonne IV du tableau périodique de Mendeleïev (Si, SiGe) et des colonnes III et V (AsGa, InP). Jusqu'à peu, les applications inférieures à 10 GHz, correspondant aux applications microprocesseurs et RF sans fil, étaient dominées par les

¹ Programme de recherche Human ++ : www.imec.be

technologies silicium (dont la technologie CMOS), tandis que les applications au-delà de 10 GHz étaient encore réservées aux technologies III-V. Cependant, la valeur de la fréquence qui sépare les deux familles de semiconducteurs ne cesse de monter.

En effet, un tournant important a été pris avec l'entrée des technologies silicium dans l'ère nanométrique, ce qui se traduit par une montée en fréquence très rapide qui permet la réalisation des circuits MMIC. La Figure 2 montre l'évolution, prévue par l'ITRS (*International Technology Roadmap for Seiconductors*) en 2004, des fréquences de coupure des transistors NMOS (pour des technologies en phase de production) en fonction de leur longueur de grille. En 2003, les performances fracassantes de la technologie CMOS SOI (« *Silicon On Insulator* » ou silicium sur isolant) d'IBM ont marqué les esprits, avec la réalisation d'amplificateurs large-bande atteignant des bandes passantes de 90 GHz, rivalisant ainsi avec les technologies III-V. Cependant, même si les performances en fréquence ne constituent plus une différence marquante entre les technologies, en revanche, les caractéristiques en bruit, en puissance de sortie et en linéarité demeurent encore un avantage des technologies III-V.

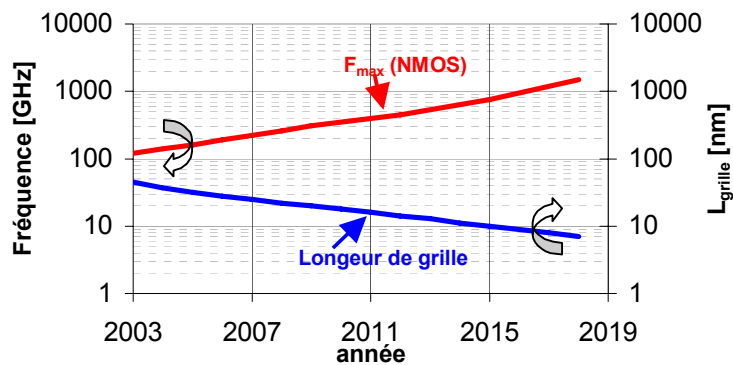


Figure 2 : Evolution relative des technologies de semiconducteurs (*prévisions de l'ITRS 2004*).

La technologie silicium CMOS, grâce à ses qualités de forte intégration, de faible consommation et de faible coût de production, entre dans la réalisation de la plupart des circuits numériques. Considérant de surcroît ses performances en fréquence pour les circuits RF, cette technologie présente un intérêt majeur pour la réalisation d'un système complet intégrant sur la même puce les circuits numériques, analogiques basse fréquence et RF.

Cependant, l'un des principaux défis pour parvenir à cette intégration totale concerne l'amélioration de la qualité des éléments passifs qui constituent encore un verrou technologique. En effet, ils sont traditionnellement de qualité médiocre à cause des substrats silicium de faible résistivité (10-20 $\Omega\cdot\text{cm}$) d'une part, et des très faibles épaisseurs de diélectrique pour réaliser les lignes de transmission d'autre part (typiquement : $h < 4\mu\text{m}$ pour six couches de métallisation). Pour remédier à ce problème, plusieurs solutions technologiques sont à l'étude, parmi lesquelles on peut citer les substrats de haute résistivité (1000 $\Omega\cdot\text{cm}$), le report des circuits sur un substrat isolant, ou encore des techniques de « *post-processing* », pour disposer d'épaisseurs de diélectrique adaptées à la RF et aux hyperfréquences.

Cette thèse s'inscrit dans le contexte de la montée en fréquence du silicium pour la réalisation de circuits hyperfréquences, et plus particulièrement dans celui de la technologie CMOS SOI 130 nm industrialisée par ST-Microelectronics à Crolles. La thèse a pour objectif d'évaluer la capacité de cette technologie pour la réalisation des circuits hyperfréquences faisant partie d'une chaîne d'émission/réception et pouvant fonctionner dans des environnements radiatifs. Pour cela, on réalisera des prototypes, ce qui implique la modélisation et la simulation des circuits, l'analyse des performances obtenues et la proposition de solutions pour les améliorer.

La thèse se compose de cinq parties :

- _ Le premier chapitre introduit la technologie CMOS SOI (« *Silicon On Insulator* »). Nous y présentons ses avantages par rapport aux technologies CMOS sur substrat massif, puis les principales techniques de réalisation des substrats SOI. Ensuite, le fonctionnement des transistors MOSFET réalisés sur des substrats SOI partiellement désertés ou totalement désertés est décrit. Enfin, les transistors de la filière SOI 130 nm sont présentés.
- _ Le deuxième chapitre est consacré aux lignes de transmission sur SOI en vue de la conception des démonstrateurs. Nous y décrivons les caractéristiques puis la modélisation des lignes microruban et coplanaires sur SOI. Un modèle phénoménologique pour la ligne microruban et une description simplifiée de la structure d'interconnexion de la technologie SOI 130 nm dans le simulateur HFSS sont présentés. Enfin, les caractéristiques

électriques (gamme d'impédance, coefficient d'atténuation) des lignes sur SOI sont présentées, ainsi que des méthodes alternatives qui permettraient de réduire les pertes.

- _ Le troisième chapitre concerne les aspects de modélisation et de caractérisation des transistors MOSFET. Les modèles RF petit signal et grand signal SILICA, développés à l'IEMN, y sont présentés, ainsi que les méthodes d'extraction de leurs paramètres. Des caractéristiques statiques et fréquentielles obtenues au moyen des deux modèles sont représentées, ainsi qu'une estimation de leurs incertitudes. Enfin, les résultats de caractérisation hyperfréquence des transistors de la filière CMOS SOI 130 nm de ST-Microelectronics, de type substrat flottant et à prises substrat sont présentés.
- _ Le quatrième chapitre présente la conception et la mesure d'amplificateurs distribués en bande K. Après un exposé sur les principes de l'amplification distribuée, les choix de conception pour la réalisation de trois démonstrateurs, utilisant des étages de type cascode ou source commune et des lignes de transmission microruban, sont détaillés. Ensuite, les résultats de mesure en fréquence et en température sont présentés. Pour terminer, la rétrosimulation des circuits avec le modèle RF grand signal SILICA, qui a été utilisé pour la première fois pour concevoir des circuits hyperfréquences, permet d'évaluer ce modèle et de montrer son aptitude pour la conception de circuits hyperfréquences.
- _ Le cinquième et dernier chapitre est dédié à la conception et au dessin d'une série de démonstrateurs, encore en cours de fabrication (amplificateurs distribués et faible bruit, mélangeur actif). Les amplificateurs distribués ont été conçus sur la base de ceux présentés dans le Chapitre IV, mais cette fois avec des lignes à plus faibles pertes afin de doubler le produit gain-bande réalisable. Les amplificateurs faible bruit et les mélangeurs ont tous deux été conçus à 23 GHz, avec une architecture de type cascode.

Remerciements :

L'ensemble des travaux présentés dans ce mémoire a été réalisé dans le cadre du projet européen de recherche technologique MEDEA+ T206, ayant pour objectif l'industrialisation de la technologie SOI pour les applications RF sans fil et numériques faible consommation. Cette thèse est financée par le Ministère de l'Economie, des Finances et de l'Industrie, au travers d'une convention passée avec le CEA-DAM.

CHAPITRE I
LA TECHNOLOGIE SOI POUR LES APPLICATIONS
HYPERFREQUENCES

Introduction

La technologie SOI (« *Silicon On Insulator* » ou silicium sur isolant) se distingue des technologies silicium traditionnelles par la présence d'une couche d'oxyde enterré sous la zone active du substrat, qui permet une isolation diélectrique complète du transistor. Cette couche d'oxyde a un impact très important sur le comportement physique des transistors MOS et les avantages procurés sont nombreux : meilleure immunité aux radiations et aux phénomènes de « *latch-up* », diminution des courants de fuite et des capacités de jonction.

En termes d'applications, le SOI a d'abord été étudié pour le durcissement des circuits fonctionnant en milieu radiatif cosmique ou nucléaire. Cependant, la qualité médiocre des matériaux SOI a longtemps limité son développement industriel pour les marchés de l'électronique de grande consommation. C'est l'amélioration de la qualité des oxydes enterrés et des films minces de silicium qui a relancé l'intérêt pour cette technologie. Aux yeux des industriels, elle présente de nombreux avantages en termes d'intégration, de basse consommation, d'augmentation en fréquence des circuits intégrés et d'immunité aux erreurs logicielles.

Ce chapitre est consacré à la technologie SOI et à ses propriétés. La première partie aborde la réalisation des matériaux SOI, en donnant les principales méthodes et les dernières avancées technologiques. Dans la deuxième partie, les propriétés du SOI sont comparées à celles des technologies sur silicium massif. Ensuite, la troisième partie décrit les propriétés physiques et le fonctionnement électrique des transistors sur substrat SOI partiellement déserté (PD) et totalement déserté (TD). Enfin, la dernière partie présente les transistors NMOS et PMOS de la filière SOI 130 nm. L'accent est mis sur les différences de dessin et de réalisation technologique, influençant leurs performances hyperfréquences.

I. Les substrats SOI

Le procédé de fabrication des composants sur SOI est proche de celui sur substrat massif, à l'exception des substrats de départ.

Les premiers dispositifs ont été fabriqués sur SOS (« *Silicon On Sapphire* ») avec un succès commercial important jusqu'aux années 90, avec la production de nombreux circuits intégrés (microprocesseurs, mémoires...). Le SOS est obtenu en faisant croître un film de silicium sur un substrat monocristallin de saphir. Actuellement, le SOS est encore industrialisé pour des applications analogiques, RF et durcies (aux radiations) [1, 2]. D'autres matériaux ont aussi été utilisés tels que la zircone (ZrO_2), le diamant, le fluorure de calcium (CaF_2), et enfin le dioxyde de silicium (SiO_2). Le SiO_2 est actuellement le matériau le plus utilisé industriellement, car il présente la structure de maille la plus adaptée au silicium. Avec les autres matériaux, la structure de maille moins proche engendre des défauts cristallins d'interface, qui eux-mêmes provoquent des défauts cristallins de volume dans le film de silicium, diminuant ainsi la mobilité des porteurs. Les substrats obtenus avec ces matériaux sont de qualité médiocre en comparaison avec ceux obtenus avec le SiO_2 .

Même si le matériau utilisé peut être a priori n'importe quel isolant, on sous-entendra par SOI, que le substrat est réalisé avec une couche enterrée de SiO_2 . Plusieurs techniques ont été développées pour réaliser ces substrats, mais sans véritable percée industrielle. On peut citer les techniques ZMR (« *Zone Melt Recrystallisation* »), ELO (« *Epitaxial Lateral Overgrowth* »), FIPOS (« *Full Isolation by Porous Oxidized Silicon* »).

Par contre, deux méthodes sont actuellement utilisées à un stade de production industrielle, à savoir SIMOX et SMARTCUT[®], que nous allons présenter (I.1 et I.2). Toutes deux peuvent utiliser des substrats de type Czochralski¹, à l'instar des composants sur substrat massif, leur conférant ainsi une très bonne qualité cristalline. Enfin, nous verrons une technique de transfert des tranches SOI (I.3), qui permet de remplacer le substrat mécanique

¹ Technique de tirage vertical d'un lingot cylindrique de silicium à partir d'une graine de cristal plongée dans un creuset de silicium fondu.

de silicium, par un substrat hôte parfaitement isolant, ce qui représente un intérêt considérable pour améliorer la qualité des passifs sur SOI pour les applications RF et hyperfréquences.

I.1. La méthode SIMOX

La méthode SIMOX (« *S*eparation by *I*Mplantation of *O*Xygen ») [3-5] consiste à planter des ions d'oxygène sous la surface du substrat, et par la suite à former l'oxyde enterré (BOX) par un recuit à haute température (1300-1350°C). L'épaisseur du BOX est déterminée par la dose implantée et la profondeur par l'énergie d'implantation.

Bien que cette méthode ait été développée à la fin des années 1970 [6] et que ses fondements remontent aux années 1960, les premiers substrats SIMOX ont été commercialisés seulement à partir de 2000. Son développement industriel pour la production de masse était en effet lié à celui d'une machine d'implantation très spécifique, qui soit capable d'implanter des ions d'oxygène sans contaminer le substrat (métaux, carbone), ceci à très forte énergie et à très forte dose. Pour se rendre compte de la dose élevée, notons que le SiO₂ du BOX requiert deux ions O⁺ pour un atome de Si, alors qu'un dopage considéré élevé pour des circuits intégrés correspond à 1 dopant pour 1000 atomes de Si. La méthode optimale dite à « forte dose », nécessite une implantation de $2 \cdot 10^{18}$ O⁺/cm² à une énergie de 180 keV, permettant de former un BOX de 400 nm et un film de silicium de 200 nm.

Une variante à « dose moyenne » ($4 \cdot 10^{17}$ O⁺/cm²) a été introduite dans les années 1990 donnant un BOX plus mince de 80 nm maximum. Comme le coût de production dépend principalement de celui de l'implantation, le substrat à « dose moyenne » coûte 25 % du prix du substrat à « dose forte ». De plus, l'énergie d'implantation est portée à des valeurs plus faibles, 35 à 70 keV, pour obtenir des films actifs plus minces de 50 nm pour des composants totalement désertés (voir § III.1). Actuellement, la méthode SIMOX permet de réaliser des substrats SOI de bonne qualité, avec des épaisseurs très uniformes (+/-10 nm pour le BOX et +/-5 nm pour le film de Si).

I.2. La méthode Smartcut[®]

Associée à une méthode de collage de plaques (« *Wafer Bonding* »), la méthode SmartCut [7, 8] est utilisée pour réaliser les substrats UNIBOND[®] de la société SOITEC.

Deux tranches de silicium (A et B à la Figure I-1), dont une est oxydée en surface, sont assemblées en utilisant les forces de Van der Waals. L'interface de collage est consolidée par une étape de recuit. La technique SmartCut consiste d'abord à implanter des protons H⁺ sur la tranche A à une profondeur contrôlée précisément (avec des doses de 10¹⁶ à 10¹⁷ H⁺/cm² et des énergies de 75 à 100 keV). Ensuite, le clivage a lieu grâce à un recuit d'activation à 1100°C, à la profondeur où la concentration d'hydrogène est la plus importante². Finalement, un polissage de la tranche B est réalisé pour amincir le film de Si et obtenir une surface de type miroir.

L'épaisseur du film de Si peut varier entre 50 nm et 1,5 µm (+/- 5 nm), et celle du BOX entre 100 nm et 3 µm (+/- 10 nm), selon les spécifications.

Les substrats UNIBOND possèdent deux avantages économiques importants :

- _ les tranches « donneuses » (A) peuvent être réutilisées,
- _ les équipements standards de la microélectronique sont utilisés pour la production de masse.

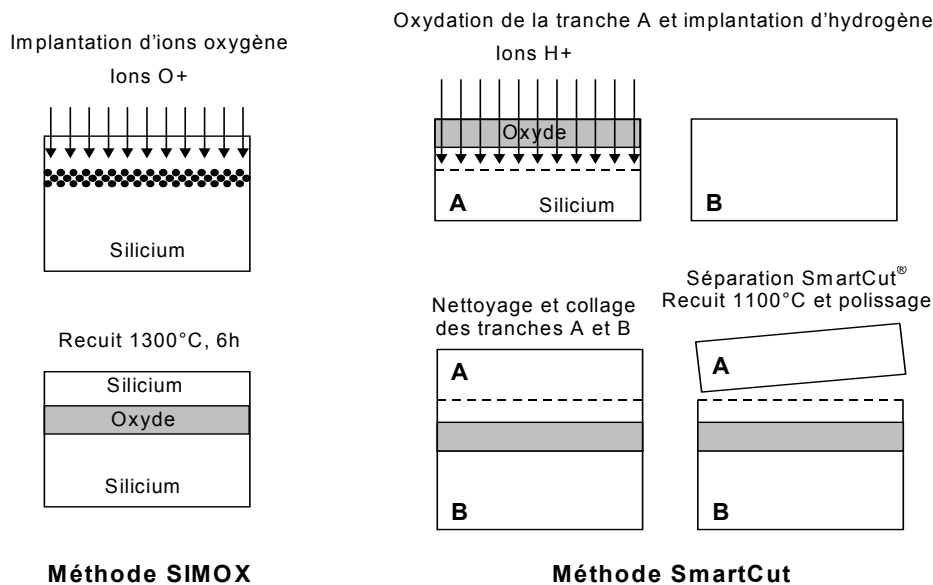


Figure I-1 : Fabrication des substrats SOI.

Récemment encore, seuls des substrats de résistivité standard (10 Ω.cm) étaient disponibles, conduisant à des pertes substrat élevées pour les structures de propagation et les

² Cette méthode peut être aussi utilisée pour cliver des matériaux tels que le SiC, l'AsGa, l'InP ou LiNbO₃

inductances, aussi bien sur SOI que sur substrat massif. L'introduction des substrats SOI haute résistivité (valeur supérieure à 1 k Ω en face arrière), arrivés au stade de production industrielle en 2004, va permettre d'améliorer leur qualité (voir Chapitre II). La technologie CMOS SOI présentée dans les parties suivantes est développée sur des substrats UNIBOND, de résistivité standard ou haute.

I.3. Transfert du SOI sur un substrat isolant

Le principe du transfert des circuits consiste à remplacer le substrat mécanique de silicium par un substrat isolant. Grâce à la résistivité intrinsèquement très supérieure des substrats isolant par rapport à celle des substrats haute résistivité, cette méthode représente une alternative très intéressante aux substrats SOI haute résistivité pour les applications RF.

La société TraciT Technologies [9] a développé un procédé de transfert sur quartz (silice fondue), intervenant après la fabrication des circuits et qui préserve la qualité électrique du film actif de silicium. Son principe repose sur un double transfert par collage moléculaire direct des substrats (Figure I-2). Dans un premier temps, le substrat initial de SOI avec les circuits est collé sur un substrat temporaire. Ensuite, le substrat de silicium initial est éliminé par polissage et gravure chimique (le BOX sert de couche d'arrêt), puis le substrat temporaire avec les circuits est collé sur le substrat final de quartz. Après avoir retiré le substrat temporaire, on obtient la structure finale composée des circuits SOI sur le nouveau support.

Pour éviter la fonte des plots d'aluminium et des interconnexions de cuivre, les traitements thermiques sont réalisés à basse température (< 400°C). De plus, un contrôle rigoureux de l'état de surface est effectué pour assurer un collage direct de bonne qualité à faible température. Pour cela, un oxyde est déposé sur le substrat initial, puis des opérations de polissage et de nettoyage sont effectuées.

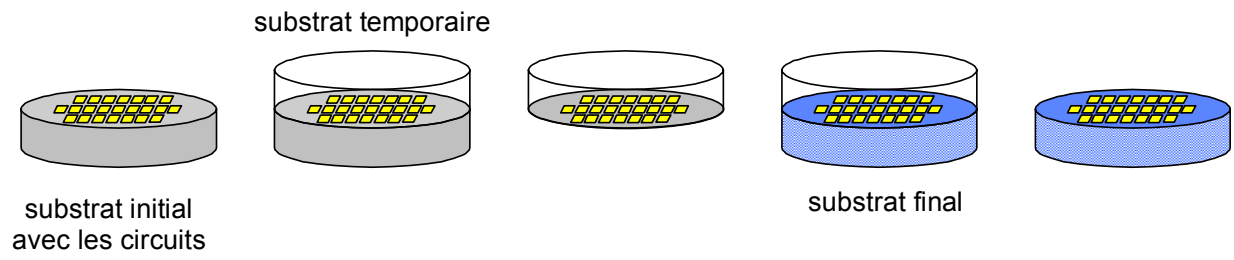


Figure I-2 : Procédé de transfert double par collage direct.



Figure I-3 : Circuits SOI transférés sur un substrat isolant de quartz (les objets sont visibles à cause de la transparence du substrat).

II. Comparaison des MOSFET sur substrat massif et sur SOI

Les transistors MOS sur substrat massif (« *bulk* ») sont réalisés à la surface de la tranche de silicium, appelée couche active. L'épaisseur nécessaire pour réaliser le transport des électrons est très fine, de $0,1\ \mu\text{m}$ à $0,2\ \mu\text{m}$, alors que les tranches de silicium ont une épaisseur de $800\ \mu\text{m}$. Le volume inactif du transistor, qui représente plus de 99,9 %, sert de support mécanique pour manipuler les transistors et les mettre en boîtier. Ce substrat inactif induit des phénomènes parasites, tels que des courants de fuite dans le substrat et des capacités de jonctions élevées.

Les transistors MOS silicium sur isolant (SOI) reposent sur le principe de l'isolation diélectrique complète du composant, par un oxyde enterré sous sa zone active. L'isolation ainsi obtenue est largement supérieure à celle obtenue avec des techniques classiques sur substrat massif. Cette propriété confère au SOI de nombreux avantages en termes de performances : rapidité, faible consommation, immunité aux radiations, ... [3, 10]. Quelques-uns des avantages des transistors MOSFET sur SOI par rapport aux MOSFET sur substrat massif seront présentés dans les paragraphes suivants.

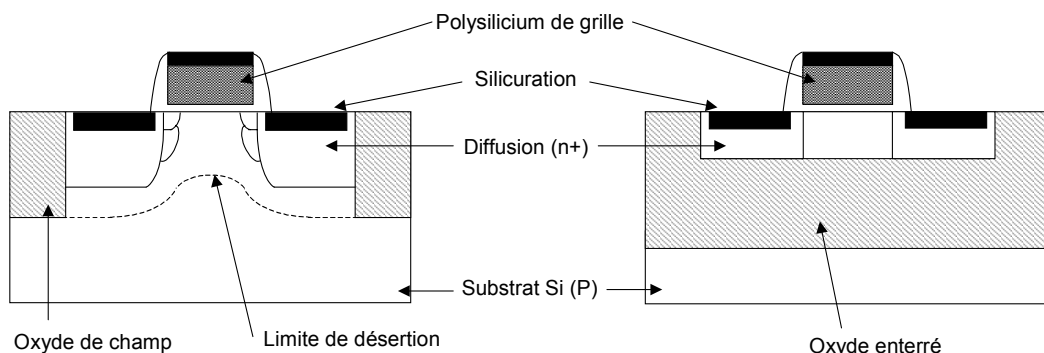


Figure II-1 : Transistor NMOS sur substrat massif (a) et sur SOI (b).

II.1. Capacités de jonction

Sur substrat massif, les capacités parasites se situent aux jonctions entre les zones de diffusion de drain et de source et le substrat. Leur valeur augmente avec le niveau de dopage et devient plus importante avec la réduction des dimensions des composants. En SOI, les capacités parasites sont liées uniquement à l'oxyde enterré qui permet une isolation diélectrique complète du transistor par rapport au substrat. Grâce à l'épaisseur très importante de l'oxyde enterré et à sa permittivité ($\epsilon_r = 4$) trois fois plus faible que celle du silicium massif ($\epsilon_r = 11,7$), les capacités parasites en SOI sont très inférieures à celles des jonctions polarisées en inverse comme sur substrat massif. De plus, l'épaisseur de l'oxyde enterré ne diminue pas forcément avec la réduction d'échelle des composants, si bien que les capacités parasites n'augmentent pas avec l'évolution de la technologie³.

Les capacités internes du transistor limitent la rapidité de fonctionnement des transistors MOS. En effet, celles-ci se chargent et se déchargent avant que toute modification sur la grille, qui commande le transistor, ne soit répercutée sur le courant. La réduction des capacités de jonction en SOI entraîne donc une augmentation de la rapidité des circuits numériques. Le corollaire est une réduction de la puissance dynamique consommée (i.e. la puissance dissipée lors des commutations) à vitesse de fonctionnement identique. Pour une mémoire SRAM 1 Mb réalisée avec deux technologies 130 nm d'un même fondeur, l'une sur SOI et l'autre sur substrat massif, on relève une vitesse du SOI supérieure de 15 % à puissance consommée égale, et une puissance dynamique du SOI réduite de 30 % à vitesse identique [11].

II.2. Effet de « *latchup* » (thyristor parasite)

L'effet de « *latch-up* » peut entraîner le verrouillage d'une structure parasite de type thyristor, inhérente aux technologies CMOS sur substrat massif. Cet effet s'explique par la mise en conduction d'une structure PNPN à travers le substrat, à cause de deux transistors bipolaires parasites NPN et PNP, formés entre le substrat, le caisson et les zones de diffusion des transistors NMOS et PMOS (Figure II-2-a). Si cette structure thyristor est verrouillée par un courant fort dans la base d'un des deux transistors bipolaires, les alimentations sont court-

³ NDLR : $C \approx \epsilon S/h$ avec S qui est la surface et h qui est l'épaisseur.

circuitées, pouvant causer la destruction irréversible du composant en quelques microsecondes par effet thermique. L'oxyde enterré du SOI prévient tout chemin de courant à travers le substrat, empêchant une telle structure de se former.

II.3. Densité d'intégration

L'oxyde enterré présente un avantage supplémentaire consistant à augmenter la densité d'intégration, grâce à une isolation complète au lieu d'une isolation par jonction dans le cas des composants sur substrat massif d'une part, et grâce à la possibilité de juxtaposer les régions de drain N+ et P+ dans les inverseurs CMOS (Figure II-2).

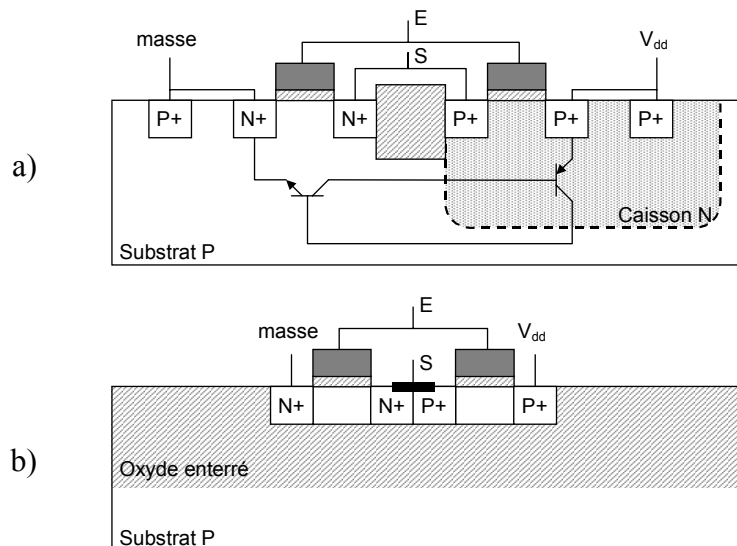


Figure II-2 : Inverseur CMOS sur substrat massif (a) et sur SOI (b).

II.4. Effet de canal court

La diminution de la longueur de canal des transistors MOSFET induit de nombreux effets, dont l'un est appelé effet de canal court. Il est dû aux zones de désertion de source et de drain qui viennent recouvrir partiellement celle de la grille, représentée par le trapèze Q_g à la Figure II-3. Pour les transistors à canal « long », cet effet est faible par rapport à la zone de contrôle de la grille, tandis qu'au fur et à mesure de la réduction de la longueur de la grille, cet effet devient de plus en plus significatif.

L'effet de canal court s'explique par une perte de contrôle de la charge du canal par la grille, ce qui a pour conséquence de réduire la tension de seuil. Cet effet est très important pour les transistors MOSFET sur substrats massifs, mais dans le cas du SOI et en particulier pour les transistors totalement désertés, l'espace de charge dans le film de silicium reste très bien contrôlé par la grille. Comme conséquence, les effets de canal court sont réduits en comparaison des transistors MOSFET sur substrat massif.

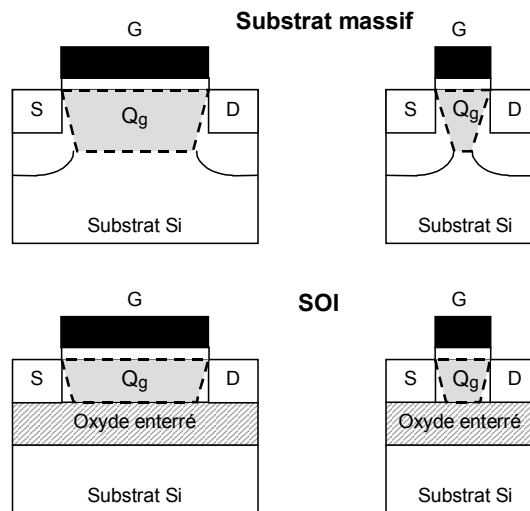


Figure II-3 : Distribution de la charge de désertion contrôlée par la grille (Q_g) pour les transistors à canal long (gauche) et à canal court (droite).

II.5. Pente inverse sous le seuil

Ce qu'on appelle dans la littérature « pente inverse sous le seuil » se définit comme l'inverse de la pente de la caractéristique I_d en fonction de V_{gs} , dans la zone où la tension est inférieure à la tension de seuil V_{th} . C'est un courant de diffusion de porteurs minoritaires, puisque la couche d'inversion du canal n'est pas encore formée. Il contribue à la puissance statique consommée par les circuits numériques, c'est-à-dire la puissance consommée à l'état de veille.

Il a été montré que les transistors MOSFET sur SOI ont une pente inverse sous le seuil plus faible que sur substrat massif, permettant d'utiliser des tensions de seuil plus faibles, sans augmenter les courants de fuite [3, 12]. Comme conséquence, de meilleures performances en termes de rapidité peuvent être obtenues à des tensions d'alimentation plus faibles.

II.6. Effet d'auto-échauffement et fonctionnement à température élevée

La couche d'oxyde enterré possède une conductivité thermique plus faible que celle du silicium. L'évacuation de la chaleur est donc plus difficile pour les circuits SOI, ce qui conduit à augmenter la température des composants par rapport au MOS sur substrat massif. Ceci peut entraîner des dérives de certains paramètres physiques tels que la mobilité.

Ces effets peuvent être mis en évidence grâce à des mesures pulsées de courant, technique qui permet de s'affranchir des effets thermiques (il a été montré que les constantes de temps impliquées dans l'auto-échauffement sont de quelques dizaines de nanosecondes [3]). Des mesures comparatives du courant de drain en statique et en pulsé, sur des transistors SOI 120 nm, ont montré une réduction maximale de 7 % du courant en statique pour un fonctionnement dans la zone de forte inversion et pour une densité supérieure à 630 mA/mm [13].

Si cet effet concerne les circuits analogiques dont les transistors fonctionnent en très forte inversion, en revanche, il ne concerne pas les circuits numériques CMOS, car la puissance est dissipée principalement lors de la commutation, dont la période est brève et très inférieure aux constantes de temps de l'auto-échauffement. En effet, pour un inverseur standard en technologie 130 nm, les temps de montée et de descente sont typiquement inférieurs à 50 picosecondes.

Malgré l'évacuation de la chaleur plus difficile, les composants et les circuits sur substrat SOI présentent trois avantages majeurs pour un fonctionnement à haute température par rapport aux substrats massifs : absence de « *latchup* » activé thermiquement, réduction des courants de fuite et, pour les composants totalement désertés, faible variation de la tension de seuil avec la température [3].

II.7. Effet des rayonnements

Quelles que soient les applications, les équipements électroniques sont soumis de façon continue à un environnement radiatif naturel pouvant affecter leur fiabilité. D'origine terrestre ou cosmique, c'est la première cause de panne des systèmes. L'intégration et la complexité toujours plus grande des circuits tendent à accentuer ce problème [14]. Les

rayonnements peuvent induire des phénomènes d'ionisation, créant ainsi des paires électron/trou, ou au contraire des phénomènes de piégeage de charges fixes dans les oxydes. Dans les régions actives du semiconducteur, les charges générées sont rapidement transportées par dérive et diffusion, et collectées par les structures élémentaires. Ces charges induisent un courant transitoire parasite dont les effets diffèrent selon son intensité, ainsi que selon le nombre et la nature des cellules touchées.

Lorsqu'une particule ionisante traverse le drain d'un transistor sur substrat massif, elle provoque un phénomène d'aspiration des charges (« *funneling* ») dû à la distorsion des lignes de champ le long de la trace de la particule. Ce phénomène entraîne une collection importante sur une distance de l'ordre du micron à quelques microns et constitue un inconvénient majeur des technologies sur substrat massif. Un autre inconvénient est l'effet de thyristor parasite ou de « *latch-up* » dont nous avons déjà parlé, qu'une impulsion photonique suffit à verrouiller.

En SOI, la présence de l'oxyde enterré permet de limiter le volume sensible (au phénomène d'aspiration) constitué par la zone du substrat interne comprise entre le canal et l'oxyde enterré. Cet avantage combiné à l'absence de « *latch-up* » rendent les composants sur SOI beaucoup moins vulnérables aux particules ionisantes que sur substrat massif.

III. Fonctionnement des transistors MOSFET sur SOI

Cette partie présente les propriétés physiques et le fonctionnement électrique des transistors sur substrat SOI partiellement déserté et totalement déserté.

III.1. Transistors partiellement et totalement désertés

On peut classer les transistors SOI en deux catégories suivant l'épaisseur de la zone désertée du film de silicium, donnée par la relation suivante :

$$[\text{III-1}] \quad d_{\max} = \sqrt{\frac{4 \cdot \epsilon_{\text{Si}} \cdot \Phi_F}{q \cdot N_a}}$$

où Φ_F est le potentiel de Fermi du silicium, ϵ_{Si} est la permittivité et N_a est le dopage en ions accepteurs du film de silicium. Le transistor est qualifié de partiellement déserté (PD) si l'épaisseur du film de silicium est plus importante que d_{\max} (ce qui correspond au MOSFET sur substrat massif), et de totalement déserté (TD) dans le cas contraire. Les propriétés électriques sont différentes dans chacun des deux cas.

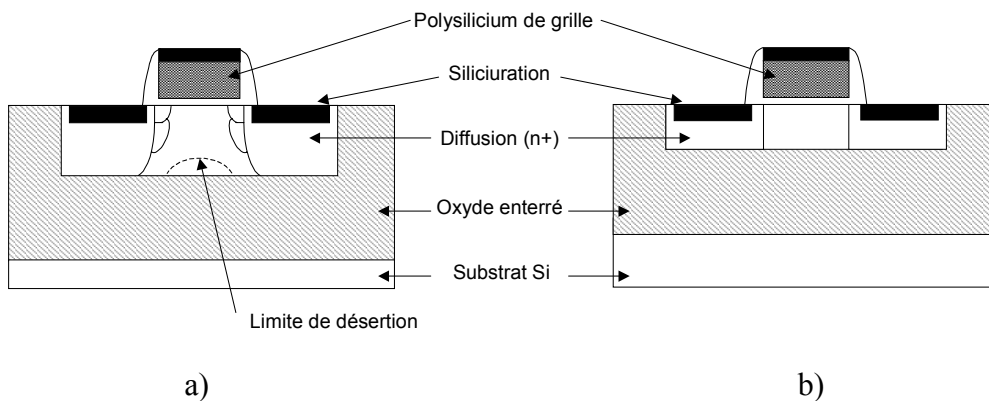


Figure III-1 : Vue en coupe d'un transistor partiellement déserté (a) et totalement déserté (b).

Pour les transistors SOI partiellement désertés, le film actif de silicium présente une zone interne neutre, située entre la zone de désertion et la couche d'oxyde enterré, qui empêche toute interaction entre les faces avant et arrière du transistor. Cependant, son potentiel est flottant puisqu'elle n'est reliée à aucun accès du transistor. Cela induit des

phénomènes particuliers, tels que l'effet « *kink* » (III.3.1) et le transistor bipolaire parasite (III.3.2), qui sont fortement réduits dans le cas des transistors totalement désertés qui n'ont pas de zone interne flottante.

III.2. Propriétés électriques des composants PD et TD

Cette partie présente les principales propriétés électriques des transistors SOI PD et TD. Tout d'abord, définissons le coefficient α pour les deux types de composants qui est fonction de la capacité d'oxyde de grille C_{ox1} et de la capacité C_b entre le canal d'inversion et la face arrière du substrat (Figure III-2) :

[III-2]

$$\alpha = \frac{C_b}{C_{ox1}}$$

Figure III-2 consists of two circuit diagrams, (a) and (b), representing the equivalent circuit of capacitances seen from the gate. Diagram (a) shows a series connection of three capacitors: C_{ox1} (top), C_{si} (middle), and C_{ox2} (bottom). The node between C_{ox1} and C_{si} is labeled Φ_s . Diagram (b) shows a series connection of two capacitors: C_{ox1} (top) and C_{DES} (bottom). The node between them is labeled Φ_s .

Figure III-2 : Réseaux de capacités vus depuis la grille pour les MOSFET SOI totalement désertés (a) et partiellement désertés (b).

Ce coefficient α est inversement proportionnel au couplage entre le potentiel de grille et le potentiel de surface Φ_s à l'interface Si-SiO₂. Pour les transistors PD, C_b est constituée par la capacité de désertion du film de silicium C_{DES} . Pour les transistors TD, la zone de désertion atteignant l'oxyde enterré, C_b est donc l'association en série de la capacité du film de silicium C_{si} et de la capacité d'oxyde enterré C_{ox2} .

Le coefficient α est donné par les équations suivantes pour les transistors TD et PD :

[III-3]

$$\alpha_{TD} = \frac{C_{si} C_{ox2}}{(C_{si} + C_{ox2}) \cdot C_{ox1}}$$

[III-4]

$$\alpha_{PD} = \frac{C_{DES}}{C_{ox1}}$$

Le couplage est d'autant meilleur qu' α est faible. Typiquement, sa valeur est presque nulle pour les composants TD et dans la gamme 0,3-0,5 pour les transistors PD et les

transistors sur substrat massif. Cependant, α augmente avec les réductions des longueurs de grille, montrant ainsi la perte de contrôle par la grille du potentiel de canal Φ_s , à cause des jonctions de source et de drain.

III.2.1. Courant de saturation

Une expression analytique simple du courant de saturation des MOSFET SOI à canal long est donnée par [15] :

$$[\text{III-5}] \quad I_{DS} = \frac{W}{L} \frac{\mu C_{ox1}}{2 \cdot (1 + \alpha)} (V_{gs} - V_{th})^2$$

où W et L sont respectivement la largeur et la longueur de grille, μ est la mobilité effective des électrons, V_{gs} est la tension grille source et V_{th} est la tension de seuil. A partir de l'équation [III-5], on déduit directement l'expression de la transconductance g_m :

$$[\text{III-6}] \quad g_m = \frac{\partial I_{DS}}{\partial V_{gs}} = \frac{W}{L} \frac{\mu C_{ox1}}{(1 + \alpha)} (V_{gs} - V_{th}) = \sqrt{2 \frac{W}{L} \frac{\mu C_{ox1}}{(1 + \alpha)} I_{DS}}$$

D'après ces équations et à partir des valeurs de α que nous avons données précédemment, on remarque que les composants TD possèdent un courant de saturation et une transconductance 30 à 40 % plus importants que les composants PD et sur substrat massif.

III.2.2. Mobilité

Longtemps considérée constante dans la couche d'inversion du canal pour les dispositifs MOS, la mobilité est en fait une fonction inverse du champ électrique vertical sous la grille [16, 17]. On peut avancer l'explication suivante : plus le champ électrique est fort sous la grille, plus les porteurs se rapprochent de l'oxyde provoquant ainsi plus de collisions et réduisant ainsi leur vitesse moyenne. Il a été montré [17, 18] que le champ électrique transverse est plus faible pour les transistors TD que pour les transistors PD et sur substrat massif, en particulier au niveau de l'interface oxyde de grille/silicium. La mobilité des porteurs est ainsi améliorée et le courant accru chez les transistors TD.

III.3. Effets de substrat flottant

Les transistors PD présentent une zone interne flottante sous le canal, à l'origine de plusieurs phénomènes physiques parasites en cas d'injection de charges, les principaux étant l'effet « *kink* » et le transistor bipolaire parasite, que nous décrivons ci-après :

III.3.1. Effet « *kink* »

Cet effet s'observe sur la caractéristique statique du courant de drain $I_{ds}=f(V_{ds})$ par un « *kink*⁴ » dans la pente (Figure III-3). Il est surtout présent dans les transistors NMOS PD qui possèdent une zone interne dont le potentiel est flottant.

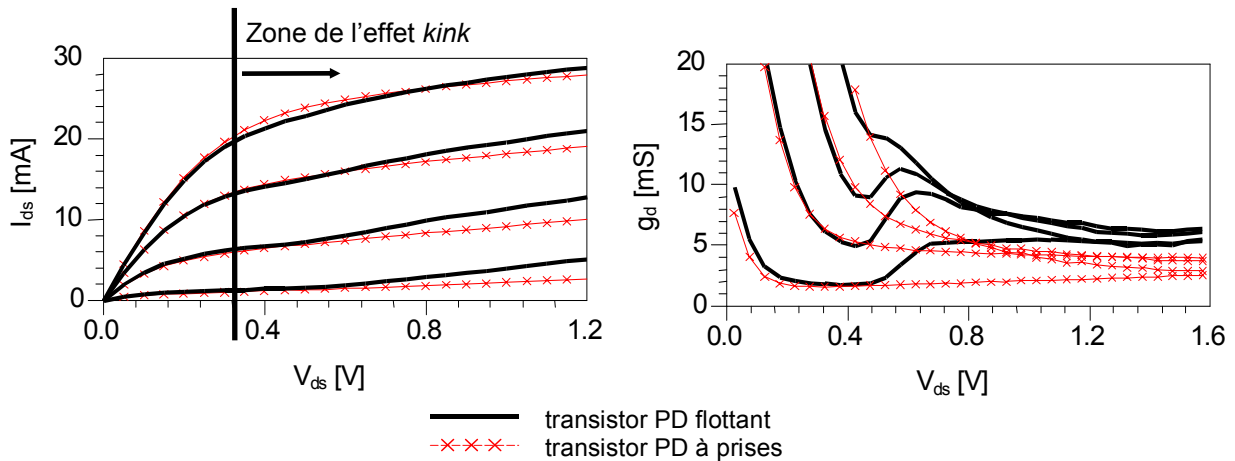


Figure III-3 : Caractéristiques en courant I_{ds} et conductance de sortie g_d des transistors PD avec et sans effet « *kink* » ($L_g=130\text{ nm}$, $W=60\text{ }\mu\text{m}$).

Ce phénomène est dû au mécanisme d'ionisation par impact dans les régions de champs électrique élevé près du drain (Figure III-4). Au-delà d'une certaine tension de drain, les électrons possèdent suffisamment d'énergie, dans les zones de champ élevé proches du drain, pour générer des paires électron-trou. Les électrons se déplacent rapidement vers le drain tandis que les trous, porteurs majoritaires dans le substrat de type p , migrent naturellement vers la zone interne neutre où le potentiel est moindre. L'accumulation des trous induit une augmentation du potentiel de la zone interne, ce qui va polariser la jonction substrat-source et permettre l'écoulement des charges positives. En conséquence, la tension de seuil du transistor diminue et un courant supplémentaire va s'ajouter au courant de drain I_{ds} ,

⁴ Littéralement : une aberration

généralant un « *kink* » sur la pente de la caractéristique $I_{ds} = f(V_{ds})$ et sur la conductance de sortie g_d (Figure III-3).

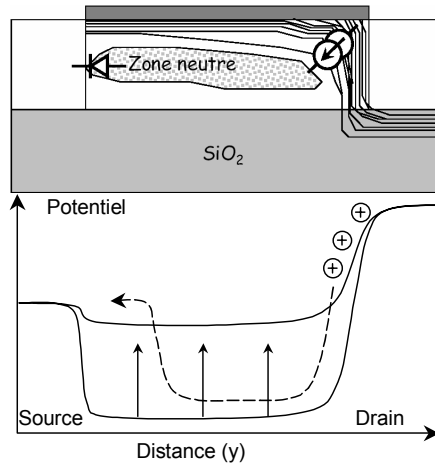


Figure III-4: Mécanisme de l'effet « *kink* » des transistors PD.

Une particularité supplémentaire de l'effet « *kink* » est sa dépendance fréquentielle à cause de la capacité de la jonction substrat-source d'une part et de la constante de temps du mécanisme de génération/recombinaison d'autre part. Des mesures de la conductance de sortie dynamique ont montré que ce mécanisme disparaissait au-delà de 1 MHz [13].

L'effet « *kink* » peut être éliminé par l'ajout de prises substrat permettant d'imposer un potentiel externe à la zone interne du substrat des transistors PD. Cependant, ces prises augmentent les capacités parasites et la résistance d'accès de grille, diminuant les performances en fréquence des transistors PD (Chapitre III).

Dans les transistors TD (Figure III-5), le champ électrique près du drain est plus faible que dans les transistors PD, ce qui limite le mécanisme d'ionisation par impact, et diminue donc le nombre de paires électron-trou générées. De même que pour les transistors PD, les trous vont se déplacer vers la zone de plus faible potentiel, près de la jonction de source. Mais celle-ci est déjà polarisée (la barrière de potentiel source-substrat est plus faible car la zone active est totalement désertée), si bien que les trous peuvent rapidement se recombiner dans la source sans augmenter le potentiel du substrat interne. Le phénomène existe donc aussi pour les transistors TD, mais les conséquences sont différentes : le potentiel du substrat est inchangé et la tension de seuil n'est pas modifiée. Les transistors NMOS TD en inversion ne présentent donc pas d'effet *kink*.

Quant aux transistors PMOS sur SOI, ils ne sont pas sujets à l'effet « *kink* » car le coefficient de génération des paires électron-trou pour les trous énergétiques est inférieur à celui des électrons énergétiques.

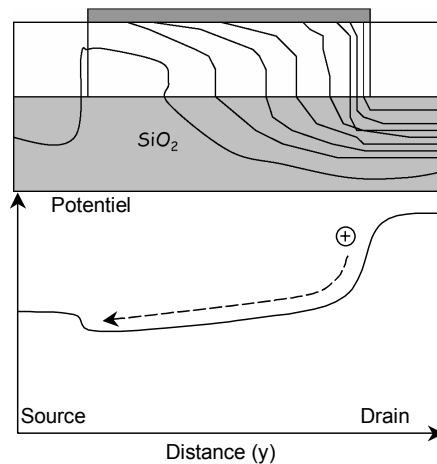


Figure III-5: Transistors TD sans effet *kink*.

III.3.2. Effet du transistor bipolaire parasite et pente anormale sous le seuil

Ce dispositif parasite, de type NPN ou PNP, est localisé dans le film de silicium des transistors SOI (Figure III-6). Il est inhérent à tous les transistors MOSFET y compris sur substrat massif, mais il n'est réellement actif que dans le cas du SOI à cause du substrat flottant.

L'émetteur et le collecteur sont formés par la source et le drain dopés N⁺ et la base par le substrat de type p. Ce transistor parasite apparaît pour des champs électriques élevés, lorsque les trous, créés par le phénomène d'ionisation par impact, migrent dans la zone flottante de substrat. Le transistor bipolaire parasite est à l'origine du second effet « *kink* ».

L'effet bipolaire parasite a deux conséquences préjudiciables pour les transistors SOI :

- la destruction du composant pour des tensions de grille supérieures à la tension de seuil et pour des tensions de drain inférieures à la tension de claquage d'un transistor classique sur substrat massif.

- _ la diminution de la tension de seuil et une pente anormale sous le seuil (inférieure à la valeur de 60 mV/décade prévue en théorie) pour des tensions de grille inférieures à la tension de seuil.

De même que pour le « *kink* », ce phénomène peut être réduit grâce à des prises substrat permettant d'imposer un potentiel fixe au substrat, autrement flottant pour les transistors PD. Dans le cas du transistor sur substrat massif, ce phénomène est plus significatif car le substrat est relié à la masse.

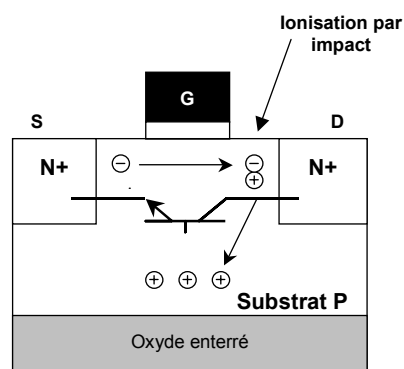


Figure III-6 : Effet du transistor bipolaire parasite pour un transistor SOI PD.

IV. Les transistors hyperfréquences en SOI

Dans cette partie, nous présentons les principaux types de transistors en NMOS et en PMOS de la technologie SOI partiellement désertée 130 nm de ST-Microelectronics, ainsi que leur réalisation technologique et leur dessin. Les explications, données dans cette partie, permettront par la suite d'expliquer les différences de performances en hyperfréquences des transistors (cf. Chapitre III).

IV.1. La technologie SOI-PD 130 nm

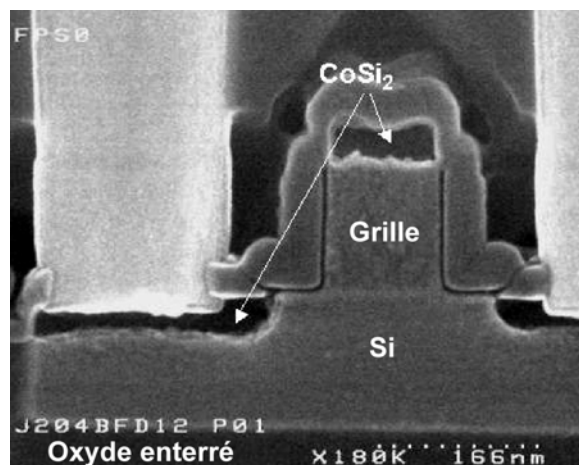


Figure IV-1 : Vue en coupe d'un transistor MOSFET sur SOI.

La Figure IV-1 représente une vue en coupe d'un transistor MOSFET sur SOI 130 nm. Une couche de siliciuration à faible résistivité est déposée sur les régions de source et de drain, ainsi que sur le polysilicium de la grille pour diminuer la valeur des résistances d'accès des transistors. Dans notre cas, la siliciuration est réalisée avec du cobalt, mais du titane peut aussi être utilisé.

La photographie de la Figure IV-1 est reprise schématiquement à la Figure IV-2. Le substrat utilisé est de type UNIBOND (cf. § I.2), avec un film de silicium de 160 nm d'épaisseur et un oxyde enterré de 400 nm d'épaisseur. Deux épaisseurs d'oxyde de grille sont disponibles : 2 nm pour un fonctionnement nominal à 1,2 V et 5 nm pour un fonctionnement

jusqu'à 2,5 V. Les transistors sont isolés latéralement par des tranchées minces d'isolation (« *Shallow Trench Isolation* », STI). Enfin, des zones plus faiblement dopées appelées LDD et LDS (« *Light Doped Drain or Source* ») sont implantées pour réduire les effets de canal court. Ces zones ont une résistivité plus faible pour réduire le champ électrique.

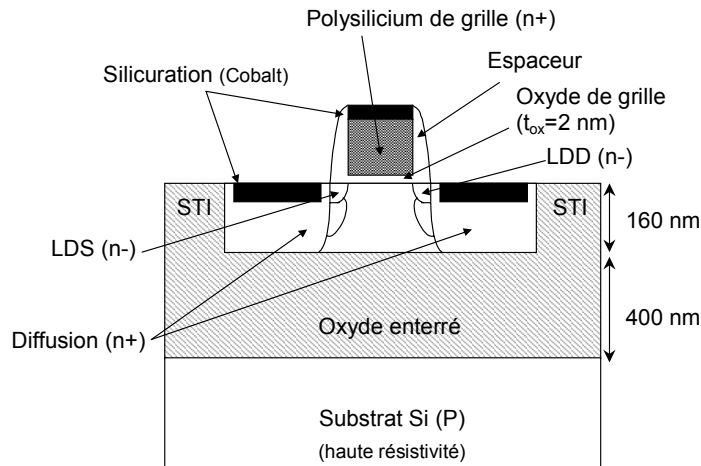


Figure IV-2 : Transistor NMOS de type flottant de la technologie SOI 130 nm.

IV.2. Les transistors flottants et à prises

La technologie SOI-PD dispose principalement de deux types de transistors. Le premier type correspond aux transistors conventionnels dont le substrat interne est flottant. Le deuxième type de transistor permet de s'affranchir des effets de substrat flottant, grâce à des prises latérales qui permettent d'accéder à la zone interne et de lui imposer un potentiel fixe (Figure IV-5). Pour les transistors NMOS, les prises sont de type p^+ et forment un contact ohmique avec le substrat de type p (et inversement pour les transistors PMOS). On distingue trois types de transistors à prises suivant la position des prises par rapport à la grille et leur connexion électrique (Figure IV-3) :

- _ les transistors « *Body-Tied* » (ou isocontact) ont des prises internes reliées électriquement à la source (voir aussi les références [12, 13]). Ces transistors ne sont plus disponibles actuellement dans la technologie SOI 130 nm car leur réalisation est devenue impossible pour les nœuds technologiques 90 nm et 65 nm,

- _ les transistors « *Body-Contacted* » ont des prises externes reliées électriquement à la source,
- _ les transistors *DTMOS* (« *Dynamic Threshold MOS* ») possèdent des prises externes reliées au potentiel de grille (voir aussi la référence [12]). Ce dispositif permet de polariser le substrat interne en même temps que la grille. Il est caractérisé par un fonctionnement avec des tensions d'alimentation faibles et par une transconductance g_m plus élevée que celle des autres transistors SOI.

Dans la suite de ce mémoire, l'appellation « *transistors à prises* » ou « *transistors à prises substrat* » fera référence aux transistors à prises externes dits « *Body-Contacted* ».

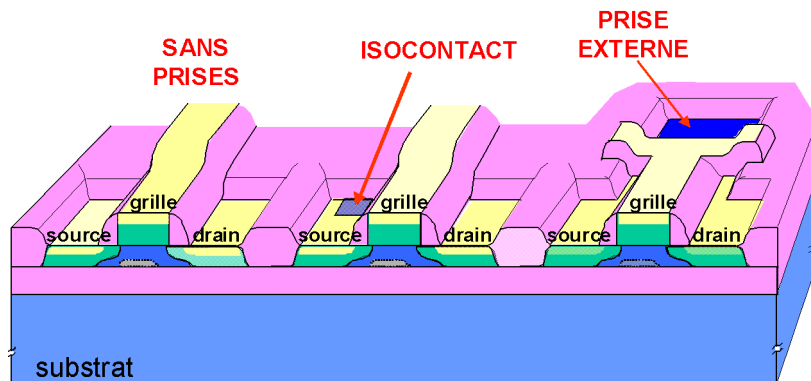


Figure IV-3 : Transistors SOI partiellement désertés.

IV.3. Réalisation technologique et dessins

IV.3.1. Les différents masques des transistors MOSFET

La Figure IV-4 représente le dessin des principales couches technologiques des transistors NMOS et PMOS, de types flottants et à prises (externes). Les dispositifs NMOS et PMOS fonctionnent en inversion de couche. Le substrat est par défaut de type p ce qui permet de réaliser directement le canal des transistors NMOS. Les PMOS nécessitent en plus la réalisation d'un caisson de type n appelé NWELL.

La zone active correspond à des îlots de silicium où le transistor est réalisé. De la même manière que pour les transistors sur substrat massif, ces îlots sont séparés par des

tranchées minces d'isolant (STI). Cependant, dans le cas du SOI, ces tranchées d'isolation atteignent l'oxyde enterré, assurant ainsi l'isolation diélectrique complète du transistor avec son environnement. La largeur W du transistor est définie par celle du masque de la couche active.

Les couches ADLVTN et ADLVTP sont rajoutées pour diminuer la tension de seuil des transistors dits « rapides » (i.e. hyperfréquences). Elles permettent d'obtenir les niveaux de dopage, respectivement p et n , les plus faibles. Ce masque n'est pas nécessaire pour les transistors numériques qui nécessitent des tensions de seuil plus élevées pour réduire les pertes à l'état « bas ».

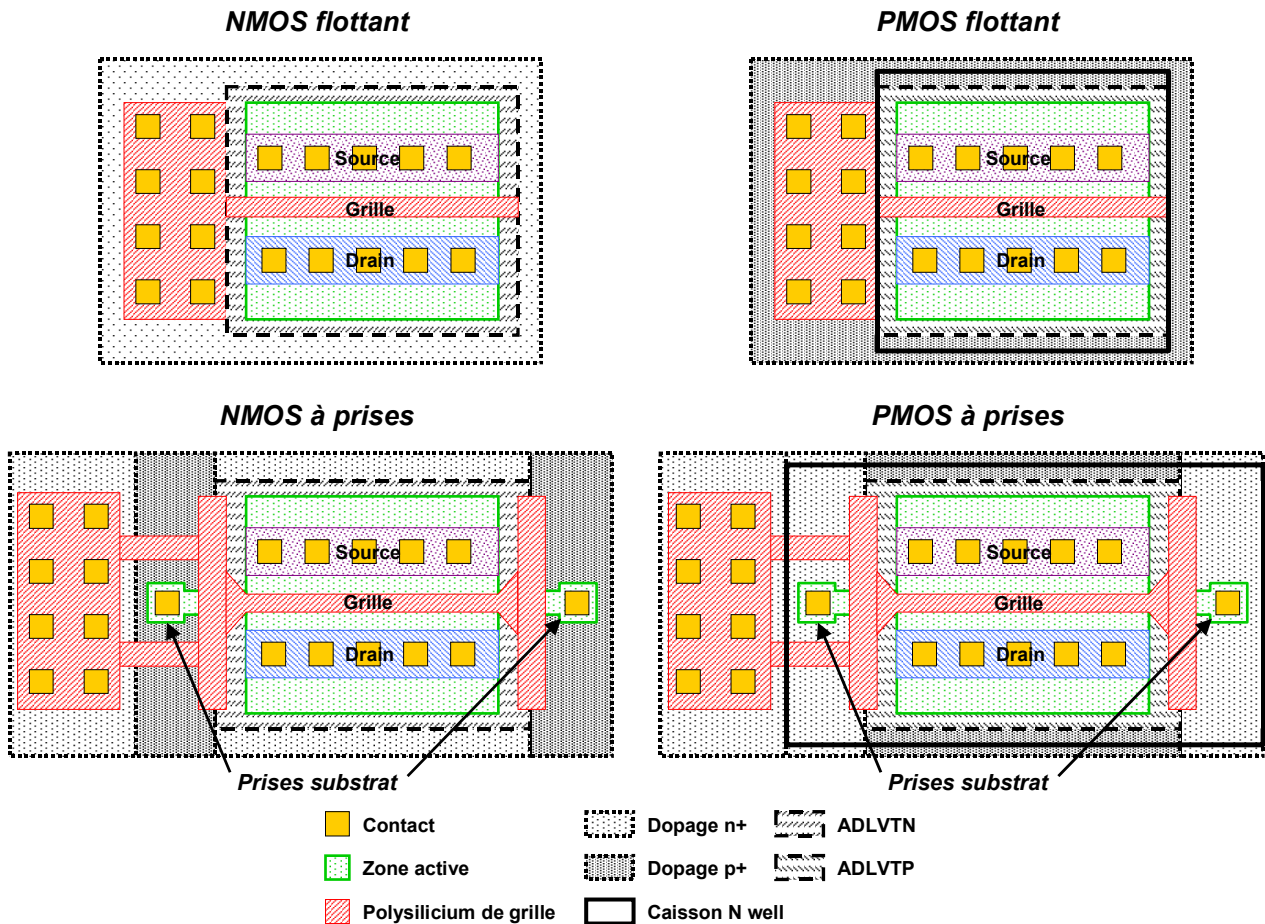


Figure IV-4 : Dessins des transistors NMOS et PMOS à substrat flottant et à prises substrat (Masque VENUS).

	NMOS	PMOS
Dopage du substrat	P	
Dopage du canal	P	N (caisson NWELL)
Masque pour diminuer V_{th}	ADLVTN	ADLVTP
Dopage des diffusions de source et de drain	N+	P+
Dopage des prises	P+	N+

Tableau IV-1 : Dopages des transistors.

L'oxyde de grille, puis sa gravure et le dépôt du polysilicium de grille sont ensuite réalisés. Le canal du transistor est ainsi protégé des impuretés de natures opposées provenant de l'implantation des zones de diffusion de source et de drain, de type n pour les NMOS et de p pour les PMOS.

Les différents accès du transistor (grille, drain et source) sont reliés par des contacts métalliques au premier niveau de cuivre, puis aux différentes couches métalliques par l'intermédiaire des vias. La Figure IV-5 représente un transistor flottant composé de 6 doigts. Les grilles sont reliées entre elles à leur extrémité par un rail de polysilicium.

Généralement, les doigts de grille et de drain sont connectés à leur extrémité par des rails métalliques remontant jusqu'au 6^{ème} niveau de cuivre et la source est reliée à la masse avec le 4^{ème} niveau de cuivre (pour un transistor source commune), ainsi que le montre la Figure IV-5.

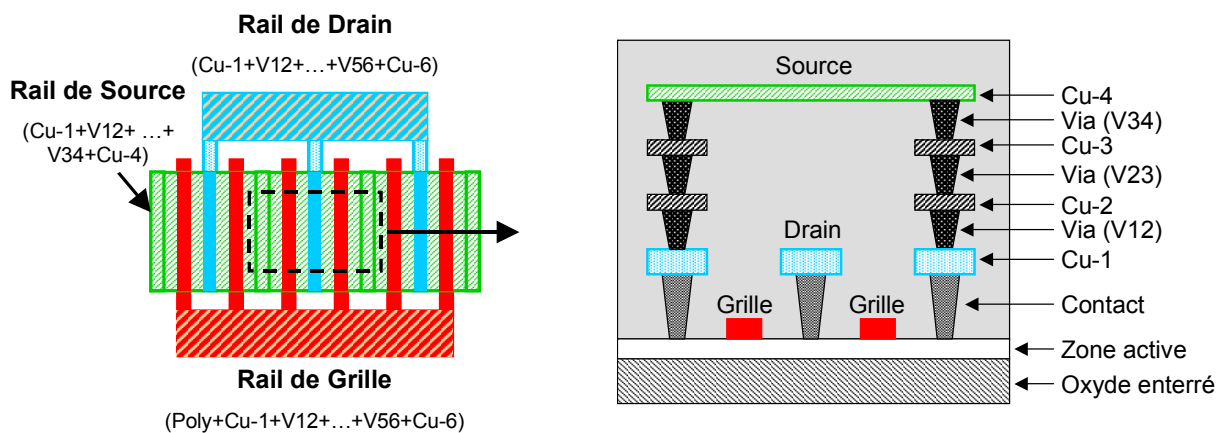


Figure IV-5 : Vue du dessus (gauche) et vue en coupe (droite) d'un transistor multidoigt de type flottant avec ses connexions métalliques.

IV.3.2. Particularités des transistors à prises

Si les effets de substrat flottant sont maîtrisés, la présence des prises impose un dessin très spécifique de la grille avec des pieds de grille en forme de « trompette » aux deux extrémités latérales et avec une extension de la grille pour réaliser les contacts métalliques. Les prises et les contraintes technologiques ont de multiples conséquences sur le dessin des transistors et leurs performances.

Une des premières conséquences est une forte diminution de la densité d'intégration. La largeur du polysilicium en dehors de la zone active augmente de $1,4 \mu\text{m}$ à cause des pieds de grille et de l'extension de la grille. La surface totale occupée par un transistor de $30 \times 2 \mu\text{m}$ (en considérant toutes les connexions) est de $122 \mu\text{m}^2$, ce qui fait une augmentation de $50 \mu\text{m}^2$ de la surface par rapport à un transistor flottant.

De plus, la largeur maximale d'une grille ne devant pas dépasser $5 \mu\text{m}$ pour que les deux prises substrat restent efficaces, l'utilisation de transistors multidoigt est obligatoire pour des largeurs de grille supérieures à $5 \mu\text{m}$ ⁵.

Enfin jusqu'à présent, la technologie ne permet pas de réaliser les contacts métalliques sur le pied de grille, ce qui implique la réalisation d'une extension du polysilicium de grille. Cette contrainte a des conséquences néfastes sur les performances en fréquence des transistors à prises qui possèdent des résistances de grille R_g et des capacités extrinsèques C_{gse} très supérieures à celles des transistors conventionnels de type flottant (cf. Chapitre III).

⁵ Ainsi que nous le verrons par la suite, la structure multidoigt présente un avantage supplémentaire en réduisant la résistance de grille, ce qui permet d'améliorer les performances en fréquence des transistors SOI aussi bien de type flottant qu'à prises substrat.

Conclusion

Dans ce chapitre, nous avons présenté les matériaux et les techniques industrielles de fabrication des substrats SOI, ainsi qu'une méthode de transfert des substrats SOI sur des substrats isolants qui permet d'éliminer les effets parasites du substrat mécanique de silicium pour les applications hyperfréquences.

Nous avons ensuite comparé la technologie SOI avec la technologie sur silicium massif dont les effets parasites deviennent prépondérants pour les longueurs de grilles submicronique et en limitent ses performances. La technologie SOI possède des caractéristiques supérieures, comme la réduction des capacités parasites et de l'effet de canal court, qui en font une candidate de choix pour continuer la réduction d'échelle des composants et pour la montée en fréquence des transistors MOSFET.

Ensuite, nous nous sommes intéressés aux propriétés physiques et électriques des transistors MOSFET SOI, aussi bien sur des substrats partiellement désertés que totalement désertés. Malgré les avantages indéniables du SOI totalement déserté comme l'absence d'effets de substrat flottant, l'industrialisation du SOI partiellement déserté est plus avancée, car les composants totalement désertés nécessitent une très bonne maîtrise des étapes de fabrication, en particulier une bonne uniformité de l'épaisseur du film de silicium.

Enfin, nous avons présenté les transistors MOSFET de la technologie CMOS SOI partiellement déserté 130 nm, en cours d'industrialisation par ST-Microelectronics. Les explications données sur les différents dispositifs disponibles, leurs dessins et leurs réalisations sont destinés à expliquer les différences de performance hyperfréquence des transistors NMOS et PMOS, de type flottant et à prises, dont les mesures seront présentées au Chapitre III. Qui plus est, cette technologie est celle que nous avons utilisée pour la réalisation des circuits de démonstration hyperfréquences sur SOI qui seront présentés dans les Chapitres IV et V.

Bibliographie

- [1] www.monocrystal.com.
- [2] www.peregrine-semi.com.
- [3] J. P. Colinge, *Silicon-On-Insulator Technology: Material to VLSI, 2nd Edition*: Kluwer Academic Publishers, 1997.
- [4] J. Blake, "SIMOX (Separation by Implantation of Oxygen)," *Encyclopedia of Physical Science and Technology, Third Edition, Vol. 14*, 2001.
- [5] www.ibis.com.
- [6] K. Izumi, "History of SIMOX Material," *Bulletin of the Material Research Society*, pp. 20-24, 1998.
- [7] www.soitec.com.
- [8] B. Aspar, C. Lagache, H. Moriceau, A. Soubie, E. Jalaguier, A. Biasse, A. Papon, A. Chabli, A. Claverie, J. Grisolia, G. Benassayag, T. Barge, F. Letertre, and B. Ghyselen, "Smart-Cut(R) Process: An Original Way to Obtain Thin Films by Ion Implantation," Conference on Ion Implantation Technology, 2000.
- [9] B. Aspar, C. Lagache-Blanchard, P. Paillet, V. Ferlet-Cavrois, N. Fel, C. Pavageau, J. du Port de Poncharra, and H. Moriceau, "New SOI Devices Transferred Onto Fused Silica By Direct Wafer Bonding," « 12th Int. Symp Silicon-on-Insulator » of 207th Meet. Electrochemical Society, Quebec City, Canada, May 15-20, 2005.
- [10] J. B. Kuo and S.-C. Lin, *Low-Voltage SOI CMOS VLSI, Design and Circuits*: John Wiley and sons, INC., 2001.
- [11] C. Raynaud, F. Gianesello, C. Tinella, P. Flatresse, R. Gwoziecki, P. Touret, G. Avenier, S. Haendler, O. Gonnard, G. Gouget, G. Labourey, J. Pretet, M. Marin, R. Di Frenza, D. Axelrad, P. Delatte, G. Provins, J. Roux, E. Balossier, J. Vildeuil, S. Boret, B. Van Haaren, P. Chevalier, L. Boissonnet, T. Schwartzmann, A. Chantre, D. Gloria, E. De Foucauld, P. Scheer, C. Pavageau, and G. Dambrine, "Is CMOS a Promising Technology for SoCs in High Frequency Range?" « 12th Int. Symp Silicon-on-Insulator » of 207th Meet. Electrochemical Society, Quebec City, Canada, May 15-20, 2005.
- [12] A. Bracale, "Caractérisation et modélisation des transistors MOS sur substrat SOI pour des applications micro-ondes," *Thèse de l'Université Pierre et Marie Curie, Paris VI, spécialité électronique, 2001*.
- [13] A. Siligaris, "Modélisation grand signal de MOSFET en hyperfréquences: application à l'étude des non linéarités des filières SOI," *Thèse de l'Université des Sciences et Technologies de Lille, spécialité microondes et microtechnologie, 2004*.
- [14] V. Ferlet-Cavrois, "Comportement des technologies SOI sous irradiation," *Habilitation à diriger des recherches de l'Institut National Polytechnique de Grenoble, 2005*.
- [15] J. R. Brews, "A Charge-Sheet Model of the MOSFET," *Solid States Electronics*, vol. 21, pp. 345-355, 1978.
- [16] Y. P. Tsvividis, *Operating and Modeling of the MOS transistor*: Mac Graw-Hill, New York, 1997.

- [17] J. C. Sturm, K. Tokunaga, and J. P. Colinge, "Increased Drain Saturation current in Ultra-Thin Silicon-On-Insulator (SOI) MOS Transistors," *IEEE Electron Device Letters*, vol. 9, pp. 460, 1988.
- [18] M. Yoshimi, H. Hazama, M. Takahashi, S. Kambayashi, and H. Tango, "Observation of Mobility Enhancement in Ultrathin SOI MOSFET's," *Electronics Letters*, vol. 24, pp. 1078, 1988.

CHAPITRE II

LES LIGNES DE TRANSMISSION SUR SOI

Introduction

Le rapport démesurément grand entre les surfaces occupées par les éléments passifs et celles des actifs est une caractéristique importante des circuits RF et hyperfréquences, contrairement aux circuits numériques. Les éléments passifs, tels que les inductances ou les capacités, sont nécessaires à l'adaptation d'impédance, au filtrage, à la distribution du signal, etc. Aux hyperfréquences, les éléments localisés perdent leur caractère fréquentiel linéaire, si bien qu'il est nécessaire de les remplacer par des éléments distribués tels que les lignes de transmission microruban ou coplanaires (haute et basse impédance caractéristique respectivement pour les inductances et les capacités). Celles-ci ont en plus les avantages d'occuper moins de surface que les composants qu'elles remplacent et d'obtenir des valeurs très précises.

Cependant, si le développement des circuits hyperfréquences en silicium est problématique, ce n'est pas en raison des performances des transistors aux fréquences millimétriques, mais à cause de la qualité insuffisante des lignes de transmission. Le principal défi est donc actuellement la réalisation de structures de propagation à faibles pertes.

Dans la première partie de ce chapitre, nous examinerons les caractéristiques des deux principales structures de propagation, à savoir les lignes microruban et les lignes coplanaires, et leur implémentation dans la technologie SOI 130 nm de ST-Microelectronics. La deuxième partie est consacrée à la modélisation de ces lignes. Enfin, la troisième partie fournit les performances des lignes et les moyens envisageables pour les améliorer.

I. Les structures de propagation hyperfréquences sur SOI

Cette partie présente les deux principales structures de propagations que nous avons utilisées pour les circuits hyperfréquences, à savoir la ligne microruban et la ligne coplanaire. Dans un premier temps, nous décrivons la structure des couches disponibles pour les interconnexions en technologie SOI 130 nm. Ensuite, la structure, les modes de propagation et l'implémentation des lignes microruban et des lignes coplanaires sur SOI sont détaillées.

I.1. Structure des couches d'interconnexions

La structure des couches métalliques, représentée à la Figure I-1, est constituée de six couches de cuivre et d'une septième couche d'aluminium optionnelle, utilisée pour les plots et les inductances. Les couches diélectriques intermétalliques sont constituées d'oxyde (SiO_2) et de nitrure (Si_3N_4) d'épaisseurs variables. De plus, à chaque niveau métallique est associé une couche d'oxyde non représentée sur la Figure I-1.

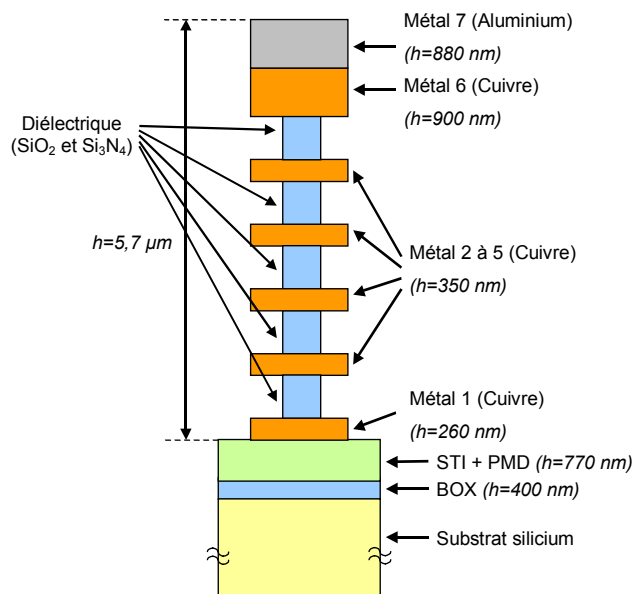


Figure I-1 : Structure des couches métalliques de la technologie SOI 130 nm.

I.2. La ligne microruban sur couche mince

I.2.1. Structure

La structure de la ligne microruban (Figure I-2) est constituée d'un ruban conducteur posé au-dessus d'un substrat diélectrique semi-isolant et d'un plan de masse de face arrière. La propagation du signal se fait entre le ruban conducteur et le plan de masse. Celui-ci est réalisé au-dessus du substrat de silicium, ce qui permet de s'affranchir des pertes du substrat. Cette propriété est très importante en silicium car les substrats sont traditionnellement de résistivité standard ($10 \Omega \cdot \text{cm}$), ce qui en fait des diélectriques de très mauvaise qualité.

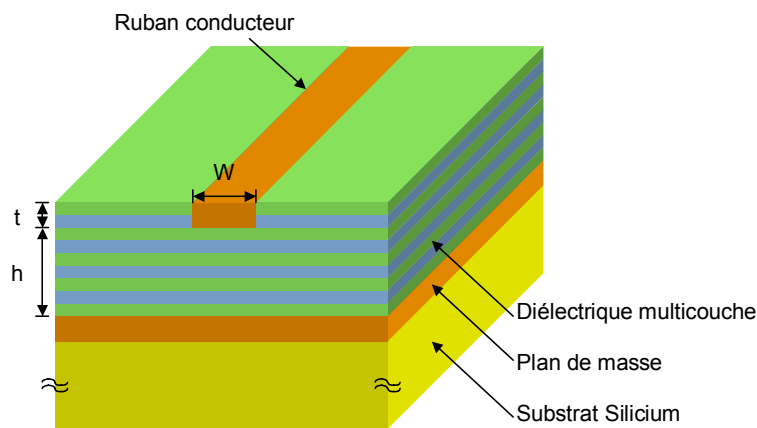


Figure I-2 : Ligne microruban.

En technologie SOI 130 nm, le ruban conducteur est réalisé sur le niveau de cuivre 6, auquel peut être ajoutée une couche optionnelle d'aluminium pour épaissir la ligne et diminuer sa résistance métallique.

Le plan de masse est réalisé sur les niveaux de cuivre 1 et 2 avec une structure particulière en forme de grillage (Figure I-3). Celle-ci a été adoptée pour respecter les contraintes technologiques de planarisation qui ne permettent pas d'avoir des surfaces pleines de métallisation. En effet, la densité maximale de cuivre ne doit pas dépasser 70 à 80 % de la surface, suivant la couche impliquée et la surface de métallisation. Pour réaliser la structure grillagée, le plan de métallisation du niveau de cuivre 2 a été dessiné de manière à recouvrir les trous du premier niveau de cuivre. Finalement, les deux plans sont court-circuités par des

matrices de vias métalliques. La structure, dessinée en se plaçant aux densités maximales, donne l'illusion d'une surface pleine. Cependant, elle n'est plus utilisable au-delà de 65 GHz.

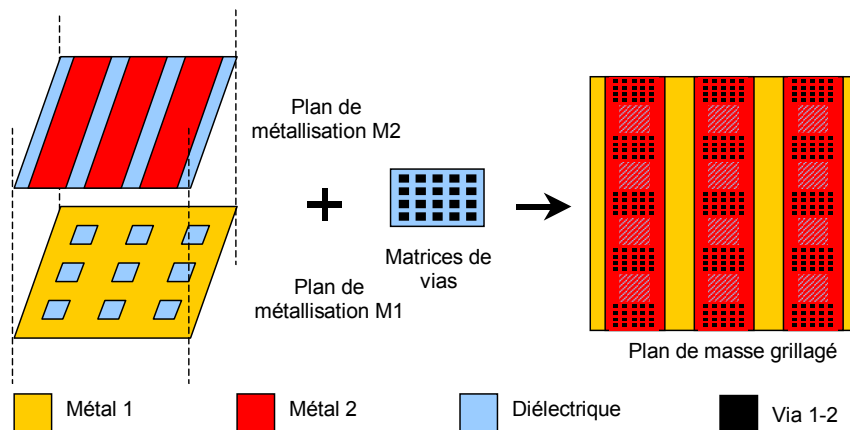


Figure I-3 : Schéma du plan de masse grillagé.

Les lignes microruban sur silicium ont des dimensions très différentes de celles utilisées dans les circuits hyperfréquences en III-V. En effet, la couche de diélectrique correspond en III-V au substrat du circuit, conduisant à des épaisseurs de diélectrique de l'ordre de quelques centaines de microns et à des largeurs de ruban de quelques dizaines de microns. Dans notre cas, sur SOI, le substrat diélectrique de la ligne se trouve entre les niveaux de cuivre 2 et 6, ce qui correspond à une épaisseur de $2,9 \mu\text{m}$, d'où le terme de ligne microruban sur couche mince (« *Thin Film MicroStrip* »). Cette très faible épaisseur conduit à des rubans conducteurs très fins (typiquement $4,4 \mu\text{m}$ pour une ligne 50Ω), ce qui a pour effet d'augmenter très fortement les pertes métalliques.

I.2.2. Modes de propagation

Une ligne de transmission est constituée de deux conducteurs disjoints, isolés par un diélectrique homogène, permettant la propagation d'un mode appelé « Transverse ElectroMagnétique » (TEM), dans lequel les composantes électriques et magnétiques longitudinales sont nulles ($E_z = H_z = 0$). C'est un mode de propagation non dispersif et sans fréquence de coupure. La Figure I-4 représente ce mode dans le cas de la ligne microruban.

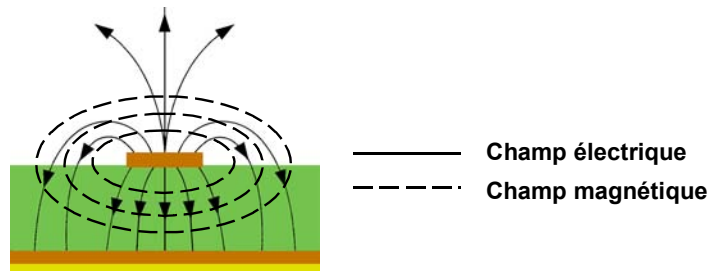


Figure I-4 : Représentation schématique du mode de propagation TEM pour la ligne microruban.

La ligne microruban est une structure de propagation ouverte dont les champs se propagent à la fois dans le substrat diélectrique et dans l'air. Il y a donc apparition de composantes longitudinales non nulles. Cependant, leur amplitude est relativement faible par rapport aux composantes transversales, si bien que le mode dominant se comporte comme le mode TEM. Dans ce cas-là, on parle de mode « quasi-TEM », ce qui permet d'appliquer la théorie des lignes de transmission TEM.

I.3. La ligne coplanaire

I.3.1. Structure

La ligne coplanaire (Figure I-5) est composée de trois rubans conducteurs déposés sur un substrat diélectrique. Le ruban central de largeur W propage le signal, tandis que les deux rubans latéraux, de largeur W_g , font office de plans de masse semi-infinis (i.e. de grande dimension). Le ruban central est séparé des deux plans de masse par des fentes de largeurs S .

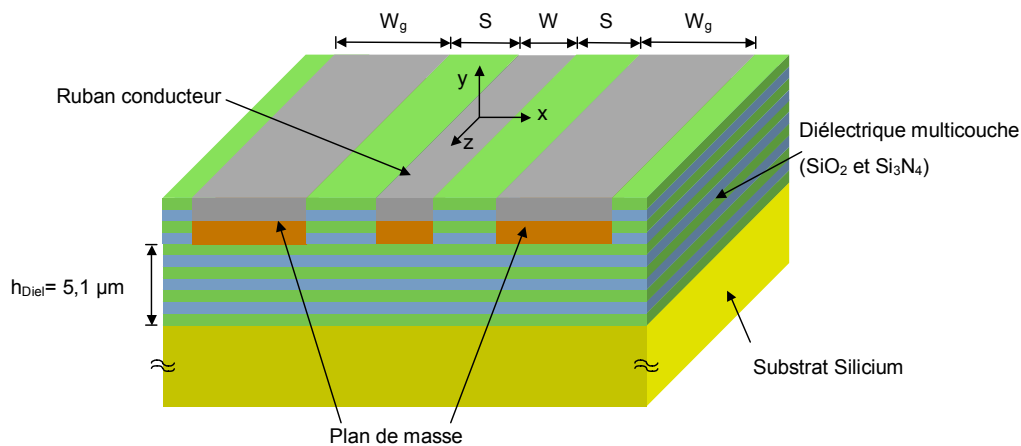


Figure I-5 : Ligne coplanaire sur SOI.

La structure de la ligne coplanaire en technologie SOI 130 nm est représentée à la Figure I-5. Le ruban conducteur et les plans de masse latéraux sont dessinés sur le niveau de cuivre 6 auquel est rajouté le niveau d'aluminium. De même que pour la ligne microruban, les plans de masse ont une structure maillée (cf. I.2.1).

Le substrat diélectrique est en principe semi-isolant afin de limiter les pertes diélectriques, ce qui est effectivement le cas avec les substrats d'AsGa ou d'InP en III-V. Pour le silicium, la situation est très différente car le substrat diélectrique comprend le substrat mécanique de silicium et une structure multicouche d'une épaisseur totale de 5,1 μm , composée des niveaux diélectriques intermétalliques et de l'oxyde enterré (BOX). La résistivité des substrats de silicium est très faible par rapport à celle des substrats III-V, de l'ordre de 10 $\Omega\cdot\text{cm}$ pour les substrats standards industriels, si bien que les pertes diélectriques ne sont plus négligeables. Cependant, l'introduction récente de substrats de résistivité plus élevée ($>1000 \Omega\cdot\text{cm}$) ou les techniques de report des substrats SOI sur des substrats isolants¹ permettent de diminuer les pertes diélectriques, ce qui relance considérablement l'intérêt de la ligne coplanaire sur SOI pour réaliser des lignes de transmission faibles pertes.

I.3.2. Modes de propagation

Dans un premier temps, nous verrons les modes de propagation dans le cas d'un substrat semi-isolant, puis dans le cas des substrats de silicium.

I.3.2.a) Sur substrat semi-isolant

De même que la ligne microruban, la ligne coplanaire possède une interface air-diélectrique et le mode de propagation n'est donc pas purement TEM. De par sa géométrie et sa structure, cette ligne supporte deux modes de propagation [1, 2] :

- _ un mode impair quasi-TEM, encore appelé mode coplanaire,
- _ un mode pair quasi-TE, encore appelé mode fente.

Les modes pair et impair sont définis à partir des composantes longitudinales du champ électromagnétique par rapport à l'axe O_y de sorte que : $E_z(-x,y) = E_z(x,y)$ pour le mode pair et $E_z(-x,y) = -E_z(x,y)$ pour le mode impair.

¹ cf. Chapitre I, paragraphe I.3.

Le mode impair, qui est le mode souhaité, se propage dans le conducteur central. Les plans de masse sont alors équipotentiels. Ce mode n'est pas purement TEM, mais un choix judicieux des dimensions de la ligne permet de minimiser les composantes longitudinales E_z et H_z , si bien que l'on parle de mode quasi-TEM. Les champs électriques et magnétiques de ce mode sont représentés schématiquement à la Figure I-6.

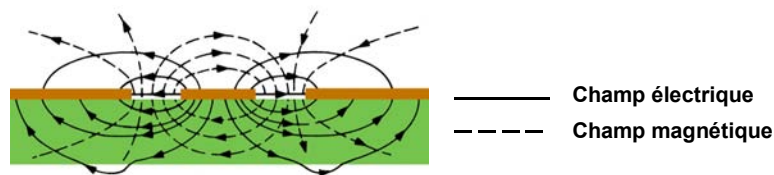


Figure I-6 : Représentation schématique des champs.

Le mode pair (indésirable) peut être excité par la présence de discontinuités telles qu'une jonction ou un coude. Il se traduit par des potentiels opposés sur les deux plans de masse et un potentiel nul sur le ruban conducteur. Un ruban métallique transversal est suffisant pour filtrer ce mode et rétablir l'équipotentialité des plans de masse. Les technologies III-V disposent généralement de ponts à air alors qu'en silicium, l'équipotentielle est réalisée sur un niveau de métallisation inférieure à celui utilisé pour réaliser la structure coplanaire.

Les dimensions finies des plans de masse, la présence de boîtiers et de surfaces métalliques, ainsi que des potentiels différents entre le ruban conducteur et les plans de masse sont capables d'exciter des modes parasites, en plus du mode quasi-TE [1]. L'interaction de ces modes avec le mode coplanaire entraîne une dispersion fréquentielle de l'onde et contribue à augmenter les pertes par rayonnement. L'application des critères suivants permet de minimiser leur propagation [2, 3]:

$$[I-1] \quad h < 0.12 \frac{\lambda_0}{\sqrt{\epsilon_r}}$$

$$[I-2] \quad d < 0.1 \cdot \frac{\lambda_0}{\sqrt{\epsilon_r}}$$

$$[I-3] \quad d \ll h$$

où d est la distance intermasse, h est l'épaisseur totale du diélectrique, ϵ_r est la permittivité équivalente du diélectrique et λ_0 est la longueur d'onde dans le vide.

I.3.2.b) Sur substrat de silicium

Sur silicium, l'analyse des modes de propagation de la ligne coplanaire passe par celle des structures *métal-isolant-semiconducteur* (MIS). En effet, le substrat diélectrique est composé de matériaux isolants (SiO_2 ou Si_3N_4) pour moins de 1 % et du substrat de silicium pour le reste. Or sa résistivité est faible en comparaison à celle des substrats d'AsGa ($>10^7 \Omega \cdot \text{cm}$). Les phénomènes de propagation sont par conséquent différents de la structure sur substrat isolant et les pertes diélectriques peuvent devenir prépondérantes par rapport aux pertes métalliques.

Les études des modes en fonction de la résistivité du substrat et de la fréquence, aboutissent à la conclusion que trois modes sont susceptibles de se propager dans les structures MIS [4-6] :

- Un mode quasi-TEM à résistivité forte et fréquence élevée : l'analyse des lignes coplanaires sur substrat semi-isolant (§ I.3.2.a) et la théorie des lignes TEM sont applicables.
- Un mode à effet de peau à résistivité faible et fréquence élevée : le substrat de silicium se comporte comme un conducteur de résistivité ρ_{Si} . Aucun des deux champs électrique et magnétique ne s'étend au-delà de l'épaisseur de peau. Les pertes sont principalement métalliques.
- Un mode à ondes lentes à résistivité faible et fréquence faible : dans cette zone, le champ magnétique s'étend dans le silicium alors que le champ électrique ne peut y pénétrer, car le substrat se comporte comme un conducteur à pertes. Ce mode est caractérisé par une séparation des énergies électrique et magnétique.

Ces trois modes de propagation, représentés à la Figure I-7, sont délimités par la fréquence de relaxation des porteurs majoritaires dans le silicium F_ε :

$$[\text{I-4}] \quad F_\varepsilon = \frac{1}{2\pi \cdot \varepsilon_{r\text{Si}} \cdot \varepsilon_0 \cdot \rho_{\text{Si}}}$$

et par la fréquence caractéristique de l'effet de peau F_δ :

[I-5]

$$F_{\delta} = \frac{\rho_{Si}}{\pi \cdot \mu_0 \cdot l_{eff}^2}$$

où l_{eff} est l'épaisseur de pénétration du champ magnétique sans effet de peau.

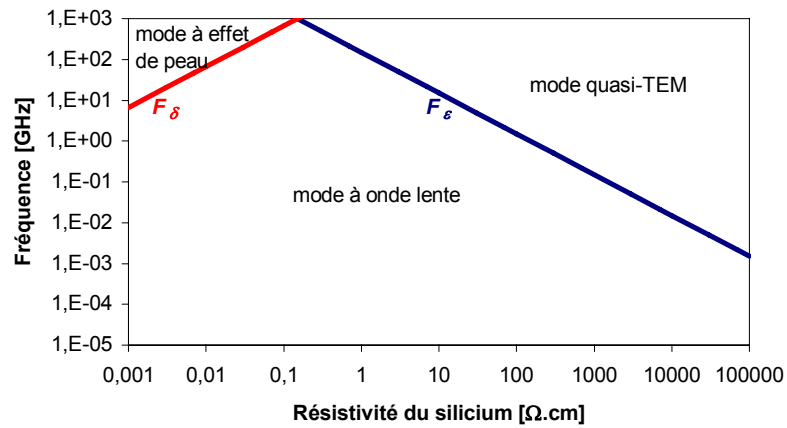


Figure I-7 : Diagramme de répartition des modes de propagation en fonction de la fréquence et de la résistivité du substrat.

II. Modélisation des lignes sur SOI 130 nm

Dans cette partie, nous présentons les modèles qui ont été développés pour les lignes microruban et coplanaires en technologie SOI 130 nm.

II.1. Modèles analytiques

De nombreux modèles analytiques, à la fois simples, rapides et adaptés à la CAO, ont été développés, aussi bien pour les lignes microruban [7-9] que coplanaires [10-12]. Ces modèles utilisent des formules de synthèse élaborées à partir des propriétés géométriques et des paramètres des matériaux (constante diélectrique et conductivité des métaux).

Cependant, leurs conditions de validité limitent drastiquement leur utilisation dans le cas des lignes sur SOI. En effet, les très petites dimensions² des lignes microruban sur couche mince diffèrent considérablement de celles des lignes traditionnelles à partir desquelles les modèles analytiques ont été généralement développés. Appliqués à la ligne microruban sur couche mince, ces modèles conduisent à des erreurs significatives à cause des lois d'échelles inadaptées pour décrire correctement les variations fréquentielles de ses paramètres électriques. Des modèles adaptés sont donc nécessaires tel que celui développé par Schnieder et Einrich [13]. Quant à la ligne coplanaire, peu de modèles sont adaptés à la structure MIS sur SOI [14, 15].

II.2. Modèle phénoménologique à constantes réparties RLCG

Une ligne de transmission propageant le mode TEM peut être modélisée par un schéma électrique équivalent à constantes réparties de type R_s , L_s , C_p , G_p , comme présenté à la Figure II-1.

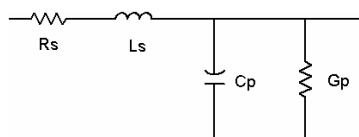


Figure II-1 : Schéma électrique équivalent d'une ligne TEM.

² épaisseur du diélectrique et largeur du ruban

L'impédance caractéristique de la ligne s'exprime alors par :

$$[\text{II-1}] \quad Z_c = \sqrt{\frac{(R_s + jL_s\omega)}{(G_p + jC_p\omega)}}$$

La constante de propagation s'exprime par :

$$[\text{II-2}] \quad \gamma = \alpha + j\beta = \sqrt{(R_s + jL_s\omega) \times (G_p + jC_p\omega)}$$

où α est la constante d'atténuation en Np/m ou en dB/m et où β est la constante de phase en rad/m.

L'extraction de γ et de Z_c à partir des mesures permet d'obtenir les paramètres linéiques R_s , L_s , C_p , G_p de la ligne de transmission (Figure II-2). Concernant les méthodes de mesure, on pourra se référer aux documents [4] et [16].

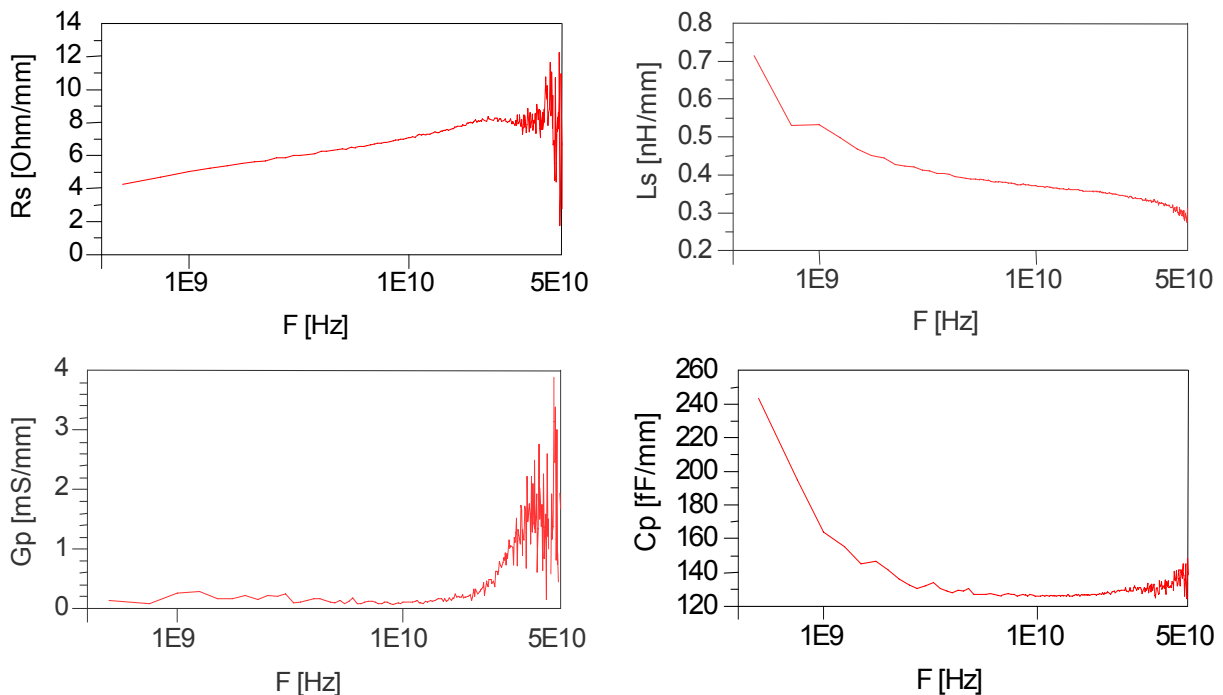


Figure II-2 : Paramètres R_s, L_s, C_p, G_p d'une ligne microruban sur SOI.

La représentation de la ligne par ses paramètres linéiques permet une modélisation de type phénoménologique rapide et facile à mettre en œuvre. En effet, à partir de la mesure des paramètres S de la ligne, on trouve facilement des équations mathématiques simples décrivant la variation fréquentielle de chacun des quatre paramètres R_s , L_s , C_p , G_p . A partir de quelques

motifs, dont la largeur couvre la gamme d'impédances réalisables avec la technologie, il est même possible de développer des lois d'échelle par rapport à la largeur du ruban. Des méthodes d'optimisation des paramètres, telles que celles utilisées par A. Siligaris pour son modèle de transistor (voir le Chapitre III et la référence [17]), permettent d'ajuster les paramètres des équations pour d'obtenir une modélisation précise.

La modélisation phénoménologique ne nécessite pas la connaissance des paramètres technologiques des matériaux, ce qui représente un avantage important lorsque ces données sont difficiles à obtenir dans un contexte industriel (confidentialité). Pour cette raison, la conception des circuits présentés dans les Chapitres IV et V a été démarrée grâce à ce type de modèle pour les lignes microruban. Les équations ont été obtenues à partir d'un jeu de mesures de paramètres S de quatre lignes, ayant un ruban constitué des niveaux de cuivre 6 et d'aluminium, et de largeur comprise entre 2,4 μm et 12 μm :

$$\begin{aligned}
 R_S &= (R_{a1} \cdot W^{Ra2}) \cdot (1 + R_b \cdot \log(F^3)) \\
 L_S &= (L_{a1} \cdot \ln(W) + L_{a2}) \left(1 + \frac{(L_{b1} \cdot \ln(W) + L_{b2}) - \frac{F}{L_{d1}}}{(F + L_c)^{1,2}} \right) \\
 C_p &= (C_{a1} \cdot W + C_{a2}) \left(1 + (C_{b1} \cdot W^2 + C_{b2} \cdot W + C_{b3}) * \exp(-(F + C_c)^{0,9}) + \left(\frac{F}{C_{d1} \cdot W^{Cd2}} \right)^{kcc} \right) \\
 G_p &= (G_{a1} \cdot W + G_{a2}) \left(1 + \left(\frac{F}{G_{b1} \cdot W^{Gb2}} \right)^2 \right)
 \end{aligned}
 \tag{II-3}$$

Ce modèle a été implémenté dans le simulateur de circuit ADS grâce à la représentation en matrice chaîne des paramètres électriques (cf. Annexe II.A.2).

Cependant, même s'il reproduit avec précision le comportement expérimental de la ligne et que sa mise en œuvre est très simple, ce type de modèle n'est valable que pour une technologie et une topologie bien spécifique d'éléments passifs. Par ailleurs, le modèle devient très vite imprécis dès que l'on sort de son domaine d'extraction.

II.3. Modèle électromagnétique (EM)

Les simulateurs EM permettent le calcul des champs électrique et magnétique dans les structures de propagation, grâce à une résolution numérique des équations de Maxwell. L'analyse fréquentielle peut être conduite par la méthode des moments (MoM), des éléments finis (FEM) ou des différences finies dans le domaine temporel (FDTD). La simulation EM

demande beaucoup de ressources informatiques, à cause des techniques numériques de maillage utilisées pour calculer les champs. De plus, la mise en œuvre d'un modèle EM est beaucoup moins aisée que celle des modélisations analytiques ou phénoménologiques.

Dans notre étude, nous avons utilisé le logiciel HFSS d'Ansoft pour établir un modèle multicouche des niveaux d'interconnexion de la technologie SOI 130 nm. L'objectif était de disposer d'un outil alternatif à la mesure, nous permettant de simuler tout type de structure de propagation relative à la technologie. La structure multicouche des niveaux d'interconnexion a été calibrée à partir des mesures dont nous disposons sur les lignes microruban.

II.3.1. Elaboration d'un modèle simplifié de la structure multicouche

Les niveaux d'interconnexion sont constitués d'une dizaine de couches très fines de nitrure ($\epsilon_r = 8,1$) et d'une quinzaine de couches d'oxyde ($\epsilon_r = 3,7$ ou $4,2$). Une simplification de cette structure multicouche, nécessaire pour diminuer le temps de calcul dans HFSS, a été faite en utilisant l'expression de Kraszewski [18] :

$$[\text{II-4}] \quad \epsilon_m = \left[\epsilon_h^{1/2} + v_i (\epsilon_i^{1/2} - \epsilon_h^{1/2}) \right]^2$$

où v_i est la fraction volumique de la couche i et où ϵ_h , ϵ_i sont les permittivités complexes du milieu hôte et des inclusions. Cette équation est symétrique et ne fait pas intervenir la forme des particules contrairement à beaucoup de formules dans la littérature.

Pour illustrer la simplification réalisée, la structure en 2D des lignes coplanaires est représentée à la Figure II-3. Les paramètres des couches sont donnés dans le Tableau II-1 et le Tableau II-2. La ligne microruban (dont la structure 2D n'est pas représentée) peut être décrite de la même manière.

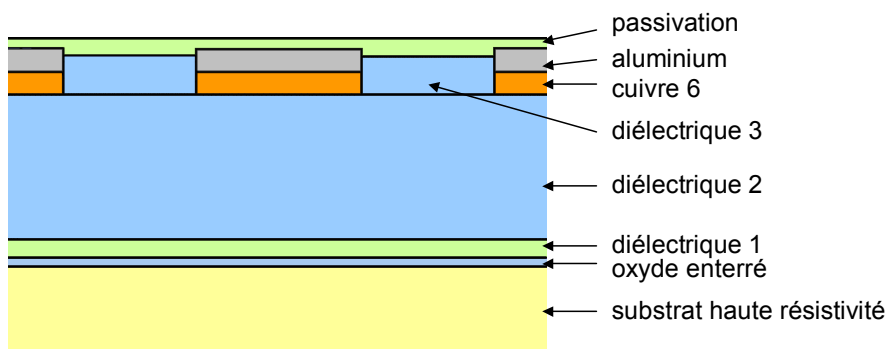


Figure II-3 : Structure multicouche simplifiée pour la ligne coplanaire.

Couches		h[nm]	ϵ_r	$\tan\delta$	$h_m[\text{nm}]/\epsilon_m$	$\rho (\Omega.\text{cm})$
Box	Oxyde	400	4	-	-	-
Diélectrique 1 (STI+PMD)	Oxyde	180	4	0,05	770/4,31	-
	Oxyde	540	4,2	0,05		-
	Nitruure	50	7,0	0,05		-
Diélectrique 2 (M1 à M5)	Oxyde	3650	3,7	0,05	3910/3,94	-
	Nitruure	260	8,1	0,05		-
Diélectrique 3 (M6 & Al)	Oxyde	1400	4,2	0,05	1460/4,34	-
	Nitruure	60	8,1	0,05		-
Passivation	Nitruure	600	8,1	0,05	-	-

Tableau II-1 : Hauteur et permittivité équivalente des couches de la structure simplifiée.

Couche métallique	$\sigma \cdot 10^7$ (S/m)
aluminium	2,8
cuivre 6	4,06
cuivre 1 et 2	4,25

Tableau II-2 : Conductivité des couches métalliques.

A partir de cette simplification, les paramètres électriques (impédance caractéristique Z_c et constante de propagation γ) des lignes de transmission sont simulés dans HFSS. Un modèle tabulé, qui fait appel à la représentation en matrice chaîne des paramètres électriques, est finalement implémenté dans le simulateur de circuit ADS (cf. Annexe II.A.2.).

II.3.2. Calibrage du modèle

La structure multicouche adoptée a été calibrée à partir de mesures de lignes microruban (Figure II-4), avec un ruban d'une largeur comprise entre 2,4 μm et 12 μm et constitué des niveaux de cuivre 6 et d'aluminium. Une très bonne corrélation simulation/mesure a été obtenue et ce, pour des largeurs de lignes correspondant à une gamme d'impédances comprise entre 30 Ω et 70 Ω .

De même, la structure multicouche a été vérifiée pour une ligne coplanaire réalisée sur un substrat haute résistivité (Figure II-5). Le ruban conducteur et les plans de masse ne sont pas pleins et leur densité de métallisation est de 70 %. Comme conséquence, la capacité effective de la ligne est égale à 70 % de la capacité correspondant à un ruban de métallisation plein, ce qui nécessite de faire une correction sur l'impédance caractéristique simulée :

$$[II-5] \quad Z_{c \text{ mesurée}} = \sqrt{\frac{L_{\text{mesurée}}}{C_{\text{mesurée}}}} = \sqrt{\frac{L_{\text{simulée}}}{70\% \times C_{\text{simulée}}}} = Z_{c \text{ simulée}} \times 1,19$$

Après correction de la valeur simulée de Z_c , on peut noter qu'un très bon accord est obtenu avec la mesure, avec un écart inférieur à 3 %. Concernant la constante d'atténuation, les caractéristiques du kit de calibrage TRL ne permettent pas de l'extraire au-delà de 15 GHz. L'écart obtenu jusqu'à cette fréquence est inférieur à 0,15 dB/mm, ce qui est du même ordre de grandeur que pour les lignes microruban. Enfin, un excellent accord est obtenu pour la permittivité relative effective. De manière générale, les comparaisons entre simulations HFSS et données de mesure montrent un très bon accord.

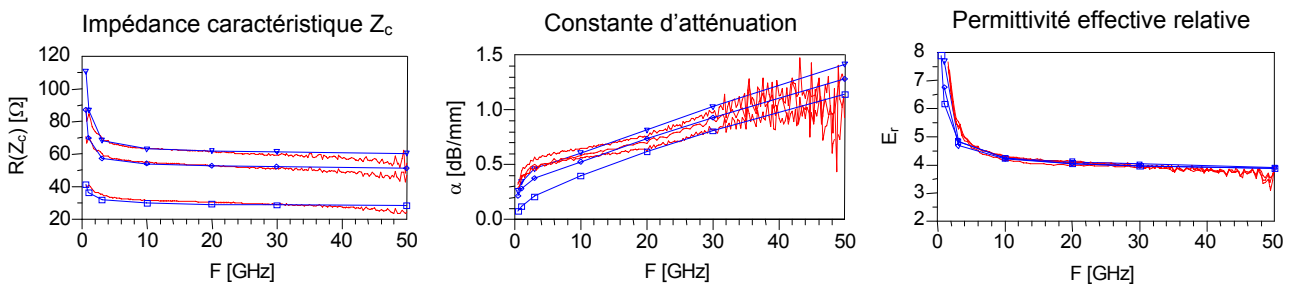


Figure II-4 : Mesure et simulation HFSS de trois lignes microruban.

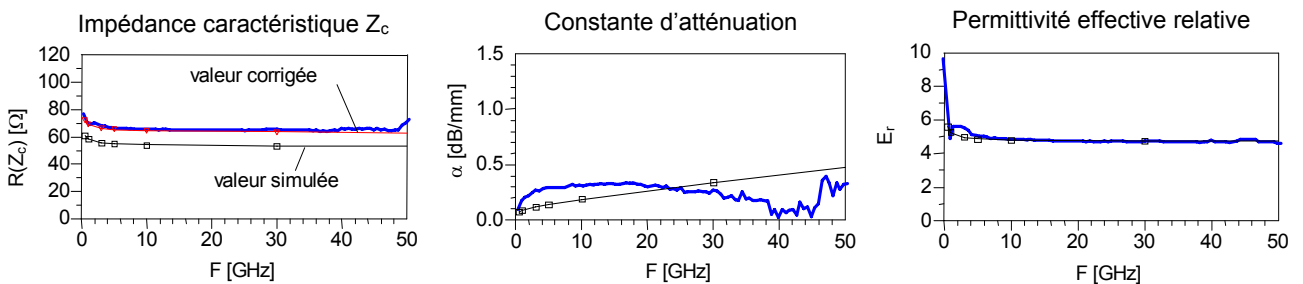


Figure II-5 : Mesure et simulation HFSS d'une ligne coplanaire sur un substrat SOI haute résistivité ($W = 38,5 \mu\text{m}$ et $S = 24,4 \mu\text{m}$).

II.4. Comparaison des modèles

Dans cette section, nous comparons le modèle multicouche obtenu dans HFSS, avec le modèle phénoménologique de type RLCG (voir II.2) et avec le modèle analytique de la librairie « *Microstrip* » du simulateur de circuit ADS. La comparaison porte sur une ligne

microruban réalisée avec un ruban conducteur constitué des niveaux de cuivre 6 et d'aluminium et de largeur $3,8 \mu\text{m}$ (Figure II-6).

Le calcul des erreurs est effectué dans une gamme de fréquence comprise entre 2,5 GHz et 40 GHz, et les résultats sont donnés dans le Tableau II-3. Au-delà de 40 GHz, la qualité des mesures ne permet pas de tirer des conclusions fiables. Comme on pouvait s'y attendre, le modèle RLCG obtient le meilleur résultat, ce qui n'est pas surprenant dans la mesure où les équations ont été directement déterminées à partir de mesures. Le modèle « HFSS » obtient lui aussi un très bon accord avec la mesure pour Z_c et ϵ_r . Quant au modèle analytique d'ADS, la précision sur les trois paramètres Z_c , α et ϵ_r est très mauvaise, avec une erreur supérieure à 30 % sur ϵ_r .

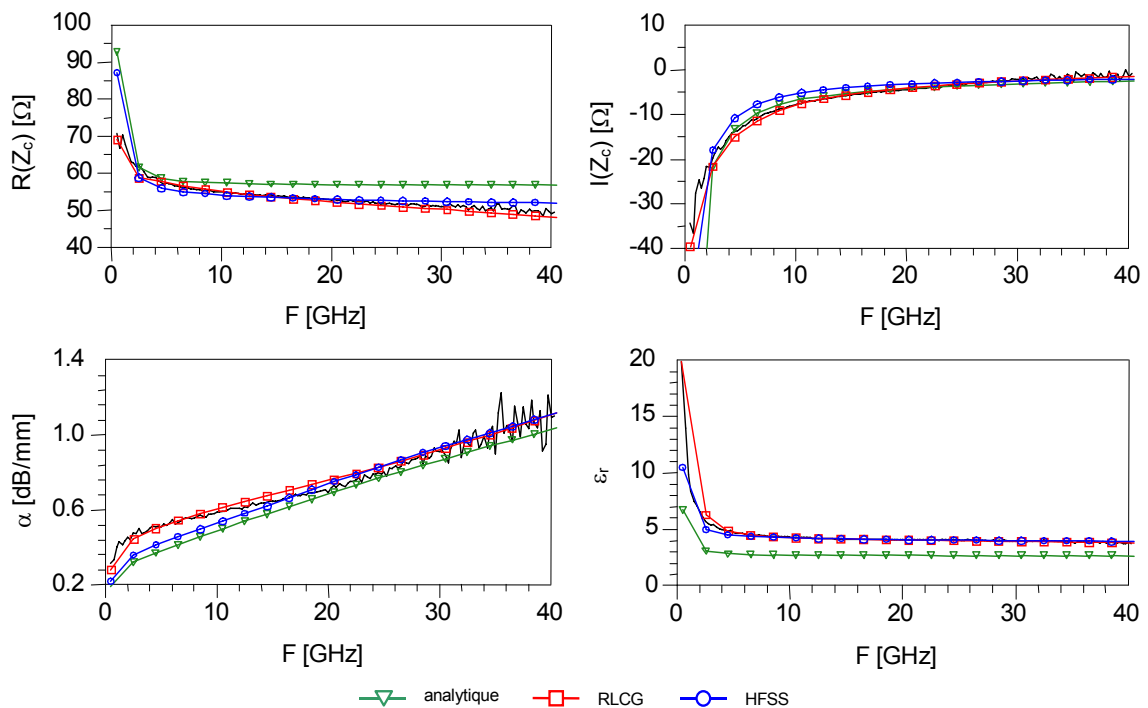


Figure II-6 : Mesure et simulation des paramètres électriques d'une ligne microruban.

Modèle		RLCG	HFSS (Ansoft)	Microstrip (ADS)
Type		Phénoménologique	Electromagnétique	Analytique
R(Z_c) [Ω]	Erreur par point	1,4	1,4	5,2
	Erreur max.	4,1	3,5	11,3
l(Z_c) [Ω]	Erreur par point	0,5	1,4	1,3
	Erreur max.	1,8	3,3	5,2
ϵ_r	Erreur par point	0,16	0,19	1,4
	Erreur max.	0,66	0,77	2,8
α [dB/mm]	Erreur par point	0,04	0,07	0,09
	Erreur max.	0,08	0,18	0,24

Modèle	RLCG	HFSS (Ansoft)	Microstrip (ADS)
Type	Phénoménologique	Electromagnétique	Analytique
$Z_c=R+jX$ [%]	2,6	3,6	8,6
α [%]	3,8	7,6	10,7
ϵ_r [%]	2,1	1,7	30,7

Tableau II-3 : Erreur par point, erreur maximale et erreur relative des modèles de ligne microruban.

III. Performances des lignes sur silicium

Dans cette partie, nous examinons les performances des lignes de propagation sur les substrats SOI, ainsi que les procédés compatibles avec le SOI permettant de réduire l'atténuation.

III.1. Lignes microruban

III.1.1. Gamme d'impédance

La ligne microruban est implémentée dans notre cas avec le plan de masse au-dessus du substrat de silicium, ce qui permet de s'affranchir du substrat et en particulier des pertes diélectriques élevées que celui-ci peut engendrer dans le cas d'un substrat de résistivité standard (i.e. $10 \Omega \cdot \text{cm}$).

Même si cela procure un avantage indéniable, l'épaisseur du diélectrique est par contre très faible ($h \cong 3 \mu\text{m}$). Etant donné qu'en microruban l'impédance caractéristique dépend du rapport W/h , la minceur de la couche de diélectrique a pour conséquence de réduire la gamme d'impédances réalisables. Un autre point faible provient du fait que les pertes métalliques sont inversement proportionnelles à la largeur du ruban conducteur, ce qui rend problématique la réalisation d'impédances caractéristiques élevées.

La Figure III-1 illustre ce phénomène par la simulation des paramètres électriques (Z_c et α) d'une ligne microruban constituée des niveaux de cuivre 6 et d'aluminium. La simulation est réalisée pour des largeurs comprises entre 2 et 16 μm , bien que pour des raisons technologiques, la gamme des largeurs autorisées se situe entre 4,4 μm et 12 μm . Au-delà de 12 μm , il est nécessaire d'inclure des fentes régulièrement dans la ligne pour respecter les règles de densité métalliques de la technologie. Pour ces largeurs de ruban, la gamme des impédances se situe entre 30 Ω et 50 Ω .

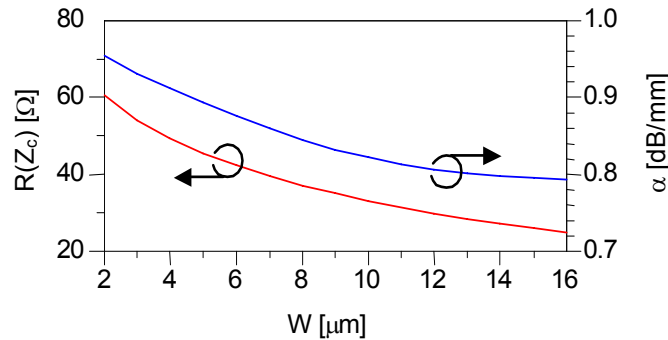


Figure III-1 : Simulation de l'impédance caractéristique Z_c et de la constante d'atténuation α .

III.1.2. Réduction des pertes

Comme nous l'avons dit précédemment, le ruban conducteur de la ligne microruban a été réalisé sur le niveau de cuivre 6 auquel peut être ajouté le niveau optionnel d'aluminium afin de diminuer les pertes. L'adjonction de cette couche supplémentaire évite de réduire l'épaisseur du diélectrique, ce qui aurait été le cas si les niveaux inférieurs de cuivre avaient été utilisés. L'épaisseur du ruban conducteur passe ainsi de $0,9 \mu\text{m}$ (niveau de cuivre 6 uniquement) à $1,78 \mu\text{m}$. Les mesures de cette structure ont montré des pertes de $0,75 \text{ dB/mm}$ à 20 GHz , soit une amélioration de $0,25 \text{ dB/mm}$ par rapport à la ligne sans surcouche d'aluminium (Figure III-2).

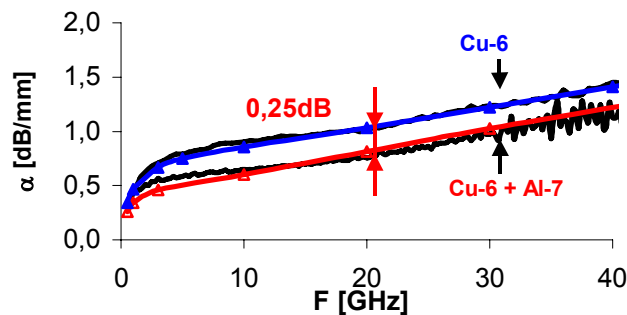


Figure III-2 : Constante d'atténuation de la ligne microruban avec et sans le niveau optionnel d'aluminium (A_1-7).

Une autre solution est d'utiliser une technique dite de « *post-processing* » consistant à faire croître une couche de diélectrique au-dessus du substrat de SOI pour réaliser les lignes microruban. Des pertes de $0,2 \text{ dB/mm}$ à 50 GHz ont ainsi été obtenues à l'IEMN par G. Six [19] avec une structure microruban réalisée sur un diélectrique BCB (BenzoCycloButène) de

20 μm d'épaisseur ayant une permittivité $\epsilon_r = 2,65$. La Figure III-3 montre la structure de la ligne réalisée et la constante d'atténuation correspondante mesurée jusqu'à 220 GHz. Bien que plus complexe à mettre en œuvre, le « *post-processing* » est pour le moment l'une des voies les plus intéressantes pour la réalisation de lignes à pertes faibles.

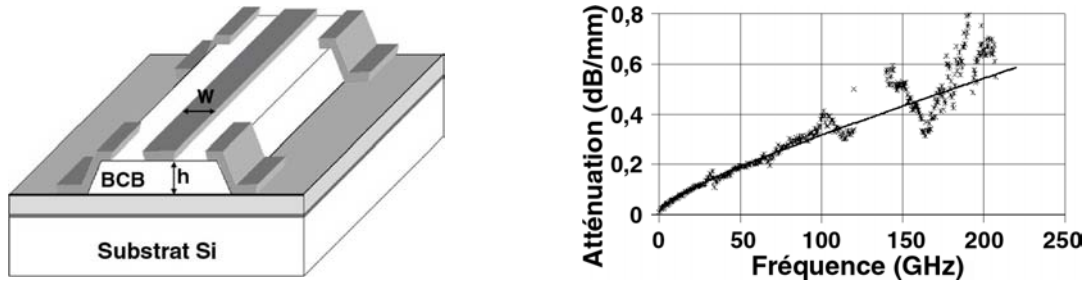


Figure III-3 : Constante d'atténuation d'une ligne microruban 50 Ω avec 20 μm de BCB [19].

III.2. Lignes coplanaires

Jusqu'à présent, la structure coplanaire a été peu utilisée à cause des pertes diélectriques prédominantes avec les substrats de résistivité standard. La disponibilité récente de substrats à haute résistivité et la mise au point de techniques de report relancent l'intérêt de cette structure vis-à-vis de la ligne microruban.

III.2.1. Réduction des pertes

III.2.1.a) Influence de la résistivité du substrat sur les pertes

Comme le montre la Figure III-4 extraite de [20], les pertes diélectriques diminuent lorsque la résistivité du substrat portant les lignes coplanaires augmente. L'influence du substrat est minimisée pour des résistivités supérieures à 500 $\Omega\cdot\text{cm}$.

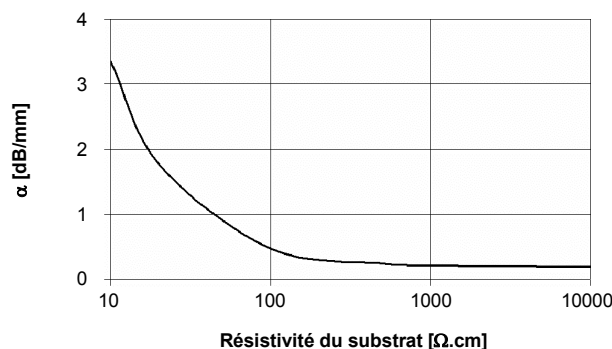


Figure III-4 : Pertes diélectriques en fonction de la résistivité à 50 GHz.

La Figure III-5 compare les pertes d'une ligne coplanaire réalisée sur deux substrats SOI Unibond, l'un de résistivité standard ($10 \Omega \cdot \text{cm}$), l'autre de résistivité supérieure à $1 \text{ k}\Omega \cdot \text{cm}$ en face arrière. Il faut cependant tempérer cette valeur car la résistivité sous l'oxyde enterré a été estimée à $150 \Omega \cdot \text{cm}$ par des mesures de couplage [21]. Cette dégradation s'explique par la présence de porteurs libres à l'interface entre le Si et le SiO_2 , attirés en surface par des charges fixes dans le SiO_2 . Malgré cela, les pertes mesurées avec ce substrat « haute résistivité » sont de $0,3 \text{ dB/mm}$ à 20 GHz contre $1,5 \text{ dB/mm}$ avec le substrat de résistivité standard.

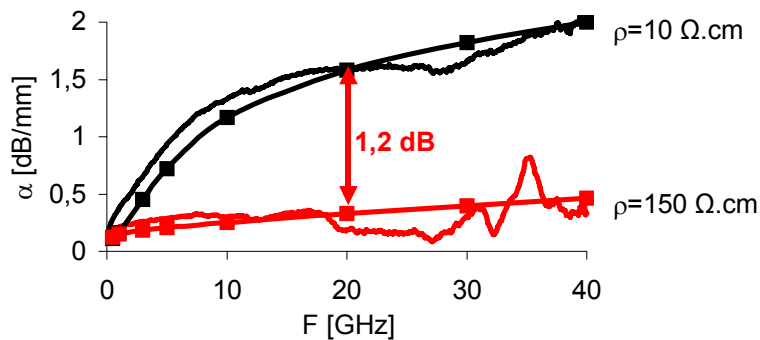


Figure III-5 : Constante d'atténuation des lignes coplanaires en fonction de la résistivité du substrat SOI.

III.2.1.b) Report sur substrat semi-isolant

Le report sur des substrats semi-isolants, tel que le procédé de report sur quartz proposé par la société *TRACIT Technologies* (cf. Chapitre I, paragraphe I.3), est une solution alternative à l'emploi de substrats de silicium de résistivité élevée.

La Figure III-6 permet de comparer la constante d'atténuation d'une ligne sur un substrat SOI Unibond standard et sur un substrat SOI Unibond reporté sur quartz. Dans les deux cas, la ligne coplanaire est réalisée avec une couche d'aluminium de $0,4 \mu\text{m}$ d'épaisseur (technologie SOI $0,25 \mu\text{m}$ du CEA-LETI), le ruban conducteur a une largeur de $25 \mu\text{m}$ et le rapport d'aspect $k = W/(W+2S)$ est de $0,44$. Le report sur quartz entraîne une réduction significative des pertes, qui deviennent inférieures à $0,35 \text{ dB/mm}$ à 20 GHz , soit une amélioration supérieure de $1,6 \text{ dB/mm}$ par rapport à la ligne sur substrat standard.

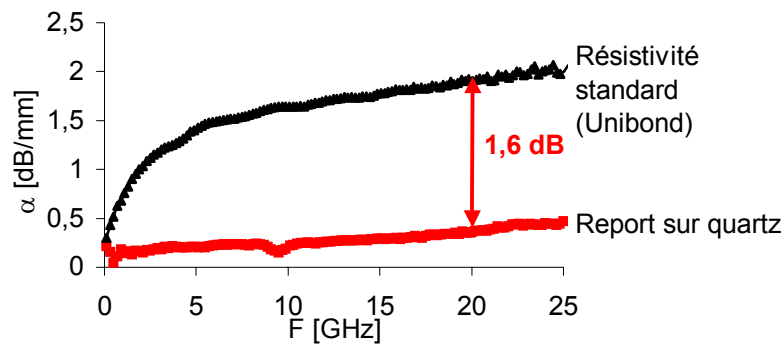


Figure III-6 : Comparaison des constantes d'atténuation α expérimentales d'une ligne coplanaire sur un substrat SOI standard et sur un substrat SOI reporté sur quartz.

III.2.2. Gamme d'impédance et atténuation

Par rapport aux lignes microruban sur couche mince, les lignes coplanaires offrent plus de compromis entre l'impédance caractéristique Z_c et la constante d'atténuation α . La Figure III-7 montre la simulation à 30 GHz avec HFSS des caractéristiques électriques en fonction du rapport d'aspect k d'une ligne coplanaire sur SOI haute résistivité ($\rho = 1 \text{ k}\Omega\cdot\text{cm}$). La simulation est présentée pour deux largeurs de ruban de $10 \mu\text{m}$ et $30 \mu\text{m}$ ³. Elle montre que, pour une impédance caractéristique identique, il est possible d'utiliser des rubans conducteurs plus larges pour réduire les pertes métalliques. Il est également possible de réaliser des impédances élevées sans pour autant avoir des pertes énormes. Cependant, il est important de prendre en considération l'encombrement de la ligne qui est inversement proportionnel au rapport d'aspect k .

³ Plus de données de simulation sont fournies dans l'Annexe II.A.1.

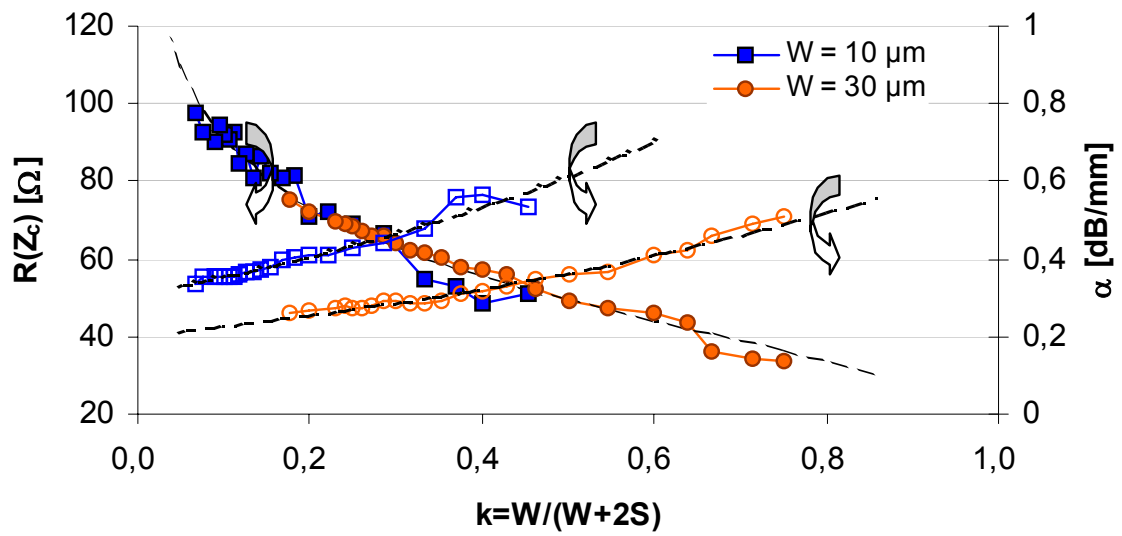


Figure III-7 : Simulation HFSS à 30 GHz d'une ligne coplanaire sur substrat SOI haute résistivité.

Conclusion

Les lignes de transmission sont actuellement l'un des points les plus critiques des technologies silicium pour la conception des circuits hyperfréquences. En effet, les structures de propagation telles que les lignes coplanaires et microruban ont des caractéristiques très différentes sur silicium comparé aux technologies III-V. D'une part, les propriétés isolantes des substrats standards de silicium sont très mauvaises, conduisant à des pertes très élevées avec les structures habituelles des lignes. Dans le cas de la ligne microruban, il est nécessaire de modifier sa structure en réalisant le plan de masse au-dessus du substrat de silicium pour s'en affranchir, conduisant à une structure dérivée appelée ligne microruban sur couche mince. Quant à la ligne coplaire, sa structure même est inadéquate sur les substrats standards (faible résistivité) à cause des pertes diélectriques importantes. D'autre part, le développement des technologies intégrées en silicium est guidé par les besoins des applications numériques, très différents par nature de ceux des applications hyperfréquences en ce qui concerne notamment les couches d'interconnexion.

Les particularités des matériaux et des structures sur silicium, ainsi que leurs dimensions très faibles conduisent à des erreurs significatives avec les modèles analytiques usuels. Une modélisation adaptée est donc nécessaire. Dans un premier temps, la modélisation phénoménologique a été utilisée pour répondre à ce besoin pour la ligne microruban, avec le développement d'un modèle à constantes réparties RLCG. Les équations ont été spécialement adaptées à nos structures, prenant en compte la largeur de la ligne. Lorsque l'intérêt de la ligne coplaire a été relancé avec l'arrivée de substrats SOI haute résistivité au stade de la production industrielle, nous avons orienté notre démarche vers la modélisation électromagnétique dans HFSS à cause de la difficulté d'obtention de données de mesure. La description simplifiée de la structure des couches d'interconnexion et les paramètres des matériaux ont été calibrés et validés sur des mesures de lignes microruban puis coplanaires. Les deux types de modélisation, phénoménologique et électromagnétique, nous ont permis de générer des modèles pour la simulation des circuits de démonstration hyperfréquences dans ADS (Chapitres IV et V). Plus précisément, la modélisation phénoménologique a été utilisée

dans le cas des lignes microruban constituées par les niveaux de cuivre 6 et d'aluminium (Chapitre V), tandis que la modélisation électromagnétique a été utilisée dans les autres cas, c'est-à-dire pour les lignes microruban dont le ruban est constitué par le niveau de cuivre 6 uniquement et finalement pour les lignes coplanaires.

La qualité des lignes de transmission est actuellement le principal facteur qui limite les performances des circuits hyperfréquences et qui empêche de bénéficier de tout le potentiel des transistors. Dans la dernière partie, nous avons donc cherché les moyens compatibles avec la technologie SOI qui permettent d'améliorer la qualité de ces lignes. Parmi les solutions envisagées, celles qui font appel à des techniques dites de « *post-processing* », telles que la croissance de couches diélectriques de BCB ou le report sur des substrats semi-isolant, semblent être les plus prometteuses pour les hyperfréquences. Ces résultats seront utilisés dans le Chapitre V, consacré à la conception de circuits de démonstration.

Annexe du Chapitre II

II.A.1. Simulation des performances des lignes coplanaires sur SOI haute résistivité

Cette annexe présente la simulation avec HFSS des caractéristiques électriques de lignes coplanaires sur substrat SOI haute résistivité ($\rho = 1 \text{ k}\Omega\cdot\text{cm}$). Les simulations sont réalisées pour des lignes de largeur comprise entre 5 et 30 μm . Les points singuliers sur les courbes sont dus à des problèmes de maillage 2D dans le simulateur.

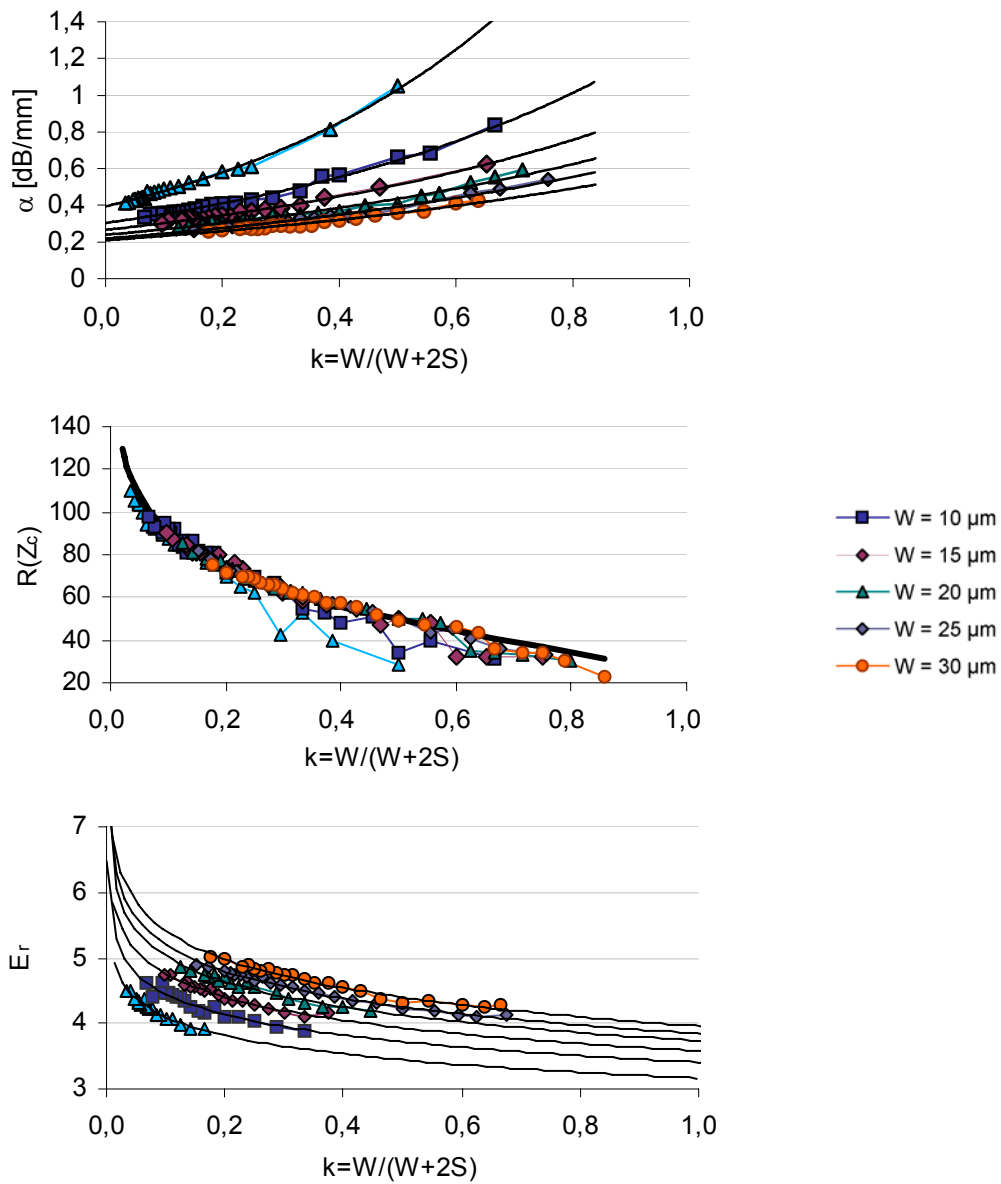


Figure II.A.1 : Simulation à 30 GHz dans HFSS de la constante d'atténuation α , de l'impédance caractéristique Z_c et de la permittivité relative effective ϵ_r avec le modèle multicouche simplifié.

II.A.2. Implémentation des modèles de lignes dans ADS

La Figure II.A.2 présente l'implémentation dans le simulateur de circuits ADS du modèle phénoménologique de type RLCG (cf. II.2), tandis que la Figure II.A.3 présente celle du modèle multicouche obtenu à partir de simulations électromagnétiques dans HFSS (cf. II.3). Pour chacun des deux modèles, l'implémentation dans ADS utilise une représentation en matrice chaîne des paramètres électriques de la ligne de transmission.

La différence entre les deux implémentations concerne uniquement les paramètres de l'impédance caractéristique Z_c et de la constante de propagation γ . Pour le modèle phénoménologique de type RLCG, Z_c et γ sont calculés à partir des équations [II-1] et [II-2] qui donnent leurs expressions en fonction des paramètres R_s , L_s , C_p et G_p . Pour le modèle multicouche, Z_c et γ sont donnés directement dans un fichier de valeur provenant d'HFSS. Celui-ci est indiqué dans ADS grâce à l'utilisation d'un composant DAC (« *Data Acces Component* »).

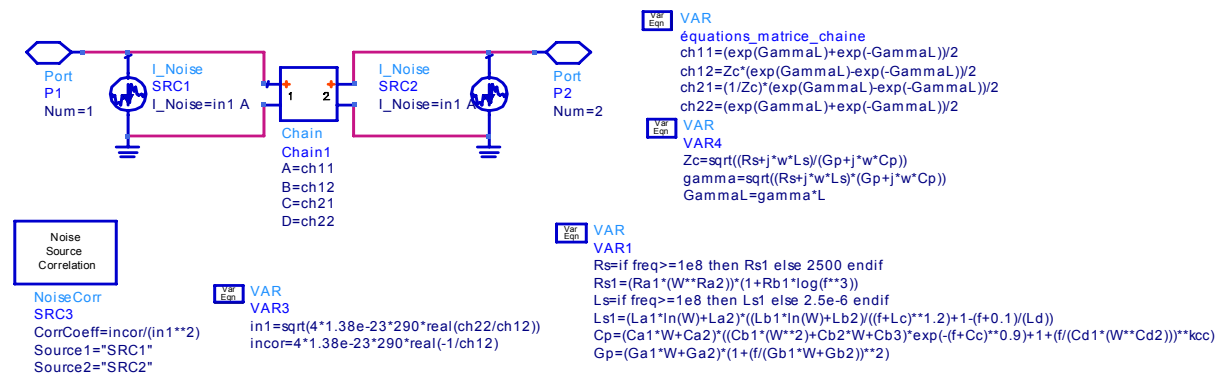


Figure II.A.2 : Implémentation du modèle phénoménologique RLCG dans ADS.

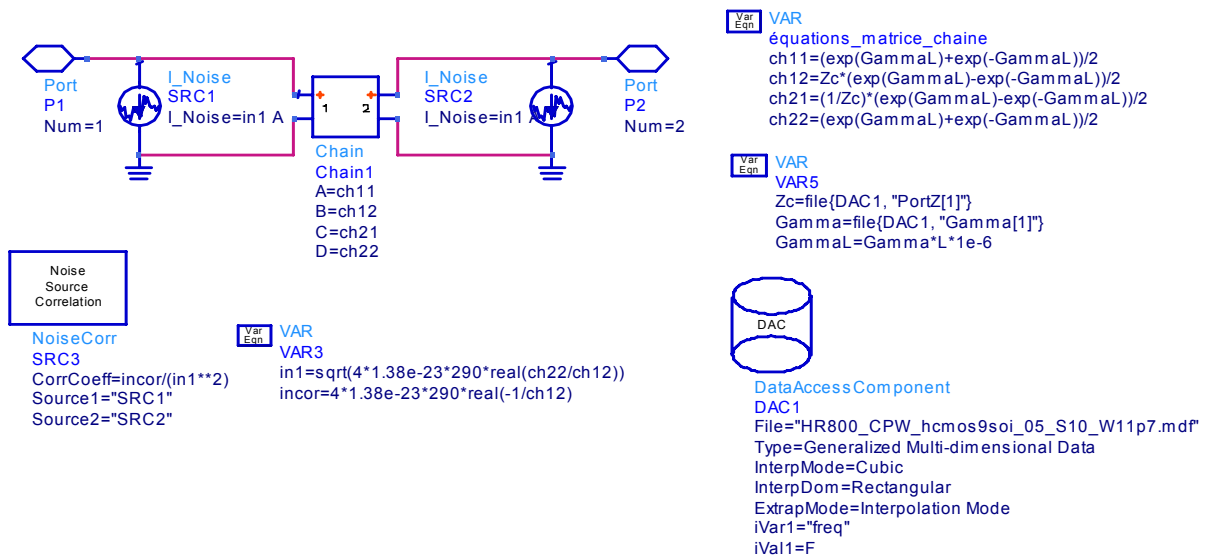


Figure II.A.3 : Implémentation dans ADS du modèle multicouche HFSS.

Bibliographie

- [1] S. Boret, "Circuits intégrés monolithiques en technologie coplanaire pour des applications de réception jusque 110 GHz," *Thèse de l'Université des Sciences et Technologies de Lille, 1999*.
- [2] M. Raziat, R. Majidi-Ahy, and I.-J. Feng, "Propagation-Modes and Dispersion Characteristics of Coplanar Waveguides," *IEEE Transactions on Microwave Theory and Techniques*, vol. 38, pp. 245-251, 1990.
- [3] W. Einrich, "Quasi-TEM Description of MMIC Coplanar Lines Including Conductor-Loss Effects," *IEEE Transactions on Microwave Theory and Techniques*, vol. 41, pp. 45-52, 1993.
- [4] A. Bracale, "Caractérisation et modélisation des transistors MOS sur substrat SOI pour des applications micro-ondes," *Thèse de l'Université Pierre et Marie Curie, Paris VI, spécialité électronique, 2001*.
- [5] H. Hasegawa and S. Shouhei, "Analysis of Interconnection Delay on Very High-Speed LSI/VLSI Chips Using an MIS Microstrip Line Model," *IEEE Transactions on Electron Devices*, vol. 31, pp. 1954-1960, 1984.
- [6] T. Shibata and E. Sano, "Characterization of MIS Structure Coplanar Transmission Lines for Investigation of Signal Propagation in Integrated Circuits," *IEEE Transactions on Microwave Theory and Techniques*, vol. 38, pp. 881-890, 1990.
- [7] E. O. Hammerstard, "Equations for Microstrip Circuit Design," European Microwave Conference, Hamburg, Germany, 1975.
- [8] E. O. Hammerstard and O. Jensen, "Accurate models for microstrip computer-aided design," IEEE International Microwave Symposium, Hamburg, Germany, 1980.
- [9] H. Wheeler, "Transmission Line Properties of Parallel Strips Separated by a Dielectric Sheet," *IEEE Transactions on Microwave Theory and Techniques*, vol. 13, pp. 172-185, 1965.
- [10] A. Gopinath, "Losses in Coplanar Waveguides," *IEEE Transactions on Microwave Theory and Techniques*, vol. 30, pp. 1101-1104, 1982.
- [11] T. Hatsuda, "Computation of Coplanar-Type Strip Line Characteristics by Relaxation Method and its Applications," *IEEE Transactions on Microwave Theory and Techniques*, vol. 23, pp. 795-802, 1975.
- [12] C. P. Wen, "Coplanar Waveguide: A Surface Strip Transmission Line Suitable for Non-Reciprocal Gyromagnetic Device," *IEEE Transactions on Microwave Theory and Techniques*, vol. 17, pp. 1087-1090, 1969.
- [13] F. Schnieder and W. Einrich, "Model of Thin-Film Microstrip Line for Circuit Design," *IEEE Transactions on Microwave Theory and Techniques*, vol. 49, pp. 104-110, 2001.
- [14] V. Milanovic, M. Ozgur, D. Degroot, J. A. Jargon, M. Gaitan, and M. E. Zaghoul, "Characterization of Broadband Transmission for Coplanar Waveguides on CMOS Silicon Substrate," *IEEE Transactions on Microwave Theory and Techniques*, vol. 46, pp. 632-640, 1998.

- [15] D. F. Williams, "Metal-Insulator-Semiconductor Transmission Lines," *IEEE Transactions on Microwave Theory and Techniques*, vol. 47, pp. 176-181, 1999.
- [16] M. Vanmackelberg, "Contribution à la caractérisation hyperfréquence de composants MOSFET en vue de la conception de fonctions intégrées pour des applications en gamme millimétrique," *Thèse de l'Université des Sciences et Technologies de Lille, spécialité électronique, 2001*.
- [17] A. Siligaris, "Modélisation grand signal de MOSFET en hyperfréquences: application à l'étude des non linéarités des filières SOI," *Thèse de l'Université des Sciences et Technologies de Lille, spécialité microondes et microtechnologies, 2004*.
- [18] Kraszewski, "Prediction of the dielectric properties of two phases mixtures," *Journal of Microwave Power*, vol. 12, pp. 215, 1977.
- [19] G. Six, G. Prigent, E. Rius, G. Dambrine, and H. Happy, "Fabrication and Characterization of Low-Loss TFMS on Silicon Substrate Up to 220 GHz," *IEEE Transactions on Microwave Theory and Techniques*, vol. 53, pp. 301, 2005.
- [20] G. Six, "Optimisation d'une technologie 3D pour la réalisation de circuits intégrés millimétriques sur substrat de silicium," *Thèse de l'Université des Sciences et Technologies de Lille, spécialité microondes et microtechnologies, 2004*.
- [21] D. Lederer and J.-P. Raskin, "Couplage en surface dans les substrats de silicium à haute résistivité," 14^{èmes} Journées Nationales Microondes, 11-12-13 Mai 2005 - Nantes, 2005.

CHAPITRE III
MODELISATION ET PERFORMANCES DES
TRANSISTORS SOI-PD 130 NM

Introduction

Ce chapitre traite des caractéristiques des transistors MOSFET SOI et de leur modélisation pour la conception des circuits hyperfréquences.

En première partie, les types de transistors dont nous disposons, ainsi que leur réalisation technologique sont exposés. La deuxième et la troisième partie décrivent les modèles RF petit signal, de bruit et grand signal (SILICA)¹ qui seront utilisés par la suite pour la conception des démonstrateurs hyperfréquences. La troisième partie montre en outre l'implémentation du modèle grand signal dans le logiciel ELDO avec pour perspective la simulation temporelle de circuits mixtes numériques/analogiques. Enfin, dans la quatrième partie, nous présentons et comparons les performances des transistors NMOS et PMOS de la filière SOI partiellement désertée 130 nm de ST-Microelectronics.

¹ Ces modèles et les techniques d'extraction de leurs paramètres ont été étudiés et développés à l'PIEMN dans le groupe de recherche ANODE (Advanced NAnometer DEvice) au cours de plusieurs thèses (dont celles de M. Vanmackelberg (2001) et A. Siligaris (2004)).

I. Le modèle RF petit signal

Le modèle RF petit signal des transistors MOSFET est établi à partir de la mesure sous pointes des paramètres S de motifs de test. Il est basé sur un modèle électrique équivalent à éléments localisés très largement utilisé à l'IEMN, hérité de la culture des transistors FET en III-V. Ce modèle repose sur une approche non quasi-statique. A cette modélisation petit signal est ajoutée une modélisation du bruit basée sur l'extraction de deux températures équivalentes.

I.1. Approches quasi-statique et non quasi-statique

La précision des modèles des transistors est cruciale pour simuler correctement les performances des circuits. En RF, il faut non seulement prédire avec exactitude le comportement intrinsèque dans le canal où l'effet transistor se produit, mais il faut aussi prédire l'influence des éléments parasites d'accès. Ces derniers, qui constituent la partie extrinsèque du transistor, prennent une importance telle qu'ils ne peuvent plus être négligés pour des applications RF et hyperfréquence.

A cela s'ajoute la nécessité d'une description des effets non quasi-statiques qui dégradent les performances des composants à très haute fréquence. Beaucoup de modèles pour la simulation de circuits numériques et analogiques basse fréquence sont basés sur une approche quasi-statique du transistor (Figure I-1). Dans ce cas, on suppose que la distribution des charges dans le canal est une fonction instantanée des tensions de polarisation, c'est-à-dire que la charge répond avec une vitesse infinie à toute variation de tension.

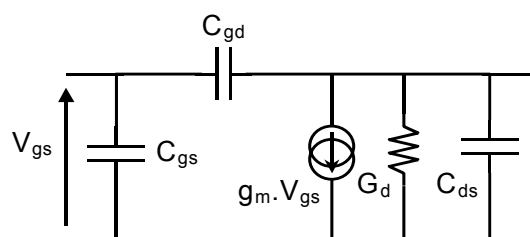


Figure I-1 : Modèle quasi-statique de la zone intrinsèque du transistor FET.

Cependant, lorsque les signaux ont des temps de montée et de descente inférieurs au temps de transition dans le canal, les charges dans le canal ne répondent pas immédiatement aux variations de tension. L'approche quasi-statique provoque des erreurs significatives sur la modélisation des conductances et des capacités du transistor lorsque la fréquence augmente [1] ou pour certaines applications analogiques sensibles aux phénomènes d'injection de charges telles que les commutateurs RF à FET froids [2].

I.2. Schéma électrique équivalent du transistor MOSFET

Le schéma électrique équivalent du transistor FET, représenté à la Figure I-2, comprend une partie intrinsèque et une partie extrinsèque. Que ce soit pour l'une ou l'autre partie, le schéma équivalent repose sur l'hypothèse que ses éléments sont indépendants de la fréquence jusqu'à la fréquence de coupure du transistor. En d'autres termes, le schéma équivalent utilisé est suffisant pour décrire le comportement du transistor tant que ses éléments sont constants en fonction de la fréquence. Cette hypothèse est primordiale pour l'extraction des éléments du schéma équivalent à partir des mesures.

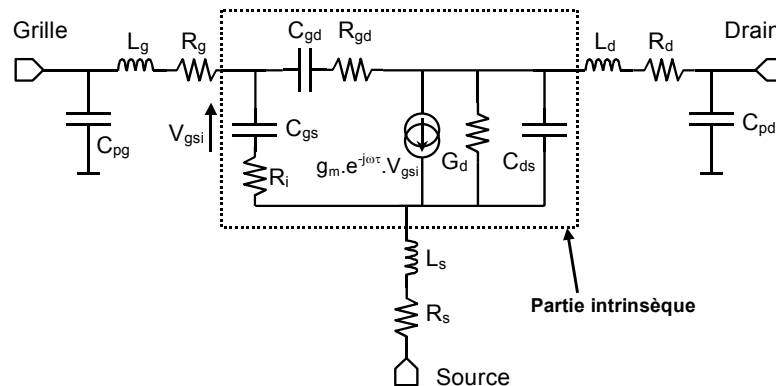


Figure I-2 : Schéma électrique petit signal du transistor FET en source commune.

I.2.1. Eléments intrinsèques

La partie intrinsèque correspond à la zone active sous la grille où l'effet transistor se produit. Le courant I_{ds} qui circule dans le canal est modulé par la tension intrinsèque V_{gsi} appliquée aux bornes de la capacité grille-source C_{gs} sur la grille. Cet effet est modélisé par la source de courant $(g_m \cdot V_{gsi})$ où g_m est la transconductance traduisant le mécanisme

d'amplification de la commande du canal par la tension V_{gsi} . La transconductance est définie par :

$$[I-1] \quad g_m = \left. \frac{\partial I_{ds}(V_{gs}, V_{ds})}{\partial V_{gs}} \right|_{V_{ds}=cte}$$

Puisque les transistors MOSFET ne sont pas des sources de courant idéales, il est nécessaire d'ajouter une conductance de drain g_d définie par :

$$[I-2] \quad g_d = \left. \frac{\partial I_{ds}(V_{ds}, V_{gs})}{\partial V_{ds}} \right|_{V_{gs}=cte}$$

Les capacités C_{gs} et C_{gd} représentent la répartition de la charge de grille Q_g entre le drain et la source sous l'effet des tensions V_{gs} et V_{gd} . Elles sont définies par :

$$[I-3] \quad C_{gs} = \left. \frac{\partial Q_g(V_{gs}, V_{ds})}{\partial V_{gs}} \right|_{V_{ds}=cte}, \quad C_{gd} = \left. \frac{\partial Q_g(V_{ds}, V_{gs})}{\partial V_{ds}} \right|_{V_{gs}=cte}$$

C_{ds} correspond aux capacités en série des jonctions de source et de drain.

Les effets non quasi-statiques sont pris en compte par les résistances R_i et R_{gd} et par la constante τ , introduisant un retard entre l'application de la tension de commande V_{gsi} et son effet sur le courant I_{ds} .

Les éléments de la partie intrinsèque sont des fonctions de la polarisation et de la longueur de grille du transistor.

I.2.2. Eléments extrinsèques

La partie extrinsèque est liée aux éléments parasites des zones d'accès entre la partie intrinsèque et les contacts métalliques reliant le transistor au reste du circuit. Ces éléments sont considérés comme étant indépendants de la polarisation.

I.2.2.a) Capacités de plot, résistances et inductances d'accès

Les résistances d'accès R_d , R_s ont deux origines :

- _ les pertes métalliques dans les lignes d'accès

- _ les résistances de contact entre le métal et les zones de diffusion fortement dopées de source et de drain.

La résistance R_g est due principalement à la résistance de la siliciuration des doigts de grille, ainsi qu'aux pertes métalliques. Ces résistances sont distribuées le long de la structure du transistor comme la Figure I-3 le représente. Les inductances parasites L_g , L_d , L_s traduisent les effets réactifs des connexions du transistor. Enfin, les capacités C_{pg} et C_{pd} , appelées capacités de plot, sont dues aux connexions métalliques du transistor.

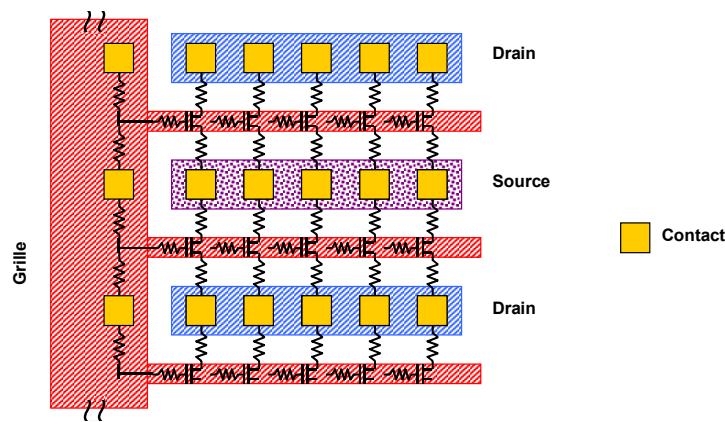


Figure I-3 : Distribution des résistances d'accès le long des doigts de transistor.

I.2.2.b) Les capacités extrinsèques

Des capacités extrinsèques supplémentaires apparaissent avec la réduction des longueurs de grille. Il s'agit des capacités C_{gse} , C_{gde} et C_{dse} représentées à la Figure I-4.

Les capacités C_{gse} et C_{gde} modélisent :

- _ les effets de bord entre les doigts de grille, de drain et de source dus à la présence d'oxyde de part et d'autre des doigts de grille.
- _ les capacités d'oxyde de grille dues aux débordements des zones de diffusion de source et de drain sous la grille (capacités de recouvrement ou « *overlap* »).

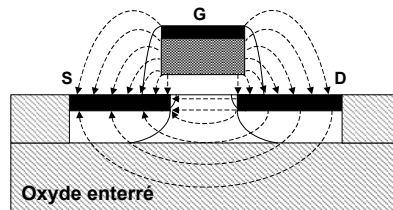


Figure I-4 : Capacités parasites extrinsèques.

Ces deux capacités sont indépendantes de la polarisation et proportionnelles à la largeur totale du transistor W . Deux composantes supplémentaires (non représentées à la Figure I-4) entrent dans leur composition. Elles sont dues à la structure multidoigt des transistors MOSFET en hyperfréquences et proviennent :

- _ des connexions métalliques qui relient les doigts de drain ou de source et qui passent au-dessus de la grille (la valeur de cette capacité est inversement proportionnelle à la hauteur qui sépare la grille des connexions et elle dépend de la géométrie du transistor, c'est-à-dire du nombre de doigts N_d et de leur largeur W_d ; cette composante est négligeable dans notre cas où les sources sont reliées avec le niveau de cuivre 4),
- _ du débordement de l'oxyde de grille sur la zone active aux extrémités latérales des doigts de grille (cette composante augmente linéairement avec le nombre de doigts N_d mais ne dépend pas de leur largeur).

Les transistors à prises ont une capacité de débordement latéral beaucoup plus importante que les transistors flottants à cause du dessin spécifique de la grille imposé par la présence des prises. Celles-ci ont pour conséquence d'augmenter la surface de l'oxyde au-dessus de la zone active comme le montre la Figure I-5. Enfin, une dernière contribution aux capacités extrinsèques C_{gse} et C_{gde} provient des capacités de plot citées plus haut.

La capacité C_{dse} modélise le couplage de proximité entre les caissons de drain et de source à travers l'oxyde enterré des transistors SOI. Ce couplage est d'autant plus fort que la longueur de grille diminue.

Dans la suite de ce mémoire, nous considérons que les capacités extrinsèques C_{gse} , C_{gde} et C_{dse} sont comprises respectivement dans les capacités intrinsèques C_{gs} , C_{gd} et C_{ds} , ce qui est faux en réalité au regard des lois d'échelle et de l'origine de leurs différentes

composantes. Par contre, cette approximation facilite grandement les procédures d'extraction des éléments du schéma équivalent.

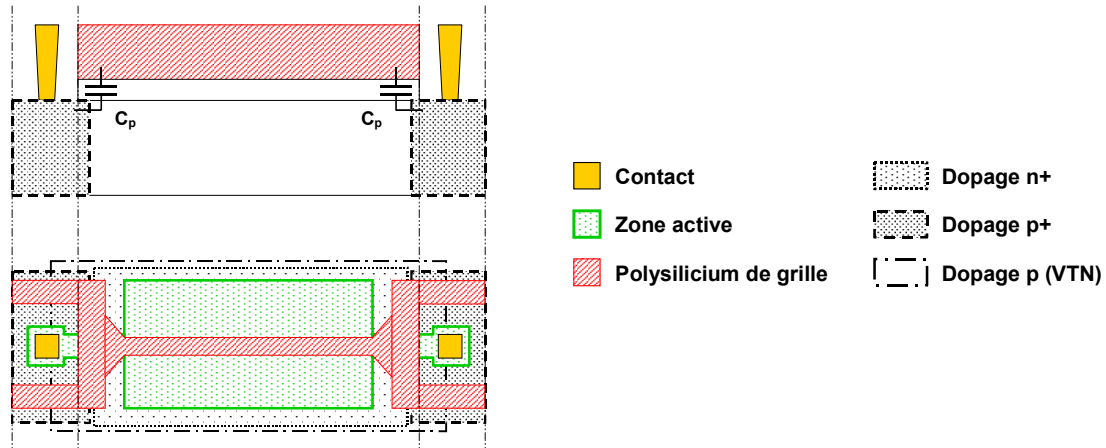


Figure I-5 : Vue en coupe et vue du dessus de la grille des transistors NMOS à prises externes.

I.2.3. Facteurs d'échelle

La plupart des éléments du schéma équivalent répondent à des lois d'échelle [3, 4], c'est-à-dire que leur valeur varie en fonction de la largeur du transistor W . Le Tableau I-1 donne les dépendances des éléments du schéma équivalent.

Pour la résistance de grille R_g , on dispose d'une relation supplémentaire qui permet de prendre en compte l'effet de distribution de la grille et sa géométrie, c'est-à-dire le nombre de doigts de grille N_d pour une largeur totale donnée W :

$$[I-4] \quad R_g = \frac{R_m W}{3 N_d^2}$$

où R_m est la résistance linéique du matériau composant la grille. Cette relation montre l'intérêt d'augmenter le nombre de doigts de grille pour réduire la valeur de la résistance R_g qui contribue fortement à dégrader la fréquence de coupure F_{\max} et le facteur de bruit NF (cf. III.3.1).

	Intrinsèque						Extrinsèque							
	g_m	g_d	C_{gs}	C_{gd}	R_i	τ	R_g	R_d	R_s	L_g	L_d	L_s	C_{pg}	C_{pd}
Relation = $f(W)$	×	×	×	×			×							×
Relation = $f(1/W)$					×			×	×					
Autre dépendance						×	×			×	×	×	×	×

Tableau I-1 : Lois d'échelle des éléments intrinsèques et extrinsèques.

I.3. Procédures d'extraction du schéma équivalent petit signal

La détermination des éléments du schéma équivalent de la Figure I-2 se fait par étapes selon une méthode d'épluchage (« *deembedding* ») qui consiste à déterminer en premier les éléments extrinsèques pour se rapprocher progressivement de la zone intrinsèque.

I.3.1. Capacités de plot C_{pg} et C_{pd}

L'extraction des capacités de plot C_{pg} et C_{pd} est obtenue en annulant la conductivité du canal. Pour cela, on effectue une mesure en polarisation froide, c'est-à-dire pour une tension $V_{ds} = 0$ V, et pour une tension V_{gs} très inférieure à la tension de seuil. Le schéma équivalent dans ces conditions de polarisation est donné à la Figure I-6. Si le transistor est polarisé en saturation, on a alors $C_{gd} \ll C_{gs}$ mais si $V_{ds} = 0$ V, la charge de grille est répartie également entre drain et source à cause de la symétrie de la structure et on a alors $C_{gs} = C_{gd} = C_b$. Ces capacités varient linéairement avec la largeur du transistor W , ce qui n'est pas le cas de C_{pg} et C_{pd} qui sont considérées constantes.

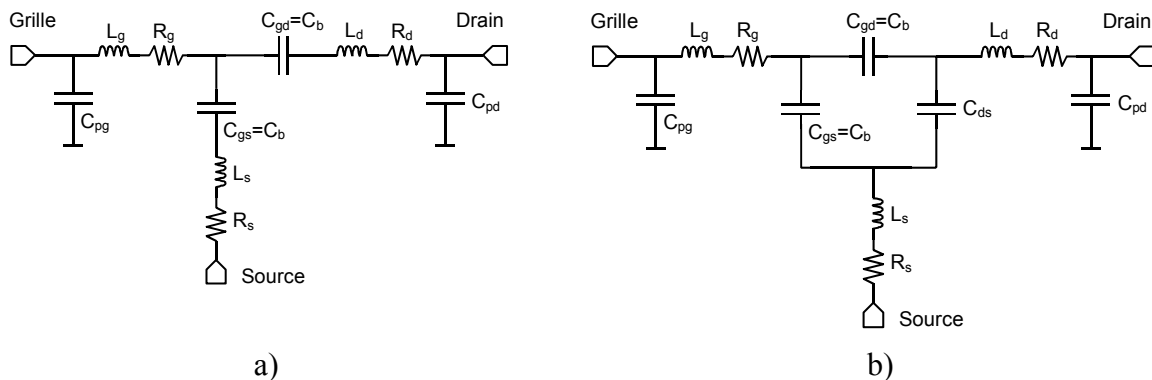


Figure I-6 : Schéma équivalent du MOSFET polarisé à $V_{ds} = 0$ V et à $V_{gs} < V_{th}$. a) Sans prendre en compte la capacité C_{ds} . b) Avec la capacité C_{ds} .

Les paramètres [Y] du schéma équivalent de la Figure I-6 sont donnés par :

$$\begin{aligned}
 [I-5] \quad \Im(Y_{11}) &= \omega(C_{pg} + 2.C_b(W)) \\
 \Im(Y_{12}) &= -\omega.C_b(W) \\
 \Im(Y_{22}) &= \omega(C_{pd} + C_b(W) + C_{ds}(W))
 \end{aligned}$$

Il est important de noter pour la suite que le système d'équation [I-5] est linéaire en fonction de W. Deux situations se distinguent suivant que la capacité C_{ds} est prise en compte ou non dans le schéma équivalent.

I.3.1.a) Schéma équivalent sans la capacité C_{ds}

Ce cas, qui est le plus simple, permet de déterminer directement les capacités C_{pg} et C_{pd} par les expressions :

$$[I-6] \quad C_{pg} = \frac{\Im(Y_{11} + 2.Y_{12})}{\omega} \quad \text{et} \quad C_{pd} = \frac{\Im(Y_{22} + Y_{12})}{\omega}$$

I.3.1.b) Schéma équivalent avec la capacité C_{ds}

Si la capacité C_{ds} est prise en compte dans le schéma équivalent (Figure I-6-b), le système d'équation [I-5] n'est pas suffisant pour déterminer l'ensemble des inconnues (3 équations et 4 inconnues). Cette indétermination est levée facilement grâce à la variation linéaire des capacités C_b et C_{ds} en fonction de W, la largeur du transistor. Cette situation nécessite donc de disposer de deux largeurs de transistor au moins. Les capacités C_{pg} et C_{pd} correspondent à l'ordonnée à l'origine des droites $\Im(Y_{11})/\omega$ et $\Im(Y_{22})/\omega$.

I.3.2. Résistances d'accès

Les résistances d'accès sont déterminées par une méthode directe d'extraction en polarisation froide proposée par A. Bracale [5]. Le schéma équivalent est donné à la Figure I-7. L'expression des paramètres [Z] de ce schéma équivalent permet d'accéder à la valeur des résistances d'accès :

$$\begin{aligned}
 [I-7] \quad \Re(Z_{11} - Z_{12}) &= R_d + f(V_{gs})/2 \\
 \Re(Z_{22} - Z_{12}) &= R_d + f(V_{gs}) \\
 \Re(Z_{12}) &= R_s + f(V_{gs})
 \end{aligned}$$

où $f(V_{gs})$ est donnée par la physique du transistor MOSFET en polarisation froide :

$$[I-8] \quad f(V_{gs}) = \frac{1}{g_d} \Big|_{V_{ds}=0V} \quad \text{et} \quad g_d \Big|_{V_{ds}=0V} = \frac{\mu \cdot W \cdot C_{ox}}{L} (V_{gs} - V_{th})$$

Les résistances R_g , R_d , R_s sont les ordonnées à l'origine obtenues par une simple régression linéaire en fonction de $1/(V_{gs}-V_{th})$.

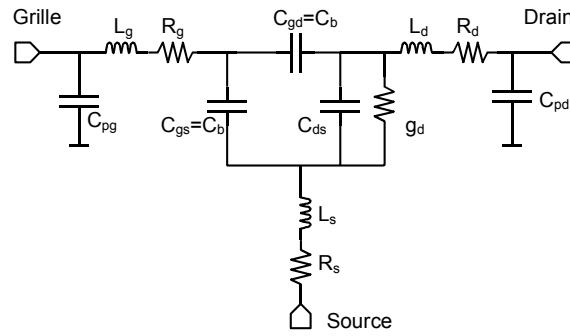


Figure I-7 : Schéma équivalent d'un transistor MOSFET en polarisation froide ($V_{ds} = 0$ V).

I.3.3. Inductances d'accès et éléments intrinsèques

Après avoir déterminé les capacités de plot et les résistances d'accès, il ne reste plus qu'à déterminer les valeurs des inductances d'accès L_g , L_d , L_s pour accéder aux paramètres de la zone intrinsèque. Les inductances sont déterminées directement par optimisation des éléments intrinsèques en se basant sur l'hypothèse qu'ils sont indépendants de la fréquence si les procédures d'extraction sont correctement réalisées. Les éléments intrinsèques sont déterminés à partir de l'expression de la matrice Y_{int} donnée dans le Tableau I-4 (p. 94) :

$$[I-9] \quad g_m = \left| (Y_{int 21} - Y_{int 12}) \left(1 + j \frac{\Re(Y_{int 11}) + \Re(Y_{int 12})}{\Im(Y_{int 11}) + \Im(Y_{int 12})} \right) \right|$$

$$[I-10] \quad g_d = \Re(Y_{int 22}) + \Re(Y_{int 12})$$

$$[I-11] \quad C_{gs} = \frac{\Im(Y_{int 11}) + \Im(Y_{int 12})}{\omega} \left(1 + \left(\frac{\Re(Y_{int 11}) + \Re(Y_{int 12})}{\Im(Y_{int 11}) + \Im(Y_{int 12})} \right)^2 \right)$$

$$[I-12] \quad C_{gd} = -\frac{\Im(Y_{int 12})}{\omega} \left(1 + \left(\frac{\Re(Y_{int 12})}{\Im(Y_{int 12})} \right)^2 \right)$$

$$[I-13] \quad C_{ds} = \frac{\Im(Y_{\text{int}22}) + \Im(Y_{\text{int}12})}{\omega}$$

$$[I-14] \quad R_i = \frac{1}{C_{gs} \omega} \frac{\Re(Y_{\text{int}11}) + \Re(Y_{\text{int}12})}{\Im(Y_{\text{int}11}) + \Im(Y_{\text{int}12})}$$

$$[I-15] \quad R_{gd} = \frac{1}{C_{gd} \omega} \frac{\Re(Y_{\text{int}12})}{\Im(Y_{\text{int}12})}$$

I.3.3.a) Cas particulier des transistors à prises

Une dégradation de la conductance de sortie g_d est observée en haute fréquence pour les transistors à prises (internes et externes) partiellement désertés. Ce phénomène est également observé sur les transistors DTMOS. Une explication confortée par un modèle [6] attribue ce phénomène à la résistance de la zone interne du transistor R_b (ou résistance de « body »). L'ajout d'une admittance $y_b = g_b + j\omega C_b$ en parallèle entre drain et source permet de prendre en compte ce phénomène (Figure I-8).

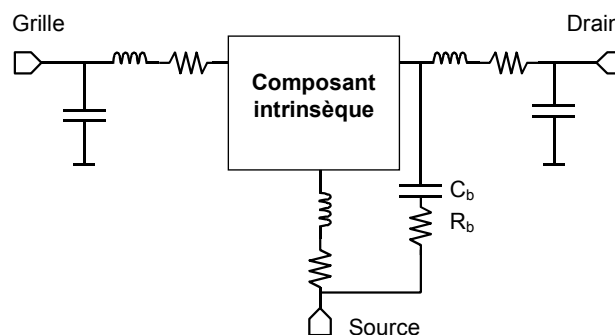


Figure I-8 : Schéma équivalent du transistor MOSFET SOI-PD à prises avec la modélisation de la résistance de « body ».

I.3.4. Validation des procédures d'extraction

Plusieurs moyens permettent de vérifier la qualité des méthodes d'extraction et la validité du schéma équivalent ainsi obtenu :

- _ invariabilité des éléments intrinsèques avec la fréquence (cette vérification fait partie des méthodes d'extraction),

- comparaison entre paramètres S mesurés et simulés,
- comparaison des fréquences de coupures F_t et F_{max} mesurées et calculées (à partir des expressions données au paragraphe III.1),
- comparaison entre transconductances extraites en statique et en dynamique qui, en théorie, sont identiques.

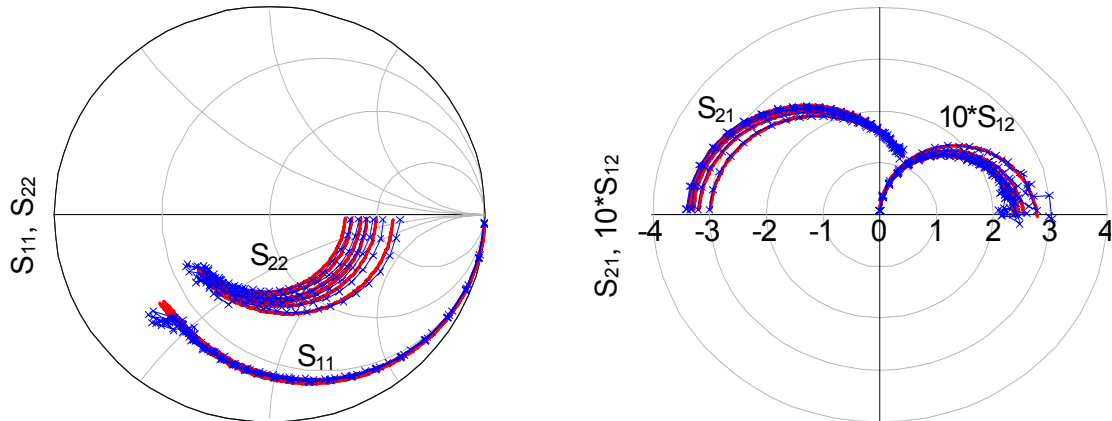


Figure I-9 : Paramètres S simulés avec le modèle petit signal et mesurés d'un transistor SOI 130 nm à substrat flottant ($W = 30 \times 2 \mu\text{m}$).

La Figure I-9 compare la simulation et la mesure des paramètres S du transistor SOI 130 nm à substrat flottant de largeur $30 \times 2 \mu\text{m}$ pour des fréquences entre 0,5 et 50 GHz et pour 6 courants de polarisation entre 100 et 450 mA/mm à $V_{ds} = 1,2 \text{ V}$. Un très bon accord est obtenu avec le modèle petit signal.

I.3.4.a) Erreur par point et erreur maximale

L'utilisation des fonctions d'erreur permet d'estimer la précision du modèle. Parmi celles-ci, l'erreur par point permet de quantifier la précision locale moyenne portant sur un nombre de points N [7]. Elle est définie par :

$$[\text{I-16}] \quad E = \sqrt{\frac{1}{N} \cdot \left[\sum_{j=1}^N [f_{\text{simulé}}(j) - f_{\text{mesuré}}(j)]^2 \right]}$$

Nous utilisons aussi l'erreur maximale définie sur le même principe :

$$[\text{I-17}] \quad E_{\text{max}} = \max_{j=1}^N \left(\sqrt{[f_{\text{simulé}}(j) - f_{\text{mesuré}}(j)]^2} \right)$$

De manière générale, la fonction d'erreur par point est la plus utilisée car elle donne un résultat global, mais l'erreur maximale fournit une information supplémentaire sur la qualité du modèle extrait.

Le Tableau I-2 donne un résumé des erreurs sur les paramètres S simulés jusqu'à 35 GHz, pour des transistors SOI 130 nm à substrat flottant (FB) et à prises substrat (BC) ($W = 30 \times 2 \mu\text{m}$). Au-delà de 35 GHz, la sensibilité de l'analyseur de réseaux est détériorée et le bruit de mesure de l'analyseur ne permet pas de donner des chiffres pertinents. Pour les transistors à prises, l'intégration de la résistance de « *body* » dans le schéma équivalent a permis de réduire les erreurs et d'obtenir des valeurs comparables à celles du modèle des transistors flottants.

Transistor		S ₁₁			S ₂₂		
		FB	BC	BC+R _b	FB	BC	BC+R _b
Amplitude x 10 ³	Erreur par point	7	17	16	15	41	11
	Erreur max.	30	46	33	38	61	36
Phase (Deg)	Erreur par point	0,5	1,6	1,2	1,0	5,7	1,4
	Erreur max.	1,8	4,1	3,3	4,3	9,0	4,4

Transistor		S ₂₁			S ₁₂		
		FB	BC	BC+R _b	FB	BC	BC+R _b
Amplitude x 10 ³	Erreur par point	17	140	40	3	9	3
	Erreur max.	50	230	80	13	15	12
Phase (Deg)	Erreur par point	0,4	1,7	0,6	0,8	2,9	1,9
	Erreur max.	1,1	2,7	2,3	3,1	6,4	4,7

FB : transistor flottant

BC : transistor à prises

BC+R_b : transistor à prises avec le modèle de la résistance de *body*

Tableau I-2 : Erreur par point et erreur maximale des paramètres S simulés avec le modèle petit signal jusqu'à 35 GHz.

I.3.4.b) Erreur globale sur les paramètres S

Une autre formule permet de calculer l'erreur sur l'ensemble des paramètres S [4, 5, 8] :

$$[\text{I-18}] \quad E(S) = \frac{100}{N} \cdot \sum_{k=1}^N \left[\frac{\sum_{i=1}^2 \sum_{j=1}^2 \left(\left| \Re(S_{ij} \text{ simulé}) - \Re(S_{ij} \text{ mesuré}) \right|^2 + \left| \Im(S_{ij} \text{ simulé}) - \Im(S_{ij} \text{ mesuré}) \right|^2 \right)}{\left| S_{ij} \text{ mesuré} \right|^2} \right]$$

où $S_{ij_{sim}}$ sont les paramètres S simulés avec le modèle, $S_{ij_{mes}}$ sont les paramètres S mesurés et N le nombre de points de mesure. Le calcul est réalisé dans les mêmes conditions de polarisation et sur la même plage de fréquence que précédemment. Les erreurs obtenues sont inférieures à 0,5 % pour le modèle de transistor flottant et de transistor à prises avec la résistance de *body* R_b .

Transistor	Flottant	A prises	
		Sans R_b	Avec R_b
E(S) [%]	< 0,5	3,2	< 0,5

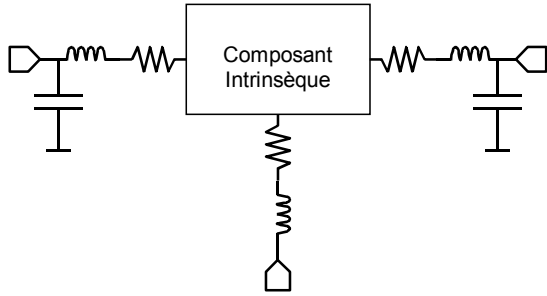
Tableau I-3 : Erreur globale sur les paramètres S simulés avec le modèle petit signal.

Cette fonction d'erreur permet de quantifier la précision globale du modèle, tandis que les fonctions d'erreur par point et d'erreur maximale permettent d'identifier l'origine des erreurs.

I.3.5. Résumé des procédures d'extraction

Le Tableau I-4 (p. 94) donne une synthèse des procédures d'extraction du modèle petit signal. Pour plus de détails sur les méthodes d'extraction, on pourra consulter les thèses de M. Vanmackelberg [4], A. Bracale [5] et les travaux de G. Dambrine [9] et J.-P. Raskin [1, 10].

Détermination des capacités de plot :



Procédure :

Annulation de la conductivité du canal.
Paramètres S en polarisation froide ($V_{ds}=0V$) et pour $V_{gs} \ll V_{th}$.

$$[S_{ext}] \Rightarrow [Y_{ext}]$$

$$[Y_T] = [Y_{ext}] - [Y_{plots}]$$

$$[Y_{plots}] = \begin{bmatrix} jC_{pg}\omega & 0 \\ 0 & jC_{pd}\omega \end{bmatrix}$$

Détermination des résistances et des inductances d'accès [5]:

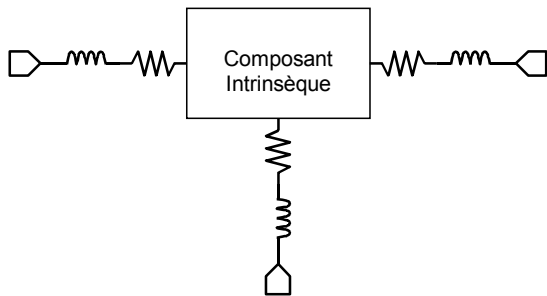
Procédure :

_ Résistances : Extraction par une méthode directe de mesures de paramètres S en polarisation froide ($V_{ds} = 0V$) et pour plusieurs points de tension V_{gs} .

Au préalable, détermination précise de la tension de seuil V_{th} .

_ Inductances : Optimisation du schéma équivalent (SE) intrinsèque en saturation et en fonction de la fréquence.

Hypothèse d'optimisation : les éléments du SE sont indépendants de la fréquence (i.e. constants).



$$[Y_T] \Rightarrow [Z_T]$$

$$[Z_{int}] = [Z_T] - [Z_{accès}]$$

avec :

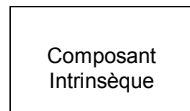
$$[Z_{accès}] = \begin{bmatrix} Z_g + Z_s & Z_s \\ Z_s & Z_d + Z_s \end{bmatrix}$$

$$\text{et } Z_{g,d,s} = R_{g,d,s} + j\omega L_{g,s,d}$$

Détermination du schéma équivalent intrinsèque :

Procédure :

_ Mesure de paramètres S en fonction de la polarisation et à une fréquence donnée (hypothèse : le SE est indépendant de la fréquence)



$$[Z_{int}] \Rightarrow [Y_{int}]$$

$$Y_{int11} = \frac{jC_{gs}\omega}{1 + jR_i C_{gs}\omega} - Y_{int12}$$

$$Y_{int12} = -\frac{jC_{gd}\omega}{1 + jR_{gd} C_{gd}\omega}$$

$$Y_{int21} = \frac{g_m e^{-j\omega\tau}}{1 + j\omega R_i C_{gs}} + Y_{int12}$$

$$Y_{int22} = g_d - j\omega C_{ds} - Y_{int12}$$

Tableau I-4 : Procédure générale d'extraction des éléments du schéma équivalent petit signal des transistors MOSFET.

I.4. Modélisation du bruit intrinsèque des transistors MOSFET

Ce paragraphe traite de manière générale des sources de bruit dans les transistors MOSFET et d'un modèle de bruit hyperfréquence associé au modèle petit signal.

I.4.1. Les sources de bruit des transistors MOSFET

Le bruit d'un transistor MOS est généré principalement dans la partie intrinsèque du composant qui représente la partie active. Le bruit de scintillation et le bruit de diffusion sont les deux formes de bruit généralement considérées jusqu'à maintenant. Mais le bruit de grenaille, dû au courant tunnel de grille, influence plus fortement les performances en bruit des transistors MOSFET à mesure que les épaisseurs d'oxyde de grille diminuent avec la réduction d'échelle. Il ne doit par conséquent plus être négligé.

I.4.1.a) Bruit (en excès) de scintillation

Appelé encore bruit de Flicker ou bruit en $1/f$ à cause de sa courbe de densité spectrale inversement proportionnelle à la fréquence, il intervient surtout en basse fréquence et disparaît aux fréquences radio et hyperfréquences. Cependant, il ne doit pas être négligé dans certains circuits RF tels que les mélangeurs et les oscillateurs qui le convertissent en bruit de phase autour de la porteuse [11]. Ceci peut en effet limiter l'espacement minimal des canaux des systèmes de radiocommunication.

Le bruit en $1/f$ est l'une des principales sources de bruit en excès² observées pour les transistors MOS. Bien que les mécanismes physiques ne soient pas encore totalement expliqués, ce bruit est clairement associé à la variation de la conductivité du canal $\sigma = q\mu n$, causée par la variation du nombre de porteurs, ou par celle de leur mobilité ou par les deux [12, 13]. Le bruit en $1/f$ est, de plus, inversement proportionnel aux dimensions L et W des composants, ce qui rend ce phénomène plus significatif avec la réduction constante des dimensions des composants en microélectronique [12-15].

² i.e. non prévues par la physique des semiconducteurs.

I.4.1.b) Bruit de diffusion dans le canal

Appelé encore « bruit thermique », c'est principalement lui qui nous intéresse pour les transistors MOSFET en hyperfréquence. Il est caractérisé par une densité spectrale blanche³, qui augmente avec l'accroissement de la conductance de sortie g_d observée quand la longueur de grille diminue ou quand la tension V_{gs} augmente.

Ce bruit provient de sources de bruit microscopiques dans le canal, ayant pour origine les collisions entre porteurs de charge. Celles-ci provoquent des variations stochastiques de la vitesse des porteurs dans le canal, qui conduisent à des variations aléatoires du courant de grille et de drain [3].

Une corrélation particulière existe entre les sources de bruit de courant macroscopique à l'entrée (entre la grille et la source) et à la sortie du transistor (entre grille et drain) en raison de leur origine physique commune. Les sources de bruit de diffusion microscopique dans le canal créent un courant de bruit dans l'électrode de drain, ayant lui aussi une densité spectrale blanche. Côté grille, le couplage capacitif entre la grille et le canal induit un courant de bruit de grille. Sa densité spectrale dépend du carré de la fréquence. Finalement, les deux sources ayant la même origine physique sont par conséquent corrélées de manière complexe à cause de l'importance du couplage capacitif entre grille et canal.

La variation des deux sources macroscopiques de grille et de drain en fonction de la fréquence, et leur corrélation particulière est de première importance pour la modélisation du bruit. Ces caractéristiques spécifiques font du transistor FET un quadripôle bruyant particulier, dont les propriétés de bruit hyperfréquence peuvent être calculées à l'aide de modèles simplifiés [16].

I.4.1.c) Bruit (de jonction) de grenaille dû au courant tunnel de grille

Le courant statique de grille, induit par effet tunnel à travers l'oxyde, augmente dans les transistors MOSFET avec la diminution des épaisseurs d'oxyde qui accompagne la réduction d'échelle des composants. Ce phénomène est susceptible d'affecter les transistors MOS à canal ultra court ayant une épaisseur d'oxyde inférieure à 3 nm [3].

³ i.e. indépendante de la fréquence

Le courant tunnel engendre une source de bruit de grenaille (« *shot noise* ») de densité $\overline{i^2} = 2 \cdot q \cdot I_g \cdot \Delta f$ (où I_g est la valeur moyenne statique du courant de grille). Sa densité spectrale blanche le fait contribuer au bruit hyperfréquence. D'autre part, ce bruit n'est pas corrélé au bruit de diffusion puisque les mécanismes impliqués sont différents.

Dans le cas des transistors MOS SOI totalement désertés, il a été montré [17] que ce phénomène modifie le facteur de bruit minimum NF_{\min} et les conditions d'adaptation optimales en bruit Γ_{opt} pour des densités de courant tunnel supérieures à 5 A/cm² et pour des fréquences inférieures à 10 GHz.

I.4.2. Modèle de bruit associé au schéma équivalent petit signal

I.4.2.a) Le modèle à trois paramètres P, R, C

Le bruit dans les transistors a fait l'objet de nombreuses études depuis les années 1960. Les travaux pionniers de A. Van der Ziel [18, 19] ont montré que le bruit haute fréquence de la partie intrinsèque d'un FET, qui est principalement du bruit de diffusion (cf. I.4.1.b), pouvait être calculé à partir de deux sources de courant de bruit de grille $\overline{i_g^2}$ et de drain $\overline{i_d^2}$ et de leur fonction de corrélation $\overline{i_g i_d^*}$ (Figure I-10), de la manière suivante :

$$[I-19] \quad \overline{i_g^2} = 4k_B T_a \frac{\omega^2 C_{gsi}^2}{g_{mi}} P \Delta f$$

$$[I-20] \quad \overline{i_d^2} = 4k_B T_a g_{mi} R \Delta f$$

$$[I-21] \quad \frac{\overline{i_g i_d^*}}{\sqrt{\overline{i_g^2} \cdot \overline{i_d^2}}} \approx j \frac{\Im(\overline{i_g i_d^*})}{\sqrt{\overline{i_g^2} \cdot \overline{i_d^2}}} = j \cdot C$$

où k_B est la constante de Boltzmann, T_a est la température ambiante, g_{mi} et C_{gsi} correspondent respectivement à la transconductance et à la capacité grille-source de la partie intrinsèque et Δf est la bande fréquentielle sur laquelle le bruit est mesuré. Les coefficients P, R, C sont sans dimension et dépendent des propriétés physiques du composant et de sa polarisation. Depuis, ce modèle a été largement utilisé et perfectionné [20, 21] pour prendre en compte l'influence des autres éléments du schéma équivalent petit signal.

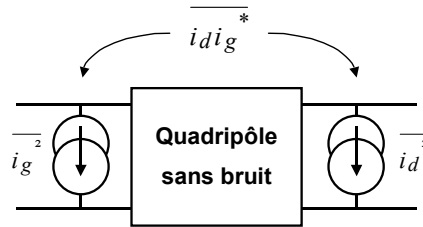


Figure I-10 : Modèle de bruit d'un MOSFET représentant un quadripôle sans bruit dans une configuration courant-courant.

Récemment, une expression du facteur de bruit minimal NF_{\min} prenant en compte les résistance de grille R_g et de source R_s ainsi que les capacités extrinsèques grille-source C_{gse} et grille-drain C_{gde} a été donnée par F. Danneville [22] pour les transistors MOSFET :

$$[I-22] \quad NF_{\min} \approx 1 + 2 \frac{f}{f_c} \left(\frac{C_{gd}}{C_{gs}} \right) \sqrt{PR + P(R_g + R_s) g_m}$$

avec $f_c = g_{mi}/2\pi C_{gsi}$ qui correspond à la fréquence de coupure intrinsèque.

I.4.2.b) Modèle de bruit à deux températures équivalentes T_g, T_d

Suite à ces travaux pionniers sur le bruit haute fréquence des transistors FET, Pospieszalski [23] a proposé un autre modèle basé sur des études montrant que deux sources non corrélées de bruit thermique pouvaient décrire parfaitement les caractéristiques en bruit des transistors FET. Ces deux sources de bruit sont d'une part une source de tension e_g associée à la résistance R_i pour modéliser le bruit de grille, et d'autre part une source de courant i'_d associée à la conductance de sortie g_d pour modéliser le bruit à la sortie (Figure I-11). Ces deux sources sont considérées non corrélées si bien que $\overline{e_g i'_d}^* = 0$. Déterminées à partir des formules de Nyquist, les températures de bruit équivalentes T_g (associée à R_i) et T_d (associée à g_d) permettent de définir les sources $\overline{e_g^2}$ et $\overline{i'_d{}^2}$.

En utilisant le modèle à trois paramètres défini dans le paragraphe précédent, F. Danneville [24] montre qu'on obtient la relation suivante entre P, R et C :

[I-23]

$$C = \sqrt{\frac{R}{P}}$$

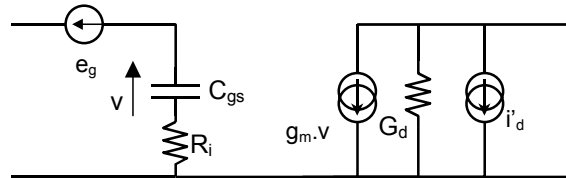


Figure I-11 : Modèle intrinsèque du transistor MOSFET représentant un quadripôle sans bruit avec deux sources de tension et de courant de bruit non corrélées.

I.4.2.c) Modèle de bruit à deux températures équivalentes T_{in} , T_{out}

La précision du modèle de bruit dépend fortement de celle des paramètres du schéma équivalent petit signal du transistor qui sont indépendants de la fréquence jusqu'à la fréquence de coupure. Le modèle précédent repose sur l'hypothèse que la capacité Miller C_{gd} est faible et peut donc être négligée, ce qui est fondé pour les transistors FET en III-V mais pas pour les MOSFET en silicium. Pour ces derniers, cette hypothèse conduit à des paramètres P , R , C dépendants de la fréquence [3]. De plus, la température équivalente dépend plus particulièrement de la précision obtenue lors de la détermination de la résistance R_i . Or d'un point de vue expérimental, cette résistance est très sensible aux incertitudes, aux erreurs de calibrage et à la détermination des éléments extrinsèques. Enfin, les résistances extrinsèques ajoutent du bruit thermique non corrélé à celui du composant intrinsèque.

Pour résoudre ces difficultés, le modèle est défini avec deux températures équivalentes T_{in} , T_{out} et les paramètres hybrides extrinsèques [3, 4, 16] :

[I-24]
$$T_{in} = \frac{\overline{e_{in}^2}}{4 \cdot k_B \cdot \Re(H_{ext}(1,1)) \Delta f}$$

[I-25]
$$T_{out} = \frac{\overline{i_{out}^2}}{4 \cdot k_B \cdot \Re(H_{ext}(2,2)) \Delta f}$$

T_{out} peut être exprimé en fonction des éléments du schéma équivalent petit signal, ce qui donne :

[I-26]
$$T_{out} = \frac{\overline{i_d^2}}{4 \cdot k_B \cdot G_d \left[1 + \frac{G_m \cdot C_{gd}}{G_d \cdot C_{gs} + C_{gd}} \right] \Delta f}$$

Des travaux ont permis de montrer et vérifier que la température T_{in} est proche de la température ambiante et presque indépendante du courant de drain [24, 25].

En considérant le modèle de Pospieszalski, il a été montré par des simulations physiques que la corrélation intrinsèque $\overline{e_g i_d^*}$ n'était pas strictement nulle et que les résistances extrinsèques R_g et R_d avaient tendance à réduire cette corrélation, tandis que la capacité de plot C_{pg} avait tendance à l'augmenter [3, 24].

Le schéma équivalent petit signal complet du transistor MOSFET est représenté à la Figure I-12. Les paramètres de bruit de ce modèle sont les températures T_{in} et T_{out} définies dans ce paragraphe. La détermination des paramètres du modèle repose sur la mesure du facteur de bruit sur 50Ω . Cette méthode, appelée NF_{50} , a été proposée par G. Dambrine [26] et est décrite dans les références [3, 4].

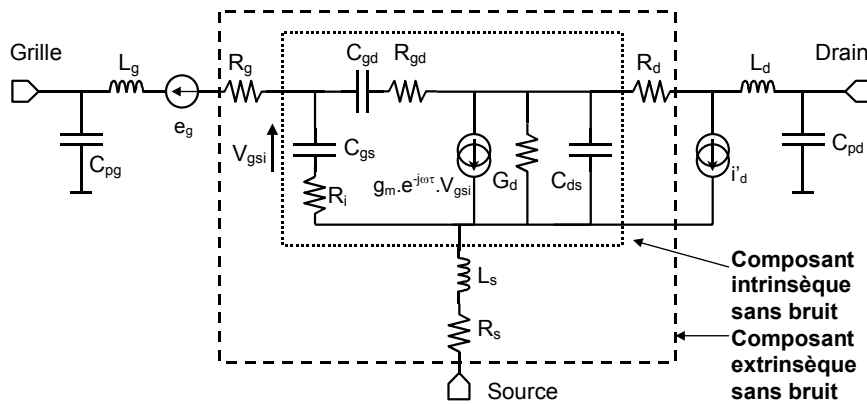


Figure I-12 : Schéma équivalent du MOSFET incluant deux sources de bruit non corrélées.

II. Le modèle RF grand signal SILICA

Un modèle grand signal était nécessaire pour la simulation de certains circuits (tels que les mélangeurs ou les oscillateurs). Dans cette partie, nous présentons le modèle RF grand signal SILICA [27, 28] pour les transistors MOSFET, qui sera utilisé par la suite pour la simulation des circuits en bande K (cf. Chapitres IV et V).

En guise d'introduction, les différentes approches de modélisation grand signal des transistors seront présentées afin de situer le modèle SILICA par rapport aux autres types de modèles existants. Ses caractéristiques et ses équations seront ensuite exposées, avec des exemples d'extraction sur des transistors de la filière SOI 130 nm de type flottant et à prises. La précision du modèle sera aussi estimée pour la simulation des paramètres S. Puis les méthodes d'extraction et leur implémentation dans un logiciel de calcul numérique gratuit seront brièvement présentées. Le dernier paragraphe montrera l'implémentation du modèle SILICA dans le simulateur ELDO, avec pour objectif de permettre l'analyse temporelle des circuits mixtes analogique/numérique. Pour illustrer ce dernier point, les simulations temporelles obtenues grâce à ELDO d'une bascule JK et de la commutation d'un transistor seront exposées.

II.1. Les modèles non linéaires

Trois approches différentes peuvent être adoptées pour la modélisation grand signal des transistors.

II.1.1. Modélisation physique

Les modèles physiques ont pour objectif de modéliser le fonctionnement du transistor pour une large gamme de circuits et de régimes de fonctionnement. Les paramètres et les équations de ces modèles sont directement liés à la physique, à la géométrie (largeur W , longueur de grille L_g) et au procédé technologique (dopage,...). Ils permettent de reproduire les phénomènes physiques tels que l'effet de canal court ou les effets « *kink* » et de transistor bipolaire parasite, le comportement à différentes températures et en bruit dans plusieurs

régimes, etc... Les modèles BSIM, EKV, HiSIM et MOSMODEL (MM9 et MM11) sont parmi les plus connus.

Des efforts sont réalisés au niveau international, avec le CMC (*Compact Model Council*), pour standardiser les modèles compacts des principales technologies de semiconducteurs. Ce consortium créé en 1995 regroupe les principaux fondateurs et fournisseurs de logiciels de CAO, ainsi que des universitaires. L'objectif est de définir les améliorations à apporter aux modèles retenus par le CMC, et d'en accélérer le développement, le test et l'implémentation [29]. Le modèle retenu actuellement par le CMC pour les transistors MOS sur substrat massif (« *bulk* ») est le BSIM3v3. Il est basé sur une description simplifiée de deux régimes de fonctionnement (sous le seuil et en forte inversion) et utilise des techniques mathématiques non physiques pour approcher le comportement entre ces deux régimes. Une nouvelle génération de modèles compacts pour les transistors sub-100 nm est en cours d'élaboration et de standardisation, parmi lesquels le modèle PSP (Philips+Univ. Pennsylvanie) [30] et le modèle HiSIM (Univ. Hiroshima+STARC) [31]. Ils permettent une description du transistor dans toutes ses zones de fonctionnement, grâce à une modélisation des potentiels de surface.

Pour les technologies SOI, trois modèles existent principalement pour les transistors partiellement désertés, à savoir le modèle BSIMSOI hérité du modèle BSIM3v3, le modèle MM11 (Philips) [32] et le modèle LETISOI du CEA-LETI [33].

II.1.2. Les modèles tabulés

Cette approche repose sur la mesure des caractéristiques AC et DC du composant. Le comportement est décrit par des matrices de données de mesure reliées entre elles par des fonctions d'interpolation. Malgré sa précision et sa rapidité d'extraction, aucune loi d'échelle n'est possible et la validité de ce type de modèle est limitée à la plage de mesure (en termes de polarisation), ce qui entraîne des problèmes de continuité pour des polarisations en limite des plages de mesure.

II.1.3. Les modèles phénoménologiques

La modélisation phénoménologique ne nécessite ni la connaissance approfondie des paramètres technologiques ni celle de la physique des semiconducteurs. Ce type de modèle est

basé sur une approche uniquement descriptive des phénomènes observés en mesure et est entièrement décorrélé de la nature physique de ces phénomènes. Les éléments non linéaires sont décrits par des équations mathématiques dont les paramètres ont rarement une signification physique.

La comparaison avec des modèles « physiques » n'est pas fondée, dans la mesure où les objectifs recherchés avec ce type de modélisation ne sont pas les mêmes.

Bien souvent, un modèle phénoménologique ne comporte pas de lois d'échelle en fonction de la géométrie du transistor (longueur de grille L_g et largeur de grille W). Il est cependant possible d'en établir quelque-unes de manière grossière, en fonction de la largeur du transistor par exemple. Contrairement à un modèle physique, un modèle phénoménologique ne permet pas de réaliser des études statistiques par rapport aux variations technologiques des composants. Cette modélisation est néanmoins très bien adaptée à la description des composants d'une filière technologique en cours de développement pour laquelle les paramètres technologiques peuvent évoluer rapidement. De plus, des équations simples et un jeu de paramètres réduits permettent de modéliser très rapidement le fonctionnement du transistor pour des applications précises.

II.2. Caractéristiques du modèle SILICA

Le modèle RF grand signal SILICA a été développé par A. Siligaris [27, 28], pour des transistors MOSFET de longueur de grille inférieure à 250 nm, aussi bien sur substrat massif (« *bulk* ») que sur substrat SOI. Il est basé sur le schéma électrique équivalent déjà utilisé par le modèle petit signal présenté dans la partie précédente (Figure I-2) et repose sur une approche phénoménologique pour décrire les non linéarités de la source de courant I_{ds} et des capacités C_{gs} et C_{gd} (Figure II-1). Ce modèle comporte des lois d'échelle en fonction de la largeur du transistor W .

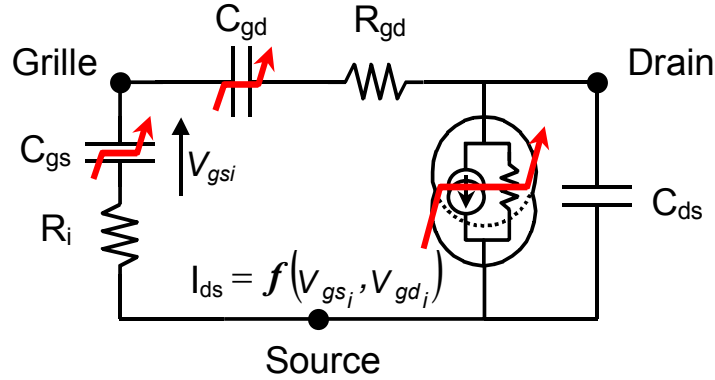


Figure II-1 : Schéma électrique du modèle RF grand signal SILICA.

II.2.1. Modélisation de la source de courant de drain

II.2.1.a) Mise en équation du courant de drain

L'évolution du courant de drain est traduite par une expression analytique continue et infiniment dérivable, qui assure la continuité de la transconductance g_m et de la conductance de sortie g_d . Ces conditions sont aussi importantes dans le cas de la conversion de fréquence et du calcul des produits d'intermodulation. Son expression est héritée du modèle d'Angelov pour les transistors FET en III-V. L'équation modifiée par A. Siligaris du courant de drain, qui comporte 14 paramètres, est donnée par :

$$[\text{II-1}] \quad I_{ds}(V_{gsi}, V_{dsi}) = I_{pk} \cdot W \cdot [1 + P(V_{gsi}) \cdot \tanh(\Psi)] \cdot P(V_{gdi}) \cdot \tanh((\alpha_1 + \alpha_2 \cdot V_{gsi}) \cdot V_{dsi}) \cdot [a \cdot (1 + \tanh(b \cdot (V_{gsi} - V_{th})))]$$

avec :

$$[\text{II-2}] \quad \Psi = P_1(V_{gsi} - V_{pk}) + P_2(V_{gsi} - V_{pk})^2 + P_3(V_{gsi} - V_{pk})^3$$

$$[\text{II-3}] \quad P(V_{gsi}) = K_0 + K_1 V_{gsi} + K_2 V_{gsi}^2 + K_3 V_{gsi}^3$$

$$[\text{II-4}] \quad P(V_{gdi}) = 1 + \lambda_1 V_{gdi} + \lambda_2 V_{gdi}^2 + \lambda_3 V_{gdi}^3$$

$$[\text{II-5}] \quad W = W_d \cdot N_d$$

V_{gsi} et V_{dsi} représentent les tensions intrinsèques grille-source et grille-drain, W_d et N_d sont respectivement la largeur unitaire et le nombre des doigts de grille du composant. Les

caractéristiques de I_{ds} , g_m et g_d obtenues avec le modèle sont tracées à la Figure II-2 pour un transistor SOI 130 nm à prises de développement $W = 30 \times 2 \mu\text{m}$. Les simulations montrent un très bon accord avec la mesure.

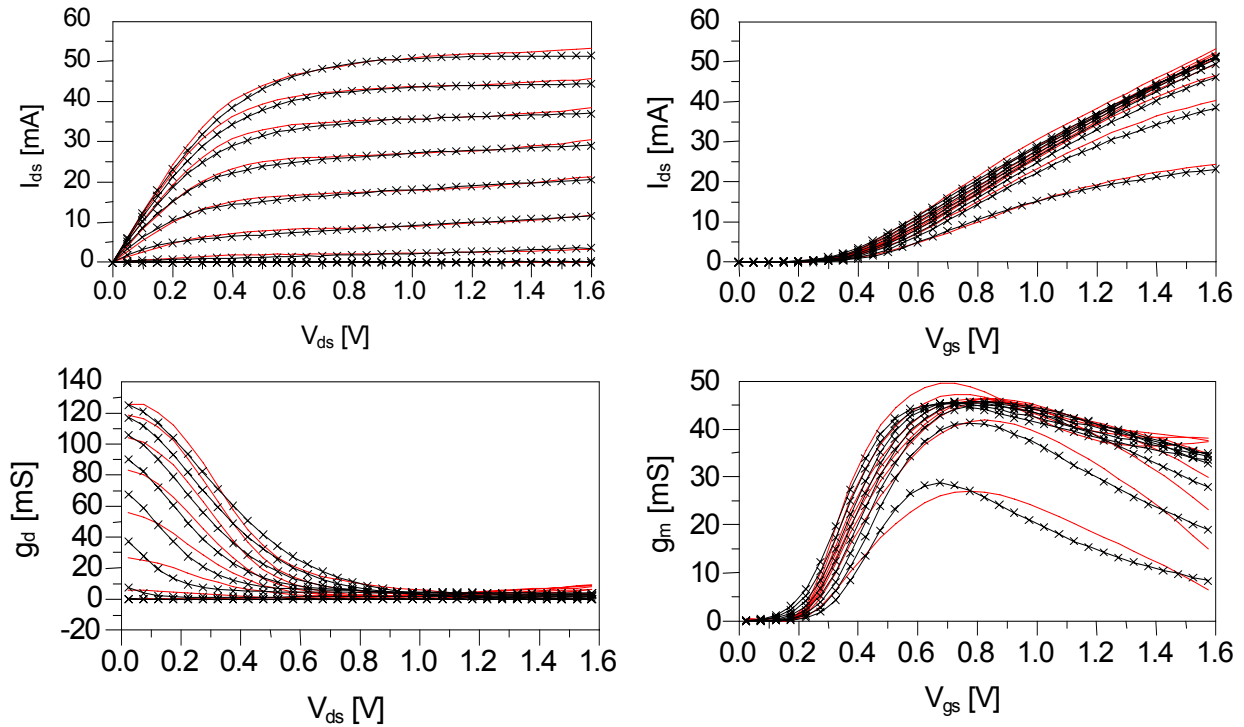


Figure II-2 : Comparaison des caractéristiques statiques mesurées et simulées d'un transistor SOI 130 nm à prises.

II.2.1.b) Modélisation de l'effet « *kink* » pour les transistors flottants

L'effet « *kink* » est présent dans tous les composants MOSFET, à l'exception des transistors SOI à prises (cf. Chapitre I, paragraphe III.3). La Figure II-3 représente le courant I_{ds} et la conductance g_d pour deux transistors SOI 130 nm, l'un à substrat flottant présentant l'effet « *kink* » et l'autre à prises substrat sans effet « *kink* ».

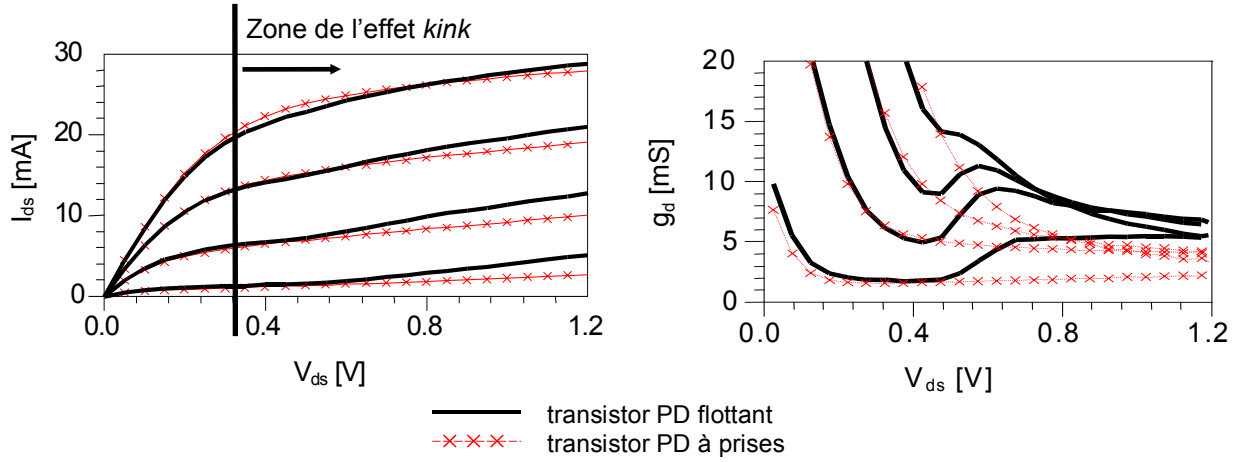


Figure II-3 : Courant de drain I_{ds} et conductance de sortie g_d des transistors SOI à substrat flottant et à prises substrat ($V_{gs} = 0.4, 0.8$ et 1.2 V).

Dans le modèle SILICA, l'effet « *kink* » est modélisé par l'ajout d'une deuxième source de courant appelée I_{kink} en parallèle de la source I_{ds} [34]. La source I_{kink} est définie par :

$$[II-6] \quad I_{kink}(\omega) = f(\omega) \cdot F(I_{kink}(t))$$

où $f(\omega)$ est le modèle de dispersion fréquentielle défini par :

$$[II-7] \quad f(\omega) = e^{-|\omega| \cdot \tau_k}$$

et $F(I_{kink}(t))$ est la transformée de Fourier de la fonction du courant de « *kink* » grand signal, donnée par :

$$[II-8] \quad I_{kink}(V_{gs}, V_{ds}) = I_{ks} V_{gs} V_{ds} (1 + c V_{ds}) \left[1 + \tanh \left(\alpha \left(V_{ds} - \frac{b}{\sqrt{V_{gs} + V_{th}}} \right) \right) \right]$$

La Figure II-4 compare la mesure du courant I_{ds} au résultat de la simulation avec le modèle incluant la source I_{kink} . On remarque une très bonne description de l'effet « *kink* » quand on emploie la source de courant I_{kink} .

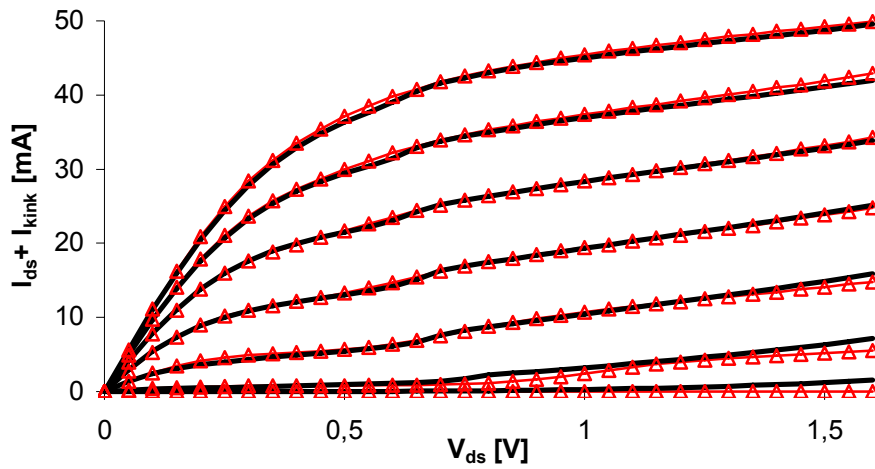


Figure II-4 : Mesure et simulation de du courant de drain après l'extraction des paramètres de la source de courant I_{kink} (d'après [34]).

II.2.1.c) Validation des équations

L'estimation de la précision de la source de courant a été faite avec les fonctions d'erreur par point et d'erreur maximale définies au paragraphe I.3.4.a). Le Tableau II-1 donne un résumé des erreurs calculées sur le courant I_{ds} , la transconductance g_m et la conductance de sortie g_d de deux transistors SOI 130 nm à prises substrat et à substrat flottant ($W = 30 \times 2 \mu m$). On remarque une très bonne corrélation du modèle avec les mesures pour I_{ds} et g_m , que ce soit pour les transistors à prises ou flottants. Cependant, le modèle décrit relativement mal la conductance de sortie g_d , ce qui aura des répercussions importantes sur le coefficient de réflexion en sortie S_{22} .

Transistors	I_{ds} [mA]		g_m [mS]		g_d [mS]	
	à prises	flottant	à prises	flottant	à prises	flottant
Erreur par point	0,6	0,6	1,7	2,3	3,1	2,5
Erreur max.	2,1	1,8	4,8	7,6	11,8	10,6

Tableau II-1 : Erreurs du modèle de la source de courant I_{ds} pour les transistors à substrat flottant et à prises substrat.

II.2.2. Modélisation des capacités C_{gs} et C_{gd}

II.2.2.a) Expression de la charge sous la grille et des capacités C_{gs} et C_{gd}

Les équations non linéaires décrivant l'évolution des capacités sont une formulation originale développée par A. Siligaris [27, 28], reposant sur le principe de la conservation de la charge, principe fondamental à respecter pour assurer la convergence des simulations en grand signal et correspondant également à une réalité physique.

Les capacités C_{gs} et C_{gd} sont données par les relations suivantes :

$$[\text{II-9}] \quad C_{gs} + C_{gd} = \left. \frac{\partial Q_g}{\partial V_{gsi}} \right|_{V_{dsi}=Cte}$$

$$[\text{II-10}] \quad C_{gd} = - \left. \frac{\partial Q_g}{\partial V_{dsi}} \right|_{V_{gsi}=Cte}$$

où Q_g est la charge stockée sous le terminal de grille.

La simulation de la structure d'un transistor MOSFET SOI dans le simulateur physique 2D ATLAS (SILVACO) a permis d'élaborer l'équation de la charge de grille qui s'exprime par :

$$[\text{II-11}] \quad Q_g(V_{gsi}, V_{dsi}) = k(f_1(V_{gsi}, V_{dsi}) + f_2(V_{dsi}, V_{dsi})) + Q_0$$

avec :

$$[\text{II-12}] \quad f_1(V_{gsi}, V_{dsi}) = \left(C_{gg1}V_{gsi} + C_{gg2}V_{gsi}^2 + C_{gg3}V_{gsi}^3 \right) \left[C_{gg0} + \tanh\left(-\frac{V_{dsi}^2}{\gamma V_{gsi}^2} \right) \right]$$

$$[\text{II-13}] \quad f_2(V_{gsi}, V_{dsi}) = \left[C_{gd1}V_{gdi} + C_{gd2}V_{gdi}^2 \right] \left[C_{gd0} + \tanh\left(-\frac{V_{gsi}}{V_\alpha} \right) \right]$$

$$[\text{II-14}] \quad k = C_0(L_g - 2L_d)W_d N_d$$

où L_g est la longueur de grille, W_d la largeur d'un doigt de grille et N_d leur nombre. Q_0 est la charge de déplétion stockée sous la grille à $V_{gsi} = V_{dsi} = 0$ V.

II.2.2.b) Validation des équations

La Figure II-5 compare les valeurs mesurées et simulées d'un transistor SOI 130 nm à prises ($W = 30 \times 2 \mu\text{m}$) pour des tensions V_{gs} et V_{ds} (extrinsèques) entre 0 et 1,6 V. Le modèle des capacités décrit relativement bien les valeurs mesurées avec des erreurs relatives inférieures à 7 % pour C_{gs} et C_{gd} (Tableau II-2). Cependant, on observe une divergence sur C_{gs} pour des tensions inférieures à la tension de seuil V_{th} (i.e. 0,3-0,4 V). La capacité C_{gd} est très bien décrite sur toute la plage de V_{gs} en régime de saturation, mais la description se dégrade pour des faibles tensions de V_{ds} en régime linéaire.

Ces divergences ont une importance mineure pour la simulation de circuits tels que des amplificateurs où les transistors sont polarisés en saturation et au maximum de la transconductance g_m . Pour la technologie SOI 130 nm, cela correspond typiquement à des tensions $V_{ds} \gg 0,5 \text{ V}$ et $V_{gs} = 0,7 \text{ V}$. D'autre part, les capacités sont des sources de non-linéarité, certes importantes, mais d'ordre secondaire par rapport au courant de drain [27].

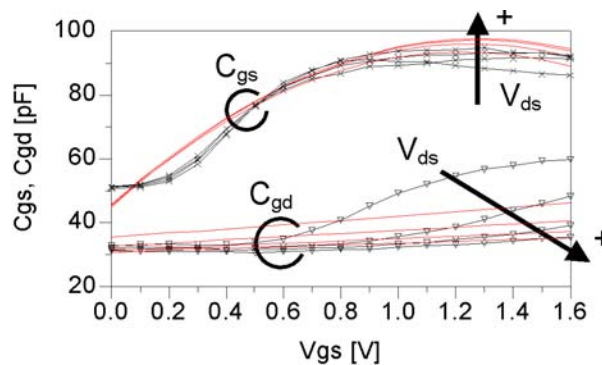


Figure II-5 : Comparaison des capacités C_{gs} et C_{gd} mesurées (croix et triangles) et modélisées (lignes continues) d'un transistor SOI à prises substrat.

	C_{gs}	C_{gd}
Erreur par point [pF]	3,9	4,4
Erreur max. [pF]	7,6	13,8
Erreur relative [%]	4,6	6,9

Tableau II-2 : Erreurs du modèle des capacités C_{gs} et C_{gd} d'un transistor SOI à prises substrat.

II.2.3. Comparaison des paramètres S simulés et mesurés

La précision du modèle SILICA est estimée de la même manière que celle du modèle petit signal (cf. I.3.4), c'est-à-dire au moyen de paramètres S pour deux transistors

SOI 130 nm à prises et à substrat flottant ($W = 30 \times 2 \mu\text{m}$), mesurés entre 0,5 et 50 GHz, pour six courants de polarisation entre 100 et 450 mA/mm à $V_{ds} = 1,2 \text{ V}$ (Figure II-6).

Le Tableau II-3 résume les erreurs calculées pour chacun des quatre paramètres S. Les fonctions d'erreur sont calculées jusqu'à 35 GHz pour les mêmes raisons que celles évoquées plus haut (cf. I.3.4.a). On remarque un très bon accord entre le modèle et les mesures avec une incertitude sur les paramètres S inférieure à 2,7 % pour le transistor flottant et à 1,9 % pour le transistor à prises. Les incertitudes plus élevées en comparaison de celles obtenues avec le modèle petit signal sont liées au paramètre S_{22} et dues à une difficulté de modélisation de la conductance de sortie g_d en saturation. Une très bonne précision est obtenue en revanche sur les trois autres paramètres S, avec une erreur proche ou inférieure à 0,5 %

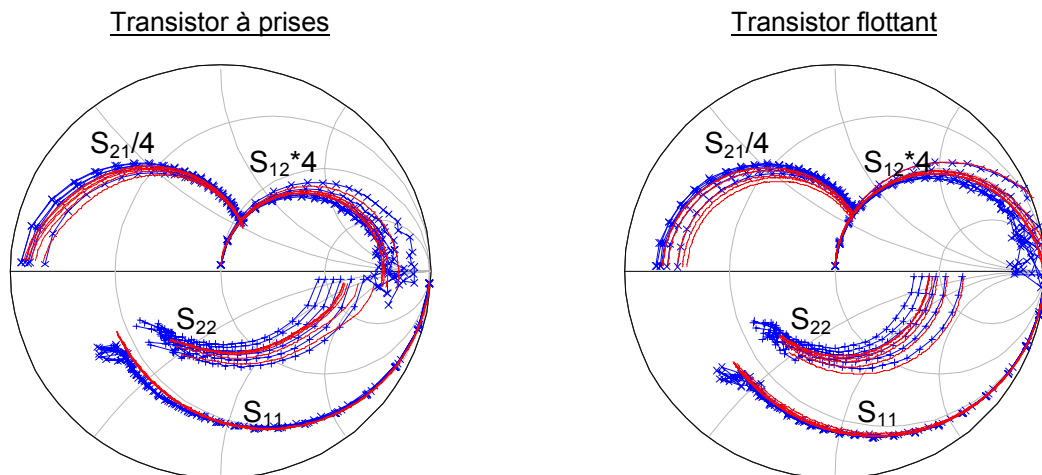


Figure II-6 : Comparaison des paramètres S simulés et mesurés avec le modèle SILICA.

Transistor		S_{11}		S_{12}		S_{21}		S_{22}	
		FB	BC+R _b	FB	BC+R _b	FB	BC+R _b	FB	BC+R _b
Amplitude x 10 ⁻³	Erreur par point	9	17	11	7	180	110	29	28
	Erreur max.	35	51	27	22	390	240	72	129
Phase (Deg)	Erreur par point	0,7	2,4	2,8	2,2	0,5	1,7	5,5	4,3
	Erreur max.	3,2	4,0	6,7	5,1	1,8	4,0	16,5	14,1

Transistor	E(S)		E(S ₁₁)		E(S ₁₂)		E(S ₂₁)		E(S ₂₂)	
	FB	BC+R _b	FB	BC+R _b	FB	BC+R _b	FB	BC+R _b	FB	BC+R _b
Erreur [%]	2,7	1,9	0,03	0,2	0,6	0,3	0,55	0,3	1,5	1,0

FB : transistor flottant

BC+R_b : transistor à prises avec le modèle de la résistance de body

Tableau II-3 : Incertitudes sur les paramètres S simulés jusqu'à 35 GHz avec le modèle petit signal pour les transistors SOI 130 nm flottants et à prises.

II.3. Extraction des paramètres du modèle SILICA

II.3.1. Méthodes d'extraction

La première étape consiste à déterminer les éléments du schéma équivalent qui ne sont pas décrits par des équations non linéaires, à savoir les résistances d'accès R_g , R_d , R_s , les inductances d'accès L_g , L_d , L_s , les capacités de plot C_{pg} et C_{pd} , les résistances R_{gd} et R_i et la capacité C_{ds} . Pour cela, on utilise les mêmes procédures d'extraction que pour le modèle petit signal, procédures décrites dans la partie I.3.

La deuxième étape consiste à extraire les paramètres de l'équation non linéaire décrivant l'évolution du courant de drain qui nécessite des mesures statiques en fonction de V_{gs} et V_{ds} . Enfin, on procède à l'extraction des paramètres des équations des capacités C_{gs} et C_{gd} à partir des mesures de paramètres S en fonction des tensions de polarisation externes V_{gs} et V_{ds} .

Aussi bien pour le courant de drain que pour les capacités C_{gs} et C_{gd} , les paramètres des équations non linéaires sont ajustés par rapport aux mesures. L'extraction des paramètres a été développée à l'origine dans le logiciel ICCAP d'Agilent Technologies. C'est l'algorithme de Levenberg-Marquardt, spécifique de la résolution des problèmes des moindres carrés et basé sur la méthode de Gauss-Newton, qui est utilisé pour l'optimisation des paramètres. Concernant cette méthode d'optimisation, on pourra se référer à la thèse d'A. Siligaris [27].

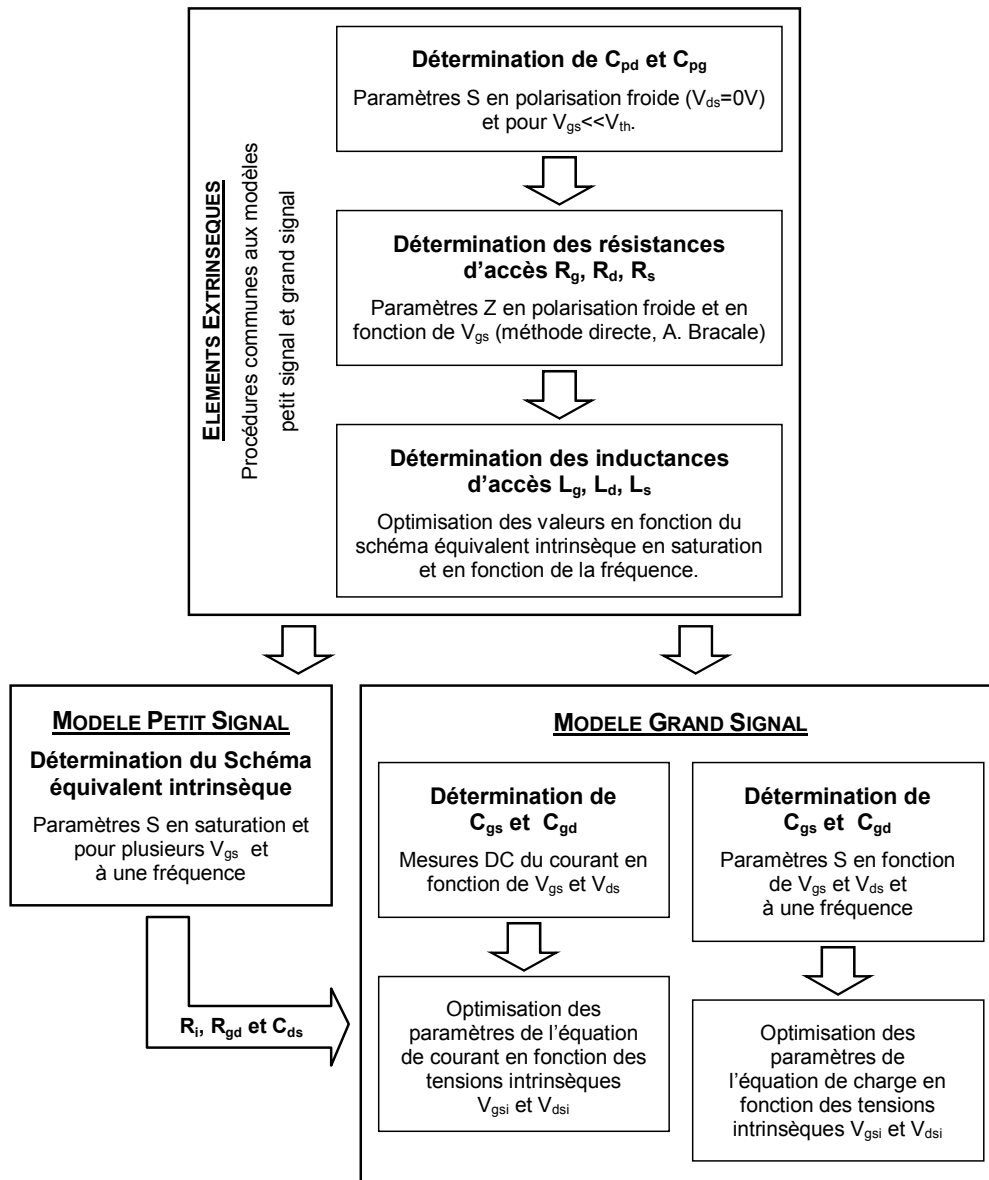


Figure II-7 : Procédure d'extraction des modèles petit signal et grand signal SILICA des transistors MOSFET SOI.

II.3.2. Implémentation dans un logiciel de calcul gratuit

Un programme permettant l'extraction des paramètres du modèle SILICA a été développé à partir du logiciel scientifique de calcul numérique SCILAB. Ce travail a été réalisé au cours d'un stage de MASTER Professionnel [35] au CEA-DIF de Bruyères-le-Châtel. SCILAB est développé et maintenu par l'INRIA (Institut National de Recherche en Informatique et Automatique). Similaire à MATLAB, il présente les avantages

supplémentaires d'être un système libre de droit d'utilisation et ouvert (le code source est disponible pour l'utilisateur). La Figure II-8 montre l'interface graphique du logiciel d'extraction réalisé.

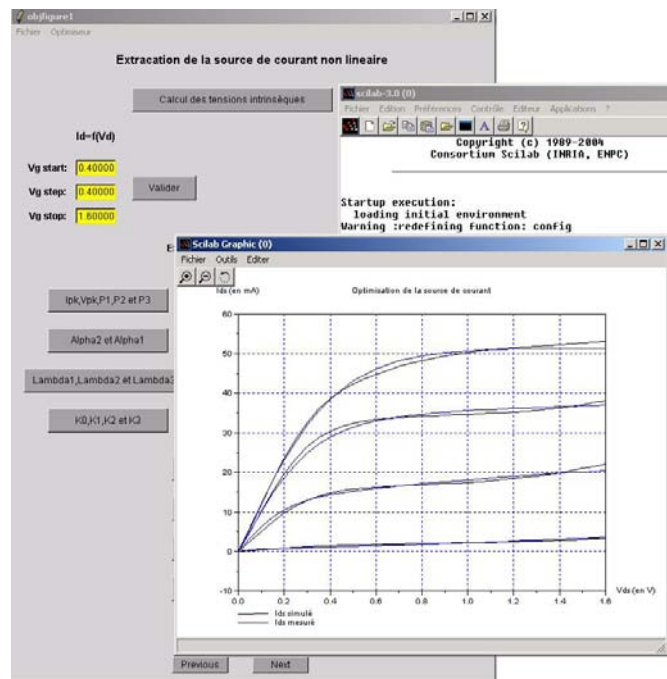


Figure II-8 : Implémentation dans SCILAB du modèle SILICA.

II.4. Implémentation du modèle dans le simulateur ELDO

Le simulateur ADS (*Advanced Design System*) d'Agilent Technologies est la première plate-forme de simulation dans laquelle le modèle SILICA a été implémenté. Il s'agit d'un simulateur de circuits RF, permettant les analyses en petit signal et en grand signal, dans les domaines fréquentiels et temporels. L'implémentation dans ADS a déjà été décrite dans la thèse d'A. Siligaris [27]. Dans le domaine fréquentiel, aucun problème de convergence attribué au modèle SILICA n'a été rencontré à ce jour. En revanche, la simulation de portes logiques (bascule JK par exemple) utilisant les algorithmes temporels d'ADS a présenté de nombreuses difficultés de convergence qui nous ont conduit à implémenter le modèle dans un autre simulateur, afin de permettre l'analyse temporelle des circuits mixtes analogiques/numériques.

II.4.1. Description de l'implémentation

Le choix d'un autre simulateur s'est porté sur ELDO de Mentor Graphics pour la robustesse et la rapidité de son moteur temporel. Celui-ci utilise des techniques de résolution de « *Newton-Raphson* » implanté dans Spice et « *One-Step Relaxation* » qui est une méthode de point fixe sans résolution de grands systèmes linéaires creux. Les deux méthodes sont combinées grâce à un algorithme original de partition en sous-circuits. Il permet d'adapter la précision du calcul des tensions et des courants en fonction des blocs de nœuds et de leur variation temporelle. Les blocs de nœuds, étroitement couplés (variations temporelles « rapides »), sont calculés en utilisant les itérations de Newton-Raphson, alors que les nœuds faiblement couplés (variations temporelles « lentes ») sont calculés par la méthode « *One-Step Relaxation* ».

L'implémentation dans ELDO est réalisée en langage C et HDLA (« *Hardware Description Language* »). La Figure II-9 représente les différentes couches logicielles mises en œuvre. Les équations non linéaires du courant de drain et des capacités C_{gs} et C_{gd} sont écrites dans des routines en C. Celles-ci sont compilées et ensuite encapsulées dans un fichier écrit en HDLA. Ce langage, dédié à la description comportementale des systèmes mixtes analogiques/numériques, est directement instanciable sous forme de composant dans une « *netlist* » de type SPICE sous ELDO. Un exemple de « *netlist* » ELDO et de code en HDLA est donné à la Figure II-10.

Le passage par une implémentation dans un langage bas niveau tel que le C permet de gérer beaucoup plus sûrement les problèmes de convergence dus à des indéterminations dans le calcul des équations non linéaires. A titre d'exemple, le passage par zéro, en grand signal, de la tension $V_{gs}(t)$ induit une division par zéro dans l'équation de la charge [II-12], ce qui nécessite un passage aux conditions aux limites de la fonction « tangente hyperbolique ». Ceci n'est pas toujours géré dans les langages de haut niveau et dans bon nombre de simulateurs.

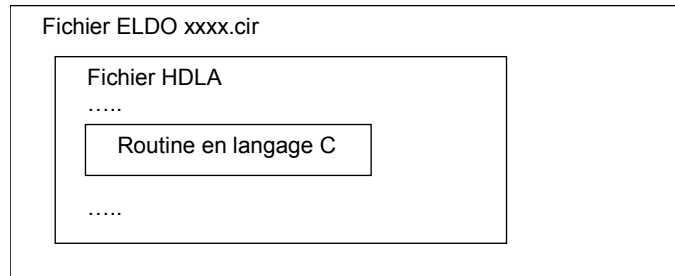


Figure II-9 : Représentation schématique de l'implémentation du modèle SILICA dans le simulateur ELDO.

```

***** fichier ELDO xxx.cir *****
** déclaration des architectures et des entités HDLA
** ici
**   _entité : CAPANL
**   _architecture : CGS
.model CAPANL(CGS) macro lang=hdla

** déclaration des fonctions en langage c compilé
.hdlacpkg cgsNL.so
...
.subckt TRANSISTOR pinGe pinDe pinSe

** éléments extrinsèques
Rge pinGe Ge1 15
Lge Ge1 Gi 30p
...

** instantiation éléments non linéaires codés en C et HDLA
yCGS1 CAPANL(CGS)
+   pin : Gi Si
...
.ends TRANSISTOR

----- fichier xxxxx.hdla -----
ENTITY CAPANL is
  PIN( NP, NN :electrical...)
...
END ENTITY CAPANL

ARCHITECTURE NL OF CAPANL IS
  -- déclaration des fonctions écrites C
  FUNCTION cgs(param1, param2 :analog..)
...
  BEGIN
...
  -- appel à une routine en langage c dans une équation
  [NP,NN].i%=cgs(param1, param2...) * ddt ([NP,NN].v)
...
END ARCHITECTURE NL
  
```

Figure II-10 : Exemple de « netlist » ELDO et de code HDLA.

II.4.2. Simulation temporelle dans ELDO

II.4.2.a) Simulation de la commutation d'un transistor MOSFET

Afin de vérifier le comportement du modèle en régime temporel et de mettre en évidence les phénomènes non quasi-statiques (NQS) tels que la charge et la décharge du canal lors de la commutation du transistor, nous avons simulé la variation transitoire du courant de drain [36]. Pour cela, nous avons imposé une variation rapide (100 ps) de la commande de grille pour faire commuter un transistor SOI de l'état bas à l'état haut et réciproquement (Figure II-11). Le transistor utilisé pour cette simulation est à prises internes, de longueur de grille $L_g = 120$ nm et de largeur $W = 10$ μm . Il est polarisé successivement en régime linéaire (tension de drain $V_D = 50$ mV) et saturé ($V_D = 1$ V). Le courant de drain simulé ne présente pas de pic de discontinuité. Son allure est voisine de celle obtenue par ailleurs à l'aide d'un modèle physique [36].

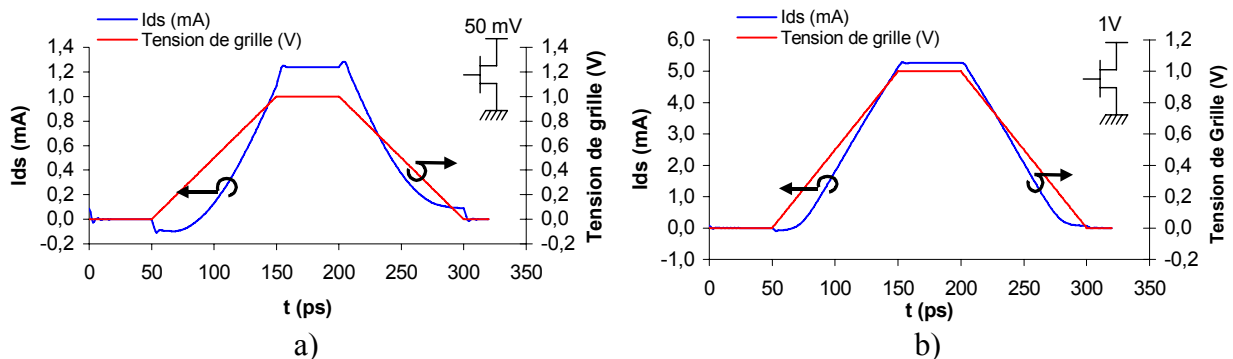


Figure II-11 : Variation transitoire de I_{ds} en régime linéaire (a) et saturé (b), lors de la commutation vers l'état haut et vers l'état bas d'un transistor MOSFET SOI.

II.4.2.b) Simulation d'une bascule JK synchronisée

La bascule JK synchronisée, représentée à la Figure II-12, est composée de deux portes NAND à trois entrées et de deux portes NAND à 2 entrées, avec des contre-réactions des sorties vers les entrées. Cette bascule est très intéressante pour tester la convergence d'un modèle en temporel en raison des contre-réactions et d'un cas d'indétermination lorsque les entrées J et K sont à « 1 ». Ce cas génère un phénomène d'« emballement en rond », dû à la réaction des sorties Q et QC (respectivement) sur les entrées K et J.

C'est pourquoi, nous avons simulé le comportement de la bascule JK synchronisée pour aller plus loin dans l'évaluation du modèle SILICA en temporel. Les transistors utilisés pour cette simulation ont une longueur de grille $L_g = 120$ nm et des largeurs de $5 \times 2 \mu\text{m}$ et $30 \times 2 \mu\text{m}$. Les signaux numériques ont été choisis avec des fronts raides ($t_r = t_f = 100$ ps), toujours pour mettre en évidence les phénomènes NQS d'injection de charges dans le canal. La Figure II-13 montre la réponse temporelle de la bascule JK et les formes d'ondes obtenues en sortie.

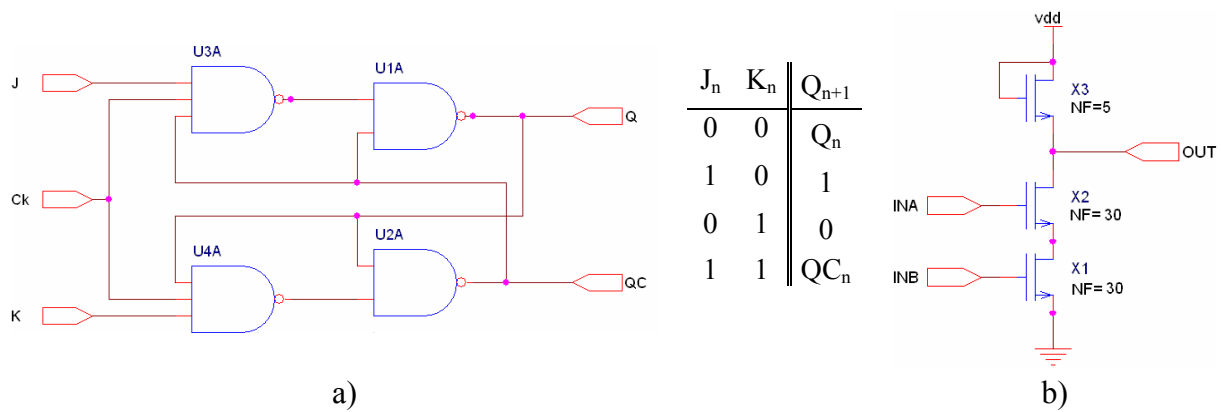


Figure II-12 : a) Bascule JK et sa table de vérité; b) Porte NAND 2 entrées en technologie NMOS.

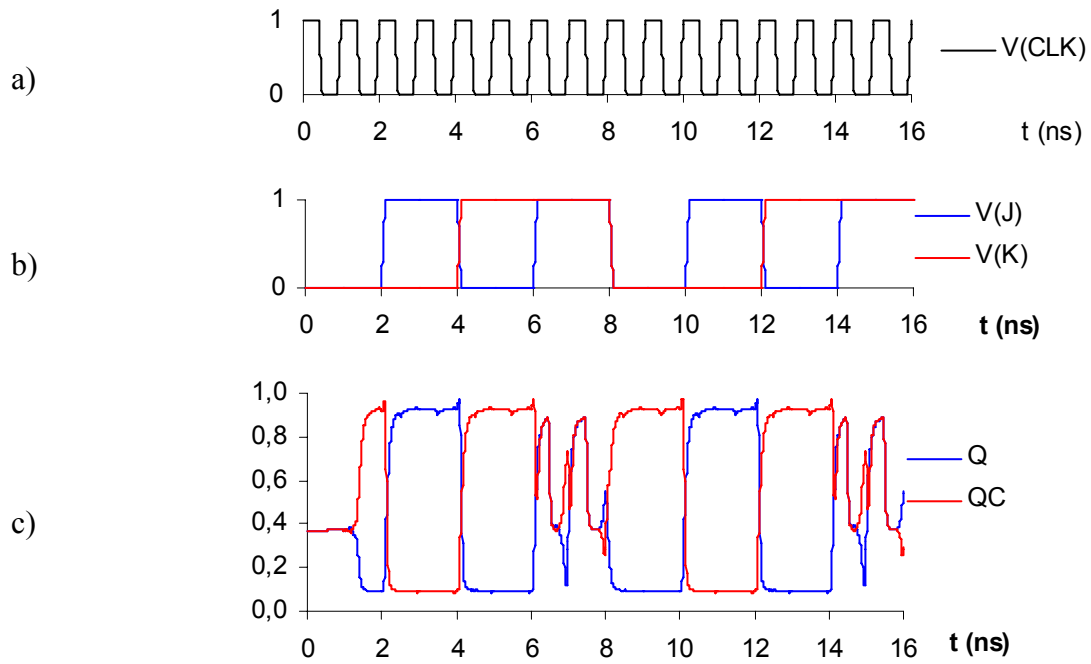


Figure II-13: Stimulus (a et b) et réponse temporelle (c) de la bascule JK synchronisée.

III. Caractérisation de la filière 130 nm

Ce paragraphe présente les mesures que nous avons effectuées en octobre 2004 sur les transistors MOSFET de la filière CMOS SOI-PD 130 nm de ST-Microelectronics, de type N et P, à prises substrat externes (« *body contacted* », BC) ou à substrat flottant (« *floating body* », FB). Ces transistors proviennent du départ en fabrication de février 2004 à la suite du projet européen de recherche technologique MEDEA+ t206. Le dessin des transistors a été réalisé au CEA-DIF de Bruyères-le-Châtel. Les mesures, réalisées à l'IEMN, nous ont permis d'extraire les paramètres des modèles RF présentés au paragraphe II (modèles petit signal+bruit et grand signal).

III.1. Les fréquences de coupure d'un transistor

Les fréquences de coupure extrinsèques des transistors constituent des facteurs de mérite très significatifs permettant d'évaluer les performances d'une filière technologique pour la conception de circuit. Il existe deux définitions de fréquence de coupure, l'une appelée fréquence de transition F_t et l'autre fréquence maximale d'oscillation F_{max} , qui sont basées sur des notions de gain hyperfréquence dans la théorie des quadripôles et pouvant s'exprimer en fonction des éléments du schéma équivalent des transistors. Elles ont toutefois une signification très différente pour la conception de circuit car les éléments du schéma équivalent mis en jeu sont différents.

III.1.1.a) Gain en courant $|H_{21}|$ et fréquence de transition F_t

Le gain en courant de court circuit $|H_{21}|$ est calculé à partir des paramètres S suivant l'expression suivante :

$$[\text{III-1}] \quad |H_{21}| = \frac{|i_2|}{|i_1|} \Big|_{v_2} = \left| \frac{-2 \cdot S_{21}}{(1 - S_{11})(1 - S_{22}) + S_{12} \cdot S_{21}} \right|$$

Ce gain suit une évolution théorique de -20 dB/décade. La fréquence pour laquelle le module du gain est égal à 1 (ou 0 dB) permet de définir la fréquence de transition F_t . Pour un

MOSFET, la fréquence F_t peut être approximée en considérant le schéma équivalent de la partie intrinsèque (Figure I-2, p. 82) par la relation suivante :

$$[\text{III-2}] \quad F_t = \frac{g_m}{2\pi \cdot (C_{gs} + C_{gd})}$$

III.1.1.b) Gain unilatéral U et fréquence maximale d'oscillation F_{\max}

Le gain unilatéral d'un composant, proposé par Mason, est le gain maximum disponible lorsque la stabilité est assurée en ajoutant une contre réaction sans perte afin d'annuler le coefficient de transmission inverse S'_{12} . Son expression en fonction des paramètres S est donnée par la relation suivante :

$$[\text{III-3}] \quad U = \frac{\left| \frac{S_{21}}{S_{12}} - 1 \right|^2}{2 \cdot \left(k \left| \frac{S_{21}}{S_{12}} \right| - \Re \left(\left| \frac{S_{21}}{S_{12}} \right| \right) \right)}$$

où k est le facteur de stabilité (facteur de Rollet) défini par :

$$[\text{III-4}] \quad k = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |S_{11} \cdot S_{22} - S_{12} \cdot S_{21}|^2}{2 \cdot |S_{12}| |S_{21}|}$$

Le gain de Mason peut être calculé pour tout composant actif, mais il est extrêmement sensible au bruit de mesure. La fréquence pour laquelle $U = 1$ correspond à la fréquence maximale d'oscillation F_{\max} , au-delà de laquelle le transistor devient passif.

Une expression approchée de F_{\max} en fonction des éléments du schéma équivalent est :

$$[\text{III-5}] \quad F_{\max} \approx \frac{F_c}{2 \sqrt{\left(R_g + R_s + R_i \right) \left(g_d + g_m \frac{C_{gd}}{C_{gs}} \right)}}$$

avec F_c donnée par :

$$[\text{III-6}] \quad F_c = \frac{g_m}{2 \cdot \pi \cdot C_{gs}}$$

III.2. Structures de test et principales caractéristiques RF

Pour la caractérisation des transistors MOSFET de longueur de grille 130 nm, nous disposons de quatre topologies de grille (N et P, flottants et à prises externes). Le Tableau III-1 résume les résultats mesurés et issus des modèles établis pour les 16 motifs de test.

	Transistors à prises externes (BC)							
	NMOS				PMOS			
	60x1	30x2	15x4	30x4	60x1	30x2	15x4	30x4
W_t (μm)								
Paramètres S	-	O	-	O	O	O	O	O
Modèle petit signal + bruit	-	O	-	O	O	O	O	O
Modèle grand signal	-	O	-	-	-	-	-	-

	Transistors à substrat flottant (FB)							
	NMOS				PMOS			
	60x1	30x2	15x4	30x4	60x1	30x2	15x4	30x4
W_t (μm)								
Paramètres S	O	O	-	O	O	O	O	O
Modèle petit signal + bruit	O	O	-	O	-	-	O	O
Modèle grand signal	-	O	-	-	-	-	-	-

Tableau III-1 : Résumé des transistors à substrat flottant et à prises mesurés ('O' : transistor mesuré ou exploité, '-' : transistor non mesuré ou non exploité).

Les caractéristiques HF et DC des transistors ont été mesurées avec un analyseur DC-110 GHz 8510XF d'Agilent, les principales d'entre elles sont fournies dans le Tableau III-2. Les mesures de bruit ont été faites avec le banc de bruit entre 6 GHz et 20 GHz. La procédure de calibrage utilisée est de type circuit ouvert [37]. Enfin, la valeur des éléments du schéma équivalent a été extraite à partir de mesures à 20 GHz. On pourra trouver une description des bancs de mesure dans les références [4, 38].

		W_t [μm]	$N_d \times W_d$ [μm]	F_t / F_{max} [GHz]		R_g		R_d [Ω]	R_s [Ω]	C_{pg} [fF]	C_{pd} [fF]	L_g [pH]	L_d [pH]	L_s [pH]	$G_m^{(1)}$ [mS/mm]	$V_{\text{th}}^{(2)}$ [V]
						[Ω]	[Ω/sq]									
NMOS	BC	60	60 x 1	-	-	-	-	-	-	-	-	-	-	-	-	-
		60	30 x 2	63	76	7,2	42	1,5	1,0	2	20	22	15	1	698	0,37
		120	30 x 4	74	62	7,5	22	1,1	0,6	2	10	18	20	1	673	0,37
	FB	60	60 x 1	82	150	2,1	49	1,6	1,3	6	24	21	25	1	722	0,36
		60	30 x 2	89	125	3,2	19	1,8	1,2	3,2	13	22	22	1	703	0,35
		120	30 x 4	91	83	5	15	1,2	0,6	3,1	33,6	20	20	1	663	0,32
PMOS	BC	60	60 x 1	29	60	5,5	129	8,5	6,4	2	20	18	20	1	388	-0,35
		60	30 x 2	38	72	5,7	33	8,0	6,6	2	20	18	25	1	375	-0,35
		60	15 x 4	47	59	12,9	19	7,5	6,4	2	21	18	25	1	377	-0,35
		120	30 x 4	45	55	6,8	20	4,1	3,4	2	20	18	25	1	364	-0,34
	FB	60	60 x 1	39	94	-	-	-	-	-	-	-	-	-	-	-
		60	30 x 2	46	87	-	-	-	-	-	-	-	-	-	-	-
		60	15 x 4	52	65	9,9	14,5	8,6	7,6	0,5	14	18	25	1	348	-0,35
		120	30 x 4	49	56	7,1	21	4,8	4,1	28	2,9	26	20	1	335	-0,35

⁽¹⁾ G_m est déduit des caractéristiques DC ($V_{ds}=1,2V$)

⁽²⁾ V_{th} est déterminé à $V_{ds}=0,1V$, en traçant l'asymptote du courant I_{ds} au point correspondant au $g_{m_{\text{max}}}$

Tableau III-2 : Principales caractéristiques DC et HF des transistors SOI-PD 130 nm.

III.3. Comparaison des caractéristiques hautes fréquences pour le NMOS et le PMOS

Afin de comprendre les différences de performance des transistors NMOS et PMOS de type flottant et à prises substrat, nous comparons les principaux éléments de leur schéma équivalent. Les comparaisons sont abordées sous l'angle des facteurs limitant les performances en fréquence et en bruit et portent sur les transistors de développement 30x4 μm .

III.3.1. Facteurs limitant de la fréquence F_{max} et du facteur de bruit minimum NF_{min}

Plusieurs éléments du schéma équivalent contribuent à diminuer la valeur de la fréquence F_{max} (dont l'expression en fonction des éléments du schéma équivalent est donnée par [III-5]), et à augmenter celle du facteur de bruit minimal NF_{min} dont l'expression est donnée par [39, 40] :

$$[\text{III-7}] \quad NF_{\text{min}} \approx 1 + 2 \frac{F}{F_c} K \sqrt{g_m \cdot (R_g + R_s + R_i) \left(1 + \frac{C_{gd}}{C_{gs}} \right)}$$

[III-8] $C_{gd} = C_{gdi} + C_{gde}$

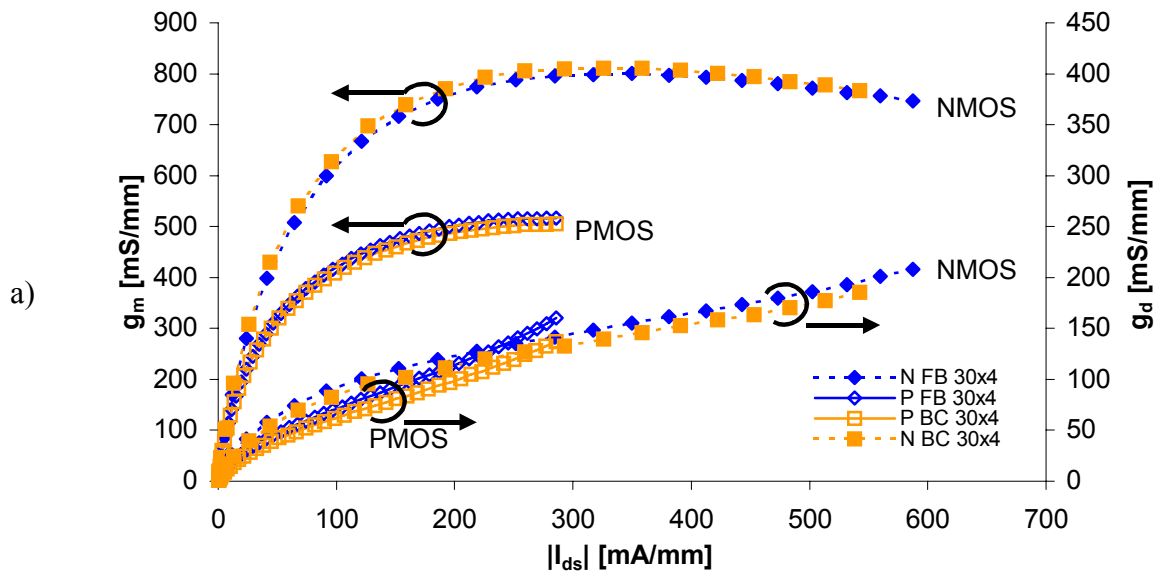
[III-9] $C_{gs} = C_{gsi} + C_{gse}$

[III-10] $F_c = \frac{g_m}{2\pi C_{gs}}$

où K est un facteur dépendant de paramètres de bruit sans dimension (par exemple, les paramètres P, R et C du modèle de Pucel).

Les contributions principales à cette détérioration, par ordre d'importance, sont d'origine extrinsèque avec les résistances R_g et R_s , et d'origine intrinsèque avec la conductance de sortie g_d et la capacité Miller C_{gd} .

La Figure III-1 représente respectivement les conductances g_m et g_d et les capacités C_{gs} et C_{gd} pour les quatre topologies. Les valeurs ont été normalisées en fonction de la largeur totale de grille $W_t = N_d * W_d$. Pour prendre en compte le dessin spécifique des transistors à prises, une sur-correction de $0,2 \mu m$ a été appliquée à la largeur de chaque doigt de grille W_d des transistors de type NMOS. La sur-correction est basée sur l'hypothèse suivante : à largeur identique, les transistors flottants et à prises doivent présenter la même transconductance G_m .



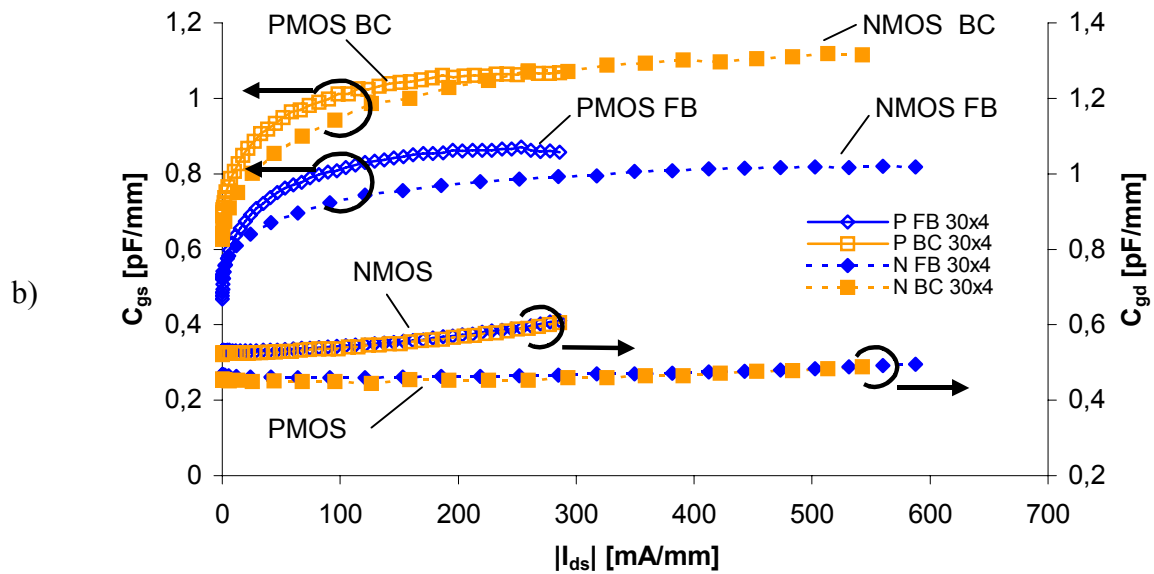


Figure III-1 : a) Transconductance g_m , conductance g_d . b) Capacités C_{gs} et C_{gd} des transistors MOS N et P, à substrat flottant ou à prises ($W = 30 \times 4 \mu\text{m}$, $V_{ds} = 1,2 \text{ V}$).

III.3.1.a) NMOS vs. PMOS

La principale différence entre les transistors NMOS et PMOS provient de la transconductance g_m , de valeur maximale voisine de 800 mS/mm pour les NMOS et de 510 mS/mm pour les PMOS. Cette différence est en partie liée au fait que la mobilité des trous ($\mu_p < 500 \text{ cm}^2/\text{V/s}$) est inférieure à celle des électrons ($\mu_n < 1500 \text{ cm}^2/\text{V/s}$).

La conductance de sortie est quasiment identique pour les NMOS et les PMOS avec une différence maximale très faible de l'ordre de 20 mS/mm (environ 13 %). Il en va de même pour la capacité C_{gs} avec un écart maximal inférieur à 90 fF/mm pour les transistors flottants (environ 12 %) et inférieur à 70 fF/mm pour les transistors à prise (environ 8 %).

Enfin on observe un écart sur la capacité C_{gd} entre les NMOS et les PMOS entre 50 et 125 fF/mm suivant le courant de polarisation. Mais les valeurs de C_{gd} sont confondues entre transistors flottants et à prises, aussi bien pour les NMOS et que les PMOS.

III.3.1.b) Transistors flottants vs. transistors à prises : capacités intrinsèques et extrinsèques

La principale différence dans les performances obtenues entre les transistors flottants et à prises est liée à la capacité extrinsèque C_{gse} et plus particulièrement à la capacité de

débordement latéral (voir I.2.2.b). Les méthodes de détermination du schéma équivalent que nous utilisons ne permettent pas de dissocier les parties intrinsèques et extrinsèques, aussi bien pour la capacité C_{gs} que C_{gd} (voir I.2.2.b). Cependant, on peut les déduire à partir de leurs propriétés :

- _ les capacités intrinsèques sont dépendantes de la polarisation et indépendantes de la topologie de la grille, c'est-à-dire du nombre de doigts N_d constituant la grille pour une largeur totale donnée ($W = N_d * W_d$) ;
- _ les capacités extrinsèques totales sont presque totalement indépendantes de la polarisation et proportionnelles à la largeur totale du transistor W .
- _ la capacité extrinsèque de débordement latéral est de plus proportionnelle au nombre de doigts N_d , mais indépendante de la largeur unitaire W_d .

Ainsi, on peut déterminer les capacités extrinsèques totales en prenant la valeur de C_{gs} et de C_{gd} à polarisation nulle ($I_{ds} = 0$ mA), et les capacités de débordement latéral en représentant les capacités $C_{gs} = C_{gsi} + C_{gse}$ et $C_{gd} = C_{gdi} + C_{gde}$ en fonction du nombre de doigts (Figure III-2). L'ordonnée à l'origine de la régression linéaire permet de déterminer l'ordre de grandeur de la capacité de débordement latéral. Pour un transistor flottant, les capacités grille-source et grille-drain de débordement latéral ont une valeur 0,1 fF/doigt environ. Pour les transistors à prises, on obtient la même valeur pour la capacité grille-drain et un surplus d'environ 1 à 1,1 fF/doigt pour la capacité grille-source (soit une valeur totale de 1,1 à 1,2 fF/doigt).

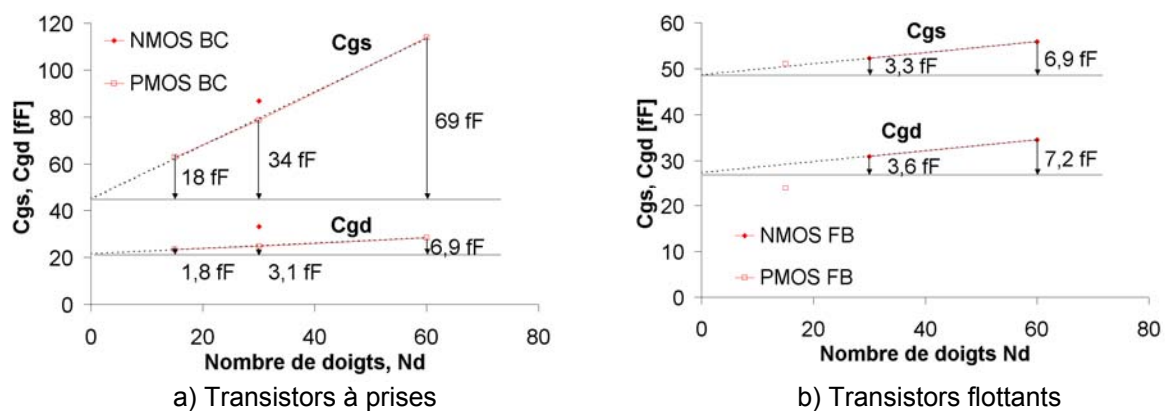


Figure III-2 : Capacités C_{gs} et C_{gd} en fonction du nombre de doigts N_d et à largeur totale constante ($W = 60 \mu\text{m}$ et $V_{ds} = 1,2$ V).

III.3.1.c) Résistance d'accès de grille R_g

Concernant les résistances d'accès, les principales différences entre les dispositifs mesurés portent sur la résistance de grille R_g , les différences concernant R_s étant mineures en comparaison.

Les transistors NMOS flottants ont une résistance R_g 1,5 à 2 fois plus faible que celle des transistors à prises. Cette différence s'explique par l'extension de grille engendrée par les prises substrat (cf. Chapitre I, paragraphe IV.3), évidemment inexistante chez les transistors flottants. Concernant les transistors PMOS flottants et à prises, on observe des résistances de même ordre de grandeur que celles des transistors NMOS à prises. Cet écart important de la valeur de R_g entre les transistors flottants PMOS et NMOS a pour origine les dopages différents utilisés pour définir les zones de diffusion de source et de drain (voir Chapitre I).

Du point de vue de la topologie de grille (c'est-à-dire le nombre de doigts de grille N_d de largeur W_d), l'augmentation du nombre de doigts revient à augmenter le nombre de transistors élémentaires mis en parallèle, ce qui permet de réduire considérablement la résistance de grille R_g qui s'exprime par :

$$[\text{III-11}] \quad R_g = R_{\square} \cdot \frac{W \cdot L_{g_eff}}{3 \cdot N_d^2},$$

où $W = W_d \cdot N_d$, R_{\square} est la résistance du matériau de grille par carré (\square) et L_{g_eff} est la longueur de grille effective. Cependant, cette réduction de R_g est compensée en partie par une dégradation de la résistance du matériau de grille pour des faibles largeurs de doigts W_d . La Figure III-3 représente le R_{\square} estimé à partir de l'équation [III-11]. On obtient ainsi des valeurs de 15-20 Ω pour des largeurs $W_d = 4 \mu\text{m}$ et de 130 Ω pour un PMOS à prises de largeur $W_d = 1 \mu\text{m}$.

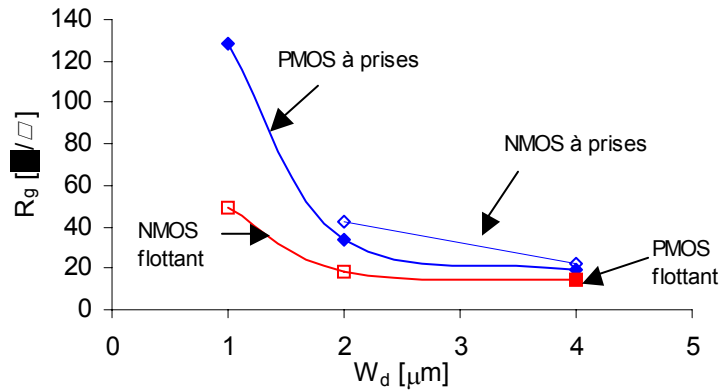


Figure III-3 : Résistance du matériau de grille en Ω/\square .

III.3.2. Variation des fréquences de coupure extrinsèque en fonction de la largeur de grille

III.3.2.a) Fréquence F_{max}

La Figure III-5 montre les fréquences de coupure F_t et F_{max} mesurées en fonction de la largeur unitaire des doigts des transistors W_d . Les transistors NMOS flottants et à prises atteignent respectivement des fréquences F_{max} de 150 GHz et de 76 GHz. Les transistors PMOS flottants et à prises atteignent respectivement des fréquences de 94 GHz et de 72 GHz. Les fréquences F_{max} plus élevées des transistors NMOS proviennent principalement de la transconductance g_m plus importante pour les transistors NMOS que pour les transistors PMOS à cause de la mobilité des porteurs majoritaires dans le canal (cf. III.1.1.a). Quant aux différences entre transistors flottants et à prises, elles proviennent des valeurs plus faibles de la résistance de grille R_g et des capacités parasites C_{gse} pour les transistors flottants.

Aussi bien pour les NMOS que pour les PMOS, les fréquences F_{max} les plus élevées sont atteintes pour une largeur de doigt de grille de 1 μm pour les transistors flottants et de 2 μm pour les transistors à prises. La représentation de la fréquence F_{max} en fonction de la largeur unitaire W_d des doigts des transistors fait apparaître une notion de largeur optimale, c'est-à-dire une largeur pour laquelle l'impact des facteurs qui contribuent à réduire les performances est la plus faible (cf. III.3.1). Alors que pour les transistors à prises, la largeur optimale est de 2 μm , il semble qu'elle ne soit pas encore atteinte pour les transistors flottants.

Il est fortement probable que des fréquences F_{\max} plus élevées soient être atteintes pour des largeurs inférieures à 1 μm .

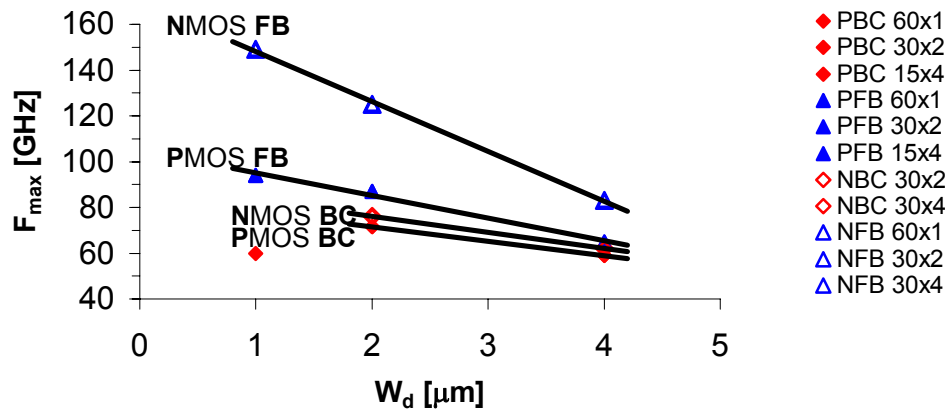


Figure III-4 : Fréquence maximale d'oscillation en fonction de la largeur des doigts de grille des transistors MOS N et P, à prises substrat (BC) et à substrat flottant (FB). ($V_{ds} = 1,2 \text{ V}$).

Comparaison des PMOS flottants et des NMOS à prises :

On peut remarquer aussi les excellentes performances des transistors PMOS flottants qui ont des F_{\max} supérieures à ceux des transistors NMOS à prises. Cette propriété est très intéressante car les transistors flottants en PMOS sont de surcroît moins affectés que les NMOS par les effets de substrat flottant tels que l'effet « *kink* ». Pour remédier à ces effets parasites, on a généralement recours dans le cas des NMOS, à des prises qui imposent le potentiel de la zone interne du transistor. Cependant, ces prises dégradent les performances en fréquence car d'une part, elles nécessitent un dessin spécifique de la grille du transistor (cf. III.3.1.c) ce qui a pour effet d'augmenter la résistance de grille, et d'autre part, elles provoquent une forte augmentation de la composante extrinsèque de la capacité grille-source C_{gs} . L'utilisation d'un transistor PMOS rendrait ces prises inutiles car ceux-ci sont moins sujet aux effets de substrat flottant et non pas d'effet « *kink* » en l'occurrence (cf. Chapitre I, paragraphe III.3.1).

Les très bonnes performances en F_{\max} des transistors PMOS permettent d'envisager la réalisation de circuits en bande K utilisant une architecture complémentaire avec des transistors NMOS et PMOS.

III.3.2.b) Fréquence F_t

La fréquence de transition F_t suit une évolution faiblement croissante en fonction de la largeur unitaire W_t des doigts de grille. L'expression équivalente de F_t , donnée par l'équation [III-2], permet d'expliquer cette évolution, puisqu'elle ne dépend que de la transconductance g_m et des capacités C_{gs} et C_{gd} . Comme nous l'avons montré à la Figure III-2, les contributions extrinsèques de C_{gs} et de C_{gd} augmentent proportionnellement en fonction du nombre de doigts N_d , ce qui revient encore à dire qu'elles diminuent lorsque la largeur unitaire W_d augmente pour une largeur totale W_t donnée.

Les valeurs de la fréquence F_t les plus élevées sont obtenues pour des largeurs de doigt de grille de 4 μm avec des valeurs de 91 GHz et 74 GHz pour les transistors NMOS flottants et à prises et de 52 GHz et 47 GHz pour les transistors PMOS flottants et à prises. Les différences entre NMOS et PMOS proviennent principalement de la transconductance g_m pour la même raison que celle évoquée pour la fréquence F_{max} .

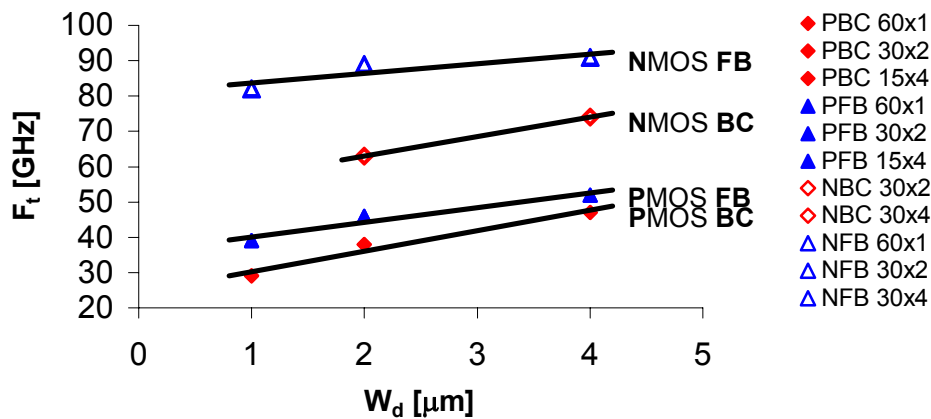


Figure III-5 : Fréquence de transition F_t en fonction de la largeur des doigts de grille des transistors MOS N et P, à prises substrat (BC) et à substrat flottant (FB). ($V_{ds} = 1,2$ V).

III.3.3. Caractéristiques en bruit

La Figure III-6 représente le facteur de bruit minimal NF_{min} et le gain associé G_{ass} à 10 GHz des transistors SOI. Les transistors à prises ont des NF_{min} plus élevés que les transistors flottants, principalement à cause de valeurs plus importantes pour la résistance de grille et la capacité extrinsèque C_{gse} .

		W_t [μm]	$N_d \times W_d$ [μm]	NF_{\min} [dB]	G_{ass} [dB]	I_{ds} [mA/mm]
NMOS	BC	60	60 x 1	-	-	-
		60	30 x 2	1,65	12,8	196
		120	30 x 4	1,6	12	173
	FB	60	60 x 1	0,75	15,1	183
		60	30 x 2	0,7	15,5	183
		120	30 x 4	1,1	13,4	176
PMOS	BC	60	60 x 1	1,8	10,8	87
		60	30 x 2	1,6	10,3	88
		60	15 x 4	1,6	10,7	88
		120	30 x 4	1,6	11,1	86
	FB	60	60 x 1	-	-	-
		60	30 x 2	-	-	-
		60	15 x 4	1,3	11,3	86
		120	30 x 4	1,3	10,9	86

Tableau III-3 : Principales caractéristiques en bruit des transistors SOI-PD 130 nm.

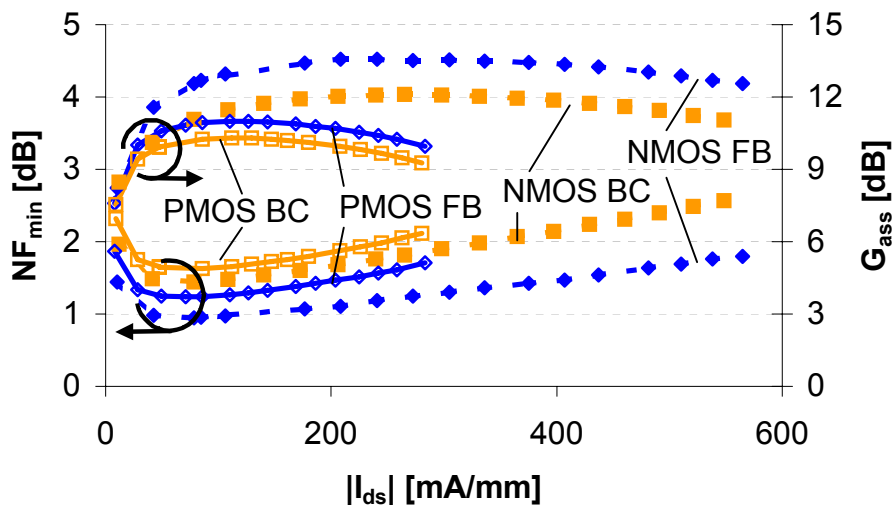


Figure III-6 : Facteur de bruit minimal NF_{\min} et gain associé G_{ass} à 10 GHz des transistors NMOS et PMOS à substrat flottant et à prises substrat de largeur 30x4 μm .

III.3.4. Etat de l'art de transistors CMOS sur substrat massif et sur SOI

III.3.4.a) Etat de l'art en fréquence

La Figure III-7 représente l'état de l'art en fréquence F_t et F_{max} des transistors CMOS sur substrat massif (« *bulk* ») et sur SOI, en fonction de la longueur de grille effective des transistors L_{poly} . Les références sont disponibles dans le Tableau III-4. La meilleure

performance en SOI est obtenue par IBM avec sa technologie SOI 90 nm (longueur de grille effective de 80 nm), avec un F_t de 243 GHz et un F_{max} de 209 GHz. En bulk, les meilleures performances sont obtenues avec les technologies 90 nm de Crolles-II Alliance avec des F_t et F_{max} de 150 GHz et 280 GHz et d'Intel avec des F_t et F_{max} de 209 GHz et 248 GHz.

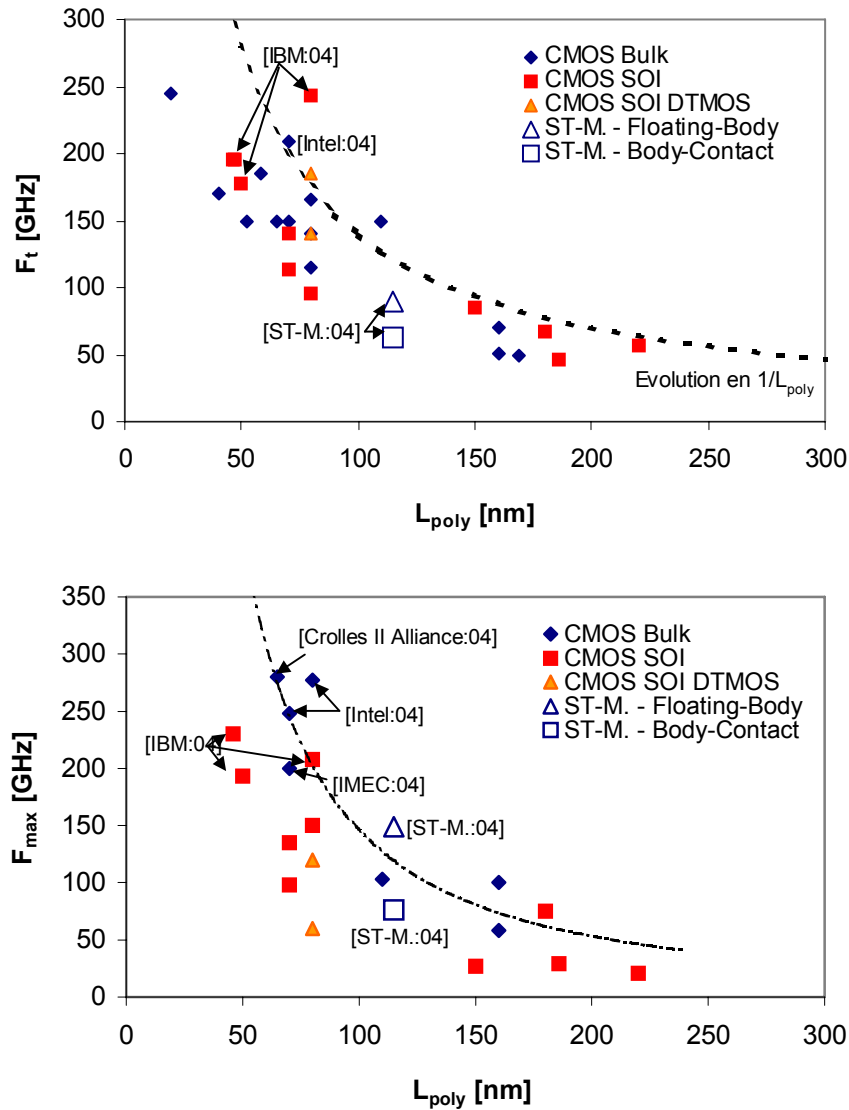


Figure III-7 : Etat de l'art des fréquences F_t et F_{max} en fonction de la longueur de grille effective L_{poly} , pour les filières CMOS sur substrat massif (« *bulk* ») et sur SOI.

	Références	Filières	Fondeurs	NMOS		PMOS		V_{ds} [V]	
				L_{poly} [nm]	F_t [GHz]	F_{max} [GHz]	F_t [GHz]		F_{max} [GHz]
CMOS sur substrat massif (« bulk »)	Burghartz 00 [41]	180 nm	IBM	96 (N) 120 (P)	70	35			±1,5
	Shigematsu 04 [42]	180 nm	Fujitsu	160	51	100			
	Maeda 01 [43]	180 nm	Mitsubishi	169	50	27			
	Su 01 [44]	180 nm	TSMC	160	70	58			1
	Guo 03 [45]	130 nm	TSMC	80	115	80			1
	Momose 03 [46]	110 nm	Toshiba	110	150	103	110	58	1,5
	Venezia 02 [47]	100 nm	Philips	80	140	56			
	Chen 03 [48]	90 nm	TSMC	58	185				1,2
	Baldwin 03 [49]	90 nm	TI	52	150				
	Jeamsaksiri 04 [50]	90 nm	IMEC	70	150	200			1,2
	Tiemeijer 04 [51]	90 nm	Crolles II Alliance	65	150	280			0,9
	Kuhn 04 [52]	90 nm	Intel	70	209	248			
	Kuhn 04 [52]	90 nm	Intel	80	166	277			
	Momose 01 [53]	80 nm	Toshiba	40	170				1,5
Momose 01[53]	60 nm	Toshiba	20	245				1,5	
CMOS SOI	Chen 00 [54]	FD 250 nm	MIT	220	56	21	42		2
	Chen 00 [54]	FD 250 nm	MIT	150	85	27			1
	Chen 02 [55]	FD 200 nm	MIT	180	67	75	47	59	±1,5
	Matsumoto 01 [56]	PD BT 180 nm	Mitsubishi	70	114	135			
	Maeda 01 [43]	PD 180 nm	Mitsubishi	186	46	29			
	Hirose 01 [57]	PD DTMOS 130 nm	Fujitsu	80	185	120			1,2
	Momiyama 03 [58]	PD DTMOS 130 nm	Fujitsu	80	140	60			1,5
	Momiyama 03 [58]	PD BC 130 nm	Fujitsu	80	105	50			1,5
	Vanmack. 02 [59]	PD 130 nm	ST	80	96	150			1,2
	Zamdmer 01 [60]	PD 130 nm	IBM	70	141	98			1,2
	Plouchart 04 [61]	PD 120 nm	IBM	46	196	230			1,2
	Plouchart 05 [62]	PD 90 nm	IBM	80	243	208	108		1,2
	Narasimha 01 [63]	70 nm	IBM	50	178	193			1,2
	IEMN, CEA-DIF, ST [64, 65]	PD FB 130 nm	ST	115	90	150	39	94	1,2
PD BC 130 nm		ST	115	63	76	38	72	1,2	

PD : partiellement déserté

FD : fully depleted = totalement déserté

BC : body contacted = transistor à prises externes

BT : body tied = transistor à prises internes

DTMOS : Dynamic Threshold MOSFET

Tableau III-4 : Etat de l'art en fréquence des filières CMOS sur substrat massif et sur SOI.

III.3.4.b) Etat de l'art en bruit

Le Tableau III-5 dresse un état de l'art non exhaustif des performances en bruit des transistors des principales filières sur substrat massif et sur SOI. On peut remarquer les bonnes performances des transistors NMOS flottants de la filière SOI 130 nm de ST en comparaison avec les autres filières 130 nm, avec un facteur de bruit minimal NF_{min} et un gain

associé G_{ass} meilleurs que ceux des filières SOI d'IBM [60, 66], de Fujitsu [57] et de la filière sur substrat massif de TSMC [45]. Quand au transistor PMOS de type flottant, il obtient lui aussi de très bonnes performances en bruit en comparaison avec celles de la filière 130 nm sur substrat massif de TSMC [45].

	Références	Filières	Fondeurs	NMOS					PMOS		
				F_{max} [GHz]	L_{poly} [nm]	NF_{min} [dB]	G_{ass} [dB]	F [GHz]	NF_{min} [dB]	G_{ass} [dB]	F [GHz]
CMOS bulk	Burghartz 00 [41]	180 nm	IBM	35	96 (N)	1,5	12	5,1			
				23	120 (P)				1,5	9	5,1
	Guo 03 [45]	130 nm	TSMC	80	80	1,2	20	2	2,2	12,5	10
	Kuhn 04 [52]	90 nm	Intel	277	80	0,3	23 (MSG)	2	0,6	16 (MSG)	10
CMOS SOI	Chen 02 [55]	FD 200 nm	MIT	75	180	0,4	18	2	-	-	-
	Maeda 01 [43]	PD 180 nm	Mitsubishi	29	186	0,8	-	2,5	-	-	-
	Zamdmer 01 [60]	PD 130nm	IBM		120	<1,5	-	10	-	-	-
						<2,5	-	18	-	-	-
	Zamdmer 02 [66]	PD 130nm	IBM	98	65	<1	15	10	-	-	-
	Plouchart 05 [62]	PD 90 nm	IBM	208	80	<2	10	26	-	-	-
						0,3	16	12	-	-	-
	Vanmackelberg 02 [59]	PD 130 nm	ST	150	80	1,2	13	25	-	-	-
						0,8	16	6	-	-	-
	Hirose 01 [57]	PD DTMOS 130 nm	Fujitsu	120	80	0,8	-	10	-	-	-
1,2						-	12	-	-	-	
IEMN,CEA-DIF, ST [64, 65]	PD FB 130nm	ST	150 (N)	115	0,7	15,1	10	1,3	11,3	10	
	PD BC 130nm	ST	76 (N)	115	1,65	12,8		1,6	10,7		

Tableau III-5 : Etat de l'art en bruit des filières CMOS bulk et SOI.

Conclusion

Ce chapitre était dédié aux caractéristiques hyperfréquences des transistors NMOS et PMOS partiellement désertés de la filière SOI 130 nm de ST-Microelectronics.

Dans un premier temps, nous avons abordé les fondamentaux de la caractérisation et de la modélisation des transistors SOI dans le domaine des hyperfréquences. Après avoir fait le lien entre le schéma électrique équivalent et la physique du transistor, nous avons ensuite décrit les techniques d'extraction des paramètres utilisés pour modéliser, en petit signal et grand signal, les transistors de la filière SOI 130 nm. Une attention particulière a été apportée à l'estimation de la précision des modèles, aussi bien en petit signal qu'en grand signal et dans la gamme de fréquence et de polarisation la plus étendue possible. Ensuite, une implémentation dans le logiciel ELDO du modèle grand signal SILICA, destinée à simuler en temporel des circuits mixtes analogique/numérique a été décrite.

Finalement, nous avons présenté les résultats de caractérisation en fréquence et en bruit de la filière SOI 130 nm. Nous avons comparé les caractéristiques DC et HF pour les quatre types de transistors (flottants, à prises, en NMOS et en PMOS). Ces derniers résultats, découlant de la phase de caractérisation et de modélisation, nous ont permis d'expliquer l'origine des différences de performance hyperfréquence des transistors, avec toujours pour objectif de concevoir des démonstrateurs hyperfréquences (Chapitres IV et V).

Annexes du Chapitre III

III.A.1. Paramètres du modèle SILICA pour les transistors flottants et à prises

Cette annexe donne les paramètres du modèle SILICA pour les transistors NMOS SOI-PD 130 nm de type flottant et à prises. Les paramètres sont extraits à partir de transistors de largeur $W = 30 \times 2 \mu\text{m}$.

III.A.1.a) Transistor 130 nm à prises substrat

I_{pk}	V_{pk}	P_1	P_2	P_3	α_1	α_2	λ_1	λ_2	λ_3	K_0	K_1	K_2	K_3	a	b	V_{th}
16,3	0,32	1,19	1,04	-0,73	1,93	2,78	0,12	0,16	0,14	-3,34	48,2	-14,6	5,95	0.5	8	0.258

Tableau III.A.1.a.1: Paramètres de la source de courant I_{ds} .

C_{gg0}	C_{gg1}	C_{gg2}	C_{gg3}	C_{gd0}	C_{gd1}	C_{gd2}	C_0	L_d	γ	V_α
-66	-18	-17,1	4,38	8,4	170	3	46e-6	65,2e-9	1,52	1,9

Tableau III.A.1.a.2: Paramètres de l'équation de la charge de grille.

III.A.1.b) Transistor 130 nm à substrat flottant

I_{pk}	V_{pk}	P_1	P_2	P_3	α_1	α_2	λ_1	λ_2	λ_3	K_0	K_1	K_2	K_3	a	b	V_{th}
25,45	0,37	1,83	1,71	-1,55	1,91	3,59	0,14	0,12	0,10	3,22	6,85	9,45	-0,98	0.5	8	0.35

Tableau III.A.1.b.1 : Paramètres de la source de courant I_{ds} .

I_{ks}	a	b	c
2.8e-3	5.77	0.55	-0.37

Tableau III.A.1.b.2 : Paramètres de la source de courant I_{kink} .

C_{gg0}	C_{gg1}	C_{gg2}	C_{gg3}	C_{gd0}	C_{gd1}	C_{gd2}	C_0	L_d	γ	V_α
-73	-18	-9	2.22	9.7	170	5	39.5e-6	65.2e-9	0.019	0.7

Tableau III.A.1.b.3 : Paramètres de l'équation de la charge de grille.

III.A.2. Comparaison des paramètres S du modèle SILICA

Dans cette annexe, les paramètres S simulés avec le modèle SILICA sont comparés aux mesures portant sur deux transistors SOI 130 nm à prises (Figure III.A.2.a) et à substrat flottant (Figure III.A.2.b), de largeur $W = 30 \times 2 \mu\text{m}$. La comparaison s'effectue à six courants de polarisation entre 100 et 450 mA/mm à $V_{ds} = 1,2 \text{ V}$.

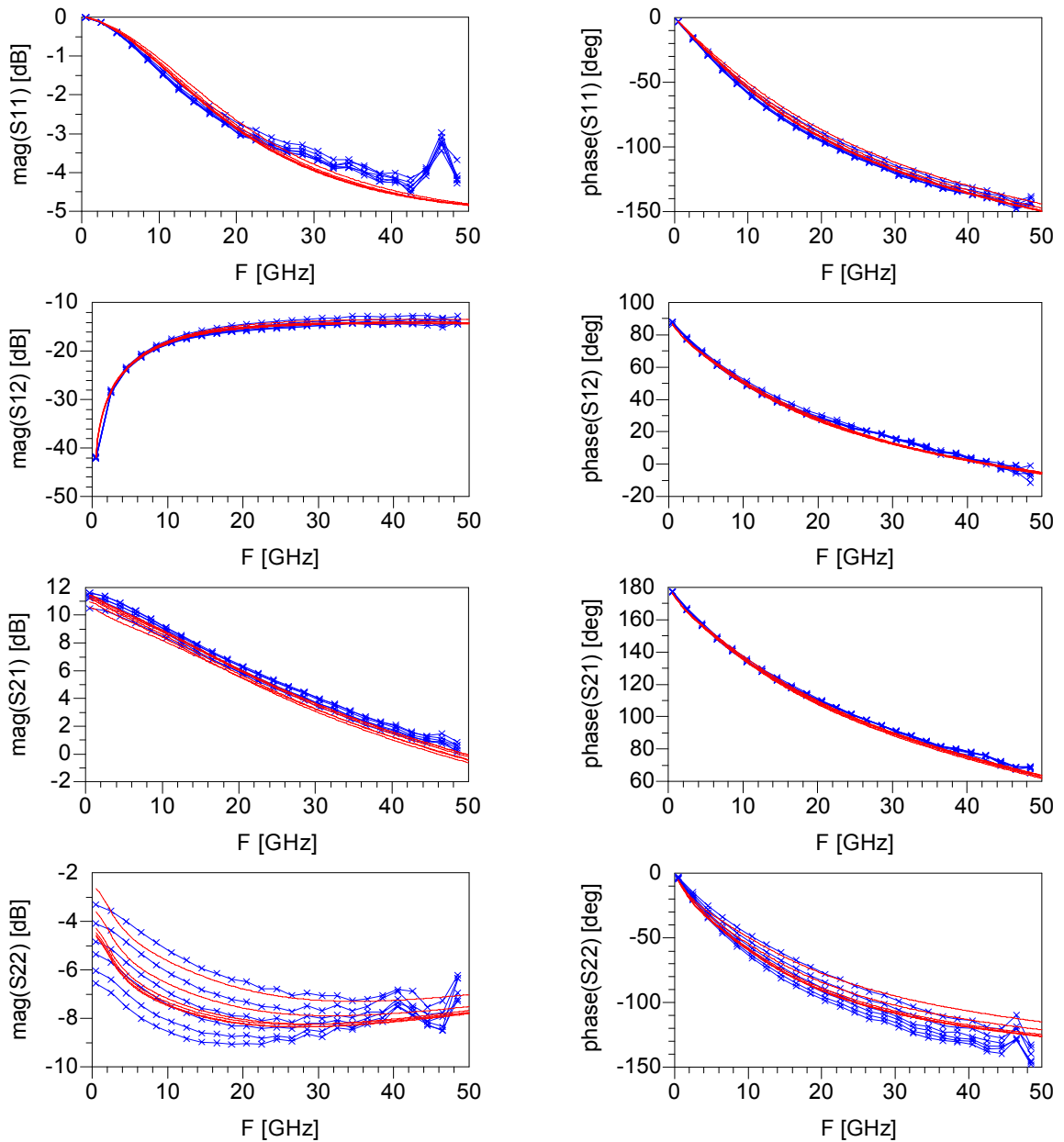


Figure III.A.2.a) : Comparaison des paramètres S mesurés (croix) et simulés (lignes continues) avec le modèle SILICA pour un transistor SOI à prises substrat.

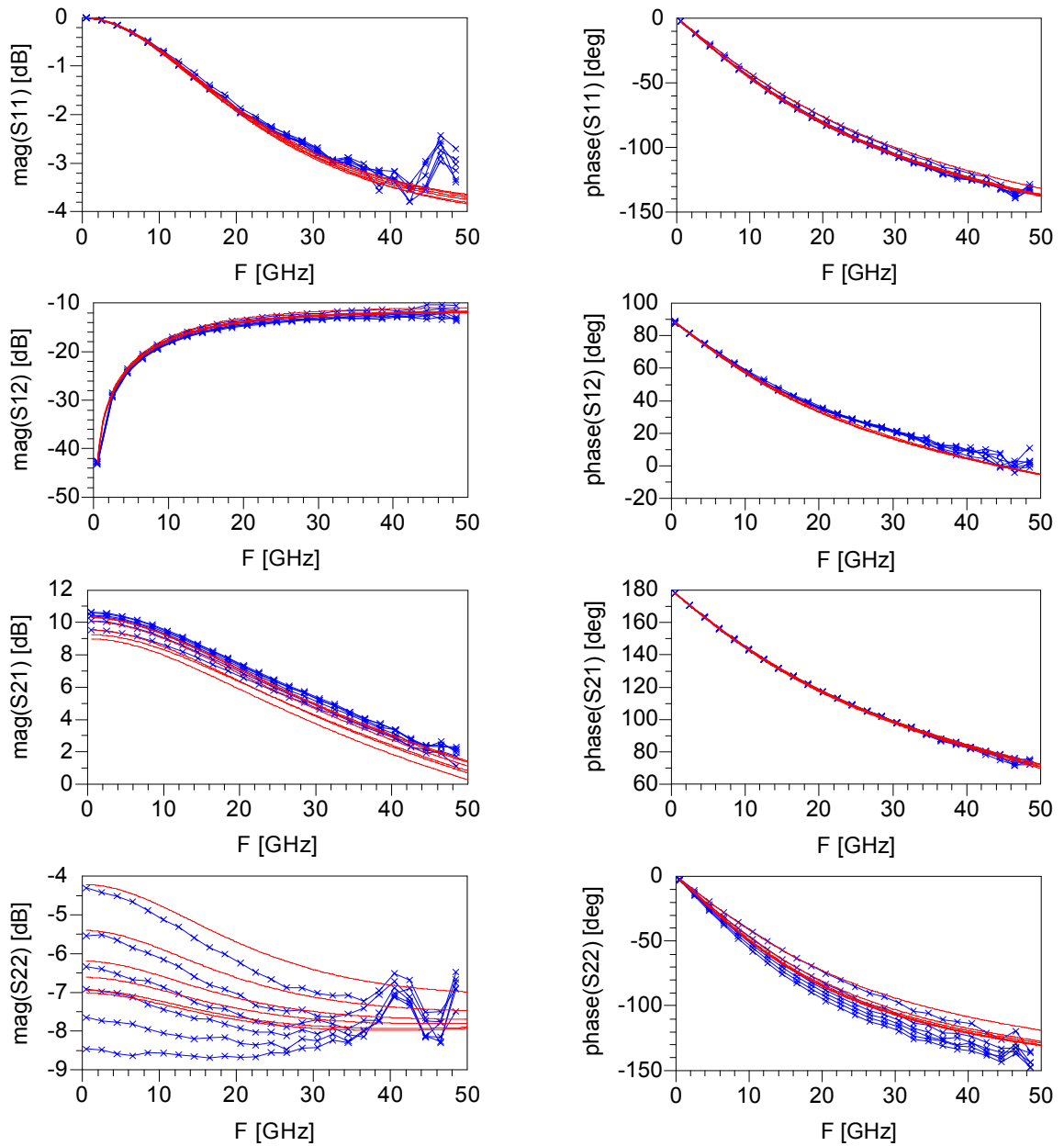


Figure III.A.2.b) : Comparaison des paramètres S mesurés (croix) et simulés (lignes continues) avec le modèle SILICA pour un transistor SOI à substrat flottant.

Bibliographie

- [1] J.-P. Raskin, R. Gillon, J. Chen, D. Vanhoenacker-Janvier, and J.-P. Colinge, "Accurate SOI MOSFET Characterization at Microwave Frequencies for Device Performance Optimization and Analog Modeling," *IEEE Transactions on Electron Devices*, vol. 45, pp. 1017-1025, 1998.
- [2] C. Pavageau, "Etude d'un étage de réception large bande en technologie MMIC AsGa," *Rapport de stage de DEA de l'Université de Rennes I et de stage de fin d'études d'Ingénieur ESEO, Angers, au CEA, Bruyères-le-Châtel*, 2002.
- [3] F. Danneville and G. Dambrine, "Noise Modelling and Measurement Techniques in Deep Submicron Silicon on Insulator Devices," in *Noise and Fluctuations Control in Electronics Devices*, American Scientific Publishers, 2002, pp. 355-366.
- [4] M. Vanmackelberg, "Contribution à la caractérisation hyperfréquence de composants MOSFET en vue de la conception de fonctions intégrées pour des applications en gamme millimétrique," *Thèse de l'Université des Sciences et Technologies de Lille, spécialité électronique*, 2001.
- [5] A. Bracale, "Caractérisation et modélisation des transistors MOS sur substrat SOI pour des applications micro-ondes," *Thèse de l'Université Pierre et Marie Curie, Paris VI, spécialité électronique*, 2001.
- [6] D. Lederer, D. Flandres, and J.-P. Raskin, "High frequency degradation of body-contacted PD SOI MOSFET output conductance," *Institute of Physics (IOP) electronic journals*, vol. 20, 2005.
- [7] X. Marchal, "Modélisation de composants actifs pour la CAO de circuits intégrés analogiques. Paramétrage et implantation de modèles dans le simulateur SPICE-PAC," *Thèse de l'Ecole Nationale Supérieure des Télécommunications, spécialité Electronique et Communications*, 1992.
- [8] D. Lovelace, J. Costa, and N. Camilleri, "Extract Small Signal Models for MOSFETs," *Microwaves and RF*, pp. 119, 1994.
- [9] G. Dambrine, A. Cappy, F. Heliodore, and E. Playez, "A new method for determining the FET small-signal equivalent circuit," *IEEE Transactions on Microwave Theory and Techniques*, vol. 36, pp. 1151-1159, 1988.
- [10] J.-P. Raskin, R. Gillon, J. Chen, D. Vanhoenacker-Janvier, and J.-P. Colinge, "Direct Extraction of the Series Equivalent Circuit Parameters for the Small-Signal Model of SOI MOSFET's," *IEEE Microwave and Guided Wave Letters*, vol. 7, pp. 408-410, 1997.
- [11] A. Hajimiri and T. H. Lee, "A general theory of phase noise in electrical oscillators," *IEEE Journal of Solid-State Circuits*, vol. 33, pp. 179-194, 1998.
- [12] M. Valenza, A. Hoffmann, A. Laigle, A. Rigaud, and M. Marin, "Impact of Downscaling on 1/f noise in MOSFETs (Invited Paper)," *Proceedings of SPIE*, 2003.
- [13] Y. Cheng, "Flicker Noise Characterization and Modeling of MOSFETs for RF IC Design (Invited Paper)," *Proceedings of SPIE*, 2003.
- [14] G. Ghibaudo, "Low Frequency noise and fluctuations in advanced CMOS devices," *Proceedings of SPIE*, 2003.

- [15] S. Porret and C. C. Enz, "Non-Quasi-Static (NQS) Thermal Noise Modeling of the MOS Transistor," *Proceeding of SPIE*, 2003.
- [16] G. Dambrine, J.-P. Raskin, F. Danneville, D. Vanhoenacker-Janvier, J.-P. Colinge, and A. Cappy, "High Frequency Four Noise Parameters of Silicon-on-Insulator-Based Technology MOSFET for the Design of Low-Noise RF Integrated Circuits," *IEEE Transactions on Electron Devices*, vol. 46, pp. 1733-1741, 1999.
- [17] G. Pailloncy, B. Iniguez, G. Dambrine, and F. Danneville, "Influence of a Tunneling gate Current on Noise performance of SOI MOSFETs," *IEEE International SOI Conference*, 2004.
- [18] A. Van der Ziel, "Thermal noise in field effect transistors," *Proceedings of the IRE*, vol. 50, pp. 1802-1812, 1962.
- [19] A. Van der Ziel, "Gate noise in field effect transistors at moderately high frequencies," *Proceedings of the IEEE*, vol. 51, pp. 461-467, 1963.
- [20] A. Cappy, "Noise modeling and measurement techniques," *IEEE Transactions on Microwave Theory and Techniques*, vol. 36, pp. 1-10, 1988.
- [21] R. A. Pucel, D. J. Massé, and C. F. Krumm, "Noise Performances of Gallium Arsenide Microwave Field Effect Transistors," *IEEE Journal of Solid-State Circuits*, vol. 11, pp. 243-255, 1976.
- [22] F. Danneville, G. Pailloncy, A. Siligaris, B. Iniguez, and G. Dambrine, "High Frequency Noise of SOI MOSFETs: Performances and Limitations," *SPIE*, Austin, Texas, 2005.
- [23] M. W. Pospieszalski, "Modeling of Noise parameters of MESFET," *IEEE Transactions on Microwave Theory and Techniques*, vol. 37, pp. 1340-1350, 1989.
- [24] F. Danneville, H. Happy, G. Dambrine, J.-M. Belquin, and A. Cappy, "Microscopic noise modeling and macroscopic noise models: How good a connection?" *IEEE Transactions on Electron Devices*, vol. 41, pp. 779-786, 1994.
- [25] G. Dambrine, J.-M. Belquin, F. Danneville, and A. Cappy, "A New Extrinsic Equivalent Circuit of HEMT's Including Noise for Millimeter-Wave Circuit Design," *IEEE Transactions on Microwave Theory and Techniques*, vol. 46, pp. 1231-1236, 1998.
- [26] G. Dambrine, H. Happy, F. Danneville, and A. Cappy, "A new method for on-wafer noise measurements," *IEEE Transactions on Microwave Theory and Techniques*, vol. 41, pp. 375-381, 1993.
- [27] A. Siligaris, "Modélisation grand signal de MOSFET en hyperfréquences: application à l'étude des non linéarités des filières SOI," *Thèse de l'Université des Sciences et Technologies de Lille, spécialité microondes et microtechnologie*, 2004.
- [28] A. Siligaris, G. Dambrine, D. Schreurs, and F. Danneville, "A New Empirical Nonlinear Model for Sub-250nm Channel MOSFET," *IEEE Microwave and Wireless Components Letters*, vol. 13, 2003.
- [29] "The Compact Model Council Mission, www.eigroup.org/CMC/."
- [30] G. Gildenblat, X. Li, H. Wang, W. Wu, R. van Langevelde, A. J. Scholten, G. D. J. Smit, and D. B. M. Klaassen, "Introduction to PSP MOSFET Model (Invited)," 2005 Nanotechnology International Conference, 2005.
- [31] M. Miura-Mattausch, N. Sadachika, H. J. Mattausch, M. Murakawa, S. Mimura, T. Higuchi, K. Itoh, R. Inagaki, and Y. Iguchi, "RF-MOSFET Model-Parameter Extraction with HiSIM," 2005 Eighth International Conference on Modeling and Simulation of Microsystems.

- [32] R. van Langevelde, A. J. Scholten, and D. B. M. Klaassen, "MOS Model 11," Compact Modeling Council Meeting, June 30, 2004, 2004.
- [33] O. Faynot, T. Poiroux, and J. L. Pelloie, "Compact analytical modeling of SOI partially depleted MOSFETs with LETISOI," *Solid-States Electronics (Elsevier)*, vol. 45, pp. 599-605, 2001.
- [34] A. Siligaris, G. Dambrine, D. Schreurs, and F. Danneville, "130-nm Partially Depleted SOI MOSFET Nonlinear Model Including the Kink Effect for Linearity Properties Investigation," *IEEE Transactions on Electron Devices*, vol. 52, 2005.
- [35] E. Besson, "Réalisation d'une passerelle ICCAP vers SCILAB pour l'extraction du modèle SILICA," *Stage de Master Professionnel, Intégration des Circuits Electroniques et Microélectroniques, Université Paul Sabatier, Toulouse, 2005*.
- [36] E. Dubois and E. Robillard, "Nonquasistatic Transient Model of Fully-Depleted SOI MOSFET and Its Application to the Analysis of Charge Sharing in an Analog Switch," *IEEE Electron Device Letters*, 2002.
- [37] J.-L. Carbonero, "Développement des méthodes de mesures en hyperfréquences sur tranches de silicium et application à la caractérisation des technologies CMOS et BICMOS sub-microniques," *Thèse de de l'Institut National Polytechnique de Grenoble, 1996*.
- [38] G. Paillancy, "Propriétés hyperfréquences et de bruit des filières conventionnelles et alternatives de transistors MOS à grille sub-100 nm," *Thèse de l'Université des Sciences et Technologies de Lille, spécialité microondes et microtechnologie, 2005*.
- [39] G. Dambrine, C. Raynaud, D. Lederer, M. Dehan, O. Rozeaux, M. Vanmackelberg, F. Danneville, S. Lepillet, and J.-P. Raskin, "What are the Limiting Parameters of Deep Submicron MOSFETs for High Frequency Applications?" *IEEE Electron Device Letters*, vol. 24, pp. 189-191, 2003.
- [40] G. Paillancy, C. Raynaud, M. Vanmackelberg, F. Danneville, S. Lepillet, J.-P. Raskin, and G. Dambrine, "Impact of Downscaling on High-Frequency Noise Performance of Bulk and SOI MOSFETs," *IEEE Transactions on Electron Devices*, vol. 51, pp. 1605-1611, 2003.
- [41] J. N. Burghartz, M. Hargrove, C. S. Webster, R. A. Groves, M. Keene, K. A. Jenkins, R. Logan, and E. Nowak, "RF Potential of a 0.18- μm CMOS Logic Device Technology," *IEEE Transactions on Electron Devices*, vol. 47, pp. 864-870, 2000.
- [42] H. Shigematsu, M. Sato, I. Hirose, F. Brewer, and M. Rodwell, "40Gb/s CMOS distributed amplifier for fiber-optic communication systems," 2004 IEEE International Solid-State Circuits Conference, 2004.
- [43] S. Maeda, Y. Wada, K. Yamamoto, H. Komurasaki, T. Matsumoto, Y. Hirano, T. Iwamatsu, Y. Yamaguchi, T. Ipposhi, K. Ueda, K. Mashiko, S. Maegawa, and M. Inuishi, "Feasibility of 0.18 μm SOI CMOS technology using hybrid trench isolation with high resistivity substrate for embedded RF/analog applications," *Electron Devices, IEEE Transactions on*, vol. 48, pp. 2065, 2001.
- [44] J.-G. Su, S.-C. Wong, C.-Y. Chang, T.-Y. Huang, and J. Y.-C. Sun, "Improving the RF Performance of 0.18 μm CMOS With Deep n-Well Implantation," *IEEE Electron Device Letters*, vol. 22, pp. 481-483, 2001.
- [45] J. C. Guo, C. H. Huang, K. T. Chan, W. Y. Lien, C. M. Wu, and Y. C. Sun, "0.13 μm low voltage logic based RF CMOS technology with 115GHz Ft and 80GHz Fmax," 2003 33rd European Microwave Conference, 2003.

- [46] H. S. Momose, T. Ohguro, K. Kojima, S. Nakamura, and Y. Toyoshima, "1.5-nm gate oxide CMOS on [110] surface-oriented Si substrate," *Electron Devices, IEEE Transactions on*, vol. 50, pp. 1001, 2003.
- [47] V. C. Venezia, A. Scholten, C. Detcheverry, H. M. J. Boots, W. Jeamsaksiri, L. Grau, D. B. M. Klaassen, R. J. Havens, and L. F. Tiemeijer, "The RF potential of high-performance 100nm CMOS technology," 2002.
- [48] C. H. Chen, C. S. Chang, C. P. Chao, J. F. Kuan, C. L. Chang, S. H. Wang, H. M. Hsu, W. Y. Lien, Y. C. Tsai, H. C. Lin, C. C. Wu, C. F. Huang, M. S. Chen, P. M. Tseng, C. W. Chen, C. C. Ku, T. Y. Lin, C. F. Chang, H. J. Lin, M. R. Tsai, S. Chen, C. F. Chen, M. Y. Wei, and Y. J. Wang, "A 90nm CMOS MS/RF Based Foundry SOC Technology Comprising Superb 185 GHz Ft RFMOS and Versatile, High-Q Passive Components for Cost/Performance Optimization," 2003 International Electron Devices Meeting, 2003.
- [49] G. Baldwin, J. Ai, K. Benaissa, F. Chen, P. R. Chidambaram, S. Ekbote, S. Ghneim, S. Liu, C. Machala, F. Mehrad, D. Mosher, G. Pollack, T. Tran, B. Williams, J. Yang, S. Yang, and F. S. Johnson, "90 nm CMOS RF technology with 9.0 V I/O capability for single-chip radio," 2003.
- [50] W. Jeamsaksiri, A. Mercha, J. Ramos, D. Linten, S. Thijs, S. Jenei, C. Detcheverry, P. Wambacq, R. Velghe, and S. Decoutere, "Integration of a 90nm RF CMOS technology (200GHz Fmax - 150GHz Ft/ NMOS) demonstrated on a 5GHz LNA," 2004 Symposium on VLSI Technology, 2004.
- [51] L. F. Tiemeijer, R. J. Havens, R. de Kort, A. J. Scholten, R. van Langevelde, D. B. M. Klaassen, G. T. Sasse, Y. Bouttement, C. Petot, S. Bardy, D. Gloria, P. Scheer, S. Boret, B. Van Haaren, C. Clement, J. F. Larchanche, I. S. Lim, A. Duvallet, and A. Zlotnicka, "Record RF performance of standard 90 nm CMOS technology," 2004 International Electron Devices Meeting, 2004.
- [52] K. Kuhn, R. Basco, D. Becher, M. Hattendorf, P. Packan, I. Post, P. Vandervoorn, and I. Young, "A comparison of state-of-the-art NMOS and SiGe HBT devices for analog/mixed-signal/RF circuit applications," 2004 Symposium on VLSI Technology, 2004.
- [53] H. S. Momose, E. Morifuji, T. Yoshitomi, T. Ohguro, M. Saito, and H. Iwai, "Cutoff Frequency and Propagation Delay Time of 1.5-nm Gate Oxide CMOS," *IEEE Transactions on Electron Devices*, vol. 48, pp. 1165, 2001.
- [54] C. L. Chen, R. H. Mathews, J. A. Burne, P. W. Wyatt, D. R. Yost, C. K. Chen, M. Fritze, J. M. Knecht, V. Suntharalingam, A. Soares, and C. L. Keast, "High-Frequency Characterization of Sub-0.25- μ m Fully Depleted Silicon-on-Insulator MOSFETs," *Electron Device Letters, IEEE*, vol. 21, pp. 497-499, 2000.
- [55] C. L. Chen, S. J. Spector, R. M. Blumgold, R. A. Neidhard, W. T. Beard, D. R. Yost, J. M. Knecht, C. K. Chen, M. Fritze, C. L. Cerny, J. A. Cook, P. W. Wyatt, and C. L. Keast, "High-performance fully-depleted SOI RF CMOS," *Electron Device Letters, IEEE*, vol. 23, pp. 52, 2002.
- [56] T. Matsumoto, S. Maeda, K. Ota, Y. Hirano, K. Eikyu, H. Sayama, T. Iwamatsu, K. Yamamoto, T. Katoh, Y. Yamaguchi, T. Ipposhi, H. Oda, S. Maegawa, Y. Inoue, and M. Inuishi, "70 nm SOI-CMOS of 135 GHz Fmax with dual offset-implanted source-drain extension structure for RF/analog and logic applications," 2001 International Electron Devices Meeting, 2001.

- [57] T. Hirose, Y. Momiyama, M. Kosugi, H. Kano, Y. Watanabe, and T. Sugii, "A 185 GHz Fmax SOI DTMOS with a new metallic overlay-gate for low-power RF applications," 2001 International Electron Devices Meeting, 2001.
- [58] Y. Momiyama, T. Hirose, H. Kurata, K. Goto, Y. Watanabe, and T. Sugii, "A 140 GHz Ft and 60 GHz Fmax DTMOS integrated with high-performance SOI logic technology," 2000 International Electron Devices Meeting, 2000.
- [59] M. Vanmackelberg, S. Boret, D. Gloria, O. Rozeau, R. Gwoziecki, C. Raynaud, S. Lepillet, and G. Dambrine, "90nm SOI-CMOS of 150GHz Fmax and 0.8dB NFmin @6GHz for SOC," IEEE 2002 International SOI Conference, 2002.
- [60] N. Zamdmer, A. Ray, J. O. Plouchart, L. Wagner, N. Fong, K. A. Jenkins, W. Jin, P. Smeys, I. Yang, G. Shahidi, and F. Assaderghi, "A 0.13- μ m SOI CMOS technology for low-power digital and RF applications," VLSI Technology, 2001. Digest of Technical Papers. 2001 Symposium on, 2001.
- [61] J. O. Plouchart, K. Jonghae, N. Zamdmer, L. Liang-Hung, M. Sherony, Y. Tan, R. A. Groves, R. Trzcinski, M. Talbi, A. Ray, and L. F. Wagner, "A 4-91-GHz traveling-wave amplifier in a standard 0.12- μ m SOI CMOS microprocessor technology," *Solid-State Circuits, IEEE Journal of*, vol. 39, pp. 1455, 2004.
- [62] J. O. Plouchart, N. Zamdmer, J. Kim, R. Trzcinski, S. Narasimha, M. Khare, L. F. Wagner, S. L. Sweeney, and S. Chaloux, "A 243-GHz Ft and 208-GHz Fmax, 90-nm SOI CMOS SoC Technology With Low-Power mmWave Digital and RF Circuit Capability," *Electron Devices, IEEE Transactions on*, vol. 52, pp. 1370, 2005.
- [63] S. Narasimha, A. Ajmera, H. Park, D. Schepis, N. Zamdmer, K. A. Jenkins, J. O. Plouchart, W. H. Lee, J. Mezzapelle, J. Bruley, B. Doris, J. W. Sleight, S. K. Fung, S. H. Ku, A. C. Mocuta, I. Yang, P. V. Gilbert, K. P. Muller, P. Agnello, and J. Welser, "High performance sub-40 nm CMOS devices on SOI for the 70 nm technology node," 2001 International Electron Devices Meeting, 2001.
- [64] C. Pavageau, A. Siligaris, L. Picheta, F. Danneville, G. Dambrine, S. Lepillet, J. Russat, and N. Fel, "DC & AC characterization and modeling of N & P MOSFET," MEDEA+ T206 SOI Workshop, Crolles, France, November 25-26, 2004, 2004.
- [65] C. Raynaud, F. Ganesello, C. Tinella, P. Flatresse, R. Gwoziecki, P. Touret, G. Avenier, S. Haendler, O. Gonnard, G. Gouget, G. Labourey, J. Pretet, M. Marin, R. Di Frenza, D. Axelrad, P. Delatte, G. Provins, J. Roux, E. Balossier, J. Vildeuil, S. Boret, B. Van Haaren, P. Chevalier, L. Boissonnet, T. Schwartzmann, A. Chantre, D. Gloria, E. De Foucauld, P. Scheer, C. Pavageau, and G. Dambrine, "Is CMOS a Promising Technology for SoCs in High Frequency Range?" « 12th Int. Symp Silicon-on-Insulator » of 207th Meet. Electrochemical Society, Quebec City, Canada, May 15-20, 2005.
- [66] N. Zamdmer, J. O. Plouchart, S. Narasimha, P. A. O'Neil, A. Ray, M. Sherony, and L. Wagner, "Suitability of Scaled SOI CMOS for High-frequency Analog Circuits," ESSDERC 2002, 2002.

CHAPITRE IV
CONCEPTION ET MESURE D'AMPLIFICATEURS
DISTRIBUES EN BANDE K

Introduction

Les circuits distribués reposent sur le principe d'une multiplicité de chemins parallèles fonctionnant en harmonie pour réaliser une fonction désirée, contrairement aux circuits conventionnels souvent caractérisés par un seul chemin pour le signal. Par exemple, l'amplificateur distribué (AD) est un circuit connu pour ses propriétés de gain uniforme sur une très large bande de fréquence (jusqu'à plusieurs dizaines de giga Hertz) pour des applications de radar, d'instrumentation ou de communication optique. Le principe de l'amplificateur distribué a été proposé en 1937 par W.S. Percival [1] et il fut implémenté pour la première fois par E.L. Ginzton et al. en 1948 [2]. Son utilisation s'est répandue à partir des années 50 et de très nombreuses études ont été réalisées depuis [3-19]. L'idée de départ était de séparer les capacités inter-électrodes de composants actifs (des tubes électroniques à cette époque) au moyen de lignes de transmission artificielles, tout en additionnant les transconductances. Il était ainsi possible d'obtenir une amplification sur une bande beaucoup plus large qu'avec les amplificateurs large bande à contre-réaction, ceci avec des composants ayant les mêmes valeurs de fréquences de coupure F_t et F_{max} . Avec des transistors à effet de champ très larges, l'amplificateur distribué permet d'obtenir des bandes de fréquence de plusieurs dizaines de giga Hertz.

Jusqu'à très récemment, les amplificateurs distribués étaient presque exclusivement réalisés avec les technologies III-V, ce qui leur permettait d'atteindre des bandes de fréquence de largeur supérieure à 100 GHz [20, 21]. En effet, les technologies III-V produisent à la fois des transistors aux fréquences de coupure bien plus élevées qu'avec les technologies silicium et des substrats quasi-isolants permettant de réaliser des lignes de transmission ou des inductances aux pertes très faibles, contrairement aux substrats de résistivité standard (1-10 Ω .cm) des technologies silicium.

Depuis quelques années, les performances en fréquence des technologies silicium se sont nettement améliorées, puisque les transistors MOSFET à l'échelle nanométrique présentent désormais des fréquences de coupure supérieures à 150 GHz [22, 23]. La réalisation de circuits fonctionnant dans la gamme des ondes millimétriques est désormais

possible sur silicium qui a l'avantage de pouvoir intégrer les circuits numériques rapides et basse consommation sur la même puce, contrairement aux III-V.

La première partie de ce chapitre traite de l'amplification distribuée, de son fonctionnement et de ses caractéristiques. La théorie, très abondante, y est abordée sous l'angle de la réalisation d'un amplificateur avec la technologie CMOS SOI 130 nm, produisant des composants passifs à pertes élevées. La seconde partie relate la réalisation et les mesures de trois amplificateurs distribués en bande K à quatre étages, utilisant une architecture soit source commune, soit cascode, et des transistors soit à substrat flottant, soit à prises substrat.

I. Fonctionnement des amplificateurs distribués

I.1. Analyse de l'amplificateur distribué source commune

L'amplificateur distribué est constitué d'un ensemble de lignes de transmission artificielle d'entrée et de sortie, couplées par les transconductances des cellules de gain connectées en parallèle. La Figure I-1 représente un amplificateur distribué utilisant des étages d'amplification formés par un FET monté en source commune. On parle de lignes de transmission artificielles car elles sont constituées par la mise en parallèle des capacités C_{gs} et C_{ds} du transistor en source commune avec les inductances séries localisées (Figure I-2). Les capacités parasites du transistor sont donc absorbées par les lignes de transmission ainsi formées. Ces lignes ont des fréquences de coupure très élevées (plusieurs dizaines de giga Hertz). La ligne d'entrée, composée en fait par les capacités grille-source C_{gs} du transistor et les inductances L_g , est communément appelée ligne de grille. De même que la ligne de sortie, dite ligne de drain, est composée des capacités drain-source C_{ds} et des inductances L_d . Les lignes sont telles que les longueurs électriques des lignes de grille et de drain sont identiques ($\theta_g = \theta_d$). Si les cellules d'amplification sont reliées entre elles par des tronçons de ligne de transmission, on parle alors d'amplificateur à onde progressive (« *Travelling Wave Amplifier* »). Dans la suite de ce chapitre, on utilisera généralement le terme d'amplificateur distribué.

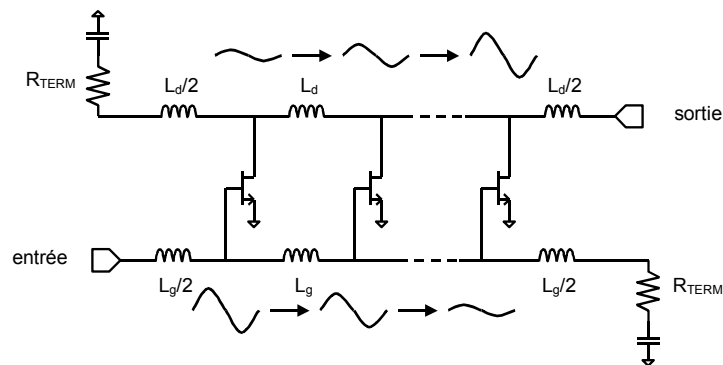


Figure I-1 : Amplificateur distribué source commune à éléments localisés.

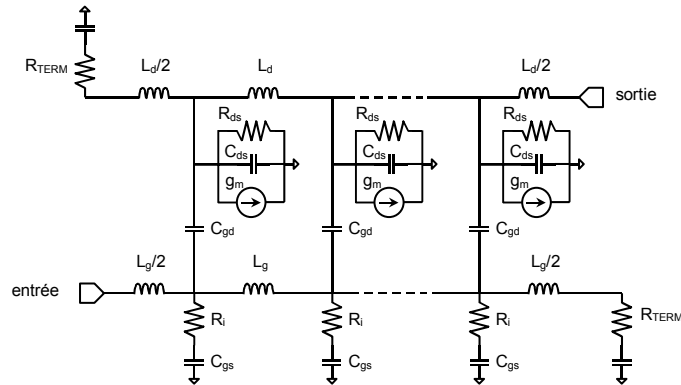


Figure I-2 : Schéma électrique équivalent d'un amplificateur distribué source commune.

Lorsque le signal RF arrive sur la ligne de grille, chaque étage de gain prélève une partie de l'onde de tension, l'amplifie et la transfère vers la ligne de sortie. Les vitesses de propagation sur les lignes de grille et de drain doivent être égales pour que les signaux s'additionnent en phase à la sortie de chaque étage. Le gain est alors la somme des gains (en linéaire) fournis par chaque étage. Dans un amplificateur comportant suffisamment d'étages pour négliger les effets de bord de la ligne de drain, le signal se divise en deux à la sortie de chaque étage, une partie se propageant vers la sortie et l'autre vers l'impédance de terminaison de la ligne drain R_{TERM} . L'onde qui se propage dans le sens avant sur la ligne de grille et celle qui est rétropropagée sur la ligne de drain doivent être le plus possible absorbées pour éviter les réflexions multiples qui auraient pour effet de détériorer le temps de groupe, de créer des ondulations de la réponse fréquentielle ou des échos sur la réponse impulsionnelle. Les charges de terminaison de ligne R_{TERM} sont accordées aux impédances caractéristiques de leur ligne.

L'impédance caractéristique des lignes de grille et de drain pour un amplificateur source commune est donnée par :

$$[I-1] \quad Z_c = \sqrt{\frac{L_g}{C_e}} = \sqrt{\frac{L_d}{C_s}}$$

où C_e et C_s sont les capacités équivalentes à l'entrée et à la sortie du transistor source commune, prenant en compte le surplus de capacité à l'entrée et à la sortie dû à l'effet Miller :

$$[I-2] \quad C_e = C_{gs} + C_{gd}(1 - Av_0)$$

$$[I-3] \quad C_s = C_{ds} - C_{gd} \cdot \frac{Av_0}{1 - Av_0}$$

La réponse fréquentielle de l'amplificateur est améliorée si les ondes s'additionnent en phase, c'est-à-dire si les constantes de phase des lignes de grille β_g et de drain β_d sont égales ($\beta_g = \beta_d$), ce qui revient à vérifier :

$$[I-4] \quad \sqrt{L_g C_e} = \sqrt{L_d C_s}$$

Bien souvent, C_s est inférieure à C_e , si bien que pour satisfaire la condition de phase, il peut être nécessaire d'ajouter une capacité sur la ligne de drain en parallèle du transistor source commune. Cela a pour effet d'augmenter la capacité équivalente ramenée en sortie C_s et de réduire la fréquence de coupure de la ligne de drain ω_{cd} .

I.1.1. Produit gain-bande

Les performances des amplificateurs cascades « conventionnels » sont limitées par les caractéristiques des différents étages et de leurs composants actifs puisque le produit gain-bande (PGB) est constant. Le gain total d'un amplificateur cascade constitué de n étages identiques, adapté et ayant un gain G_0 , augmente exponentiellement en fonction de n :

$$[I-5] \quad G = G_1 \cdot G_2 \cdot \dots \cdot G_n = (G_0)^n$$

De cette relation, il découle qu'on ne peut obtenir un gain total supérieur à l'unité que si le gain de chaque étage G_0 est supérieur à l'unité, ce qui a pour effet de limiter la bande passante selon le principe du produit gain-bande constant. La bande passante de l'amplificateur cascade constitué de n étages identiques et ayant une fréquence de coupure F_{-3dB} est donnée par [24] :

$$[I-6] \quad F = F_{-3dB} \cdot \sqrt{2^{1/n} - 1}$$

L'amplificateur aura donc une bande-passante plus faible que celle de ses étages et composants actifs constitutifs. Bien que la bande passante d'un amplificateur puisse être augmentée en utilisant une contre-réaction négative, le produit gain-bande n'en est pas pour autant amélioré.

A contrario, l'amplificateur distribué repose sur le principe de la sommation des gains des étages d'amplification et non sur leur multiplication dans le cas des amplificateurs cascades :

$$[I-7] \quad G = \frac{n}{2} \cdot G_n$$

La bande passante de l'amplificateur distribué est limitée par celle de ses étages. De plus, on peut assembler des étages ayant un gain inférieur à l'unité pour augmenter la bande-passante et se rapprocher de la fréquence de coupure des composants actifs F_{\max} . Le produit gain-bande peut donc être amélioré grâce à la sommation des gains. Avec des composants passifs idéaux (sans perte), on peut ajouter théoriquement autant d'étages d'amplification que nécessaire pour augmenter le gain.

I.1.2. Atténuation des lignes de transmission artificielle

Les lignes de transmission artificielles de grille et de drain ont des pertes aux hautes fréquences dues à la résistance de canal R_i et à la conductance de sortie G_{ds} des transistors (Figure I-2). Le gain de l'amplificateur décroît aux fréquences élevées et la bande passante à -3 dB est bien inférieure à la fréquence de coupure des lignes artificielles. Pour un amplificateur distribué à FET monté en source commune, les expressions approchées des constantes d'atténuation des lignes artificielles sont données par :

$$[I-8] \quad \alpha_g = \frac{X_g^2 \cdot K_g}{\sqrt{1 - X_g^2 (1 - K_g^2)}} \quad (\text{neper/section})$$

$$[I-9] \quad \alpha_d = \frac{1}{K_d \sqrt{1 - X_d^2}} \quad (\text{neper/section})$$

où

$$X_g = \frac{\omega}{\omega_{cg}}, K_g = \frac{\omega_{cg}}{\omega_g}$$

$$X_d = \frac{\omega}{\omega_{cd}}, K_d = \frac{\omega_{cd}}{\omega_d}$$

$$\omega_{cg} = \frac{2}{\sqrt{L_g \cdot C_e}}, \omega_{cd} = \frac{2}{\sqrt{L_d \cdot C_s}},$$

$$\omega_g = \frac{1}{R_i \cdot C_e}, \omega_d = \frac{1}{R_{ds} \cdot C_s}$$

Dans ces équations, α_g et α_d sont les constantes d'atténuation des lignes de grille et de drain, L_g et L_d sont les inductances par section des lignes de grille et de drain. Les termes X_g et X_d sont des fréquences normalisées par rapport à la structure LC des lignes de transmission artificielles.

A partir des équations [I-8] et [I-9], on remarque que α_d est quasiment invariant jusqu'à la fréquence de coupure X_d tandis que α_g varie approximativement avec le carré de la fréquence (Figure I-3). En basses fréquences, c'est surtout la constante d'atténuation α_d qui va intervenir dans les pertes, tandis que la constante d'atténuation α_g intervient en milieu de bande. Une conclusion importante est que la fréquence de coupure plus basse de la ligne artificielle de grille ω_{cg} , ainsi que l'augmentation rapide de l'atténuation α_g limitent le gain et la bande passante de l'amplificateur distribué.

La Figure I-3 illustre ces phénomènes d'atténuation et de fréquence de coupure des lignes artificielles en prenant pour exemple un AD à transistor MOSFET SOI 130 nm à substrat flottant de largeur 60 μm , dont les paramètres sont résumés dans le Tableau I-1.

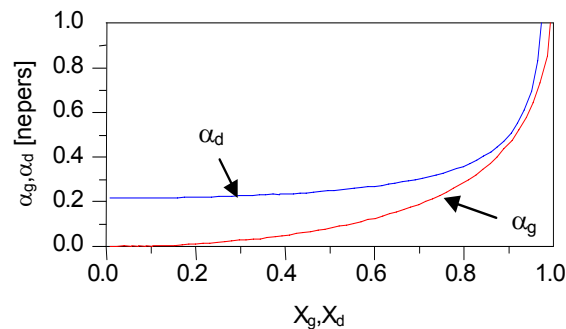


Figure I-3 : Atténuation des lignes de grille et de drain en fonction des fréquences normalisées X_g et X_d pour un transistor SOI à substrat flottant.

R_i [Ω]	g_m [mS]	g_{ds} [mS]	C_{gs} [fF]	C_{gd} [fF]	C_{ds} [fF]
7,2	51	8,6	51	30	8,4

Tableau I-1 : Paramètres du transistor SOI ($W = 30 \times 2 \mu\text{m}$).

Dans la simulation de la Figure I-3, on a considéré uniquement la partie intrinsèque du transistor de la Figure I-4, sans tenir compte de l'effet Miller dû à la capacité C_{gd} . Les fréquences de coupure des lignes ($\omega_{cg}/2\pi$) et ($\omega_{cd}/2\pi$), obtenues par calcul analytique sont respectivement supérieures à 125 GHz et 750 GHz.

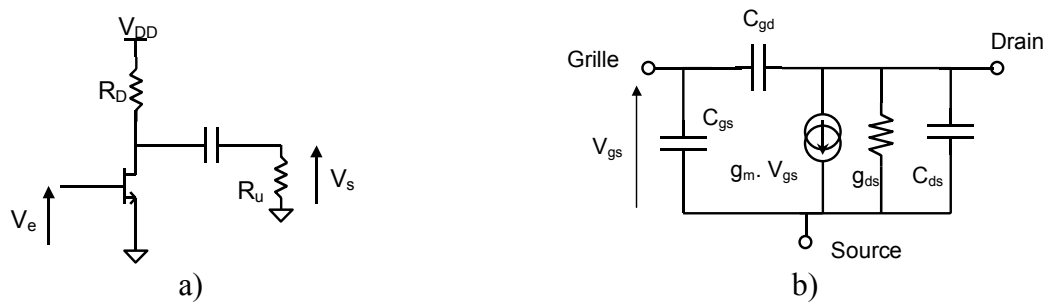


Figure I-4 : a) Montage source commune. b) Schéma équivalent simplifié du MOS.

Si maintenant on prend en compte l'effet Miller avec les équations [I-2] et [I-3], les capacités C_e et de C_s sont quasiment multipliées par un facteur trois avec des valeurs respectivement de 135 fF et 28 fF. Comme conséquence, les fréquences de coupure ($\omega_{cg}/2\pi$) et ($\omega_{cd}/2\pi$) sont fortement réduites et ont des valeurs respectives 48 GHz et 230 GHz. On voit donc que la capacité C_{gd} limite fortement la fréquence de coupure de la ligne artificielle de grille par effet Miller. L'intérêt de la paire cascode (Figure I-5) apparaît clairement, car elle permet de réduire le surplus de capacité ramené à l'entrée du transistor source commune, ce qui a pour effet d'augmenter la fréquence de coupure ($\omega_{cg}/2\pi$). On pourra se reporter à l'Annexe IV.A.1 pour avoir des explications supplémentaires sur l'effet Miller et l'intérêt du montage cascode pour en réduire son impact.

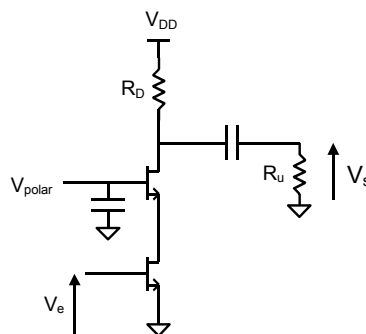


Figure I-5 : Paire cascode.

I.1.3. Gain de l'amplificateur distribué

Une analyse théorique du gain de l'amplificateur distribué source commune a été proposée par Beyer et al. en 1984 [12]. En considérant le schéma équivalent à l'amplificateur distribué donné à la Figure I-2, on montre, avec l'hypothèse que les lignes de grille et de drain ont des fréquences de coupure identiques (i.e. $X_g = X_d = X_c$) et donc des vitesses de phase identiques, que le gain en tension A_v s'exprime par :

$$[I-10] \quad A_v = \frac{g_m \sqrt{Z_c^g Z_c^d}}{2\sqrt{(1+K_g^2 X_c^2)(1-X_c^2)}} \frac{\sinh\left(\frac{n}{2}(\alpha_d - \alpha_g)\right)}{\sinh\left(\frac{1}{2}(\alpha_d - \alpha_g)\right)} \cdot e^{-n(\alpha_d + \alpha_g)/2}$$

A partir de l'expression du gain [I-10], on montre que le nombre optimal d'étages par rapport au gain est :

$$[I-11] \quad N_{opt} = \frac{\ln(A_d/A_g)}{(A_d - A_g)}$$

A cause de l'atténuation des lignes artificielles, le gain d'un amplificateur distribué ne peut être augmenté indéfiniment en ajoutant des étages supplémentaires. En effet, alors que le signal se propage le long de la ligne de grille, chaque étage reçoit successivement moins de signal que le précédent en raison de l'atténuation de la ligne de grille. De même, le signal délivré à la sortie de chaque étage et qui se propage sur la ligne de drain est atténué par les sections de ligne jusqu'à la sortie de l'amplificateur distribué. Le gain de l'amplificateur distribué augmente donc avec des étages supplémentaires jusqu'à ce que le nombre optimal d'étages à une fréquence donnée soit atteint. Au-delà, les étages supplémentaires diminuent non seulement le signal d'excitation reçu par le dernier étage sur la ligne de grille, mais augmentent aussi l'atténuation de la ligne de drain. C'est pourquoi l'amplification des étages supplémentaires ne serait pas suffisante pour compenser les pertes sur la ligne de drain et le gain commencerait à diminuer.

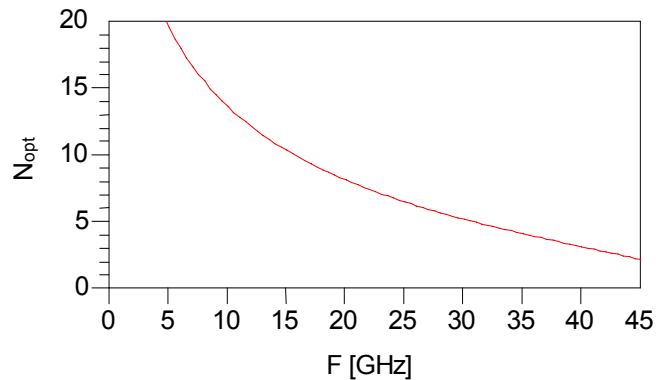


Figure I-6 : Nombre optimal d'étages pour un amplificateur distribué source commune (transistors SOI 130 nm à substrat flottant).

I.1.4. Caractéristiques de l'amplificateur distribué comportant des lignes de transmission

Aux fréquences pour lesquelles les éléments localisés perdent leur comportement fréquentiel linéaire, il devient nécessaire de les remplacer par des éléments distribués. Les inductances reliant les étages de l'amplificateur distribué peuvent donc être remplacées par des lignes de transmission haute impédance. Leur utilisation permet non seulement de réduire la surface nécessaire (dans le cas de lignes microruban), mais aussi de réaliser des valeurs d'inductance avec une bonne précision aux fréquences élevées. Les expressions utilisées dans l'analyse de l'amplificateur distribué source commune, utilisant des inductances pour relier les étages, restent globalement valables. Il convient néanmoins d'y apporter un complément.

Généralement, les capacités du transistor s'ajoutent directement à celles de la ligne de transmission. L'impédance caractéristique de la ligne de transmission chargée par les capacités du transistor s'exprime par :

$$[I-12] \quad Z_c' = \sqrt{\frac{L_{norm} \cdot l}{C_{norm} \cdot l + C_{FET}}}$$

où L_{norm} et C_{norm} sont l'inductance et la capacité normalisées par unité de longueur de la ligne de transmission et l est la longueur du tronçon de ligne entre deux étages. C_{FET} représente aussi bien la capacité équivalente ramenée à l'entrée que celle ramenée à la sortie de l'étage d'amplification. Si on souhaite réaliser, avec la ligne de transmission chargée, la même

impédance caractéristique que celle de la ligne artificielle à base d'inductances localisées, la fréquence de coupure de la ligne sera divisée par un facteur η :

$$[\text{I-13}] \quad \eta = \frac{\omega_{c,LIGNE}}{\omega_{c,INDUCTANCE}} = 1 - \left(\frac{Z'_c}{Z_c} \right)^2$$

où Z_c est l'impédance caractéristique de la ligne non-chargée.

Cette expression ainsi que l'expression [I-12] montrent bien que pour obtenir des bandes passantes comparables à celles des lignes à inductances localisées, et ceci sans dégrader l'adaptation, il est nécessaire de réaliser des lignes de transmission ayant des impédances caractéristiques élevées. Cela met en lumière un des problèmes des lignes microruban en technologie SOI 130 nm : leur gamme d'impédances réalisable est faible, se situant entre 30 et 55 Ω pour des lignes microruban réalisées avec les niveaux de métallisation cuivre 6 et aluminium (voir Chapitre II).

I.2. Compensation de l'atténuation des lignes

L'examen de l'expression du gain de l'amplificateur distribué [I-10] montre que la réduction des constantes d'atténuation par section α_g et α_d des lignes artificielles permettrait d'augmenter sa valeur.

Les impédances actives sont caractérisées par une réactance dépendant de la fréquence et une résistance négative. Placées le long des lignes artificielles, elles permettent de compenser l'atténuation des lignes, ce qui procure un double avantage lorsqu'elles sont appliquées à l'amplificateur distribué : d'une part, la diminution de l'atténuation sur l'une ou les deux lignes artificielles permet d'augmenter le nombre maximum d'étages (voir équation [I-11]) et par conséquent le gain de l'amplificateur distribué, d'autre part, la compensation des pertes des lignes permet d'élargir la bande-passante, et ce de manière significative.

La compensation des pertes des lignes d'un amplificateur distribué avec un circuit à résistance négative a été proposée par S. Deibele et J.B. Beyer en 1989 [18]. Cette technique, qui repose sur un transistor monté en grille commune, a été reprise ensuite par K.W Kobayashi et al. en 1994 [25] qui l'utilisent pour la compensation des lignes d'entrée et de sortie d'amplificateurs distribués HBT et par S. Kimura et al. en 1996 [26] qui l'utilisent

dans le montage cascode pour la compensation des pertes de la ligne de drain d'amplificateurs HEMT.

I.2.1. Résistance négative (à transistor grille commune) [18]

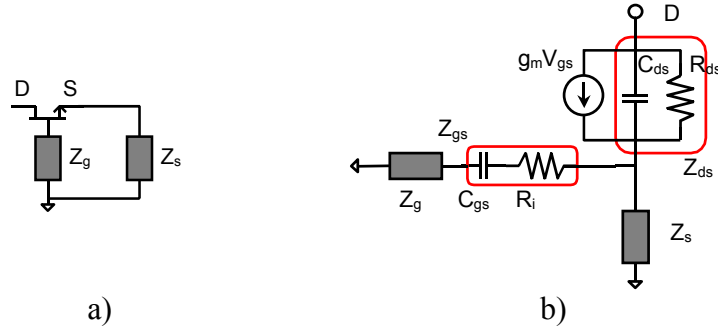


Figure I-7 : Schéma (a) et modèle électrique (b) équivalent du transistor grille commune avec les impédances Z_g et Z_s des circuits de polarisation.

La Figure I-7 représente le transistor en grille commune avec les impédances Z_g et Z_s des circuits de polarisation. Vu du drain, le transistor grille commune est équivalent à une résistance négative et une capacité sur une très large bande de fréquence [18]. Par conséquent, une compensation importante de l'atténuation avec peu de dispersion peut être obtenue grâce à ce circuit. L'expression de l'impédance du transistor grille commune vue du drain est :

$$[I-14] \quad Z_D = \frac{R_{ds}}{1 + j\omega C_{ds} R_{ds}} \left[1 + \frac{g_m Z_s}{1 + j\omega C_{gs} (R_i + Z_s + Z_g)} \right] + \frac{Z_s [1 + j\omega C_{gs} (R_i + Z_g)]}{1 + j\omega C_{gs} (R_i + Z_s + Z_g)}$$

Dans l'équation [I-14], seule la source de courant (via le terme g_m) contribue à la formation de l'impédance active Z_D . La résistance négative est obtenue seulement si l'impédance Z_s est fortement réactive, si bien qu'il est clair qu'en basse fréquence, le transistor grille commune fournit une compensation insuffisante puisque $Z_D(\omega \rightarrow 0) = R_{ds} [1 + g_m Z_s] + Z_s$.

Lorsque Z_s tend vers l'infini, l'équation [I-14] se simplifie par :

$$[I-15] \quad Z_D = Z_{ds} + Z_{gs} + Z_g + \frac{g_m Z_{ds}}{j\omega C_{gs}}$$

où

$$[I-16] \quad Z_{ds} = \frac{R_{ds}}{1 + j\omega C_{ds} R_{ds}} \text{ et } Z_{gs} = R_i + \frac{1}{j\omega C_{gs}}$$

Des équations [I-15] et [I-16], on déduit l'expression approchée de la partie réelle de l'impédance de sortie :

$$[I-17] \quad \Re[Z_D] = \frac{R_{ds}}{1 + \omega^2 C_{ds}^2 R_{ds}^2} \times \left(1 - \frac{g_m}{C_{gs}} R_{ds} C_{ds} \right) + R_i + \Re[Z_g]$$

La composante négative de $\Re[Z_D]$ est : $-\frac{g_m}{C_{gs}} R_{ds} C_{ds}$.

I.2.2. La paire cascode avec deux lignes additionnelles

La connexion du drain du transistor source commune à la source du transistor grille commune permet de former la paire cascode (Figure I-8-a) dont le schéma électrique équivalent est représenté à la Figure I-8-b). Les indices 1 et 2 correspondent respectivement aux transistors montés en source commune et en grille commune. L'impédance de sortie Z_{out} de la paire cascode s'écrit :

$$[I-18] \quad Z_{out} = \frac{Z_{ds1}}{Z_{ds1} + Z_{gs2}} \left[\frac{g_m Z_{ds2}}{j\omega C_{gs2}} + Z_{gs2} \right] + Z_{ds2}$$

où

$$Z_{ds1} = \frac{R_{ds1}}{1 + j\omega C_{ds1} R_{ds1}}, \quad Z_{ds2} = \frac{R_{ds2}}{1 + j\omega C_{ds2} R_{ds2}} \text{ et } Z_{gs2} = R_{i2} + \frac{1}{j\omega C_{gs2}}$$

Généralement, la capacité grille-source C_{gs} est largement supérieure à la capacité drain-source dans un transistor si bien qu'à haute fréquence, on peut considérer $|Z_{ds1}| \gg |Z_{gs2}|$. De l'équation [I-18], on déduit l'expression approchée de l'impédance de sortie de la paire cascode en substituant le premier coefficient par l'unité :

$$[I-19] \quad Z_{out}(\omega \rightarrow \infty) = \left[\frac{g_m Z_{ds2}}{j\omega C_{gs2}} + Z_{gs2} \right] + Z_{ds2},$$

dont la partie réelle s'écrit:

$$[I-20] \quad \Re(Z_{out}(\omega \rightarrow \infty)) = \frac{R_{ds2}}{1 + \omega^2 C_{ds2}^2 R_{ds2}^2} \left(1 - \frac{g_{m2}}{C_{gs2}} R_{ds2} C_{ds2} \right) + \Re(Z_{gs2})$$

On se retrouve donc dans le cas du paragraphe précédent avec l'équation [I-17] où la composante négative de l'impédance de sortie s'écrit : $-\frac{g_{m2}}{C_{gs2}} R_{ds2} C_{ds2}$.

On peut aussi remarquer que la partie réelle de l'impédance de sortie Z_{SC} d'un transistor source commune s'écrit :

$$[I-21] \quad \Re[Z_{SC}] = \frac{R_{ds}}{1 + \omega^2 C_{ds}^2 R_{ds}^2},$$

dont l'expression est similaire au premier coefficient de l'équation [I-20]. Ainsi, l'utilisation du transistor grille commune dans la paire cascode permet de diminuer la partie réelle de l'impédance de sortie de la paire cascode en comparaison. Cependant, cette composante négative de la résistance de sortie de la paire ne dépend que des paramètres des transistors utilisés et ne peut pas être ajustée par des techniques de conception de circuit.

L'introduction de deux lignes de transmission additionnelles, L_{cg} et L_{sd} , dans la grille et la source du transistor grille commune permet de contrôler un tant soit peu la valeur de la résistance négative et d'améliorer ainsi la compensation des pertes. L'impédance de sortie du schéma équivalent de la Figure I-8-c) s'écrit [26]:

$$[I-22] \quad Z_{out} = \frac{(Z_{ds1} + j\omega L_{sd})}{(Z_{ds1} + j\omega L_{sd}) + (Z_{gs2} + j\omega L_{cg})} \times \left(\frac{g_m Z_{ds2}}{j\omega C_{gs2}} + (Z_{gs2} + j\omega L_{cg}) \right) + Z_{ds2}$$

L_{cg} permet d'annuler Z_{gs2} au dénominateur du premier coefficient, ce qui a pour effet d'augmenter la partie négative de la résistance de sortie et de diminuer les pertes dans la ligne de drain. Une trop forte valeur de L_{cg} peut cependant rendre la partie réelle de Z_{out} entièrement négative, ce qui entraîne alors une instabilité du circuit, qui se traduit par des pics sur les coefficients S_{21} et S_{22} près de la fréquence de coupure, S_{22} pouvant devenir positif. La ligne L_{sd} quant à elle permet d'annuler Z_{ds1} dans le premier coefficient de [I-22], ce qui peut réduire l'effet de L_{cg} et changer la dépendance fréquentielle de la résistance négative. L'augmentation de la longueur de L_{sd} permet de rétablir la stabilité du circuit.

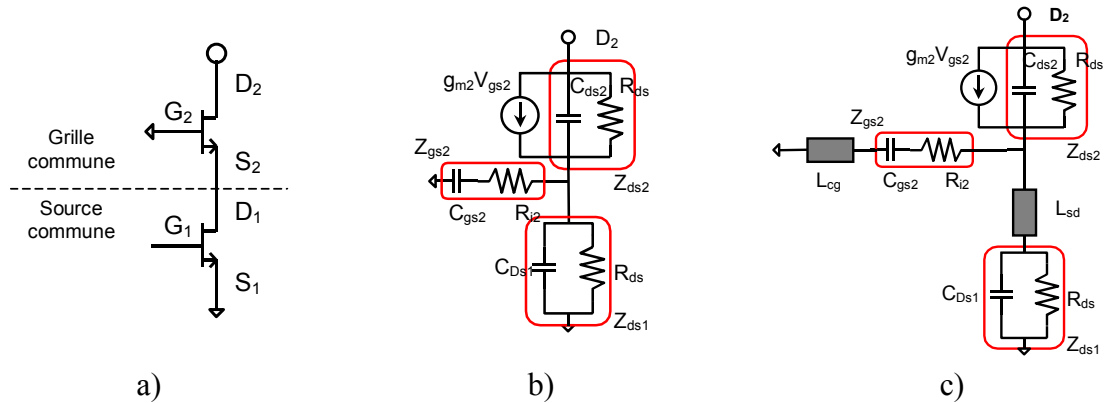


Figure I-8 : a) Paire cascode et b) son modèle électrique équivalent. c) Paire cascode avec deux lignes additionnelles dans la grille et la source du transistor grille commune.

La Figure I-9 montre les performances simulées d'un amplificateur distribué cascode à quatre étages dans trois cas et permet de quantifier l'amélioration apportée par la technique de compensation :

- sans compensation,
- avec compensation négative,
- avec l'inductance de compensation L_{cg} , mais sans l'inductance de stabilisation L_{sd} .

Dans chacun des trois cas, des inductances idéales ont été utilisées. Sans compensation, la fréquence de coupure à -3 dB est de 55 GHz, tandis qu'avec la compensation, elle augmente environ de 20 % avec une valeur de 65 GHz. La dernière simulation, réalisée sans l'inductance L_{sd} montre un pic d'instabilité en fin de bande qui traduit une impédance négative à la sortie de la paire cascode, alors qu'avec l'inductance L_{sd} ce pic d'instabilité est absent et la réponse fréquentielle est plus plate.

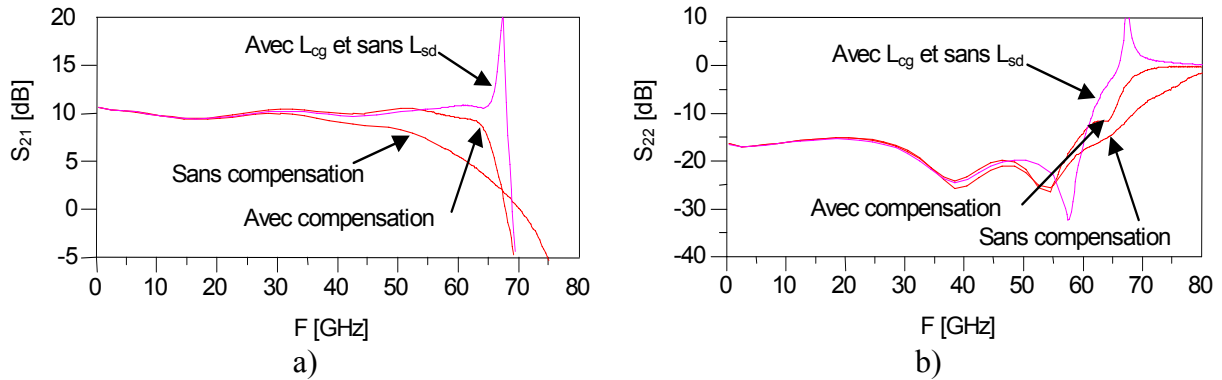


Figure I-9 : Simulation du gain S_{21} (a) et du coefficient de réflexion S_{22} (b) d'un amplificateur cascade à 4 étages, sans compensation, avec compensation ou avec L_{cg} et sans L_{sd} .

I.3. Le bruit dans les amplificateurs distribués

Si de nombreuses analyses ont été faites sur le gain et la bande passante par rapport à la mise au point de l'amplificateur distribué, peu en revanche ont été conduites sur ses propriétés en bruit. Les mécanismes de génération du bruit dans cette structure sont en effet différents de ceux entrant en jeu dans les amplificateurs cascades. Les principales sources de bruit sont d'une part les transistors FET et d'autre part les trois impédances du générateur et des terminaisons des lignes.

I.3.1. Approche matricielle

K.B. Niclas et B.A. Tucker en 1983 [10] ont calculé le facteur de bruit dans la partie basse de la bande passante, à partir de représentations matricielles des blocs fonctionnels de l'amplificateur et par la mesure de la puissance de bruit en sortie pour plusieurs admittances de source Y_s :

$$[I-23] \quad NF_{\min} = 1 + 2 \left[R_n \left(\frac{G_{\pi g}}{n} + G_{cor} \right) + \sqrt{R_n \left(\frac{G_{\pi g}}{n} + G_n \right) + R_n^2 \left(\frac{G_{\pi g}}{n} + G_{cor} \right)^2} \right]$$

où R_n et G_n sont la résistance et la conductance équivalente de bruit, $G_{\pi g}$ est la conductance de la terminaison de grille et G_{cor} est la conductance de corrélation du bruit.

A partir de leur modèle de bruit, K.B. Niclas et B.A. Tucker arrivent aux conclusions suivantes :

- _ Le facteur de bruit minimum NF_{\min} peut-être minoré en basse fréquence en augmentant le nombre d'étages n .
- _ Le bruit thermique des impédances de terminaison des lignes domine celui des transistors en basse fréquence. Le facteur de bruit d'un amplificateur distribué est donc plus élevé en basse fréquence qu'en milieu de bande, alors que celui du transistor est meilleur en basse fréquence et qu'il augmente linéairement en fonction de la fréquence.
- _ L'impédance de terminaison de grille $Z_{\pi g}$ influence beaucoup le facteur de bruit en basse fréquence, tandis que l'impédance de terminaison de drain $Z_{\pi d}$ a peu d'influence. Le bruit thermique dû à $Z_{\pi g}$ peut être fortement diminué en augmentant sa valeur. Cependant, la valeur de $Z_{\pi g}$ influe fortement sur la variation de l'amplitude du gain dans la bande, ce qui laisse peu de liberté sur sa valeur si un gain plat sur une large bande est nécessaire.
- _ Lorsque l'amplificateur est conçu pour une réponse en gain plate, la différence entre le facteur de bruit NF et le facteur de bruit minimal NF_{\min} est petite.

D'autre part, l'étude fréquentielle du coefficient de réflexion optimal en bruit montre qu'il varie extrêmement peu en fonction de la fréquence pour un amplificateur distribué en comparaison d'un transistor FET seul [10]. Une simulation montrée à la Figure I-10 corrobore cette remarque.

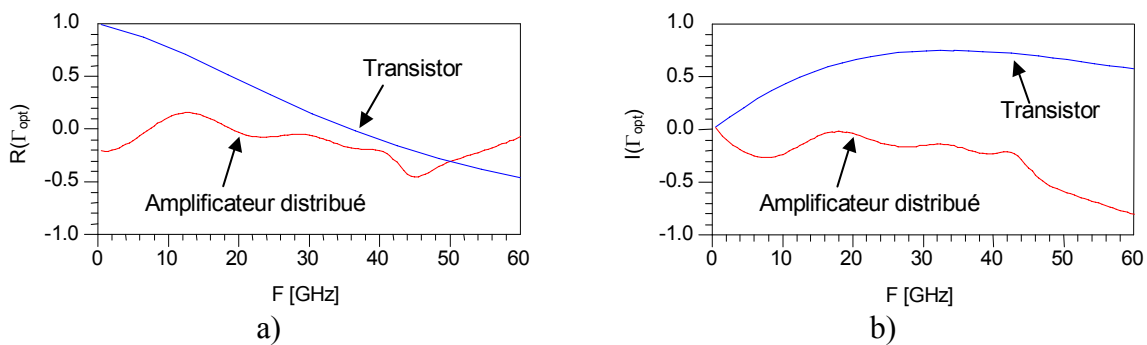


Figure I-10 : Coefficient de réflexion optimal en bruit Γ_{opt} d'un transistor SOI flottant et d'un amplificateur distribué cascode 4 étages. a) partie réelle, b) partie imaginaire.

I.3.2. Calcul à partir du schéma équivalent

Une autre approche de l'étude du bruit des amplificateurs distribués est celle de C.S. Aitchison en 1985 [27]. Il calcule le facteur de bruit intrinsèque d'un amplificateur

distribué à transistors MESFET à partir du schéma équivalent simplifié du transistor et des deux générateurs de courant $\sqrt{i_g^2}$ et $\sqrt{i_d^2}$ d'un transistor FET proposé par Van der Ziel (Figure I-11). Les lignes artificielles ont été supposées sans perte.

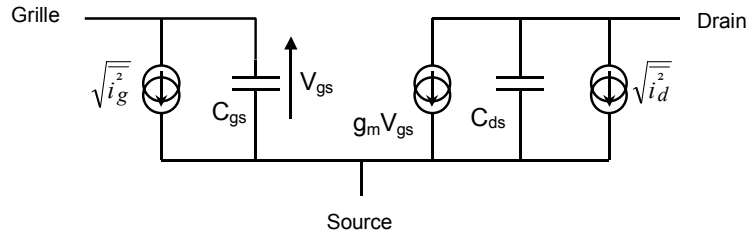


Figure I-11 : Circuit équivalent simplifié du FET.

Tenant compte de ces hypothèses, C.S. Aitchison propose une formule du facteur de bruit à partir des paramètres connus du transistor :

$$[I-24] \quad NF=1+\left(\frac{\sin(n\beta)}{n\sin(\beta)}\right)^2+\frac{4}{n^2g_m^2Z_{\pi g}Z_{\pi d}}+\frac{Z_{\pi g}\omega^2C_{gs}^2R\sum_{r=1}^nf(r,n,\beta)}{n^2g_m}+\frac{4P}{ng_mZ_{\pi g}}$$

avec $f(r, n, \beta)$ donné par :

$$[I-25] \quad f(r, n, \beta) = (n-r+1)^2 + \left(\frac{\sin((r-1)\beta)}{\sin(\beta)}\right)^2 + \frac{2 \cdot (n-r+1) \cdot \sin((r-1)\beta) \cdot \cos(r\beta)}{\sin(\beta)}$$

où $Z_{\pi g}$ et $Z_{\pi d}$ sont les charges de terminaison de grille et de drain, β est la constante de propagation des lignes artificielles, R et P sont des facteurs numériques qui varient en fonction du courant de drain. La fonction $f(r,n,\beta)$ tend, pour n grand, vers la limite de $n^3/3$.

L'expression [I-24] montre que le facteur de bruit diminue si le nombre d'étages n augmente. Cette expression se simplifie pour des valeurs de n élevées par :

$$[I-26] \quad NF=1+\frac{Z_{\pi g}n\omega^2C_{gs}^2R}{3g_m}+\frac{4P}{ng_mZ_{\pi g}}$$

pour laquelle il existe une valeur optimale de $nZ_{\pi g}$:

$$[I-27] \quad (nZ_{\pi g})_{opt} = \frac{2}{\omega C_{gs}} \sqrt{\frac{3P}{R}}$$

conduisant au facteur de bruit minimal :

$$[I-28] \quad NF_{\min} = 1 + \frac{2\omega C_{gs}}{g_m} \sqrt{\frac{4PR}{3}}$$

Le calcul réalisé pour un amplificateur distribué MESFET, en ne considérant ni les pertes des transistors, ni celles des lignes de transmission ou des inductances, montre que le facteur de bruit diminue si le nombre d'étages n augmente et qu'il existe une valeur optimale d'impédance de terminaison de grille pour laquelle le facteur de bruit est minimal. Cependant, on ne peut pas augmenter à l'infini le nombre d'étages puisque le facteur de bruit est sujet aux mêmes limitations que le gain, à cause de l'atténuation des lignes artificielles de grille et de drain (cf. I.1.2).

I.3.3. Simulation du bruit d'un amplificateur SOI cascode

La Figure I-12 montre la simulation en petit signal avec ADS du facteur de bruit NF et du facteur de bruit minimal NF_{\min} d'un amplificateur distribué cascode en fonction du nombre d'étages n . Le schéma équivalent du transistor comprend aussi bien les éléments intrinsèques que les éléments extrinsèques (cf. Chapitre III) et les inductances sont supposées sans perte. On y voit clairement la réduction du bruit jusqu'à 25 GHz, en augmentant le nombre d'étages. Au-delà, l'augmentation du nombre d'étages ne permet plus d'obtenir une amélioration du facteur de bruit car les éléments parasites des transistors provoquent une détérioration des performances globales en bruit. Le facteur de bruit de l'amplificateur distribué montre un écart de 1 dB à 20 GHz par rapport à celui d'un étage cascode seul, ce qui illustre bien le comportement en bruit particulier de l'amplificateur distribué par rapport aux amplificateurs cascades conventionnels.

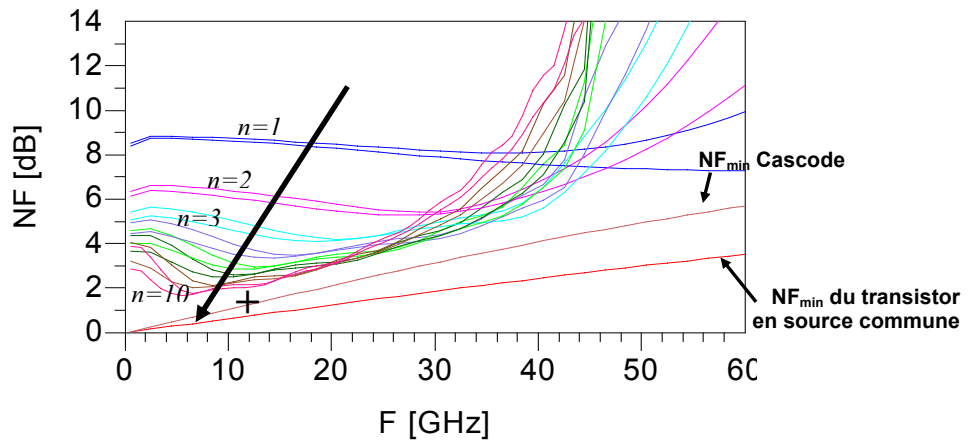


Figure I-12 : Simulation du facteur de bruit d'un amplificateur distribué cascode en fonction du nombre d'étages n , pour n de 1 à 10.

I.4. Autres amplificateurs distribués

La topologie de l'amplificateur distribué peut prendre d'autres formes que celle étudiée précédemment. De façon générale, la structure distribuée se décline sous de nombreuses formes permettant aussi la réalisation d'autres fonctions électroniques. De manière non exhaustive, elle est utilisée pour réaliser des mélangeurs, des oscillateurs, des coupleurs et des filtres actifs. Dans cette partie, nous présentons uniquement quelques variantes de l'amplificateur distribué, leur intérêt et leurs applications possibles.

I.4.1. Amplificateur distribué double

Partant du principe que le courant maximum d'un transistor à effet de champ est proportionnel à sa largeur, l'augmentation du courant de sortie peut se faire par celle du nombre d'étages ou de la largeur des transistors. Mais le premier cas est sujet aux limitations liées à l'atténuation dans les lignes artificielles, tandis que le second implique une augmentation des capacités provoquant une réduction de la bande passante.

Par contre, la structure de l'amplificateur distribué double, constituée de deux amplificateurs distribués ayant une ligne de drain commune (Figure I-13), permet de doubler le courant, donc de quadrupler la puissance de sortie tout en conservant la bande passante d'un amplificateur unique et en évitant les limitations liées à l'augmentation du nombre d'étages ou de la largeur des transistors. L'amplificateur distribué double a été proposé en

1997 [28] pour des applications de puissance large bande et linéaire. Il peut être réalisé, dans une deuxième version, avec une seule ligne de grille et deux lignes de drain, ou même encore, dans une troisième version, en combinant les versions à deux lignes de grille et à deux lignes de drain dans une structure série [28].

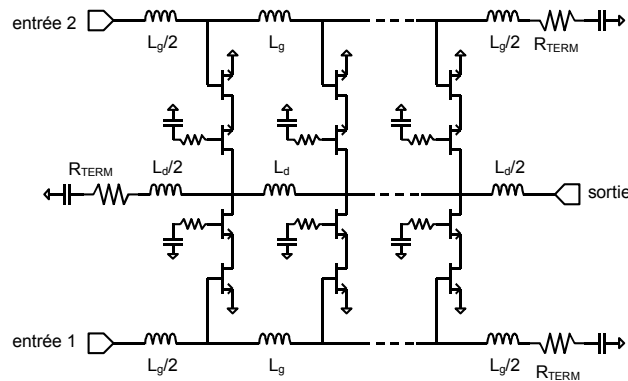


Figure I-13 : Amplificateur distribué double à structure cascode et avec deux lignes de grille et une ligne de drain.

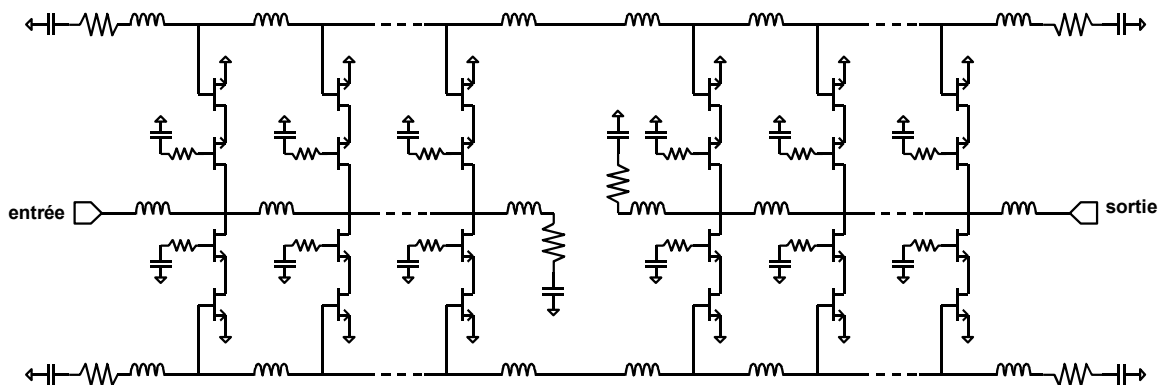


Figure I-14 : Amplificateur distribué double mettant en série une version à deux lignes de grille et une ligne de drain et une autre à deux lignes de drain et une ligne de grille.

I.4.2. Amplificateur à division de capacité sur la grille

La fréquence de coupure de la ligne de grille, plus faible que celle de la ligne de drain, limite la bande passante de l'amplificateur. Il est possible d'augmenter cette fréquence de coupure par le procédé appelé division de capacité mis en œuvre avec une capacité C_{div} en série sur la grille du transistor [29-31] (Figure I-15). La capacité à l'entrée du transistor

s'exprime alors par $C_e' = M \cdot C_e$, où C_e est la capacité équivalente définie en [I-2] et qui tient compte de l'effet Miller, et où M est le rapport : $M = C_{div} / (C_{div} + C_e)$.

La capacité à l'entrée est donc minorée grâce au facteur M inférieur à l'unité, ce qui permet d'augmenter la pulsation de coupure ω_{cg} de la ligne de grille et par conséquent celle de l'amplificateur dans la même proportion. L'augmentation de ω_{cg} sera d'autant plus importante que le rapport M sera petit, ce qui signifie que l'on a intérêt à utiliser des capacités de valeur C_{div} très inférieure à celle de la capacité d'entrée du transistor C_e . Cependant, un problème est que la transconductance g_m est minorée par ce même facteur M , ce qui implique une diminution du gain. Tout comme l'amplificateur distribué classique, cette structure est sujette à la même limitation en nombre maximum d'étages, en raison des pertes dans les lignes.

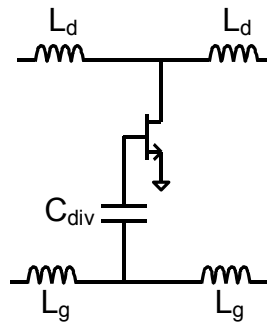


Figure I-15 : Etage à division de capacité.

I.4.3. Amplificateurs distribués cascades

La Figure I-16 montre le schéma électrique de la mise en cascade d'amplificateurs distribués simple étage. A l'instar des amplificateurs distribués conventionnels, la structure cascadiée utilise des lignes de transmission artificielles. La différence provient de ce que les impédances de terminaison de grille et de drain ne sont plus présentes dans les étages intermédiaires, à l'exception des étages d'entrée et de sortie [32].

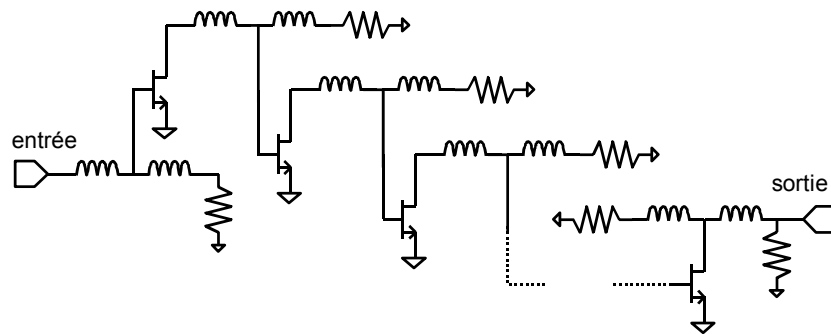


Figure I-16 : Amplificateur distribué source commune cascadé à n étages.

L'amplificateur distribué cascadé présente plusieurs avantages. D'une part, le gain en puissance augmente exponentiellement en fonction du double du nombre d'étages n tandis que celui de l'amplificateur distribué conventionnel est proportionnel au carré du nombre d'étages. D'autre part, toutes les inductances sont accompagnées d'une résistance série, si bien que cette structure ne nécessite pas d'inductances faibles pertes. Cette propriété permet de relâcher les contraintes de réalisation des inductances pour les technologies CMOS qui ont des inductances ayant habituellement des coefficients de qualité très médiocres. Les étages d'amplification peuvent être de type source commune [32-34], cascode [35] ou plus complexe (constitués d'amplificateurs distribués à deux étages par exemple [36]).

La structure cascadée avec les technologies III-V [32, 33, 37] apparaît peu dans les publications, alors qu'elle est devenue assez populaire avec les technologies silicium [34-36]. Une explication provient des applications et des marchés très différents affectés aux deux technologies. Il est évident que la mise en cascade des étages soumet ce type d'amplificateur, comme n'importe lequel, aux mêmes limitations en bande passante (cf. [I-6]). Cette structure est donc moins intéressante que l'amplificateur distribué conventionnel si on recherche une augmentation toujours plus importante de la bande passante, ce qui est le cas avec les technologies III-V qui occupent les marchés des communications à haut-débit (satellite et optique), des radars et de l'instrumentation. Les performances en fréquence des technologies CMOS, plus faibles que celles des technologies III-V, ne permettent pas encore de viser ces applications. A contrario, les technologies CMOS sont suffisantes pour des applications large bande plus basses en fréquence (telle que l'UWB dans la bande 3,1-10,6 GHz) qui occupent des marchés grand public pour lesquels le faible coût de ces technologies est très attractif.

I.5. Etat de l'art des amplificateurs distribués en CMOS

Pour situer le contexte de nos travaux, nous avons établi un état de l'art des amplificateurs distribués avec les technologies CMOS, sur substrat SOI et substrat massif (« *bulk* ») (Tableau I-2). Seuls les amplificateurs de type cascode ont été retenus dans cet état de l'art. Il est important de remarquer que la plupart des publications de performances d'amplificateurs distribués en CMOS correspondent à des circuits de démonstration, avec des architectures simples composées de 3 à 8 étages.

Au début de notre étude, seul l'amplificateur distribué de TSMC [38] avait été publié. Ce circuit est composé de 3 étages de type cascode et présente un gain de 7,3 dB sur la bande 0,6-22 GHz. Il a été réalisé avec une technologie CMOS 180 nm dont les caractéristiques sont assez proche de la notre, tant au niveau des performances des transistors que de la structure des couches d'interconnexion disponible pour les lignes de transmission, si bien que les performances obtenues par ce circuit nous ont servi de guide de départ pour fixer les performances minimales de nos circuits, à savoir un gain minimum de 7 dB sur une bande de fréquence supérieure à 20 GHz.

Technologie, Fondeur	F_r/F_{max} [GHz]	Topologie Surface	Gain [dB]	BW [GHz]	F_{-3dB} [GHz]	PGB [GHz]	S_{11}/S_{22} [dB]	NF [dB]	V_{dd} [V]	P_{DC} [mW]	G/ P_{DC} [dB/mm]
CMOS bulk 180nm 6M, Inductances spirales, TSMC [38]	70/58	3 Etg, cascode 1,35 mm ²	7.3±0. 8	0.1- 22	23	53	<-7 <-9	4.3-6.1 1-18GHz	1.3	52	0.14
CMOS bulk 0.18µm CPW, Canadian Micro. Corp.[39]	-	4 Etg, cascode 1.6 mm ²	5±2	2-24	25	44	<-10 <-10	6 @ 5GHz	3.3	68.1	0.07
CMOS bulk 0.18µm MSL, Fujitsu [40]	51/100	8 Etg, cascode (source commune dégénérée), 3.3 mm ²	4±1	1-37	39	61	<-10 <-10	-	-	140	0.03
CMOS bulk 0.18µm Inductances [35] TSMC	60/55	Ampli. distr. cascadié, 2 Etg. Cascode, 0.36 mm ²	9±1	5-23	25	71	<-7	-	3.5	60	0.15
120nm SOI 8M-cuivre, CPW, IBM [41]	196/230 $L_{grille}=46nm$	9 Etg, cascode 1.3 mm ²	11±1. 2	5-90	90	320	<-5 <-7	4.8-6.2 <18GHz	2.5	210	0.05
120nm SOI 8M-cuivre, CPW, IBM [42]	196/230 $L_{grille}=46nm$	7 Etg, cascode 1.05 mm ²	7.8±1. 3	4-86	86	211	<-7	3.6-5 10-18GHz	2.6	130	0.06
120nm SOI 8M-cuivre, CPW, IBM [42]	196/230 $L_{grille}=46nm$	5 Etg, cascode 0.8 mm ²	4±1.2	4-91	91	144	<-7	4.2-6.4 10-18GHz	2.6	90	0.04
90nm SOI 8M-cuivre, MS, IBM [43]	147/150	4 Etg, cascode 0.3 mm ²	9.7±1. 6	10- 59	59	180	<-5 <-10	3-4 0-40GHz	2	132	0.07

8M : 8 niveaux de métallisation Etg : étage MS : Microruban CPW : Coplanaire bulk : substrat massif

Tableau I-2 : Etat de l'art des amplificateurs distribués CMOS sur SOI et sur substrat massif.

II. Etude et mesure d'amplificateurs distribués CMOS SOI 130 nm fonctionnant en bande K

Dans cette partie, nous décrivons la conception et les mesures associées de trois amplificateurs distribués fonctionnant jusqu'en bande K (i.e. 20-40 GHz), utilisant une structure source commune ou cascode. Les trois circuits ont été réalisés avec la technologie CMOS SOI 130 nm partiellement désertée de ST-Microelectronics (cf. Chapitre I). Ils utilisent à la fois des transistors conventionnels à substrat flottant et des transistors à prises substrat (cf. Chapitre III). L'étude présentée dans cette partie a été menée dans le cadre d'une collaboration entre l'IEMN, le CEA-DIF et l'université de Louvain-La-Neuve, partenaires du projet de recherche technologique européen MEDEA+ T206 sur l'industrialisation de la technologie SOI pour des applications numériques de basse consommation et RF sans fil.

Parmi les objectifs qui ont guidé cette étude, le premier était d'étudier les performances, les limites et les potentialités de la technologie SOI pour des applications en gamme millimétrique. Pour cela, des circuits élémentaires tel que l'amplificateur distribué ont été réalisés. Le deuxième objectif était d'utiliser pour la première fois le modèle RF grand signal des transistors MOSFET¹, afin d'éprouver sa validité pour la conception de circuits hyperfréquences. Enfin, le troisième objectif était de mesurer les performances des amplificateurs distribués et leur évolution en température, afin de vérifier la bonne tenue en température du SOI. Nous présenterons brièvement ces derniers résultats qui ont fait l'objet d'études plus approfondies de la part de M. Si Moussa de l'université de Louvain-La-Neuve [45].

II.1. Architecture des amplificateurs distribués

Les trois amplificateurs conçus (et réalisés par la suite) sont constitués de quatre étages, pour l'un de type source commune et pour les deux autres de type cascode avec une

¹ développé par A. Siligaris au cours de sa thèse à l'IEMN [44], cf. Chapitre III, paragraphe II.

technique de compensation des pertes sur la ligne de drain (cf. I.2) pour améliorer leur réponse fréquentielle. L'amplificateur source commune et l'un des deux amplificateurs cascode utilisent des transistors flottants, tandis que le second amplificateur cascode est conçu avec des transistors à prises. En termes de performances, l'objectif recherché, au regard de l'état de l'art au moment de la conception des circuits, était d'avoir un gain supérieur à 7 dB sur la bande la plus large possible, au minimum 20 GHz.

II.1.1. Simplicité des architectures

Les amplificateurs distribués sont les premiers circuits de démonstration que nous avons conçus en SOI. C'est pourquoi la simplicité des architectures fut un critère important pendant toute la phase de conception, afin de limiter les risques liés au manque de données sur les modèles dont nous disposions au moment de la conception, aussi bien pour les transistors que pour les lignes de transmission. Un autre facteur de risque était lié aux évolutions potentielles du procédé de la technologie SOI 130 nm, alors en phase d'industrialisation. Les architectures des circuits ont donc été choisies de manière à garantir un fonctionnement minimal des circuits.

Citons par exemple, pour illustrer ce souci de la simplicité, la polarisation des transistors ramenée par l'intermédiaire des plots de mesure hyperfréquence et non par l'intermédiaire de circuits de polarisation intégrés sur la puce. L'avantage supplémentaire de cette solution est de bénéficier du découplage très large bande des Tés de polarisation du banc de mesure, typiquement 45 MHz-50 GHz. Dans le cas de l'architecture cascode, nécessitant trois tensions de polarisation, la tension de grille du transistor grille commune est ramenée par l'intermédiaire d'un troisième plot hyperfréquence pour disposer aussi du découplage du Té de polarisation (Figure II-3).

II.1.2. Comparaison entre étage source commune et étage cascode

Pour un fonctionnement en amplificateur, le transistor source commune et les deux transistors de la paire cascode sont polarisés en saturation, où la dynamique de sortie et la transconductance g_m sont les plus importantes. Le transistor grille commune de la paire cascode amène peu de gain en puissance en comparaison du transistor source commune, si bien que le rapport « gain / puissance consommée » est favorable au transistor source

commune. Cependant, celui-ci a une fréquence de coupure plus basse que celle de la paire cascode à cause de l'effet Miller (cf. Annexe IV.A.1), dû à la capacité grille-drain C_{gd} . Cet effet pour les composants MOSFET de longueur nanométrique est particulièrement important et pénalisant. Mais la paire cascode permet de diminuer fortement l'effet Miller, qui par conséquent n'affecte ni la fréquence de coupure, ni le gain en puissance et améliore l'isolation entrée/sortie du composant. Par ailleurs, le transistor grille commune de la paire cascode permet de réaliser un circuit de compensation à résistance négative (cf. I.2.1). Une telle compensation est nécessaire à cause des pertes naturellement élevées des lignes de transmission sur un procédé silicium, qui plus est avec une structure d'interconnexion optimisée pour les circuits numériques. Comme conséquence, la réponse en fréquence ne diminuera pas progressivement à cause des pertes des lignes.

Cependant, le problème rencontré avec la paire cascode est que les longueurs des lignes L_{cg} et L_{sd} , qui permettent de régler le circuit de compensation à résistance négative, seront d'autant plus importantes que les pertes des lignes seront élevées. La ligne L_{sd} est celle qui permet de conserver la stabilité du circuit. Mais sa longueur influence fortement la bande passante, à un point tel que la fréquence de coupure à 0 dB de l'amplificateur distribué en source commune est plus élevée que celle de l'amplificateur distribué cascode stabilisé, alors que la paire cascode possède naturellement une fréquence de coupure plus élevée que celle du transistor source commune.

II.1.3. Lignes de transmission

Au début de notre étude, seuls des substrats SOI de résistivité standard étaient disponibles (typiquement $10 \Omega \cdot \text{cm}$). Or dans le cas de la ligne microruban, le plan de masse dessiné au-dessus du substrat de silicium sert en quelque sorte de bouclier, lui conférant des caractéristiques électriques indépendantes de la résistivité du substrat. C'est pourquoi, les lignes de transmission utilisées sont de type microruban avec un ruban conducteur implémenté sur la couche de cuivre 6 (cf. Chapitre II). L'arrivée progressive des substrats de haute résistivité dans le projet MEDEA+ T206, ne nous a pas forcés à modifier le dessin des circuits.

Dans un amplificateur distribué, la synthèse des lignes artificielles de grille et de drain d'impédance caractéristique $Z_c = 50 \Omega$ nécessite l'emploi de tronçons de ligne inductive (i.e. d'impédance élevée), puisque qu'elles sont chargées par les capacités d'entrée et de sortie des étages d'amplification (équation [I-12]). Plus la ligne possèdera une haute impédance, plus le tronçon à réaliser sera court, ce qui permettra de diminuer la résistance série des lignes. Cependant, la réalisation de lignes microruban haute impédance implique une diminution de la largeur du ruban conducteur allant de paire avec l'augmentation des pertes métalliques.

Pour résumer, les lignes microruban sur SOI ont le double inconvénient d'avoir une gamme d'impédance caractéristique peu étendue et des pertes métalliques élevées. Un compromis est donc à trouver concernant les paramètres de l'amplificateur distribué entre la largeur des transistors (qui permet de fixer le gain par étage et la valeur des capacités prenant part à la réalisation des lignes artificielles), l'impédance caractéristique et la longueur des tronçons de ligne microruban, compromis qui est loin d'être trivial.

Prenons le cas suivant, dans lequel l'impédance caractéristique maximale $Z_{c_{\text{microruban}}}$ de la ligne microruban est de 75Ω . On choisit cette valeur d'impédance pour réaliser la ligne artificielle de grille d'impédance $Z_{c_{\text{grille}}}$ de 50Ω . Pour synthétiser la ligne, il faut à la fois déterminer la largeur du transistor et donc la valeur de la capacité d'entrée C_{gs} (on considère un transistor unilatéral pour cet exemple), et la longueur du tronçon de la ligne microruban 75Ω . La difficulté est de trouver le meilleur compromis entre l'atténuation de la ligne (proportionnelle à sa longueur) et le gain du transistor (proportionnel à sa largeur). A partir de l'équation [I-12] donnant l'impédance caractéristique de la ligne de transmission chargée par les capacités du transistor, on obtient la longueur de la ligne :

$$[\text{II-1}] \quad l = \frac{50^2 \cdot C_{gs}}{L_{\text{norm}} - 50^2 \cdot C_{\text{norm}}}$$

Pour la ligne $Z_{c_{\text{microruban}}} = 75 \Omega$, l'inductance série L_{norm} est égale à $0,5 \text{ nH/mm}$ et la capacité parallèle C_{norm} vaut 95 fF/mm . On choisira un transistor SOI 130 nm à substrat flottant de développement $30 \times 2 \mu\text{m}$ ayant une capacité $C_{gs} = 52 \text{ fF}$, ce qui donne une longueur raisonnable, à savoir $490 \mu\text{m}$ par section de ligne.

II.1.4. Circuit de compensation à résistance négative avec des lignes de transmission

La technique de compensation des pertes de la ligne de drain, exposée au paragraphe I.2 est incontournable pour les deux amplificateurs cascode à cause des pertes importantes des lignes microruban. La simulation de la paire cascode seule permet de mieux appréhender le choix des longueurs des lignes L_{cg} et L_{sd} dans le cas réel des lignes microruban (Figure II-1). Les simulations sont réalisées pour des lignes haute impédance ayant des longueurs de $350 \mu\text{m}$ et de $600 \mu\text{m}$ pour L_{cg} et de $500 \mu\text{m}$ pour L_{sd} . Pour comparaison, le gain et l'impédance de sortie de la paire cascode sans compensation ont été tracés sur la même figure. Dans le cas de la ligne L_{cg} de $600 \mu\text{m}$, la partie réelle de l'impédance de sortie Z_{out} de la paire cascode est négative entre 12 GHz et 24 GHz, ce qui signifie que le circuit est instable dans ce domaine de fréquence et que le coefficient de réflexion S_{22} est alors supérieur à l'unité. Avec les deux lignes L_{cg} et L_{sd} , il est à noter que la compensation des pertes est efficace quand les longueurs de ligne sont importantes, ce qui peut limiter l'effet de cette technique en termes de bande passante.

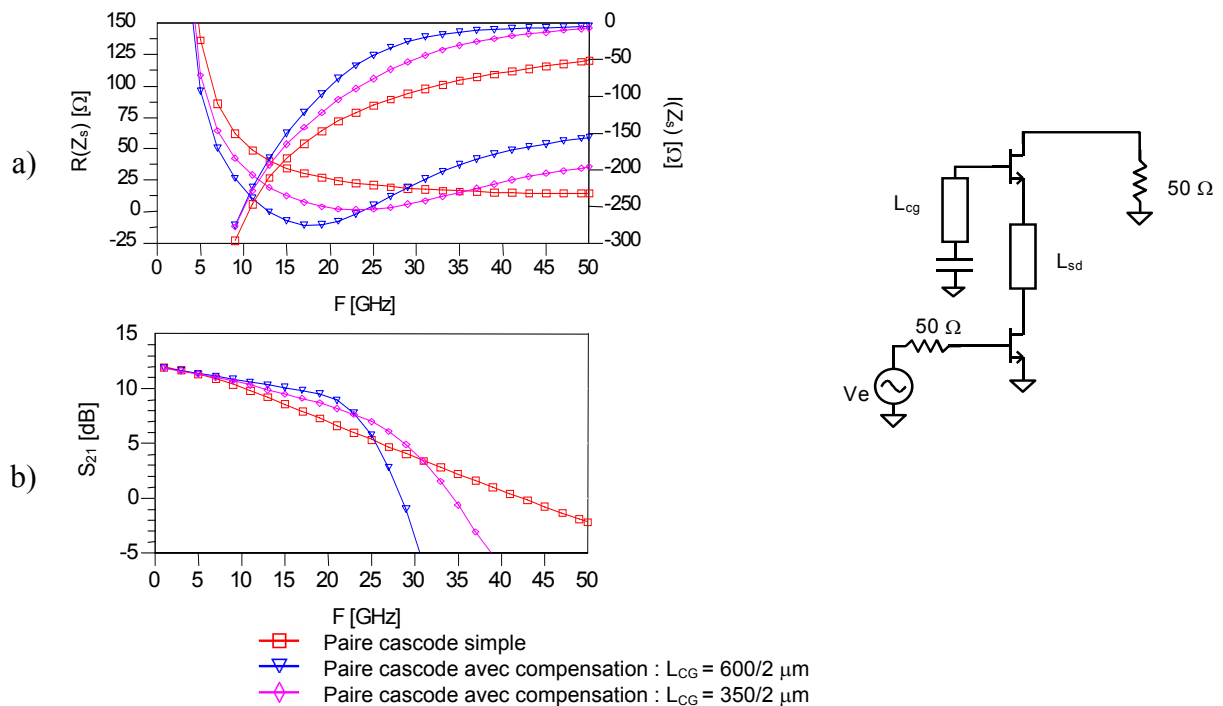


Figure II-1 : Simulation de la paire cascode simple et avec compensation. a) Impédance de sortie Z_s . b) Gain en puissance S_{21} .

II.1.5. Réalisations

Les schémas électriques et la microphotographie des amplificateurs distribués réalisés, l'un en source commune et les deux autres à montage cascode, sont donnés aux Figure II-2 et Figure II-3. Les deux circuits sont composés de quatre étages et les lignes de transmission sont de type microruban avec le ruban conducteur implémenté sur le niveau de cuivre 6. Pour réduire la surface occupée, les lignes sont dessinées avec des méandres. En entrée comme en sortie, on peut distinguer les plots de mesure hyperfréquence qui permettent aussi de polariser les transistors. L'amplificateur distribué à étages cascode (Figure II-3-b) possède un plot de mesure hyperfréquence supplémentaire qui est utilisé uniquement pour polariser la grille des transistors grille commune.

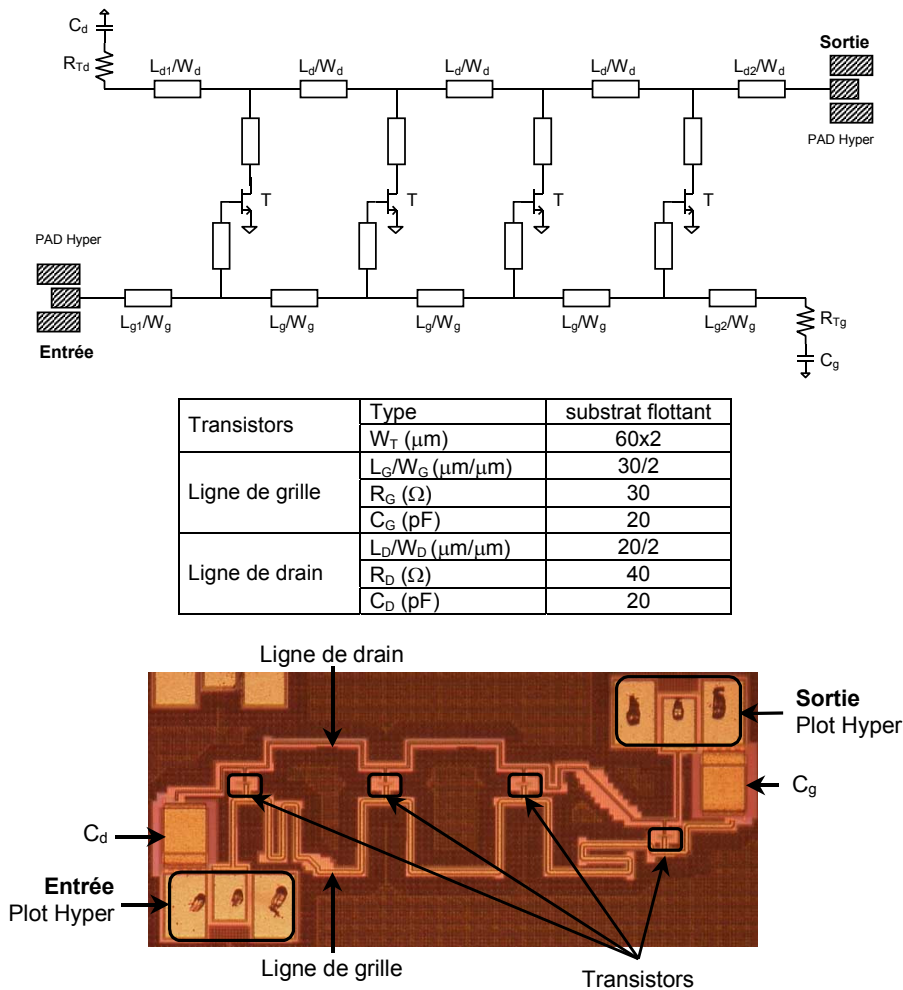
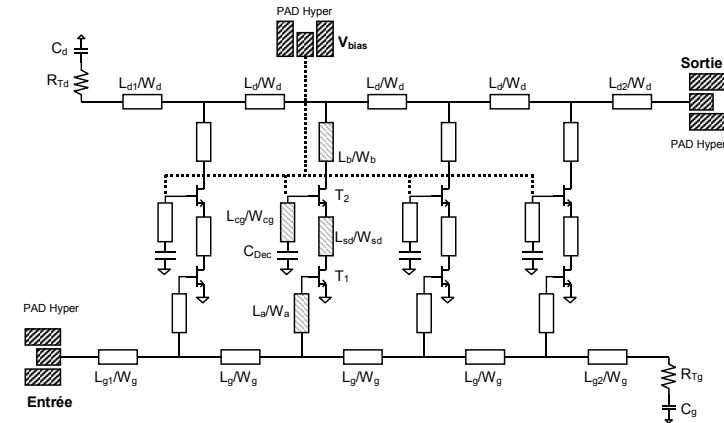


Figure II-2 : Schéma électrique de l'amplificateur distribué source commune (haut) et microphotographie (bas).



Transistors	Type	substrat flottant	prises substrat
	W_{T1} (μm)		30x2
W_{T2} (μm)		30x2	30x2
Ligne de grille	L_G/W_G ($\mu\text{m}/\mu\text{m}$)	480/2	480/2
	L_A/W_A ($\mu\text{m}/\mu\text{m}$)	30/2	30/2
	R_G (Ω)	30	30
	C_G (pF)	20	20
Ligne de drain	L_D/W_D ($\mu\text{m}/\mu\text{m}$)	380/2	380/2
	L_B/W_B ($\mu\text{m}/\mu\text{m}$)	20/2	20/2
	R_D (Ω)	40	30
C_D (pF)	20	20	
Compensation	L_{CG}/W_{CG} ($\mu\text{m}/\mu\text{m}$)	350/2	600/2
	L_{SD}/W_{SD} ($\mu\text{m}/\mu\text{m}$)	350/2	500/5
	C_{dec} (pF)	5	5

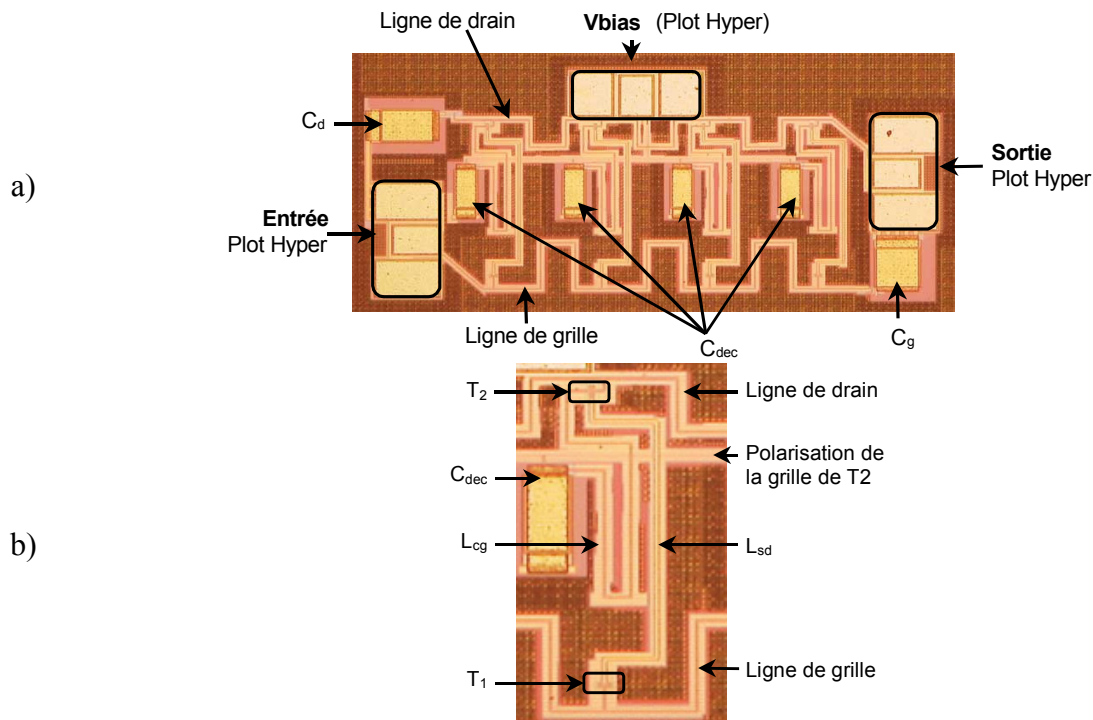


Figure II-3 : Amplificateur distribué cascode. a) Schéma électrique, b) microphotographie, c) détail du 3^{ème} étage de l'amplificateur distribué cascode.

II.2. Résultats de mesure

Les amplificateurs distribués ont été caractérisés sous pointes hyperfréquences en paramètres S jusqu'à 40 GHz avec un analyseur Anritsu 37369A™. Les plots de mesure hyperfréquence avaient été pris en compte lors de la conception, si bien que les mesures n'ont pas dû être calibrées pour les défalquer. Ces plots ont une capacité équivalente de très bonne qualité d'une valeur de 120 fF (Figure II-4). Enfin, le bruit a été mesuré dans la bande 6-20 GHz sur 50 Ω .

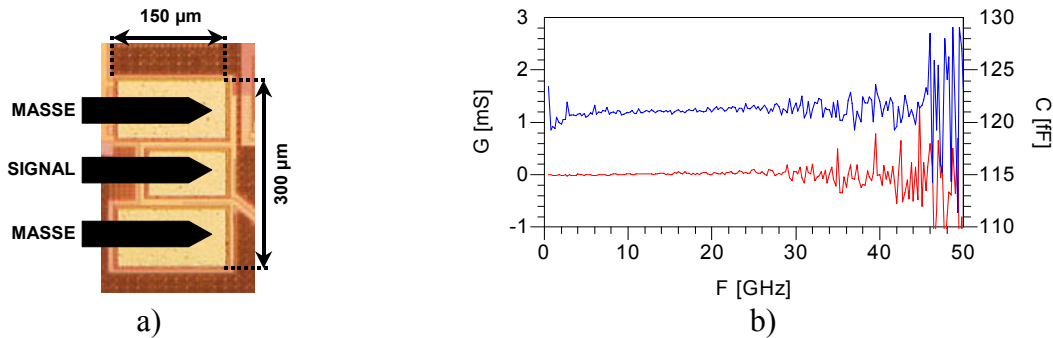


Figure II-4 : a) Plot de mesure hyperfréquence. b) Admittance mesurée du plot.

II.2.1. Amplificateur source commune

L'amplificateur source commune à transistors flottants a été caractérisé avec un courant de polarisation de 11,8 mA et une tension d'alimentation $V_{dd} = 1,4$ V (Figure II-5). Il apparaît que le gain S_{21} est de 7,3 dB à 1,5 GHz. A des fréquences inférieures, le gain est significativement plus élevé à cause des valeurs finies des capacités de terminaison de ligne. Au-delà, le gain décroît progressivement à cause des pertes dans les lignes de transmission. Un gain moyen de $4 \pm 1,6$ dB est obtenu dans la bande 5-28 GHz. On remarque l'ondulation importante du gain sur toute la bande due à l'effet Miller très élevé des transistors MOSFET en source commune. Le coefficient de réflexion S_{11} est inférieur à -6 dB et le coefficient S_{22} est inférieur à -5 dB jusqu'à 28 GHz, traduisant une relativement bonne adaptation à 50 Ω . Le facteur de bruit est compris entre 4,6 et 7 dB dans la zone 6-20 GHz.

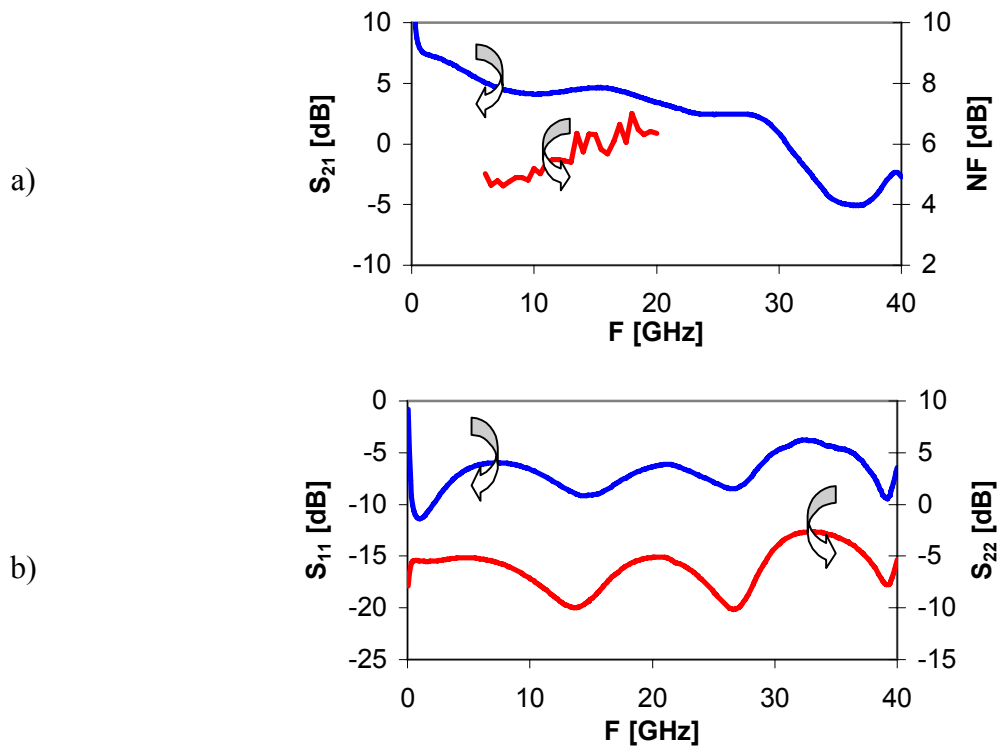


Figure II-5 : a) Gain en puissance S_{21} et facteur de bruit NF. b) Coefficients de réflexion en entrée S_{11} et en sortie S_{22} .

II.2.2. Amplificateurs cascode

II.2.2.a) Mesures en petit signal et en bruit

Les amplificateurs distribués à quatre étages cascode ont été mesurés avec un courant de polarisation de 41 mA et une tension $V_{dd} = 1,4$ V (Figure II-6). Le gain S_{21} est de $5,4 \pm 1,4$ dB dans la bande 1-20 GHz pour l'amplificateur à transistors à prises et de $7,1 \pm 1,1$ dB dans la bande 1-26 GHz pour l'amplificateur à transistors flottants. Les coefficients de réflexion S_{11} et S_{22} des deux amplificateurs sont inférieurs à -8 dB jusqu'à 21 GHz. Le produit gain-bande (PGB) est respectivement de 40 GHz et 61 GHz.

La fréquence de coupure plus élevée obtenue avec l'amplificateur à transistors flottants est due à une capacité C_{gs} plus faible pour ces transistors (52 fF) que pour les transistors à prises (84 fF). Pour les deux amplificateurs, le facteur de bruit mesuré est de 6,5 à 7,5 dB entre 6 et 20 GHz.

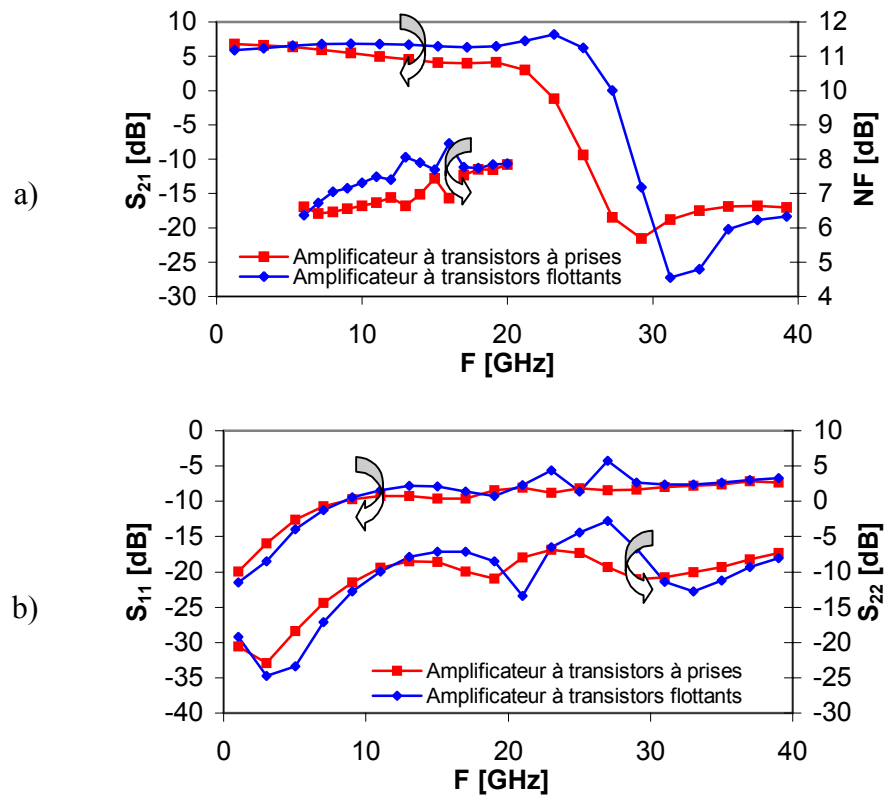


Figure II-6 : a) Gain en puissance S_{21} et facteur de bruit NF. b) Coefficients de réflexion en entrée S_{11} et en sortie S_{22} .

II.2.2.b) Mesures en grand signal

La puissance de sortie des amplificateurs cascade a été mesurée à partir d'un analyseur de réseaux Agilent 8510 500 MHz – 50 GHz. La puissance de sortie à 1 dB de compression du gain est de 5 dBm à 5 GHz, correspondant à une puissance d'entrée de -1 dBm (Figure II-7).

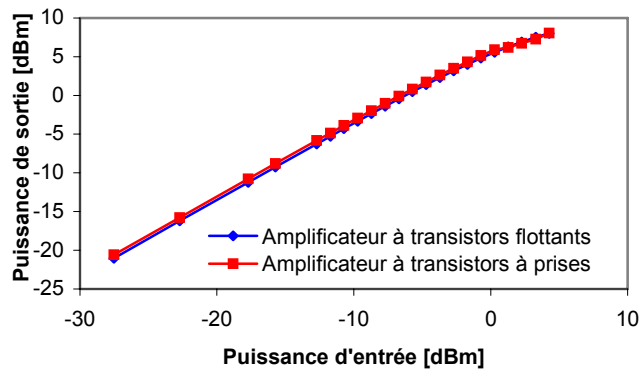


Figure II-7 : Puissance de sortie vs. Puissance d'entrée.

II.2.3. Comparaison de l'isolation des amplificateurs cascode et source commune

La Figure II-8 compare le coefficient d'isolation expérimental S_{12} des amplificateurs distribués avec une structure cascode et source commune. L'écart sur S_{12} à 10 GHz est de 12 dB environ, en faveur de la structure cascode qui, comme indiqué dans la partie II.1.2, permet d'améliorer l'isolation naturellement faible des transistors MOSFET en source commune.

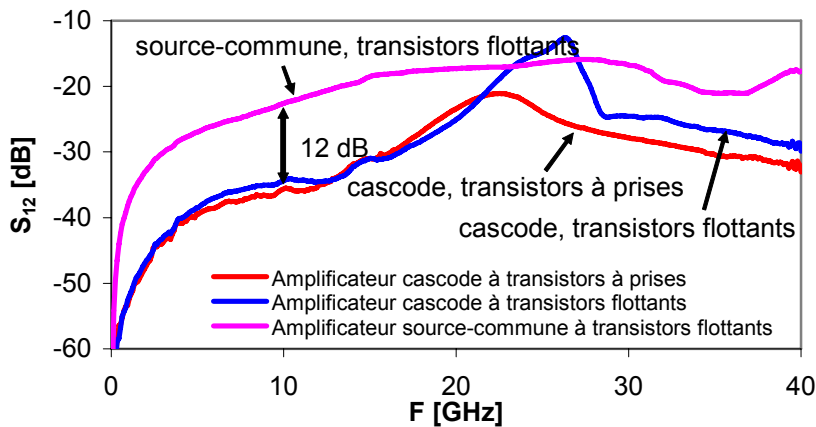


Figure II-8 : Comparaison de l'isolation des amplificateurs distribués cascode et source commune.

II.2.4. Mesures en température

Les propriétés des technologies SOI permettent théoriquement un fonctionnement des circuits à des températures au-delà de 300 °C [46]. Les amplificateurs distribués ont donc aussi été mesurés à des températures comprises entre 25 °C et 250 °C qui est la limite en température des équipements de mesures dont nous disposons. Dans cette partie, nous nous contentons d'exposer les principaux résultats sur l'amplificateur distribué cascode à transistors flottants, car l'étude en température a été réalisée de manière plus poussée par M. Si Moussa [45].

La Figure II-9 montre l'évolution du gain en fonction de la fréquence et de la température. Une dégradation notable des performances est observée, aussi bien sur le niveau du gain que sur la bande passante. Cette dégradation a deux origines : la transconductance des

transistors g_m d'une part et l'atténuation des lignes microruban d'autre part. Ainsi que le montre la Figure II-10, la transconductance diminue de 30 % sur la plage de température considérée, de même que par conséquent la fréquence de coupure F_t . L'atténuation des lignes augmente quant à elle de 80 %, à cause de leur résistance série.

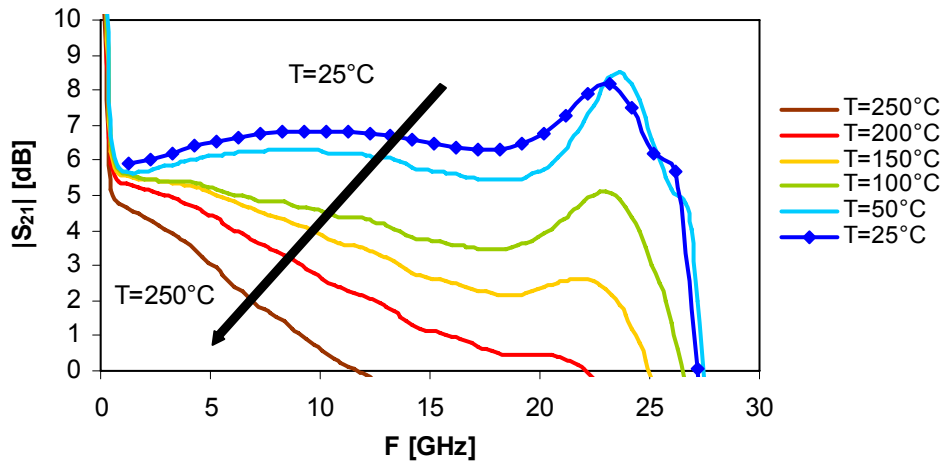


Figure II-9 : Evolution fréquentielle du gain en puissance S_{21} pour différentes températures (amplificateur distribué cascade à transistors flottants).

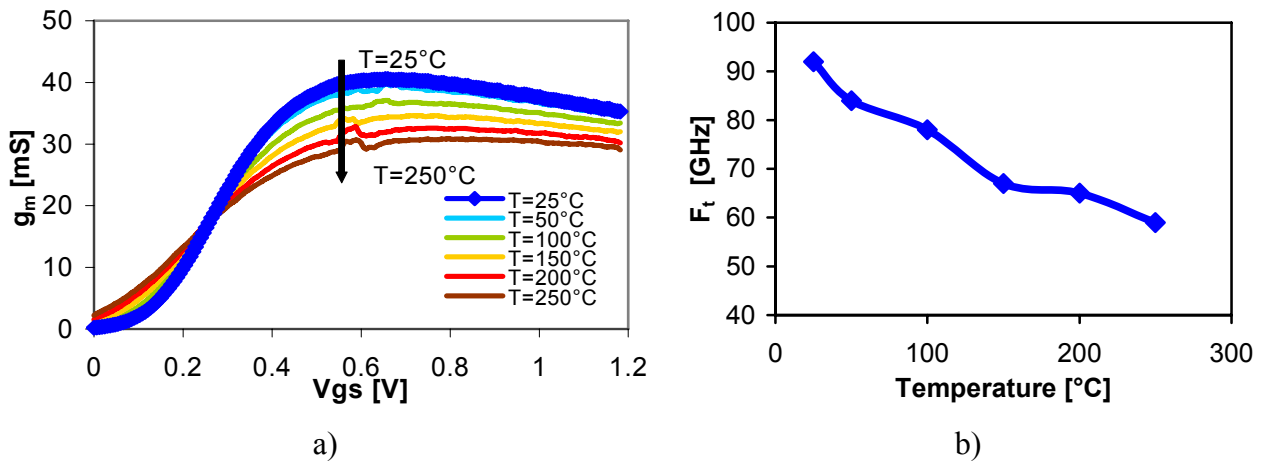


Figure II-10 : a) Transconductance g_m et b) fréquence de coupure F_t des transistors en fonction de la température.

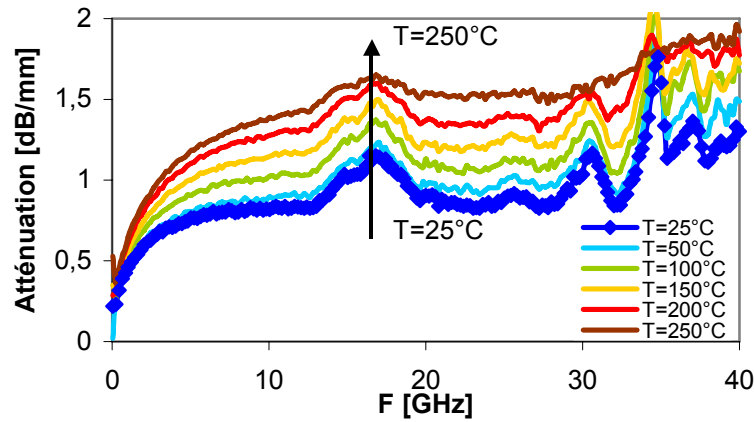


Figure II-11 : Evolution fréquentielle expérimentale de l'atténuation des lignes microruban à différentes températures.

II.3. Rétrosimulation de l'amplificateur cascode

Les trois amplificateurs distribués ont été entièrement simulés avec le logiciel ADS d'Agilent Technologies. Ce sont les premiers circuits à avoir été entièrement conçus avec le modèle de transistor grand signal SILICA développé par A. Siligaris à l'IEMN [44]. Lors la phase de rétrosimulation des circuits, le modèle petit signal de l'IEMN a aussi été utilisé pour simuler le bruit.

II.3.1. Limites des modèles des transistors et des lignes

II.3.1.a) Phase de conception

Les modèles utilisés lors de la conception ne correspondent pas exactement aux composants intégrés qui ont été réellement dessinés par la suite, la technologie ayant évolué au cours de ce travail. Plus précisément, les modèles de transistor dont nous disposions correspondaient à une longueur de grille dessinée de 120 nm, alors que les composants ont été dessinés avec une longueur de 130 nm. D'autre part, les deux amplificateurs cascode ont été simulés avec des lignes microruban pour lesquelles le ruban conducteur était constitué des couches de cuivre 6 et d'aluminium. Les deux circuits ont été dessinés finalement avec le niveau cuivre 6 uniquement, ce qui a eu pour effet d'engendrer des pertes supplémentaires de 0,25 dB/mm à 20 GHz, donnant des pertes totales de 1 dB/mm. Il va de soi que la compensation des pertes sur la ligne de drain à effectuer est plus importante que celle simulée,

et que par conséquent les longueurs des lignes de compensation L_{cg} et L_{sd} choisies sont inadéquates.

L'ondulation importante du gain des amplificateurs distribués cascode (Figure II-6) n'est donc pas inhérente à l'architecture mais à une question de modèles.

II.3.1.b) Phase de rétrosimulation

Les techniques d'extraction des paramètres du schéma équivalent électrique font appel à des mesures DC et à des mesures de paramètres S. Les bancs de mesure dont nous disposons et les routines d'extraction des paramètres des modèles ne permettent pas de traiter un grand nombre de structures de test sur les « *wafers* ». Au contraire, de très importants moyens sont déployés pour extraire les paramètres d'un modèle commercialisé tel que BSIM. C'est pourquoi nous n'avons mesuré que peu de structures de test, ce qui nous a pénalisé pour une modélisation fine des transistors. En effet, le modèle d'une topologie donnée de transistor a été établi dans notre cas à partir de la mesure d'un motif de test. Ce motif a été sélectionné après avoir réalisé une cartographie du « *wafer* » en mesurant les fréquences de coupure F_t et F_{max} des transistors.

Concernant la modélisation des lignes de transmission, la difficulté n'était pas tant l'incapacité à traiter un grand nombre de mesures que l'absence de motifs de test de géométries différentes (largeur des rubans, structure, etc.). De plus, la modélisation de la structure de couches de la technologie fait appel à des données technologiques difficiles à obtenir auprès du fondeur. Pour pallier cet écueil, un calibrage de la structure des lignes a été réalisé avec le simulateur EM HFSS d'*Ansoft*, en comparant les simulations et les mesures de lignes microruban.

Malgré ces imperfections, les modèles utilisés ont montré leur validité pour des études amont de filières technologiques, en se révélant tout à fait suffisants pour la simulation de circuits de démonstration.

II.3.2. Rétrosimulation de l'amplificateur cascode à transistors à prises

Pour la rétrosimulation, les modèles des transistors et des lignes ont été corrigés pour correspondre aux composants réellement dessinés. Les corrections ont été réalisées à partir

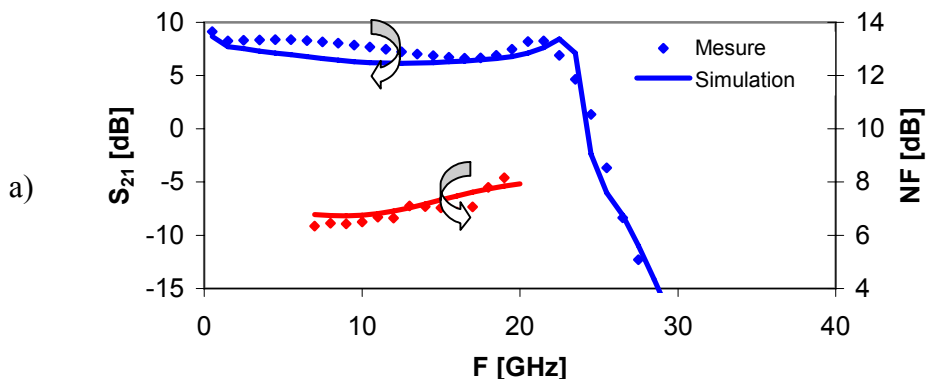
des motifs de test fabriqués sur le même lot que les circuits. Les paramètres du circuit, c'est-à-dire les longueurs et les largeurs des lignes, les résistances et les capacités de découplage, n'ont pas été modifiés dans la mesure où ils correspondent à ce qui a été dessiné.

II.3.2.a) Rétrosimulation en petit signal et en bruit

La Figure II-12 montre la mesure et la simulation du gain $|S_{21}|$, du facteur de bruit NF et des coefficients de réflexion en entrée S_{11} et en sortie S_{22} de l'amplificateur à transistors à prises pour une polarisation $V_{dd} = 2,4$ V. La simulation des paramètres S avec le modèle RF grand signal montre un très bon accord avec les mesures, avec un écart maximal de 1,5 dB entre la mesure et la simulation du gain en puissance. De même, le facteur de bruit simulé avec le modèle linéaire montre un excellent accord avec les mesures : l'écart maximal entre la mesure et la simulation est inférieur à 0,3 dB.

II.3.2.b) Rétrosimulation en grand signal

La simulation du gain en puissance (nécessitant le modèle RF grand signal) en fonction de la puissance d'entrée à 5 GHz concorde bien avec la mesure (Figure II-13-a). La Figure II-13-b montre la simulation à 15 GHz du gain en puissance et de la puissance de sortie à 1 dB de compression, en fonction de la puissance consommée P_{DC} . Un gain en puissance maximum de 6,3 dB est obtenu pour une puissance consommée de 110 mW ($V_{dd} = 2$ V), alors que le maximum du rapport gain/puissance consommée est atteint pour une puissance consommée de 70 mW ($V_{dd} = 1,4$ V). Ces simulations montrent, que selon les conditions de polarisation, un compromis peut être fait sur le gain en puissance, la puissance de sortie et la puissance consommée.



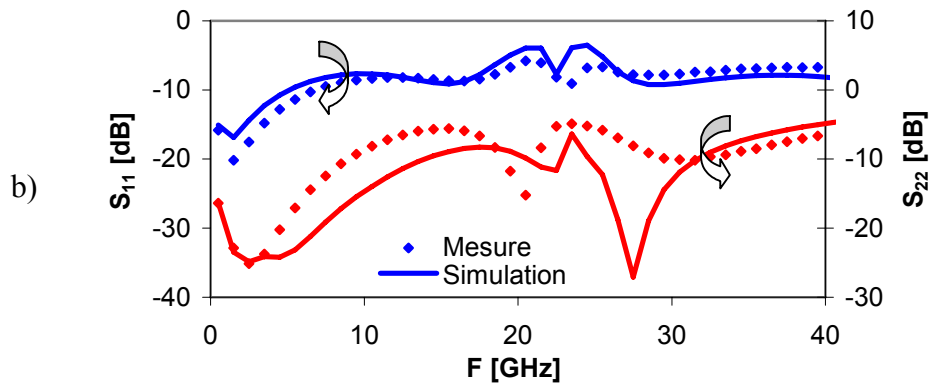


Figure II-12 : Simulation (a) du gain en puissance S_{21} et du facteur de bruit NF, (b) du coefficient de réflexion en entrée S_{11} et en sortie S_{22} , à $V_{dd} = 2,4$ V.

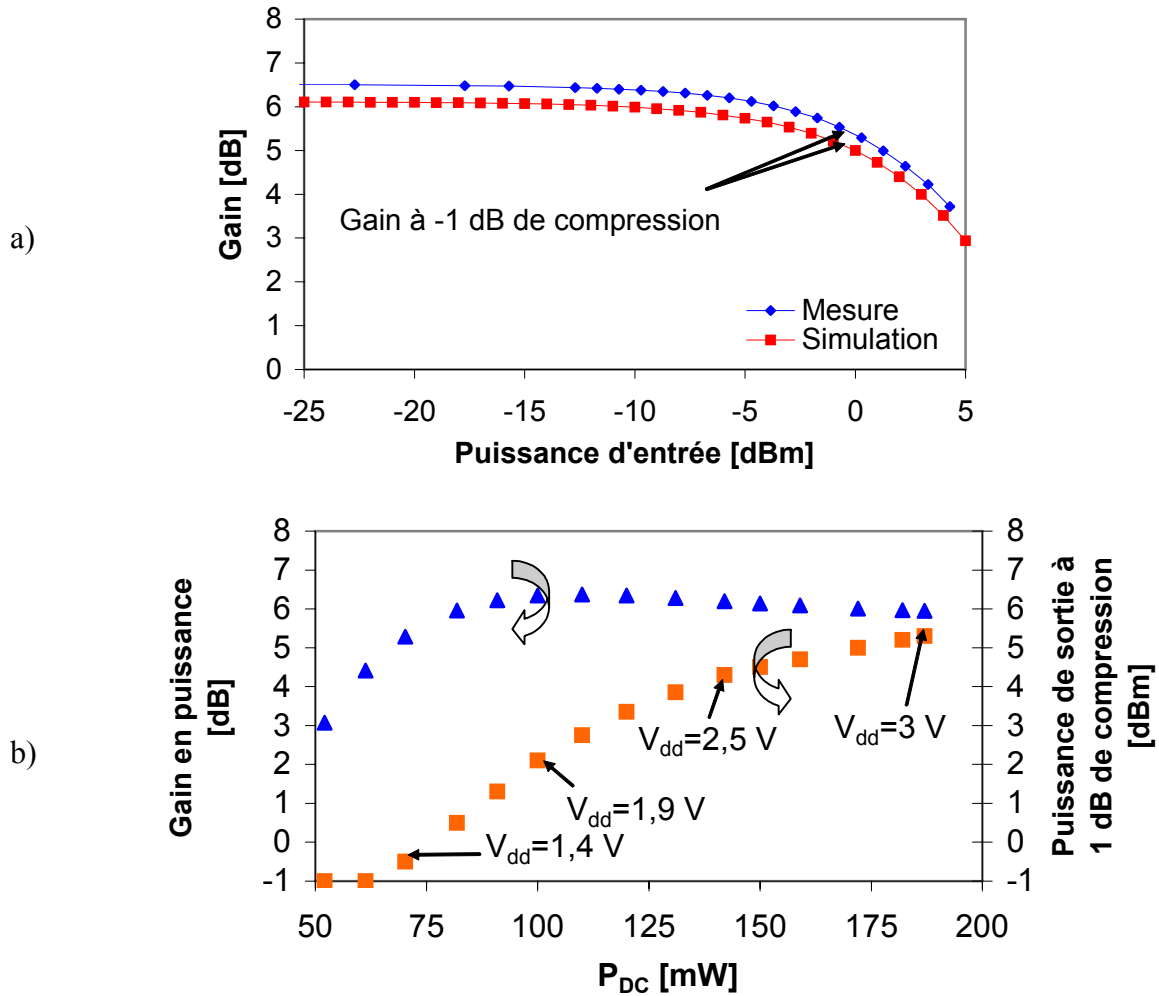


Figure II-13 : a) Mesure et simulation à 5 GHz du gain à 1 dB de compression. b) Simulation à 15 GHz du gain en puissance et de la puissance de sortie à 1 dB de compression en fonction de la puissance.

II.4. Comparaison des performances à l'état de l'art

II.4.1. Comparaison des performances des technologies CMOS sur substrat massif et sur SOI

Dans cette partie, nous comparons les performances obtenues avec nos deux amplificateurs distribués cascode (à transistors à prises et à transistors flottants) à celles d'amplificateurs distribués publiés en CMOS sur SOI et sur substrat massif.

Technologie, Fondeur	F_i/F_{max} [GHz]	Topologie Surface	Gain [dB]	BW [GHz]	F_{-3dB} [GHz]	PGB [GHz]	S_{11}/S_{22} [dB]	NF [dB]	V_{dd} [V]	P_{DC} [mW]	G/P_{DC} [dB/mW]
CMOS bulk 180nm 6M, Inductances spiraales, TSMC [47]	70/58	3 Etg 1,35 mm ²	7.3±0.8	0.1- 22	23	53	<-7 <-9	4.3-6.1 1-18GHz	1.3	52	0.14
CMOS bulk 0.18µm CPW, Canadian Micro. Corp.[39]	-	4 Etg 1.6 mm ²	5±2	2-24	25	44	<-10 <-10	6 @ 5GHz	3.3	68.1	0.07
CMOS bulk 0.18µm MSL, Fujitsu [40]	51/100	8 Etg Cascode (source commune dégénérée), 3.3 mm ²	4±1	1-37	39	61	<-10 <-10	-	-	140	0.03
CMOS bulk 0.18µm Inductances [35] TSMC	60/55	Ampli. distr. cascadé, 2 Etg. Cascode, 0.36 mm ²	9±1	5-23	25	71	<-7	-	3.5	60	0.15
120nm SOI 8M-cuivre, CPW, IBM [41]	196/230 $L_{grille}=46nm$	9 Etg 1.3 mm ²	11±1.2	5-90	90	320	<-5 <-7	4.8-6.2 <18GHz	2.5	210	0.05
120nm SOI 8M-cuivre, CPW, IBM [42]	196/230 $L_{grille}=46nm$	7 Etg 1.05 mm ²	7.8±1.3	4-86	86	211	<-7	3.6-5 10-18GHz	2.6	130	0.06
120nm SOI 8M-cuivre, CPW, IBM [42]	196/230 $L_{grille}=46nm$	5 Etg 0.8 mm ²	4±1.2	4-91	91	144	<-7	4.2-6.4 10-18GHz	2.6	90	0.04
90nm SOI 8M-cuivre, MS, IBM [43]	147/150	4 Etg 0.3 mm ²	9.7±1.6	10- 59	59	180	<-5 <-10	3-4 0-40GHz	2	132	0.07
130nm SOI CMOS 6M-cuivre, MS ST-Microelectronics	89/125 substrat flottant	4 Etg 0.75 mm ²	7.1±1.1	1-25	26	59	<-6	6.5-7.5 6-20GHz	1.4	57	0.12
130nm SOI CMOS 6M-cuivre, MS ST-Microelectronics	63/76 prises substrat	4 Etg 0.75 mm ²	5.4±1.4	1-20	22	41	<-8	6.5-7.5 6-20GHz	1.4	58	0.09

8M : 8 niveaux de métallisation Etg : étage MS : Microruban CPW : Coplanaire bulk : substrat massif

Tableau II-1 : Etat de l'art des amplificateurs distribués CMOS sur SOI et sur substrat massif.

L'analyse correcte des performances nécessite l'utilisation de critères de mérite. Celui qui est certainement l'un des plus immédiatement parlants est le produit gain-bande (PGB),

reflétant les compromis réalisés entre le gain et la bande passante à la fréquence de coupure à -3 dB :

$$[\text{II-2}] \quad PGB = A_v \cdot F_{-3dB}$$

où A_v est le gain en tension dans la bande passante et F_{-3dB} est la fréquence de coupure à -3 dB.

Il est aussi important d'observer en détail l'aspect technologique qui a permis de réaliser le circuit, et plus particulièrement les paramètres suivants :

- _ les fréquences de coupure des transistors F_t et F_{max} ,
- _ la technologie des passifs (type de ligne, pertes, etc.).

Ce dernier point est très important pour comparer les résultats publiés, puisque les performances des passifs et plus précisément des lignes de transmission sont un point crucial en silicium (cf. Chapitre II) en comparaison avec les technologies III-V.

Les meilleures performances à ce jour en CMOS ont été obtenues par IBM avec trois amplificateurs distribués de 5, 7, et 9 étages [41, 42], réalisés en technologie SOI 120 nm. Par exemple, l'amplificateur distribué à 9 étages a un gain moyen de 11 dB sur la bande 5-90 GHz. Mais ce résultat a été obtenu au moyen d'une réduction agressive de la grille, avec une longueur effective de 46 nm [23], et avec une architecture adaptée pour les lignes de transmission coplanaires ayant des pertes faibles (technologie à huit couches de cuivre dont les deux dernières en cuivre épais, et avec une épaisseur de diélectrique totale de 9,8 μm). En réalité, les performances de nos deux amplificateurs distribués sont tout à fait comparables à celles publiées précédemment en CMOS sur substrat massif, avec des amplificateurs à architecture cascode, avec des passifs ayant une structure de couche proche de la nôtre et des transistors MOSFET ayant des fréquences de coupure équivalentes [39, 40, 47]. Par ailleurs, on peut remarquer dans le Tableau II-1 les bonnes performances d'un amplificateur cascadié en technologie CMOS 180 nm atteignant un gain de 9 dB sur la bande 5-23 GHz [35]. Il apparaît en effet que l'architecture cascadiée est très bien adaptée pour obtenir un gain élevé tout en relâchant les contraintes de conception avec des passifs présentant des pertes élevées. Toutefois, c'est l'architecture distribuée réalisée avec des passifs à pertes faibles, qui a permis d'obtenir les bandes passantes les plus larges dans les technologies III-V.

II.4.2. Comparaison avec les autres technologies

La montée en fréquence des technologies CMOS, aussi bien sur substrat massif que sur SOI, permet à présent de comparer leurs performances avec celles obtenues grâce aux technologies SiGe et III-V². Comme première méthode de comparaison, nous représentons (Figure II-14-a) le gain en fonction de la bande passante ainsi que les courbes de produit gain-bande constant, critère de mérite défini dans le paragraphe précédent. Face à la grande diversité des circuits que l'on cherche à comparer, un moyen de comparaison complémentaire au précédent est de tracer le rapport du gain en puissance G_p et de la puissance consommée P_{DC} , « G_p/P_{DC} », donné en dB/mW (Figure II-14-b). Ce critère permet d'obtenir une évaluation globale des performances, prenant en compte la complexité de l'architecture, le nombre d'étages, la taille des composants, la polarisation, etc.

Ainsi, on observe que les technologies III-V permettent d'obtenir des bandes passantes jusqu'à 157 GHz et des produits gain-bande supérieurs au THz tandis que la meilleure performance en SOI permet d'atteindre une bande passante de 90 GHz et un produit gain-bande de 320 GHz. Selon le second moyen de comparaison, à puissance consommée comparable, les technologies CMOS atteignent des performances proches de celles obtenues par certains circuits en technologie III-V montrant un produit gain-bande bien supérieur. A titre d'exemple, on peut comparer les deux amplificateurs distribués qui ont une bande passante proche de 60 GHz, l'un étant réalisé en technologie InP [48] et l'autre en technologie SOI 90 nm [43]. Le premier a un produit gain-bande de 477 GHz et un rapport « G_p/P_{DC} » de 0,007, alors que le second avec un produit gain-bande nettement inférieur avec une valeur de 180 GHz montre un rapport « G_p/P_{DC} » dix fois plus élevé avec une valeur de 0,07.

Les technologies CMOS à l'échelle nanométrique permettent d'obtenir de très bonnes performances pour les applications hyperfréquence, bien que leur maturité ne soit pas comparable à celle des technologies III-V ou SiGe. Ce manque de maturité touche aussi bien les performances des lignes de transmission et autres passifs, que le peu de complexité des architectures dessinées. Pour ce dernier point, l'une des explications est que les circuits publiés en CMOS sont presque exclusivement des circuits de démonstration, destinés à évaluer la technologie.

² Les références sont disponibles dans l'Annexe IV.A.2.

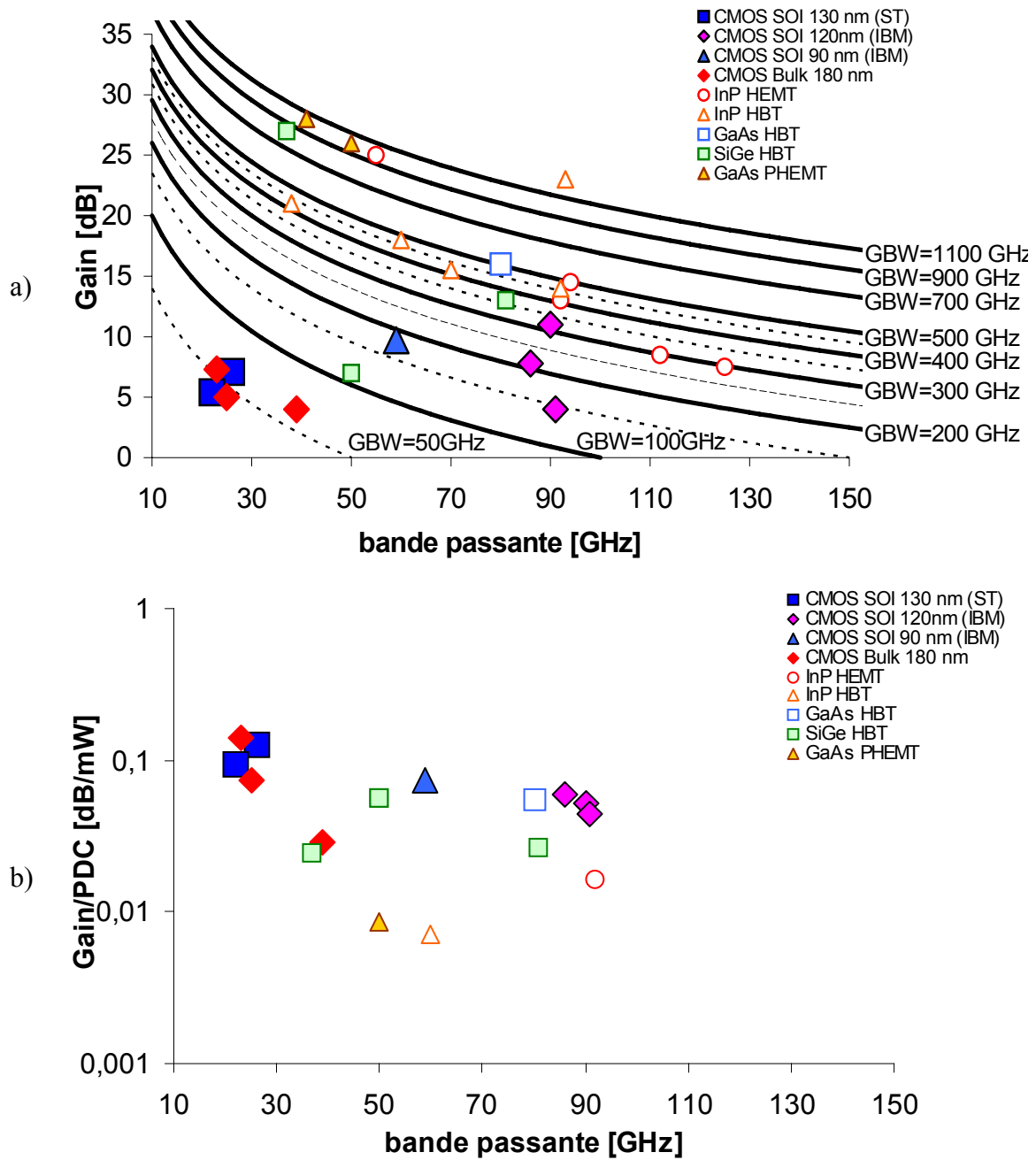


Figure II-14 : Etat de l'art des amplificateurs distribués. a) Gain en puissance. b) Rapport « Gain / Puissance consommée » en fonction de la fréquence de coupure à -3dB.

Conclusion

Trois amplificateurs distribués ont été conçus et réalisés pour fonctionner en bande K avec une technologie CMOS SOI 130 nm, puis caractérisés. Le choix d'une architecture simple (quatre étages de type source commune ou cascode) utilisant des lignes microruban (pour s'affranchir des propriétés électriques du substrat) s'est révélé très judicieux à cause des changements intervenus sur la technologie, entre la phase de conception et de réalisation des circuits (longueur de grille des transistors, nature du ruban conducteur des lignes).

Les circuits ont été entièrement conçus avec un modèle RF grand signal développé récemment [44] pour les transistors MOSFET sub-250 nm. La rétrosimulation en tenant compte des différentes évolutions de la technologie permet d'établir la validité de ce modèle pour la conception de circuits microonde.

Les performances expérimentales ont également montré qu'actuellement, le principal facteur limitatif des performances en bande passante et en gain des amplificateurs distribués se situe plus au niveau des lignes de transmission microruban que des transistors. En effet, les pertes élevées dans les lignes microruban utilisées (1 dB/mm à 20 GHz) ne permettent pas d'exploiter tout le potentiel des transistors SOI de la filière 130 nm. Dans le chapitre suivant, une étude sur l'amélioration des performances des amplificateurs distribués cascode sera réalisée. Ces premières performances obtenues montrent néanmoins que les technologies CMOS SOI sont de bons candidats pour la réalisation des circuits microondes.

Type	Source commune	Cascode	Cascode
Transistors	Substrat flottant	Substrat flottant	Prises substrat
$W_f = N_g \times W_u$ [μm]	60x2	30x2	30x2
F_i/F_{max} [GHz]	89/125	89/125	63/76
PGB [GHz]	47	61	40
G [dB]	4 \pm 1,6	7,1 \pm 1,1	5,4 \pm 1,4
Bande passante [GHz]	5-28	1-26	1-20
$F_{-3\text{dB}}/F_i$ [%]	34	30	33
S_{11}/S_{22} [dB]	<-6, <-5	<-6	<-8
NF [dB]	6,5-7,5 (6-20 GHz)		

Tableau 2 : Résumé des performances des amplificateurs distribués cascode en bande-K

Annexes du Chapitre IV

IV.A.1. Effet Miller

IV.A.1.a) Transistor source commune

Le transistor source commune est caractérisé par un effet Miller très important à cause de la capacité grille-drain C_{gd} élevée (Figure IV.A.1). Les capacités équivalentes vues depuis l'entrée et la sortie sont données par les expressions suivantes :

$$[\text{IV.A.1}] \quad C_e = C_{gs} + C_{gd}(1 - Av_0)$$

$$[\text{IV.A.2}] \quad C_s = C_{ds} - C_{gd} \cdot \frac{Av_0}{1 - Av_0}$$

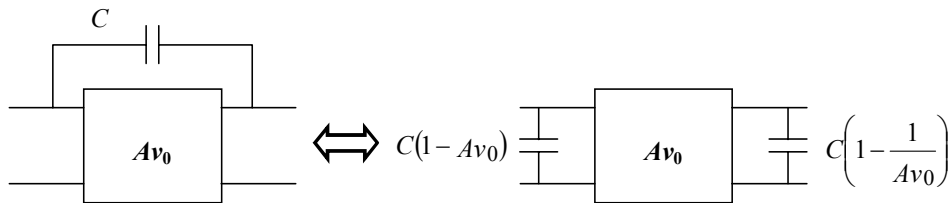


Figure IV.A.1. : Effet Miller.

A partir du schéma équivalent de la Figure I-4, l'amplification du transistor en source commune dans la bande passante s'exprime par :

$$[\text{IV.A.3}] \quad Av_0 \approx - \frac{g_m \cdot R'_D}{1 + R'_D \cdot g_{ds}}$$

avec $R'_D = R_D || R_u$.

L'amplification en tension est de signe négatif, ce qui a pour effet d'amplifier le surplus de capacité ramené en entrée et en sortie par effet Miller. En considérant les paramètres d'un transistor donnés au Tableau IV.A.1 et un étage source commune dans un

environnement 50Ω , l'amplification en tension est approximativement $Av_0 = -1,8$. Les valeurs de C_e et de C_s sont alors respectivement de 135 fF et 28 fF.

R_i [Ω]	G_m [mS]	G_{ds} [mS]	C_{gs} [fF]	C_{gd} [fF]	C_{ds} [fF]
7,2	51	8,6	51	30	8,4

Tableau IV.A.1. : Paramètres du transistor SOI à substrat flottant ($W = 30 \times 2 \mu\text{m}$).

IV.A.1.b) Réduction de l'effet Miller avec la structure cascode

Le transistor en grille commune (Figure IV.A.2.) est beaucoup moins affecté par l'effet Miller que le transistor source commune. D'une part, la capacité C_{ds} qui joue le rôle de la capacité Miller est plus petite par rapport à C_{gd} (3 à 4 fois au moins). D'autre part, les signaux d'entrée et de sortie ne sont plus déphasés de 180° , si bien que l'amplification en tension, sensiblement égale à celle du transistor en source commune en valeur absolue, est cette fois de signe positif :

$$[\text{IV.A.4}] \quad Av_0 \approx \frac{g_m \cdot R_D'}{1 + R_D' \cdot g_{ds}}$$

Pour ces deux raisons, le surplus de capacité en entrée et en sortie est beaucoup plus faible que pour le transistor en source commune.

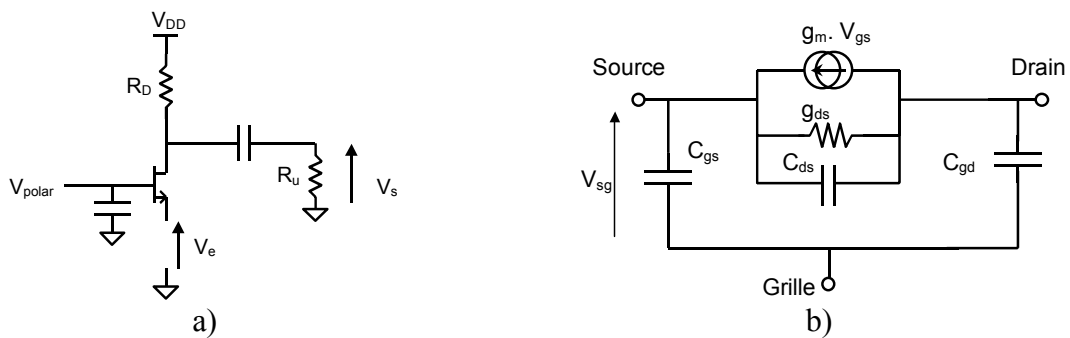


Figure IV.A.2. : a) Montage du transistor en grille commune. b) Schéma équivalent simplifié.

Le transistor en grille commune est aussi caractérisé par une admittance d'entrée relativement élevée qui s'exprime par :

$$[\text{IV.A.5}] \quad y_e = g_m + g_{ds} \cdot (1 - Av_0) + p \cdot C_{gs}$$

De ce fait, sa fréquence de coupure est plus élevée que celle du transistor en source commune.

Dans une première approximation, la résistance d'entrée est pratiquement fixée par $1/g_m$. Cette propriété très intéressante est mise à profit dans le montage cascode (Figure IV.A.3.), pour réduire le surplus de capacité à l'entrée du transistor en source commune. En effet, si on néglige la conductance de sortie g_{ds} , le gain en tension fourni par le transistor en source commune, chargé à sa sortie par l'impédance d'entrée du transistor en grille commune, est égal à :

$$[\text{IV.A.6}] \quad A_{v0} \approx - \frac{g_{m1}}{g_{m2}}$$

où g_{m1} et g_{m2} sont respectivement les transconductances des transistors en source commune et en grille commune.

Ce gain devient inférieur à l'unité si g_{m2} est plus fort que g_{m1} , permettant ainsi de réduire le surplus de capacité à l'entrée donnée par l'équation [IV.A.1].

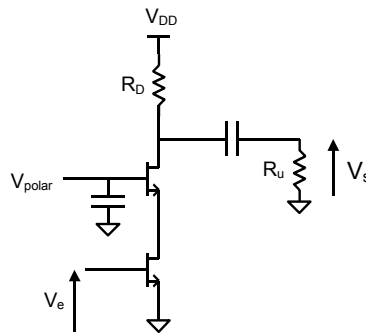


Figure IV.A.3. : Paire cascode.

IV.A.2. Etat de l'art des amplificateurs distribués III-V et SiGe

Le Tableau IV.A.2 donne les performances de quelques amplificateurs distribués à l'état de l'art, réalisés avec les technologies III-V et SiGe.

Technologie, Fondateur	F_t/F_{max} [GHz]	Topologie Surface	Gain [dB]	F_{-3dB} [GHz]	PGB [GHz]	S_{11}/S_{22} [dB]	V_{dd} [V]	P_{dc} [mW]
100 nm InP HEMT , CPW élevé, Hughes [21]	160/300	11 Etg, division de capacité, 2.2 mm ²	5±1,5	157	279	<-10	-	-
100 nm InP HEMT , CPW élevé, Hughes [21]	160/300	8 Etg, division de capacité, 2.2 mm ²	8.5±1,5	112	298	-	-	-
100 nm InP HEMT , CPW, Opto+ [49]	130/200	10 Etg, 3.05 mm ²	13±2,5	92	411	<-10	8	800
130 nm InP HEMT , MSL inverse, Fujitsu [50]	160/270	8 Etg, 2.75 mm ²	14.5±0.7	94	499	<-10	3	-
130 nm InP HEMT , MSL inverse, Fujitsu[20]	160/270	7 Etg, 2.75 mm ²	7.5±0.7	125	296	<-10	2	-
100 nm InP HEMT , Velocium (TRW) [51]	$F_t > 200$	Driver	25±2	55	978	-	-	-
100 nm GaAs HEMT , Velocium (TRW) [51]	$F_t > 110$	Driver	15±2	55	309	-	-	-
150 nm GaAs pHEMT , Opto+ [52]	-	Driver:preamp+amp, double distribué cascode, 9.4 mm ²	26±1	50	998	<-5	12	3000
150 nm GaAs pHEMT [53]	90/200	TIA, 2x7 Etg, 4.8mm ²	25±1.5	41	1030	<-7.5	-	1500
InP D-HBT , CPW, Lucent [48]	140/170	2x7 Etg, 1,25 mm ²	23	93	1314	-	-	-
InP D-HBT , CPW, Lucent [48]	150/200	7 Etg, 1.2 mm ²	15.5±1.5	70	417	-	-	-
InP D-HBT , CPW, Lucent [48]	150/200	6 Etg + buffer, 1.7 mm ²	18±1	60	477	<-10 <-10	0,007	2500
GaAs HBT , CPW, Anritsu [54]	152/173	4 Etg, 1.2 mm ²	16±2	80	5005	<-4 <-6	4.5	293
SiGe HBT , CPW, Lucent [55]	120/100	Différentiel, 5 Etg, 2.2 mm ²	21±0.3	37	828	<-17 <-15	5.2	1092
SiGe HBT , CPW, Lucent [55]	120/100	Différentiel, 5 Etg, 1.2 mm ²	13±2	81	362	<-17 <-15	5.2	495
BiCMOS SiGe , IBM [56]	120/100	3 Etg, 1.1mm ²	7±1	50	112	<-15 <-10	5	125

Tableau IV.A.2 : Etat de l'art des amplificateurs distribués en technologie III-V et SiGe.

Bibliographie

- [1] W. S. Percival, "Thermionic valve circuits," Brevet 460562. Royaume-Uni, 1937.
- [2] E. L. Ginzton, W. R. Hewlett, J. H. Jasberg, and J. D. Noe, "Distributed Amplification," *Proc. IRE*, pp. 956-69. August 1948.
- [3] L. Enloe and P. Rogers, "Wideband transistor distributed amplifiers," *Solid-State Circuits Conference, Digest of Technical Papers*, 1959.
- [4] J. Hamasaki and K. Kurokawa, "An Extension of the Mode Theory to Periodically Distributed Parametric Amplifiers with Losses," *Microwave Theory and Techniques, IEEE Transactions on*, vol. 8, pp. 10 - 18, 1960.
- [5] F. Thompson, "Broad-Band UHF Distributed Amplifiers Using Band-Pass Filter Techniques," *Circuit Theory, IRE Transactions on*, vol. 7, pp. 8, 1960.
- [6] D. A. Daly, S. P. Knight, M. Caulton, and R. Ekholdt, "Lumped Elements in Microwave Integrated Circuits," *Microwave Theory and Techniques, IEEE Transactions on*, vol. 15, pp. 713, 1967.
- [7] W. K. Chen, "Theory and Design of Transistor Distributed Amplifiers," *Solid-State Circuits, IEEE Journal of*, vol. 3, pp. 165, 1968.
- [8] C. Wai-Kai, "The Effects of Grid Loading on the Gain and Phase-Shift Characteristics of a Distributed Amplifier," *Circuits and Systems, IEEE Transactions on [legacy, pre - 1988]*, vol. 16, pp. 134, 1969.
- [9] R. S. Tucker, "Gain-Bandwidth Limitations of Microwave Transistor Amplifiers," *Microwave Theory and Techniques, IEEE Transactions on*, vol. 21, pp. 322, 1973.
- [10] K. B. Niclas and B. A. Tucker, "On Noise in Distributed Amplifiers at Microwave Frequencies," *Microwave Theory and Techniques, IEEE Transactions on*, vol. 83, pp. 661, 1983.
- [11] K. B. Niclas, W. T. Wilser, T. R. Kritzer, and R. R. Pereira, "On Theory and Performance of Solid-State Microwave Distributed Amplifiers," *Microwave Theory and Techniques, IEEE Transactions on*, vol. 83, pp. 447, 1983.
- [12] J. B. Beyer, S. N. Prasad, R. C. Becker, J. E. Nordman, and G. K. Hohenwarter, "MESFET Distributed Amplifier Design Guidelines," *Microwave Theory and Techniques, IEEE Transactions on*, vol. 32, pp. 268-275, 1984.
- [13] K. B. Niclas, "Reflective Match, Lossy Match, Feedback and Distributed Amplifiers: A Comparison of Multi-Octave Performance Characteristics," 1984.
- [14] R. C. Becker and J. B. Beyer, "On Gain-Bandwidth Product for Distributed Amplifiers (Short Paper)," *Microwave Theory and Techniques, IEEE Transactions on*, vol. 34, pp. 736-738, 1986.
- [15] R. LaRue, S. Bandy, and G. Zdasiuk, "A High Gain, Monolithic Distributed Amplifier Using Cascode Active Elements," *IEEE MTT-S International, Microwave Symposium Digest*, 1986.

- [16] R. A. Larue, S. G. Bandy, and G. A. Zdasiuk, "A 12-dB High-Gain Monolithic Distributed Amplifier," *Microwave Theory and Techniques, IEEE Transactions on*, vol. 34, pp. 1542, 1986.
- [17] A. A. Abidi, "Gain-bandwidth enhancement in GaAs MESFET wideband amplifiers," *Circuits and Systems, IEEE International Symposium on*, 1988.
- [18] S. Deibele and J. B. Beyer, "Attenuation compensation in distributed amplifier design," *Microwave Theory and Techniques, IEEE Transactions on*, vol. 37, pp. 1425, 1989.
- [19] M. Riaziat, S. Bandy, L. Y. Ching, and G. Li, "Feedback in distributed amplifiers," *Microwave Theory and Techniques, IEEE Transactions on*, vol. 38, pp. 212, 1990.
- [20] S. Masuda, T. Takahashi, and K. Joshin, "An over-110-GHz InP HEMT flip-chip distributed baseband amplifier with inverted microstrip line structure for optical transmission system," *Solid-State Circuits, IEEE Journal of*, vol. 38, pp. 1479, 2003.
- [21] B. Agarwal, A. E. Schmitz, J. J. Brown, M. Matloubian, M. G. Case, M. Le, M. Lui, and M. J. W. Rodwell, "112-GHz, 157-GHz, and 180-GHz InP HEMT Travelling-wave amplifiers," *Microwave Theory and Techniques, IEEE Transactions on*, vol. 46, pp. 2553-2559, 1998.
- [22] C. Raynaud, F. Giancesello, C. Tinella, P. Flatresse, R. Gwoziecki, P. Touret, G. Avenier, S. Haendler, O. Gonnard, G. Gouget, G. Labourey, J. Pretet, M. Marin, R. Di Frenza, D. Axelrad, P. Delatte, G. Provins, J. Roux, E. Balossier, J. Vildeuil, S. Boret, B. Van Haaren, P. Chevalier, L. Boissonnet, T. Schwartzmann, A. Chantre, D. Gloria, E. De Foucauld, P. Scheer, C. Pavageau, and G. Dambrine, "Is CMOS a Promising Technology for SoCs in High Frequency Range?" « 12th Int. Symp Silicon-on-Insulator » of 207th Meet. Electrochemical Society, Quebec City, Canada, 2005.
- [23] N. Zamdmer, J. Kim, R. Trzcenski, J.-O. Plouchart, S. Narasimha, M. Khare, L. Wagner, and S. Chaloux, "A 243-GHz Ft and 208-GHz Fmax, 90-nm SOI CMOS SoC Technology with Low-Power Millimeter-Wave Digital and RF Circuit capability," 2004 IEEE Symp. VLSI Tech., session 10.2, 2004.
- [24] L. Tran Tien, *Circuits fondamentaux de l'électronique analogique*, 3ème ed. Paris: Lavoisier, 1996.
- [25] K. W. Kobayashi, R. Esfandiari, and A. K. Oki, "A novel HBT distributed amplifier design topology based on attenuation compensation techniques," *Microwave Theory and Techniques, IEEE Transactions on*, vol. 42, pp. 2583, 1994.
- [26] S. Kimura, Y. Imai, Y. Umeda, and T. Enoki, "Loss-compensated distributed baseband amplifier IC's for optical transmission systems," *Microwave Theory and Techniques, IEEE Transactions on*, vol. 44, pp. 1688, 1996.
- [27] C. S. Aitchison, "The Intrinsic Noise Figure of the MESFET Distributed Amplifier," *Microwave Theory and Techniques, IEEE Transactions on*, vol. 33, pp. 460, 1985.
- [28] E. Legros, "Amplificateur Distribué." Brevet Français N°FR2759508, 1998.
- [29] Y. Ayasli, S. W. Miller, R. Mozzi, and L. K. Hanes, "Capacitively Coupled Travelling-Wave Power Amplifier," *Microwave Theory and Techniques, IEEE Transactions on*, vol. 32, pp. 1704-1709, 1984.
- [30] J. Pustl, B. Agarwal, R. Puella, L. D. Nguyen, M. V. Le, M. J. W. Rodwell, L. Larson, J. F. Jensen, R. Y. Yu, and M. G. Case, "Capacitive-division travelling-wave amplifier with 340 GHz gain/bandwidth product," *Microwave and Millimeter-Wave Monolithic Circuits Symposium, Digest of Papers*, 1995.

- [31] J. Pusi, B. Agarwal, R. Puella, L. D. Nguyen, M. V. Le, M. J. W. Rodwell, L. Larson, J. F. Jensen, R. Y. Yu, and M. G. Case, "Capacitive-division travelling-wave amplifier with 340 GHz gain/bandwidth product," *IEEE MTT-S International, Microwave Symposium Digest*, 1995.
- [32] J. Y. Liang and C. S. Aitchison, "Gain performance of cascade of single stage distributed amplifiers," *Electronics Letters*, vol. 31, pp. 1260-1261, 1995.
- [33] B. Y. Banyamin and M. Berwick, "Analysis of the performance of four-cascaded single-stage distributed amplifiers," *Microwave Theory and Techniques, IEEE Transactions on*, vol. 48, pp. 2657-2663, 2000.
- [34] A. Worapishet, M. Chongcheawchamnan, and S. Srisathit, "Broadband amplification in CMOS technology using cascaded single-stage distributed amplifier," *Electronics Letters*, vol. 38, pp. 675, 2002.
- [35] M. D. Tsai, K. L. Deng, H. Wang, C. Chen, C. Chang, and J. G. J. Chern, "A Miniature 25-GHz 9-dB CMOS Cascaded Single-Stage Distributed Amplifier," *Microwave and Wireless Components Letters*, vol. 14, pp. 554-556, 2004.
- [36] K. Chen and C. Wang, "A 3.1-10.6 GHz CMOS Cascaded Two-Stage Distributed Amplifier for Ultra-Wideband Application," *Asia-Pacific Conference on Advanced System Integrated Circuits*, 2004.
- [37] A. S. Virdee and B. S. Virdee, "2-18 GHz ultra broadband amplifier using a cascaded reactively terminated single-stage distributed concept," *Electronics Letters*, vol. 35, pp. 2122-2123, 1999.
- [38] R.-C. Liu, K.-L. Deng, and H. Wang, "A 0.6-22-GHz Broadband CMOS Distributed Amplifiers," *Radio Frequency Integrated Circuits*, 2003.
- [39] R. E. Amaya, N. G. Tarr, and C. Plett, "A 27 GHz fully integrated CMOS distributed amplifier using coplanar waveguides," *IEEE Int. RFIC*, 2004.
- [40] H. Shigematsu, M. Sato, I. Hirose, F. Brewer, and M. Rodwell, "40Gb/s CMOS distributed amplifier for fiber-optic communication systems," 2004.
- [41] J. Kim, J. O. Plouchart, N. Zamdmer, R. Trzcinski, R. Groves, M. Sherony, Y. Tan, M. Talbi, J. Safran, and L. Wagner, "A 12dBm 320GHz GBW distributed amplifier in a 0.12 μm SOI CMOS," *IEEE ISSCC*, 2004.
- [42] J. O. Plouchart, K. Jonghae, N. Zamdmer, L. Liang-Hung, M. Sherony, Y. Tan, R. A. Groves, R. Trzcinski, M. Talbi, A. Ray, and L. F. Wagner, "A 4-91-GHz traveling-wave amplifier in a standard 0.12 μm SOI CMOS microprocessor technology," *Solid-State Circuits, IEEE Journal of*, vol. 39, pp. 1455, 2004.
- [43] F. Ellinger, "60-GHz SOI CMOS traveling-wave amplifier with NF below 3.8 dB from 0.1 to 40 GHz," *Solid-State Circuits, IEEE Journal of*, vol. 40, pp. 553, 2005.
- [44] A. Siligaris, "Modélisation grand signal de MOSFET en Hyperfréquences: application à l'étude des non linéarités des filières SOI," *Thèse de Doctorat, spécialité microondes et microtechnologies, présentée le 13 décembre 2004 à l'Université des Sciences et Technologies de Lille*.
- [45] M. Si Moussa, "Amplificateurs faible bruit micro-ondes pour les nouveaux systèmes de communication," *Thèse de Doctorat, en microondes et microtechnologies, en cours de préparation à l'Université de Louvain-la-Neuve*.
- [46] M. Si Moussa, C. Pavageau, F. Danneville, J. Russat, N. Fel, J.-P. Raskin, and D. Vanhoenacker-Janvier, "Temperature Effect on the Performance of a Traveling Wave Amplifier in 130 nm SOI Technology," *2005 IEEE RFIC Symp., Long-Beach, CA*, 2005.

- [47] R.-C. Liu, C.-S. Lin, K.-L. Deng, and H. Wang, "Design and Analysis of DC-to-14-GHz and DC-to-22-GHz CMOS Cascode Distributed Amplifiers," *IEEE Journal of Solid-States Circuits*, vol. 39, pp. 1370-1374, 2004.
- [48] Y. Baeyens, G. Georgiou, J. S. Weiner, A. Leven, V. Houtsma, P. Paschke, Q. Lee, R. F. Kopf, Y. Yang, L. Chua, C. Chen, C. T. Liu, and Y. K. Chen, "InP D-HBT ICs for 40-Gb/s and higher bitrate lightwave transceivers," *IEEE Journal of Solid-States Circuits*, vol. 37, pp. 1152-1159, 2002.
- [49] C. Meliani, G. Post, G. Rondeau, J. Decobert, W. Mouzannar, E. Dutisseuil, and R. Lefèvre, "DC-92 GHz ultra-broadband high gain InP HEMT amplifier with gain-bandwidth product," *Electronics Letters*, vol. 38, pp. 1175-1177, 2002.
- [50] S. Masuda, K. Kobayashi, M. Kitajima, M. Takesue, Y. Kamiya, and K. Joshin, "A 100-GHz Distributed Amplifier Chip-Size Package," *IEEE International Microwave Symposium*, 2003.
- [51] D. Streit, R. Lai, A. Gutierrez-Aitken, M. Siddiqui, B. Allen, A. Chau, W. Beale, and A. Oki, "InP and GaAs Components for 40 GBPs Applications," *2001 IEEE GaAs Symposium*, 2001.
- [52] W. Mouzannar, F. Jorge, S. Vuye, E. Dutisseuil, and R. Lefèvre, "40Gbt/s high performances GaAs pHEMT high voltage modulator driver for long haul optical fiber communications," *2002 IEEE GaAs Symposium*, 2002.
- [53] W. Ko and Y. Kwon, "GaAs-Based High-Gain Direct-Coupled Distributed Preamplifier Using Active Feedback Topology," *Microwave and Wireless Components Letters*, vol. 14, pp. 34-36, 2004.
- [54] Y. Arayashiki, Y. Ohkubo, Y. Amano, A. Takagi, M. Ejima, and Y. Matsuoka, "16 dB 80 GHz InGaP/GaAs HBT distributed amplifier," *Electronics Letters*, vol. 40, pp. 244, 2004.
- [55] O. Wohlgemuth, P. Paschke, and Y. Baeyens, "SiGe broadband amplifiers with up to 80 GHz bandwidth for optical applications at 43 Gbit/s and beyond," *33rd European Microwave Conference*, 2003.
- [56] J. Aguirre and C. Plett, "50-GHz SiGe HBT distributed amplifiers employing constant-k and m-derived filter sections," *Microwave Theory and Techniques, IEEE Transactions on*, vol. 52, pp. 1573, 2004.

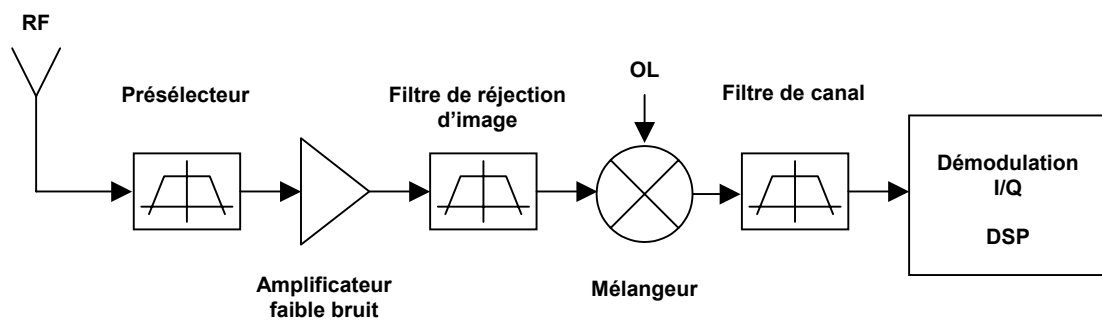
CHAPITRE V
CONCEPTION ET DESSIN D'AMPLIFICATEURS
DISTRIBUES ET FAIBLE BRUIT, DE
MELANGEURS ACTIFS

Introduction

A la suite des mesures réalisées sur les amplificateurs distribués présentés dans le chapitre précédent et dans le but d'optimiser leurs performances, une nouvelle série de circuits a été étudiée et dessinée avec la technologie SOI 130 nm de ST-Microelectronics. Ces circuits, qui sont des amplificateurs distribués, des amplificateurs faible bruit, des mélangeurs actifs ainsi que des kits de calibrage destinés à la modélisation et à la rétrosimulation, sont en cours de fabrication au moment de la rédaction de ce manuscrit.

La première partie montre l'amélioration des performances des amplificateurs distribués obtenue par le biais de la réduction de l'atténuation des lignes, suivie de la simulation de deux nouveaux amplificateurs conçus avec des lignes à plus faibles pertes que celles utilisées précédemment.

Les deuxième et troisième parties abordent une étude sur la réalisation d'amplificateurs faible bruit et de mélangeurs à 23 GHz pour la constitution d'un récepteur hétérodyne (ci-dessous).



Récepteur hétérodyne.

I. Amplificateurs distribués cascode avec des lignes faibles pertes

I.1. Amélioration des performances des amplificateurs distribués précédents

Actuellement, le principal facteur limitatif pour les performances en bande passante et en gain des amplificateurs distribués est constitué par les pertes des lignes de transmission microruban et non par les performances hyperfréquences des transistors. Ces lignes, dont le ruban conducteur est implémenté sur le sixième niveau de cuivre, montrent en effet des pertes élevées de 1 dB/mm à 20 GHz qui ne permettent pas d'exploiter tout le potentiel des transistors de la filière SOI 130 nm. Il est donc crucial de les réduire. Pour cela, nous disposons de deux solutions compatibles avec la technologie SOI qui ont déjà été exposées dans le Chapitre II (paragraphe III), l'une avec des lignes microruban épaissies¹ montrant des pertes un peu plus faibles de 0,75 dB/mm à 20 GHz (soit une réduction des pertes de 0,25 dB/mm à 20 GHz par rapport à la ligne microruban initiale), la seconde avec des lignes coplanaires sur un substrat de haute résistivité montrant des pertes beaucoup plus faibles de 0,3 dB/mm à 20 GHz.

Avant de procéder à la conception de nouveaux amplificateurs distribués avec ces deux types de lignes, il peut être intéressant de savoir en plus jusqu'où il est nécessaire d'aller dans la réduction de l'atténuation des lignes afin d'obtenir une amélioration conséquente des performances. Dans le cas de l'amplificateur distribué cascode avec compensation des pertes, une réponse quantitative à cette question est délicate. En effet, il existe plusieurs façons de réaliser la compensation, c'est-à-dire de choisir les longueurs des lignes L_{sd} et L_{cg} , L_{cg} permettant de compenser les pertes et L_{sd} permettant de conserver la stabilité du circuit en réduisant le pic d'instabilité produit par la compensation de ligne L_{cg} . C'est pourquoi seule une réponse qualitative est possible, résultant du compromis entre ondulation et bande

¹ Le ruban conducteur est réalisé en ajoutant le niveau optionnel d'aluminium au sixième niveau de cuivre.

passante : en effet, plus l'ondulation tolérée par les spécifications de l'amplificateur sera faible, plus la contrainte sur le circuit de compensation sera importante, ce qui aura pour effet de réduire la bande passante. Autrement dit, on aura tendance à choisir une longueur importante pour la ligne L_{cg} , de manière à obtenir une forte compensation. En contre partie, il sera nécessaire d'avoir une longueur importante pour L_{sd} afin d'obtenir un gain le plus constant possible en fin de bande, mais cela dégradera considérablement la bande passante.

Nous avons simulé la réponse fréquentielle de l'amplificateur distribué cascode à transistors flottants du Chapitre IV (paragraphe II.1.5) en fonction de l'atténuation des lignes. Pour chaque valeur d'atténuation choisie, nous avons optimisé les valeurs des longueurs des lignes L_{cg} et L_{sd} , ainsi que les valeurs des résistances de terminaison des lignes artificielles R_g et R_d , en se fixant pour critère d'optimisation une ondulation maximale de 0,4 dB/mm. Par ailleurs, les capacités du plot de mesure hyperfréquence ont été négligées et une résistance de 10Ω a été ajoutée sur la grille du transistor flottant dans le but de prévenir des problèmes d'instabilité pouvant se produire avec des lignes à faibles pertes. Enfin, le modèle de l'atténuation des lignes (obtenu par simulation EM dans HFSS) a été remplacé par un modèle fictif ayant une expression paramétrique simple :

$$[I-1] \quad \alpha(f) = \sqrt{f} \cdot 10^{-5} \cdot \alpha_{10GHz}$$

où α_{10GHz} est la constante d'atténuation de la ligne à 10 GHz. Les courbes d'atténuations ainsi obtenues sont représentées à Figure I-1. Pour comparaison, les pertes simulées avec HFSS de la ligne microruban implémentée sur le sixième niveau de cuivre sont représentées sur cette figure. Même si l'expression analytique est simple, elle est cependant suffisante pour décrire qualitativement les pertes des lignes de transmissions.

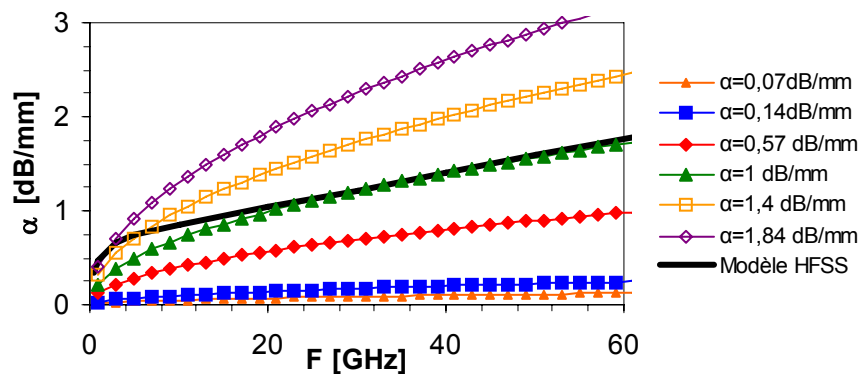


Figure I-1 : Modèle simplifié de l'atténuation des lignes (lignes avec symbole) et modèle.

La Figure I-2 représente la simulation du gain en puissance en fonction de la fréquence et la simulation du produit gain-bande en fonction de la constante d'atténuation à 20 GHz des lignes de transmission pour un amplificateur distribué cascode à transistors flottants. On observe un accroissement constant du produit gain-bande avec la réduction de l'atténuation des lignes. Dans la configuration du circuit exposé juste avant, la limite du produit gain-bande réalisable est de 130 GHz.

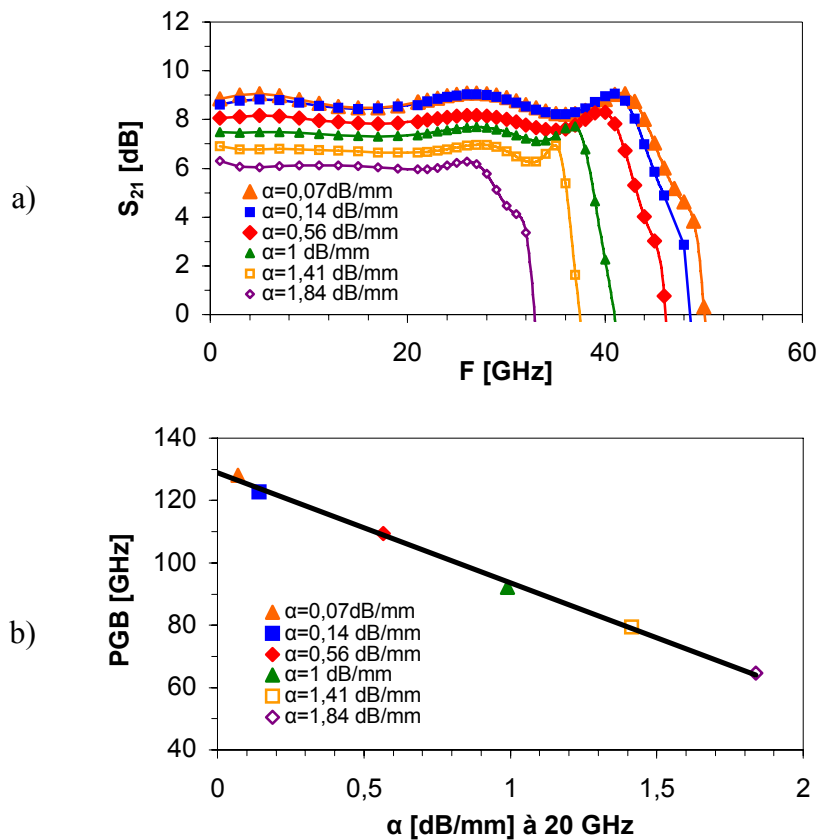


Figure I-2 : (a) Gain en puissance S_{21} et (b) produit gain-bande de l'amplificateur distribué cascode à transistors flottants en fonction de l'atténuation des lignes de transmission.

I.2. Conception et dessin d'amplificateurs distribués

A la suite du premier amplificateur distribué (AD) fonctionnant en bande K, réalisé avec des lignes microruban implémentées sur le niveau de cuivre 6 (cf. Chapitre IV, paragraphe II.1.3), trois nouveaux circuits ont été conçus selon la même architecture afin d'observer l'amélioration des performances en gain et en bande passante obtenue avec des lignes de transmission qui présentent moins de pertes.

I.2.1. Schéma électrique

Les amplificateurs sont constitués de quatre étages qui sont de type cascode pour réduire l'effet Miller et qui emploient une technique de compensation des pertes de la ligne de drain.

Le premier circuit utilise des transistors à prises substrat et des lignes microruban dont le ruban conducteur est réalisé avec le sixième niveau de cuivre et avec le niveau supplémentaire d'aluminium, permettant d'obtenir des pertes de 0,75 dB/mm à 20 GHz (cf. Chapitre II, paragraphe III.2). Les deux autres circuits utilisent des lignes coplanaires sur un substrat de haute résistivité et des transistors flottants ou des transistors à prises. Pour ces deux derniers circuits, une résistance de quelques Ω a été ajoutée sur la grille du transistor en grille commune (T2) pour prévenir des problèmes éventuels d'instabilité.

Le schéma électrique des circuits est visible à la Figure I-3 tandis que les dessins des circuits sont disponibles dans l'Annexe V.A.1. Le Tableau I-1 montre les paramètres électriques des trois nouveaux circuits ainsi que ceux du premier amplificateur réalisé avec des lignes microruban à pertes plus élevées. Les principales différences par rapport à ce dernier proviennent des longueurs des lignes de compensation L_{CG} et L_{SD} qui sont d'autant plus petites que l'atténuation des lignes de transmissions est faible (cf. I.1).

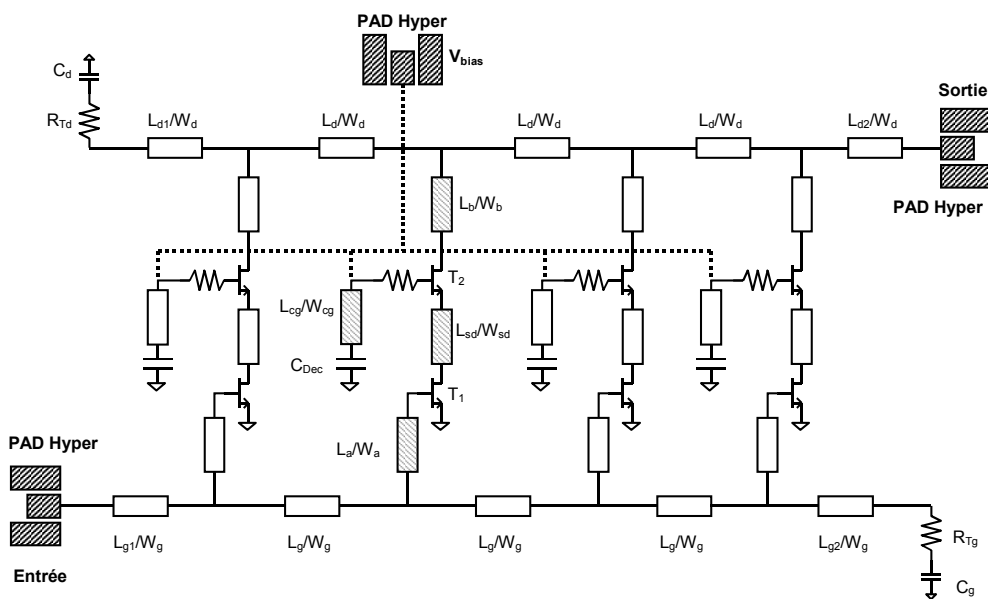


Figure I-3 : Schéma électrique de l'amplificateur distribué.

	Circuit du Chapitre IV	Nouveaux circuits		
Lignes de transmission	Microruban Cuivre-6 ($W=2\mu m$)	Microruban Cuivre-6 + Aluminium ($W=4,4\mu m$)	Coplanaires Cuivre-6 + Aluminium ($W=10\mu m$ $G=11,7\mu m$)	
Coefficient d'atténuation à 20 GHz	1	0,75	0,3	
Transistors ($W \times L=30 \times 2\mu m \times 0,13\mu m$)	A prises	A prises	A prises	Flottant
Ligne de grille				
L_A (μm)	30	30	30	
L_{G1} (μm)	150	360	360	
L_G (μm)	480	360	360	
L_{G2} (μm)	60	150	180	
R_G (Ω)	30	25	36	42
C_G (pF)	20	20	20	20
Ligne de drain				
L_B/W_B (μm)	20	20	60	
L_{D1}/W_D (μm)	100	520	210	180
L_D/W_D (μm)	380	520	420	360
L_{D2}/W_D (μm)	60	400	420	360
R_D (Ω)	30	25	36	42
C_D (pF)	20	20	20	20
Lignes additionnelles pour la compensation des pertes				
L_{CG}/W_{CG} (μm)	600	190	160	40
L_{SD}/W_{SD} (μm)	500	300	120	80
C_{dec}	5	5	5	5
R_{g2} (Ω)	-	-	6	10

Tableau I-1 : Paramètres des amplificateurs distribués.

I.2.2. Simulations en petit signal

Ces simulations ont été faites en tenant compte des capacités ramenées par les plots de mesure hyperfréquence, qui sont de l'ordre de 120 fF. Le modèle fictif utilisé au paragraphe I.1 (pour montrer l'amélioration des performances des amplificateurs distribués par le biais de la réduction de l'atténuation des lignes), a été remplacé par les modèles électromagnétiques des lignes microruban et coplanaires obtenus dans *HFSS* et calibrés à partir de mesures.

La Figure I-3 et la Figure I-4 montrent l'évolution fréquentielle des paramètres S et du facteur de bruit des amplificateurs à lignes microruban et coplanaires. Le Tableau I-2 résume leurs performances attendues, ainsi que celles de l'amplificateur distribué à transistors à prise mesuré précédemment (Chapitre IV, paragraphe II.2.2) afin de mettre en avant l'amélioration des performances en fréquence obtenue grâce à des lignes plus faibles pertes.

Pour l'amplificateur à lignes microruban, le gain simulé vaut $6 \pm 0,3$ dB sur la bande 1-38 GHz, la fréquence de coupure à -3 dB est de 41 GHz et le produit gain-bande est de 82 GHz. Le produit gain-bande serait ainsi quasiment doublé par rapport au même amplificateur à lignes microruban à pertes plus élevées (qui avait un gain de $7,1 \pm 1,1$ dB et une fréquence de coupure à -3 dB de 27 GHz), ce qui montre bien l'impact négatif des longueurs importantes de lignes de compensation sur les performances en bande passante.

Pour les deux amplificateurs à lignes coplanaires, le gain simulé est de $9,6 \pm 0,3$ dB, entre 1 et 36 GHz pour celui utilisant des transistors à prises, et entre 1 et 39 GHz pour celui à transistors flottants. Les fréquences de coupure à -3 dB sont respectivement de 38 GHz et de 42 GHz, ce qui correspond à des produits gain-bande de 114 GHz et de 126 GHz. La réduction très importante des pertes métalliques, avec la ligne coplanaire sur substrat haute résistivité, permettrait ainsi d'approcher la limite du produit gain-bande que l'on peut obtenir avec l'architecture adoptée et la technologie actuelle des transistors.

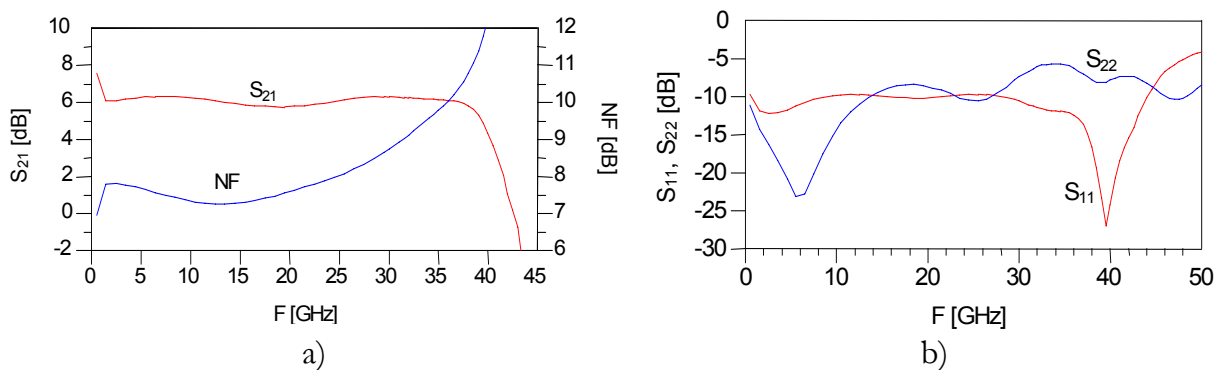


Figure I-4 : Simulation petit signal de l'amplificateur à lignes microruban. a) Gain en puissance S_{21} et facteur de bruit NF. b) Coefficients de réflexion en entrée S_{11} et en sortie S_{22} .

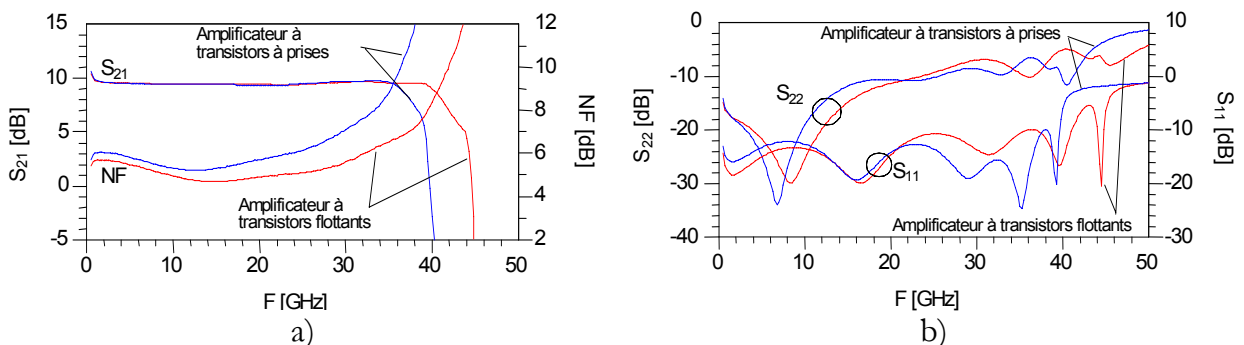


Figure I-5 : Simulation petit signal des amplificateurs à lignes coplanaires. a) Gain en puissance S_{21} et facteur de bruit NF. b) Coefficients de réflexion en entrée S_{11} et en sortie S_{22} .

	<i>Mesures du circuit du Chapitre IV</i>	Simulation des nouveaux circuits		
Lignes de transmission	<i>Microruban Cuivre-6 (W = 2µm)</i>	<i>Microruban Cuivre-6 + Aluminium (W = 4,4 µm)</i>	<i>Coplanaires Cuivre-6 + Aluminium (W = 10 µm G = 11,7 µm)</i>	
Coefficient d'atténuation à 20 GHz	1	0,75	0,3	
Transistors	A prise	A prises	A prises	Flottant
F_v/F_{max} [GHz]	63/76	63/76	63/76	89/125
G [dB]	5,4 ± 1,4	6 ± 0,3	9,6 ± 0,3	9,6 ± 0,2
BW [GHz]	1-20	1-38	1-36	1-39
F_{-3dB} [GHz]	21	41	38	42
PGB [GHz]	40	82	114	126
S ₁₁ /S ₂₂ [dB]	<-8 <-8	<-5 <-9	<-10 <-6	
Polarisation	10,2 mA/transistors	15,2 mA/transistors		

Tableau I-2 : Résumé des performances attendues des amplificateurs distribués.

II. Amplificateurs faible bruit à structure cascode

L'élaboration des amplificateurs faible bruit (LNA) constitue un véritable défi pour les concepteurs : il est nécessaire de minimiser le bruit de l'amplificateur, tout en fournissant un niveau de gain suffisant avec une relativement bonne linéarité et tout en adaptant l'entrée de l'amplificateur à une impédance stabilisée de 50Ω . A ces contraintes déjà difficiles à satisfaire, s'ajoute aussi la nécessité d'une basse consommation pour les systèmes embarqués. Il est clair que le respect simultané de toutes ces conditions conduit à des compromis délicats à trouver.

L'adaptation par inductance de source dégénérée est très populaire pour les LNA dans de nombreuses filières (HEMT, HBT, MOS...), car elle permet d'obtenir à la fois une très bonne adaptation en bruit et en puissance [1]. Cependant, il est nécessaire de disposer d'inductances (ou de lignes à haute impédance) de très bonne qualité pour que cette technique soit performante. Même si la ligne coplanaire sur haute résistivité est celle qui présente le moins de pertes, nous avons choisi d'utiliser la ligne microruban épaissie pour la conception de notre LNA puisque nous disposons de modèles plus fiables, éprouvés par comparaison avec de nombreuses mesures. Malgré la réduction des pertes apportées par l'épaississement de la ligne microruban avec le niveau optionnel d'aluminium, les pertes de cette ligne restent pour autant élevées ($0,75 \text{ dB/mm}$ à 20 GHz), ce qui annule l'intérêt de la technique de l'inductance de source dégénérée pour adapter le transistor en entrée. En effet, cette forte atténuation ne permet pas d'obtenir simultanément une bonne adaptation en puissance et en bruit sans une dégradation considérable du gain. C'est pourquoi nous avons préféré réaliser l'adaptation avec une ligne en parallèle sur la grille du transistor, même si cette solution ne permet pas l'adaptation simultanée en puissance et en bruit. En partant du principe que les transistors SOI ont une impédance de bruit équivalente R_n faible², une légère désadaptation en bruit (au profit de l'adaptation en puissance) ne provoquera pas une détérioration importante du facteur de bruit.

² de 20Ω environ.

II.1. Le bruit

II.1.1. Le bruit dans les quadripôles : éléments de théorie

Le facteur de bruit d'un quadripôle est entièrement décrit par ses quatre paramètres de bruit NF_{\min} , R_n , G_{opt} , et B_{opt} qui sont liés par les relations suivantes :

$$[II-1] \quad Y_{opt} = G_{opt} + jB_{opt}$$

$$[II-2] \quad NF(Y_G) = NF_{\min} + R_n \frac{|Y_{opt} - Y_G|^2}{\Re(Y_G)}$$

$$[II-3] \quad NF(Y_G) = NF_{\min} + 4 \cdot R_n \frac{|\Gamma_G - \Gamma_{opt}|^2}{(1 - |\Gamma_G|^2) |1 + \Gamma_{opt}|^2}$$

$$\text{avec } Y_G = \frac{1 - \Gamma_G}{1 + \Gamma_G} \text{ et } Y_{opt} = \frac{1 - \Gamma_{opt}}{1 + \Gamma_{opt}}.$$

où NF_{\min} est le facteur de bruit minimal, R_n est la résistance de bruit équivalente, Y_{opt} est l'admittance de source correspondant à l'adaptation en bruit du quadripôle pour laquelle $NF = NF_{\min}$. Les coefficients de réflexion Γ_G et Γ_{opt} sont associés aux admittances Y_G et Y_{opt} . Si le quadripôle n'est pas adapté en bruit (i.e. $Y_G \neq Y_{opt}$), la différence $NF(Y_G) - NF_{\min}$ est proportionnelle à R_n . R_n est le facteur de désadaptation en bruit qui traduit la sensibilité du quadripôle par rapport à l'impédance d'entrée.

II.1.2. Bruit dans les structures cascades

La conception d'un amplificateur faible bruit peut nécessiter plusieurs étages pour obtenir un gain supérieur. L'expression de Friis donne le facteur de bruit total d'une chaîne de n quadripôles cascades :

$$[II-4] \quad NF = NF_1 + \frac{(NF_2 - 1)}{G_1} + \frac{(NF_3 - 1)}{G_1 \times G_2} + \dots$$

où NF_i et G_i sont le facteur de bruit et le gain en puissance disponible de l'étage i .

L'expression de Friis en [II-4] montre que le facteur de bruit de chaque étage est divisé par le produit des gains en puissance disponible des étages précédents. On a intérêt à ce que le premier étage ait à la fois un facteur de bruit le plus faible possible et un gain en

puissance disponible relativement élevé. En effet, la contribution au facteur de bruit total des étages suivants sera alors plus faible.

Pour la conception d'un amplificateur faible bruit à n étages, il existe un facteur de mérite noté « M » qui permet de savoir dans quel ordre les différents étages doivent être cascades. Examinons le cas de deux amplificateurs Q_1 et Q_2 ayant respectivement les facteurs de bruit sur 50Ω NF_1 et NF_2 , et les gains en puissance disponible G_1 et G_2 .

Si on place Q_1 devant Q_2 (ou réciproquement), le facteur de bruit total est donné par :

$$[\text{II-5}] \quad NF_{12} = NF_1 + \frac{(NF_2 - 1)}{G_1} \quad \text{ou par} \quad NF_{21} = NF_2 + \frac{(NF_1 - 1)}{G_2}$$

Le cas où Q_1 est placé devant Q_2 produit un facteur de bruit plus faible si $NF_{12} < NF_{21}$, ce qui permet d'aboutir à la relation suivante :

$$[\text{II-6}] \quad \frac{(NF_1 - 1)}{1 - \frac{1}{G_1}} < \frac{(NF_2 - 1)}{1 - \frac{1}{G_2}}$$

Par conséquent, on définit le facteur de mérite M par :

$$[\text{II-7}] \quad M = \frac{(NF - 1)}{1 - \frac{1}{G}}$$

Placer le quadripôle Q_1 devant le quadripôle Q_2 dans la mise en cascade sera plus favorable pour le facteur de bruit de la chaîne si $M_1 < M_2$.

Donc, dans le cas d'une chaîne à n quadripôles cascades, le facteur de bruit total sera le plus faible en plaçant les quadripôles par ordre croissant de facteur de mérite. Si tous les amplificateurs sont identiques ($NF_1 = NF_2 = \dots$ et $G_1 = G_2 = \dots$) l'expression de Friis devient :

$$[\text{II-8}] \quad NF = 1 + \frac{(NF_1 - 1)}{1 - \frac{1}{G_1}} = 1 + M_1$$

II.2. Etat de l'art

Pour situer nos travaux dans le contexte actuel, nous avons dressé un état de l'art des amplificateurs faible bruit des filières CMOS, sur substrat massif et sur SOI. Le Tableau II-1 donne un résumé non exhaustif des circuits publiés à des fréquences de fonctionnement

supérieures à quelques GHz. Face à l'abondance des publications dans les fréquences voisines de 5 GHz, ce qui correspond aux standards de réseaux sans fil (« WLAN »), seuls les circuits qui présentent les meilleurs facteurs de mérite ont été pris en compte.

A partir du Tableau II-1, il ressort que l'architecture la plus utilisée est celle de l'amplificateur cascode avec une technique d'adaptation simultanée de l'entrée en puissance et en bruit par inductance de source dégénérée. A noter que l'amplificateur [2] en technologie SOI 90 nm se démarque en mettant à profit dans son architecture les éléments LC du réseau de polarisation pour réaliser l'adaptation de l'entrée.

	Technologie	F_t/F_{max} [GHz]	Topologie	F [GHz]	NF [dB]	Gain [dB]	S_{11}/S_{22} [dB]	V_{dd} [V]	P_{DC} [mW]	M	Gain/ P_{DC} [dB/mW]
CMOS sur substrat massif	0,35µm CMOS [3]	-	Cascode ISD	5,2	2,5	19,3	-	3,3	26,4	0,77	0,73
	0,18µm CMOS [4]	-	GC + 2xSC	21,8	6,0	15,0	-21,0	1,5	24,0	3,08	0,63
	0,18µm CMOS [5]	> 45	3xSC ISD	23,7	5,6	12,9	-11,0 -22,0	1,8	54,0	2,77	0,24
	0,18µm CMOS [6]	-	Cascode ISD	5,0	1,5	20,0	-	2,5	7,5	0,42	2,67
	0,18µm CMOS [7]	70/58	2xSC ISD	24,0	3,9	13,1	-15,0 -20,0	1,0	14,0	1,53	0,94
	0,18µm CMOS / ESD [8]	-	Cascode ISD	5,0	3,5	20,0	-20,0 -20,0	1,2	15,0	1,25	1,33
	90nm CMOS / ESD [9]	200/150	Cascode ISD	5,0	2,9	13,3	-14,0 -19,0	1,2	9,7	1,00	1,37
CMOS SOI	0,5µm SOI-PD FB / SR Inductances [10]	12 (F_t)	Cascode ISD	1,8	3,0	23,4	-	1,5	11	1,0	2,13
	0,5µm SOI-PD BT / SR Inductances [10]	11 (F_t)	Cascode ISD	1,8	3,1	22,3	-	1,5	11	1,0	2,03
	0,35µm SOI / SR Inductances[11]	22 (F_t)	Cascode ISD	5	2,3	7,5	-	2	12,2	0,8	0,80
	0,35µm SOI / HR Inductances[11]	22 (F_t)	Cascode ISD	5	2,3	9,9	-	2	12,4	0,8	0,61
	0,35µm SOI-PD FB Inductances [12]	100 (F_t)	2xCascode + SC	4,3	6,1	11	-2,2 -3	1,5	28,5	3,3	0,39
	90nm SOI / SR Microruban [2]	149/147	Cascode LC bias	35	3,6	11,9	-6	2,4	40	1,4	0,3
	130nm SOI-PD BC / HR Inductances (ST) [13]	63/76	Cascode ISD	4	2	10,5	-10 -5	1	6,6	0,64	1,59
	130nm SOI-PD BC / SR Inductances (ST) [13]	63/76	Cascode ISD	4	2,2	8,5	-10 -5	1	6,6	0,78	1,21

PD : Partiellement Déserté

FB : Floating-Body (transistor flottant)

BT : Body-Tied (transistor à prises internes)

BC : Body-Contacted (transistors à prises externes)

SR : Résistivité standard

HR : Haute résistivité

SC : Source commune

GC : Grille commune

ISD : Inductance de source dégénérée

Tableau II-1 : Etat de l'art des amplificateurs faible bruit CMOS sur substrat massif et sur SOI.

II.3. Adaptation de l'étage d'entrée en bruit et en puissance

II.3.1. Adaptation par inductance de source dégénérée

La technique d'adaptation par inductance de source dégénérée permet en principe l'adaptation simultanée en puissance et en bruit. Cette partie expose son principe et détaille les différentes étapes pour sa mise en œuvre. Nous traiterons d'abord chacune des deux adaptations séparément, puis nous verrons comment s'opère l'adaptation simultanée. Enfin, cette technique sera appliquée en utilisant des éléments passifs à pertes élevées.

II.3.1.a) Adaptation en puissance

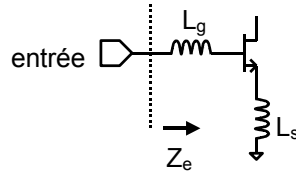


Figure II-1 : Adaptation en puissance par inductance de source dégénérée.

Pour comprendre le principe de l'adaptation en puissance par inductance de source dégénérée, examinons le cas du transistor MOSFET (Figure II-1). L'impédance d'entrée s'écrit :

$$[\text{II-9}] \quad Z_e = (L_g + L_s)j\omega + \frac{1}{pC_{gs}} + \Sigma(R) + \frac{g_m * L_s}{C_{gs}}$$

où p est la variable de Laplace, C_{gs} est la capacité grille-source du transistor, g_m est sa transconductance et $\Sigma(R)$ est la somme des résistances extrinsèques R_g et R_s et de la résistance de canal R_i .

Lorsque $\omega = \omega_0$ (pulsation de résonance), on a alors :

$$[\text{II-10}] \quad (L_g + L_s) * C_{gs} \omega_0^2 = 1$$

L'équation [II-9] devient :

$$[\text{II-11}] \quad Z_e = \Sigma(R) + \frac{g_m * L_s}{C_{gs}}$$

L'équation [II-11] montre que la partie réelle de Z_e est alors proportionnelle à L_s si on néglige le terme $\Sigma(R)$. Par conséquent, on peut se servir de L_g pour fixer la fréquence de

résonance et de L_s pour ajuster la valeur de l'impédance Z_e à l'impédance caractéristique du système 50Ω à la fréquence de résonance.

II.3.1.b) Pré-adaptation en bruit du transistor

Cette technique consiste à dimensionner le transistor (i.e. choisir sa polarisation et sa taille) pour faire se rapprocher le plus possible Γ_{opt} (coefficient d'adaptation en bruit) du cercle 50Ω (de l'adaptation en puissance). De cette façon, le réseau d'adaptation en puissance et en bruit nécessitera des lignes de dimension plus faible, ce qui réduira les pertes.

On considère généralement que le facteur de bruit minimal et le courant de polarisation optimal en bruit correspondant sont presque indépendants de la taille du transistor [14]. On choisit donc en premier la densité de courant correspondant au facteur de bruit minimal du transistor à la fréquence désirée f_0 , puis la largeur du transistor, de sorte que la partie réelle de l'impédance de source $Z_{opt} = R_{opt} + jX_{opt}$ (permettant l'adaptation en bruit) soit égale à l'impédance caractéristique du système $Z_0 = 50 \Omega$ à la fréquence f_0 . La Figure II-2 montre l'évolution de S_{11} et de Γ_{opt} en fonction de la largeur des transistors d'une paire cascode. Cette simulation, faite à 20 GHz avec des transistors SOI à prises, justifie le choix d'un transistor de $100 \mu\text{m}$ de largeur (50 doigts de $2 \mu\text{m}$) pour amener Γ_{opt} sur le cercle 50Ω .

Par ce procédé, le transistor est pré-adapté en bruit à la fréquence désirée, à l'impédance caractéristique du système $Z_0 = 50 \Omega$, sans perte ni dégradation du facteur de bruit minimal.

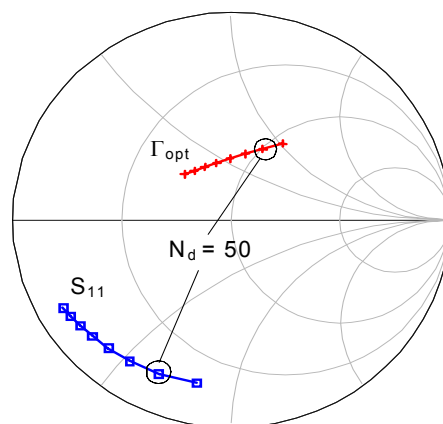


Figure II-2 : Evolution de S_{11} et Γ_{opt} d'une paire cascode, en fonction de la largeur W des transistors (simulation à 20 GHz; transistors à prises de largeur $W = N_d \times 2 \mu\text{m}$ avec N_d variant entre 40 et 110).

II.3.1.c) Adaptation simultanée en bruit et en puissance

Un des principes de l'adaptation par inductance de source dégénérée repose sur le fait que les parties imaginaires des impédances d'adaptation en bruit Z_{opt} et d'entrée du transistor Z_e sont identiques au signe près [14]. Cette hypothèse est vérifiée à la Figure II-3 par la simulation de ces impédances pour une paire cascode constituée de transistors SOI à prises de largeur $45 \times 2 \mu\text{m}$.

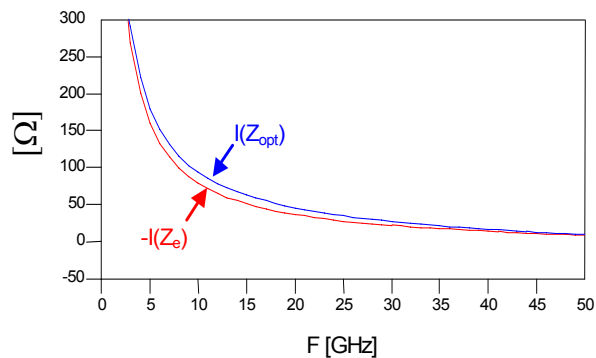


Figure II-3 : Partie imaginaire des impédances d'adaptation en bruit Z_{opt} et d'entrée (Z_e^*) d'une paire cascode à transistors SOI de largeur $50 \times 2 \mu\text{m}$.

L'ajout d'une inductance L_g en série avec la grille du transistor source commune modifie X_{opt} , la partie imaginaire de Γ_{opt} . Si l'inductance est sans perte, R_{opt} la partie réelle de Z_{opt} n'est pas modifiée. L'adaptation finale est réalisée avec une inductance L_s reliant la source du transistor source commune à la masse.

La Figure II-4 illustre les trois étapes de l'adaptation simultanée par inductance de source dégénérée d'une paire cascode. La simulation est réalisée à 20 GHz, avec des inductances idéales et des transistors SOI à prises substrat :

- _ étape 1 : choix de la taille du transistor pour placer R_{opt} sur le cercle 50Ω (cf. II.3.1.b),
- _ étape 2 : détermination de la valeur de l'inductance de grille L_g pour déplacer X_{opt} vers le centre de l'abaque,
- _ étape 3 : adaptation simultanée en bruit et en puissance avec l'inductance de source L_s .

Le choix d'une inductance de grille de valeur $L_g = 350 \text{ pH}$ et de source de valeur $L_s = 200 \text{ pH}$ conduit à rapprocher Γ_{opt} et S_{11} du centre de l'abaque de Smith. Une optimisation

plus poussée des paramètres du transistor et des valeurs des inductances permettrait d'améliorer encore l'adaptation simultanée.

Un inconvénient de cette technique d'adaptation est que l'inductance L_s diminue le gain en puissance du transistor source commune. L'adaptation simultanée se fait en effet au détriment de la transconductance équivalente du transistor [2] :

$$[II-12] \quad g'_m = \frac{g_m}{1 + j\omega L_s (g_m + j\omega C_{gs})},$$

phénomène illustré par la Figure II-5.

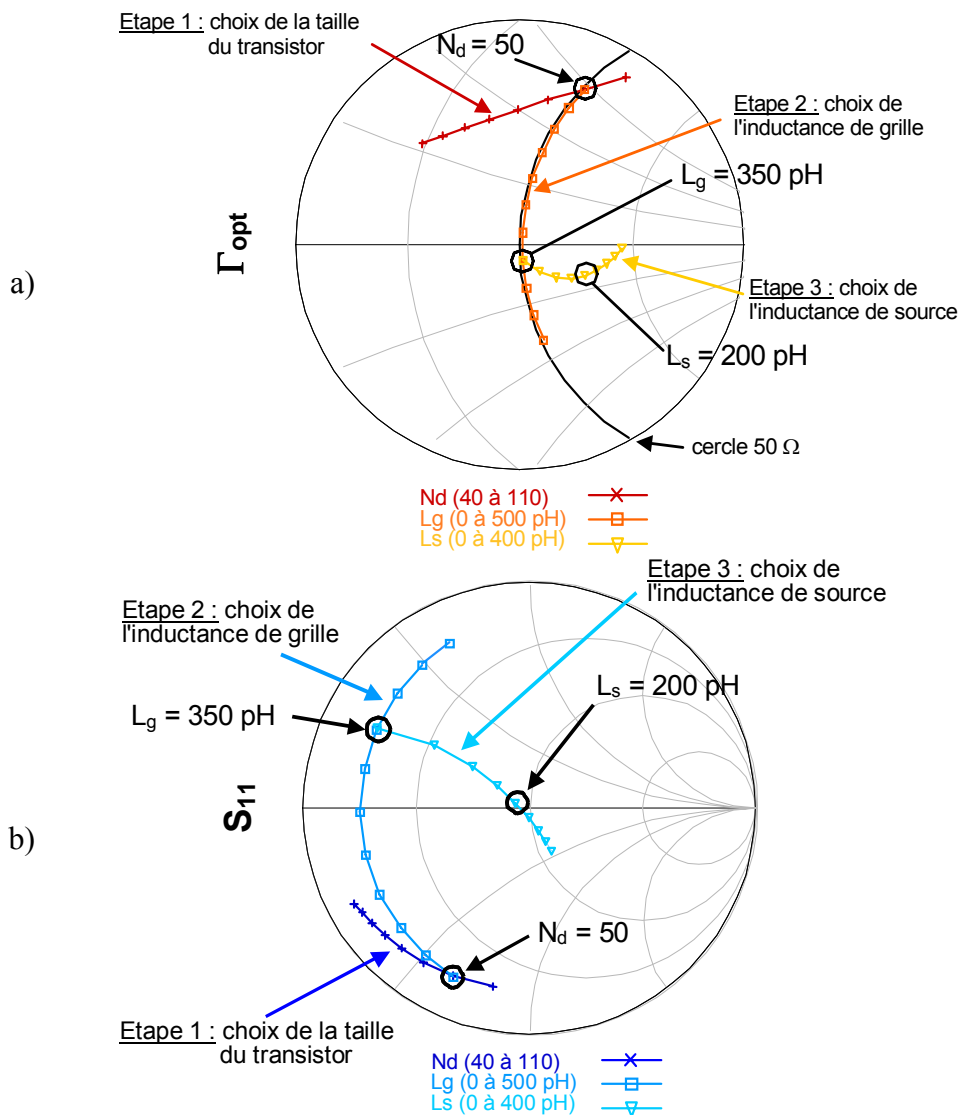


Figure II-4 : Principe de l'adaptation par inductance de source dégénérée d'une paire cascode. a) zoom sur l'abaque de Smith et sur coefficient de réflexion d'adaptation optimale en bruit Γ_{opt} b) coefficient de réflexion d'entrée S_{11} .

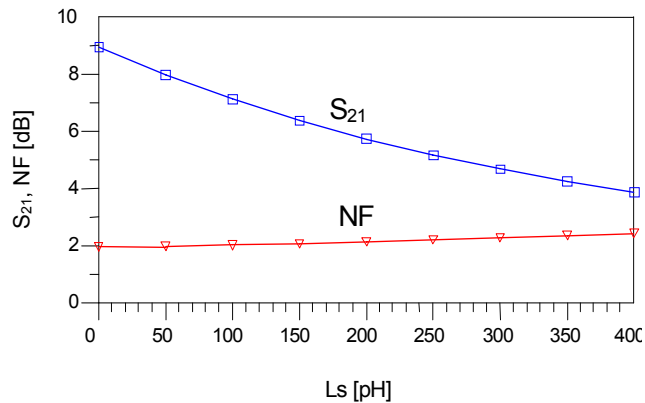


Figure II-5 : Influence de l'inductance de source L_s sur le gain S_{21} et le facteur de bruit NF de la paire cascode (transistors à prises $W = 50 \times 2 \mu\text{m}$).

II.3.1.d) Adaptation par inductance de source dégénérée avec des lignes de transmission à pertes élevées

Après avoir appliqué la technique de l'adaptation par inductance de source dégénérée avec des inductances sans perte, examinons maintenant ce qui se produit avec des lignes haute impédance microruban à pertes élevées (0,75 dB/mm à 20 GHz) de la technologie SOI 130 nm. Pour cela, remplaçons l'inductance idéale L_g sur la grille du transistor par une ligne microruban, l'inductance idéale de source étant conservée (Figure II-6).

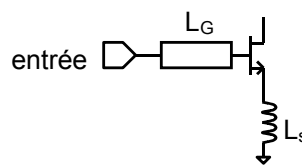


Figure II-6 : Adaptation par inductance de source dégénérée au moyen d'une ligne microruban à pertes élevées.

La Figure II-7, qui illustre le principe de l'adaptation par inductance de source dégénérée dans ce cas, montre que la ligne microruban sur la grille modifie non seulement X_{opt} , mais aussi R_{opt} . De plus sa longueur nécessaire, qui est importante, dégrade fortement le gain et de surcroît le facteur de bruit à cause de ses pertes élevées comme le montre la Figure II-8. L'adaptation simultanée en bruit et en puissance est de surcroît plus difficile à obtenir.

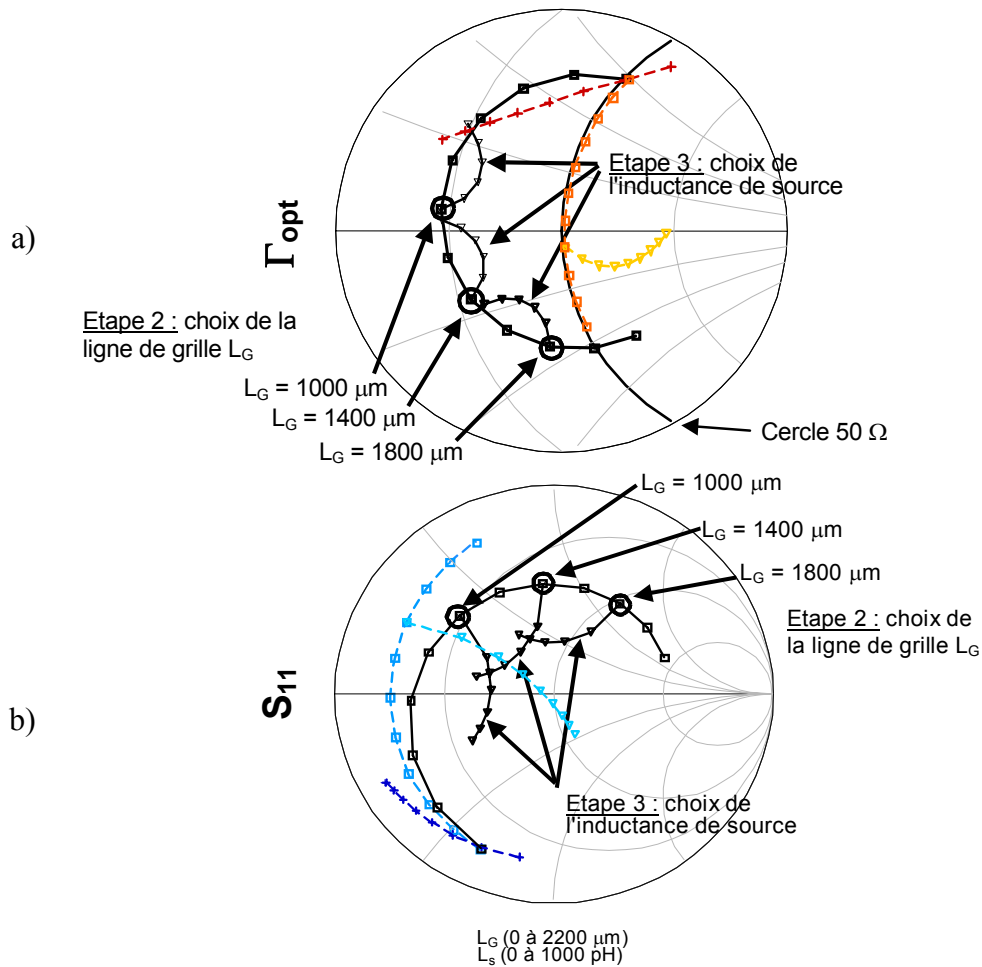


Figure II-7 : Simulation à 20 GHz de l'adaptation par inductance de source dégénérée avec une ligne à pertes sur la grille et une inductance idéale de source (le cas avec des inductances idéales est tracé en pointillés). a) Zoom sur l'abaque de Smith et sur le coefficient de réflexion d'adaptation optimale en bruit Γ_{opt} . b) Coefficient de réflexion d'entrée S_{11} .

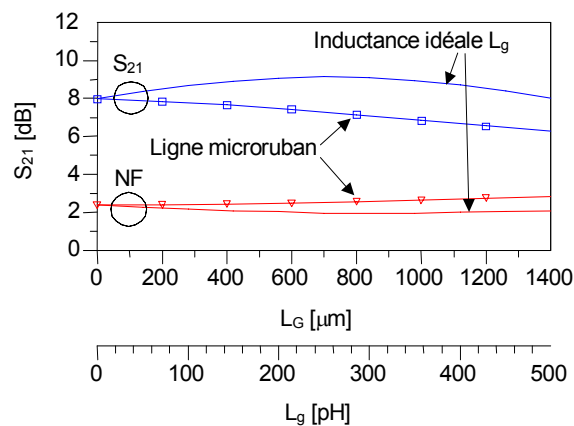


Figure II-8 : Gain S_{21} et facteur de bruit NF à 20 GHz, en fonction de l'inductance idéale de grille (traits pointillés) et en fonction de la longueur de la ligne de grille (traits pleins).

Le choix final de la longueur de la ligne de transmission L_G (Figure II-8) s'est porté une valeur de 1000 μm correspondant à une inductance équivalente de 350 pH, ce qui conduit à un gain et à un facteur de bruit fortement dégradés d'environ 2 dB pour le gain et de 0,8 dB pour le facteur de bruit à 20 GHz. Ces résultats de simulation ont été obtenus en remplaçant uniquement l'inductance idéale de grille par une ligne microruban à pertes, ce qui laisse présager les piètres résultats qui auraient été atteints en utilisant également une ligne à pertes à la place de l'inductance idéale de source.

En conclusion, bien que cette technique d'adaptation simultanée soit devenue très courante dans le cas des amplificateurs faible bruit à bande étroite, quelle que soit la filière utilisée (silicium ou composés III-V), nous ne l'utiliserons pas car elle ne permet pas d'exploiter toutes les potentialités des transistors MOSFET SOI, dans la mesure où les inductances ont de médiocres coefficients de qualité et les lignes ont des pertes trop élevées.

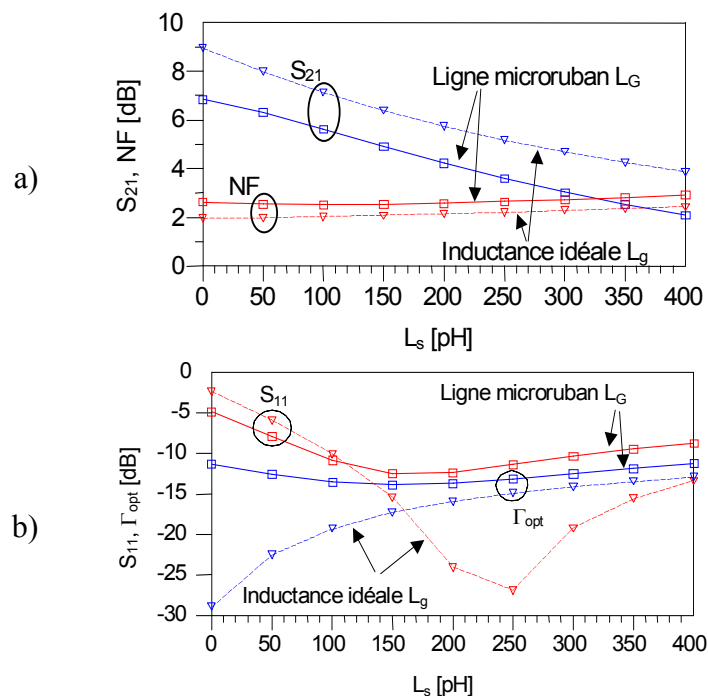


Figure II-9 : Simulation à 20 GHz en fonction de l'inductance de source L_s (a) du gain S_{21} et du facteur de bruit NF, (b) des coefficients d'adaptation en puissance S_{11} et en bruit Γ_{opt} . La ligne de grille a une longueur de 1000 μm .

II.3.2. Autre technique d'adaptation

Pour ne pas dégrader de manière trop importante le facteur de bruit et le gain, il convient de concevoir le réseau d'adaptation à l'entrée de l'amplificateur le plus petit possible.

On peut mettre à profit le fait que la résistance équivalente de bruit R_n est faible (à 20 GHz, la valeur fournie par le modèle est de 22Ω pour une largeur de $45 \times 2 \mu\text{m}$), ce qui rend les performances en bruit du transistor moins tributaires de l'impédance présentée à son entrée (formule [II-2]). A titre de comparaison, un transistor MOSFET SOI à substrat flottant de longueur de grille $0,75 \mu\text{m}$ possède une résistance R_n supérieure à 120Ω à 2 GHz [15]. On privilégiera donc l'adaptation en puissance au détriment de l'adaptation optimale en bruit, sans craindre des conséquences trop désastreuses sur le facteur de bruit NF. Deux techniques sont alors envisageables. La première dérive de la technique précédente et consiste à ne conserver que la ligne en série avec la grille (Figure II-10-b) afin d'éviter les pertes de la ligne de source, tandis que la seconde utilise une ligne en parallèle avec la grille (Figure II-10-c).

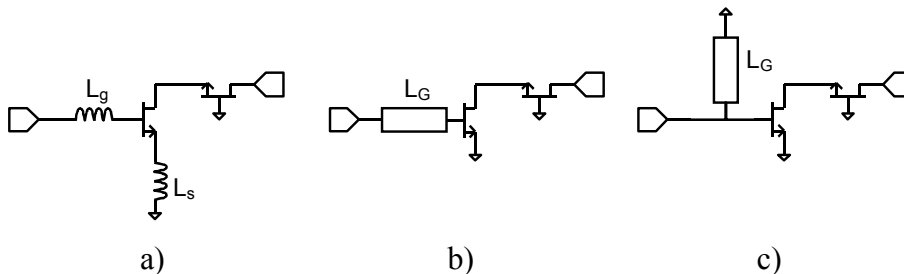


Figure II-10 : Adaptation de l'entrée de la paire cascode. a) Adaptation par inductance (idéale) de source dégénérée, b) avec une ligne en série, c) avec une ligne en parallèle sur la grille.

La Figure II-11, représentant la simulation des paramètres S et des paramètres de bruit pour les trois circuits de la Figure II-10, permet de quantifier les avantages et les inconvénients apportés par ces techniques d'adaptation dérivées de la technique d'adaptation par inductance (idéale) de source dégénérée. Les transistors à prises ont été polarisés dans les conditions optimales de bruit avec un courant $I_{ds} = 135\text{mA/mm}$. Les paramètres des trois circuits sont les suivants :

- en a) : les transistors ont un développement de $50 \times 2 \mu\text{m}$ et les inductances de grille et de source ont des valeurs respectives de 350 pH et 200 pH ,
- en b) : les transistors ont un développement de $50 \times 2 \mu\text{m}$ et la ligne microruban en série sur la grille a une longueur de $1000 \mu\text{m}$ et une largeur de $3 \mu\text{m}$,
- en c) : les transistors ont un développement de $45 \times 2 \mu\text{m}$ et la ligne microruban en parallèle sur la grille a une longueur de $740 \mu\text{m}$ et une largeur de $3 \mu\text{m}$.

A 20 GHz , le circuit avec la ligne en série sur la grille a un gain S_{21} de $6,8 \text{ dB}$ et un facteur de bruit NF de $2,6 \text{ dB}$ proche de ceux obtenus avec la technique d'adaptation par inductance idéale de source dégénérée, mais l'adaptation en puissance est très médiocre avec un coefficient S_{11} de $-4,8 \text{ dB}$. Le circuit avec la ligne en parallèle sur la grille permet d'obtenir un gain S_{21} de $9,6 \text{ dB}$, qui est le plus élevé, et ce avec une très bonne adaptation en puissance puisque le coefficient S_{11} vaut $-14,2 \text{ dB}$, mais avec un facteur de bruit NF plus important de $3,7 \text{ dB}$.

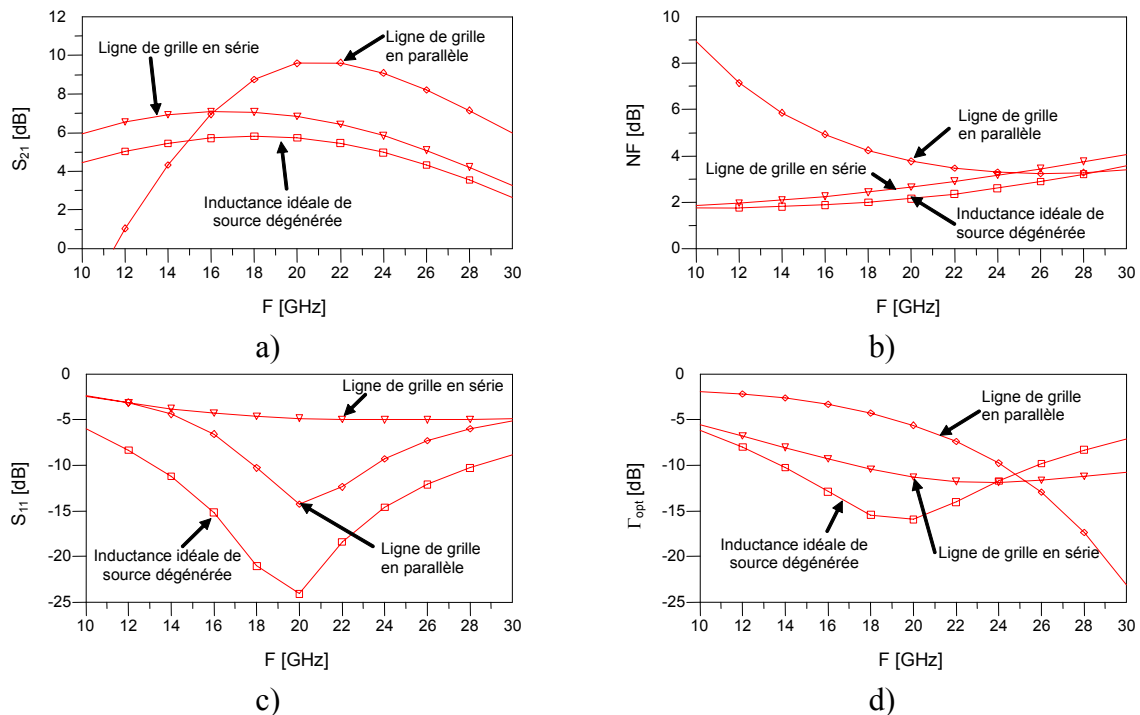


Figure II-11 : Comparaison des techniques d'adaptation. a) Gain S_{21} . b) Facteur de bruit NF . c) Coefficient de réflexion S_{11} . d) Coefficient de réflexion optimale en bruit Γ_{opt} .

Un critère de comparaison des techniques d'adaptation commence par l'examen du facteur de mérite en bruit M (formule [II-7]), qui mesure le compromis réalisé entre les valeurs de gain (désirées élevées) et de facteur de bruit (désirées faibles). Ce facteur est favorable à la technique d'adaptation avec une ligne en série sur la grille avec une valeur de 1,5 tandis que la technique avec une ligne en parallèle donne un facteur égal à 2.

La Figure II-12 représente le gain S_{21} , le facteur de bruit NF , le coefficient de réflexion en entrée S_{11} et le facteur de mesure du bruit M les uns en fonction des autres afin de mettre en lumière de manière plus globale, les performances des techniques d'adaptation par rapport aux objectifs de conception. De ces représentations, il ressort que l'adaptation avec une ligne en parallèle sur la grille permet d'obtenir le meilleur compromis.

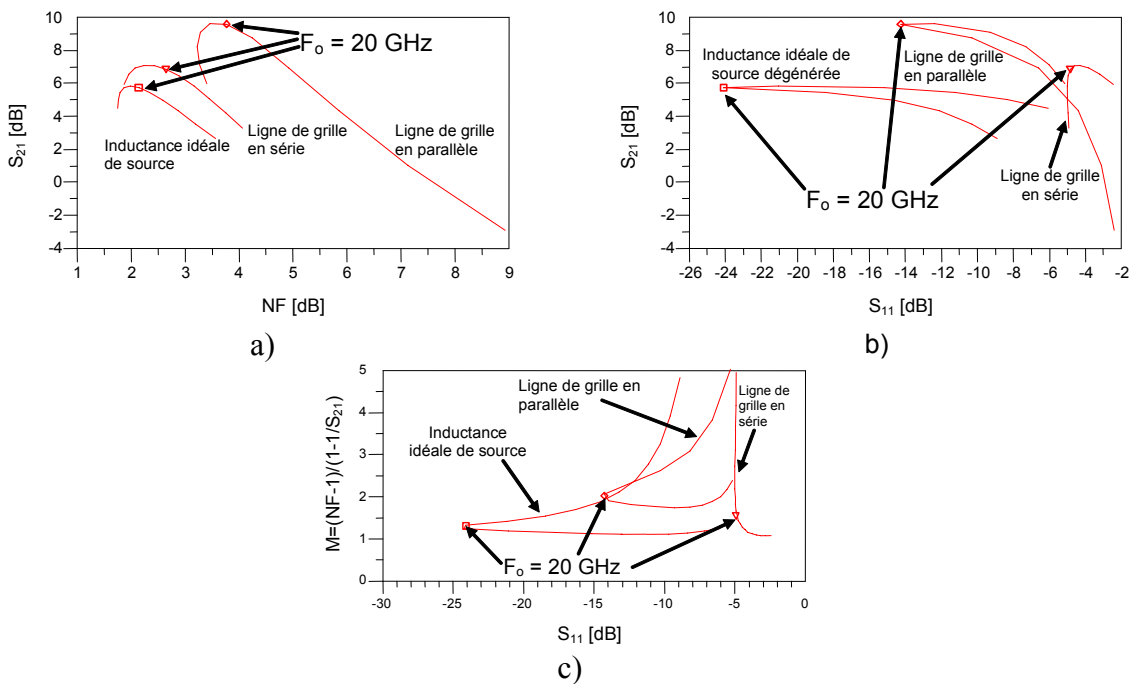


Figure II-12 : Facteur de mérite des LNA : gain S_{21} en fonction du facteur de bruit NF (a) et du coefficient de réflexion S_{11} (b) et facteur de mesure du bruit M en fonction du coefficient d'adaptation en puissance S_{11} (c).

II.4. Conception et dessin de trois amplificateurs faible bruit à structure cascode à 23 GHz

Trois amplificateurs faible bruit ont été conçus et dessinés selon la même architecture, avec une fréquence centrale fixée à 23 GHz³. Ils sont constitués d'un premier étage de type cascode suivi d'un deuxième étage de type source commune pour réaliser l'adaptation en sortie à 50 Ω. Les trois amplificateurs sont nommés V2, V3 et V4 pour conserver les mêmes appellations à la fois dans ce mémoire et dans le rapport de conception.

II.4.1. Comparaison des adaptations en puissance et en bruit pour les trois versions

La seule différence entre les trois circuits réside dans le circuit d'adaptation en entrée qui a été conçu pour réaliser différentes combinaisons entre l'adaptation en puissance et l'adaptation en bruit. Les deux premiers circuits utilisent une ligne de grille en parallèle L_G (Figure II-13-a) dont la longueur a été choisie de manière à privilégier l'adaptation en puissance (amplificateur V2) ou en bruit (amplificateur V3), tandis que la dernière version (V4) comporte une ligne de source L_S en plus (Figure II-13-b), permettant de réaliser un compromis entre l'adaptation en bruit et en puissance. La Figure II-14 montre l'évolution des coefficients d'adaptation de l'entrée en bruit Γ_{opt} et en puissance S_{11} pour les trois circuits.

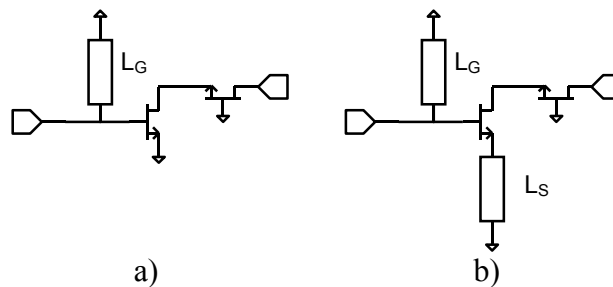


Figure II-13 : Adaptation de l'étage cascode avec une ligne de grille en parallèle (a), et avec une ligne de source en plus (b).

³ qui correspond à un standard de communication sans fil de point à point.

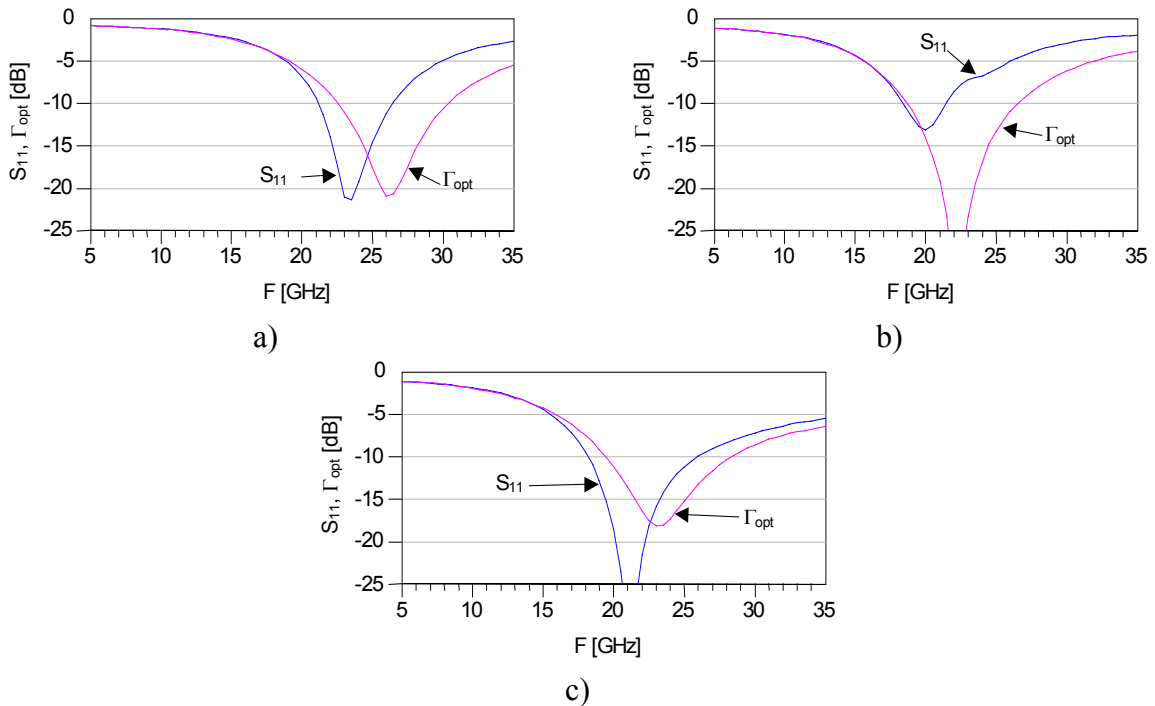


Figure II-14 : Simulation des coefficients d'adaptation de l'entrée en bruit Γ_{opt} et en puissance S_{11} des trois amplificateurs faible bruit. a) V2. b) V3. c) V4.

II.4.2. Schéma électrique et dessin

Puisque les trois circuits ont été conçus sur la même base, seuls le schéma électrique et le dessin de la dernière version V4 sont représentés à la Figure II-15 et à la Figure II-16. Les paramètres électriques sont résumés dans le Tableau II-2. En plus du premier étage de type cascode, un deuxième étage de type source commune est utilisé pour réaliser l'adaptation en sortie à 50Ω . Ce sont des lignes de transmission microruban, avec un conducteur implémenté sur le niveau de cuivre 6 recouvert d'aluminium pour minimiser les pertes métalliques, qui ont été utilisées dans les trois versions.

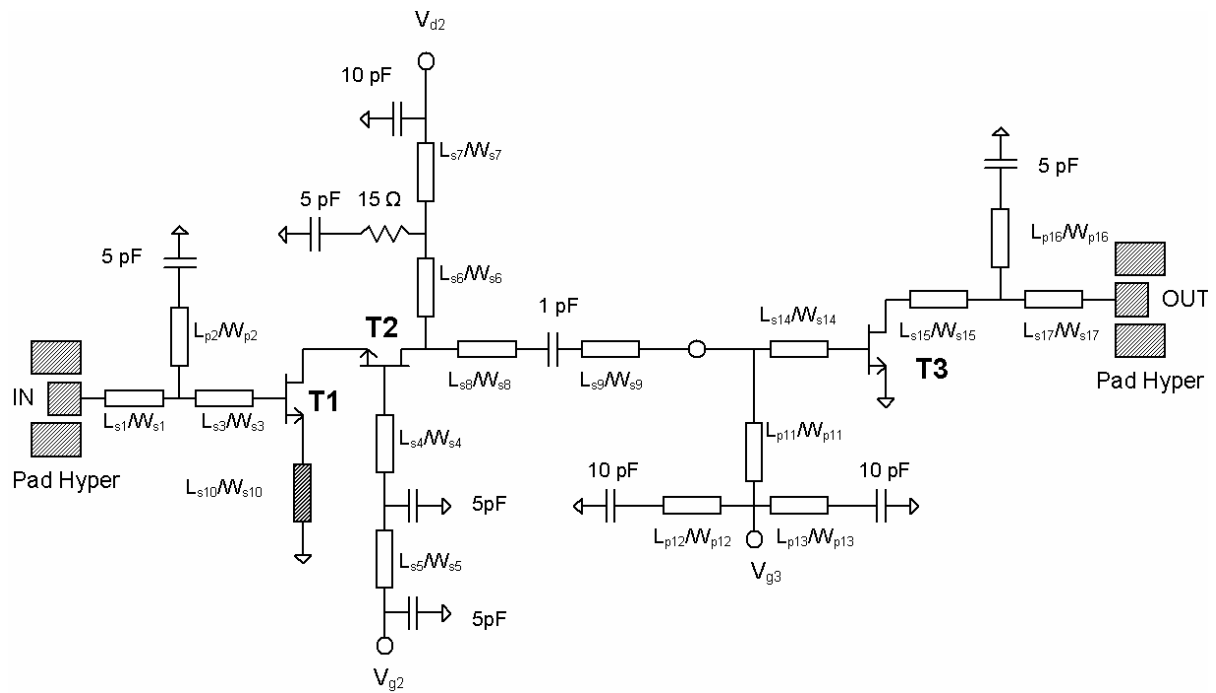


Figure II-15 : Schéma électrique de l'amplificateur faible bruit V4.

Version	V2	V3	V4
Transistors	A prises substrat, $L_g = 130$ nm		
W_{T1} [μm]	45x2 176 mA/mm, $V_{ds} = 0,8\text{V}$		
W_{T2} [μm]	45x2 176 mA/mm, $V_{ds} = 0,8\text{V}$		
W_{T3} [μm]	40x2 214 mA/mm, $V_{ds} = 0,8\text{V}$		
Lignes	Microruban		
L_{s1}/W_{s1} ($\mu\text{m}/\mu\text{m}$)	20 / 7		
L_{p2}/W_{p2} ($\mu\text{m}/\mu\text{m}$)	380 / 4,4	500 / 4,4	500 / 4,4
L_{s3}/W_{s3} ($\mu\text{m}/\mu\text{m}$)	9 / 7		
L_{s4}/W_{s4} ($\mu\text{m}/\mu\text{m}$)	50 / 4,4		
L_{s5}/W_{s5} ($\mu\text{m}/\mu\text{m}$)	700 / 4,4		
L_{s6}/W_{s6} ($\mu\text{m}/\mu\text{m}$)	860 / 4,4	860 / 4,4	890 / 4,4
L_{s7}/W_{s7} ($\mu\text{m}/\mu\text{m}$)	160 / 4,4	130 / 4,4	140 / 4,4
L_{s8}/W_{s8} ($\mu\text{m}/\mu\text{m}$)	6 / 4,4		
L_{s9}/W_{s9} ($\mu\text{m}/\mu\text{m}$)	24 / 4,4		
L_{s10}/W_{s10} ($\mu\text{m}/\mu\text{m}$)	X	X	150 / 4,4
L_{p11}/W_{p11} ($\mu\text{m}/\mu\text{m}$)	500 / 4,4		
L_{p12}/W_{p12} ($\mu\text{m}/\mu\text{m}$)	20 / 4,4		
L_{p13}/W_{p13} ($\mu\text{m}/\mu\text{m}$)	20 / 4,4		
L_{s14}/W_{s14} ($\mu\text{m}/\mu\text{m}$)	15 / 4,4		
L_{s15}/W_{s15} ($\mu\text{m}/\mu\text{m}$)	130 / 7		
L_{p16}/W_{p16} ($\mu\text{m}/\mu\text{m}$)	310 / 4,4		
L_{s17}/W_{s17} ($\mu\text{m}/\mu\text{m}$)	31 / 7		
Surface (μm^2)	660x1000		

Tableau II-2 : Paramètres des amplificateurs faible bruit.

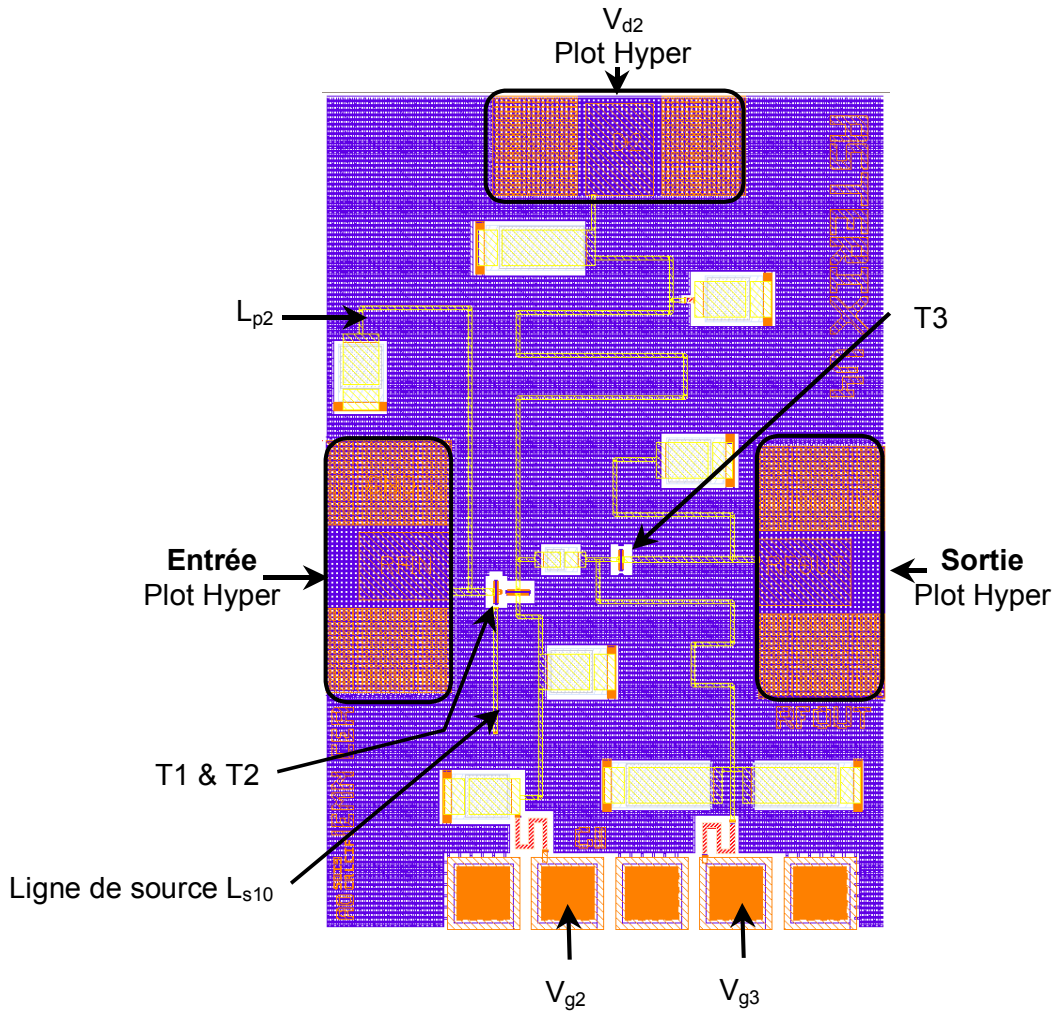


Figure II-16 : Dessin de l'amplificateur faible bruit cascode V4 (surface de 0,66 x 1,0 mm²).

II.4.3. Simulation en petit signal des amplificateurs faible bruit

La Figure II-17 montre les évolutions fréquentielles théoriques du gain en puissance S_{21} , du gain maximum disponible MAG, du facteur de bruit minimal NF_{min} et du facteur de bruit NF sur 50 Ω de l'amplificateur faible bruit V2. Un gain de 19 dB et un facteur de bruit de 7 dB sont obtenus à la fréquence de 23 GHz. La contribution de chaque étage au gain et au facteur de bruit est donnée dans le Tableau II-3. Chacun des deux transistors en source commune fournit entre 8 dB et 9 dB de gain, tandis que le transistor grille commune de la paire cascode, dont le rôle est de réduire l'effet Miller (cf. Chapitre IV, Annexe IV.A.1), fournit uniquement 2 dB de gain. Les performances simulées des trois amplificateurs sont résumées dans le Tableau II-4.

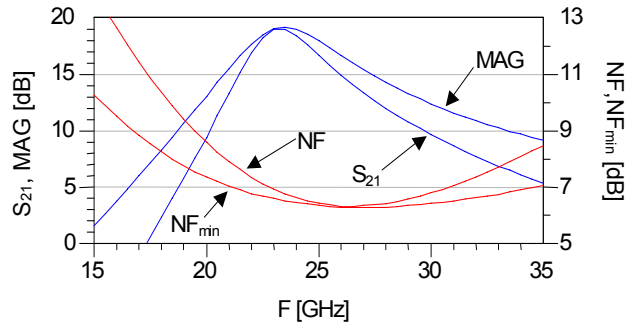


Figure II-17 : Simulation du gain en puissance S_{21} , du gain maximum disponible MAG et du facteur de bruit de l'amplificateur cascode V2.

Etage		Gain [dB]	NF _{50 Ω} [dB]
Cascode	Source commune	8,7	5,8
	Grille commune	2	8
Buffer		8,3	7,8

Tableau II-3 : Gain et Facteur de bruit de chaque étage de l'amplificateur faible bruit V2.

Version	Adaptation Etages entrée	Gain	Bruit	S ₂₁ [dB]	NF _{50 Ω} [dB]	NF _{min} [dB]	S ₁₁ [dB]	Γ _{opt} [dB]	M ⁽¹⁾
V2	Ligne parallèle sur la grille (L _{p2})	x		19	7	6,6	-21	-11	4
V3	Ligne parallèle sur la grille (L _{p2})		x	19,2	6,1	6,1	-7,2	-23	3,1
V4	Ligne parallèle sur la grille (L _{p2}) + ligne de source (L _{s10})	x	x	17	6,3	6,2	-15	-19	3,3

⁽¹⁾ Facteur de mesure du bruit (cf. II.1.2) dont l'expression est : $M=(NF-1)(1-1/G)$

Tableau II-4 : Résumé des performances simulées à 23 GHz des amplificateurs faible bruit cascode à ligne microruban.

Pour compléter la comparaison des performances et des adaptations, la Figure II-18 représente pour les trois versions l'évolution du gain en puissance S_{21} , du facteur de bruit NF et du facteur de mesure du bruit M en fonction du coefficient de réflexion en entrée S_{11} à différentes valeurs de la fréquence :

- _ la version V2 obtient le meilleur compromis entre S_{21} et S_{11} mais au prix du facteur de mesure du bruit M le plus élevé⁴,
- _ la version V3 obtient le meilleur compromis entre S_{21} et NF, ce qui se traduit par le facteur M le plus faible (3,4), mais avec une adaptation en puissance faible puisque le coefficient de réflexion S_{11} est inférieur à -7,2 dB,

⁴ Rappel : M doit être le plus faible possible.

- la version V4 permet d'obtenir le meilleur compromis entre S_{21} , S_{11} et NF; le facteur de mesure du bruit $M = 3,7$ est proche de celui de la version V3, mais avec une adaptation en puissance bien meilleure ($S_{11} < -15$ dB).

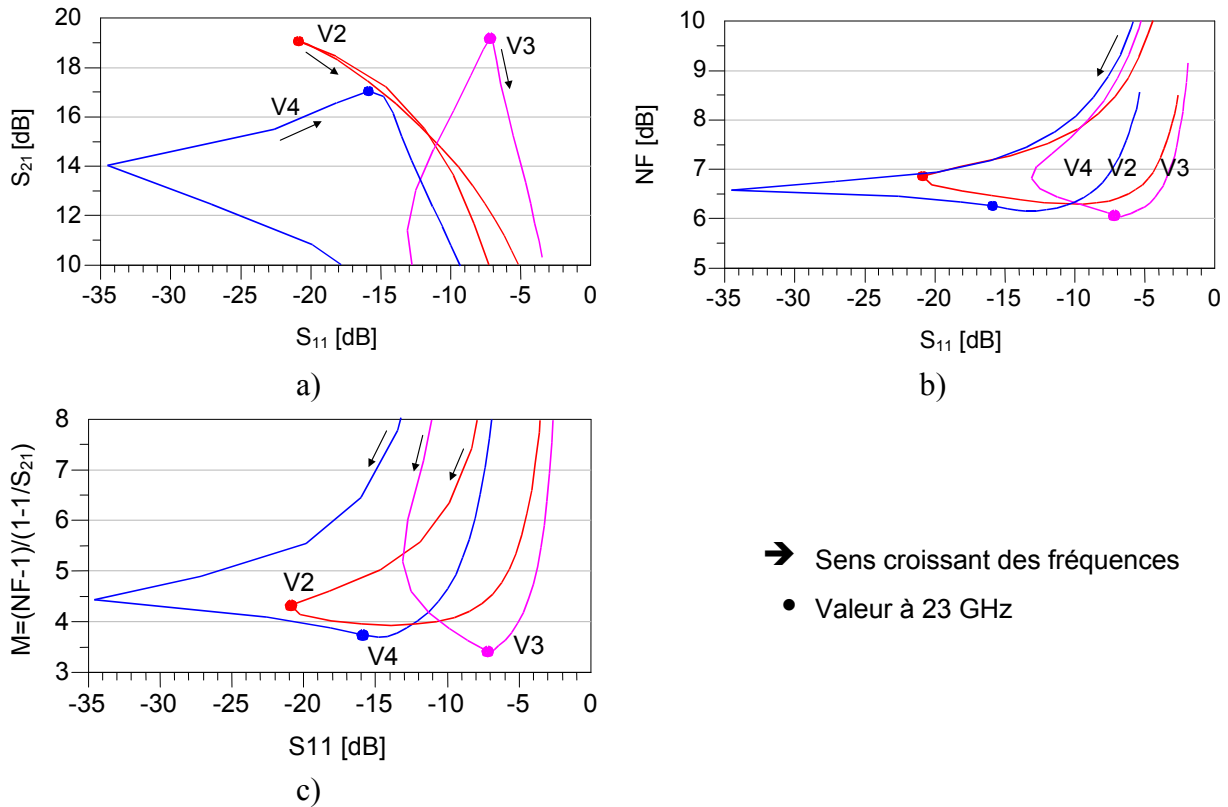


Figure II-18 : a) Gain en puissance S_{21} . b) Facteur de bruit NF. c) Facteur de mesure du bruit M en fonction du coefficient d'adaptation en puissance S_{11} (les flèches indiquent le sens croissant des fréquences).

II.4.4. Comparaison à l'état de l'art

Dans cette partie, nous confrontons les performances obtenues en simulation pour l'amplificateur V3, qui obtient le meilleur facteur M de mesure du bruit, à celles des circuits publiés en CMOS sur substrat massif et sur SOI (Tableau II-1, p. 209). La comparaison est un exercice difficile à cause, entre autres de l'hétérogénéité des publications et des orientations choisies pour la conception. Plusieurs facteurs sont à prendre en compte pour établir des comparaisons :

- circuit de démonstration ou circuit commercial,

- _ mesure du circuit sous pointes ou mis en boîtier,
- _ objectifs de conception : basse consommation, haute linéarité, optimisation du facteur de bruit ou du gain, objectifs croisés (gain et bruit par exemple), etc...
- _ topologie du circuit : nombre d'étages, type d'étages (source commune, grille commune, cascode, circuit avec contre-réaction, circuit différentiel),
- _ filière technologique : CMOS, SOI, SiGe, composés III-V,
- _ maturité de la technologie : technologie en phase de Recherche et Développement ou technologie industrialisée, etc.,
- _ technologie des éléments passifs : lignes de transmission ou éléments localisés, épaisseur des couches de métallisation, épaisseur d'oxyde,
- _ etc...

II.4.4.a) Facteurs de mérite

Le facteur de mérite M de mesure du bruit est défini par (cf. II.1.2) :

$$[\text{II-13}] \quad M = \frac{(NF - 1)}{1 - \frac{1}{G}}$$

Dans ce facteur de mérite, G est normalement le gain en puissance disponible qui s'exprime par :

$$[\text{II-14}] \quad G = \frac{1 - |\Gamma_G|^2}{|1 - \Gamma_G \Gamma_{IN}|^2} |S_{21}|^2 \frac{1 - |\Gamma_L|^2}{|1 - S_{22} \Gamma_L|^2}$$

où Γ_G et Γ_L sont les coefficients de réflexion du générateur et de la charge. Γ_{IN} est défini par :

$$[\text{II-15}] \quad \Gamma_{IN} = S_{11} + \frac{S_{12} S_{21} \Gamma_L}{1 - S_{22} \Gamma_L}$$

Cependant, beaucoup de publications ne donnent pas les valeurs des coefficients de réflexion S_{11} et S_{22} ni du coefficient d'isolation S_{12} , ce qui ne permet pas de calculer le facteur M de manière rigoureuse.

Pour remédier à ce problème, nous avons choisi de simplifier le calcul de M en prenant comme définition du gain $G = |S_{21}|^2$, ce qui se justifie en partie si on considère que

l'environnement des circuits est sur 50Ω et que l'adaptation en sortie des LNA ne pose généralement pas de problèmes.

A partir de cette hypothèse, nous avons tracé sur la Figure II-19, le gain en puissance en fonction du facteur de bruit NF à M constant. Ce facteur est censé refléter le compromis réalisé entre le gain et le facteur de bruit. Il est cependant très sensible aux variations du facteur de bruit et tend à minimiser les performances en gain, comme le montrent les courbes à valeurs constantes de M sur la Figure II-19. Il avantage par conséquent les conceptions pour lesquelles l'optimisation du facteur de bruit est primordiale, ce qui met quelque peu en cause sa pertinence. Ainsi, selon ce critère, l'amplificateur à 24 GHz en technologie CMOS sur substrat massif $0,18 \mu\text{m}$ [7] est le meilleur des circuits CMOS sur substrat massif et sur SOI entre 21 et 24 GHz. Dans l'absolu, la meilleure performance parmi les circuits publiés est celle obtenue par l'amplificateur réalisé avec une technologie CMOS SOI 90 nm [2].

Notre circuit (version V3) permet d'obtenir en simulation le gain le plus élevé pour un circuit CMOS fonctionnant au-delà de 20 GHz, mais au détriment d'un facteur M faible en comparaison aux deux circuits [2, 7]. Cependant, dans la mesure où aucune performance au-delà de 20 GHz n'a été publiée en SOI avec une longueur de grille comparable à 130 nm, et dans la mesure où la fiabilité de nos modèles a été démontrée, nous pouvons estimer que notre circuit est à l'état de l'art.

II.4.4.b) Autre critère d'évaluation

Le simple examen du gain et du facteur de bruit par le biais de M est insuffisant pour évaluer la qualité d'un amplificateur, car le gain est lié au nombre d'étages et à leur polarisation. Un critère de comparaison entre circuits plus pertinent devrait tenir compte de la puissance statique, ce qui est le cas dans le facteur de mérite F_m que nous proposons, dans lequel la division du gain linéaire par la puissance statique P_{DC} revient à établir une notion d'« efficacité du gain » :

$$[\text{II-16}] \quad F_m = \frac{G}{P_{DC}} \text{ en dB/mW}$$

Le facteur F_m , qui doit être le plus élevé possible pour un bon amplificateur, est tracé en fonction du facteur de bruit à la Figure II-20.

Là encore, l'amplificateur 0,18 μm CMOS sur substrat massif à 24 GHz [7] obtient la meilleure performance selon le facteur F_m des amplificateurs au-delà de 20 GHz, avec une valeur $G/P_{\text{DC}} = 0,94 \text{ dB/mW}$. En comparaison, notre amplificateur cascode V3 a un rapport plus faible $G/P_{\text{DC}} = 0,5 \text{ dB/mW}$. Ce résultat confirme la supériorité de la structure source commune par rapport à la structure cascode (source commune + grille commune) en termes de rapport gain/consommation.

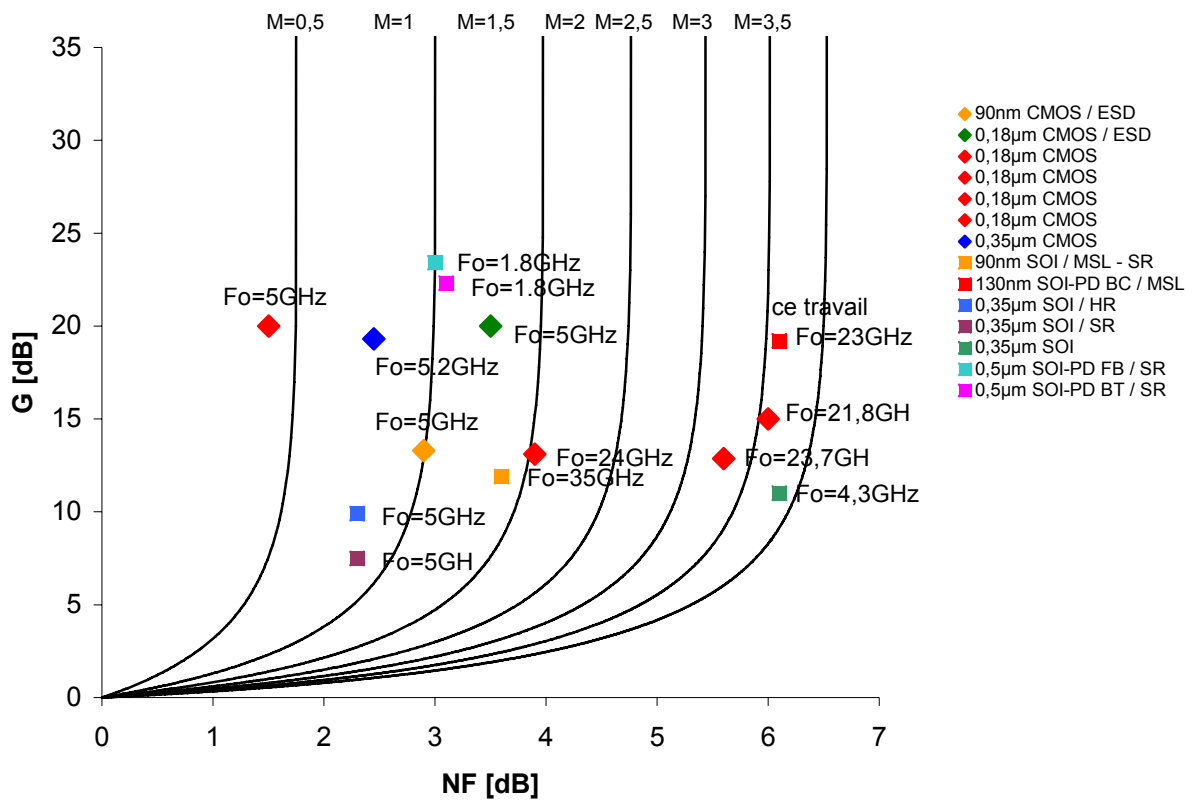


Figure II-19 : Gain en fonction du facteur de bruit NF.

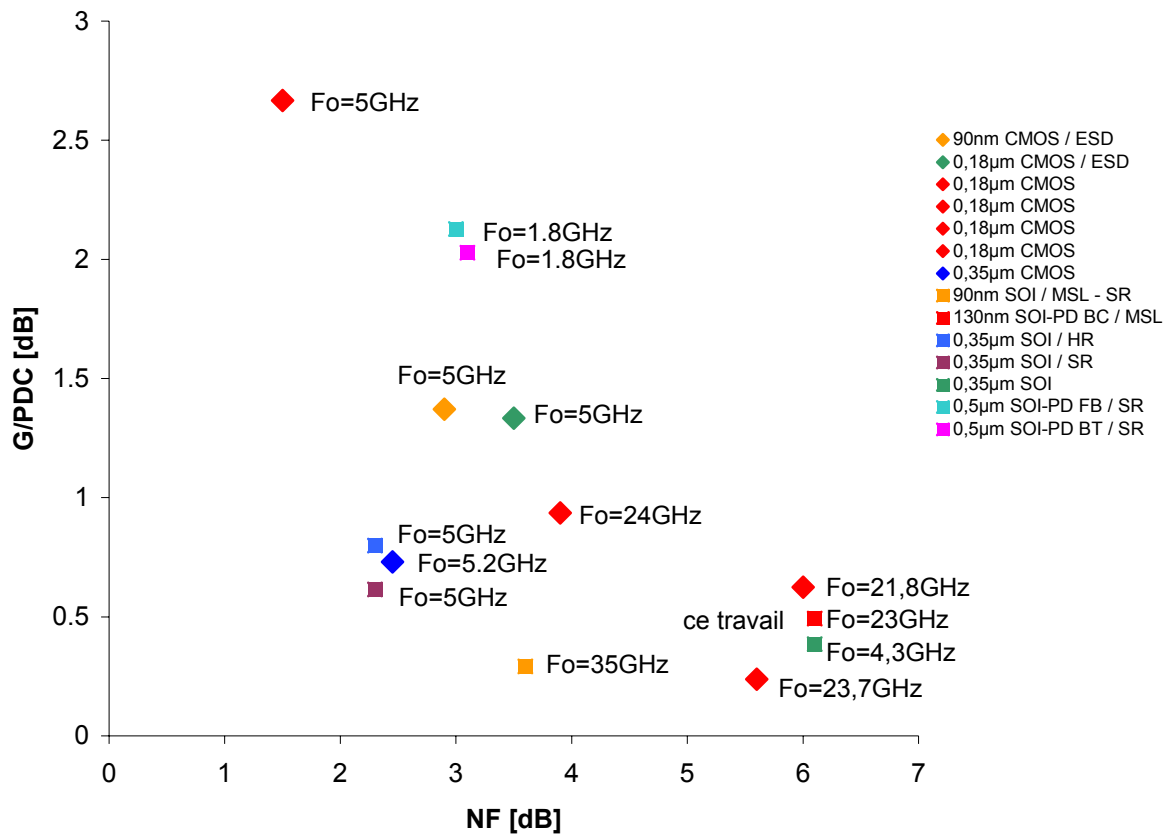


Figure II-20 : Rapport Gain/ P_{DC} en fonction du facteur de bruit NF.

III. Mélangeur cascode

Le mélangeur est un élément essentiel d'une chaîne d'émission/réception pour les opérations de modulation et de démodulation. Ce sont les non linéarités du composant utilisé (diode ou transistor) qui permettent de réaliser la transposition d'un signal de la fréquence F_{RF} à une fréquence plus basse et réciproquement, grâce à un oscillateur local (OL). Celui-ci, de forte puissance, est aussi appelé « pompe » car il permet d'assurer un fonctionnement en grand signal.

Dans un récepteur de type hétérodyne, le premier mélangeur convertit le signal F_{RF} à une fréquence intermédiaire F_{FI} qui sera ensuite utilisée pour réaliser la démodulation. Cette partie présente la conception d'un tel mélangeur en SOI 130 nm, avec une structure active de type cascode.

III.1. Grandeurs caractéristiques du mélangeur

III.1.1. Gain de conversion

Le gain de conversion G_c est la grandeur qui traduit l'efficacité de la conversion d'un signal d'une fréquence à une autre fréquence. Il est défini par le rapport de la puissance du signal P_s en sortie à la fréquence intermédiaire F_{FI} sur la puissance du signal P_e en entrée à la fréquence F_{RF} :

$$[\text{III-1}] \quad G_c = \frac{P_s(F_{FI})}{P_e(F_{RF})}$$

III.1.2. Isolations

Le fondamental et les harmoniques des signaux de fréquence F_{RF} et F_{OL} ainsi que leurs combinaisons sont indésirables à la sortie du mélangeur, tout comme la présence de signaux à des fréquences autre que F_{RF} et F_{OL} sur les entrées RF et OL (Figure III-1).

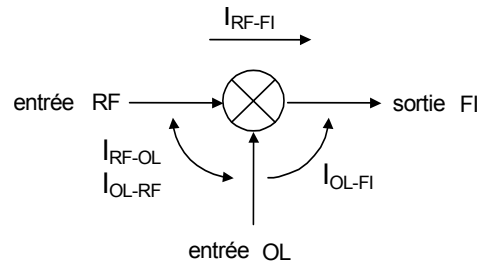


Figure III-1 : Principales isolations à considérer entre les accès d'un mélangeur.

Pour quantifier la présence plus ou moins importante de fréquences parasites passant entre deux accès, on définit la notion d'isolation. Les isolations entrée-entrée sont données par :

$$[\text{III-2}] \quad \text{Isolation OL - RF} = \frac{\text{Puissance à } F_{OL} \text{ sur l'entrée RF}}{\text{Puissance à } F_{OL} \text{ sur l'entrée OL}}$$

$$[\text{III-3}] \quad \text{Isolation RF - OL} = \frac{\text{Puissance à } F_{RF} \text{ sur l'entrée OL}}{\text{Puissance à } F_{RF} \text{ sur l'entrée RF}}$$

Les isolations entrée-sortie sont données par :

$$[\text{III-4}] \quad \text{Isolation OL - FI} = \frac{\text{Puissance à } F_{OL} \text{ sur la sortie FI}}{\text{Puissance à } F_{OL} \text{ sur l'entrée OL}}$$

$$[\text{III-5}] \quad \text{Isolation RF - FI} = \frac{\text{Puissance à } F_{RF} \text{ sur la sortie FI}}{\text{Puissance à } F_{RF} \text{ sur l'entrée RF}}$$

Un mélangeur de bonne qualité aura les isolations les plus élevées possibles. Les isolations OL – RF et OL – IF sont celles que l'on cherchera à améliorer en priorité à cause de l'amplitude élevée du signal de pompe de l'OL qui les rend naturellement faibles. Les deux autres isolations RF – OL et RF – FI sont généralement de valeur acceptable en raison de l'amplitude faible du signal RF en entrée du circuit. On cherche souvent à court-circuiter les signaux RF et OL en sortie pour améliorer le gain de conversion G_c , ce qui a pour effet d'augmenter les isolations de type entrée-sortie.

III.1.3. Puissance de compression à -1 dB

La puissance de compression à -1 dB en entrée est la valeur de la puissance RF pour laquelle il existe un écart de 1 dB entre la puissance en sortie à la fréquence intermédiaire F_{FI} obtenue par extrapolation linéaire et celle véritablement obtenue (Figure III-2-a). C'est plus

simplement la valeur de la puissance d'entrée RF qui provoque une chute du gain de conversion de 1 dB (Figure III-2-b).

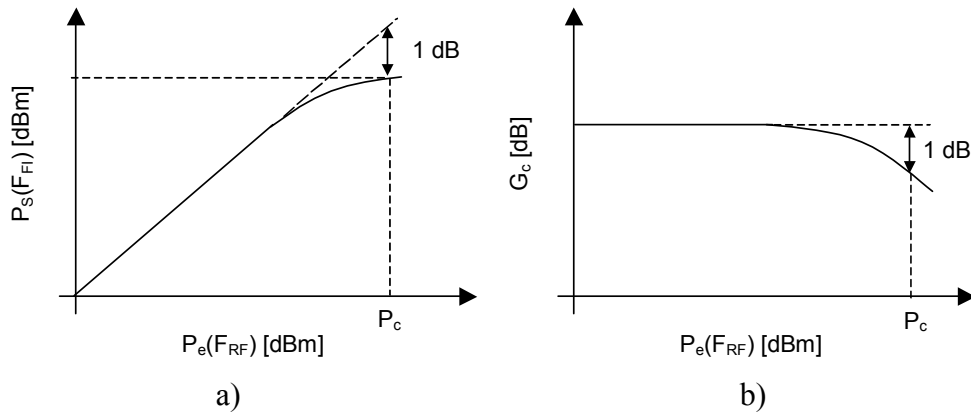


Figure III-2 : Définition de la puissance de compression à -1 dB reliée à la puissance de sortie (a) et au gain de conversion (b).

III.1.4. Intermodulation d'ordre 3

L'intermodulation traduit la sensibilité du mélangeur aux interférences. Elle se détermine en appliquant deux signaux sur l'entrée RF, de fréquences voisines F_1 et F_2 telles que l'écart soit faible, de 10 MHz à 100 MHz, pour rester à l'intérieur de la bande passante, et de même puissance P_{RF} . L'intermodulation génère des composantes indésirables en sortie du mélangeur aux fréquences suivantes (Figure III-3) :

$$[\text{III-6}] \quad F_{IMD} = \pm q \cdot F_1 \pm r \cdot F_2 \pm s \cdot F_{OL}$$

où q , r et s sont des nombres entiers positifs. Les composantes les plus gênantes sont les raies $F_{IMD1} = 2F_1 - F_2 - F_{OL}$ et $F_{IMD2} = 2F_2 - F_1 - F_{OL}$ car elles sont proches des fréquences intermédiaires $F_{IF1} = F_1 - F_{OL}$ et $F_{IF2} = F_2 - F_{OL}$, et par conséquent difficiles à filtrer. De plus, l'intensité de ces raies augmente proportionnellement au cube de la puissance du signal d'entrée, ce qui rend leur puissance critique.

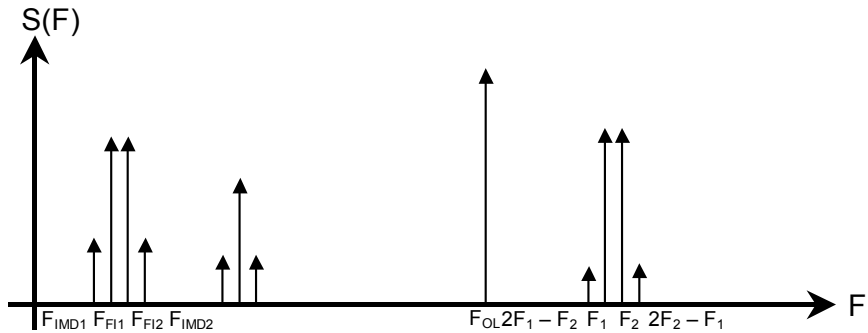


Figure III-3 : Spectre représentant les principaux produits d'intermodulation du mélangeur, résultant de deux signaux RF proches en fréquence.

Les grandeurs caractéristiques de l'intermodulation sont l'IMD3 et l'IP3 :

- L'IMD3 est le taux d'intermodulation d'ordre 3, défini comme étant le rapport de la puissance de sortie P_{s1} (aux fréquences F_{FI1} et F_{FI2}) et de la puissance d'intermodulation P_{s3} (aux fréquences F_{IMD1} et F_{IMD2}) (Figure III-4-a) :

[III-7]
$$IMD3(dB) = P_{s1}(dBm) - P_{s3}(dBm) \text{ à } P_{RF} \text{ donnée,}$$

- L'IP3 est le point d'interception d'ordre 3, défini comme étant la puissance de sortie correspondant au point de rencontre des droites extrapolées qui représentent l'évolution de P_{s1} et P_{s3} en fonction de la puissance P_{RF} (Figure III-4-b). Les pentes ont des coefficients directeurs respectifs de 1 et 3, si bien que l'IP3 s'exprime par la formule :

[III-8]
$$IP3(dBm) = \frac{3}{2} P_{s1}(dBm) - \frac{1}{2} P_{s3}(dBm)$$

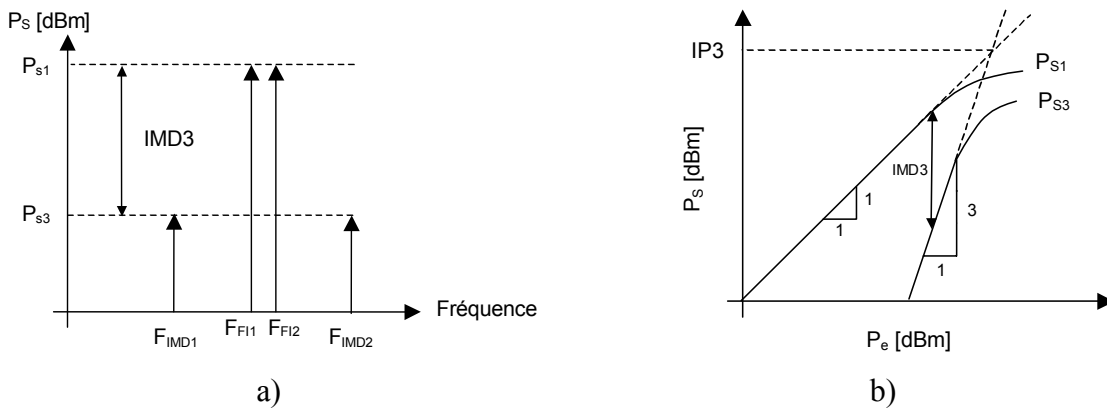


Figure III-4 : Détermination du taux d'intermodulation d'ordre 3 IMD3 (a) et du point d'interception d'ordre 3 IP3 (b).

On en conclue qu'un point d'interception IP3 élevé garantit une faible amplitude du taux d'intermodulation IMD3, qui représente plus une caractéristique opérationnelle du mélangeur.

III.2. Le mélangeur cascode

III.2.1. Choix de l'architecture du mélangeur

L'architecture retenue est de type cascode (Figure III-5), dans laquelle le signal RF est appliqué sur la grille du transistor source commune (T1) et l'oscillateur local (OL) est appliqué sur la grille du transistor grille commune (T2). Le mélangeur cascode présente en effet plusieurs atouts par rapport aux mélangeurs actifs utilisant un transistor monté en source commune ou aux mélangeurs passifs.

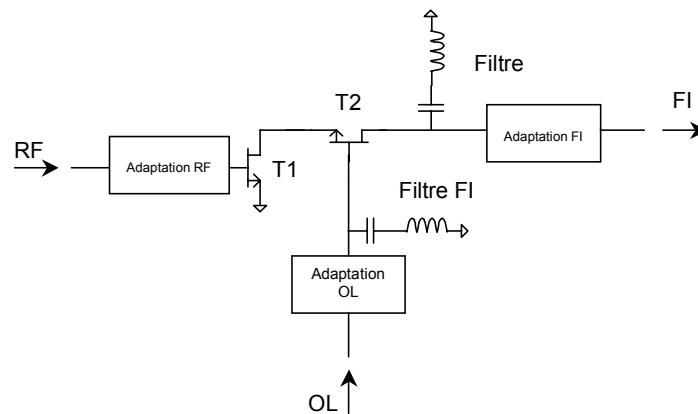


Figure III-5 : Schéma type du mélangeur cascode.

Pour commencer, le fait d'appliquer les signaux RF et OL sur des grilles séparées assure d'emblée une bonne isolation entre la RF et l'OL, facilite la conception des circuits d'adaptation, simplifie le dessin du circuit et permet par conséquent d'économiser une surface importante en rendant les coupleurs et les baluns inutiles [16, 17].

De plus, ce mélangeur étant actif, il fournira un gain de conversion supérieur à 1 (ou 0 dB), ce qui évitera l'emploi d'un amplificateur à la fréquence intermédiaire FI. Enfin, la réduction de l'effet Miller (cf. Chapitre IV, Annexe IV.A.1) permet d'une part d'obtenir un

gain de conversion meilleur, et d'autre part de réduire la sensibilité du mélangeur aux impédances de source et de charge qui lui sont présentées.

III.2.2. Fonctionnement du mélangeur cascode

Dans la littérature, le mélangeur cascode est souvent référencé sous la dénomination de mélangeur bigrille, la structure de la paire cascode étant similaire à celle du transistor bigrille qui associe deux transistors. La plupart des analyses théoriques [16-25] considère deux transistors monogrilles montés en série comme une paire cascode.

Les principales zones de fonctionnement de la paire cascode peuvent être déterminées à partir de sa caractéristique statique courant/tension (Figure III-6). Les références [17, 21] donnent le procédé pour la tracer. Son intérêt est de donner la distribution des tensions continues dans la paire cascode, notamment V_{ds1} qui est une tension interne dépendant des tensions externes V_{g1s} , V_{g2s} et V_{d2s} .

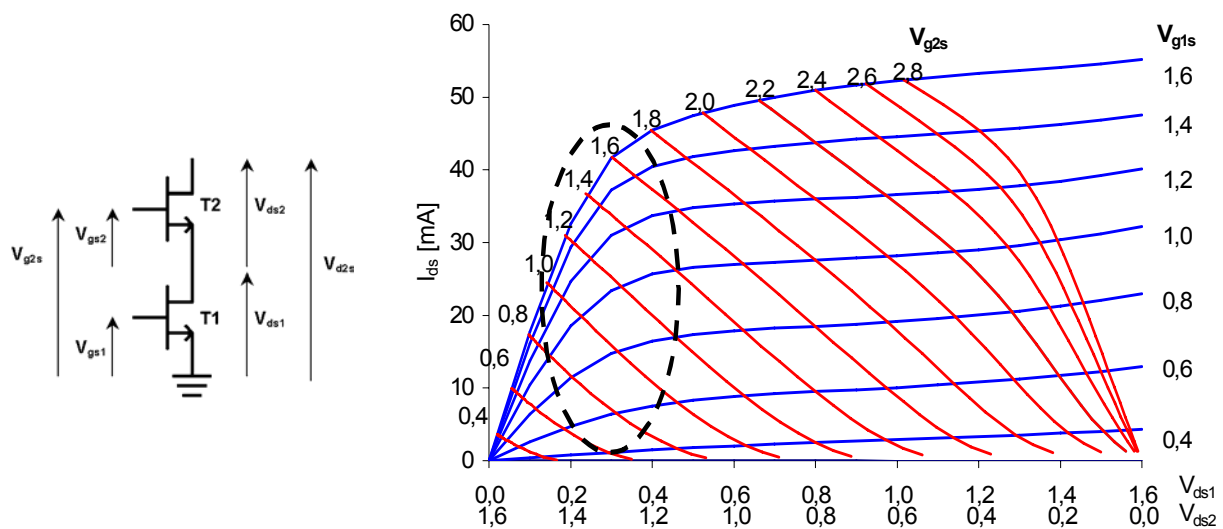


Figure III-6 : Schéma de la paire cascode (gauche) et caractéristique statique courant/tension de la paire cascode (droite). (Transistors à prises, $W = 30 \times 2 \mu\text{m}$, $V_{d2s} = 1,6 \text{ V}$).

La zone entourée par les pointillés correspond aux polarisations pour un fonctionnement en mélangeur [16, 17]. De façon sommaire, le mélange intervient principalement dans le transistor source commune qui se comporte comme un mélangeur de drain, puisque les non linéarités en jeu sont la transconductance G_m et la conductance de sortie

G_{ds} . Le transistor grille commune agit comme un suiveur pour l'OL et comme un amplificateur grille commune à la fréquence FI.

De façon plus détaillée, le transistor source commune entre et sort de la zone saturée lors de chaque cycle de l'OL, puisque ce dernier porte la tension de drain instantanée $V_{ds1}(t)$ alternativement à une valeur haute et à une valeur basse. Lorsque $V_{ds1}(t)$ est faible, le transistor source commune a une transconductance G_m faible et une conductance de sortie G_{ds} élevée. A l'inverse, G_m est élevée et G_{ds} est faible lorsque la valeur de $V_{ds1}(t)$ fait entrer le transistor en zone de saturation.

Le fait de moduler G_m et G_{ds} simultanément et de faire évoluer le point de polarisation du transistor source commune entre les zones linéaires et saturées, réduit les performances en gain du mélangeur, car cela tend à augmenter la valeur moyenne de la conductance G_{ds} et à diminuer la valeur maximale de G_m . En conclusion, même si le transistor grille commune agit comme un amplificateur, les pertes dues à ces effets ne sont pas compensables.

Le drain du transistor grille commune doit être court-circuité au fondamental et à toutes les harmoniques de l'OL afin de supprimer toute composante alternative de la tension V_{d2s} . Ce court-circuit permet de conserver une tension V_{d2s} constante et de garantir un fonctionnement en saturation du transistor grille commune pendant tout le cycle de l'OL. De même, la grille du transistor grille commune doit être court-circuitée à la fréquence IF.

III.2.3. Etat de l'art

Le Tableau III-1 résume l'état de l'art des mélangeurs cascode en III-V permettant de convertir le signal RF à une fréquence intermédiaire plus basse (« *down-converter* »). Nous avons sélectionné les publications ayant uniquement trait à la fonction de mélange. Comme critère de comparaison, nous avons retenu les caractéristiques les plus souvent publiées, à savoir le gain de conversion G_c , la puissance de l'OL, le taux d'intermodulation IMD3 et le bruit. Les autres grandeurs caractéristiques, telles que l'isolation, n'ont pas été prises en compte car elles sont rarement spécifiées par les auteurs. A la lecture de ce tableau, quelques constatations ressortent :

- le gain de conversion G_c des mélangeurs cascode se situe entre 2,9 dB et 8,1 dB pour des fréquences de fonctionnement autour de 10 GHz,

- _ les puissances d'oscillateur local sont comprises entre 0 dBm et 14 dBm,
- _ le facteur de bruit se situe généralement entre 8 dB et 13 dB.

Technologie		F_t/F_{max} [GHz]	F_{RF}/F_{OL} [GHz]	G_c [dB]	P_{OL} [dBm]	IMD_3 [dBc]	NF [dB] F_{IF} [GHz]	V_{dd} [V]	P_{DC} [mW]
0,5µm GaAs FET, MIC [26]			28,75/25	3	10	-	10	-	-
0,8µm MESFET, Hybrid [17]			12/10.75	5	-	-	8-9 0.8-1.5 GHz SSB	-	-
1µm MESFET, MIC Mixer+Buffer [23]			12/10.8	2,9	14	-	12-12,6 0.9-1.4 GHz SSB	-	-
HEMT Hybrid [16]		-	10/9,7	8,1	0	-28,6 @ $P_{RF}=-20$ dBm	-	3	-
0,2µm pHEMT MMIC [16]		-	27/26,5	5.4	0	-34 @ $P_{RF}=-20$ dBm	-	3	-
0,15µm GaAs pHEMT MMIC [27]	avec adaptation inter-étage	75/180	60/59,3	6,3	2,6	-37 @ $P_{RF}=-16,1$ dBm	-	2.5	15
	sans adaptation inter-étage			3,6		-32 @ $P_{RF}=-16,1$ dBm	-		

SSB : Single-side band

Tableau III-1 : Etat de l'art des mélangeurs cascode.

En complément, nous avons réalisé un état de l'art des mélangeurs CMOS sur substrat massif et sur SOI pour différentes topologies de circuit et pour des fréquences de fonctionnement supérieures à quelques GHz, afin de situer les performances des différentes topologies de mélangeurs en CMOS par rapport à celles de la topologie cascode (Tableau III-2).

Technologie	F_t/F_{max} [GHz]	Topologie	$F_{RF}/F_{OL}/F_{IF}$ [GHz]	G_c [dB]	P_{OL} [dBm]	NF [dB]	G_c/P_{DC} [dB/mW]	V_{dd} [V]	P_{DC} [mW]
0,18µm CMOS [28]	32/42	Cascode + SC	F_{RF} : 1-6 F_{IF} : 0,2	> 13	-	-	0,28	3	46,5
0,18µm CMOS [29]	60/55	Gilbert, 2x équilibré + Buffer de sortie	F_{RF} : 0,3-25 F_{IF} : 0,01	11,5±2,5	-1	-	0,073	-	157
0,18µm CMOS [30]	-	Distribué, 2 étages 1x équilibré	F_{RF} : 3-8,72 F_{IF} : 0,528	4±2	9	-	0,36	-	11
0,13µm CMOS 8M Cu [31]	-	Gilbert, 2x équilibré	F_{RF} : 19 F_{IF} : 2,7	1	-1	9 SSB	0,14	1,2	7
90nm CMOS 5M Cu, MSL [32]	130/100	Résistif à TEC froid	F_{RF} : 15-25 F_{RF} : 20	-19,5	0	-	-	-	-
90nm CMOS SOI 8M Cu, [33]	140/160	Passif à drain	F_{RF} : 35 F_{OL} : 32,5	-4,6	7,5	7,9 SSB	-	0	0

Cu : Cuivre
SSB : Single-Side Band
SC : Source Commune

1x équilibré : simplement équilibré
2x équilibré : doublement équilibré

Tableau III-2 : Etat de l'art des mélangeurs CMOS.

On peut remarquer que des mélangeurs actifs avec des structures complexes telles que le mélangeur de Gilbert doublement équilibré [29] ont été réalisées, montrant un gain de conversion élevé de 11,5 dB sur une bande de fréquence RF de 25 GHz, mais au prix d'une forte consommation de 157 mW. A contrario, un autre mélangeur de Gilbert [31] présente un gain de conversion faible de 1 dB pour un fonctionnement en bande étroite à 19 GHz, mais avec une consommation très faible de 7 mW. Un mélangeur passif à drain [33] montre des pertes de conversion faibles de 4,6 dB à $F_{RF} = 35$ GHz. Enfin, on remarquera le mélangeur cascade [28] suivi d'un amplificateur source commune en sortie, qui présente un gain de conversion supérieur à 13 dB pour une fréquence RF comprise entre 1 GHz et 6 GHz.

La structure cascade seule n'a pas été encore réalisée en CMOS à des fréquences supérieures à 20 GHz. Au regard des performances obtenues en III-V avec cette topologie, on en conclut que celle-ci permet d'envisager des performances à l'état de l'art en CMOS.

III.2.4. Conception et dessin du mélangeur cascade

III.2.4.a) Schéma électrique et dessin des circuits

La Figure III-7 montre le schéma électrique du mélangeur. La fréquence RF, notée F_{RF} , est fixée à 23 GHz (comme pour l'amplificateur faible bruit) et celle de l'oscillateur local, F_{OL} , est fixée à 20 GHz, de sorte que la fréquence intermédiaire, F_{FI} , est égale à 3 GHz. Les transistors utilisés sont à prises et les lignes de transmission sont de type microruban avec le ruban conducteur épaissi par l'ajout du niveau optionnel d'aluminium sur le sixième niveau de cuivre (cf. Chapitre II).

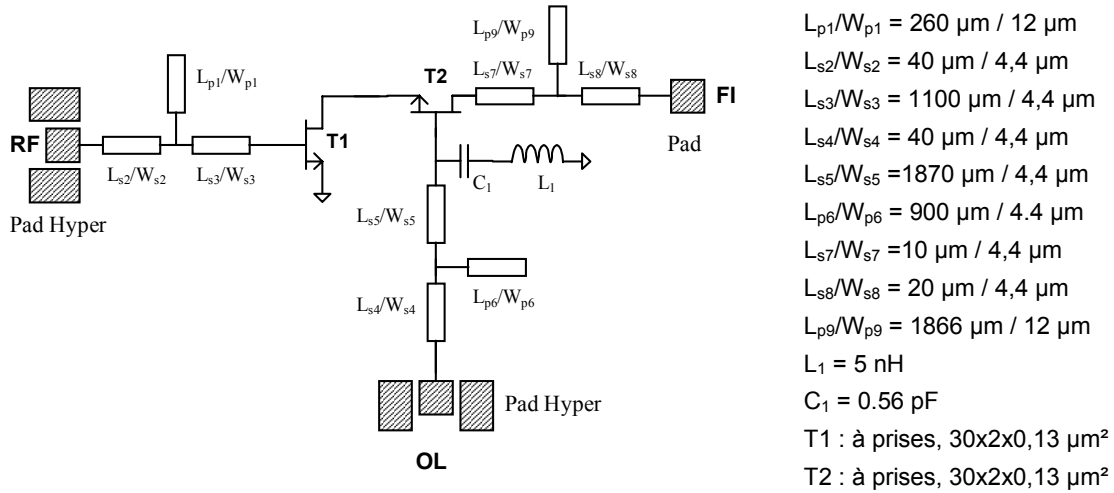


Figure III-7 : Schéma électrique du mélangeur cascade.

V_{g1s} [V]	V_{d1s} [V]	V_{g2s} [V]	V_{d2s} [V]	I_{d2s1} [mA]	P_{DC} [mW]
0,8	0,3	1	1,6	14	22,4

Tableau III-3 : Tensions de polarisation du mélangeur cascade.

Une constante dans les choix de conception est la recherche de la simplicité de l'architecture, dans la mesure où il s'agit d'un circuit de démonstration. C'est pourquoi, il a été prévu que les transistors soient polarisés par l'intermédiaire des points de mesure hyperfréquences. Le choix de la polarisation est déterminant tant pour les performances en gain que pour celles en intermodulation. Il a été fait de manière à privilégier le gain de conversion (Tableau III-3). Le transistor source commune étant la principale source d'intermodulation [16, 17], il est important de se pencher sur sa transconductance G_m et sa conductance de sortie G_d , ainsi que leurs dérivées G_{m2} , G_{m3} , G_{d2} , G_{d3} (Figure III-8). Comme le met en évidence cette figure, de faibles performances en termes d'intermodulation sont inévitables lorsque le gain est privilégié : en effet, les conductances G_{d2} et G_{d3} , qui sont les plus importantes sources d'intermodulation [16], ont les valeurs les plus élevées dans la zone de fonctionnement choisie.

La ligne quart d'onde en circuit-ouvert (« stub ») de longueur L_{p9} , prise sur le drain du transistor grille commune est destinée à rejeter la fréquence OL sur le port FI. Le problème est

que le faible coefficient de qualité des lignes microruban ne permet pas de réaliser une très forte réjection de la fréquence OL (Figure III-9).

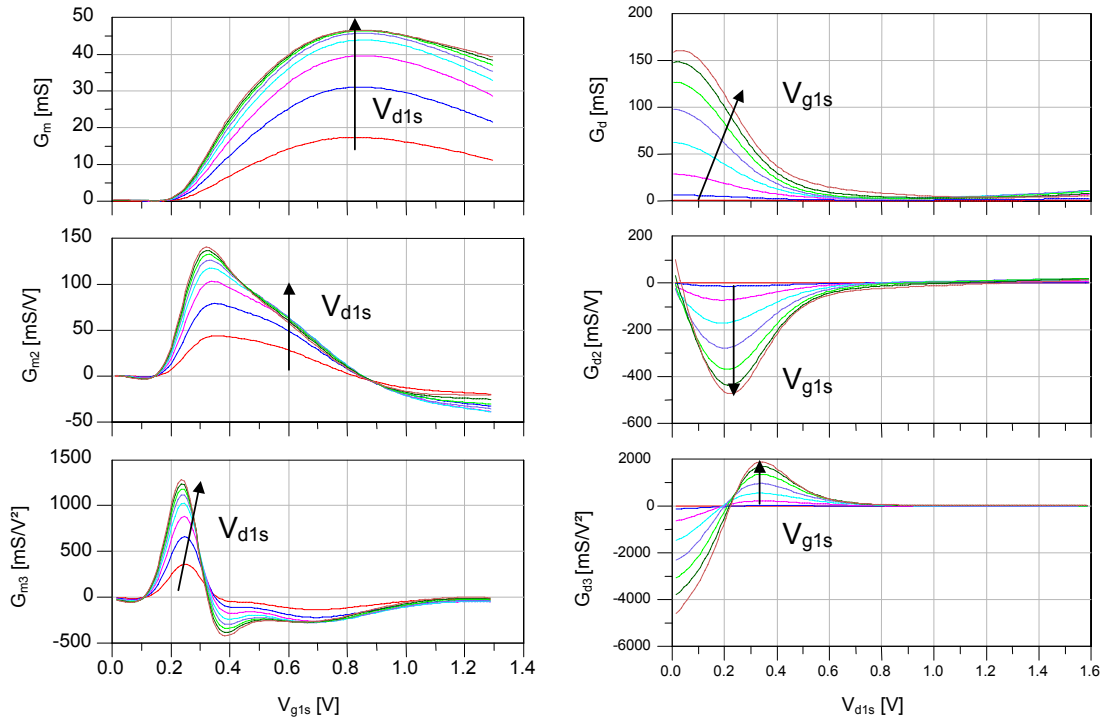


Figure III-8 : Simulation (a) des conductances G_m , G_{m2} et G_{m3} (pour V_{ds1} entre 0,1 V et 0,8 V) et (b) des conductances G_d , G_{d2} et G_{d3} (pour V_{gs1} entre 0,2 V et 1,6 V) (transistor à prises $30 \times 2 \mu\text{m}$).

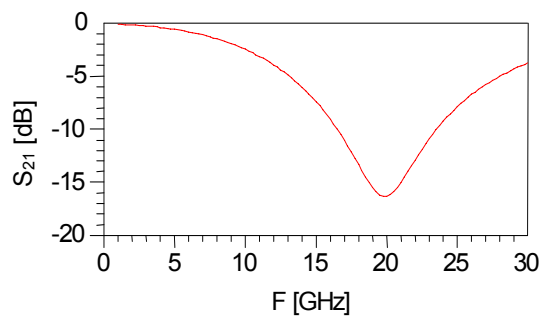


Figure III-9 : Simulation du rejet de la fréquence OL sur le port FI avec une ligne quart d'onde en circuit ouvert.

L'inductance L_1 en série avec la capacité C_1 (Figure III-7) permet de court-circuiter la fréquence FI sur la grille du transistor en grille commune. Pour cela, il est nécessaire d'utiliser une inductance localisée car la ligne de transmission correspondante aurait une longueur

d'onde bien trop importante pour être intégrable⁵. Deux solutions avec des inductances localisées ont été envisagées et dessinées. La première solution consiste à utiliser des composants du commerce à l'extérieur de la puce. Des fabricants tels que Coilcraft ou Murata proposent des inductances avec de très bons facteurs de qualité (valeurs supérieures à 50 à 3 GHz). La seconde solution consiste à réaliser l'inductance directement sur la puce, ainsi que le montre le dessin du mélangeur à la Figure III-10. Le coefficient de qualité à 3 GHz a été estimé en mesure à 10, sur un substrat SOI de haute résistivité (1 k Ω .cm).

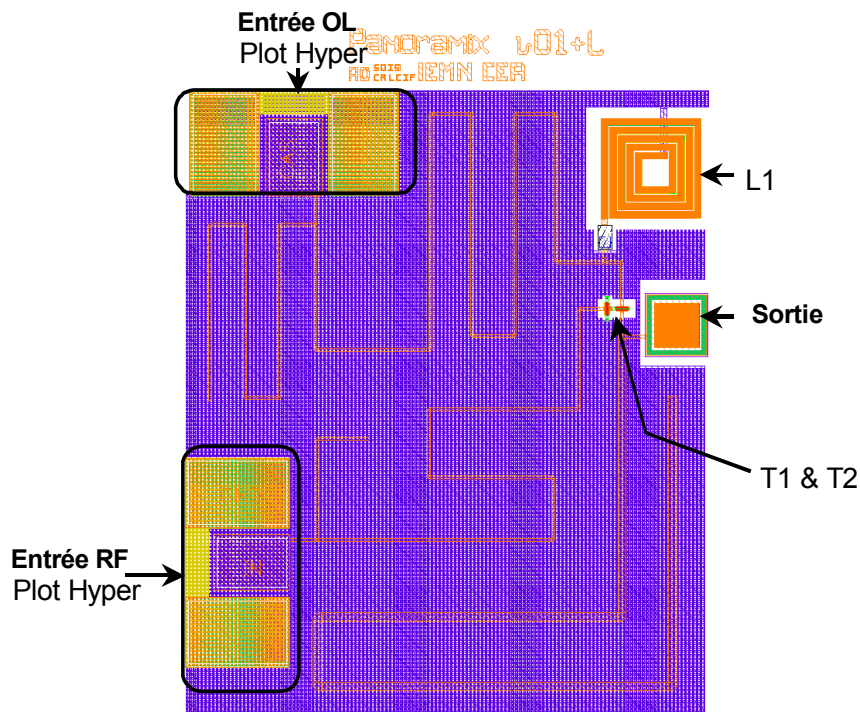


Figure III-10 : Dessins du mélangeur actif cascode.

Pour la même raison, l'adaptation du port FI nécessite aussi l'utilisation d'inductances localisées. Elle sera réalisée en externe sur un substrat d'alumine avec des composants du commerce. Cette solution permet en outre de limiter les risques de dysfonctionnement du circuit liés aux défauts de modélisation des éléments actifs et passifs, en autorisant un réglage de l'adaptation et de la fréquence FI postérieur à la fabrication. Par contre, les réseaux d'adaptation des ports RF et OL utilisent des lignes de transmission et sont intégrés sur la puce.

⁵ En effet, elle est inversement proportionnelle à la fréquence et F_{FI} n'est que de 3 GHz.

III.2.4.b) Simulation harmonique du mélangeur

Le mélangeur cascode a été simulé au moyen d'ADS. Les deux fréquences RF utilisées pour la simulation de l'intermodulation ont un écart $\Delta F = 20$ MHz.

La Figure III-11-a montre l'évolution du gain de conversion G_c et du point d'interception d'ordre 3 (IP3) en fonction de la puissance de l'OL. Le gain de conversion maximum vaut 3,2 dB pour une puissance d'OL de 1 dBm et le point d'interception d'ordre 3 correspondant est de 8,3 dBm. Le niveau relatif d'intermodulation d'ordre 3 (IMD3) à cette puissance d'OL est de -48 dBm pour une puissance RF en entrée égale à -20 dBm (Figure III-11-b).

Les pertes simulées du circuit d'adaptation d'entrée sont de 3,6 dB à la fréquence RF (Figure III-12 -a). Le circuit de sortie, qui comprend la ligne microruban quart d'onde pour le filtrage de l'OL et le circuit d'adaptation à la fréquence FI, engendre des pertes de 2 dB à la fréquence FI (Figure III-12 -b). Il est à noter que ce sont des inductances idéales qui ont été considérées pour le circuit d'adaptation à la fréquence FI, si bien que cette dernière simulation reflète uniquement les pertes dues à la ligne microruban quart d'onde. De même que dans le cas de l'amplificateur distribué, on observe que les pertes des lignes de transmission des circuits d'adaptation d'entrée et de sortie sont un facteur limitant pour les performances.

La Figure III-13 montre l'évolution de gain de conversion du mélangeur en fonction de la fréquence FI, pour un signal d'OL de 1 dBm à 20 GHz. La bande passante à -3 dB est de 1,25 GHz. Le circuit d'adaptation en sortie du mélangeur a une structure passe-bas (Figure III-12) pour rejeter l'harmonique d'ordre 2 (de fréquence égale à 6 GHz), ce qui explique la chute brutale du gain au-delà de la fréquence FI de 3 GHz.

Les performances prévues du mélangeur cascode sont résumées dans le Tableau III-4.

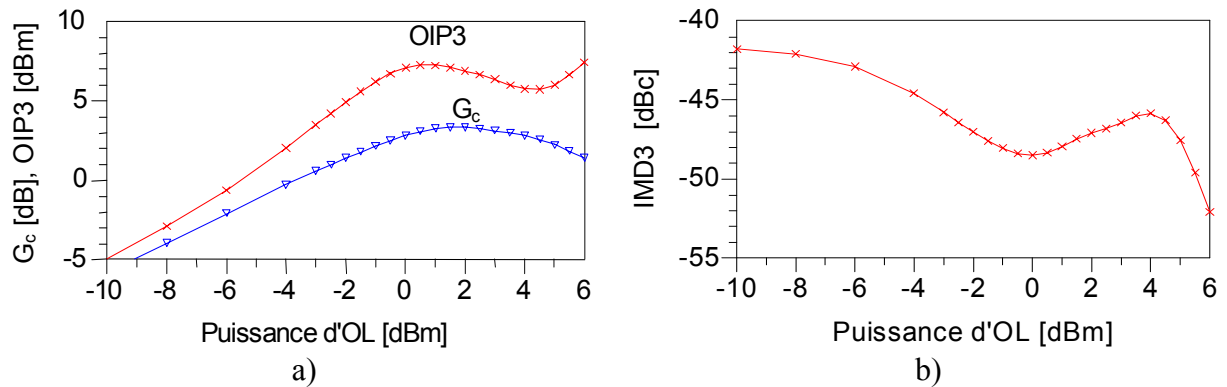


Figure III-11 : (a) Simulation du gain de conversion G_c et du point d'interception d'ordre 3 OIP3 et (b) du niveau relatif d'intermodulation d'ordre 3 IMD3 en fonction de la puissance d'OL et à $P_{RF} = -20$ dBm.

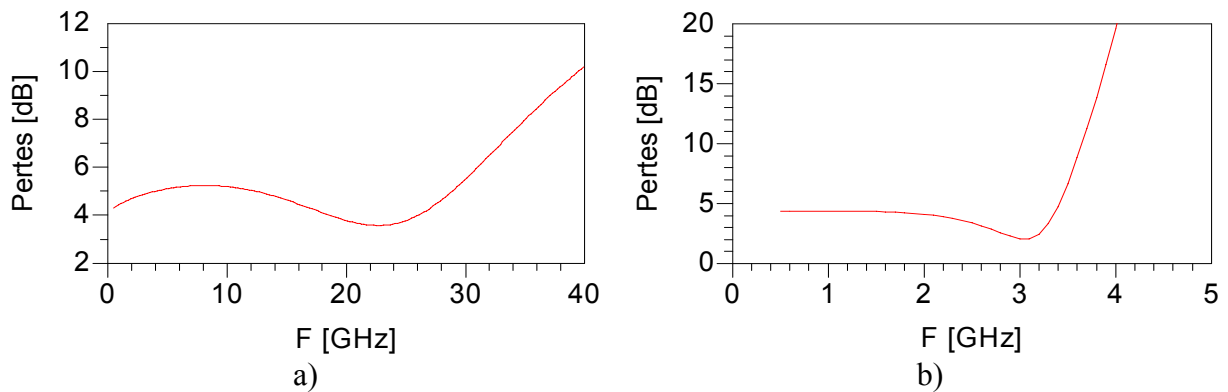


Figure III-12 : Simulation des pertes dans les circuits d'adaptation du mélangeur : a) accès RF, b) accès FI.

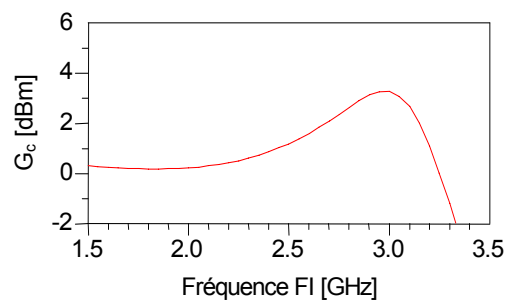


Figure III-13 : Simulation de la caractéristique en fréquence à $P_{OL} = 1$ dBm et $F_{OL} = 20$ GHz.

G_c [dB]	P_{OL} [dBm]	IMD ₃ [dBc]	IP3 [dBm]	V_{dd} [V]	P_{DC} [mW]
3,2	1	-39,5	8,3	1,6	22,4
		($P_{RF} = -16,1$ dBm)			
		-50			
		($P_{RF} = -20$ dBm)			

Tableau III-4 : Résumé des performances attendues du mélangeur cascade.

III.2.4.c) Comparaison avec l'état de l'art

Les résultats obtenus en simulation sont confrontés à l'état de l'art des mélangeurs cascode (cf. III.2.3, Tableau III-1). Précisons que le taux d'intermodulation d'ordre 3 IMD3 a été simulé avec une puissance RF correspondant à celle utilisée dans l'état de l'art.

Les quatre mélangeurs des deux références [16, 27] sont ceux qui présentent le plus de similitudes avec notre circuit. Nous nous intéresserons plus particulièrement au mélangeur de la référence [27] pour lequel nous avons le plus d'informations. Il a été réalisé dans deux versions, avec une technologie pHEMT AsGa 0,15 μm ayant une fréquence de coupure F_{max} de 180 GHz. La première version utilise une adaptation inter-étage entre les deux transistors de la paire cascode, contrairement à la seconde, qui correspond de ce fait à la topologie de notre mélangeur SOI. De plus, le rapport entre la fréquence de coupure F_{max} et la fréquence de fonctionnement du mélangeur F_{RF} est quasiment la même pour la référence [27] et notre mélangeur SOI (i.e. $F_{max}/F_{RF} \approx 3$). Il s'avère que le gain de conversion, la puissance d'OL et les niveaux relatifs d'IMD3 sont proches pour les deux mélangeurs.

Ce résultat est très satisfaisant, surtout si on considère que le gain de conversion et la réjection de l'OL pourraient être fortement améliorés avec des lignes de transmission à faibles pertes.

Conclusion

Ce chapitre était dédié à la conception d'amplificateurs distribués, d'amplificateurs faible bruit et d'un mélangeur actif. Ces circuits qui ont été dessinés avec la technologie CMOS SOI 130 nm sur le masque MERCURE du projet MEDEA+T206 sont en cours de fabrication.

Dans la première partie de ce chapitre, nous avons étudié par des simulations l'amélioration des performances de l'amplificateur distribué (présenté au Chapitre IV) apportée par la réduction de l'atténuation des lignes de transmission. A partir des solutions proposées dans le Chapitre II, trois nouveaux amplificateurs distribués ont été conçus et dessinés, utilisant soit des lignes microruban épaissies, soit des lignes coplanaires. Les résultats simulés prévoient un doublement du produit gain-bande.

La conception d'amplificateurs faible bruit à 23 GHz a été faite ensuite dans la deuxième partie de ce chapitre. Après une étude des techniques permettant de réaliser l'adaptation en bruit et en puissance à des valeurs acceptables, trois amplificateurs ont été proposés et dessinés. Ils utilisent tous les trois une architecture cascode avec un étage de sortie en source commune. L'adaptation du premier étage cascode a été réalisée différemment suivant les compromis choisis quant aux niveaux de bruit et de gain. D'après les résultats simulés, nous pouvons estimer que nos circuits sont à l'état de l'art dans la mesure où aucune performance au-delà de 20 GHz n'a été publiée en SOI avec une longueur de grille comparable de 130 nm et dans la mesure où la fiabilité de nos modèles (en petit signal uniquement pour les transistors) a déjà été démontrée dans le chapitre précédent.

Enfin, un mélangeur actif utilisant une structure cascode a été étudié dans la troisième partie de ce chapitre. Le court-circuit de la fréquence FI sur le port d'entrée de l'OL, qui nécessite le recours à une inductance localisée, nous a conduit à dessiner le mélangeur en deux versions, la première faisant appel à une inductance externe (du commerce) avec un coefficient de qualité très élevé et la seconde intégrant l'inductance sur la puce. Comparés à l'état de l'art des mélangeurs cascode en III-V, les résultats attendus sont très satisfaisants.

Ce travail de conception et de dessin de circuits sera complété par la suite par un travail de caractérisation et de rétro-simulation. Les circuits sont actuellement en phase de fabrication chez ST-Microelectronics, Crolles. De nombreuses études sont prévues sur ces circuits, dont la rétro-simulation du mélangeur cascode avec le modèle RF grand signal SILICA qui jusqu'à présent n'a été éprouvé que pour la simulation de circuits en petit signal.

Annexes du Chapitre V

V.A.1. Dessin des amplificateurs distribués à lignes microruban et coplanaires

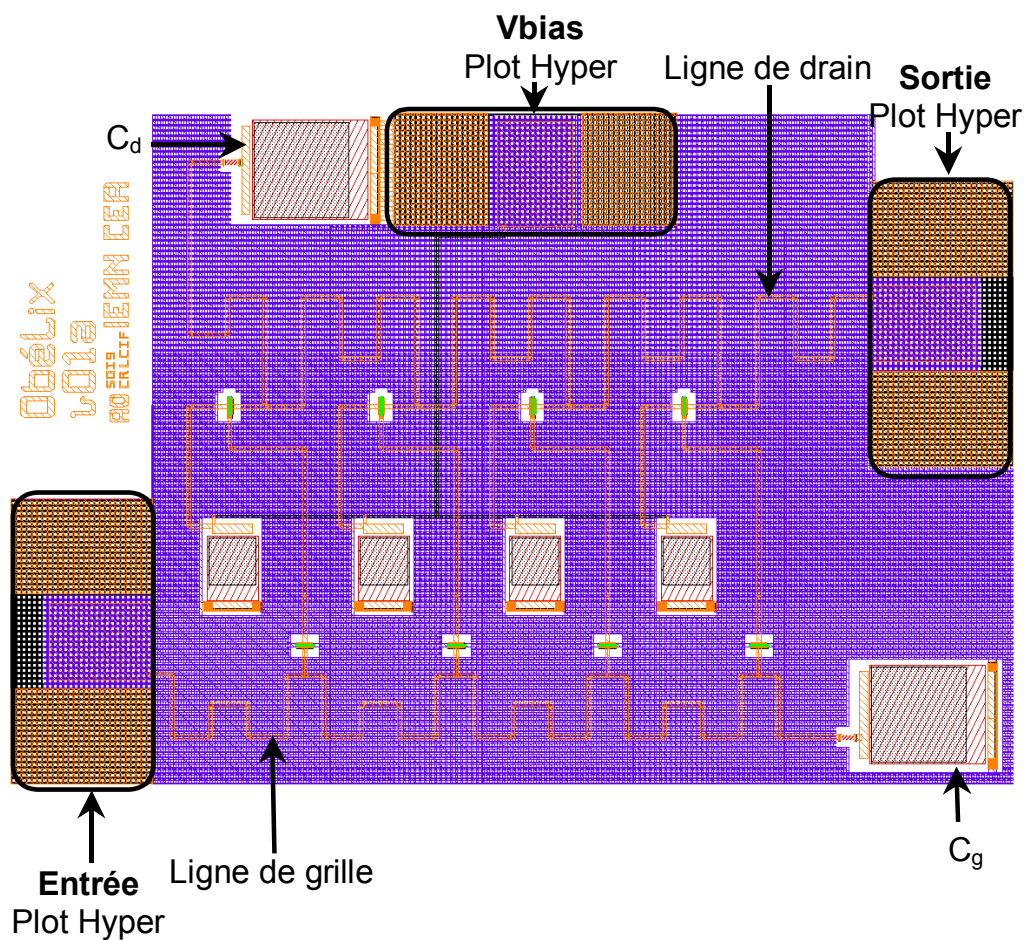


Figure V.A.1 : Dessin de l'amplificateur à lignes microruban et à transistors à prises substrat (surface : $1,06 \times 0,7 = 0,75 \text{ mm}^2$).

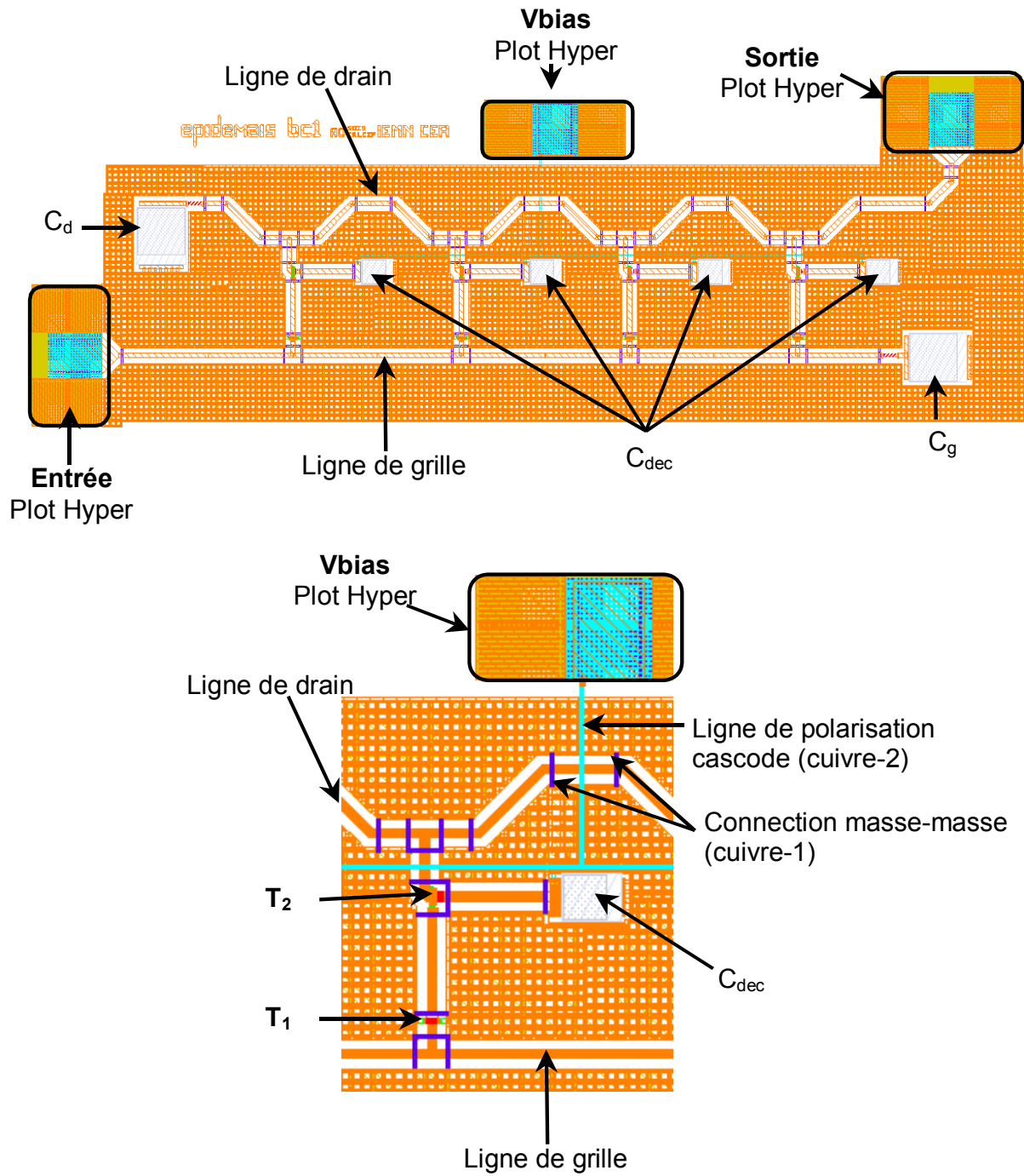


Figure V.A.2 : (haut) Dessin de l'amplificateur à lignes coplanaires et à transistors à prises substrat (bas) détail du deuxième étage.

V.A.2. Dessin de la cellule de plan de masse des lignes coplanaires

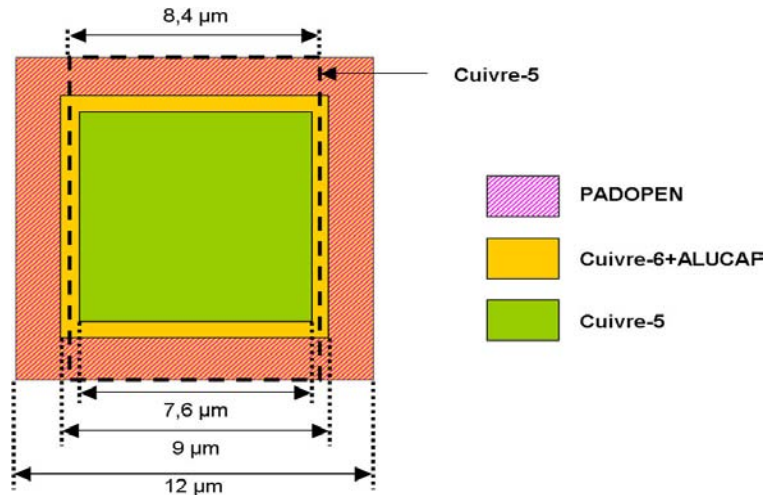


Figure V.A.3 : Dessin de la cellule de base du plan de masse des lignes coplanaires.

V.A.3. Le masque MERCURE

V.A.3.1. Disposition des circuits sur le masque

Le masque MERCURE est composé de deux ensembles. Le premier ensemble, appelé CEA1, est constitué par les amplificateurs faible bruit, les amplificateurs distribués à ligne microruban et les mélangeurs. La disposition des circuits de l'ensemble CEA1 est donnée à la Figure V.A.4.

Le deuxième ensemble, appelé CEA2, est constitué par les amplificateurs distribués à lignes coplanaires, les kits de calibrage des transistors MOSFET et des lignes de transmission. La disposition des circuits de l'ensemble CEA2 est donnée à la Figure V.A.5.

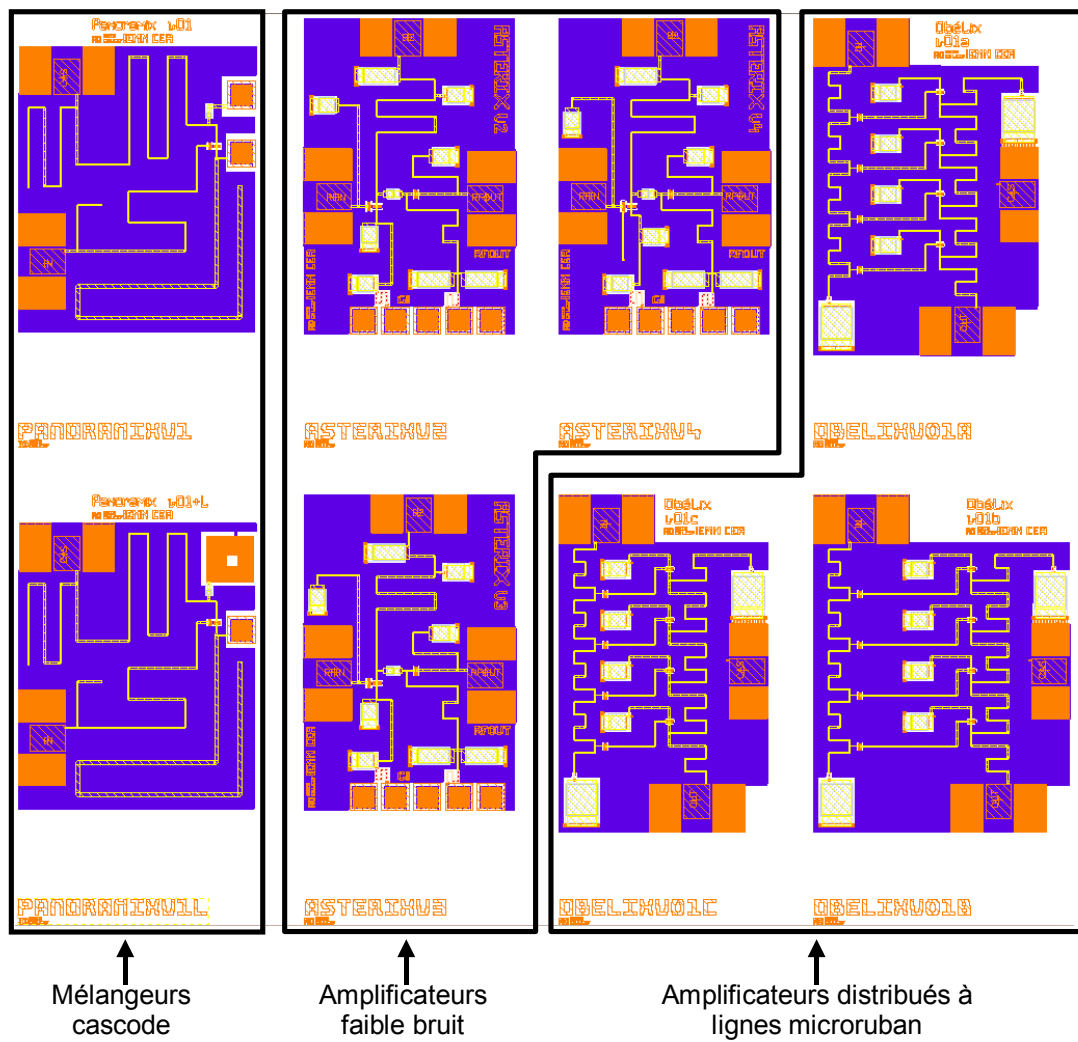


Figure V.A.4: Dessins des circuits sur le masque MERCURE (CEA1).

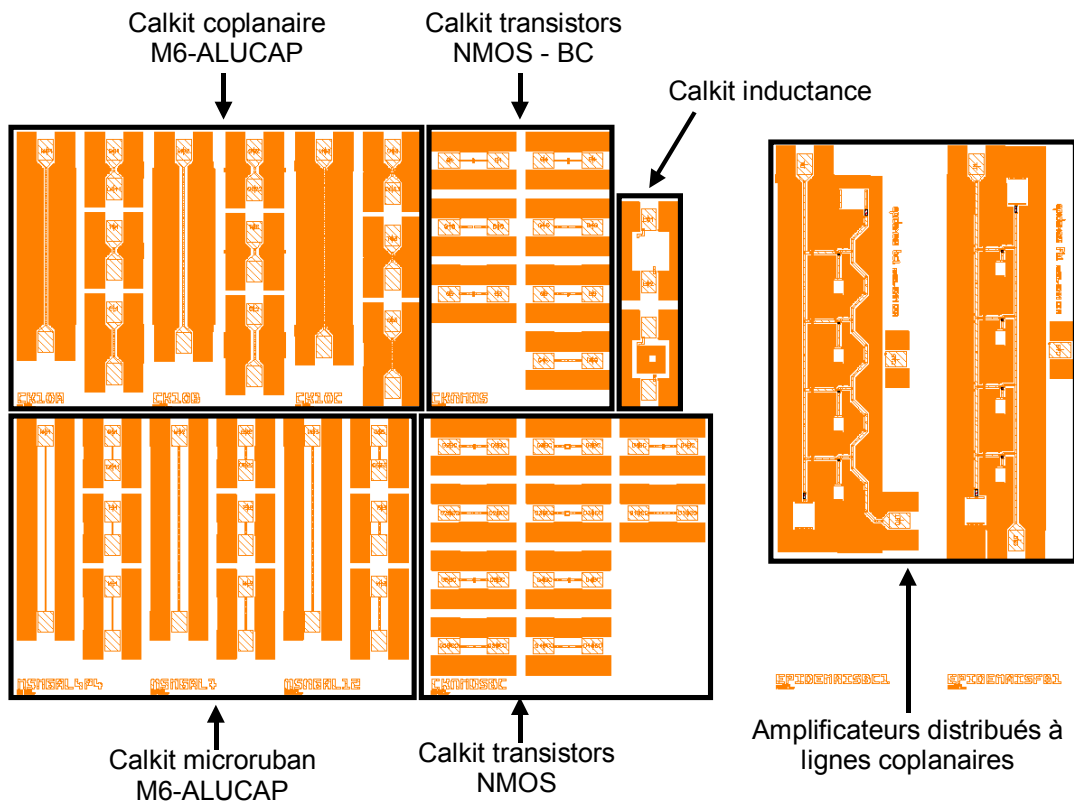


Figure V.A.5. : Dessins des kits de calibrage et des amplificateurs distribués à lignes coplanaires sur le masque MERCURE (CEA2).

V.A.3.2. Détails des Kits de calibrage pour la mesure et la modélisation

Quatre kits de calibrage de lignes de transmission et de transistors ont été dessinés pour la mesure, la modélisation et la rétrosimulation des amplificateurs et des mélangeurs.

CALKIT_NMOS

Il s'agit d'un kit de modélisation de transistors à prises et à substrat flottant pour la rétrosimulation des circuits. Le détail et la disposition des motifs sont donnés à la Figure V.A.6.

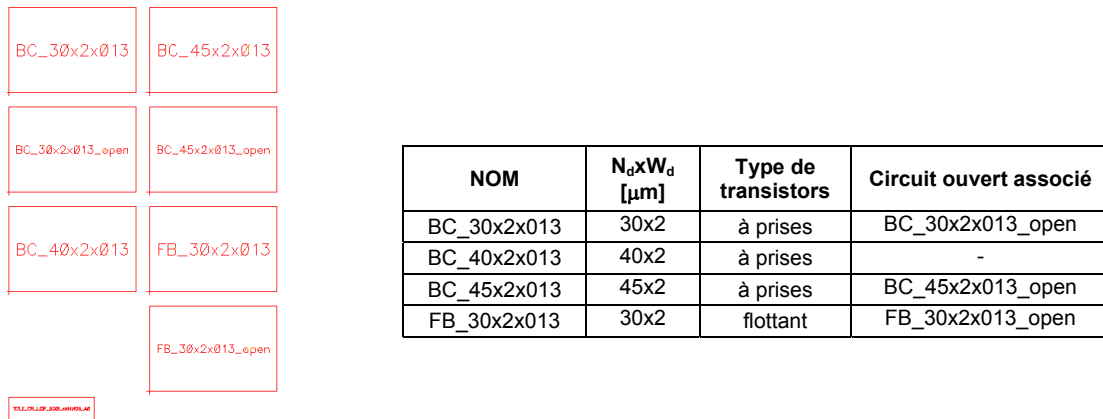


Figure VA.6. : Disposition du kit CALKIT_NMOS.

CALKIT_TFMS_M6ALUCAP

Ce kit est composé de lignes microstrip pour la rétrosimulation des circuits. Les lignes sont réalisées sur les niveaux de cuivre 6 et d'aluminium et ont des largeurs de 4,4 μm (largeur minimale réalisable), 7 μm et 12 μm (largeur maximale réalisable sans inclure de fente).

Pour chaque largeur de conducteur, on dispose d'un ensemble de ligne pour un calibrage de type TRL, avec une ligne longue de 803 μm , une ligne courte de 110 μm , un circuit ouvert et une thru. La disposition des trois ensembles de lignes du kit est donnée à la Figure V.A.7.

CALKIT_CPW_M6ALUCAP

Ce kit est composé de lignes coplanaires avec un ruban conducteur de 10 μm de large réalisé sur les niveaux de cuivre 6 et d'aluminium. Trois ensembles de ligne TRL sont disponibles avec des largeurs conducteur-masse de 11,7 μm , 20 μm et 5 μm . Ces ensembles sont nommés respectivement ck10a, ck10b, ck10c. La structure du plan de masse est donnée dans l'Annexe V.A.2.

Pour chacun des trois ensembles de lignes, on dispose d'une ligne longue de 804 μm , d'une ligne courte de 120 μm , d'un circuit ouvert et d'une thru. La disposition du kit est donnée à la Figure V.A.8.

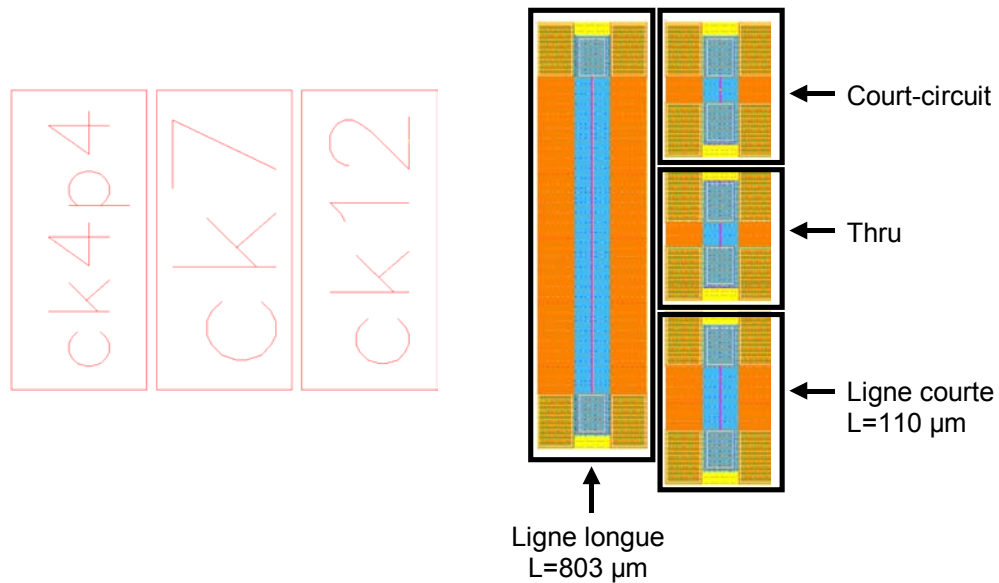


Figure VA.7. : Disposition des trois ensembles de ligne du kit CALKIT_TFMS_M6ALUCAP (gauche). Détail d'un ensemble de ligne (droite).

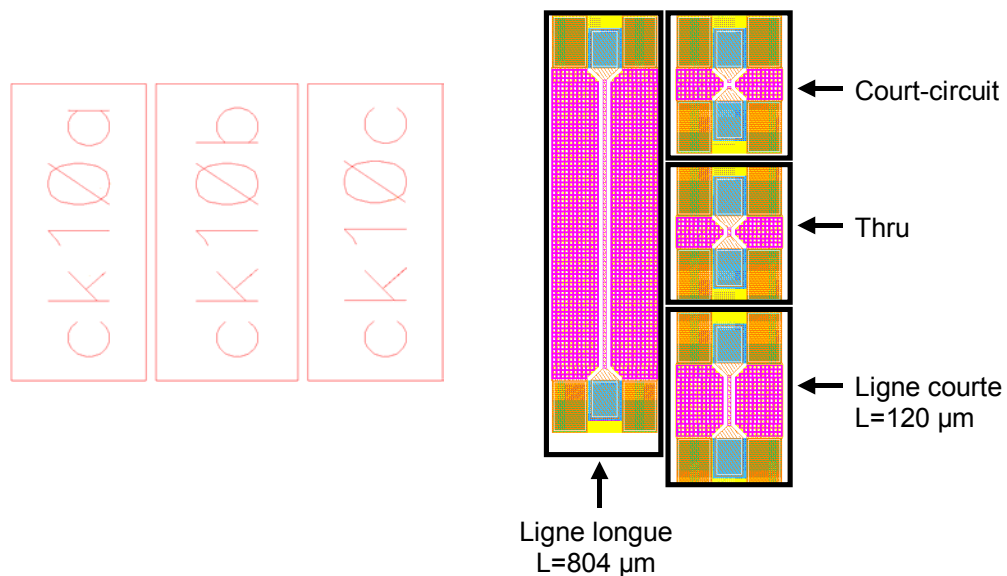
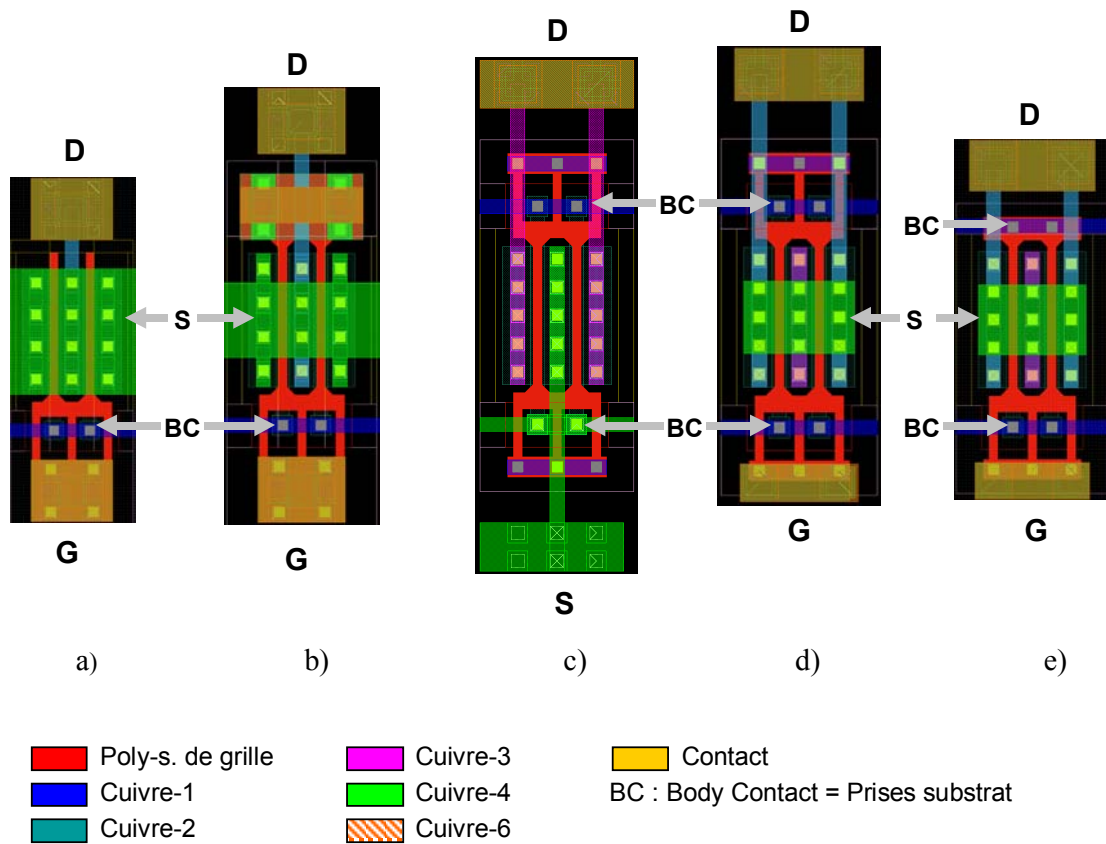


Figure VA.8. : Disposition des trois ensembles de ligne du kit CALKIT_CPW_M6ALUCAP (gauche). Détail d'un ensemble de ligne (droite).

CALKIT_NMOS_BC

Un quatrième kit constitué de transistors à prises a été dessiné. L'objectif de ce dernier kit est d'optimiser le dessin des transistors à prises, ceci afin de réduire l'impact des prises

substrat sur les performances en fréquence. En effet, les prises substrats ont pour conséquence de modifier le dessin du transistor à prises par rapport au transistor conventionnel à substrat flottant. En plus des capacités parasites supplémentaires dues aux prises, une extension de la grille en polysilicium est nécessaire, ce qui a pour effet d'augmenter la résistance d'accès R_g . Cette résistance réduit considérablement les performances en fréquence. Les cinq transistors de ce kit sont représentés à la Figure V.A.9.



	NOM	Type de grille	Nombre de prises
a)	N1BC_2x013_Tgate	T	1
b)	N1BC_2x013_Hgate2	H	1
c)	N2BC_2x013_Hgate3	H	2
d)	N2BC_2x013_Hgate4	H	2
e)	N1BC_2x013_Hgate5	H	1

Figure V.A.9. : Dessin et caractéristiques des transistors à prises du kit CALKIT_NMOS_BC.

Bibliographie

- [1] D.K. Shaeffer and T. H. Lee, "1.5V, 1.5-GHz CMOS low noise amplifier," *Solid-State Circuits, IEEE Journal of*, vol. 32, pp. 745, 1997.
- [2] F. Ellinger, "26-42 GHz SOI CMOS low noise amplifier," *Solid-State Circuits, IEEE Journal of*, vol. 39, pp. 522, 2004.
- [3] C. Choong-Yul and L. Sang-Gug, "A 5.2-GHz LNA in 0.35- μm CMOS utilizing inter-stage series resonance and optimizing the substrate resistance," *Solid-State Circuits, IEEE Journal of*, vol. 38, pp. 669, 2003.
- [4] G. Xiang and A. Hajimiri, "A 24-GHz CMOS front-end," *Solid-State Circuits, IEEE Journal of*, vol. 39, pp. 368, 2004.
- [5] K. W. Yu, Y. L. Lu, D. Huang, D. C. Chang, V. Liang, and M. F. Chang, "24 GHz low-noise amplifier in 0.18 μm CMOS technology," *Electronics Letters*, vol. 39, pp. 1559, 2003.
- [6] T. K. Nguyen, O. Nam-Jin, C. Hyung-Chul, I. Kuk-Ju, and L. Sang-Gug, "A 5.2 GHz image rejection CMOS low noise amplifier for WLAN applications," *IEEE Radio Frequency Integrated Circuits (RFIC) Symposium*, 2004.
- [7] S. C. Shin, M. D. Tsai, R. C. Liu, K. Y. Lin, and H. Wang, "A 24-GHz 3.9-dB NF Low-Noise Amplifier Using 0.18 μm CMOS Technology," *Microwave and Wireless Components Letters, IEEE [see also IEEE Microwave and Guided Wave Letters]*, vol. 15, pp. 448, 2005.
- [8] P. Leroux and M. Steyaert, "A 5 GHz CMOS low-noise amplifier with inductive ESD protection exceeding 3 kV HBM," *30th European Solid-State Circuits Conference*, 2004.
- [9] D. Linten, S. Thijs, M. I. Natarajan, P. Wambacq, W. Jeamsaksiri, J. Ramos, A. Mercha, S. Jenei, S. Donnay, and S. Decoutere, "A 5 GHz fully integrated ESD-protected low-noise amplifier in 90 nm RF CMOS," *30th European Solid-State Circuits Conference*, 2004.
- [10] W. Jin, W. Liu, C. Hai, P. C. H. Chan, and C. Hu, "Noise Modeling and Characterization for 1.5-V 1.8-GHz SOI Low-Noise Amplifier," *Electron Devices, IEEE Transaction on*, vol. 48, pp. 803, 2001.
- [11] J. Kodate, M. Ugajin, T. Tsukahara, T. Douseki, N. Sato, T. Okabe, K. Ohmi, and T. Yonehara, "A 2.4-GHz/5-GHz CMOS low noise amplifier with high-resistivity ELTRAN(R) SOI-Epi^(TM) wafers," *IEEE International Microwave Symposium*, 2002.
- [12] Y. Ho, K.-H. Kim, B. A. Floyd, C. Wann, Y. Taur, I. Lagnado, and K. O. Kenneth, "4- and 13-GHz Tuned Amplifiers Implemented in a 0.1- μm CMOS Technology on SO, SOS, and Bulk Substrates," *Solid-State Circuits, IEEE Journal of*, vol. 33, pp. 2066, 1998.
- [13] C. Tinella, "Receiver ICs on HR SOI technology," *MEDEA+ T206 SOI Workshop*, November 25-26, 2004.
- [14] Sorin P. Voinigescu et al., "A Scalable High-Frequency Noise Model for Bipolar Transistor with Application to Optimal Transistor Sizing for Low-Noise Amplifier Design," *Solid-State Circuits, IEEE Journal of*, vol. 32, pp. 1430-1439, 1997.

- [15] F. Danneville and G. Dambrine, "Noise Modelling and Measurement Techniques in Deep Submicron Silicon on Insulator Devices," in *Noise and Fluctuations Control in Electronics Devices*, American Scientific Publishers, pp. 355-366, 2002.
- [16] J. Kim and Y. Kwon, "Intermodulations Analysis of Dual-Gate FET Mixers," *Microwave Theory and Techniques, IEEE Transaction on*, vol. 50, pp. 1544, 2002.
- [17] C. Tsironis, R. Meirer, and R. Stahlmann, "Dual-Gate MESFET Mixers," *Microwave Theory and Techniques, IEEE Transaction on*, vol. 32, pp. 248, 1984.
- [18] A. J. Bergsma and B. A. Syrett, "A comprehensive Design Method for Dual-Gate MOSFET Mixers," *Circuits and Systems - II, IEEE Transactions on*, vol. 47, pp. 1443, 2000.
- [19] H. I. Kang, J. H. Kim, Y. W. Kwon, and J. E. Oh, "An Asymmetric GaAs MMIC Dual-Gate Mixer with Improved Intermodulation Characteristic," IEEE International Microwave Symposium, 1999.
- [20] C. Kolanowski, "Conception, Réalisation et Analyse de Mélangeurs Millimétriques en Technologie Hybride et Intégrée Utilisant des Transistors à Effet de Champ HEMT de Types Monogrille et Bigrille," *Thèse de l'Université des Sciences et Technologies de Lille, N° 1726, Mars 1996*.
- [21] S. Maas, *Microwave Mixers*: 2nd Edition, Artech House, ISBN 0-089006-605 1S.
- [22] M. Nakayama, K. Horiguchi, K. Yamamoto, Y. Yoshii, S. Sugiyama, N. Suematsu, and T. Takagi, "A 1.9 GHz Single-chip RF Front-end GaAs MMIC with Low-Distorsion Cascode FET Mixer for Personal Handy-phone System Terminals," IEEE RFIC Symposium, 1998.
- [23] T. Sugiura, K. Honjo, and T. Tsuji, "12-GHz-Band GaAs Dual-Gate MESFET Monolithic Mixers," *Microwave Theory and Techniques, IEEE Transactions on*, vol. 33, pp. 105, 1985.
- [24] E. Gosse, "Conception et optimisation des mélangeurs à TE froids en bande K," *Thèse de l'Université des Sciences et Technologies de Lille, Mai 1996*.
- [25] L. Picheta, "Conception et réalisation en MMIC sur AsGa de transposeurs de fréquence dans les bandes C et Ku," *Thèse de l'Université des Sciences et Technologies de Lille, Septembre 1994*.
- [26] E. Watkins, J. M. Schellenberg, and H. Yamasaki, "A 30 GHz FET Receiver," IEEE International Microwave Symposium, 1982.
- [27] J. Kim, M. S. Jeon, J. Jeong, and Y. Kwon, "High-Performance V-Band Cascode HEMT Mixer and Downconverter Module," *IEEE Transactions on Microwave Theory and Techniques*, vol. 51, pp. 805, 2003.
- [28] M. Madihian, H. Fujii, H. Yoshida, H. Suzuki, and T. Tamazaki, "A 1-10 GHz 0.18 μ m-CMOS chipset for multi-mode wireless applications," IEEE International Microwave Symposium, 2001.
- [29] M.-D. Tsai and H. Wang, "A 0.3-25-GHz ultra-wideband mixer using commercial 0.18- μ m CMOS technology," *Microwave and Wireless Components Letters, IEEE [see also IEEE Microwave and Guided Wave Letters]*, vol. 14, pp. 522, 2004.
- [30] A. Q. Safarian, A. Yazdi, and P. Heydari, "Design and Analysis of an Ultrawide-Band Distributed CMOS Mixer," *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on*, vol. 13, pp. 618, 2005.
- [31] A. Verma, L. Gao, K. K. O, and J. Lin, "A K-Band Down-Conversion Mixer With 1.4-GHz Bandwidth in 0.13- μ m CMOS Technology," *IEEE Microwave and Wireless Components Letters: Accepted for future publication*, 2005.

- [32] M. Ferndahl, H. Zirath, B. M. Motlagh, A. Masud, I. Angelov, H. O. Vickers, S. Gevorgian, and F. Ingvarsson, "CMOS MMICs for microwave and millimeter wave applications," 15th International Conference on Microwaves, Radar and Wireless Communications, 2004.
- [33] F. Ellinger, L. C. Rodoni, G. Sialm, C. Kromer, G. von Buren, M. L. Schmatz, C. Menolfi, T. Toifl, T. Morf, M. Kossel, and H. Jackel, "30-40-GHz drain-pumped passive-mixer MMIC fabricated on VLSI SOI CMOS technology," *Microwave Theory and Techniques, IEEE Transactions on*, vol. 52, pp. 1382, 2004.

CONCLUSION GENERALE

Conclusion générale

L'entrée des technologies CMOS dans l'ère des dimensions nanométriques permet aux transistors d'atteindre des fréquences de fonctionnement très élevées, ouvrant potentiellement la voie aux applications hyperfréquences, qui étaient jusqu'alors réalisées uniquement dans les technologies III-V, et de ce fait à l'intégration sur la même puce des circuits numériques, analogiques et hyperfréquences. La piètre qualité des éléments passifs reste néanmoins le principal verrou des technologies CMOS avant d'y parvenir.

Les travaux effectués lors de cette thèse portaient sur l'étude de la technologie CMOS SOI pour des applications hyperfréquences au-delà de 20 GHz. Ils consistaient plus précisément à concevoir des circuits de démonstration avec un double objectif : d'une part montrer la faisabilité de fonctions en hyperfréquence avec des performances intéressantes et d'autre part valider nos modèles (outils de simulation et de conception). Les circuits ont été conçus dans le cadre du projet européen MEDEA+ T206, avec la technologie CMOS SOI 130 nm partiellement désertée en cours d'industrialisation de ST-Microelectronics. L'élaboration de ces circuits a nécessité des phases de mesure et de modélisation des éléments actifs et passifs, largement détaillées dans ce mémoire.

Dans le premier chapitre, les propriétés des technologies SOI ont été décrites. Nous avons d'abord présenté les principales méthodes de fabrication industrielle des substrats SOI ainsi qu'une technique de transfert des circuits sur des substrats isolants. Cette technique présente une alternative intéressante aux substrats SOI de haute résistivité pour les applications hyperfréquences, puisqu'elle permet d'éliminer totalement les effets parasites du substrat mécanique de silicium. Nous avons ensuite présenté les avantages du SOI par rapport aux technologies traditionnelles sur silicium massif, puis nous avons détaillé le fonctionnement des transistors MOSFET SOI avant d'aborder leur réalisation en technologie CMOS SOI 130 nm.

Le deuxième chapitre était consacré à la description et à la modélisation en technologie CMOS SOI 130 nm des lignes de transmission de type microruban et coplanaire, éléments cruciaux pour les circuits hyperfréquences. La modélisation de type phénoménologique a d'abord été utilisée pour la ligne microruban avec le développement d'un modèle à constantes réparties RLGC. L'absence de motifs de mesures pour la ligne coplanaire nous a conduits à orienter notre démarche vers une modélisation de type EM, consistant à établir une description simplifiée de la structure des couches d'interconnexions. Les deux types de modèles développés ont été vérifiés par rapport aux mesures et implémentés dans le simulateur de circuit ADS.

La qualité des lignes de transmission constituant un point critique pour réaliser des circuits intégrés hyperfréquences en SOI montrant de bonnes performances, nous nous sommes donc intéressés aux techniques permettant de l'améliorer. Dans le cas de la ligne microruban, le plan de masse est réalisé au-dessus du substrat mécanique de silicium, ce qui offre l'avantage d'atténuer les effets dus aux médiocres propriétés électriques du substrat. En revanche, la faible épaisseur de son diélectrique est pénalisante par rapport à ses performances et à la gamme d'impédances réalisables. Même si les lignes microruban épaissies avec le niveau optionnel d'aluminium présentent une réduction substantielle des pertes métalliques, l'utilisation d'une technique dite de « *post-processing* » constitue certainement la meilleure alternative : elle permet en effet de disposer d'une couche diélectrique suffisamment épaisse pour augmenter non seulement la gamme d'impédance, mais aussi la largeur du ruban conducteur réalisable, ce qui entraîne une réduction considérable des pertes. Cependant, cette solution n'est pas encore disponible d'un point de vue industriel. Concernant la ligne coplanaire, deux voies sont envisageables : la première consiste à utiliser des substrats SOI de haute résistivité, la seconde consiste à reporter les circuits sur des substrats isolants. La première alternative présente quelques difficultés de mise au point en raison de la présence de charges fixes dans l'oxyde enterré qui dégradent la résistivité du substrat. La deuxième solution est actuellement la plus prometteuse car elle permet de disposer d'un substrat de qualité semblable à celle des substrats semi-isolants des technologies III-V.

Le troisième chapitre portait sur la modélisation et sur les performances des transistors MOSFET en technologie CMOS SOI 130 nm partiellement désertée. Dans un premier temps,

le modèle petit signal incluant la modélisation du bruit hyperfréquence a été décrit, ainsi que les procédures d'extraction de ses paramètres. Dans un deuxième temps, le modèle grand signal SILICA a été présenté, ainsi que son implémentation dans le logiciel ELDO, avec pour objectif de permettre la simulation en temporel des circuits mixtes analogique/numérique. Le comportement du modèle SILICA en temporel a été éprouvé lors de la simulation de la commutation d'un transistor MOSFET, permettant de mettre en exergue les phénomènes non quasi-statiques, et lors de la simulation d'une bascule JK afin d'éprouver la convergence du modèle. Un modèle grand signal peut évidemment être aussi utilisé en petit signal, si bien que nous avons pu estimer la précision des deux modèles petit signal et grand signal dans le cas des transistors flottants et à prises sur le même ensemble de mesures de paramètres S jusqu'à 35 GHz. Le modèle petit signal présente une erreur inférieure à 0,5 % pour les deux types de transistors flottants et à prises, tandis que l'erreur du modèle grand signal est inférieure à 2,7 %.

Enfin, la dernière partie de ce chapitre a été consacrée à l'analyse des performances hyperfréquences expérimentales des quatre types de transistors SOI (flottants et à prises, en NMOS et en PMOS). Les transistors NMOS flottants se montrent supérieurs avec un F_{\max} de 150 GHz. Les moins bonnes performances obtenues par les transistors à prises, aussi bien en NMOS qu'en PMOS, proviennent des valeurs plus élevées de la résistance de grille et des capacités extrinsèques grille-source, en raison des prises substrats. La réalisation du contact métallique sur le pied de grille permettrait de réduire la valeur de R_g , ce qui permettrait d'augmenter substantiellement les performances en fréquence des transistors à prises. En dépit de la mobilité des trous plus faible que celle des électrons, les transistors PMOS flottants présentent un F_{\max} de 72 GHz, supérieur à celui des transistors NMOS à prises, grâce aux valeurs plus faibles de la résistance de grille et des capacités extrinsèques grille-source. Ces très bonnes performances des transistors PMOS permettent d'envisager la réalisation de circuits en bande K utilisant une architecture complémentaire à base de transistors NMOS et PMOS.

Dans le quatrième chapitre, nous avons exposé la conception et les résultats de mesure d'amplificateurs distribués en bande K, constitués de quatre étages avec une architecture cascode ou source commune. Ils utilisent des transistors flottants et à prises, ainsi que des

lignes microruban à pertes élevées. Le choix d'une architecture simple s'est révélé judicieux face aux évolutions incessantes de la technologie au cours de la phase de conception, qui n'ont pu être répercutées dans les modèles faute de temps et d'informations.

Les amplificateurs distribués ont été conçus au moyen du modèle grand signal SILICA, ce qui constitue une première intéressante pour l'évaluation du modèle pour la conception de circuit microondes. Mais c'est surtout la rétrosimulation, dans laquelle les évolutions technologiques ont été prises en compte, qui a permis d'établir la validité de ce modèle.

L'amplificateur distribué cascode à transistors flottants présente les meilleures performances parmi les trois circuits mesurés, avec un gain de $7,1 \pm 1,1$ dB sur la bande 1-26 GHz, ce qui correspond à un produit gain-bande de 61 GHz. Ce sont les pertes élevées des lignes microruban qui ont limité la bande passante et le gain, empêchant d'exploiter tout le potentiel des transistors MOSFET SOI. Ces premières performances ont néanmoins montré l'aptitude de la technologie SOI pour les applications hyperfréquences.

Le cinquième et dernier chapitre a été consacré à la conception d'une série de démonstrateurs – amplificateurs distribués, amplificateurs faible bruit et mélangeurs actifs – encore en cours de fabrication. Dans un premier temps, nous avons montré comment améliorer les performances des amplificateurs distribués cascode présentés dans le chapitre précédent. Pour cela, nous avons utilisé des lignes microruban épaissies et des lignes coplanaires sur substrat SOI haute résistivité dans la conception des trois amplificateurs distribués. Les résultats des simulations indiquent que l'utilisation de lignes de transmission à faibles pertes nous permettrait de doubler le produit gain-bande avec des bandes passantes de l'ordre de 40 GHz. Concernant les amplificateurs distribués réalisés avec des lignes coplanaires, une perspective supplémentaire d'étude s'offre à nous avec la technique de report sur quartz présentée dans le chapitre II (cf. I.3). En effet, même si les circuits coplanaires n'ont pas été conçus avec les modèles de ligne adéquats à cette technique, il sera néanmoins possible de réaliser l'opération de transfert afin de voir l'impact du substrat semi-isolant sur les performances des amplificateurs distribués.

Dans un deuxième temps, des amplificateurs faible bruit et des mélangeurs actifs – pouvant constituer les éléments de base d'un récepteur à la fréquence de 23 GHz – ont été

étudiés. Ils ont l'un comme l'autre été conçus avec une architecture simple, de manière à garantir leur bon fonctionnement, et avec des lignes microruban épaissies pour lesquelles nous disposons des modèles les plus fiables. Les résultats obtenus en simulation sont très satisfaisants en comparaison de l'état de l'art sur SOI.

La technologie CMOS SOI 130 nm de ST-Microelectronics a déjà montré sa supériorité en termes de rapidité et de consommation des circuits numériques par rapport à la technologie CMOS sur substrat massif. Plus généralement, l'intérêt du SOI est tel que des industriels comme IBM et AMD l'utilisent désormais dans leurs processeurs.

Les résultats présentés dans ce mémoire viennent étoffer ces résultats en montrant d'ores et déjà, à travers des circuits de démonstration, les aptitudes de la technologie CMOS SOI 130 nm de ST-Microelectronics pour la réalisation de circuits hyperfréquences. Par ailleurs, ces résultats ont permis d'établir et de valider des modèles, aussi bien pour les transistors que pour les lignes de transmission. L'amélioration des performances passe obligatoirement (ou prioritairement) par celle de la qualité des lignes de transmission, verrou en passe de sauter car des solutions technologiques existent, qui sont d'ailleurs décrites dans ce mémoire. Ceci allié à l'augmentation rapide de la fréquence de coupure des transistors, obtenue grâce à des longueurs de grille plus petites (90 nm, voire même 65 nm dans un futur proche), permettra à la technologie SOI de montrer sa capacité à réaliser des circuits pour les applications radiofréquences, par exemple à 60 GHz (qui ne nécessite pas de licence d'exploitation) ou encore pour les applications de radar automobile à 77 GHz.

Communications internationales avec comité de lecture

Présentation orale

Christophe Pavageau, Alexandre Siligaris, Nicolas Fel, Jean Russat, Laurence Picheta, François Danneville, « **Implémentation dans ELDO d'un Modèle Non Linéaire de Transistors MOSFET SOI Partiellement Désertés pour la Simulation de Circuits Mixtes Analogique/Numérique** », 4^{ème} Colloque sur le Traitement Analogique de l'information, du Signal et ses Applications (**Taisa**), Université Catholique de Louvain, Louvain-La-Neuve, Belgique, 25-26 septembre **2003**, pp. 37-39.

Présentation orale

M. Si Moussa, **C. Pavageau**, F. Danneville, J. Russat, N. Fel, J. P. Raskin, D. Vanhoenacker-Janvier, « **Design of a Travelling Wave Amplifier in 0.13 µm Partially Depleted SOI** », **2005 EuroSOI Conf.**, First Workshop of the Thematic Network on SOI Technology, Devices and Circuits, Granada, Espagne, 19-21 janvier **2005**, pp. 143 – 144.

Présentation orale

C. Raynaud, F. Giancesello, C. Tinella, P. Flatresse, R. Gwoziecki, P. Touret, G. Avenier, S. Haendler, O. Gonnard, G. Gouget, G. Labourey, J. Pretet, M. Marin, R. Di Frenza, D. Axelrad, P. Delatte, G. Provins, J. Roux, E. Balossier, JC. Vildeuil, S. Boret, B. Van Haaren, P. Chevalier, L. Boissonnet, T. Schwartzmann, A. Chantre, D. Gloria, E. De Foucauld, P. Scheer, **C. Pavageau**, G. Dambrine, « **Is CMOS a Promising Technology for SoCs in High Frequency Range?** », « **12th Int. Symp Silicon-on-Insulator** » of **20⁷th Meet. Electrochemical Society**, Quebec City, Canada, 15-20 mai **2005**.

Présentation orale

B. Aspar, C. Lagahe-Blanchard, P. Paillet, V. Ferlet-Cavrois, N.Fel, **C. Pavageau**, J. du Port de Poncharra and H. Moriceau, « **New SOI Devices Transferred Onto Fused Silica By Direct Wafer Bonding** », « **12th Int. Symp Silicon-on-Insulator** » of **20⁷th Meet. Electrochemical Society**, Quebec City, Canada, 15-20 mai **2005**.

Présentation orale

C. Pavageau, M. Si Moussa, A. Siligaris, L. Picheta, F. Danneville, J. P. Raskin, D. Vanhoenacker-Janvier, J. Russat, N. Fel, « **Conception d'amplificateurs distribués en bande K avec une technologie CMOS SOI Partiellement Désertée 130 nm** », **Journée nationales Microondes**, Nantes, France, 11-13 mai **2005**.

Communication par affiche

C. Pavageau, M. Si Moussa, A. Siligaris, L. Picheta, F. Danneville, J. P. Raskin, D. Vanhoenacker-Janvier, J. Russat, N. Fel, « **Low Power 23-GHz and 27-GHz Distributed Cascode Amplifiers in a Standard 130nm SOI CMOS Process** », **2005 IEEE MTT-S International Microwave Symp.**, Long-Beach, CA, 12-17 juin **2005**.

Présentation orale

Si Moussa M., **Pavageau C.**, Danneville F., Russat J., Fel N., Raskin J.-P., Vanhoenacker-Janvier D., « **Temperature Effect on the Performance of a Traveling Wave Amplifier in 130 nm SOI Technology** », **2005 IEEE RFIC Symp.**, Long-Beach, CA, 12-14 juin **2005**.

Présentation orale

Si Moussa M., **Pavageau C.**, Simon P., Danneville F., Russat J., Fel N., Raskin J.-P., Vanhoenacker-Janvier D., « **Behaviour of a Common Source Travelling Wave Amplifier versus Temperature in SOI Technology** », *2005 35th European Microwave Conference*, Paris, France, 4-6 octobre 2005.

Présentation orale

Si Moussa M., **Pavageau C.**, Lederer D., Picheta L., Danneville F., Russat J., Fel N., Raskin J.-P. and Vanhoenacker-Janvier D., « **An investigation of Temperature Effects on CPW and MSL on SOI Substrate for RF Applications** », *IEEE International SOI Conference*, Honolulu, Hawaii, 3-6 octobre 2005.

Présentation orale

M. Si Moussa, **C. Pavageau**, P. Simon, F. Danneville, J. Russat, N. Fel3, J.-P. Raskin and D. Vanhoenacker-Janvier, "Design of Distributed Amplifiers and Oscillators in 130 nm SOI MOS Technology", *IEEE MTT Wireless*, 2006 (accepté).

Colloques

Présentation orale

M. Si Moussa, **C. Pavageau**, F. Danneville, J. P. Raskin et D. Vanhoenacker-Janvier, « **Design of 1 – 27 GHz distributed amplifier in 130 nm SOI technology** », *MEDEA+ 4G-Radio Workshop on SOI Technology for RF Applications*, Louvain-la-Neuve, Belgique, 25 octobre 2004.

Présentation orale

C. Pavageau, M. Si Moussa, A. Siligaris, L. Picheta, F. Danneville, J. P. Raskin, D. Vanhoenacker-Janvier, J. Russat, N. Fel, « **Design of K-band Distributed Amplifiers using FB and BC MOS** », *MEDEA+ T206 SOI Workshop*, Crolles, France, 25-26 novembre 2004.

Présentation orale

C. Pavageau, A. Siligaris, L. Picheta, F. Danneville, G. Dambrine, S. Lepillet, J. Russat, N. Fel, « **DC & AC characterization and modeling of N & P MOSFET** », *MEDEA+ T206 SOI Workshop*, Crolles, France, 25-26 novembre 2004.

Présentation orale

C. Pavageau, M. Si Moussa, A. Siligaris, L. Picheta, F. Danneville, J. P. Raskin, D. Vanhoenacker-Janvier, J. Russat, N. Fel, « **Conception d'amplificateurs distribués en bande K avec la technologie SOI-PD 130 nm** », *Workshop Laboratoire Commun IEMN-ST*, Crolles, France, 22 mars 2005.

Présentation orale

Si Moussa M., **Pavageau C.**, Danneville F., Russat J., Fel N., Raskin J.-P., Vanhoenacker-Janvier D., « **Design of a Traveling Wave Amplifier in 130 nm Partially** », *Workshop Laboratoire Commun EMIC-IEMN*, Louvain-La-Neuve, Belgique, mai 2005.

RESUME

La technologie CMOS SOI (« *Silicon On Insulator* ») a déjà montré son intérêt pour les circuits numériques par rapport à la technologie CMOS sur substrat massif (« *bulk* »). Avec l'entrée des technologies CMOS dans l'ère des dimensions nanométriques, les transistors atteignent des fréquences de coupures élevées, ouvrant la voie aux applications hyperfréquences et de ce fait à l'intégration sur la même puce des circuits numériques, analogiques et hyperfréquences. Cependant, la piètre qualité des éléments passifs reste le principal verrou des technologies CMOS pour y parvenir.

Les travaux effectués lors de cette thèse portaient sur l'étude des aptitudes de la technologie CMOS SOI 130 nm de *ST-Microelectronics* pour des applications hyperfréquences au-delà de 20 GHz. Ils consistaient plus précisément à concevoir des circuits de démonstration pouvant entrer dans la composition d'une chaîne d'émission/réception. Trois amplificateurs distribués en bande K ont d'abord été conçus et mesurés. Malgré des pertes élevées dans les lignes de transmission limitant ainsi la bande passante et le gain, les performances mesurées montrent l'intérêt de cette technologie pour les hyperfréquences. Ensuite, une nouvelle série de démonstrateurs – amplificateurs distribués, amplificateurs faible bruit et mélangeurs actifs – a été conçue en employant des lignes à plus faibles pertes que celles utilisées précédemment. Les résultats de simulation montrent que le produit gain-bande des amplificateurs distribués a doublé en conservant la même architecture. Les simulations des amplificateurs faible bruit et des mélangeurs actifs montrent des performances à l'état de l'art en CMOS.

TITLE

130 nm SOI CMOS technology for microwaves applications

ABSTRACT

Silicon On Insulator (SOI) CMOS technology has already shown good performances for digital applications compared to bulk CMOS technology. At nanometer-scale, SOI CMOS transistors exhibit very high cut-off frequencies, enabling the design of millimeter-wave integrated circuits and therefore the joint integration of microwave circuits with low frequency analog and high-speed digital functions for SoC applications. However, high losses in passive components remain the main limiting factor for microwave applications with CMOS technologies.

The purpose of this work was to investigate the advantages of a standard 130 nm SOI CMOS process provided by ST-Microelectronics (Crolles), for microwave applications beyond 20 GHz, by designing typical microwave transceiver circuits. Three distributed amplifiers in K band were designed and measured, enabling our models validation. Despite high losses in transmission lines reducing achievable gain and bandwidth, measured performances show the interest in using SOI CMOS for microwave applications. Then, a new series of circuits – distributed amplifiers, low noise amplifiers and active mixers – using transmission lines with lower losses were designed. Performances simulations show a significant improvement with a twofold gain-bandwidth product increase for the distributed amplifier and CMOS state-of-the-art performances for low noise amplifiers and mixers.

MOTS-CLES

TECHNOLOGIE SILICIUM SUR ISOLANT MOS COMPLEMENTAIRES TRANSISTORS MOSFET
AMPLIFICATEURS MICROONDES AMPLIFICATEURS FAIBLE BRUIT
MELANGEURS HYPERFREQUENCES LIGNES DE TRANSMISSION POUR MICROONDES
SIMULATION PAR ORDINATEUR