



HAL
open science

**ETUDE DES PHENOMENES DE DEGRADATION
DE TYPENEGATIVE BIAS TEMPERATURE
INSTABILITY (NBTI)DANS LES TRANSISTORS
MOS SUBMICRONIQUES DESFILIERES CMOS
AVANCEES**

Mickael Denais

► **To cite this version:**

Mickael Denais. ETUDE DES PHENOMENES DE DEGRADATION DE TYPENEGATIVE BIAS TEMPERATURE INSTABILITY (NBTI)DANS LES TRANSISTORS MOS SUBMICRONIQUES DESFILIERES CMOS AVANCEES. Analyse de données, Statistiques et Probabilités [physics.data-an]. Université de Provence - Aix-Marseille I, 2005. Français. NNT : . tel-00011973

HAL Id: tel-00011973

<https://theses.hal.science/tel-00011973v1>

Submitted on 17 Mar 2006

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THESE

présentée devant

**L'Université de Provence
d'Aix-Marseille I**

pour obtenir le grade de

DOCTEUR DE L'UNIVERSITE

préparée au sein de STMicroelectronics et
du Laboratoire Matériaux et Microélectronique de Provence

Ecole doctorale : **Physique, Modélisation et Sciences pour l'ingénieur**

Discipline: **Physique des systèmes complexes**

par

Mickael DENAIS

Ingénieur ISEN

**ETUDE DES PHENOMENES DE DEGRADATION DE TYPE
NEGATIVE BIAS TEMPERATURE INSTABILITY (NBTI)
DANS LES TRANSISTORS MOS SUBMICRONIQUES DES
FILIERES CMOS AVANCEES**

Soutenue publiquement le 09 Septembre 2005 devant la commission d'examen

Président :	Rachid BOUCHAKOUR	L2MP, CNRS
Rapporteurs :	Gérard GHIBAUDO	IMEP, CNRS, INPG
	Michel HOUSSA	IMEC
Directeur :	Michel LANNOO	L2MP, CNRS
Examineur :	Didier GOGUENHEIM	L2MP, ISEN
Invités :	Emmanuel VINCENT	STMicroelectronics
	Vincent HUARD (co-encadrant)	Philips Semiconductors
	Alain BRAVAIX (co-encadrant)	L2MP, ISEN

“A change is gonna come”

Sam Cooke.

A Caro,

A ma Famille.



Remerciements

Les travaux présentés dans ce manuscrit ont été réalisés au sein de l'Alliance Industrielle « Crolles 2 Alliance » entre STMicroelectronics, Philips Semiconductors et Freescale Semiconductor dans l'équipe Technology Platform Sustaining. Une partie de ces travaux a également été effectuée sur le site de STMicroelectronics à Crolles dans l'équipe Technology Platform Support. Je remercie vivement Dominique LABRUNYE et Patrick MORTINI de m'avoir accueilli dans leur laboratoire respectif, ainsi que Michel LANNOO, Directeur Scientifique du Département Sciences Physiques et Mathématiques du CNRS, Directeur du Laboratoire Matériaux et Microélectronique de Provence (L2MP) et Directeur de cette thèse de m'avoir permis, dans le cadre d'un contrat CIFRE de l'Association Nationale pour la Recherche Technique, de mener ce travail de thèse en milieu industriel dans d'excellentes conditions.

Je tiens à remercier très chaleureusement Alain BRAVAIX, responsable de l'option Micro- et Nano- électronique de l'Institut Supérieur d'Electronique et du Numérique (ISEN), qui aura été à travers ses trois ans, un tuteur scientifique de très grande qualité. Ce fût un véritable privilège de partager son expérience et son haut niveau de compétence, de bénéficier de sa rigueur scientifique et de ses critiques constructives, et seront à coup sûr, un atout pour ma carrière professionnelle. Je lui suis extrêmement reconnaissant de la disponibilité et la confiance qu'il m'aura accordées durant toute cette thèse.

Je remercie Monsieur Rachid BOUCHAKOUR, Professeur de l'Université de Provence et Directeur du Département « Micro et Nano-Electronique » du Laboratoire Matériaux et Microélectronique de Provence, qui m'a fait l'honneur de présider mon jury d'examen.

Que Monsieur Gérard GHIBAUDO, Directeur de Recherche CNRS et responsable de l'équipe « Composants CMOS Avancés silicium et SOI » sache combien je suis honoré qu'il ait accepté d'être rapporteur de cette thèse.

Je remercie vivement Monsieur Michel HOUSSA, responsable du développement des High-K et des dispositifs à base de Germanium à l'Interuniversity Microelectronics Center (IMEC), reconnu comme expert dans le domaine des dégradations de type Negative Bias Temperature Instability, d'avoir traversé la France jusqu'à Marseille pour participer au jury en tant que rapporteur.

Je suis très reconnaissant envers Monsieur Didier GOGUENHEIM, Directeur de la Recherche ISEN-Toulon, d'avoir accepté le rôle d'examineur, et pour les remarques dont il a bien voulu me faire part lors de la lecture du manuscrit.

Je remercie vivement Emmanuel VINCENT, responsable du département Electrical Characterization and Reliability de Crolles 2 Alliance de m'avoir donné l'opportunité de participer activement dans l'intégration des nouvelles filières technologiques.

Je remercie vivement Nathalie REVIL, responsable du groupe Active Device Reliability pour m'avoir encadré pendant la première partie de mes recherches au sein de STMicroelectronics à Crolles. Je lui suis particulièrement reconnaissant pour ses encouragements et sa bonne humeur permanente.

J'exprime ma profonde gratitude à Vincent HUARD, ingénieur fiabilité de Philips Semiconductors, qui aura su partager son enthousiasme, sa curiosité et sa passion pour la recherche. J'ai énormément apprécié son encouragement, sa disponibilité à travers des discussions interminables, et la confiance qu'il m'aura accordée pendant ces 3 ans.

Je tiens à remercier mes compagnons de voyage (dans le désordre d'importance pour éviter toute polémique) : le thermodynamicien Xavier F. qui fait des piles, énergétiquement désactivé en température, l'évangéliste et poseur de croix Guillaume R., la famille Mairy (Michel le producteur de sucre de betteraves et éleveur de sangliers), Bigger the better, le macro-informaticien roumain Julien-M. R. dit l'anarchiste convulsif, les Indispensables Christelle E. et Myriam V., Léonidas, le shérif David R., véritable bourreau pour les stagiaires et autres thésards, Partha : Babaji de l'équipe, I Wilko Baks, Peter A., Burger King, la Belgique et ses habitants atypiques, les équipes de filière C065 et H9A, ainsi que l'équipe d'intégration de l'oxyde de grille avec qui j'ai eu beaucoup de plaisir à travailler, Monsieur le Président Thomas Fogiel (sous le nom emprunté Hugel), qui ne pourra pas dire que je ne l'avais pas prévenu, Muse, Docteur Yannick Zinedine R.-T. Zidane, les Red HoT, Gérard dit

le Sauveur, Madame Malika, Chloé G. qui reprend le flambeau, le void électromigré David N., Monsieur Monsieur, Guillaume S. l'analyseur de bancs, Mister Johnes dit Franck P., et les crevettes du fisherman's wharf...



Table des matières

REMERCIEMENTS	I
TABLE DES MATIERES	V
TABLE DES SYMBOLES	IX
TABLE DES ABREVIATIONS	XI
INTRODUCTION GENERALE	1
Contexte actuel	1
Sujet de Thèse	7
CHAPITRE 1. INTRODUCTION A LA FIABILITE DES TRANSISTORS MOSFETS SOUS CONTRAINTE NBT	11
1.1 Introduction	11
1.2 Le transistor MOSFET	12
1.2.1 La structure du transistor MOS	12
1.2.2 Diagramme de bande d'énergie du transistor	13
1.2.3 Conduction électrique entre la source et le drain	15
1.2.4 Conduction à travers l'oxyde de grille	22
1.3 Negative Bias Temperature Instability: NBTI	27
1.3.1 La contrainte NBT	27
1.3.2 Historique du NBTI	28
1.3.3 Dérive des paramètres électriques sous une contrainte NBT	31
1.3.4 Le NBTI parmi les principaux modes de défaillance	33
1.3.5 Définition du NBTI	37
1.4 La fiabilité NBTI et l'accélération du vieillissement	38
1.4.1 Définitions	38
1.4.2 Accélération du NBTI et extrapolation de la TTF	40
1.5 Conclusions	46
CHAPITRE 2. GENERATION DES ETATS D'INTERFACE SOUS CONTRAINTE NBT	47

2.1	Introduction	47
2.2	L'interface SiO₂/Si	48
2.2.1	L'oxydation du substrat	48
2.2.2	Propriétés physico-chimiques de l'interface Si-SiO ₂	49
2.3	Caractérisation de la génération de défauts à l'interface SiO₂/Si et leurs effets sur les paramètres électriques	53
2.3.1	Le Pompage de charges 2 niveaux	53
2.3.2	La caractéristique DC-IV	55
2.3.3	ESR (Electron-Spin Resonance)	56
2.3.4	Effet sur la tension de seuil V _T	56
2.3.5	Effet sur la tension V _{mid-gap}	58
2.3.6	Effet sur la pente sous le seuil	59
2.3.7	Effet sur la mobilité	60
2.4	Les modèles de Réaction - Diffusion	64
2.4.1	Description	64
2.4.2	Formulation	66
2.4.3	Extension du modèle R-D	70
2.4.4	Limites du modèle R-D	71
2.5	Proposition d'un nouveau modèle de génération de défaut à l'interface SiO₂/Si	75
2.6	Conclusions	81

CHAPITRE 3. GENERATION DE CHARGES FIXES ET PIEGEAGE DE TROUS⁸³

3.1	Introduction	83
3.2	Mise en évidence d'une dégradation supplémentaire au N_{IT}	83
3.3	Génération de charges fixes	85
3.3.1	Modélisation de la génération de charges fixes dans l'oxyde	85
3.3.2	Mise en évidence des charges fixes	87
3.4	Piégeage/Dépiégeage de trous dans l'oxyde	92
3.4.1	Nature des pièges	92
3.4.2	Piégeage/Dépiégeage de trous dans l'oxyde	96
3.5	Conclusions	104

CHAPITRE 4. LA TECHNIQUE « ON-THE-FLY » 105

4.1	Introduction	105
4.2	Le phénomène d'autoguérison	106
4.3	Philosophie et protocole expérimental de la mesure « on-the-fly »	108
4.3.1	Philosophie de la caractérisation à la volée	108
4.3.2	Equipements et Protocole	113
4.4	Extraction de la dérive des paramètres physiques et électriques	114
4.4.1	Extraction des paramètres physiques	115
4.4.2	Extraction basée sur le modèle SPICE 3	117
4.5	Vérification théorique de la caractérisation à la volée	119
4.5.1	Simulation de la dégradation	120
4.5.2	Application d'un bruit sur les paramètres électriques.	121
4.6	Etude du NBTI et de sa relaxation avec la technique <i>on-the-fly</i>	122
4.7	Comparaison entre la technique <i>on-the-fly</i> et la caractérisation classique	130
4.8	Conclusions	131
CHAPITRE 5. ETUDE DES EFFETS DES PROCEDES DE FABRICATION ET DES MATERIAUX 133		
5.1	Introduction	133
5.2	Evaluation des effets NBTI	134
5.3	Du substrat à l'oxyde de grille	136
5.3.1	L'orientation du substrat	136
5.3.2	Les zones actives et les isolations	141
5.3.3	Les implantations et les ajustements de la tension de seuil	143
5.4	L'oxyde de grille	146
5.4.1	Influence de la technique d'oxydation	147
5.4.2	L'épaisseur de l'oxyde de grille	149
5.4.3	L'effet du chlore pendant la première oxydation de grille	151
5.4.4	L'effet de l'azote dans l'oxyde de grille	151
5.5	La grille et le dopage source/drain	164
5.6	Evolution des procédés de fabrication	170
5.6.1	Le charging	170
5.6.2	L'avantage du deutérium ?	170

5.6.3	Diélectrique à forte permittivité : High-k	172
5.7	Conclusions	173
CHAPITRE 6. PERSPECTIVES ET NOUVEAUX DEFIS DU NBTI DANS LES TECHNOLOGIES AVANCEES		175
6.1	Introduction	175
6.2	Proposition d'un modèle physique	176
6.3	Nouvelle méthodologie de qualification du NBTI dans les prochaines filières technologiques	179
6.3.1	Cas du NBTI quasi-statique : DC NBTI	179
6.3.2	Le cas du NBTI dynamique (AC NBTI)	181
6.4	L'effet du NBTI dans les circuits	182
6.4.1	Application numérique : L'inverseur CMOS	182
6.4.2	Applications analogiques : Comparateur/Amplificateur opérationnel à 2 étages	184
6.4.3	Circuit RF : (le paramètre S)	185
6.4.4	La SRAM	187
6.4.5	Comparaison entre le NBTI et le PBTI dans les circuits	189
6.5	Proposition d'asservissement du NBTI dans les circuits	190
6.5.1	Présentation du principe d'asservissement	190
6.5.2	Exemple de solution	191
6.5.3	Evaluation de la cellule	192
6.6	Véhicule de test	193
6.7	Conclusions	197
CONCLUSION GENERALE		199
LISTES DES TABLEAUX		203
LISTES DES FIGURES		205
REFERENCES BIBLIOGRAPHIQUES		215
BIBLIOGRAPHIE PERSONNELLE		226
MICROELECTRONICS ENGINEERING		229
ANNEXE A	231	
ANNEXE B	235	

Table des symboles

C_{MIN} : Capacité d'inversion (F/m²)
 C_{OX} : Capacité de l'oxyde (F/m²)
 C_D : Capacité de déplétion (F/m²)
 C_{Dep} : Capacité de la couche de déplétion (F/m²)
 C_{FB} : Capacité à la condition $V_G=V_{FB}$ (F/m²)
 C_{IT} : Capacité équivalente induite par la charge stockée dans les pièges d'interface (F/m²)
DIBL : Drain Induced Barrier Lowering
 E_C : bas de la bande de conduction (eV)
 E_F : énergie de Fermi (eV)
 E_G : bande énergétique interdite (eV)
 E_V : haut de la bande de valence (eV)
 e : Charge de l'électron 1.602×10^{-19} C
 ϵ_0 : Permittivité du vide 8.854×10^{-14} F/cm
 ϵ_{OX} : Coefficient de permittivité de l'oxyde 3.9
 ϵ_{Si} : Coefficient de permittivité du silicium 11.7
 F_{OX} : Champ électrique vertical à travers l'oxyde de la capacité (V/m)
 g_m : Transconductance (S)
 \hbar : Constante de Planck 6.625×10^{-34} J/s
 I_B : Courant de substrat (A)
 I_D : Courant de drain (A)
 I_G : Courant de grille (A)
 k : Constante de Boltzmann 1.38×10^{-23} J/K = 8.62×10^{-5} eV/K
 L : Longueur du canal du transistor MOS (m)
 L_A : Longueur des actives (entre les source/drain et le STI) (m)
 m_0 : Masse de l'électron 9.11×10^{-31} kg = 5.69×10^{-16} eV s² cm⁻²
 μ_{EFF} : mobilité effective prenant en compte la réduction de mobilité induit par les champs électriques vertical et latéral ($Am^{-2}V^{-1}$)
 μ_n : mobilité des électrons dans le semi-conducteur ($Am^{-2}V^{-1}$)
 μ_p : mobilité des trous dans le semi-conducteur ($Am^{-2}V^{-1}$)

μ_s : mobilité effective prenant en compte la réduction de mobilité induit par le champ électrique latéral ($Am^{-2}V^{-1}$)

μ_0 : Mobilité de l'électron soumis à aucun champ électrique dans le semi-conducteur. ($Am^{-2}V^{-1}$)

Φ_{MS} : Travaux de sortie des électrons métal semi-conducteur (V)

Φ_N : Affinité de l'électron entre le Si et le SiO₂ (eV)

Ψ_F : Potentiel de jonction (V)

Ψ_S : Potentiel de surface (V)

Q_{Depmax} : Charge de déplétion maximale (C)

Q_f : Charge fixe dans l'oxyde (C)

Q_G : Charge dans la grille (C)

Q_{ht} : Charge piégée dans l'oxyde (C)

Q_{IT} : Charge dans les états d'interface (C)

Q_{SI} : Charge dans le Silicium (C)

Q_{SS} : Quantité de charge positive à l'interface diélectrique - substrat dans l'oxyde (C)

q : Charge élémentaire (C)

S_{OX} : Surface de l'oxyde de grille (m²)

θ : Paramètre téta de SPICE niveau 3 (V^{-1}), réduction de mobilité par le champ électrique vertical.

T : Température (K)

T_{OX} : Epaisseur d'oxyde (m)

V_{DS} : Tension entre drain et source (V)

V_{Dsat} : Tension de drain de saturation pour un V_G (V)

V_{FB} : Tension de bande plate (V)

V_G : Potentiel électrique de la grille (V)

v_{max} : Vitesse maximale des porteurs chauds (m/s)

V_T : Tension de seuil du transistor MOS (V)

W : Largeur du canal du transistor MOS (m)

Table des abréviations

ANVAR : Agence National de VALorisation de la Recherche
CA : Chiffre d'affaires
CMP : Chemical and Mechanical Polishing
CVD : Chemical Vapor Deposition
D2R : Delay to Reoxidation
DIBL : Drain Induced Barrier Lowering
DOE : Design of Experiment
DLTS :Deep Level Transient Spectroscopy
ECB: Electron Conduction Band
EDL : Electron Device Letter
ENIAC : Electrical Numerical Integrator And Calculator
ESR: Electron Spin Resonance
ESREF : European Symposium Reliability of Electron Devices, Failure Physics and Analysis
ESSDERC : European Solid-State Device Research Conference
EVB: Electron Valence Band
FET:Field Effect Transistor
GOI : Gate Oxide Integrity
HCI : Hot Carrier Injection
HVB: Hole Valence Band
IEDM : International Electron Device Meeting
IMEC : Interuniversity Microelectronics Center
IPFA : International Symposium on Physical and Failure Analysis
IRPS : International Reliability Physics Symposium
IRW : Integrated Reliability Workshop
IWGI : International Workshop on Gate Insulator
JAP : Journal of Applied Physics
JEDEC : Joint Electron Device Engineering Council
LOCOS : LOCAl Oxidation of Silicon
MESFET : Metal-Semiconductor Field Transistor
MODFET :MODulation-Doped Fiel Effect Transistor
MOS : Métal Oxyde Semi-conducteur

MOSFET : Metal Oxide Semiconductor Field Effect Transistor

MOST : MOS Transistor

NBTI : Negative Bias Temperature Instability

NBTS: Negative Bias Temperature Stress

PID: Process Induced Damage

R&D : Recherche et Développement

R-D : Réaction – Diffusion

RTO : Rapid Thermal Oxidation

SIMS : Secondary Ion Mass Spectroscopy

SNM : Static Noise Margin

SPA : Slot Plane Antenna

SPICE : Simulation Program with Integrated Circuit Emphasis

STI : Shallow Tranch Isolation

TDMR : Transactions on Device and Materials Reliability

TED : Transactions on Electron Device

TTF : Time To Failure

VLSI : Symposium on VLSI Technology

WODIM : Workshop On Dielectrics In Microelectronics

XPS : X-ray Photoelectron Spectroscopy

ZCE : Zone de Charge d'Espace

Introduction générale

Contexte actuel

C'est le 13 novembre 1990 que le président des Etats-Unis remercia Jean Hoerni pour son « exceptionnelle contribution au bien-être de la nation » 32 ans plutôt avec son invention du circuit intégré [1]. La microélectronique a grandement participé à la révolution technologique de la fin du XX siècle. Elle est très fortement intégrée dans le fonctionnement de notre société, et le concept de « fossé technologique » ou « fracture numérique » est couramment employé pour désigner les écarts technologiques entre les pays. Les ordinateurs, Internet, les appareils médicaux, le contrôle aérien, les échanges financiers, les microscopes atomiques, les téléphones portables, sont tous des progrès qui ont radicalement changé le mode de vie des Hommes.

Toute cette avancée technologique n'a été financièrement et matériellement possible qu'à travers la miniaturisation des composants de base des circuits intégrés. La poursuite de l'intégration (réduction des dimensions) des transistors, dictée par la loi de Moore [2] reste un défi permanent des industriels. En cinquante ans, l'industrie du semi-conducteur est devenue une industrie de masse avec plus de 210 milliards de dollars de chiffre d'affaires dans le monde en 2004 [3]. La miniaturisation a permis par exemple de réduire très fortement le volume des premiers ordinateurs électroniques qui faisaient plusieurs armoires malgré des fonctions très basiques [4]. La deuxième raison de la course à l'intégration est la baisse des coûts de fabrication du produit final. La Figure 0-1 représente l'évolution du coût de fabrication par transistor depuis 1982. Le prix est divisé par pratiquement cent tous les dix ans. Cette diminution du coût par transistor a permis de multiplier le nombre de transistors et de complexifier les circuits électroniques (et leurs types d'applications) sans augmenter leur prix de revient. L'émergence de nouveaux produits comme les téléphones portables par exemple, a été économiquement viable grâce à cette diminution drastique du coût final par transistor.

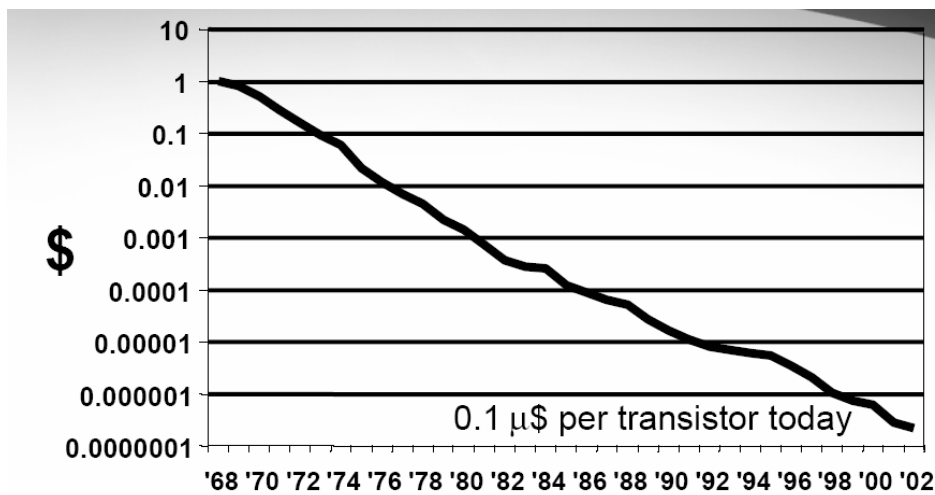


Figure 0-1 : Evolution du coût de fabrication par transistor [5]

Depuis déjà plusieurs années, l'industrie du semi-conducteur se prépare à heurter deux barrières limitant cette course vers l'infiniment petit:

- Tout d'abord la barrière « physique ». Les dimensions des architectures se mesurent aujourd'hui en nanomètre et sont constituées de quelques couches atomiques. De nouveaux phénomènes physiques interviennent et le comportement électrique des dispositifs n'est plus satisfaisant [6]. Il est vrai que cet épouvantail est présenté depuis déjà plusieurs dizaines d'années :

Dans les années 60, 1 micromètre était considéré à cette époque comme la limite à cause des effets canaux-courts et des problèmes optiques dans les étapes de fabrication utilisant la lithographie. Au coeur des années 70, 500nm était considéré comme étant la limite physique à cause de l'augmentation de la résistance source/drain. En 1979, 250 nm était la limite pour des raisons de fuite (courant tunnel) à travers l'oxyde de grille et de fluctuation de dopant dans le canal [7]. Dans les années 80, 100 nm était considéré comme la limite physique car de nombreuses difficultés empêchaient la réduction des paramètres physiques du transistor MOSFET (Metal-Oxide-Semiconductor Field Effect Transistor). Enfin, 10nm a longtemps été accepté comme étant la limite physique pour de nombreuses raisons avec notamment celle du courant tunnel entre la source et le drain [8]. Néanmoins, il a été montré récemment que les effets pouvaient être réduits [9]. L'histoire a donc montré que les barrières « physiques » ont à chaque fois été dépassées et qu'il était très difficile de prévoir réellement une limite « physique ». Cependant, nous pouvons citer la limite « ultime » (pour l'instant...) la distance inter-atomique dans le cristal de silicium qui est de

l'ordre de 0.35nm (ce qui représente encore une réduction d'un facteur 17 avec le plus petit des transistors MOS (Metal-Oxide-Semiconductor) fabriqué aujourd'hui) [6].

- La deuxième barrière est « la barrière financière ». Les investissements R&D (Recherche et Développement) nécessaires à l'élaboration de nouvelles filières technologiques sont devenus si importants qu'ils ne peuvent plus être supportés par une compagnie isolée (excepté quelques cas...pour l'instant). Le coût d'une chaîne de fabrication 300mm est estimé à 500-800 Millions de dollars. On observe des fusions et des alliances industrielles partageant en commun les investissements de R&D. Le site de Crolles 2 Alliance en est la parfaite illustration avec une alliance entre STMicroelectronics, Philips Semiconductors et Freescale Semiconductor. Pourtant concurrents, ces 3 compagnies ont investi dans un centre commun de recherche pour parvenir ensemble à un niveau technologique inégalé qu'aucun n'aurait pu atteindre seul. Selon P.Pistorio [10], Président honoraire de STMicroelectronics, les acteurs du marché vont continuer à se regrouper et/ou fusionner pour mettre en commun leurs ressources. Ce processus impliquera une diminution du nombre d'acteurs les prochaines années ne laissant plus qu'une dizaine de grands fournisseurs mondiaux (à comparer à 150 environ aujourd'hui). Un deuxième aspect est la maturité du marché. Abernathy et Utterback [11] ont formalisé le concept de cycle de vie du produit, stipulant que les efforts d'innovation sont différents selon la maturité du produit. La Figure 0-2 représente le cycle de vie d'un produit selon l'ANVAR (Agence Nationale de Valorisation de la Recherche) [12]

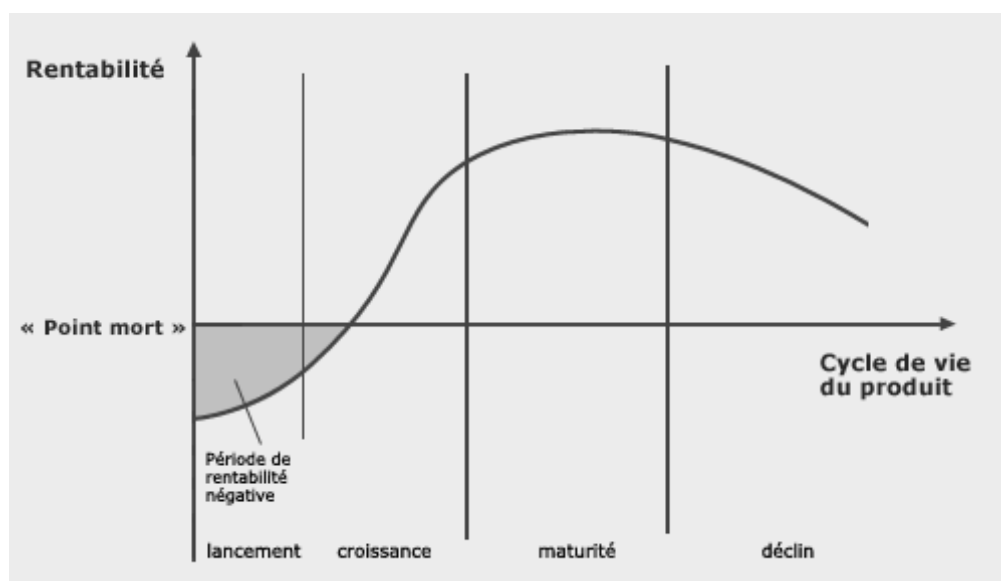


Figure 0-2 : Le cycle de vie d'un produit selon l'ANVAR [12]

Si la phase « croissance » permet de passer rapidement du profit zéro au super profit [13] avec des taux de croissance extrêmement forts du CA, la maturité du marché et la phase de consolidation présagent d'une période moins florissante et à terme, du déclin. Beaucoup d'experts s'accordent à dire que le marché du semi-conducteur est aujourd'hui à un niveau de maturité correspondant à la phase de consolidation (justifiée par les fusions et alliances industrielles) et ne permettant plus d'atteindre des progressions du CA et des retours sur investissements aussi importants que ces dernières années. Ainsi, l'aspect financier pourrait être une limitation pour continuer une intégration technologique aussi rapide que celle prévue par la loi de Moore.

Du point de vue économique, le client est, et reste, le centre des préoccupations de toutes entreprises. La satisfaction du client est un des objectifs permanents et assurant la vente de produit. Elle passe évidemment par des problèmes de coût, de temps de livraison, de maintenance..., mais également par la qualité du produit fourni. Dans le cas de la microélectronique, et du transistor MOSFET en particulier, les 3 paramètres déterminants sont :

- ❖ Des performances élevées (rapidité)
- ❖ Une consommation énergétique faible (notamment pour les technologies *portables*)
- ❖ Une fiabilité élevée (généralement garantie pour 10 ans, voire 20 ans pour les applications dites « automobile »)

La barrière physique y fait déjà plus ou moins allusion, et il est clair que si par exemple pour des raisons *physiques*, la consommation des transistors des prochaines générations devient trop importante pour permettre la portabilité des prochains produits, alors le produit ne conviendra plus au client (téléphone portable par exemple). Ce problème est un des défis majeurs de l'intégration technologique avec la réduction de l'oxyde de grille des transistors et l'augmentation très forte des courants de fuite. L'introduction de matériaux de haute permittivité pourrait apporter une solution à ce problème. De même, le client est très attentif à la fiabilité des composants et exige un niveau élevé dans ce domaine (aviation, automobile, informatique, multimédias etc...). Les répercussions des problèmes de fiabilité pour le client et l'industriel peuvent être de plusieurs ordres : inconfort, dépenses, accidents, abandon de la clientèle, mauvaise image...etc.

Cette course vers l'intégration ultime dans un contexte industriel, avec des rendements et des niveaux de productivité élevés, et des cycles de développement et de mise en production

toujours plus rapides, impose l'utilisation de nouvelles solutions techniques. L'intégration technologique ultime, rapide, utilisant des nouveaux équipements et matériaux vers des niveaux de performances, de qualité et de fiabilité toujours plus élevées, offre aux technologues un compromis toujours de plus en plus difficile à atteindre. Dans un contexte où les contraintes industrielles et physiques sont de plus en plus fortes, la fiabilité des transistors est mise à rude épreuve et pourrait limiter et/ou contraindre les technologues à des objectifs et des compromis moins ambitieux que ceux qui sont dictés par la loi de Moore.

Au même titre que les critères de performances, la fiabilité d'un dispositif est un enjeu majeur de l'intégration des nouvelles architectures et préoccupe sérieusement les industriels depuis plusieurs années [14]. Il est nécessaire d'améliorer notre compréhension des mécanismes physiques pour anticiper les problèmes de fiabilité dès l'intégration de nouvelles architectures sur puces.

Parmi les modes de dégradation limitant la fiabilité des transistors MOSFET, un « *nouveau* » phénomène communément appelé Negative Bias Temperature Instability (NBTI) est reconnu aujourd'hui comme potentiellement réhibitoire au bon fonctionnement des circuits à haute température. Avec une puissance consommée en forte augmentation, la dissipation thermique peut atteindre 280W/cm² localement dans la zone de la mémoire cache pour la technologie ultra avancée (dernière génération de Pentium) et la température moyenne de la puce atteindre généralement 80-100°C. La Figure 0-3 illustre les variations de température dans un processeur.

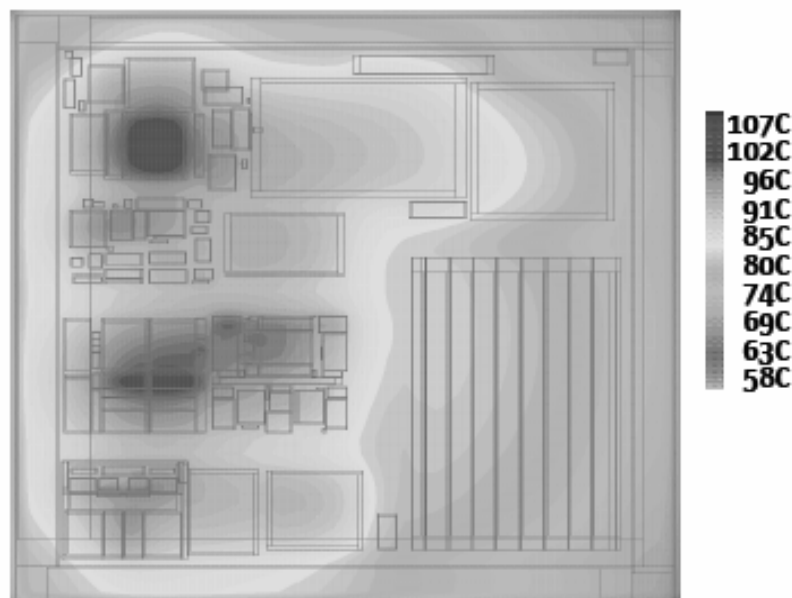


Figure 0-3 : Température dans un processeur [15]

La prise en compte du phénomène NBTI dans les études de fiabilité des transistors MOSFETs est relativement récente et est référencée dans la norme JEDEC (Joint Electron Device Engineering Council) depuis fin 2000 – début 2001 [16]. JEDEC est une organisation de standardisation des semi-conducteurs créée en 1960. Si nous regardons le nombre de publications portant sur le NBTI ces dernières années sur la Figure 0-4 suivante, nous pouvons voir que les travaux et le nombre de publications ont considérablement augmenté à partir de l'année 2000. Ceux-ci témoignent de l'importance accordée au NBTI par la communauté scientifique ces dernières années.

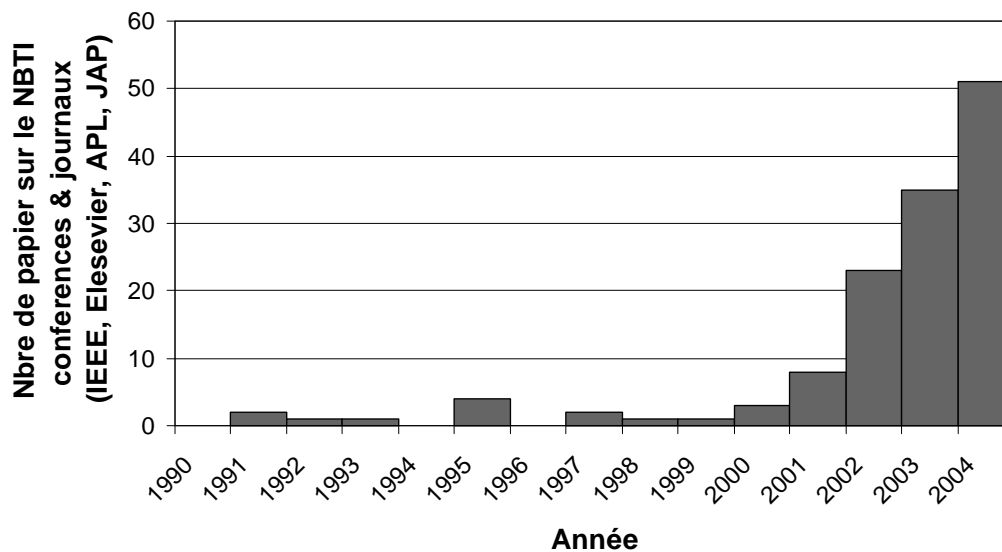


Figure 0-4 : Evolution du nombre de publications sur le NBTI.

Les publications prises en compte sont celles publiées aux conférences internationales majeures et dans les journaux à comité de relecture

- International Electron Device Meeting (IEDM)
- European Solid-State Device Research Conference (ESSDERC)
- International Reliability Physics Symposium (IRPS)
- Symposium on VLSI Technology (VLSI)
- International Symposium on Physical and Failure Analysis (IPFA)
- International Workshop on Gate Insulator (IWGI)
- Workshop On Dielectrics In Microelectronics (WODIM)
- Journal of Applied Physics (JAP)
- Electron Device Letter (EDL)
- Transactions on Electron Device (TED)
- Transactions on Device and Materials Reliability (TDMR)

Sujet de Thèse

C'est dans ce contexte que nous avons développé ce travail de thèse sur la compréhension du mécanisme NBTI dans les filières technologiques avancées. Ce travail est basé autour de 4 axes principaux :

1. L'étude des mécanismes de défaillance liés aux phénomènes NBTI dans les dispositifs MOS submicroniques avancés issus des nouvelles générations de technologies CMOS (0.13 μ m et en dessous). L'expérience acquise sur la fiabilité des transistors MOS depuis plusieurs générations de technologies permet aujourd'hui de dire que la course aux performances via des modifications constantes, en particulier en termes d'architecture de canal et de source/drain mais aussi d'oxyde de grille, a engendré une évolution des modes de défaillance ou en tout cas de leur impact sur les caractéristiques des dispositifs. L'avancée technologique pouvant s'accompagner d'une modification des mécanismes de défaillance et/ou de leurs effets sur la fiabilité des dispositifs, il est crucial pour les nouvelles générations de technologies CMOS (0.13 μ m vers le 90nm, 65nm et même 45nm) de comprendre les comportements mis en jeu dans un mode de type NBTI.
2. L'amélioration de la prédiction de la dégradation en général et de la durée de vie des dispositifs en particulier. L'étude des mécanismes de défaillance telle que décrite précédemment doit permettre d'améliorer fortement la prédiction de la fiabilité des dispositifs en général et de leur durée de vie en particulier pour la qualification d'un produit. En effet, grâce à la mise à disposition de modèles analytiques vis-à-vis de l'impact des différents paramètres clés sur la dégradation des caractéristiques électriques des transistors MOS, nous pourrions prévoir par le calcul la dégradation au cas par cas selon l'utilisation.
3. La proposition de solutions technologiques pour améliorer la fiabilité des MOS avancés vis-à-vis des phénomènes NBTI. L'utilisation de nouveaux matériaux et de nouveaux procédés de fabrication modifient considérablement les performances et la fiabilité des transistors. La fiabilité Porteurs Chauds a été améliorée par exemple par la nitruration de l'oxyde et l'optimisation des structures source/drain ainsi que le dopage substrat. La modélisation des mécanismes physiques de la dégradation NBTI, et la compréhension des interactions avec les matériaux permettront d'optimiser les recettes de fabrication des prochaines technologies (65nm et 45nm).
4. L'optimisation des méthodes de tests et d'analyses associées. Afin de répondre aux différents besoins des technologues tout en intégrant les contraintes expérimentales, il

est absolument fondamental d'améliorer le temps de cycle des essais de type fiabilité. En effet, de plus en plus de dispositifs sont disponibles, et donc à étudier, dans les filières technologiques récentes et donc pour une modification de fabrication donnée, les méthodes d'analyse de la fiabilité, dites classiques, sont devenues très consommatrices de temps de test, mais aussi de temps d'exploitation.

Ainsi, nous nous proposons de construire le manuscrit autour de 6 chapitres :

Chapitre 1 : Le premier chapitre sera une introduction à la fiabilité du transistor MOS. La physique du transistor MOSFET sera présentée essentiellement pour définir les notations utilisées par la suite dans le manuscrit. Un historique retracera les manifestations les plus pertinentes du NBTI au cours des dernières années ainsi que son évolution au fil des technologies. Les principaux effets du NBTI sur les paramètres électriques seront exposés. Enfin, la notion de fiabilité des transistors sera introduite. Nous définirons la fiabilité, la durée de vie et la nécessité de l'accélération du vieillissement. Nous traiterons le cas concret d'une extrapolation d'une durée de vie d'un transistor PMOS soumis à une contrainte NBT.

Les deux chapitres suivants présenteront les mécanismes de dégradation dans la structure MOS.

Chapitre 2 : Il présentera la dégradation au niveau de l'interface substrat/oxyde de grille. Nous rappellerons dans un premier temps, pourquoi l'interface SiO₂/Si est propice à la génération de défauts, puis nous proposerons une revue des effets de ces défauts sur les paramètres électriques du transistor MOS. Nous montrerons tout particulièrement les effets des défauts sur la mobilité des porteurs de charge et la tension de seuil. Dans un deuxième temps, nous présenterons le modèle de génération de défauts à l'interface SiO₂/Si connu sous le nom « modèle de Réaction – Diffusion » ou « modèle R-D ». Nous proposons d'en vérifier les hypothèses face aux résultats expérimentaux que nous avons obtenus. Compte tenu des limitations du modèle R-D à modéliser les caractéristiques propres de la dégradation, nous proposerons dans la troisième partie un nouveau modèle bâti autour des résultats observés avec notamment la prise en compte d'une distribution des énergies d'activation de la dissociation de la liaison Si-H.

Chapitre 3 : Ce chapitre est consacré à la génération de défauts dans l'oxyde de grille avec la génération de charges fixes et le piégeage de trous pendant une contrainte NBT. Il sera articulé en trois parties. La première partie mettra en évidence l'existence des charges fixes et les techniques de caractérisation adaptées. Dans un deuxième temps, nous présenterons les différents défauts susceptibles d'intervenir dans le mécanisme de piégeage de charge. Et enfin, une étude expérimentale permettra d'identifier clairement le mécanisme de piégeage de trous notamment à travers les phases de relaxation.

Chapitre 4 : Ce chapitre présente la technique « *on-the-fly* » [17] que nous avons développée au sein du centre de Recherche et Développement de l'Alliance Crolles 2 pour caractériser la dégradation NBTI. Contrairement à une caractérisation « classique », pour laquelle la contrainte est momentanément arrêtée pour caractériser les paramètres du MOS (I_D - V_G , C-V, CP...), cette nouvelle technique permet de caractériser la dégradation dans une configuration électrique très proche de celle de la contrainte. Il n'est plus nécessaire d'arrêter la contrainte pour caractériser la dégradation. Les effets de relaxation ou d'autoguérison observés avec une méthodologie de caractérisation conventionnelle seront ainsi minimisés.

Chapitre 5 : L'intégration technologique nécessite un haut niveau de contrôle des matériaux pour leur industrialisation. Le dépôt de quelques couches atomiques est très sensible, et la qualité du dispositif va fortement dépendre de la maîtrise avec laquelle elle sera faite. L'utilisation de nouveaux matériaux peut fortement favoriser les effets du NBTI dans les nouvelles filières technologiques. Nous traiterons des effets de procédés de fabrication sur le NBTI dans le chapitre 5. Une analyse des comportements à travers des DOE (Design of Experiment) permettra d'identifier les effets dits « process » (matériaux, technique de fabrication, machine) sur le NBTI.

Chapitre 6 : Nous discuterons dans le dernier chapitre les perspectives et les prochains défis du NBTI dans l'intégration des prochaines filières technologiques. C'est ainsi que nous proposerons un modèle électrique compact du mécanisme de dégradation sous contrainte NBT prenant en compte les trois composantes qui sont : la génération des états d'interface, la création des charges fixes et le piégeage de trous. Dans un deuxième temps, nous proposerons une méthodologie de qualification du NBTI pour les prochaines filières technologiques. Les techniques de caractérisations conventionnelles ne pouvant plus assurer une caractérisation électrique fiable et indépendante de l'équipement utilisé, une

nouvelle méthodologie sera bâtie autour de la technique *on-the-fly*. Toujours dans le registre industriel, nous proposerons également une nouvelle architecture de test augmentant considérablement les capacités de test par des contraintes en parallèle. Comme nous l'avons précédemment mentionné, le NBTI peut avoir des conséquences rédhibitoires pour l'ensemble des circuits utilisant des transistors PMOS. Des efforts au niveau du schéma électrique des circuits sont d'ores et déjà permis de réduire les effets NBTI (L'exemple d'un tampon de traduction (TLB pour Traduction Lookaside Buffer) fréquemment utilisé dans la gestion des mémoires [18]). Nous ciblerons quelques cas concrets dans lesquels le NBTI peut avoir d'importantes répercussions sur les paramètres électriques clés du fonctionnement des circuits. Pour contrer les effets du NBTI et notamment de la dérive de la tension de seuil, nous proposerons dans la dernière partie un circuit d'asservissement du NBTI dans les circuits. Il pourra être facilement implémenté dans des circuits pour lesquels le NBTI serait trop critique.

Ce travail de thèse doit permettre aux technologues grâce à une meilleure connaissance des mécanismes de dégradation NBTI, d'anticiper ces phénomènes par des optimisations aussi bien au niveau des procédés de fabrication des transistors MOS qu'au niveau du schéma électrique des blocs CMOS.

Chapitre 1. Introduction à la fiabilité des transistors MOSFETs sous contrainte NBT

1.1 Introduction

Ce chapitre est une introduction à la fiabilité des transistors MOSFETs soumis au phénomène de dégradation communément appelée Negative Bias Temperature Instability et noté NBTI. L'objectif est de présenter à travers ce premier chapitre, le contexte et l'importance des enjeux dans lesquels s'inscrit le NBTI et qui motivent son étude.

La première partie présentera de façon générale la physique du transistor MOSFET essentiellement pour définir les notations utilisées dans le manuscrit. Le principe et les caractéristiques électriques du transistor MOS seront rapidement décrits et nous rappellerons les définitions des principaux paramètres électriques utilisés.

Dans une deuxième partie, un historique retracera les manifestations les plus pertinentes du NBTI au cours des dernières années ainsi que son évolution au fil des technologies. Les principaux effets du NBTI sur les paramètres électriques seront exposés.

Enfin, la dernière partie introduira la notion de fiabilité des dispositifs. Nous définirons la fiabilité, la durée de vie et la nécessité de l'accélération du vieillissement. Nous traiterons le cas concret d'une extrapolation d'une durée de vie d'un transistor PMOS soumis à une contrainte NBT.

Ainsi, avec un souci permanent de développer les différents sujets à travers des comparaisons et des exemples, ce chapitre permettra au lecteur de saisir l'évolution et l'enjeu du NBTI dans la fiabilité des transistors MOSFET.

1.2 Le transistor MOSFET

Cette partie décrit le cas particulier du transistor NMOS (transistor MOS à conduction d'électron) et peut être aisément modifiée pour tenir compte de la conduction de trous (PMOS) avec les changements de signe adéquats et des potentiels électriques.

1.2.1 La structure du transistor MOS

Le principe du transistor est de moduler la concentration de porteurs d'un volume de silicium et de permettre le passage d'un courant électrique entre sa source et son drain. Le volume de silicium est dopé P et les deux réservoirs d'électrons collés de chaque côté du canal sont dopés N. Les électrons vont transiter d'un premier réservoir de porteurs (la source) au second (le drain) à travers le canal lorsqu'une différence de potentiel sera appliquée entre les deux. Le courant d'électrons entre la source et le drain dépendra alors de la résistance du canal (concentration d'électrons) modulée par le potentiel électrique de la grille.

La longueur L du canal est la longueur contrôlée par la grille, et la largeur W du canal est la largeur de grille. L'oxyde de grille d'épaisseur T_{OX} est la brique élémentaire du transistor car, par son caractère isolant, il empêche les porteurs du canal de traverser la grille tout en offrant par couplage capacitif un contrôle électrique sur le potentiel du canal et sur la conduction. Les isolations latérales par tranchée (STI pour Shallow Trench Isolation) permettent d'isoler électriquement deux à deux les transistors mitoyens.

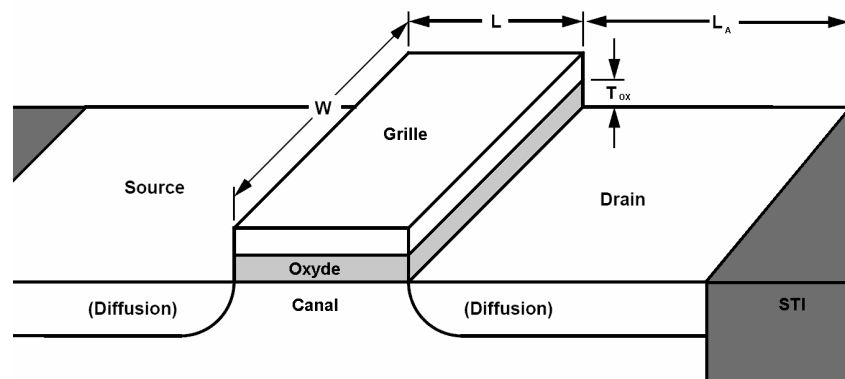


Figure 1-1: Schéma d'un transistor MOS

Les STI ont remplacé les LOCOS (LOCAl Oxidation of Silicon) pour l'isolation entre chaque dispositif. La longueur L_A est la longueur des réservoirs Source et Drain entre la grille et les STI. Elle est généralement appelée la longueur des actives.

1.2.2 Diagramme de bande d'énergie du transistor

Le diagramme de bande d'énergie du transistor N est représenté sur la Figure 1–2.

On définit le potentiel de volume du semi-conducteur Φ_F :

$$\Phi_F = \frac{kT}{q} \ln\left(\frac{N_A}{n_i}\right) = \frac{E_i - E_F}{q} \quad \text{Eq. 1-1}$$

Avec E_F le niveau de Fermi, E_i le niveau intrinsèque du silicium (non dopé), N_A la concentration de dopants Accepteur, et n_i la concentration intrinsèque de silicium. L'indice S indique les grandeurs considérées à l'interface SiO_2/Si . $\Psi(y)$ est la courbure des bandes à la profondeur y dans le substrat. Ψ_s est le potentiel de surface, c'est-à-dire le potentiel à $y=0$. Pour $y=+\infty$, la courbure est nulle. L'écart entre les quasi-niveaux de Fermi E_{Fn} et E_{Fp} vaut $\Phi_C = -V_{BS}$ au niveau de la source et $\Phi_C = V_{DS} - V_{BS}$ au niveau du drain. Avec V_{BS} la tension appliquée entre le substrat et la source et V_{DS} la tension entre le drain et la source [19].

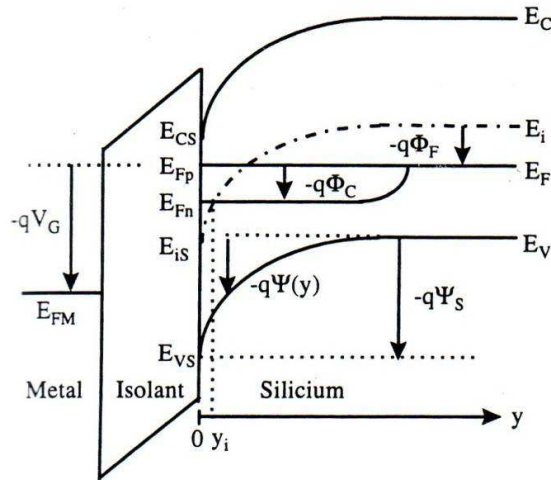


Figure 1–2 : Diagramme de bande de la structure MOS [19]

Nous considérons pour la suite que $V_{BS}=0V$

La concentration d'électrons dans le substrat dépend de la profondeur y :

$$n(y) = n_i \exp\left(\frac{E_{Fn} - E_i(y)}{kT}\right) \quad \text{Eq. 1-2}$$

De même pour les trous :

$$p(y) = n_i \exp\left(\frac{E_i(y) - E_{Fp}}{kT}\right) \quad \text{Eq. 1-3}$$

À partir de la Figure 1-2, nous pouvons réécrire ces équations en fonction du dopage respectif en profondeur dans le substrat :

$$n(y) = n_0 \exp\left(\frac{q(\psi(y) - \Phi_c)}{kT}\right) \quad \text{Eq. 1-4}$$

et

$$p(y) = p_0 \exp\left(\frac{q\psi(y)}{kT}\right) \quad \text{Eq. 1-5}$$

Avec $n_0 = n_i \exp\left(\frac{q\Phi_F}{kT}\right)$ et $p_0 = p_i \exp\left(-\frac{q\Phi_F}{kT}\right)$

Cinq états caractéristiques sont alors définis en fonction de la valeur du potentiel de surface Ψ_s :

- $\Psi_s = -\Phi_F$: La condition de bandes plates (Figure 1-3 (a)).

Les bandes d'énergie sont plates et aucune charge n'est accumulée aux deux interfaces de l'oxyde. La tension électrique à appliquer entre la grille et le substrat pour obtenir cette configuration est appelée tension de bandes plates V_{FB} .

- $\Psi_s < 0$: Régime d'accumulation (Figure 1-3 (b)).

Le potentiel électrique appliqué sur la grille est inférieur à la condition de bande plate : $V_G < V_{FB}$. Le potentiel de surface est négatif et la concentration en trous augmente. Il se produit alors une accumulation de trous près de l'interface SiO_2/Si .

- $0 < \Psi_s < \Phi_F$: Régime de déplétion ou de désertion (Figure 1-3 (c)).

Le potentiel électrique Ψ_s est positif et la concentration de trous diminue. La concentration en électrons augmente mais est toujours moins importante que celle de trou. L'inversion faible est obtenue lorsque le potentiel Ψ_s est suffisamment élevé pour obtenir

la condition $n=p$. Il y a autant de trous et d'électrons dans le canal près de l'interface SiO_2/Si .

➤ $\Phi_F < \Psi_s < 2\Phi_F$: Régime d'inversion (Figure 1–3 (c)).

La concentration en électrons libres est supérieure à celle de trous à l'interface SiO_2/Si et forme une couche d'inversion.

➤ $\Psi_s > 2\Phi_F$: L'inversion forte (Figure 1–3 (d)).

Le potentiel de surface sature vers $2\Phi_F$ et le canal d'inversion est complètement formé. Un canal d'électron relie la source au drain et permet le passage d'un courant I_{DS} sous l'effet d'un champ électrique latéral.

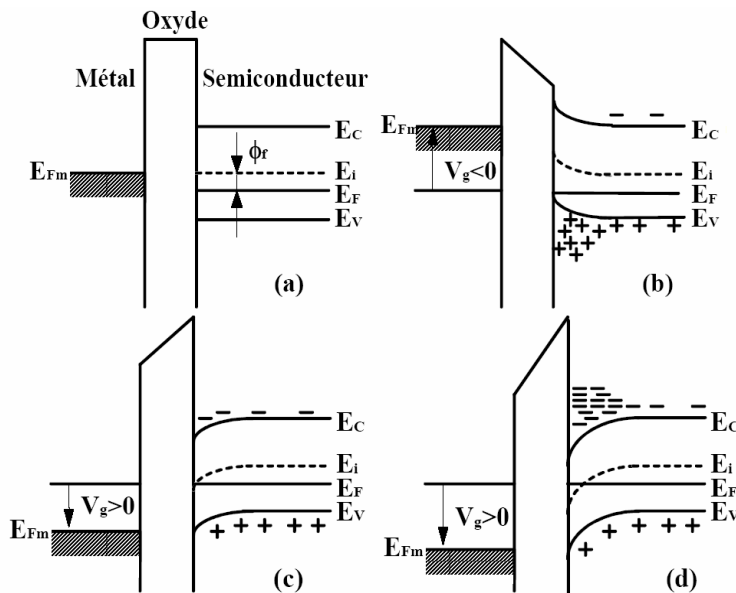


Figure 1–3: Diagramme de bandes d'énergie dans NMOS dans la configuration (a) de bandes plates, (b) d'accumulation, (c) d'inversion faible, et (d) d'inversion forte

1.2.3 Conduction électrique entre la source et le drain

1.2.3.1 Expression de la charge participant à la conduction électrique entre la source et le drain

La charge Q_{inv} est la charge dite d'inversion participant à la conduction donnant lieu au courant I_{DS} entre la source et le drain. Elle est égale à la différence entre la charge totale dans

le semi-conducteur Q_{SC} et la charge maximale de déplétion Q_{Depmax} liée à l'extension de la ZCE (zone de charge d'espace).

$$Q_{Inv} = Q_{Sc} - Q_{Depmax} \quad \text{Eq. 1-6}$$

Nous allons déterminer dans les deux parties suivantes, les expressions de Q_{Sc} et celle de Q_{Depmax} dans le cas particulier de l'inversion forte.

Détermination de la charge dans le semi-conducteur Q_{SC} en inversion forte

La neutralité de la charge totale s'exprime par :

$$Q_G + Q_{Def} + Q_{sc} = 0 \quad \text{Eq. 1-7}$$

Nous noterons Q_G la charge dans la grille, Q_{Def} la charge dans l'isolant rapportées à l'interface SiO_2/Si comprenant l'ensemble des charges générées par les défauts d'interface, les charges fixes ainsi que toutes autres charges induites par des défauts dans l'oxyde.

La continuité des potentiels électriques dans la structure MOS peut s'exprimer de la façon suivante :

$$V_{GS} = V_{OX} + \Psi_S + \Phi_{MS} \quad \text{Eq. 1-8}$$

Avec la chute de potentiel à travers l'oxyde V_{OX} . L'intégration des charges (Gauss) dans le dispositif MOS permet d'obtenir la relation suivante reliant V_{OX} à la charge dans le semi-conducteur :

$$V_{OX} = + \frac{Q_G}{C_{OX}} = - \frac{Q_{SC} + Q_{Def}}{C_{OX}} \quad \text{Eq. 1-9}$$

Avec C_{OX} la capacité surfacique (F/cm^2) du diélectrique

$$C_{OX} = \frac{\epsilon_0 \epsilon_{OX}}{T_{OX}} \quad \text{Eq. 1-10}$$

ϵ_0 et ϵ_{OX} sont respectivement la permittivité du vide et du diélectrique.

$q\Phi_{MS} = q(\Phi_M - \Phi_S)$ représentant la différence de travail de sortie de l'électron du métal et du semi-conducteur de type P. Elle dépend du type de la grille et du dopage du substrat (N_A).

$$\Phi_M - \Phi_S = \Phi_M - \chi - \frac{E_G}{2q} - V_T \ln\left(\frac{N_A}{n_i}\right) \quad \text{Eq. 1-11}$$

Et $\chi = \frac{E_{vide} - E_C}{q}$ l'affinité électronique du silicium.

En régime d'inversion forte, $\Psi_s = 2\Phi_F$. En substituant l'équation Eq.1-9 dans l'équation Eq.1-8, l'équation devient :

$$Q_{SC} = -C_{OX} \left(V_{GS} - \Phi_{MS} + \frac{Q_{Def}}{C_{OX}} - 2\Phi_F \right) \quad \text{Eq. 1-12}$$

Le schéma de la Figure 1-4 illustre l'ensemble des paramètres définis dans le diagramme de bandes (à la condition de bandes plates).

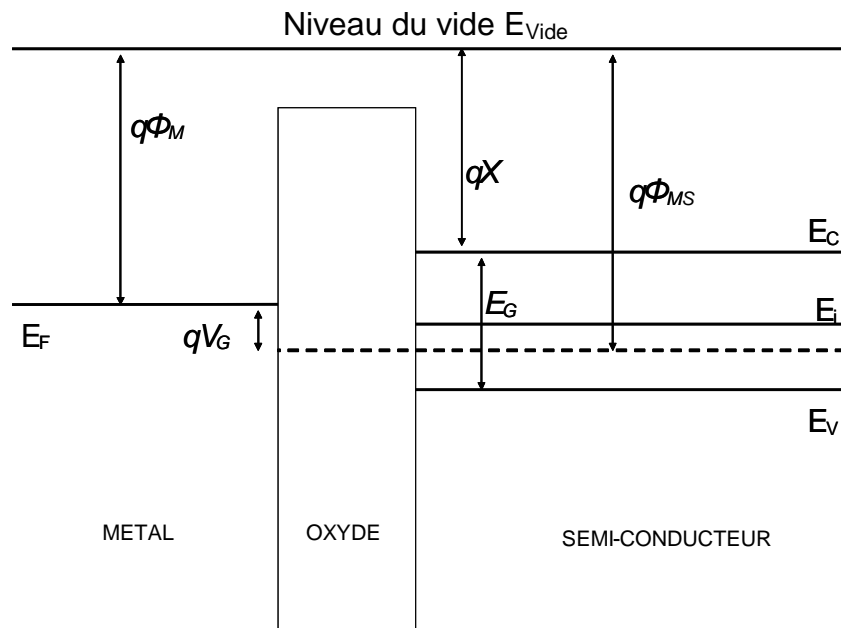


Figure 1-4 : Diagramme de bandes de la structure MOS à la condition de bandes plates

Détermination de la charge de déplétion Q_{Depmax} en inversion forte

La densité de charge dans la zone de déplétion étant relative au dopage initial N_A , l'intégration de l'équation de Poisson donne le champ électrique à travers la zone considérée:

$$E(y) = -q \frac{N_A}{\epsilon_{Si} \epsilon_0} (y - y_d) \quad \text{Eq. 1-13}$$

L'intégration du champ électrique donne la relation entre la chute de potentiel et y_d :

$$\psi(y) = \frac{qN_A}{2\epsilon_0 \epsilon_{Si}} (y - y_d)^2 \quad \text{Eq. 1-14}$$

En surface ($y=0$) et en forte inversion, l'expression de l'épaisseur maximale de la zone de déplétion $y_{Dep\max}$ devient en fonction du potentiel de surface:

$$y_{Dep\max} = \sqrt{\frac{2\epsilon_0 \epsilon_{Si}}{qN_A} (2\Phi_F)} \quad \text{Eq. 1-15}$$

Il en résulte la charge de la zone de déplétion maximale $Q_{Dep\max}$:

$$Q_{Dep\max} = -qN_A y_{Dep\max} = -\sqrt{2qN_A \epsilon_0 \epsilon_{Si} (2\Phi_F)} \quad \text{Eq. 1-16}$$

et donc en définissant le body-factor $\gamma_N = \frac{\sqrt{2qN_A \epsilon_0 \epsilon_{Si}}}{C_{OX}}$:

$$Q_{Dep\max} = -\gamma_N C_{OX} \sqrt{2\Phi_F} \quad \text{Eq. 1-17}$$

Expression de la charge d'inversion :

La charge Q_{Inv} définie par l'équation Eq. 1-6 devient donc avec les équations Eq.1-12 et Eq.1-17

$$Q_{Inv} = -C_{OX} \left(V_{GS} - \Phi_{MS} + \frac{Q_{Def}}{C_{OX}} - 2\Phi_F \right) + Q_{Dep\max} \quad \text{Eq. 1-18}$$

La tension de seuil V_T correspond au potentiel électrique à appliquer sur la grille pour pouvoir créer le canal d'inversion :

$$V_T = 2\Phi_F - \frac{Q_{Dep\max} + Q_{Def}}{C_{OX}} + \phi_{MS} \quad \text{Eq. 1-19}$$

1.2.3.2 Expression du courant de drain linéaire

Le courant de drain est proportionnel à la charge mobile (Q_{inv}) dans le canal et à l'inverse du temps de transit τ des électrons pour traverser le canal de la source au drain. La tension de grille doit d'abord atteindre une tension de seuil V_T pour créer le canal d'inversion. Le temps de transit est le quotient entre la longueur du canal L et la vitesse de l'électron, soit le quotient entre la mobilité μ_0 et le champ électrique à travers le canal (V_{DS}/L).

$$I_{DS} = \frac{Q_{inv}}{\tau} = \frac{C_{ox}WL(V_G - V_T)}{L} = \mu_0 C_{ox} \frac{W}{L} (V_{GS} - V_T) V_{DS} = \beta_0 (V_{GS} - V_T) V_{DS} \quad \text{Eq. 1-20}$$

Avec V_{DS} la différence de potentiel entre la source et le drain et $\beta_0 = \mu_0 C_{ox} \frac{W}{L}$ le facteur géométrique.

Une modélisation plus fine permet de prendre en compte les possibles origines de la réduction de mobilité pour les porteurs de canal quand leur densité augmente en surface avec la tension de grille :

1. la réduction de la mobilité par le champ électrique vertical en introduisant le paramètre θ . Le potentiel de grille attire naturellement les électrons vers l'interface SiO_2/Si , et les collisions diminuent la mobilité des électrons (ce point sera plus détaillé dans les parties 2.3.7 lorsque nous aborderons les effets de la génération de défauts à l'interface SiO_2/Si sur la mobilité des porteurs dans le canal). Une première approche simplifiée permet d'obtenir :

$$\mu_s = \frac{\mu_0}{1 + \theta(V_{GS} - V_T)} \quad \text{Eq. 1-21}$$

À noter qu'une relation relie le paramètre θ au paramètre μ_0 par l'intermédiaire de la résistance d'accès R_{SD} :

$$\theta = \theta_0 + \frac{W}{L} \mu_0 C_{ox} R_{SD} \quad \text{Eq. 1-22}$$

Le facteur θ dépend donc de θ_0 attribué aux collisions avec les phonons et de la résistance d'accès R_{SD} .

2. La saturation de la vitesse de dérive v_{\max} des porteurs : les électrons atteignent la vitesse maximale dans le canal en présence du champ électrique latéral avec V_{DS} :

$$\mu_{EFF} = \frac{\mu_S}{1 + \frac{\mu_S V_{DS}}{v_{\max} L_{EFF}}} \quad \text{Eq. 1-23}$$

3. La tension électrique V_{DS} peut localement du côté du drain, modifier la valeur V_T et ainsi augmenter le courant. Cette diminution de V_T par la tension de drain est appelée l'effet DIBL (Drain Induced Barrier Lowering)

$$V_T = V_{T0} - \sigma V_{DS} \quad \text{Eq. 1-24}$$

Lorsqu'une tension V_{DS} est appliquée, le potentiel du silicium du canal varie tout le long du canal. Il en résulte une variation de la valeur du V_T le long du canal. L'effet de V_{DS} sur V_T est pris en compte par l'intermédiaire du paramètre α_N relatif au body factor γ_N :

$$\alpha_N = 1 + \frac{\gamma_N}{2\sqrt{2\Phi_F - V_{BS}}} \quad \text{Eq. 1-25}$$

L'équation du courant I_{DS} devient :

$$I_{DS} = \mu_{EFF} C_{OX} \frac{W}{L} \left(V_{GS} - V_T - \frac{\alpha_N}{2} V_{DS} \right) V_{DS} \quad \text{Eq. 1-26}$$

.Cette dernière équation est appelée modèle SPICE (Simulation Program with Integrated Circuit Emphasis) [20]. D'autres effets (effets canaux courts, phénomènes quantiques) sont aujourd'hui modélisés et appliqués aux transistors fortement submicroniques pour améliorer le modèle électrique. Nous pouvons citer les modèles électriques les plus répandus : BSIM4, MM9, SPICE3F5 ayant chacun un niveau de complexité plus ou moins important en fonction du niveau de modélisation souhaité. Nous allons devoir intégrer dans les modèles électriques les dégradations observées pendant les contraintes électriques. Comme nous le verrons plus tard, un modèle électrique trop *fin* n'améliorerait pas la prise en compte des phénomènes de dégradation, et alourdirait considérablement l'écriture. Nous utiliserons un modèle électrique hybride simplifié en négligeant les effets de saturation de la vitesse de dérive et en considérant $\alpha_N=1$

$$I_{DS} = \frac{\mu_0 C_{OX} W V_{DS}}{L} \frac{(V_{GS} - V_T - 0.5V_{DS})}{1 + \theta(V_{GS} - V_T - 0.5V_{DS})} \quad \text{Eq. 1-27}$$

Et nous appellerons la mobilité effective

$$\mu_{EFF} = \frac{\mu_0}{1 + \theta(V_{GS} - V_T - 0.5V_{DS})} \quad \text{Eq. 1-28}$$

La transconductance est définie comme étant la dérivée du courant de drain par rapport V_{GS} . Dans notre cas, nous considérons le modèle analytique de la transconductance comme :

$$g_m(V_{GS}) = \frac{\partial I_{DS}}{\partial V_{GS}} = \frac{\beta_0 V_{DS}}{[1 + \theta(V_{GS} - V_T - 0.5V_{DS})]^2} \quad \text{Eq. 1-29}$$

1.2.3.3 Expression du courant de drain sous le seuil

Le courant sous le seuil est un courant qui circule entre le drain et la source du transistor correspondant au régime d'inversion faible, c'est-à-dire lorsque $V_G < V_T$. Ce courant a pour origine la diffusion des porteurs et sa formulation pour les transistors à canaux longs (pour éviter les effets DIBL (Drain Induced Barrier Lowering)) peut être exprimée par l'équation suivante :

$$I_{DS} = \mu_0 C_{OX} \frac{W}{L} \phi_t^2 \exp\left(\frac{V_{GS} - V_g}{n\phi_t}\right) \left(1 - \exp\left(-\frac{V_{DS}}{\phi_t}\right)\right) \quad \text{Eq. 1-30}$$

Où $\phi_t = \frac{kT}{q}$ et $n = 1 + \frac{C_{Dep}}{C_{OX}}$ avec C_{Dep} est la capacité de la couche de déplétion.

Pour caractériser ce régime, il est usuel de parler de l'inverse de la pente sous le seuil (mV/décade):

$$S = \frac{\partial V_{GS}}{\partial \ln(I_{DS})} \quad \text{Eq. 1-31}$$

Plus le facteur S est petit, plus le transistor passera de l'état sous le seuil (transistor bloqué) à l'état inversé (transistor passant) rapidement.

1.2.3.4 Expression du courant de drain en mode saturé

Le courant saturé est le cas particulier où $V_{DS} > V_{GS} - V_T$. La condition d'inversion n'est plus respectée près du drain et le canal se pince. Une zone de forte résistivité se forme et absorbe tout accroissement de V_{DS} localement près du drain. L'équation du courant devient

$$I_{DS} = \mu_{EFF} C_{OX} \frac{W}{2L} (V_{GS} - V_T)^2 \quad \text{Eq. 1-32}$$

Cette modélisation du courant de drain en régime saturé est issue du modèle de Sha [21]

1.2.4 Conduction à travers l'oxyde de grille

La réduction de l'épaisseur de l'oxyde de grille permet aux porteurs de charge de traverser la couche isolante. La mécanique quantique prévoit ce genre de phénomène sous le nom de courant tunnel à travers une barrière de potentiel.

1.2.4.1 Mécanismes de conduction à travers l'oxyde

La conduction à travers l'oxyde peut être généralisée sous 5 mécanismes différents.

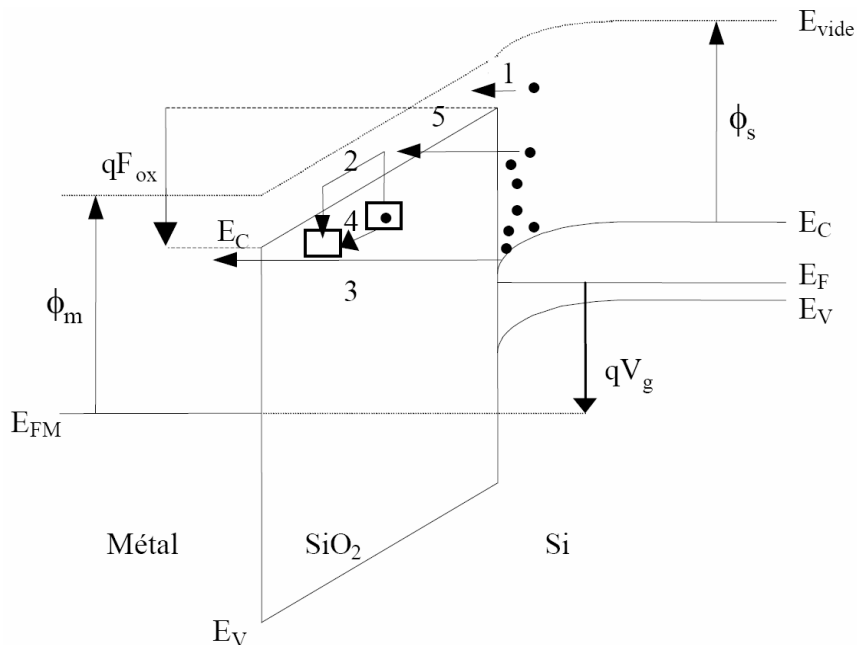


Figure 1-5 : Diagramme de bande d'énergie de la structure MOS représentant (1) la conduction thermoionique, (2) la conduction Poole-Frenkel, (3) la conduction tunnel direct, (4) la conduction par saut et (5) la conduction tunnel Fowler-Nordheim [22]

➤ *La conduction thermoïonique (1)*

Le porteur a une énergie suffisante pour être injecté dans la bande de conduction de l'oxyde. Le porteur passe à travers l'oxyde par conduction thermoïonique. Cette conduction est également appelée conduction par effet Schottky. Une formulation analytique a été proposée par Richardson-Schottky en 1986 [23].

➤ *La conduction Poole-Frenkel (2)*

La conduction Poole-Frenkel est une conduction de piège à piège. L'énergie du porteur étant suffisante pour passer d'un piège à l'autre (conduction thermoïonique locale)

➤ *La conduction tunnel direct (3)*

La conduction tunnel directe est un passage d'un porteur d'une électrode à l'autre à travers une barrière de potentiel trapézoïdale.

➤ *La conduction par saut (Hopping) (4)*

Lorsque l'énergie de l'électron est inférieure au maximum de la barrière énergétique entre deux pièges, il y a conduction par saut (hopping). Dans ce cas, la conduction entre les deux pièges se fait par conduction tunnel directe.

➤ *La conduction tunnel Fowler-Nordheim (5)*

La conduction tunnel Fowler-Nordheim est un passage d'un porteur d'une électrode à l'autre à travers l'oxyde rendue triangulaire dans l'oxyde par la tension appliquée.

1.2.4.2 Cas particulier de la conduction tunnel Direct

Le courant tunnel dépend de la distribution énergétique des porteurs susceptibles de traverser l'oxyde, donnée par la fonction de Fermi Dirac $f(E)$ et de la transparence $T(E)$ qui correspond à la probabilité qu'un porteur d'une énergie E traverse la barrière énergétique de l'oxyde Φ_N

$$J_{Tunnel} = \frac{4\pi m_{Si}}{h} \int_{E_C}^{\phi_N} T(E) f(E) dE \quad \text{Eq. 1-33}$$

Avec

$$f(E) = \frac{1}{1 + \exp\left(\frac{E - E_F}{kT}\right)} \quad \text{Eq. 1-34}$$

En négligeant les effets de confinement, le courant tunnel s'exprime de la façon suivante [24]:

$$J_{Tunnel} = \frac{4\pi m_{Si}}{h} \int_{E_C}^{\phi_N} T(E) kT \ln \left(1 + \exp \left(\frac{E_F - E}{kT} \right) \right) dE \quad \text{Eq. 1-35}$$

où m_{Si} est la masse effective des électrons dans le silicium

Pour le cas particulier de la conduction Tunnel Direct (TD), la transparence à travers une barrière trapézoïdale s'exprime dans le cadre de l'approximation WKB [25] :

$$T_{TD}(E) = \exp \left[-\frac{4\sqrt{2m_{OX}^*}}{3q\hbar F_{OX}} \left[(\phi_N - E)^{\frac{3}{2}} - (\phi_N - E - qF_{OX}T_{OX})^{\frac{3}{2}} \right] \right] \quad \text{Eq. 1-36}$$

où m_{OX}^* désigne la masse effective des électrons dans le diélectrique.

Après intégration et simplification, le courant tunnel direct s'écrit :

$$J(F_{OX}, T_{OX}) = \frac{A}{\left(1 - \sqrt{1 - \frac{qF_{OX}T_{OX}}{\phi_N}} \right)^2} F_{OX}^2 \exp \left(-\frac{B}{F_{OX}} \left(1 - \left(1 - \frac{qF_{OX}T_{OX}}{\phi_N} \right)^{\frac{3}{2}} \right) \right) \quad \text{Eq. 1-37}$$

avec

$$A = \frac{q^3 m_{Si}}{8\pi\hbar m_{OX}^* \Phi_N} = 1.54 \cdot 10^{-6} \frac{m_{Si}}{m_{OX}^*} [AV^{-2}]$$

et

$$B = \frac{4\sqrt{2m_{OX}^*} \Phi_N^3}{3q\hbar} = 6.83 \cdot 10^{-7} \sqrt{\frac{m_{OX}^*}{m_{Si}}} [Vcm^{-1}]$$

Le courant TD croit exponentiellement avec la réduction de l'épaisseur de l'oxyde et le champ électrique dans l'oxyde (F_{OX}). Pour un même champ électrique, le courant direct tunnel est suffisamment important dans les dispositifs à oxyde mince de 2nm alors qu'il n'est pas détectable pour des oxydes plus épais de 6.5nm.

1.2.4.3 Conduction à travers l'oxyde de grille dans les différentes configurations

La nature du courant TD dépend du type de porteurs injectés et donc du type de transistor, du sens de polarisation à travers l'oxyde, ainsi que de l'amplitude de la polarisation. Les quatre modes de polarisation sont représentés sur la Figure 1-6. Pour une épaisseur $T_{OX}=2\text{nm}$.

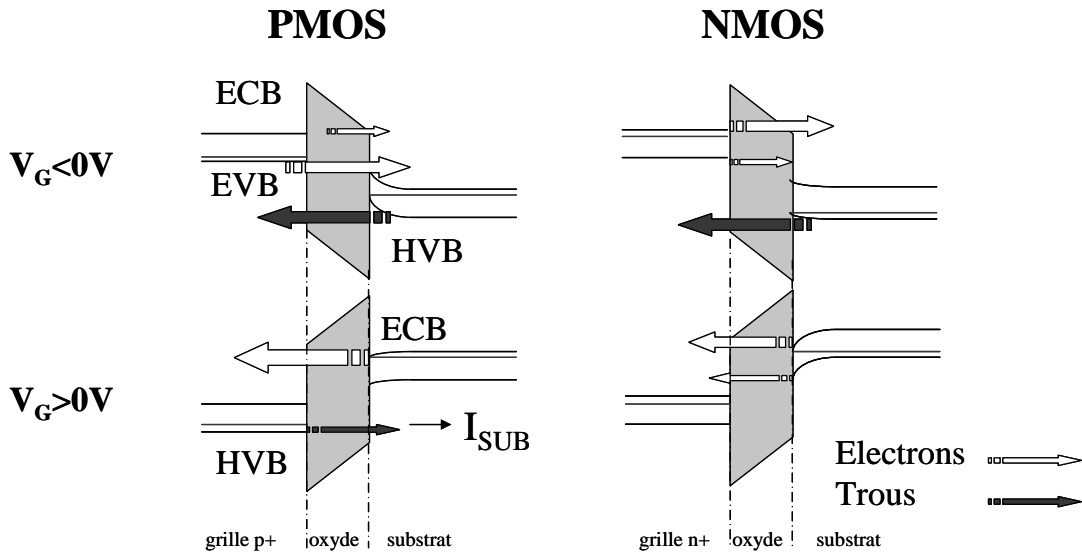


Figure 1-6 Conduction à travers l'oxyde pour les 4 configurations de polarisation avec $T_{OX}=2\text{nm}$ [26]

Le courant de grille dans le PMOS :

- En inversion ($V_G < 0$), le courant de grille I_G est composé :
 - D'un courant TD (tunnel direct) de trous de la couche d'inversion vers la grille (HVB pour Hole Valence Band)
 - D'un courant TD d'électrons de la bande de valence de la grille polysilicium vers le substrat (EVB pour Electron Valence Band)
 - D'un courant TD d'électrons (Fowler-Nordheim pour des forts V_G) de la bande de conduction de la grille vers le substrat (ECB pour Conduction Band)

Il est à noter que les proportions de ces courants sont dépendantes de la valeur de polarisation comme illustré sur la figure suivante pour le cas du PMOS en inversion :

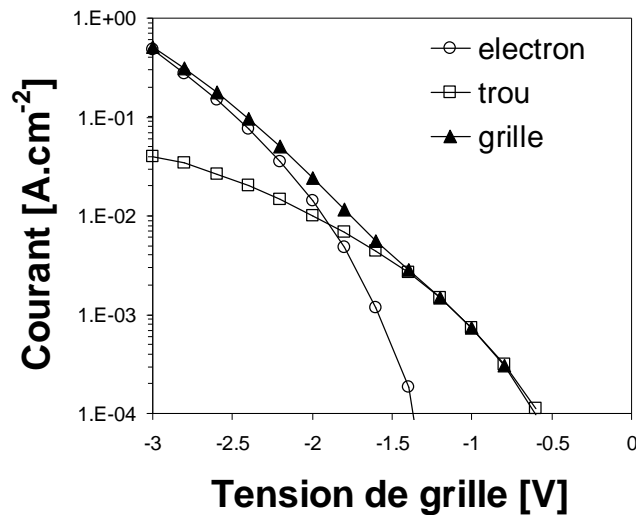


Figure 1-7 : Séparation de porteurs pour la conduction en inversion dans le PMOS

Le courant de grille I_G est l'accumulation de tous les courants. En utilisant la technique de séparation de porteurs, nous montrons que le courant de trous HVB est la conduction dominante jusqu'à $-1.7V$. Pour des tensions plus fortes, le courant d'électron EVB devient la conduction principale. Ici, la tension n'est pas suffisamment élevée pour faire apparaître le courant d'électron ECB

- En accumulation ($V_G > 0$), le courant de grille I_G est composé :
 - D'un courant TD d'électrons de la couche d'accumulation du substrat vers la bande de conduction de la grille (ECB)
 - D'un courant TD de trous de la bande de valence de la grille vers la bande de valence du substrat (HVB)

Le courant de grille dans le NMOS :

- En accumulation ($V_G < 0$), le courant de grille I_G est composé :
 - D'un courant TD d'électrons de la bande de conduction de la grille vers la bande de conduction du substrat (ECB)
 - D'un courant TD d'électrons de la bande de valence de la grille vers la bande de conduction du substrat (EVB)
 - D'un courant TD de trous de la bande de valence du substrat vers la bande de valence de la grille (HVB)
- En inversion ($V_G > 0$), le courant de grille I_G est composé :
 - D'un courant TD d'électron de la couche d'inversion du substrat vers la bande de conduction de la grille (ECB)

- D'un courant TD d'électron de la bande de valence du substrat vers la bande de conduction de la grille (EVB)

1.3 Negative Bias Temperature Instability: NBTI

Cette partie s'attache à présenter et à définir le NBTI. Nous allons préalablement définir ce qu'est la contrainte NBT pour ensuite présenter un historique du NBTI et les principaux effets sur les paramètres électriques du transistor MOS. Nous présentons ici les résultats classiques obtenus sur les filières avancées 0.12 μ m. L'étude des phénomènes physiques et des mécanismes de dégradation, ainsi que leurs effets sur les paramètres électriques du transistor seront traités dans les 2 chapitres suivants.

1.3.1 La contrainte NBT

La contrainte NBT ou NBTS vient de l'anglais « Negative Bias Temperature Stress », sous-entendu un potentiel électrique négatif appliqué sur la grille du transistor dans un milieu à haute température. Concrètement, le dispositif est placé dans un four ou dans un environnement chaud, et les quatre connecteurs que sont la grille, la source, le drain et le substrat sont reliés à un générateur de tensions appliquant une tension négative entre la grille et l'ensemble Source-Substrat-Drain (Figure 1–8).

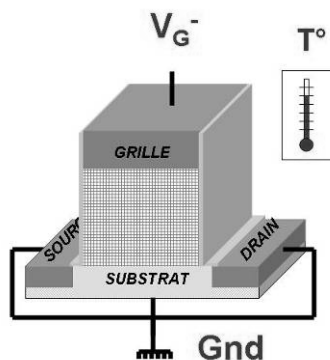


Figure 1–8 : Configuration électrique d'une contrainte NBT

Cette configuration électrique peut être utilisée aussi bien pour l'expertise du NMOS que pour celui du PMOS. La plage de température varie de 25 à 200 $^\circ$ C, et le potentiel de grille de V_{DD} à 2-3 fois V_{DD} (V_{DD} étant la tension typique d'utilisation du dispositif). La température doit rester un paramètre accélérant le mécanisme de dégradation et ne doit pas dénaturer la chimie

et/ou la structure du dispositif. Une température supérieure 250-300°C provoquerait des modifications qui n'entreraient plus dans le cadre de notre étude.

Une contrainte PBT (Positive Bias Temperature Stress) ou PBTS est par analogie une contrainte avec un potentiel positif sur la grille et à haute température. Plus généralement, les BTS (Bias Temperature Stress) correspondent à l'ensemble des contraintes NBTS et PBTS.

La contrainte NBT-inhomogène fait quant à elle référence à une contrainte pour laquelle le potentiel électrique du drain est plus élevé (ou moins élevé) que le potentiel électrique de la source :

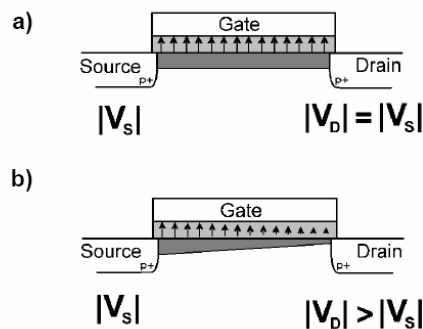


Figure 1-9 : La contrainte NBT pour $V_D=V_S$ et la contrainte NBT- inhomogène lorsque $V_D>V_S$ [27]

1.3.2 Historique du NBTI

Le transistor à effet de champ électrique en silicium fait ses premiers pas dans la microélectronique vers la fin des années 1960. À cette époque, les travaux portaient principalement sur le développement de recette d'oxydation du substrat pour former le diélectrique de grille du transistor. Les effets de l'orientation cristallographique du substrat étaient étudiés pour la croissance du diélectrique et les paramètres de fabrication de la croissance du diélectrique (température d'oxydation, atmosphère d'oxydation, étape de passivation...) afin d'obtenir une structure MOS suffisamment « harmonieuse ». L'épaisseur du diélectrique de grille était bien contrôlée et ne mesurait déjà que quelques centaines de nanomètres. Les lignes de métal étaient en aluminium, en chrome ou en or. La contamination extrinsèque (ion sodium Na^+ , ion chlorure Cl^- , ion potassium K^+) était très problématique pour l'intégration des dispositifs MOS [28]. La qualité microélectronique (« pureté ») est très difficile à obtenir et la diffusion d'ions à travers le diélectrique de grille fait dériver les paramètres électriques du transistor. Les ions mobiles répondent très bien en température et à un champ électrique par diffusion à travers la structure. Une des façons de révéler une

contamination ionique est d'appliquer une contrainte NBT. Cette apparition de charges localisées est aléatoire et rend incontrôlables les paramètres électriques. Il était coutume d'appeler ces phénomènes des instabilités des paramètres électriques révélées sous contrainte du type NBT (Negative Bias Temperature Instability ou NBTI). Par la suite, ce terme a continué à être utilisé pour qualifier toute dérive des paramètres électriques lors d'une contrainte NBT. Les travaux publiés en 1967 par l'équipe de B.E. Deal du laboratoire de recherche et développement de Fairchild Semiconductor en Californie en 1967 [29] sont les premiers à exposer une création de défauts chargés lors d'une contrainte NBT. Leurs travaux sont basés sur la génération de charges d'interfaces pendant les recettes d'oxydation ainsi que leurs évolutions sous une contrainte électrique. Ils se rendent compte que lorsqu'un champ électrique négatif est appliqué à haute température, l'apparition d'une charge positive n'est cette fois-ci pas due à une contamination extrinsèque, mais est bel et bien due à une origine intrinsèque au dispositif et fortement liée à l'interface SiO_2/Si . Ils mettent en évidence que cette apparition de charge présente, contrairement à une contamination, une très bonne reproductibilité sur un grand nombre d'échantillons et qu'elle a de fortes probabilités d'être issue d'une diffusion d'espèces à base d'atome de silicium (ions positifs) provenant du substrat, proche de l'interface, et diffusant vers l'oxyde sous l'effet du champ électrique. La Figure 1-10 représente l'excès de ces espèces siliconées en fonction de la profondeur dans le diélectrique de grille :

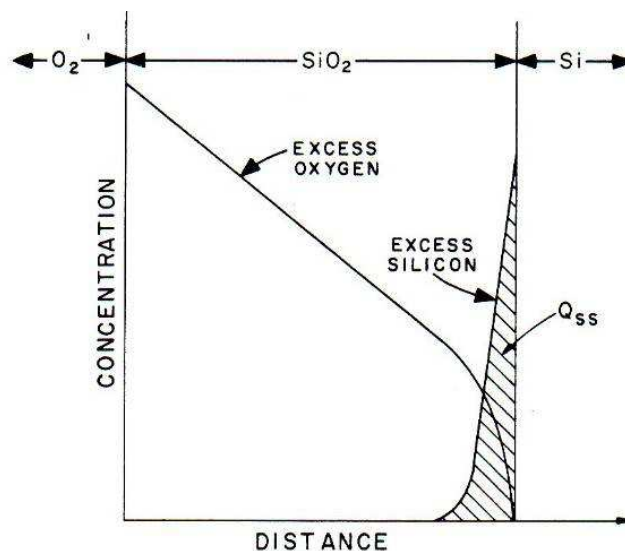


Figure 1-10 : Augmentation d'espèces ions « siliconés » à l'interface SiO_2/Si par diffusion par champ électrique du substrat vers le diélectrique [29]

Ces espèces siliconées augmenteraient pour Deal, la charge contenue dans le diélectrique (notée Q_{ss} sur le schéma) et ont pour principale conséquence un décalage la caractéristique C-

V. À partir de cette observation, l'équipe de Bell Telephone Laboratories [30] a approfondi l'étude de cette génération de charge sous contrainte, et mis en évidence la génération de défauts à l'interface SiO_2/Si dans la structure MOS avec notamment une distribution en énergie. Ils avaient noté que la distribution en énergie dans le gap du semi-conducteur des états d'interface générés pendant un NBTS dépendait du champ électrique à travers du diélectrique.

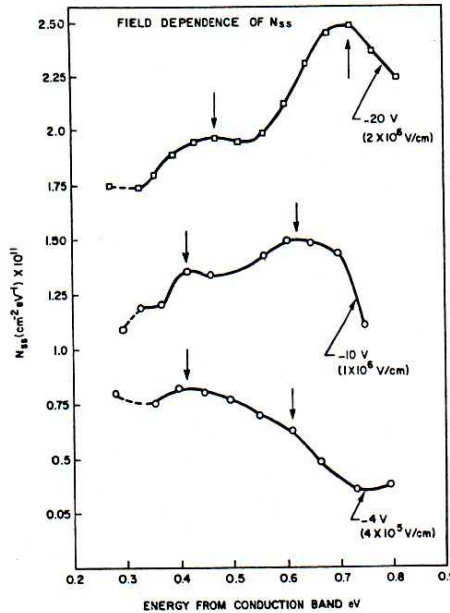


Figure 1-11: Distribution en énergie des états d'interface générés après 15 mns de NBTS [30]

Le travail de K.O. Jeppson et de M. Svensson publié en 1977 [31], est accepté par la communauté scientifique comme étant la première publication interprétant la dégradation sous une contrainte NBT. Ils travaillaient sur la fiabilité des mémoires non-volatiles p-MNOS qui avaient une très faible endurance. Ils parlent d'effets sous contraintes à tension négative et à haute température (Negative Bias Temperature Stress effects). Ils ont décomposé le mécanisme de dégradation en deux parties : la première, dominante à bas champ électrique et limité par le phénomène de diffusion, et la seconde, apparaissant à plus fort champ électrique et contrôlé par l'injection par effet tunnel de porteurs et le piégeage de trous. Ils proposent une libération de l'atome d'hydrogène à l'interface SiO_2/Si . Ce modèle est à l'origine du modèle dit de « Réaction - Diffusion » (R-D). Ce modèle de dégradation a été étoffé au fur et à mesure des nouvelles observations. Blat *et al.* [32] ont notamment mis en évidence la nécessité d'avoir à la fois les trous libres du canal d'inversion (trou froid ou cold-hole) et des espèces hydrogénées (hydrogenated species ou water-related species). Une espèce hydrogénée et positivement chargée est libérée lors de la réaction entre la liaison Si-H et ces deux éléments. Ensuite, elle diffuse à travers le diélectrique de grille. Ogawa *et al.* [33] ont

généralisé le concept de R-D aux espèces neutres et chargées, puis expliqué la fameuse loi temporelle de la dégradation $t^{1/4}$ (loi en puissance ou power-law). Depuis le travail d'Ogawa, le modèle R-D a très peu été modifié par la communauté scientifique. Les contributions de Alam et Mahapatra [34] ont permis de rendre plus convivial la modélisation d'Ogawa et de modéliser les dépendances en champ électrique à travers l'oxyde, en température et les effets du potentiel électrique du substrat sur l'accélération de la dégradation [35]. En parallèle à ce modèle, d'autres modèles ou observations ont complété le paysage assez uniforme du NBTI et du modèle R-D, notamment Houssa [36] et Schlünder *et al.* [37]. Houssa propose un mécanisme de dégradation des liaisons Si-H à l'interface SiO₂/Si par injection de porteurs à travers l'oxyde de grille. Schlünder *et al.* font partie des premiers à avoir montré le phénomène de relaxation « moderne » du NBTI : une partie de la dégradation s'autoguérît lorsqu'un potentiel électrique positif (phase de relaxation) est appliqué sur la grille après une contrainte NBT. Ils ont mis ainsi en évidence un piégeage/dépiégeage de trous lors des phases NBT/Relaxation. Ce phénomène appelé relaxation est, comme il sera vu par la suite, à l'origine des problèmes de caractérisation électrique. Le modèle R-D sera décrit dans le Chapitre 2 et sera confronté à nos études expérimentales. Les matériaux et les procédés de fabrication ont une influence très importante sur le mécanisme NBTI et notamment le phénomène de relaxation. Comme nous le verrons dans le Chapitre 5, des efforts de plus en plus importants se portent sur la recette d'oxydation de la grille et sa nitruration [38].

1.3.3 Dérive des paramètres électriques sous une contrainte NBT

Nous allons présenter dans cette partie les paramètres électriques dérivants lors d'une contrainte NBT en mode linéaire et en mode saturé. Une contrainte NBT ($V_G = -5.5V$ pendant $2.5 \cdot 10^4 s$ à $125^\circ C$) a été appliquée sur un PMOS de 5nm d'épaisseur d'oxyde. Les grandeurs considérées sont mises en valeur absolue par commodité. La Figure 1–12 représente l'évolution de la caractéristique $I_D - V_G$ pendant la contrainte. Nous observons l'augmentation de la tension de seuil V_T et la diminution du courant linéaire. Sur une échelle logarithmique, il apparaît que la pente sous le seuil ($1/S$) diminue et que le courant I_{OFF} est réduit. La Figure 1–13 représente la transconductance en fonction V_G . Il apparaît une diminution de g_{mmax} et un décalage de la caractéristique vers la droite dû à l'augmentation de V_T . La diminution de g_{mmax} implique une diminution de la mobilité des trous à l'interface. Cette dernière observation suggère que I_{Dlin} est globalement diminué par l'augmentation du V_T mais également par une diminution de la mobilité.

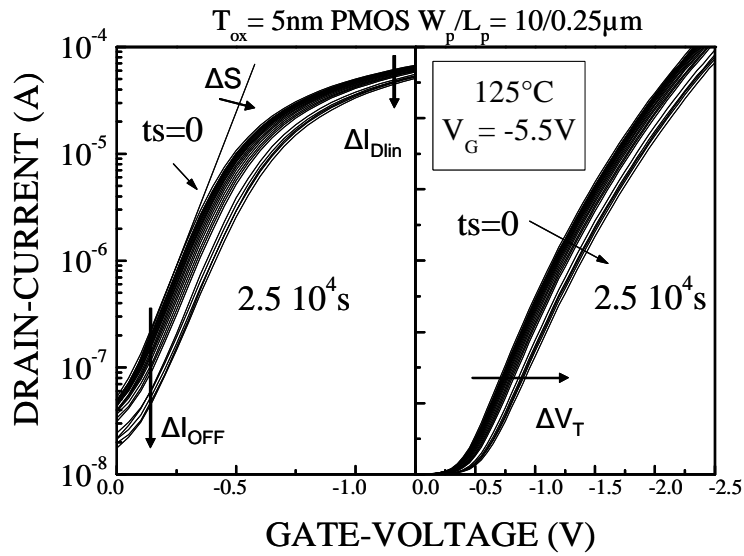


Figure 1-12 : Variation du courant linéaire après une contrainte NBT

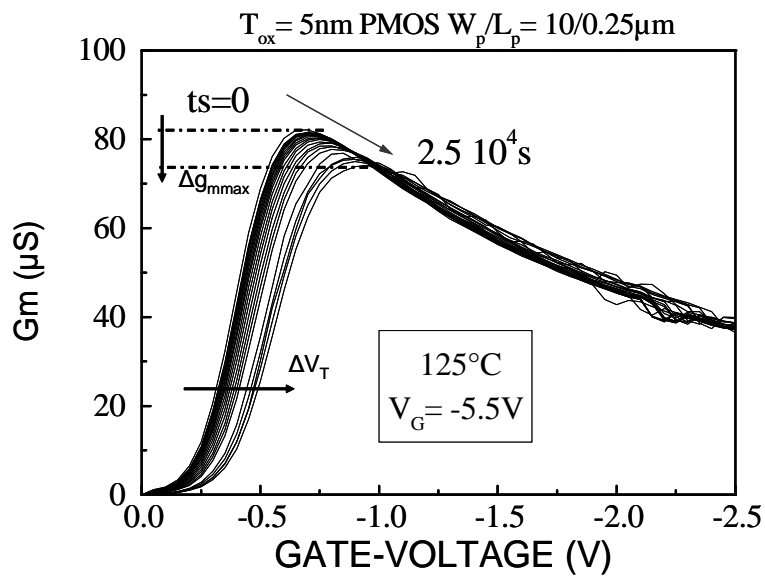


Figure 1-13 : Variation de la transconductance après une contrainte NBT

De la même manière qu'en mode linéaire, le courant I_{dsat} , le V_{Tsat} et la transconductance dérivent en mode saturé. C'est ainsi que l'ensemble des caractéristiques électriques du transistor ne correspond plus aux critères de performances initiales, ce qui peut entraîner une défaillance au niveau du circuit.

1.3.4 Le NBTI parmi les principaux modes de défaillance

L'objet de cette partie est de présenter rapidement dans quel contexte se situe le NBTI dans la fiabilité du transistor MOS. Les modes de défaillance sont généralement classés en sous-groupes en fonction de la zone où se produit la défaillance. La figure suivante présente une vue d'ensemble des modes de défaillance pouvant intervenir entre le substrat et le dernier niveau de métallisation après l'encapsulation. En trait plein sont indiquées les défaillances dites « front-end ». Elles interviennent au niveau du dispositif actif. Le « back-end » en pointillé est défini à partir du contact jusqu'à la dernière métallisation et l'encapsulation. Le NBTI intervient au niveau du transistor et fait partie de la fiabilité front-end.

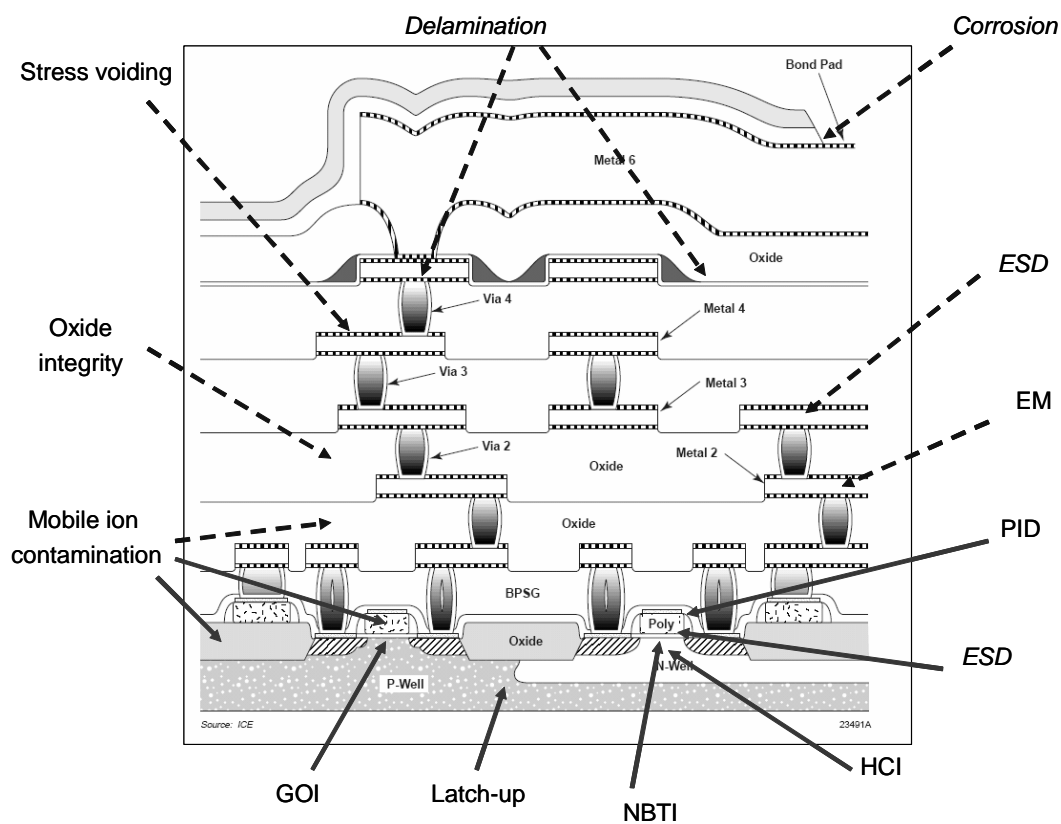


Figure 1-14: Schéma représentant les modes de dégradation principaux

Les relations qui peuvent exister entre le NBTI et les autres modes de dégradation du dispositif sont importantes à souligner. Comme l'intégrité du diélectrique de grille (GOI) et la dégradation « porteur chaud » (HCI), la dégradation NBTI se situe au niveau du dispositif dans la zone du diélectrique de grille. De plus, le NBTI a été révélé historiquement par une étude portant sur la contamination issue d'ions mobiles. Dans ce contexte, les couplages et interactions entre les divers phénomènes doivent être analysés pour mieux comprendre les mécanismes sous-jacents au NBTI.

➤ L'intégrité du diélectrique de grille (GOI)

Le diélectrique de grille est la couche la plus délicate de la technologie MOS. Contrôler à la fois la chimie du matériau (stœchiométrie) et les dimensions nanométriques font de son intégration un réel défi industriel. Sa fiabilité est très largement étudiée et un grand nombre de mécanismes sont répertoriés [39]. Le claquage du diélectrique fait référence à la « destruction » irréversible de la couche diélectrique. La couche isolante est alors réduite à une simple résistance.

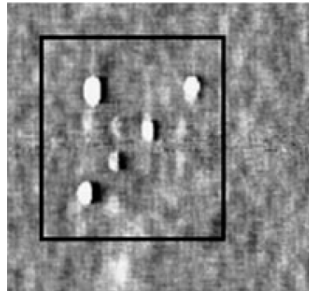


Figure 1–15: Topographie d'un oxyde de grille après claquage [40]

Le claquage de l'oxyde est relié très fortement à la charge injectée à travers l'oxyde. Les porteurs injectés traversent l'oxyde et libèrent leur énergie dans le matériau. Il en résulte une accumulation de défauts : un chemin de conduction se crée par percolation de défauts entre le substrat et la grille jusqu'au claquage de l'oxyde. La superposition des deux phénomènes est ici évidente et la question du rôle de la charge injectée comme phénomène précurseur au claquage dans le NBTI est légitime.

➤ Le phénomène dit de « porteur chaud (HCI) »

La génération de porteurs chauds est un phénomène apparu au fur et à mesure de la réduction des dimensions des transistors. Le rapport entre les dimensions géométriques (L_g) du transistor et la tension d'alimentation (V_{DD}) n'est pas conservé au fil des technologies et les champs électriques à travers le canal sont de plus en plus forts. En effet, la Figure 1–16 illustre la diminution de tous les paramètres clés d'une technologie : longueur de grille L_g , de l'épaisseur T_{OX} , du V_{DD} etc...

La diminution de la tension V_{DD} est limitée par le paramètre V_T dans les technologies avancées :

1. La diminution de la valeur de V_T induirait une trop forte augmentation du courant de fuite (I_{OFF}), et donc de la consommation statique :

$$P_{DC} = I_{OFF} V_{DD} \quad \text{Eq. 1-38}$$

2. Le temps de charge (Delay) caractéristique du transistor fonctionnant en porte logique peut s'évaluer comme :

$$\tau \cong C_L \frac{V_{DD}}{I_{Drive}} = \frac{C_{OX} W L V_{DD}}{C_{OX} \mu_s \frac{W}{2L} (V_{DD} - V_T)^2} \quad \text{Eq. 1-39}$$

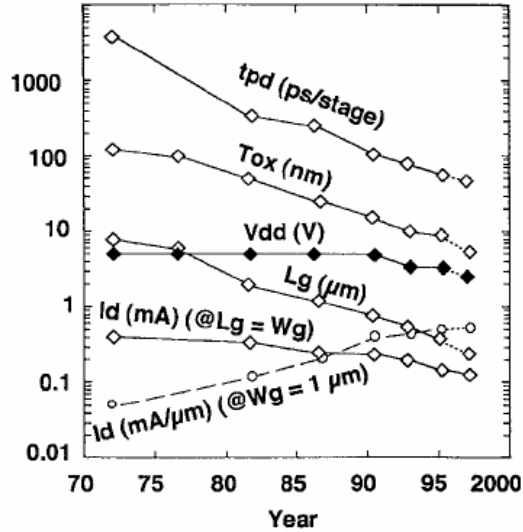


Figure 1-16: Evolution des paramètres au fil des évolutions technologiques [41]

La Figure 1-17 illustre cette équation (Eq.1-41) en représentant le délai d'un circuit en fonction du V_{DD} et du V_T .

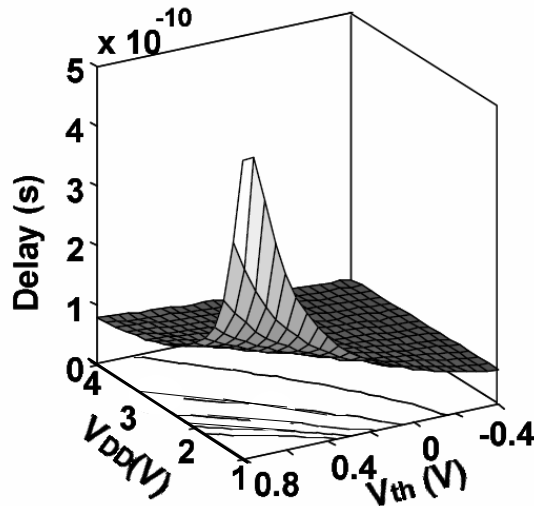


Figure 1-17 : Dépendance du temps de charge en fonction du V_{DD} et du V_T [42]

À un V_{DD} donné, le temps de charge caractéristique du transistor diminue lorsque V_T diminue.

Nous nous trouvons donc devant un compromis où, pour conserver des performances suffisantes et des consommations statiques faibles, la proportionnalité entre V_{DD} et L_g n'est plus conservée et le champ électrique latéral à travers le canal d'inversion s'en trouve fortement augmenté.

Sous l'influence des forts champs électriques latéraux, les porteurs dans le canal et notamment dans les régions de pincement, gagnent une telle énergie que le pic de leur distribution énergétique devient plus important que celui attendu dans les conditions d'équilibre avec le réseau cristallin. Ces porteurs énergétiques sont appelés porteurs chauds. Ils génèrent plusieurs problèmes de fiabilité :

- ❖ Ils peuvent perdre leur énergie par ionisation du cristal de silicium (ionisation par impact). Il en résulte une création de paires électron - trou, et certains d'entre eux peuvent être injectés dans la grille en fonction de la polarisation (V_G , V_D). Un piégeage des porteurs dans l'oxyde est alors très probable et dégrade l'oxyde.
- ❖ Ils peuvent acquérir assez d'énergie pour surmonter la barrière de potentiel entre le canal et l'oxyde de grille en donnant lieu à un courant de grille et à un piégeage de charges dans l'oxyde.
- ❖ Ils peuvent perdre leur énergie à travers des impacts sur l'interface Si/SiO₂ en générant des états d'interface.

Il en résulte la dérive des paramètres électriques du transistor. Par exemple des augmentations du V_T et une diminution du courant en régime saturé, mais également une forte augmentation du nombre d'états d'interface du côté où les porteurs sont injectés. Les mécanismes HCI ne peuvent pas intervenir pendant une contrainte NBT puisqu'il n'y a pas de champ électrique latéral. Malgré tout, la configuration électrique à bas V_D reste très proche de celle appliquée durant une contrainte NBT. Récemment, Bravaix *et al.* [43] ont montré des modes d'injections HCI dans le PMOS présentant des mécanismes de piégeage/dépiégeage dans l'oxyde similaires à ceux observés lors d'une contrainte NBT.

➤ La contamination ionique

La contamination ionique fait référence à la présence d'ions mobiles (Na^+ , Cl^- et K^+) dans un dispositif. Ces ions peuvent avoir plusieurs origines comme l'environnement, l'homme, les matériaux utilisés, la mise en boîtier. La contamination ionique est généralement observée dans le diélectrique de grille du transistor MOS. Les ions s'accumulent et peuvent localement générer des amas de charge faisant dériver les paramètres électriques comme par exemple la tension de seuil du transistor (V_T). Une contamination ionique peut être mise en évidence lors de l'application d'une contrainte NBT (1.3.1) produisant un déplacement de l'ensemble des

ions par effet de champ. Le changement de polarité permet de mettre en évidence le décalage relatif aux déplacements des ions sous l'action du champ électrique et de la température. La Figure 1-18 montre la dérive du V_T à travers la caractéristique C-V (la capacité en fonction de la tension de grille) après une contrainte NBT.

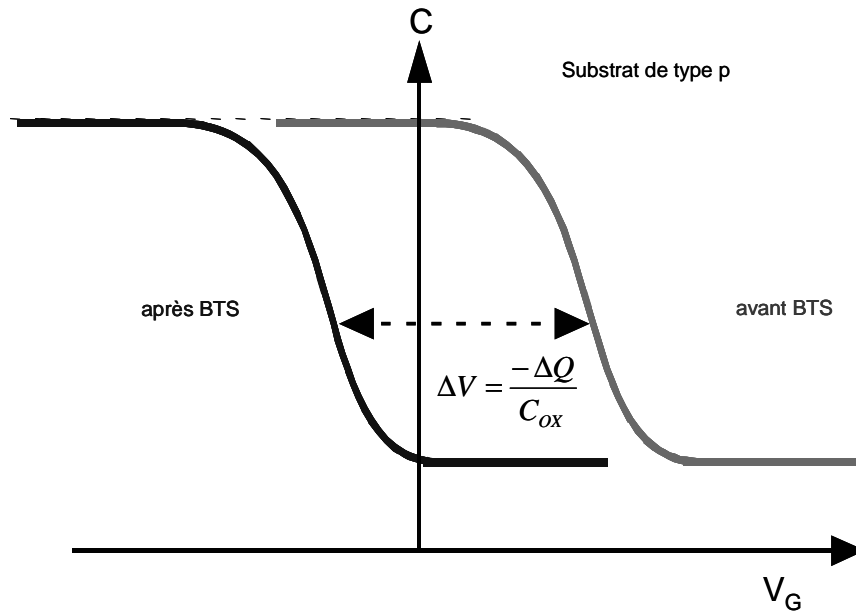


Figure 1-18 : Dérive de la caractéristique C-V après une diffusion d'ions dans le diélectrique sous contrainte NBT

Le problème de contamination est plus un problème de stabilité (qualité) d'un dispositif que de fiabilité. Le NBTI est aujourd'hui accepté comme un problème plus de fiabilité que de qualité et ces phénomènes vont devoir être dissociés.

De la même manière, le NBTI est étudié pour des polarisations de manière à avoir des champs dans l'oxyde compris entre 2 et 8-9 MV/cm. Des polarisations trop fortes pourraient induire des mécanismes complémentaires notamment des dégradations de type SILC [44] comme il a été observé par injection de porteurs à travers le diélectrique en mode Fowler-Nordheim [45]. C'est ainsi que l'étude du NBTI doit être pensée dans un contexte où plusieurs modes de dégradation ou de qualité se superposent ou peuvent entrer en interaction.

1.3.5 Définition du NBTI

Il est désormais accepté que le NBTI se définit par « toute dérive des paramètres électriques du transistor sous une tension négative sur la grille (à bas champ électrique) et à hautes températures ». À l'origine du terme, les instabilités des paramètres électriques étaient provoquées par la migration des ions Na^+ dans des oxydes relativement épais, et révélées par une contrainte du type NBT. Puis par la suite, la configuration de la contrainte et les

symptômes étant très proches, le terme NBTI a été conservé pour les phénomènes de dégradations. Aujourd'hui le NBTI est une instabilité liée uniquement aux phénomènes de dégradation et les contaminations ioniques ne sont plus répertoriées comme NBTI.

Le NBTI est étudié le plus souvent sur le PMOS car la dégradation y est beaucoup plus importante que sur le NMOS [46]. De plus, une configuration NBT sur le NMOS est rare dans la vie du dispositif dans un circuit, et le risque de sa défaillance est négligeable. En revanche, le PBTI du PMOS est, comme il sera vu dans le dernier chapitre concernant les perspectives, une configuration électrique négligée qui peut potentiellement devenir un mode de défaillance majeur.

1.4 La fiabilité NBTI et l'accélération du vieillissement

1.4.1 Définitions

- Définition de la fiabilité

La fiabilité peut être définie comme la "probabilité qu'un dispositif exécute une fonction exigée dans des conditions indiquées pendant une période indiquée". Il est important de noter que la fiabilité est exprimée comme probabilité qui inclut trois concepts indépendants:

1. Le temps
2. Les conditions environnementales
3. Les règles de défaillance

Elle est souvent confondue avec la qualité, qui elle, définit le degré avec lequel le produit convient aux besoins du client. La fiabilité est devenue très rapidement un critère décisif et essentiel à l'industrie du semi-conducteur. L'électronique embarquée dans les automobiles et les avions est des cas très concrets où la fiabilité est un critère élitiste. Les pièces sont prévues pour un temps d'utilisation et elles sont remplacées avant la défaillance. Les conséquences d'une mauvaise fiabilité sont pour l'utilisateur et l'entreprise extrêmement préjudiciable (inconfort, dépenses, accidents, abandon de la clientèle, mauvaise image...)

La notion de probabilité est très fréquemment associée aux études de défaillance. Les mécanismes de dégradation sont très souvent assujettis aux lois de probabilité de type log-normal ou weibullien. Le phénomène NBTI est un mécanisme extrêmement stable reparti sur toute la surface du dispositif. Il en résulte une très bonne reproductibilité de la dégradation. Nous avons reporté sur les Figure 2-22 (a) et (b) les dispersions σ des dégradations ΔV_T obtenues après 10^4 s à $V_G = -2.5$ V et $T = 125^\circ\text{C}$ pour les surfaces $0.1\mu\text{m}^2$, $0.5\mu\text{m}^2$, $25\mu\text{m}^2$.

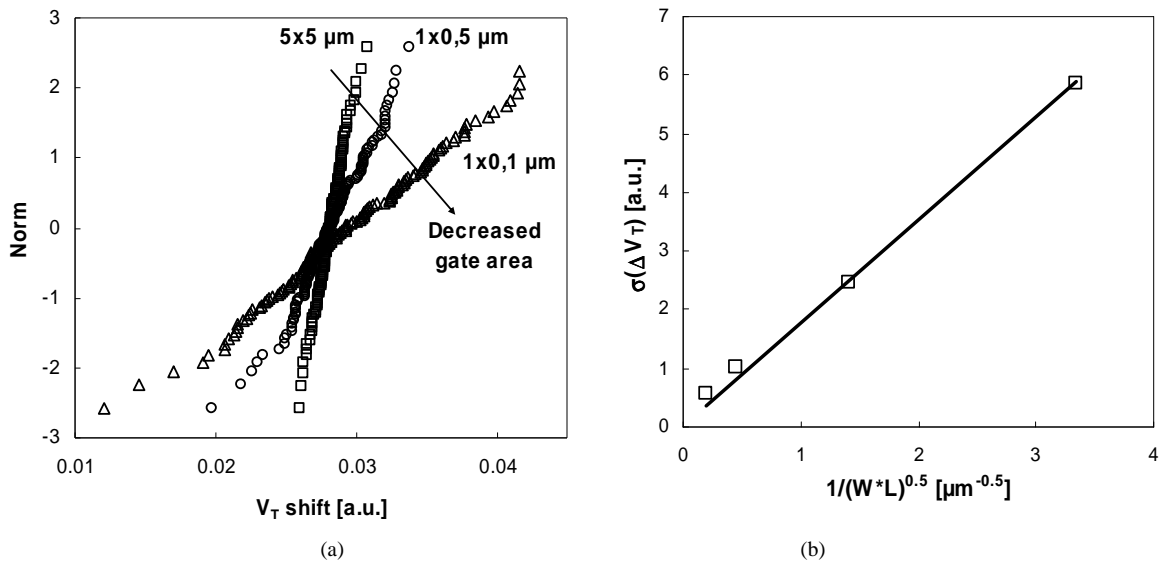


Figure 1–19 : (a) Distribution normalisée des dispersions du V_T pour 3 surfaces, (b) dispersion de ΔV_T en fonction de la surface

Le résultat est une augmentation de la dispersion inversement proportionnelle à la racine carrée de la surface. Le comportement est similaire au désappariement observé sur des structures de matching (transistors identiques 2 à 2) [47]. La Figure 1–20 montre que la dispersion de ΔV_T obtenue sur une plaquette de silicium est moins importante que la dispersion observée sur des structures de matching avant et après la contrainte NBT.

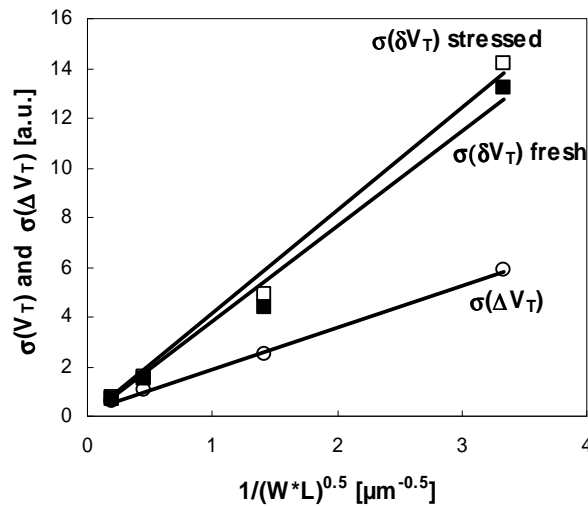


Figure 1–20 : Comparaison entre la dispersion observée sur des structures de matching avant et après contrainte NBT, et la dispersion observée sur la dérive de V_T

La dispersion de la dégradation est donc principalement due à la distribution de la fabrication du transistor avec les variations d'épaisseur de l'oxyde et les désappariements du V_T .

➤ Temps de vie ou durée de vie

Le développement de normes standard (JEDEC, IEEE), conjointement par les industriels, les clients et les fournisseurs de dispositifs à semi-conducteur, a abouti à l'établissement de critères de durée de vie dans des conditions d'utilisation données. La valeur de 10 ans (partiellement subjective) est acceptée par l'ensemble des industriels comme critère de durée de vie minimum pour assurer une fiabilité suffisante pour l'utilisation du dispositif. L'étude de la fiabilité d'un dispositif doit se faire à travers une dégradation accélérée. Il serait économiquement illusoire de laisser un dispositif « vieillir » pendant 10 ans dans ses conditions d'utilisation, et vérifier ensuite si les critères de défaillance sont atteints pour mettre en évidence un problème de fiabilité.

➤ Extrapolation de durée de vie

La durée de vie ou TTF (Time To Failure) est le paramètre de fiabilité par excellence. Elle correspond au temps pour lequel le critère de défaillance est atteint. Tout l'art de « l'ingénieur fiabilité » est d'accélérer les effets d'une contrainte et de prévoir la durée de vie pour les conditions dites normales d'utilisation. Les accélérations de contraintes sont dépendantes du mécanisme physique de dégradation. Par exemple, l'électromigration est accélérée par l'augmentation de la densité de courant à travers la ligne électrique. La dégradation par porteurs chauds est accélérée en augmentant la génération de porteurs chauds (en augmentant le quotient I_b/I_d). Néanmoins, tous les phénomènes de dégradation ne sont pas compris et leur accélération à proprement parler n'est pas réellement contrôlée. Dans ce cas, les accélérations se font empiriquement en augmentant les paramètres environnementaux contrôlables. Pour le cas du NBTI, les mécanismes sous jacents ne sont pas réellement connus (pour l'instant) et l'accélération de la dégradation se fait par une augmentation du potentiel de grille V_G et une augmentation de la température T .

1.4.2 Accélération du NBTI et extrapolation de la TTF

Nous allons illustrer l'accélération de la dégradation à travers la variation de V_T sur des PMOS de $T_{OX}=2\text{nm}$ d'épaisseur d'oxyde. Nous étudierons dans l'ordre, l'accélération de la dégradation par l'augmentation du potentiel de grille V_G , puis l'accélération par l'augmentation de la température T .

1.4.2.1 L'accélération d'un vieillissement par V_G

Pour accélérer la dégradation, nous appliquons des potentiels électriques de grille V_G compris entre -1.5V et -3V pour une température de $T=125^\circ\text{C}$. Les dynamiques de dégradation sont tracées sur la Figure 1-21 (a). Une très forte accélération de la dégradation est mesurée.

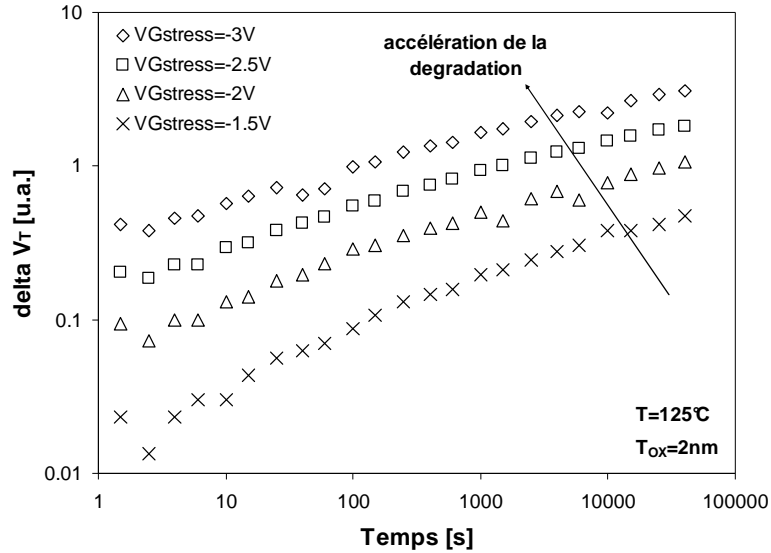


Figure 1-21 : Accélération de la dégradation par V_G : dynamique de la dérive de la tension de seuil

Nous avons reporté la dégradation ΔV_T mesurée après $4 \cdot 10^4$ s de contrainte sur la Figure 1-23 pour l'ensemble des V_G (affichés en valeur absolue par commodité).

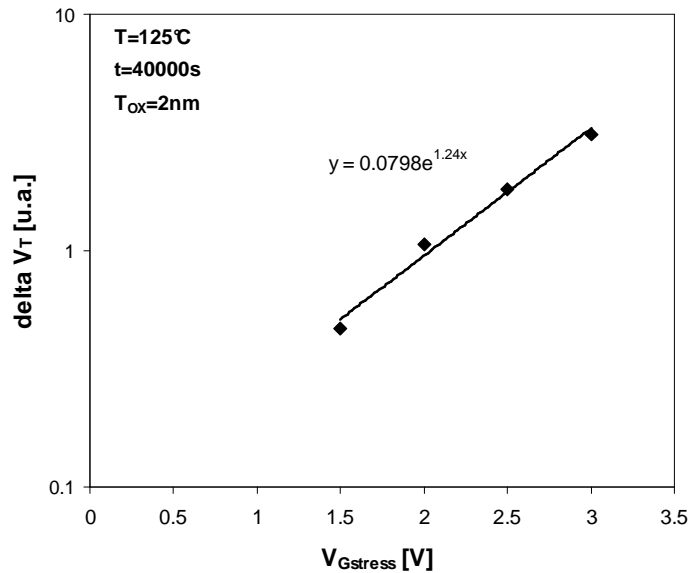


Figure 1-22 : Accélération de la dégradation par V_G : extrapolation du facteur d'accélération

La loi d'accélération extraite ici est une loi exponentielle. Pour des simplifications d'écriture, nous allons raisonner en ratio. Il est possible d'établir une relation entre le quotient de 2 dégradations obtenues pour 2 V_G différents :

$$\lambda_1 = \exp(-\gamma \Delta V_G) \quad \text{Eq. 1-40}$$

γ représente le facteur d'accélération du mécanisme

ΔV_G la différence entre les 2 V_G considérés

λ_1 représente le quotient entre 2 niveaux de dégradation obtenu pour les 2 V_G considérés.

Le facteur d'accélération correspond à la pente de l'exponentielle extraite sur la Figure 1-23. Dans notre cas $\gamma=1.24V^{-1}$.

En connaissant le facteur d'accélération γ , il est possible d'obtenir l'extrapolation de la dégradation pour des V_G plus faibles à partir de mesures effectuées sur des contraintes accélérées à plus fort V_G .

1.4.2.2 L'accélération du vieillissement par la température

De la même manière que pour le paramètre V_G , la dérive du V_T est tracée en fonction du temps cette fois-ci pour plusieurs températures comprises entre 85°C et 145°C à un $V_G=-2.25V$ (Figure 1-23).

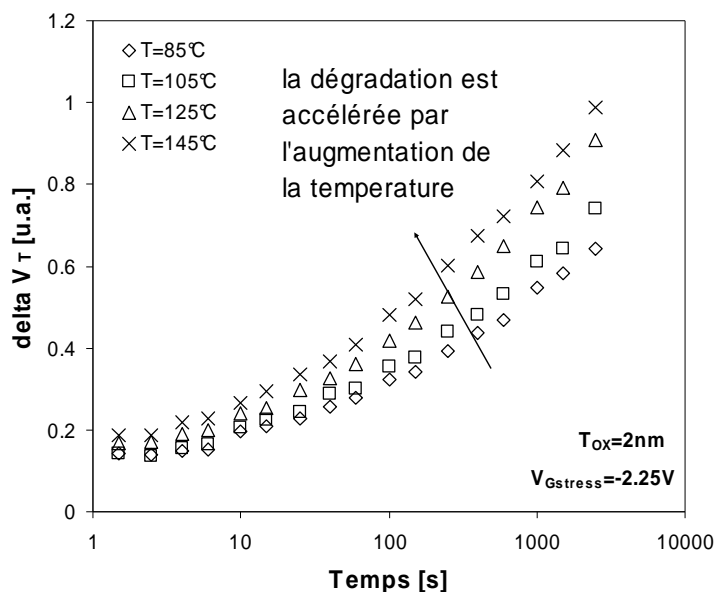


Figure 1-23 : Accélération de la dégradation par la température : dynamique de la dérive de la tension de seuil

Nous avons reporté la dégradation mesurée après 1000s de contrainte pour l'ensemble des températures sur la Figure 1–24

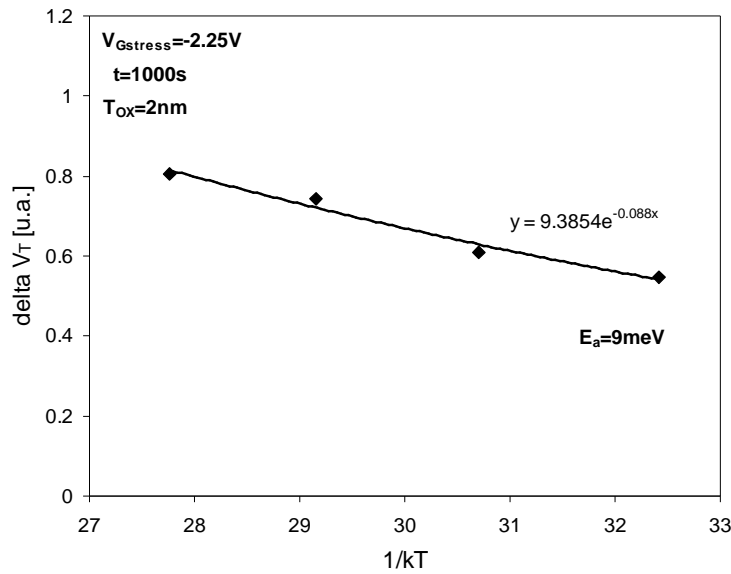


Figure 1–24 : Accélération de la dégradation par la température : extrapolation de l'énergie d'activation

Le modèle accepté pour décrire l'accélération d'un mécanisme par la température est celui d'Arrhenius [48] (taux de réaction $R = R_0 \exp\left(-\frac{E_a}{kT}\right)$ avec le taux de réaction R_0 de référence, T la température en Kelvin et k la constante de Boltzmann égale à $1.381 \cdot 10^{-23} \text{ JK}^{-1}$). La température est représentée par la grandeur $1/kT$ sur l'axe des abscisses. L'extrapolation de la loi exponentielle passant pour l'ensemble des valeurs expérimentales permet d'extraire la valeur du facteur d'accélération appelé énergie d'activation et noté E_a pour une accélération en température.

Nous pouvons établir une relation entre le quotient de 2 dégradations obtenues pour 2 températures différentes :

$$\lambda_2 = \exp\left(-E_a \Delta\left(\frac{1}{kT}\right)\right) \tag{Eq. 1-41}$$

E_a représente l'énergie d'activation

$\Delta\left(\frac{1}{kT}\right)$ la différence entre les 2 températures considérées

λ_2 représente le quotient entre 2 niveaux de dégradation obtenu pour les 2 V_G considérés.

L'énergie d'activation extraite est $E_a=9\text{meV}$. L'énergie d'activation E_a représente donc la capacité qu'a le NBTI (pour le V_T) à être accéléré par la température. Plus le paramètre E_a est élevé, plus la sensibilité du mécanisme à la température est grande. Il est important de noter dès à présent que l'énergie d'activation E_a la durée de vie sera plus importante que celle de la dégradation.

1.4.2.3 Extrapolation des durées de vie

Nous allons utiliser les résultats obtenus précédemment pour extraire la durée de vie. Pour cet exemple, prenons comme critère de défaillance $\Delta V_T=0.6$ [u.a.] et la condition normale d'utilisation $V_G=V_{dd}$ pour une température de fonctionnement T_{fct} .

Le temps à la défaillance est reporté pour chaque condition de contrainte en V_G et en température sur la Figure 1–25. Il faut par exemple près de 4000s à $V_G=-2\text{V}$ à 125°C et 250s à $V_G=-2.25\text{V}$ à 145°C pour atteindre le critère de défaillance.

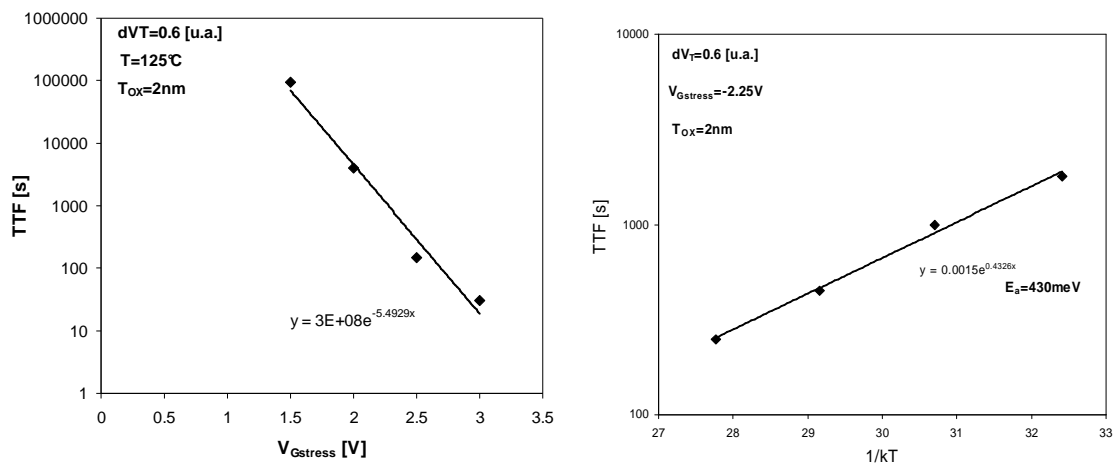


Figure 1–25 : Extrapolation de la dépendance en température de la TTF $f(T)$

Des lois d'accélération en V_G ($f(V_G)$) et en température ($g(T)$) sont alors extraites. L'énergie d'activation de la TTF est environ $E_a=0.43\text{eV}$ et le facteur d'accélération est $\gamma=5.5\text{V}^{-1}$. Il est important de noter que les termes de facteur d'accélération et d'énergie d'activation sont utilisés aussi bien pour la dégradation que la durée de vie. Ceci peut amener à des confusions puisque le même terme est utilisé pour l'accélération de la dégradation et celle de la durée de vie (qui correspond en fait plus à une réduction de durée de vie). Comme nous l'avons soulevé précédemment, même si l'accélération du mécanisme est la cause de la diminution de la TTF, les valeurs sont différentes. E_a vaut 9meV pour la dégradation et 0.43eV pour la TTF

Il est alors possible d'extrapoler la durée de vie pour atteindre $\Delta V_T=0.6$ [u.a.] à $V_G=V_{dd}$ et $T=T_{fct}$ en fonction d'une TTF mesurée sous un V_G et une température plus élevés ($V_{Gstress}$ et T_{stress}).

$$TTF(V_{DD}, T_{fct}) = TTF(V_{Gstress}, T_{stress}) \exp\left(-E_a \left(\frac{1}{kT_{fct}} - \frac{1}{kT_{stress}}\right)\right) \exp(-\gamma(V_{dd} - V_{Gstress}))$$

Eq. 1-42

En prenant la TTF obtenue pour une contrainte accélérée $V_{Gstress}=-2.25V$ et $T_{stress}=145^\circ C$, nous sommes capables d'établir les TTF extraits pour un ensemble de V_{dd} et T_{fct} représenté sur la Figure 1-26

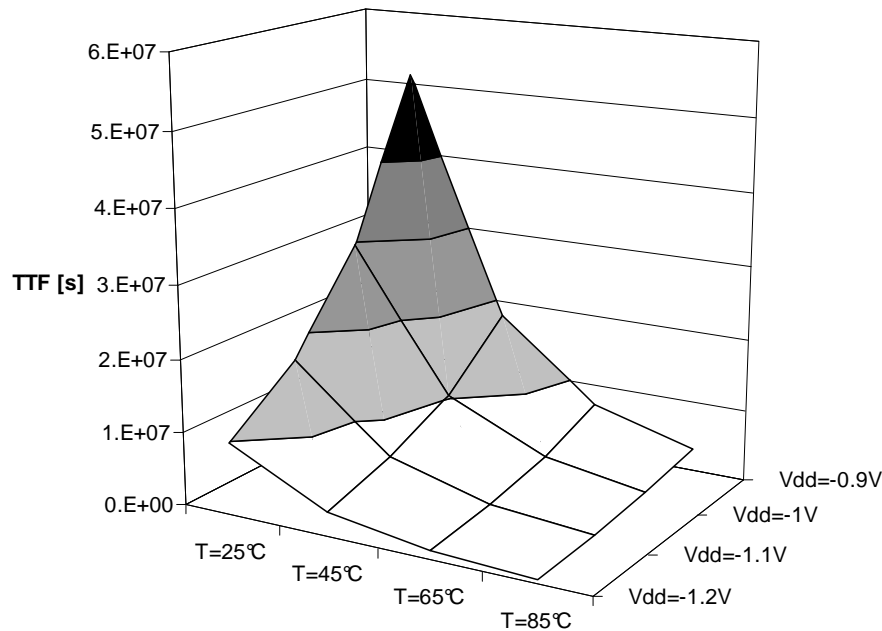


Figure 1-26 : Extrapolation des TTF pour plusieurs températures et V_G d'utilisation

Nous atteignons une TTF supérieure à $5 \cdot 10^7$ s pour une température de $25^\circ C$ et un V_{dd} de 0.9V.

Cet exercice a été fait pour la dérive de V_T , mais il est également possible de faire le même raisonnement pour d'autres paramètres électriques tels que I_{dsat} , I_{dlin} , g_m ... Ils constitueront l'ensemble des critères de défaillance. Le facteur limitant sera le paramètre ayant la TTF la plus courte et limitera la fiabilité du dispositif.

D'une façon plus générale, pour un mécanisme de dégradation donné, il est possible de référencer les paramètres ayant une influence sur la durée de vie (champs électriques dans

l'oxyde, potentiel de grille, le courant de grille, température, pression....) et d'extraire l'ensemble des fonctions donnant l'accélération de la dégradation en fonction de ces paramètres (f(), g()...i()). Il est alors possible de faire une extrapolation de la TTF en procédant de la même façon que pour le NBTI et ses 2 paramètres V_G et T.

1.5 Conclusions

Ce premier chapitre a permis essentiellement de définir les paramètres électriques du transistor MOS et d'introduire le Negative Bias Temperature Instability (NBTI). Le rappel du principe de fonctionnement, du diagramme de bandes, ainsi que des paramètres électriques du transistor ont permis de définir les paramètres utilisés par la suite dans le manuscrit. Une présentation des origines ainsi que la définition du NBTI devrait apporter au lecteur une meilleure compréhension des enjeux incitant l'étude des mécanismes physiques sous-jacents. L'étude du NBTI sur une technologie récente a été présentée dans la dernière partie pour illustrer l'accélération de la dégradation et les extrapolations de durée de vie.

Chapitre 2. Génération des états d'interface sous contrainte NBT

2.1 Introduction

Le comportement électrique du transistor MOS dépend fortement de la qualité de l'interface SiO₂/Si. Les interactions des porteurs du canal avec les défauts réduisent les performances électriques du dispositif. La maîtrise technologique pour améliorer l'interface SiO₂/Si à travers les intégrations successives des nouvelles technologies est un défi permanent. Le nombre d'études portant sur la caractérisation électrique/physique et les améliorations des procédés de fabrication de l'oxyde de grille témoignent de l'importance donnée par les technologues aux défauts d'interface.

Le champ électrique dans l'oxyde est l'une des origines possibles de la détérioration de l'interface [49]. La Figure 2-1 représente l'évolution des champs électriques imposés dans l'oxyde de grille (E_{ox}) lors de l'évolution des technologies MOSFET.

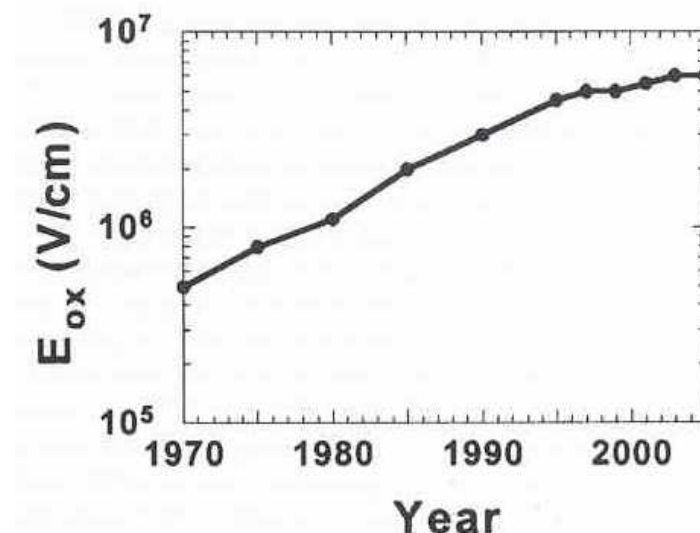


Figure 2-1 : Evolution des champs électriques dans le diélectrique de grille [50]

L'augmentation considérable des champs électriques (multiplié par 10 ces 3 dernières décennies), pour augmenter sans cesse les performances électriques du transistor, explique en grande partie les problèmes de fiabilité en général et l'émergence du NBTI en particulier.

Ce second chapitre est consacré à la caractérisation et au modèle de génération de défauts à l'interface SiO₂/Si pendant une contrainte NBT.

Nous rappellerons dans un premier temps, pourquoi l'interface SiO₂/Si est propice à la génération de défauts. Une revue des effets de ces défauts sur les paramètres électriques du transistor MOS sera aussi proposée.

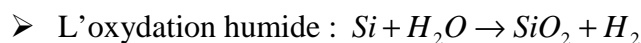
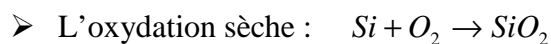
Dans un second temps, nous présenterons le modèle de génération de défauts d'interface connu sous le nom « modèle de Réaction – Diffusion » ou « modèle R-D ». Nous proposons d'en vérifier les hypothèses et sa pertinence face aux résultats expérimentaux obtenus.

Nous proposerons dans la dernière partie, un nouveau modèle bâti autour des résultats observés avec notamment la prise en compte d'une distribution des énergies d'activation de la liaison Si-H.

2.2 L'interface SiO₂/Si

2.2.1 L'oxydation du substrat

La structure MOS doit sa notoriété aux propriétés remarquables du tandem SiO₂ – Si. La relative facilité du silicium à être oxydé industriellement a permis l'expansion de la technologie MOS dans la microélectronique. L'oxyde de silicium, avec sa largeur de bande interdite de 9eV et sa résistivité élevée de l'ordre de 10¹⁵ à 10¹⁶ Ω.cm, présente d'excellentes propriétés isolantes. Le diélectrique de grille s'obtient par l'oxydation du silicium du substrat. Les atomes d'oxygène peuvent être insérés dans le silicium par 2 différentes techniques :



Contrairement à l'oxydation sèche utilisant un flux gazeux de dioxygène, l'oxydation humide nécessite la présence d'eau. La conséquence est une quantité beaucoup plus importante de charges fixes dans l'oxyde. En revanche, la réaction d'oxydation est beaucoup plus rapide (5 à 10 fois pour obtenir la même épaisseur d'oxyde).

La croissance de l'oxyde est obtenue à très haute température de l'ordre du 1000°C dans les 2 types d'oxydation. La température, les gaz et leur débit sont des paramètres importants de l'oxydation. Ces paramètres fixent en effet l'épaisseur, la stœchiométrie et la qualité de l'oxyde.

2.2.2 Propriétés physico-chimiques de l'interface Si-SiO₂

2.2.2.1 Le désaccord de maille à l'interface SiO₂/Si

Les différences de symétrie cristalline entre Si et SiO₂ sont à l'origine d'une forte discontinuité architecturale à l'interface SiO₂/Si. La Figure 2-2 illustre le désaccord de maille au niveau de l'interface. L'oxydation du substrat donne naissance au SiO₂ amorphe et provoque un changement brutal de l'ordre cristallographique du cristal de silicium (illustré à gauche sur la figure). La distance inter-atomique des atomes de silicium du substrat est plus grande que celle entre les atomes O et Si de la structure tétraédrique de l'oxyde.

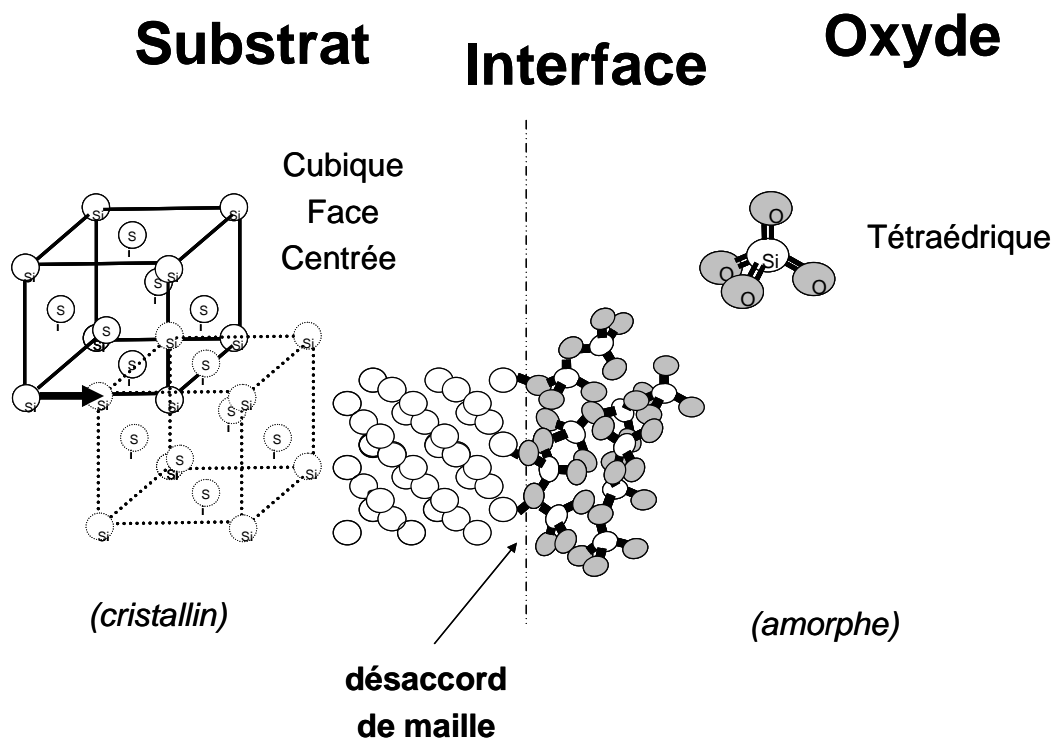


Figure 2-2 : Désaccord structural entre le silicium et l'oxyde de silicium

Ce fort désaccord de maille provoque la distorsion des liaisons électroniques. Des simulations [51], [52] ont montré que les angles des liaisons $Si-O-Si$ étaient distribués dans la première couche atomique de transition. La figure suivante montre des angles $Si-O-Si$ à l'interface fluctuant de 115° à 175°.

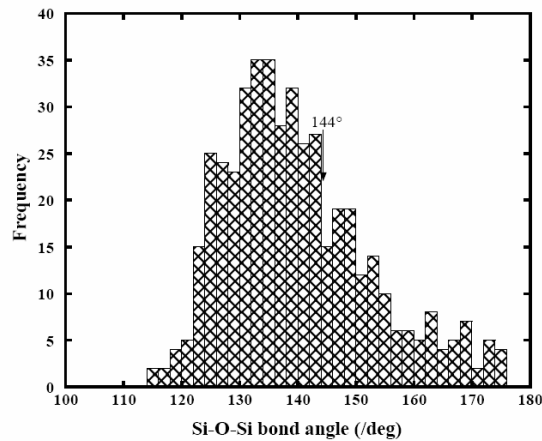


Figure 2-3 : Répartition des angles de la liaison $Si - O - Si$ dans un oxyde fin [51]

La qualité de l'interface SiO_2/Si est au cœur des préoccupations depuis l'origine de l'intégration de la structure MOS et dépend fortement de la maîtrise des procédés d'oxydation dans l'intégration des structures MOS.

2.2.2.2 Les défauts d'interfaces

Il a été montré que les défauts d'interface apparaissent lors de la relaxation des contraintes mécanique après l'étape d'oxydation du substrat [53]. Ces défauts ponctuels sont communément appelés défauts de surface, pièges d'interfaces, états d'interface, centres P_b [54], ou encore centres P_{b0} et P_{b1} . Tous ces termes font référence à un état électronique permis, localisé dans la zone interfaciale et dont l'énergie se situe dans le gap du silicium du substrat. De manière générale, les deux caractéristiques propres à l'état d'interface sont sa capacité à émettre ou capturer des porteurs de charge (défini par le coefficient de capture qui correspond à la probabilité de capturer un porteur), et son niveau énergétique dans le gap. Le terme « piège » est ainsi utilisé pour faire référence à la capture des porteurs (électrons ou trous), et le terme « d'état » qualifie le niveau d'énergie associé au piège. La densité de défauts d'interface est notée D_{IT} , N_{IT} ou N_{SS} et est exprimée en $[cm^{-2}eV^{-1}]$ ou en $[cm^{-2}]$. Nous adopterons pour la suite la notation N_{IT} pour exprimer les densités de défauts à l'interface SiO_2/Si mesurées par pompage de charges 2 niveaux et exprimées en $[cm^{-2}eV^{-1}]$.

Nishi *et al.* [54] ont étudié l'interface SiO_2/Si par résonance paramagnétique électronique (RPE ou ESR pour Electron Spin Resonance) et ont mis en évidence l'existence d'un type de défaut appelé P_b (P pour Paramagnétique et b pour l'indexation du pic de résonance sur le spectre ESR). Ce défaut correspond à un atome de silicium du substrat situé à proximité de l'interface et pouvant établir des liaisons covalentes avec 3 atomes Si du substrat mais ne

pouvant pas établir de liaison avec un atome de l'oxyde. Ce défaut, noté $Si_3 - Si \cdot$ [55], est illustré sur la Figure 2-4, il correspond à une liaison pendante de l'atome de Si dirigée vers l'oxyde amorphe

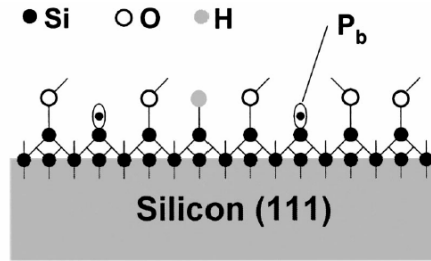


Figure 2-4 : Défaut à l'interface SiO₂/Si : le centre P_b [50]

Une des particularités du centre P_b est sa propriété amphotère [56]. Le centre P_b est capable soit de piéger un électron, soit de piéger un trou. Rappelons qu'un piège est qualifié d'Accepteur lorsqu'il est capable de piéger un électron (ou donner un trou), et qu'il est Donneur lorsqu'il est capable de donner un électron (ou de piéger un trou). Le Donneur est chargé positivement lorsqu'il est vide, et neutre lorsqu'il est rempli. À l'inverse pour l'Accepteur, il est chargé négativement lorsqu'il est rempli et est neutre lorsqu'il est vide. Le centre P_b amphotère peut donc être Accepteur ou Donneur.

Plusieurs études ont montré l'existence d'une deuxième catégorie de centre P_b : le centre P_{b1}. La nature du piège P_{b1} et son activité électronique dépendent de l'orientation du substrat (L'orientation du réseau cristallin change l'arrangement cristallographique au niveau de l'interface avec l'oxyde) et des contraintes mécaniques à l'interface. Pour différencier les 2 défauts d'interface, la liaison $Si_3 - Si \cdot$ est nommé P_{b0} et le nom générique « centre P_b » regroupe aujourd'hui les deux défauts P_{b0} et P_{b1}. Les discussions autour de la nature du P_{b1} et des différences avec le P_{b0} sont loin d'être closes [57]-[59], [50], [60]-[66]. Il est toutefois plus ou moins accepté aujourd'hui que la structure du centre P_{b1} soit constituée d'une liaison pendante d'un atome de silicium partageant des liaisons covalentes avec 2 atomes de silicium du substrat et un atome d'oxygène de l'oxyde [67]. Il est généralement admis que la concentration en P_{b1} est largement plus faible que celle de P_{b0}, et que ses effets sont potentiellement moins importants.

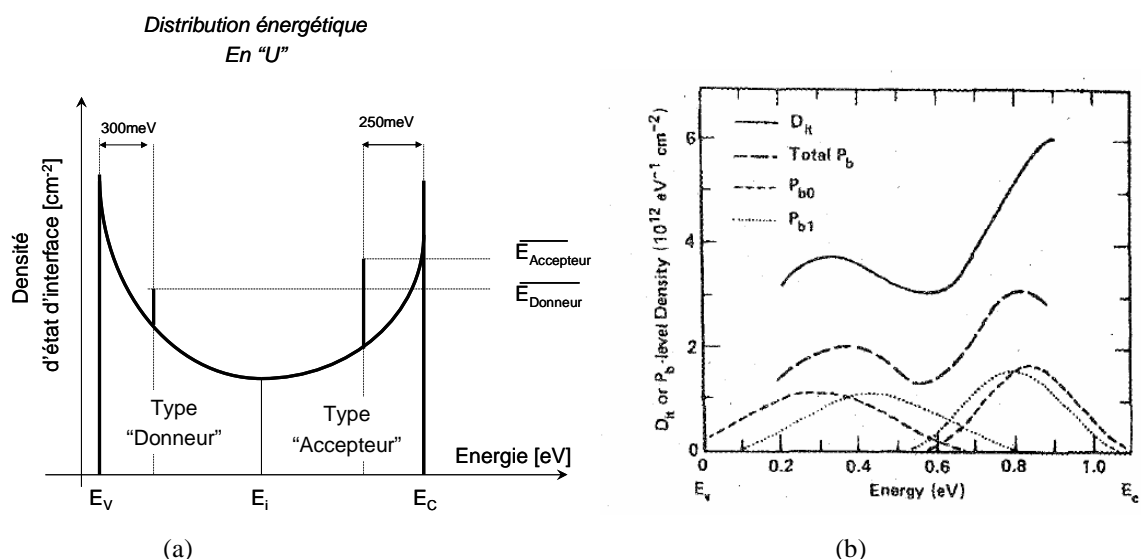


Figure 2-5 : (a) Distribution énergétique en « U » des états d'interface, (b) mesure de la distribution énergétique des états d'interface par la technique de pompage de charges 3 niveaux [68]

Les centres P_b sont distribués en énergie dans la bande d'énergie interdite du silicium. Les Donneurs se trouvent en moyenne 300meV au-dessus de la bande de valence du silicium alors que les Accepteurs se situent en moyenne 250meV en dessous de la bande de conduction [69], [70]. La distribution des états d'interface est appelée distribution en « U » [72]. Historiquement, les expériences de Nishi par ESR ont permis de détecter les centres P_b . Les mesures par DLTS (Deep Level Transient Spectroscopy) [69] ont par la suite montré que les distributions énergétiques des pièges P_{b0} et P_{b1} variaient en fonction de l'orientation du substrat. Enfin, plus récemment, Autran *et al.* [68] ont mesuré cette distribution des centres P_b dans le gap du silicium avec la technique de pompage de charges 3 niveaux. Ils ont montré une légère différence entre les distributions énergétiques des centres P_{b0} et P_{b1} ainsi qu'une dissymétrie de la distribution énergétique des états Donneur et des états Accepteur (Les énergies près de E_C et de E_V au bord de gap ne sont pas accessibles par la technique de pompage de charges). En revanche, ils ont confirmé que la densité surfacique moyenne des états Donneurs est équivalente à la densité surfacique moyenne des états Accepteurs et donc vérifié le fait que chaque liaison pendante génère 2 états dans le gap : un Donneur et l'autre Accepteur.

2.2.2.3 Passivation des liaisons pendantes, la liaison Si-H

La passivation de l'interface ou le recuit post-oxydation à haute température sous atmosphère inerte permet une réorganisation de l'interface et une diminution du nombre de liaisons pendantes [71]. La passivation de l'interface permet de saturer un centre P_b avec un atome

d'hydrogène. Il est important de noter que la liaison Si-H est électriquement neutre. C'est ainsi que l'interface SiO₂/Si contient un grand nombre de liaison Si-H de l'ordre de plusieurs 10¹¹ à 10¹² eV⁻¹cm⁻².

2.3 Caractérisation de la génération de défauts à l'interface SiO₂/Si et leurs effets sur les paramètres électriques

La dissociation de la liaison Si-H communément appelée la dépassivation de la liaison Si-H donne naissance à un centre P_{b0}. Ce phénomène a été pour la première fois montré par Gerardi *et al.* [73] sur un oxyde nitruré sur substrat <111>. Par analogie, il a été suggéré puis confirmé que le même mécanisme se manifestait sur des substrats différemment orientés (en particulier le <110>). La mise en évidence de la génération de défauts d'interface est un enjeu majeur de la caractérisation NBTI. La compréhension du mécanisme de dégradation y est très fortement liée. Nous allons présenter 3 techniques mettant en évidence la génération de défauts à l'interface pendant une contrainte NBT:

1. Le pompage de charges (CP) est une technique de caractérisation électrique facile d'utilisation (Annexe A). Nous présenterons des mesures faites avec la technique CP à 2 niveaux qui permettent de mesurer la densité surfacique de défauts dans le gap. La technique « 3 niveaux », beaucoup plus complexe à mettre en place, permet d'extraire la distribution énergétique.
2. La technique DC-IV consiste à mesurer le courant de grille à bas V_G qui est fortement influencé par les défauts d'interface. Son étude pendant la dégradation permet de caractériser la génération de défauts à l'interface SiO₂/Si.
3. La technique ESR nécessite l'utilisation de champs magnétiques. Des mesures ESR permettent de mettre en résonance les liaisons pendantes en les excitant par champ magnétique où l'anisotropie du tenseur \vec{g} est indicatif d'un défaut associé au silicium cristallin.

Ensuite nous mettrons en évidence les effets de la génération de défauts sur les paramètres principaux du transistor.

2.3.1 Le Pompage de charges 2 niveaux

La mesure du courant pompé (I_{CP}) pendant la contrainte permet de calculer la variation des N_{IT} dans le temps [74].

$$I_{CP} = qA_{eff}F_P \int_{E_{em,e}}^{E_{em,h}} \overline{D_{IT}}(E)dE \quad \text{Eq. 2-1}$$

Avec A_{eff} la surface du transistor, F_P la fréquence du générateur d'impulsion et $E_{em,h}$ et $E_{em,e}$ respectivement les énergies à partir desquelles le trou et l'électron ne sont plus émis.

Le principe de base de la technique CP est la mesure d'un courant de recombinaison entre les charges piégées dans les états d'interface et les charges réciproques dans le silicium. Des pulses sont appliqués sur la grille pour « remplir » et « vider » les pièges d'interface en faisant passer le substrat de l'accumulation à l'inversion. Le mécanisme de piégeage/dépiégeage est associé au mécanisme de recombinaison dans le substrat. Un courant de substrat appelé « courant pompé » est alors généré. Ce courant est proportionnel au nombre de porteurs de charge mis en jeu dans la recombinaison, donc proportionnel au nombre de pièges d'interface.

Nous avons mesuré la densité moyenne des états d'interface $\overline{\Delta D_{IT}}(E) = \Delta N_{IT}$ avec la technique CP pour plusieurs contraintes NBT. La Figure 2-6 représente la génération ΔN_{IT} pour des potentiels de grille compris entre -1.5 et -3V à une température de 125°C sur un PMOS présentant un oxyde de grille d'épaisseur $T_{OX}=2\text{nm}$ ($W/L=10\mu\text{m}/10\mu\text{m}$). Nous observons une très forte augmentation de défauts d'interface pendant la contrainte. La génération d'états d'interface est une loi temporelle en puissance avec une pente comprise entre 0.25 et 0.30. Son étude plus complète sera faite dans les parties suivantes.

Avec la réduction de l'épaisseur d'oxyde de grille dans les technologies avancées, cette technique devient limitée par les courants de grille devenus trop grand par rapport au courant pompé lorsque les épaisseurs d'oxyde sont inférieures à 1.6-1.7nm [75].

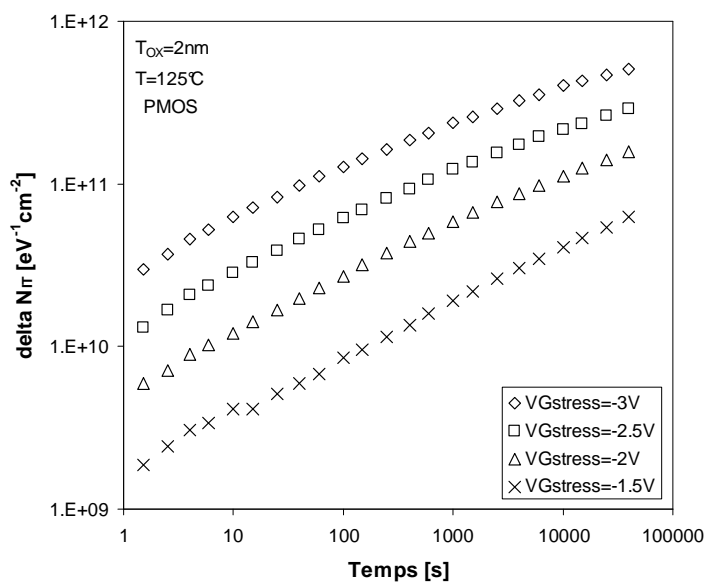


Figure 2-6 : Variation de la densité de pièges à l'interface SiO_2/Si sous contrainte NBT

2.3.2 La caractéristique DC-IV

La mesure DC-IV permet de calculer les états d'interface localisés au centre de la bande interdite [76]. Pour cette technique de mesure, la source et le drain sont connectés ensemble et polarisés en direct par rapport au substrat (gated diode measurement).

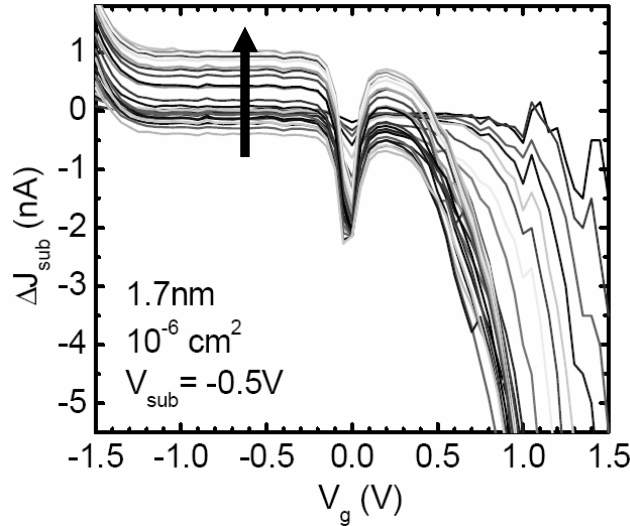


Figure 2-7 : Mesure DC-IC pendant une contrainte NBT [77]

Une forte variation est observée sur le courant de substrat lorsque le potentiel électrique de la grille passe de l'accumulation à l'inversion en balayant la bande interdite. Le pic du courant de substrat correspond à la condition $V_G = V_{\text{mid-gap}}$. La densité de défauts près du centre du gap (mid-gap) d'énergie E_i .

$$J_{\text{sub}} = \frac{1}{2} q n_i \sigma v_{\text{th}} \pi k T N_{\text{IT}} \exp\left(\frac{qV}{2kT}\right) \quad \text{Eq. 2-2}$$

Où σ correspond aux sections de capture des électrons et des trous (généralement considérées identiques pour les pièges à trous et les pièges à électrons, et compris entre 10^{-14} et quelque 10^{-16} cm^{-2} [78]), v_{th} la vitesse thermique des porteurs et n_i la concentration intrinsèque.

Stathis *et al.* [77] ont mis en évidence une augmentation du pic de courant pendant une contrainte NBT sur un transistor de 1.7nm d'épaisseur d'oxyde. Le potentiel électrique de grille appliqué est $V_{\text{Gstress}} = -2\text{V}$, et le réseau de courbes correspond à l'évolution des courants en fonction du potentiel de grille V_G dans le temps. L'augmentation du courant peut être mesurée au niveau du plateau (au niveau de la flèche).

La limitation principale de cette technique est l'incapacité à prendre en charge une distribution énergétique des états d'interface. Seuls les pièges très près du centre du gap sont pris en compte [76].

2.3.3 ESR (Electron-Spin Resonance)

Fujieda *et al.* [79] ont montré qu'une génération de centres P_{b0} et P_{b1} pouvait être mesurée par ESR après une contrainte NBT. Ce sont pour l'instant les seuls à avoir mis à contribution les mesures ESR pour une l'étude du NBTI. Ces auteurs ont mis en évidence cette génération de défauts en comparant les spectres obtenus avant et après une contrainte NBT. Les spectres de référence sont ceux obtenus après une dépassivation des liaisons Si-H en température (sur un oxyde pur et nitruré). Le changement de spectre observé après une contrainte NBT est similaire aux spectres des dispositifs dépassivés en température. Ceci confirme la dépassivation des liaisons Si-H pendant une contrainte NBT.

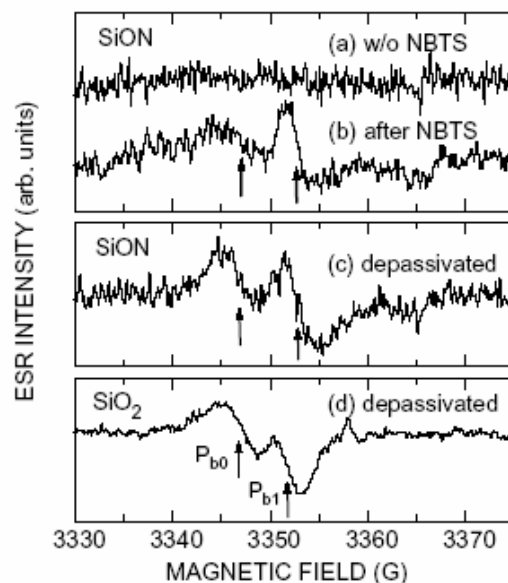


Figure 2–8 : Mesures ESR des centres P_b sur un oxyde nitruré par plasma (a) vierge, (b) après une contrainte NBT, (c) après une dépassivation en température, (d) Sur une référence non nitrurée [79]

Cette technique est limitée par le coût de l'équipement nécessaire.

2.3.4 Effet sur la tension de seuil V_T

Dans le premier chapitre, nous avons exprimé la tension de seuil V_T en fonction de la charge totale piégée dans les défauts Q_{Def} (Eq.1-19). Dans le cas des charges piégées dans les N_{IT} (les

charges fixes et les charges piégées dans l'oxyde seront traitées dans le troisième chapitre), une variation ΔV_T est induite par une la charge stockée à l'interface ΔQ_{IT} :

$$\Delta V_{T,Q_{IT}} = \frac{-\Delta Q_{IT}}{C_{OX}} \quad \text{Eq. 2-3}$$

Cependant, il est nécessaire de tenir compte de la relation précise avec le potentiel de surface. En effet, compte tenu de la nature des pièges à l'interface, il est nécessaire de définir le lien entre les pièges d'interface N_{IT} et les charges effectivement piégées Q_{IT} . La relation entre la variation de pièges ΔN_{IT} et la variation de charge ΔQ_{IT} est représentée sur la Figure 2–9 (pour le cas du NMOS à gauche et celui du PMOS à droite). La distribution des pièges dans la bande interdite du silicium à une incidence très importante sur la charge piégée à l'interface.

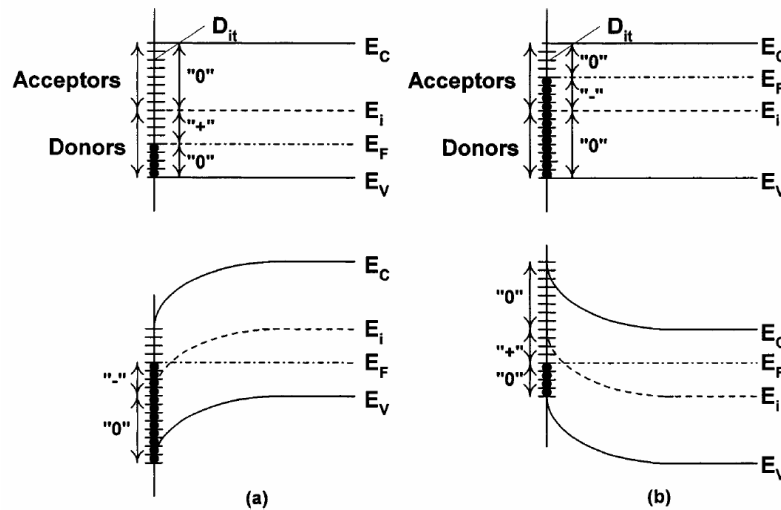


Figure 2–9 : Diagramme de bande du NMOS (à droite) et du PMOS (à gauche). La charge piégée à l'interface dépend de la courbure de bandes [50]

Pour la condition de bandes plates (les 2 figures du haut) :

- Pour le NMOS : Le niveau de Fermi E_F se trouve entre le niveau E_i et la bande valence E_V . Tous les états Accepteurs sont vides et une partie des états Donneurs sont pleins. D'après les définitions énoncées précédemment, seuls les états Donneurs vides présentent un état de charge et la charge globale est positive.
- Pour le PMOS : Le niveau de Fermi E_F se trouve entre le niveau E_i et la bande de conduction E_C . Tous les Donneurs et une partie des Accepteurs sont remplis. Seuls les Accepteurs pleins présentent un état de charge et la charge globale est négative.

Le même raisonnement peut être suivi pour les autres conditions en fonction de la valeur de Ψ_S . Soient les relations suivantes :

$$\text{Pour } \Psi_S > 0 \quad \Delta Q_{IT,Don}(\Psi_S) = q \int_{E_i}^{E_F} \Delta D_{IT,Don}(E) dE$$

$$\text{Pour } \Psi_S < 0 \quad \Delta Q_{IT,Acc}(\Psi_S) = -q \int_{E_F}^{E_i} \Delta D_{IT,Acc}(E) dE$$

Après simplification :

$$\Delta Q_{IT}(\Psi_S) = q \int_{E_i}^{E_F} \Delta D_{IT}(E) dE \quad \text{Eq. 2-4}$$

Dans le cas d'une densité moyenne $\overline{\Delta D_{IT}(E)} = \Delta D_{IT,moy}$, la charge piégée à l'interface devient

$$\Delta Q_{IT}(\Psi_S) = q \Delta D_{IT,moy} (E_F - E_i) = -q^2 \Delta D_{IT,moy} (\Psi_S - \Phi_F) \quad \text{Eq. 2-5}$$

Et donc, en inversion forte, défini par $\Psi_S \approx 2\Phi_F$, la variation de la tension de seuil ΔV_T induit par la charge stockée sur des pièges d'interface de densité moyenne $D_{IT,moy}$ devient :

$$\Delta V_T = -\frac{\Delta Q_{IT}(\Psi_S = 2\Phi_F)}{C_{OX}} = \frac{q^2 \Delta D_{IT,moy} \Phi_F}{C_{OX}} \quad \text{Eq. 2-6}$$

Pour une même quantité de pièges générés, la charge piégée dans un transistor PMOS fait dériver le V_T vers des valeurs plus grandes négativement alors que le transistor NMOS, le V_T dérive vers des valeurs plus grandes positivement.

2.3.5 Effet sur la tension $V_{mid-gap}$

Le potentiel $V_{mid-gap}$ correspond à la valeur de V_G permettant d'obtenir un potentiel de surface $\Psi_S=0V$, c'est-à-dire tel que $E_F=E_i$ à l'interface SiO_2/Si . Dans ce cas, tous les états Donneurs sont remplis et tous les états Accepteurs sont vides : aucune charge d'interface n'est apparente sur le $V_{mid-gap}$. En ne considérant aucune charge stockée dans l'oxyde, la variation de la tension de mid gap $V_{mid-gap}$ induite par la charge dans les pièges d'interface devient :

$$\Delta V_{mid-gap,N_{IT}} = -\frac{\Delta Q_{IT}(\Psi_S = \Phi_F)}{C_{OX}} = 0V \quad \text{Eq. 2-7}$$

Le potentiel $V_{\text{Gmid-gap}}$ reste insensible à la génération de défauts d'interface. Ceci souligne la différence entre piège généré à l'interface SiO_2/Si (ΔN_{IT}) et chargé piégée (ΔQ_{IT}) qui dépend du potentiel électrique de surface.

2.3.6 Effet sur la pente sous le seuil

La pente de la caractéristique $I_{\text{DS}}-V_{\text{GS}}$ sous le seuil correspond à la capacité du transistor à passer rapidement de l'état bloqué à l'état passant. Elle intervient donc dans une région où le MOST passe d'un substrat en déplétion à un substrat en régime d'inversion. Les N_{IT} vont intervenir sur le paramètre S (l'inverse de la pente sous le seuil) de la manière suivante ([80], [81], [82]):

$$\Delta S = 2.3 \frac{kT}{q} \frac{\frac{\Delta C_{\text{IT}}}{C_{\text{OX}}}}{1 - \left(\frac{C_{\text{D}}}{C_{\text{FB}}}\right)^2} \quad \text{Eq. 2-8}$$

Avec ΔC_{IT} la variation de la capacité induite par les états d'interface N_{IT} , C_{D} la capacité de déplétion et C_{FB} la capacité en bande plate.

La relation donnant la variation de la densité de piège à l'interface D_{IT} en fonction de la variation du paramètre S devient :

$$\Delta N_{\text{IT}} = \frac{C_{\text{OX}} \Delta S}{2.3kT} \left[1 - \left(\frac{C_{\text{D}}}{C_{\text{FB}}}\right)^2 \right] \quad \text{Eq. 2-9}$$

Les états d'interface ayant à la fois un effet sur le paramètre S et la tension de seuil V_{T} , une forte corrélation est attendue entre les 2 dégradations pendant une contrainte NBT. La figure suivante montre les mesures que Tsujikawa *et al.* [83] ont obtenu pendant une contrainte de 2.10^4 s à $V_{\text{G}}=-2.8$ V. La génération de défauts d'interface est très fortement corrélée à la variation de la tension de seuil.

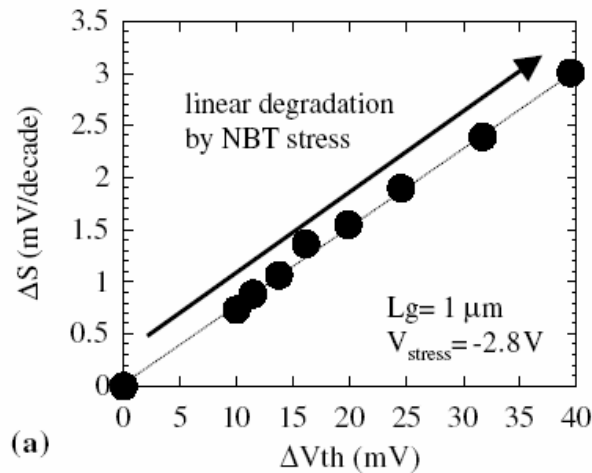


Figure 2-10 : Corrélation entre la variation de la pente sous le seuil et la variation du V_T pendant une contrainte NBT ($T=150^\circ\text{C}$) [84]

Cependant, cette technique nécessite la mesure de la capacité de déplétion C_D et des mesures C-V suffisamment fines pour obtenir un calcul précis des ΔN_{IT} . Les dernières technologies ne permettent plus d'obtenir précisément la valeur de C_D (à cause de problèmes liés au courant de fuite trop important et aux capacités parasites non négligeables), cette technique n'est donc pas suffisamment précise sur les technologies avancées. De plus la pente sous le seuil est sensible à la charge dans l'oxyde et pourrait donc induire des erreurs d'interprétation.

2.3.7 Effet sur la mobilité

La mobilité μ_0 correspond à la mobilité des porteurs à bas champ électrique dans le silicium. Elle va dépendre très fortement des interactions que peuvent avoir les porteurs avec leur environnement. Ces interactions « porteurs – milieu » réduisent leur mobilité effective dans le canal.

Trois mécanismes [85] sont à la base de la réduction de la mobilité :

➤ Les collisions avec les phonons

Les phonons correspondent aux modes de vibrations des atomes du réseau cristallin. On peut distinguer les phonons à faible énergie thermique (phonon acoustique) et à forte énergie thermique (phonon optique). Les porteurs transportés à travers le canal d'inversion sous l'action du champ électrique peuvent entrer « en collision » avec ces modes de vibration et voir leur mobilité diminuer

➤ Les collisions coulombiennes

Les collisions coulombiennes sont dues à la présence de charges électriques parasites à proximité du canal du transistor. Ces charges correspondent aux charges fixes dans l'oxyde, aux charges stockées sur les états d'interface et aux impuretés ionisées dans le substrat. Les forces mises en jeu sont les forces électrostatiques répulsives/attractives qui modifient le transport des porteurs dans le canal. Ce mécanisme met en jeu les phénomènes d'écrantage et de fluctuations locales du champ électrique bidimensionnel.

➤ Les collisions sur la rugosité de surface

La rugosité de surface est l'interaction réduisant le plus fortement la mobilité à fort champ électrique et par conséquent à forte tension V_{GS} (champ électrique vertical). Les porteurs proches de l'interface subissent des forces de frottement importantes avec les atomes des couches où la stœchiométrie cristalline est altérée à l'interface SiO_2/Si telle que, lors de leur déplacement, une modélisation physique de leur transport dans le canal, est freinée.

Au final, la mobilité effective peut s'exprimer sous la forme [85]:

$$\frac{1}{\mu_{EFF}} = \frac{1}{\mu_{Coul}} + \frac{1}{\mu_{Phon}} + \frac{1}{\mu_{Surf}} + \frac{W}{L} R_{SD} Q_{Inv} \quad \text{Eq. 2-10}$$

Avec $\frac{1}{\mu_{Coul}}$ traduisant l'influence des collisions coulombiennes, $\frac{1}{\mu_{Phon}}$ l'influence des collisions avec les phonons et $\frac{1}{\mu_{Surf}}$ les collisions sur la rugosité de surface. Chaque influence dépendant fortement des conditions en champ électrique dans le canal.

La dégradation de la mobilité va donc dépendre du régime dans lequel elle est mesurée. Pour les expériences qui suivent, nous avons utilisé la méthode de Hamer [86] pour extraire les paramètres V_T , β et θ . Rappelons que la méthode Hamer permet d'extraire les paramètres V_T , β et θ à partir de 3 mesures de courant linéaire. L'extraction des paramètres revient à un système à 3 équations à 3 inconnus en utilisant les équations Eq. 1-27. La mobilité effective des porteurs dans le canal est calculée à partir de l'Eq.1-28.

Pour un V_T de l'ordre de -300mV et un $V_{DD}=-1.2\text{V}$, nous avons arbitrairement choisi de calculer la mobilité effective à $V_G=-850\text{mV}$ et $V_D=-100\text{mV}$. La dérive de la mobilité effective μ_{EFF} est tracée pour plusieurs $V_{Gstress}$ sur la figure suivante.

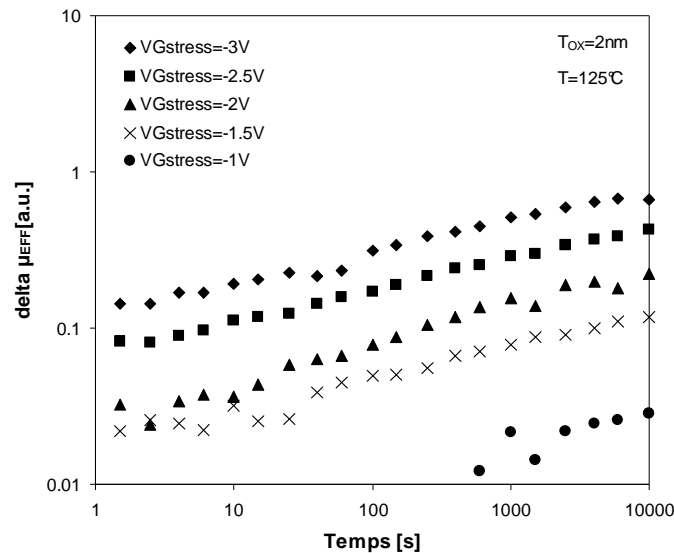


Figure 2–11 : Variation de la mobilité effective sous différentes contraintes NBT à 125°C

La dégradation de la mobilité effective suit une loi en puissance de pente 0.25 ($\sim t^{0.25}$).

Nous avons vu précédemment que la réduction de mobilité pouvait avoir plusieurs origines dépendant du V_G appliqué sur la grille. Nous avons calculé les mobilités effectives pour différents V_G , leurs dégradations respectives sont reportées sur la Figure 2–12. Les dégradations sont mesurées à $V_G=0\text{V}$, $V_G=-0.85\text{V}$ et $V_G=-1.2\text{V}$ après 10^4s de contrainte.

On remarque que la dégradation relative de la mobilité est plus faible à plus fort V_G .

- À bas champ électrique, la réduction de la mobilité est due à la réduction de μ_0 (phonons, centres coulombiens).
- À fort champ électrique, la réduction de la mobilité effective est due à la diminution de μ_0 mais aussi de θ à travers le terme de rugosité de surface $1+\theta(V_G-V_T)$. L'augmentation du V_T et la diminution de θ pondèrent la réduction de mobilité par champ. La dégradation de μ_{EFF} à fort champ électrique est ainsi moins importante.

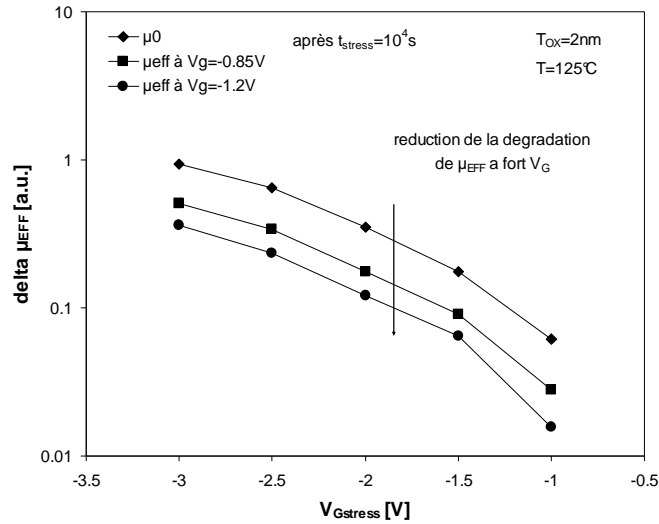


Figure 2–12 : La dégradation de la mobilité effective en fonction du $V_{Gstress}$ et du potentiel V_G pour lequel la mobilité est mesurée

On peut dès à présent noter la corrélation qui existe entre la variation de μ_0 et celle de θ sur la Figure 2–13. Compte tenu de l'équation Eq.1-22, le graphe suivant montre que pendant une contrainte NBT, la dégradation de θ est fortement corrélée à celle de μ_0 . Les deux paramètres que sont la résistance d'accès R_{SD} et θ_0 (les collisions avec les phonons) ne semblent pas altérés, ou très faiblement.

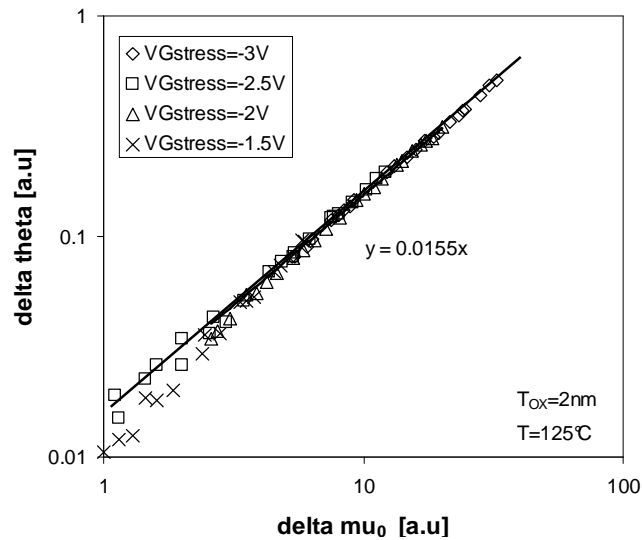


Figure 2–13 : Dégradation du paramètre θ en fonction de celle du paramètre μ_0

Ainsi, en négligeant la dégradation de R_{SD} et de θ_0 , nous obtenons

$$\Delta\theta = \frac{W}{L} C_{OX} R_{SD} \Delta\mu_0 \quad \text{Eq. 2-11}$$

Les structures utilisées ici ont des dimensions $W/L=10\mu\text{m}/10\mu\text{m}$ et une épaisseur d'oxyde de 2nm. La valeur de la pente donne une résistance d'accès $R_{SD}= 92\Omega$ ce qui est de l'ordre de grandeur de ce que nous mesurons expérimentalement.

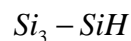
2.4 Les modèles de Réaction - Diffusion

Le modèle de Réaction – Diffusion (R-D) est accepté comme un des modèles décrivant le mieux le mécanisme de génération de défauts à l'interface SiO_2/Si [31]-[34].

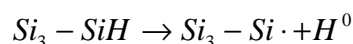
Nous développerons 4 parties : nous commencerons par une description macroscopique du phénomène, puis nous élaborerons le modèle analytique du mécanisme. Nous présenterons ensuite les dernières améliorations apportées dans les paramètres du modèle R-D et enfin nous terminerons par les limites du modèle R-D.

2.4.1 Description

Le mécanisme « diffusion de l'hydrogène » a été proposé en premier par Jeppson *et al.* [31] pour interpréter la dégradation sous contrainte NBT. L'hypothèse de départ est la présence d'un grand nombre de liaisons Si-H sur un dispositif vierge.

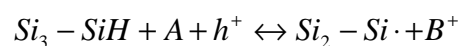


Lors de l'application d'une contrainte en tension (champ électrique), des défauts sont activés par une réaction électrochimique. La dissociation de la liaison Si-H donne la liaison pendante $\text{Si}\cdot$ et l'atome d'hydrogène H^0 neutre. La raison et les conditions de dissociation étaient alors inconnues.



Cette étape est la partie « réaction » du mécanisme. Elle est limitée par la réaction de dissociation de la liaison Si-H

Blat *et al.* [32] ont montré que les deux éléments nécessaires à la dégradation NBTI sont les trous du canal d'inversion (h^+) et les espèces hydrogénées (A). Les trous du canal d'inversion et les espèces hydrogénées réagissent tous les deux avec la liaison Si-H pour produire un ion H^+ ou une entité hydrogénée chargée positivement (H_3O^+ par exemple) et une liaison pendante $\text{SiO}_2 - \text{Si}\cdot$ selon la réaction :



Il y a une dizaine d'années, Ogawa [33] proposa que la diffusion de l'hydrogène soit le facteur limitant de la réaction. La dynamique de la dérive de la tension de seuil suit alors la loi

de puissance en temps traditionnellement observée avec un exposant égal à 0.25. Concrètement, une liaison Si-H électriquement activée du substrat rompt et donne naissance à un piège d'interface et une entité hydrogénée. Cette dernière diffuse à travers l'oxyde.

Si l'ensemble de la communauté scientifique est convaincu de l'implication de la liaison Si-H dans la dégradation à l'interface, les espèces hydrogénées mises en jeu sont loin d'un consensus général. Les espèces proposées sont $-OH$, H [87], H_2 [88], H^+ [89] et H_2O [52], [50]. La Figure 2-14 représente les étapes de la réaction dans le cas du H_2O [52] :

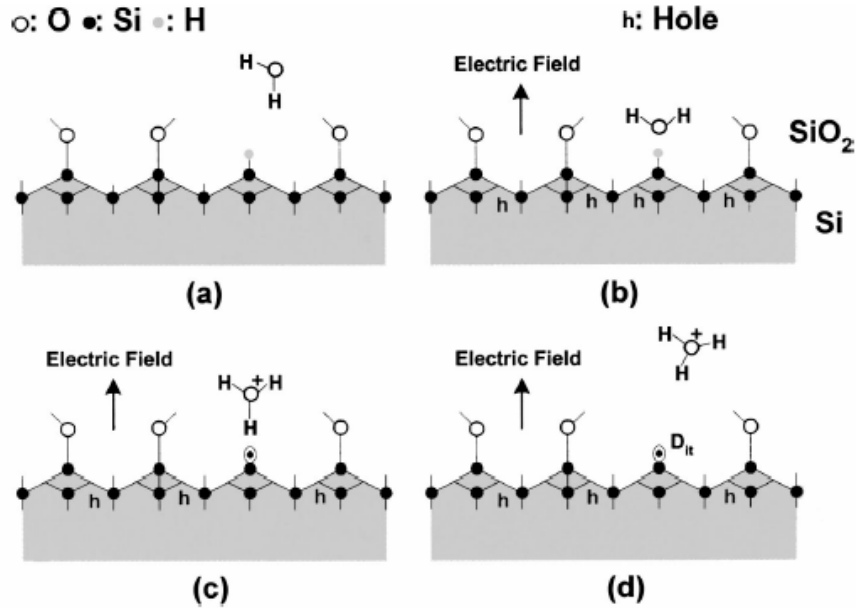


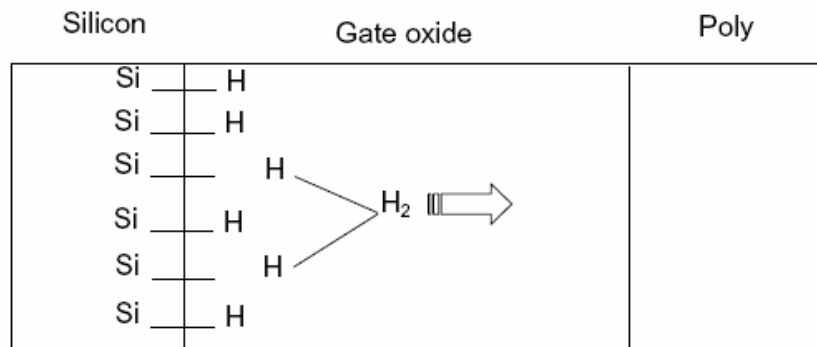
Figure 2-14 : Dépassivation de la liaison Si-H pendant une contrainte NBT : (a) initialement, le dispositif est vierge avec une liaison Si-H non dépassivée et une molécule H_2O proche de l'interface. (b) Application de la contrainte : la molécule d'eau s'oriente et les trous sont attirés à l'interface SiO_2/Si . (c) La molécule H_2O capture un trou h et l'atome d'hydrogène de la liaison Si-H pour générer une molécule H_3O^+ , (d) la molécule H_3O^+ diffuse par champ électrique dans l'oxyde et s'éloigne du centre P_b [50]

2.4.2 Formulation

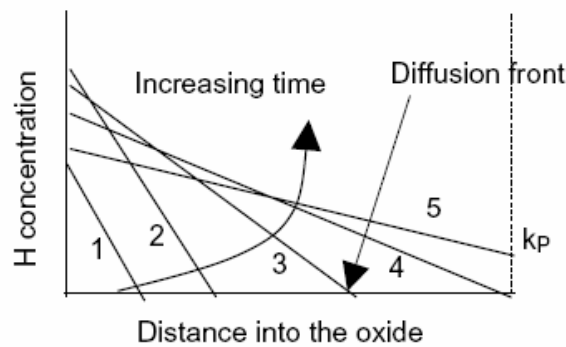
Même si Jeppson *et al.* [31] ont bien été les premiers à avoir soumis l'idée de la libération de l'atome d'hydrogène à l'interface pour interpréter le NBTI, ceux sont Ogawa et Shiono [33] qui ont établi le premier modèle analytique du modèle R-D. Alam et Mahapatra [34] l'ont amélioré et surtout rendu plus convivial dans la formulation. Nous développerons donc ici le modèle le plus abouti du modèle R-D qu'est celui d'Alam.

Les hypothèses sont que :

- La dissociation de la liaison du Si-H est mono énergétique
- La réaction de dissociation se fait dès qu'un potentiel électrique est appliqué sur la grille
- L'espèce hydrogénée qui diffuse est neutre



(a)



(b)

Figure 2-15 (a) Description du modèle de réaction - diffusion pour interpréter la génération d'états d'interface pendant une contrainte NBT. (b) Profil de la concentration d'hydrogène dans l'oxyde pendant une contrainte NBT. Elle est tout d'abord limitée par la réaction ((1) et (2)) puis par la diffusion ((3) et (4)). Une fois que l'hydrogène atteint l'interface SiO₂/grille (5), la molécule H₂ diffuse plus rapidement dans le polysilicium de la grille. Ceci assure le fait que la concentration de H₂ à l'interface SiO₂/grille soit presque constante. [34]

Le mécanisme qui met en cause les défauts d'interface et les espèces diffusantes, est expliqué à travers les quatre relations suivantes :

$$\frac{dN_{IT}}{dt} = k_F(N_0 - N_{IT}) - k_R N_H N_{IT} \quad (x=0) \quad \text{Eq. 2-12}$$

$$\frac{dN_{IT}}{dt} = D_H \frac{dN_H}{dx} + \frac{\delta}{2} \frac{dN_H}{dt} \quad (0 < x < \delta) \quad \text{Eq. 2-13}$$

$$D_H \frac{d^2 N_H}{dx^2} = \frac{dN_H}{dt} \quad (\delta < x < T_{\text{Phy}}) \quad \text{Eq. 2-14}$$

$$D_H \frac{dN_H}{dx} = k_P N_H \quad (T_{\text{Phy}} < x) \quad \text{Eq. 2-15}$$

Avec x la distance à l'interface SiO₂/Si.

N_{IT} est le nombre d'états d'interface à un instant donné

N_0 le nombre initial de liaisons Si-H potentiellement dissociables.

N_H la concentration d'hydrogène

k_F le facteur de dissociation (dépendant du champ électrique dans l'oxyde)

k_R est le taux de recombinaison des atomes $Si \cdot$ et H

D_H le coefficient de diffusion de l'hydrogène

δ est l'épaisseur de l'interface

T_{Phys} l'épaisseur physique de l'oxyde

k_P la vélocité de recombinaison surfacique à l'interface SiO₂/Si

Les phénomènes de dissociation/recombinaison des atomes $Si \cdot$ et H dans les premiers Angströms (δ) sont modélisés à travers les coefficients k_F et k_R . L'évolution du mécanisme peut être décomposée en 5 étapes :

1^{ère} étape :

Au départ, les valeurs N_{IT} et N_H sont faibles et la réaction est limitée exclusivement par la réaction de dissociation :

$$N_{IT} = k_F N_0 t \quad \text{Eq. 2-16}$$

(Loi en puissance de pente 1)

2^{ème} étape :

Pendant la seconde phase, les réactions de dissociation et de recombinaison dans l'équation Eq. 2-12 sont approximativement égales :

$$k_F N_0 \approx k_R N_H(x=0) N_{IT} \quad \text{Eq. 2-17}$$

De plus la quantité d'hydrogène N_H est encore à l'interface et donc $N_H(x=0) = N_{IT}$. Ainsi, la solution est :

$$N_{IT} \approx \left(\frac{k_F N_0}{k_R} \right)^{\frac{1}{2}} t^0 \quad \text{Eq. 2-18}$$

(Loi en puissance de pente 0). Généralement, cette phase est trop rapide et n'est pas observée sur les dernières générations de transistor.

3^{ème} étape :

La troisième phase est celle observée après les premières secondes lors des contraintes NBT. Les équations Eq. 2-12 et Eq. 2-13 se superposent et contrôlent le mécanisme de génération de défauts.

L'équation Eq. 2-14 correspond à la diffusion des atomes d'hydrogène et conduit à :

$$x = (D_H t)^{\frac{1}{2}} \quad \text{Eq. 2-19}$$

L'équation Eq. 2-13 est telle que

$$\frac{dN_{IT}}{dt} \approx D_H \left(\frac{dN_H}{dx} \right) \approx \frac{D_H N_H(x=0)}{(D_H t)^{\frac{1}{2}}} \quad \text{Eq. 2-20}$$

La solution est donc approximativement

$$N_H(x=0) \approx \left(\frac{t}{D_H} \right)^{\frac{1}{2}} \frac{dN_{IT}}{dt} \quad \text{Eq. 2-21}$$

En substituant N_H dans l'équation Eq.2-12 et en prenant comme hypothèse que la génération est suffisamment lente pour être négligeable par rapport au côté droit de l'équation ($\frac{dN_{IT}}{dt} \approx 0$), nous trouvons

$$N_{IT} \approx \left(\frac{k_F N_0}{k_R} \right)^{\frac{1}{2}} (D_H t)^{\frac{1}{4}} \quad \text{Eq. 2-22}$$

4^{ème} étape :

Pour la quatrième phase, l'hydrogène atteint l'interface opposée, le flux arrivant est avec l'équation Eq. 2-13:

$$D_H \left[\frac{N_H(x=0) - N_H(x=T_{phy})}{T_{phys}} \right] = k_P N_H(x=T_{phys}) \quad \text{Eq. 2-23}$$

et donc

$$N_H(x=0) = \left(\frac{1}{k_P} + \frac{T_{phy}}{D_H} \right) \frac{dN_{IT}}{dt} \quad \text{Eq. 2-24}$$

En substituant dans l'équation 1, et en prenant comme hypothèse que la génération de pièges est négligeable ($\frac{dN_{IT}}{dt} \approx 0$), la solution donne

$$N_{IT} = A \left(\frac{k_F N_0}{k_R} \right)^{\frac{1}{2}} (D_H t)^{\frac{1}{2}} \quad \text{Eq. 2-25}$$

avec

$$A = \left(2 \left(\frac{D_H}{k_P} + T_{phy} \right) \right)^{\frac{1}{2}} \quad \text{Eq. 2-26}$$

5^{ème} étape :

Enfin, lorsque les liaisons Si-H sont toutes dissociées : nous avons $N_{IT} \approx N_0 = Cste$. Cette condition est rarement observée car la fin de la réaction arrive souvent après d'autres mécanismes comme le claquage de l'oxyde.

Les cinq étapes sont représentées sur la figure suivante avec le changement de pente pour chaque mode :

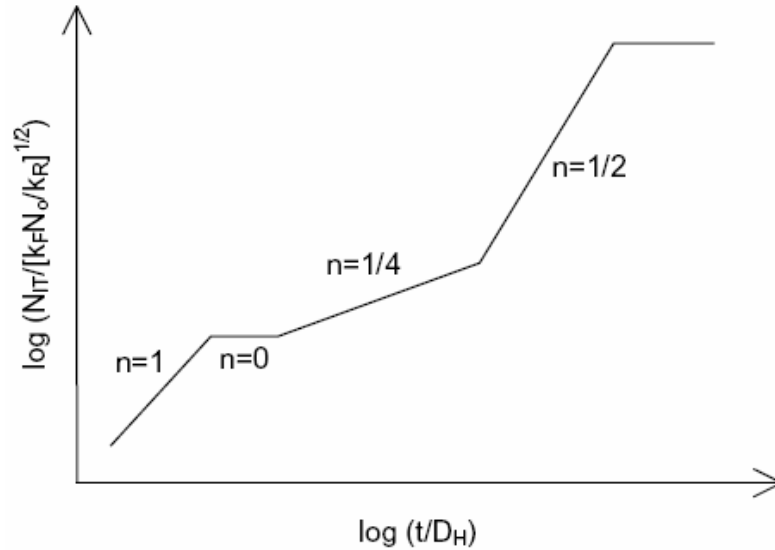


Figure 2-16 : Représentation des 5 étapes modélisées pour le modèle R-D [34]

2.4.3 Extension du modèle R-D

L'extension du modèle R-D proposé par Alam et Mahapatra [34] permet de modéliser les phénomènes observés sur la dégradation et de les interpréter à travers les paramètres du modèle R-D. Ils modélisent l'effet du champ électrique dans l'oxyde et de la température au travers du coefficient de dissociation des liaisons Si-H k_F :

$$k_F = B\sigma_0 p T_{coeff} \quad \text{Eq. 2-27}$$

Le coefficient k_F est proportionnel à la quantité de trous p présents dans le canal, à leur capacité à traverser l'oxyde par effet tunnel T_{coeff} , au coefficient de capture σ_0 ainsi que d'une fonction B , non déterminée, correspondant à la dépendance en champ électrique de l'oxyde.

2.4.4 Limites du modèle R-D

Nous proposons de confronter le modèle R-D à ses propres hypothèses afin de tester la précision du modèle ainsi que sa capacité à prévoir les phénomènes NBTI à l'interface SiO₂/Si. L'hypothèse la plus forte, et peut être l'une des plus facile à vérifier, est celle portant sur le coefficient de dissociation de la liaison Si-H. Le fait de fixer un coefficient k_F constant pendant la contrainte impose une énergie d'activation constante de la réaction.

De façon générale, on peut représenter un profil énergétique de réaction comme illustré sur la Figure 2-17. En définissant un état initial (réactifs) et un état final (produits), la réaction peut se faire dans le sens 1 avec une énergie d'activation E_{a1} égale à la différence entre l'énergie initiale du système et l'énergie de l'état de transition, et dans le sens 2 avec une énergie d'activation E_{a2} égale à la différence entre l'énergie finale du système et l'énergie de l'état de transition. Le passage d'un état à un autre est réversible, et le sens ayant l'énergie d'activation la plus petite est la réaction la plus favorable. La transition peut se faire également en plusieurs étapes avec un passage dans un état intermédiaire. Après un certain temps non défini, un équilibre thermodynamique sera atteint et la réaction dans le sens1 compensera celle qui est dans le sens 2.

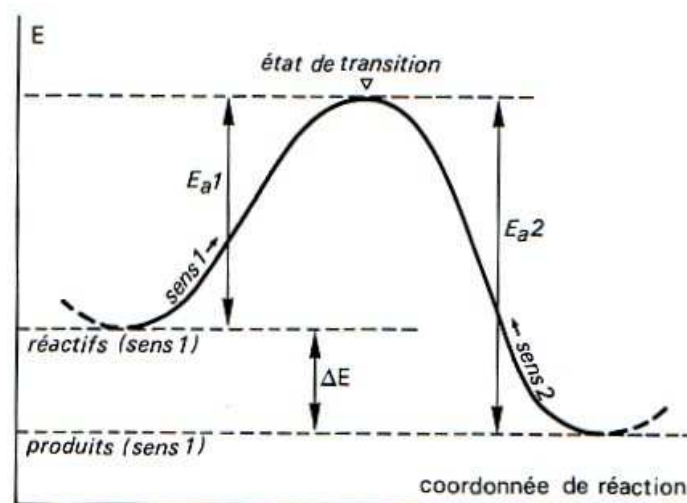


Figure 2-17 : Exemple de profil énergétique de réactions [90]

Dans notre cas, le système est composé de deux états possibles : la liaison Si-H et la liaison ($Si_3 - Si \cdot + H$) dissociée. Aucune hypothèse n'est faite sur l'état le plus stable. Comme il a déjà été invoqué dans la description du modèle, la première étape du mécanisme est limitée par la réaction de dissociation (Eq. 2-18). Il en résulte une dynamique linéaire dans le temps de pente $k_F N_0$. Une expérience permettant de vérifier cette hypothèse consiste à faire une

succession de contraintes sur le même dispositif (Figure 2–18). Nous utiliserons la méthode CP 2 niveaux pour caractériser la génération ΔN_{IT} .

- La première contrainte est appliquée ($V_G=-2.5V$ à $T=125^\circ C$) sur un dispositif vierge. Une dynamique linéaire est bien mesurée les premières secondes.
- Une deuxième contrainte ($V_G=-2.5V$ à $T=125^\circ C$) est appliquée sur le même dispositif, le nombre N_0 de la liaison Si-H a diminué puisqu'un certain nombre a déjà été dissocié par la contrainte précédente. La pente extraite est donc moins forte.
- Pour les contraintes suivantes ($V_G=-2.5V$ à $T=125^\circ C$), plus le temps des contraintes précédentes est long, plus le nombre de N_0 (et donc la pente) est faible.

Rappelons qu'une seule énergie est considérée pour le coefficient de dissociation (k_F constant) et que donc le taux de génération de défauts doit être proportionnel à N_0 . Nos valeurs expérimentales mesurées sont tracées sur la Figure 2–18 et montrent effectivement une décroissance de la pente (taux de génération de défaut) lorsque les temps des contraintes précédentes augmentent.

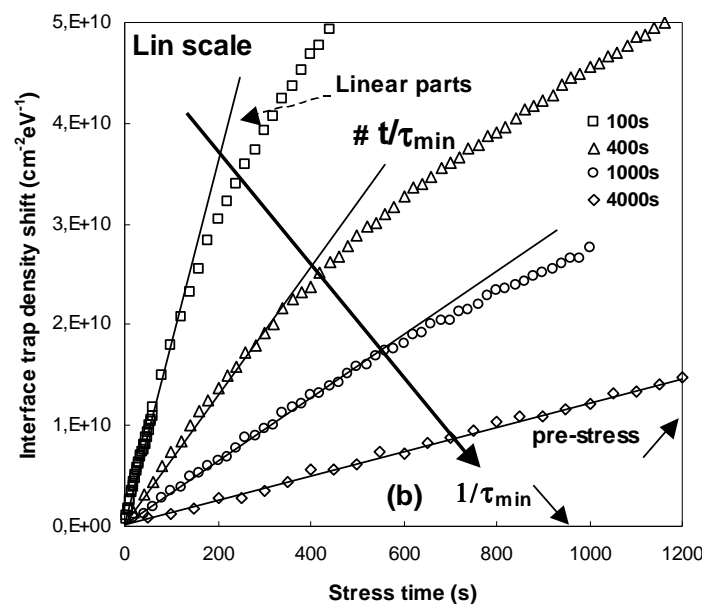


Figure 2–18 : Extrapolation des taux de génération de défauts dans les premiers instants de la génération de défauts à l'interface SiO₂/Si [91]

Nous avons recalculé la nouvelle valeur de N_0 (nombre de liaisons Si-H) pour chaque contrainte en soustrayant le nombre de liaisons dissociées lors des contraintes précédentes. La densité de liaisons Si-H à l'interface SiO₂/Si sur un dispositif vierge est généralement estimée de $7-8 \cdot 10^{11} \text{ eV}^{-1} \text{ cm}^{-2}$ à quelque $10^{12} \text{ eV}^{-1} \text{ cm}^{-2}$ [91]. Elle dépend principalement des phases de passivation pendant la fabrication du transistor (notamment la dernière passivation : final anneal). Si l'énergie d'activation est constante alors k_F ne doit pas dépendre de N_0 . Le facteur

de dissociation k_F est tracé sur la Figure 2–19 en fonction du nombre N_0 pour 2 températures $T=125^\circ\text{C}$ et 200°C à $V_{\text{Gstress}}=-2.5\text{V}$.

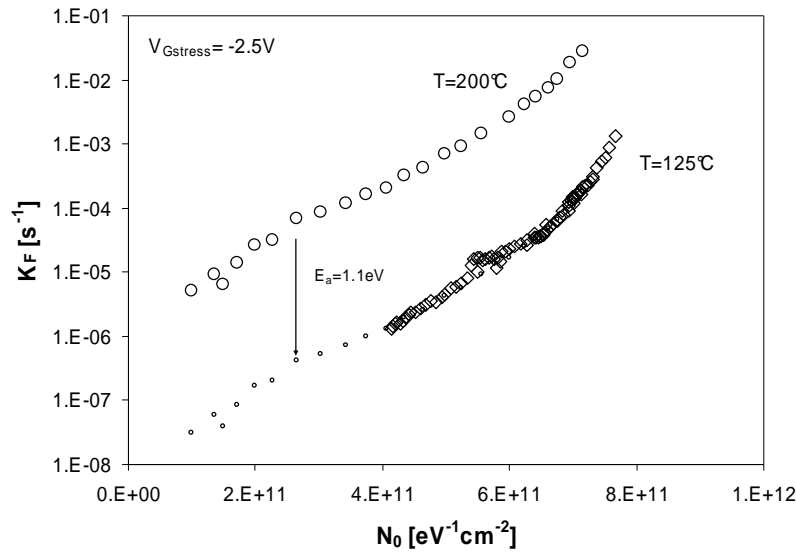


Figure 2–19 : Dépendance du facteur de dissociation k_F en fonction du nombre N_0 du nombre de liaisons Si-H disponibles sur un oxyde de 2nm d'épaisseur [92]

Nous observons une très forte dépendance du facteur k_F en fonction du nombre N_0 , ce qui suggère que, si la première étape du mécanisme est bel et bien limitée par la réaction de dissociation, alors il existe une distribution d'énergies d'activation de la réaction de dissociation de la liaison Si-H. Les valeurs de k_F sont globalement plus élevées à 200°C que celles qui sont mesurées à 125°C . Cela correspond à l'énergie d'activation de la dissociation de la liaison Si-H. L'énergie d'activation est évaluée ici à 1.1eV pour un potentiel de grille $V_G=-2.5\text{V}$. Une translation de l'ensemble des points expérimentaux obtenus à 200°C permet de les superposer avec ceux obtenus à 125°C .

Une distribution de l'énergie d'activation de la liaison Si-H à l'interface SiO_2/Si est très facilement envisageable compte tenu du changement brutal de l'arrangement cristallographique à l'interface. Une discussion précédente (Figure 2–3) a déjà justifié la distribution des angles des liaisons Si-O-Si et par conséquent, la liaison Si-H doit être différemment orientée en fonction de l'arrangement cristallographique des Si-O-Si premiers voisins. Les contraintes mécaniques localisées autour de la liaison Si-H doivent également fluctuer en fonction de cet arrangement atomique. Ainsi, de nombreuses raisons peuvent être à la source de cette distribution de l'énergie de dissociation.

La représentation avec k_F en ordonnée et N_0 en abscisse correspond à une distribution cumulée des énergies d'activation sur l'ensemble des liaisons Si-H. Des études ont déjà

reporté une distribution d'énergie d'activation dans la littérature et ont proposé une distribution énergétique dérivée d'une distribution de Fermi [77] [88], [93] en posant :

$$g(E_a, \sigma) = \frac{1}{\sigma} \frac{e^{\frac{E_{am} - E_a}{\sigma}}}{(1 + e^{\frac{E_{am} - E_a}{\sigma}})^2} \quad \text{Eq. 2-28}$$

E_{am} représente la valeur médiane de l'énergie d'activation
 σ la dispersion de la distribution (évaluée à 0.1eV)

Nous avons reporté nos valeurs expérimentales sur ce type de distribution sur la Figure 2–20. Pour deux champs électriques différents ($V_G = -2.5V$ pour E_{OX1} , et $V_G = -2V$ pour E_{OX2}), la distribution correspond aux résultats obtenus et cette formulation montre un bon accord à notre distribution des énergies d'activation de la liaison Si-H.

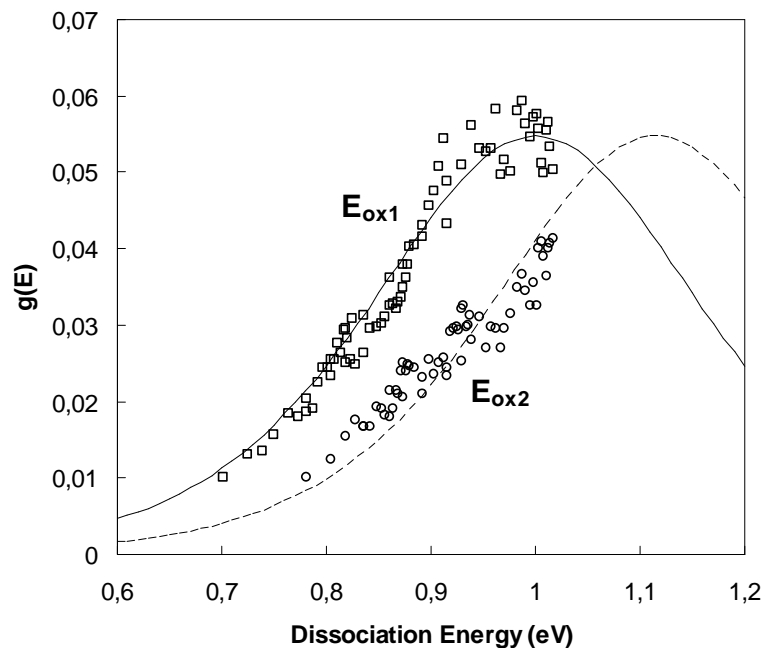


Figure 2–20 : Superpositions des point expérimentaux sur une distribution dérivée d'une distribution type Fermi sur un oxyde de 2nm d'épaisseur [94]

2.5 Proposition d'un nouveau modèle de génération de défaut à

l'interface SiO₂/Si

Ces derniers résultats montrent qu'il est indispensable de prendre en compte la distribution en énergie d'activation pour bâtir un modèle de dissociation de la liaison Si-H cohérent. Excepté l'étude en champ électrique (Figure 2-23), toute l'étude suivante est faite sur des transistors PMOS de 2nm d'épaisseur d'oxyde.

La dissociation de liaison Si-H peut être décrite au premier ordre par la réaction suivante :

$$R(t, \tau) = (1 - e^{-\frac{t}{\tau}}) \quad \text{Eq. 2-29}$$

Avec τ le temps caractéristique de la réaction de dissociation. Il est directement relié à l'énergie d'activation de la liaison considérée et donc à k_F .

Hess [95] et Haggag *et al.* [96] ont proposé pour les dégradations dans le transistor une relation directe entre la génération des états d'interface et la distribution en énergie donnée par

$$\frac{\Delta Nit}{N_0}(t) = \int_0^{\infty} g(E_a, \sigma) R(t, \tau(E_a)) dE_a \propto \frac{1}{1 + (\frac{t}{\tau})^{-\alpha}} \quad \text{Eq. 2-30}$$

Avec $\tau = \tau_0 \exp\left(\frac{E_a}{kT}\right)$ et $\alpha = \frac{kT}{\sigma}$ pour $\tau_{\min} < t < \tau$, τ_{\min} étant le temps caractéristique de la réaction de dissociation la plus rapide (la liaison la plus « faible »).

En utilisant la relation Eq. 2-32, nous avons illustré l'ensemble des fonctions $g(E_a)$ associées aux constantes de temps $\tau(E_a)$. La somme (intégration sur les énergies) de ces fonctions est tracée en trait plein ci-dessous :

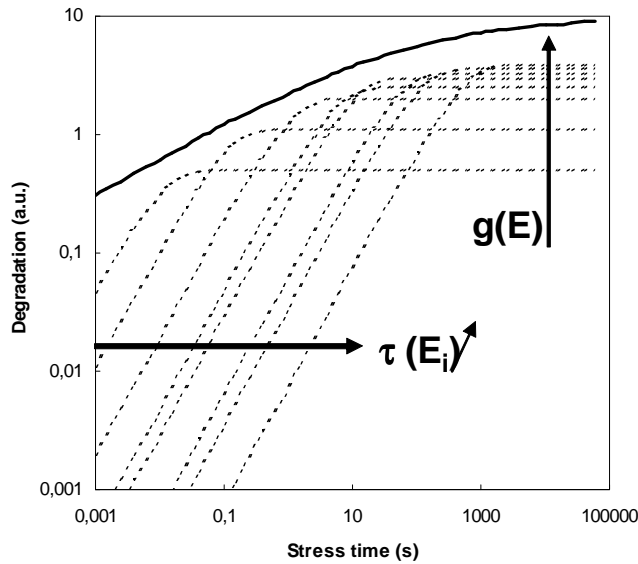


Figure 2–21 : Intégration des énergies d’activation dans le temps. La somme de toutes les contributions donne la forme à la fonction de dégradation (trait plein)

La fonction en trait plein correspond à la somme de toutes les composantes $g(E_a)$ à chaque instant. La fonction peut être décomposée en 3 phases (Figure 2–22 sur une échelle de temps arbitraire) :

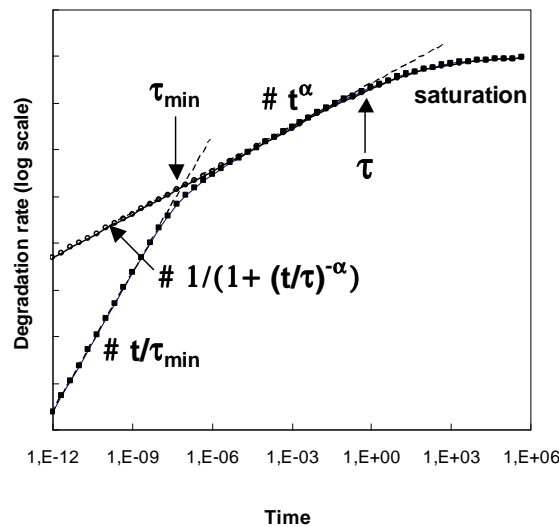


Figure 2–22 : Représentation du modèle dans les différentes phases [91]

- Pour des temps très courts inférieurs au τ_{\min} , la dégradation est limitée par la réaction de dissociation et suit une dépendance linéaire avec le temps. La pente est directement reliée au taux de génération de la réaction

$$\frac{\Delta N_{it}}{N_0}(t) \approx \frac{t}{\tau_{\min}} \quad \text{Eq. 2-31}$$

- Pour des temps plus longs, les énergies d'activation de la dissociation des liaisons Si-H sont de plus en plus élevées. Il en résulte une loi de puissance α .

$$\frac{\Delta N_{IT}}{N_0}(t) \approx t^\alpha \quad \text{Eq. 2-32}$$

- Enfin, pour des temps très longs, l'effet de saturation est expliqué par le fait qu'une très grosse partie des liaisons Si-H a déjà été dissociée, et qu'il ne reste plus que quelques liaisons Si-H ayant des énergies d'activation élevées.

Pour connaître la dépendance de E_a en champ électrique, nous avons étudié des échantillons d'épaisseur d'oxyde compris entre 9nm et 10.5nm. Nous avons tracé la génération d'états d'interface (ΔN_{IT}) après 10^2 s, 10^3 s et 10^4 s sur la Figure 2–23. Une large gamme de potentiel de grille a été appliquée et les résultats obtenus après 10^2 , 10^3 et 10^4 secondes y ont été reportés.

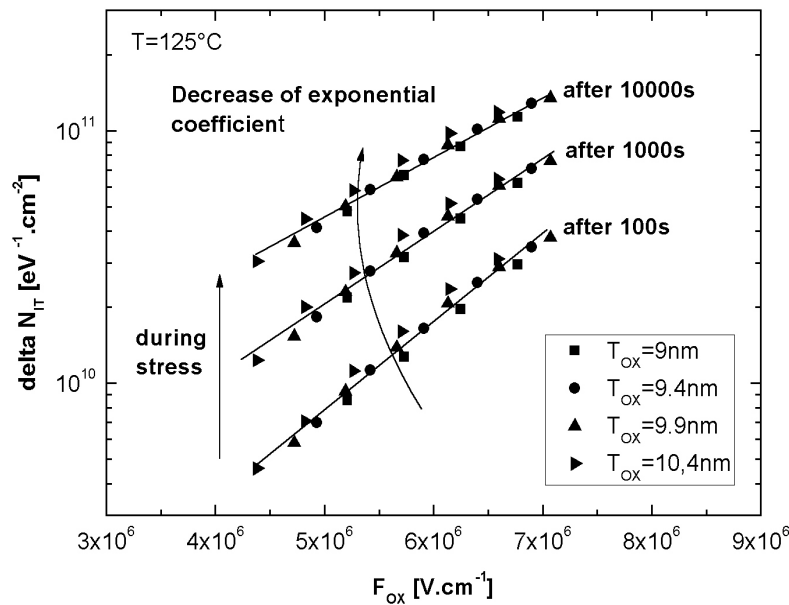


Figure 2–23 : Génération de N_{IT} pour différentes épaisseurs d'oxyde T_{OX} : Pour un même champ électrique, la génération de défauts à l'interface SiO_2/Si est équivalente sur les 4 oxydes [49]

Il apparaît clairement que la génération des états d'interface dépend du champ électrique à travers l'oxyde plutôt que du potentiel de grille. Pour un champ électrique et un temps de contrainte donné, ΔN_{IT} est identique pour toutes les épaisseurs d'oxyde. L'expression de τ peut s'exprimer sous la forme

$$\tau = \tau_0 \exp\left(\frac{E_a(F_{OX})}{kT}\right) \quad \text{Eq. 2-33}$$

La température représente un facteur d'accélération de la dégradation NBT prépondérant. L'effet de la température sur l'accélération du mécanisme est représenté sur la Figure 2–24 (a) - (b). Nous montrons sur la figure (a) que les valeurs expérimentales peuvent être expliquées par le modèle de génération proposé. Le paramètre σ correspondant à la dispersion des énergies, estimé par la dépendance en température du paramètre α (exposant de la loi en puissance) sur la figure (b), est approximativement égal à 0.1eV. Ce point est en accord avec les valeurs de distribution déjà mesurées [88], [93].

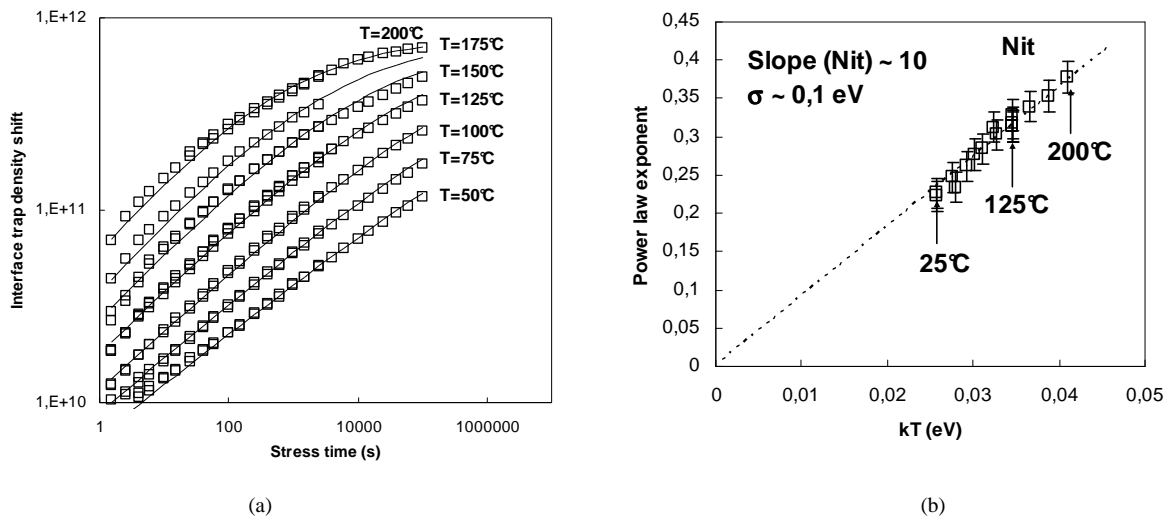


Figure 2–24 : Effet de la température sur la génération de défauts et détermination de la largeur de la distribution [91]

À $T=200^\circ\text{C}$, la génération de défauts a suffisamment été accélérée pour estimer la valeur maximale du nombre de liaisons Si-H (N_0) dans des temps raisonnables (inférieure à 24h). La saturation apparaît et N_0 est estimé de l'ordre $8-9 \cdot 10^{11} \text{eV}^{-1} \text{cm}^{-2}$.

Pour un champ électrique donné ($V_G=-2.5\text{V}$), il est possible d'extraire la valeur de τ_0 en extrapolant la dépendance en température de τ dans l'équation Eq.2-33. L'oxyde est ici un oxyde nitruré RTN (cf. chapitre 5) de 2.1nm d'épaisseur. Plusieurs expériences menées entre $T=25^\circ\text{C}$ et 200°C permettent l'interpolation suivante.

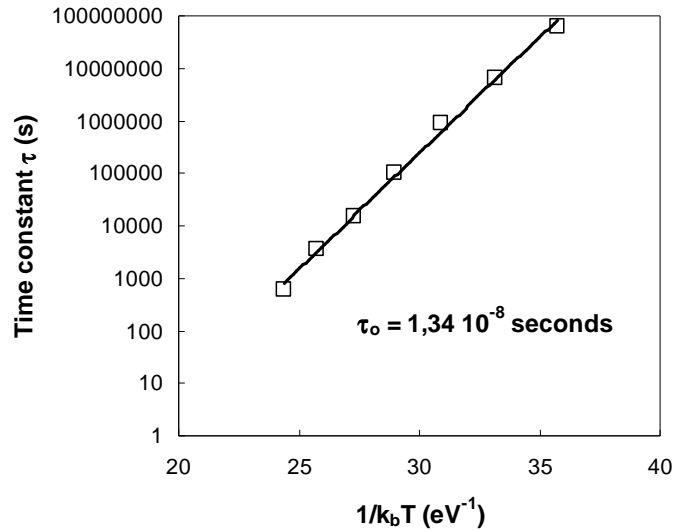


Figure 2–25 : Extrapolation du temps caractéristique de dissociation en absence de champ électrique [91]

La constante de temps τ_0 extraite est de l'ordre 10-15ns. Cette valeur est identique pour toutes les contraintes NBT menées à différents champs électriques F_{OX} . La détermination de la valeur moyenne de dissociation E_{a0} est obtenue en traçant les valeurs de E_a extrait pour plusieurs champs électriques F_{OX} . L'intersection à l'ordonnée correspond à la valeur de E_{a0} en absence de champ électrique. Nous trouvons $E_a=1.5\text{eV}$. Cette valeur donne l'ordre de grandeur théorique proposé par Pantelides *et al.* (1.5-1.8eV) [97] lorsque l'hydrogène diffuse du substrat vers l'oxyde.

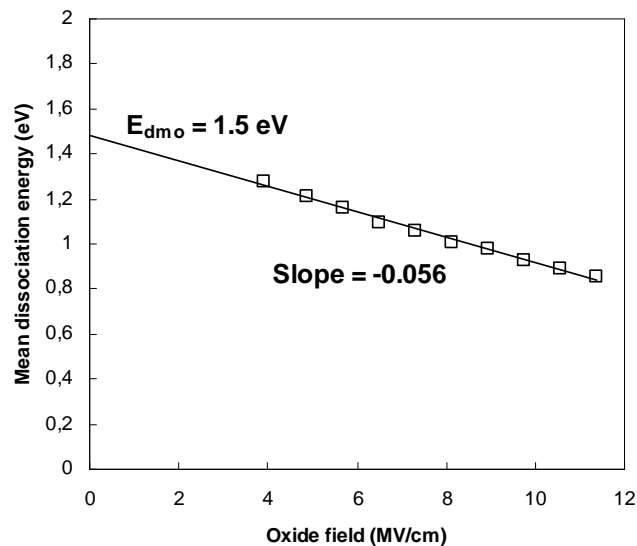


Figure 2–26 : Energie de dissociation en fonction du champ électrique appliqué [91]

Finalement, nous obtenons comme expression analytique de la génération d'états d'interface (les valeurs expérimentales correspondent à un oxyde nitruré de 2.1nm d'épaisseur):

$$dN_{IT}(t[s], T[K], F_{OX}[MV/cm]) = \frac{N_{IT\max}}{1 + \left(\frac{t}{\tau_0 \exp\left(\frac{E_{a0} + \gamma F_{OX}}{kT}\right)} \right)^{\frac{kT}{\sigma}}} = \frac{8.10^{11} \text{ cm}^{-2}}{1 + \left(\frac{t}{15.10^{-9} \exp\left(\frac{1.5 + 0.056 F_{OX}}{kT}\right)} \right)^{\frac{kT}{0.1eV}}}$$

Eq. 2-34

Comme nous allons le montrer, l'extraction de l'activation en température d'une réaction nécessite quelques précautions. L'énergie d'activation est définie par l'accélération en température de la dégradation. Compte tenu du modèle analytique, les dépendances temporelles, en champ électrique et en température sont couplées, et il serait erroné de calculer l'accélération de la dégradation pour un temps donné. Mesurer l'activation en température à un temps donné correspond à mesurer une énergie d'activation apparente. Pour mettre en évidence cet effet, nous avons déterminé l'énergie d'activation apparente pour plusieurs gamme de température en fonction du temps de contrainte et comparer à notre modèle analytique à l'aide des paramètres physiques précédemment obtenus. Les valeurs expérimentales des énergies d'activation apparentes et celles qui sont calculées par le modèle sont reportées sur la Figure 2–27.

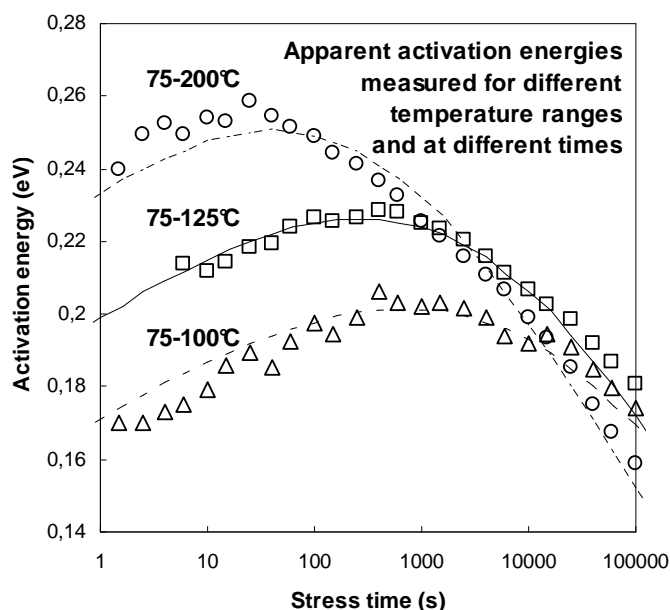


Figure 2–27 : Energies d'activation apparentes mesurées et calculées de la dissociation de la liaison Si-H

La comparaison du modèle proposé aux valeurs expérimentales montre un très bon accord sur un large intervalle de température (75°C-200°C) et du temps de contrainte (10^5 s). Le plus remarquable est la prévision du comportement en température dans le temps. L'accélération en température de la dissociation Si-H suit une loi d'Arrhenius, mais l'énergie d'activation apparente pour un temps donné dépend très fortement de la gamme de température considérée et du temps.

2.6 Conclusions

Ce chapitre s'est attaché à présenter la génération de défauts à l'interface SiO₂/Si. Après une introduction générale sur l'interface SiO₂/Si et des techniques de caractérisation, ce chapitre a montré l'effet des défauts générés à l'interface pendant une contrainte NBT sur les paramètres électriques du transistor. La construction du modèle « Reaction-Diffusion » (R-D) s'est échelonnée sur une trentaine d'années. Nous avons rappelé rapidement son l'historique puis nous avons présenté le modèle proposé par Alam et Mahapatra qui correspond au modèle le plus abouti. Des travaux précédents montrent qu'il existe une distribution des énergies d'activation de la dissociation des liaisons Si-H. Nos expériences ont également mis en évidence cette distribution énergétique pendant une contrainte NBT, ce qui remet en cause les hypothèses utilisées par le modèle R-D.

Dans ce contexte, nous avons proposé un nouveau modèle de génération de défauts, bâti à partir nos observations expérimentales. Ce modèle, basé sur des grandeurs physiques, montre une grande précision incluant les effets de température, du champ électrique dans l'oxyde, ainsi que de la dépendance en temps.

Très récemment, l'équipe du Centre en Microélectronique Interuniversitaire de Louvain (IMEC pour Interuniversity Microelectronics Center) a développé un modèle basé une diffusion « dispersée » de l'atome d'hydrogène dans l'oxyde pouvant interpréter le comportement dynamique, en champ électrique et en température [98]-[99].

Chapitre 3. Génération de charges fixes et piégeage de trous

3.1 Introduction

Nous consacrerons ce troisième chapitre à la génération de charges fixes et au piégeage de trous pendant une contrainte NBT. Au même titre que la génération d'états d'interface, la génération de charges fixes et les phénomènes de piégeage de charge dans l'oxyde entraînent une dégradation de la tension de seuil.

La première partie mettra en évidence des différences flagrantes entre la dégradation du V_T et celle escomptée par la génération d'états d'interface seule. Nous identifierons une dégradation supplémentaire que nous attribuerons à la génération de charges fixes et au piégeage de trous.

La seconde partie présentera les modèles de génération de charges fixes dans l'oxyde proche de l'interface SiO_2/Si . Une étude expérimentale viendra confirmer les relations entre la génération de défauts à l'interface SiO_2/Si et la génération de charges fixes proposée par Ushio.

Ensuite, nous présenterons dans la dernière partie, le piégeage de trous dans l'oxyde pendant une contrainte NBT. Après une présentation des différents défauts susceptibles d'intervenir dans le mécanisme de piégeage, une étude expérimentale permettra d'identifier clairement le mécanisme de piégeage de trous notamment à travers les phases de relaxation.

3.2 Mise en évidence d'une dégradation supplémentaire au N_{IT}

Le facteur d'accélération et l'énergie d'activation sont des excellentes signatures d'un mécanisme physique. Si la génération d'états d'interface ΔN_{IT} est la seule origine de la dégradation ΔV_T , alors les accélérations en température et en champ électrique des deux dégradations seront identiques. Nous avons reporté sur la Figure 3-1 (a) La dérive ΔV_T et la génération de défauts ΔN_{IT} (mesurés par CP 2 niveaux) après $t_{\text{stress}}=4.10^4\text{s}$ de contrainte et des potentiels de grille compris entre -1V et -3V. On observe que le facteur d'accélération de la génération de défauts N_{IT} est légèrement supérieur à celui de la dérive ΔV_T . Une loi en

puissance de pente 3 est calculée pour le ΔN_{IT} et de 2.7 pour ΔV_T . Une différence plus importante est observée sur le comportement en température (Figure 3–1 (b)): La génération ΔN_{IT} est beaucoup plus sensible à l'augmentation de la température que le ΔV_T . Les états d'interface ΔN_{IT} générés après 4000s de contrainte sont en nombre 3 fois plus importants lorsque la température passe de 85°C à 125°C, alors que ΔV_T n'est multiplié que par un facteur 1.5.

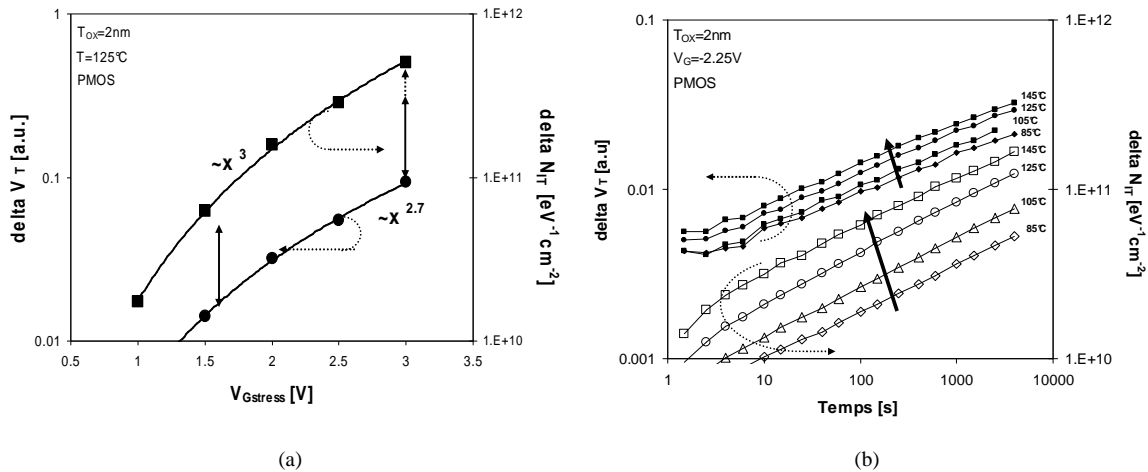


Figure 3–1 : Comparaison des ΔV_T et ΔN_{IT} : (a) Accélération en potentiel de grille V_G et (b) les dynamiques en température

Cette divergence de comportement entre ΔV_T et ΔN_{IT} montre qu'une autre source de dégradation, indépendante des ΔN_{IT} , intervient dans la dérive de la tension de seuil.

(Par souci d'information, nous tenons à signaler que la dépendance en température du remplissage des N_{IT} par des charges $\Phi_F(T)$ montre qu'en première approximation, l'effet température sur le remplissage des pièges d'interface est négligeable comparé aux différences observées sur l'activation en température des ΔV_T et ΔN_{IT})

Les deux prochaines parties vont identifier l'origine de cette dégradation supplémentaire et vont montrer qu'elle est composée de charges fixes Q_f (3.3) et de trous piégés dans l'oxyde Q_{ht} (3.4).

3.3 Génération de charges fixes

Cette partie montre qu'une portion de la dégradation peut être attribuée aux charges fixes générées pendant la contrainte NTB. Nous présenterons tout d'abord le modèle physique de génération, puis les expériences mettant en évidence leur génération.

3.3.1 Modélisation de la génération de charges fixes dans l'oxyde

Les charges fixes Q_f sont des défauts chargés qui n'ont aucune interaction électrique directe avec les porteurs libres du semi-conducteur. Contrairement aux états d'interface, les charges fixes sont indépendantes du niveau de Fermi dans le gap et donc du potentiel de surface. Plusieurs origines possibles avaient été proposées pour modéliser le mécanisme de génération de charges fixes et nous pouvons admettre que le modèle définitif proposé par Ushio [100] est issu historiquement des travaux de :

1. Jepsson *et al.* [31]. Ils proposent en 1977 un mécanisme de génération de défauts mettant en jeu à la fois un défaut à l'interface P_{b0} et une charge fixe (Figure 3-2) :
 - (a) La liaison Si-H à l'interface SiO_2/Si est « activée par le champ électrique » puis l'atome d'hydrogène diffuse dans l'oxyde.
 - (b) Il réagit alors avec le SiO_2 et forme un groupe OH sur un atome de silicium de l'oxyde. Le silicium initialement relié à 4 atomes d'oxygène devient SiO_3^+ avec une liaison pendante chargée positivement.
 - (c) Le groupe Si-OH, connu pour avoir un fort coefficient de diffusion dans le SiO_2 de l'ordre de $D=10^{-18}\text{cm}^2\text{s}^{-1}$ à 125°C [101], diffuse facilement à travers l'oxyde.

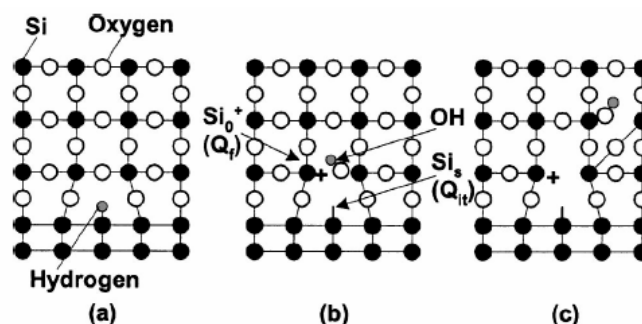
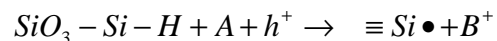


Figure 3-2 : (a) Représentation en 2 dimensions de l'interface SiO_2/Si avec la liaison Si-H, (b) La génération de défaut donne naissance à un P_{b0} , une charge fixe et un groupe hydroxyle, (c) OH qui diffuse à travers l'oxyde [31], [50]

-
2. Beaucoup de travaux ont porté sur l'activation de la dissociation de la liaison Si-H. Jeppson parlait de dissociation « électriquement activée » pour parler de la rupture de la liaison Si-H. Ce concept reste assez vague. D'un point de vue thermodynamique, le champ électrique diminue l'énergie d'activation de la dissociation de la liaison Si-H, et accélère le changement d'état vers l'état d'équilibre. La liaison Si-H est connue pour être « fragile » et constituerait l'état initial. L'état « Si- pendante » serait alors l'état d'équilibre (d'arrivée) avec l'énergie la plus basse.

Il a été proposé qu'une espèce hydrogénée localisée près de l'interface soit mise en jeu dans la réaction (2.4.1). Cette espèce réagirait avec la liaison Si-H engendrant un défaut P_{b0} et une espèce hydrogénée plus ou moins complexe [87], [89], [50], [52], [88], (Pantelides) [97] qui induirait après diffusion un défaut chargé dans l'oxyde.

3. Blat *et al.* [32] introduit l'implication des trous dans la génération de défaut à l'interface. Un trou du canal « active » la liaison Si-H pour former une liaison pendante Si- (P_{b0}) et une charge fixe :



Avec A, une espèce neutre hydrogénée, h^+ un trou du canal et B^+ l'espèce hydrogénée à la base de la génération de la charge positive près de l'interface.

4. Enfin, la dernière modification majeure et celle qui semble la plus cohérente avec les résultats obtenus, Ushio [100] propose que le piégeage de trou sur le groupe Si-O-Si près de l'interface soit le mécanisme de libération de l'hydrogène à l'interface (Figure 3-3). Un groupe Si-O-Si près de l'interface SiO_2/Si avec un trou localisé autour, est énergétiquement très favorable à la migration d'un atome d'hydrogène. L'atome d'hydrogène se retrouve alors dans la situation de rester sur la liaison Si du substrat ou de migrer vers le groupe « Si-O-Si + h^+ ». Ushio a montré par simulation que l'état ayant l'énergie la plus basse est celui avec la libération de l'hydrogène à l'interface et la formation d'un groupe « Si-O-Si + h^+ +H ». Les simulations ont montré les mêmes résultats dans le cas d'une présence d'eau initialement avec une libération de H_2 .

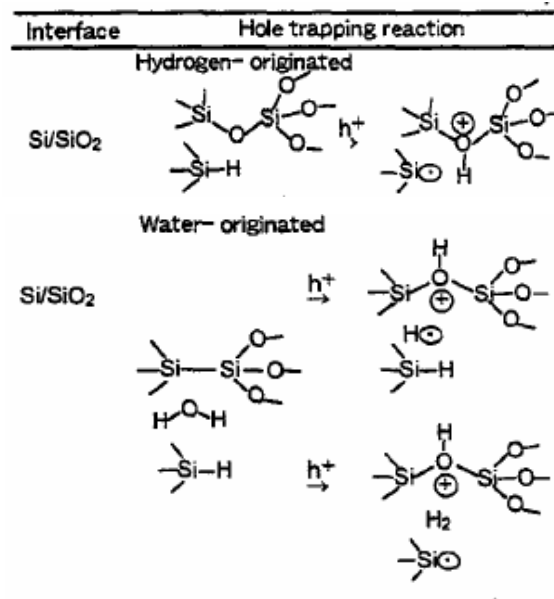


Figure 3-3 : Représentation de la génération de pièges d'interface et de charge fixe par un piégeage de trou sur le groupe Si-O-Si [100]

De Jeppson à Ushio, en passant par Pantelides, l'ensemble des mécanismes de génération de défauts à l'interface SiO₂/Si et la génération de charges fixes dans l'oxyde sont fortement liés. Que ce soit par l'implication directe d'une espèce hydrogénée, ou par le piégeage de trou sur une liaison Si-O-Si, les modèles montrent une très forte corrélation entre la génération de défauts à l'interface et celle des charges fixes, avec une relation de proportionnalité de « 1 pour 1 » entre Q_{IT} et Q_f . Nous allons à présent mettre en évidence expérimentalement la génération de charges fixes, et cette relation de proportionnalité avec les états d'interface.

3.3.2 Mise en évidence des charges fixes

Pour la mise en évidence des charges fixes, nous avons pris garde d'appliquer une phase de relaxation avant la mesure de la dégradation. Cette phase permet d'annuler les effets du piégeage/dépiégeage de trous que nous traiterons dans la dernière partie de ce chapitre.

3.3.2.1 Relation entre ΔV_T et ΔN_{IT}

Une relation de proportionnalité existe entre les charges stockées sur les états d'interface ΔN_{IT} et la dérive de la tension de seuil (cf 2.3.4). Le CP 2 niveaux mesure ΔN_{IT} généré pendant la contrainte NBT. L'équation Eq.2-6 permet de calculer le ΔV_T théorique équivalent. Le trait plein sur la Figure 3-4 montre la relation théorique entre les états d'interface générés ΔN_{IT} et la variation de tension de seuil ΔV_T . La pente est inversement proportionnelle à la capacité de

l'oxyde. La dépendance en température du potentiel Φ_F est calculée par simulation en prenant les valeurs de dopage du caisson. ($\Phi_F=0.42V$ dans ce cas)

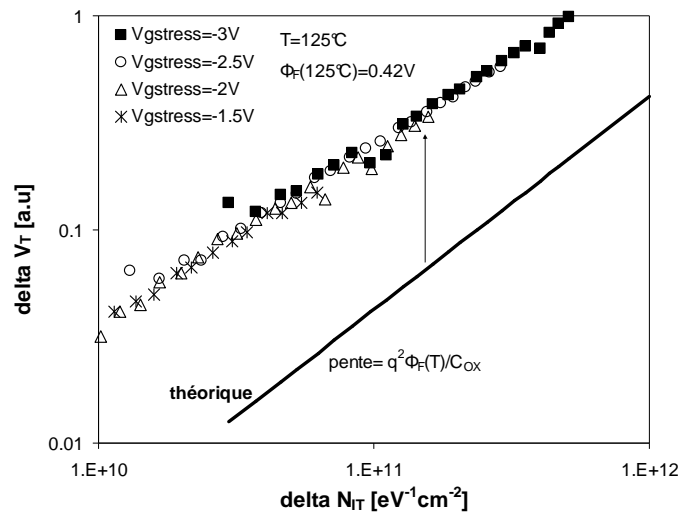


Figure 3-4 : Relation entre ΔV_T et ΔN_{IT} : comparaison entre la relation théorique (ligne pleine) et les valeurs expérimentales. La dégradation est supérieure à celle attendue.

Nous avons également reporté sur la même figure les valeurs ΔV_T mesurées expérimentalement pendant la contrainte avant chaque mesure CP.

Pour l'ensemble des $V_{Gstress}$, on remarque que la dégradation est environ 2 fois supérieure à celle attendue par le ΔV_T théorique.

Parallèlement, Tsujikawa *et al.* [83] ont montré que la tension $V_{mid-gap}$, insensible à la génération N_{IT} (2.3.5), dérivait pendant une contrainte NBT. Seule une création de charges positives fixes peut expliquer ce comportement. Ils ont tracé sur le même graphe la variation de la tension de seuil et la variation de tension de mid-gap. La variation est 2 fois plus importante pour ΔV_T que pour $V_{Gmid-gap}$

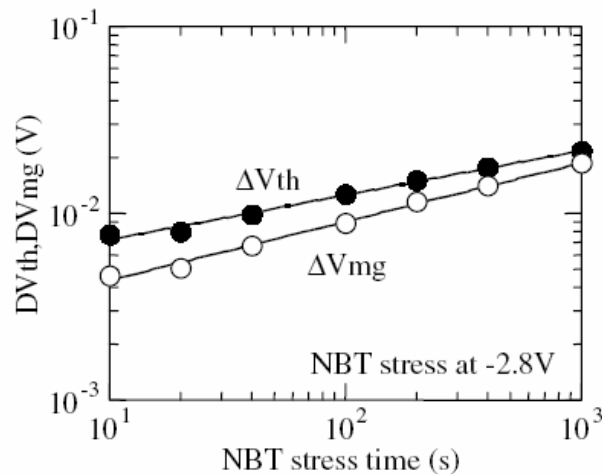


Figure 3-5 : Variation de la tension de seuil et de la tension de mid-gap pendant une contrainte NBT [84]

Nous pouvons donc conclure à travers ces résultats que la moitié de la dégradation mesurée sur la V_T (après relaxation) est induite par la charge stockée dans les défauts d'interface Q_{IT} et l'autre à la génération de charges fixes Q_f . Pour la suite du manuscrit, la charge Q_f sera considérée égale à Q_{IT} :

$$Q_{IT} = Q_f \quad \text{Eq. 3-1}$$

3.3.2.2 Effet sur la capacité

La mesure C-V est une caractéristique électrique exprimant la valeur de la capacité vue par la grille en fonction de la différence de potentiels appliquée aux bornes de la structure. La mesure C-V sur un dispositif vierge et après contrainte a été tracée sur la Figure 3–6.

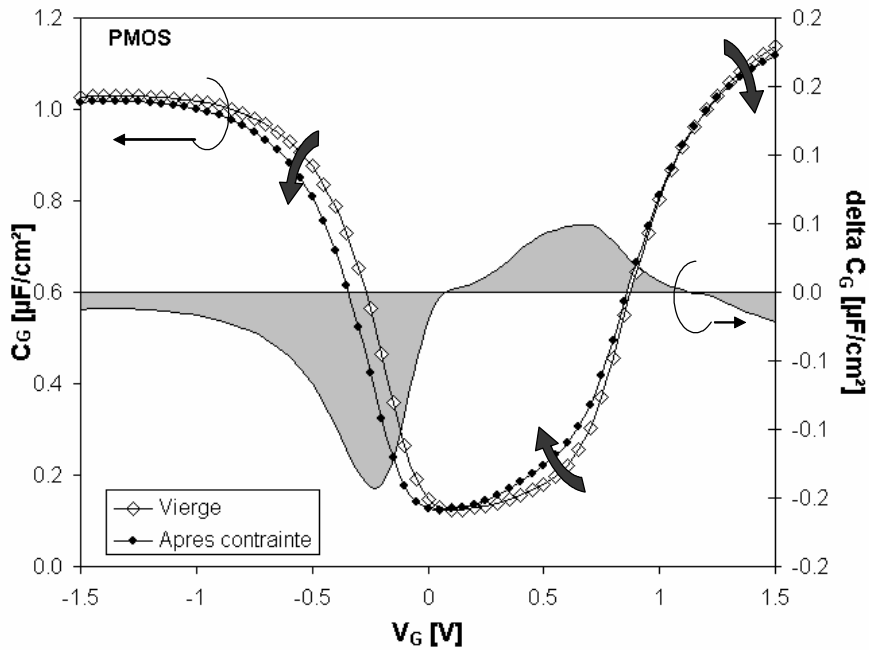


Figure 3–6: Caractéristique C-V avant et après une contrainte NBT [92]

Le deuxième axe vertical à droite représente la variation de la capacité pour chaque V_G considéré. On observe que la capacité diminue pour des potentiels électriques V_G supérieurs à V_T , et augmente entre V_{FB} et V_T . Reddy *et al.* [102] ont modélisé l'effet qu'auraient les pièges à l'interface en prenant une distribution dans la bande interdite de piège de type Donneurs. Ils montrent par simulation la variation de la capacité en fonction de V_G tracée sur la Figure 3–7.

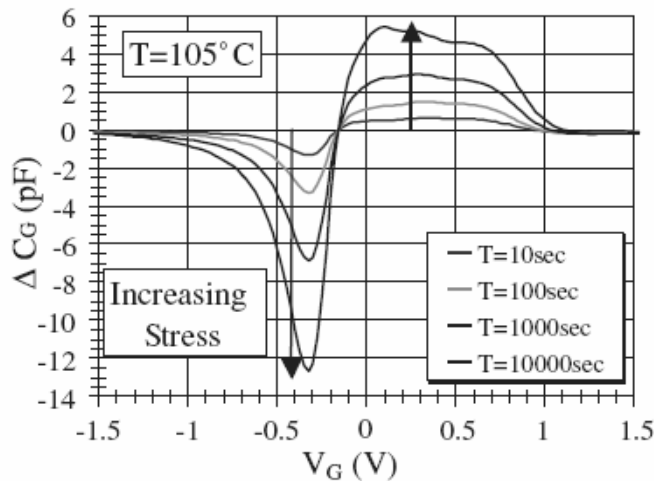


Figure 3-7 : Simulation de l'augmentation de capacité [102]

Le comportement est semblable aux valeurs expérimentales obtenues sur nos échantillons. Ceci a très longtemps laissé penser que les défauts générés à l'interface étaient uniquement des défauts de type Donneur, ce qui serait en contradiction avec la nature des centres P_{b0} . Rappelons qu'une liaison Si-H dissociée génère 2 états dans le gap du silicium, un Donneur et un Accepteur, et que l'atome d'hydrogène avec un trou forment une charge fixe sur un groupe Si-O-Si dans l'oxyde près de l'interface (Ushio [100]). La Figure 3-5 illustre la charge totale générée en fonction du niveau de Fermi, dans le cas de pièges d'interface Donneurs (comme proposé par [102]) et dans le cas de charges fixes et des charges d'interface amphotères.

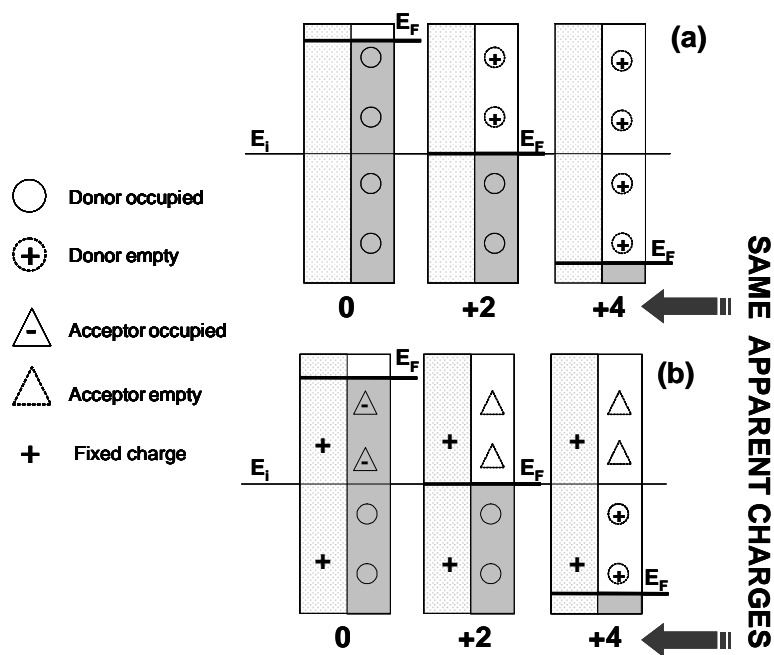


Figure 3-8 : Quantité de charges stockées dans les états d'interface (à droite dans le rectangle) et de charges fixes (à gauche dans le rectangle) en fonction de E_F (a) dans le cas d'une distribution de Donneurs, et (b) dans le cas de charges fixes et de pièges amphotères [92]

Les pièges d'interface se vident au fur et à mesure que l'énergie E_F est abaissée dans le gap. Dans les deux cas, la charge globale augmente de la même façon lorsque le niveau de Fermi diminue. La charge totale composée de charges fixes et de pièges P_{b0} explique la dégradation obtenue sur la courbe C-V (Figure 3-6) et aurait le même comportement capacitif que des pièges monotype Donneurs proposés par Reddy [102].

3.3.2.3 Comparaison des transistors PMOS et NMOS

La comparaison de la dérive de la tension de seuil entre un NMOS et un PMOS est une expérience intéressante puisqu'elle va permettre de différencier l'effet des états Donneurs et celui des Accepteurs. Le V_T est mesuré en régime d'inversion dans les deux cas, ce qui correspond à des potentiels électriques de grille opposés pour les 2 dispositifs. Pour le PMOS en inversion forte, les états d'interface Donneurs sont chargés positivement et les états Accepteurs sont neutres alors que pour le NMOS, les états Donneurs sont neutres et les états Accepteurs sont chargés négativement (cf. 2.2.2.2). Ainsi, pour une génération donnée de défauts à l'interface, la dérive de la tension de seuil est négative pour le PMOS et positive pour le NMOS. En revanche, les charges fixes restent positives dans les 2 cas. Sur la Figure 3-9, nous observons donc une addition des charges (de même signe) dans le cas du transistor PMOS et une soustraction (de signe opposé) de charge dans le cas du transistor NMOS [26].

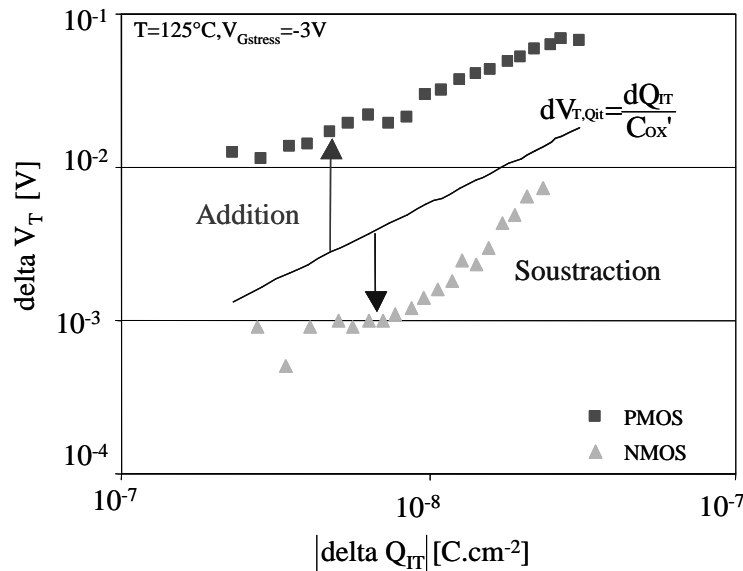


Figure 3-9 : La tension de seuil est une addition des charges fixes et des charges piégées sur les défauts d'interface dans le cas du PMOS et une soustraction dans le cas du NMOS [26]

Ceci explique en grande partie pourquoi le PMOS est plus dégradé que le NMOS pour une contrainte NBT équivalente.

3.4 Piégeage/Dépiégeage de trous dans l'oxyde

3.4.1 Nature des pièges

Le passage du silicium « pur » du substrat au SiO₂ amorphe de diélectrique est, du point de vue cristallographique, extrêmement chaotique. La transition s'échelonne sur quelques couches atomiques et la stœchiométrie de l'oxygène passe progressivement de 0 à 2 atomes d'oxygène pour chaque atome de silicium. Au même titre que les défauts d'interface du silicium, les défauts d'interface de l'oxyde sont issus des arrangements cristallographiques propices à l'interaction avec les porteurs du canal. Ces états électriquement actifs peuvent être définis en fonction de leur coefficient de capture σ_C (relatif à la vitesse avec laquelle ils vont interagir avec des porteurs), leur profondeur dans l'oxyde, leur niveau énergétique et le type de porteur piégé.

Les centres X et Y sont les premiers symptômes de la modification progressive du matériau [103]:

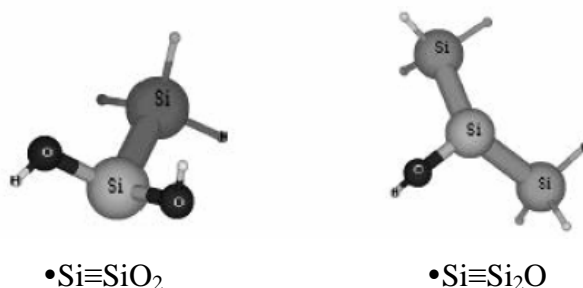


Figure 3-10 : Les centres X et Y dans la zone de transition du substrat à l'oxyde [103]

Le centre X est un groupe SiO₂-Si et le centre Y un groupe Si₂O-Si, présentent tous les deux une liaison Si pendante. Ils sont très proches de l'interface et la concentration en oxygène n'est pas suffisante pour former complètement des groupes SiO₂.

Des défauts existent également plus profondément dans l'oxyde. Ce sont les lacunes d'oxygène (OV pour Oxygen Vacancy).

3.4.1.1 Les lacunes d'oxygène

Chaque atome de silicium du diélectrique de grille partage des liaisons covalentes avec 4 atomes d'oxygène. Les lacunes d'oxygène font références aux atomes de silicium ne respectant pas cette règle. La lacune d'oxygène est appelée E' lorsqu'une des quatre liaisons de silicium est pendante. Le centre E' est connu depuis 1956 [105] et sa représentation est la suivante :

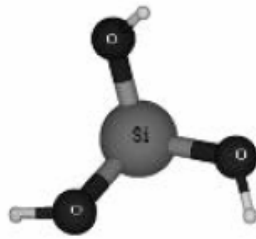


Figure 3–11 : Lacune d'oxygène sur un atome de silicium : une des 4 liaisons du silicium est pendante

Historiquement, le centre E' a été identifié dans le quartz (Figure 3–12) comme un trou piégé sur une lacune d'oxygène causant une relaxation dissymétrique donnant lieu à un centre paramagnétique. Il existe plusieurs catégories de E' en fonction des orientations et des contraintes mécaniques locales. Ils sont différenciables par des mesures ESR [103]-[105].

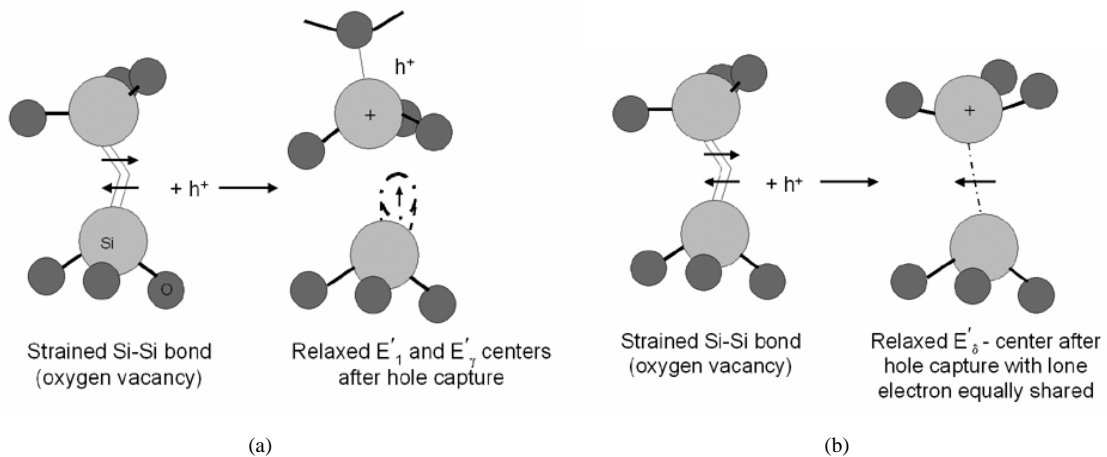


Figure 3–12 : (a) Modèle des centres E'₁ et E'₇ dans le cristal de quartz et dans l'amorphe SiO₂. (b) Modèle du centre E'₈ dans l'amorphe SiO₂ [106]

L'absence d'atome d'oxygène entre deux atomes de silicium, appelé pont Si-Si (Si-Si bridge) est également considéré comme une lacune d'oxygène par défaut. Dans ce cas, il n'y a pas de liaison pendante et ce n'est donc pas un défaut dans le sens premier du terme. Feigl *et al.* [107] ont identifié les liaisons Si-Si faible (Si-Si bridge) comme étant des défauts similaires aux centres E', c'est-à-dire pouvant être électriquement actifs. La liaison Si-Si est à priori électriquement inactive mais du fait des contraintes locales (contraintes mécaniques en particulier), la liaison est distordue et « affaiblie ». Cette notion d'affaiblissement est ici utilisée pour rendre compte de la facilité qu'a un porteur pour casser la liaison et former une liaison pendante de type E' [104], [106]. Basé sur les travaux de Lenahan [108] mettant en évidence la faculté du piège E' à piéger/dépiéger des charges positives, Lelis *et al.* [109],

[110] ont modélisé une interaction beaucoup plus complexe entre le pont Si-Si et les porteurs : ils ont appelé la liaison Si-Si faible un « switching oxide trap » pour sa capacité à piéger/dépiéger des trous et sa capacité à passer facilement d'un état chargé à un état neutre. Ils ont proposé que la liaison Si-Si faible piège un trou et que la liaison se dissocie pour former un centre E' et une charge positive piégée. Ce phénomène est complètement réversible. Karna *et al.* [104] ainsi que Conley *et al.* [111] ont confirmé ce point par simulations.

3.4.1.2 Les border traps / bulk traps

Compte tenu de la diversité des types de pièges, Fleetwood [112] a proposé d'appeler « border traps » les pièges proches de l'interface et capables d'échanger des charges avec le substrat ou inversement avec la grille. Ils sont à opposer aux « bulk traps », plus profond dans l'oxyde. Même si ce concept tend à éclaircir le paysage des pièges électriquement actifs dans l'oxyde, une interaction « rapide avec les porteurs » est subjective, et dépend du type de porteurs injecté, du champ électrique et de la nature du piège préexistant ou non. Néanmoins, Il est maintenant admis que ce que l'on qualifie de « border traps » appartiennent aux 2 premiers nanomètres de l'oxyde.

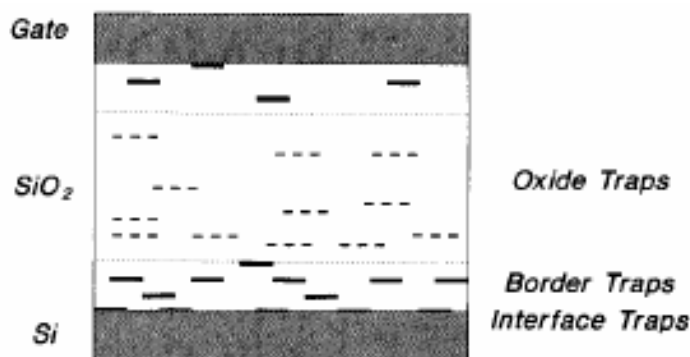


Figure 3-13 : Schéma de la structure MOS et de la localisation des pièges [112]

La notion de Border traps permet donc d'identifier un piège dans l'oxyde à la fois par rapport à sa localisation mais également par rapport à sa réponse électrique à la variation du potentiel électrique à travers la structure MOS. On parle alors de pièges en communication avec le substrat caractérisé par leurs constantes de temps de piégeage/dépiégeage plus longues (slow states ou slow traps) que les états d'interface (N_{IT} , fast states). Les états E' peuvent aussi bien faire partie des border traps que des bulk traps. À noter que notre étude du NBTI porte sur des oxydes de grille ultra fins avec des échantillons présentant des oxydes de grille inférieurs à

2nm. L'ensemble des pièges dans ces oxydes sont donc potentiellement des « border traps » qui pourront échanger leur charge avec le substrat et la grille.

3.4.1.3 Types de pièges et distribution énergétique/volumique

Au même titre que les pièges d'interface (cf. 2.2.2.2), les pièges dans le volume du diélectrique peuvent être Donneur et/ou Accepteur en fonction du type de porteur avec lequel il est capable d'interagir. Il est également défini par son niveau énergétique dans le gap de l'oxyde, ce qui va en partie définir son coefficient de capture σ_C (ou section de capture). Les défauts dans l'oxyde sont distribués dans le volume du diélectrique et les interactions des pièges avec les porteurs du canal vont dépendre dans cette distance tunnel. Une densité de charge Q_x à une distance x de l'interface SiO_2/Si (Figure 3-14 (a)) fait dériver la tension de seuil:

$$\Delta V_T = - \frac{Q_x \left(1 - \frac{x}{T_{OX}}\right)}{C_{OX}} \quad \text{Eq. 3-2}$$

Un distribution volumique de charge (Figure 3-14 (b)) dans l'oxyde s'exprime donc comme

$$\Delta V_T = - \frac{\int_0^{T_{OX}} Q(x) \left(1 - \frac{x}{T_{OX}}\right) dx}{C_{OX}} \quad \text{Eq. 3-3}$$

Avec $Q(x)$ la densité de charge à la distance x de l'interface SiO_2/Si .

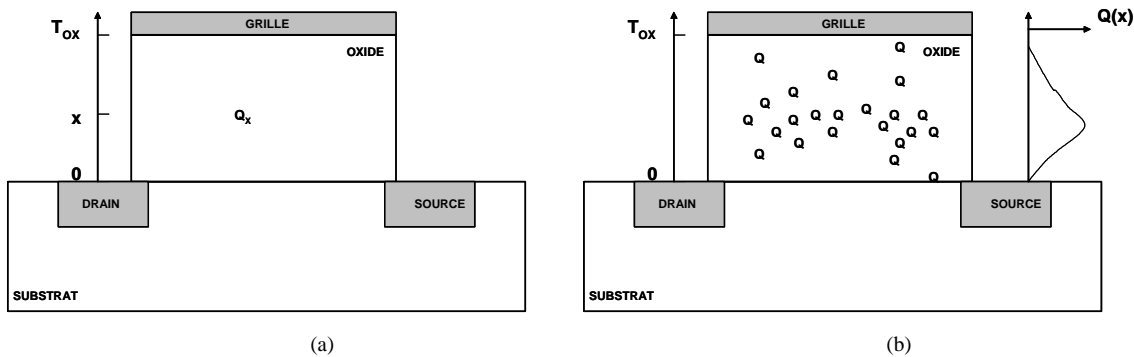


Figure 3-14 : (a) Un charge Q_x dans l'oxyde à une distance x de l'interface SiO_2/Si . (b) Une distribution volumique de charge dans l'oxyde.

3.4.2 Piégeage/Dépiégeage de trous dans l'oxyde

Le piégeage/Dépiégeage de trous dans l'oxyde est un problème de fiabilité récurrent [113]-[123]. Les trous du canal ont une probabilité de traverser la barrière de potentiel du canal vers des pièges préexistants dans l'oxyde :

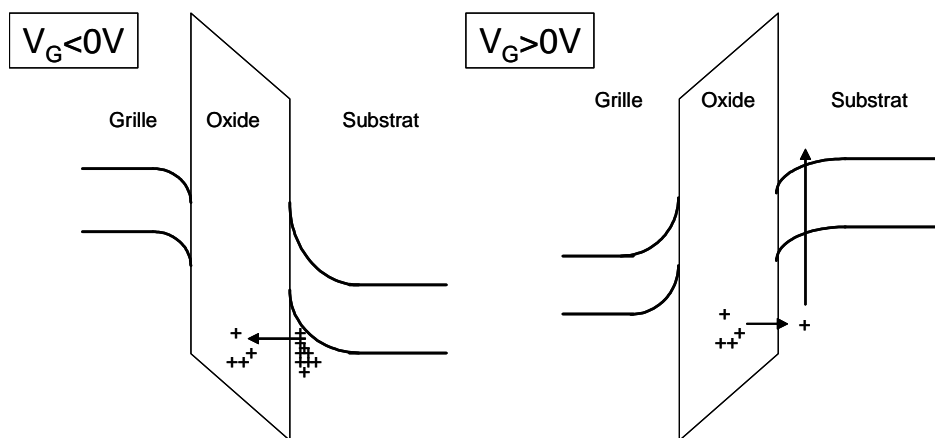


Figure 3-15 : Piégeage et dépiégeage de trous dans l'oxyde

Lorsqu'une polarisation négative est appliquée sur la grille, les trous peuvent traverser la barrière de potentiel entre le canal et le piège par effet tunnel. Lorsqu'un potentiel électrique positif est appliqué sur la grille, les trous sont dépiégés et retournent dans le substrat. Le mécanisme de piégeage est assimilé à un courant tunnel direct entre le substrat et le piège. Leurs activations en température sont donc très similaires. La cinétique de piégeage de charge est généralement définie au premier ordre par l'équation

$$\frac{dN_{ht}}{dt} = \sigma_C N_{inj} (N_{max} - N_{ht}) \quad \text{Eq. 3-4}$$

Avec N_{inj} la densité de trous injectés dans l'oxyde, σ_C le coefficient de capture, N_{max} la densité de pièges susceptibles de piéger un trou, et N_{ht} la densité de trous piégés.

La solution de cette équation différentielle est du type

$$N_{ht}(t) = N_{max} \left[1 - \exp\left(-\frac{t}{\tau_0}\right) \right] \quad \text{Eq. 3-5}$$

La densité de trous injectés correspond au courant de trous à travers la l'oxyde J_{GH} et la constante τ_0 peut s'exprimer comme

$$\tau_0 = \frac{q}{J_{GH} \sigma_C} \quad \text{Eq. 3-6}$$

Rappelons que la dérive de la tension de seuil induite par les trous piégés est

$$\Delta V_{T, Q_{ht}}(t) = -q \frac{N_{ht}(t)}{C_{OX}} = -\frac{Q_{ht}}{C_{OX}} \quad \text{Eq. 3-7}$$

En prenant en considération la distribution volumique dans l'oxyde (l'intégration de la distance x est indexée par rapport à l'interface SiO₂/Si),

$$\Delta V_{T, Q_{ht}}(t) = -q \frac{\int_0^{T_{OX}} \left(1 - \frac{x}{T_{OX}}\right) N_{ht}(t, x) dx}{C_{OX}} \quad \text{Eq. 3-8}$$

Une caractéristique remarquable du mécanisme de piégeage/dépiégeage est sa réversibilité. Nissan-Cohen *et al.* [125] ont montré la réversibilité du piégeage/dépiégeage sur un oxyde de 25nm en fonction du champ électrique vertical dans l'intervalle F_{OX}=3 à 11 MV/cm. La variation du champ électrique de l'oxyde est obtenue par l'augmentation puis la diminution de la tension électrique appliquée entre la grille et le substrat. Le même niveau de piégeage est obtenu lorsque le potentiel de grille revient à son niveau d'origine Figure 3-16 (a)- (b).

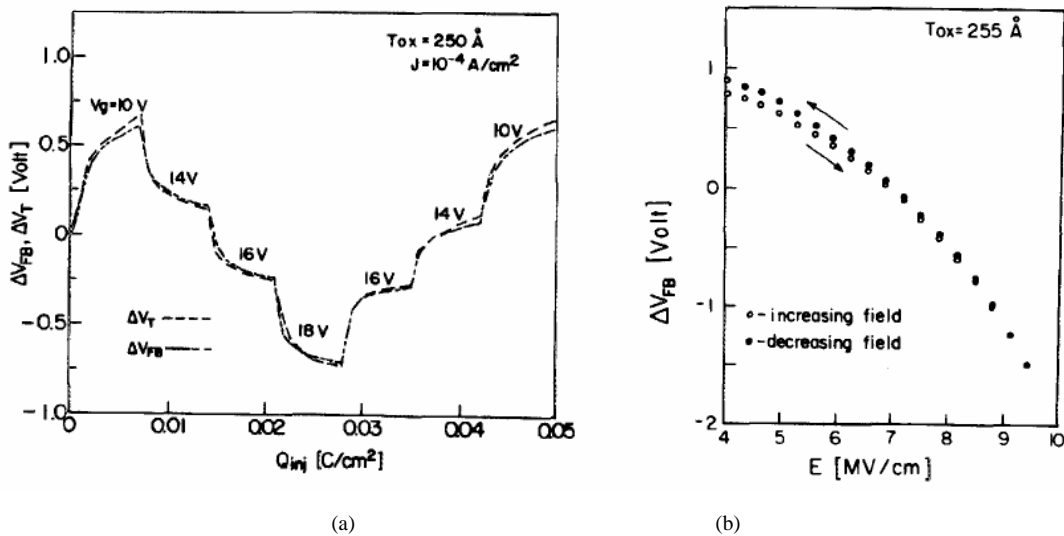


Figure 3-16: (a) Variation du V_T et du V_{FB} en fonction de la charge injectée. Le champ électrique de l'oxyde varie pendant l'injection. (b) Variation de la tension de bande plate en fonction du champ électrique [125]

C'est au début des années 90 que B.Doyle *et al.* [126] mettent en évidence le piégeage de charge dans les transistors PMOS pendant une contrainte NBT. Schlünder *et al.* [36] ont par la suite montré les mécanismes de piégeage/dépiégeage de trous pendant la contrainte NBT et la phase de relaxation. Une relaxation de la dégradation est observable lorsqu'un potentiel électrique positif ou nul est appliqué sur la grille après une contrainte NBT. La relaxation peut se définir comme l'effet électrique visible sur les caractéristiques I-V (ou CP) où un décalage d'un paramètre est partiellement guéri lors d'une seconde étape suivant une contrainte initiale. La relaxation du NBTI est aujourd'hui un sujet débattu [92] et il existe plusieurs interprétations possibles concernant son origine [34], [127]. Si nous proposons ici de mettre en évidence le mécanisme piégeage/dépiégeage de trous, en identifiant le comportement en température et les dynamiques temporelles, de nombreuses discussions restent encore ouvertes sur la relaxation des états d'interface et l'interprétation des mesures CP [34], [92]. Compte tenu de l'importance des mesures de CP dans notre étude, il est essentiel d'apporter quelques éclaircissements concernant son interprétation. Nous ferons cette étude sur des oxydes nitrurés de 2nm d'épaisseurs.

3.4.2.1 Mise en évidence du piégeage/dépiégeage de trou sur le courant pompé du CP à 2 niveaux

La relaxation de la dégradation des ΔN_{IT} et des ΔV_T après une contrainte NBT à 125°C de 2500s a été tracée pendant 500s sur la Figure 3-17. La tension de seuil présente un très fort taux de relaxation alors que les états N_{IT} y sont très peu sensibles. La légère relaxation observée sur la mesure ΔN_{IT} est due, comme nous allons le montrer par la suite, à la sensibilité de la technique (intégration de la cloche CP, détection des flancs).

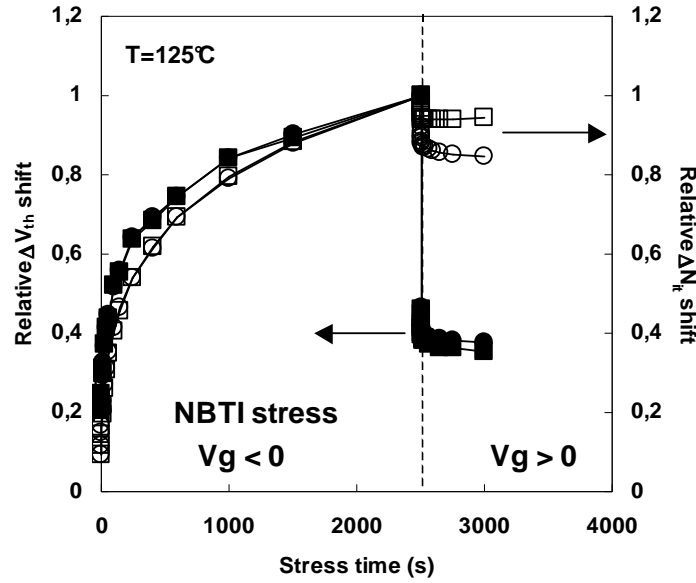


Figure 3–17 : Relaxation du ΔV_T et du ΔN_{IT} sur un oxyde de 2nm d'épaisseur. Une phase de relaxation ($V_G > 0V$) est imposée après une contrainte NBT [91]

Regardons plus précisément le comportement de la cloche CP pendant la phase de relaxation sur la Figure 3–18. Si effectivement le courant pompé I_{cpmax} diminue pendant la phase de relaxation, la densité de pièges à l'interface N_{IT} , proportionnel au quotient du courant sur la bande énergétique balayée pendant le pulse sur la grille (Φ_{Sswing}) reste constante. Rappelons que le courant pompé maximum I_{cpmax} est proportionnel à la fréquence de la mesure CP F_p , à la surface du dispositif A_{eff} , à la courbure de bande Φ_{Sswing} (correspondant aux énergies du gap participant à la mesure CP) et à la densité moyenne d'états d'interface dans le gap N_{IT}

$$I_{cpmax} = qA_{eff} F_p \int_{E_{Low}}^{E_{High}} N_{IT}(E) dE \quad \text{Eq. 3-9}$$

$$= q^2 A_{eff} F_p \overline{N_{IT}} \phi_{Swing} \quad \text{Eq. 3-10}$$

$$\phi_{Swing} = \frac{(E_{High} - E_{Low})}{q} \quad \text{Eq. 3-11}$$

Il est commun d'utiliser le courant I_{cpmax} pour quantifier la génération des états d'interface N_{IT} . I_{cpmax} est effectivement proportionnel à N_{IT} correspondant au nombre de charges ayant été recombinaisonnées avec les porteurs du canal pendant le pulse en V_G sur la grille. I_{cpmax} est également relatif à l'intervalle d'énergie balayé par le pulse en V_G , c'est-à-dire Φ_{Sswing} . Si la relation $\Phi_{Sswing}(V_{Gpulse})$ reste constante pendant la relaxation, alors les énergies concernées sont les mêmes et I_{cpmax} correspond exactement au N_{IT} . La réduction de la largeur de la cloche est le signe d'une réduction de Φ_{Sswing} (représenté sur la Figure 3–18 (b)). La réduction de

I_{cpmax} est donc induite par une réduction Φ_{Sswing} plutôt qu'une réduction de N_{IT} . Nous pensons donc que la réduction de I_{cpmax} n'est pas suffisante pour conclure à la réduction de la densité des défauts d'interface, et c'est pour cette raison que nous sommes en désaccord avec certains travaux [34], [35]. A noter que la technique CP à pulse constant, montre une plus forte sensibilité à la relaxation, du flanc gauche de la courbe CP. Le flanc droit est beaucoup plus abrupt que le flanc gauche, et le courant pompé diminue très rapidement lorsque le V_{FB} est atteint par le pulse. Pour cette raison, la relaxation de la cloche sur le flanc droit est observable uniquement très proche du plateau.

Pour la suite de notre étude, nous considérerons les états d'interface N_{IT} comme la valeur obtenue par l'intégration de la cloche (I_{cp} vs V_{Gbase}) plutôt que par l'approche simplifiée en I_{cpmax} .

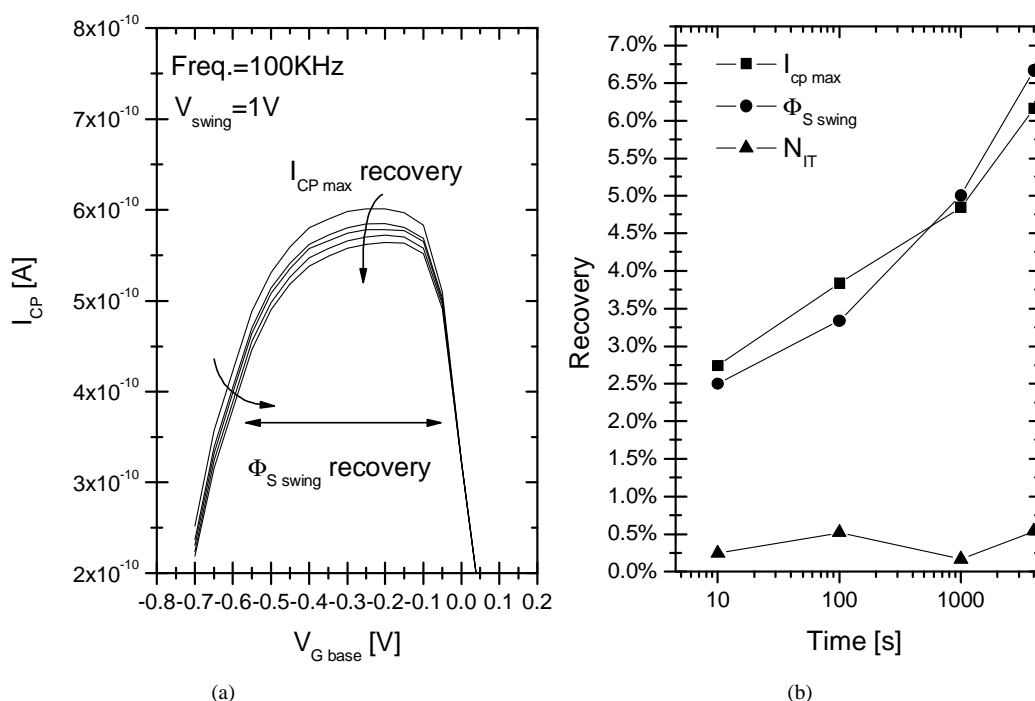


Figure 3–18 : Evolution de la courbe CP 2 niveaux pendant la phase de relaxation [92] sur un oxyde de 2nm d'épaisseur

Nous avons reporté sur la Figure 3–19 la dérive de la tension de seuil pendant une contrainte NBT de $V_G = -2V$ à $T = 125^\circ C$ (carrés blancs). Les ronds blancs correspondent à la dérive de la tension de seuil induite par ΔQ_f et ΔQ_{IT} mesurés par CP (avec $\Delta Q_f = \Delta Q_{IT}$). Des contraintes identiques ont été appliquées sur d'autres dispositifs avec différents temps de contrainte t_{stress} (les carrés noirs correspondent à la fin de la contrainte et au début de la phase de relaxation). La relaxation du V_T est reportée ensuite sur la même figure (points verticaux).

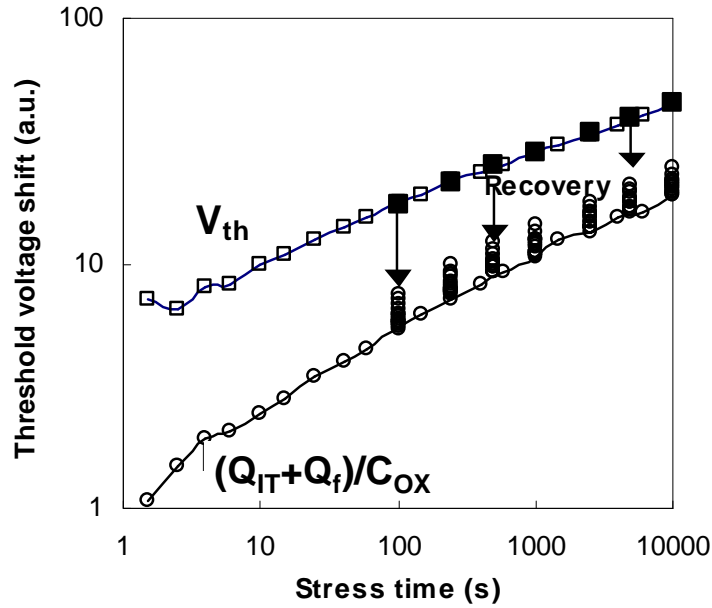


Figure 3–19 : Relaxation de la dégradation sur un oxyde de 2nm d'épaisseur. Les charges fixes et la charge piégée à l'interface expliquent la dégradation après relaxation

Nous montrons que la dégradation ΔV_T relaxe jusqu'à atteindre la valeur de ΔV_T induit par ΔQ_f et ΔQ_{IT} , ceci quel que soit le moment choisi pour arrêter la contrainte.

3.4.2.2 Réversibilité du piégeage/dépiégeage de trous pendant une contrainte

NBT

La reproductibilité du piégeage de trous, décrit par Nissan-Cohen, est tracée sur la Figure 3–20. La dérive de la tension seuil est tracée pour une contrainte NBT ($V_G = -3V$ à $T = 125^\circ C$). Périodiquement, des phases de relaxation à $V_G = +1.5V$ de 500s sont insérées toutes les 2500s. Les phases de relaxation à $V_G = +1.5V$ permettent de dépiéger les trous. Lorsque la contrainte est à nouveau appliquée à $V_G = -3V$, la dynamique de trapping est identique à celle de la première contrainte. Nous pouvons donc considérer que le piégeage est reproductible.

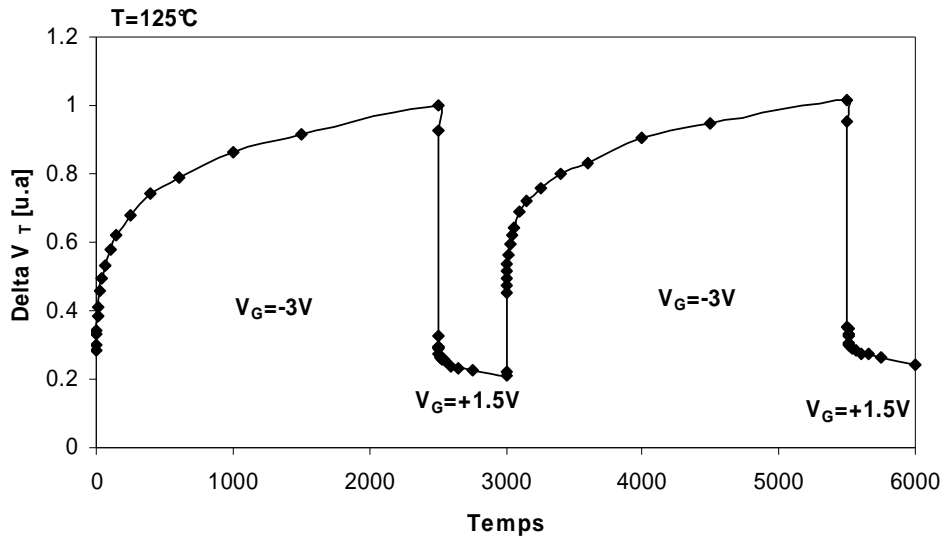


Figure 3–20 : Dérive de la tension de seuil sur un oxyde de 2nm d'épaisseur pour une contrainte à $V_G=-3V$ $T=125^\circ C$ périodiquement arrêté avec une phase de relaxation à $V_G=+1.5V$

Pour la suite, la valeur Q_{ht} , attribuée aux trous piégés, sera calculée par soustraction entre le V_T et l'effet des Q_{IT} et des Q_f .

$$\Delta Q_{ht} = \Delta V_T C_{OX} - \Delta Q_{IT} - \Delta Q_f \quad \text{Eq. 3-12}$$

La réversibilité de la dégradation due au piégeage/dépiégeage de trou est observable sur Figure 3–21. Le potentiel électrique de la grille est volontairement modifié pendant la contrainte NBT. Le potentiel de grille diminue de -2.75V à -1.25V par pas de -250mV toutes les 200s. Ensuite, le potentiel de grille augmente de manière réciproque jusqu'à -2.75V.

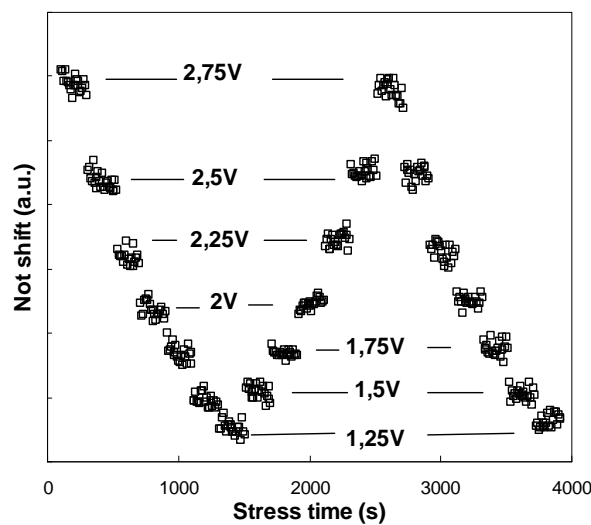


Figure 3–21 : Charge Q_f dans le temps en fonction de la contrainte V_G appliquée. Le potentiel électrique est volontairement modifié au cours du temps pour mettre en évidence la réversibilité [128]

La réversibilité du mécanisme de piégeage est clairement identifiée dans notre cas avec un niveau de piégeage correspondant à la contrainte appliquée. À ce point de l'étude, il faut souligner que le procédé de fabrication de l'oxyde de grille a une très forte influence sur le mécanisme de piégeage. Cet aspect sera traité dans le chapitre 5.

3.4.2.3 Dépendance en température du piégeage/dépiégeage de trou

La dépendance en température du piégeage de trous est représentée sur Figure 3–22. Les dispositifs sont contraints à $V_G = -2.5V$ pour des températures $T = 25^\circ C$, $=85^\circ C$ et $=125^\circ C$. Les dégradations relatives du V_T sont reportées sur la figure (a) fixées à « 1 » à la fin de la contrainte avant la phase de relaxation pour les 3 dispositifs. Les énergies d'activations avant et après la relaxation sont reportées sur la figure de droite.

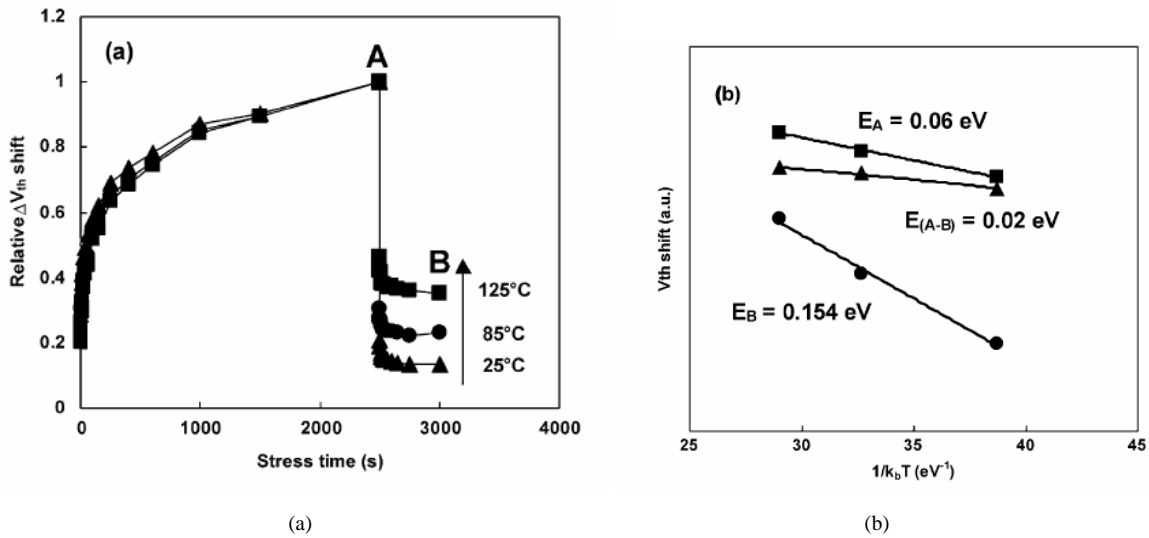


Figure 3–22 : Extrapolation des énergies d'activations de la dégradation permanente et de la dégradation qui relaxe [91] (un oxyde de 2nm d'épaisseur)

Après relaxation, les trous dans l'oxyde sont dépiégés et la dégradation n'est due qu'aux charges fixes et aux charges stockées dans les états d'interfaces. L'énergie d'activation (E_B) de la génération des N_{IT} est clairement identifiée à 0.15eV [50]. L'énergie d'activation de la dégradation avant la phase de relaxation (E_A) correspond à l'activation en énergie des trois composantes que sont les Q_{IT} , les Q_f et les Q_{ht} . La différence E_{A-B} correspond à l'énergie d'activation du piégeage de trous évalué à 0.02eV.

3.5 Conclusions

Ce chapitre a traité de la génération de charges fixes et du piégeage de trous.

Les charges fixes sont fortement liées à la génération de défauts à l'interface. Beaucoup de travaux tendent à converger vers le fait qu'une charge fixe est générée par l'espèce hydrogénée issue de la libération de l'hydrogène à l'interface.

Les trous piégés sont électriquement actifs et peuvent se décharger vers le substrat (ou vers la grille en inversant la polarité sur la grille). Cet effet se traduit par une réduction partielle de la dégradation du V_T . Nous avons vérifié le caractère propre du piégeage de charge qu'est la réversibilité du mécanisme.

L'origine de la relaxation est encore controversée et plusieurs travaux attribuent la relaxation de la dégradation à la réassociation de la liaison Si-H ; Principalement justifié par la réduction de courant CP I_{cpmax} . Nous avons mis en évidence que le dépiégeage de trous pouvait également être à l'origine de la réduction de ce courant. De plus, les énergies d'activation du mécanisme piégeage/dépiégeage sont définitivement identifiées (chapitre 3 et 4) et ne peuvent pas être expliquées par la génération/réassociation de la liaison Si-H.

En définitive, nous avons montré à travers le chapitre 2 et 3 que la dégradation ΔV_T est composée de charges stockées dans les états d'interfaces Q_{IT} , de charges fixes Q_f , et du piégeage de trous Q_{ht} .

Le dépiégeage de trous intervient lorsque la contrainte sur la grille est arrêtée, c'est-à-dire, également pendant l'étape de caractérisation électrique. L'introduction d'une relaxation pendant la caractérisation remet gravement en cause les durées de vie extraites à partir de ces mesures. La technique *on-the-fly* que nous allons développer dans le chapitre 4 propose une solution innovante de caractérisation permettant de supprimer les effets indésirables liés à la relaxation.

Chapitre 4. La technique « on-the-fly »

4.1 Introduction

Ce chapitre présente la technique « on-the-fly » [17] que nous avons développée au sein du centre de Recherche et Développement de l'Alliance Crolles 2 pour caractériser la dégradation NBTI. Contrairement à une caractérisation « classique », pour laquelle la contrainte est momentanément arrêtée pour caractériser les paramètres du MOS (I_D - V_G , C-V, CP...), cette nouvelle technique permet de caractériser la dégradation dans une configuration électrique très proche de celle de la contrainte. Il n'est plus nécessaire d'arrêter la contrainte pour caractériser la dégradation. Les effets de relaxation ou d'autoguérison observés avec une méthodologie de caractérisation conventionnelle seront ainsi minimisés. Nous développerons dans ce chapitre sous 6 parties :

Tout d'abord, nous rappellerons les effets d'autoguérison observés lors de la caractérisation électrique conventionnelle. Il apparaîtra dès lors la nécessité de réduire ce phénomène afin de pouvoir réellement évaluer la dégradation en totalité dans les dispositifs sous contrainte NBT. Ensuite, nous exposerons la philosophie et les paramètres électriques mesurés par la technique *on-the-fly*. Le protocole expérimental y sera décrit et les équipements nécessaires seront listés. Dans un troisième temps, nous formulerons les expressions analytiques des dérivées de la tension de seuil V_T et du gain β du transistor. À partir des grandeurs mesurées, nous serons capables de séparer les différentes contributions de la dérive des paramètres électriques.

La quatrième partie montrera une approche théorique de la technique avec des simulations de dégradations et une extraction automatique des dérivées des paramètres électriques. Elle nous permettra de juger de la précision de l'extraction.

Dans la cinquième partie, nous étudierons le NBTI et le phénomène de relaxation avec la technique *on-the-fly*. Nous proposerons une modélisation simple et pseudo empirique de ces deux phases.

Une comparaison avec les dégradations obtenues par la méthodologie traditionnelle quantifiera dans la dernière partie la sous-estimation de la dégradation. Nous pourrions quantifier l'autoguérison de la dégradation inhérente à la méthodologie usuelle.

4.2 Le phénomène d'autoguérison

Les phénomènes d'autoguérison ou de relaxation du NBTI sont devenus un défi majeur du traitement du NBTI par les industriels du semi-conducteur. Les travaux de Ershov *et al.* [129] en 2003 ont montré un effet de relaxation de la dégradation entre l'arrêt de la contrainte pour la phase de caractérisation et le début de la caractérisation électrique. Ce temps d'attente entre l'arrêt de la phase de dégradation et la phase de caractérisation est appelé waiting time et noté généralement w_T . Pour mettre en évidence l'effet de w_T , nous avons appliqué une contrainte de -3V à 125°C pendant 10³s sur un transistor PMOS de 2nm d'épaisseur d'oxyde. La dégradation a été mesurée pour différents temps d'attente w_T échelonnés entre 0s et 250s. La dégradation du paramètre V_T est reportée sur la Figure 4-1 dans le temps.

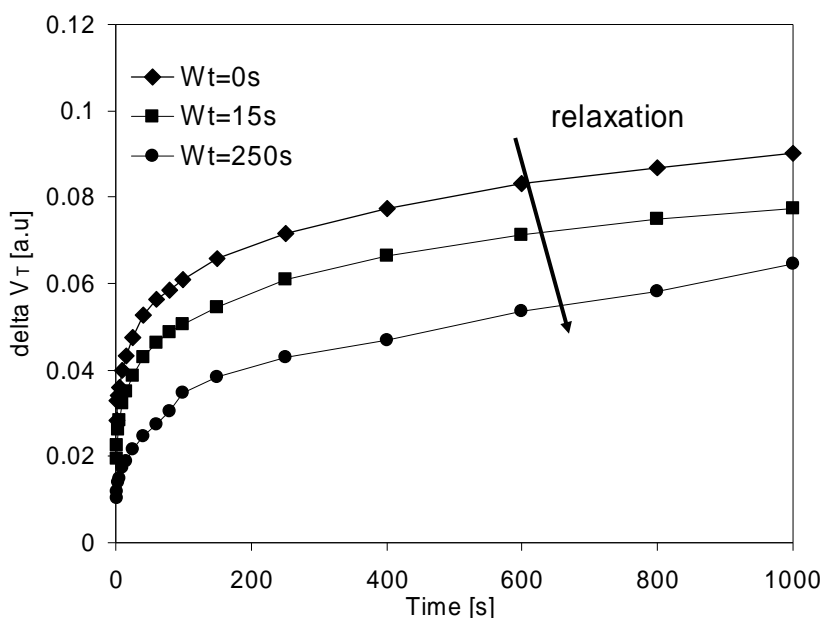


Figure 4-1 : Auto guérison de la dégradation. La relaxation de la dégradation du V_T est induite pour le dépiégeage de trou pendant le temps d'attente w_T

Une forte réduction ΔV_T est observée lorsque w_T augmente. Nous rappelons que la relaxation de la dégradation est attribuée au dépiégeage de trous. Les charges stockées dans les pièges d'interface et les charges fixes ne participent pas au phénomène de relaxation (chapitre 3). Pour différencier la dégradation *effective*, qui correspond à la dégradation sans relaxation (induite par le temps de caractérisation), nous appellerons la dégradation *apparente* la dégradation mesurée. La Figure 4-2 illustre la différence entre ces 2 dégradations.

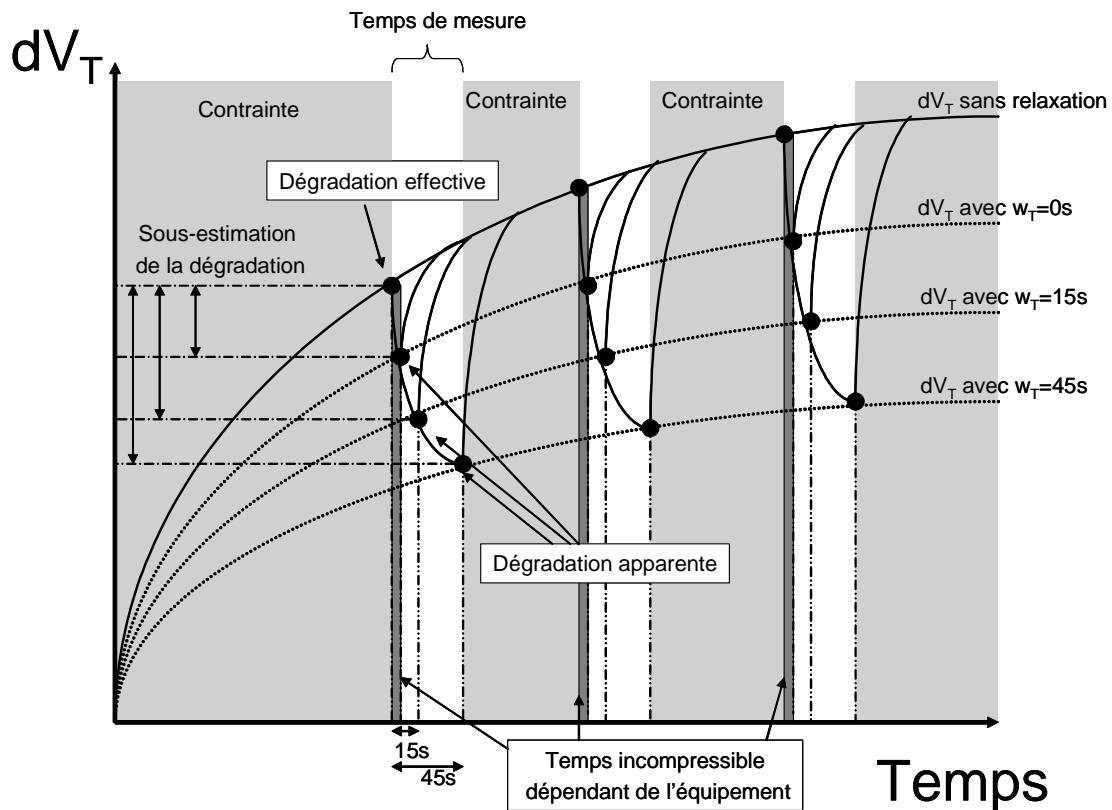


Figure 4-2 : Illustration de la relaxation et de la dégradation apparente

Alors que le niveau de dégradation apparente et les durées de vie correspondantes vont fortement dépendre du paramètre w_T , aucune spécification n'est définie par le comité JEDEC. Ce dernier stipule que ces phénomènes doivent être minimisés pendant la caractérisation, sans pour autant proposer de réelle solution pour les contrôler. La recommandation est de mesurer la dégradation le plus rapidement possible avec comme limite, le temps de réponse global de l'équipement.

Le passage de la phase « dégradation » qui correspond à la configuration électrique du NBTS à la phase « caractérisation » fait intervenir 4 paramètres pouvant influencer ce temps de réponse :

- Le temps « arrêt de la contrainte » : l'arrêt de la contrainte est une mise à la masse des 4 plots du transistor. Les connections entre le MOS et le générateur de tension sont interrompues puis permutées sur la masse générale de l'équipement par un système de relais. Le temps de permutation va dépendre de la vitesse des relais.
- Un temps d'attente (w_T) : ce temps est inséré volontairement pour stabiliser l'ensemble du système avant le début de la caractérisation. C'est le seul temps qui est contrôlé par l'expérimentateur parmi ces 4 paramètres.
- Le temps « connexion pour caractérisation » : Le MOST et le multimètre sont connectés par le système de relais. Il va dépendre du temps de permutation des relais

-
- Le temps « caractérisation électrique » : Il va dépendre du temps d'intégrations des mesures. La mesure d'une caractéristique I_D-V_G va par exemple dépendre du niveau de précision demandé à l'appareil. Une meilleure précision demande un temps d'intégration du courant plus long.

Pour ces raisons, le temps de réponse global de l'équipement utilisé pour caractériser le dispositif est très peu contrôlable, puisqu'une partie est inhérente à la caractérisation et incompressible. Les temps de réponse peuvent varier de quelques dizaines de ms à plusieurs secondes en fonction de l'équipement.

3 questions sont alors posées :

- De combien la dégradation est sous-estimée lorsque le banc de mesure est utilisé au plus rapide de ses capacités, c'est-à-dire avec $w_T=0s$? En d'autres termes, est-on capable de mesurer la dégradation effective.
- La relaxation inhérente à la phase « caractérisation » dépend-t-elle du niveau de dégradation ?
- La relaxation inhérente à la phase « caractérisation » dépend-t-elle du procédé de fabrication du transistor ? Si oui, comment deux procédés de fabrication peuvent-ils être comparés si les taux de relaxation associés ne sont pas similaires lors de la caractérisation ?

D'un point de vue industriel, il est indispensable de répondre concrètement à ces questions pour garantir la fiabilité des dispositifs vendus. Les compagnies du semi-conducteur veulent évaluer avec précision la sous-estimation de la dégradation inhérente à l'étape de caractérisation.

La technique *on-the-fly* répond donc à un besoin et apporte une solution technique permettant de minimiser très fortement les effets de relaxation pendant la caractérisation.

4.3 Philosophie et protocole expérimental de la mesure « on-the-fly »

4.3.1 Philosophie de la caractérisation à la volée

Le concept de mesurer « à la volée » (*on-the-fly*) correspond a priori à ce que l'on cherche à faire avec l'étape de caractérisation sur la dégradation : saisir la dégradation avant que la relaxation n'opère. Du point de vue de la contrainte, une caractérisation à la volée nécessite un potentiel électrique de grille constant à $V_G=V_{Gstress}$ pendant la caractérisation (Figure 4-3). Cette configuration électrique est extrêmement contraignante pour une caractérisation

électrique et les outils classiques comme la C-V, le pompage de charges, ou même la caractéristique I_D - V_G nous sont dorénavant interdits d'utilisation.

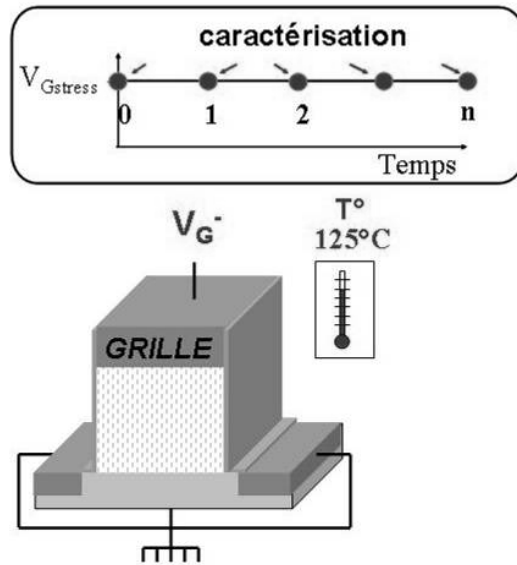


Figure 4-3 : Caractérisation à la volée pendant une contrainte NBT

Néanmoins, en élevant légèrement le potentiel du drain V_D , il est possible de faire circuler un courant à travers le canal. La mesure du courant linéaire $I_{D\text{Lin}}$ à $V_{G\text{stress}}$ permet de caractériser électriquement la dégradation sans modifier (ou presque) la contrainte. Le potentiel V_D doit rester petit par rapport à $V_{G\text{stress}}$ pour conserver le champ électrique dans l'oxyde F_{OX} constant tout le long du canal. Le potentiel de grille reste constant tout au long de l'étude, et les effets de relaxation pendant la caractérisation sont fortement réduits, voir annulés.

Dans l'exemple suivant, le potentiel de drain est périodiquement élevé à -25mV .

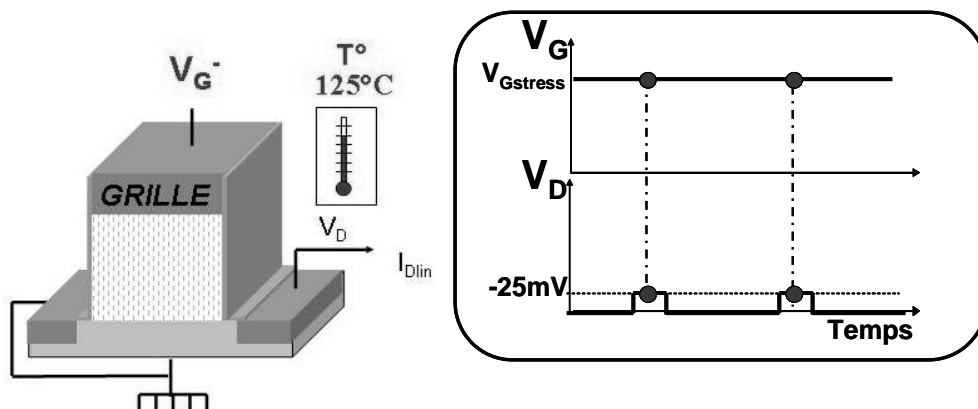


Figure 4-4 : Mesure du courant de drain pendant la contrainte

Les courants linéaires $I_{D\text{Lin}}$ ont été mesurés pour 4 contraintes NBT avec des $V_{G\text{stress}}$ compris entre -1.4V et -1.8V à $T=125^\circ\text{C}$ Nous avons reporté les courants linéaires mesurés dans le temps sur la Figure 4-5.

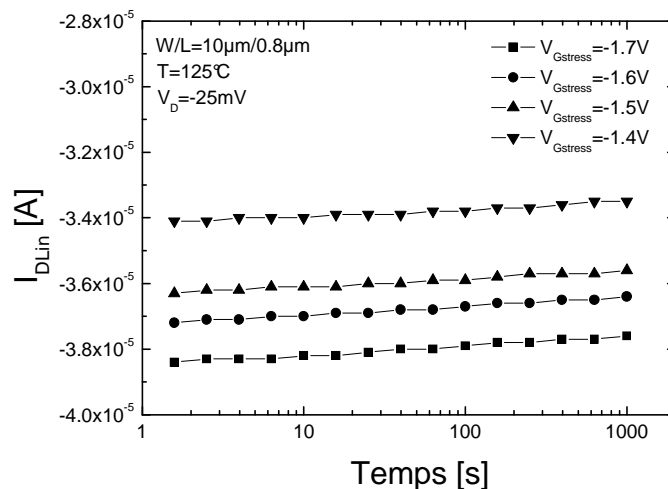


Figure 4-5 : Variation du $I_{D\text{Lin}}$ mesuré à la volée pendant une contrainte NBT

L'étude et l'interprétation de la dégradation avec la technique *on-the-fly* seront faites dans la partie 4.6. La mesure du courant à $V_{G\text{stress}}$ est un excellent indicateur de la dégradation sans relaxation, mais elle n'est pas suffisante pour décorréler si la diminution de courant est induite par une réduction de la mobilité et/ou par l'augmentation du V_T .

Nous proposons d'appliquer un pulse autour de $V_{G\text{stress}}$ sur la grille pour mesurer la transconductance g_m (Figure 4-6). Trois courants linéaires sont alors mesurés : $I_{D\text{Lin}1}$ à $V_{G\text{stress}}$, $I_{D\text{Lin}2}$ à $V_{G\text{stress}}+V_{G\text{pulse}}$ et $I_{D\text{Lin}3}$ à $V_{G\text{stress}}-V_{G\text{pulse}}$. La transconductance $g_m(V_{G\text{stress}})$ sera calculée à partir de $I_{D\text{Lin}2}$ et $I_{D\text{Lin}3}$.

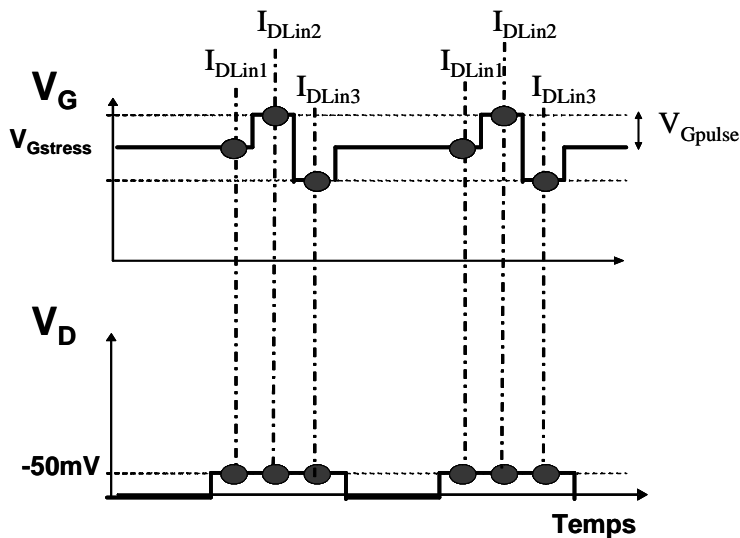


Figure 4-6 : Mesure de courant de drain et de la transconductance pendant la contrainte

Un pulse (d'amplitude de $2V_{Gpulse}$) autour de $V_{Gstress}$ doit être suffisamment faible pour ne pas ajouter une contrainte supplémentaire pendant la valeur haute du pulse et ne pas générer une relaxation pendant la valeur basse. Expérimentalement, nous avons appliqué des pulses autour de $V_{Gstress}$ de l'ordre 50-100mV. Le temps d'acquisition des courants est négligeable car les mesures sont faites à $V_{Gstress}$ (ou très proche de $V_{Gstress}$ pour des V_{Gpulse} faibles)

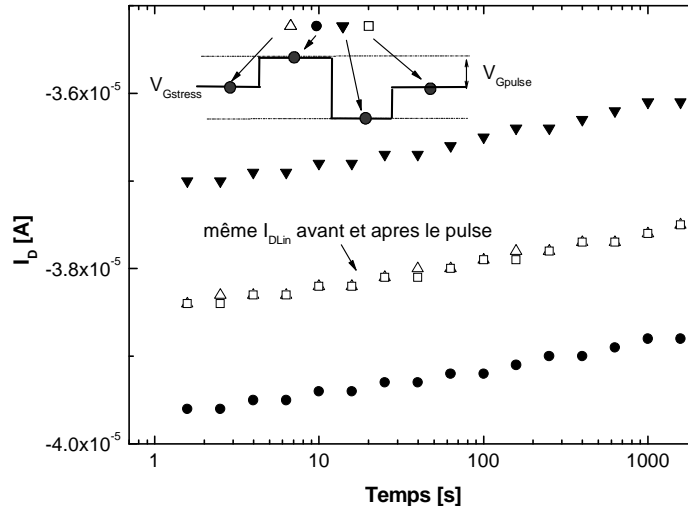


Figure 4-7 : Mesure du courant avant et après un pulse $V_{Gpulse}=100mV$. Il n'y a pas d'effet du pulse sur la dégradation

Pour vérifier l'absence d'effet du pulse autour de $V_{Gstress}$ sur la dégradation, nous avons mesuré un quatrième courant après le pulse à $V_G=V_{Gstress}$. La Figure 4-7 montre que les courants avant et après le pulse sont identiques pour des valeurs $V_{Gpulse} \leq 100mV$. Nous avons également vérifié (Figure 4-8) que la dégradation du courant I_{DLin1} mesuré avec et sans les mesures de I_{DLin2} et I_{DLin3} sont identiques.

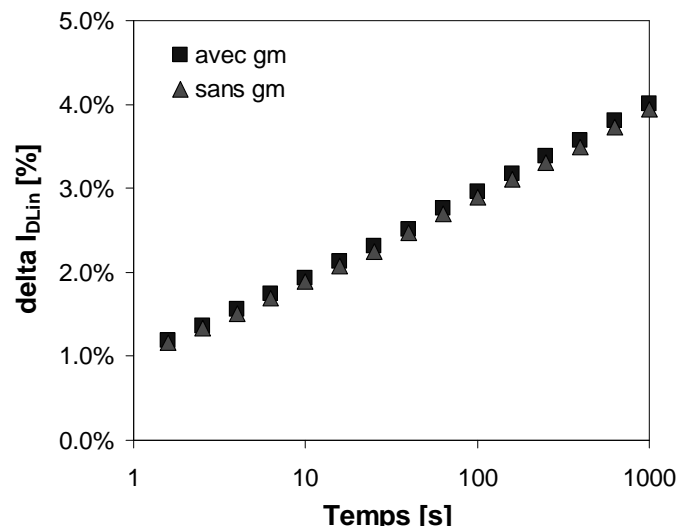


Figure 4-8 : Pas d'effet de la mesure de la transconductance sur la dégradation du I_{DLin}

Les 3 premiers courants mesurés *on-the-fly* sont superposés à la caractéristique I-V initialement mesurées sur le dispositif vierge. La transconductance est calculée à partir de I_{Dlin2} et I_{Dlin3} . Les 3 courants mesurés et la transconductance issue de la caractérisation *on-the-fly* sont en accord avec les caractéristiques électriques statiques mesurées initialement avant la contrainte (Figure 4–9).

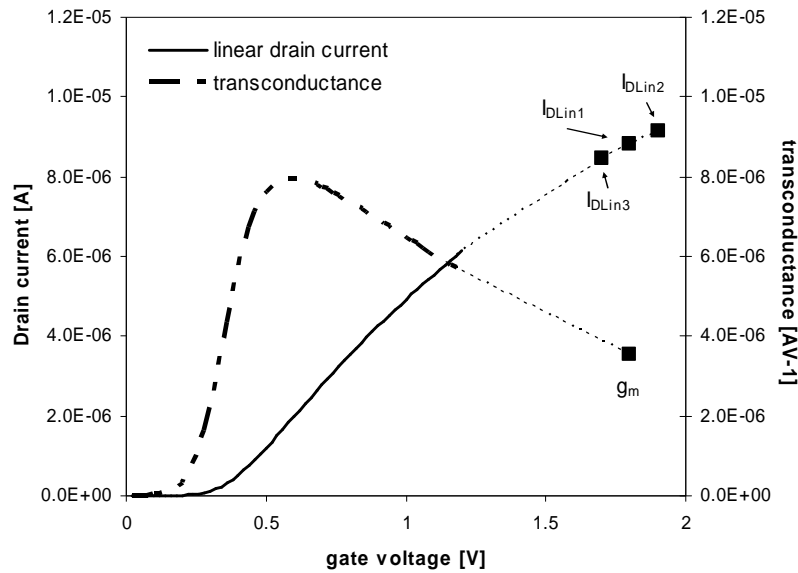


Figure 4–9 : Les caractéristiques $I_D - V_G$ et $g_m - V_g$ initiales du dispositif vierge sont en accord avec les 3 premiers courants mesurés *on-the-fly*. g_m est calculé à partir de I_{Dlin2} et I_{Dlin3}

À titre d'exemple, nous avons reporté sur la Figure 4–10, la transconductance mesurée pour les mêmes conditions NBT que les courants tracés sur la Figure 4–5.

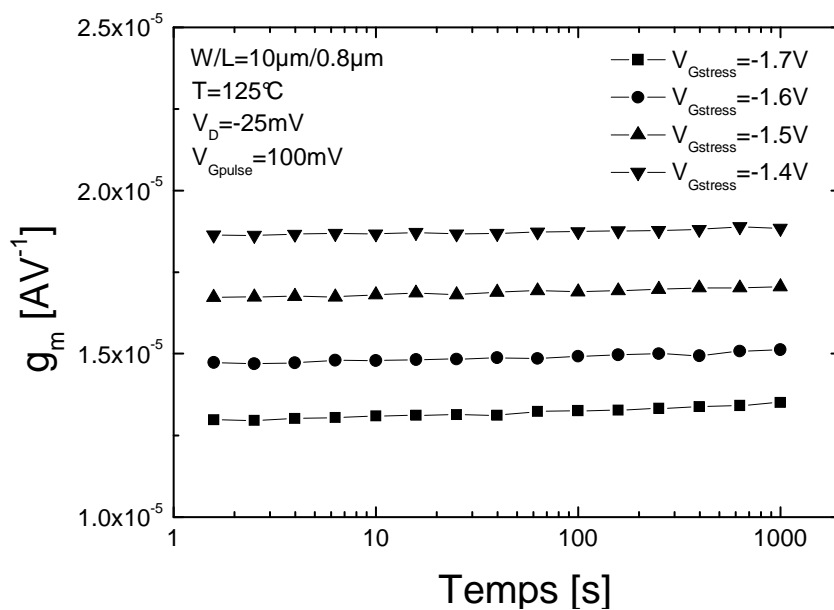


Figure 4–10 : Mesure de la transconductance à la volée pour plusieurs $V_{Gstress}$

Nous pouvons remarquer que la dégradation de la transconductance est globalement faible pour les 4 $V_{Gstress}$. La transconductance à fort V_G est moins sensible à la dégradation que la transconductance g_{mmax} à bas V_G .

4.3.2 Equipements et Protocole

L'équipement nécessaire à la mesure est identique à l'appareillage classiquement utilisé par la plupart des laboratoires de recherche et de l'industrie. Les pulses sur le drain et la grille sont appliqués pas-à-pas par un générateur de tensions continues. Un générateur de tensions continues a été préféré à un générateur de pulses pour éviter les problèmes de synchronisation entre les différents signaux et les problèmes d'inductances parasites.

- Un générateur/multimètre du type HP4156 (Agilent)
- Un banc de mesure doit permettre de connecter les quatre connexions du dispositif au générateur/multimètre. Le banc de mesure doit être capable de faire monter en température le dispositif pour pouvoir y pratiquer une contrainte NBT
- Un PC pour commander le HP4156. La forme du signal à appliquer est donnée par le logiciel du PC. La collecte des mesures électriques se fait également au niveau du PC.

Les sources du logiciel ont été programmées en HP BASIC et sont mis en Annexe B. Le HP4156 est commandé en « mode utilisateur (user) » et les commandes sont envoyées séquentiellement.

Après initialisation, l'intégrité du dispositif est vérifiée. $V_{Gstress}$ est appliquée sur la grille. Le potentiel de drain est appliqué à $V_D = -50mV$, dans cet exemple, pour permettre de mesurer les 3 courants I_{DLin1} , I_{DLin2} , et I_{DLin3} . Le potentiel de grille est légèrement augmenté par V_{Gpulse} pour mesurer I_{DLin2} . Le troisième courant I_{DLin3} est mesuré en appliquant un pulse négatif de $-V_{Gpulse}$. Ensuite, le drain est connecté à la masse et le dispositif se retrouve sous contrainte pendant t_{stress} , jusqu'à la prochaine mesure des courants. Une fois la contrainte terminée, le PC prend en charge toute la partie traitement de données.

Le synopsis du programme peut être représenté comme :

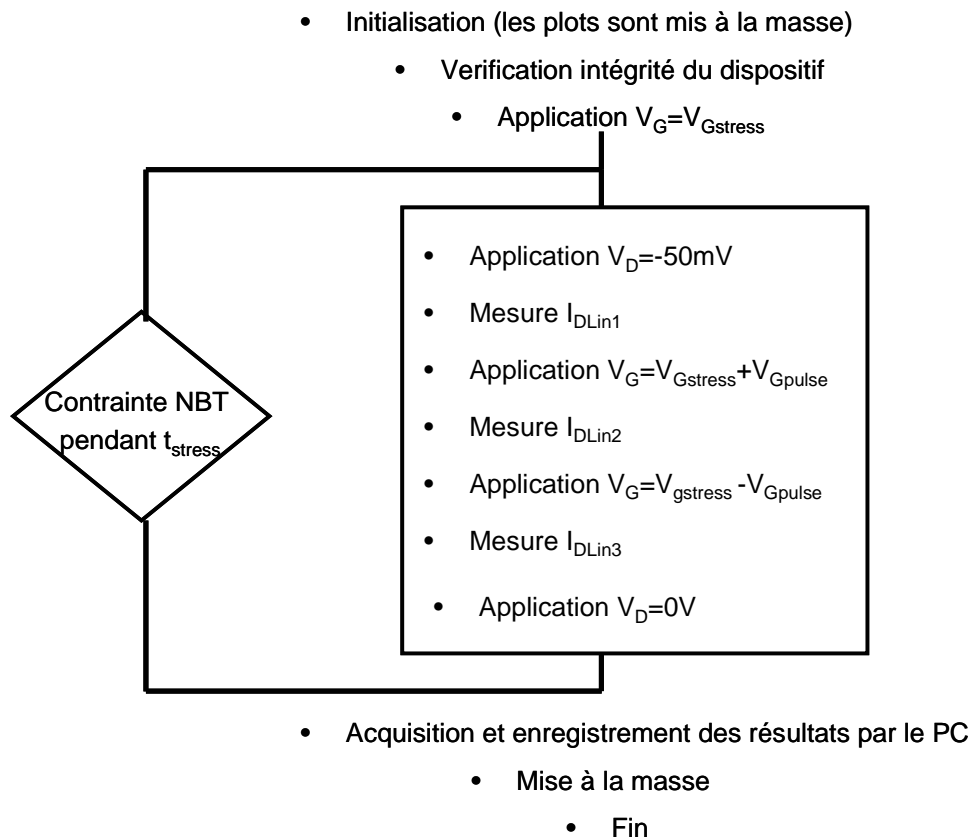


Figure 4–11 : Vue générale du protocole expérimental

4.4 Extraction de la dérive des paramètres physiques et électriques

L'extrapolation des paramètres va dépendre très fortement du modèle électrique choisi pour modéliser le courant. Comme nous allons le montrer, l'extraction de la dégradation est adaptable, les relations entre la dégradation du courant et la dégradation des paramètres électriques (V_T , β) seront dépendant du modèle choisi. Nous avons arbitrairement choisi d'en développer 2. Dans un premier temps, nous nous attacherons à extraire les paramètres physiques : la génération de défauts chargés Q_{Def} (dans l'oxyde et à l'interface SiO_2/Si) et la réduction de la vitesse effective v_{EFF} des porteurs dans le canal. Ensuite, nous développerons une procédure d'extraction de la dérive des paramètres pour le modèle Eq.1-27. L'utilisateur pourra établir les nouvelles relations entre la dérive des paramètres électriques et la dérive des courants pour le modèle électrique considéré.

4.4.1 Extraction des paramètres physiques

L'indice 0 correspond à la valeur des grandeurs considérées initialement avant la contrainte. De façon générale, pour un V_D donné, le courant de drain I_{DLin0} à $V_G=V_{Gstress}$ peut s'exprimer en fonction de la quantité de porteur $Q_{Inv0}(V_{Gstress})$ se déplaçant à une vitesse effective v_{EFF0} (proportionnelle à V_D) dans un canal de longueur L .

$$I_{DLin0}(V_{Gstress}) = \frac{v_{EFF0}(V_{Gstress})}{L} Q_{Inv0}(V_{Gstress}) \quad \text{Eq. 4-1}$$

En définissant $K = C_{OX}WL$, la dérivée partielle de la charge dans le canal (la charge inversée est proportionnelle au potentiel électrique de la grille de rapport K) :

$$K = \frac{\partial Q_{Inv0}(V_{Gstress})}{\partial V_{Gstress}} \quad \text{Eq. 4-2}$$

Pour un pulse autour de $V_{Gstress}$ faible, la vitesse effective v_{EFF} peut être considérée constante autour de $V_{Gstress}$ (notamment à fort V_G). La bonne linéarité entre les 3 courants et V_G confirme cette hypothèse. La vitesse v_{EFF0} est évaluée à partir de la transconductance, soit la pente g_m passant par les 3 courants, soit :

$$g_m = \frac{I_{DLin3} - I_{DLin2}}{[(V_{Gstress} + V_{Gpulse}) - (V_{Gstress} - V_{Gpulse})]} = \frac{I_{DLin3} - I_{DLin2}}{2V_{Gpulse}} = \frac{K}{L} v_{EFF} \quad \text{Eq. 4-3}$$

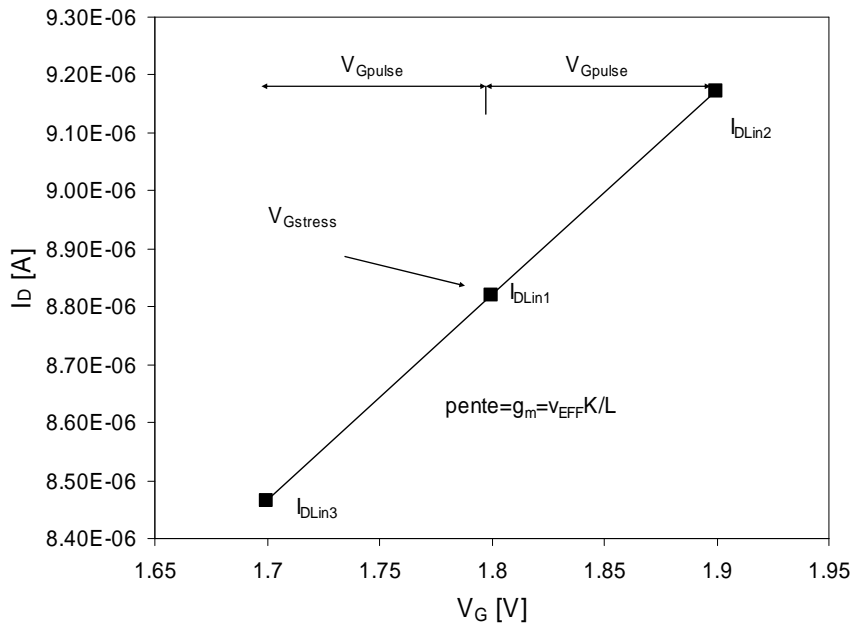


Figure 4-12 : Illustration de l'extrapolation de la pente g_m

Il est possible d'évaluer la charge $Q_{Inv0}(V_{Gstress})$ par la relation suivante :

$$Q_{Inv0}(V_{Gstress}) = \frac{I_{DLin10} L}{V_{EFF0}} = \frac{I_{DLin10} K}{g_{m0}} \quad \text{Eq. 4-4}$$

Avec K , calculé à partir des valeurs géométriques du transistor, et g_{m0} grâce aux trois premières mesures de courants. La variation du courant linéaire ΔI_{DS} est induite par une perte de vitesse des porteurs (Δv_{EFF}) et une diminution de la charge dans le canal (équivalent à ΔV_T). Cette diminution de courant est représentée sur la Figure 4–13 avec comme conditions $V_{Gstress} = -1.8V$ et $V_{Gpulse} = 100mV$. Nous considérons que la diminution de la charge ΔQ_{inv} est due à la génération de défauts chargés ΔQ_{Def} dans la structure. La charge totale ΔQ_{Def} générée pendant la contrainte est composée de la charge à l'interface ΔQ_{IT} et de la charge dans l'oxyde ΔQ_{OX} (charges fixes Q_f et trous piégés Q_{ht}):

$$\Delta Q_{Inv} = \Delta Q_{Def} = \Delta Q_{IT} + \Delta Q_{OX} = \Delta Q_{IT} + \Delta Q_f + \Delta Q_{ht} \quad \text{Eq. 4-5}$$

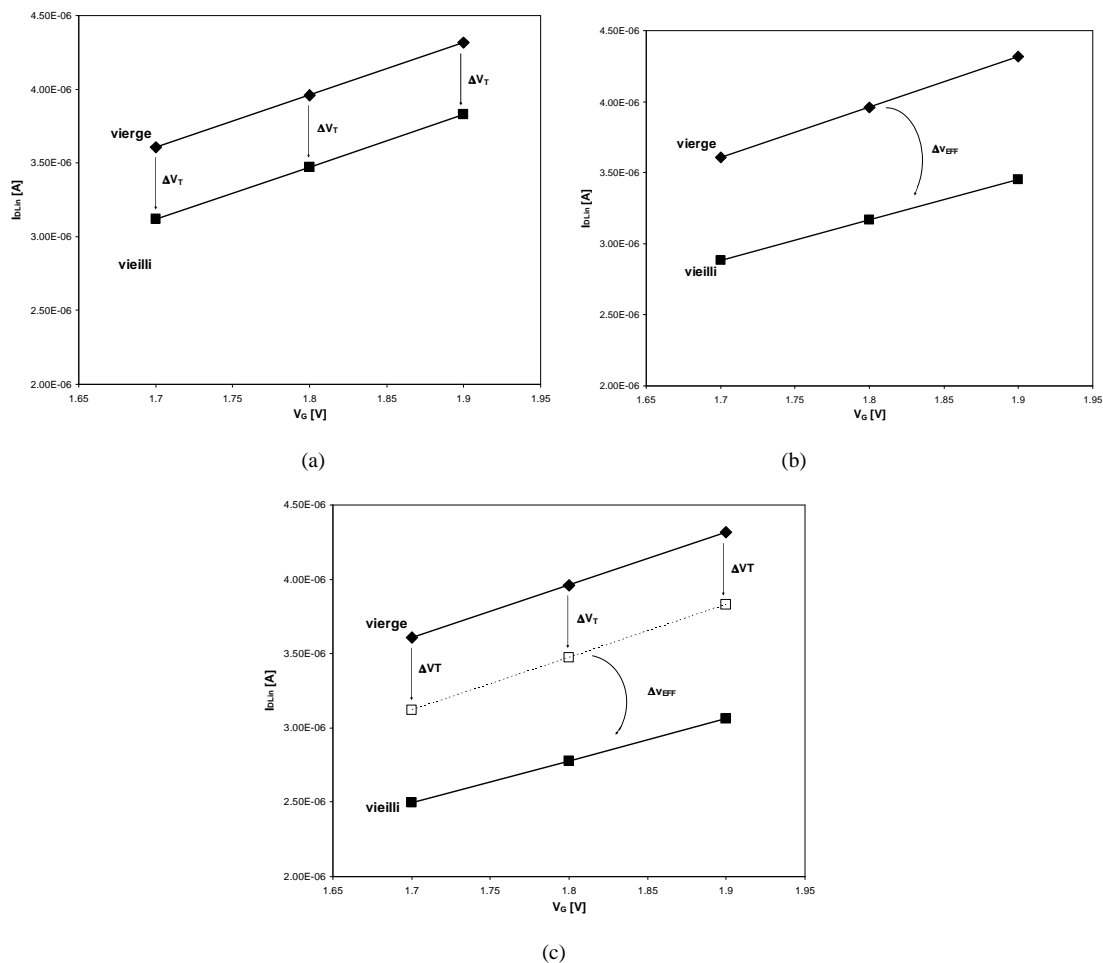


Figure 4–13 : La variation du courant I_{DLin1} est induit par (a) la diminution du V_T et de (b) la réduction de la vitesse effective v_{EFF} . La combinaison des deux effets est représentée sur la figure (c)

La variation de la vitesse effective pendant la contrainte est quantifiable à travers à la variation de la pente g_m :

$$\Delta v_{EFF} = \frac{\Delta g_m L}{K} \quad \text{Eq. 4-6}$$

La génération de défauts ΔQ_{Def} est donnée par :

$$\Delta Q_{Def} = \Delta Q_{Inv} \quad \text{Eq. 4-7}$$

Aucune hypothèse n'est faite sur les relations possibles entre la variation de la charge Q_{Def} sur celle de la vitesse v_{EFF} . En revanche, cette formulation modélise rigoureusement la perte de vitesse des porteurs dans le canal et la charge générée pendant la contrainte à la condition particulière $V_G = V_{Gstress}$. Elle ouvre de nouvelles perspectives de caractérisations électriques, notamment pour tous les phénomènes de piégeage/dépiégeage dans les diélectriques de grille avancés.

4.4.2 Extraction basée sur le modèle SPICE 3

Nous prenons arbitrairement le modèle nous avons présenté dans le premier chapitre (Eq.1-27). Des relations simples relient le courant linéaire et la transconductance à la tension de seuil V_T , aux paramètres β et θ .

La compréhension et la modélisation des interactions que peuvent avoir les charges générées dans l'oxyde et à l'interface sur la mobilité des porteurs dans le canal sont délicates. Comme nous l'avons présenté précédemment, les charges fixes, les charges piégées dans les défauts d'interface, l'augmentation de la rugosité de surface et les charges piégées dans l'oxyde ont toutes des influences différentes sur la mobilité. Le F_{OX} imposé a également une grande importance sur les effets des différents types de défauts. Le modèle électrique SPICE 3 prend en compte la réduction de mobilité par l'intermédiaire des paramètres β , et le couple (V_T, θ) dans $1 + \theta(V_G - V_T - \alpha V_{DS})$. Cette modélisation de réduction de mobilité est pseudo empirique et reste une modélisation simple de la réduction de la mobilité. Les paramètres β et θ sont reliés par la résistance d'accès R_{SD} qui dans le cas d'une contrainte NBT n'est pas dégradée (Fig.2-13).

La dépendance en champ électrique de la mobilité et son évolution n'est pas accessible par la technique *on-the-fly*. En effet, la mobilité ne peut être mesurée que pour un champ électrique

unique à la condition $V_G=V_{Gstress}$. De plus, cette technique ne permet pas de dissocier la nature des défauts, la charge à l'interface et la charge dans l'oxyde.

Nous décidons de modéliser la perte de mobilité uniquement à travers le paramètre β et V_T dans la réduction de mobilité, et de considérer θ constant. La variation de la courbure de la caractéristique I_D - V_G , si elle existe, sera donc prise en compte par $\Delta\beta$ et ΔV_T .

Soit

$$I_{DS0} = \beta_0 V_{DS} \frac{(V_{Gstress} - V_{T0} - \alpha V_{DS})}{1 + \theta(V_{Gstress} - V_{T0} - \alpha V_{DS})} \quad \text{Eq. 4-8}$$

$$I_{DS1} = \beta_1 V_{DS} \frac{(V_{Gstress} - V_{T1} - \alpha V_{DS})}{1 + \theta(V_{Gstress} - V_{T1} - \alpha V_{DS})} \quad \text{Eq. 4-9}$$

Et

$$g_{m0} = \frac{\beta_0 V_{DS}}{[1 + \theta(V_{Gstress} - V_{T0} - \alpha V_{DS})]^2} \quad \text{Eq. 4-10}$$

$$g_{m1} = \frac{\beta_1 V_{DS}}{[1 + \theta(V_{Gstress} - V_{T1} - \alpha V_{DS})]^2} \quad \text{Eq. 4-11}$$

Avec $\beta_1 = \beta_0 + \Delta\beta$ et $V_{T1} = V_{T0} + \Delta V_T$

En remarquant que le quotient du courant sur la transconductance est indépendant du paramètre β , nous obtenons une équation du second degré :

$$A\Delta V_T^2 + B\Delta V_T + C = 0 \quad \text{Eq. 4-12}$$

Avec

$$\begin{aligned} A &= \theta \\ B &= -[1 + 2\theta(V_{Gstress} - V_{T0} - \alpha V_{DS})] \\ C &= \left[\frac{I_{DS0}}{g_{m0}} - \frac{I_{DS1}}{g_{m1}} \right] \end{aligned} \quad \text{Eq. 4-13}$$

Sa forme analytique de ΔV_T est donnée directement par la solution :

$$\Delta V_T = \frac{-B \pm \sqrt{B^2 - 4AC}}{2A} \quad \text{Eq. 4-14}$$

Pour la variation de β , le calcul se fait à partir des quotients des courants élevés au carré sur les transconductances respectives :

$$\frac{I_{DS0}^2}{g_{m0}} = \beta_0 V_{DS} (V_{Gstress} - V_{T0} - \alpha V_{DS})^2 \quad \text{Eq. 4-15}$$

$$\frac{I_{DS1}^2}{g_{m1}} = \beta_1 V_{DS} (V_{Gstress} - V_{T1} - \alpha V_{DS})^2 \quad \text{Eq. 4-16}$$

Pour une simplification d'écriture, la valeur V_{T1} est exprimée en fonction de V_{T0} et ΔV_T (calculées à partir de l'équation Eq.4-14). L'équation devient après simplification :

$$\Delta\beta = \frac{I_{DS1}^2}{g_{m1} V_{DS} (V_{Gstress} - V_{T0} - \alpha V_{DS} - \Delta V_T)^2} - \frac{I_{DS0}^2}{g_{m0} V_{DS} (V_{Gstress} - V_{T0} - \alpha V_{DS})^2} \quad \text{Eq. 4-17}$$

Du point de vue expérimental, il suffira donc de caractériser électriquement le dispositif vierge (extraction des paramètres électriques V_{T0} , β_0 , θ_0 , α), de choisir les paramètres électriques de la mesure *on-the-fly* ($V_{Gstress}$, V_D , V_{Gpulse}) et de mesurer périodiquement les courants I_{DLin1} , I_{DLin2} et I_{DLin3} . Les équations Eq.4-14 et Eq.4-17 permettent d'extraire les dérivés ΔV_T et $\Delta\beta$ associées à ces différents paramètres expérimentaux (Figure 4–14).

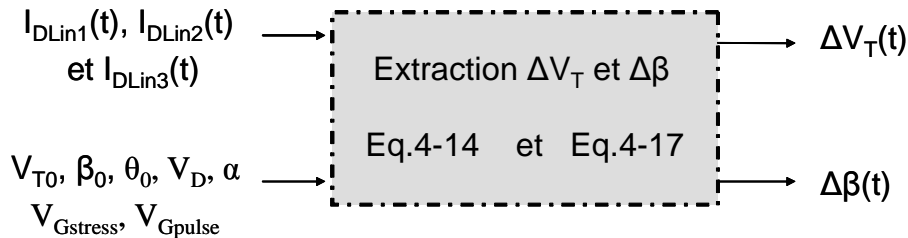


Figure 4–14 : Les équations Eq.4-14 et Eq.4-17 permettent d'extraire les dérivés ΔV_T et $\Delta\beta$ à partir d'une caractérisation électrique du dispositif vierge et des 3 courants I_{DLin1} , I_{DLin2} et I_{DLin3} périodiquement mesurés pendant la contrainte NBT

4.5 Vérification théorique de la caractérisation à la volée

La vérification théorique de la technique *on-the-fly* sera faite par simulation. La Figure 4–15 illustre notre travail de simulation. À partir des dégradations ΔV_T et $\Delta\beta$ que nous simulerons, nous calculerons les trois courants I_{DLin1} , I_{DLin2} et I_{DLin3} équivalents pour chaque instant (nous avons arbitrairement choisi pour cette partie, $V_{T0}=-350\text{mV}$, $\theta_0=0.46\text{V}^{-1}$, $\beta_0=1.05.10^{-4}\text{A/V}^2$, $\alpha=0.5$, $V_D=-100\text{mV}$, $V_{Gstress}=-1.65\text{V}$ et $V_{Gpulse}=100\text{mV}$). Ensuite, les équations Eq.4-14 et

Eq.4-17 nous permettront d'extraire les dégradations relatives à la variation des courants I_{DLin1} , I_{DLin2} et I_{DLin3} . Nous pourrons ainsi comparer la dégradation théorique que nous avons utilisée pour calculer les 3 courants, et la dégradation extraite à partir des 3 courants dégradés.

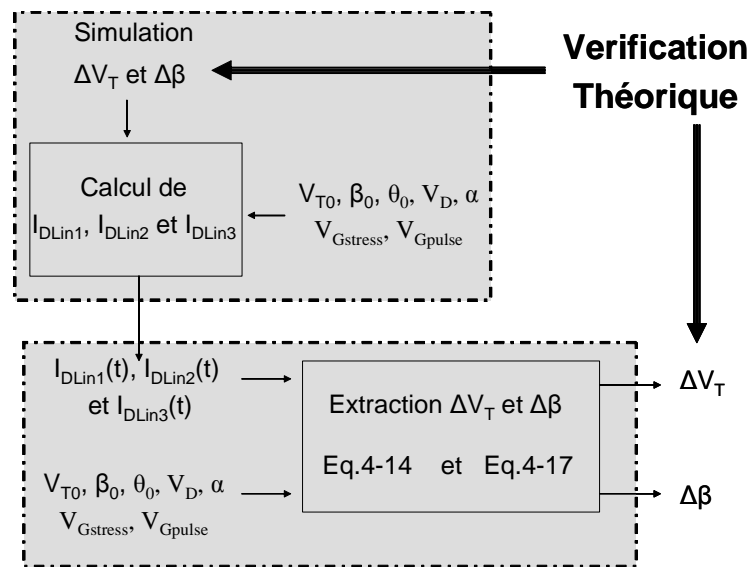


Figure 4–15 : Simulation d'une dégradation et vérification de la précision de la technique

Dans un premier temps, nous allons vérifier la précision de l'extraction. La prise en compte du second ordre dans les équations Eq.4-12 à Eq.4-14 devrait à priori donner de bons résultats. La seconde partie sera plus intéressante, on y évaluera la précision de l'extrapolation. Nous allons volontairement ajouter un bruit entre les paramètres électriques (V_{T0} et θ) utilisés pour la simulation de la dégradation et les paramètres électriques utilisés pour extraire les dégradations ΔV_T et $\Delta\beta$.

4.5.1 Simulation de la dégradation

Nous avons simulé une dégradation de $\Delta V_T=100\text{mV}$ et $\Delta\beta=-2.10^{-4}\text{A/V}^2$ les 10^4 premières secondes et une relaxation de 80mV du V_T les 10^3 secondes suivantes. La dérive des 3 courants I_{DLin1} , I_{DLin2} et I_{DLin3} correspondants ont été calculés en prenant comme paramètres électriques ceux définis dans la partie 4.5. Les traits pleins représentés sur les Figure 4–16 (a) et la Figure 4–16 (b) correspondent respectivement à la dégradation du V_T et celle du β utilisées pour la simulation. À partir de la dégradation des courants I_{DLin1} , I_{DLin2} et I_{DLin3} , les équations Eq.4-14 et Eq.4-17 permettent d'obtenir les variations ΔV_T et $\Delta\beta$ équivalentes, que nous avons représenté par des points respectivement sur la Figure 4–16 (a) et la Figure 4–16 (b). Nous observons une très bonne précision de l'extraction pour la phase NBT et la phase de relaxation. Aucune relaxation n'est simulée sur le β comme attendu.

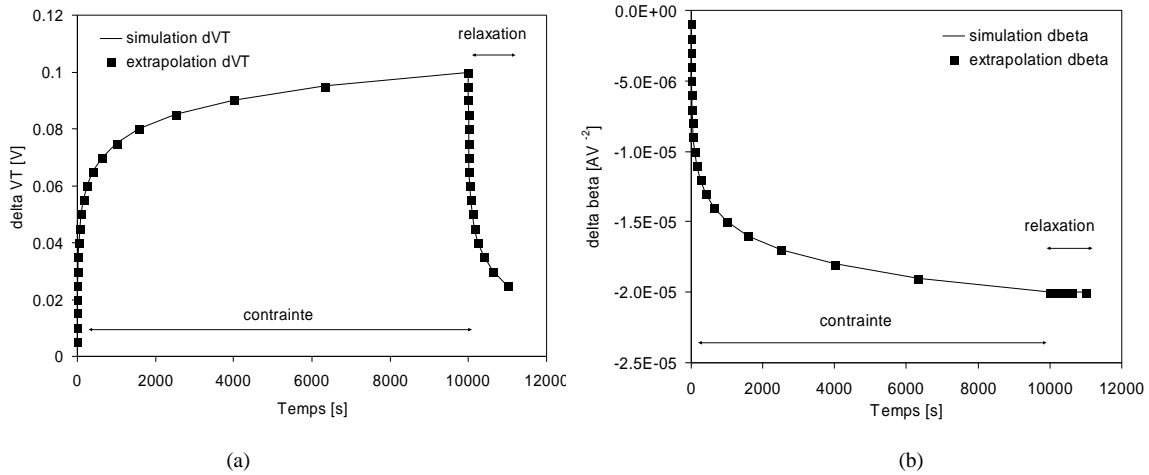


Figure 4–16 : Comparaison entre la dégradation simulée et la dégradation extraite. (a) correspond à la dégradation/relaxation du V_T tandis que (b) correspond à la dégradation de β

4.5.2 Application d'un bruit sur les paramètres électriques.

Nous avons appliqué un bruit sur les paramètres électriques (V_{T0} et θ) pour simuler une mauvaise extrapolation des paramètres électriques du dispositif à $t=0s$. La différence entre les paramètres électriques utilisés pour la simulation et les paramètres électriques utilisés pour l'extraction de la dégradation sera exprimée en pourcentage. La Figure 4–17 illustre l'erreur faite sur l'extraction de ΔV_T et $\Delta \beta$ en fonction de l'erreur commise sur l'extraction de θ .

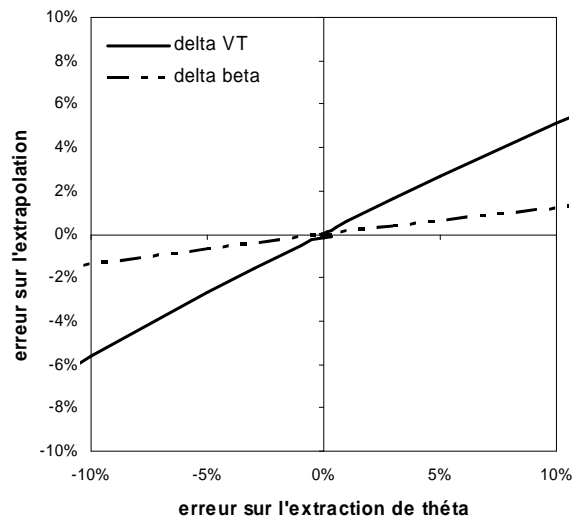


Figure 4–17 : Erreur sur l'extraction de ΔV_T et $\Delta \beta$ en fonction de l'erreur commise sur l'extraction de θ

L'erreur commise sur l'extraction sera globalement plus élevée sur le ΔV_T que sur le $\Delta \beta$. Pour une erreur de 10% sur θ (ce qui est déjà important), l'erreur commise sur l'extraction des dégradations sera inférieure à 6%. Une imprécision d'extraction sur le V_{T0} est représentée sur

la Figure 4–18. L’effet est encore moins important que celui observé pour θ , et nous pouvons considérer qu’une erreur inférieure de 10% sur l’extraction de V_{T0} n’impliquerait qu’une imprécision sur l’extraction inférieure à 2%.

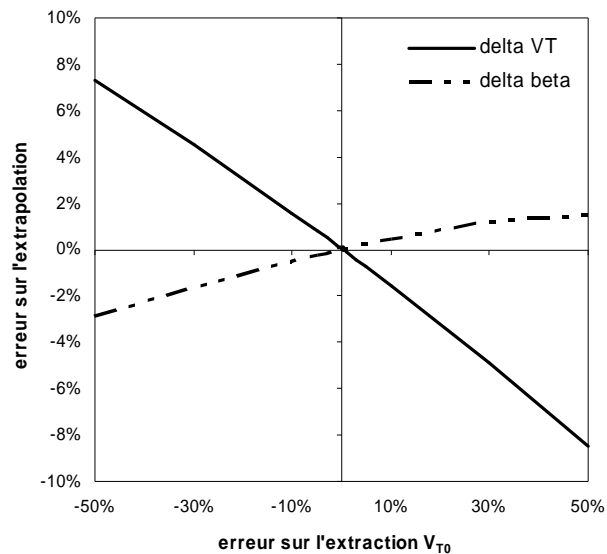


Figure 4–18 : Erreur sur l’extraction de ΔV_T et $\Delta \beta$ en fonction de l’erreur commise sur l’extraction de V_{T0}

Ces simulations montrent que l’extraction de la dégradation par la technique *on-the-fly* sera peu influencée par les erreurs commises lors de l’extraction des paramètres électriques initiaux.

4.6 Etude du NBTI et de sa relaxation avec la technique *on-the-fly*

Nous allons présenter dans cette partie les caractérisations du NBTI et de la phase de relaxation par la technique *on-the-fly*. Ce travail constitue la première étude du NBTI où le problème de relaxation pendant la caractérisation électrique est éliminé [17], [130]. Elle va permettre de mettre en avant l’importance du piégeage/dépiégeage de trous dans la dégradation NBTI. Nos échantillons sont des oxydes nitrurés de 2nm d’épaisseur (oxyde pur si mentionné). La longueur des dispositifs est comprise entre $L=0.2\mu\text{m}$ et $10\mu\text{m}$ pour un $W=10\mu\text{m}$ (aucun effet de la longueur n’a été observé sur nos échantillons). Nous avons fait varier la température de 25°C à 145°C et la tension $V_{G\text{stress}}$ compris entre -1.4V et 2.2V.

La première vérification que nous avons faite concerne l’effet de la hauteur du pulse $V_{G\text{pulse}}$ sur le calcul de la dérive ΔV_T . Nous avons appliqué $V_{G\text{stress}}=-1.5\text{V}$ pendant 100s à $T=125^\circ\text{C}$ sur 5 dispositifs. Sur chaque dispositif, un $V_{G\text{pulse}}$ compris entre 50mV et 250mV est ensuite appliqué. L’ensemble des dégradations ΔV_T est reporté sur la Figure 4–19.

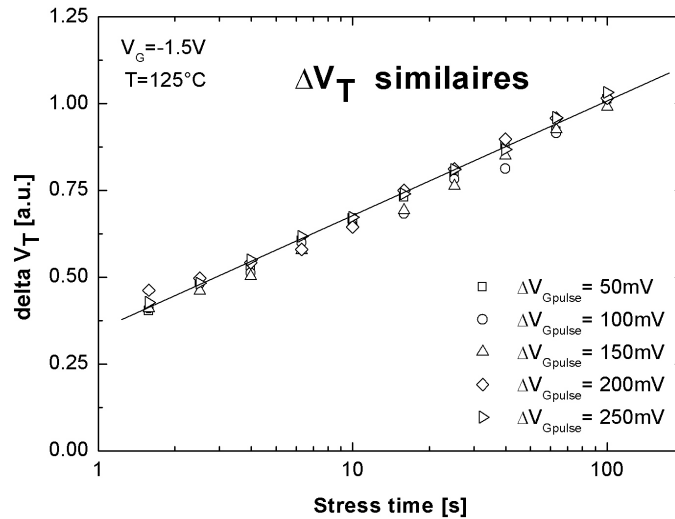


Figure 4–19 : Effet de la hauteur du pulse sur le calcul de ΔV_T pour une contrainte NBT donnée [17]

Les dégradations sont similaires et nous pouvons considérer que les effets liés à la hauteur du pulse sont négligeables sur les calculs de dégradation.

Les dynamiques de la dégradation du V_T sont reportées sur la Figure 4–20 pour des contraintes $V_{Gstress}$ de -1.5V à -2.2V durant $t_{stress}=1000s$. Pour la première fois, nous montrons expérimentalement que la dynamique de dégradation est une fonction logarithmique du temps. Ce comportement logarithmique est attribué au piégeage de trous. En mesurant à la volée, la participation des trous piégés dans l'oxyde dans la dégradation est cette fois-ci totalement prise en compte, contrairement à une caractérisation classique, qui de fait, introduit une forte relaxation pendant la caractérisation.

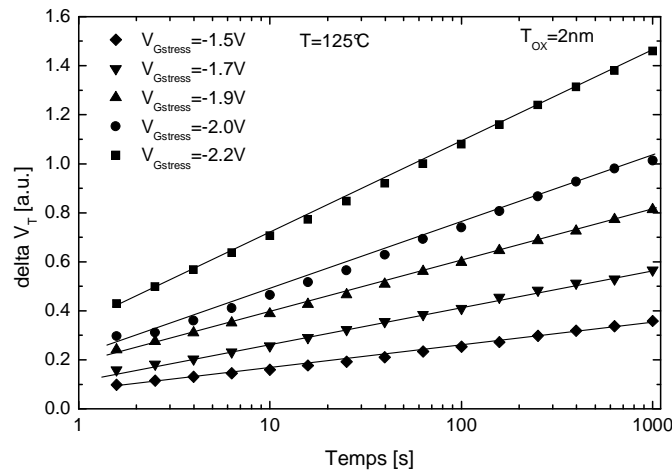


Figure 4–20 : Exemple de dérive de la tension de seuil ΔV_T mesurée à la volée sur un oxyde nitruré de 2nm d'épaisseur [17]

Pour montrer la forte corrélation entre la dégradation ΔV_T mesurée *on-the-fly* et le piégeage de trous, nous avons tracé sur la Figure 4–21 le quotient entre ΔV_T et le courant de trous traversant la grille I_{GH} mesuré par la technique de séparation de porteurs pour chaque condition NBT ($V_{Gstress}$ compris entre -1.5V et -2.2V à $T=125^\circ\text{C}$).

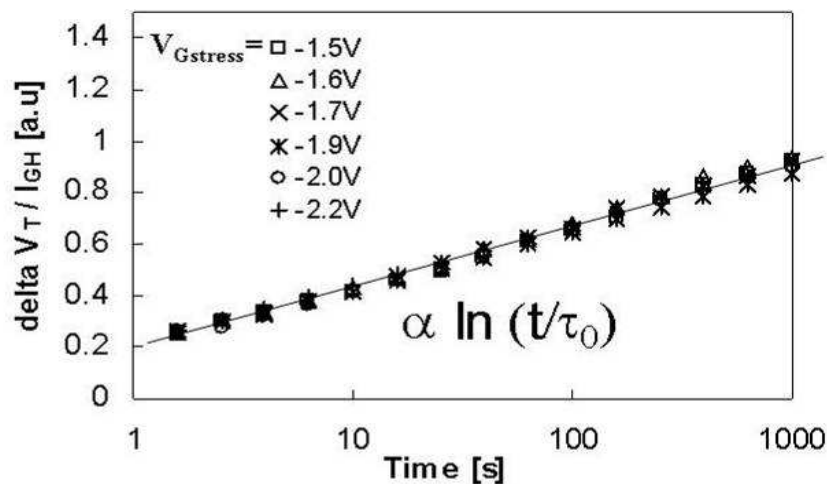


Figure 4–21 : Corrélation entre la dégradation observée sur V_T et le courant de trous mesuré par séparation de porteurs pour chaque condition NBT considérée [17]

Nous mettons en évidence une relation forte entre la dégradation et le courant de trous I_{GH} . Nous avons également comparé le piégeage de trous sur un oxyde pur et nitruré (d'épaisseurs d'oxyde équivalentes). Nous avons relevé la dégradation après 100s et 1000s de contrainte sur les 2 oxydes pour des conditions NBT V_G compris entre -1.7V et -2.5V à $T=125^\circ\text{C}$ (Figure 4–22).

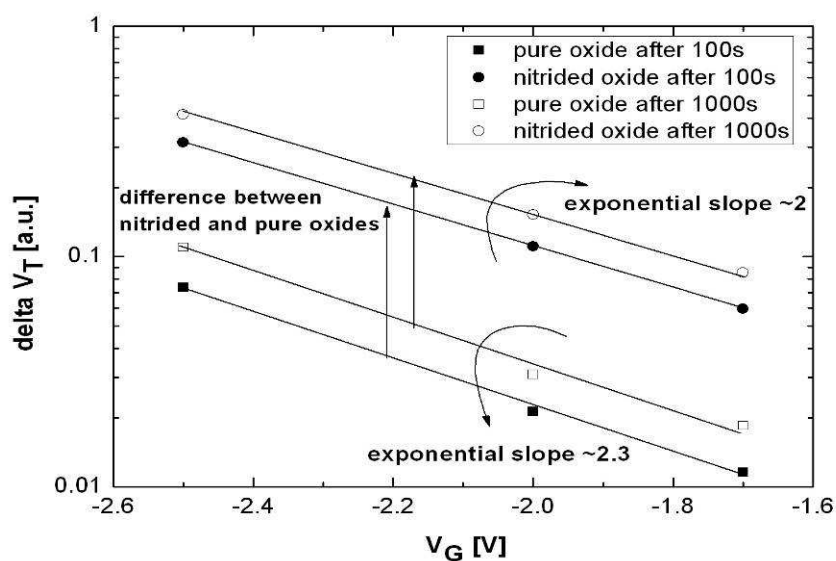


Figure 4–22 : Comparaison des dégradations du V_T obtenues sur un oxyde pur et oxyde nitruré [17]

Même si l'oxyde pur présente un courant de fuite de grille supérieur à celui de l'oxyde nitruré, le piégeage de trous y est beaucoup moins important. Comme nous le verrons dans le chapitre 5, la présence d'azote dans l'oxyde est connue pour favoriser le NBTI. Concernant le piégeage de trous, nous pensons pour notre part que l'azote augmente le nombre de pièges susceptibles de piéger des trous [131]. Le facteur d'accélération est légèrement supérieur pour l'oxyde pur ($2.3V^{-1}$ au lieu de $2V^{-1}$ obtenu pour le nitruré) et ne dépend pas du temps de contrainte.

L'activation en température du mécanisme de piégeage est extrapolée à partir des dégradations effectuées entre 25°C et 145°C représentées sur la Figure 4–23. Un potentiel électrique de $V_G = -1.7V$ est appliqué pendant 1000s. Nous relevons une énergie d'activation très faible de 0.03eV.

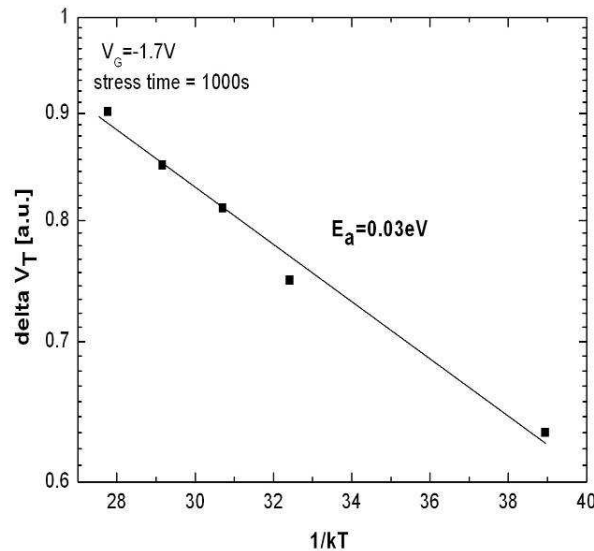


Figure 4–23 : Extrapolation de l'activation en température du mécanisme de piégeage de trous

Les résultats expérimentaux de cette étude permettent d'établir un modèle pour la dérive de la tension de seuil attribuée au piégeage de trous sous la forme :

$$\Delta V_T(t, V_{Gstress}, T) = \alpha I_{GH}(V_{Gstress}, T) \ln\left(\frac{t}{\tau_0}\right) \quad \text{Eq. 4-18}$$

Les dépendances en V_G (ou en champ électrique dans l'oxyde) et en température T correspondent aux dépendances du courant de trou I_{GH} traversant l'oxyde de grille par effet tunnel.

Plusieurs modélisations dont celle de Shanware *et al.*[124], considérant une distribution volumique des pièges dans l'oxyde, prévoient un piégeage de porteurs avec une dynamique logarithmique dans le temps :

$$dV_{T,Q_{it}}(t) = -\frac{Q_{it}}{C_{OX}} \frac{1}{\alpha} \ln\left(\frac{t}{\tau_0}\right) \quad \text{Eq. 4-19}$$

La constante de temps de piégeage est considérée dépendante exponentiellement de la profondeur du piège

$$\tau_0(x) = \tau_0(0)\exp(\alpha x) \quad \text{Eq. 4-20}$$

avec α la probabilité de transport d'un trou de passer du canal au piège.

Cependant, aucune n'aboutit sur une formulation dont le paramètre τ_0 est indépendant des conditions NBT. Bien que l'équation Eq.4-18 soit basée sur des paramètres physiques, cette modélisation reste donc empirique.

Nous avons étudié la phase de relaxation en utilisant la technique *on-the-fly* : Après une contrainte NBT pendant laquelle nous avons suivi la dérive du V_T avec la technique *on-the-fly*, le potentiel électrique $V_{G\text{recovery}}$ est appliqué sur la grille et périodiquement, les 3 courants I_{FLin1} , I_{DLin2} et I_{DLin3} sont mesurés pendant la phase de relaxation autour de $V_{G\text{stress}}$ (Figure 4–24).

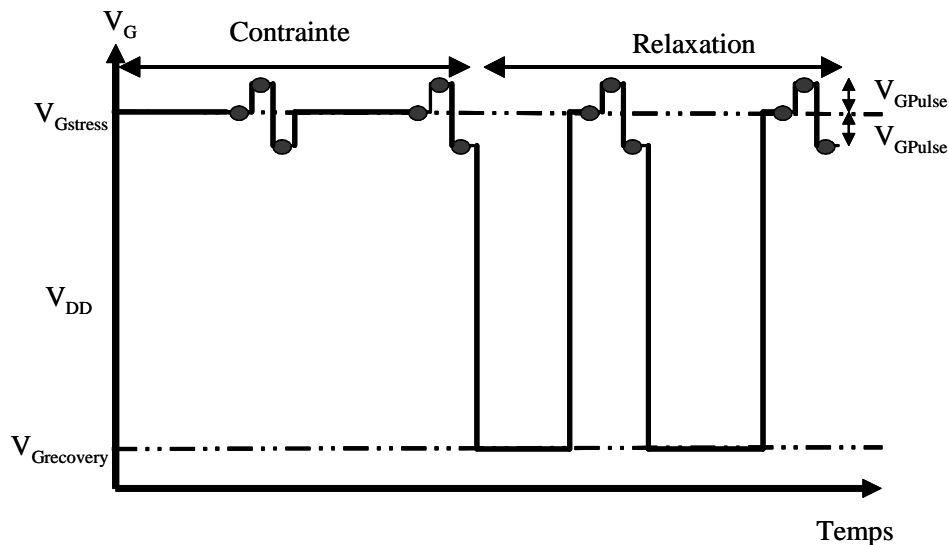


Figure 4–24 : Les courant de drain sont mesurés dans les même conditions pendant la contrainte et la phase de relaxation

Nous avons appliqué $V_{G\text{stress}}=-2\text{V}$ à $T=125^\circ\text{C}$ pendant 1000s sur 6 dispositifs. Une très bonne reproductibilité de la dégradation est observée sur le calcul de ΔV_T (Figure 4–25). Une phase de relaxation est appliquée sur la grille avec un potentiel électrique compris entre 1.5V et -1.5V pendant 100s sur chacun des dispositifs (la température est constante pendant le NBTS et la phase de relaxation). La dérive ΔV_T (entre $t=0\text{s}$ et après la phase de relaxation) est

reportée sur la figure du dessous, en fonction de $V_{G\text{recovery}}$. Plus le champ électrique dans l'oxyde est faible, plus la relaxation est importante. La relaxation est maximale pour les champs électriques positifs ($V_G > V_{FB} = 1V$)

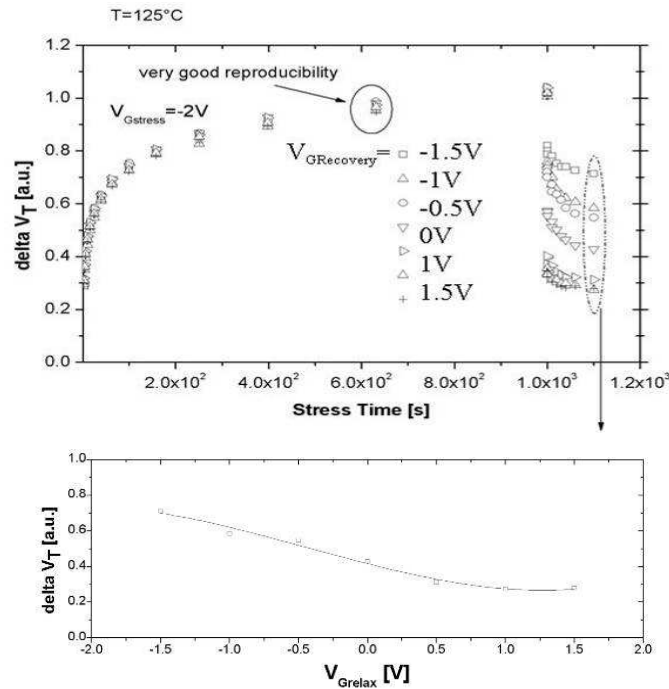


Figure 4–25 : Etude de la relaxation en fonction du potentiel électrique de relaxation $V_{G\text{recovery}}$ appliqué sur la grille [17]

La Figure 4–26 représente l'effet du niveau de la dégradation sur la phase de relaxation. Nous avons appliqué $V_G = -1.6V$ et $V_G = -1.7V$ à $T = 125^\circ\text{C}$. Nous avons appliqué la contrainte à $V_G = -1.6V$ plus longtemps que celle à $V_G = -1.7V$ pour obtenir le même niveau de dégradation. Les dynamiques de relaxation sont tracées dans la partie droite avec une nouvelle indexation temporelle. Si les dynamiques de relaxation sont parallèles, les taux de relaxation sont différents. Pour un même niveau de dégradation, la relaxation est plus rapide pour la contrainte la plus courte. Les dynamiques de relaxation sont également de type logarithmique avec le temps.

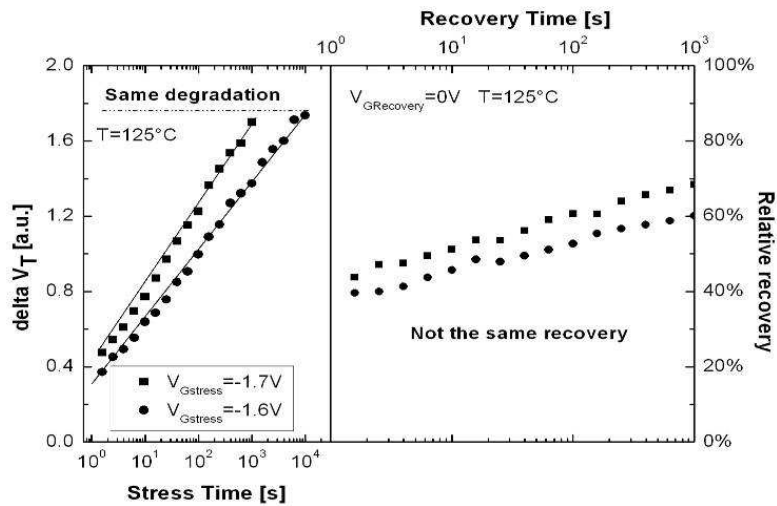


Figure 4–26 : Etude de la relaxation de la dégradation : pour un même niveau de dégradation, les dynamiques de relaxation relatives sont parallèles mais pas identiques [17]

En revanche, pour un même temps de contrainte, la relaxation relative est identique quelle que soit la tension utilisée pendant le NBTS (Figure 4–27). Ce résultat est important pour la modélisation de la relaxation car nous pouvons proposer une formulation simple de relaxation ne dépendant pas de la contrainte mais uniquement du temps de la contrainte.

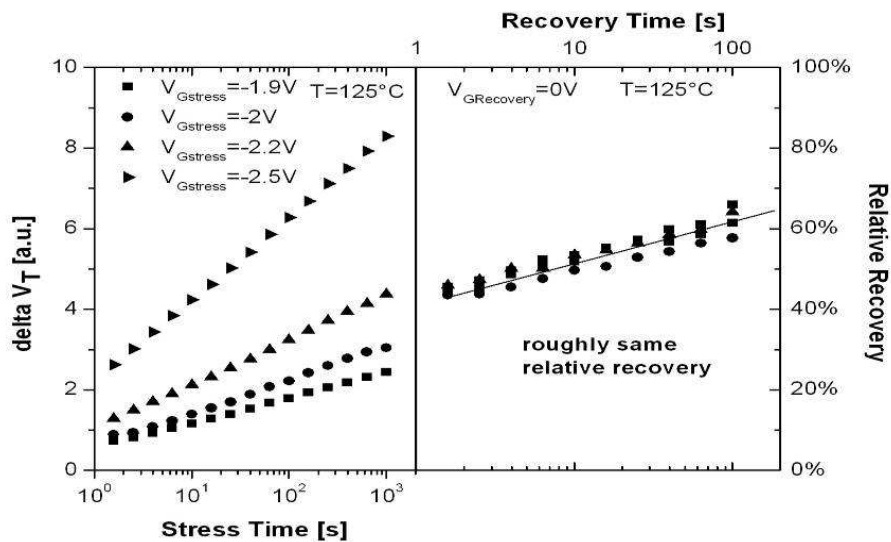


Figure 4–27 : Etude de la relaxation de la dégradation : pour un même temps de contrainte, les dynamiques de relaxation relatives sont identiques pour $V_{Gstress}$ compris entre -1.9V et -2.5V [17]

Nous avons généralisé l'exemple précédent pour des temps de contrainte t_{stress} de 10^2 s, 10^3 s, 10^4 s et 10^5 s (V_G compris entre -1.4V à -2.5V à $T=125^\circ\text{C}$). Nous avons tracé les relaxations relatives du ΔV_T sur la Figure 4–28 en fonction du temps de relaxation. Pour chaque temps de contrainte t_{stress} , une caractéristique commune (indépendante du $V_{Gstress}$ et donc de V_{DD}) modélise la dynamique de la relaxation en fonction de temps de la contrainte. Nous pouvons

noter que plus la contrainte est longue, plus la relaxation relative est lente. Un second point important à noter est le parallélisme des dynamiques de relaxations. Les pentes (sur une échelle Lineaire-logarithmique) sont identiques et seule l'intersection en abscisse dépend du temps de contrainte t_{stress} .

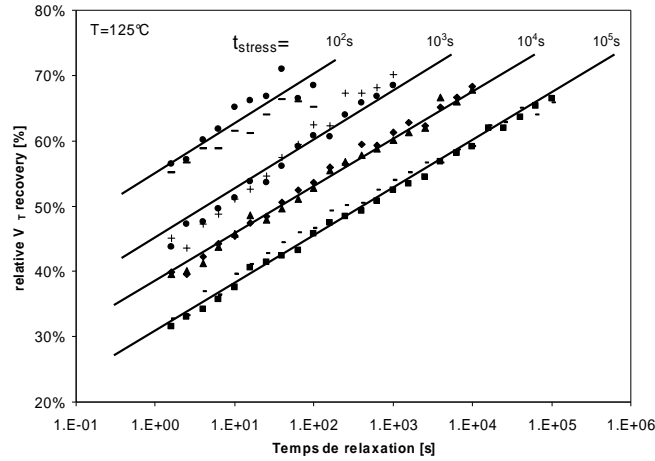


Figure 4–28 : Dynamique de la relaxation pour différents temps de contrainte t_{stress}

En modifiant l'axe des abscisses par le quotient entre le temps de relaxation et le temps de contrainte, nous observons une relaxation relative universelle :

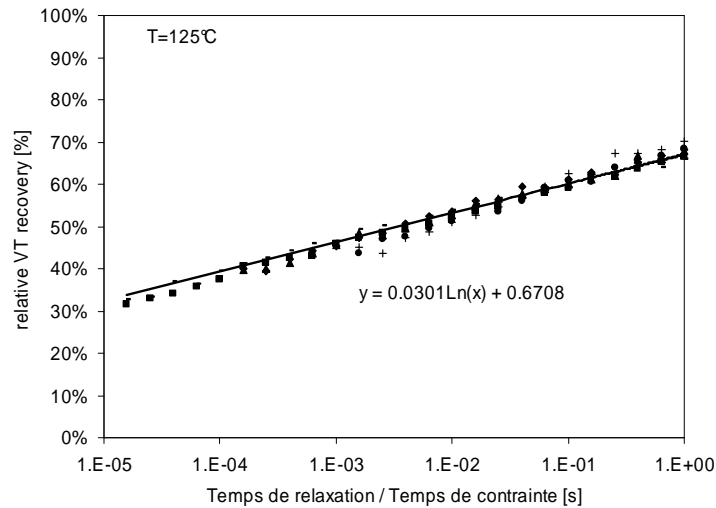


Figure 4–29 : Relaxation relative universelle

Pour une technologie donnée, nous sommes capables de fournir un modèle (encore une fois empirique) de relaxation indépendante de la tension électrique appliquée sur la grille. La modélisation dépend du niveau de la dégradation $\Delta V_T(t_{\text{stress}})$, du temps de la contrainte t_{stress} , et des paramètres α et β (propres à la technologie):

$$dV_T \text{ relax}(t, t_{\text{stress}}, dV_T(t_{\text{stress}})) = dV_T(t_{\text{stress}}) * \left[\alpha * \ln\left(\frac{t}{t_{\text{stress}}}\right) + \beta \right] \quad \text{Eq. 4-21}$$

Dans notre cas, $\alpha=0.03$ et $\beta=0.067$.

Cette modélisation simple va permettre de modéliser la dynamique de relaxation à partir du temps de contrainte t_{stress} et de la valeur de la dégradation associée $\Delta V_T(t_{\text{stress}})$ (qui sera par ailleurs modélisée dans le chapitre 6).

4.7 Comparaison entre la technique *on-the-fly* et la caractérisation classique

Une contrainte $V_G=-1.32\text{V}$ à $T=125^\circ\text{C}$ a été appliquée sur des dispositifs de 1.7nm d'épaisseur. Les dégradations ont été reportées sur la Figure 4-30 : les ronds blancs correspondent au ΔV_T mesuré avec la méthodologie classique (avec des arrêts), et les losanges noirs au ΔV_T mesuré avec la technique *on-the-fly*.

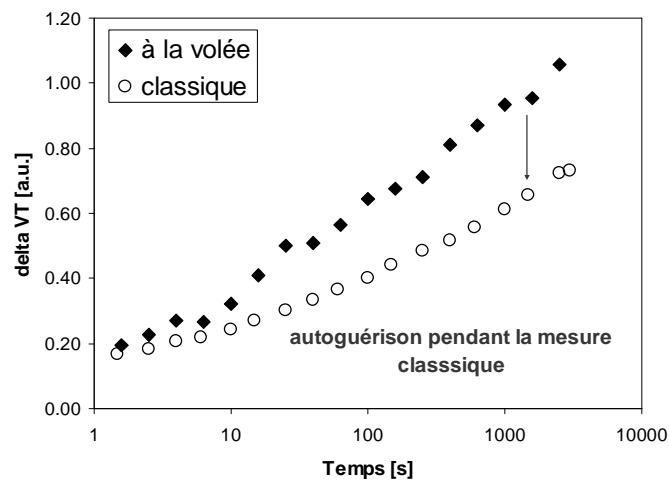


Figure 4-30 : Comparaison des dégradations mesurées avec la méthodologie classique et la technique *on-the-fly*

Alors que les contraintes sont identiques dans les deux cas, la dégradation mesurée par la méthodologie classique est plus faible que celle mesurée par la technique *on-the-fly*. La relaxation induite par la caractérisation est attribuée au dépiégeage de trous. La différence entre les 2 techniques n'est pas constante dans le temps, ce qui est en accord avec la Figure 4-29. Plus le temps de contrainte est long, plus le quotient temps de mesure (qui correspond au temps de relaxation) sur le temps de contrainte est petit, et plus la relaxation relative est faible (plus la relaxation absolue est importante).

Nous avons comparé les 2 méthodologies sur des oxydes différents. Les échantillons sont fabriqués avec des épaisseurs d'oxyde compris entre 2.2nm et 2.45nm, et des concentrations d'azote allant du simple au double. La dérive de V_T mesurée après un NBTS ($V_G=-2V$ pendant 3000s à $T=125^\circ C$) est rapportée sur la Figure 4–31. Nous observons que la relaxation induite par la caractérisation dépend de la recette de fabrication du dispositif.

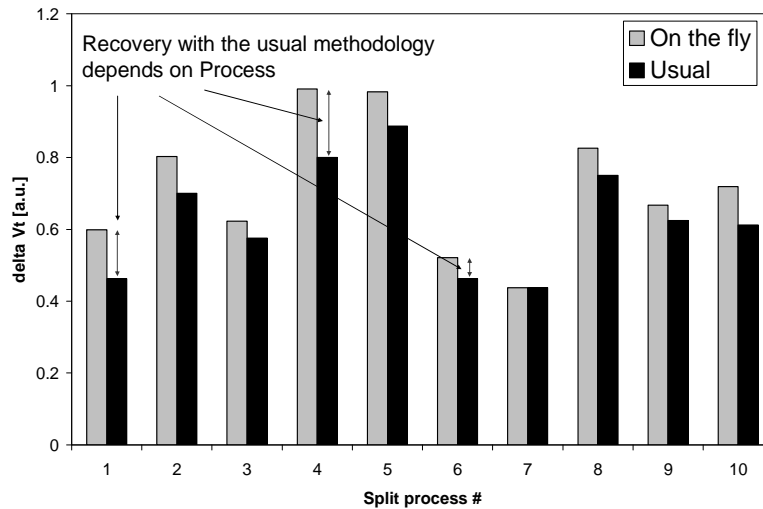


Figure 4–31 : Effet de la recette de l'oxyde sur la différence entre les dégradations mesurées avec une méthodologie classique, et celles qui sont mesurées par la technique *on-the-fly*

Ce point est crucial. Il montre que la caractérisation classique induit une relaxation dépendante du temps de la contrainte et de la recette de fabrication du transistor. Nous pensons donc que la caractérisation classique ne peut pas être utilisée pour caractériser et comparer les effets NBTI liés aux procédés de fabrication.

4.8 Conclusions

Nous avons présenté dans ce chapitre une nouvelle technique de caractérisation électrique de la dégradation NBTI, éliminant les effets de relaxation inhérents à la caractérisation. Tout d'abord, nous avons rappelé les travaux d'Ershov, et mis en évidence les phénomènes de relaxation pendant les phases de caractérisation.

La mesure de courants pendant la contrainte permet d'extraire la dérive des paramètres physiques (charge d'inversion et vitesse des porteurs dans le canal) et électriques (la tension de seuil V_T et du gain β) du transistor. L'extraction a été appliquée au modèle en courant SPICE 3, mais peut facilement être adaptée à n'importe quel autre modèle électrique.

Une étude approfondie du NBTI et de la relaxation avec la technique *on-the-fly* a permis de proposer une modélisation pseudo empirique simple pour les mécanismes de piégeage et de dépiégeage de trous.

Enfin, nous avons mis en évidence les limites de la méthodologie classique à caractériser correctement la dégradation. On a vu que la relaxation inhérente à la caractérisation dépendait, de l'équipement, du temps de la contrainte et de la recette de fabrication de l'oxyde.

La technique *on-the-fly* ouvre des nouvelles perspectives, non seulement en ce qui concerne la caractérisation électrique du NBTI, mais également pour la caractérisation des futures architectures (les oxydes à forte permittivité, High-k, sont propices aux phénomènes de piégeage/dépiégeage).

Chapitre 5. Etude des effets des procédés de fabrication et des matériaux

5.1 Introduction

Le premier transistor MOS (MOST) en silicium utilisant l'oxyde de silicium SiO_2 a été présenté et breveté en 1960 par Kahng et Attla [132], [133]. Le MOST fait partie, au même titre que les MODFET (MODulation-Doped Fiel Effect Transistor) et des MESFET (Metal-Semiconductor Field Transistor), de la famille des transistors à effet de champ électrique (FET). La microélectronique a évolué très vite ces vingt dernières années, et l'intégration continue des circuits complexes demande de plus en plus de niveaux de métallisation pour augmenter le nombre d'interconnexions. La réduction des dimensions reste également un défi majeur pour diminuer les coûts de fabrication et diminuer la surface des circuits. Ainsi, le nombre d'étapes de fabrication du transistor n'a cessé d'augmenter ces dernières années et de nouveaux matériaux plus « manufacturables » dans les chaînes de production doivent être utilisés. La fabrication d'une cellule CMOS comporte plusieurs centaines d'étapes au total pour arriver jusqu'au dernier niveau de métallisation.

Les étapes de fabrication d'un transistor MOS peuvent avoir de sérieuses conséquences sur la fiabilité du dispositif. Les étapes de fabrication du dispositif proche de l'oxyde de grille et de l'interface SiO_2/Si vont directement influencer la qualité du dispositif et notamment sa fiabilité face à une contrainte NBT. Nous allons présenter dans ce chapitre les effets des procédés de fabrication et des matériaux dans l'ordre chronologique des étapes de fabrication du transistor MOS. Basé sur un process flow (recette de fabrication) standard, nous allons volontairement ignorer certaines étapes pour ne pas alourdir la présentation, et présenter uniquement les plus importantes de la fabrication d'une cellule CMOS concernant les effets NBTI. Les procédés de fabrication ne seront pas rigoureusement définis pour ne pas surcharger le manuscrit d'informations. Nous tenterons néanmoins d'être suffisamment précis

pour convaincre le lecteur quant à nos conclusions vis-à-vis de la dégradation NBTI. Les valeurs de température, pression, gaz, sont données ici à titre indicatif et sont issues de filières technologiques 0.25 μ m, 0.13 μ m, 90nm, 65nm dans le désordre. Les procédés de fabrication sont continuellement améliorés et les dernières recettes technologiques sont en partie confidentielles. Nous préciserons dans un premier temps le cadre général de l'étude. Nous insisterons sur la méthodologie que nous avons employée pour étudier les phénomènes liés aux procédés de fabrication et à l'utilisation des principaux matériaux. Ensuite, nous parcourrons la fabrication d'un transistor en 4 parties :

- Du substrat à l'oxyde grille
- L'étape de fabrication de l'oxyde de grille
- De la grille au premier niveau de métal
- Les évolutions futures de procédés de fabrication

Nous présenterons nos résultats expérimentaux et les travaux publiés dans la littérature pour confirmer ou au contraire, modérer nos observations et conclusions. Nous nous attacherons à présenter exclusivement les effets liés aux procédés de fabrication et aux matériaux ayant à priori ou à posteriori un effet majeur sur le NBTI.

5.2 Evaluation des effets NBTI

Notre étude expérimentale s'est étalée sur le développement de 4 filières technologiques (technologies de longueur de grille de 120nm à 65nm) avec des épaisseurs d'oxyde de grille comprises entre 1.4nm à 10.5nm. L'ensemble des effets liés aux procédés de fabrication a représenté plus d'une vingtaine de lots et a grandement participé à l'amélioration de la fiabilité des transistors dans le contexte industriel Crolles 2 Alliance et STMicroelectronics. Ces travaux se sont échelonnés sur 2 ans et demi et les méthodologies de caractérisation électriques ont été fortement améliorées au fil de notre étude. Nous avons évalué les effets NBTI avec des caractérisations électriques avancées ci-dessous:

- Le pompage de charges 2 niveaux
- Les études de courant de fuite : $I_G(V_G)$ et I_{OFF}
- La caractérisation C-V optimisée pour oxyde ultrafin prenant en compte les phénomènes de déplétion de la grille et les courants tunnels forts.
- Les techniques de caractérisation classique : $I_{DS}(V_{GS})$, $I_{DS}(V_{DS})$, I_{ON} (Forward, Reverse)
- La technique *on-the-fly* développée dans ce manuscrit

Nous avons décidé d'étudier la fiabilité NBT dans un cadre de travail représenté sur la Figure 5-1. La dégradation est étudiée à travers des paramètres électriques (ΔV_T , $\Delta \mu_{EFF}$, ΔI_{ON}) pour des paramètres de contrainte donnés (V_G , T°).

Les paramètres de contraintes ne sont pas directement les paramètres physiques des mécanismes de dégradation. Nous avons vu dans les chapitres 2 et 3 que la génération des états d'interface et le piégeage de trous sont des mécanismes accélérés par le champ électrique dans l'oxyde et que les trous du canal étaient indispensables à la dégradation. Les changements de matériaux et/ou des procédés de fabrication peuvent modifier la relation entre les paramètres de contraintes (V_G , T°) et les paramètres du mécanisme (F_{OX} , Q_{Inv} , T° , etc...) : par exemple la poly-déplétion dans la grille change la relation V_G - F_{OX} . Nous appellerons cet effet, l'effet *Contrainte*. Pour une contrainte et des paramètres du mécanisme donnés, la *fiabilité microscopique* sera évaluée sur les paramètres physiques de la dégradation : N_{IT} , N_f , N_{ht} . La fiabilité intrinsèque du dispositif correspond à la fiabilité microscopique. C'est à ce niveau que véritablement la fiabilité du matériau est évaluée. Enfin, pour une dégradation microscopique donnée, ses effets sur les paramètres électriques dépendront de l'architecture et des performances du dispositif. Nous appellerons cet effet : l'effet *lecture*. Par exemple, pour un même niveau de dégradation à l'interface (ΔN_{IT}), l'effet sur le V_T sera différent en fonction de l'épaisseur d'oxyde (cet exemple sera traité par la suite).

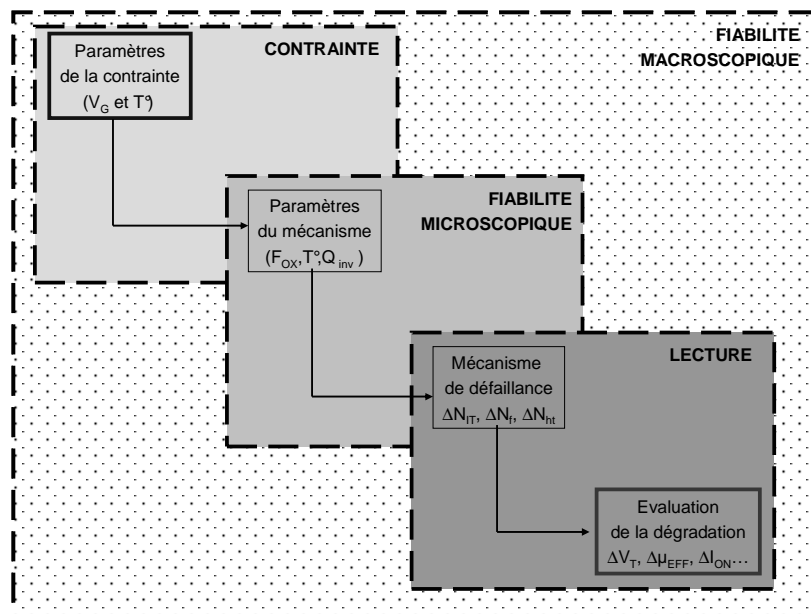


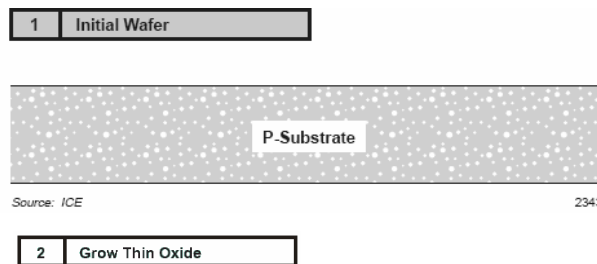
Figure 5-1 : De la contrainte à la dégradation : les effets des nouveaux matériaux et des procédés de fabrication peuvent être de 3 ordres : l'effet *contrainte*, la fiabilité microscopique et l'effet *lecture*

Nous distinguerons ainsi les effets des nouveaux matériaux et des procédés de fabrication parmi ces 3 niveaux.

5.3 Du substrat à l'oxyde de grille

Les figures illustrant les étapes de fabrication numérotées de 1 à 48 sont issues d'un manuel interne de STMicroelectronics [134].

Le matériau de départ est une plaquette de silicium de type P, dopée avec du bore sur les premiers 5 μm d'épaisseur (1). Une couche d'oxyde (20nm) de protection est déposée ou fabriquée *in situ* par oxydation thermique sur les 2 côtés de la plaquette (2). Elle permet de protéger contre toute contamination ionique extérieure.



5.3.1 L'orientation du substrat

Le premier choix lors de l'intégration du dispositif est l'orientation cristalline du substrat.

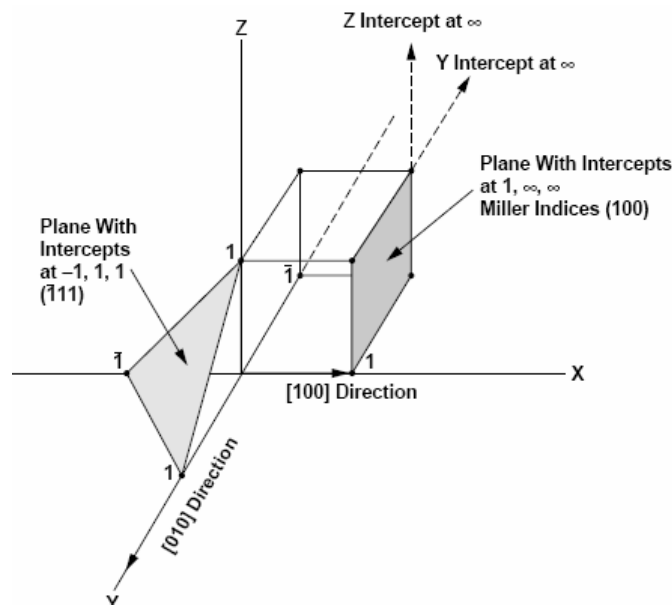


Figure 5-2 : Définition des plans et des directions du réseau cristallin

Rappelons que la maille élémentaire du silicium est un cube faces centrées avec 2 atomes par maille, et que l'orientation cristalline du substrat modifie considérablement à la fois la cohésion de l'interface SiO₂/Si (chapitre 2) et la masse effective (et donc la conduction) des porteurs du canal [135]. Il est nécessaire de définir les plans (exprimés entre parenthèse) et les directions (exprimé entre crochets [.] ou entre <.>) à partir des points caractéristiques de la

maille élémentaire. Les distances sont relatives à la longueur de la maille élémentaire. La Figure 5–2 illustre les différentes directions et plans pour définir l’orientation cristalline. On peut par exemple noter que la direction $[100]$ est perpendiculaire au plan (100) . De façon générale, le cristal de silicium est orienté de telle manière à avoir la surface de silicium soit (111) ou (100) pour la fabrication des transistors MOS. Ce choix est en fait un choix technique car il est difficile de découper des tranches de silicium pour avoir la surface du substrat orientée vers les autres directions. Dans notre cas, la surface de la plaquette correspond à l’orientation (100) . Nous avons étudié l’effet d’une rotation de la plaque (du plan de conduction du courant) de 45° dans le sens d’une aiguille d’une montre, sur la fiabilité NBTI. La direction de conduction devient $\langle 100 \rangle$ au lieu de $\langle 110 \rangle$ comme illustré sur la Figure 5–3.

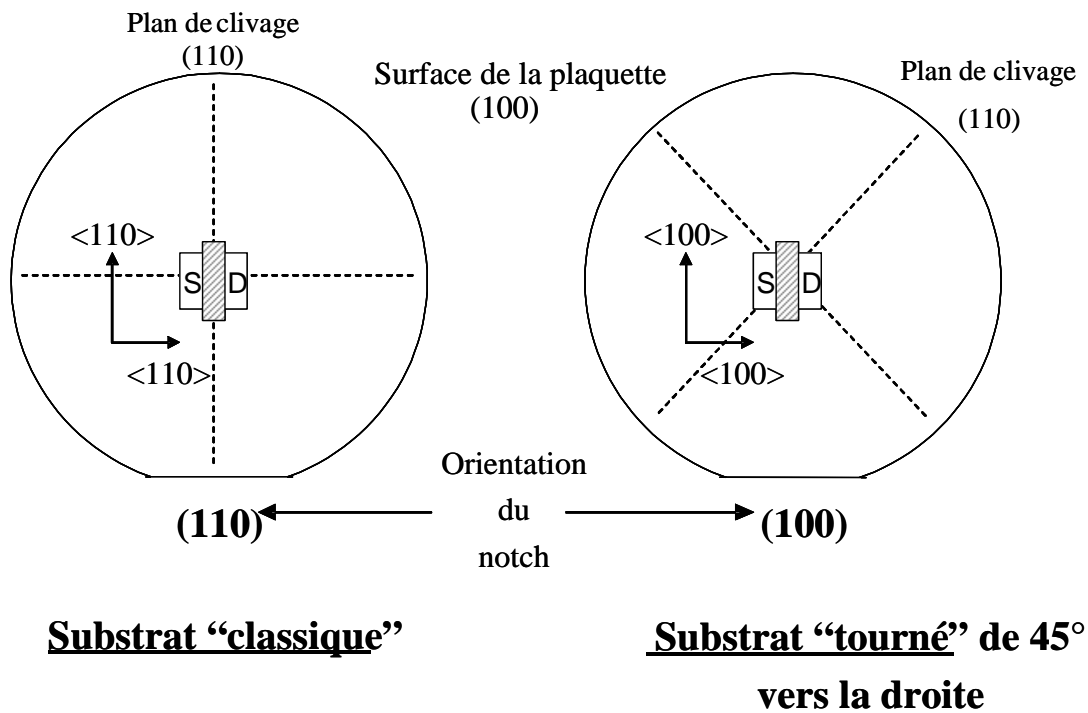


Figure 5–3 : Rotation du substrat de 45° vers la droite [136]

Nous avons caractérisé électriquement deux types de substrats. Les courbes I_D-V_G ont été tracées sur la Figure 5–4 pour des tensions V_G comprises entre 0 et $-1.2V$ et des tensions $V_D = -25mV, -100mV$ et $-1.2V$ à $T=125^\circ C$. Les structures étudiées ici sont des transistors de géométrie $W/L=10\mu m/10\mu m$. Les carrés blancs correspondent à l’échantillon avec le substrat tourné et les ronds noirs à l’échantillon avec un substrat référence non tourné. Pour obtenir des performances équivalentes, nous avons légèrement modifié le dopage du canal pour le substrat tourné. Nous observons que les 2 transistors ont des performances identiques du point

de vue des courants linéaires et saturés. Les épaisseurs d'oxyde sont identiques et nous pouvons considérer à ce point, qu'il n'y aura pas d'effet *contrainte* ni de *lecture*.

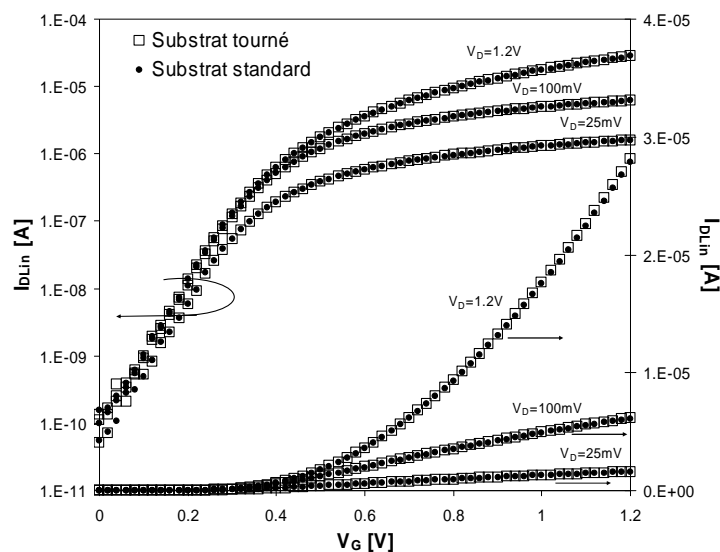


Figure 5-4 : Caractéristiques I_{DS} - V_{GS} pour plusieurs V_{DS} sur un échantillon avec un substrat tourné de 45°C et un échantillon référence avec un substrat non tourné

Nous avons appliqué $V_G = -2\text{V}$ sur la grille à $T = 125^{\circ}\text{C}$ pendant 10^4 secondes. Nous avons mesuré la variation de la tension de seuil avec la technique *on-the-fly* sur les 2 échantillons et avons reportés les résultats sur la Figure 5-5 suivante:

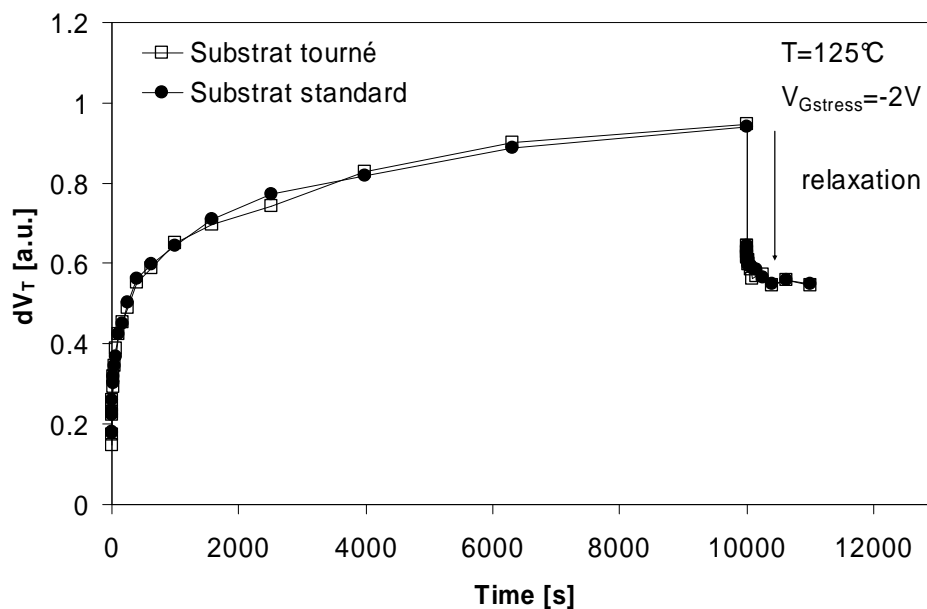


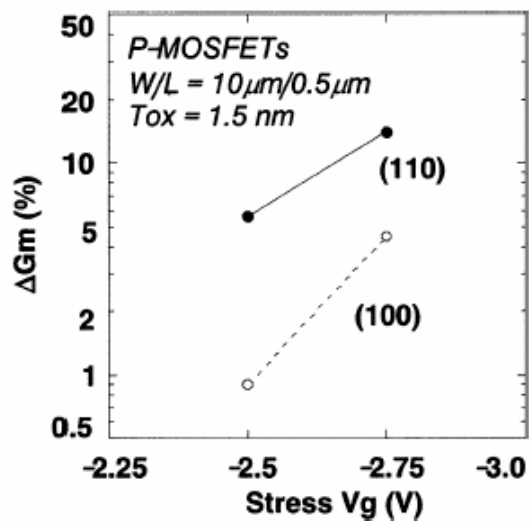
Figure 5-5 : Comparaison de la dérive de la tension de seuil avec et sans la rotation du substrat pour une contrainte NBT ($V_G = -2\text{V}$ à $T = 125^{\circ}\text{C}$)

Les dérives de la tension de seuil ΔV_T sont identiques sur les 2 substrats, et la dégradation du matériau n'est pas affectée par la rotation du substrat. Les oxydes de grille ont une épaisseur physique inférieure à 1.8nm, et il est donc très difficile d'utiliser la technique CP pour caractériser la génération d'états d'interface. En revanche, nous avons appliqué une phase de relaxation après la contrainte ($V_{Grelax}=0V$). Le niveau de relaxation permet d'évaluer la proportion de trous piégés (qui se dépiègent lorsque la contrainte est arrêtée) par rapport à la dégradation à l'interface SiO_2/Si qui est une dégradation permanente. Nous observons qu'après relaxation, le niveau de dégradation est identique sur les deux plaquettes après la phase de relaxation. La dégradation à l'interface ($N_{IT} + N_f$) est très peu sensible à la rotation du substrat. De même, le niveau de relaxation étant identique dans les 2 cas, nous pouvons affirmer que la rotation du substrat n'a pas augmenté le nombre de pièges dans l'oxyde susceptibles d'intervenir dans le piègeage de trous pendant la phase NBT.

Dans notre étude, le plan de la surface de substrat était (100) dans les 2 cas, et la qualité de l'interface avait très peu de raison d'être modifiée par une simple rotation du plan de transport. En revanche, une rotation du plan de croissance de l'oxyde change radicalement la cohésion de l'interface SiO_2/Si et modifie considérablement le nombre des liaisons Si-H et la nature des pièges (cf. chapitre 2). Momose *et al.* [137] ont étudié et comparé les performances et la fiabilité NBTI des transistors ayant des plans de surface de plaquette (100) et (110). Le tableau ci-dessous Figure 5–6 (a) compare les performances des dispositifs testés en fonction du plan de surface du substrat. Les performances du transistor du plan (110) sont globalement plus élevées que celle du transistor ayant le plan (100). En contre partie, le courant de fuite est plus important.

		Surface orientation			
		(100)	(110)	(111)	
Oxidation rate (@ 1.5 nm)		1	x 1.1	x 0.95	
DC	PMOS	$G_m(tri)$	1	x 1.9	x 1.3
		$g_m(pen)$	1	x 1.5	x 1.3
	NMOS	$G_m(tri)$	1	x 0.52	x 0.58
		$g_m(pen)$	1	x 0.76	x 0.89
RF	f_T	79 GHz	110 GHz	—	
	($L_g = 0.11 \mu m$)	NMOS	150 GHz	110 GHz	—
I _g , 1/f noise		1	Larger	Same	
BT reliability		1	Worse	—	

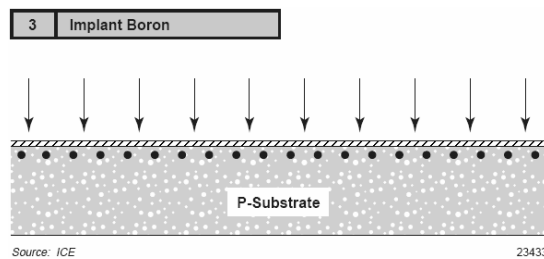
(a)



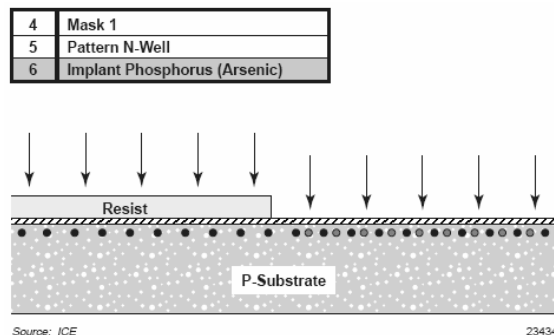
(b)

Figure 5–6 : (a) Tableau résumant les effets de la rotation du plan de surface du substrat sur les performances du dispositif, (b) Dégradation de la transconductance G_m après des contraintes NBT [137]

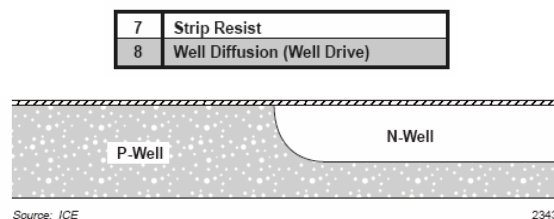
Concernant la fiabilité, l'instabilité NBTI a été évaluée sur des transistors PMOS de 1.5nm d'épaisseur d'oxyde de grille pendant 200s à 125°C. La dégradation, c'est-à-dire ici la réduction de la transconductance G_m , est plus importante pour le substrat (110) (Figure 5–6 (b)). Cette plus grande sensibilité au NBTS est attribuée à une plus forte génération d'états d'interface induisant une réduction de la mobilité des porteurs du canal importante (cf. 2.2.2.2). En conclusion, si effectivement un plan de surface (110) permet d'avoir des performances plus élevées, la fiabilité NBTI et le courant de grille sont moins bons que sur un substrat (100). Nous faisons face au compromis performance-consommation-fiabilité et le choix de l'orientation cristallographique se fera en fonction des priorités liées à l'application. Une fois l'orientation du substrat choisi, des atomes de bore sont implantés (~35 KeV) sur la face haute du silicium pour former le caisson P (3). La pré oxydation évite l'effet de canalisation (channeling).



Les étapes 4-6 permettent de former le caisson de type N.



Ensuite, la couche de résine de protection est enlevée (7). La surface de la plaquette est alors nettoyée chimiquement pour éliminer toutes les impuretés. Un cycle à plus de 1000°C pendant plusieurs heures permet de faire diffuser les dopants en profondeur pour former les caissons et N et P (8).



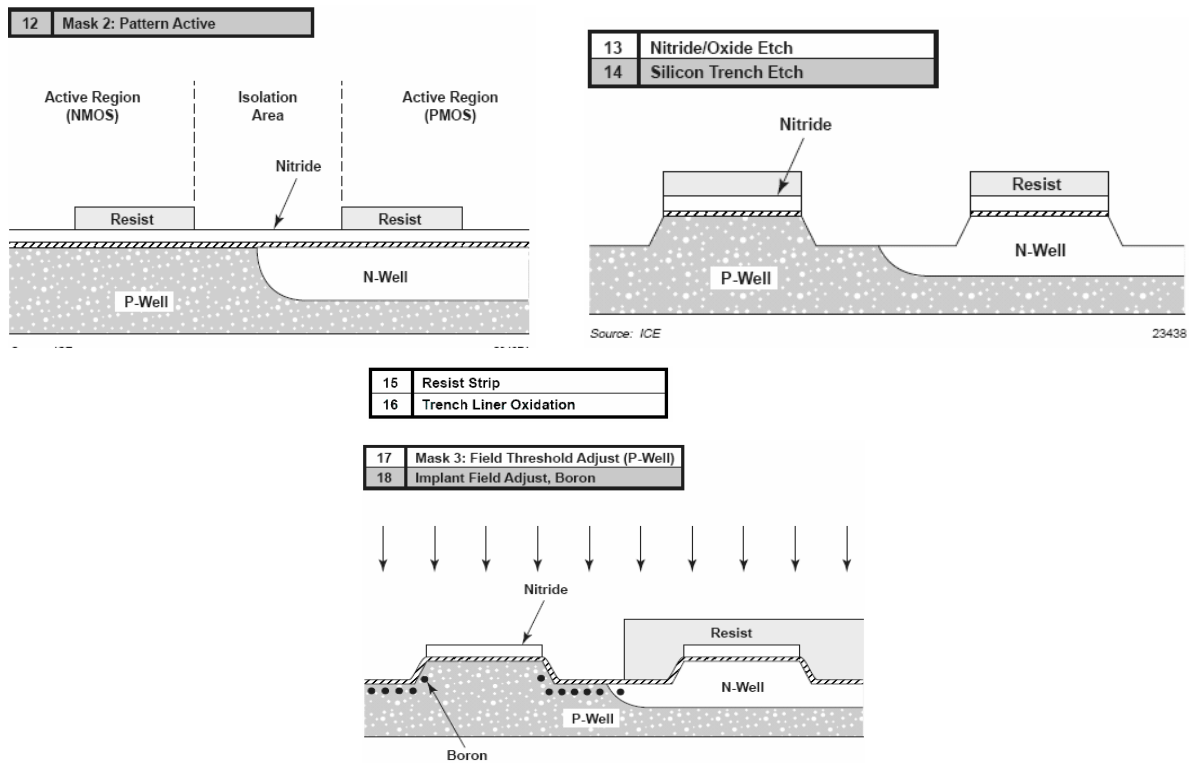
Généralement une couche d'oxyde s'est produite à l'issue de cette étape. Elle est supprimée par nettoyage (9) puis une couche d'oxyde (10) et une couche de nitrure (11) sont empilées

pour servir à la fois de couche d'arrêt de l'étape CMP (Chemical and Mechanical Polishing) pour la formation des isolations latérales par tranchées (STI pour Shallow Trench Isolation), et de masque pour l'implantation.

9	Strip Oxide and RCA Clean
10	Grow Oxide
11	Deposit Nitride

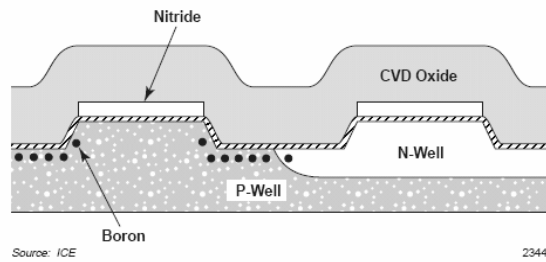
5.3.2 Les zones actives et les isolations

Les étapes suivantes permettent de définir les zones actives et les isolations. Avec un masque et une étape de photolithographie (12), des tranchées sont gravées autour des 2 zones protégées par la résine (13-14). Les étapes 15 à 18 permettent d'implanter du bore pour ajuster le champ électrique à la jonction entre les 2 caissons.



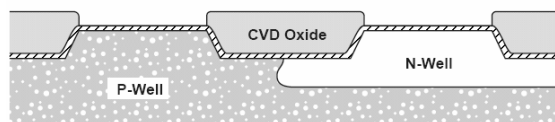
Ces tranchées seront par la suite remplies d'oxyde pour l'isolation de type STI. Les étapes 19 à 21 remplissent les tranchées gravées précédemment, par de l'oxyde déposé par un procédé CVD (Chemical Vapor Deposition).

19	Strip Resist
20	Trench Fill: Oxide CVD
21	Densification



Il est ensuite durci pendant plusieurs minutes à haute température ($\sim 900^{\circ}\text{C}$) dans un gaz d'argon et d'oxygène. La plaque est polie par CMP jusqu'aux couches de nitrure (22). La surface est alors plane. Avant le retrait du nitrure, un dernier nettoyage humide par décapage (wet oxide etch) est appliqué pour enlever les derniers résidus d'oxyde sur le nitrure (23). Toute contamination amenée par la CMP est également supprimée. L'acide phosphorique est appliqué à haute température pour supprimer le nitrure (24).

22	CMP: Polish Oxide
23	Wet Oxide Etch (HF)
24	Nitride Etch



La longueur des actives correspond à l'espace entre la grille et le STI comme illustré sur le schéma suivant :

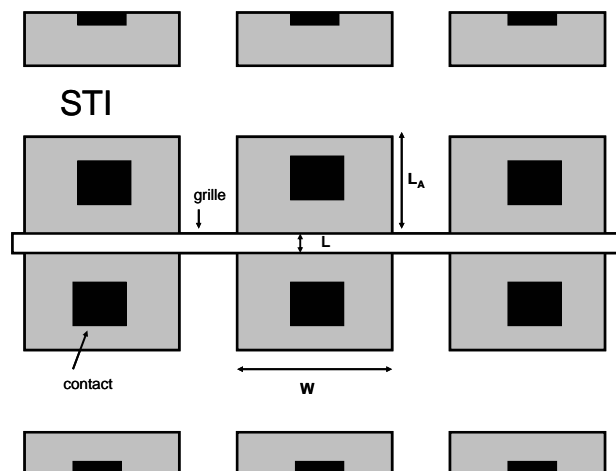


Figure 5-7 : Schéma (vue de dessus) représentant la longueur des actives L_A

La longueur des actives L_A est connue pour modifier la contrainte mécanique dans le canal induit par les STI [138], [139]. Plus la longueur des actives est courte, plus les STI sont proches du canal, et plus la contrainte mécanique induit par les STI est importante [140]. Nous avons étudié l'effet de la longueur de l'active L_A sur le NBTI sur des transistors d'épaisseur d'oxyde de grille de 5nm. Nous avons appliqué $V_G = -3.6V$ à $T = 125^\circ C$ pendant $10^4 s$. Les variations de V_T ont été reportées sur la figure suivant avec des longueurs L_A comprises entre $0.32\mu m$ et $20\mu m$.

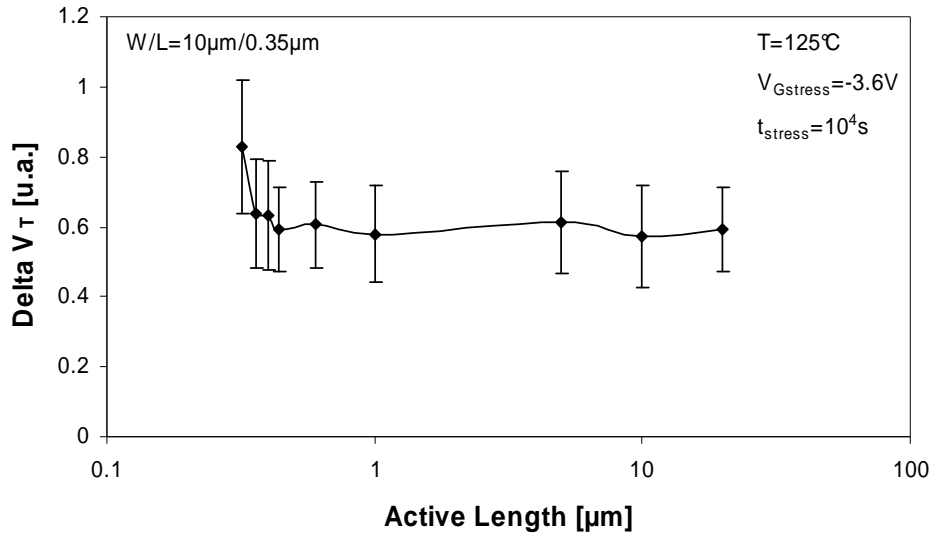


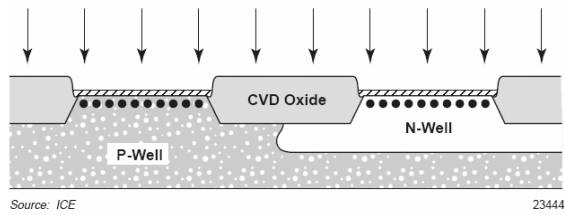
Figure 5-8 : Effet de la contrainte mécanique par l'intermédiaire de L_A sur le NBTI

La longueur des actives, et donc les contraintes mécaniques ont un effet négligeable pour des longueurs L_A comprises entre $1\mu m$ et $20\mu m$. En revanche, cet effet est beaucoup plus important pour des longueurs L_A très courtes inférieures à $1\mu m$. Cette étude met en avant l'effet des contraintes mécaniques sur la sensibilité du NBTI. Notre étude montre que les contraintes mécaniques ont un effet négatif sur le NBTI. L'augmentation des performances des prochaines générations de transistors par des contraintes mécaniques devra certainement faire face à une détérioration de la fiabilité [141]. Des études complémentaires sont nécessaires pour investiguer plus profondément les effets couplés entre contrainte mécanique et effets matériaux (azote, diffusion de l'hydrogène, barrière de diffusion etc...).

5.3.3 Les implantations et les ajustements de la tension de seuil

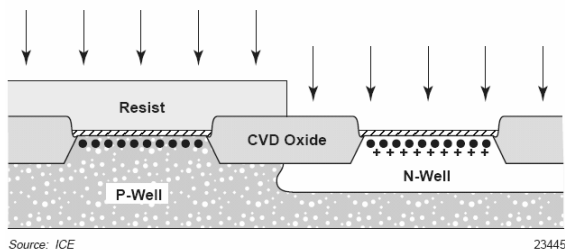
Les tensions de seuil du NMOS (dans le caisson P) et du PMOS (dans le caisson N) sont ajustées par exemple par un dopage supplémentaire de bore. Le dopage est réalisé par implantation de BF_2 à 35 KeV (25).

25	Blanket V_t Adjust Implant BF_2
----	-------------------------------------



Les 3 étapes suivantes (26 à 28) ajustent le dopage du caisson du PMOS. Une étape de photolithographie (26) protège le côté du transistor NMOS puis, le caisson du transistor PMOS est bombardé par du BF_2 à 35KeV pour ajuster le V_T du PMOS (27). Une implantation d'ions arsenic (As) intervient juste après à plus forte énergie (45 KeV). Cette implantation a pour but d'envoyer les ions As plus profondément dans le caisson, et minimiser le phénomène de perçage (punchthrough) (28). Ce procédé de modulation du dopage du caisson N par du BF_2 correspond à une filière assez ancienne. Pour des filières plus récentes (en dessous de $0.13\mu m$), le dopage d'ajustement du V_T se fait par implantation d'arsenic ou de phosphore. L'effet de l'implantation de dopants pour l'ajustement du V_T sur le NBTI est crucial. La tension de seuil est véritablement le paramètre clé du transistor. Il va définir entre autres les performances et la consommation statique du transistor. On peut donc légitimement se poser la question concernant son effet sur la fiabilité NBTI.

26	Mask 4: PMOS Channel
27	PMOS V_t Adjust Implant BF_2
28	PMOS Punchthrough Stop, As



Concernant la valeur électrique de V_{T0} , nous n'avons pas vu jusqu'à présent d'effet sur le NBTI. En revanche, le charging induit par l'implantation et la diffusion de dopants pourrait fragiliser l'oxyde et/ou l'interface SiO_2/Si . Pour vérifier les effets que pourrait avoir le dopage sur le NBTI, nous avons évalué l'effet du type de dopant, la concentration de dopant et l'énergie avec laquelle ils sont implantés dans le canal sur des transistors de $8.5nm$.

La figure suivante représente les dérivées ΔV_T et ΔN_{IT} en fonction de la concentration de dopants implantés. Pour une énergie de $70keV$, la concentration de phosphore est fixée à $2.5 \cdot 10^{12} cm^{-2}$ dans un cas et $3.5 \cdot 10^{12} cm^{-2}$ dans l'autre. Pour une contrainte effectuée à la tension $V_G = -6V$ et $T = 125^\circ C$, les valeurs et les dynamiques de ΔV_T et ΔN_{IT} sont très proches dans les 2 cas et la différence est négligeable.

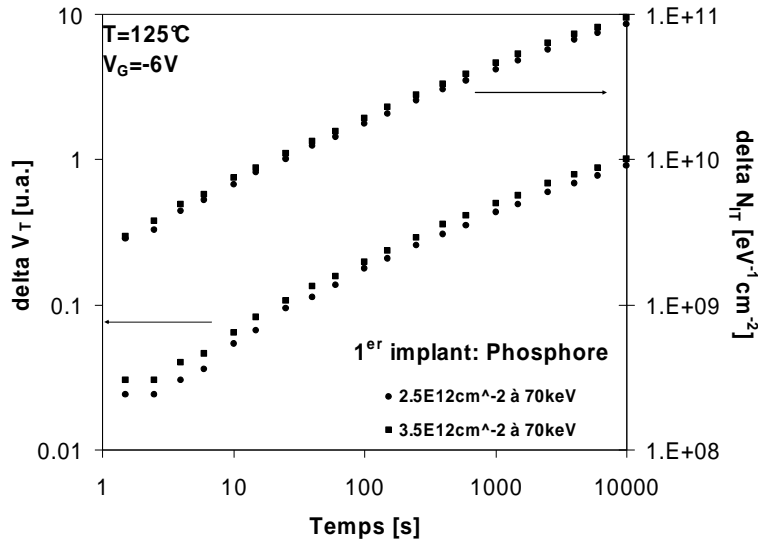


Figure 5–9 : Implantation du V_T : effet de la concentration de dopants sur le NBTI

Nous avons également remplacé l'implantation phosphore par de l'implantation d'arsenic. La Figure 5–10 montre que pour une même concentration de dopants, la dégradation NBTI est similaire pour une implantation par ions arsenic ou par ions phosphore.

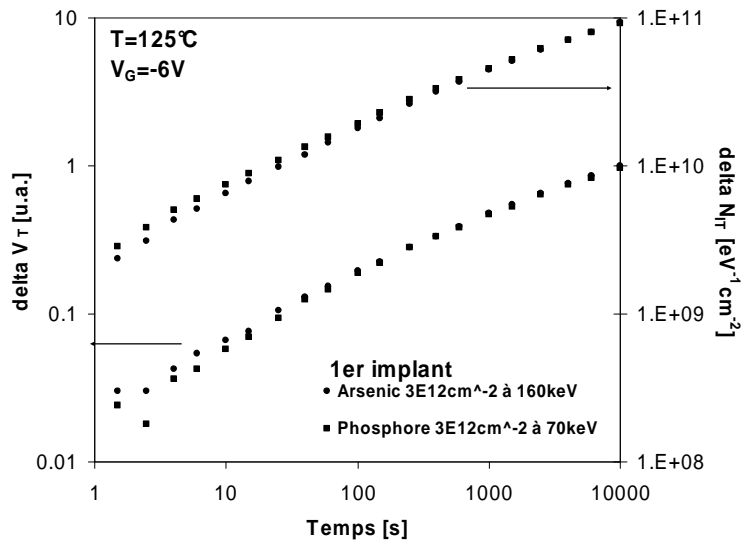


Figure 5–10 : Implantation du V_T : effet du type de dopant

Nous avons de plus évalué les effets de la seconde implantation plus énergétique, permettant de doper plus profondément dans le canal conférant un profil de caisson dit rétrograde, c'est-à-dire dont le maximum de concentration est éloigné de l'interface SiO₂/Si. Rappelons qu'un profil rétrograde permet d'obtenir une mobilité surfacique maximale et une barrière énergétique suffisante pour maintenir un courant de jonction faible. Des ions phosphore ont été implantés à 160 KeV pour 2 concentrations différentes. La Figure 5–11 montre que la

fiabilité NBTI n'est pas modifiée par l'augmentation de la concentration du phosphore lors de la seconde implantation.

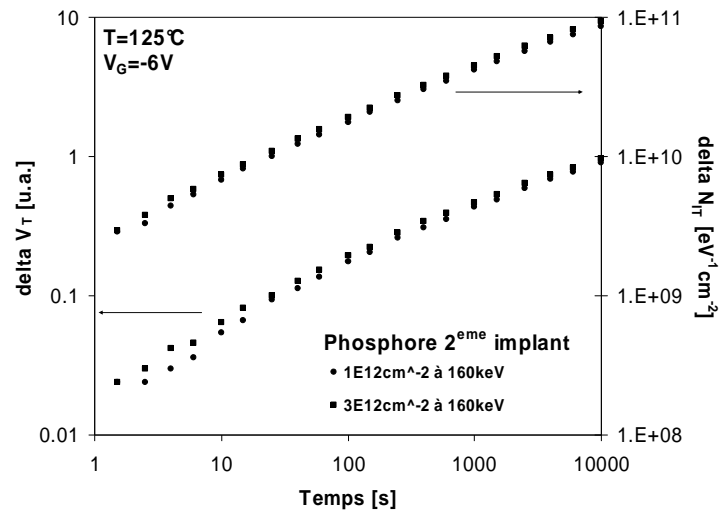


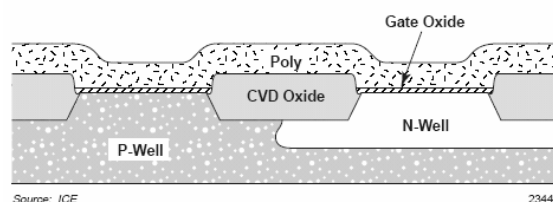
Figure 5–11 : Implantation du V_T : effet de la concentration de dopants de la seconde implantation

À travers toutes les expériences que nous avons pu mener et les quelques résultats présentés en partie ici, la concentration, l'énergie et le type d'ions dopants implantés pour ajuster la tension de seuil V_T n'ont pas montré d'effet sur le NBTI. En conclusion de cette section, nos résultats montrent que la dégradation NBTI n'est pas sensible au procédé de fabrication lié aux dopages du caisson.

5.4 L'oxyde de grille

La qualité de la surface de silicium avant oxydation demande la plus grande attention : une bonne cristallinité et aucune contamination. La résine est enlevée (29) et la surface est nettoyée plusieurs fois par acide HF et RCA (30-31). La croissance de l'oxyde de grille (32) est l'étape fondamentale de la construction de la structure MOS.

29	Resist Strip
30	Wet Oxide Etch
31	RCA Clean
32	Gate Oxidation
33	Polysilicon Deposition



Nous avons rappelé dans le chapitre 2, pourquoi l'interface SiO_2/Si est propice à la génération de défauts. Sa qualité va directement être impliquée dans la fiabilité NBTI.

5.4.1 Influence de la technique d'oxydation

Les deux types d'oxydation possibles sont l'oxydation humide (WET) dite RTO (Rapid Thermal Oxidation) ou l'oxydation sèche (DRY). Sans entrer dans les détails techniques d'oxydation, nous pouvons souligner simplement que l'oxydation RTO implique la présence d'eau (H₂O) lors de la réaction dans un « environnement humide ». Par opposition, l'oxydation DRY (sèche) fait réagir la plaque de silicium à un gaz d'O₂. Kimizuka *et al.* [142] ont montré en 2000 que l'oxydation WET induit une dérive de la tension de seuil ΔV_T plus forte que l'oxydation DRY (Figure 5–12).

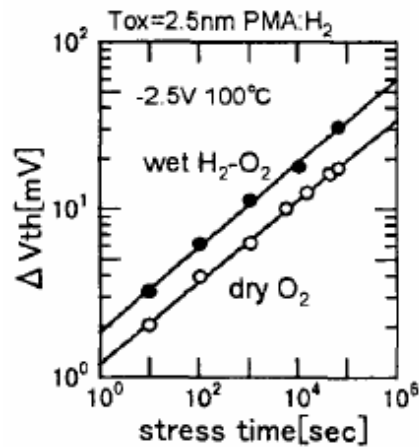


Figure 5–12 : Effet du type d'oxydation sur la dérive du V_T . L'oxydation WET augmente le NBTI [142]

Nous avons également étudié l'effet du type d'oxydation sur des échantillons d'environ 9nm d'épaisseur d'oxyde. La Figure 5–13 (a) représente les caractéristiques électriques C-V des échantillons RTO et DRY. Nous pouvons observer que la capacité relative à l'épaisseur équivalente de l'oxyde (C_{ET}) et la tension V_{FB} sont légèrement différentes. Ceci est confirmé par la Figure 5–13 (b) qui représente le champ électrique F_{OX} dans l'oxyde en fonction de V_G en utilisant l'intégrale de Berglund [143], la relation entre le champ électrique dans l'oxyde et l'intégration de la $C(V)$ donné par

$$F_{OX}(V_G) = \int_{V_{FB}}^{V_G} \frac{C(V)}{\epsilon_0 \epsilon_{OX}} dV \quad \text{Eq. 5-1}$$

La conséquence est un effet *contrainte* lorsque l'on compare la dégradation sur les 2 échantillons pour une même contrainte V_G .

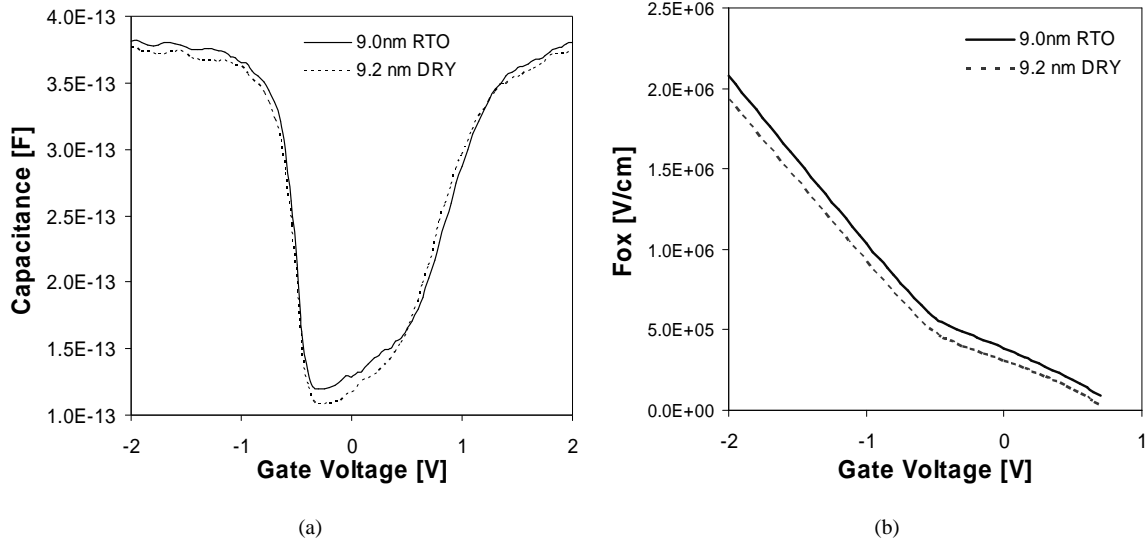


Figure 5–13 : Comparaisons des caractéristiques électriques d’une oxydation RTO et DRY : (a) mesures C-V sur caisson N et (b) et extraction de la relation $F_{OX}-V_G$ (b)

Plusieurs champs électriques ont été appliqués sur les 2 échantillons et les dégradations ont été reportées sur la figure suivante pour 10s, 10²s, 10³s, et 10⁴s de contrainte à T=125°C.

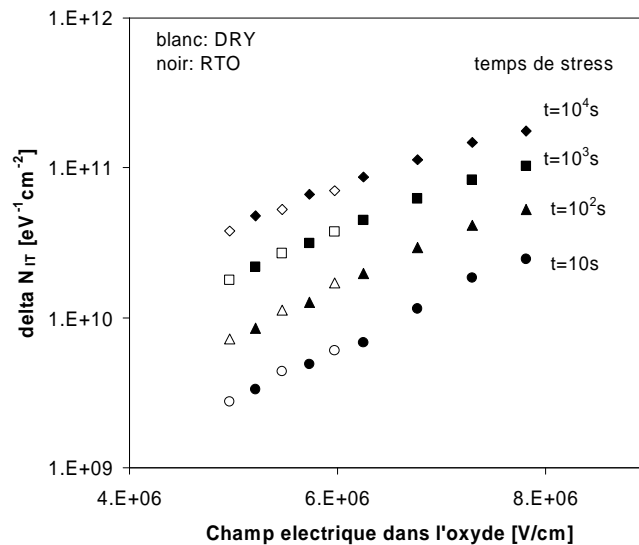


Figure 5–14 : Comparaison de la génération des états d’interface entre une oxydation RTO et DRY à T=125°C

Pour un champ électrique donné, la génération des états d’interface est identique pour les 2 échantillons, et nous attribuons donc l’effet DRY-RTO uniquement à l’effet *contrainte*. L’effet lecture, c’est-à-dire la relation reliant ΔN_{IT} au ΔV_T est ici négligeable compte tenu des épaisseurs d’oxyde très proches (environ 2% de différence sur une épaisseur d’oxyde de 9nm).

5.4.2 L'épaisseur de l'oxyde de grille

L'épaisseur d'oxyde est un effet *lecture* très important. Pour une génération d'états d'interface ΔN_{IT} donnée, la dérive de la tension de seuil ΔV_T correspondante est plus importante pour un oxyde épais que pour un oxyde fin. En effet, rappelons que :

$$\Delta V_T = \frac{q^2 \Delta N_{IT} \Phi_F}{C_{OX}} = \frac{q^2 T_{OX} \Delta N_{IT} \Phi_F}{\epsilon_0 \epsilon_{OX}} \quad \text{Eq. 5-2}$$

Le deuxième effet de l'épaisseur d'oxyde est un effet *contrainte*. Pour une contrainte électrique V_G donné, le champ électrique équivalent sera au premier ordre inversement proportionnel à T_{OX} . Nous avons étudié des échantillons d'épaisseur d'oxyde compris entre 9nm et 10.5nm. Les dégradations à l'interface SiO_2/Si (ΔN_{IT}) après 10^2 s, 10^3 s et 10^4 s ont été tracées sur la figure suivante.

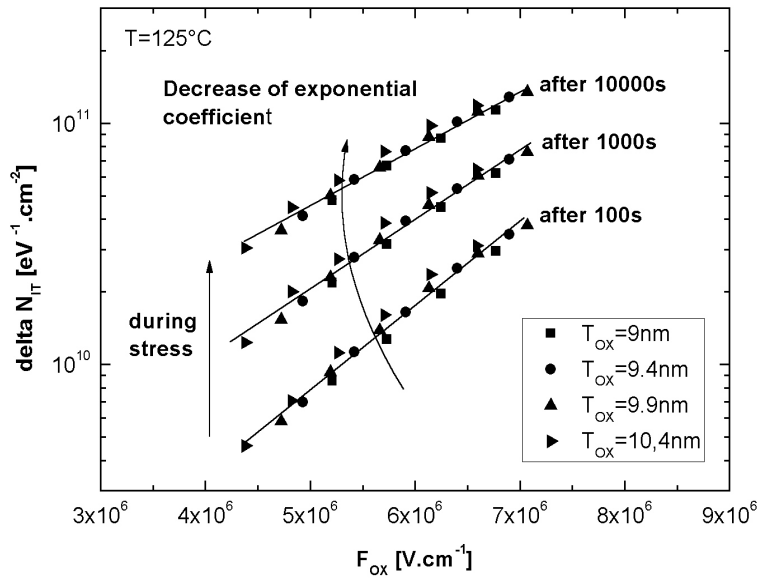


Figure 5-15 : Dépendance en champ électrique F_{OX} de la génération d'états d'interface ΔN_{IT} [49]

Pour champ électrique F_{OX} donné, la dégradation est identique sur les 4 transistors pour les 3 temps considérés. L'effet *contrainte* de T_{OX} peut être modélisé par une relation exponentielle en F_{OX} .

$$\Delta N_{IT}(F_{OX})_t = A_t \exp(B_t F_{OX}) \quad \text{Eq. 5-3}$$

Avec A_t et B_t des paramètres évoluant dans le temps.

Pour cette étude, les oxydes sont purs (sans azote), et comme nous le verrons dans la partie 5.4.4, l'azote est en grande partie responsable du piégeage de trous. L'absence d'azote rend le

phénomène de piégeage de trous négligeable en comparaison aux charges fixes et aux états d'interface. Nous négligerons donc ici le piégeage de trous. Concernant les charges fixes, nous avons montré dans les chapitres 2 et 3 qu'une charge fixe et un état d'interface Donneur sont générés dans le même mécanisme.

En prenant en compte l'effet *lecture* sur ΔV_T , c'est-à-dire C_{OX} , l'équation devient :

$$\Delta V_{T,Q_{IT}} = -\frac{\Delta Q_{IT} + \Delta Q_f}{C_{OX}} = 2 * \frac{\Delta Q_{IT}}{C_{OX}} = \frac{2q^2 \Delta D_{IT,moy} \Phi_F}{C_{OX}} = \frac{2q^2 T_{OX} \Phi_F A_i \exp(B_i F_{OX})}{\epsilon_0 \epsilon_{OX}} \quad \text{Eq. 5-4}$$

Pour simplifier l'écriture, nous avons défini R, le quotient

$$R = \frac{\Delta V_T(V_{OX2}, T_{OX2})}{\Delta V_T(V_{OX1}, T_{OX1})}(t) = \left(\frac{T_{OX2}}{T_{OX1}} \right) \exp \left(B(t) \frac{V_{OX2} T_{OX1} - V_{OX1} T_{OX2}}{T_{OX1} T_{OX2}} \right) \quad \text{Eq. 5-5}$$

B(t) est extrapolé à partir de la Figure 5–15.

Les valeurs R calculées à partir des mesures ΔV_T après 10^4 s de contrainte sont reportés sur la Figure 5–16 en prenant comme référence le transistor $T_{OX2}=9\text{nm}$.

Le modèle Eq.5-4 nous permet non seulement d'extrapoler les valeurs de R en fonction du champ électrique mais également en T_{OX} . Avec la valeur B évaluée à $6.1.10^{-7} \text{cmV}^{-1}$, nous avons reporté en trait plein les valeurs de R calculé à partir du modèle.

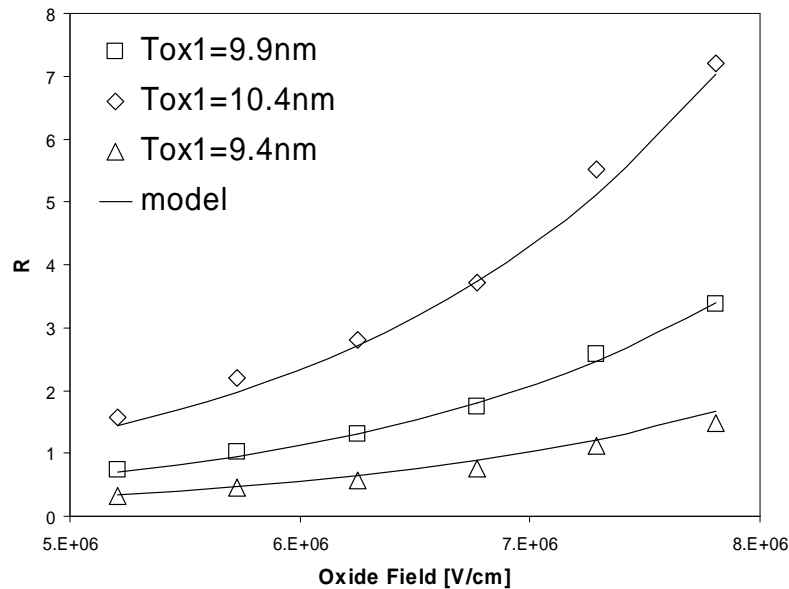


Figure 5–16 : Valeurs expérimentales et modélisation de l'effet T_{OX}

Dans le cadre des oxydes purs (piégeage de trous négligeable), l'effet de T_{OX} sur la dérive de la tension de seuil est en accord avec la modélisation. Les valeurs expérimentales et les

valeurs théoriques se superposent pour une large gamme de F_{OX} . Nous sommes donc capables de calculer l'effet sur le ΔV_T d'une augmentation de V_{DD} (F_{OX}) et de T_{OX} à partir d'un abaque $B(t)$. Cette modélisation offre l'avantage de permettre aux technologues d'optimiser rapidement l'épaisseur T_{OX} définitive qui permet d'atteindre une fiabilité suffisante.

5.4.3 L'effet du chlore pendant la première oxydation de grille

C.C.Hao *et al.* [144] ont montré que l'incorporation de chlore pendant la première oxydation améliore significativement la fiabilité NBTI. La croissance de l'oxyde de grille est faite dans un four (FTPS Furnace à 800°C) en utilisant le gaz de réaction $C_2H_2Cl_2$ pour apporter les atomes de chlore. Ils ont comparé les performances NBTI avec un transistor témoin ayant subi une oxydation ISSG (900°C à 12 Torr). Pour les oxydes fins, la seconde oxydation a été faite par ISSG à 12 Torr suivi par une passivation sous NH_3 à 740 Torr à 950°C. En appliquant une contrainte de 2-2.5V pour l'oxyde fin (2nm) et 5-6V pour les oxydes épais (6.5nm) à 125°C, ils ont montré que les durées de vie NBTI étaient réduites par 2 pour le 2nm et par 3 dans le cas du 6.5nm. L'une des interprétations possible de cette amélioration est le remplacement de liaisons faibles Si-H par des liaisons fortes Si-Cl beaucoup plus difficiles à rompre pendant une contrainte NBT. Y.Nishioka [146] avait déjà montré précédemment que l'incorporation de chlore pendant l'oxydation de grille réduit le nombre de pièges à l'interface et augmentent la fiabilité porteurs chauds HCI. Avec des performances équivalentes, l'incorporation de chlore pendant la première oxydation semble donc une excellente option non seulement pour l'optimisation de la fiabilité NBTI et mais également des courants de fuite à travers la grille [144].

5.4.4 L'effet de l'azote dans l'oxyde de grille

La nitruration de l'oxyde de grille est sans conteste une étape majeure de la fabrication du transistor MOS qui a mis au premier plan le phénomène NBTI vis-à-vis du compromis nécessaire entre les performances des dispositifs et leur fiabilité. Au fur et à mesure de l'intégration de dispositif MOS, de nouveaux phénomènes néfastes et involontaires sont apparus et ont remis en cause le bon fonctionnement du dispositif. Les deux problèmes que sont la fuite à travers l'oxyde de grille du transistor NMOS et la diffusion du bore de la grille à travers l'oxyde du transistor PMOS affectèrent trop sérieusement les critères de consommation à travers leurs caractéristiques électriques pour être conformes aux critères de production requis. Une des solutions retenues fut la nitruration de l'oxyde. Elle permet de passer au-dessus de ces deux obstacles :

-
- D'une part, le courant de fuite est plus faible dans un oxyde nitruré que dans un oxyde pur d'épaisseur électrique équivalente (EOT) [145], par conséquent le niveau de fuite est fortement abaissé pour un même niveau de performance dans le transistor NMOS.
 - D'autre part, l'azote dans le transistor PMOS joue le rôle de barrière de diffusion pour les atomes de bore utilisés pour le dopage de la grille et des implantations Source/drain [147], [148], ainsi le PMOS s'affranchit du problème de diffusion du bore de la grille vers le canal d'inversion.

Si la nitruration de l'oxyde a finalement amélioré la fiabilité HCI [155], nous verrons que le transistor MOS est devenu beaucoup plus sensible aux contraintes électriques de type NBTI. Historiquement, les injections de porteurs chauds ont été souvent utilisés pour mettre en évidence la fiabilité vis à vis de ΔN_{IT} et $\Delta N_{ht+/-}$ (piégeage de charges positives/négatives) et il est important d'introduire les différentes espèces utilisées pour la nitruration comme NH_3 , N_2O , NO_2 , NO par rapport aux dégradations microscopiques observées dans la littérature [149]-[153]. On peut souligner que les résultats de la littérature sont controversés et dépendent fortement du niveau et de la qualité des procédés de réalisation : d'une façon générale le NH_3 a été banni du fait du piégeage d'électrons liés au espèces $-OH$, puis dans un second temps N_2O pour les budgets thermiques trop élevés (comme pour NH_3). NO s'est montré comme donnant un meilleur taux d'incorporation d'azote (%) à l'interface et induisant moins de défauts N_{IT0} avec des concentration d'azote plus élevées [151], [149]. Hori a montré un effet compétitif entre la concentration des atomes d'hydrogène et la concentration d'azote à l'interface vis à vis du nombre d'état d'interface N_{IT0} . La ré-oxydation (Rapid Thermal Oxidation) joue essentiellement sur la concentration d'hydrogène et contrôle la réduction de N_{IT0} due à la réduction des liaisons contraintes Si-O à l'interface Si/SiO₂. Dans le cas particulier du transistor PMOS, la génération d'états ΔN_{IT} Donneurs augmente avec la concentration d'azote dans le cas d'une nitruration NO (RTP) [150]. Cependant Bhat [152] et Hill [153] ont montré que l'optimisation de la concentration d'azote à l'interface à 3% donnait de plus faible dégradations HC vis à vis de ΔN_{IT} et ΔN_{ot-} dans le NMOS et PMOS.

Pour notre étude, nous développerons les effets de l'azote dans l'oxyde de grille sur le NBTI en deux parties. Dans un premier temps, nous présenterons les techniques de nitruration et, tout particulièrement les résultats NBTI obtenus pendant le développement de la technologie 65nm.

Nous présenterons ensuite les mécanismes liés à la nitruration et les différentes interprétations concernant l'origine de l'augmentation du NBTI par la nitruration de l'oxyde de grille.

5.4.4.1 Technique de nitruration de l'oxyde de grille

Schröder et Babcock [50] ont publié une excellente synthèse sur les différents travaux obtenus dans la littérature portant sur les techniques de nitruration et leurs effets sur le NBTI. Un grand nombre de procédés de nitruration a été expérimenté, et il est très difficile de synthétiser tout en seulement quelques pages.

Nous proposons de mettre en avant deux variables essentielles concernant les techniques de nitruration :

- La concentration d'azote dans l'oxyde
- Le profil d'azote dans le diélectrique (fortement lié à l'équipement)

La concentration d'azote dans l'oxyde

La concentration d'azote incorporée dans l'oxyde peut être modulée par le temps de nitruration, par la température de nitruration et par le type et les concentrations gazeuses. Trois plaques ont subi une recette avec des températures de nitruration différentes. Plus la température est élevée, plus la concentration d'azote dans l'oxyde est importante. Nous avons volontairement retiré une quatrième plaque lors de la phase de nitruration pour laisser l'oxyde « pur » (sans azote) comme référence. Nous avons représenté sur la Figure 5–17 la dérive de la tension de seuil pour une contrainte NBT effectuée à $V_G = -6V$ pour $T = 125^\circ C$ pendant $10^4 s$ sur des dispositifs $W/L = 10\mu m / 10\mu m$ avec des épaisseurs d'oxyde comprises entre 8nm et 9nm en fonction de la nitruration. Le résultat est une forte diminution de la dégradation lorsque le transistor a un oxyde pur sans azote.

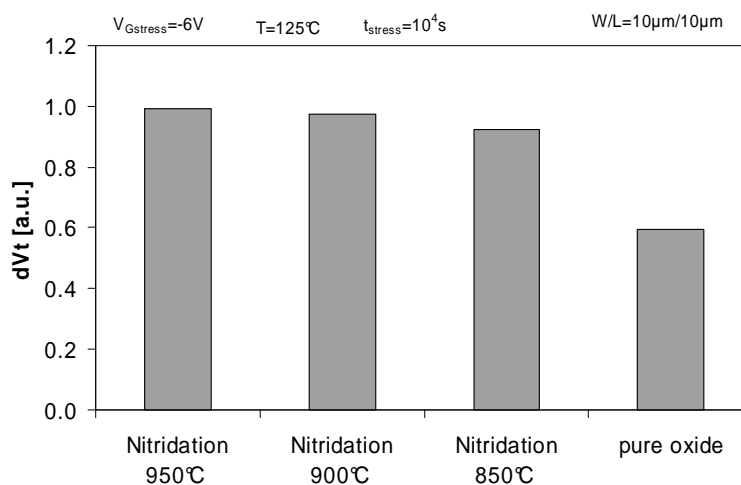


Figure 5–17 : L'effet de l'incorporation d'azote dans l'oxyde de grille sur la dérive de la tension de seuil pendant une contrainte NBT

Il est clair que la concentration d'azote va changer significativement les paramètres électriques du transistor, et l'incidence de la variation de la concentration seule sur l'ensemble des paramètres est une tâche plus difficile qu'il n'y paraît. Les atomes d'azote traversent l'oxyde de grille jusqu'à atteindre le canal (notamment pour les transistors à oxyde fin). Le dopage effectif du caisson va être modifié par la présence des atomes d'azote, et par conséquent les tensions V_{FB} ainsi que V_T [154]. La concentration d'azote va également modifier l'épaisseur physique et l'épaisseur équivalente C_{ET} . Dans le cas précédent, l'épaisseur physique de l'oxyde est comprise entre 8nm et 9nm en fonction de la concentration d'azote, et pour une contrainte NBT donnée, le champ électrique F_{OX} pendant la contrainte est modifié pour les quatre transistors. Nous avons donc ici un effet « *contrainte* » par le champ électrique effectif F_{OX} et un effet « *lecture* » par l'épaisseur T_{OX} (5.4.2).

Pour décorrélérer tous ces effets, nous avons élaboré avec l'équipe intégration des procédés de fabrication, un DOE (Design of Experiment) permettant de balayer une large gamme d'épaisseurs d'oxyde et de concentrations d'azote [N]. Les figures suivantes représentent une analyse SIMS (Secondary Ion Mass Spectroscopy) du profil d'azote dans l'oxyde et les caractéristiques électriques C-V pour deux D2R (Delay to Reoxidation) différents.

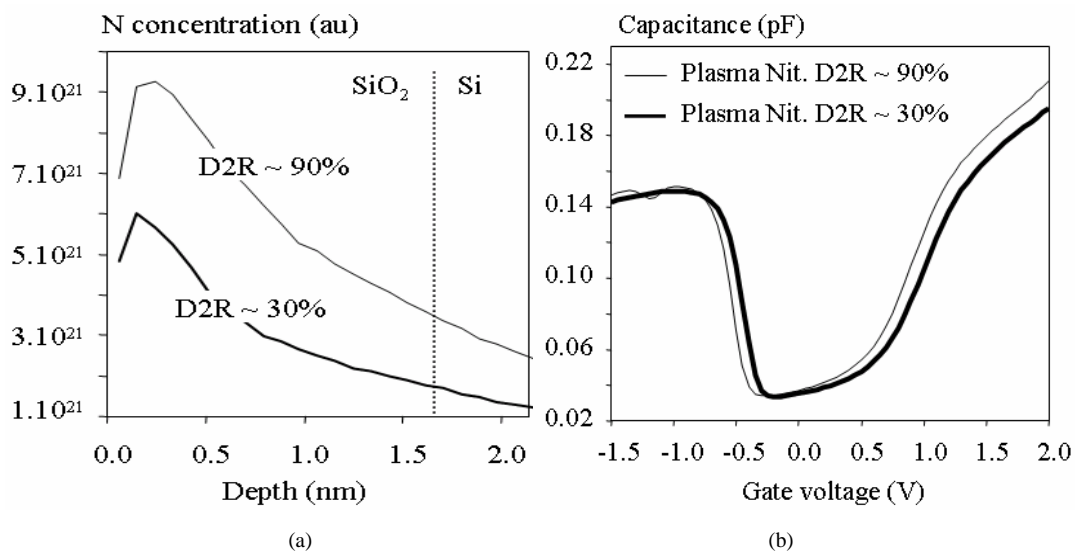


Figure 5-18 : Mesures SIMS et courbes C-V sur des oxydes D2R=30% et D2R=90% (caisson N) [130]

Rappelons que le paramètre D2R est un paramètre relatif correspondant à la concentration d'azote à l'interface SiO₂/Si [159]. L'azote incorporé dans l'oxyde réduit la vitesse de la seconde oxydation.

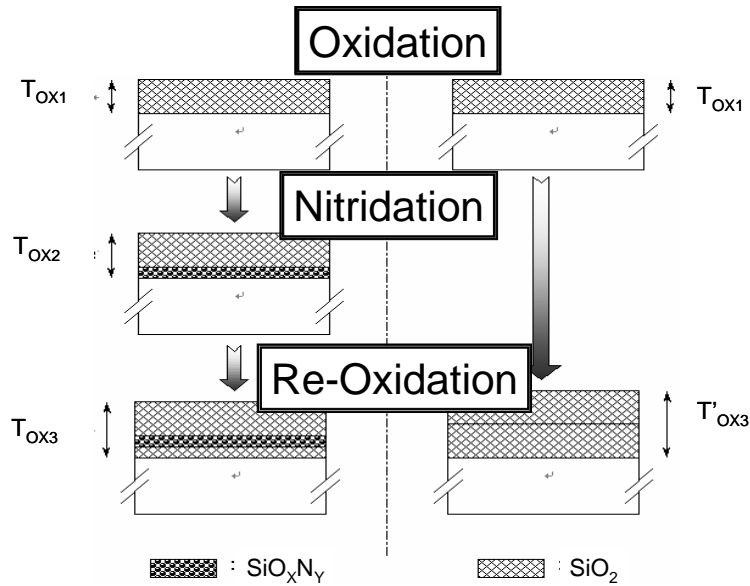


Figure 5-19 : Illustration de l'effet de l'azote sur la seconde oxydation de l'oxyde de grille [130]

La figure précédente illustre l'effet de l'azote sur la seconde oxydation. Lorsqu'il n'y a pas d'azote dans l'oxyde, alors $T_{OX3}'=T_{OX3}$ et le $D2R=0$. Lorsqu'il y a « beaucoup » d'azote, la seconde oxydation n'a plus d'effet sur l'épaisseur finale, T_{OX2} tend vers T_{OX3} et $D2R$ vers 1. Le calcul suivant est basé sur des rapports d'épaisseurs d'oxyde ayant subi ou non une phase de nitruration.

$$D2R = 100 * \frac{T_{OX3}' - T_{OX3}}{T_{OX3}' - T_{OX2}} \quad \text{Eq. 5-6}$$

Le DOE a permis d'obtenir la population suivante avec des C_{ET} compris entre 2.2nm et 2.45nm et des concentrations d'azote allant du simple au double.

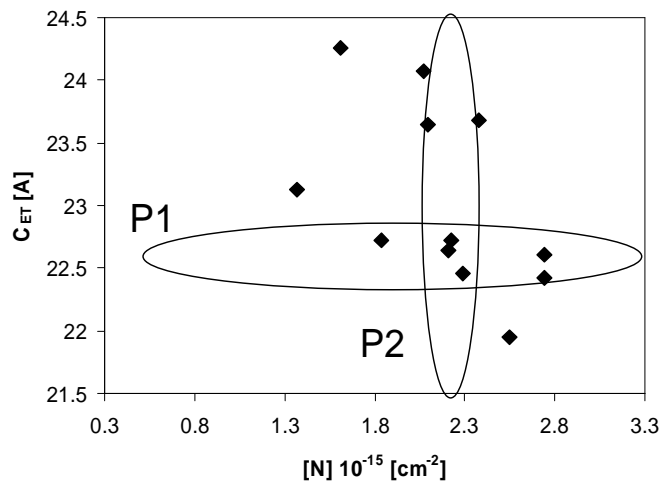


Figure 5-20 : Population issue du DOE. P1 la population au $C_{ET}=2.25\text{nm}$ et P2 la population contenant la même concentration d'azote

La population initiale a été séparée en deux populations distinctes :

- La population P1 est la population présentant le même C_{ET} final de 2.25nm. Nous considérons ici que le C_{ET} est le paramètre représentant le niveau de performance du dispositif (Plus le C_{ET} est faible, plus les performances sont élevées). Nous pourrions donc avec P1 étudier l'effet de la concentration d'azote pour un niveau de performance identique.
- La population P2 représente quant à elle l'effet du C_{ET} avec un niveau de concentration d'azote identique pour tous les transistors autour de $2.3 \cdot 10^{15} \text{cm}^{-2}$.

Les deux populations ont été contraintes à $V_G = -1.54 \text{V}$ à $T = 125^\circ \text{C}$ pendant 3000s.

Les dérives de la tension de seuil ΔV_T de la population P1 ont été tracées sur la Figure 5–21 en fonction de la concentration d'azote. Nous observons très clairement l'effet négatif de l'azote avec une dégradation proportionnelle à la concentration d'azote.

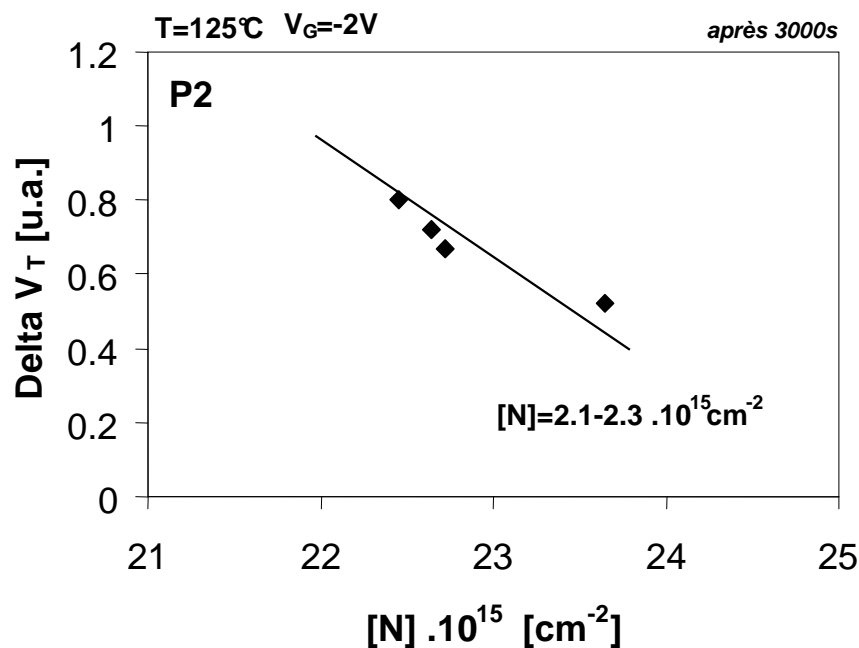


Figure 5–21 : Effet de la concentration d'azote sur la dérive de la tension de seuil pour $C_{ET} = 2.25 \text{nm}$

La Figure 5–22 représente la dégradation en fonction du C_{ET} pour une même concentration d'azote. Plus le C_{ET} est faible, plus les performances sont élevées, plus la dégradation est importante. La population P2 met donc en avant le compromis performance-fiabilité.

Les dérives ΔV_T ont été mesurées ici par la technique *on-the-fly* et les dynamiques seront étudiées dans la partie suivante lorsque nous étudierons les mécanismes liés à l'incorporation d'azote dans l'oxyde de grille.

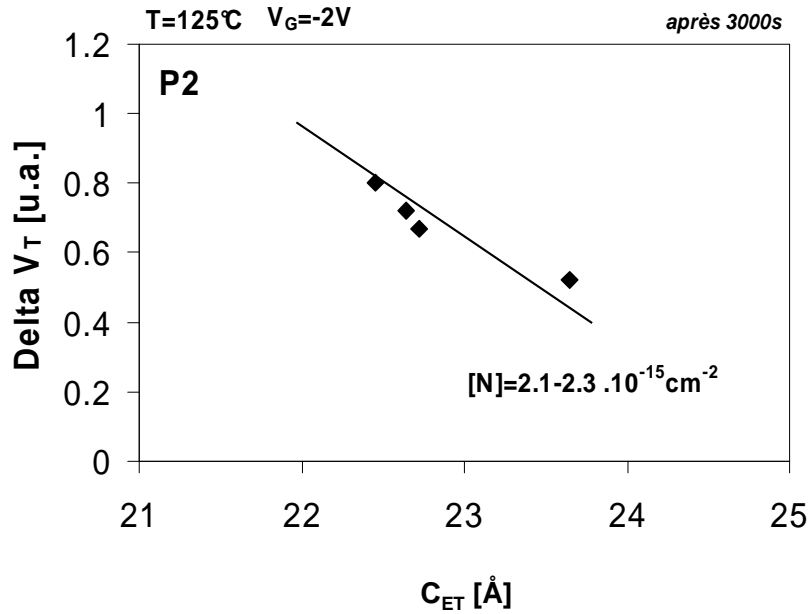


Figure 5–22 : Effet du C_{ET} sur la dérive ΔV_T pour une concentration $[N]$

L'équipement et le profil d'azote dans le diélectrique

Nous avons utilisé deux types de nitruration pour étudier l'effet du profil et de l'équipement sur les mécanismes NBTI (Figure 5–23).

Le Rapid Thermal Nitridation (RTN) correspond à une nitruration rapide dans un four. La caractéristique principale de ce type de nitruration est un profil de nitruration présentant une très forte concentration d'azote près de l'interface SiO_2/Si .

Le Decoupled Plasma Nitridation (DPN) et le Slot Plane Antenna (SPA) sont tous les deux des procédés de nitruration par plasma. Contrairement au RTN, l'azote est présent sur la surface supérieure de l'oxyde proche de la grille pour une nitruration par plasma.

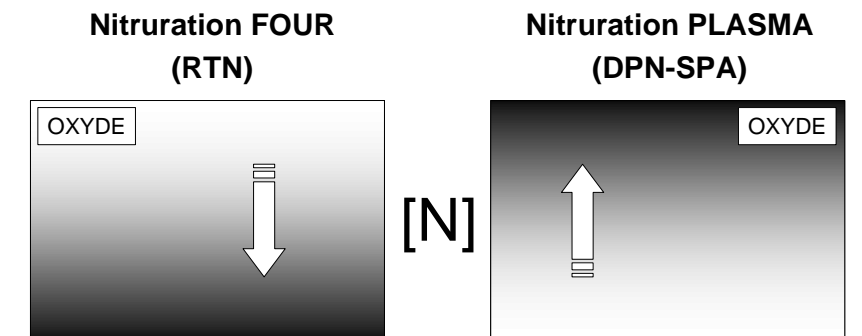


Figure 5–23 : Profil d'azote dans l'oxyde en fonction du procédé de nitruration

Pour une même concentration d'azote, nous avons étudié le NBTI en fonction de la technique utilisée, et donc en fonction du profil d'azote dans l'oxyde. Deux épaisseurs d'oxyde ont été testées :

Pour les oxydes épais, $C_{ET}=2.7\text{nm}$, l'effet du profil apparaît Figure 5–24 (a) sur la dérive du V_T . La dégradation est plus importante lorsque l'azote est présent proche de l'interface SiO_2/Si par un effet *lecture*.

Pour un oxyde plus fin, $C_{ET}=2.0\text{nm}$, les épaisseurs physiques ne sont plus suffisantes pour que les trois techniques RTN, DPN et SPA présentent des profils d'azote suffisamment distincts pour avoir une incidence sur la dégradation NBTI. Ce point est illustré par le résultat obtenu Figure 5–24 (b).

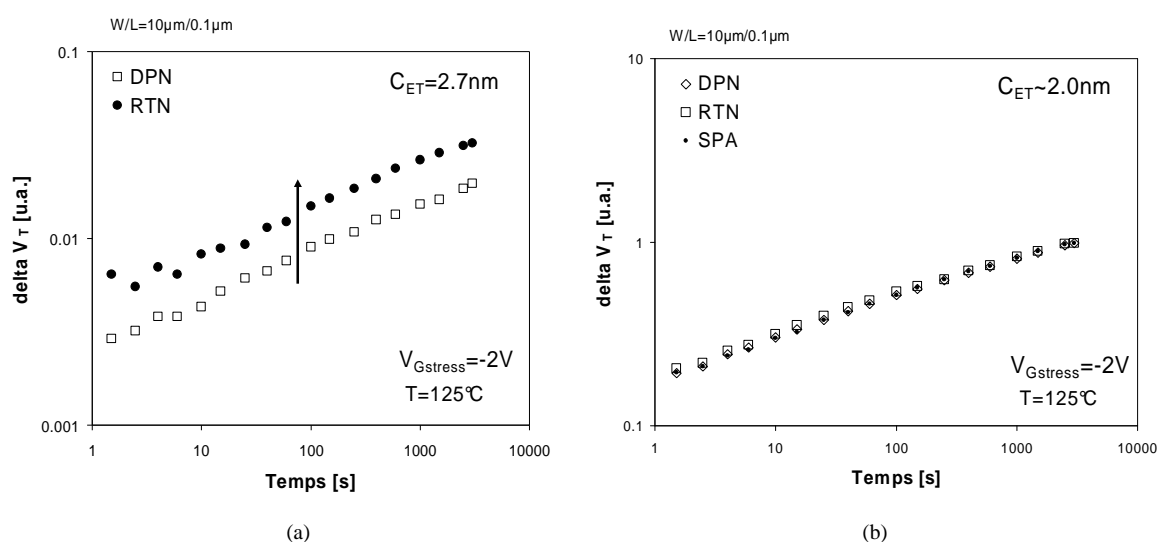


Figure 5–24 : Comparaison des types de nitruration DPN, RTN et SPA

Nous avons également étudié 2 techniques différentes utilisant la technologie plasma pour nitrurer l'oxyde. Sans donner tous les détails concernant la technique de nitruration plasma [156]-[157], nous avons comparé une nitruration obtenue par un plasma continu et une nitruration par plasma pulsé [158].

Pour obtenir des résultats sur des échantillons comparables, nous avons testé les échantillons ayant la même épaisseur d'oxyde mesurée par spectroscopie de photoélectrons sous rayons X [154] et la même concentration d'azote sur la Figure 5–25. Nous avons comparé 3 épaisseurs d'oxydes différentes C_1 ($\sim 1.4\text{nm}$), C_2 ($\sim 1.5\text{nm}$) et C_3 ($\sim 1.6\text{nm}$)

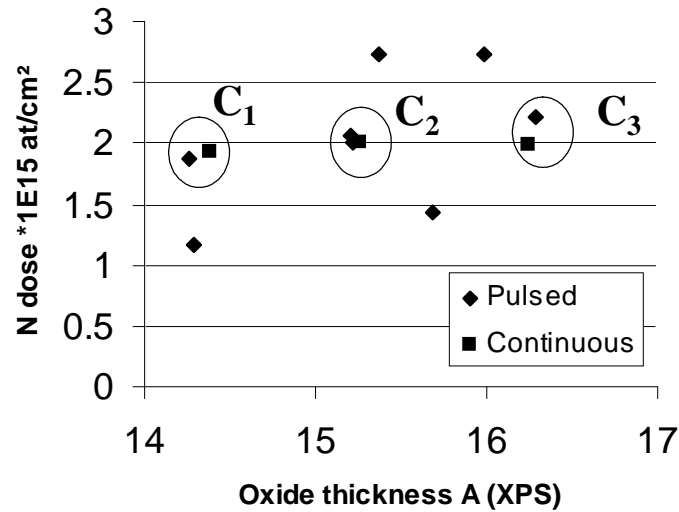


Figure 5-25 : Comparaison des concentrations d'azote et des épaisseurs d'oxyde (mesurées par XPS) des transistors issus de la nitruration plasma continue et pulsé

Nous avons reporté sur la Figure 5-26 les dynamiques de dégradation de C₁, C₂ et C₃.

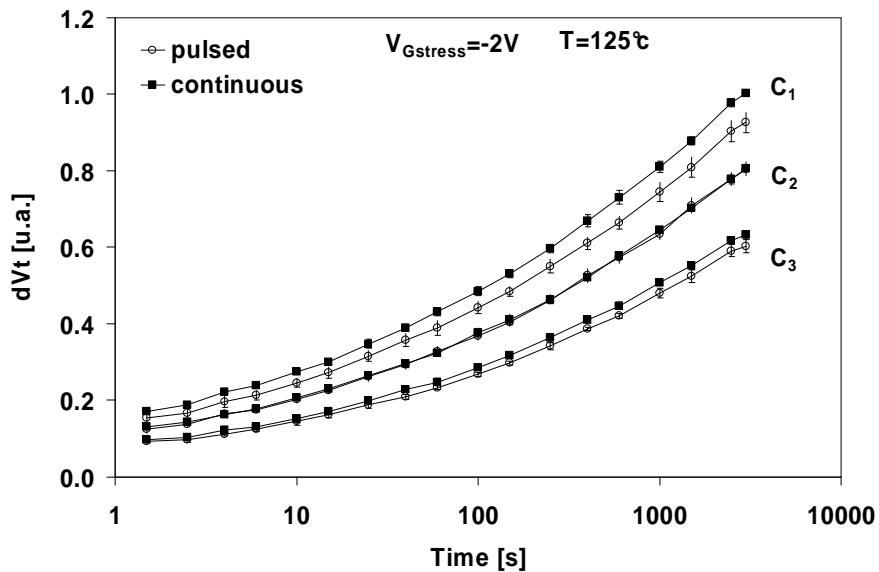


Figure 5-26 : Comparaison de ΔV_T sous contrainte NBT pour les deux types de plasmas et différentes épaisseurs d'oxyde

Nous pouvons considérer qu'un plasma continu ou pulsé pour la nitruration de l'oxyde ne change pas la sensibilité au NBTI lorsque l'épaisseur de l'oxyde et le niveau d'azote sont identiques.

5.4.4.2 Les mécanismes liés à la nitruration

Une édition spéciale NBTI de la revue *Microelectronic Reliability* (Janvier 2005) synthétise le travail de plus d'une dizaine de groupes de recherche. D'un point de vue mécanisme, on associe différentes propriétés à l'azote lors d'une contrainte NBT :

- L'azote contraint mécaniquement la structure atomique à l'interface SiO₂/Si [36]
- Un rôle catalytique de l'azote pour le NBTI [160]
- La proportion de défauts de type Pb₁ augmente par rapport au centre Pb₀ [162]
- Remplacement des liaisons Si-H par des liaisons Si - N [91]
- Génération plus importante de charges fixes [163]
- Distribution plus large en énergie des défauts [36]
- Diminution de l'énergie d'activation de la liaison Si-H [38], [163]
- Augmentation du nombre de pièges dans l'oxyde de grille [36], [91]

Concernant notre étude, nous avons étudié la génération d'états d'interface par des mesures de pompage de charges, et les effets du piégeage de trous avec une étude de la relaxation de la dégradation.

Expériences : Influence de l'azote sur la génération des états d'interface

La Figure 5–27 montre que la génération ΔN_{IT} reste identique sur une large gamme de champ électrique pour les structures PMOS et NMOS, que l'oxyde de grille soit nitruré ou pur, épais (10nm) ou fin (2.1nm). Ceci est un point important car il confirme que, si le V_{FB} et l'épaisseur d'oxyde sont modifiés par la nitruration, la fiabilité intrinsèque de l'interface SiO₂/Si reste indépendante de la nitruration vis-à-vis de la génération des états d'interface.

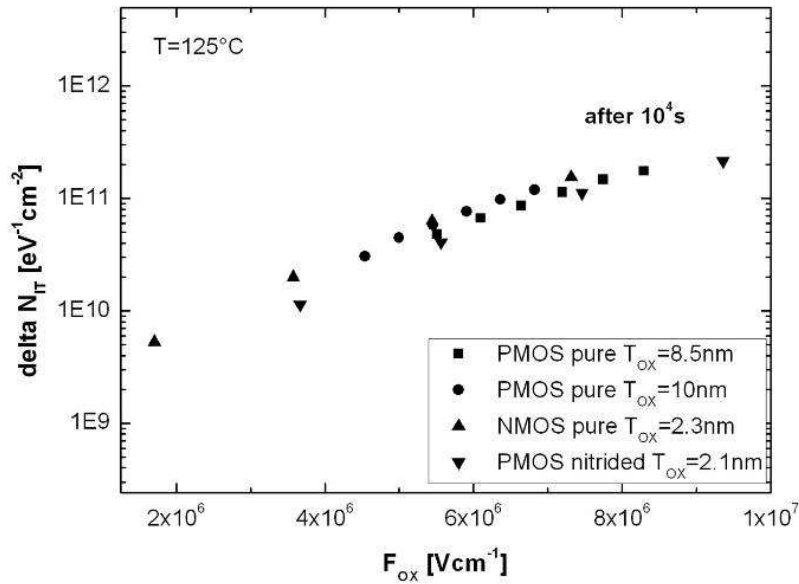


Figure 5-27 : La génération d'états d'interface en fonction du champ électrique dans l'oxyde après 10⁴s. Pour un F_{ox} donné, ΔN_{IT} est identique que ce soit un transistor NMOS ou PMOS, oxyde fin ou épais, pur ou nitruré [49]

Expériences : Influence sur le piégeage de trous

Les travaux de Tori [149]-[151] ont montré dans les années 90 la corrélation entre l'incorporation d'azote et l'augmentation des mécanismes de piégeage ΔN_{ot}- pendant une contrainte HCI. En ce qui concerne la spécificité de la dégradation NBTI, nous avons montré l'augmentation du piégeage de trous lorsque la concentration d'azote augmente sur la Figure 5-28. Elle représente la génération d'états d'interface en fonction de la dérive de la tension de seuil pendant une contrainte NBT pour 4 transistors différents : un oxyde pur, et 3 oxydes nitrurés. L'épaisseur d'oxyde est ici équivalente pour les 4 dispositifs. Pour un niveau de ΔN_{IT} généré, la dérive de la tension de seuil est plus forte lorsque la concentration en azote est plus élevée.

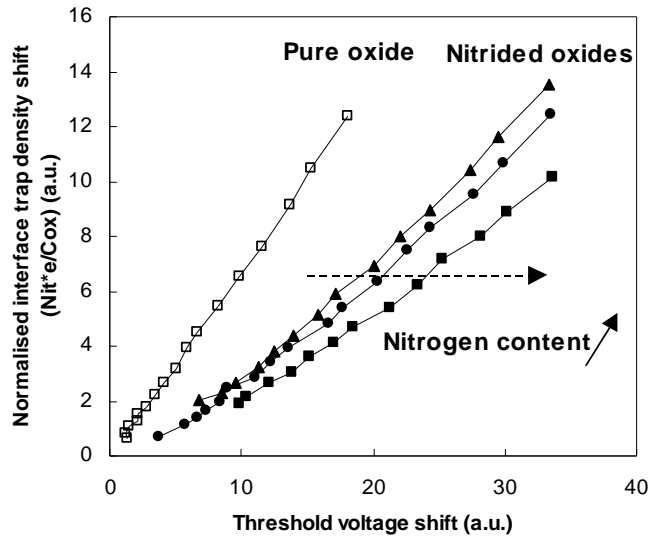


Figure 5–28 : Augmentation de la dérive de la tension de seuil pour une génération d'états d'interface donnée sur des oxydes de même épaisseur et contenant des concentrations d'azote différentes. La dégradation supplémentaire lorsque la concentration d'azote augmente est attribuée à l'augmentation du piégeage de trous

Cette dégradation du V_T pour un même niveau de génération de défauts à l'interface SiO_2/Si peut être attribuée soit aux charges fixes, soit au piégeage de trous

Lorsqu'une phase de relaxation est appliquée (Figure 5–29), le niveau de ΔV_T pour les oxydes nitrurés relaxe jusqu'à atteindre le niveau de celui de l'oxyde pur. Compte tenu des résultats présentés dans les chapitres 2 et 3, confortés par ceux obtenus sur la Figure 5–28. Nous montrons ici que l'augmentation de la dégradation est induite par un piégeage de trous beaucoup plus important lorsque la concentration d'azote augmente.

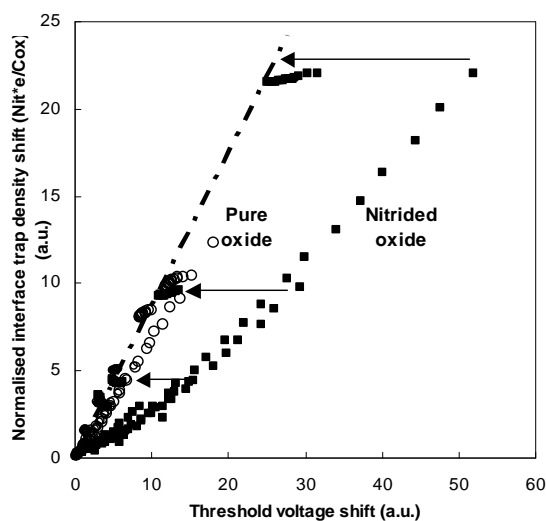


Figure 5–29 : Relaxation de la dégradation sur des oxydes nitrurés. Après relaxation, la relation entre la génération d'états d'interface et la dérive des tensions de seuil est identiques dans les oxydes pur et nitrurés

L'incorporation d'azote dans l'oxyde doit, soit augmenter le nombre de pièges préexistants dans l'oxyde, soit diminuer l'énergie d'activation du mécanisme de piégeage. Cependant l'énergie d'activation du piégeage s'est montrée relativement faible ici et nous penchons plutôt sur le fait que l'azote augmenterait le nombre de pièges susceptibles d'intervenir dans le mécanisme de piégeage de trous.

En poussant ce raisonnement à l'extrême, Ang *et al.* [164] ont également confirmé ce point en prenant un dispositif avec un diélectrique de grille complètement remplis d'azote SiN (sans atome d'oxygène), montrant que la concentration maximale d'azote augmentait considérablement le piégeage de trous.

Discussions

Nous avons déjà cité les travaux de simulation de Ushio *et al.* [100] dans le chapitre 3 montrant que les états d'interface et les charges fixes étaient très fortement corrélés (calculs des énergies de réactions

les plus favorables). Leurs simulations ont également montré que le mécanisme de dégradation pouvait être favorisé par l'incorporation d'azote dans l'oxyde près de l'interface (réduire l'énergie de réaction). Nos expériences montrent au contraire que l'azote ne modifie pas la génération de défauts à l'interface (Figure 5-27). La nitruration de l'oxyde peut modifier considérablement la qualité de l'interface et donc modifier la distribution des énergies d'activation de dissociation de la liaison Si-H. Si le nombre initial d'états d'interface N_{IT0} est différent sur deux échantillons, alors les générations d'états d'interface seront différentes l'une de l'autre à cause des distributions d'énergie d'activation différentes (cf. chapitre 2). Cela ne veut pas pour autant dire que le second matériau favorise le mécanisme de dégradation. Les différentes étapes de passivation pourraient avoir exactement le même effet. En revanche, il est essentiel d'utiliser des échantillons ayant la même distribution des énergies d'activation pour réellement étudier l'effet du nouveau matériau. En prenant comme hypothèse que la distribution globale des énergies d'activation est peu influencée par l'incorporation d'azote, alors nous pouvons considérer qu'avoir le même nombre de piège N_{IT0} sur les dispositifs vierges correspond à avoir la même distribution énergétique des énergies d'activation. Dans notre cas, nous avons effectué les contraintes NBT sur des transistors présentant un même nombre de pièges à l'interface N_{IT0} sur les dispositifs vierges de l'ordre de $4-5 \cdot 10^{10} \text{eV}^{-1} \text{cm}^{-2}$. Nous concluons donc dans le cadre de nos hypothèses que pour une même distribution des énergies d'activation de dissociation de la liaison Si-H, l'azote ne modifie pas intrinsèquement le mécanisme de dégradation. Houssa [36] a

également soutenu ce point en modélisant une génération de défauts plus importante induite par les contraintes mécaniques. Il a associé l'effet de l'augmentation de la nitruration à une distribution plus large des énergies de liaison Si-H à l'interface SiO₂/Si et à un piégeage beaucoup plus important dans l'oxyde. Il a mis également l'accent sur le fait que la proportion entre les charges dans l'oxyde et les charges à l'interface SiO₂/Si augmente avec la concentration d'azote. Ce qui est confirmé par nos résultats sur la Figure 5–28. L'azote est connu [161] pour augmenter le nombre de pièges susceptibles de piéger des trous, et l'augmentation de la concentration d'azote dans l'oxyde augmente la quantité de charges piégées pendant la contrainte. De plus, nous avons montré dans le chapitre 4 que la dégradation du V_T est fortement réduite sur un oxyde pur notamment par une réduction du piégeage de trous (Figure 4–22). Concernant les charges fixes, nous avons conservé le rapport de « 1 pour 1 » entre nombre de charges fixes et le nombre d'états d'interface Donneur générés sur l'ensemble de nos expériences, que ce soient des oxydes fortement ou faiblement nitrurés. Les mesures de Tan *et al.* [163] montrent également par l'intermédiaire de la tension de mid-gap l'augmentation de charges fixes. A noter que le piégeage de trous affecte également la tension de mid-gap, et les deux contributions Q_f de Q_{ht} interviennent:

$$\Delta V_{mid-gap} = -\frac{Q_f + Q_{ht}}{C_{OX}} \quad \text{Eq. 5-7}$$

En conclusion, nous attribuons expérimentalement l'augmentation de la dégradation uniquement à l'augmentation du piégeage de trous. Malgré les précautions prises au niveau expérimental, c'est-à-dire en utilisant un même champ électrique pendant la contrainte, et en optimisant la technique de pompage de charge CP, l'augmentation de la libération de l'hydrogène à l'interface par l'azote n'a pas été significatif sur l'ensemble de nos échantillons.

5.5 La grille et le dopage source/drain

L'oxydation de la grille est suivie par le dépôt du silicium polycristallin (poly-silicium) (33) par LPCVD (Low Pressure CVD). Le poly-silicium est généralement dopé en phosphore ou en bore pour ajuster le travail de sortie des électrons dans la grille. Le dopage de la grille permet de compenser la déplétion du polysilicium. Nous avons vu également que l'un des intérêts de l'incorporation de l'azote dans l'oxyde est l'arrêt de la diffusion du bore. T.Yamamoto *et al.* [165] ont montré que la pénétration du bore (par four) augmente la sensibilité de l'oxyde au NBTI. Pour un champ électrique de F_{OX}=-4.3MV/cm dans l'oxyde à T=250°C, la dérive de la tension de seuil est moins importante lorsqu'il n'y a pas eu

préalablement de diffusion de bore à travers l'oxyde ([165]). Ceci tendrait à confirmer que la diffusion du bore à travers l'oxyde fragilise l'oxyde.

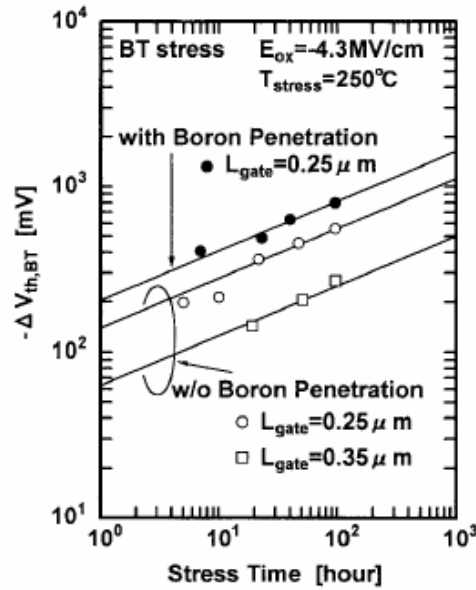


Figure 5–30 : Effet de la diffusion du bore sur la dynamique de dégradation du V_T [165]

Ces travaux, à travers l'effet de la longueur du canal qu'ils ont observé, prouvent que le bore participant à l'augmentation du NBTI serait plus précisément relatif à la région issue des zones des source/drain que de la grille. L'augmentation de la dégradation NBTI serait donc plus causée par un plus grand nombre de défauts dans la région de recouvrement, c'est-à-dire les zones d'overlap grille-source grille-drain [148].

De récentes innovations ont été proposées pour les procédés de réalisation de la grille dans le but d'améliorer encore cette étape fondamentale de la qualité-fiabilité de la structure MOS du transistor. B.Duriez *et al.* [166] ont montré récemment que le dopage de la grille avec du germanium permet d'augmenter la mobilité des porteurs. Cet effet s'explique par le fait que le germanium implanté dans la grille contraint mécaniquement le canal et modifie localement les masses effectives des porteurs. Dans ce contexte, nous avons étudié l'effet du dopage et du prédopage de la grille sur la technologie 65nm. De plus, l'implantation de fluor a récemment été brevetée comme solution pour diminuer les effets NBTI dans les transistors PMOS des technologies avancées [167], [168]. P.J. Wright *et al.* [169] en 1989 et Y.Mitani *et al.* [170] en 1999 avaient déjà montré l'intérêt du fluor pour améliorer la fiabilité sous contrainte HCI et F-N. Plus récemment, Y.Mitani *et al.* [38] ont étudié l'effet de l'implantation de fluor sur un oxyde pur et nitruré. Ils montrent que le fluor améliore le NBTI principalement sur l'oxyde pur. Contrairement à Liu *et al.* [171], ils montrent également que l'énergie d'activation du NBTI (ΔV_T et ΔN_{IT}) n'est pas modifiée par l'implantation de fluor.

Nous comparons ici sur nos échantillons les différents effets relatifs à ces différentes modifications précitées. Les implantations sont ici en fluor ou en germanium. Le prédopage est une implantation de bore dans la grille. L'oxyde de grille est nitruré par DPN dans tous les cas. Nous avons contraint les transistors à $V_G = -2V$ à $T = 125^\circ C$ pendant 3000s et reporté les dégradations après la contrainte sur la Figure 5-31.

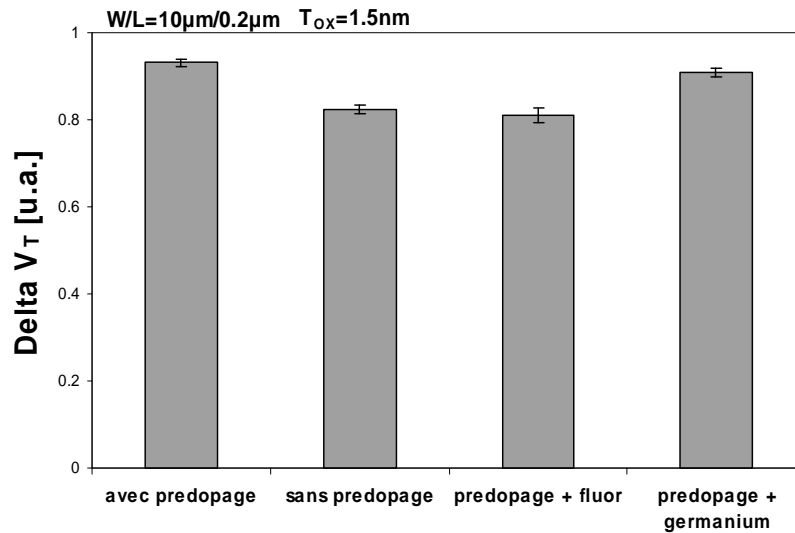


Figure 5-31 : Effet du procédé de fabrication de la grille sur le NBTI

Nous constatons que la dégradation est plus importante lorsque la grille est prédopée. Cet effet était attendu puisqu'en réduisant l'effet de la déplétion de grille, le champ électrique dans l'oxyde pour une tension V_G donnée est plus fort dans le cas du prédopage. Il en résulte une plus forte dégradation à l'interface SiO_2/Si et une plus grande quantité de trous piégés. Concernant le germanium, on peut noter qu'une très légère amélioration concernant la fiabilité du dispositif. A l'inverse, l'effet du fluor semble plus net. Cependant comme l'avait déjà remarqué Y.Mitani [38], l'effet du fluor est peu marqué sur les oxydes nitrurés et plus important sur des oxydes purs. Nous pensons que le fluor est arrêté par le nitrure dans l'oxyde. Les mesures C-V (Figure 5-32) sur des oxydes avec et sans implantation de fluor [166] confirment la diminution de la déplétion de la grille mesurée entre $V_G = -1.5V$ à $-0.7V$ due à l'implantation du fluor et l'augmentation du V_{FB} . Cette variation de V_{FB} suggère l'influence de charges négatives dans l'oxyde issues du complexe azote-fluor.

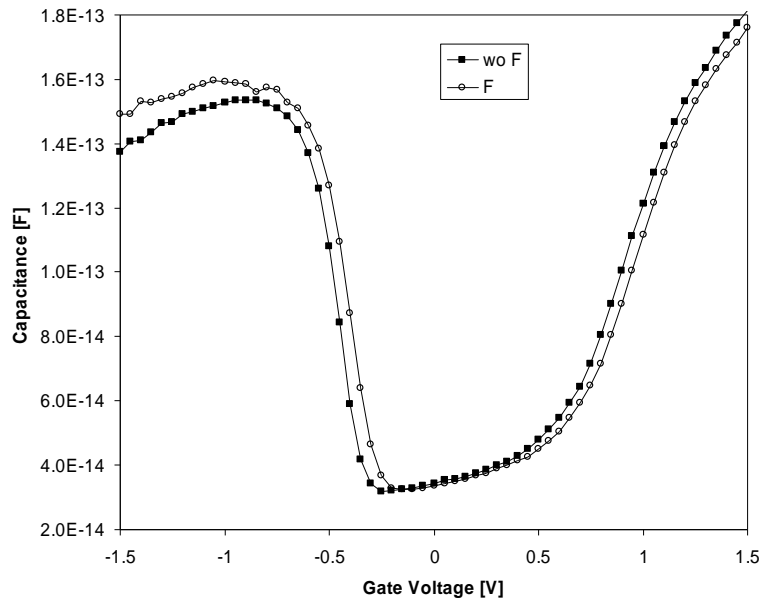


Figure 5-32 : Mesures C-V (substrat de type N) sur des oxydes nitrurés (DPN) de 1.4nm d'épaisseur avec et sans implantation de fluor [166]

L'analyse de l'effet du fluor vis-à-vis de la génération des états d'interface a été poursuivie sur des oxydes purs épais d'épaisseur de $T_{OX}=8.5\text{nm}$ à l'aide d'une contrainte $V_G=-6\text{V}$ à $T=125^\circ\text{C}$. La génération ΔN_{IT} mesurée par CP est reportée sur la Figure 5-33 pour 3 transistors ayant subi une implantation de fluor à faible concentration, forte concentration, et pour une concentration moyenne avec une énergie plus faible par rapport à un transistor de référence sans implantation de fluor.

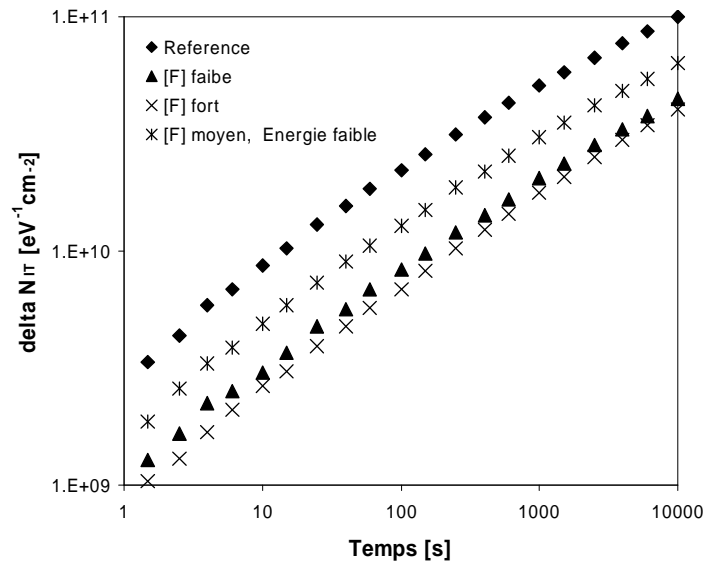


Figure 5-33 : Effet de la concentration de fluor implanté sur la génération de défauts à l'interface sur des oxydes purs de 8.5nm d'épaisseur

Nous confirmons ici que l'implantation de fluor diminue la génération d'états d'interface quelle que soit la dose. ΔN_{IT} est légèrement plus faible lorsque la concentration est la plus élevée. L'énergie avec laquelle le fluor est implanté a un plus fort effet sur ΔN_{IT} que la concentration, et l'augmentation de la génération de défauts est plus forte lorsque l'énergie d'implantation est plus faible.

La figure suivante montre la quantité de défauts générés à l'interface après 10^4 s ($V_G = -6$ V) en fonction du nombre de liaisons pendantes N_{IT0} du dispositif vierge. Le fluor semble diminuer le nombre de défauts N_{IT0} et augmente d'autant plus la fiabilité pendant la contrainte que N_{IT0} est faible.

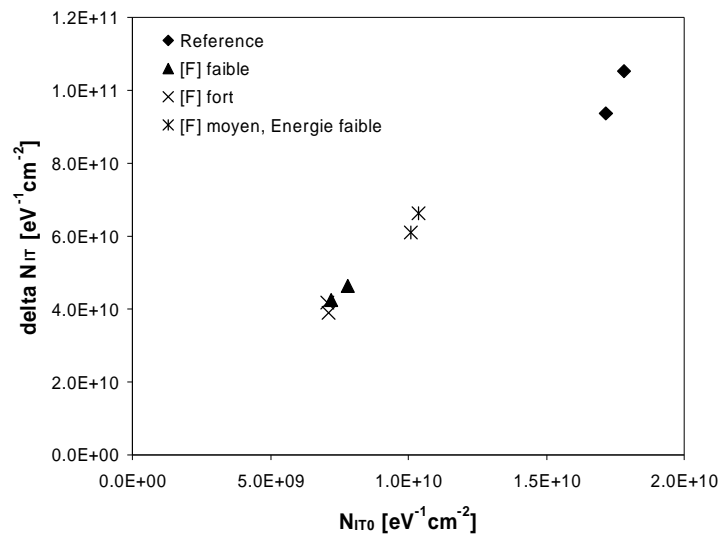
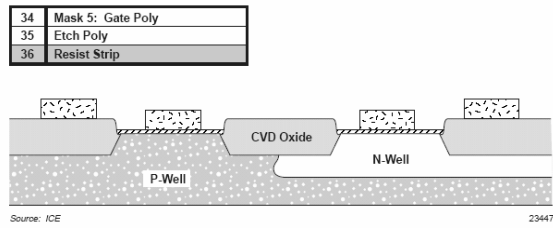


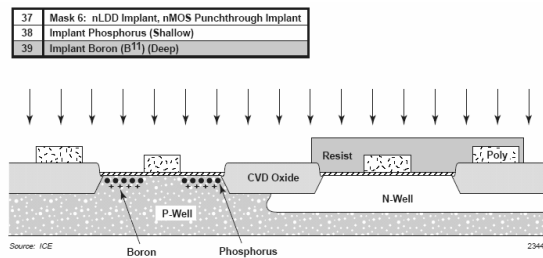
Figure 5-34 : Corrélation entre le nombre de défauts N_{IT0} et le nombre de défaut généré à l'interface pendant une contrainte NBT.

Ces résultats suggèrent que pour un oxyde pur, le fluor diffuse jusqu'à l'interface SiO_2/Si , remplace les liaisons Si-H et comble les liaisons Si- pendantes. Les liaisons Si-F résistent mieux à la contrainte NBT que les liaisons Si-H, et la dégradation à l'interface est moins importante. L'étude avancée sur l'effet du fluor de T.B. Hook *et al.* [172] confirme ce point de vue (la publication la plus complète sur les effets du fluor sur la fiabilité). Concernant l'énergie avec laquelle le fluor est implanté, une énergie plus faible doit probablement diminuer la quantité de fluor traversant effectivement l'oxyde jusqu'à l'interface et donc diminuer le nombre de liaisons Si-F.

Après les implantations de dopants, les grilles sont formées (34-36) par une étape de photolithographie et une étape de nettoyage par NF_3 et HBr grave les zones du poly-silicium non protégées. La longueur minimum de gravure de grille correspond à la capacité de l'étape de photolithographie à protéger une zone.



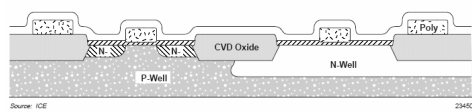
Les zones nLDD et l'ajustement du V_T du transistor NMOS sont ensuite effectués par implantation (37-39).



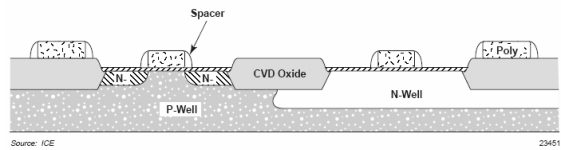
Après le dopage de la grille, les espaceurs sont formés par oxydation (40-42) pour éviter une implantation des source et drain trop proche du canal d'inversion dans l'étape 44 pour le transistor NMOS et 47 pour le transistor PMOS.

40 Poly Oxidation

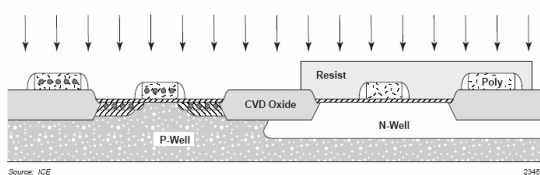
41 Spacer Oxide CVD



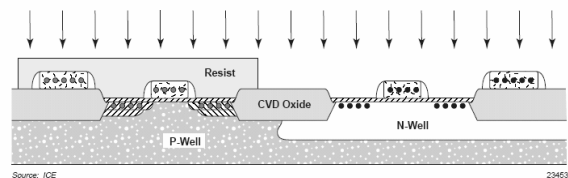
42 Spacer Oxide Etch



43	Mask 7: N+ Source/Drain Implant
44	N+ Implant, As
45	Strip Resist



46	Mask 8: P+ Source/Drain Implant
47	P+ Implant, BF_2
48	Strip Resist



L'Arsenic (As) et le fluorure de bore (BF_2) sont utilisés pour doper les source et drain respectivement du transistor NMOS et du PMOS. Une passivation des dopants à $1000^\circ C$ pendant 10s est faite par RTP (Rapid Thermal Passivation) pour contrôler la profondeur de diffusion.

5.6 Evolution des procédés de fabrication

5.6.1 Le charging

Les procédés plasmas et les implantations ioniques sont à l'origine des effets charging observés sur les plaquettes de silicium. La conséquence est une accélération de la dégradation de l'oxyde de grille [173], [117]. Plusieurs travaux [174], [175], [176] ont montré que l'influence du charging a un effet néfaste sur le NBTI. Nous confirmons également ce point expérimental. Lorsqu'il n'est pas détruit, l'oxyde est au minimum fragilisé par le passage des charges collectées par les surfaces d'antennes connectées aux surfaces de grille actives. L'interface SiO₂/Si s'en trouve dégradée et le nombre de pièges mesurables par CP est plus important lorsqu'il y a du charging [174]. Il est cependant très difficile d'étudier les effets du charging. Le charging est statistiquement reparti sur la plaquette de silicium et une caractérisation électrique ne suffit pas pour le détecter [173]. Si bien qu'il est difficile de juger qu'un transistor a réellement été victime du charging. Le charging représentera certainement un défi dans les prochaines filières technologiques avec les nouveaux procédés de fabrication plasmas. Nous pensons que les effets NBTI seront très dépendants de la maîtrise avec laquelle les technologues sauront gérer les effets liés au charging.

5.6.2 L'avantage du deutérium ?

Le deutérium est un isotope stable de l'hydrogène, appelé également hydrogène lourd. Son noyau contient 1 proton et 1 neutron. Le deutérium peut facilement substituer le rôle de l'hydrogène en passivant les liaisons pendantes à l'interface, et rendre les liaisons silicium-deutérium (Si-D) plus solides face à une contrainte. La dégradation par porteurs chauds a été réduite par le deutérium [177] et nous pouvons obtenir les mêmes effets sur le NBTI. Hook [178] a synthétisé récemment les effets du NBTI dans les dispositifs avancés. Il traite de l'effet du deutérium et liste les problèmes rencontrés avec le deutérium pendant les différentes phases de fabrication :

1. Le deutérium doit pénétrer l'oxyde jusqu'à l'interface. Différentes couches (Espaceurs, les barrières de nitrure, les couches back-ends) peuvent arrêter ou ralentir la diffusion du D₂ si la passivation est faite trop tard au cours du process flow.
2. Le deutérium doit remplacer autant qu'il est possible l'hydrogène. Il est préférable que la surface SiO₂/Si ne soit pas encore passivée avant le deutérium. Le remplacement de l'hydrogène demande une énergie thermique et une prépondérance du D₂ par rapport à

H₂. Il est donc difficile de remplacer les liaisons Si-H par des liaisons Si-D une fois que celles-ci sont formées.

3. Le Deutérium doit rester à l'interface pendant les phases *thermiques* suivantes. Le deutérium diffuse facilement et ne reste pas à l'interface s'il est fait trop tôt dans le process flow.

L'enjeu du deutérium est donc de trouver le bon *moment* pour la passivation de l'interface.

Kimizuka *et al.* [142] ont montré qu'une passivation après la métallisation a un effet bénéfique sur le NBTI et réduit la dérive du V_T (Figure 5-35).

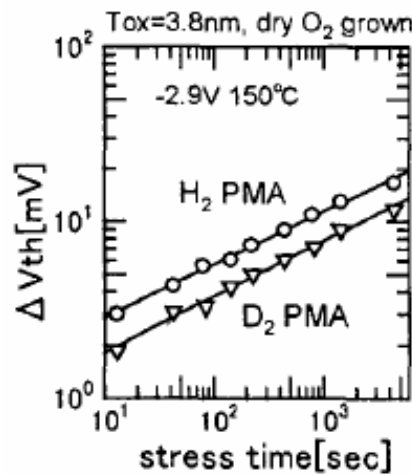


Figure 5-35 : Effet de la passivation après la métallisation (Post-Metal Anneals : PMA) sur le NBTI [142]

Les travaux de Hook *et al.* [160] modèrent les effets du deutérium. Ils ont étudié l'effet du deutérium pendant la phase d'oxydation sur des oxydes (RTO) nitrurés et purs. La contrainte NBT est F_{Ox}=6mV/cm pendant 10⁴s à T=140°C. Ils montrent que le deutérium a peu d'effet sur les oxydes purs et dégrade le NBTI sur les oxydes nitrurés (Figure 5-36).

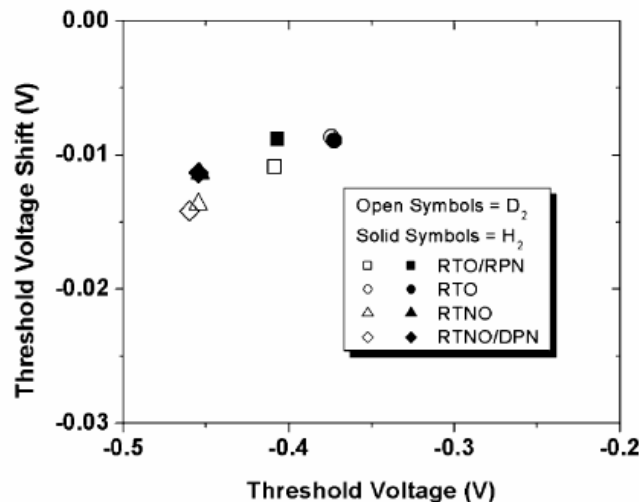


Figure 5-36 : Effet du deutérium sur le NBTI sur des oxydes purs/nitrurés de T_{Ox}=2.2nm [160]

Ce résultat va à l'encontre de ce qui est généralement observé mais montre bien que les effets du deutérium ne sont pas totalement contrôlés.

Nos propres expériences sur ce sujet montrent également que l'effet du deutérium est difficilement observable. Une passivation finale dans un environnement D_2 n'a eu aucune influence sur le NBTI. Ceci est probablement dû aux raisons évoquées par Hook : à la difficulté de remplacer les liaisons Si-H déjà existantes par des liaisons Si-D s'ajoute le fait que peu d'atomes de deutérium ont effectivement diffusé jusqu'à l'interface.

5.6.3 Diélectrique à forte permittivité : High-k

Les oxydes en SiO_xN_y sont très proches de leur limite acceptable en terme de courant de fuite de grille sur les dernières technologies, et il est très probable qu'un nouveau diélectrique de plus forte permittivité soit utilisé pour dans les prochaines technologies. Rappelons qu'une plus grande permittivité permet d'augmenter l'épaisseur du diélectrique et de conserver la valeur du C_{ET} . Les études portant sur les High-k sont concentrées principalement sur les problèmes de PBTI. Une forte instabilité du V_T est observée sur le NMOS pendant le fonctionnement du transistor : on parle du phénomène d'hystérésis [180] ou de PBTI. G.Ribes *et al.* [181] ont récemment publié une synthèse bibliographique sur les problèmes de fiabilité dans les High-k. Les travaux sur le NBTI sont récents et il est assez difficile de conclure sur l'amélioration ou non du NBTI avec un nouveau diélectrique tant que cette technologie ne sera pas mature. Houssa *et al.* [182] ont optimisé la couche High-k (Hf_ySiO_x) en ciblant le meilleur compromis entre la proportion de HfO_2 et celle de SiO_2 .

Nos expériences ont montré que le NBTI sur High-k ($HfO_2+Hf_ySiO_x$) est très similaire au NBTI sur SiO_2 [181] avec une dégradation permanente attribuée aux charges stockées dans les pièges d'interface et charges fixes, et une dégradation attribuée au piégeage de trous. Les premières couches atomiques Hf_ySiO_x de notre diélectrique sont très proches de celui en SiO_2 et les mécanismes à l'interface sont donc très similaires.

5.7 Conclusions

Tableau 5-1 : Les paramètres électriques et physiques du transistor :

	Localisation	Effet sur NBTI		importance. /5
Azote	Oxyde de grille	Mauvais	Un haut niveau de contrôle doit permettre d'ajuster à la fois la concentration totale incorporée dans l'oxyde mais également le profil de concentration [183]	5
Fluor	Pendant l'implantation source/drain	Bon		3
Chlore		Bon	Doit être confirmé sur les technologies 65nm et 45nm.	3
Bore	Pendant l'implantation source/drain	Mauvais		3
Hydrogène	Tous les niveaux	Mauvais	La passivation des liaisons pendantes à l'interface par de l'hydrogène est à l'origine d'une partie du NBTI	5
Deutérium	Tous les niveaux	Bon	Difficile à passer les liaisons pendantes à l'interface SiO ₂ /Si	2

Tableau 5-2 : Les paramètres électriques et physiques du transistor :

Paramètres électrique/physique	Action	Effets
V_{DD}	Diminuer	Champs électriques moins forts
Température	Diminuer	Génération de défauts moins rapide
V_{T0}		Pas d'incidence
V_{FB}	Diminuer	Champs électriques moins forts
Poly déplétion	Augmenter	Champs électriques moins forts

Mobilité effective		Pas d'effet
T_{OX}	Augmenter	Effets couplés : Champs électriques moins forts mais un effet « lecture » sur V_T plus important. Globalement, il vaut mieux augmenter T_{OX}
L/W		Pas d'effet physique, mais peut avoir un effet indirect par le process (diffusion du bore par exemple)

Chapitre 6. Perspectives et nouveaux défis du NBTI dans les technologies avancées

6.1 Introduction

Nous présenterons dans le dernier chapitre les perspectives et les prochains défis du NBTI dans l'intégration des prochaines filières technologiques.

Nous proposerons un modèle électrique compact du mécanisme de dégradation sous contrainte NBT prenant en compte les trois composantes que sont :

- la génération des états d'interface
- la création des charges fixes
- le piégeage de trous

Dans un deuxième temps, nous proposerons une méthodologie de qualification du NBTI pour les prochaines filières technologiques. La méthodologie conventionnelle ne pouvant plus assurer une caractérisation électrique fiable et indépendante de l'équipement utilisé, une nouvelle méthodologie sera bâtie autour de la technique *on-the-fly* et de la prise en compte de la relaxation.

Comme nous l'avons précédemment mentionné, le NBTI peut avoir des conséquences rédhibitoires pour l'ensemble des circuits utilisant des PMOS. Des efforts au niveau du schéma électrique des circuits sont d'ores et déjà faits pour réduire les effets NBTI (L'exemple d'un tampon de traduction (TLB pour Traduction Lookaside Buffer) fréquemment utilisé dans la gestion des mémoires [18]). Nous présenterons des cas pour lesquels le NBTI peut avoir des conséquences importantes sur les paramètres électriques clés du fonctionnement des circuits.

Pour contrer les effets du NBTI, et notamment de la dérive de la tension de seuil, nous proposerons dans la cinquième partie un circuit d'asservissement du NBTI dans les circuits. Enfin, nous terminerons par une proposition de véhicule pour appliquer des contraintes NBT en parallèle.

6.2 Proposition d'un modèle physique

Un modèle est important pour la simulation et la prédiction de la dégradation. Les extrapolations pour les temps longs, les accélérations en température et en champ électrique, ainsi que les dépendances liées aux procédés de fabrication doivent être modélisées pour anticiper les problèmes de fiabilité dans les circuits. Dans les années 2000-2001, le modèle de dégradation utilisé par les industriels (JEDEC) pour l'extrapolation des durées de vie était une loi en puissance de pente 0.25. Rapidement, le modèle a été amélioré en prenant en compte la saturation de la dégradation. Les durées de vie ainsi extraites devenaient alors plus proches de la réalité. Notre niveau compréhension des mécanismes nous permet de modéliser aujourd'hui les différentes origines de la dégradation NBTI (Figure 6-1):

- La génération d'états d'interface. La génération d'états d'interface correspond à la dépassivation des liaisons Si-H.
- La génération de charges fixes. La génération de charges fixes est intimement liée à la génération d'état d'interface L'hydrogène libéré à l'interface et un trou forment une charge fixe sur une liaison Si-O-Si.
- Le piégeage de trous. Le piégeage de trous est une injection de porteurs dans des pièges préexistants (E') ou non (switching oxide trap).

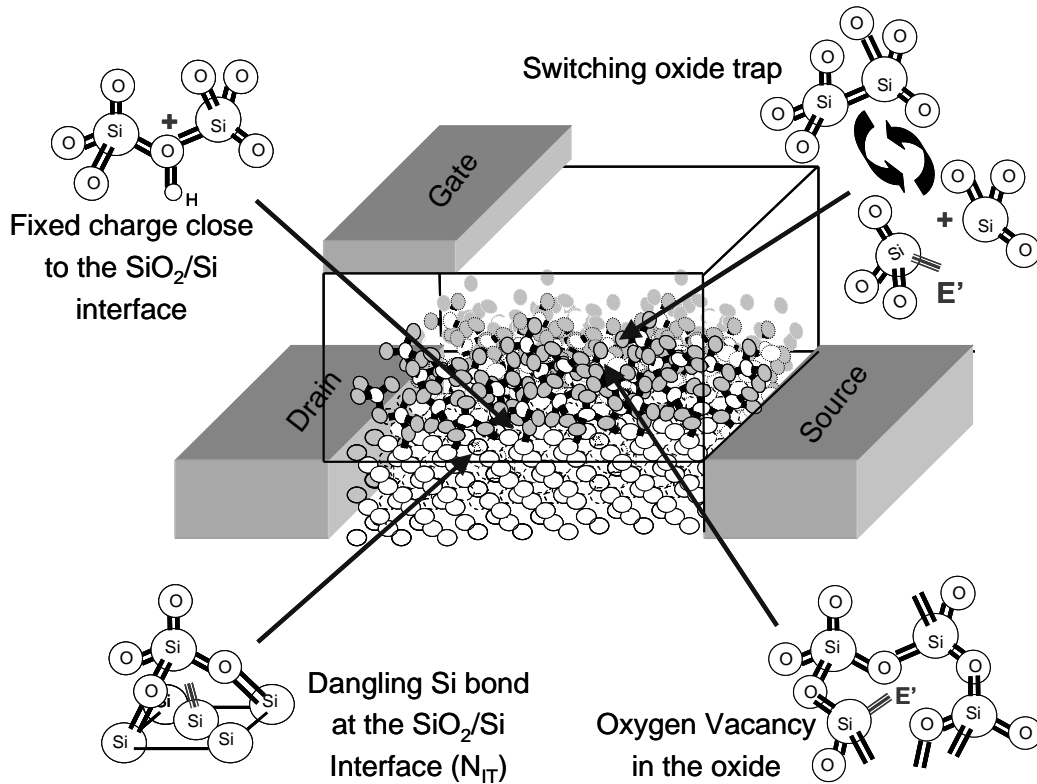


Figure 6-1 : Illustration de la dégradation NBTI : la génération d'états d'interface, la génération de charges fixes, et le piégeage de trous [92]

Leurs dépendances respectives sont listées dans le tableau suivant :

Dépendance	États d'interface	Charges fixes	Piégeage de trous
Temps	$\frac{N_{IT \max}}{1 + \left(\frac{t}{\tau_0}\right)^{-\beta}}$	$= N_{IT}(t)$	$\alpha \ln\left(\frac{t}{\tau_1}\right)$
Température (physique)	$E_a = 1.5 \text{ eV}$		$E_a = 0.03 \text{ eV}$
Température (apparent)	$E_a = 0.15-0.3 \text{ eV}$		$E_a = 0.03 \text{ eV}$
Champ dans l'oxyde	Oui		Oui
Type	Dégradation permanente		Dégradation réversible

Tableau 6-1 : Modélisation de la dégradation NBTI : la génération d'états d'interface, la génération de charges fixes, et le piégeage de trous

C'est ainsi que nous proposons comme modélisation de la dérive de la tension de seuil :

$$dV_T(t) = -\frac{\Delta Q_{Def}}{C_{OX}} = -\frac{\Delta Q_{IT} + \Delta Q_f + \Delta Q_{ht}}{C_{OX}} = -\frac{2 * \frac{q^2 N_{IT \max} \phi_F}{1 + \left(\frac{t}{\tau_0}\right)^{-\beta}} + \alpha \ln\left(\frac{t}{\tau_1}\right)}{C_{OX}} \quad \text{Eq. 6-1}$$

Après simplification, le modèle pseudo empirique devient

$$dV_T(t) = -\frac{\gamma}{1 + \left(\frac{t}{\tau_0}\right)^{-\beta}} + \alpha \ln\left(\frac{t}{\tau_1}\right) \quad \text{Eq. 6-2}$$

Avec α , β , γ , τ_0 et τ_1 des paramètres extrapolés à partir des dynamiques de dégradation avant et après relaxation.

L'exemple suivant traite du NBTI mesuré avec la technique on-the-fly sur la technologie 65nm LP. Les carrés correspondent aux valeurs expérimentales. Les effets des états d'interface (N_{IT}) et des charges fixes (N_f) correspondent à la dégradation permanente mesurée après une phase de relaxation. Le piégeage de trous est une loi temporelle logarithmique. La somme des 2 dynamiques (Eq.6-2) correspond au trait plein et est accord au point expérimentaux.

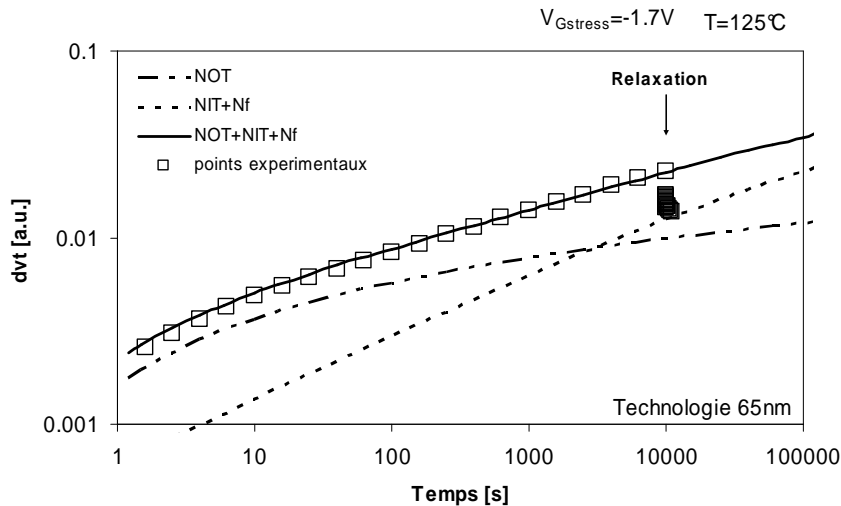


Figure 6-2 : illustration du modèle sur la technologie 65nm LP à 125°C

6.3 Nouvelle méthodologie de qualification du NBTI dans les prochaines filières technologiques

6.3.1 Cas du NBTI quasi-statique : DC NBTI

Comme nous le verrons dans la partie 6.4, la configuration NBT est fréquemment rencontrée dans les circuits et les effets de la dégradation sur les performances du circuit seront parfois dramatiques. Néanmoins, nous pouvons remarquer que le mode NBT n'est ni réellement le mode ON du transistor, par l'absence de courant à travers le canal de conduction ($V_{DS}=0V$), ni le mode OFF car le canal d'inversion est formé par un potentiel de grille $V_G > V_T$ (négatifs). La première remarque est que, contrairement à l'étude du claquage de l'oxyde qui mesure le courant de grille à travers l'oxyde pendant la contrainte, ou pour la dégradation par porteurs chauds qui est faite à travers la dégradation des courants saturés, le NBTI est étudié avec des paramètres électriques qui ne sont pas accessibles dans le mode NBT. La tension de seuil V_T et le courant I_{Dsat} (les 2 paramètres électriques les plus étudiés pendant la dégradation sous contrainte NBT) n'ont par exemple pas de réelle signification dans un mode NBT. Nous pouvons par exemple imaginer un transistor restant dans un mode NBT tout au long de *sa vie*. Dans ce cas précis, les dérives du V_T et du I_{Dsat} n'auront aucun effet sur le fonctionnement du circuit, et les durées de vie extrapolées à partir des paramètres électriques seront illégitimes et erronées.

Très peu de circuits laissent un transistor PMOS dans un mode NBT tout au long de sa vie. Le transistor passera dans un mode OFF ou dans un mode ON après avoir été pendant une période (plus ou moins longue) dans un mode NBT.

Lorsque le transistor basculera dans un mode ON, une tension électrique sera appliquée entre le drain et la source, et un courant traversera la structure dans le canal. Le champ électrique près du drain sera considérablement réduit ($V_G=V_D$) et compte tenu du chapitre 3, un dépiégeage de trous devrait induire une relaxation de la dégradation du côté du drain. Ce point est illustré sur la Figure 6-3. Nous avons préalablement appliqué une contrainte NBT ($V_G=-3V$ à $T=125^\circ C$) pendant $10^4 s$. Ensuite, nous avons accéléré la relaxation en appliquant sur le drain $V_{GD}=+3V$. De manière symétrique, nous avons fait la même expérience sur un second dispositif mais en appliquant cette fois-ci $+3V$ entre la source et la grille.

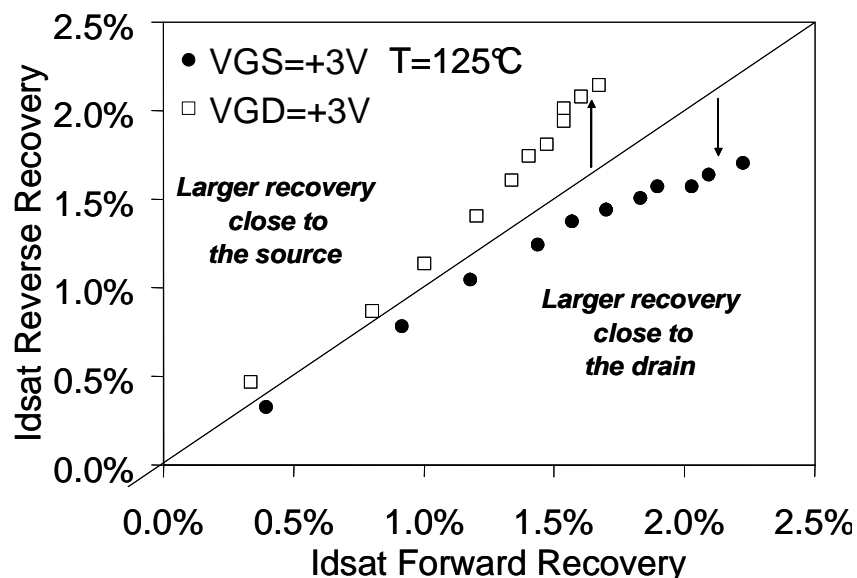


Figure 6-3 : Relaxation des courants saturés direct et reverse après une contrainte NBT. Les phases de relaxation sont obtenues par un changement de polarité des champs électriques du côté drain puis du côté source [92]

La relaxation du courant saturé direct ($I_{Dsat Forward}$) en fonction de la relaxation du courant saturé inverse ($I_{Dsat Reverse}$) sur la Figure 6-3. Il apparaît très clairement une relaxation localisée. Lorsque la relaxation est du côté drain, la dégradation est beaucoup plus importante sur $I_{Dsat Reverse}$ que sur $I_{Dsat Forward}$. Il y aura ainsi une relaxation dissymétrique lorsque le transistor basculera en mode ON.

Lorsque le transistor basculera en mode OFF, le potentiel de la source, de la grille et du substrat seront à 0V pendant que le potentiel du drain sera à V_{DD} . La relaxation sera observée dans toute la structure (plus rapide du côté drain grâce au champ électrique positif). Ce phénomène est observé par exemple sur la relaxation du V_T [129].

Dans ce contexte, la caractérisation électrique de la dégradation reste un défi majeur des études NBTI. D'un côté, la caractérisation électrique doit rester neutre vis-à-vis du niveau de dégradation. Ce qui n'est plus le cas depuis que la caractérisation électrique induit une relaxation. D'un autre côté, la caractérisation électrique doit être suffisamment complète pour caractériser la défaillance du transistor. Ce dilemme entre « ce que l'on veut mesurer » et « ce que l'on peut mesurer », nécessite d'établir une nouvelle méthodologie de caractérisation de la fiabilité du NBTI, et doit être considéré dans un nouveau cadre de travail. Nous proposons d'étudier le NBTI quasi-statique dans 3 cas bien particuliers :

1) Cas du NBT DC :

Aucune relaxation n'est attendue. Les paramètres électriques V_T et I_{Dsat} n'ont aucun « sens » dans un mode NBT. Nous proposons de suivre les paramètres de courant de fuite tel que le courant de grille et les courant de jonction Source/Drain. La génération de charge peut être suivie par l'intermédiaire de la technique *on-the-fly*.

2) Cas du NBT DC basculant vers un mode OFF :

Une relaxation est attendue près du drain et provoque une dégradation dissymétrique. Nous proposons de suivre les paramètres de courants fuite I_{OFF} de chaque coté et la tension de seuil V_T . Un temps de relaxation doit être défini.

3) Cas du NBT DC basculant vers le mode ON :

La relaxation est attendue dans toute la structure (plus rapide côté drain). Les courants saturés et le V_T doivent être pris en compte. Un temps de relaxation doit être défini.

6.3.2 Le cas du NBTI dynamique (AC NBTI)

Ce cas correspond à une contrainte V_G alternative définie par une fréquence et un duty cycle. Même s'il est très souvent rencontré dans les circuits digitaux, le cas AC NBTI est à priori moins critique que les cas quasi-statiques. La dégradation n'intervient que la moitié d'un cycle et une phase de relaxation intervient l'autre moitié du cycle.

La dégradation des performances AC (capacité, pente sous le seuil) du transistor avec les dépendances en fréquence ainsi que celle en température doivent être surveillées. L'accumulation de la dégradation à chaque cycle et la dépendance de la relaxation à la qualité de l'oxyde doivent être caractérisées. La méthodologie qui consisterait à appliquer une contrainte AC NBT et de caractériser périodiquement la dégradation avec une méthodologie conventionnelle, serait inadaptée pour les mêmes raisons que pour le cas DC (introduction d'une relaxation de la dégradation).

Nous pensons donc qu'il serait judicieux d'étudier les effets AC NBTI directement sur les fonctions de transfert et/ou les paramètres électriques d'un circuit tels que le courant I_{ddq} (pour quiescent I_{dd}) d'une cellule SRAM, la fréquence d'un oscillateur en anneau, le systematic offset d'un comparateur, etc. Ce travail s'inscrit dans les améliorations à venir en termes de méthodologie de qualification de fiabilité, notamment dans l'étude des phénomènes dans les basses et hautes fréquences [184].

6.4 L'effet du NBTI dans les circuits

Les transistors NMOS et PMOS sont à la base de la grande majorité des circuits électroniques. Complémentaires dans leurs modes de fonctionnement, ils sont appariés ensemble dans les circuits pour accomplir des fonctions logiques et numériques. Comme nous l'avons montré dans les chapitres précédents, la dégradation NBTI du transistor PMOS réduit considérablement ses performances. Dans ce contexte, la répercussion au niveau du circuit est inévitable. Nous allons montrer que la dégradation au niveau du circuit est plus consécutive à un désappariement des transistors NMOS et PMOS, que réellement à la réduction des performances du transistor PMOS.

Les effets du NBTI du transistor PMOS vont être présentés dans les circuits numériques, les circuits analogiques, les circuits RF ainsi que dans les SRAM.

6.4.1 Application numérique : L'inverseur CMOS

L'inverseur CMOS est un circuit ayant une grande sensibilité au NBTI [102]. Il est composé d'un transistor NMOS et d'un transistor PMOS partageant leur drain et leur grille. La grille commune est l'entrée (V_{IN}) de l'inverseur et leur drain commun en est la sortie (V_{OUT}). La principale précaution à prendre lors de l'intégration de la cellule Inverseur est le bon appariement entre le V_T du NMOS et le V_T du PMOS. Comme illustré sur la Figure 6-4, la symétrie du signal V_{OUT} pour les fronts de montée et les fronts de descente dépend respectivement du V_T du NMOS et celui du PMOS. Un bon appariement des V_T assure une symétrie de la caractéristique DC de l'inverseur.

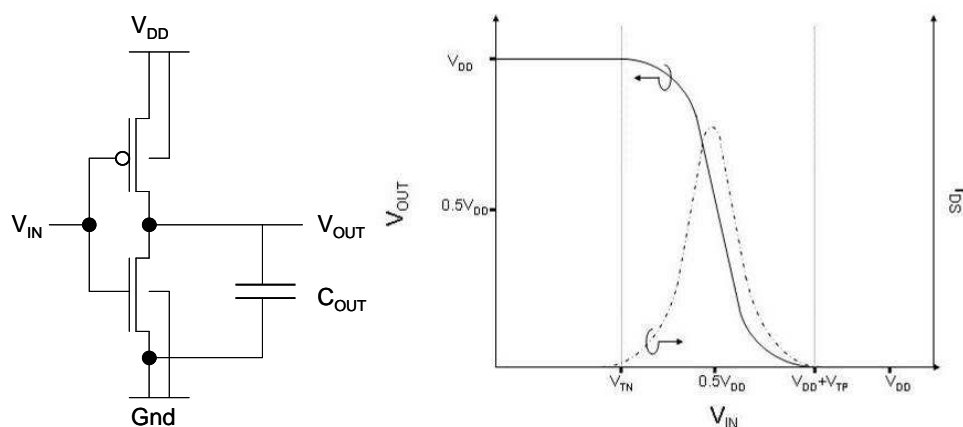


Figure 6-4 : Schéma d'un inverseur et sa caractéristique DC $V_{OUT}-V_{IN}$

En considérant des fronts montants et descendants très rapides, lors d'un cycle de l'inverseur, le PMOS est la moitié du temps d'utilisation en mode NBT (Figure 6–5). La dérive du V_T du PMOS perturbe alors la symétrie initiale de l'inverseur et augmente le temps caractéristique des fronts de montée du V_{OUT} . De plus, la diminution du courant débité par le transistor PMOS lors de la descente de la tension de sortie V_{IN} augmente le temps caractéristique de charge de la capacité C_{OUT} , et donc le temps de propagation à travers l'inverseur. Il en résulte une diminution de la fréquence d'oscillation.

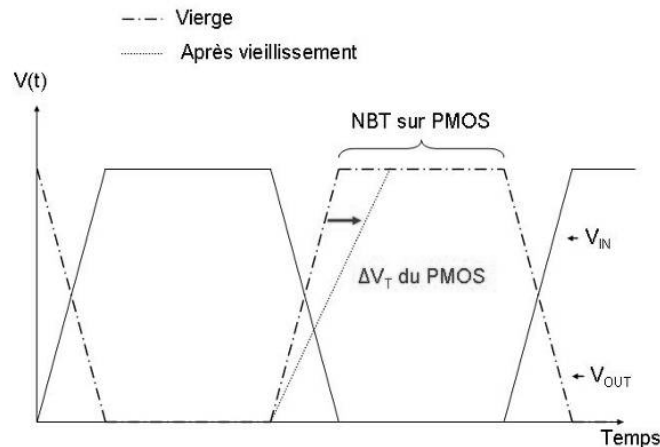


Figure 6–5 : Evolution des tensions V_{in} et V_{out} dans le temps

L'inverseur est une pièce maîtresse de tous les circuits numériques, notamment dans les Unités Logique et Arithmétique (ALU). Les inverseurs sont cascades et le délai global de l'ALU correspond à l'addition de l'ensemble des délais de chaque inverseur. Au même titre que les effets liés à la dégradation par porteurs chauds [185], les effets du NBTI dans chaque inverseur seraient alors multipliés d'autant au niveau de l'ALU avec un ralentissement global de la vitesse de la transmission de signaux.

La Figure 6–6 suivante illustre l'évaluation d'un bit-mémoire pour son traitement par le microprocesseur [18].

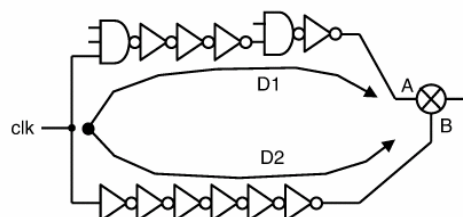


Figure 6–6 : Evaluation d'un point mémoire (D1) commandé par D2. D1 doit arriver à A avant que D2 soit arrivé à B [18]

D2 sélectionne le signal du bit mémoire (D1) pour l'évaluation à travers un amplificateur (non représenté). Un ralentissement de propagation des signaux dans la chaîne d'inverseur D2 peut rendre inopérante cette opération si D2 arrive à la porte après D1.

La marge dite Self-Timed Margin, (STM) est définie comme la tolérance du circuit à une désynchronisation des signaux d'entrée D1 et D2.

$$STM = \frac{D2 - D1}{D2 + D1} \quad \text{Eq. 6-3}$$

Un STM grand signifie une tolérance à la variation des temps de propagation entre les 2 signaux. En revanche, la vitesse globale du circuit sera moins rapide.

À titre d'exemple, si le NBTI diminue la vitesse de propagation de 10% alors le STM doit être supérieur ou égal à 5% (lorsque D2 proche de D1) [18]. Les effets du NBTI doivent être pris en compte dès l'optimisation de la STM pour prévoir une marge suffisante et garantir le bon fonctionnement malgré cette dégradation.

6.4.2 Applications analogiques : Comparateur/Amplificateur opérationnel à 2 étages

Les fonctions analogiques sont également sensibles au NBTI. L'exemple du comparateur/Amplificateur opérationnel à 2 étages a été traité par Schlünder *et al.* [27]. Le circuit est en mode amplification lorsque le circuit est en mode power-down, c'est-à-dire lorsque la porte entre la source de courant et le transistor M3 est fermée (Figure 6-7).

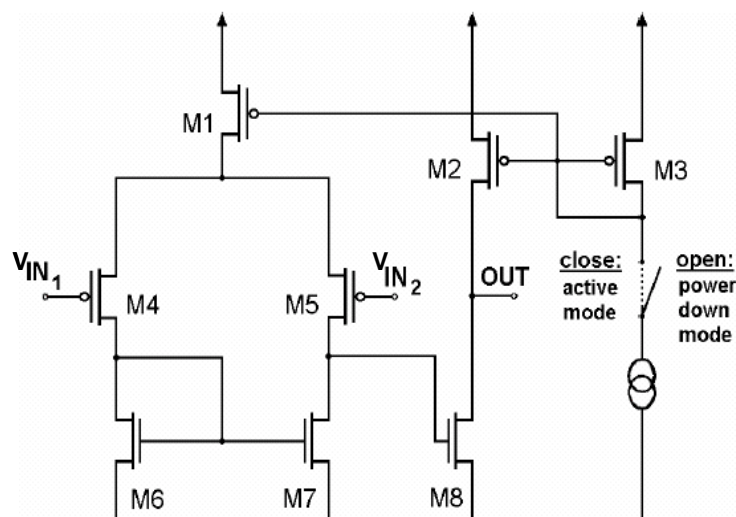


Figure 6-7 : Schéma d'un Comparateur / Amplificateur opérationnel à 2 étages [27]

Un ajustement précis des dimensions W/L et des tensions de seuil V_T de chaque transistor lors de l'élaboration (design) de la cellule permet d'éviter un « systematic input-offset voltage ». Lorsque la différence entre les potentiels d'entrée est nulle, c'est-à-dire $V_{IN1}=V_{IN2}$, la tension de sortie V_{OUT} doit être nulle. En conséquence, la tension de sortie du premier étage V_{GS8} doit laisser débiter le transistor M8 le même courant que celui débité par le transistor M2, et donc celui débité par le transistor M3.

Les transistors PMOS M1, M2, M3, M4 et M5 peuvent être en mode NBT pendant le fonctionnement de l'amplificateur. La dégradation des V_T et des courants déséquilibre alors les branches de l'amplificateur et il en résulte un systematic input voltage.

Le circuit fonctionne en mode comparateur lorsque le circuit est en mode actif. Les transistors M4 et M5 vont débiter des courants proportionnels respectivement aux tensions V_{IN1} et V_{IN2} . Le miroir de courant (M6 et M7) force le courant de M4 dans la branche [M7-M5]. Un courant charge la grille de M8 si et seulement si le courant forcé par M7 est différent de celui débité par M5. Pour les mêmes raisons que dans le cas du mode power-down, un déséquilibre des branches induirait une augmentation du systematic input voltage.

6.4.3 Circuit RF : (le paramètre S)

De façon générale, les circuits RF nécessitent une adaptation d'impédance entre le circuit émetteur et le circuit récepteur. Le paramètre S est utilisé pour étudier la réflexion et la transmission à travers les blocs.

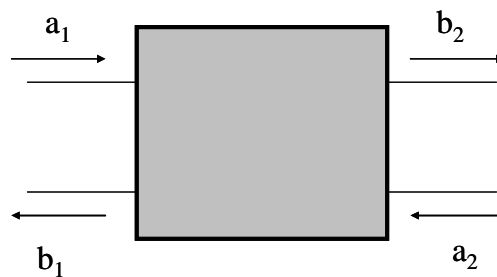


Figure 6-8 : Schéma de transmission à travers un bloc. a_1 est le signal reçu à l'entrée, b_1 le signal réfléchi à l'entrée, b_2 le signal de sortie et a_2 le signal réfléchi en sortie

Nous définissons la matrice de transmission :

$$\begin{bmatrix} b_1 \\ b_2 \end{bmatrix} = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} \begin{bmatrix} a_1 \\ a_2 \end{bmatrix} \quad \text{Eq. 6-4}$$

$S_{11} = \left[\frac{b_1}{a_1} \right]_{a_2=0}$ est le facteur de réflexion à l'entrée (coefficient de réflexion à l'entrée)

$S_{21} = \left[\frac{b_2}{a_1} \right]_{a_2=0}$ est le facteur de transmission entrée-sortie (gain de l'amplificateur)

$S_{22} = \left[\frac{b_2}{a_2} \right]_{a_1=0}$ est le facteur de réflexion en sortie

$S_{12} = \left[\frac{b_1}{a_2} \right]_{a_1=0}$ est le facteur de transmission sortie-entrée

Yu *et al.* [186] ont montré qu'une contrainte NBT-inhomogène pouvait dégrader le paramètre S du transistor. En modélisant le transistor MOS avec ses résistances et ses capacités parasites, ils ont mesuré et simulé la variation du paramètre S avant et après une telle contrainte.

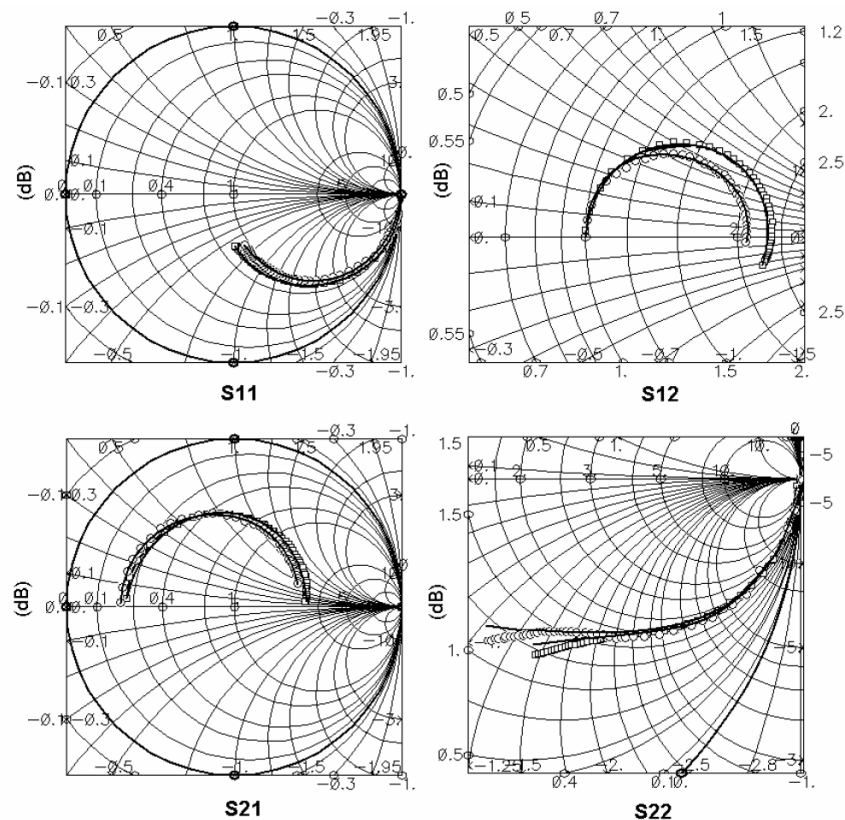


Figure 6-9 : Paramètre S pour un dispositif vierge (□) et après une contrainte NBT inhomogène (○) de 7200s à 400K. Les points sont les mesures effectuées à $V_{GS}=-0.9V$ et $V_{DS}=-1.5V$ et les lignes des simulations [186]

Leur conclusion est que la capacité de grille C_{GS} est fortement dégradée pendant la contrainte et qu'elle est en grande partie responsable de la dégradation du paramètre S. Ceci est

-186-

conforme à ce que nous avons présenté dans le chapitre 3. La Figure 3–6 montre la dégradation de la caractéristique C-V pendant une contrainte NBT, avec notamment une réduction de la capacité de grille en inversion.

6.4.4 La SRAM

Avec la montée en puissance des circuits intégrés SOC (System On Chip) et un traitement de l'information de plus en plus important, les cellules mémoires sont utilisées aujourd'hui dans un grand nombre de circuits. La cellule SRAM (Figure 6–10 (a)) fait partie des cellules mémoires les plus faciles à mettre en œuvre et offre une très bonne reprogrammabilité. Un paramètre essentiel pour la cellule SRAM est la marge de bruit statique (SNM pour Static Noise Margin). Elle définit la capacité de la cellule à maintenir l'information stable lorsqu'il y a un bruit parasite ou un désappariement entre les différents transistors de la cellule [187].

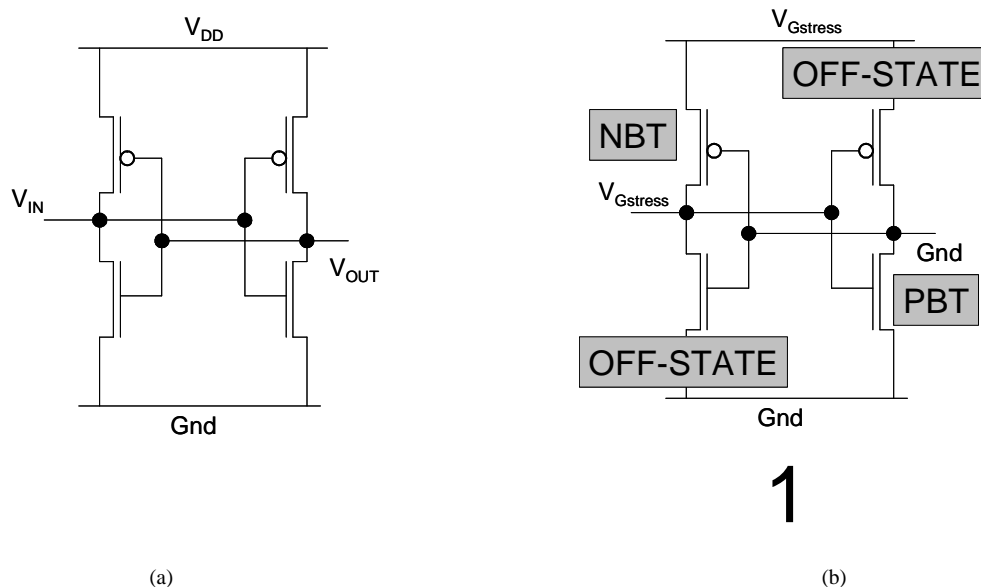


Figure 6–10 : (a) Schéma de la cellule SRAM6-T, (b) Modes de dégradation dans la cellule SRAM lorsque l'état est « 1 »

Le paramètre SNM est aujourd'hui utilisé pour obtenir la qualité d'intégration d'un procédé de fabrication d'un nœud technologique. Par conséquent, il est crucial de comprendre et de réduire l'effet de la dégradation lié au NBTI sur les transistors de la cellule SRAM. Les modes de dégradation dans la cellule SRAM (pour l'état 1) sont représentés sur Figure 6–10 (b) : les transistors PMOS seront alternativement dans l'état OFF-STATE ou NBT pendant que les transistors NMOS seront en PBTI ou OFF-STATE en fonction de l'inverseur considéré. Un seul des deux transistors sera soumis à la contrainte NBT. Le second transistor PMOS sera en mode OFF-STATE ($V_G=V_S=V_B=0V$ et $V_D=V_{DD}$).

L'effet de la dégradation NBTI d'un transistor a été modélisé [102] sur le paramètre SNM de la cellule mémoire SRAM6-T (6 transistors). La dégradation du paramètre SNM est tracée dans la Figure 6–11 en fonction de la tension d'alimentation V_{DD} .

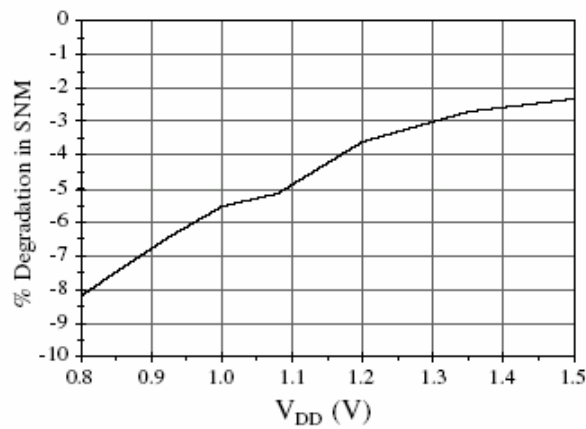


Figure 6–11 : Dégradation de la marge de bruit [102]

De notre côté, nous avons appliqué une contrainte NBT sur des structures SRAM6-T de $0.52\mu\text{m}^2$ appartenant à la technologie 65nm qui représente la technologie la plus avancée. Les potentiels électriques V_{DD} et V_{IN} appliqués pendant la contrainte sont $V_{\text{Stress}}=-2\text{V}$ et la température $T=125^\circ\text{C}$. La « courbe papillon » (butterfly curves) est tracée avant et après la contrainte sur la Figure 6–12.

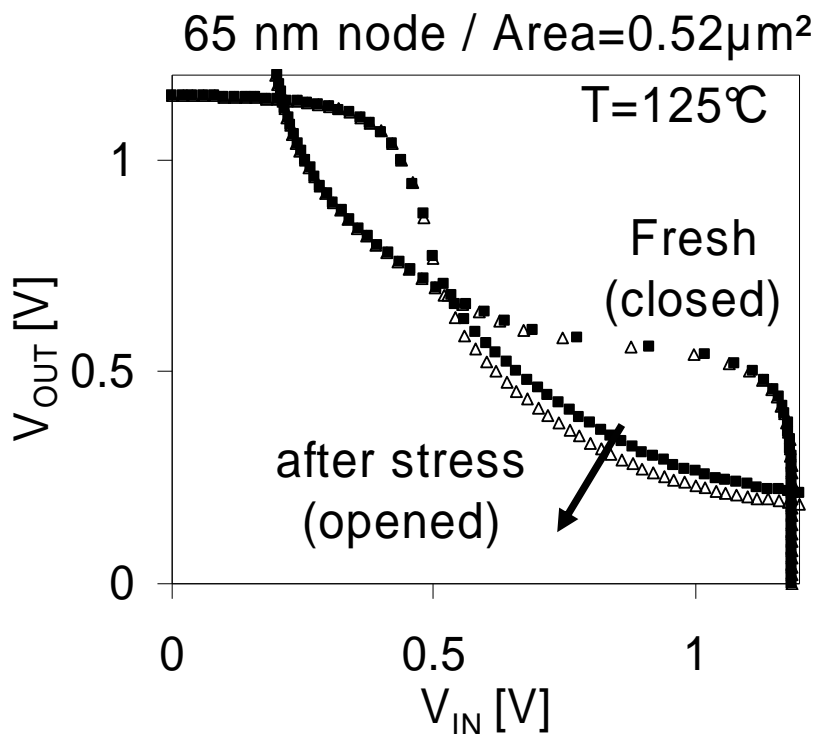


Figure 6–12 : Dégradation des « butterfly curves » après la contrainte

Malgré la technologie ultra avancée, les « butterfly curves » sont acceptables et montrent une légère dissymétrie de la cellule SRAM. L'augmentation du V_T du transistor PMOS est visible sur la dégradation avec un décalage de la caractéristique de l'inverseur de gauche sur la figure. En revanche, les modes OFF-STATE du transistor PMOS et le PBT du transistor NMOS de l'inverseur de droite n'ont pas dégradé les caractéristiques électriques (la caractéristique de cet inverseur avant et après la contrainte seront relativement similaires). Contrairement à ce que prévoyait Reddy *et al.* [102], le résultat est une augmentation de la SNM de l'aile droite sur nos échantillons (entre $V_{IN-High}$ et $V_{OUT-Low}$). Avec une dégradation au niveau du transistor PMOS, la performance du circuit (SNM) est améliorée. Ceci montre bien les précautions et l'étude nécessaire pour pouvoir interpréter la dégradation NBTI au niveau du circuit. Ce résultat montre qu'il est possible d'étendre les durées de vie lorsque l'on considère la dégradation au niveau du circuit.

6.4.5 Comparaison entre le NBTI et le PBTI dans les circuits

Nous avons comparé les dérives de V_T obtenues sur des NMOS et PMOS soumis aux mêmes contraintes NBT et PBT sur la Figure 6–13. Le transistor NMOS est de façon général moins sensible à la contrainte NBT/PBT que le transistor PMOS. Par contre, cette comparaison montre que la configuration PBT sur un PMOS est une dégradation également majeure avec une pente de la dégradation beaucoup plus forte dans le temps que celle du NBTI.

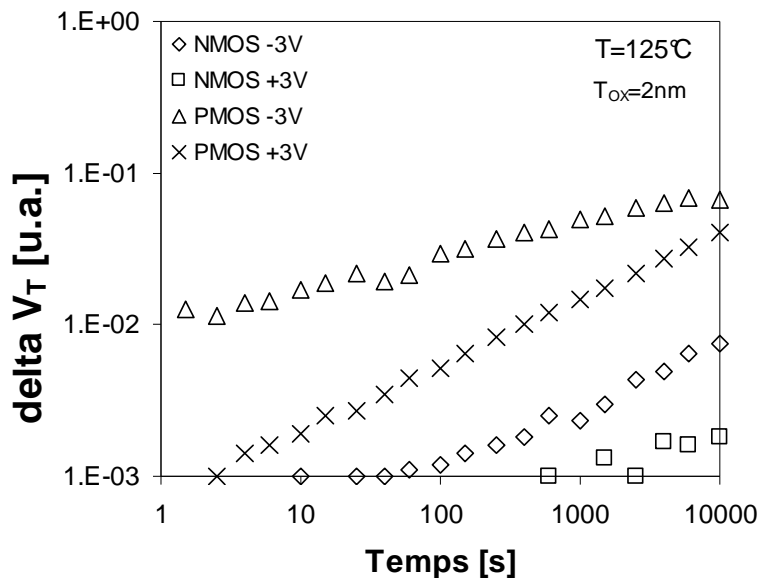


Figure 6–13 : Comparaison de la dérive de la tension de seuil pour le NMOS et le PMOS soumis à une contrainte NBT et PBT [26]

Une étude plus approfondie du PBTI doit permettre d'évaluer plus précisément les dynamiques et les accélérations en température et en champ électrique du mécanisme. Une étude au niveau du circuit doit également montrer si une telle contrainte est fréquemment rencontrée.

6.5 Proposition d'asservissement du NBTI dans les circuits

6.5.1 Présentation du principe d'asservissement

Comme nous avons pu le voir dans la partie précédente, le NBTI réduit considérablement les performances du transistor PMOS et peut avoir des conséquences rédhibitoires pour le bon fonctionnement du circuit. Nous avons proposé des améliorations technologiques dans le chapitre 5 pouvant fortement diminuer le piégeage de trous ou la génération de défauts à l'interface SiO₂/Si. Nous tenons à proposer une solution « design » pour la réduction des effets du NBTI. Notre solution trouve son principe dans une compensation dynamique de la dégradation par une boucle asservissement.

La dégradation la plus importante lors d'une contrainte NBT est la dérive du V_T . La conséquence est la réduction des courants linéaire et saturé. Nous proposons de compenser la dégradation des performances du transistor (la dérive du V_T principalement mais également la réduction de mobilité) par un ajustement de la tension de substrat. Cet asservissement permet de compenser dynamiquement la dégradation et ainsi de limiter les effets indésirables du NBTI. Le principe est représenté sur la Figure 6-14 :

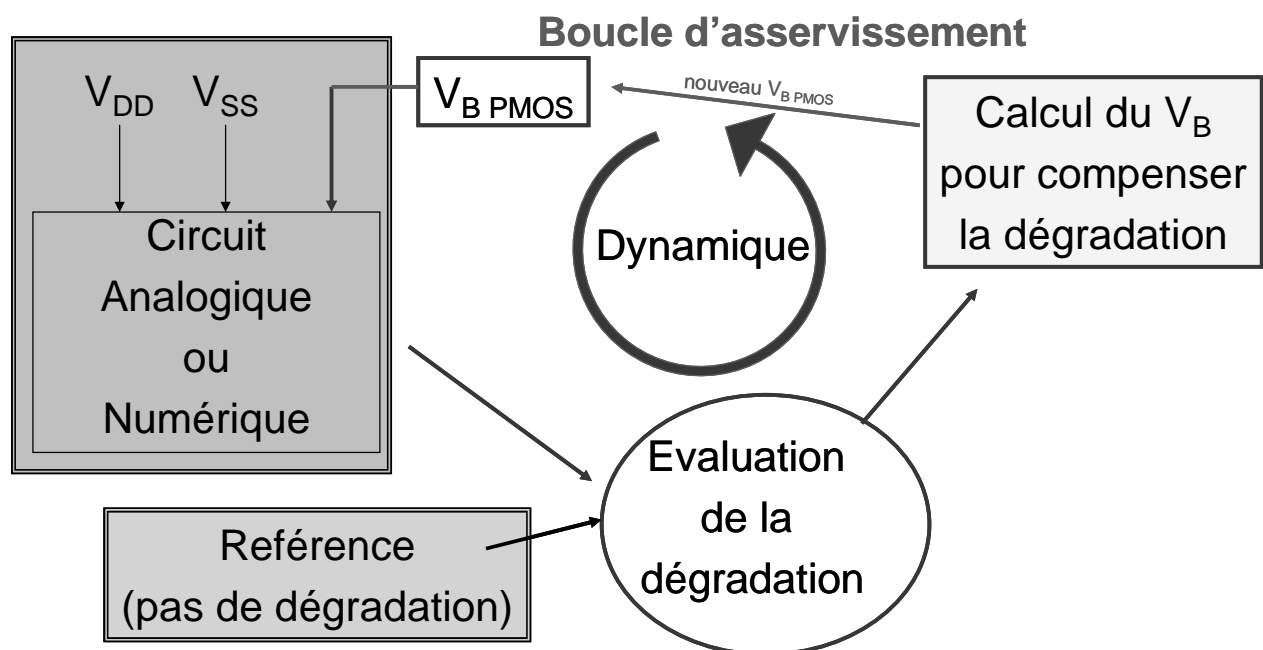


Figure 6-14: Schéma général d'asservissement du NBTI dans un circuit

- En haut à gauche : le circuit considéré pour lequel le NBTI doit être compensé. Il peut être analogique ou numérique. Il est alimenté par V_{DD} - V_{SS} et les paramètres électriques des transistors PMOS ont tendance à dériver au cour du temps. Il doit contenir une solution pouvant évaluer le niveau de dégradation.
- En bas à gauche : une solution jouant le rôle de référence. Elle doit être image de ce que doit être un état sans dégradation.
- En bas au centre : Une solution évaluant la dégradation. Les informations d'entrée sont la dégradation du circuit d'une part, et la référence de l'autre. En sortie, un signal témoin du niveau de dégradation à compenser.
- En haut à droite, une solution convertissant la dégradation à compenser en un V_B équivalent pour réajuster le niveau de V_T

6.5.2 Exemple de solution

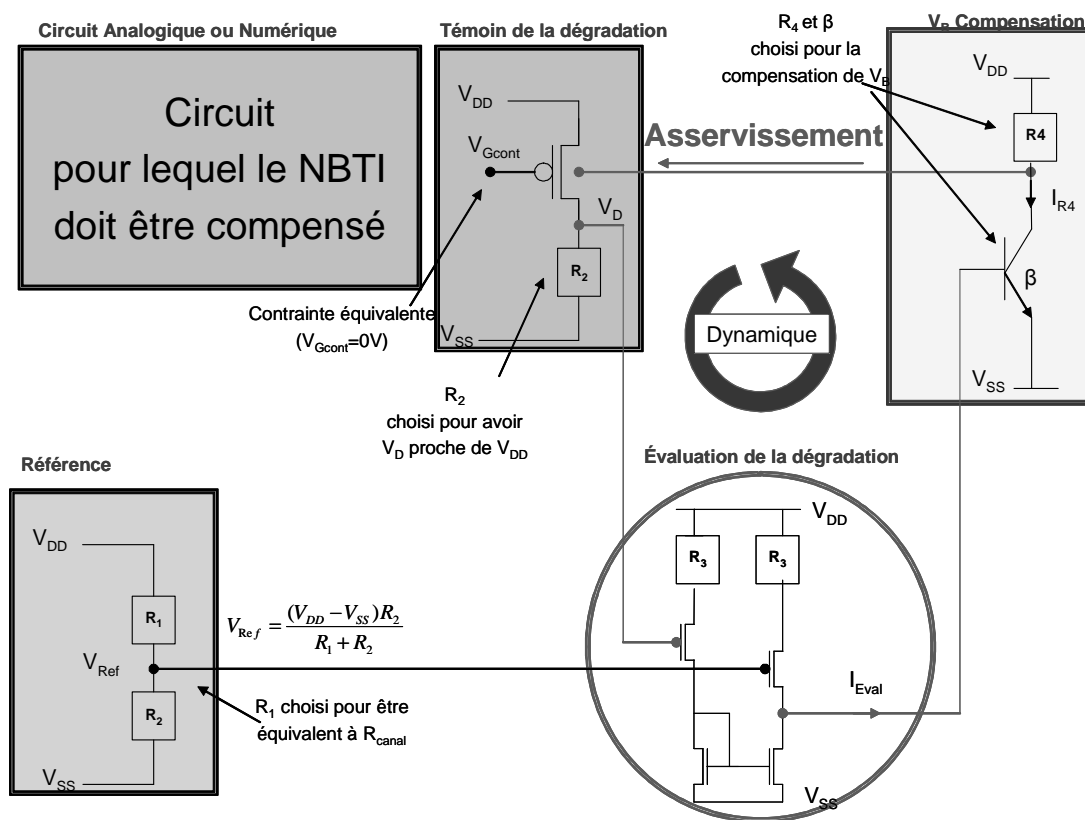


Figure 6-15 : Exemple de solution pour la compensation du NBTI dans un circuit Analogique ou Numérique

- Le témoin de la dégradation est un PMOS sous contrainte NBT, c'est-à-dire avec le potentiel électrique de la grille à $V_{Gcont} = 0V$, et la source et le substrat connectés à V_{DD} . Le potentiel V_D s'ajuste en fonction de la résistance R_2 et la résistance

équivalente appelée R_{canal} . La résistance R_2 est choisie de telle manière à avoir à potentiel électrique V_D proche de V_{DD} . ($V_{DD}=50mV$) paraît être une valeur raisonnable. Cette valeur de V_D proche de V_{DD} garanti le fait que le champ électrique dans l'oxyde soit constant dans la structure et que la dégradation reste homogène le long du canal. Nous obtenons la relation suivante :

$$V_D = \frac{R_2}{R_{canal} + R_2} (V_{DD} - V_{SS}) \quad \text{Eq. 6-5}$$

- La référence est un pont diviseur de tension R_1 est choisie de telle manière à avoir au départ la même valeur de résistance que celle du canal du PMOS R_{canal} .

$$V_{Ref} = \frac{R_2}{R_1 + R_2} (V_{DD} - V_{SS}) \quad \text{Eq. 6-6}$$

avec $R_1=R_{canal}$ avant la dégradation du circuit.

- L'évaluation de la dégradation se fait à travers un comparateur. Le courant de sortie du comparateur est proportionnel à la différence de potentiel appliqué sur les 2 transistors NMOS d'entrée.

$$I_{Eval} = g_{mcomp} (V_D - V_{Ref}) \quad \text{Eq. 6-7}$$

- Le transistor bipolaire de gain β transforme le courant I_{Eval} en un courant I_{R4} . La chute de potentiel à travers la résistance sera proportionnelle au courant amplifié I_{R4} .

$$I_{R4} = \beta I_{Eval}$$

$$V_{DD} - V_B = R_4 I_{R4} = R_4 \beta I_{Eval}$$

$$V_B = V_{DD} - \beta R_4 g_{mcomp} (V_{DD} - V_{SS}) \left(\frac{R_2}{R_2 + R_{canal}} - \frac{R_2}{R_2 + R_1} \right) \quad \text{Eq. 6-8}$$

6.5.3 Evaluation de la cellule

La cellule est en cours de fabrication et nous n'avons pas pu encore tester la compensation dynamique de la dégradation dans un cas concret. En revanche, nous avons mesuré la variation du V_T en fonction de la tension appliquée sur le substrat sur la technologie 65nm (LP) à 125°C. La Figure 6-16 représente quantitativement donc la tension à appliquer sur le

substrat pour compenser une dérive du V_T . Nous observons que pour compenser une dérive du V_T de -50mV, le potentiel électrique du substrat doit être diminué de 200mV.

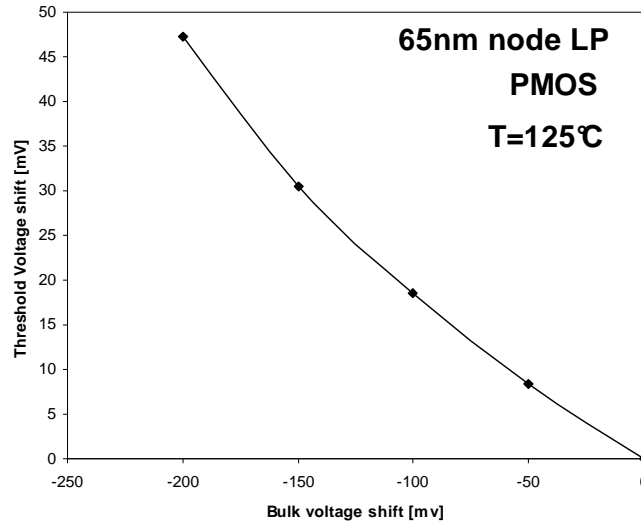


Figure 6–16 : Dérive de la tension de seuil V_T en fonction de la diminution du potentiel électrique du substrat sur la technologie 65nm (LP) à 125°C

Certaines précautions concernant la diminution du V_B ($V_B=V_{DD}$ dans le transistor PMOS) devront être prises, notamment pour ne pas augmenter les fuites de jonction pour des potentiels électriques V_B trop forts, et la stabilité

6.6 Véhicule de test

D'un point de vue méthodologie, la technique on-the-fly présente un avantage considérable par rapport à une méthodologie conventionnelle puisqu'elle permet d'évaluer la dégradation pendant la contrainte. Nous allons en tirer avantage, et proposer une optimisation au niveau de la cellule de test. La cellule test que nous proposons permet de contraindre en parallèle plusieurs dispositifs identiques et ainsi, augmenter considérablement le nombre d'échantillons testés par condition.

Compte tenu de notre niveau de compréhension des mécanismes physiques du NBTI, connecter 2 transistors MOS identiques par leur grille permet de contraindre les 2 transistors sous un même champ électrique sans qu'un transistor ne perturbe la dégradation de l'autre. De la même manière, les prises substrats peuvent être mises en commun. Le schéma de base de la construction de la cellule est représenté sur la Figure 6–17. Les grilles sont connectées ensemble (grille commune), les prises substrats sont mises en commun (substrat commun) et les source/drain sont mis en commun 2 à 2.

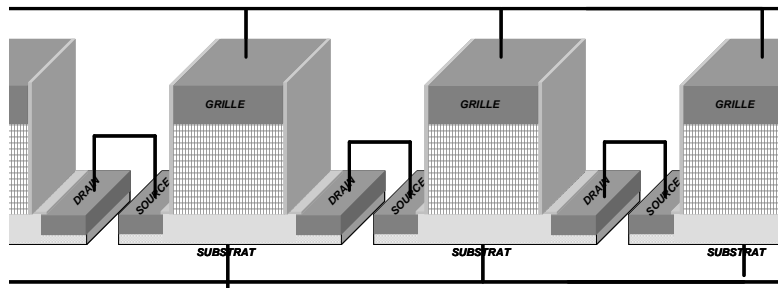


Figure 6-17 : Mise en parallèle des transistors PMOS

Le nombre maximum de dispositifs en parallèle dépendra du nombre de SMU (Source/Monitor Unit) à disposition. L'exemple d'une cellule à 10 transistors en parallèle (pour 6 SMU) est dessiné sur la Figure 6-3 (a). Les source et drain en bout de cellule sont connectés au substrat commun et chaque connection source/drain sera connectée à un SMU. Deux SMU sont réservés pour la grille commune et le substrat commun. Le tableau sur la Tableau 6-2 (b) fait correspondre le nombre de transistors maximums pouvant être mis en parallèle en fonction du nombre de SMU.

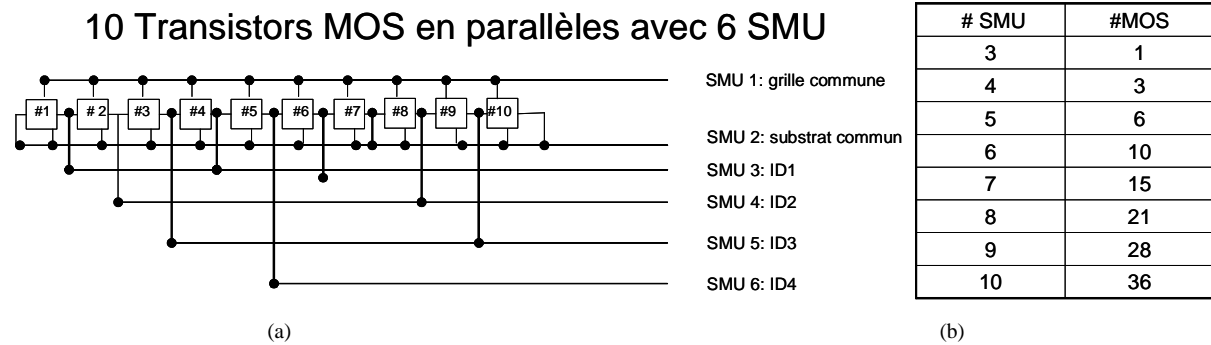


Tableau 6-2 : (a) Schéma de 10 transistors en parallèles, (b) correspondance entre le nombre de SMU et le nombre de MOS en parallèle

Le tableau représenté sur la Figure 6-18 (a) correspond au signal à appliquer sur chaque SMU pour caractériser toutes les structures.

Reprenons le cas des 10 transistors avec 6 SMU.

Pendant la contrainte :

Le SMU 1 est la grille commune et la tension V_{stress} est appliquée. Les autres SMU (2 à 6) sont à la masse Les 10 transistors sont en monde NBT.

Pendant la caractérisation :

La caractérisation électrique des 10 transistors se fait en 4 étapes.

Le SMU 1 reste à V_{stress} . Elle est constante pendant la contrainte et la caractérisation.

Une combinaison de 5 tensions va être appliquée simultanément sur les 5 SMU (2 à 6). Pour la première étape, les SMU 2, 3, 4 et 6 sont laissés à la masse. Une tension V_{lecture} est appliquée sur le SMU 5. Le résultat est le passage des courants des transistors 4, 3 et 9 respectivement dans les SMU 3, 4 et 6.

Le même raisonnement est utilisé pour les 3 étapes suivantes. En 4 étapes les courants des 10 transistors vont être mesurés à V_{stress} (Figure 6–18 (b)).

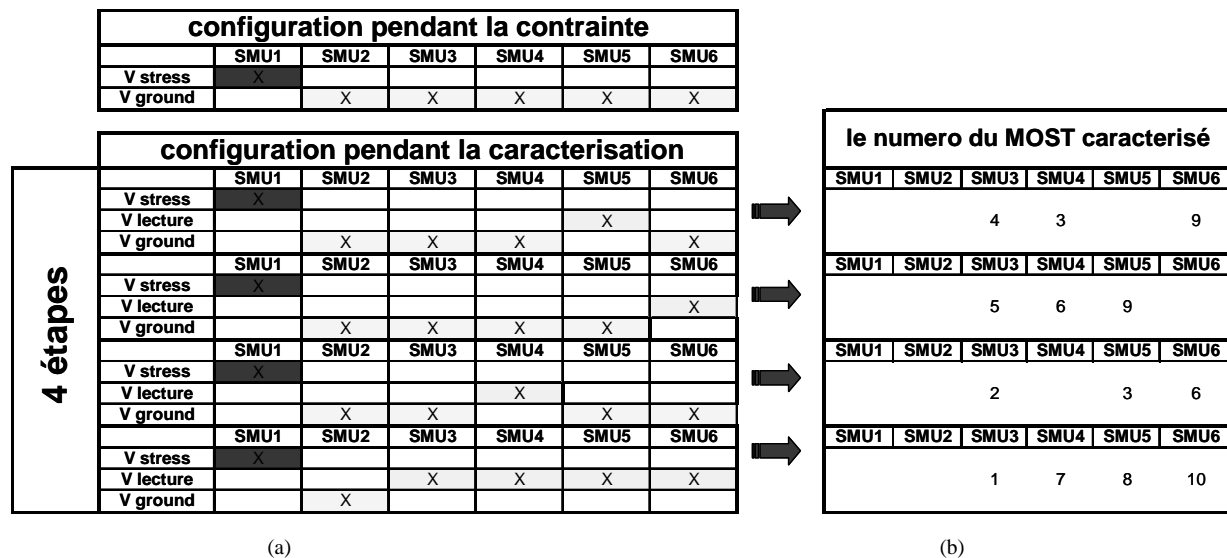


Figure 6–18 : (a) Configuration électrique des SMU pendant la contrainte et la caractérisation. (b) tableau de synthèse des courants mesurés pendant chaque étape

Ces 4 étapes peuvent être renouvelées pour les tensions ($V_{\text{stress}} + V_{\text{pulse}}$) et ($V_{\text{stress}} - V_{\text{pulse}}$) appliquées sur la grille. Les 10 transistors seront ainsi caractérisés comme défini dans le chapitre 4. La structure que nous venons de définir est composée de 6 plots.

Nous pouvons disposer plusieurs structures dans une même ligne de test. Leur nombre dépendra du nombre de plots de la ligne. Prenons les cas d’une ligne de 22 plots. Le premier choix serait d’insérer 3 structures de 6 plots chacune. 18 plots seraient alors connectés et 4 plots seraient inutiles. Nous proposons d’optimiser le nombre de structures en les mettant en parallèle dans la ligne. Nous proposons de mettre tous les plots en commun excepté les plots des grilles comme représenté sur la Figure 6–19. La sélection de la structure se fera par la tension de grille. Lorsque la tension est nulle, aucun courant ne traverse les transistors. Lorsque une tension V_{stress} est appliquée sur la grille, alors des courants seront mesurés par les SMU (I_{D1} , I_{D2} , I_{D3} , I_{D4}). Ce montage implique d’utiliser une seule structure à la fois pendant que les autres ont leur grille à la masse.

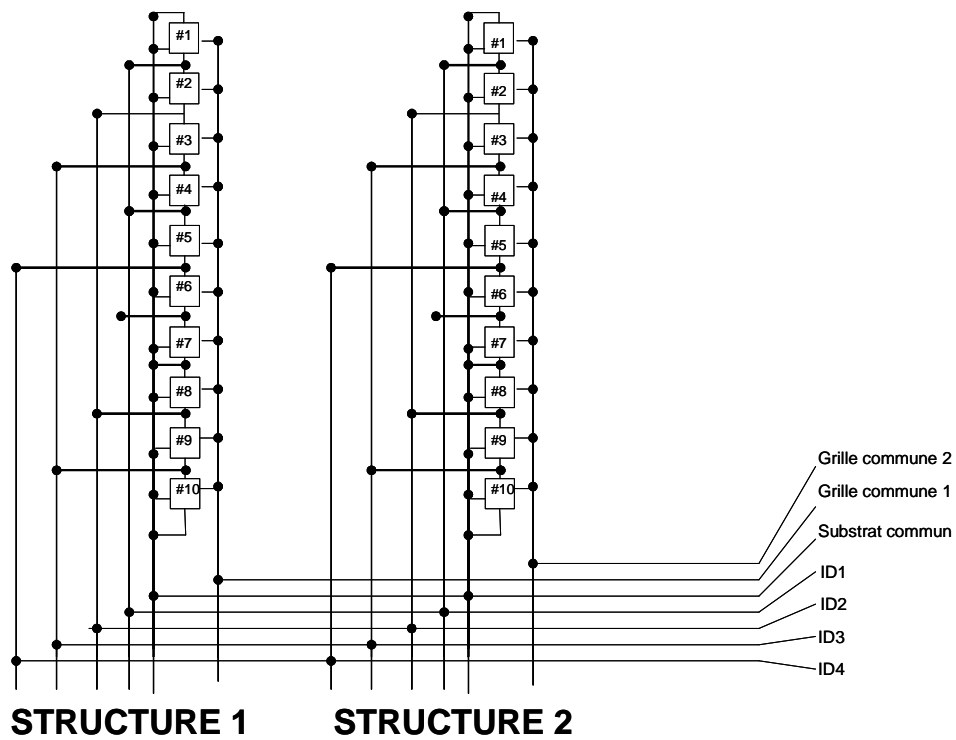


Figure 6-19 : Mise en parallèle des structures dans une ligne de test

Le tableau suivant donne le nombre maximum de transistors par ligne de test en fonction du nombre de SMU disponibles.

# SMU	#MOS/scribe
5	$18 \cdot 6 = 108$
6	$17 \cdot 10 = 170$
7	$16 \cdot 15 = 240$
8	$15 \cdot 21 = 315$

Tableau 6-3 : Nombre de transistors par ligne de 22 plots. Par exemple, il y a 17 structures de 10 transistors en parallèle pour 6 SMU, soit 170 transistors par ligne

Le nombre de SMU disponibles sur le banc de test déterminera le nombre de structures mises en parallèle, et le nombre de structures mis en parallèles dans une ligne de test. Cette cellule est en cours de validation et les premiers résultats sont encourageants. Un grand nombre de valeurs de courant sont mesurées et la connectique reste le principal défi de cette cellule.

6.7 Conclusions

Ce chapitre a présenté quelques perspectives et les prochains défis du NBTI actuellement en développement.

Le modèle de la dérive de la tension de seuil est basé sur les mécanismes physiques de dégradation. Cette nouvelle formulation, plus proche des mécanismes physiques que la traditionnelle loi en puissance, améliore la prédiction de la dynamique de dégradation ainsi que l'extraction des durées de vie.

Une nouvelle méthodologie de qualification du NBTI a été présentée. Les mécanismes de relaxation pendant les phases de caractérisation nous imposent de reconsidérer notre façon de caractériser et de qualifier le NBTI. Cette nouvelle méthodologie permet :

- de caractériser des paramètres électriques pertinents
- Une caractérisation électrique ne modifiant pas la dégradation par relaxation.
- La prise en compte d'une relaxation lorsque le transistor change de mode

Le NBTI d'un transistor PMOS peut affecter aussi bien les circuits analogiques que les circuits numériques. Une démarche plus proche du circuit et de son fonctionnement devrait permettre d'améliorer les prédictions des durées de vie. Le couplage entre la relaxation et une contrainte en fréquence ne peut pas être caractérisé sur un transistor PMOS isolé (la phase de caractérisation induit une relaxation pendant la contrainte). L'étude du NBTI AC passera inévitablement par des spécifications au niveau du circuit. Un travail de fond reste à produire concernant cette étude avec une expertise approfondie des différents circuits, la définition des spécifications ainsi que la méthodologie de caractérisation.

Les prochaines études devront être également attentives au PBTI dans le PMOS. Nos études préliminaires ont montré que ce mode de dégradation peut potentiellement devenir un mode majeur. Il devra être contrebalancé par le fait que cette configuration électrique est rarement rencontrée dans les circuits.

Nous avons proposé un circuit d'asservissement de la dégradation NBTI. Cette solution technique devrait permettre de compenser en temps réel la dégradation NBT dans les circuits. Enfin, nous avons présenté des nouveaux véhicules de test permettant d'augmenter considérablement le nombre d'échantillons contraints en parallèles. (en cours de validation) Dans un contexte industriel, cette solution permettra de gagner du temps de test et d'augmenter d'autant les capacités.

Conclusion générale

Ce manuscrit présente un travail de thèse sur les mécanismes de dégradation communément appelés Negative Bias Temperature Instability (NBTI), dans les filières technologiques avancées. Les problèmes de fiabilité et leurs enjeux industriels sont de plus en plus importants. Des solutions techniques et technologiques sont attendues pour maîtriser et réduire les effets du NBTI dans les circuits. C'est dans ce contexte que nos travaux se sont attachés à :

1. Améliorer la compréhension des mécanismes de dégradation

La dégradation NBTI trouve son origine dans l'oxyde et à l'interface SiO₂/Si. La génération de charges fixes, le piégeage de trous ainsi que la génération de pièges à l'interface pendant une contrainte NBT font dériver la tension de seuil (*chapitres 2 & 3*), la tension de bande plate (*chapitre 2*) et la mobilité des porteurs dans le canal (*chapitres 2 & 3*). La conséquence est une réduction globale des performances du transistor. La réduction des courants linéaire et saturé, ainsi que l'augmentation de la tension de seuil vont directement affaiblir les performances et les fonctions au niveau du circuit (*chapitre 6*).

Nous avons particulièrement travaillé sur les phénomènes de piégeage/dépiégeage de trous dans l'oxyde. Nos modèles empiriques permettent de prendre en compte ces phénomènes dans les dynamiques de dégradation mais également dans la modélisation de la relaxation (*chapitres 3, 4 & 6*). Enfin, nos méthodologies de caractérisation (*chapitres 4 & 6*) ont été développées dans l'objectif d'être mieux adaptées aux technologies avancées. Les modèles d'extrapolation (*chapitre 6*) ont montré une bonne précision en tenant compte de l'interaction des différents mécanismes de dégradation.

La distribution énergétique de la dissociation de la liaison Si-H à l'interface a été prise en compte dans le modèle de génération de défauts (*chapitre 2*). De plus, notre étude a permis de souligner la propriété amphotère des états d'interface en accord avec les résultats expérimentaux.

Des simulations ont montré que la génération de charges fixes peut être intimement liée à la libération de l'hydrogène à l'interface. Nos résultats ont confirmé un rapport de 1 pour 1 entre la création d'une charge fixe et la dissociation d'une liaison Si-H (rappelons que la liaison pendante du silicium donne 2 états d'interface) (*chapitre 3*).

2. Améliorer les techniques de caractérisation

Avec des oxydes de grille toujours de plus en plus fins, les techniques de caractérisation doivent maintenant prendre en compte les phénomènes de courant tunnel et de polydéplétion. Les techniques de pompage de charge et de caractérisation électrique C-V optimisées à ces nouvelles contraintes, ont permis d'étudier plus précisément la génération de défauts à l'interface (*chapitre 2*) et d'extraire les champs électriques dans l'oxyde (*chapters 3, 5 & 6*) avec une plus grande résolution.

La technique *on-the-fly* que nous avons développée (*chapitre 4*) ouvre des nouvelles perspectives non seulement pour la caractérisation électrique du NBTI, mais également pour la caractérisation des prochaines architectures utilisant des oxydes à forte permittivité (High-k) qui sont proposé pour supplanter le SiO₂ dans les prochaines générations CMOS intégrées vers l'échelle du nm.

3. Proposer une nouvelle méthodologie de qualification

Une nouvelle méthodologie de qualification a été proposée (*chapitre 6*). A la fois, les mécanismes de relaxation pendant les phases de caractérisation, mais également la légitimité des paramètres électriques caractérisés nous imposent de reconsidérer notre façon de caractériser et de qualifier le NBTI. Cette nouvelle méthodologie propose une solution permettant de caractériser des paramètres électriques légitimes dans les modes électriques respectifs, une caractérisation électrique ne modifiant pas la dégradation par relaxation ainsi que la prise en compte d'une relaxation lorsque le transistor se trouve en modes ON ou OFF.

4. Etudier les effets des procédés de fabrication du transistor (*chapitre 5*)

Nous avons proposé des solutions technologiques pour améliorer la fiabilité des MOS avancés vis-à-vis des phénomènes NBTI.

La nitruration de l'oxyde de grille, est du point de vue fiabilité NBTI, une des étapes les plus importantes. Elle fait face au compromis performance, consommation et fiabilité. La maîtrise du profil de la concentration d'azote dans l'oxyde correspond sans contexte à un défi majeur des prochaines technologies.

Les autres influences restent des opportunités intéressantes mais avec des améliorations moins importantes que celle obtenue par l'optimisation de la nitruration de l'oxyde.

5. Proposer une solution technique pour réduire les effets NBTI dans les circuits

La dégradation peut être compensée en temps réel par une boucle d'asservissement (*chapitre 6*). Cette solution technique permet de réduire artificiellement les effets du NBTI et de maintenir le niveau des performances du dispositif.

6. Proposer des nouvelles structures de tests

Les contraintes NBT peuvent à présent être appliquées en parallèle (*chapitre 6*) sur plusieurs dizaines de transistors. Cette solution permettra de gagner du temps de test et d'augmenter d'autant les capacités du laboratoire en terme d'échantillonnage.

Listes des tableaux

Tableau 5-1 : Les paramètres électriques et physiques du transistor :	173
Tableau 5-2 : Les paramètres électriques et physiques du transistor :	173
Tableau 6-1 : Modélisation de la dégradation NBTI : la génération d'états d'interface, la génération de charges fixes, et le piégeage de trous	177
Tableau 6-2 : (a) Schéma de 10 transistors en parallèles, (b) correspondance entre le nombre de SMU et le nombre de MOS en parallèle	194
Tableau 6-3 : Nombre de transistors par ligne de 22 plots. Par exemple, il y a 17 structures de 10 transistors en parallèle pour 6 SMU, soit 170 transistors par ligne.....	196

Listes des figures

Figure 0–1 : Evolution du coût de fabrication par transistor [5]	2
Figure 0–2 : Le cycle de vie d'un produit selon l'ANVAR [12]	3
Figure 0–3 : Température dans un processeur [15].....	5
Figure 0–4 : Evolution du nombre de publications sur le NBTI.....	6
Figure 1–1: Schéma d'un transistor MOS.....	12
Figure 1–2 : Diagramme de bande de la structure MOS [19]	13
Figure 1–3: Diagramme de bandes d'énergie dans NMOS dans la configuration (a) de bandes plates, (b d'accumulation, (c) d'inversion faible, et (d) d'inversion forte	15
Figure 1–4 : Diagramme de bandes de la structure MOS à la condition de bandes plates	17
Figure 1–5 : Diagramme de bande d'énergie de la structure MOS représentant (1) la conduction thermoionique, (2) la conduction Poole-Frenkel, (3) la conduction tunnel direct, (4) la conduction par saut et (5) la conduction tunnel Fowler-Nordheim [22]	22
Figure 1–6 Conduction à travers l'oxyde pour les 4 configurations de polarisation avec $T_{OX}=2nm$ [26].....	25
Figure 1–7 : Séparation de porteurs pour la conduction en inversion dans le PMOS.....	26
Figure 1–8 : Configuration électrique d'une contrainte NBT	27
Figure 1–9 : La contrainte NBT pour $V_D=V_S$ et la contrainte NBT- inhomogène lorsque $V_D>V_S$ [27]	28
Figure 1–10 : Augmentation d'espèces ions « siliconés » à l'interface SiO_2/Si par diffusion par champ électrique du substrat vers le diélectrique [29].....	29
Figure 1–11: Distribution en énergie des états d'interface générés après 15 mn de NBTS [30]	30
Figure 1–12 : Variation du courant linéaire après une contrainte NBT	32
Figure 1–13 : Variation de la transconductance après une contrainte NBT.....	32
Figure 1–14: Schéma représentant les modes de dégradation principaux	33
Figure 1–15: Topographie d'un oxyde de grille après claquage [40]	34
Figure 1–16: Evolution des paramètres au fil des évolutions technologiques [41]	35
Figure 1–17 : Dépendance du temps de charge en fonction du V_{DD} et du V_T [42].....	35
Figure 1–18 : Dérive de la caractéristique C-V après une diffusion d'ions dans le diélectrique sous contrainte NBT	37

Figure 1–19 : (a) Distribution normalisée des dispersions du V_T pour 3 surfaces, (b) dispersion de ΔV_T en fonction de la surface	39
Figure 1–20 : Comparaison entre la dispersion observée sur des structures de matching avant et après contrainte NBT, et la dispersion observée sur la dérive de V_T	39
Figure 1–21 : Accélération de la dégradation par V_G : dynamique de la dérive de la tension de seuil	41
Figure 1–22 : Accélération de la dégradation par V_G : extrapolation du facteur d'accélération	41
Figure 1–23 : Accélération de la dégradation par la température : dynamique de la dérive de la tension de seuil	42
Figure 1–24 : Accélération de la dégradation par la température : extrapolation de l'énergie d'activation.....	43
Figure 1–25 : Extrapolation de la dépendance en température de la TTF $f(T)$	44
Figure 1–26 : Extrapolation des TTF pour plusieurs températures et V_G d'utilisation.....	45
Figure 2–1 : Evolution des champs électriques dans le diélectrique de grille [50].....	47
Figure 2–2 : Désaccord structurel entre le silicium et l'oxyde de silicium.....	49
Figure 2–3 : Répartition des angles de la liaison $Si - O - Si$ dans un oxyde fin [51].....	50
Figure 2–4 : Défaut à l'interface SiO_2/Si : le centre P_b [50]	51
Figure 2–5 : (a) Distribution énergétique en « U » des états d'interface, (b) mesure de la distribution énergétique des états d'interface par la technique de pompage de charges 3 niveaux [68].....	52
Figure 2–6 : Variation de la densité de pièges à l'interface SiO_2/Si sous contrainte NBT	54
Figure 2–7 : Mesure DC-IC pendant une contrainte NBT [77]	55
Figure 2–8 : Mesures ESR des centres P_b sur un oxyde nitruré par plasma (a) vierge, (b) après une contrainte NBT, (c) après une dépassivation en température, (d) Sur une référence non nitrurée [79].....	56
Figure 2–9 : Diagramme de bande du NMOS (à droite) et du PMOS (à gauche). La charge piégée à l'interface dépend de la courbure de bandes [50]	57
Figure 2–10 : Corrélation entre la variation de la pente sous le seuil et la variation du V_T pendant une contrainte NBT ($T=150^\circ C$) [84]	60
Figure 2–11 : Variation de la mobilité effective sous différentes contraintes NBT à $125^\circ C$..	62
Figure 2–12 : La dégradation de la mobilité effective en fonction du $V_{Gstress}$ et du potentiel V_G pour lequel la mobilité est mesurée.....	63
Figure 2–13 : Dégradation du paramètre θ en fonction de celle du paramètre μ_0	63

Figure 2–14 : Dépassivation de la liaison Si-H pendant une contrainte NBT : (a) initialement, le dispositif est vierge avec une liaison Si-H non dépassivée et une molécule H ₂ O proche de l'interface. (b) Application de la contrainte : la molécule d'eau s'oriente et les trous sont attirés à l'interface SiO ₂ /Si. (c) La molécule H ₂ O capture un trou h et l'atome d'hydrogène de la liaison Si-H pour générer une molécule H ₃ O ⁺ , (d) la molécule H ₃ O ⁺ diffuse par champ électrique dans l'oxyde et s'éloigne du centre P _b [50]	65
Figure 2–15 (a) Description du modèle de réaction - diffusion pour interpréter la génération d'états d'interface pendant une contrainte NBT. (b) Profil de la concentration d'hydrogène dans l'oxyde pendant une contrainte NBT. Elle est tout d'abord limitée par la réaction ((1) et (2)) puis par la diffusion ((3) et (4)). Une fois que l'hydrogène atteint l'interface SiO ₂ /grille (5), la molécule H ₂ diffuse plus rapidement dans le polysilicium de la grille. Ceci assure le fait que la concentration de H ₂ à l'interface SiO ₂ /grille soit presque constante. [34].....	66
Figure 2–16 : Représentation des 5 étapes modélisées pour le modèle R-D [34].....	70
Figure 2–17 : Exemple de profil énergétique de réactions [90].....	71
Figure 2–18 : Extrapolation des taux de génération de défauts dans les premiers instants de la génération de défauts à l'interface SiO ₂ /Si [91].....	72
Figure 2–19 : Dépendance du facteur de dissociation k _F en fonction du nombre N _o du nombre de liaisons Si-H disponibles sur un oxyde de 2nm d'épaisseur [92].....	73
Figure 2–20 : Superpositions des point expérimentaux sur une distribution dérivée d'une distribution type Fermi sur un oxyde de 2nm d'épaisseur [94].....	74
Figure 2–21 : Intégration des énergies d'activation dans le temps. La somme de toutes les contributions donne la forme à la fonction de dégradation (trait plein).....	76
Figure 2–22 : Représentation du modèle dans les différentes phases [91]	76
Figure 2–23 : Génération de N _{IT} pour différentes épaisseurs d'oxyde T _{OX} : Pour un même champ électrique, la génération de défauts à l'interface SiO ₂ Si est équivalente sur les 4 oxydes [49].....	77
Figure 2–24 : Effet de la température sur la génération de défauts et détermination de la largeur de la distribution [91].....	78
Figure 2–25 : Extrapolation du temps caractéristique de dissociation en absence de champ électrique [91]	79
Figure 2–26 : Energie de dissociation en fonction du champ électrique appliqué [91].....	79
Figure 2–27 : Energies d'activation apparentes mesurées et calculées de la dissociation de la liaison Si-H [91].....	80

Figure 3–1 : Comparaison des ΔV_T et ΔN_{IT} : (a) Accélération en potentiel de grille V_G et (b) les dynamiques en température	84
Figure 3–2 : (a) Représentation en 2 dimensions de l'interface SiO_2/Si avec la liaison Si-H, (b) La génération de défaut donne naissance à un P_{b0} , une charge fixe et un groupe hydroxyle, (c) OH qui diffuse à travers l'oxyde [31], [50].....	85
Figure 3–3 : Représentation de la génération de pièges d'interface et de charge fixe par un piégeage de trou sur le groupe Si-O-Si [100].....	87
Figure 3–4 : Relation entre ΔV_T et ΔN_{IT} : comparaison entre la relation théorique (ligne pleine) et les valeurs expérimentales. La dégradation est supérieure à celle attendue.....	88
Figure 3–5 : Variation de la tension de seuil et de la tension de mid-gap pendant une contrainte NBT [84]	88
Figure 3–6: Caractéristique C-V avant et après une contrainte NBT [92].....	89
Figure 3–7 : Simulation de l'augmentation de capacité [102]	90
Figure 3–8 : Quantité de charges stockées dans les états d'interface (à droite dans le rectangle) et de charges fixes (à gauche dans le rectangle) en fonction de E_F (a) dans le cas d'une distribution de Donneurs, et (b) dans le cas de charges fixes et de pièges amphotères [92]	90
Figure 3–9 : La tension de seuil est une addition des charges fixes et des charges piégées sur les défauts d'interface dans le cas du PMOS et une soustraction dans le cas du NMOS [26]	91
Figure 3–10 : Les centres X et Y dans la zone de transition du substrat à l'oxyde [103].....	92
Figure 3–11 : Lacune d'oxygène sur un atome de silicium : une des 4 liaisons du silicium est pendante	93
Figure 3–12 : (a) Modèle des centres E'_1 et E'_γ dans le cristal de quartz et dans l'amorphe SiO_2 . (b) Modèle du centre E'_δ dans l'amorphe SiO_2 [106].....	93
Figure 3–13 : Schéma de la structure MOS et de la localisation des pièges [112]	94
Figure 3–14 : (a) Un charge Q_x dans l'oxyde à une distance x de l'interface SiO_2/Si . (b) Une distribution volumique de charge dans l'oxyde.	95
Figure 3–15 : Piégeage et dépiégeage de trous dans l'oxyde.....	96
Figure 3–16: (a) Variation du V_T et du V_{FB} en fonction de la charge injectée. Le champ électrique de l'oxyde varie pendant l'injection. (b) Variation de la tension de bande plate en fonction du champ électrique [125].....	97
Figure 3–17 : Relaxation du ΔV_T et du ΔN_{IT} sur un oxyde de 2nm d'épaisseur. Une phase de relaxation ($V_G > 0V$) est imposée après une contrainte NBT [91].....	99

Figure 3–18 : Evolution de la courbe CP 2 niveaux pendant la phase de relaxation [92] sur un oxyde de 2nm d'épaisseur	100
Figure 3–19 : Relaxation de la dégradation sur un oxyde de 2nm d'épaisseur. Les charges fixes et la charge piégée à l'interface expliquent la dégradation après relaxation.....	101
Figure 3–20 : Dérive de la tension de seuil sur un oxyde de 2nm d'épaisseur pour une contrainte à $V_G=-3V$ $T=125^\circ C$ périodiquement arrêté avec une phase de relaxation à $V_G=+1.5V$	102
Figure 3–21 : Charge Q_f dans le temps en fonction de la contrainte V_G appliquée. Le potentiel électrique est volontairement modifié au cours du temps pour mettre en évidence la réversibilité [128]	102
Figure 3–22 : Extrapolation des énergies d'activations de la dégradation permanente et de la dégradation qui relaxe [91] (un oxyde de 2nm d'épaisseur).....	103
Figure 4–1 : Auto guérison de la dégradation. La relaxation de la dégradation du V_T est induite pour le dépiégeage de trou pendant le temps d'attente w_T	106
Figure 4–2 : Illustration de la relaxation et de la dégradation apparente	107
Figure 4–3 : Caractérisation à la volée pendant une contrainte NBT	109
Figure 4–4 : Mesure du courant de drain pendant la contrainte.....	109
Figure 4–5 : Variation du I_{DLin} mesuré à la volée pendant une contrainte NBT.....	110
Figure 4–6 : Mesure de courant de drain et de la transconductance pendant la contrainte....	110
Figure 4–7 : Mesure du courant avant et après un pulse $V_{Gpulse}=100mV$. Il n'y a pas d'effet du pulse sur la dégradation.....	111
Figure 4–8 : Pas d'effet de la mesure de la transconductance sur la dégradation du I_{DLin}	111
Figure 4–9 : Les caractéristiques $I_D -V_G$ et g_m-V_g initiales du dispositif vierge sont en accord avec les 3 premiers courants mesurés <i>on-the-fly</i> . g_m est calculé à partir de I_{DLin2} et I_{DLin3}	112
Figure 4–10 : Mesure de la transconductance à la volée pour plusieurs $V_{Gstress}$	112
Figure 4–11 : Vue générale du protocole expérimental	114
Figure 4–12 : Illustration de l'extrapolation de la pente g_m	115
Figure 4–13 : La variation du courant I_{DLin1} est induit par (a) la diminution du V_T et de (b) la réduction de la vitesse effective v_{EFF} . La combinaison des deux effets est représentée sur la figure (c).....	116
Figure 4–14 : Les équations Eq.4-14 et Eq.4-17 permettent d'extraire les dérives ΔV_T et $\Delta\beta$ à partir d'une caractérisation électrique du dispositif vierge et des 3 courants I_{DLin1} , I_{DLin2} et I_{DLin3} périodiquement mesurés pendant la contrainte NBT.....	119
Figure 4–15 : Simulation d'une dégradation et vérification de la précision de la technique. 120	

Figure 4–16 : Comparaison entre la dégradation simulée et la dégradation extraite. (a) correspond à la dégradation/relaxation du V_T tandis que (b) correspond à la dégradation de β	121
Figure 4–17 : Erreur sur l'extraction de ΔV_T et $\Delta\beta$ en fonction de l'erreur commise sur l'extraction de θ	121
Figure 4–18 : Erreur sur l'extraction de ΔV_T et $\Delta\beta$ en fonction de l'erreur commise sur l'extraction de V_{T0}	122
Figure 4–19 : Effet de la hauteur du pulse sur le calcul de ΔV_T pour une contrainte NBT donnée [17].....	123
Figure 4–20 : Exemple de dérive de la tension de seuil ΔV_T mesurée à la volée sur un oxyde nitruré de 2nm d'épaisseur [17]	123
Figure 4–21 : Corrélation entre la dégradation observée sur V_T et le courant de trous mesuré par séparation de porteurs pour chaque condition NBT considérée [17].....	124
Figure 4–22 : Comparaison des dégradations du V_T obtenues sur un oxyde pur et oxyde nitruré [17].....	124
Figure 4–23 : Extrapolation de l'activation en température du mécanisme de piégeage de trous	125
Figure 4–24 : Les courant de drain sont mesurés dans les même conditions pendant la contrainte et la phase de relaxation	126
Figure 4–25 : Etude de la relaxation en fonction du potentiel électrique de relaxation $V_{G\text{recovery}}$ appliqué sur la grille [17]	127
Figure 4–26 : Etude de la relaxation de la dégradation : pour un même niveau de dégradation, les dynamiques de relaxation relatives sont parallèles mais pas identiques [17].....	128
Figure 4–27 : Etude de la relaxation de la dégradation : pour un même temps de contrainte, les dynamiques de relaxation relatives sont identiques pour $V_{G\text{stress}}$ compris entre -1.9V et -2.5V [17]	128
Figure 4–28 : Dynamique de la relaxation pour différent temps de contrainte t_{stress}	129
Figure 4–29 : Relaxation relative universelle	129
Figure 4–30 : Comparaison des dégradations mesurées avec la méthodologie classique et la technique <i>on-the-fly</i>	130
Figure 4–31 : Effet de la recette de l'oxyde sur la différence entre les dégradations mesurées avec une méthodologie classique, et celles qui sont mesurées par la technique <i>on-the-fly</i>	131

Figure 5–1 : De la contrainte à la dégradation : les effets des nouveaux matériaux et des procédés de fabrication peuvent être de 3 ordres : l'effet <i>contrainte</i> , la fiabilité microscopique et l'effet <i>lecture</i>	135
Figure 5–2 : Définition des plans et des directions du réseau cristallin.....	136
Figure 5–3 : Rotation du substrat de 45° vers la droite [136]	137
Figure 5–4 : Caractéristiques I_{DS} - V_{GS} pour plusieurs V_{DS} sur un échantillon avec un substrat tourné de 45°C et un échantillon référence avec un substrat non tourné.....	138
Figure 5–5 : Comparaison de la dérive de la tension de seuil avec et sans la rotation du substrat pour une contrainte NBT ($V_G=-2V$ à $T=125^\circ C$).....	138
Figure 5–6 : (a) Tableau résumant les effets de la rotation du plan de surface du substrat sur les performances du dispositif, (b) Dégradation de la transconductance G_m après des contraintes NBT [137].....	139
Figure 5–7 : Schéma (vue de dessus) représentant la longueur des actives L_A	142
Figure 5–8 : Effet de la contrainte mécanique par l'intermédiaire de L_A sur le NBTI	143
Figure 5–9 : Implantation du V_T : effet de la concentration de dopants sur le NBTI	145
Figure 5–10 : Implantation du V_T : effet du type de dopant.....	145
Figure 5–11 : Implantation du V_T : effet de la concentration de dopants de la seconde implantation.....	146
Figure 5–12 : Effet du type d'oxydation sur la dérive du V_T . L'oxydation WET augmente le NBTI [142].....	147
Figure 5–13 : Comparaisons des caractéristiques électriques d'une oxydation RTO et DRY : (a) mesures C-V sur caisson N et (b) et extraction de la relation F_{OX} - V_G (b).....	148
Figure 5–14 : Comparaison de la génération des états d'interface entre une oxydation RTO et DRY à $T=125^\circ C$	148
Figure 5–15 : Dépendance en champ électrique F_{OX} de la génération d'états d'interface ΔN_{IT} [49]	149
Figure 5–16 : Valeurs expérimentales et modélisation de l'effet T_{OX}	150
Figure 5–17 : L'effet de l'incorporation d'azote dans l'oxyde de grille sur la dérive de la tension de seuil pendant une contrainte NBT.....	153
Figure 5–18 : Mesures SIMS et courbes C-V sur des oxydes D2R=30% et D2R=90% (caisson N) [130].....	154
Figure 5–19 : Illustration de l'effet de l'azote sur la seconde oxydation de l'oxyde de grille [130]	155
Figure 5–20 : Population issue du DOE. P1 la population au $C_{ET}=2.25nm$ et P2 la population contenant la même concentration d'azote	155

Figure 5–21 : Effet de la concentration d’azote sur la dérive de la tension de seuil pour $C_{ET}=2.25nm$	156
Figure 5–22 : Effet du C_{ET} sur la dérive ΔV_T pour une concentration $[N]$	157
Figure 5–23 : Profil d’azote dans l’oxyde en fonction du procédé de nitruration	157
Figure 5–24 : Comparaison des types de nitruration DPN, RTN et SPA	158
Figure 5–25 : Comparaison des concentrations d’azote et des épaisseurs d’oxyde (mesurées par XPS) des transistors issus de la nitruration plasma continue et pulsé.....	159
Figure 5–26 : Comparaison de ΔV_T sous contrainte NBT pour les deux types de plasmas et différentes épaisseurs d’oxyde	159
Figure 5–27 : La génération d’états d’interface en fonction du champ électrique dans l’oxyde après 10^4s . Pour un F_{OX} donné, ΔN_{IT} est identique que ce soit un transistor NMOS ou PMOS, oxyde fin ou épais, pur ou nitruré [49].....	161
Figure 5–28 : Augmentation de la dérive de la tension de seuil pour une génération d’états d’interface donnée sur des oxydes de même épaisseur et contenant des concentrations d’azote différentes. La dégradation supplémentaire lorsque la concentration d’azote augmente est attribuée à l’augmentation du piégeage de trous	162
Figure 5–29 : Relaxation de la dégradation sur des oxydes nitrurés. Après relaxation, la relation entre la génération d’états d’interface et la dérive des tensions de seuil est identiques dans les oxydes pur et nitrurés	162
Figure 5–30 : Effet de la diffusion du bore sur la dynamique de dégradation du V_T [165]...	165
Figure 5–31 : Effet du procédé de fabrication de la grille sur le NBTI	166
Figure 5–32 : Mesures C-V (substrat de type N) sur des oxydes nitrurés (DPN) de 1.4nm d’épaisseur avec et sans implantation de fluor [166]	167
Figure 5–33 : Effet de la concentration de fluor implanté sur la génération de défauts à l’interface sur des oxydes purs de 8.5nm d’épaisseur.....	167
Figure 5–34 : Corrélation entre le nombre de défauts N_{IT0} et le nombre de défaut généré à l’interface pendant une contrainte NBT.	168
Figure 5–35 : Effet de la passivation après la métallisation (Post-Metal Anneals : PMA) sur le NBTI [142].....	171
Figure 5–36 : Effet du deutérium sur le NBTI sur des oxydes purs/nitrurés de $T_{OX}=2.2nm$ [160]	171
Figure 6–1 : Illustration de la dégradation NBTI : la génération d’états d’interface, la génération de charges fixes, et le piégeage de trous [92].....	177
Figure 6–2 : illustration du modèle sur la technologie 65nm LP à $125^\circ C$	178

Figure 6–3 : Relaxation des courants saturés direct et reverse après une contrainte NBT. Les phases de relaxation sont obtenues par un changement de polarité des champs électriques du côté drain puis du côté source [92].....	180
Figure 6–4 : Schéma d'un inverseur et sa caractéristique DC $V_{OUT}-V_{IN}$	182
Figure 6–5 : Evolution des tensions V_{in} et V_{out} dans le temps	183
Figure 6–6 : Evaluation d'un point mémoire (D1) commandé par D2. D1 doit arriver à A avant que D2 soit arrivé à B [18]	183
Figure 6–7 : Schéma d'un Comparateur / Amplificateur opérationnel à 2 étages [27]	184
Figure 6–8 : Schéma de transmission à travers un bloc. a_1 est le signal reçu à l'entrée, b_1 le signal réfléchi à l'entrée, b_2 le signal de sortie et a_2 le signal réfléchi en sortie.....	185
Figure 6–9 : Paramètre S pour un dispositif vierge (\square) et après une contrainte NBT inhomogène (\circ) de 7200s à 400K. Les points sont les mesures effectuées à $V_{GS}=-0.9V$ et $V_{DS}=-1.5V$ et les lignes des simulations [186].....	186
Figure 6–10 : (a) Schéma de la cellule SRAM6-T, (b) Modes de dégradation dans la cellule SRAM lorsque l'état est « 1 »	187
Figure 6–11 : Dégradation de la marge de bruit [102].....	188
Figure 6–12 : Dégradation des « butterfly curves » après la contrainte.....	188
Figure 6–13 : Comparaison de la dérive de la tension de seuil pour le NMOS et le PMOS soumis à une contrainte NBT et PBT [26]	189
Figure 6–14: Schéma général d'asservissement du NBTI dans un circuit.....	190
Figure 6–15 : Exemple de solution pour la compensation du NBTI dans un circuit Analogique ou Numérique	191
Figure 6–16 : Dérive de la tension de seuil V_T en fonction de la diminution du potentiel électrique du substrat sur la technologie 65nm (LP) à 125°C.....	193
Figure 6–17 : Mise ne parallèle des transistors PMOS	194
Figure 6–18 : (a) Configuration électrique des SMU pendant la contrainte et la caractérisation. (b) tableau de synthèse des courants mesurés pendant chaque étape.....	195
Figure 6–19 : Mise en parallèle des structures dans une ligne de test	196

Références bibliographiques

- [1] http://www.industrie-technologies.com/ingenieurs/affichage.cfm?ID_m=1681090&cd=5055&id=secteur.
- [2] G.E.Moore, "Progress in digital integrated electronics", International Electron Device Meeting Technical Digest, pp. 11-13, 1975.
- [3] <http://www.wsts.org/>
- [4] <http://inventors.about.com/library/weekly/aa060298.htm>. En 1946, l'ENIAC pour Electrical Numerical Integrator And Calculator était composé de 42 armoires, pour 72 m² au sol et un poids de 30 tonnes
- [5] S.E.Thomson, Year-in-Review, International Reliability Physics Symposium, 2005.
- [6] H.Iwai, "Future semiconductor manufacturing, challenges and opportunities", International Electron Device Meeting Technical Digest, pp. 11-16, 2004.
- [7] C.Mead and L.Conway, "Introduction to VLSI systems", Addison Wesley, p. 37, 1979.
- [8] J.Wang, M.Lundstrom, "Does source-to-drain tunneling limit the ultimate scaling of MOSFETs?", International Electron Device Meeting Technical Digest, pp. 707-710, 2002.
- [9] H.Wakabayashi, T.Ezaki, M.Hane, S.Yamagam, N.Ikarashi, K.Takeuchi, T.Yamamoto, T.Mogami, T.Ikezawa, T.Sakamoto, H.Kawaura, "Transport properties of sub-10-nm planar bulk CMOS devices", International Electron Device Meeting Technical Digest, pp. 429-432, 2004.
- [10] P.Pistorio, Entretien avec P.Clarke (EETimes) le 29 mars 2005, <http://www.eetimes.fr/ed/news/showArticle.jhtml?articleID=159907789>
- [11] W.Abernathy and J.M.Utterback, "Patterns of industrial innovation", Technology Review, pp. 40-47, 1978.
- [12] <http://www.anvar.fr>.
- [13] A.R.Markusen, "Profit cycles, oligopoly, and regional development", Cambridge: MIT Press, 1985.
- [14] L.C.Parrillo, "IEDM – A view as a participant and a customer", International Electron Device Meeting Technical Digest, pp. 3-10, 2004.
- [15] D.Yen, "Chip multithreading processors enable reliable high throughput computing", International Reliability Physics Symposium Proceedings, Tutorial, 2005.
- [16] <http://www.jedec.org/Home/newsletter/sstn0101.pdf>
- [17] M.Denais, A.Bravaix, V.Huard, C.Parthasarathy, G.Ribes, F.Perrier, Y.Rey-Tauriac, N.Revil, "On-the-fly characterization of NBTI in ultra-thin gate-oxide PMOSFET's", International Electron Device Meeting Technical Digest, pp. 109-112, 2004.
- [18] T.Takayanagi, J.L.Shin, B.Petrick, J.Y.Su, H.Levy, H.Pham, J.Son, N.Moon, D.Bistry, U.Nair, M.Singh, V.Mathur, and A.S.Leon, "A dual-core 64-bit UltraSPARC Microprocessor for dence server applications", Journal of solid-sate cirucits, Vol. 40, NO. 1, pp. 7-18, January 2005.
- [19] P.Masson, "Etude par pompage de charge et par mesures de bruit basse frequence de transistors MOS à oxynitrides de grille ultra-minces", manuscrit de thèse, Sciences pour l'Ingénieur de Lyon, 1999.
- [20] <http://bwrc.eecs.berkeley.edu/Classes/IcBook/SPICE/>
- [21] C.T.Sha, "Characteristics of the metal-oxide-Semiconductor transistors", Transactions on Electron Devices, Vol. 11, NO. 7, pp. 324-344, July 1964.

-
- [22] Y.Maneglia, “Analyse en profondeur des défauts de l’interface Si-SiO₂ par la technique du pompage de charges”, manuscrit de thèse, Institut National Polytechnique de Grenoble, 1998.
- [23] P.Hesto, “Nature of electronic conduction” in G.Barbottin, A. Vapaille (Ed.), “Instabilities in silicon devices”, North Holland, Amsterdam, Vol. 1, 1986.
- [24] G.Panagakakis, G.Ghuibaudo, R.Kies, C.Papadas, “Temperature dependence of the Fowler-Nordheim current in metal-oxide-degenerate semiconductor structures”, Journal of Applied Physics, Vol. 78, p. 2635, 1995.
- [25] C.Cohen-Tannoudji, B.Diu, F.Laloë, “Mécanique Quantique”, Hermann éditeurs des sciences et des arts.
- [26] M.Denais, V.Huard, C.Parthasarathy, G.Ribes, F.Perrier, N.Revil, A.Bravaix, “Interface Trap generation and hole trapping under NBTI and PBTI in advanced CMOS Technology with a 2nm gate-oxide”, Transactions on Device and Materials Reliability, pp. 715-722, December 2004.
- [27] C.Schlunder, R.Brederlow, B.Ankele, K.Goser, and R.Thewes, “Effects of inhomogeneous Negative Bias Temperature Stress on p-Channel MOSFETs of Analog and RF circuits”, International Reliability Physics Symposium, pp. 5-10, 2003.
- [28] E.H.Snow, A.S.Grove, B.E. Deal, and C.T.Sah, “Ion transport phenomena in insulating films”, Journal of Applied Physic, Vol. 36, issue 5, pp. 1664-1673, May 1965.
- [29] B.E.Deal, M.Sklar, A.S.Grove, and E.H.Snow, “Characteristics of the Surface-State charge (Q_{ss}) of thermally oxidized silicon”, Solid-States Science, Vol.114, NO. 3, pp. 266-274, Mars 1967.
- [30] A.Goetzberger, A.D.Lopez, and R.J.Strain, “On the formation of Surface States during stress aging of thermal Si-SiO₂ interface”, Journal of the Electrochemical Society, Vol. 120, NO. 1, pp. 90-95, Janvier 1973.
- [31] K.O.Jeppson and C.M.Svensson, “Negative bias stress of MOS devices a high electric fields and degradation of MNOS devices”, Journal of Applied Physics, Vol. 48, No. 5, pp. 2004-2014, Mai 1977.
- [32] C.E.Blat, E.H.Nicollian, E.H.Pointdexter, “Mechanism of negative-bias-temperature instability”, Journal of Applied Physics, Vol. 69, pp. 1712-1720, 1991.
- [33] S.Ogawa and N.Shiono, “Generalized diffusion-reaction model for the low-field charge-buildup instability at the Si-SiO₂ interface”, Phys. Rev B, Vol. 51, NO. 7, pp. 4218-4230, 1995.
- [34] M.A.Alam, S.Mahapatra, “A comprehensive model of PMOS NBTI degradation”, Special Issue (NBTI) of Microelectronics Reliability, Vol. 45, NO. 1, pp. 71-81, January 2005.
- [35] S.Mahapatra, M.A.Alam, “A predictive reliability model for PMOS bias temperature degradation” International Electron Device Meeting Technical Digest, pp. 505-508, 2002.
- [36] M.Houssa, “Modelling negative bias temperature instabilities in Advanced p-MOSFETs”, Special Issue (NBTI) of Microelectronics Reliability, Vol. 45, NO. 1, pp. 3-12, January 2005.
- [37] C.Schlünder, R.Brederlow, P.Wieczorek, C.Dahl, J.Holz, M.Röhner, S.Kessel, V.Herold, K. Goser, W.Weber, and R.Thewes, “Trapping mechanisms in Negative Bias Temperature Stressed p-MOSFETs”, Microelectronics Reliability Journal, Vol. 38, pp. 821-826, 1999.
- [38] Y.Mitani, M.Nagaline, H.Satake, and A.Toriumi, “NBTI mechanism in ultra-thin gate dielectric, nitrogen-originated mechanism in SiON”, International Electron Device Meeting Technical Digest, pp. 237-240, 2002.
- [39] F.Monsieur, “Etude des mecanismes de degradation lors du claquage des oxydes de grille ultra minces, applications à la fiabilité des technologies CMOS sub-0.12µm”, Manuscrit de thèse, Institut de Microélectronique d’Electromagnetisme et de photonique, 28 Novembre 2002.

- [40] M.Porti, M.C.Blüm, M.Nafria, and X.Aymerich, "Imaging breakdown spots in SiO₂ films and MOS device with a conductive atomic force microscope", Transactions on Device and Materials Reliability, Vol.2, NO.4, December 2002.
- [41] H.Iwai, "CMOS technology – year 2010 and beyond", Journal of Solid-State circuits, Vol. 34, NO. 3, pp. 357-366, March 1999.
- [42] T.Sakurai, "Reducing power consumption of CMOS VLSI's through V_{DD} and V_{TH} control", First International Symposium on Quality Electronic Design Proceedings, pp. 417-423, 2000.
- [43] A.Bravaix, D.Goguenheim, V.Huard, M.Denais, C.Parthasarathy, F.Perrier, N.Revil, E.Vinvent, "Impacts of the recovery phenomena on the worst-case damage in DC/AC stressed ultra-thin NO gate-oxide MOSFETs", European Symposium Reliability of Electron Devices, Failure Physics and Analysis, to be published in 2005.
- [44] S.Bruyere, "Etude des mecanismes de degradation et de defaillance des oxides ultra-minces – application à la fiabilité des technologies CMOS sub-0.25µm", Manuscrit de thèse, 2000.
- [45] S.Hroguchi, T.Kobayashi, and K.Saito, "Interface-trap generation modeling of Fowler-Nordheim tunnel injection into ultra-thin gate oxide", Journal of Applied Physics, Vol. 58, pp. 387-391, July, 1985.
- [46] W.Abadeer, W. Tonti, "Bias temperature reliability of N⁺ and P⁺ polysilicon gated NMOSFETs and PMOSFETs", International Reliability Physics Symposium Proceedings, pp. 147-149, 1993.
- [47] R.Difrenza, "Impact des fluctuations technologiques sur l'appariement du transistor MOS des filières 0.18 et 0.12µm", manuscript de these, INP Grenoble, 2002.
- [48] S.Arrhenius, Über die Reaktionsgeschwindigkeit bei der Inversion von Rohrzucker durch Säuren, Zeit. Phys. Chem, 4, pp. 226-248, 1889.
- [49] M.Denais, V.Huard, C.Parthasarathy, G.Ribes, F.Perrier, N.Revil, A.Bravaix, "Oxide field dependence of interface trap generation during Negative Bias Temperature Instability in PMOS", Integrated Reliability Workshop proceedings, pp. 109-112, 2004.
- [50] D.K.Schroder, J.A.Babcok, "Negative bias temperature instability: Road to cross in deep submicron silicon semiconductor manufacturing", Journal of Applied Physics, Vol. 94, NO. 1, pp.1-18, 2003.
- [51] T.Wanabee, I.Ohdomari, "The physics and chemistry of the Si/SiO₂ interface", ECS proceedings, pp.319, 2000.
- [52] C.Helms, E.H.Pointdexter, "The Si/SiO₂ system: its microstructure and imperfection", Rep. Prog. Phys, Vol. 57, pp.791-852, 1994.
- [53] reference stress mecanique induit nit
- [54] Y.Nishi, "Study of silicon-silicon dioxide structure by electron spin resonance", Jpn J Appl Phys, Vol. 10, NO 1, pp. 52-62, 1971.
- [55] E.H.Poindexter, P.J.Caplan, B.E.Deal, R.R.Razouk, "Interface states and electron spin resonance centers in thermally oxidized (111) and (100) silicon wafers", Journal of Applied Physics, Vol. 52, NO 2, pp. 879-884, 1981.
- [56] S.P.Karna, H.A. Kurtz, A.C.Pineda, W.M. Shedd, R.D.Pugh, "Point defects in Si-SiO₂ systems: current understanding", G.Pacchioni et al. (eds), Defects in SiO₂ and related dielectrics: Science and Technology, Kluwer Academic Publishers, pp. 599-615, 2000.
- [57] E.H.Poindexter, P.J.Caplan, G.J.Gerardi, "Chemical and structural features of inherent and process-induced defects in oxidized silicon. The physics and chemistry of SiO₂ and the Si-SiO₂ interface", Edited by C.R. Helms and B.E. Deal. New-york : Plenum Press, pp. 299-308, 1988.

-
- [58] J.W. Stathis, P.M. Lenahan, W. Weber, "Fundamental chemical difference among P_b defects on (111) and (100) silicon", *Applied Physics Letter*, Vol. 58, NO 15, pp 1641-1643.
- [59] J.W. Gabrys, P.M. Lenahan, W. Weber, "High resolution spin dependent recombination study of hot carrier damage in short channel MOSFETs", ^{29}Si hyperfine spectra. *Microelectron. Eng.*, Vol. 22, pp.273-276, 1993.
- [60] M.L. Reed and J.D. Plummer, "Two reaction model of interface trap annealing", *Journal Applied Physics*, Vol. 63, pp. 5776-5793, 1988.
- [61] A. Stirling, A. Pasquarello, J.C. Charlier, and R. Car, "Dangling bond defects at Si-SiO₂ interfaces: Atomic structure of the P_{b1} center", *Physical Review letter*, Vol. 85, pp. 2773-2776, 2000.
- [62] A. Stesmans and V.V. Afanas'ev, "Nature of the P_{b1} interface defect in (100) Si/SiO₂ as revealed by electron spin resonance ^{29}Si hyperfine structure", *Microelectronic Engineering*, Vol. 48, pp. 113-116, 1999.
- [63] A. Stesmans and V.V. Afanas'ev, "Electrical activity of interfacial paramagnetic defects in thermal (100) Si/SiO₂", *Physical Review. B*, Vol. 57, pp. 10030-10034, 1998.
- [64] P. Lenahan, tutorial IRPS, section 223, 2002.
- [65] T.D. Mishima and P.M. Lenahan, and W. Weber "Do P_{b1} centers have levels in the Si band gap? Spin-dependent recombination study of the P_{b1} "hyperfine spectrum"", *Applied Physics letters*, Vol. 76, pp. 3771-3773, 2000.
- [66] J.P. Campbell and P.M. Lenahan, *ibid*, Vol. 80, pp. 1975, 2000.
- [67] E.H. Poindexter, P.J. Caplan, "Characterization of Si/SiO₂ interface defects by electron spin resonance", *Prog. Surf. Sci*, Vol. 14, pp. 201-294, 1983.
- [68] J.L. Autran, C. Chabrierie, P. Paillet, O. Flament, J.L. Leray, J.C. Boudenot, "Radiation-induced interface traps in hardened MOS transistors: an improved charge-pumping study", *Transactions on Nuclear Science*, Vol. 43, NO. 6, pp. 2547-2557, December, 1996.
- [69] D. Vuillaume, D. Goguenheim, G. Vincent, "New Insights on the electronic properties of the trivalent silicon defects at <100> silicon surface", *Applied Physics Letter*, Vol.57, pp.1206-1208, September, 1990.
- [70] N.M. Johnson, D.K. Biegelsen, M.D. Moyer, S.T. Chang, E.H. Poindexter, P.J. Caplan, "Characteristic electronic defects at the Si-SiO₂ interface", *Applied Physics Letter*, 43, pp. 563-565, 1983.
- [71] Y.Y. Yeow, D.R. Lamb, and S.D. Brotherton, "An investigation of the influence of low-temperature annealing treatments on the interface state density at the Si-SiO₂", *Journal of Physics D, Applied Physics*, Vol. 8, pp. 1495-1506, 1975.
- [72] Distribution en u des nit
- [73] Gerardi GJ, Poindexter EH, Caplan PJ, Harmatz M, Buchwald WR, Johnson NM. "Generation of P_b centers by high electric fields: thermochemical effects", *Journal Electrochemical Society*, Vol. 136, pp.2609-2614, 1989.
- [74] G. Groeseneken, H.E. Maes, N. Beltran, R.F. De Keersmaecker, "A reliable Approach to Charge-Pumping Measurements in MOS transistors", *Transactions on Electron Devices*, Vol. 31, p.42, 1984.
- [75] D. Bauza, "Extraction of Si-SiO₂ interface trap densities in MOSFET's with oxides down to 1.3nm thick", *European Solid-State Device Research Conference*, pp. 231-234, 2002.
- [76] A. Neugroschel, C.T. Sah, K.M. Han, M.S. Carroll, T. Nishida, J.T. Kavalieros, L. Yi, "Direct-current measurements of oxide and interface traps on oxidized silicon", *TED*, Vol.42, pp.1657-1662, 1995.

- [77] J.H.Stathis, G.LaRosa, A.Chou, "Broad energy distribution of NBTI-induced interface states in p-MOSFETs with ultra-thin nitrided oxide", International Reliability Physics Symposium Proceedings, Vol. 42, pp. 1-7, April 2004.
- [78] D.Goguenheim, "Etude théorique et expérimentale de la capture non-radiative de porteurs libres dans les semi-conducteurs: application à la liaison pendante du silicium à l'interface Si/SiO₂ (centre P_b)", manuscrit de these, Université des Sciences et Techniques de Lille Flandres Artois, 1992.
- [79] S.Fujieda, Y.Muiura, M.Saitoh, Y.Teraoka, A.Yoshigoe, "Characterization of interface defects related to negative-bias temperature instability in ultrathin plasma-nitrided SiON/Si <100> systems", Special Issue (NBTI) of Microelectronics Reliability, Vol. 45, NO. 1, pp. 57-64, January 2005.
- [80] J.R.Brews, "Subthreshold behavior of uniformly and nonuniformly doped log-channel MOSFET", Transactions on Electron Devices, Vol. ED-26, pp.1282-1291, September, 1979.
- [81] C.Tan, M.Xu, and Y.Wang, "Application of the difference subthreshold swing analysis to study generation interface trap in MOS structures due to Fowler-Nordheim aging", Electron Device Letter, Vol. 15, pp. 257-259, July, 1994.
- [82] Y.B.Park and D.Schroder, "Degradation of thin tunnel gate oxide under constant Fowler-Nordheim current stress for a flash EEPROM", Transactions on Electron Devices, Vol. 45, No. 6, 1998.
- [83] S.Tsujikawa, T.Mine, K.Watanabe, Y.Shimamoto, R.Tsuchiya, K.Ohnishi, T.Onai, J.Yugami, and S.Kimura, "Negative bias temperature instability of pMOSFETs with ultra-thin SiON gate dielectrics", International Reliability Physics Symposium Proceedings, Vol. 41, pp. 183-188, April 2003.
- [84] S.Tsujikawa, J.Yugami, "Positive charge generation due to species of hydrogen during NBTI phenomenon in pMOSFETs with ultra-thin SiON gate dielectrics", Special Issue (NBTI) of Microelectronics Reliability, Vol. 45, NO. 1, pp. 65-79, January 2005
- [85] G.Ghibaudo, "Transport in the inversion layer of a MOS transistor: Use of Kubo-Greenwood formalism", Journal Phys. C: Solid State Physics, Vol. 19, pp. 767-770, 1985.
- [86] M.F.Hamer, "First-order parameter extraction on enhancement silicon MOS transistors", IEE Proceedings, Vol. 133, Part I, No. 2, 1986.
- [87] C.G.Van de Walle and B.R.Tuttle, "Microscopic theory of hydrogen in silicon devices", Transactions on Electron Device, Vol.47, pp.1779, 2000.
- [88] A.Stesman, "Dissociation kinetics of hydrogen-passivated P_b defects at the (111)Si/SiO₂ interface", Physical Review B, Vol. 61, pp. 8393-8403, March 2000.
- [89] K.Hess, A.Haggag, W.McMahon, K.Cheng, J.Lee, and J.Lyding, Circuit Devices Mag., Vol.17, p.33, 2001.
- [90] P.Arnaud, "Cours de chimie physique", edition Dunod, 2eme edition, p.287, 1992.
- [91] V.Huard, M.Denais, F.Perrier, N.Revil, C.Parthasarathy, A.Bravaix, E.Vincent, "A thorough investigation of pMOSFETs NBTI degradation", Special Issue (NBTI) of Microelectronics Reliability, Vol. 45, NO. 1, pp.83-98, January 2005.
- [92] M.Denais, V.Huard, C.Parthasarathy, G.Ribes, F.Perrier, D.Roy, A.Bravaix, "New perspectives on NBTI in Advanced technologies: modelling and characterization", European Solid-State Device Research Conference, to be published, 2005.
- [93] R.A.B.Devine, J.-L.Autran, W.L.Warren, K.L.Vanheusden, and J.-C.Rostaing, "Interfacial hardness enhancement in deuterium annealed 0.25μm channel metal oxide semiconductor transistors", Applied Physic Letter, Vol.70, p. 2999, 1997

-
- [94] V.Huard, M.Denais, C.Parthasarathy, "NBTI degradation: From physical mechanism to modelling", *Microelectronics Reliability*, to be published 2005.
- [95] K.Hess, L.F.Register, W.McMahon, B.Tuttle, O.Aktas, U.Ravaili, J.W.Lyding, I.C.Kizilyalli, "Theory of channel hot-carrier degradation in MOSFETs", *Physica B*, Vol. 272, pp.527-531, 1999.
- [96] A.Haggag, W.McMahon, K.Hess, K.Cheng, J.Lee, J.Lyding, "High-performance chip reliability form short-time-tests", *International Reliability Physics Symposium Proceedings*, pp. 271-279, 2001.
- [97] S.T.Pantelides, S.N.Rashkeev, R.Buczko, D.M.Fleetwood, R.D.Schrimpf, "Reactions of hydrogen with Si-SiO₂ interface", *Transactions on Nuclear Science*, Vol. 47, NO. 6, pp.2262-2268, December 2000.
- [98] M.Houssa, M.Aoulaiche, S.De Gendt, G.Groesenken, and M.M.Heyns, a.Stesmans, "Reaction-dispersive proton transport model for negative bias temperature instabilities", *Applied Physics Letters*, Vol.86, 2005.
- [99] B.Kaczer, V.Arkipov, R.Degraeve, N.Collaert, G.Groeseneken, and M.Goodwin, "Temperature dependence of the negative bias temperature instability in the framework of dispersive transport", *Applied Physics Letters*, Vol.86, 2005.
- [100] J.Ushio, T.Maruizumi, K.Kushida-Abdelghafar, "Interface structures generated by negative-bias temperature instability in Si/SiO₂ and Si/SiO_xN_y interfaces", *Applied Physics Letters*, Vol.81, NO. 10, pp181-1820, September 2002.
- [101] G.L.Holmberg, A.B.Kuper, and F.D.Miraldi, "Water contamination in thermal oxide on silicon" *Journal Electrochemical Society*, 117, pp.677-682, 1970.
- [102] V.Reddy, A.T.Krishnan, A.Marshall, J.Rodriguez, S.Natarajan, T.Rost, S.Krishnan, "Impact of negative bias temperature instability on digital circuit reliability", *Special Issue (NBTI) of Microelectronics Reliability*, Vol. 45, NO. 1, pp.31-38, January 2005.
- [103] S.P.Karna, H.A.Kurtz, A.C.Pineda, W.M.Shedd, R.D.Pugh, "Point defect in Si-SiO₂ systems: current understanding", G.Pacchioni et al. (eds.), *Defects in SiO₂ and related dielectrics: Science and Technology*, Kluwer Academy Publishers, pp. 599-615, 2000.
- [104] S.P.Karna, A.C.Pineda, R.D.Pugh, W.M.Shedd, T.R.Oldham, "Electronic structure theory and mechanisms of the oxide trapped hole annealing process", *Transactions on Nuclear Science*, Vol. 47, NO. 6, December, 2000.
- [105] S.Agnello, "Gamma ray induced processes of point defect conversion in silica", *Dottorato di ricerca in fisica*, Palermo, Dipartimento di scienze fisiche edition astronomiche, December 2000.
- [106] C.J.Nicklaw, Z.Y.Lu, D.M.Fleetwood, R.D.Schrimpf, S.T.Pantelides, "The structure, properties, and dynamics of oxygen vacancies in amorphous SiO₂", *Transactions on Nuclear Science*, Vol.49, NO.6, pp.2667-2673, December 2002.
- [107] F.J.Feigl, W.B.Fowler, and K.L.Yip, "oxygen vacancy model for the E'₁ centers in SiO₂", *Solid State Commun*, 14, pp. 225-229, 1974.
- [108] P.M.Lenahan and P.V. Dressendorfer, "Hole traps and trivalent silicon centers in Metal/Oxide/Silicon devices", *Journal of Applied Physics*, Vol. 55, pp. 3495-3499, 1984.
- [109] A.J.Lelis, T.R.Oldham, H.E.Boesch, F.B. Mclean, "The nature of the trapped hole annealing process", *Transactions on Nuclear Science*, Vol. 36, NO. 6, December 1989.
- [110] A.J.Lelis and T.R.Oldham, "Time dependence of switching oxide traps", *Transactions on Nuclear Science*, Vol. 41, NO. 6, December 1994.
- [111] J.F.Conley and P.Lenahan, "Electron spin resonance evidence that E' gamma centers can behave as switching oxide traps", *Transactins on Nuclear Science*, Vol.42, NO.6, pp.1744-1749, December 1995.

- [112] D.M.Fleetwood, "Border traps in MOS devices", Transactions on Nuclear Science, Vol. 39, NO. 2, April 1992.
- [113] J.F.Zhang, H.K.Sii, G.Groeseneken, and R.Degraeve, "Hole trapping and trap generation in the gate silicon dioxide", Transactions on Electron Devices, Vol.48, pp. 1127-1135, October 2001.
- [114] G.Van Den Bosch, G.Groeseneken, H.E.Maes, R.B.Klein, and N.S.Saks, "Oxide and interface degradation resulting from substrate hot-hole injection in metal-oxide-semiconductor field effect transistors at 295 and 77K", Journal of Applied Physics, Vol.75, pp. 2073-2080, 1994.
- [115] A.V.Schwerin, M.M.Heyns, and W.Weber, "Investigation on the oxide field dependence of hole trapping and interface state generation in SiO₂ layers using homogeneous nonavalanche injection of holes", Journal of Applied Physics, Vol.6, pp. 7595-7601, 1990.
- [116] J.F.Zhang, C.Z.Zhao, H.K.Sii, G.Groeseneken, and R.Degraeve, J.N.Ellis, and C.D.Beech, "Relation between hole traps and hydrogenous species in silicon dioxides", Solid State Electron, Vol.46, pp. 1839-1847, 2002.
- [117] T.Brozek, Y.D.Chan, and C.R.Viswanathan, "Hole trap generation in the gate oxide due to plasma-induced charging", Electron Device Letter, Vol.17, pp.440-442, May 1996.
- [118] J.M.Aitken and D.R.Young, "Avalanche injection of holes into SiO₂", Transactions Nuclear Science, Vol. NS-24, pp.2128-2134, 1977.
- [119] L.P.Trombetta, F.J.Feigl, and R.J.Zeto, "Positive charge generation in metal-oxide-semiconductor capacitors". Journal Applied Physics, Vol. 69, pp. 2512-2521, 1991.
- [120] J.F.Zhang, C.Z.Zhao, H.K.Sii, G.Groeseneken, and R.Degraeve, J.N.Ellis, and C.D.Beech, "Relation between hole traps and hydrogenous species in silicon dioxides", Solid State Electron, Vol.46, pp. 1839-1847, 2002.
- [121] K.L.Yip, W.B.Fowler, "Electronic structure of E'₁ centers in SiO₂", Physical Review B, Vol. 11, pp. 2327-2338, March 1975.
- [122] J.F.Zhang, C.Z.Zhao, A.H.Chen, G.Groeseneken, "Hole traps in silicon dioxides – Part 1: Properties", Transactions on Electron Devices, Vol.51, NO. 8, pp. 1267-1273, 2004.
- [123] J.F.Zhang, C.Z.Zhao, A.H.Chen, G.Groeseneken, "Hole traps in silicon dioxides – Part 2: Generation mechanism", Transactions on Electron Devices, Vol.51, NO. 8, pp. 1267-1273, 2004.
- [124] A.Shanware, M.R.Visokay, J.J.Chambers, A.L.P.Rotondaro, H.Bu, M.J.Bevan, R.Khamankar, S.Aur, P.E.Nicollian, J.McPherson, L.Colombo, "Evaluation of the positive biased temperature stress stability in HfSiO_n gate dielectrics", International Reliability Physics Symposium, pp.208-213, 2003.
- [125] Y.Nissan-Cohen, J.Shappir and F.Bentchkowsky, "Trap generation and occupation dynamics in SiO₂ under charge injection stress", Journal of Applied Physics, Vol. 60, September 1986.
- [126] B.S.Doyle, B.J.Fishbein and K.R.Mistry, "NBTI-enhanced hot carrier damage in p-channel MOSFET's", International Electron Device Meeting, pp.529-532, December 1991.
- [127] S.Rangan, N.Mielke, E.C.C.Yeh, "Universal recovery behavior of negative bias temperature instability", International Electron Device Meeting, pp.341-344, December 2003.
- [128] V.Huard, M.Denais, "Hole trapping effect on methodology for DC and AC Negative Bias Temperature Instability Measurements in PMOS transistors", International Reliability Physics Symposium Proceedings, pp. 40-45, 2004.
- [129] M.Ershov, R.Lindley, S.Saxena, A.Shibkov, S.Minehane, J.Babcock, S.Winters, H.Karbasi, T.Yamashita, P.Clifton, and M.Redford, "Transient effects and characterization methodology of negative

-
- bias temperature instability in pMOS transistors”, International Reliability Physics Symposium Proceedings, Vol. 41, pp. 606-607, April 2003.
- [130] M.Denais, V.Huard, C.Parthasarathy, G.Ribes, F.Perrier, N.Revil, A.Bravaix, “New methodologies of NBTI characterization eliminating recovery effects”, European Solid-State Device Research Conference, pp. 265-268, 2004.
- [131] M.Denais, A.Bravaix, V.Huard, C.Parthasarathy, M.Bidaud, G.Ribes, D.Barge, L.Vishnubhotla, B.Tavel, Y.Rey-Tauriac, F.Perrier, N.Revil, F.Arnaud, P.Stolk, “New Hole Trapping Characterization during NBTI in 65nm Node Technology with distinct nitridation processing”, Integrated Reliability Workshop proceedings, pp. 121-124, 2004.
- [132] M.M.Attala, U.S. patent 3.206.670, 1960
- [133] D.Kang and M.M.Attala, IRE-AIEE Solid-States Device Research Conference, 1960.
- [134] “Advanced Semiconductor fabrication handbook”
- [135] T.Skotnicki, J.A.Hutchby, T.J.King, H.-S.P.Wong, F.Boeuf, “The end of CMOS scaling: toward the introduction of new materials and structural changes to improve MOSFET performance”, Circuits and devices Magazine, Vol.21, Issue 1, pp.16-26, 2005.
- [136] N.Planes, “Effect of <100> -rotated substrate on Ring oscillator Performances”, Internal Report, 2005.
- [137] Momose H.S., T.Ohguro, K. Kojima, S. Nakamura, and Y. Toyoshima, “1.5-nm gate oxide CMOS on (110) surface-orinated Si Substrate”, Transactions on Electron Devices, Vol. 50, NO. 4, pp. 1001-1008, April 2003.
- [138] R.A.Bianchi, P.Ferreira, S.Vanbergue, “Mechanical Stress analysis on 0.18 μ m CMOS technology”, STMicroelectronics Internal Presentation, September 2001.
- [139] J.Rosa, “Study of STI induced stress on MOST and ring oscillators”, STMicroelectronics Internal Report, 2002.
- [140] C.Gallon, G.Reibold, G.Ghibaudo, R.A.Bianchi, R.Gwoziecki, S.Orain, E.Robillard, C.Raynaud, and H.Dansas, “Electrical analysis of mechanical stress induced by STI in short MOSFETs using externally applied stress”, Transactions on Electron Devices, Vol.51, NO.8, August 2004.
- [141] J.R.Shih, J.J.Wang, K.Wu, Y.Peng, and J.T.Yue, “The study of compressive and tensile stress on MOSFET’s I-V, C-V characteristics and it’s impact’s on Hot Carrier Injection and Negative Bias Temperature Instability”, International Reliability Physics Symposium, pp.612-613, 2003.
- [142] N.Kimizuka, K.Yamaguchi, K.Iwai, T.Iizuka, C.T.Liu, R.C.Keller, and T.Horiuchi, “NBTI enhancement by nitrogen incorporation into ultrathin gate oxide for 0.10- μ m gate CMOS generation”, VLSI Technology Digest of Technical Papers, pp. 92-93, June 2000.
- [143] C.N.Berglund, “surface states at stream-grown silicon-silicon dioxide interfaces”, Transactions on Electron Devices, Vol. 13, p.13, 1966.
- [144] C.C.Hao, M.H.Chi, C.C.Chen, H.J.Lin, Y.F.Lin, C.H.Hsieh, C.H.Lee, K.H.Chang, H.T.Wu, C.H.Shen, “NBTI improvement for pMOS by Cl-contained 1st oxidation in 20A/65A dual nitrided gate-oxide of 0.13 μ m CMOS technology”, Proceedings of SPIE, Vol. 5042, pp.180-187, 2003.
- [145] X.Guo, T.P.Ma, “Tunneling leakage current in oxynitride: dependence on oxygen/nitrogen content”, Electron Device Letters, Vol.19, NO.6, pp.207-209, June 1998.
- [146] Y.Nishioka, “Dramatic improvement of hot-electron-induced interface degradation in MOS structures containing F or Cl in SiO₂”, Electron Device Letters, Vol.9, NO.2, January 1988.

- [147] K.Cheug, C.Chang, J.Colonell, W.Y.C.Lai, C.T.Liu, R.Liu, C.S.Pai, C.Rafferty, H.Vaidya and J.Clemens, "Gate-oxide degradation from Source/drain (S/D) boron diffusion", VLSI Technology conference, 1998.
- [148] T.Yamashita, K.Ota, K.Shiga, T.Hayashi, H.Umeda, H.Oda, T.Eimori, M.Inuishi, and Y.Ohji, "Impact of boron penetration from S/D extension on gate oxide reliability for 65-nm node CMOS and Beyond, VLSI Technology Digest of Technical Papers, pp. 136-137, June 2004.
- [149] T.Hori, T.Yasui, S.Akamatsu, "Hot-Carrier Effects in MOSFET's with Nitrided-Oxide Gate-Dielectrics Prepared by Rapid Thermal Processing", IEEE Trans. Electron Devices, Vol. 39, N° 1, p. 134, 1992.
- [150] T.Hori, "Inversion Layer Mobility under High Normal Field in Nitrided-oxide MOSFETs", IEEE Trans. Electron Devices, Vol. 37, p. 2058, 1990.
- [151] T.Hori, H.Iwasaki, K.Tsuji, "Charge Trapping properties of Ultrathin Nitrided Oxides prepared by Rapid Thermal Annealing ", IEEE Trans. Electron Devices, Vol. 35, N° 7, p. 904, 1988.
- [152] M.Bhat, D.J.Wrister, L.Han, J.Yan, H.J.Fulford, D.L.Kwong, "Electrical Properties and Reliability of MOSFETs with Rapid Thermal NO-Nitrided SiO₂ Gate Dielectrics", IEEE Trans. Electron Devices, Vol. 42, N° 5, p. 907, 1995.
- [153] W.L.Hill, E.M.Vogel, V.Misra, P.K.McLarty, J.J.Wortman, "Low-Pressure Rapid Thermal Chemical Vapor Deposition of Oxynitride Gate Dielectrics for N-Channel and P-Channel MOSFETs, IEEE Trans. Electron Devices, Vol. 43, N° 1, p. 15, 1996.
- [154] J.Bienacel, "Développement des procédés nécessaires à l'élaboration des oxydes de grille pour la technologie 65nm", Manuscrit de thèse 2005.
- [155] A.Philipossian, B.Doyle and H.R.Soleimani, "Hot carrier-hard gate oxides by nitrogen implantation before gate oxidation", United States Patent 5596218, Issued on January 21, 1997.
- [156] D.Wristers, L.K.Han, T.Chen, H.H.Wang, D.L.Kwong, M.Allen, and J.Fulford, Applied Physic Letter, Vol.68, p.2094, 1996
- [157] Y.Uraoka, H.Yano, T.Hatayama, and T.Fuyuki, Jpn Journal Applied Physic, Vol.41, p.3637, 2002.
- [158] T.Kawae, Y.Minemura, S.Fukuda, T.Hirano, Y.Suzuki, M.Saito, S.Kadomura, and S.Samukawa, "Drastically improved NBTI lifetime by periodic Plasma Nitridation for 90nm mobile applications at low voltage operation", International Workshop on Gate Insulator, SION3, 2003.
- [159] M.Bidaud, J-P.Carrère, F.Boeuf, C.Dachs, C.Parthasarathy, F.Guyader, "Decoupled Plasma Nitridation for Ultra-thin Gate Oxides for 60-90nm Technologies", Electro-Chemical Society Spring Meeting, 2003.
- [160] T.B.Hook, R.Bolam, W.Clark, J.Burnham, N.Rovedo, L.Schutz, "Negative bias temperature instability on three oxide thicknesses (1.4/2.2/2.5nm) with nitridation variations and deuterium", Special Issue (NBTI) of Microelectronics Reliability, Vol. 51, NO. 1, pp. 47-56-81, January 2005.
- [161] le nitrure crée des défauts
- [162] S.Fujieda, Y.Miura, M.Saitoh, Y.Teraoka, A.Yoshigoe, "Characterization of interface defects related to negative bias temperature instability in ultrathin plasma-nitrided SiON/Si (100) systems", Special Issue (NBTI) of Microelectronics Reliability, Vol. 45, NO. 1, pp. 57-64, January 2005.
- [163] S.S.Tan, T.P.Chen, C.H.Ang, L.Chan, "Mechanism of nitrogen-enhanced negative bias temperature instability in pMOSFET", Special Issue (NBTI) of Microelectronics Reliability, Vol. 45, NO. 1, pp.19-30, January 2005.

-
- [164] D.S.Ang, and K.L.Pey, "Evidence for two distinct positive trapped charge components in NBTI stressed p-MOSFETs employing ultrathin CVD silicon nitride gate dielectric", *Electron Device Letters*, Vol. 25, Issue 9, pp.637-639, Septembre 2004.
- [165] T.Yamamoto, K.Uwasawa, and T.Mogami, "Bias temperature instability in scaled p+ polysilicon gate p-MOSFET's", *Transactions on Electron Device*, Vol.46, NO.5, pp. 921-926 ,1999
- [166] B.Duriez, B.Tavel, F.Boeuf, M.T.Basso, Y.Laplanche, C.Ortolland, D.Reber, F.Wacquand, P.Morin, D.Lenoble, R.Palla, M.Bidaud, D.Barge, C.Dachs, H.Brut, D.Roy, M.Marin, F.Payet, N.Cagnat, R.Difrenza, K.Rochereau, M.Denais, P.Stolk, M.Woo, "Gate stack optimization for 65nm CMOS low power and high performance platform", *International Electron Device Meeting Technical Digest*, pp. 847-850, 2004.
- [167] C.Lin, "Reduction of Negative Bias Temperature instability using Fluorine implantation", United States Patent 6544853, Issued on April 8, 2003.
- [168] C.Lin, "Reduction of Negative Bias Temperature instability in narrow width PMOS using F₂ implantation", United States Patent 6780730, Issued on August 24, 2004.
- [169] P.J.Wright, N.Kasai, S.Inoue, K.C.Saraswat, "Hot-Electron Immunity of SiO₂ dielectrics with Fluorine Incorporation", *Electron Device Letters*, Vol.10, NO.8, pp.347-348, August 1989.
- [170] Y.Mitani, H.Satake, Y.Nakasaki, A.Toriumi, "Reexamination of fluorine incorporation into SiO₂- significant improvement of charge-to-breakdown distribution tail", *International Reliability Physics Symposium Proceedings*, pp.93-98, March 1999.
- [171] C.H.Liu, M.T.Lee, C.Y.Lin, J.Chen, K.Schruefer, J.Brighten, N.Rovero, T.B.Hook, M.V.Khare, S.F.Huang, C.Wann,T.C.Chen, and T.H.Ning, "Mechanism and process dependence of Negative Bias Temperature Instability (NBTI) for pMOSFETs with Ultrathin Gate Dielectrics", *International Electron Device Meeting Technical Digest*, pp. 861-864, 2001.
- [172] T.B.Hook, E.Adler, F.Guarin, J.Lukaitis, N.Rovedo, and K.Schruefer, "The effects of fluorine on parametrics and reliability in a 0.18- μ m 3.5/6.8 nm dual gate oxide CMOS Technology", *Transactions on Electron Devices*, Vol.48, NO.7, pp.1346-1353, July 2001.
- [173] D.Goguenheim, A.Bravaix, S.Gomri, J.M.Moragues, C.Monserie, N.Legrand, P.Boivin, "Improved methodology based on hot carriers injections to defect wafer charging damage in advanced CMOS technologies", *Comference in Microelectronics*, Vol.2, pp.649-652, May 2004.
- [174] D.Y.Lee, H.C.Lin, M.F.Wang, M.Y.T, T.Y.Huang, and T.Wang, "Enhanced negative bias temperature instability of P-channel metal oxide semiconductor transistors due to plasma damage", *Japan Journal of Applied Physics*, Vol.41, pp. 2419-2422, 2002.
- [175] A.T.Krishnan, V.Reddy, S.Krishnan, "Impact of charging damage on Negative Bias Temperature Instability", *International Electron Device Meeting Technical Digest*, pp. 865-868, 2001.
- [176] N.Matsunaga, H.Yoshinari and H.Shibata, "NBTI analysis of antenna pMOSFET with thermally recovered plasma-induced damage", *International Symposium on Plasma- and Process-Induced Damage*, pp.142-145, 2002.
- [177] K.Hess, I.C.Kizilyalli, J.W.Lyding, "Giant isotope effect in hot electron degradation of metal oxide devices", *Transactions on Electron Device*, Vol. 45, Issue 2, pp. 406-416, 1998.
- [178] T.B.Hook, "NBTI effects in Advanced devices", tutorial, *International Conference on IC Design and Technology*, May 2005.
- [179] deuterium améliore le NBTI

- [180] A.Kerber, E.Cartier, L.Pantisano, M.Rosmeulen, R.Degraeve, T.Kauerauf, G.Groeseneken, H.E.Maes, U.Schwalke, "Characterization of vt instability in SiO₂/HfO₂ gate stacks dielectrics", International Reliability Physics Symposium, pp.41-45, 2003.
- [181] G.Ribes, J.Mitard, M.Denais, S.Bruyere, F.Monsieur, C.parthasarathy, E.Vincent, and G.Ghibaudo, "Review on High-k dielectrics Reliability Issues", Transactions on Device and Materials Reliability, Vol. 5, NO. 1, pp.5-19, March 2005.
- [182] M.Houssa, M.Aoulaiche, S.Van Elshocht, S.De Gendt, G.Groeseneken, and M.M.Heyns, "Negative bias temperature instabilities in HfSiON/TaN-based pMOSFETs", International Electron Devices Meeting, pp. 121-124, 2004.
- [183] J.Bienacel, "Développement des procédés nécessaires aux diélectriques de grille pour la technologie 65nm", Manuscrit de thèse, 2005.
- [184] A.Bravaix, D.Goguenheim, M.Denais, V.Huard, C.Parthasarathy, F.Perrier, N.Revil, E.Vincent, "Impacts of the recovery phenomena on the worst-case of damage in DC/AC stressed ultra-thin NO gate-Oxide MOSFETs", European Symposium Reliability of Electron Devices, Failure Physics and Analysis, to be published, 2005.
- [185] A.Bravaix, "Hot-carrier degradation evolution in deep submicrometer CMOS technologies", Integrated Reliability Workshop, pp.174-183, 1999.
- [186] C.Yu, Y.Liu, A.Sadat, and J.Yuan, "Impact of temperature accelerated voltage stress on PMOS RF performances", Transactions on Device and Materials Reliability, Vol. 4, Issue 4, pp. 664-669, December 2004.
- [187] A.Bhavnagarwala, X.Tang, J.D.Meindl, "The impact of intrinsic device fluctuations on CMOS SRAM cell stability", Journal of Solid State Circ, Vol. 36(4), 658-65, 2001.
- [188] P.V.Gray and P.M.Lenahan, "Density of SiO₂-Si interface states", Applied Physic Letter, Vol. 8, pp. 31-33, January 1966.
- [189] P.Chaparala, D.Brishbin, "Impact of NBTI and HCI on PMOSFET threshold voltage drift", Special Issue (NBTI) of Microelectronics Reliability, to be published 2004.
- [190] J.S.Brugler, P.G.A. Jaspers, "Charge pumping in MOS devices", Transactions on Electron Devices, Vol. 16, No. 3, pp. 297-302, 1969.
- [191] J-L.Autran, "Contribution au developpement de nouvelles techniques de pompage de charge pour l'étude des défauts d'interface dans les transistors MOS silicium submicroniques", Manuscrit de these, Institut National des Sciences Appliquées de Lyon, 1994.
- [192] P.Heresmans, J.Witters, G.Groeseneken, H.E.Maes, "Analysis of the Charge-Pumping Technique and its Application for the Evaluation of MOSFET Degradation", Transactions on Electron Devices, Vol.36, N°7, pp.1318-1335, 1989.
- [193] A.Bravaix, "Etudes des degradations du transistor PMOS soumis aux injections de porteurs chauds", Manuscrit de these, Université de Paris VII, 1991.

Bibliographie personnelle

Conférences

International Electron Device Meeting :

- **M.Denais**, A.Bravaix, V.Huard, C.Parthasarathy, G.Ribes, F.Perrier, Y.Rey-Tauriac, N.Revil, “On-the-fly characterization of NBTI in ultra-thin gate-oxide PMOSFET’s”, International Electron Device Meeting Technical Digest, pp. 109-112, 2004.
- B.Duriez, B.Tavel, F.Boeuf, M.T.Basso, Y.Laplanche, C.Ortolland, D.Reber, F.Wacquand, P.Morin, D.Lenoble, R.Palla, M.Bidaud, D.Barge, C.Dachs, H.Brut, D.Roy, M.Marin, N.Cagnat, R.Difrenza, K.Rochereau, **M.Denais**, P.Stolk, M.Woo and F.Arnaud, “Gate stack optimization for 65nm CMOS Low Power and High Performance platform”, International Electron Device Meeting Technical Digest, pp. 847-850, 2004.
- B.Tavel, M.Bidaud, N.Emonet, N.Planes, H.Brut, D.Roy, J.C.Vildeuil, R.Difrenza, K.Rocherau, **M.Denais**, V.Huard, P.Llinares, S.Bruyère, C.Parthasarathy, N.Revil, R.Pantel, K.Barla, F.Arnaud, P.Stolk, M.Woo, “Thin oxynitride solution for digital and mixed-signal 65nm CMOS platform” International Electron Device Meeting Technical Digest, pp. 643- 646, 2003.

European Solid-State Device Research Conference

- **M.Denais**, V.Huard, C.Parthasarathy, G.Ribes, F.Perrier, D.Roy, A.Bravaix, “New perspectives on NBTI in Advanced technologies: modelling and characterization”, European Solid-State Device Research Conference, to be published, 2005.
- G.Ribes, **M.Denais**, S.Bruyere, F.Monsieur, V.Huard, D.Roy, C.Parthasarathy, M.Müller, T.Skotnicki, G.Ghibaudo, “Insight on Physics of Hf-based Dielectrics Reliability”, European Solid-State Device Research Conference, to be published 2005.
- B.Tavel, B.Duriez, R.Gwoziecki, M.T.Basso, C.Julien, C.Ortolland, Y.Laplanche, R.Fox, E.Sabouret, C.Detcheverry, F.Boeuf, P.Morin, D.Barge, M.Bidaud, P.Garnier, K.Cooper, J.D.Chapon, Y.Trouiller, J.Belledent, M.Broekaart, P.Gouraud, **M.Denais**, V.Huard, K.Rochereau, R.Difrenza, N.Planes, M.Marin, S.Boret, D.Gloria, S.Vanbergue, P.Abramowitz, L.Vishnubhotla, D.Reber, P.Stolk, M.Woo and F. Arnaud, “65nm LP/GP Mix Low Cost Platform for Multi-Media Wireless and Consumer Applications”, European Solid-State Device Research Conference, to be published, 2005
- **M.Denais**, V.Huard, C.Parthasarathy, G.Ribes, F.Perrier, N.Revil, A.Bravaix, “New methodologies of NBTI characterization eliminating recovery effects”, European Solid-State Device Research Conference, pp. 265-268, 2004.
- G.Ribes, S.Bruyere, **M.Denais**, F.Monsieur, V.huard, D.Roy, M.Muller, T.Skotnicki, G.Ghibaudo, “Characterization of Vt instability in hafnium based dielectrics by pulse gate voltage techniques”, European Solid-State Device Research Conference, pp. 89-92, 2004.

- B.Duriez, P.Morin, B.Tavel, B.Froment, P.Gouraud, D.Roy, K.Rochereau, R.Difrenza, A.Margin, **M.Denais**, M.Bidaud, P.Stolk, M.Woo and F.Arnaud, “Low Temperature Process Flow Optimization for 65nm CMOS Mixed Signal Applications”, European Solid-State Device Research Conference, pp. 89-92, 2004.

International Reliability Physics Symposium:

- **M.Denais**, A.Bravaix, V.Huard, C.Parthasarathy, C.Guerin, G.Ribes, F.Perrier, M.Mairy, D.Roy, “Paradigm Shift for NBTI characterization in Ultra-Scaled CMOS Technologie”, International Reliability Physics Symposium Proceedings, to be published in 2006.
- C.R.Parthasarathy, **M.Denais**, V.Huard, G.Ribes, E.Vincent, A.Bravaix, “New insights into recovery characteristics post NBTI stress”, International Reliability Physics Symposium Proceedings, to be published in 2006.
- V.Huard, C.R.Parthasarathy, C.Guerin and **M.Denais**, “Physical modeling of Negative Bias Temperature Instabilities for predictive extrapolation”, International Reliability Physics Symposium Proceedings, to be published in 2006.
- G. Ribes, S. Bruyère, D. Roy, M. Denais, J-M. Roux, C. Parthasarathy, V. Huard, G.Ghibardo, “New extensive MVHR breakdown models for ultra-thin gate oxide”, International Reliability Physics Symposium Proceedings, to be published in 2006.
- G.Ribes, S. Bruyère, **M.Denais**, D.Roy and G.Ghibardo, “MVHR (Multi-Vibrational Hydrogen Release): consistency with bias temperature instability and dielectrics”, International Reliability Physics Symposium Proceedings, pp. 377-380, 2005.
- G.Ribes, S.Bruyère, **M.Denais**, F.Monsieur, D.Roy, E.Vincent and G.Ghibardo, “High-K dielectrics breakdown accurate lifetime assessment methodology”, International Reliability Physics Symposium Proceedings, pp. 61-66, 2005.
- V.Huard, **M.Denais**, “Hole trapping effect on methodology for DC and AC Negative Bias Temperature Instability Measurements in PMOS transistors”, International Reliability Physics Symposium Proceedings, pp. 40-45, 2004.

International Integrated Reliability Workshop

- V.Huard, **M.Denais**, C.R.Parthasarathy, “Single-hole detrapping events in pMOSFETs NBTI degradation”, to be published, 2005.
- C.Guerin, V.Huard, **M.Denais**, F.Perrier, “Combined effect of NBTI and channel hot carrier effects in pMOSFETS”, to be published, 2005.
- G.Ribes, S.Bruyere, D.Roy, C.Parthasarathy, M.Müller, **M.Denais**, V.Huard, T.Skotnicki, G.Ghibardo, “Physical origin of V_T instabilities in high-K dielectrics and process optimization”, to be published, 2005.
- **M.Denais**, V.Huard, C.Parthasarathy, G.Ribes, F.Perrier, N.Revil, A.Bravaix, “Oxide field dependence of interface trap generation during Negative Bias Temperature Instability in PMOS”, Integrated Reliability Workshop proceedings, pp. 109-112, 2004.
- **M.Denais**, A.Bravaix, V.Huard, C.Parthasarathy, M.Bidaud, G.Ribes, D.Barge, L.Vishnubhotla, B.Tavel, Y.Rey-Tauriac, F.Perrier, N.Revil, F.Arnaud, P.Stolk, “New Hole Trapping Characterization

during NBTI in 65nm Node Technology with distinct nitridation processing”, Integrated Reliability Workshop proceedings, pp. 121-124, 2004.

- V.Huard, **M.Denais**, F.Monsieur, “Hydrogen release and defect generation rate in ultrathin oxides”, Integrated Reliability Workshop proceedings, pp. 4-6, 2004.
- G.Ribes, S.Bruyere, **M.Denais**, F.Monsieur, V.huard, D.Roy, M.Muller, T.Skotnicky, G.Ghibaudo, “Modelling charge to breakdown using hydrogen multivibrational excitation (Thin SiO₂ and igh-K dielectrics)”, Integrated Reliability Workshop proceedings, pp. 1-3, 2004.
- G.Ribes, S.Bruyere, **M.Denais**, F.Monsieur, V.Huard, D.Roy, M.Muller, T.Skotnicky, G.Ghibaudo, “Trapping and detrapping mechanism in hafnium based dielectrics characterised by pulsed gate voltage techniques”, Integrated Reliability Workshop proceedings, pp.125-127, 2004.
- **M.Denais**, V.Huard, C.Parthasarathy, G.Ribes, F.Perrier, N.Revil, A.Bravaix, “Interface traps and oxide traps creation under NBTI and PBTI in advanced CMOS technology with a 2nm gate-oxide” IEEE Integrated Reliability Workshop proceedings, pp.1-6, 2003.

Insulating Films on Semiconductors Conference

- G.Ribes, S.Bruyere, **M.Denais**, F.Monsieur, V.huard, D.Roy, G.Ghibaudo, “Breakdown mechanisms in ultra-thin oxides: impact of carrier energy and current through substrate hot carrier stress study”, Insulating Films on Semiconductors, GS2, 2003.
- V.Huard, **M.Denais**, F.Perrier and C.Parthasarathy, “Static and Dynamic NBTI stress in pMOS transistors”, Insulating Films on Semiconductors, PS 19, 2003.

Symposium on VLSI Technology

- F.Arnaud, B.Duriez, B.Tavel, L.Pain, J.Todeschini, M.Jurdit, Y.Laplanche, F.Boeuf, F.Salvetti, D.Lenoble, J.P.Reynard, F.Wacquand, P.Morin, N.Emonet, D.Barge, M.Bidaud, D.Ceccarelli, P.Vannier, Y.Loquet, H.Leninger, F.Judong, C.Perrot, I.Guilmeau, R.Palla, A.Beverina, V.DeJonghe, M.Broekaart, V.Vachellerie, R.A.Bianchi, B.Borot, T.Devoivre, N.Bicaïs, D.Roy, **M.Denais**, K.Rochereau, R.Difrenza, N.Planes, H.Brut, L.Vishnobulta, D.Reber, P.Stolk and M.Woo, “Low cost 65nm CMOS platform for low power and general purpose applications”, VLSI Technology Digest of Technical Papers, pp. 178-179, June 2004.

Workshop on Dielectrics in Microelectronics

- G.Ribes, S.Bruyere, **M.Denais**, F.Monsieur, V.huard, D.Roy, G.Ghibaudo, “Evidence and modelling current of defect generation probability and its impact on charge to breakdown”, 2004.

European Symposium Reliability of Electron Devices, Failure Physics and Analysis

- A.Bravaix, D.Goguenheim, V.Huard, M.Denais, C.Parthasarathy, F.Perrier, N.Revil, E.Vincent, “Impacts of the recovery phenomena on the worst-case of damage in DC/AC stressed ultra-thin NO gate-oxide MOSFETs”, to be published 2005.

Journaux

Transactions on Device and Materials Reliability

- G.Ribes, J.Mitard, **M.Denais**, S.Bruyere, F.Monsieur, C.Parthasarathy, E.Vincent, C.Leroux, G.Ghibaudo, “Review on High-K dielectrics reliability issues”, Transactions on Device and Materials Reliability, Vol. 5, pp.5-19, March 2005.
- **M.Denais**, V.Huard, C.Parthasarathy, G.Ribes, F.Perrier, N.Revil, A.Bravaix, “Interface Trap generation and hole trapping under NBTI and PBTI in advanced CMOS Technology with a 2nm gate-oxide”, Transactions on Device and Materials Reliability, Vol. 4, pp. 715-722, December 2004.

Microelectronics Reliability

- V.Huard, **M.Denais**, C.Parthasarathy, “NBTI degradation: From physical mechanism to modelling”, Microelectronics Reliability, to be published, 2005.
- G.Ribes, S.Bruyere, D.Roy, **M.Denais**, F.Monsieur, V.Huard, C.Parthasarathy, G.Ghibaudo, “Multi-vibrational hydrogen release: Physical origin of T_{BD} , Q_{BD} power-law voltage dependence of oxide breakdown in ultrathin gate oxides”, Invited paper for Microelectronics Reliability devoted to TDDB Power Law Dependence , to be published 2005.
- V.Huard, **M.Denais**, F.Perrier, N.Revil, C.Parthasarathy, A.Bravaix, E.Vincent, “A thorough investigation of pMOSFETs NBTI degradation”, Special Issue (NBTI) of Microelectronics Reliability, pp. 83-98 (45), 2005.
- G.Ribes, S.Bruyere, F.Monsieur, **M.Denais**, D.Roy, V.Huard, G.Ghibaudo, “Breakdown mechanisms in ultra-rhin oxides: Impact of carrier energy and current through substrate hot carrier stress study”, Microelectronics Engineering 2003.

Microelectronics Engineering

- G.Ribes, S.Bruyere, F.Monsieur, **M.Denais**, D.Roy, V.Huard, G.Ghibaudo, “Breakdown mechanisms in ultra-thin oxides : impact of carrier energy and current through substrate hot carrier stress study”, Microelectronic Engineering, 2003

Annexe A

Technique de pompage de charge:

La terme de pompage de charge a été pour la première fois introduit en 1969 par Brugler et Jaspers [190]. La technique de pompage de charge est une caractérisation électrique permettant de quantifier la densité d'états d'interface d'un transistor MOS. Elle peut notamment être utilisée pour l'étude de la génération de défauts à l'interface [74] pendant une contrainte NBT. Nous présenterons dans cette Annexe uniquement la technique à 2 niveaux permettant d'extraire la densité d'états d'interface. Une technique dite à « 3 niveaux » permet d'obtenir également la distribution énergétique des pièges d'interface [191].

Parmi toutes les techniques de pompage de charge [191], nous avons choisi d'utiliser la technique à 2 niveaux avec une hauteur de pulse constant. Le principe de la technique consiste à faire passer alternativement le substrat de l'accumulation à l'inversion sous l'action d'impulsions rectangulaires de la tension de grille, les jonctions de source et de drain connectées à la masse. Le passage alternatif de l'accumulation permet de générer un courant du substrat issu de la recombinaison de porteurs dans le canal entre les charges piégées dans les états d'interface et les porteurs du canal [191]. Un courant de substrat (I_{cp}) apparaît alors proportionnel à la fréquence F_p des pulses sur la grille, à l'aire A_{eff} de la grille du transistor, et à la densité des états d'interface N_{IT} (cm^{-2}) interagissant dans la bande interdite du silicium pendant un pulse ΔV_G sur la grille

$$I_{cp} = qA_{eff}F_pN_{IT} \quad \text{Eq. A.1}$$

Nous considérons une distribution uniforme des pièges d'interface dans la bande interdite du silicium. De plus, nous utiliserons un pulse ΔV_G suffisamment grand pour balayer entièrement la bande interdite du silicium (zone 3 sur la Figure A.1). Dans ce cas, les énergies balayées par le niveau de Fermi correspondent alors à la différence entre le niveau d'énergie de fin d'émission de trous $E_{m,h}$ et le niveau d'énergie de fin d'émission d'électrons $E_{m,e}$ [191].

Nous ne connaissons pas à priori les tensions électriques entre lesquelles la grille doit être pulsée pour que le niveau de Fermi balaye les énergies dans la bande interdite du silicium entre $E_{m,h}$ et $E_{m,e}$. Une méthode consiste à faire varier le niveau bas V_{gl} du signal de l'accumulation à l'inversion, la fréquence et la forme du signal étant fixées. Nous pouvons considérer 5 zones :

Zone 1 : $V_{gh} < V_T$ et donc le pulse $\Delta V_G = (V_{gl} - V_{gh})$ ne permet pas de sortir de l'inversion. Aucun courant pompé I_{cp} n'est mesuré.

Zone 2 : $V_{FB} < V_{gh} < V_T$. Le pulse sur la grille permet de faire passer le substrat de l'accumulation à la désertion. Seule, une proportion des pièges d'interface interagit. Cette proportion est d'autant plus grande que V_{gh} se rapproche de V_T

Zone 3 : $V_{gl} < V_{FB}$ et $V_T < V_{gh}$: La bande interdite est entièrement balayée par le niveau de Fermi avec le substrat passant de l'accumulation à l'inversion. Le courant pompé est alors maximum (I_{cpmax}) et le courant pompé est

$$I_{cpmax} = qA_{eff} F_P \int_{E_{m,e}}^{E_{m,h}} N_{IT}(E) dE = qA_{eff} F_P N_{IT}(E_{m,h} - E_{m,e}) \quad \text{Eq. A.2}$$

Zone 4 : $V_{gl} > V_{FB}$. Le substrat n'est plus en accumulation et de moins en moins de pièges interagissent pendant les phases piégeage/dépiégeage. Le courant pompé diminue d'autant que V_{gl} se rapproche de V_T .

Zone 5 : $V_{gl} > V_T$. Le substrat reste en inversion pendant le pulse sur la grille. Les états d'interface n'interagissent plus avec les porteurs. Le courant pompé est nul.

Ces 5 zones sont représentées sur la figure A.1 :

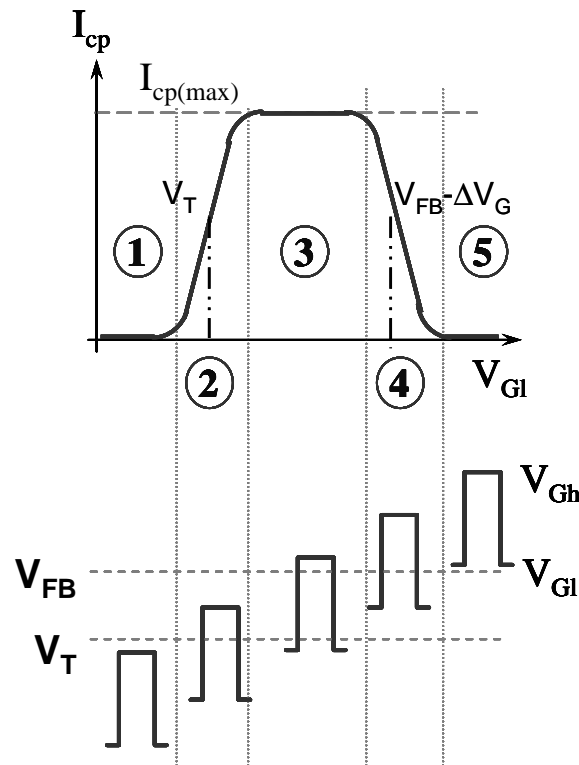


Figure A. 1 : Courbe $I_{cp}(V_{gl})$ théorique illustrant les différents régimes de pompage de charges dans le cas du PMOS [191]-[193]

La figure A.2 suivante représente les courbes CP avant et après une contrainte NBT sur un transistor PMOS de 2nm d'épaisseur d'oxyde. Nous observons une augmentation de I_{cpmax} (hauteur du plateau) après une contrainte NBT de $V_G=-1.75V$ à $T=125^\circ C$. La génération de défauts d'interface est d'autant plus importante que la contrainte électrique appliquée sur la grille est élevée (à $V_G=-2.75V$).

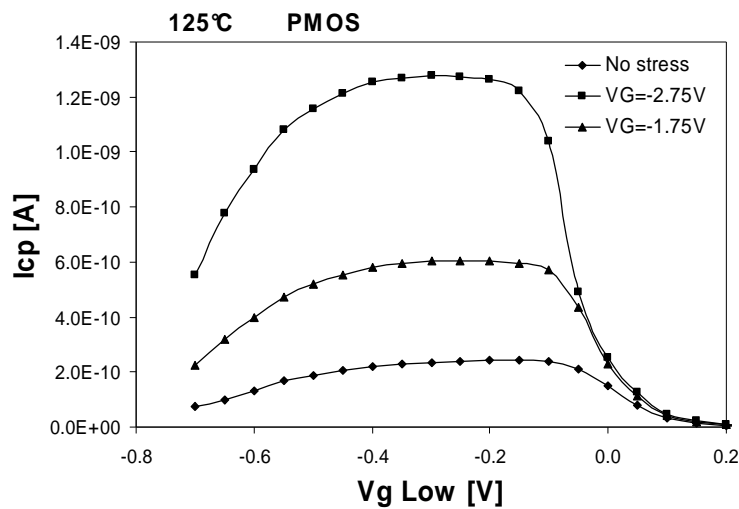


Figure A. 2 Exemples de courbes CP sur un transistor de 2nm d'épaisseur d'oxyde vierge, après une contrainte NBT $V_G=-1.75V$ de 4000s à $125^\circ C$, et après une contrainte NBT $V_G=-2.75V$ de 4000s à $125^\circ C$

Annexe B

Code source de la mesure on-the-fly en HP-Basic:

```

1 Nbti_otf
2 ! Title: on-the-fly technique for NBTI characterization
3 ! Author: Mickael DENAIS
4 !
5 ! This routine applies a bias on the gate and
6 ! use the "on-the-fly" characterization technique in order
7 ! to monitor Idlin and gm during the stress
8 ! (avoiding the recovery)
9 !
10 !
11 GOSUB Pad_connect ! pads definition and relay management (subroutine)
12 !
13 ! #####
14 ! ##          ##
15 ! ## Measurement conditions ##
16 ! ##          ##
17 ! #####
18 ! definition of parameters for the stress and the characterization
19
20 Compliance=Ct_param(Nt,1) ! compliance
21 Vgstress=Ct_param(Nt,2) ! Stress gate voltage
22 Vgpulse=Ct_param(Nt,5) ! pulsed gate voltage. to calculate gm
23 Vdlin=Ct_param(Nt,6) ! drain voltage for idlin measurement
24 V0=0 ! 0 bias
25 Nbptdec=Ct_param(Nt,8) ! nbre of points by decade for stress
26 Stress_time=Ct_param(Nt,9) ! stress time
27 Ldec=LGT(Stress_time) ! nbre of decade of stress = logarithm of time
28 App_drain=Ct_param(Nt,12) ! application ou non du pulse sur drain
29
30 ! #####
31 ! ##          ##
32 ! ## Array creation and initialisation ##
33 ! ##          ##
34 ! #####

```

```

35 !
36 Nbpt=Ldec*Nbptdec+Ldec2*Nbptdec2+1      ! total nbre of points
37 !
38 ! #####
39 ! ##      ##
40 ! ## Main Loop ##
41 ! ##      ##
42 ! #####
43 !
44 ! The stress is beginning
45 !
46 CALL Force_vmi("BULK",(V0),"F",0,0,0,Retour)      ! bulk is grounded
47 CALL Force_vmi("SOURCE",(V0),"F",0,0,0,Retour)    ! source is grounded
48 CALL Force_vmi("DRAIN",(V0),"F",0,0,0,Retour)    ! drain is grounded
49 CALL Force_vmi("GATE",(V0),"F",0,0,0,Retour)     ! gate is grounded
50 Tstart=TIMEDATE                                  ! machine time is recorded
51 J=1
52 WHILE (TIMEDATE-Tstart)<Stress_time ! while the time is shorter than the expected stress time
53   Ind=(J-1)/Nbptdec ! calculation of the time for the next measurement, depending on the number of
measurements by decade
54   IF J>1 THEN      ! if it is not the first measurement
55     WHILE (TIMEDATE<(Tstart+10^Ind)) AND ((TIMEDATE-Tstart)<Stress_time)      ! waiting time
between to measurement and Vg= Vgstress (Vg=0 for the first measurement)
56     END WHILE
57     Temps_stress(J)=TIMEDATE-Tstart      ! time is recorded
58     ELSE      ! if it is the first measurement
59     Temps_stress(J)=0
60   END IF
61   CALL Force_vmi("GATE",(Vgstress+Vgpulse),"F",0,0,0,Retour)      ! Vgstress+ Vgpulse is
applied on the gate
62   CALL Force_vmi("DRAIN",(Vdlin),"FM",Id2,(Prec),(Moy),Retour,(Compliance)) ! Vdlin is applied and
IDLin2 is measured
63   CALL Force_vmi("GATE",(Vgstress-Vgpulse),"F",0,0,0,Retour)      ! Vgstress- Vgpulse is
applied on the gate
64   CALL Force_vmi("DRAIN",(Vdlin),"M",Id3,(Prec),(Moy),Retour,(Compliance))      !
IDLin3 is measured
65   CALL Force_vmi("GATE",(Vgstress),"F",0,0,0,Retour)      ! Vgstress+ Vgpulse is
applied on the gate
66   CALL Force_vmi("DRAIN",(Vdlin),"M",Id1,(Prec),(Moy),Retour,(Compliance))      !
IDLin1 is measured
67   CALL Force_vmi("DRAIN",(V0),"F",0,0,0,Retour)      ! Vd is
grounded

```

```
68  Results(J,1)=Id1 !First Linear drain current, storage of IDLin1
69  Results(J,2)=Id2 !2nd, storage of IDLIN2
70  Results(J,3)=Id3 !3rd, storage of IDLin3
71  J=J+1
72  END WHILE                ! end of stress
73  GOSUB Save_nbti         ! storage of datas (subroutine)
74  GOTO Fin_stress        ! pad disconnection (subroutine)
```

Etude des phénomènes de dégradation de type Negative Bias Temperature Instability (NBTI) dans les transistors MOS submicroniques des flières CMOS avancées.

Résumé:

La miniaturisation croissante des circuits intégrés entraîne une augmentation de la complexité des procédés de fabrication où chaque nouvelle étape peut influencer la fiabilité du composant. Les fabricants de semi-conducteurs doivent garantir un niveau de fiabilité excellent pour garantir les performances à long terme du produit final. Pour cela il est nécessaire de caractériser et modéliser les différents mécanismes de défaillance au niveau du transistor MOSFET. Ce travail de thèse porte spécifiquement sur les mécanismes de dégradation de type « Negative Bias Temperature Instability » communément appelé NBTI.

Basé sur la génération d'états d'interface, la génération de charges fixes et de piégeage de trous dans l'oxyde, le modèle de dégradation proposé permet de prédire les accélérations en température et en champ électrique, d'anticiper les phénomènes de relaxation, tout en restant cohérent avec les caractères intrinsèques de chaque défauts et les modifications des matériaux utilisés.

Ce travail de thèse ouvre le champ à de nouvelles techniques d'analyse basées sur l'optimisation des méthodes de tests et d'extraction de paramètres dans les oxydes ultra minces en évitant les phénomènes de relaxation qui rendent caduques les techniques conventionnelles. Ainsi, une nouvelle technique dite « à la volée » a été développée, et permet d'associer à la fois la mesure et le stress accéléré à l'aide de trains d'impulsions appropriés.

Finalement, une nouvelle méthodologie est développée pour tenir compte des conditions réelles de fonctionnement des transistors, et une approche novatrice de compensation du NBTI est proposée pour des circuits numériques et analogiques.

Summary :

CMOS transistor scaling-down involves an increase in the manufacturing complexity and brings up reliability as a serious challenge to overcome in recent node technologies. In this context, it is mandatory to characterize and model the various failure mechanisms at the transistor level. This work of thesis specifically focuses on the reliability issue of "Negative Bias Temperature Instability" (NBTI) in ultra thin gate oxide transistors.

Mechanisms lying behind NBTI are the interface traps generation, the fixed charges build-up and the hole trapping in the gate oxide. The degradation modeling proposed here predicts both the temperature and the oxide field accelerations, anticipates the recovery phenomena, while remaining in agreement with intrinsic characteristics of each defects and materials modifications.

This work of thesis opens the electrical characterization field with both tests methods and parameters extraction optimizations in ultra thin gate oxides by eliminating the recovery phenomena – an inconsistency with the conventional techniques. Thus, a new technique called "on-the-fly" has been developed which makes possible the characterization and the stress in the same time using suitable pulses trains.

Finally, a new methodology has been developed to take into account real transistors operations conditions, and an innovative compensation of the NBTI has been proposed for both digital and analog circuits.

Mots-Clés :

Transistor MOSFET, Fiabilité, NBTI, technique on-the-fly, génération d'états d'interface, charge fixe, piégeage de trou, instabilité de la tension de seuil, température, V_T .