



HAL
open science

Méthodologie de prédiction du niveau de robustesse d'une structure de protection ESD à l'aide de la simulation TCAD

Christophe Salamero

► **To cite this version:**

Christophe Salamero. Méthodologie de prédiction du niveau de robustesse d'une structure de protection ESD à l'aide de la simulation TCAD. Micro et nanotechnologies/Microélectronique. Université Paul Sabatier - Toulouse III, 2005. Français. NNT: . tel-00126914

HAL Id: tel-00126914

<https://theses.hal.science/tel-00126914>

Submitted on 26 Jan 2007

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

■ Thèse

Préparée au Laboratoire d'Analyse et d'Architecture des Systèmes du CNRS

En vue de l'obtention du Doctorat de l'Université Paul Sabatier de Toulouse

Spécialité : Electronique

Par **Christophe SALAMERO**

Méthodologie de prédiction du niveau de robustesse d'une structure de protection ESD à l'aide de la simulation TCAD

Soutenue le 8 décembre 2005 devant le jury :

Président	P. AUSTIN
Directeurs de thèse	M. BAFLEUR N. NOLHIER
Rapporteurs	P. DESCAMPS J. ROUDET
Examineurs	M. ZECRI P. BESSE

TABLE DES MATIERES

Introduction générale.....	1
Chapitre1.....	5
Structures de protection contre les décharges électrostatiques et méthodes de conception	5
1.1 Phénomènes ESD.....	7
1.1.1 Origine des ESD.....	8
1.1.1.1 Triboélectricité	8
1.1.1.2 Induction	8
1.1.1.3 Causes des décharges électrostatiques.....	8
1.1.2 Tests et caractérisations ESD.....	9
1.1.2.1 Test HBM.....	9
1.1.2.2 Test MM.....	11
1.1.2.3 Test CDM.....	12
1.1.2.4 Caractérisation TLP.....	13
1.1.2.5 Caractérisation VF-TLP.....	15
1.1.3 Défaillance	15
1.1.3.1 Défaillance dans le silicium	16
1.1.3.2 Défaillance dans le diélectrique	16
1.1.3.3 Défaillance dans les métaux.....	17
1.1.3.4 Critère de défaillance.....	17
1.2 Protection des circuits intégrés.....	18
1.2.1 Fonctionnement d'une structure de protection contre les ESD.....	19
1.2.2 Marges de conception :.....	19
1.2.3 Stratégie de protection d'un circuit face aux ESD	20
1.2.4 Principaux éléments de protection :	22
1.2.4.1 Résistances :	23
1.2.4.2 Diodes :	24
1.2.4.3 Transistors bipolaires NPN :	25
1.2.4.4 Transistors NMOS :	28
1.2.4.5 Thyristors :	29
1.3 Simulation de structures ESD.....	29
1.3.1 Prédiction de la robustesse ESD par la simulation.....	32
1.3.1.1 Phénomène de second claquage thermique.....	32
1.3.1.1.a Définition et origines.....	32
1.3.1.1.b Optimisation pour un composant ESD.....	34
1.3.1.2 Simulation circuit de type SPICE.....	34
1.3.1.3 Simulation composant.....	39
1.3.1.3.a Le simulateur de composant ISE	39
1.3.1.3.b Prédiction de la robustesse ESD dans la littérature	44
1.3.1.3.c Travaux d'Esmark.....	48
1.3.1.3.d Nouvelle méthodologie de prédiction du courant I_{T2} par la simulation....	49
1.4 Conclusion.....	51
REFERENCES :	53
Chapitre 2.....	59
Nouvelle méthodologie de prédiction de la robustesse ESD d'une structure de protection....	59
1.3 Calibrage.....	62
1.3.1 Description des profils de dopage	62

1.3.1.1	Description analytique	62
1.3.1.2	Description provenant du procédé technologique	62
1.3.1.3	Choix d'un outil de simulation	63
1.3.1.3.a	1 ^{er} composant étudié	63
1.3.1.3.b	2 ^{ème} composant étudié	66
2.1.2	Choix des modèles physiques	72
2.1.2.1	Calibrage du phénomène d'avalanche	73
2.1.2.1.a	Modèles de génération par avalanche	73
2.1.2.2	Calibrage du gain en courant β	76
2.1.2.2.a	Modèles de mobilité	77
2.1.2.2.a.1	Dépendance par rapport au dopage	78
2.1.2.2.a.2	Dépendance par rapport au champ électrique transverse E_{normal}	79
2.1.2.2.a.3	Dépendance par rapport aux collisions des porteurs	79
2.1.2.2.b	Modèles de densité intrinsèque	80
2.1.2.2.c	Modèle de Génération-Recombinaison	81
2.2	Méthode prédictive	84
2.2.1	Critère de défaillance d'une structure ESD	84
2.2.2	Présentation de la méthode prédictive	86
2.2.2.1	Méthode conventionnelle prédisant le courant I_{T2}	86
2.2.2.2	Nouvelle méthode de prédiction du courant I_{T2}	88
2.2.2.2.a	Simulation 2D ou 3D	88
2.2.2.2.b	Calibrage préalable	88
2.2.2.2.c	Etapas de la méthode prédictive	89
2.2.2.2.d	Justification du choix des paramètres G_1 et R_{SRH}	89
2.2.2.3	Application de la méthode de prédiction du courant I_{T2}	91
2.2.2.4	Justification de la présence de deux points chauds	95
2.2.2.4.a	Côté émetteur	95
2.2.2.4.b	Côté collecteur	97
2.3	Conclusion	100
	REFERENCES :	102
	Chapitre 3	107
	Validation de la méthodologie	107
3.1	Prédiction du courant de défaillance I_{T2}	109
3.1.1	Première technologie utilisée	109
3.1.1.1	Premier composant étudié : Structure3	109
3.1.1.1.a	Description	109
3.1.1.1.b	Application de la méthode	111
3.1.1.2	Deuxième composant étudié : Structure4	113
3.1.1.2.a	Description	113
3.1.1.2.b	Application de la méthode	114
3.1.2	Deuxième technologie utilisée	116
3.1.2.1	Description	117
3.1.2.2	Application de la méthode	119
3.1.2	Bilan des résultats	120
3.2	Méthode appliquée à un stress HBM	123
3.2.1	Stress HBM	123
3.2.2	Application de la méthode à un test HBM	124
3.3	Conclusion	132
	Conclusion générale	126

Introduction générale

Une décharge électro-statique (dont l'acronyme en anglais est **ESD** pour **ElectroStatic Discharge**) correspond à un transfert rapide de charges entre deux objets qui génèrent des champs électriques et des densités de courant très élevés. Les ESD sont tout aussi bien présentes dans la nature que dans l'environnement de production des composants semi-conducteurs. Elles sont l'une des principales causes de défaillance des circuits intégrés et des retours clients. Un circuit intégré est susceptible de subir une ESD et par conséquent de voir sa fonctionnalité être dégradée. Cette ESD peut intervenir aussi bien pendant la phase de fabrication du composant mais aussi durant sa manipulation ou encore son stockage. Avec la réduction des dimensions technologiques, les circuits intégrés sont encore plus vulnérables aux ESD.

La compétition incessante entre les industries de composants semi-conducteurs conduit à ce que la réduction du cycle de développement pour une nouvelle technologie se répercute également aux structures de protection ESD. De manière à développer des dispositifs ESD dans les plus courts délais et à moindre coût, l'utilisation des outils de simulation TCAD (Tools Computer Aided Design) s'est révélée être indispensable. En effet, ces derniers permettent tout d'abord de décrire précisément un composant (géométrie et profils de dopage) puis de réaliser sur ce dernier des simulations donnant accès à des caractéristiques électriques spécifiques nécessaires à son optimisation.

L'objectif de ce travail est de mettre en place une nouvelle méthodologie capable de prédire efficacement la robustesse d'un composant face à une ESD. Cette technique doit permettre aux concepteurs de circuits intégrés, d'optimiser au mieux leurs stratégies de protection, mais aussi de prendre en compte la problématique des ESD très en amont dans le développement des nouvelles technologies.

Le premier chapitre présentera tout d'abord les décharges électrostatiques dans l'environnement moderne des circuits intégrés. Nous traiterons:

- des processus de générations de charges électrostatiques,
- des différents stress ESD existants pour qualifier un composant ainsi que des modèles électriques qui leur sont associés,
- des stratégies de conception d'une protection ESD au niveau du composant mais également au niveau du circuit.

Puis, de façon à introduire les travaux menés durant la thèse, un état de l'art sera également fait autour des axes suivants :

- les mécanismes physiques mis en jeu lors du fonctionnement d'une structure de protection ESD et notamment ceux conduisant au phénomène de second claquage thermique synonyme de destruction pour le composant,
- l'utilisation des outils de simulation TCAD pour la description, l'optimisation et la prédiction du niveau de robustesse d'un dispositif de protection ESD.

Le second chapitre détaillera les étapes de la méthodologie que nous avons développée. Une grande partie de ce travail est rentré dans le cadre du laboratoire commun (LCIP2) entre le LAAS et la société Freescale semi-conducteurs. Nous montrerons comment notre méthode permet de prédire la robustesse ESD d'une structure de protection à travers l'estimation de la valeur de son courant de défaillance lors d'un stress TLP (Transmission Line Pulsing). Cette méthodologie sera expliquée en s'appuyant sur son application à un composant ESD de type transistor bipolaire réalisé dans une technologie de puissance intelligente de Freescale. Par comparaison avec une méthode de prédiction issue de la littérature, ce chapitre démontrera l'originalité mais aussi l'efficacité de notre méthode d'un point de vue de la précision des résultats obtenus et des temps de calculs nécessaires. Ce chapitre se terminera par la validation des résultats obtenus par notre méthodologie en comparaison avec ceux des mesures expérimentales ainsi que par des analyses de défaillance.

Le dernier chapitre permettra tout d'abord de valider la nouvelle méthode de prédiction du courant de défaillance I_{T2} sur deux autres dispositifs de protection ESD réalisés dans la même technologie que la structure étudiée au Chapitre 2. La méthode sera ensuite appliquée et validée à un dispositif réalisé dans une technologie de puissance plus avancée.

Chapitre 1

1. Structures de protection contre les décharges électrostatiques et méthodes de conception

Ce chapitre présente tout d'abord ce que sont les décharges électrostatiques et quels sont les facteurs favorables à leur génération dans l'environnement moderne de production des circuits intégrés (CI). Nous décrivons ensuite les différents tests, développés aussi bien par les industriels que par les laboratoires de recherche, afin d'évaluer la robustesse d'une structure de protection ESD mais aussi pour comprendre son comportement durant la décharge électrostatique afin de pouvoir finalement l'optimiser. Nous expliquerons ensuite quelle est la méthodologie de développement d'une structure de protection ESD compte tenu des marges de conception imposées par le CI à protéger. Puis nous aborderons les différentes stratégies de protection d'un CI en précisant les différentes configurations et implantations des protections en fonction des régions du circuit à protéger. Finalement pour introduire les travaux effectués durant ces trois dernières années, nous montrerons le rôle de plus en plus important de la simulation en tant qu'outil de prédiction pour le développement et l'optimisation d'une structure de protection mais aussi dans le cas de la protection d'un CI. Nous aborderons la simulation comme outil d'évaluation de la robustesse ESD d'un dispositif et nous présenterons quelles ont été nos motivations pour développer une nouvelle méthodologie de prédiction.

1.1 Phénomènes ESD

Une décharge électrostatique (ESD) correspond à un transfert très rapide de charges électriques entre deux objets. L'origine de ce transfert vient d'un déséquilibre initial de charges entre les deux objets. Ce déséquilibre de charges entre les deux objets provient du fait qu'un des deux objets a accumulé des charges (objet A) et que l'autre objet (objet B) est conducteur jouant ainsi le rôle de masse virtuelle. Lorsque ces derniers sont suffisamment proches ou rentrent en contact, le retour à l'équilibre entraîne un transfert de charges créant ainsi une ESD. Selon la nature des objets, l'échange de charges peut s'avérer très rapide (plusieurs centaines de nanosecondes), générant ainsi des courants de plusieurs ampères. La présence des ESD a toujours été un sérieux problème dans l'industrie des semi-conducteurs [WAGN93]. Les circuits intégrés étant de très petites tailles, l'énergie absorbée par ces dispositifs peut être si élevée que le matériau du semi-conducteur peut localement fondre. De plus, un événement ESD est toujours accompagné de la présence d'un fort champ électrique. Celui-ci peut être la cause du claquage électrique de certains éléments sensibles du CI tels que les oxydes fins de grille dans les technologies CMOS. Les décharges électrostatiques affectent

sensiblement la fiabilité des circuits intégrés. Les effets peuvent aller de la création de défauts latents à la destruction du dispositif.

1.1.1 Origine des ESD

Dans l'environnement des circuits intégrés, il existe deux processus majeurs de génération de charges: la triboélectricité et l'induction.

1.1.1.1 *Triboélectricité*

Celle-ci a lieu lorsque deux matériaux sont mis en contacts puis séparés (équivalent à un frottement). En effet lors de leur mise en contact, les matériaux s'échangent leurs électrons libres. Puis lorsqu'ils sont séparés, les électrons sont redistribués. Si les matériaux sont conducteurs, les charges s'équilibrent, par contre si les matériaux sont isolants, il apparaît une charge résiduelle sur ces derniers qui peut alors être à l'origine d'une ESD. La génération de charges par triboélectricité est favorisée par:

- une grande surface de contact
- une vitesse de séparation élevée
- un faible coefficient d'humidité de l'air

1.1.1.2 *Induction*

Celle-ci a lieu lorsqu'un objet conducteur A (non chargé) est placé à proximité d'un objet B chargé. L'objet B émet alors un champ électrique qui sépare les charges de l'objet A sans en modifier pour autant la neutralité. Si l'objet A vient momentanément à être connecté à la masse, il cède une partie de ses charges. Une fois déconnecté, l'objet A devient à son tour chargé. C'est par ce phénomène qu'un CI peut accumuler des charges lors de son passage dans un champ électrique.

1.1.1.3 *Causes des décharges électrostatiques*

Les décharges électrostatiques ont souvent pour cause l'activité humaine. En effet, dans l'environnement de fabrication des CI, c'est par triboélectricité qu'un individu peut accumuler des charges électrostatiques en marchant par le frottement de ses chaussures sur le sol. C'est toujours par ce même phénomène qu'un composant électronique peut se charger en glissant le long d'une barrette en plastique utilisée pour son transport ou son stockage. Ce composant peut tout aussi bien se charger par le phénomène d'induction en étant placé à proximité d'un moniteur chargé, l'opérateur qui le manipule ainsi que la surface de travail sur laquelle il repose étant en général reliés à la masse.

Comme les ESD représentent l'une des principales causes de défaillances des dispositifs électroniques, il est indispensable de prendre des précautions particulières pour manipuler des composants sensibles aux décharges électrostatiques afin de minimiser les risques de pannes des composants dus à l'environnement de travail ou à la manipulation humaine. Ces précautions ne peuvent pas supprimer tous les risques de décharges électrostatiques, aussi il est nécessaire d'ajouter des protections internes au circuit intégré et d'être capable d'évaluer sa robustesse face aux ESD.

1.1.2 Tests et caractérisations ESD

Afin de définir une mesure de la robustesse ESD c'est-à-dire son niveau de défaillance ESD, différents types de testeurs furent développés. Ces testeurs sont supposés reproduire les différentes formes d'ondes en courant générées lors des événements ESD. Ces tests obéissent à des normes garantissant ainsi la compatibilité des résultats de mesure entre les différents types de testeurs. Les principaux tests qui sont décrits dans ce chapitre sont les tests HBM (Human Body Model), MM (Machine Model), et CDM (Charged Device Model). Ces tests sont destructifs et outre le fait qu'ils permettent d'évaluer le niveau de robustesse ESD d'un composant, ils n'apportent aucune information pour la compréhension du comportement de la structure de protection. C'est pourquoi, parallèlement à ces tests industriels, ont été développées des techniques de caractérisation ESD qui ne sont pas obligatoirement destructives. Ces dernières ont le double avantage d'évaluer la robustesse ESD du dispositif mais également d'extraire certains paramètres électriques caractéristiques d'une structure de protection ESD. La connaissance de ces paramètres aboutit à une meilleure compréhension du comportement du dispositif ce qui permet par la suite de l'optimiser. Les principales techniques de caractérisation ESD décrites dans les paragraphes ci-après sont le TLP (Transmission Line Pulsing) et le VF-TLP (Very Fast Transmission Line Pulsing).

1.1.2.1 Test HBM

Le test HBM demeure encore le test industriel le plus largement utilisé pour évaluer la robustesse ESD d'un CI. Son modèle de décharge est le plus ancien. Il correspond au courant de décharge généré par une personne debout qui toucherait avec le bout de son doigt un composant relié à la masse (Figure 1-1(a)). Le circuit électrique permettant de simuler ce type de décharge comprend une capacité C_c de 100pF en série avec une résistance R_s de 1500 Ω , ces deux éléments étant connectés au dispositif sous test noté DUT pour Device Under Test (Figure 1-1 (b)). Ce premier modèle ne tient pas compte d'éléments parasites. La capacité de

100pF représente la valeur moyenne de la capacité d'un individu debout tandis que la résistance de 1500Ω représente en moyenne la résistance du corps humain.

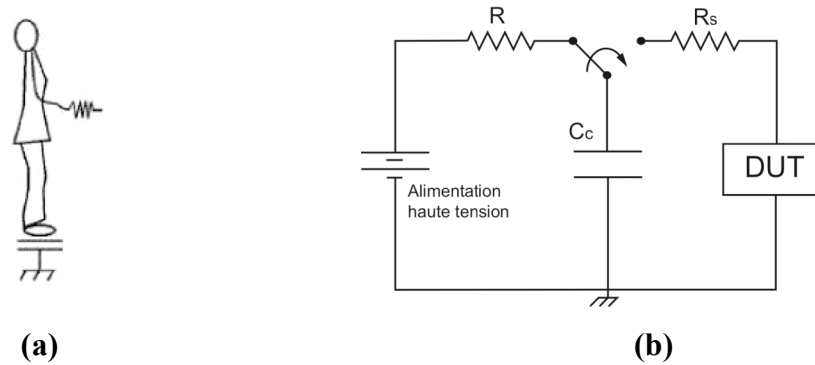


Figure 1-1. Modèle du corps humain (a) et schéma électrique associé au test HBM (b)

L'alimentation haute tension charge préalablement la capacité à une tension de l'ordre de quelques kilos Volts (kV) qui représente la tension de pré-charge notée $V_{\text{pré-charge}}$. Cette valeur contrôle l'intensité de la décharge et qualifie la robustesse HBM (exprimée en kV) pour le circuit testé selon un critère de défaillance généralement défini par le courant de fuite pour une tension utile donnée. L'interrupteur bascule alors permettant ainsi à la capacité de se décharger à travers la résistance de 1500Ω et le DUT. La forme d'onde du courant de décharge est représentée à la Figure 1-2. Celle-ci ne peut être obtenue qu'en prenant compte dans le circuit l'effet d'inductances parasites fixant le temps de montée. De par la faible impédance du DUT, la décharge HBM est associée à une impulsion de courant dont la durée moyenne est de 300ns avec un temps de montée compris entre 2 et 10ns. La valeur du pic de courant varie entre 1 et 10A, en fonction de la valeur de la tension de pré-charge.

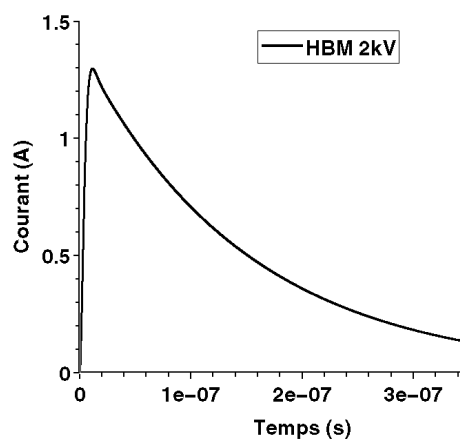


Figure 1-2. Forme d'onde du courant de décharge HBM pour une tension de pré-charge de 2kV

Un schéma plus complet du circuit équivalent HBM tenant compte des composants parasites introduits par l'environnement du DUT c'est-à-dire son boîtier ainsi que l'appareillage de test HBM est représenté à la Figure 1-3. Les capacités C_s , C_t et l'inductance L_p influencent la forme d'onde du courant permettant ainsi de générer des formes d'ondes plus réalistes.

L_p contrôle notamment le temps de montée tandis que C_t représente la capacité parasite associée au testeur. Des normes spécifient les valeurs des composants du schéma électrique ainsi qu'un gabarit de la forme d'onde du courant de décharge dans un court-circuit ou dans une résistance de 500Ω [NORM1, NORM2, NORM3].

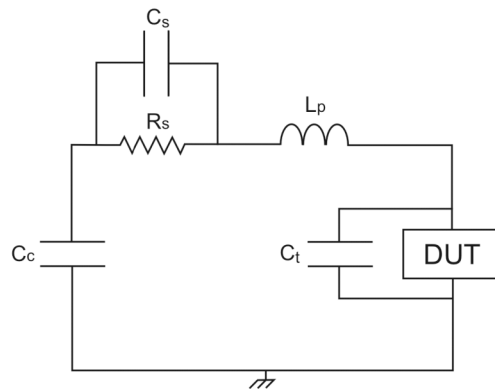


Figure 1-3. Schéma électrique du modèle HBM tenant compte des éléments parasites

Une équation [BERT01] permet d'écrire l'expression simplifiée du courant de décharge dont est extraite la valeur maximale du pic de courant :

$$I_{pic} = \frac{V_{HBM}}{R_{HBM}} \quad (1)$$

Pour les circuits intégrés, une robustesse minimale de 2kV est généralement requise pour permettre leur manipulation sans risque pour les conditions de stockage et d'assemblage. Ces 2kV correspondent alors à 1,33A de courant maximal I_{pic} .

1.1.2.2 Test MM

Le modèle MM fut initialement développé au Japon. C'est une extension du modèle HBM et peut être considéré comme son pire cas [VERH98]. Il correspond à la décharge ESD que produirait une machine ou une personne manipulant un outil métallique (Figure 1-4(a)).

Le schéma électrique complet associé au modèle MM est alors le même que pour le modèle HBM (Figure 1-1(b)) avec des valeurs de C_c et de R_s différentes. En effet, la capacité C_c est de 200pF et la résistance R_s est quasi-nulle. La capacité est préalablement chargée sous quelques centaines de volts puis déchargée seulement à travers le DUT ce qui signifie qu'il n'y a pas de

résistance supplémentaire dans le chemin de décharge (d'où $R_s=0\Omega$). Du fait de cette faible résistance, le stress ESD associé au modèle MM est donc beaucoup plus sévère que celui du modèle HBM pour les mêmes tensions de pré-charge. Pour la même raison, la forme d'onde et le pic de courant sont alors fortement dépendants des valeurs des éléments parasites. La forme d'onde du courant de décharge est oscillatoire (Figure 1-4(b)) avec une fréquence comprise entre 5 et 15MHz. La valeur maximale du courant lors d'une décharge MM peut varier entre 1 et 10A. Des normes rendent compte des valeurs des paramètres et de la forme d'onde du courant dans une résistance de 500Ω et un court-circuit [NORM4, NORM5, NORM6].

Le test MM n'est pas le test le plus répandu à cause de son manque de reproductibilité [AMER92]. Du fait de la faible valeur de résistance série, le test MM est très dépendant du testeur utilisé. De plus, l'inductance du DUT ainsi que celle du boîtier influencent trop le test MM le rendant ainsi difficile à reproduire. C'est pourquoi, les procédures de test sont encore peu standardisées. Les spécifications actuelles exigent des circuits intégrés qu'ils (qui) supportent au minimum des tensions de pré-charges d'amplitude 200V.

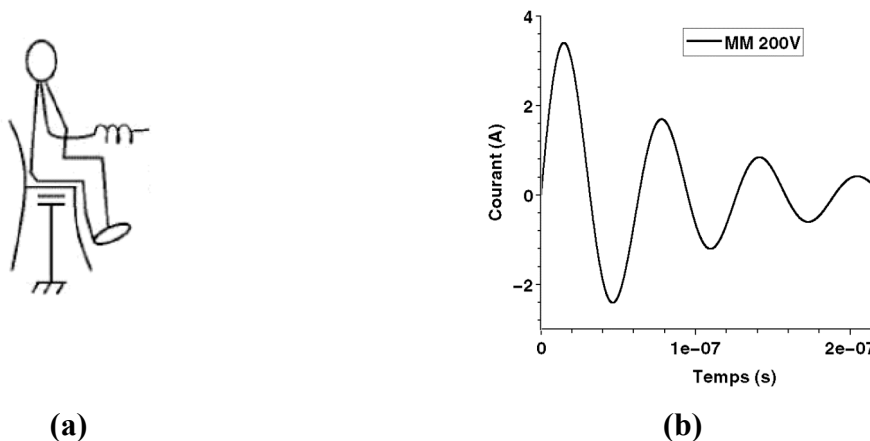


Figure 1-4. Origine d'une décharge de type MM (a) et forme d'onde du courant de décharge MM (b)

1.1.2.3 Test CDM

Le modèle CDM est le plus récent parmi les modèles de courant de décharge [SPEA01]. Il diffère des modèles HBM et MM par le fait que cette fois-ci le composant n'est plus victime d'un stress ESD mais en est à l'origine. Le modèle représente la décharge d'un composant chargé vers la masse par une seule de ses broches. Il devient d'une grande utilité pour les environnements modernes de production dans lesquels l'automatisation se généralise.

Tout d'abord, le DUT va se charger en accumulant des charges positives ou négatives. Le DUT est symbolisé par une simple capacité chargée qui va ensuite se décharger jusqu'à la

masse par le chemin le moins résistif du CI symbolisé par une inductance L_s et une résistance R_s en série. Le schéma électrique qui lui est associé est représenté à la Figure 1-5(a).

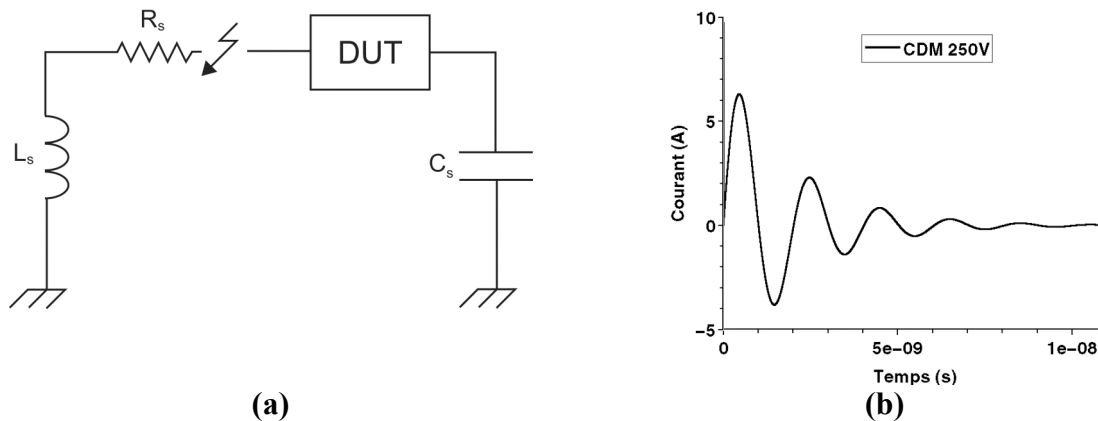


Figure 1-5. Schéma électrique associé au test CDM (a) et sa forme d'onde du courant de décharge (b)

Il est toutefois difficile d'évaluer les valeurs des composants parasites. En effet, le boîtier, la puce, le chemin de décharge ainsi que les conditions de la mesure sont autant de paramètres qui influencent les valeurs de L_s , de R_s et de la capacité C_s associée au DUT. C'est pourquoi la valeur de la capacité peut varier entre 1pF et 100pF, celle de l'inductance entre 2,5nH et 50nH et enfin la résistance a une valeur de quelques Ohms.

Le stress CDM devient alors difficile à mettre en pratique notamment au niveau de sa reproductibilité. La durée d'une décharge CDM est très brève, environ 5ns et peut atteindre des pics de courant de plusieurs dizaines d'ampères [GIES98] avec des temps de montées de quelques dixièmes de nanosecondes (Figure 1-5(b)). Le CDM a été développé afin de comprendre la destruction inattendue de certains oxydes notamment au cœur du circuit, dont l'origine ne pouvait être expliquée par les stress HBM et MM. Il permet notamment de vérifier si la structure de protection est capable de faire face à un pic de courant important ou encore que le déclenchement de la structure est suffisamment rapide pour assurer la protection du circuit.

1.1.2.4 Caractérisation TLP

Les différents tests ESD décrits précédemment (tests HBM, MM et CDM) évaluent le niveau de robustesse de la structure étudiée. Ils déterminent la valeur de tension de pré-charge maximale du test que pourra supporter le dispositif avant que sa fonctionnalité s'en trouve dégradée. Pour autant, la compréhension des mécanismes physiques mis en jeu lors d'un événement ESD n'est pas évidente. Il devient alors difficile de déduire le comportement du composant face à une ESD afin d'en optimiser sa conception géométrique et technologique.

C'est pourquoi Maloney [MALO85] développa en 1985 la caractérisation TLP (Transmission Line Pulsing) appliquée aux dispositifs microélectroniques. Celle-ci permet d'obtenir la courbe I-V du dispositif étudié et d'extraire les paramètres caractéristiques d'une structure de protection ESD indispensables à son optimisation. Cette caractéristique ne peut être mesurée en régime statique car le composant serait prématurément détruit par effet thermique avant d'atteindre les forts niveaux de courant spécifiques aux ESD. La technique du TLP consiste à effectuer des mesures en régime de polarisation quasi-statique, en générant des impulsions de courant d'amplitude variable. La durée d'application de l'impulsion TLP est choisie de façon à corrélérer d'un point de vue énergétique la caractérisation TLP et le stress HBM. En effet, pour la même tension de pré-charge, l'énergie contenue dans une impulsion de courant d'une durée de 100ns correspond à celle contenue dans un stress HBM ayant une forme d'onde en courant présentant un temps de descente de 150ns [PIER88]. En pratique, la méthode TLP utilise la charge et la décharge d'une ligne de transmission pour générer des impulsions rectangulaires comparables en amplitude et en durée à une décharge électrostatique (Figure 1-6).

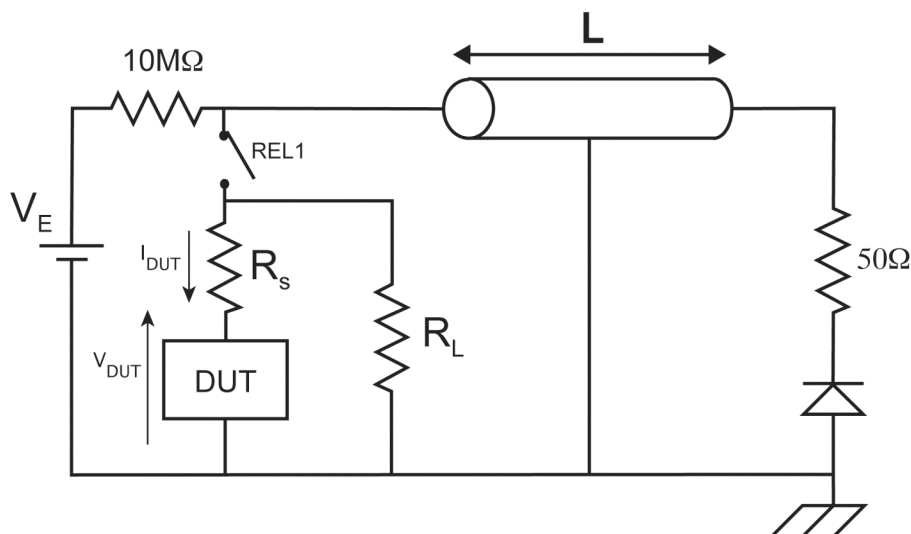


Figure 1-6. Schéma équivalent d'un banc de mesure nécessaire à la caractérisation TLP

La ligne de transmission est un câble coaxial d'impédance caractéristique 50Ω , dont la longueur L fixe la largeur de l'impulsion. Lorsque le relais REL1 est ouvert, la source de tension continue V_E charge la ligne de transmission puis le relais se ferme permettant à la ligne de se décharger sur le DUT. Il est à noter que l'extrémité de la ligne est terminée par l'association en série d'une diode et d'une résistance de 50Ω afin d'éviter les réflexions négatives parasites. La résistance R_s , d'une valeur de 500Ω , permet de transformer la source de tension en générateur de courant. Comme l'impédance d'un dispositif de protection

présente d'importantes variations au cours d'une décharge électrostatique, une résistance R_L garantit alors l'adaptation de la ligne sur 50Ω quelque soit l'impédance du composant. Lorsque la mesure est effectuée sur une protection seule (simple ou multi doigts), il est alors possible d'extraire de sa caractéristique I-V des paramètres électriques critiques comme la tension et le courant de déclenchement V_{T1} et I_{T1} , la tension de maintien V_H pour les structures avec retournement, la résistance à l'état passant ainsi que les valeurs de tension et de courant de défaillance notée respectivement V_{T2} et I_{T2} (Figure 1-7). Ayant accès à ces paramètres, il est alors possible de prévoir si la structure est à même de protéger une application.

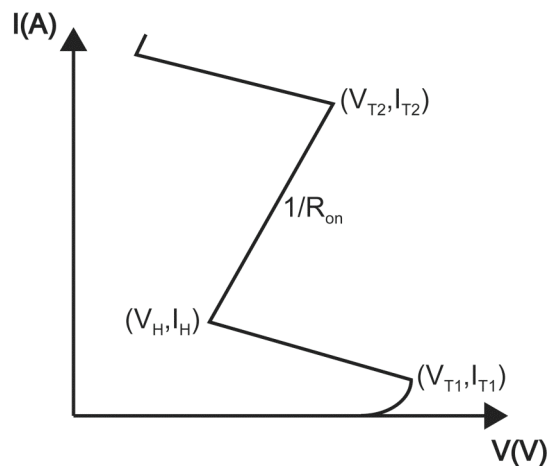


Figure 1-7. Caractéristique TLP d'une structure de protection ESD

1.1.2.5 Caractérisation VF-TLP

La technique de caractérisation VF-TLP [GIES98] [ORYX04] fut développée dans le but de correspondre d'un point de vue énergétique à un stress de type CDM. Le principe est le même que celui du TLP si ce n'est que les impulsions de courant ne sont appliquées que durant quelques nanosecondes (typiquement 5ns) et avec des temps de montée très rapides compris entre 150 et 300ps. Comme pour la technique du TLP, la caractérisation VF-TLP permet de tracer une caractéristique I-V de la structure de protection ESD étudiée et d'en extraire les mêmes paramètres indispensables à son optimisation.

1.1.3 Défaillance

Pour optimiser une structure de protection ESD, il est nécessaire de comprendre l'origine de sa défaillance c'est-à-dire sa localisation ainsi que les mécanismes qui en sont à l'origine. Les techniques d'analyses de défaillance sont des outils indispensables à ce travail. Celles-ci permettent tout d'abord de localiser dans le composant ou dans le circuit la zone dans laquelle

est apparu un défaut. Cette localisation est effectuée grâce à des techniques comme celles des cristaux liquides ou la microscopie à émission lumineuse. Une fois le défaut localisé, le silicium est mis à nu grâce à une étape de « dé-processing » avant d'être analysé. Le « dé-processing » consiste à enlever successivement les niveaux de passivation, d'oxyde inter-niveaux voire de métaux jusqu'à atteindre le silicium. Une observation minutieuse au microscope électronique à balayage permet d'examiner en détail le type de dégâts subit par la structure.

Ce paragraphe présente les trois principaux mécanismes de défaillances pouvant avoir lieu dans un dispositif suite à un stress ESD. Ceux-ci se situent à différents niveaux du composant. En effet, la défaillance peut avoir lieu dans le silicium, dans le diélectrique ou bien encore au niveau de la métallisation.

1.1.3.1 Défaillance dans le silicium

Le principal mécanisme de défaillance des CI se traduit dans la plupart des cas par la destruction au niveau silicium d'une jonction métallurgique. La destruction est alors d'origine thermique. En effet, lors d'un événement ESD, la jonction métallurgique est fortement polarisée en inverse. Celle-ci conduit alors un courant important là où le champ électrique est maximal. Le produit courant/tension font que la puissance à dissiper dans cette zone est maximale pouvant atteindre quelques dizaines voire quelques centaines de watts. Pour un certain niveau de courant appelé courant de défaillance noté I_{T2} (Figure 1-7), on observe une chute de tension aux bornes de la structure. Ce phénomène est appelé second claquage thermique. Il s'ensuit un emballement thermique provoquant la fonte du silicium au niveau de la jonction métallurgique. Lors de la fusion du silicium, les dopants se redistribuent localement. Une fois le stress ESD terminé, la température diminue et le silicium se resolidifie. Cela entraîne dans la structure la création de défauts irréversibles conduisant à une augmentation significative du courant de fuite. La fonctionnalité du composant est alors suffisamment altérée pour que celui-ci soit considéré comme défaillant.

1.1.3.2 Défaillance dans le diélectrique

Afin d'améliorer les performances des circuits intégrés, les dimensions technologiques sont constamment réduites, accompagnant la diminution de l'épaisseur de l'oxyde de grille. Les tensions que peuvent supporter ces oxydes sont donc de plus en plus faibles. La fiabilité de ces composants est par conséquent diminuée. Pour une certaine valeur de tension appliquée sur le diélectrique, on assiste au phénomène de claquage de l'oxyde (les coins, bords et défauts sont les plus vulnérables). Celui-ci est initialisé par le passage d'un courant à travers

l'oxyde entraînant une augmentation de la température dans le diélectrique suivie de sa fusion locale. L'oxyde peut également être détruit si la température du silicium en surface (proche de l'interface silicium/oxyde) atteint la température de fusion de l'oxyde. Dans cette éventualité, l'oxyde fond et se mélange au silicium créant ainsi un court-circuit entre le métal et l'oxyde.

1.1.3.3 Défaillance dans les métaux

La fonte d'un niveau de métal peut avoir différentes origines. La première peut être un mauvais dimensionnement de la largeur de la piste de métal. En effet, si celle-ci est trop étroite pour supporter le fort courant ESD qui la traverse, la piste fond par effet joule. D'autre part, une mauvaise optimisation de la structure aura les mêmes conséquences. Par exemple, pour un composant de type MOS, si la distance entre le bord du contact de drain et celui de la grille n'est pas suffisante, la température émise à la jonction drain/substrat peut être propagée au contact du fait de sa proximité. La température peut devenir suffisamment élevée pour atteindre la température de fusion du contact (800K pour un contact en Aluminium) entraînant la fonte de celui-ci et donnant lieu à un défaut de type « circuit ouvert ».

1.1.3.4 Critère de défaillance

Quelque soit le type de stress ESD (HBM, MM, CDM, TLP ou VF-TLP) appliqué à la structure de protection afin de caractériser sa robustesse, le critère de défaillance le plus utilisé est l'évolution du courant de fuite dans le dispositif (Figure 1-8).

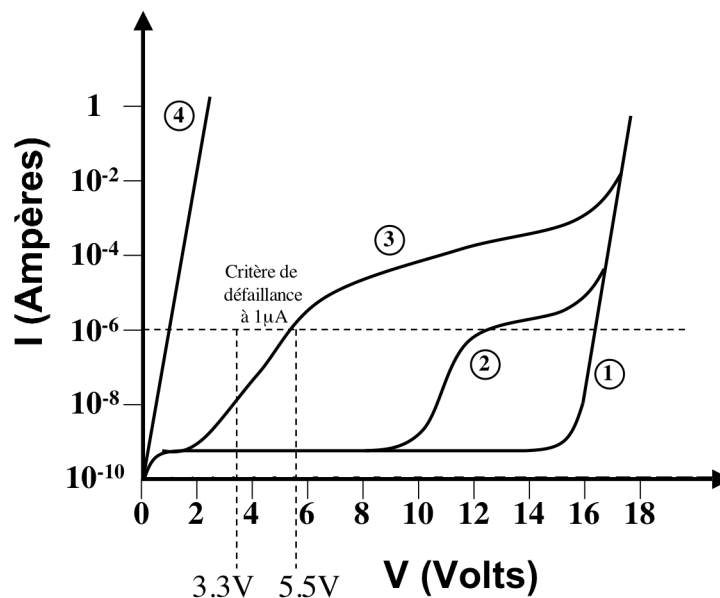


Figure 1-8. Evolution du courant de fuite d'un composant lors de sa caractérisation ESD

Une première mesure du courant de fuite est réalisée avant d'appliquer le premier niveau de stress ESD. Celle-ci servira de référence pour la suite. Ensuite, après chaque stress ESD

d'intensité croissante, le courant de fuite est mesuré et comparé à sa référence. Dès que le courant de fuite excède une certaine limite préalablement fixée, la structure est alors considérée comme défailante. La structure n'a pas toujours besoin d'être physiquement détruite pour être considérée comme défailante. En effet, une élévation trop importante du courant de fuite indique la création de défauts latents dans le dispositif pouvant altérer par la suite la fonctionnalité du dispositif. Ceci a pour conséquence de réduire la fiabilité du composant. La valeur limite du courant de fuite à partir de laquelle la structure est considérée comme défailante est propre à chaque composant et diffère selon les applications. Le niveau de courant de fuite maximal est généralement fixé à $1\mu\text{A}$ pour une valeur de tension correspondant à la spécification du produit pour lequel ce composant est destiné. Afin de minimiser la création de défauts latents et par conséquent d'augmenter la fiabilité des dispositifs de protection ESD, la valeur du courant de fuite maximal a tendance à être abaissée jusqu'à 1nA .

Sur la Figure 1-8, le critère de défaillance est fixé à un courant de $1\mu\text{A}$ pour une tension d'alimentation de 3,3 V ou 5,5V.

- ① représente la mesure du courant de fuite de référence.
- ② la modification du courant de fuite est faible et ce dernier n'a pas atteint le critère de défaillance fixée. La structure n'est donc pas considérée comme défailante.
- ③ l'augmentation du courant de fuite est telle que le critère de défaillance est atteint pour l'alimentation de 3,3V. En revanche pour l'alimentation de 5,5V, la structure est encore considérée comme non défailante bien que le courant de fuite soit proche de $1\mu\text{A}$. Dans ce cas là, la modification du courant de fuite est assez importante pour supposer la présence de défauts latents susceptibles d'altérer son fonctionnement.
- ④ le courant de fuite est largement supérieur à $1\mu\text{A}$ pour toute la gamme de tension. La structure est donc détruite.

1.2 Protection des circuits intégrés

Après avoir présenté le rôle d'une structure de protection et le comportement électrique qui lui est associé, nous expliquerons la stratégie de développement d'une structure de protection ESD puis celle d'un ensemble de structures appelé réseau de protection, nécessaire à la protection d'un CI.

Ce paragraphe présentera ensuite succinctement les structures de protection ESD couramment utilisées. Les mécanismes physiques intervenants dans ces dispositifs lors d'un stress ESD

c'est-à-dire pour les régimes de forts courant, seront décrits en détail pour deux types de composants microélectroniques : la résistance et le transistor bipolaire NPN autopolarisé.

1.2.1 Fonctionnement d'une structure de protection contre les ESD

Le fonctionnement d'une structure de protection contre les ESD est semblable à celui d'un interrupteur. En effet, lorsque le circuit est en régime de fonctionnement normal, la protection doit être « transparente » pour le circuit à protéger et donc présenter une très forte impédance comme celle d'un interrupteur ouvert. Au contraire, lorsqu'une décharge électrostatique est appliquée au circuit, la protection doit se comporter comme un interrupteur fermé dont la faible impédance permet de dériver un maximum de courant de décharge.

L'optimisation d'une structure de protection ESD consiste donc à contrôler sa caractéristique électrique de sorte qu'elle s'approche au mieux de celle de l'interrupteur idéal. Pour cela, une « fenêtre » de conception est définie pour chaque plot du circuit à protéger. L'intégration croissante des CI conduit à un nombre de plots de plus en plus importants à protéger. De ce fait, la protection d'un CI devient un véritable défi en termes de surface de silicium occupée.

1.2.2 Marges de conception :

La Figure 1-9 représente les marges (ou fenêtre) de conception que doit respecter une structure de protection ESD lors de son développement. Celles-ci varient en fonction du circuit à protéger.

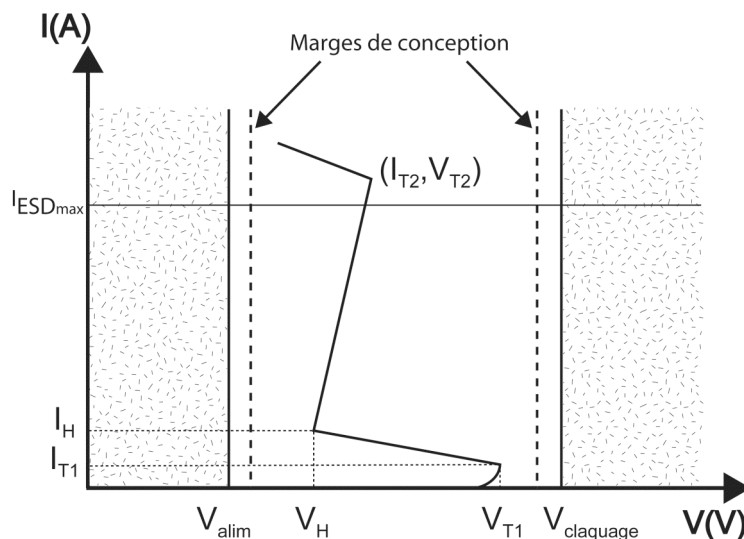


Figure 1-9. Marges de conception d'une structure de protection ESD présentant un « retournement »

La caractéristique électrique I-V du dispositif de protection doit être contenue entre deux valeurs de tensions imposées par le circuit à protéger. La limite basse de tension correspond à la tension d'alimentation du circuit. Elle est notée V_{alim} . Ceci implique que la structure de protection ne doit pas se déclencher pour des valeurs de tension inférieures à V_{alim} afin de ne pas perturber le circuit lorsque celui-ci est en régime de fonctionnement normal. La limite haute de tension quant à elle correspond à la tension maximale supportable par le circuit avant sa destruction. Cette dernière peut correspondre à la tension de claquage d'un oxyde ou d'une jonction et est notée V_{claquage} . Par conséquent, la tension de déclenchement de la structure V_{TI} doit demeurer inférieure à V_{claquage} . La marge de bruit correspondant à des tolérances de 10% sur la limite basse de tension est également représentée sur la Figure 1-9. Pour une structure avec retournement (ou repliement), la tension minimale V_{H} présentée par la structure de protection doit être supérieure à V_{alim} . Une fois repliée, la structure de protection présente une résistance à l'état passant R_{ON} . Une faible valeur de celle-ci permet de rendre la structure plus robuste face à une ESD. Le courant de défaillance I_{T2} correspond au maximum de courant supportable par la structure. Le courant I_{ESDmax} représente la valeur de la robustesse demandée à la structure.

Dans les technologies de puissance intelligente (Smart Power), la gamme de tension à protéger est très large. Il devient donc indispensable d'avoir à sa disposition un large choix de structures de protection avec des tensions de déclenchement et de repliement différentes. Le développement de ces structures ne peut donc plus se faire de manière empirique. Il est nécessaire d'utiliser pour cela des outils de conception et de prédiction permettant de développer ces dispositifs de manière fiable permettant de réduire les cycles de développement et par conséquent les coûts.

1.2.3 Stratégie de protection d'un circuit face aux ESD

La Figure 1-10 présente l'agencement classique des structures de protection dans un circuit intégré. Toutefois, afin de suivre l'évolution des technologies, les dispositifs ESD ainsi que leur configuration dans un circuit doivent être adaptées [POLG99]. De façon générale, les structures de protection doivent se situer autour du cœur du circuit à protéger et au plus près des entrées/sorties du composant ainsi que des bus d'alimentation.

Pour l'étage d'entrée d'un circuit CMOS, ce sont les oxydes de grille à l'entrée des inverseurs qui sont les éléments les plus sensibles à une agression extérieure et notamment aux ESD. Le circuit de protection d'entrée adopté est alors composé de deux étages de protection ESD isolés par une résistance. Ces derniers sont disposés en Π respectivement par rapport à V_{DD} et

V_{SS} . L'étage secondaire de protection se déclenche en premier dès l'apparition d'une ESD limitant ainsi la tension aux bornes du circuit à protéger. L'étage primaire quant à lui absorbe l'énergie de la décharge en déviant la majeure partie du courant de décharge. Le rôle de la résistance entre les deux étages est de limiter le courant dans le second étage et d'élever le potentiel sur l'entrée jusqu'à déclencher la protection du premier étage.

Le deuxième étage se déclenchera si la résistance à l'état passant du premier étage n'est pas suffisante pour maintenir le potentiel sur l'entrée des inverseurs en dessous de la tension de claquage des oxydes.

Avant les années 80, les composants constituant l'étage de sortie devaient assurer eux-mêmes leur protection. Mais l'évolution des technologies et notamment l'introduction de nouveaux procédés technologiques (siliciures, LDD pour Low Doped Drain qui présentent des chemins plus importants) ont rendu indispensable l'ajout d'une structure de protection sur l'étage de sortie. En effet, ce sont maintenant les jonctions drain/substrat polarisées en inverse des transistors MOS qui sont les éléments sensibles aux ESD dans les étages de sortie et qui ont besoin d'être protégés. Lors d'un événement ESD, le circuit de protection doit se déclencher pour éviter que le potentiel sur la sortie n'atteigne la tension de claquage des jonctions à protéger mais seulement au-delà de la tension maximale applicable sur ce plot afin de garantir la transparence des structures de protection en régime de fonctionnement normal du circuit. La résistance entre l'étage de sortie et les éléments de protection permet de limiter la part de courant susceptible d'être déviée vers le circuit.

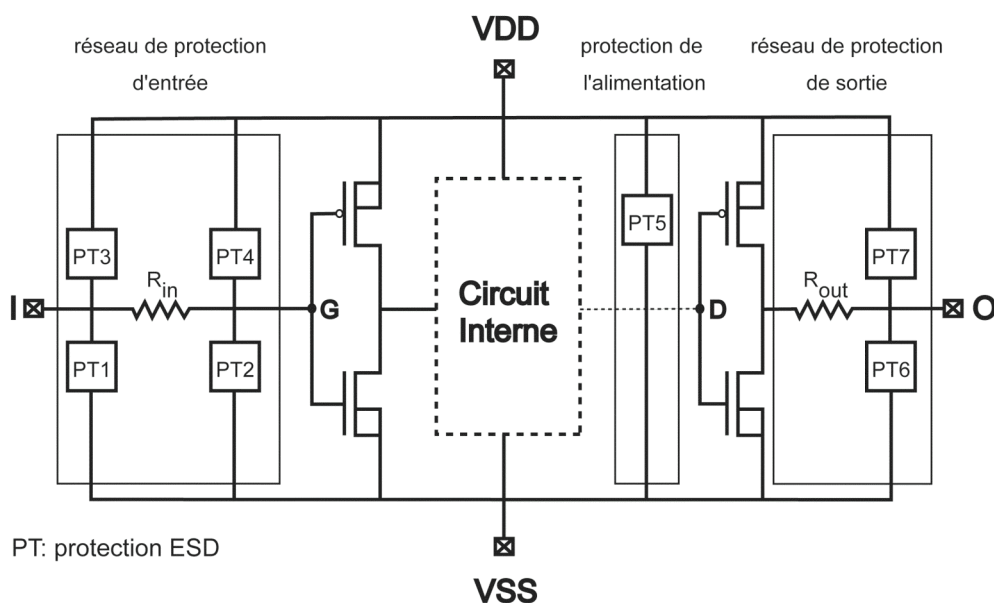


Figure 1-10. Schéma électrique général d'un réseau de protection

Dans les années 90, une structure de protection entre les bus d'alimentation fut ajoutée pour protéger le cœur du circuit face à une ESD, ce qui n'était pas le cas pour d'anciennes technologies. Ce type de protection fut ajouté de manière à protéger le circuit interne d'un éventuel courant apparaissant sur les bus d'alimentation. Ceci est en effet le cas lors d'un stress HBM appliqué entre V_{DD} et V_{SS} .

Un chemin de décharge parallèle à la protection peut également se créer lorsqu'une décharge est appliquée sur le plot d'entrée ou de sortie par rapport aux bus d'alimentation.

Cette stratégie de protection d'un circuit dite classique ou distribuée a l'avantage de fournir des circuits intégrés robustes aux ESD. Malheureusement, du fait de sa configuration, elle occupe une importante surface de silicium et ramène sur chaque plot du circuit des courants de fuite et des capacités parasites susceptibles de dégrader les performances électriques du circuit en régime de fonctionnement normal. Pour remédier à ce problème, d'autres stratégies de protection ont été développées et notamment les protections centralisées. Celles-ci consistent à ajouter des diodes sur les entrées/sorties du circuit de manière à diriger le courant de décharge vers une structure de protection ESD centrale via les bus d'alimentation V_{DD} et V_{SS} . Une résistance est également ajoutée à l'entrée du circuit pour limiter le courant qui pourrait y circuler.

1.2.4 Principaux éléments de protection :

Les éléments de protection contre les ESD sont des dispositifs issus de composants classiques de la microélectronique qui vont être soumis à des stress ESD induisant de forts courants et de fortes tensions. Ils vont donc devoir fonctionner bien au-delà de leur gamme de fonctionnement habituelle. De ce fait, leur comportement et les mécanismes mis en jeu seront différents de ceux qui ont lieu pour leur régime de fonctionnement normal. Il est donc important de comprendre le comportement de ces composants pour les forts courants pour ensuite analyser les phénomènes physiques intervenant dans un circuit intégré lorsque celui-ci subit une décharge électrostatique.

Dans ce paragraphe, nous décrirons seulement en détail le fonctionnement des structures de protection ESD que nous rencontrerons lors des prochains chapitres. Ces structures sont les résistances et les transistors bipolaires NPN lorsqu'ils sont soumis à de forts courants.

1.2.4.1 Résistances :

Associées le plus souvent à d'autres éléments, les résistances sont utilisées dans de nombreux circuits de protection. Leur rôle principal est de limiter le courant de décharge dans le circuit à protéger. Elles sont réalisées soit par des diffusions dans le silicium soit en polysilicium isolé du substrat par de l'oxyde. La constitution des résistances en polysilicium fait qu'elles sont moins favorables que les résistances diffusées à la dissipation de chaleur sauf si leur dessin est bien optimisé [DUVV91]. Pour les résistances diffusées, une diode parasite se crée avec le substrat toutefois il existe certaines techniques permettant de la minimiser [DUVV91].

La Figure 1-11 représente la caractéristique I-V quasi-statique pour une résistance diffusée de type N.

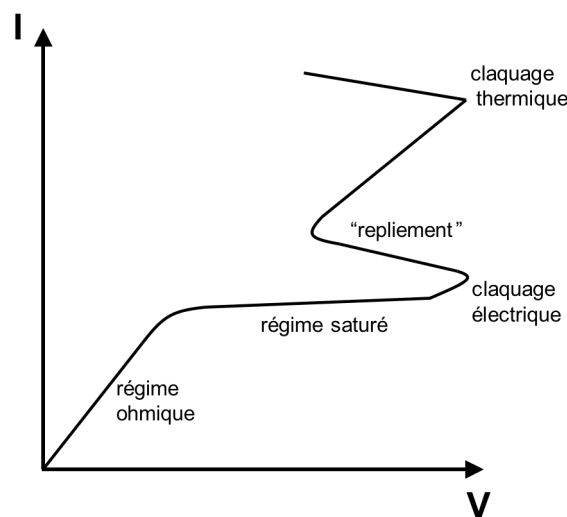


Figure 1-11. Caractéristique I-V pour une résistance diffusée de type N

Quatre régions peuvent être distinguées [MERG01]:

- la région ohmique :

Pour une résistance diffusée de type N et pour de faibles courants, le courant de trous peut être négligé. La densité de courant est alors donnée par :

$$J = J_n = N_D \cdot q \cdot \mu_n \cdot E = N_D \cdot q \cdot v_d \quad (2)$$

où v_d représente la vitesse de dérive des porteurs de type n.

Le courant évolue alors linéairement avec la tension.

- la région de saturation :

L'augmentation de la tension aux bornes de la résistance entraîne celle du champ électrique E associé jusqu'à ce que celui-ci atteigne une valeur pour laquelle la vitesse des porteurs devient

limitée (ou saturée). Cette vitesse limite des porteurs est notée v_s . La relation précédente devient alors :

$$J = J_{sat} = N_D \cdot q \cdot v_s \quad (3)$$

On observe alors sur la caractéristique une saturation du courant malgré l'augmentation de la tension.

- la région de claquage électrique:

Si on continue à augmenter la tension, le champ électrique E atteint sa valeur de claquage par avalanche générant ainsi, par le mécanisme d'ionisation par impact, les deux types de porteurs. Quand le courant engendré par les trous devient suffisamment important pour contribuer au courant total, la tension commence à diminuer et la caractéristique fait apparaître une résistance négative.

- la région de claquage thermique:

La densité intrinsèque augmente avec la génération du second type de porteurs. Les porteurs générés thermiquement peuvent participer à la chute de tension préalablement observée. Pour des niveaux de courants plus importants, l'échauffement est tel que les porteurs thermiques deviennent la composante principale du courant se substituant ainsi aux porteurs générés par avalanche. On assiste alors à une seconde chute de la tension correspondant au claquage thermique. Celui-ci dégrade le composant sous l'effet des températures excessives, et conduit à des phénomènes de « filamentation » et à la fusion du silicium.

1.2.4.2 Diodes :

La diode permet de dériver le courant de décharge vers les bus d'alimentation du circuit.

Polarisée en régime de fonctionnement direct, elle est très favorable à la dissipation du courant de décharge car elle entre en conduction pour de faibles valeurs de tension ($\approx 0,6V$) et présente une faible valeur de résistance à l'état passant de quelques Ohms. Une application peut être la mise en série de plusieurs diodes pour augmenter la tension de déclenchement toutefois cela consomme trop de place en terme d'occupation silicium.

Quand la diode est polarisée en régime de fonctionnement inverse, deux mécanismes peuvent être à l'origine de sa mise en conduction. Ce sont le claquage par avalanche ou l'effet tunnel (encore appelé effet Zener). La faible résistance à l'état passant (R_{ON}) présentée par une diode de protection déclenchée par effet tunnel la rend plus robuste aux ESD en comparaison avec la résistance présentée par une diode déclenchée par avalanche dont la résistance R_{ON} est assez élevée du fait de son importante zone de charge d'espace (ZCE).

1.2.4.3 Transistors bipolaires NPN :

Le transistor bipolaire NPN peut être utilisé comme structure de protection ESD. Dans ce cas, sa base est reliée à son émetteur directement ou bien à travers une résistance externe R_B (Figure 1-12). L'émetteur est référencé à la masse. Si une décharge négative est appliquée sur le collecteur, la jonction collecteur/base est polarisée en direct et le transistor bipolaire a le comportement d'une diode en direct. Ce cas est favorable à la dissipation du courant de décharge à condition que la résistance série de la diode ne soit pas trop élevée.

L'émetteur étant toujours référencé à la masse, si maintenant une décharge positive est appliquée sur le collecteur, il existe deux méthodes de déclenchement de la structure de protection ESD de type transistor bipolaire.

La première utilise le transistor bipolaire NPN dans sa configuration autopolarisée (Figure 1-12(a)) dans laquelle le courant d'avalanche de la jonction collecteur/base polarisée en inverse permet le déclenchement de la structure .

Pour la seconde méthode, le courant est fourni par une source de courant extérieure connectée entre la base et le collecteur (Figure 1-12(b)).

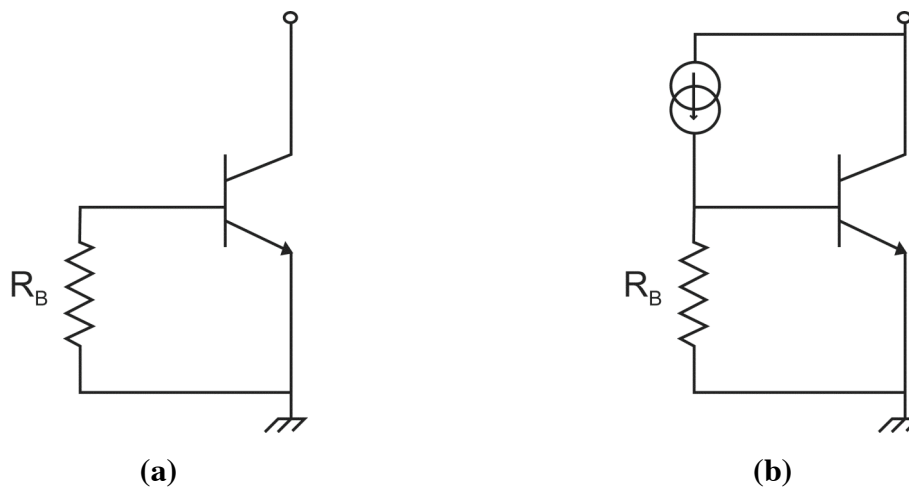


Figure 1-12. Schéma du transistor NPN utilisé comme structure de protection pour deux types de configuration : (a) autopolarisé et (b) polarisé par une source de courant extérieure

Quelle que soit la méthode utilisée pour fournir le courant, la caractéristique électrique I-V du transistor bipolaire NPN est la même (Figure 1-13). Les paramètres caractéristiques de cette courbe ont déjà été expliqués au travers de la Figure 1-7 et de la Figure 1-9.

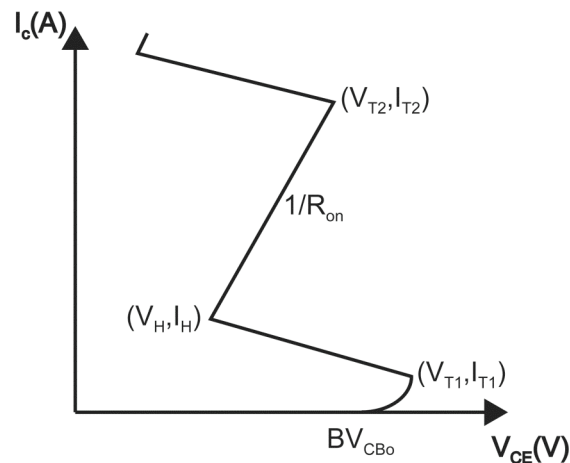


Figure 1-13. Caractéristique I-V du transistor bipolaire NPN

Nous avons choisi d'expliquer les mécanismes physiques intervenants durant une ESD dans un transistor bipolaire NPN autopolarisé à travers la coupe technologique représentée à la Figure 1-14. Ce choix a été motivé par le fait que les structures étudiées lors des prochains chapitres auront quasiment les mêmes couches technologiques si ce n'est l'épitaxie N qui sera alors dopée P. Le transistor bipolaire NPN de la Figure 1-14 a la particularité d'avoir un collecteur constitué de deux diffusions profondes (DPN) reliées entre elles par une couche enterrée (NBL) fortement dopée. Les diffusions profondes sont également reliées par un anneau de diffusion seulement visible dans la troisième dimension. Seule la diffusion de droite est métallisée et sert donc de contact pour le collecteur. Le Puits P représente la base du bipolaire avec deux contacts P^{++} . Celui de droite est métallisé et sert de contact de base tandis que le P^{++} gauche est laissé flottant. La structure n'est pas symétrique par rapport au contact d'émetteur car la distance entre le DPN du collecteur et le contact P^{++} de base est plus courte du côté gauche du dispositif de manière à forcer le claquage de la jonction collecteur/base de ce côté. En effet, lorsqu'une décharge positive est appliquée sur le collecteur du transistor NPN, la jonction collecteur/base est polarisée en inverse. Une charge d'espace est créée soutenant un champ électrique dont l'intensité évolue avec la tension appliquée sur le collecteur jusqu'à atteindre la tension de claquage par avalanche de la jonction notée BV_{CBO} . Une fois atteint ce régime, l'ionisation par impact génère les deux types de porteurs : électrons et trous qui vont être balayés par le fort champ électrique (Figure 1-14 : Avalanche). Les électrons sont repoussés en direction du collecteur (Figure 1-14 : I_c) contribuant ainsi à l'accroissement du courant de décharge I_c . Les trous quant à eux vont être dirigés vers le contact de base en traversant la résistance de base intrinsèque R_B (Figure 1-14 : I_B). En circulant à travers cette résistance, le potentiel de la base va augmenter jusqu'à polariser la

jonction émetteur/base en direct déclenchant ainsi l'initiation de l'effet bipolaire (Figure 1-14 : effet bipolaire, I_C).

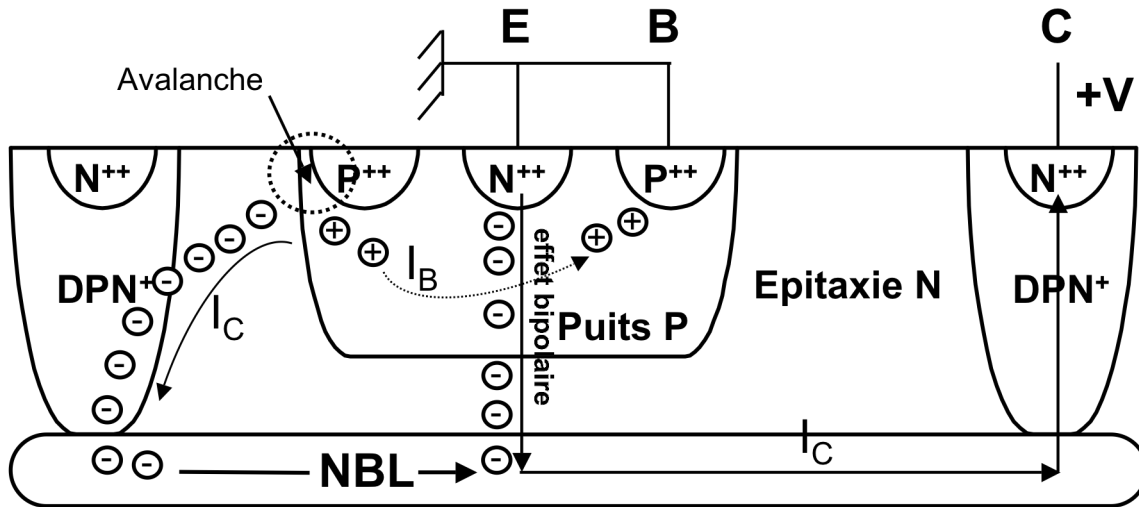


Figure 1-14. Coupe technologique du transistor bipolaire autopolarisé

Le courant de base nécessaire à polariser la jonction émetteur/base en direct se calcule par :

$$I_B = \frac{V_{BE}}{R_B} \quad \text{où } V_{BE} \approx 0,6V \quad (4)$$

Le courant collecteur I_C pour lequel la relation (4) est vérifiée correspond au courant de déclenchement du bipolaire et est noté I_{T1} .

Durant la décharge, le courant de base I_B du bipolaire est relié au courant collecteur I_C par :

$$I_B \propto (M - 1) \cdot I_C \quad (5)$$

Les électrons injectés par l'émetteur vont traverser la zone de charge d'espace de la jonction collecteur/base participant ainsi aux phénomènes de multiplication des porteurs dans cette région. Cette nouvelle source de porteurs participe donc au courant I_C . La première source de porteurs qui provenait de la forte polarisation inverse de la jonction collecteur/base voit alors sa contribution diminuée puisqu'une part de celle-ci est maintenant assurée par les porteurs injectés par l'émetteur dans la ZCE. Les porteurs dans la ZCE étant alors plus nombreux, il n'est donc plus nécessaire d'assurer le même coefficient de multiplication par avalanche M pour obtenir le même courant I_C . Par conséquent, la valeur de M diminue contrôlée par la diminution de la tension V_{CB} aux bornes de la jonction collecteur/base. En effet, le coefficient M est relié à V_{CB} par la formule empirique de Miller [MILL57].

$$M = \frac{1}{1 - \left(\frac{V_{CB}}{BV_{CB0}} \right)^n} \quad \text{où } 2 < n < 6 \quad (6)$$

En insérant la Relation (6) dans la Relation (5), on montre que V_{CB} diminue jusqu'à une tension de maintien notée V_H qui est la tension minimale à assurer pour maintenir l'effet bipolaire. La valeur de la tension de maintien V_H est alors donnée par la relation :

$$V_H = \frac{BV_{CB0}}{(1 + \beta)^{1/m}} \quad (7)$$

V_H est fonction du gain en courant et du coefficient de multiplication par avalanche M mais aussi de la résistance de base R_B .

Pour des courants plus importants, la conductivité de la base est fortement modulée. En effet, elle devient plus conductrice que pour les faibles courants et donc la résistance de base R_B diminue. Une autre conséquence des forts courants est la diminution du gain en courant β . Afin de maintenir l'effet bipolaire, il est donc nécessaire que I_B augmente via I_C . En régime de fort courant, l'augmentation du courant I_C ne peut être assuré que par une augmentation de M via V_{CB} . Pour toute augmentation du courant I_C correspond donc une augmentation de V_{CB} . Pour une structure de protection ESD de type bipolaire, la résistance à l'état passant notée R_{ON} correspond à la somme des résistances d'émetteur, de collecteur et celle de leur contact respectif.

Pour un très fort courant de décharge noté I_{T2} , on observe un second repliement de la caractéristique, initiateur de la défaillance de la structure. En effet pour un tel niveau de courant, la température est tellement élevée que la densité de porteurs intrinsèques n_i qui est fortement dépendante de cette dernière devient supérieure à celle des porteurs générés électriquement. La contribution au courant des porteurs générés thermiquement est maintenant supérieure à celle des porteurs générés électriquement. Par conséquent, la tension V_{CB} diminue puisqu'elle n'a plus à assurer le même niveau de génération de porteurs électriques. Cela conduit rapidement à un échauffement si élevé dans la structure que celle-ci est détruite. Les niveaux de température atteints sont de l'ordre de la température de fusion du silicium (1683K) ou de celle des contacts utilisés (800K pour l'Aluminium).

1.2.4.4 *Transistors NMOS :*

Les transistors NMOS actuellement utilisés dans les circuits intégrés ne sont pas conçus pour supporter plusieurs ampères de courant. Leur fragilité face aux ESD est notamment due à l'évolution des technologies avec l'introduction des siliciures et des drains faiblement dopés ainsi qu'aux oxydes de grilles de plus en plus minces.

Utilisé en tant que structure de protection, le transistor NMOS a sa grille, sa source et son substrat court-circuités à la masse.

Lorsqu'une tension négative est appliquée sur le drain, la jonction drain/substrat se comporte comme une diode polarisée en direct et devient donc favorable à la dissipation de chaleur.

Pour une tension positive appliquée sur le drain, la jonction drain/substrat est polarisée en inverse. Il s'ensuit alors le déclenchement du transistor bipolaire NPN latéral formé par la source (émetteur), le substrat (base) et le drain (collecteur). La caractéristique I-V à fort courant est identique à celle du transistor bipolaire NPN autopolarisé (Figure 1-13).

1.2.4.5 Thyristors :

Les thyristors ou SCRs (Silicon Controlled Rectifiers) sont très utilisés dans les applications de commutation de puissance pour leur capacité à pouvoir présenter successivement une très forte impédance puis une très faible. Une fois déclenché, le thyristor présente une faible résistance à l'état passant R_{ON} le rendant très robuste face à une ESD. Toutefois, le thyristor peut être amené à se déclencher de manière intempestive alors que le circuit à protéger est en régime de fonctionnement normal. De ce fait, il est souvent écarté dans les applications de type sécuritaire. Pour remédier à ce problème, deux solutions sont envisageables. La première consiste à augmenter et garantir la tension de maintien V_H du thyristor au-delà de la tension maximale d'alimentation du circuit. La deuxième solution est d'augmenter son courant de maintien I_H au-delà du courant maximal que peut fournir l'alimentation du circuit [NOTE97][KERC98].

1.3 Simulation de structures ESD

Le développement d'une structure de protection contre les ESD (un seul composant) ou d'un réseau de protection ESD (plusieurs composants) a longtemps été développé de manière empirique (Figure 1-15).

Cette approche « traditionnelle » consiste à partir d'un réseau de protection ayant déjà assuré avec succès la protection de certaines applications. Ce circuit subit alors une modification de son dessin technologique dans le but de protéger une nouvelle application. Cette modification suit des règles d'optimisation spécifiques aux ESD basées essentiellement sur l'expérience. Malheureusement, elles ne garantissent pas systématiquement l'efficacité du nouveau circuit de protection dès la première réalisation silicium. En effet, une fois réalisé, le circuit de protection est testé électriquement pour les conditions de l'ESD et dans la majorité des cas, l'objectif de protection n'est pas atteint. Il s'ensuit alors une analyse de défaillance afin d'en comprendre l'origine et pouvoir ainsi y remédier. La boucle de développement du circuit de protection, modifications du dessin technologique/réalisations silicium/tests

électriques/analyses de défaillance, est alors recommencée jusqu'à ce que la protection assure correctement son rôle. Ce type de développement a deux inconvénients majeurs. Le premier est que le temps de cycle entre l'obtention d'un circuit de protection optimisé et sa mise sur le marché est trop long en comparaison du cycle de développement des technologies modernes. Le second inconvénient est que le coût d'obtention de ce circuit est beaucoup trop élevé car il nécessite un nombre souvent important d'itérations sur silicium.

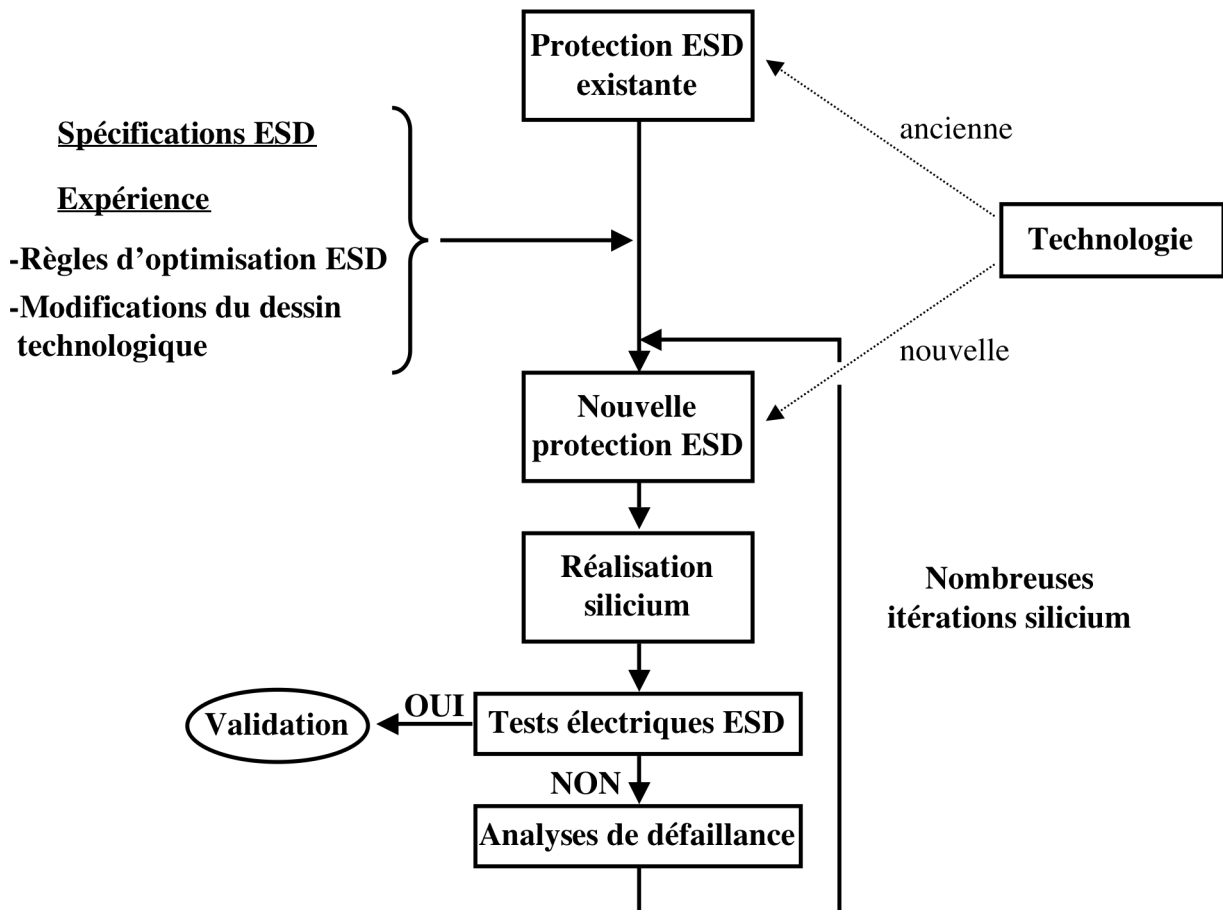


Figure 1-15. Etapes du développement traditionnel d'une protection ESD

De nos jours, avec l'évolution des technologies comprenant de nouveaux procédés technologiques et la diminution des dimensions lithographiques, les problèmes liés aux ESD dans les CI augmentent. Le type de développement « traditionnel » des circuits de protection se révèle alors obsolète et de ce fait non compétitif. Il est donc nécessaire de développer des structures de protection ESD avec la même réactivité que celle des technologies et avec un coût de développement le plus faible possible. Une des solutions consiste à utiliser la simulation en tant qu'outil de prédiction dans le processus de développement des structures de

protection. En effet, la simulation est devenue indispensable car elle permet de détecter et de remédier à de futurs problèmes ESD qui pourraient subvenir dans la structure de protection développée sans passer par une étape silicium.

Un processus de développement moderne des dispositifs de protections ESD est représenté à la Figure 1-16.

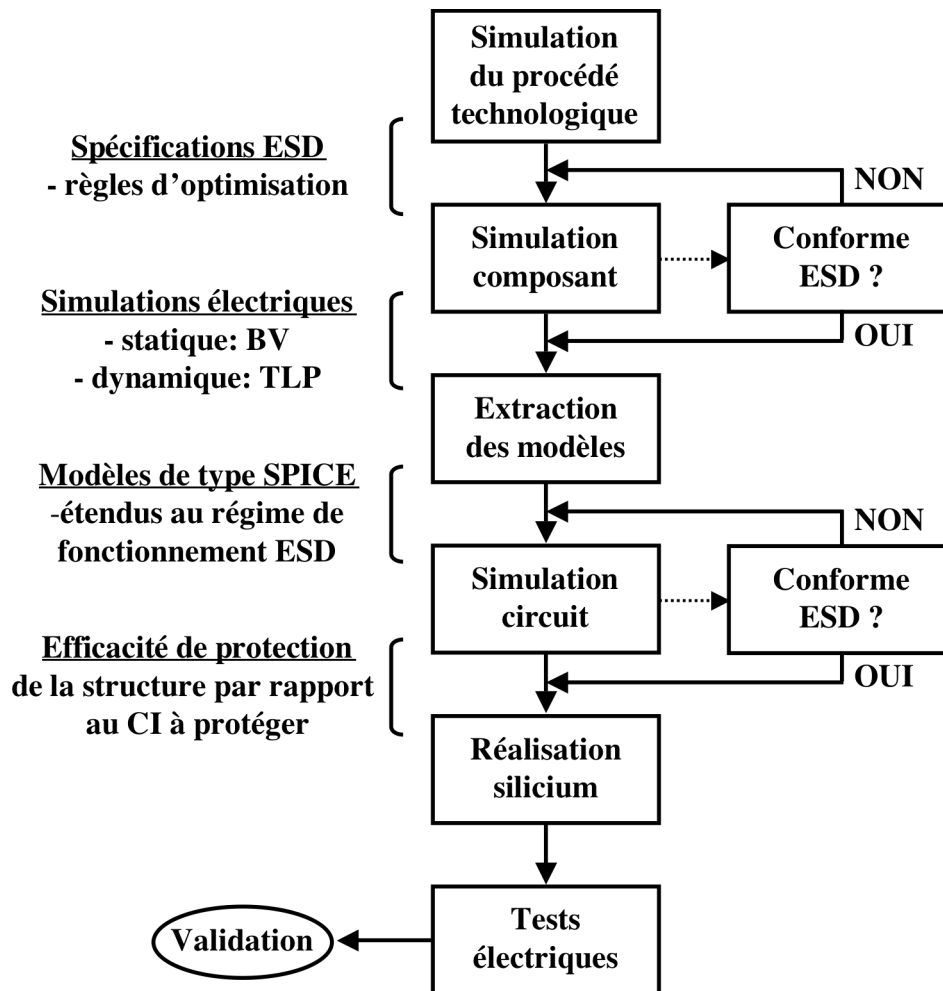


Figure 1-16. Etapes du développement des protections ESD grâce aux outils de simulation

La Figure 1-16 montre comment les outils de simulation interviennent dans de nombreuses étapes du flot de conception permettant ainsi de réduire significativement les réalisations silicium. Les logiciels de simulation existants permettent soit de réaliser de la simulation au niveau du circuit soit de la simulation physique au niveau du composant. Certains encore font de la simulation mixte c'est-à-dire qu'ils permettent de coupler de la simulation composant avec celle du circuit.

1.3.1 Prédiction de la robustesse ESD par la simulation

Lorsqu'on veut protéger un CI contre des décharges électrostatiques, on lui associe un réseau de protection composé d'éléments de protection ESD. En fonction de l'application à protéger, les structures de protection doivent respecter certaines marges de conception. Les paramètres électriques critiques caractéristiques de la structure de protection doivent être compris dans les marges de conception. Ces paramètres sont extraits de la caractéristique quasi-statique I-V obtenue lors d'un stress TLP.

Pour réduire le temps du cycle de développement d'une structure de protection ainsi que son coût, les outils de simulation sont de plus en plus utilisés en tant qu'outil de prédiction. Ils permettent notamment de simuler la caractéristique TLP d'un composant ESD et d'en extraire les paramètres électriques. Les tensions de claquage BV_{CB0} , de déclenchement V_{T1} et de maintien V_H sont calculées avec une assez bonne précision. En revanche, le paramètre I_{T2} correspondant au courant de défaillance de la structure reste encore difficile à estimer en simulation. Ceci pour deux raisons. La première raison est liée à la complexité du phénomène lui-même et à ces mécanismes conduisant à la destruction thermique du composant. La seconde provient du simulateur et de ses limites comme par exemple la validité en température des modèles physiques.

Dans les paragraphes suivants, nous expliquerons les mécanismes du second claquage thermique conduisant à la défaillance de la structure de protection. Ensuite nous nous intéresserons à la simulation circuit et la simulation physique du composant. Nous verrons quelles sont les méthodologies existantes dans la littérature pour prédire avec ces outils de simulation la robustesse ESD d'un dispositif et d'en évaluer la valeur du courant de défaillance I_{T2} .

1.3.1.1 *Phénomène de second claquage thermique*

1.3.1.1.a *Définition et origines*

Le phénomène de claquage thermique pour un transistor bipolaire classique (c'est-à-dire non optimisé pour servir de protection ESD) limite le fonctionnement normal de ce dernier puisqu'il correspond au processus conduisant à la destruction de ce dernier. Cette destruction provient de la focalisation (ou filamentation) du courant [PONT72] [OETG00]. En effet, pour des régimes de forts courants, la puissance dissipée dans un dispositif conduit à une augmentation locale de la température. Celle-ci s'élève jusqu'à ce que la concentration intrinsèque des porteurs devienne supérieure à la concentration des porteurs injectés (par avalanche) et se substitue à cette dernière pour assurer le passage du courant. Ceci conduit à

une chute brutale de la tension aux bornes du dispositif et à la concentration du courant dans une région localisée. Une fois ce niveau atteint, le dispositif présente une résistance négative. Dans ce mode de fonctionnement, la tension et le courant sont instables. La condition pour atteindre un état stable est alors la formation d'un micro-plasma par focalisation du courant dans un filament. Une fois que celui-ci s'est formé, la densité de courant dans le filament est tellement élevée qu'il s'ensuit un emballement thermique dans le composant durant lequel la température interne atteindra rapidement celle de la fusion du matériau semi-conducteur dans la région localisée du filament. Un changement de phase a alors lieu et les propriétés du dispositif sont irréversiblement altérées. Ce claquage thermique est appelé second claquage en distinction avec le claquage électrique par avalanche qui a lieu pour les faibles niveaux de courant. Les propriétés électriques telles que le courant de fuite de la structure ainsi que sa caractéristique I-V sont alors sévèrement modifiés après le second claquage. De ce fait, l'initialisation du second claquage correspond au seuil de défaillance d'un dispositif défini par le courant de défaillance I_{T2} .

Par la compréhension des mécanismes responsables du phénomène de claquage thermique, il devient possible de modéliser le comportement ESD des dispositifs de protection de manière à modifier leur dessin technologique pour les rendre plus robuste à une ESD.

Deux types d'instabilité sont à l'origine du claquage thermique : l'instabilité d'origine thermique et l'instabilité d'origine électrique.

L'instabilité de type thermique provient de la distribution non-uniforme de température dans le dispositif ce qui a pour conséquence de concentrer le courant dans les régions où la température est la plus élevée [LETU69]. Cette augmentation locale de la densité de courant va continuer à échauffer cette zone confinant d'autant plus le courant pour finalement conduire au second claquage thermique.

Le second type d'instabilité est quant à lui d'origine électrique. Celui-ci apparaît du fait de la présence des fortes densités de courant mises en jeu dans le composant. Ce phénomène est appelé second claquage électrique [GRUT66] car comme pour le second claquage thermique, on assiste à une diminution brutale de la tension. Celle-ci provient du fait que pour les fortes densités de courant, la densité des porteurs libres qui assurent le passage du courant dans la zone de charge d'espace (pour la jonction collecteur-base d'un transistor NPN polarisée en inverse) ne peut plus être négligée par rapport à celle des impuretés ionisées. Ceci a pour conséquence de modifier la répartition du champ électrique en déplaçant le maximum de champ électrique de la jonction métallurgique collecteur-base à une jonction délocalisée située dans le collecteur dont le dopage est fortement graduel. Le maximum de champ

électrique est alors localisé à la transition du collecteur faiblement et fortement dopé. La tenue en tension du transistor est alors faible car la tension de claquage de la jonction délocalisée diminue rapidement avec l'augmentation de la densité de courant limitant ainsi le domaine d'utilisation du dispositif. Par ailleurs, la largeur effective de la base se voit augmenter.

1.3.1.1.b Optimisation pour un composant ESD

Pour les transistors bipolaires utilisés en tant que protection contre les ESD, il devient alors possible de faire fonctionner ces derniers au-delà des limites de fonctionnement qu'imposaient les phénomènes décrits ci-dessus pour un transistor bipolaire classique. En effet, pour un composant de protection ESD de type transistor bipolaire, les phénomènes d'élargissement de la base et la modulation de la tension de claquage de la jonction collecteur-base sont couplés au phénomène de multiplication par avalanche nécessaire à l'auto-polarisation de dispositifs ESD. Ce phénomène d'avalanche et notamment sa diminution avec l'augmentation de la température permet de stabiliser thermiquement la jonction collecteur-base permettant ainsi d'éviter un emballement thermique dans les points chauds en régulant la densité de courant des régions les plus chaudes vers les plus froides [TREM04]. De plus, l'élargissement de la région de base semble être une bonne solution pour stabiliser électriquement et thermiquement le composant retardant ainsi l'initialisation locale d'un second claquage à l'origine de la défaillance [TREM04]. En effet, bien que ce phénomène soit préjudiciable pour un transistor bipolaire utilisé dans son régime normal de fonctionnement (en statique), il peut devenir bénéfique durant la courte durée d'un stress ESD en présentant une plus faible tension de maintien favorable à une meilleure dissipation en puissance.

1.3.1.2 Simulation circuit de type SPICE

Les phénomènes ESD doivent être pris en compte par la simulation dès la phase de conception des CI. Pour cela, les bibliothèques des structures ESD doivent fournir un modèle électrique de type SPICE propre à chaque composant. Ces modèles permettent d'obtenir la simulation d'une décharge électrostatique sur l'ensemble du circuit muni de ses structures de protection. Cela permet de contrôler notamment si un dispositif de protection contre les ESD opère bien dans les limites de courant et tension fixées par le circuit interne à protéger pour en éviter une éventuelle destruction. Des stress ESD simulés de différents types sont appliqués à chacune de ces I/O et on vérifie que la tension à chaque nœud du circuit ainsi que le courant dans ses branches ne dépassent pas les valeurs limites acceptables par le circuit comme par

exemple la valeur de la tension de claquage d'un oxyde. Ceci est une garantie que le CI a bien survécu au stress ESD et donc que la stratégie de protection a bien joué son rôle.

Les éléments utilisés comme dispositifs de protection contre les ESD sont des composants classiques. Leur dessin technologique suit des règles spécifiques au régime de fort courant caractéristique d'un stress ESD. Toutefois, les modèles SPICE standards ne décrivent pas le fonctionnement des composants lorsqu'ils sont soumis à une décharge électrostatique. Ces modèles doivent donc être étendus aux phénomènes physiques caractéristiques de ce régime de fonctionnement. Il faut notamment ajouter dans ces modèles la description du régime de claquage par avalanche d'une jonction, les caractéristiques à résistance négative et la modulation de conductivité.

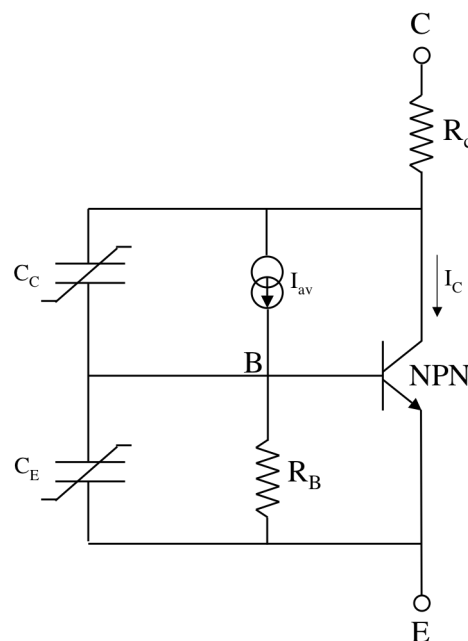


Figure 1-17. Schéma électrique du transistor bipolaire NPN autopolarisé

A titre d'illustration, un schéma électrique du modèle compact du transistor NPN autopolarisé est représenté à la Figure 1-17 [STRI98]. Les modèles d'Ebers-Moll décrivant les modèles SPICE standards du transistor bipolaire NPN ne sont pas suffisants pour décrire son comportement lorsque celui-ci subit une décharge électrostatique car certains phénomènes physiques caractéristiques ne sont pas pris en compte. La Figure 1-17 montre quels éléments sont ajoutés au modèle SPICE standard du transistor bipolaire NPN afin de tenir compte de ces mécanismes. La source de courant I_{av} placée entre le collecteur et la base simule le courant provenant du claquage par avalanche de la jonction collecteur/base. La résistance R_B entre la base et l'émetteur polarise la jonction base/émetteur déclenchant ainsi le transistor bipolaire.

La résistance R_c est celle du collecteur. Enfin C_C et C_E représentent respectivement les capacités non linéaires des jonctions collecteur/base et base/émetteur. L'avantage d'une telle méthodologie consistant à ajouter des éléments au modèle classique d'Ebers-Moll limite la caractérisation du composant à la seule extraction des paramètres correspondants au régime de fort courant.

Un modèle électrique encore plus complet du transistor NPN a été développé pendant la thèse de Géraldine Bertrand [BERT01] (Figure 1-18).

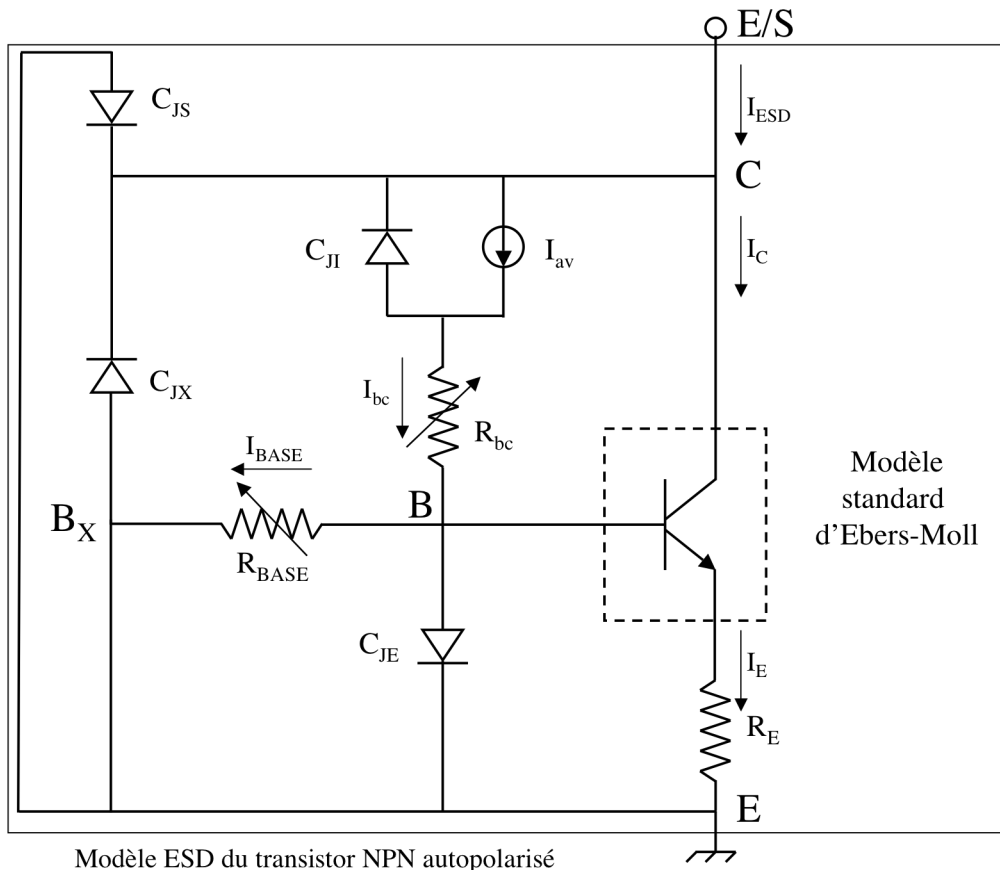


Figure 1-18. Schéma électrique du transistor bipolaire NPN autopolarisé

La résistance de base est cette fois-ci décomposée en deux parties. L'une représente la résistance de base intrinsèque R_{BASE} tandis que l'autre modélise la résistance de base extrinsèque R_{bc} . Sur la Figure 1-18, les capacités non linéaires sont modélisées par des diodes. C_{JS} et C_{JI} ont été ajoutées pour mieux prendre en compte les capacités aux jonctions collecteur/substrat et collecteur/base. La validation du modèle électrique du transistor bipolaire NPN s'effectue en deux étapes. La première consiste à vérifier et valider ses performances lorsqu'il est simulé indépendamment du CI à protéger. Ensuite le modèle du

transistor bipolaire NPN est validé dans le cas où il protège une application, par exemple, une entrée logique CMOS.

Les paramètres caractéristiques d'une structure de protection tels que sa tension de déclenchement V_{T1} et sa tension de repliement V_H sont relativement bien modélisés par les modèles SPICE étendus au régime de fonctionnement ESD.

En revanche, il existe peu de modèles permettant de décrire le comportement du second claquage thermique. Ceci est dû à la complexité même du phénomène de second claquage durant lequel des forts niveaux de courant et de température sont mis en jeu. Pour reproduire ce type de phénomène grâce à de la simulation circuit, il faut avoir à sa disposition des modèles tenant compte de températures très élevées. Toutefois, des modèles précis en température dans les domaines de température et de temps pour l'ESD ne sont pas triviaux à développer pour réaliser des simulations suffisamment précises. Il est difficile de développer de tels modèles du fait de la complexité de la mesure à des températures aussi élevées. De plus, les modèles développés ne permettent pas de déduire une valeur du courant de défaillance I_{T2} .

Dans la littérature, Amerasekara [AMER91] et Diaz [DIAZ93] sont les principaux auteurs à avoir modélisé les mécanismes menant à la destruction d'un dispositif ESD et tenant compte du second claquage.

Amerasekara a montré que comme le second claquage était un mécanisme d'origine thermique, ses conditions d'obtention devaient être déterminées à partir de la solution de l'équation du flux de chaleur. Pour un transistor NMOS classique en régime d'avalanche, la région dans laquelle la chaleur est dissipée est la jonction sur laquelle est appliquée le stress ESD (Figure 1-19). Cette région est approximée par un parallélépipède rectangle dont les dimensions a , b et c (respectivement la largeur, la longueur et la profondeur) sont prises par rapport aux directions du canal. Amerasekara suppose que le courant est uniformément réparti tout le long de la structure jusqu'à l'apparition du second claquage. C'est dans le volume du parallélépipède rectangle qu'est résolue l'équation de la chaleur permettant ainsi de modéliser la défaillance du composant par second claquage thermique au travers de la relation de la puissance dissipée lors de la défaillance en fonction du temps d'application du stress ESD : $P(t)$ (Figure 1-20).

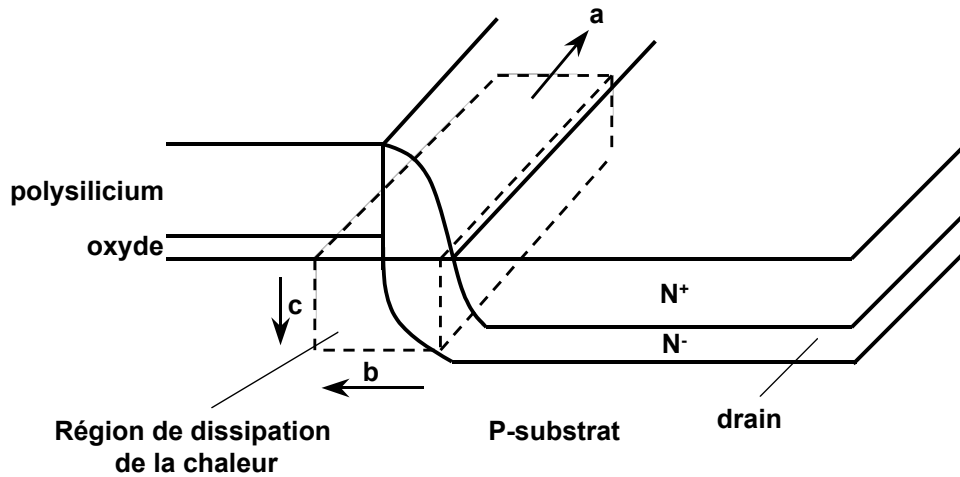


Figure 1-19. Approximation de la région de dissipation de chaleur pour la jonction polarisée en inverse d'un NMOS

En fonction de la durée d'application du stress ESD, la puissance dissipée P ne varie pas de la même façon (Figure 1-20). Les temps t_b et t_a étant évalués à 0,1ns et 1000ns, et comme la durée classique d'une impulsion ESD étant de 150ns, la puissance P associée varie en $1/\log(t)$. Ce modèle analytique corrèle bien avec la mesure de P correspondant au produit $I_{T2} \cdot V_{T2}$. Le modèle analytique de la puissance dissipée est alors capable de prédire si les modifications du dessin technologique (largeur du canal, profil de dopage de la jonction drain/substrat) apportées à un dispositif rendent celui-ci plus ou moins robuste à une décharge électrostatique. C'est donc la puissance dissipée dans la jonction où est appliqué le stress ESD qui sert de critère à l'évaluation du second claquage thermique.

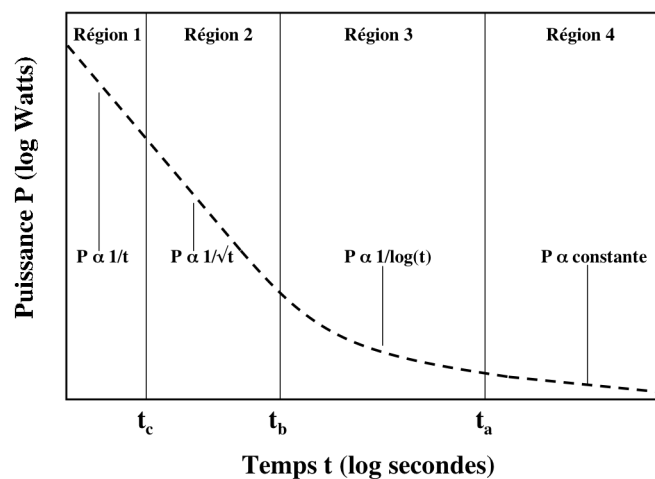


Figure 1-20. Puissance de défaillance en fonction du temps d'application du stress ESD

Rappelons que la défaillance d'une structure ESD est d'origine thermique faisant intervenir des valeurs de température proches de celle de la fusion du silicium. Avant l'apparition du second claquage, le courant n'est souvent plus réparti uniformément le long de la structure.

On assiste alors à une focalisation du courant initiateur d'un emballement thermique. Ceci rend donc la prédiction du second claquage difficile car pour un certain niveau de courant, la géométrie du volume de la puissance dissipée change. L'estimation de cette géométrie est difficile et une mauvaise évaluation conduit à des résultats pour I_{T2} complètement différents. Par conséquent, I_{T2} n'est pas prédictible avec précision par ce genre de simulation.

Les simulations de type SPICE ou utilisant une approche analytique donnent des tendances sur la robustesse des protections ESD mais ne permettent pas d'obtenir la précision nécessaire à leur optimisation. En outre, elles ne donnent pas accès aux grandeurs physiques nécessaires à la compréhension des mécanismes qui gèrent le comportement de la protection soumise à un stress ESD. C'est par conséquent au niveau de la simulation physique (outils TCAD) que nous avons concentré notre étude afin de prédire par la simulation la robustesse d'un composant de protection ESD.

1.3.1.3 Simulation composant

Pour développer les modèles physiques d'une structure de protection ESD décrivant au mieux son comportement lors d'une décharge électrostatique et qui seront ajoutés aux modèles de type SPICE standards, il est nécessaire de bien comprendre les mécanismes physiques mis en jeu dans le composant lors du régime de fonctionnement à fort courant. Pour cela, les simulateurs physiques s'avèrent d'une aide précieuse. Parmi les simulateurs physiques existants, nous pouvons citer ISE, SILVACO, MEDICI, DAVINCI. Pour nos travaux, nous avons exclusivement utilisé le simulateur de la société ISE de manière à être cohérent avec notre partenaire industriel qui avait préalablement fait ce choix.

Dans ce paragraphe, nous présenterons tout d'abord l'outil de simulation physique de composant, puis nous verrons comment l'utilisation de ce type de simulateur peut prédire la robustesse de structures de protection ESD.

1.3.1.3.a Le simulateur de composant ISE

- **Modèles électrothermiques**

ISE [ISE] réalise la simulation numérique multidimensionnelle (1D, 2D, 3D) de composants. Lorsqu'une structure de protection subit une ESD, cela engendre de forts courants accompagnés d'une élévation importante de la température dans les régions où règne un fort

champ électrique. Les modèles utilisés pour la simulation doivent donc coupler les comportements électriques et thermiques de la structure étudiée en tenant compte de la température locale du réseau cristallin. Le simulateur physique permet de coupler l'équation de la chaleur aux équations physiques des semi-conducteurs dans des modèles électrothermiques. Celles-ci sont :

- l'équation de Poisson exprimée par la relation suivante :

$$\text{div}(\overrightarrow{\text{grad}}(\Psi)) = -\frac{q}{\varepsilon} \cdot (p - n + N_{D^+} - N_{A^-}) \quad (8)$$

avec: ε , la permittivité du silicium

Ψ , le potentiel électrostatique

q , la charge élémentaire électrique des porteurs

n et p , les concentrations respectives d'électrons et de trous

N_{D^+} et N_{A^-} , les concentrations respectives d'atomes donneurs et d'accepteurs ionisés

- l'équation de continuité des porteurs exprimée par la relation suivante :

$$\text{pour les électrons : } \text{div}(\overrightarrow{J}_n) = q \cdot R + q \cdot \frac{\partial n}{\partial t} \quad (9)$$

$$\text{pour les trous : } -\text{div}(\overrightarrow{J}_p) = q \cdot R + q \cdot \frac{\partial p}{\partial t} \quad (10)$$

avec : J_n et J_p , les densités respectives de courant d'électrons et de trous

R , le taux net de recombinaison

Le modèle thermodynamique par défaut permettant de prendre en compte la distribution de la température dans la structure due à un échauffement est donné par l'équation suivante:

$$c \frac{\partial T}{\partial t} - \nabla \cdot \kappa \nabla T = -\nabla \cdot \left((P_n T + \phi_n) J_n + (P_p T + \phi_p) J_p \right) \quad (11)$$

avec : κ , la conductivité thermique

c , la capacité thermique du silicium par unité de volume

P_n, P_p , les puissances thermoélectriques absolues associées aux électrons et aux trous

ϕ_n, ϕ_p , les potentiels (quasi-Fermi) des électrons et des trous

• Description de la structure

Pour une simulation 2D, la structure est décrite selon une coupe transversale, par ses régions de silicium et d'oxyde, ses profils de dopage et ses électrodes. Cette description peut être

réalisée de différentes façons. La première consiste à effectuer la simulation du procédé technologique dans lequel le dispositif est réalisé. Une autre façon de décrire un dispositif et notamment ses profils de dopage est de manière analytique ou bien en insérant directement les valeurs issues de la mesure. Une fois les profils de dopage obtenus, il est possible d'ajuster certains paramètres du modèle analytique afin de les calibrer par rapport à la mesure. Cette étape permet d'obtenir une description très précise des profils de dopage permettant par la suite d'obtenir des résultats issus de la simulation électrique du composant les plus précis possibles. Les propriétés des matériaux sont également ajustables.

- **Modèles physiques**

ISE réalise des simulations électriques dont les résultats permettent d'obtenir la répartition de certaines grandeurs physiques difficilement accessibles voire inaccessibles par la mesure. Ces grandeurs peuvent être la répartition du champ électrique, la densité de courant, le potentiel interne, le taux de génération par impact, les recombinaisons SRH, la température etc... Le simulateur ISE dispose d'un ou plusieurs modèles physiques pour le calcul des paramètres cités précédemment. La difficulté principale est de sélectionner le meilleur jeu de modèles. En effet, les modèles physiques proposés par le simulateur doivent être choisis en fonction du composant étudié et du régime de fonctionnement dans lequel il opère. Dans le cas d'une décharge électrostatique, les modèles couramment sélectionnés sont :

- le modèle d'avalanche
- les modèles de recombinaison
- le modèle de mobilité

Comme pour la description 2D du composant (géométrie et profils de dopage), certains paramètres de ces modèles peuvent être ajustés afin de calibrer la simulation sur l'expérience. Toutefois, même sans calibration, le simulateur reste un outil de compréhension encore intéressant car il donne des informations qualitatives sur les performances et le comportement du composant.

- **Maillage**

Le calcul des profils de dopage ou celui de grandeurs physiques nécessite pour le simulateur qu'un réseau de points (appelé maillage) soit superposé au composant. C'est sur ce maillage que le simulateur discrétise les équations physiques et calcule la solution avec une méthode numérique adaptée.

La distance entre chaque point (ou le pas de maillage) est fixée par l'utilisateur. La qualité du maillage influe énormément sur la validité et la précision des résultats de simulation. Un maillage trop « lâche » peut conduire à des résultats erronés. Il se peut également que le simulateur n'arrive jamais à calculer les grandeurs désirées ; on parle alors de « divergence » de la simulation.

Au contraire, un maillage trop serré c'est-à-dire un très petit pas de calcul, permet d'accéder à des résultats sûrement précis mais le temps de simulation nécessaire pour les obtenir se révèle être trop long. Il peut aussi engendrer des problèmes de capacités mémoire sur la machine de calcul.

Il est donc important d'établir un compromis entre le nombre de points à calculer fixé par le maillage et le temps de simulation afin d'obtenir rapidement les meilleurs résultats. Malheureusement pour les utilisateurs de ce type de simulateur, il n'existe pas de règles précises décrivant la façon de réaliser un bon maillage. Ceci ne s'acquiert qu'avec l'expérience.

Notre stratégie pour réaliser un maillage performant consiste tout d'abord à réaliser un maillage assez grossier de toute la structure puis à réaliser une première simulation électrique. Celle-ci permet d'identifier dans la structure les régions où sont présents les forts gradients des grandeurs physiques calculées. Ce sont ces régions qu'il faudra ensuite finement mailler pour éviter des problèmes de divergence. Les résultats de cette première simulation s'obtiennent rapidement mais la précision des résultats n'est pas garantie. Un nouveau maillage est alors défini en resserrant son pas dans les régions présentant de forts gradients pour les grandeurs physiques. L'avantage d'une telle stratégie permet d'obtenir dans la structure un réseau de points dont le pas de maillage est progressivement diminué. Ceci évite au simulateur d'être confronté à un important gradient du pas de maillage qui est souvent source de divergence des calculs.

Pour une structure de protection ESD subissant une décharge électrostatique, les zones les plus finement maillées sont souvent les jonctions fortement polarisées en inverse dans lesquelles le régime de claquage par avalanche a lieu. Ces régions sont le siège de forts champs électriques et les taux de générations/recombinaisons y sont par conséquent élevés la présence d'un taux d'ionisation par impact important. Pour des niveaux de courants de plus en plus élevés, la température augmente continuellement.

Pour obtenir des résultats de simulations précis avec un temps de calculs raisonnable, le nombre de points à calculer pour une simulation bidimensionnelle est généralement compris

entre 5000 et 10000 pour des structures dont la profondeur est de $10\mu\text{m}$ et la longueur de $50\mu\text{m}$.

- **Temps de calculs**

Des résultats précis de simulation peuvent être obtenus pour un temps de calcul rapide pour plusieurs raisons. La première est liée à la qualité du maillage imposé par l'utilisateur. La seconde dépend du nombre d'équations utilisées. Par exemple, pour étudier le seuil de déclenchement d'une protection ESD, il n'est pas nécessaire de résoudre l'équation de la chaleur ce qui réduit le temps de simulation. La dernière raison est liée à la puissance de calculs du processeur utilisé pour résoudre les équations de la simulation.

- **Simulation mixte**

Les outils ISE permettent d'effectuer une simulation mixte. Cette méthode permet de coupler un ou plusieurs composants par un réseau électrique ou encore de simuler un composant avec un circuit électrique plus complexe. Le circuit électrique est alors résolu par un simulateur de type SPICE. Il est quand même conseillé de limiter le nombre de composants sinon les temps de calculs machine s'avèrent être trop long.

- **Simulation 3D**

La simulation 2D suppose que les grandeurs physiques calculées dans ces deux dimensions se trouvent être les mêmes dans la troisième. Elle ne tient donc pas compte de ce qui se passe réellement dans la troisième dimension. En effet, dans le cas du déclenchement d'une structure de protection ESD, le courant n'est pas réparti de manière uniforme le long de la structure (3^{ème} dimension). Ceci entraîne une mauvaise estimation par la simulation 2D de la valeur de la tension de maintien V_H . La simulation 2D ne permet également pas de reproduire les effets de coin très fréquents en ESD.

La simulation 3D serait alors l'outil adéquat pour prendre en compte tous les phénomènes présents dans la réalité mais malheureusement elle nécessite un maillage très lourd avoisinant au minimum 30000 points à calculer. Avec les puissances de calculs des processeurs actuels, il n'est pas encore possible d'envisager de telles simulations car elles peuvent prendre des mois de calculs. C'est pourquoi l'utilisation de la simulation 3D n'est pas encore systématique à ce jour mais l'évolution croissante de la puissance des processeurs permet de penser que dans le futur toutes les simulations seront réalisées en 3D.

Le simulateur physique est donc un outil indispensable pour une meilleure compréhension des phénomènes physiques et de leur évolution. En effet, il devient alors possible de prévoir par la simulation l'influence de certains paramètres technologiques (dopage, profondeur de jonction, longueur du canal...) sur les performances d'une structure de protection et ainsi d'optimiser la conception.

1.3.1.3.b Prédiction de la robustesse ESD dans la littérature

L'un des principaux défis actuels est de réussir à prédire grâce à la simulation physique la robustesse d'une structure de protection lorsque celle-ci subit une décharge électrostatique. Expérimentalement, le critère de défaillance consiste à suivre la dégradation de la structure à travers l'évolution du courant de fuite après chaque niveau de stress ESD. Or le critère du courant de fuite n'est pas transférable dans un simulateur. Il ne peut donc pas servir de critère pour la simulation car le simulateur ne peut pas rendre compte d'une dégradation plus ou moins sévère du silicium. Pour cette raison, il est alors nécessaire de choisir comme critère de défaillance un autre paramètre qui puisse être extrait des résultats calculés par le simulateur.

Dans la littérature, de nombreux travaux se sont intéressés à étudier, par la simulation physique de composant, le comportement d'un dispositif soumis à un stress ESD. Toutefois la quasi-totalité de ces travaux ne permette pas de prédire la valeur du niveau de robustesse ESD du dispositif. Concrètement, cela signifie que les études effectuées ne sont pas capables d'évaluer par la simulation la valeur de tension maximale (exprimée en kV) que peut supporter le dispositif étudié lors d'un stress HBM ou bien encore la valeur du courant de défaillance I_{T2} durant un stress TLP. Seul Kaï Esmark [ESMA02] a mené une étude permettant de prédire par la simulation TCAD la valeur du courant de défaillance I_{T2} d'une structure de protection ESD. Ce sont essentiellement à ces travaux que nous comparerons les résultats de notre méthodologie. Les travaux d'Esmark seront abordés à la fin de ce paragraphe puis nous les décrirons plus en détail dans le Chapitre 2 lorsque nous présenterons notre méthode.

Toutes les autres études de la littérature concernant la prédiction de la robustesse d'un dispositif ESD permettent seulement de donner des tendances relatives de la robustesse c'est-à-dire que la simulation permet juste de prédire comment une modification du dessin technologique de la structure étudiée améliore ou dégrade sa robustesse ESD sans pour autant donner la valeur de celle-ci. Parmi ces études, nous pouvons citer celle de Yoo [YOO94].

Ce dernier utilise en simulation l'évolution de la température dans le silicium comme indicateur de robustesse ESD de la structure étudiée (transistor NMOS). Plusieurs variations

de son dessin technologique (profil de dopage du drain, longueur du canal, résistance de drain : espacement entre contact de drain et bord de grille) ont été apportées de manière à trouver laquelle permettra d'obtenir la structure la plus robuste. La simulation physique 2D électrothermique (SILVACO) de chacun des dispositifs lui permet d'obtenir l'évolution de la température durant l'intégralité d'un stress HBM appliqué. La structure présentant la valeur de maximum de température la plus faible est alors la structure susceptible d'avoir la meilleure robustesse ESD. Il considère également que si la température dans le dispositif atteint la température de fusion du silicium (1683K) alors il est considéré comme détruit.

Certains résultats ou tendances obtenus avec la simulation 2D vont à l'opposé de ce que révèlent les mesures (espacement entre contact de drain et bord de grille). A titre d'exemple, Yoo a regardé la dépendance de la résistance de drain d'une structure (espacement entre contact de drain et bord de grille) avec sa robustesse. Les mesures révèlent que celle-ci augmente avec l'espacement. En revanche, les courbes de température issues de la simulation indiquent le résultat opposé. Ceci peut provenir du fait que des effets dans la troisième dimension ne sont pas pris en compte dans la simulation bidimensionnelle. Le ballast permet notamment le déplacement d'un point chaud (Cf. Chapitre3), ce qu'on ne peut pas visualiser en 2D.

Un autre auteur Mayaram [MAYA91] a utilisé un simulateur électrothermique de composants 2D/3D afin de mieux comprendre les mécanismes physiques mis en jeu lors du second claquage d'un composant soumis à un stress ESD. Les simulateurs 2D et 3D utilisés sont des versions respectivement améliorées des simulateurs de composants PISCES et SIERRA. Jusque-là, la condition utilisée pour évaluer l'apparition du second claquage, dans les transistors polarisés en statique, était définie lorsque la densité intrinsèque n_i devenait égale au dopage N : $n_i=N$ [MELC64].

Au travers d'une simulation 2D, Mayaram applique une impulsion en courant d'une certaine amplitude et d'une durée de 100ns sur le drain d'un transistor NMOSFET utilisé comme protection . Cela lui permet de retrouver qualitativement l'apparition du second claquage qui se traduit par une chute de la tension sur le drain. Or la simulation montre qu'à cet instant, n_i est encore inférieure à N. Il a supposé que le courant était uniforme le long de la structure c'est-à-dire qu'il ne tient pas compte du phénomène de filamentation avant le second claquage. A travers la simulation 2D de diodes aux profils de dopages différents, il a montré que deux mécanismes pouvaient être à l'origine du second claquage thermique : le claquage de la jonction drain/substrat ou celui dans la résistance de drain. Ceci dépend de la géométrie et des profils de dopages du composant étudié. Puisque le taux de génération thermique

dépend de n_i et de la durée de vie des porteurs τ , la condition d'initialisation du second claquage ne peut donc pas se réduire à $n_i=N$ pour les deux mécanismes de claquage préalablement mentionnés. De plus, la simulation 2D montre que le maximum de température et la tension au second claquage dépendent de la durée de vie des porteurs τ .

La condition $n_i=N$ n'est donc pas suffisante pour définir l'apparition du second claquage.

Des simulations 3D tenant compte des phénomènes de filamentation aboutissent à des résultats différents de ceux obtenus en 2D concernant le profil de température. En effet, la simulation 2D surestime la température dans le composant car elle ne tient pas compte qu'une certaine quantité de la température se propage dans la 3^{ème} dimension. La simulation 2D est pessimiste dans la prédiction du niveau de défaillance de la structure mais elle demeure quand même un outil encore performant d'un point de vue qualitatif mais aussi grâce à des temps de calculs beaucoup plus courts que ceux qu'engendreraient une simulation 3D.

Une étude d'Amerasekera [AMER93] a conduit à prédire la robustesse ESD de dispositifs MOS en utilisant la simulation physique 2D comme outil de prédiction. Il propose deux indicateurs de robustesse ESD qui sont la densité de puissance maximale représentée par le produit $J.E$, issu d'une simulation composant ne tenant pas compte de la température, et le courant de défaillance I_{T2} obtenu par le biais d'une simulation électrothermique. Ces indicateurs permettent d'évaluer la robustesse ESD relative sur un dispositif MOS ayant subi des variations sur son profil de dopage drain/source, sur sa distance entre le contact de drain et le bord de sa grille mais aussi avec des polarisations de la grille différentes.

Amerasekera montre que pour la valeur du courant de défaillance I_{T2} issue d'une simulation électrothermique statique I-V, le maximum du produit densité de courant par le champ électrique ($J.E$) corrèle bien avec le maximum de température dans les dispositifs étudiés. $J.E$ est un indicateur performant pour estimer la robustesse relative d'un même MOS avec des polarisations de grille différentes. Le produit $J.E$ semble être un indicateur évident de la robustesse ESD mais celui-ci est limité par la dépendance du champ électrique E au maillage de la structure simulée. Ce critère est donc mis en défaut dans le cas de simulations où le maillage est conservé alors que les profils de dopage sont fortement changés comme dans le cas du dopage du drain qui serait d'abord décrit de manière graduelle puis de manière abrupte. Dans ce cas là, il est donc préférable d'utiliser l'autre indicateur de robustesse qui est I_{T2} . Ce dernier est extrait d'une simulation électrothermique statique I-V et la dépendance du maillage avec le maximum de température et donc la puissance dissipée est assez faible ce qui permet d'évaluer correctement comment une variation particulière du profil de dopage du drain influence la robustesse de la structure.

En revanche, aucun des deux critères ne permet d'indiquer la robustesse relative d'un MOS pour des variations de la distance entre le contact de drain et le bord de grille. En effet, ceci est dû à des effets 3D ne pouvant pas être évalué par une technique de prédiction basée sur de la simulation 2D.

Afin de mieux comprendre les mécanismes responsables du second claquage thermique, Amerasekara [AMER94] a mené une étude sur un composant ggNMOS (NMOS dont la source et la grille sont reliées à la masse) en utilisant un simulateur physique 2D électrothermique (TMA MEDICI). Les résultats de simulation ont montré que le principal mécanisme indiquant l'initialisation du second claquage est la rapide augmentation du courant généré thermiquement I_{th} qui est une composante du courant de base I_B du transistor bipolaire parasite NPN pour les fortes températures. Le début du second claquage est marqué par la chute de tension qui intervient quand I_{th} commence à remplacer le courant généré par avalanche I_{av} devenant ainsi la principale composante du courant I_B requise pour maintenir l'action du bipolaire NPN. Quand la température dans le composant approche le second claquage, I_{th} augmente rapidement obligeant I_{av} à diminuer entraînant la chute de tension. Ce mécanisme met une fois de plus en défaut la condition classique: $n_i=N$ qui ne joue aucun rôle pour détecter le second claquage .

La méthodologie de simulation développée par Amerasekara pour identifier le second claquage consiste à réaliser des simulations isothermiques dans lesquelles l'ionisation par impact n'est pas calculée, la tension sur le drain est constante et la température globale du réseau cristallin varie entre 300K et 1400K. Seuls les courants sont relevés en fonction de la température. Ceci fournit une estimation raisonnable de la génération thermique (à travers le courant I_B calculé isothermiquement) et la température requise pour le second claquage. L'avantage de cette méthodologie est qu'elle permet d'obtenir des résultats avec une assez bonne précision et pour des temps de simulations très rapides et avec peu de problème de convergence comparée à une simulation électrothermique. Elle permet donc l'évaluation rapide de la robustesse d'une structure.

Amerasekara montre une nouvelle fois dans cette étude qu'il existe une corrélation entre le courant de défaillance I_{T2} mesuré et le produit J.E issu d'une simulation isothermique. En effet J.E augmente avec I_{T2} . J.E est donc un bon indicateur de la robustesse d'une structure. Il permet de savoir si les modifications technologiques apportées à une structure la rendront plus ou moins robuste.

1.3.1.3.c Travaux d'Esmark

Esmark [ESMA02] est le seul auteur à avoir mené des travaux conduisant à prédire par la simulation physique la valeur de la robustesse d'une structure de défaillance ESD et notamment la valeur du courant de défaillance I_{T2} .

Il est parti du constat qu'un critère de défaillance ESD n'est pas disponible dans le simulateur pour qualifier la robustesse ESD d'un produit. Il est donc nécessaire d'établir des corrélations entre le niveau de défaillance observé expérimentalement et certains paramètres physiques calculés par le simulateur qui peuvent être par exemple la densité de courant, le champ électrique ou la distribution de la température dans le composant étudié.

Esmark a montré qu'avant d'établir ce genre de corrélation, il était nécessaire d'obtenir pour la structure étudiée la caractéristique TLP simulée la plus précise par rapport à la mesure. Pour cela, une étape de calibrage est indispensable. Ce calibrage consiste à obtenir :

- la description des profils de dopage à partir de la simulation du procédé technologique
- un choix approprié des modèles physiques utilisés pour la simulation TLP
- un ajustement de certains paramètres spécifiques à la technologie contenus dans les modèles physiques
- un choix des conditions aux limites électriques et thermiques
- un maillage approprié

Une simulation 2D du composant étudié peut entraîner une mauvaise évaluation de la tension de déclenchement V_{T1} et de maintien V_H . Ceci provient du fait que le composant étudié n'a pas un déclenchement uniforme. Une simulation 3D permet de prendre en compte ce phénomène et ainsi retrouver les bonnes valeurs de tensions.

Esmark a prédit par la simulation physique 2D la robustesse ESD de structures de protection à travers l'estimation de leur courant de défaillance I_{T2} . Les structures étudiées sont des ggNMOS réalisées dans deux technologies différentes. Expérimentalement, les deux structures ne présentent pas les mêmes modes de défaillance. La première structure est détruite avec apparition du second claquage thermique alors que la seconde n'en présente pas. Esmark a donc établi deux critères de prédiction pour I_{T2} . Pour les structures avec second claquage, la simulation TLP est menée jusqu'à l'apparition du second claquage permettant ainsi d'extraire la valeur du courant TLP pour lequel celui-ci intervient et qui correspond au courant de défaillance I_{T2} . Pour les structures sans second claquage, Esmark utilise l'évolution de la température comme critère de défaillance. En effet, dès que la température dans le

composant atteint la température de fusion du silicium (1683K), la simulation est arrêtée et le courant TLP correspondant à cette température est défini comme étant I_{T2} .

1.3.1.3.d Nouvelle méthodologie de prédiction du courant I_{T2} par la simulation

Peu d'approches existent pour optimiser le comportement ESD d'un dispositif durant le développement de son procédé technologique. C'est pourquoi, durant nos travaux de thèse, nous avons mis au point une méthodologie permettant de développer, à l'aide de la simulation physique de composants, des structures de protection ESD optimisées. Les différentes étapes de notre méthodologie sont représentées sur la Figure 1-21. La motivation première pour la mise en place de cette méthodologie est de développer des structures de protection en même temps que la technologie. Cela a plusieurs avantages. Le premier est d'obtenir par la simulation des structures de protection ESD performantes sans réaliser de silicium. L'étape de réalisation silicium permettra seulement de confirmer l'exactitude et donc la fiabilité de nos résultats de simulation. Un autre avantage est que comme la technologie n'est pas "figée", nous pouvons rajouter une ou plusieurs étapes dans le procédé technologique qui seront favorables à l'obtention de nouveaux dispositifs de protection ESD. Ceci peut permettre d'obtenir de nouveaux dispositifs de protection avec des tensions différentes de déclenchement ou de maintien ou encore ayant un niveau de robustesse plus élevé.

La première étape consiste à réaliser, dans la technologie en développement, la description de la structure de protection à partir d'une simulation du procédé technologique. Ce type de simulation permet d'obtenir une définition de la géométrie du composant très précise (géométrie des oxydes) ainsi que de ses profils de dopage. Si la technologie en développement est proche de la précédente technologie, il est possible de se servir des mesures des profils de dopage (SIMS) de la technologie précédente pour calibrer la simulation de manière à la rendre encore plus proche des mesures. Si ce n'est pas le cas, il peut être utile de réaliser du silicium pour extraire expérimentalement les nouveaux profils de dopage sur lesquels sera calibrée la simulation du procédé technologique.

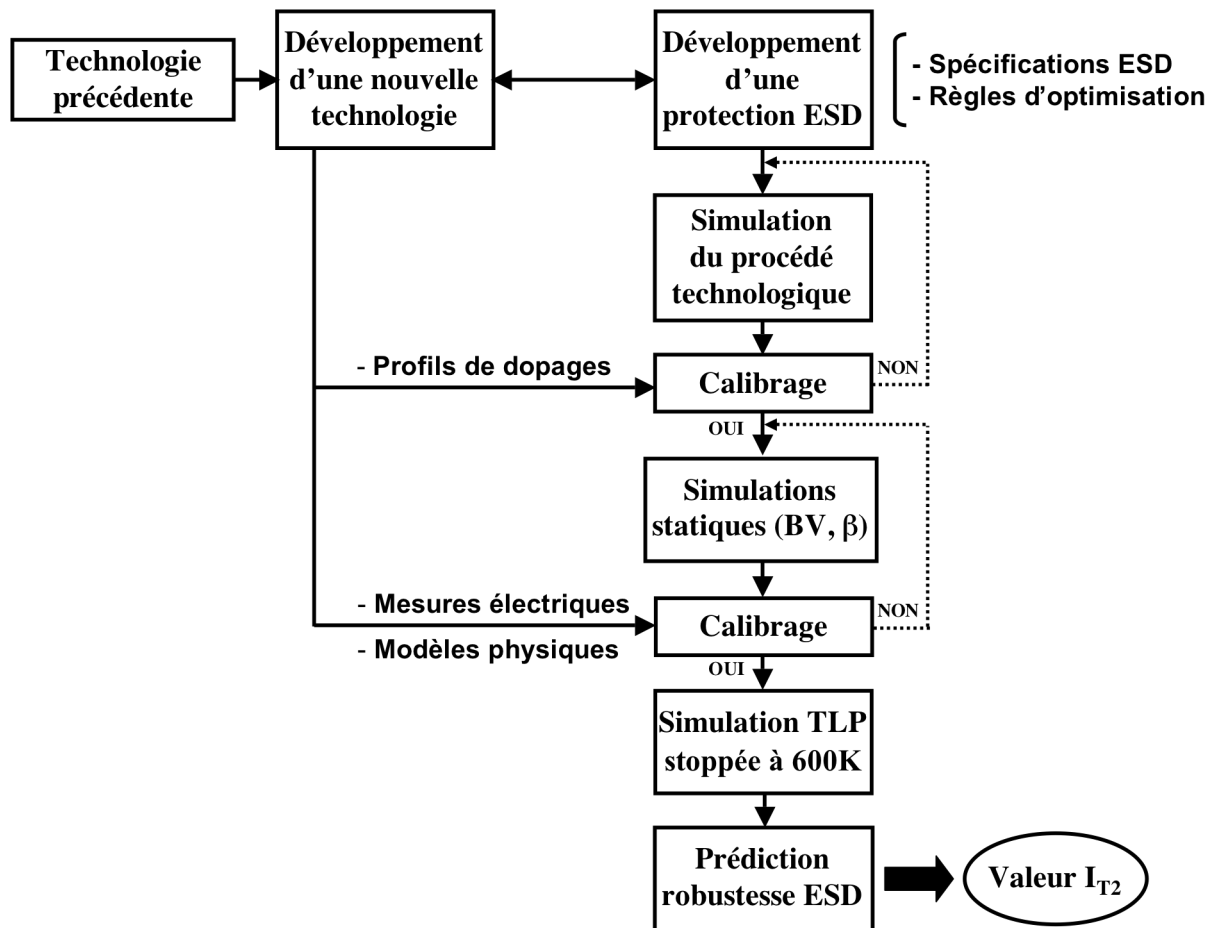


Figure 1-21. Etapes de la nouvelle méthode de prédiction du courant de défaillance I_{T2} d'une structure de protection ESD à l'aide de la simulation

Une fois que la description précise du composant est obtenue, il faut réaliser des simulations électriques spécifiques aux ESD de manière à vérifier si les caractéristiques électriques ESD simulées sont bien celles qui avaient été préalablement spécifiées. Les simulations électriques réalisées sont de deux sortes : statique et dynamique. Les simulations statiques permettent d'obtenir la valeur de la tension de claquage BV ainsi que celle du gain en courant β . Les simulations dynamiques comme celle du TLP permettent d'obtenir la caractéristique I-V du dispositif d'où sont extraits les paramètres de la tension de déclenchement V_{T1} et de maintien V_H . Les caractéristiques électriques extraites de la simulation électrique permettent de vérifier si la structure de protection ESD développée en simulation respecte les spécifications imposées. Il est à noter qu'une attention particulière doit être portée sur le choix des modèles physiques contenus dans le simulateur. De plus, il est possible de calibrer certains paramètres contenus dans les modèles physiques pour rendre les conditions de simulation plus réalistes et de ce fait obtenir des résultats plus précis. Parmi les caractéristiques électriques spécifiques d'une structure de protection ESD, il reste à estimer sa robustesse ESD qui se traduit par la

valeur du courant de défaillance I_{T2} pour un stress TLP. Très peu de travaux ont été menés dans la littérature dans le but d'obtenir la valeur du courant I_{T2} . Comme nous l'avons vu dans les précédents paragraphes, les études concernant la simulation de la défaillance d'un composant ESD menant au second claquage, permettent de comprendre par la simulation comment une modification du dessin technologique d'un composant peut le rendre plus ou moins robuste face à une ESD mais rarement une valeur de I_{T2} extraite de la simulation est donnée si ce n'est dans les travaux d'Esmark. Grâce à notre méthodologie, nous pouvons estimer la valeur du courant de défaillance pour différents composants de différentes technologies. Pour cela, il est tout d'abord nécessaire d'obtenir en simulation la courbe TLP la plus précise. Celle-ci est stoppée quand la température dans le dispositif atteint la limite en température des modèles physiques utilisés (600K). En effet, au-delà de cette température, les modèles n'étant pas validés, les résultats de simulation qu'on obtiendrait seraient discutables. Pour la simulation TLP obtenue, nous cherchons alors à suivre l'évolution d'un ou de plusieurs paramètres physiques dont l'extrapolation du comportement nous permettrait de déduire la valeur du courant de défaillance I_{T2} . Cette méthode a le double avantage de fournir le niveau de robustesse TLP de la structure à travers la valeur du courant I_{T2} pour des temps de calculs machine considérablement réduits du fait que la simulation est arrêtée pour une température de 600K.

Une explication détaillée de cette méthodologie appliquée au développement d'une structure de protection ESD fera entièrement l'objet du chapitre 2.

1.4 Conclusion

Ce chapitre a présenté tout d'abord les différents mécanismes à l'origine des décharges électrostatiques dans les circuits intégrés introduisant la nécessité de développer des structures de protection contre les ESD. Le développement de ces dernières est abordé à travers la notion de marges de conception imposées par le circuit à protéger. Les différentes techniques de caractérisation d'un dispositif ESD (HBM, MM, CDM, TLP, VFTLP...) ont été présentées. Celles-ci ont permis non seulement d'évaluer la robustesse ESD de la structure mais aussi d'en extraire certains paramètres caractéristiques indispensables à son optimisation. Il deviendra alors possible par la suite de développer des bibliothèques de dispositifs de protection optimisés. Les principaux éléments de protection ont été décrits ainsi que les stratégies de protection d'un CI. Ce chapitre a montré comment la simulation prenait une part de plus en plus importante dans le développement des structures de protection ESD.

Celle-ci permet notamment de mieux comprendre les mécanismes responsables d'un mauvais fonctionnement de la structure et ainsi de pouvoir en améliorer la conception. La simulation permet de prendre en compte les structures de protection ESD très tôt dans le développement d'une technologie c'est-à-dire en parallèle avec celui des éléments actifs. Parmi les paramètres caractéristiques d'un dispositif ESD nécessaires à son optimisation, le courant de défaillance I_{T2} est encore difficilement accessible par la simulation. Sa détermination fait l'objet de notre étude. Les principales étapes d'une nouvelle méthodologie de prédiction du courant I_{T2} ont été présentées et une description plus détaillée sera donnée dans le chapitre 2 à travers son application à une structure de protection que nous avons développée.

REFERENCES :

[AMER91]

Amerasekera et al.,

« Characterization and Modeling of Second Breakdown in NMOST's for the Extraction of ESD-Related Process and Design Parameters »,

IEEE Transaction on Electron Devices, Volume 38, pp. 2161-2168, 1991.

[AMER92]

Amerasekera et al.,

« ESD in Integrated Circuits »,

Quality Reliability Engineering International, Volume 8, pp. 259-272, 1992.

[AMER93]

Amerasekera et al.,

« Prediction of ESD robustness in a process using 2-D device simulations »,

IRPS, pp. 161-167, 1993.

[AMER94]

Amerasekera et al.,

« Electrothermal Behavior of Deep Submicron nMOS Transistors Under High Current Snapback (ESD/EOS) Conditions »,

IEDM, pp. 446-449, 1994.

[BERT01]

G.Bertrand,

« Conception et modélisation électrique de structures de protection contre les décharges électrostatiques en technologies BICMOS et CMOS analogique »

Thèse de doctorat, Institut National des Sciences Appliquées de Toulouse, 2001.

[DIAZ93]

C. H. Diaz,

« Modeling and simulation of electrical overstress failures in input/output protection devices of integrated circuits »,

Thèse de doctorat, Université d'Urbana-Champaign (Illinois), Etats-Unis, 1993.

[DUVV91]

C. Duvvury et al.,

« A synthesis of ESD input protection scheme »,

EOS/ESD Symposium, pp.88-97, 1991.

[ESMA02]

Kai Esmark,

“Device Simulation of ESD Protection Elements”,

Series in Microelectronics, Hartung-Gorre, Volume 128, 2002.

[GIES98]

H. Gieser et al.,

« Very-fast transmission line pulsing of integrated structures and the charged device model »
Components, Packaging, and Manufacturing Technology, Part C, Volume 21, pp. 278-285, 1998.

[GRUT66]

H. B. Grutchfield et al.,

« Current mode second breakdown in epitaxial planar transistors»,
IEEE Transaction on Electron Devices, ED-13(11), pp. 743-748, 1966.

[ISE]

« ISE TCAD Manuals »,

ISE integrated systems engineering AG, Zurich, version 7.0, 2001.

[KERC98]

M. Ker et al.,

« How to safely apply the LVTSCR for CMOS whole-chip ESD protection without being accidentally triggered on »,
EOS/ESD Symposium, pp. 72-85, 1998.

[LETU69]

P. Leturcq,

« Comportement électrique et thermique des transistors bipolaires aux forts niveaux de tension et de courant : application au phénomène de second claquage »,
Thèse de doctorat, Faculté de Sciences de l'Université de Toulouse, 1969.

[MALO85]

T. J. Maloney et al.,

« Transmission Line Pulsing techniques for circuit modeling of ESD phenomena »
EOS/ESD Symposium, pp. 49-54, 1985.

[MAYA91]

K. Mayaram et al.,

« Electrothermal Simulation Tools for Analysis and Design of ESD Protection Devices »,
Electron Devices Meeting, pp. 909-912, 1991.

[MELC64]

H. Melchior et al.,

Proceedings of the IEEE JNL, Volume 52, pp. 439-440, 1964

[MERG01]

M. P. J. Mergens,

« On-Chip ESD Protection in Integrated Circuits : Device, Physics, Modeling, Circuit Simulation »
Series in Microelectronics, Hartung-Gorre, Volume 116, 2001.

[MILL57]

S. L. Miller,

« Ionization rates for holes and electrons in silicon »,
Phys. Rev., Volume 105, pp. 1246-1249, 1957.

[NORM1]

AUTOMOTIVE ELECTRONIC CONCIL,
Human Body Model Electrostatic Discharge test,
AEC-Q100-002-REV-C, 12p, 1998.

[NORM2]

EIA/JEDEC STANDARD,
Electrostatic Discharge (ESD), Sensitivity Testing Human Body Model (HBM),
EIA/JEDEC-A114A,. 9p, 1997.

[NORM3]

ESD ASSOCIATION,
Association Standard test Method for Electrostatic Discharge Sensitivity Testing - Human
Body Model (HBM) Component level,
ESD STM5.1-1998, 11p, 1998.

[NORM4]

AUTOMOTIVE ELECTRONIC CONCIL,
Machine Model Electrostatic Discharge test,
AEC-Q100-003-REV-C, 12p, 1998.

[NORM5]

EIA/JEDEC STANDARD,
Electrostatic Discharge (ESD), Sensitivity Testing Machine Model (MM),
EIA/JEDEC-A115A, 9p, 1997.

[NORM6]

ESD ASSOCIATION,
Association Standard test Method for Electrostatic Discharge Sensitivity Testing - Machine
Model (MM) Component level,
ESD STM5.3-1999, 12p, 1999.

[NOTE97]

G. Notermans et al.,

« Using an SCR as ESD protection without latch-up danger »,
Microelectronics Reliability, Volume37, n°10/11, pp. 1457-1460, 1997.

[OETG00]

J. Oetgen et al.,

« Current Filamentation in bipolar power devices during dynamic avalanche breakdown »,
Solid-State Electronics, pp. 117-123, 2000.

[ORYX]

E. Grund et al.

« VF-TLP Systems Using TDT and TDRT for Kelvin Wafer Measurements and Package Level Testing »

EOS/ESD Symposium, pp. 338-345, 2004.

[PIER88]

P. G. Pierce et al.,

« Electrical Overstress Testing of a 256K UVEBROM to Rectangular and Double Exponential Pulses »

EOS/ESD Symposium, pp. 137-146, 1988.

[POLG99]

T. L. Polgreen,

« Selecting and Implementing the Appropriate ESD Protection Strategy »

EOS/ESD Symposium, Tutorial E, 1999.

[PONT72]

D.H. Pontius,

« Current Filamentation and second breakdown in thin film silicon-on-sapphire semiconductor devices »,

Thèse de doctorat, Auburn University, 1972.

[SPEA01]

T. S. Speakman et al.,

« A model for failure of bipolar silicon integrated circuits subject to electrostatic discharge »

IRPS Symposium, pp. 60-69, 1974.

[STRI98]

A. Stricker et al.,

« Characterization and optimization of a bipolar ESD-device by measurements and simulations »,

EOS/ESD Symposium, pp. 290-300, 1998.

[TREM04]

D. Trémouilles,

« Optimisation et modélisation de protections intégrées contre les décharges électrostatiques, par l'analyse de la physique mise en jeu »,

Thèse de doctorat, Institut National des Sciences Appliquées de Toulouse, 2004.

[VERH98]

K. Verhaege et al.,

« Component Level ESD Testing »

Microelectronics Reliability, n°38, pp. 115-128, 1998.

[WAGN93]

R. G. Wagner et al.,

« Extent and Cost of EOS/ESD Damage in an IC manufacturing Process »

EOS/ESD Symposium, pp. 49-55, 1993.

[YOO94]

K. D. Yoo et al.,

« Assessment of Electro-Static Discharge Robustness Based on the Monitoring of Lattice Temperature of Silicon »,

ICMTS, pp. 208-213, 1994.

Chapitre 2

2. Nouvelle méthodologie de prédiction de la robustesse ESD d'une structure de protection

Avec la compétition toujours croissante entre les industries de composants semi-conducteurs, le cycle de développement pour une nouvelle technologie a été fortement réduit. La même réactivité est donc nécessaire pour le développement des structures de protection ESD. Un des challenges pour les ingénieurs concevant des dispositifs de protection ESD est donc de développer ces dispositifs en même temps que les composants actifs. Pour cela, les outils de simulation TCAD se révèlent être d'une aide précieuse. Ils permettent d'obtenir, avant une première réalisation sur silicium, toute une gamme de structures de protection ESD optimisées avec des caractéristiques électriques différentes. Parmi celles-ci, les valeurs des tensions de déclenchement V_{T1} et de maintien V_H sont couramment obtenues en simulation avec une bonne précision. En revanche, la détermination de la valeur du courant de défaillance I_{T2} , indicateur du second claquage thermique, reste encore une difficulté pour la simulation.

Ce chapitre présente donc une nouvelle méthode permettant d'évaluer la robustesse ESD d'une structure de protection à travers l'évaluation de la valeur de son courant de défaillance I_{T2} . Cette méthode s'appuie sur l'utilisation d'un outil de simulation TCAD qui permet de calculer la caractéristique I-V TLP d'un dispositif de protection ESD.

De manière à obtenir une simulation TLP précise et fiable, nous limitons sa simulation à la gamme de validité en température des modèles physiques utilisés (600K) dans laquelle une étape de calibrage est effectuée. I_{T2} ne peut donc pas être extrait directement de la courbe TLP car celui-ci n'est généralement accessible que pour des valeurs de température supérieures à 600K.

La méthode que nous avons développée pour la détermination de la valeur du courant I_{T2} consiste à suivre, pour chaque amplitude de courant TLP, l'évolution de paramètres physiques liés au phénomène de second claquage thermique et dont le traitement permet d'extraire la valeur du courant de défaillance I_{T2} . Cette méthode a le double avantage de prédire des valeurs du courant I_{T2} avec une relative bonne précision pour des temps de calculs machine réduits du fait que la simulation est arrêtée à 600K.

Les étapes de notre méthodologie de prédiction du courant I_{T2} seront expliquées en détail dans ce chapitre au travers de son application à une structure ESD. Nous terminerons notre étude en validant les résultats obtenus par confrontation avec des mesures expérimentales.

1.3 Calibrage

L'outil TCAD utilisé pour simuler l'ensemble des structures ESD durant notre étude est celui de la société ISE [ISE].

Le calibrage de la simulation TLP est composé de deux étapes. La première consiste à décrire précisément la structure étudiée que ce soit d'un point de vue de sa géométrie mais aussi dans la définition de ces profils de dopage. La deuxième étape du calibrage comprend la sélection des modèles physiques les mieux adaptés aux mécanismes mis en jeu lors d'une décharge électrostatique.

1.3.1 Description des profils de dopage

Le simulateur ISE met à notre disposition deux outils permettant de décrire les limites géométriques d'un dispositif ainsi que ses profils de dopage. C'est principalement la précision vis-à-vis de la description des profils de dopage qui motivera le choix d'un outil de simulation par rapport à l'autre.

1.3.1.1 Description analytique

Le premier outil proposé par ISE permettant de décrire un dispositif par la simulation est MDRAW [MDRA]. Il permet une description graphique de la géométrie du composant (substrat, oxyde, poly-silicium etc...), l'ajout du dopage et la génération assisté du maillage. Les profils de dopage sont définis de deux façons. La première consiste à décrire les profils de dopage à partir d'une fonction analytique. La seconde fixe directement ces valeurs par l'intermédiaire d'un fichier de données externe. Ces valeurs peuvent être extraites soit de la mesure (SIMS pour Secondary Ion Mass Spectrometry ou SRP pour Spreading Resistance Profile), soit d'une simulation du procédé technologique.

Toutefois MDRAW est principalement utilisé pour sa description analytique des profils de dopage. Ces derniers peuvent alors être décrits soit par un profil de dopage de type gaussien, fonction erreur ou encore constant.

1.3.1.2 Description provenant du procédé technologique

La deuxième méthode consiste à utiliser l'outil de simulation DIOS [DIOS]. Ce dernier est un simulateur technologique multidimensionnel pour dispositifs semi-conducteurs. Il permet la simulation de chacune des étapes rencontrées lors de la réalisation sur silicium d'un composant en salle blanche. A titre d'exemple, DIOS est capable de simuler les étapes suivantes: une épitaxie, une croissance d'oxyde, une implantation, une diffusion, une gravure,

ou un dépôt (de nitrure ou de poly-silicium). Cet outil est beaucoup plus complexe mais plus réaliste que le précédent. En effet, durant une étape d'implantation, DIOS prend en compte par exemple la création de défauts tels que les interstitiels ou les lacunes. Il tiendra également compte de la redistribution des dopants lors de chaque étape thermique. Enfin, comme nous le montrerons, il permet une meilleure description des profils de dopage latéraux.

1.3.1.3 Choix d'un outil de simulation

Afin de sélectionner l'outil permettant de décrire les composants de la façon la plus exacte possible, nous avons simulé au moyen des deux outils précédemment cités (MDRAW et DIOS) deux composants dédiés à des applications de puissance. Ils ont été réalisés dans une technologie Smart Power : technologie SMARTMOS 0.35 μ m de Freescale semi-conducteurs.

1.3.1.3.a 1^{er} composant étudié

Le premier dispositif étudié est un transistor bipolaire NPN haute tension standard issu de la bibliothèque de la technologie. Sa coupe technologique est représentée sur la Figure 2-1. Cette structure est référencée en tant que Structure1.

La structure étant symétrique par rapport au contact d'émetteur, nous n'en décrivons que la moitié. Cette simplification a un double avantage. La valeur de la tension de claquage à la jonction collecteur/base du dispositif issue de la simulation électrique est la même que si nous avions simulé la structure dans son intégralité. De plus, la simulation de la moitié de la structure permet une réduction importante des temps de calculs.

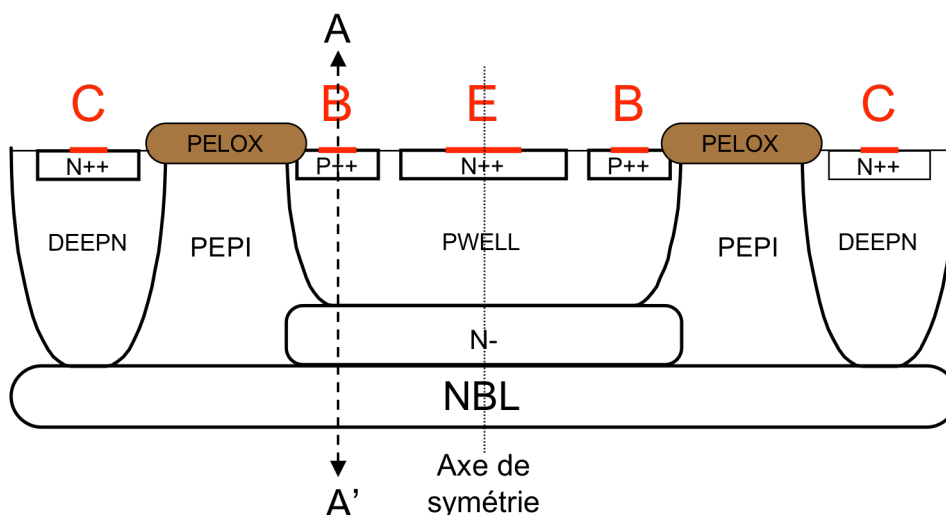


Figure 2-1. Coupe technologique de Structure1.

La moitié gauche de Structure1 a donc été décrite à l'aide de l'outil MDRAW en utilisant des équations analytiques et avec l'outil DIOS (Figure 2-2(a) et (b)).

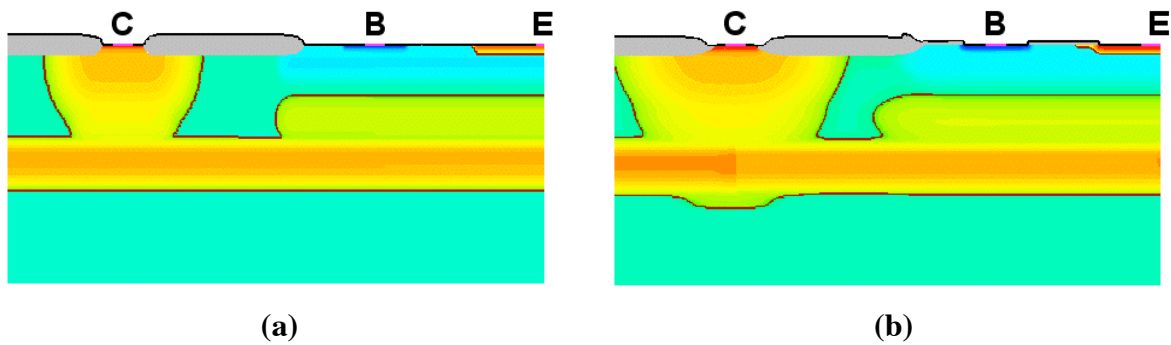


Figure 2-2. Description de Structure1, (a) de façon analytique avec MDRAW, (b) par simulation du procédé technologique avec DIOS

Pour vérifier la précision des profils de dopage simulés suivant la profondeur du substrat, nous avons effectué des coupes unidimensionnelles à différents endroits de la structure pour chacun des résultats de simulation. Une coupe réalisée dans la région active sous le contact de base suivant l'axe AA' est représentée à la Figure 2-1.

En comparaison avec les profils de dopage mesurés par SIMS, nous constatons que les profils obtenus par les deux outils de simulation sont d'une excellente précision corrélant quasi-parfaitement avec la mesure (Figure 2-3).

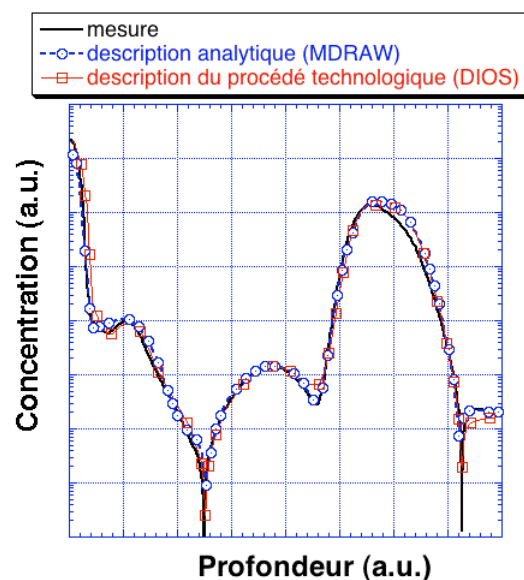


Figure 2-3. Profils de dopage suivant AA'

A ce stade de l'étude, nous ne pouvons donc pas encore mettre en avant une méthode de description. En effet, bien que l'atout principal de la simulation du procédé technologique est d'obtenir des profils de dopage avant d'avoir du silicium, la simulation d'un composant génère un important maillage dont le calcul peut consommer plusieurs heures en termes de temps de calculs machine. En revanche, la description du même composant par la méthode analytique ne prendrait à un utilisateur averti que quelques dizaines de minutes.

Un moyen complémentaire de valider ces méthodes est de réaliser sur la structure une simulation électrique statique permettant d'estimer la valeur de la tension de claquage BV (pour Breakdown Voltage). Cette simulation électrique est réalisée avec l'outil DESSIS [DESS]. L'évaluation de la valeur de la tension de claquage BV a été réalisée en appliquant une tension positive variable sur le collecteur avec la base et l'émetteur reliés à la masse. Le Tableau 2-1 compare pour Structure1 la mesure de BV avec ses valeurs issues de la simulation.

	BV (V)
Mesure	52
Profils de dopage simulés analytiquement	52
Profils de dopage simulés à partir du procédé technologique	53

Tableau 2-1. Mesure et simulation de la tension de claquage statique BV de Structure1

Une excellente corrélation est trouvée entre la mesure et les simulations. Nous vérifions sur la Figure 2-4(a) et (b) que la localisation dans la structure du maximum du taux d'ionisation par impact est la même quel que soit le choix de l'outil de simulation ayant généré la structure. Ceci nous permet de déduire que le claquage par avalanche a lieu au niveau de la jonction plane PWELL/N⁻.

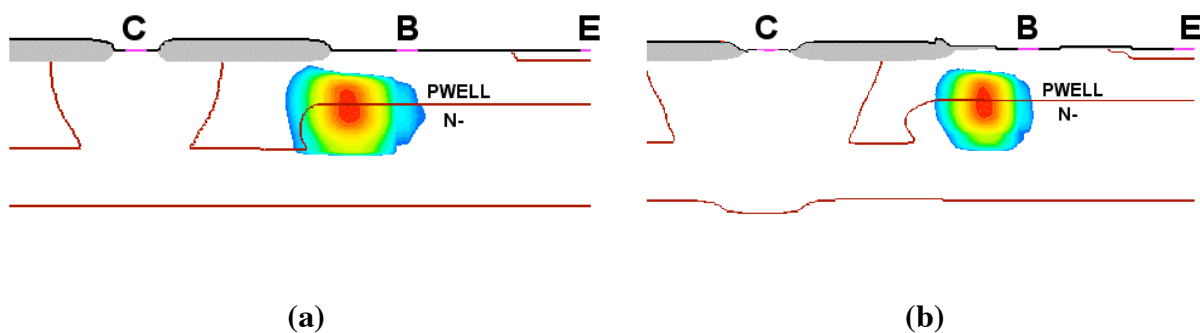


Figure 2-4. Répartition du taux d'ionisation par impact dans Structure1 décrite (a) de façon analytique avec MDRAW, (b) par simulation du procédé technologique avec DIOS

Pour cette étude, la méthode de description utilisant MDRAW est plus efficace que la simulation du procédé technologique pour les raisons suivantes :

- rapidité de simulation des profils de dopage car le maillage nécessite peu de points et peut être ajusté par l'utilisateur
- excellente précision des profils de dopage dans la profondeur
- résultat de simulation électrique précis

Nous allons voir dans le paragraphe suivant que ces conclusions ne s'appliquent pas à tous les composants.

1.3.1.3.b 2^{ème} composant étudié

Le second dispositif étudié, issu du précédent, est désigné par Structure2. Il est utilisé en tant que structure de protection ESD. Son émetteur et sa base sont reliés à la masse. De plus, la largeur de l'oxyde épais (PELOX) se trouvant du côté gauche du dispositif a été diminuée (Figure 2-5) de manière à obtenir une tension de déclenchement inférieure à celle du premier composant. Par conséquent, la valeur de la tension de claquage BV sera également plus faible. En effet, le claquage électrique qui était localisé à la jonction plane PWELL/N⁻ pour Structure1 se trouve maintenant déplacé à la jonction cylindrique DEEPN/PEPI-PWELL-PSD. Ceci est la conséquence de la diminution de la largeur du PELOX qui rend la zone de déplétion plus courte dans le PEPI que dans le PWELL. L'extension de la charge d'espace dans le PEPI sous le PELOX (côté gauche) est alors limitée par le dopage de la base P⁺⁺ (côté gauche) alors que le PWELL ne l'est pas. Ceci a pour conséquence que le claquage électrique a lieu à la jonction DEEPN/PEPI-PWELL-PSD pour une valeur inférieure à celle de Structure1.

Les dopages du collecteur côté droit et côté gauche sont reliés entre eux par un puit de diffusion en anneau de dopage identique à celui du collecteur (représenté par des pointillés sur la Figure 2-5) mais seul le collecteur du côté droit de la structure a un contact métal. Il en est de même pour les dopages de base. Le collecteur et la base du côté gauche du composant sont donc flottants. La méthode d'évaluation de BV est la même que pour le composant précédent.

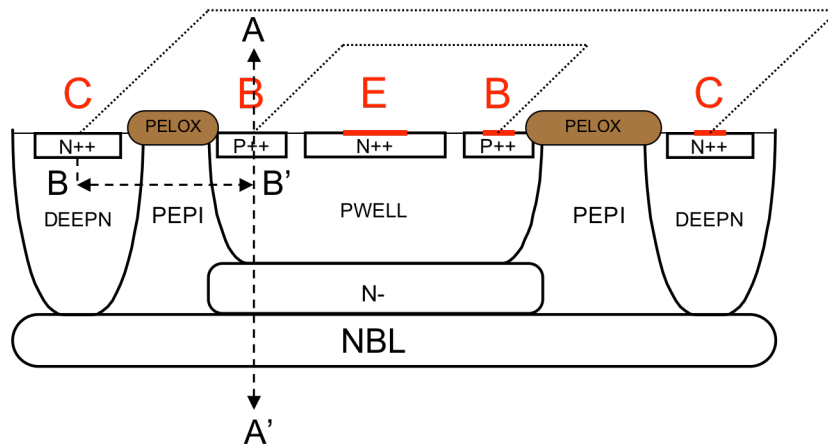


Figure 2-5. Coupe technologique de Structure2

De la même manière que pour le dispositif précédent, cette dernière structure est décrite par les deux méthodes proposées par ISE (Figure 2-6(a) et (b)). Le composant n'étant plus symétrique par rapport au contact émetteur, nous avons donc réalisé la description complète de la structure.

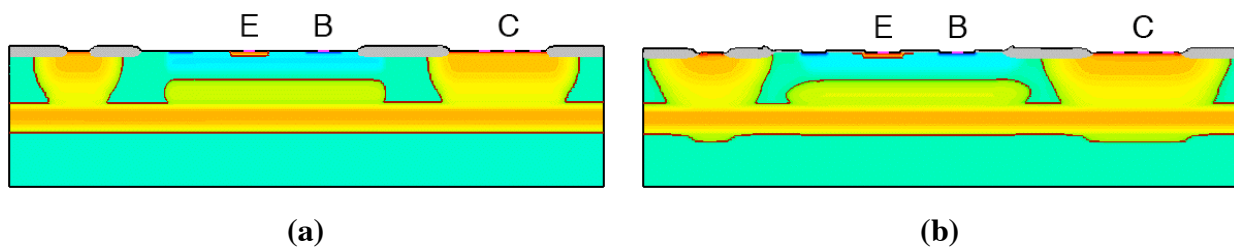


Figure 2-6. Description de Structure2, (a) de façon analytique avec MDRAW, (b) par simulation du procédé technologique avec DIOS

Une coupe 1D est effectuée dans la zone active au niveau du contact de base le long de l'axe AA' (Figure 2-5). Une fois encore les profils simulés par les différents outils corrént parfaitement avec la mesure (Figure 2-7).

Nous réalisons alors la simulation électrique pour déterminer la valeur BV de la tension de claquage (Tableau 2-2) ainsi que sa localisation dans la structure.

A la lecture des résultats de simulation, nous constatons que seule la valeur de la tension de claquage de la structure issue d'une simulation du procédé technologique corréle bien avec la mesure. Elle ne présente seulement que 4% d'erreur par rapport à la mesure alors que la simulation pour la structure définie analytiquement génère une erreur de plus de 20%.

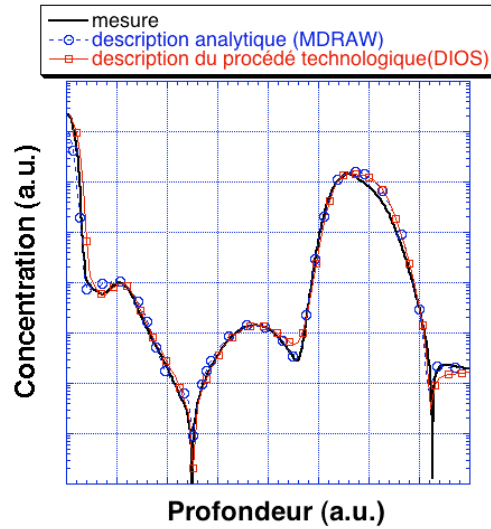


Figure 2-7. Profils de dopage suivant AA'

	BV (V)
Mesure	42
Profils de dopage simulés analytiquement	52
Profils de dopage simulés à partir du procédé technologique	43.8

Tableau 2-2. Mesure et simulation de la tension de claquage statique BV de Structure2

Pour expliquer un tel écart au niveau des résultats, nous visualisons sur la Figure 2-8(a) et (b) la localisation du champ électrique maximum à l'intérieur de la structure pour vérifier que le claquage électrique intervient bien à la jonction attendue.

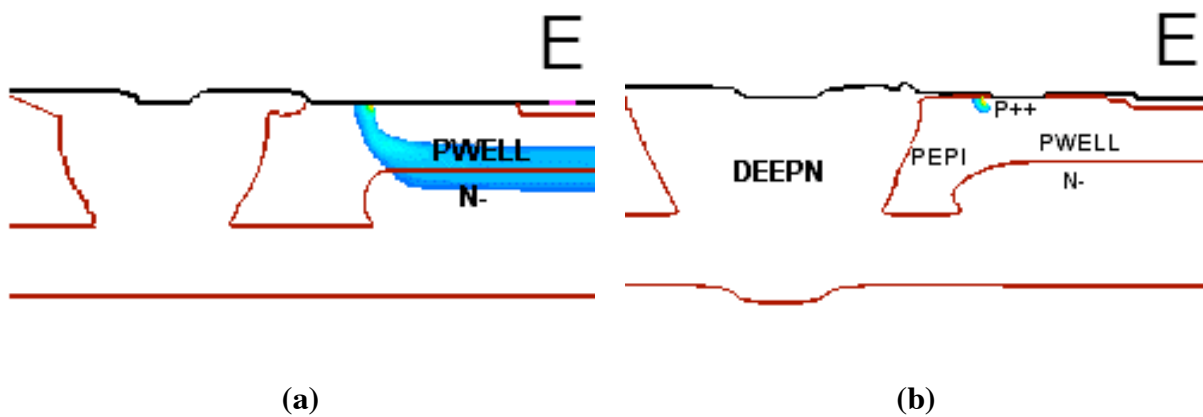


Figure 2-8. Localisation du champ électrique dans Structure2 décrite (a) de façon analytique avec MDRAW, (b) par simulation du procédé technologique avec DIOS

Il apparaît alors que pour la structure décrite de manière analytique, le maximum de champ électrique se situe à la jonction plane PWELL/N⁻ (Figure 2-8(a)) comme pour la première structure étudiée. En revanche pour la structure issue de la simulation technologique, ce maximum apparaît comme prévu à la jonction cylindrique DEEPN/PEPI-PWELL-P⁺⁺ (Figure 2-8(b)). C'est donc bien ce dernier résultat qui corrèle au mieux avec la mesure. La description analytique quant à elle retourne des résultats erronés ce qui se traduit au niveau des résultats de simulation par une mauvaise localisation de la tension de claquage et donc par conséquent une valeur de BV fautive.

Pour la première structure étudiée, le claquage électrique avait lieu à la jonction plane PWELL/N⁻. Par conséquent, une unique vérification concernant la précision des profils de dopage verticaux simulés par les deux méthodes (MDRAW et DIOS) suffit pour obtenir par la suite une valeur du BV exacte.

Pour le second dispositif, le claquage électrique se produit cette fois-ci sur une jonction cylindrique. Cela nécessite une description précise des profils de dopage verticaux mais également de leur diffusion latérale. Pour ce genre de description, seul le simulateur technologique décrit précisément cette extension latérale. En effet, le développement du fichier permettant de simuler le procédé technologique se fait en parallèle avec sa mise au point en salle blanche. Les résultats obtenus sur silicium sont alors comparés à ceux prédits de manière à contrôler que simulation et réalisation corrélerent. Si ce n'est pas le cas, des ajustements sont alors apportés aussi bien au niveau des fichiers de simulation qu'à la réalisation technologique elle-même. Par conséquent durant le développement de la technologie, les fichiers de simulation sont sans cesse mis à jour par rapport à la réalisation technologique jusqu'à obtenir la meilleure simulation possible. On dit alors que ces fichiers sont calibrés. C'est cette étape qui permet par la suite d'obtenir une précision satisfaisante sur la description latérale des profils de dopage.

En revanche, la description latérale des profils de dopage de manière analytique est fixée de manière arbitraire par l'utilisateur. Elle correspond à une extrapolation du profil vertical dans l'axe latéral. Un coefficient compris entre 0 et 1 permet d'ajuster empiriquement l'extension latérale de la jonction. La valeur de ce coefficient permet de calculer grossièrement le pourcentage de la profondeur de jonction qui sera alors affectée à l'extension latérale. Une valeur empirique de 0,8 pour la valeur du coefficient est fréquemment choisie par les utilisateurs. Malheureusement, cette valeur n'est pas adaptée pour tous les profils de dopage et notamment ceux décrivant les composants de notre étude (Figure 2-9 et Figure 2-10).

La Figure 2-9 permet de nous rendre compte que le puits DEEPN décrit par une simulation technologique diffuse beaucoup plus dans l'épitaxie PEPI que le puits DEEPN décrit analytiquement. L'écart de diffusion latérale entre les deux méthodes de simulation est représenté par DL sur la Figure 2-9. De manière à évaluer l'écart de diffusion latérale DL entre les profils de dopage décrits par les deux méthodes, une coupe 1D notée BB' a été réalisée (Figure 2-5). La Figure 2-10 permet alors d'apercevoir que les profils de dopages latéraux issus de la simulation du procédé technologique diffuse latéralement 40% plus loin dans le PEPI que ceux décrits analytiquement. Ceci renforce le fait que le claquage se fait à la jonction cylindrique DEEPN/PEPI-PWELL-PSD et non plus à la jonction plane PWELL/N⁻ puisque la largeur de la zone à dépeupler entre DEEPN et PSD est maintenant plus courte ce qui justifie que la valeur de la tension de claquage BV à la jonction cylindrique soit inférieure de 10V à celle de la jonction plane PWELL/N⁻.

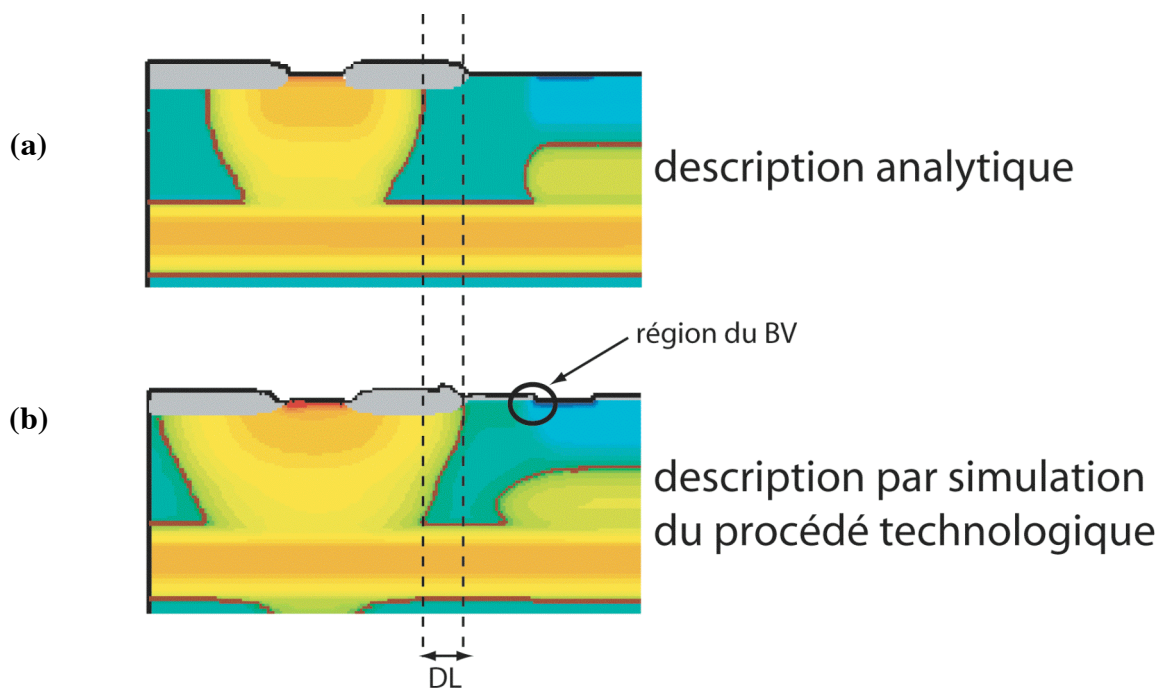


Figure 2-9. Comparaison de la diffusion latérale des profils de dopage du puit DEEPN dans Structure2 décrite (a) de façon analytique avec MDRAW, (b) par simulation du procédé technologique avec DIOS

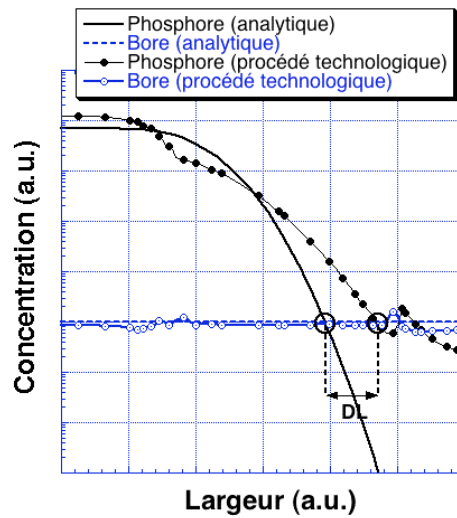


Figure 2-10. Profils de dopage suivant BB'

Pour la suite de notre étude, nous avons donc choisi de simuler les profils de dopage avec un simulateur de procédé technologique (DIOS) car il permet d'obtenir une meilleure description des profils de dopage notamment au niveau de la diffusion latérale des dopants. De plus, la simulation du procédé permet également une meilleure définition de la géométrie du composant notamment au niveau de la réalisation des oxydes. Concernant le dispositif Structure2 qui sera, dans le prochain paragraphe, simulé pour des conditions ESD, la description de l'oxyde de champ épais PELOX et notamment la zone de silicium située en dessous de celui-ci influe sur la valeur de la tension de claquage ainsi que sur sa tension de déclenchement. En effet, la formation de cet oxyde se fait en consommant localement du silicium pour former du SiO_2 . De ce fait, cet oxyde est semi enterré et présente une morphologie à ses extrémités en forme de « bec d'oiseau ». De plus, la consommation locale du silicium aboutit à une exodiffusion des atomes dopants de bore de la couche PEPI dans l'oxyde de champ induisant un appauvrissement en surface du dopage de bore. Ces deux aspects, morphologie de l'interface Si- SiO_2 et profils de dopage en dessous du PELOX peuvent être difficilement représentés par la méthode de description analytique. Ils sont néanmoins primordiaux pour calculer avec précision la tension de claquage et de déclenchement de Structure2.

2.1.2 Choix des modèles physiques

Le choix des modèles physiques est important pour améliorer la précision des résultats de simulation électrique. Pour cela, ISE met à notre disposition l'outil nommé DESSIS [DESS]. Ce dernier propose à ses utilisateurs une grande variété de modèles physiques. La première difficulté de l'utilisateur va donc être de choisir certains modèles par rapport à d'autres qui pourtant décrivent les mêmes phénomènes physiques. L'autre difficulté sera de choisir les modèles en adéquation avec les mécanismes physiques mise en jeu pour les conditions d'utilisation du composant.

Ce paragraphe met en évidence l'importance du choix des modèles physiques pour simuler le comportement d'une structure de protection ESD lorsque celle-ci subit des décharges électrostatiques modélisées par des impulsions de courants d'amplitude croissante. Il nous permet de mieux appréhender l'influence des modèles sur la précision des paramètres électriques caractéristiques d'une courbe TLP ainsi simulée.

Parmi les modèles physiques proposés par DESSIS, notre objectif est donc de sélectionner la meilleure combinaison de modèles permettant de simuler de façon la plus exacte notre composant lorsque celui-ci subit un stress ESD de type TLP. Ces simulations se limiteront à la gamme de validité en température des modèles. Il est nécessaire d'ajuster le cas échéant la valeur de certains paramètres contenus dans les modèles, comme par exemple la durée de vie, de manière à ce que le résultat obtenu en simulation corrèle le plus exactement avec la mesure.

Rappelons que lors du déclenchement d'une structure de protection contre les ESD de type transistor bipolaire autopolarisé, deux phénomènes sont prépondérants. Le premier est le claquage électrique par avalanche. Le second est le déclenchement d'un transistor bipolaire avec pour conséquence le « repliement » de la structure. Il est à noter que le second mécanisme est associé à des effets de forts courants. Le fonctionnement du transistor bipolaire NPN autopolarisé a été présenté dans le chapitre1 à la Figure pour Structure2. Il devient alors essentiel de choisir les modèles les mieux adaptés à la description de ces deux phénomènes. De plus, comme la structure travaille pour des niveaux de courant croissants, il y a élévation permanente de la température durant un test TLP jusqu'à atteindre la destruction thermique du composant. Il est donc essentiel que les modèles soient dépendants de la température. Toutefois, ces derniers ont une limite de validité en température estimée selon les modèles à 600K voire 700K [UNI1] pour les meilleurs.

Afin de sélectionner les modèles physiques les mieux appropriés à notre étude, nous avons comparé leur influence sur le composant de protection contre les ESD désigné par Structure2 (Figure 2-5).

2.1.2.1 Calibrage du phénomène d'avalanche

2.1.2.1.a Modèles de génération par avalanche

La génération par avalanche de paires électrons/trous nécessite une certaine intensité de champ électrique mais aussi une longueur du chemin d'accélération suffisante (c'est-à-dire une largeur suffisante de la région de charge d'espace). Les porteurs, électrons ou trous, accélérés par le champ, peuvent alors acquérir au cours d'un libre parcours une énergie supérieure à celle de la largeur de la bande interdite E_g leur permettant, lors d'une collision avec le réseau cristallin, de briser des liaisons covalentes créant ainsi de nouvelles paires électron/trou. Les porteurs générés peuvent à leur tour provoquer la création d'autres paires de porteurs installant un processus d'avalanche électronique. Les modèles du simulateur DESSIS rendent compte de ce phénomène à travers le calcul du taux de génération de porteurs par impact noté G_i . Ce dernier est formulé par la relation suivante :

$$G_i = \alpha_n \cdot n \cdot v_n + \alpha_p \cdot p \cdot v_p \quad (12)$$

avec :

n et p , concentrations respectives des porteurs libres : électrons et trous,

α_n et α_p , coefficients d'ionisation des deux types de porteurs,

v_n et v_p , vitesses de dérive des porteurs.

Les coefficients d'ionisation $\alpha_{n,p}$ représentent le nombre moyen de collisions ionisantes que provoque un porteur, à champ constant, sur l'unité de longueur de parcours. Le simulateur propose quatre modèles permettant de calculer ces coefficients d'ionisation. Ce sont les modèles de VanOverstraeten/deMan [VANO], d'Okuto/Crowell [OKUT], de Lackner [LACK] et enfin celui de l'Université de Bologne (Baccarani) [UNI1], [UNI2] et [UNI3].

Nous étudions l'influence de chacun de ces modèles à travers les résultats de simulations électriques obtenus sur la Structure2. Nous rappelons que c'est une structure dédiée à la protection contre les ESD et que son émetteur et sa base sont reliés entre eux à la masse. Nous réalisons alors deux types de simulation. La première est statique et consiste à appliquer une tension variable sur le collecteur jusqu'à atteindre le claquage électronique de la jonction collecteur/base. Pour un courant de fuite de 1nA, nous déterminons la valeur de la tension de

claquage correspondante notée BV_{cb} . La seconde simulation est dynamique. Elle consiste à extraire des résultats de simulation la valeur de la tension de déclenchement V_{T1} et de maintien V_H de Structure2. Pour évaluer la valeur de V_{T1} , nous appliquons sur le collecteur de la Structure2 une impulsion de courant de très faible valeur que nous maintenons durant 100ns. Le temps de montée est de 2ns. V_H quant à lui nécessite des courants de quelques centaines de milliampères et est identifié avec le repliement du composant. Les résultats de simulation permettant d'obtenir les valeurs de BV_{cb} , de V_{T1} et de V_H pour les différents modèles de coefficients d'ionisation sont regroupés dans le Tableau 2-3.

Les écarts les plus importants obtenus en simulation par certains modèles restent encore tout à fait raisonnables. L'erreur de calcul maximale sur la valeur de BV_{cb} n'est seulement que de 7% par contre elle atteint 14% sur V_{T1} et jusqu'à 30% sur la valeur de V_H . Or ces écarts de simulation sont comparables à la dispersion des résultats de mesure du fait de la variation du procédé technologique. Il n'y a pas véritablement un modèle particulier qui semble obtenir des résultats de simulation plus précis. En effet, quelque soit le modèle choisi, l'erreur reste acceptable.

	BV_{cb} (V)	V_{T1} (V)	V_H (V)
Mesure	42	42.5	12.8
VanOverstraeten/deMan	44	45	15.7
Okuto/Crowell	43.76	47.67	15
Lackner	44.71	47.1	16.65
Université de Bologne	44.58	48.62	15.86

Tableau 2-3. Valeurs des tensions de claquage BV_{cb} , de déclenchement V_{T1} et de maintien V_H simulées pour différents modèles de coefficients d'ionisation

La Figure 2-11 montre, pour chaque modèle, l'évolution des coefficients d'ionisation α avec le champ électrique E pour une température $T=300K$. Afin de tenir compte aussi bien des coefficients d'ionisation des trous que de ceux des électrons, nous en avons calculé la somme. Celle-ci est représentée par α à la Figure 2-11.

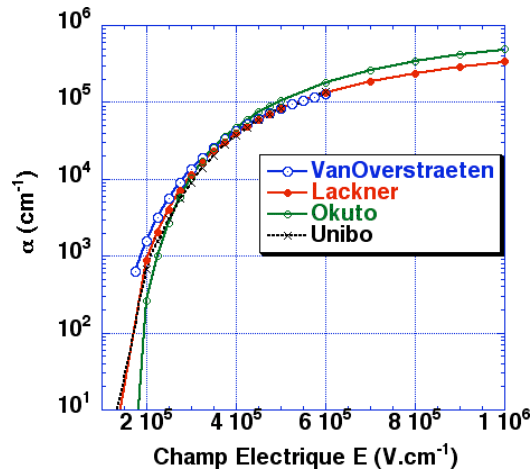


Figure 2-11. Evolution des coefficients d'ionisation en fonction du champ électrique E pour les différents modèles

Rappelons que chacun des modèles de coefficients d'ionisation n'est validé que dans une certaine gamme de champ électrique ainsi que pour une certaine gamme de température. Par exemple, les modèles de VanOverstraeten et de l'Université de Bologne sont valables jusqu'à une valeur E égale à $6 \cdot 10^5 \text{ V.cm}^{-1}$ tandis que ceux d'Okuto et de Lackner restent encore valables au-delà de cette valeur et jusqu'à un champ électrique de $1 \cdot 10^6 \text{ V.cm}^{-1}$. Dans la gamme de champ électrique $E : 2 \cdot 10^5 - 6 \cdot 10^5 \text{ V.cm}^{-1}$ qui est commune d'un point de vue validité à chacun des modèles, il y a peu de différences entre les valeurs des coefficients d'ionisation calculés par les différents modèles. Ceci permet alors de mieux comprendre la raison des faibles écarts observés sur les valeurs simulées des tensions de claquage BV_{cb} , de déclenchement V_{TI} et de maintien V_H calculées par les différents modèles de coefficients d'ionisation.

Finalement nous avons choisi de conserver le modèle de VanOverstraeten pour deux raisons. Premièrement, les valeurs calculées à partir de ce modèle corrént en moyenne au mieux avec les mesures correspondantes. Deuxièmement, une étude semblable a été menée dans la littérature [STRI98] sur un composant ESD de type bipolaire. Celle-ci a également conclu que le modèle de VanOverstraeten semblait être le modèle permettant d'obtenir la meilleure précision.

Toujours concernant le calcul du taux de génération par impact, il est nécessaire de prendre en compte dans les modèles l'option définie sous l'appellation de "driving force". Celle-ci permet de sélectionner la méthode utilisée pour calculer la force d'accélération due au champ

électrique appropriée aux conditions d'utilisation. DESSIS propose 3 façons se résumant par le calcul de:

- le module du vecteur champ électrique: **ElectricField**
- la composante du champ électrique dans la direction du courant: **Eparallel**
- la valeur du gradient des niveaux de quasi Fermi: **GradQuasiFermi**.

Des simulations permettant de calculer BV_{cb} , de V_{T1} et de V_H ont alors été réalisées pour chacun des modèles de champ électrique E. Les valeurs obtenues étant quasiment identiques, il est alors difficile de préférer un modèle à un autre. Notre choix s'est quand même porté sur le modèle Eparallel en comparaison avec les résultats de travaux similaires rencontrés dans la littérature [STRI98].

2.1.2.2 Calibrage du gain en courant β

Une attention toute particulière est portée sur le calibrage du gain en courant β de la structure étudiée. En effet, nous rappelons qu'une des principales caractéristiques d'une structure de protection ESD est le déclenchement de l'effet bipolaire à partir d'un certain niveau de courant. Ce mécanisme se traduit sur la caractéristique TLP par une chute de tension appelée « snapback ». L'amplitude de ce repliement entre V_{T1} et V_H est fonction de la valeur du gain en courant β du bipolaire.

La formule de Miller [MILL57] permet d'exprimer la dépendance qui existe entre β et la tension de repliement ou de maintien BV_{CE0} .

$$BV_{CE0} = \frac{BV_{CBO}}{(1 + \beta)^{1/m}} \quad (13)$$

avec :

BV_{CE0} , la tension de claquage de la jonction collecteur/émetteur, la base étant laissée flottante

BV_{CBO} , la tension de claquage de la jonction collecteur/base, l'émetteur étant laissée flottant

m , coefficient

Celle-ci est formulée pour un régime statique mais elle garde toute sa validité pour nos conditions d'utilisation qui sont celle du test TLP. La relation reste encore valable si on remplace BV_{CE0} par la tension de maintien dynamique V_H et BV_{CBO} par V_{T1} . La formule précédente devient par conséquent :

$$V_H \approx \frac{V_{T1}}{(1 + \beta)^{1/m}} \quad (14)$$

La valeur de V_H est alors inversement proportionnelle à celle du gain. Il apparaît donc nécessaire de réaliser un calibrage précis du gain car celui-ci influence notamment la valeur de V_H . Ceci peut avoir un fort impact sur l'évolution de la caractéristique TLP pour des courants plus importants. En effet, une sous-estimation de la valeur du gain entraînera une valeur de V_H plus importante. Il semble évident que dans ce cas-là, la défaillance de la structure ESD peut apparaître prématurément. La valeur du courant I_{T2} sera alors plus faible. Inversement, une surestimation du gain β induira une valeur de V_H plus faible ce qui entraînera un retard dans la défaillance et par conséquent une valeur du courant I_{T2} plus importante.

Les paramètres physiques intrinsèques à un composant influencent la courbe du gain en courant β . Ces paramètres sont la mobilité μ , la densité intrinsèque n_i ainsi que les phénomènes de génération-recombinaison G-R. Nous avons donc simulé la réponse du gain en courant pour différents choix de modèles physiques. Les modèles physiques proposés par le simulateur étant trop nombreux, il serait trop long de vouloir simuler toutes les combinaisons possibles. Nous avons donc simulé un nombre réduit de combinaisons de modèles tout en obtenant un calibrage assez précis du gain en courant. Pour réaliser cela, nous avons sélectionnés chaque modèle influençant la courbe de gain en courant simulé de manière indépendante. Ces modèles sont ceux des paramètres cités précédemment : μ , n_i et G-R. De manière à sélectionner le meilleur modèle décrivant la mobilité μ , les simulations du gain sont réalisées pour chacun des modèles de la mobilité, les modèles pour n_i et G-R étant choisis de manière arbitraire. Nous retiendrons finalement le modèle de mobilité corrélant au mieux avec la mesure. La même démarche sera appliquée pour sélectionner le meilleur modèle pour n_i (μ et G-R choisis arbitrairement) et G-R (μ et n_i choisis arbitrairement). Les modèles fixés arbitrairement ne seront pas mentionnés seuls seront regroupés dans un tableau les modèles des paramètres physiques approchant au mieux la mesure du gain en courant.

Le résultat a finalement permis de retenir la meilleure combinaison de modèles permettant d'ajuster au mieux le gain simulé à la mesure. Nous montrerons finalement quelles sont les répercussions d'un calibrage précis du gain sur la courbe TLP simulée et notamment pour de faibles valeurs de courant c'est-à-dire dans la limite de validité en température des modèles utilisés.

2.1.2.2.a Modèles de mobilité

La mobilité pour les faibles champs électriques dépend de nombreux paramètres tels que la température, le dopage, ou encore les collisions des porteurs entre eux ou avec les impuretés

du réseau. Le simulateur DESSIS permet de calculer la mobilité à faible champ en choisissant de calculer ou pas ces paramètres dans le modèle physique de la mobilité. Celui-ci est donné par:

$$\frac{1}{\mu_{E_{faible}}} = \frac{1}{\mu_{dopage}} + \frac{1}{\mu_{E_{normal}}} + \frac{1}{\mu_{collisions}} \quad (15)$$

DESSIS propose également des jeux de modèles calculant la mobilité liée au dopage μ_{dopage} ainsi que celle liée aux collisions entre porteurs $\mu_{collisions}$. Philips réalise cela en fournissant un modèle déjà bien calibré. Par conséquent, une fois que le modèle de Philips [PHIL92] est choisi pour le calcul μ_{dopage} , il devient alors impossible de sélectionner un autre modèle que celui de Philips pour le calcul de la valeur $\mu_{collisions}$.

Un autre modèle décrivant la mobilité a été développé par l'université de Bologne (modèles développés par Baccarani) [μ UNI1], [UNI2], [μ UNI2] et [μ UNI3]. Ce modèle a la particularité d'avoir été calibré jusqu'à des températures de 700K. L'utilisation de ce modèle pour de futures simulations sera désigné sous l'appellation Unibo.

Si on souhaite tenir compte de la saturation de la mobilité pour de forts champs électriques (option HighFieldSaturation dans le modèle de la mobilité), cela se fera en deux étapes. La première déterminera grâce à la relation précédente la valeur de la mobilité à faible champ. Ensuite, la mobilité finale est calculée à partir d'un modèle qui prend également en compte la force de conduction F de sorte que : $\mu_{E_{fort}} = f(\mu_{E_{faible}}, F)$.

Lorsqu'on choisit de ne pas utiliser les modèles de Philips ou ceux de l'université de Bologne pour le calcul des mobilités μ_{dopage} , $\mu_{Enormal}$ et $\mu_{collisions}$, il est alors possible de sélectionner des modèles réalisant ces calculs de manière indépendante. Les sections suivantes décrivent les différents paramètres influençant la mobilité. Afin de tenir compte ou pas de ces paramètres, nous proposerons le choix d'un modèle y correspondant. L'ensemble de ces modèles sera ensuite conservé pour réaliser la simulation du gain en courant β , la valeur de la tension de claquage BV et plus tard le stress TLP. Cette combinaison de modèles sera désignée sous l'appellation de Mobil1.

2.1.2.2.a.1 Dépendance par rapport au dopage.

Dans un semi-conducteur dopé, la nature de ce dernier ainsi que la valeur de son dopage influe sur la mobilité. Cela est dû à la dispersion des porteurs par collision avec les impuretés

fixes qui a pour conséquence la dégradation de la mobilité. Le calcul de la mobilité μ_{dopage} prend en compte cette dégradation dans le modèle de la mobilité. Pour du Silicium, il convient d'utiliser le modèle de Masetti [MASE83].

2.1.2.2.a.2 Dépendance par rapport au champ électrique transverse E_{normal}

Dans la région du canal d'un MOSFET règne un fort champ électrique transversal par rapport à l'interface oxyde/silicium. Ce dernier force les porteurs à interagir avec l'interface isolant semi-conducteur. Les porteurs subissent alors une dispersion due aux phonons acoustiques de surface mais également provoquée par la rugosité de l'état de surface. La dégradation de mobilité en surface due à ces deux effets est décrite par le modèle de Lombardi [LOMB88]. La structure étudiée étant de type bipolaire, il n'est alors pas nécessaire de calculer la mobilité μ_{Enormal} tenant compte de ce phénomène.

2.1.2.2.a.3 Dépendance par rapport aux collisions des porteurs

Deux modèles permettent de tenir compte de la dégradation de la mobilité $\mu_{\text{collisions}}$ causée cette fois-ci par la collision entre porteurs. Ces modèles sont ceux de Conwell-Weisskopf [CON1] [CON2] et de Brooks-Herring. Quelque que soit le modèle utilisé, les résultats de simulation pour la courbe de gain en courant sont identiques. Nous avons alors retenu de façon arbitraire le modèle proposé par défaut par le simulateur qui est celui de Conwell-Weisskopf.

Finalement, nous comparons à la Figure 2-12 les résultats de simulation obtenus pour les différents modèles de mobilité utilisés. Ces derniers sont désignés par Mobil1, Philips et Unibo. Le gain en courant β augmente avec la mobilité. Simulations et mesure ont été réalisées pour une température de 300K.

Nous constatons sur la Figure 2-12 qu'aucune des courbes de gain en courant simulées avec les différents modèles ne corrèle avec la mesure. Il n'est donc pas évident de privilégier un modèle de mobilité à un autre. Il faudra donc, en plus du modèle de mobilité tenir compte d'autres modèles pour simuler précisément la mesure de gain. Nous avons toutefois retenu le modèle de Philips pour deux raisons. Rappelons tout d'abord que la structure ESD étudiée est issue d'un transistor bipolaire. Or les modèles de Philips ont été initialement développés pour des dispositifs de ce type. De plus, les résultats de simulation concernant le gain en courant semblent les moins éloignés des résultats de mesure.

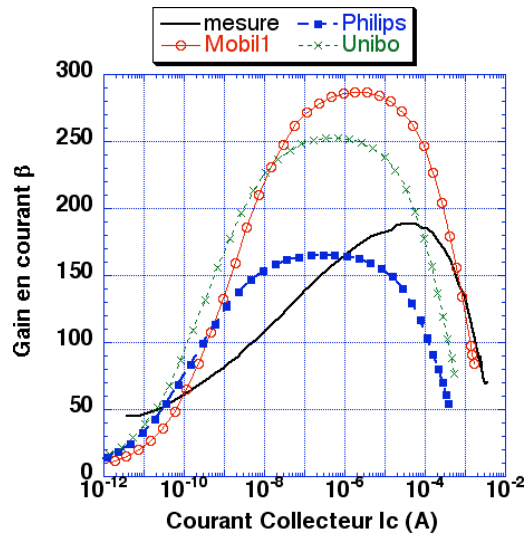


Figure 2-12. Influence des différents modèles de mobilité sur l'évolution du gain en courant β

2.1.2.2.b Modèles de densité intrinsèque

Le calcul de la densité intrinsèque effective dans un semi-conducteur est lié à la largeur de sa bande interdite. Or celle-ci subit des variations en fonction notamment des dopages utilisés mais aussi de la température. Une diminution de la largeur de bande interdite engendre un accroissement de la densité intrinsèque effective. Les modèles du simulateur DESSIS tiennent compte de cette variation de largeur de bande interdite notée BGN, abréviation du terme anglais "BandGapNarrowing" (pour rétrécissement de la largeur de la bande interdite). DESSIS propose quatre variantes pour le calcul de la densité intrinsèque. Celles-ci sont connues sous les noms de : BennettWilson [BENN] (sélectionné par défaut), Oldslotboom [OLDS], Slotboom [SLOT] et enfin delAlamo [DELA].

La Figure 2-13 indique l'influence de chacun de ces modèles sur la courbe de gain en courant. Aucun des résultats de simulation obtenus pour chacun des modèles ne corrèle avec la mesure. Toutefois les résultats de la simulation avec le modèle OldSlotboom s'éloignent largement de la mesure. En revanche, les simulations obtenues avec les trois autres modèles en sont assez proches. Nous retiendrons toutefois le modèle de Slotboom car ses résultats semblent les plus proches de la mesure.

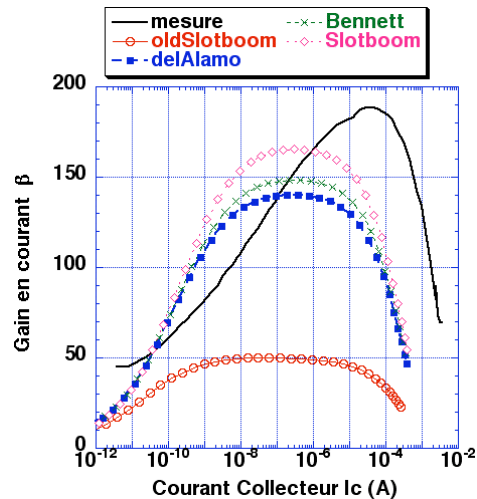


Figure 2-13. Influence des différents modèles de BGN sur l'évolution du gain en courant β

2.1.2.2.c Modèle de Génération-Recombinaison

Les différents mécanismes de génération-recombinaison ayant lieu dans le silicium sont :

- la génération-recombinaison SRH (Shockley-Read- Hall)
- la génération-recombinaison radiative
- la génération-recombinaison Auger

Le simulateur DESSIS permet de considérer ces différents mécanismes. Les travaux d'Esmark [ESMA02] sur le calibrage du gain en courant par les modèles de génération-recombinaison ont montré que l'ajustement des paramètres du modèle SRH avait l'influence la plus importante sur la courbe de gain simulée. Nous avons donc principalement porté notre attention sur ce modèle. Ce modèle permet de tenir compte de recombinaisons ayant lieu par l'intermédiaire des niveaux de pièges situés à l'intérieur de la bande interdite. Ces derniers sont créés principalement durant le procédé technologique et notamment après chaque étape d'implantation. Ils dépendent donc fortement du procédé technologique correspondant et influent sur la durée de vie des porteurs. La durée de vie est donc une grandeur propre à chaque technologie. Elle devient par conséquent un paramètre de calibrage pour le simulateur. La courbe de gain en courant permet d'ajuster la durée de vie des porteurs en excès dans le simulateur de composants.

DESSIS propose pour le calcul du taux de recombinaisons SRH la relation classique de Scharfetter [SELB84] qui relie la durée de vie des porteurs notée τ_{SRH} aux concentrations de dopages N.

$$\tau_{SRH}(N) = \frac{\tau_{n,p}}{1 + \left(\frac{N}{N_{ref}}\right)^\gamma} \quad (16)$$

$\tau_{n,p}$, γ et N_{ref} sont les paramètres d'ajustement que nous avons réglés de manière à approcher au plus près la mesure du gain.

La Figure 2-14 compare à la mesure les courbes de gain simulées avec et sans calibrage de la durée de vie τ_{SRH} . Elle met en évidence la précision apportée à la simulation du gain en courant par l'étape de calibrage sur τ_{SRH} .

En comparaison avec les valeurs de $\tau_{n,p}$ contenues par défaut dans le simulateur ($\tau_n=10^{-5}$ s, $\tau_p=3.10^{-6}$ s), les nouvelles valeurs choisies pour $\tau_{n,p}$ sont relativement plus petites ($\tau_n=7.10^{-8}$ s, $\tau_p=3.10^{-7}$ s). Ceci est une conséquence directe de la réduction générale du bilan thermique dans les nouvelles technologies. Des nouvelles techniques de recuit rapide (RTA pour Rapid Thermal Annealing) permettent la réduction du bilan thermique. Par conséquent, seule une partie des espèces implantées sera électriquement activée. La réduction du bilan thermique empêche un recuit complet qui aurait éliminé les défauts créés lors des implantations. En résumé, ces nouvelles techniques pour les procédés technologiques modernes introduisent au final une quantité plus importante de défauts dans le silicium. Ceci a pour conséquence de réduire la durée de vie des porteurs τ_{SRH} . Ceci justifie donc bien que les nouvelles valeurs de $\tau_{n,p}$ soient inférieures aux valeurs par défaut contenues dans le simulateur.

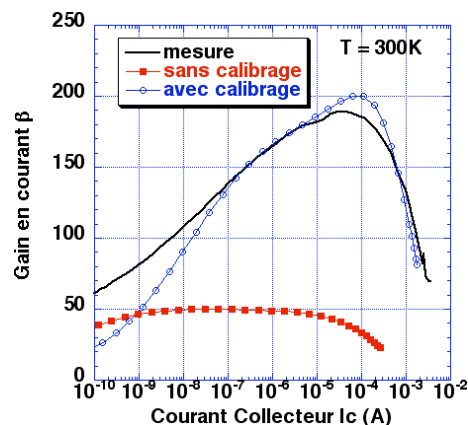


Figure 2-14. Mesure et simulations du gain en courant avec et sans calibrage

En prévision de futures simulations TLP calculée à l'aide d'équations électrothermiques, nous avons pris en compte l'influence de la température sur la durée de vie SRH. Le simulateur propose deux modèles. L'un est désigné par «TempDep». Le second évolue exponentiellement avec la température et est désigné par «ExpTempDep». La Figure 2-15

illustre, pour une température $T=373\text{K}$, les résultats de simulation du gain en courant pour chacun des modèles. La simulation avec le modèle «ExpTempDep» corrèle assez précisément avec la mesure de gain. C'est donc ce modèle que nous conserverons pour la suite de notre étude.

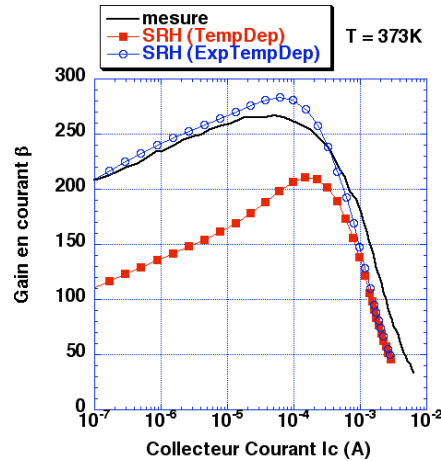


Figure 2-15. Gain en courant pour les deux modèles prenant en compte la dépendance du taux SRH avec la température

La différence entre les résultats de simulation peut s'expliquer en comparant l'évolution des deux modèles avec la température (Figure 2-16).

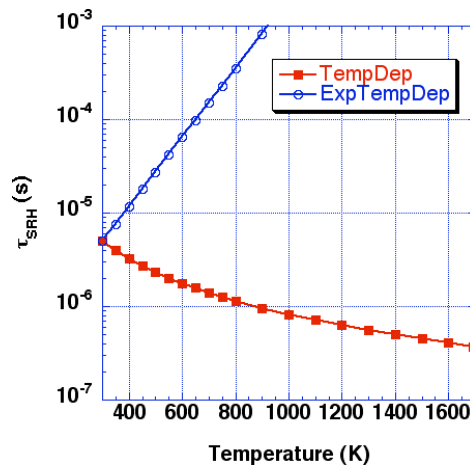


Figure 2-16. Evolution de la durée de vie SRH en fonction de la température pour les deux modèles proposés par le simulateur

La seule valeur commune aux deux modèles de la durée de vie τ_{SRH} en fonction de la température est celle obtenue à $T=300\text{K}$. En effet, à température ambiante, $\tau_{\text{SRH}}=5 \cdot 10^{-5}\text{s}$. Lorsque la température augmente, τ_{SRH} calculée avec TempDep diminue progressivement. Au contraire, τ_{SRH} calculée avec ExpTempDep augmente exponentiellement avec la température. Pour $T=373\text{K}$, $\tau_{\text{SRH}}=3,5 \cdot 10^{-6}\text{s}$ calculée avec TempDep tandis que $\tau_{\text{SRH}}=10^{-5}\text{s}$ avec

ExpTempDep. La durée de vie calculée avec le modèle TempDep est donc bien inférieure. Ceci justifie que le gain en courant simulé avec ce modèle soit lui aussi inférieur à celui simulé avec le modèle ExpTempDep pour $T=373K$.

Le Tableau 2-4 regroupe les modèles physiques que nous avons finalement sélectionnés et qui nous paraissent les mieux adaptés pour décrire précisément la caractéristique I-V TLP simulée de Structure2.

	Modèles sélectionnés
Mobilité	Philips, HighFieldSaturation
Densité intrinsèque	BGN (Slotboom)
Génération-Recombinaison	Avalanche (VanOverstraeten(Eparallel)) SRH (ExpTempDep)

Tableau 2-4. Modèles physiques retenus pour les simulations

2.2 Méthode prédictive

Le délai écoulé entre le cycle de développement d'une nouvelle technologie et la mise sur le marché d'un composant réalisé dans celle-ci se voit être de plus en plus réduit. Une des conséquences est que les structures de protection contre les ESD doivent être développées avec la même réactivité. De nos jours et malgré des efforts soutenus durant ces vingt dernières années dans le développement et l'optimisation des structures ESD que ce soit en terme de robustesse ou bien d'intégration, l'ESD est encore une des principales causes de défaillance des circuits intégrés. Il est donc fréquent pour les ingénieurs de devoir redessiner des composants de manière à atteindre les spécifications souhaitées.

Une des solutions pour minimiser le nombre de réalisations sur silicium est d'utiliser une approche basée sur la simulation TCAD et ça depuis le début du développement de la nouvelle technologie. Cette approche permettra alors d'optimiser les composants actifs de la technologie en parallèle avec les dispositifs de protection ESD.

2.2.1 Critère de défaillance d'une structure ESD

Lors de la conception d'une structure de protection ESD, celle-ci doit être caractérisée par différents tests tels que HBM, MM, CDM, TLP etc... Nous avons limité notre étude à la caractérisation TLP qui est la technique de caractérisation et d'optimisation des structures. En effet, celle-ci permet d'extraire avec précision les paramètres de la caractéristique quasi-

statique $I(V)$ d'une structure de protection ESD en régime de fort courant et de vérifier si les valeurs de ces paramètres électriques sont bien celles fixées par le concepteur (Figure 2-17).

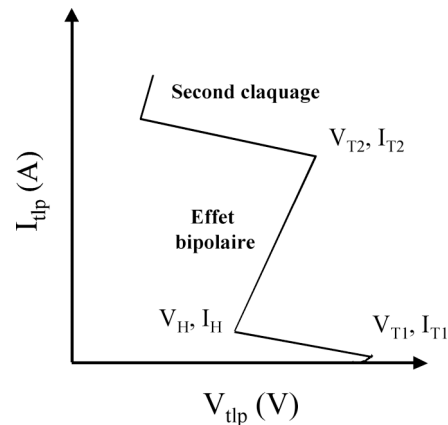


Figure 2-17. Caractéristique quasi-statique $I(V)$ d'une structure de protection ESD lors d'un stress TLP

Pour minimiser le nombre de réalisations sur silicium, les concepteurs utilisent déjà largement des outils TCAD. La tension de déclenchement V_{T1} et la tension de maintien V_H sont déjà assez bien prédites par les simulations par contre l'évaluation du courant de défaillance I_{T2} est encore difficile pour deux raisons. La première concerne directement le critère de défaillance utilisé pendant la mesure pour identifier la valeur du courant I_{T2} . Ce critère n'est malheureusement pas applicable dans un simulateur. En effet, le critère permettant d'évaluer le courant de défaillance I_{T2} est le courant de fuite I_{off} . Celui-ci indique l'état de dégradation de la structure durant l'application du stress TLP et il est nécessaire d'en suivre l'évolution après chaque impulsion de courant TLP. Dès que sa valeur devient supérieure à une valeur de courant de référence préalablement spécifiée alors le dispositif est considéré comme défaillant. La seconde raison est liée aux modèles physiques utilisés lors de la simulation électrique. En effet, la défaillance du dispositif a lieu pour de très hautes températures telles que la température de fusion du silicium (1683K) ou bien celles des lignes de métallisations : aluminium (933K) ou cuivre (1307K).

Malheureusement, les modèles physiques ne sont valables en température que jusqu'à 600K voire 700K pour les meilleurs. Par conséquent, si la température dans la structure vient à dépasser la gamme de températures dans laquelle les modèles ont été vérifiés, la pertinence des résultats de simulation correspondants est alors questionnable.

Afin de s'affranchir de ce problème, nous proposons une méthodologie basée sur des résultats de simulations réalisées dans la gamme de températures de validité des modèles. Cette méthode permet alors de prédire avec une bonne précision le courant de défaillance I_{T2} d'une

structure lorsque celle-ci subit un stress TLP. Cette méthode s'avèrera être beaucoup plus rapide pour prédire la valeur du courant I_{T2} comparée aux méthodes actuelles proposées dans la littérature.

2.2.2 Présentation de la méthode prédictive

Afin d'expliquer la méthode de prédiction du courant de défaillance I_{T2} , nous l'avons appliqué à une structure de protection ESD déjà étudiée dans une précédente section. Nous l'avons désignée par Structure2 et sa coupe technologique bidimensionnelle a été représentée à la Figure 2-5.

2.2.2.1 Méthode conventionnelle prédisant le courant I_{T2}

Dans la littérature, la thèse d'Esmark est la plus importante des références pour notre étude car il est le principal auteur à avoir mené ces dernières années des travaux sur la prédiction à l'aide d'un outil de simulation TCAD de la valeur du courant de défaillance I_{T2} .

Tous les dispositifs qu'il a étudiés ont été simulés en 2D avec le même type de simulateur que pour notre étude (TCAD-ISE).

Les structures étudiées par Esmark présentent deux types de défaillance durant leur caractérisation TLP. Une partie de ces structures devient défaillante de manière dite « classique ». Cela signifie que leur défaillance apparaît avec le second claquage thermique et donc par conséquent une chute brutale de la tension aux bornes du composant testé (ou second repliement) est observée. En revanche, l'autre partie de ces dispositifs deviennent défectueux sans que ne survienne pour autant un second claquage sur la courbe TLP. Dans ce cas là, seul l'augmentation significative du courant de fuite permet de détecter la défaillance.

Afin de prédire par la simulation la valeur du courant de défaillance I_{T2} des structures pour chacun des deux types de défaillances, Esmark propose alors un double critère de prédiction.

Le premier critère permet d'identifier les composants devenus défaillants sans apparition du second claquage. Ce critère suit alors localement l'évolution de la température dans le dispositif étudié durant une impulsion de courant et cela pour chaque niveau de courant TLP appliqué. Dès que la température dans la structure dépasse localement la température de fusion du silicium, le composant est alors considéré comme défaillant. La valeur du courant pour lequel la température de fusion du silicium a été atteinte dans la structure indique alors la valeur du courant de défaillance I_{T2} durant le stress TLP.

Le second critère permet quant à lui d'identifier les composants défectueux par simple apparition du second claquage. Ce critère consiste juste à reproduire en simulation ce que

nous observons expérimentalement c'est-à-dire réussir à atteindre le second repliement de la structure entraînant la chute de tension aux bornes de celle-ci.

Ces critères se résument donc plus simplement par:

$$I_{T2\text{simulé}} := \left\{ \begin{array}{l} T_{\text{max}} > T_{\text{crit}} \text{ localement,} \\ \text{ou apparition du second claquage} \end{array} \right\}$$

avec :

T_{max} , la température maximale localement atteinte dans le composant pour un certain niveau de courant TLP

$T_{\text{crit}}=1683\text{K}$ est la température de fusion du silicium.

Malheureusement, quel que soit le critère utilisé, la température dans la structure est toujours bien au-dessus de la gamme de validité en température des modèles physiques. Par conséquent, on peut s'interroger sur la crédibilité des résultats de simulation obtenus pour ces températures aussi élevées (Figure 2-18). C'est pourquoi nous proposons une nouvelle méthode de prédiction de la valeur du courant I_{T2} .

Nous avons tout d'abord appliqué les critères d'Esmark à la Structure2 étudiée en laissant la simulation se poursuivre jusqu'à l'apparition du second claquage. Il en résulte 20% d'erreur par rapport à la mesure (Tableau 2-5 et Figure 2-18). Ce résultat de simulation 2D a été obtenu après 7 jours de temps de calcul sur une station de travail SUN avec un processeur UltraSparc cadencé à une fréquence de 1GHz. Ce dispositif a été très finement maillé pour atteindre 15000 points de calcul. 24 couples de points (I_{tlp} , V_{tlp}) ont été calculés pour reconstituer en simulation la caractéristique TLP jusqu'à l'apparition du second claquage.

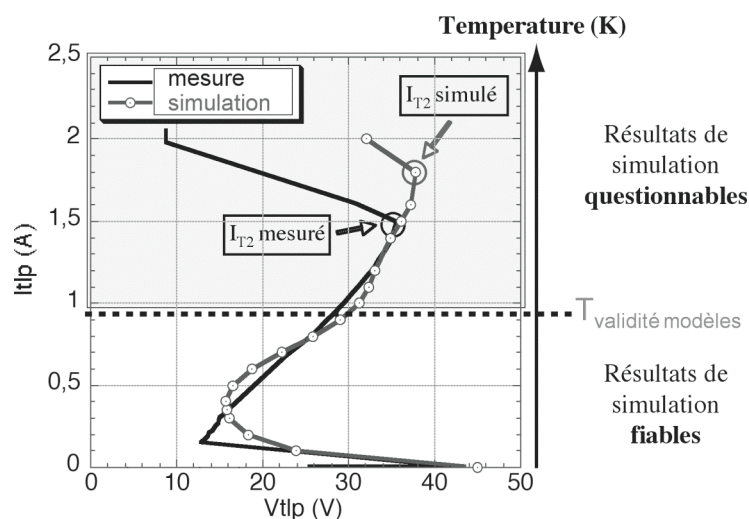


Figure 2-18. Caractéristique TLP mesurée et simulée de Structure2

Structure2	I_{T2} (A)
Mesure	1,5
Critères d'Esmark	1,8
Error (%)	20

Tableau 2-5. Valeur du courant I_{T2} mesurée et simulée pour Structure2

L'objectif de ce travail a été de mettre au point une méthode permettant de prédire la valeur du courant I_{T2} avec plus de précision que celle d'Esmark mais aussi plus rapidement d'un point de vue du temps de calcul machine.

2.2.2.2 Nouvelle méthode de prédiction du courant I_{T2}

Afin de surmonter la limitation en température de la simulation, nous proposons une méthodologie de prédiction du courant I_{T2} basée sur l'analyse des résultats de simulation réalisés exclusivement à l'intérieur de la gamme de validité en température des modèles.

2.2.2.2.a Simulation 2D ou 3D

L'étude est entièrement basée sur de la simulation bi-dimensionnelle pour deux raisons principales. Premièrement, la simulation 3D est reconnue comme étant la plus performante des simulations pour obtenir précisément les tensions de déclenchement et surtout de maintien [ESMA02]. Malheureusement ce genre de simulation nécessite un nombre de points à calculer considérable vis-à-vis de la puissance de calcul des stations de travail. Par conséquent, une simulation 3D consomme beaucoup trop de temps de calcul pour obtenir une courbe TLP dans son intégralité c'est-à-dire avec apparition du second claquage pour la majorité des structures. Deuxièmement, pour tous les dispositifs simulés, des règles de dessins ESD classiques telles que l'introduction d'une résistance de ballast dans l'émetteur, ont été appliquées. Par conséquent, ces composants sont supposés avoir une densité de courant uniforme sur toute la largeur d'un doigt une fois le bipolaire déclenché, et ceci dans la gamme de validité des modèles. Les effets tridimensionnels sont alors moins critiques.

2.2.2.2.b Calibrage préalable

L'étape préalable avant d'appliquer la méthode prédictive consiste à obtenir en simulation la courbe TLP la plus proche de sa caractéristique mesurée pour de faibles niveaux de courants. Ceci est réalisé grâce à un calibrage minutieux au niveau de la définition de la structure (géométrie et profil de dopages) mais aussi de la simulation électrique. Ceci a été décrit dans

les deux précédentes sections qui ont montré le fort impact du calibrage sur la précision des résultats de simulation.

2.2.2.2.c Etapes de la méthode prédictive

La simulation électrothermique de la caractéristique TLP I-V prend en compte la température à travers la résolution de l'équation de la chaleur dans le silicium et le couplage avec les modèles physiques sélectionnés dans le calcul des équations des semi-conducteurs (équations de Poisson et de continuité des porteurs).

La simulation est arrêtée dès que la température dans la structure atteint 600K. A la fin de chaque impulsion de courant I_{TLP} , nous localisons alors dans le dispositif le point le plus chaud dont la valeur de la température T_{MAX} est extraite. Toujours dans la région du point chaud, nous relevons les valeurs maximales du taux d'ionisation par impact G_i et du taux de recombinaison de Schokley Read Hall noté R_{SRH} . Ces étapes sont répétées à chaque nouvelle amplitude de courant I_{TLP} . Nous reportons alors sur un même graphe les évolutions de G_i et de $|R_{SRH}|$ en fonction de I_{TLP} . Nous extrapolons alors exponentiellement leur évolution pour les régimes de température critique jusqu'à ce qu'il y ait intersection entre les courbes $G_i(I_{TLP})$ et $|R_{SRH}|(I_{TLP})$. La valeur du courant I_{TLP} pour laquelle se produit l'intersection représente alors la valeur du courant de défaillance I_{T2} .

La physique justifiant notre motivation pour avoir choisi de suivre les paramètres G_i et $|R_{SRH}|$ est décrite dans le paragraphe suivant.

2.2.2.2.d Justification du choix des paramètres G_i et R_{SRH}

Le second claquage a déjà été étudié de manière approfondie [SCHA96], [AMER94]. L'apparition de ce dernier est marquée par la diminution de la tension aux bornes du composant. Celle-ci résulte d'un emballement thermique localisé induit par la focalisation de la température en un point du composant. La puissance associée fournit alors assez de porteurs thermiques qui se substituent aux porteurs générés électriquement pour finalement constituer les porteurs prépondérants du courant. Dans le cas de l'étude de Structure2, cela signifie que pour de forts courants et donc pour des températures élevées dans le composant, le courant généré thermiquement I_{th} devient la composante dominante du courant de base I_b . Rappelons que c'était le courant d'avalanche I_{av} qui fournissait auparavant le courant de base. L'apparition du second claquage et par conséquent la détermination de la valeur du courant I_{T2} peut alors être définie quand : $I_{th} > I_{av}$.

Le courant généré thermiquement I_{th} est proportionnel à la concentration intrinsèque n_i . Celle-ci varie avec la température de manière exponentielle .

De la même façon, le courant généré électriquement I_{av} est proportionnel à la concentration n_{av} qui représentent les porteurs générés durant le mécanisme d'avalanche.

De ce fait, nous pouvons reformuler l'apparition du second claquage par : $n_i > n_{av}$.

En effet, l'élévation de la température dans le composant entraîne l'augmentation de la concentration intrinsèque n_i due à la génération de porteurs thermiques jusqu'à ce qu'elle excède la concentration des porteurs issus de l'ionisation par impact. Par conséquent, n_i devient la source prépondérante de porteurs au courant total. Parallèlement, la tension dans le composant décroît fortement et le courant se concentre dans une région extrêmement localisée entraînant ainsi l'effet de filamentation du courant. A son tour, la température augmente encore réduisant ainsi la génération de porteurs électriques issus de l'avalanche et de l'augmentation des porteurs générés thermiquement. Ce processus est appelé second claquage thermique. Il correspond au courant pour lequel la génération thermique de porteurs dépasse la génération électrique. L'emballage thermique qui lui est associé conduit à la fusion locale du silicium et à la destruction du composant.

Le fait de suivre l'évolution du taux de recombinaison R_{SRH} permet d'évaluer indirectement l'évolution des porteurs générés thermiquement. En effet, ce taux représente les recombinaisons indirectes dues à la présence d'impuretés et de défauts dans le cristal réel. R_{SRH} est donc l'image de la densité de porteurs par rapport à sa valeur à l'équilibre. La concentration à l'équilibre est donnée par la concentration effective de porteurs $n_{i,eff}$. Le modèle de R_{SRH} correspondant est décrit par l'équation suivante :

$$R_{SRH} \propto \frac{np - n_{i,eff}^2}{\tau_p(n + n_1) + \tau_n(p + p_1)} \quad (17)$$

avec $n_1 = n_{i,eff} e^{\frac{E_{trap}}{kT}}$ et $p_1 = n_{i,eff} e^{\frac{-E_{trap}}{kT}}$

n symbolise la concentration des électrons et p celle les trous.

E_{trap} représente la différence d'énergie entre le niveau d'énergie de l'impureté et le niveau d'énergie intrinsèque.

τ_n et τ_p sont les durées de vie pour les deux types de porteurs minoritaires. Celle-ci est modélisée par :

$$\tau_c = \tau_{dop} \frac{f(T)}{1 + g_c(F)} \quad (18)$$

avec cette fois-ci : $c = n$ pour les électrons et $c = p$ pour les trous.

τ_{dop} représente la dépendance par rapport au dopage de la durée de vie SRH modélisée par la relation de Scharfetter [SELB84].

f et g_c sont deux fonctions qui sont respectivement dépendantes de la température et du champ électrique.

Le taux de recombinaison R_{SRH} est positif quand la recombinaison des porteurs est supérieure à la génération de ces derniers. R_{SRH} devient négatif quand la génération thermique excède la recombinaison. Quand R_{SRH} est négatif, il représente alors indirectement le comportement de $n_{i,\text{eff}}$ qui est une fonction monotone augmentant avec la température. Comme nous l'avons dit précédemment, le courant généré thermiquement I_{th} est proportionnel à la concentration intrinsèque n_i . De plus R_{SRH} représente indirectement le courant généré thermiquement I_{th} .

De la même façon, l'ionisation par impact G_i représente indirectement I_{av} puisqu'elle est proportionnelle à n_{av} .

Nous pouvons finalement reformuler la condition déterminant l'apparition du second claquage par : $R_{\text{SRH}} > G_i$.

C'est pourquoi pour déterminer la valeur du courant de défaillance I_{T2} , nous avons choisi de suivre l'évolution des paramètres G_i et R_{SRH} en fonction du courant I_{TLP} .

2.2.2.3 Application de la méthode de prédiction du courant I_{T2}

Le dispositif sur lequel nous avons appliqué la méthode de prédiction du courant I_{T2} est Structure2 dont la description technologique a été donnée dans une des précédentes sections (Figure 2-5). Sa caractéristique TLP simulée a été comparée à la mesure (Figure 2-18) et les résultats de cette comparaison sont résumés dans le Tableau 2-5.

Lors de la localisation de la région du point chaud, nous nous sommes rendu compte qu'il pouvait y en avoir plusieurs. En effet, la Figure 2-19 représente la distribution de la température dans la structure pour un faible niveau de courant I_{TLP} .

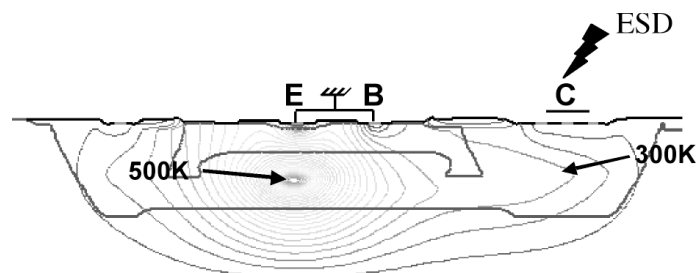


Figure 2-19. Localisation du maximum de température dans la Structure2 pour de faible courant I_{TLP}

Le seul point chaud identifiable se situe dans la profondeur du silicium à la frontière de la couche enterrée (NBL) au niveau de l'émetteur. A cet endroit, la température atteint un maximum de 500K alors que dans le reste du dispositif elle est de 300K notamment dans la région de la diffusion profonde de collecteur.

Lorsque nous atteignons des forts niveaux de courant, un second point chaud apparaît dans la région de la diffusion profonde (DPN) côté collecteur (Figure 2-20).

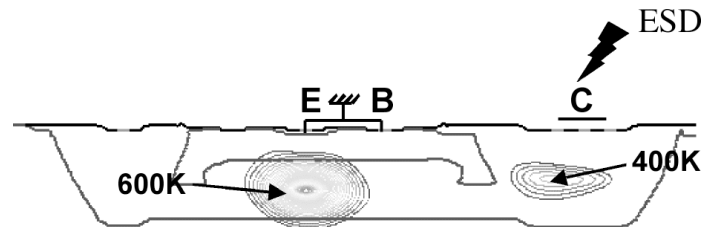


Figure 2-20. Localisation du maximum de température dans la Structure2 pour de fort courant I_{TLP}

Nous avons alors choisi d'appliquer la méthodologie pour chacune des régions où sont localisés les points chauds (Figure 2-21 et Figure 2-22). Sur chacune des figures est indiquée la limite de validité en température (600K) des modèles physiques. Pour le point chaud du côté collecteur, l'intersection entre G_i et $|R_{SRH}|$ a lieu pour un courant de 1,52A (Figure 2-21).

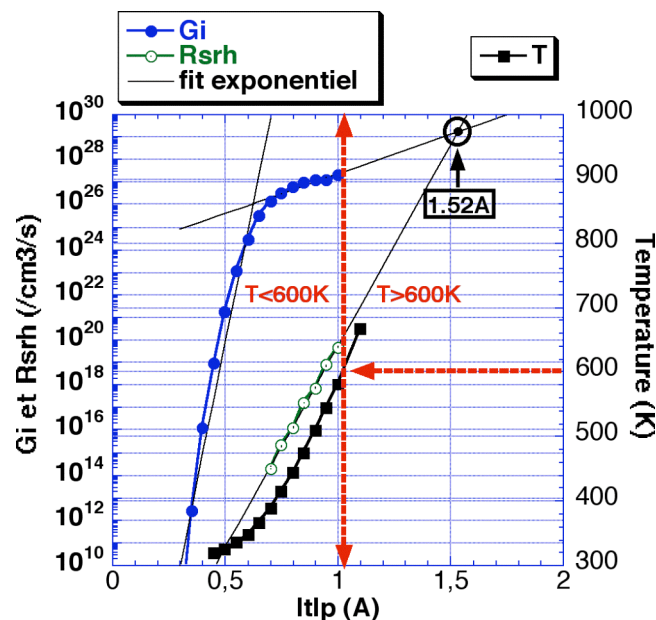


Figure 2-21. Evolution des paramètres G_i et $|R_{SRH}|$ dans la région du point chaud se situant du côté collecteur

Côté émetteur, nous constatons que cette intersection a lieu pour une valeur de courant bien supérieure à 1,52A. Celle-ci n'est d'ailleurs pas visible sur le graphe (Figure 2-22) car elle devient non réaliste.

Il semble donc que la défaillance de la Structure2 soit initiée plutôt du côté collecteur que du côté émetteur pour une valeur de courant de défaillance $I_{T2}=1,52A$.

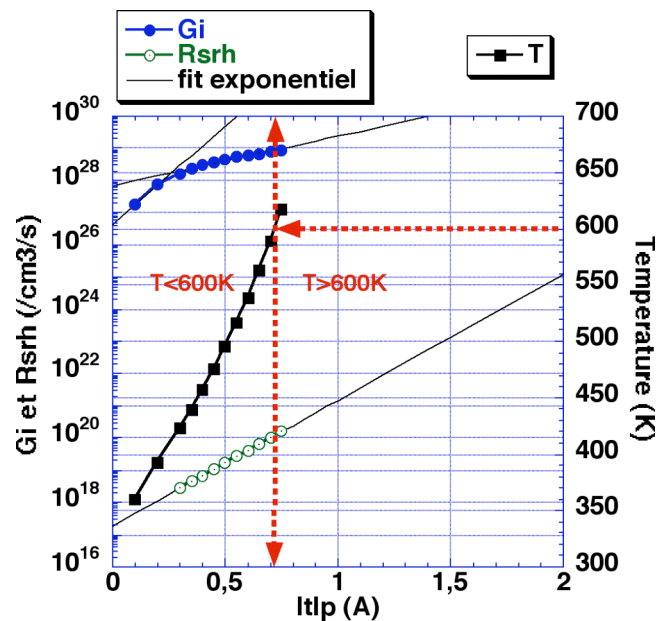


Figure 2-22. Evolution des paramètres G_i et $|R_{SRH}|$ dans la région du point chaud se situant du côté émetteur

Le Tableau 2-6 compare les résultats obtenus par notre nouvelle méthode à ceux obtenus par la méthode de la littérature et notamment celle d'Esmark. Nous constatons que notre méthode de prédiction du courant I_{T2} est plus précise que celle d'Esmark. En effet, cette dernière génère une erreur de 20% sur la valeur du courant I_{T2} alors qu'elle est seulement de 2% pour la nouvelle méthode proposée. Le second avantage de notre méthode se traduit par un temps de calcul machine beaucoup plus court. En effet, notre méthode est basée sur des résultats de simulation effectués jusqu'à 600K, la limite de validité en température des modèles physiques. De ce fait, on obtient le résultat de prédiction du courant de défaillance I_{T2} de Structure2 en 4 jours et cela en calculant seulement 17 couples de points (I_{TLP}, V_{TLP}) . En comparaison, la méthode d'Esmark nécessite quasiment deux fois plus de temps de calcul. Effectivement, cette dernière aura calculé 24 couples de points (I_{TLP}, V_{TLP}) en 7 jours pour évaluer la valeur du courant I_{T2} .

	Structure2
I_{T2} (A)	
Mesure	1,5
Critères d'Esmark	1,8
Nouvelle méthode	1,52
Erreur (%)	
Critères d'Esmark	20
Nouvelle méthode	2
Temps de calcul (jour)	
Critères d'Esmark	7
Nouvelle méthode	4
Couples (I_{TLP}, V_{TLP})	
Critères d'Esmark	24
Nouvelle méthode	17

Tableau 2-6. Comparaison des méthodes de prédiction du courant de défaillance pour la Structure2

Pour valider le fait qu'en simulation le courant de défaillance I_{T2} est identifié grâce à notre méthode du côté du collecteur, nous avons réalisé sur notre composant détruit une analyse de défaillance. Celle-ci consiste à retirer successivement les couches de matériau se trouvant au-dessus du silicium jusqu'à atteindre la surface de ce dernier. Une inspection de l'état du silicium permet alors de localiser l'origine de la défaillance ainsi que sa nature.

Cette technique appliquée sur Structure2 confirme bien que l'origine de la défaillance est bien localisée au niveau du collecteur (Figure 2-23).

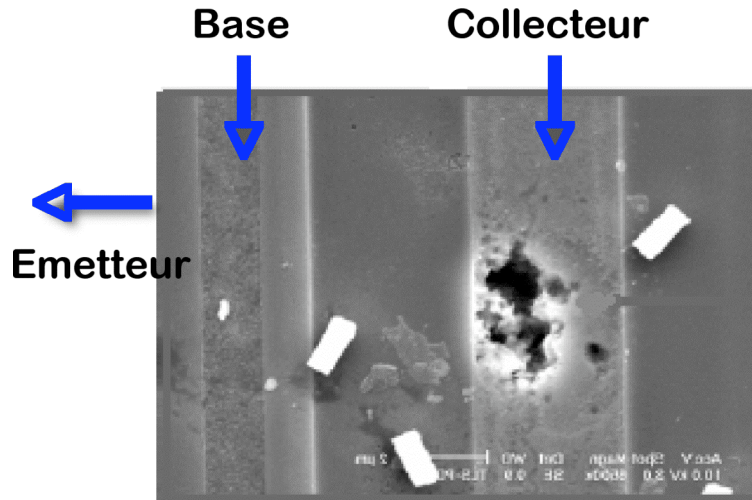
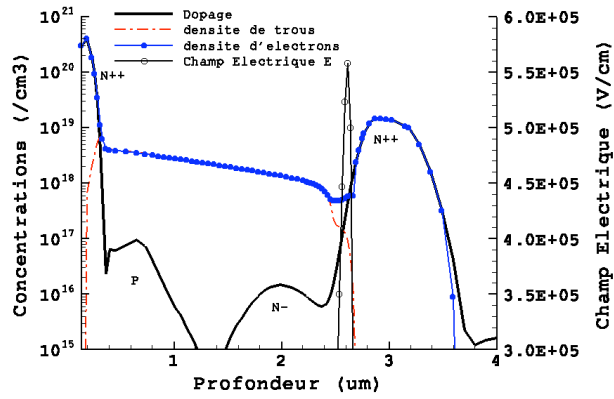


Figure 2-23. Localisation de la défaillance

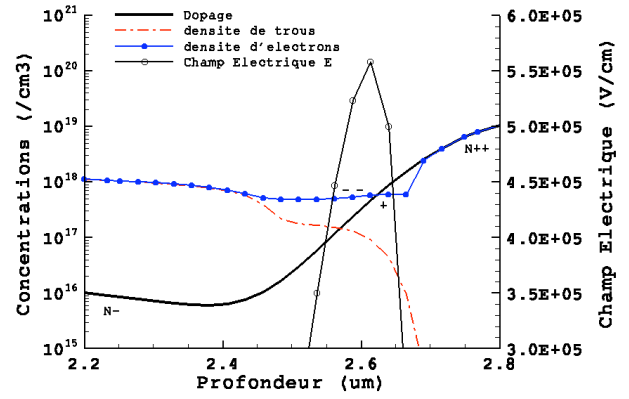
2.2.2.4 Justification de la présence de deux points chauds

2.2.2.4.a Côté émetteur

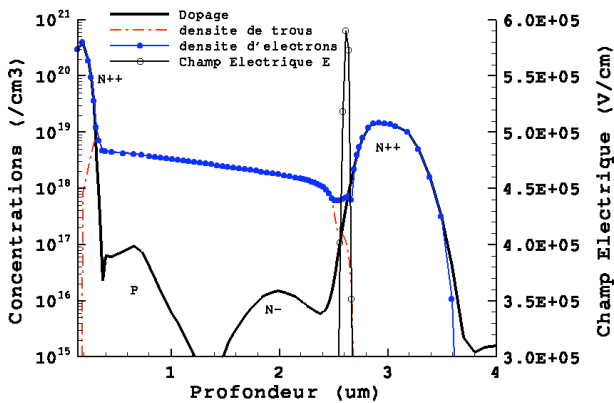
Pour des densités de courants importantes, le maximum de champ électrique, initialement situé à la jonction métallurgique P/N⁻, se déplace à la frontière de la jonction N⁻/N⁺⁺. Ce phénomène est identique à l'effet Kirk [KIRK62]. Cela fait donc apparaître en premier une zone intrinsèque dans les régions P et N⁻ car ces régions sont faiblement dopées (Figure 2-24 (a) et (a')). Cela signifie que les densités des deux types de porteurs dans ces régions sont égales et majoritaires comparées au dopage initial. L'augmentation du courant I_{TLP} dans la structure entraîne obligatoirement l'augmentation des deux types de porteurs. Ceci a pour conséquence d'élargir la zone intrinsèque dans la profondeur du substrat. En effet, c'est de ce côté que se trouve le dopage le plus faible mais encore supérieur à la densité de porteurs avant l'augmentation du courant. Le gradient de dopage N⁺⁺ étant très fort, le déplacement du maximum de champ électrique à la frontière de la jonction N⁻/N⁺⁺ avec l'augmentation du courant I_{TLP} est quasi nul. Quelque soit le niveau des forts courants, le champ électrique reste à une profondeur d'environ 2,6 μ m par rapport à la surface du silicium (Tableau 2-7). Pour la même raison, les valeurs de champ électrique et de densités de porteurs évoluent très faiblement avec le courant (Tableau 2-7). La température, qui augmente avec le niveau de courant et dont la profondeur de localisation suit celle du champ électrique, est alors beaucoup plus facilement dissipable à cette profondeur c'est-à-dire dans le volume que si elle était située proche de la surface.



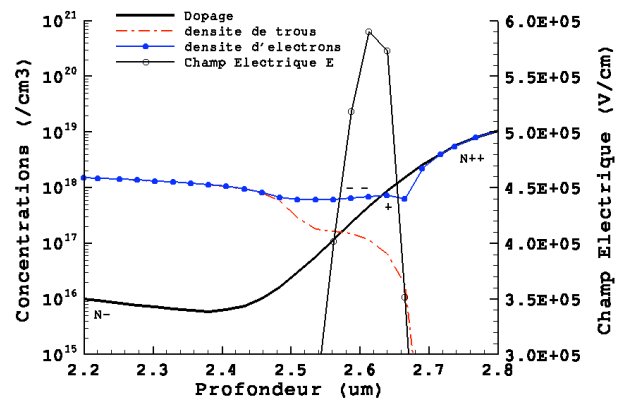
(a) $I_{TLP}=800mA$



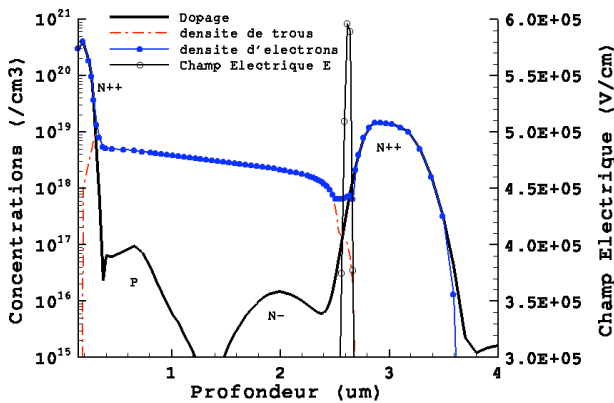
(a') Zoom $I_{TLP}=800mA$



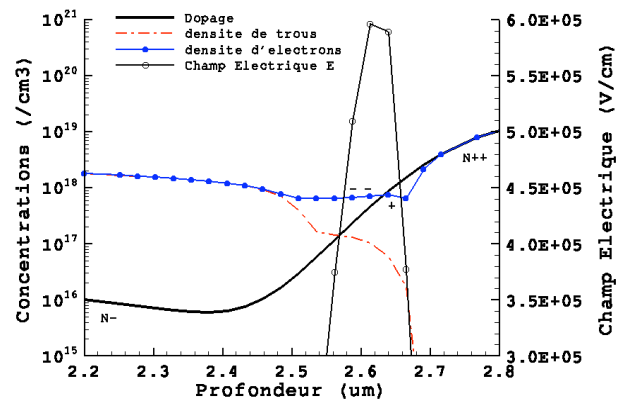
(b) $I_{TLP}=1A$



(b') Zoom $I_{TLP}=1A$



(c) $I_{TLP}=1.2A$



(c') Zoom $I_{TLP}=1.2A$

Figure 2-24. Evolution pour différents niveaux de courant I_{TLP} du dopage, de la densité des porteurs et du champ électrique dans la région située sous l'émetteur de Structure2

	Sous l'émetteur	Sous le collecteur
I_{TLP} (A)	0,8	0,8
E_{MAX} (V/cm)	$5,5 \cdot 10^5$	$2 \cdot 10^5$
Profondeur T_{MAX} / E_{MAX} (μm)	2.6	2,13
Densité d'électrons (cm^{-3})	$5,7 \cdot 10^{+17}$	$1,18 \cdot 10^{+17}$
T_{MAX} (K)	643	443
I_{TLP} (A)	1	1
E_{MAX} (V/cm)	$5,8 \cdot 10^5$	$2,6 \cdot 10^5$
Profondeur E_{MAX} (μm)	2,63	1,93
Densité d'électrons (cm^{-3})	$7,1 \cdot 10^{+17}$	$1,7 \cdot 10^{+17}$
T_{MAX} (K)	736	578
I_{TLP} (A)	1,2	1,2
E_{MAX} (V/cm)	$6 \cdot 10^5$	$4,1 \cdot 10^5$
Profondeur E_{MAX} (μm)	2,64	1.63
Densité d'électrons (cm^{-3})	$7,67 \cdot 10^{+17}$	$3,12 \cdot 10^{+17}$
T_{MAX} (K)	806	793

Tableau 2-7. Evolution pour différents niveaux de courant I_{TLP} des valeurs du champ électrique, de la densité de porteurs, de la température ainsi que de leur localisation dans les régions d'émetteur et de collecteur de la structure étudiée

2.2.2.4.b Côté collecteur

Pour des densités de courants importantes, un maximum de champ électrique apparaît du fait du gradient de dopage N^- [BOSS01] [NOTE97] (Figure 2-25(a)). Une zone intrinsèque apparaît cette fois-ci dans la région N^- là où le dopage est initialement le plus faible (Figure 2-25(a) et (a')). Avec l'augmentation du courant I_{TLP} , celle-ci s'élargit en direction de la surface du silicium (Figure 2-25(b) et (c)). En effet, c'est de ce côté que se trouve le dopage le plus faible mais encore supérieur à la densité de porteurs avant l'augmentation du courant. Les gradients de dopage N^- et N^- n'étant pas forts, on observe un important déplacement du maximum de champ électrique avec l'augmentation du courant (Tableau 2-7). Pour les mêmes raisons, les valeurs de champ électrique et de densités de porteurs évoluent assez

rapidement (Tableau 2-7). La température, qui augmente avec le niveau de courant, devient beaucoup moins facilement dissipable car la zone de point chaud se rapproche de la surface rendant ainsi l'évacuation de la chaleur plus difficile.

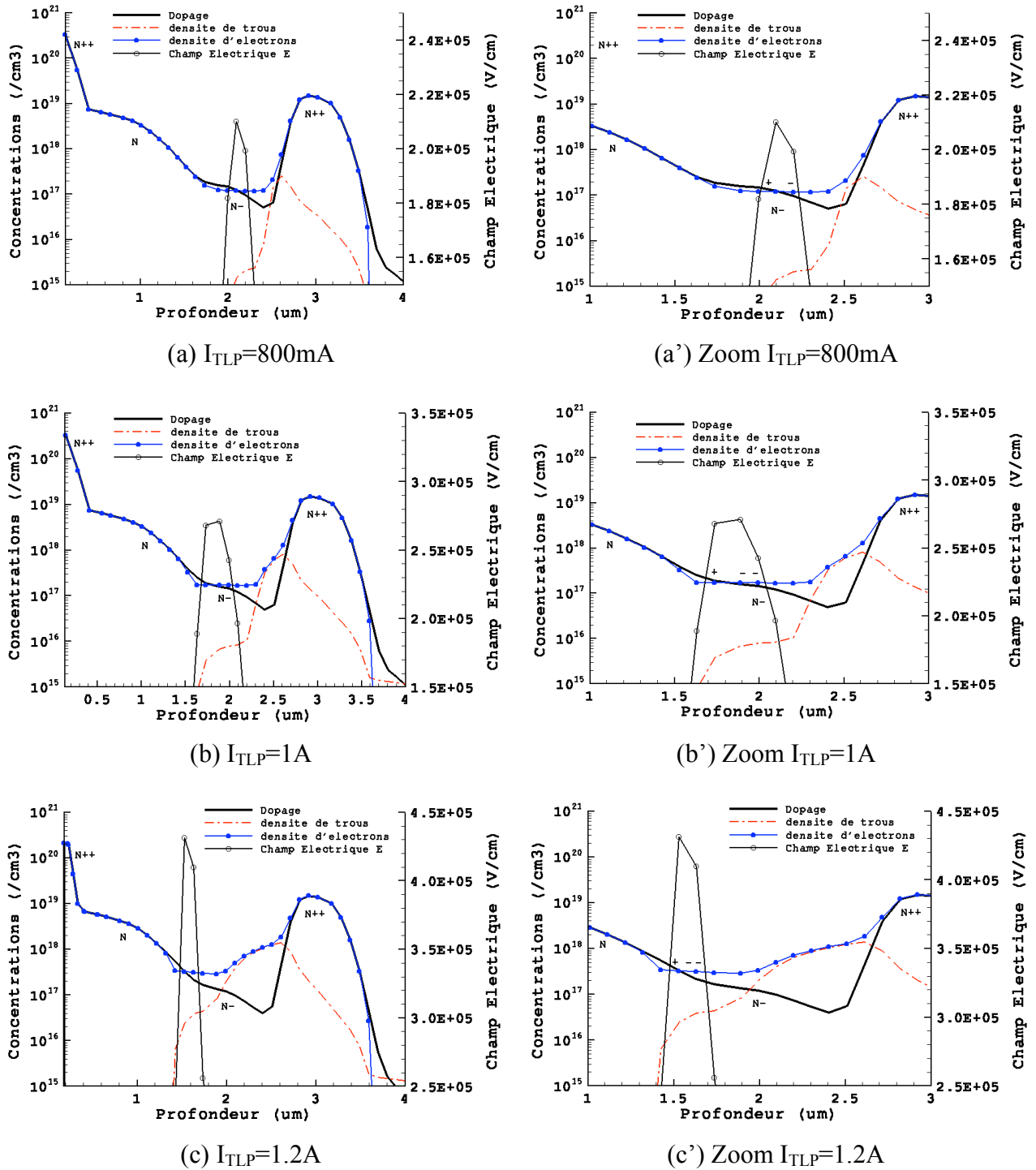


Figure 2-25. Evolution pour différents niveaux de courant I_{TLP} du dopage, de la densité des porteurs et du champ électrique dans la région de collecteur de la structure étudiée

En résumé, nous avons comparé les évolutions côté émetteur et côté collecteur des valeurs du champ électrique, de la densité de porteurs, de la température ainsi que de leur profondeur dans le substrat. Il en ressort que les valeurs des paramètres côté collecteur sont plus faibles que celles côté émetteur pour la gamme de courant étudié. Toutefois, les valeurs des paramètres côté collecteur évoluent plus rapidement que celles côté émetteur. Cela laisse à penser que pour des courants plus importants, les valeurs des paramètres côté collecteur rattraperont voire dépasseront les valeurs des paramètres côté émetteur. De plus, contrairement à la température côté émetteur qui se déplace dans la profondeur du silicium, la température côté émetteur se déplace en direction de la surface. La température de ce côté sera donc plus difficilement évacuable que dans le volume. Cette situation favorisera donc la destruction thermique du composant du côté collecteur.

De plus, la Figure 2-26 montre l'évolution du taux de recombinaison $|R_{SRH}|$ en fonction du courant I_{TLP} . Ces évolutions ont été relevées dans les zones de point chaud côté émetteur et côté collecteur. Les valeurs de $|R_{SRH}|$ côté émetteur sont supérieures à celles du côté collecteur pour les courants notés sur la Figure 2-26. Toutefois, on s'aperçoit que le taux de recombinaison $|R_{SRH}|$ côté collecteur évolue plus rapidement avec le courant que le taux de recombinaison $|R_{SRH}|$ côté émetteur. En extrapolant exponentiellement les deux courbes, ces tendances seront confirmées pour des courants plus importants. Le taux de recombinaison $|R_{SRH}|$ est indirectement l'image de l'évolution de la densité intrinsèque n_i . Cette dernière est fortement dépendante de la température. Cela nous permet donc de conclure que la température côté collecteur évolue plus rapidement avec le courant I_{TLP} que la température côté émetteur. Ceci est une manifestation de plus pour justifier que la destruction thermique de la structure de protection ESD est initiée du côté collecteur.

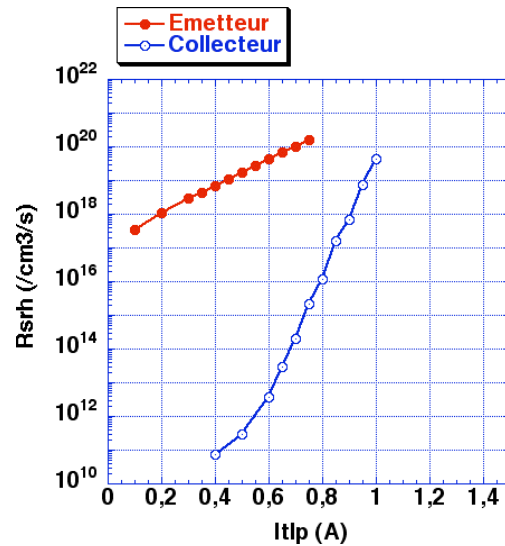


Figure 2-26. Evolution du paramètre $|R_{SRH}|$ dans les régions du point chaud se situant du côté émetteur et du côté collecteur

2.3 Conclusion

Dans ce chapitre, nous avons décrit une méthodologie permettant de prédire, à l'aide d'un outil de simulation TCAD, la valeur du courant de défaillance I_{T2} d'une structure de protection ESD lorsque celle-ci subit un stress TLP. Cette méthode se base sur la caractéristique TLP I-V simulée à faible et moyen niveau de courant. Celle-ci est arrêtée lorsque la température dans le dispositif atteint la limite de validité en température des modèles physiques utilisés. Une étape préalable est indispensable pour obtenir les résultats de simulation les plus précis. Celle-ci est l'étape de calibrage. Elle consiste premièrement à décrire de la façon la plus exacte la géométrie de la structure étudiée ainsi que ses profils de dopage. L'outil de simulation ISE met à notre disposition plusieurs logiciels capables de remplir cette tâche. Il s'est avéré que la description du composant par une simulation du procédé technologique était la plus fiable. La seconde partie du calibrage consiste à choisir le meilleur jeu de modèles physiques en fonction des phénomènes physiques mis en jeu pour nos conditions d'utilisation. Les paramètres de certains modèles ont été ajustés de manière à rendre les résultats de simulation les plus proches de la mesure.

Une fois le calibrage effectué, nous avons appliqué notre méthode de prédiction à la structure ESD étudiée. Celle-ci est basée sur le fait que le composant atteint son niveau de défaillance lorsque la majorité des porteurs constituant le courant est d'origine thermique. En effet, le courant était jusque-là constitué de porteurs générés électriquement. La méthode suit donc l'évolution de ces deux types de porteurs en fonction du courant I_{TLP} dans les zones du

composant où focalisent la température c'est-à-dire les points chauds. G_i et R_{SRH} sont les paramètres qui permettent de suivre indirectement l'évolution respective des porteurs générés électriquement et thermiquement. Nous reportons donc sur un même graphe les évolutions de G_i et de R_{SRH} en fonction du courant I_{TLP} jusqu'à la limite de validité en température des modèles physiques. Au-delà de cette limite, l'extrapolation exponentielle conduit à l'intersection des évolutions de G_i et de R_{SRH} . La valeur du courant I_{TLP} pour laquelle a lieu cette intersection correspond alors à la valeur du courant de défaillance I_{T2} du composant étudié. Cette méthode a été validée sur une structure ESD réalisée en technologie Smart Power. Cette dernière présente un double intérêt. Le premier est d'avoir prédit avec une précision satisfaisante la valeur du courant I_{T2} . Le second se traduit par la réduction du temps de calcul machine. En effet, ce dernier est divisé par deux en comparaison avec les méthodes conventionnelles de la littérature.

REFERENCES :

[AMER94]

A. Amerasekara, J. Seitchik,

“Electrothermal Behavior of Deep Submicron nMOS Transistors under High Current Snapback (ESD/EOS)”,

IEDM, pp. 446-449, 1994.

[BENN]

H. S. Bennett et al.,

« Statistical Comparisons of Data on Band-Gap Narrowing in Heavily Doped Silicon : Electrical and Optical Measurements »,

J. Appl. Phys., Volume 55, n°10, pp. 3582-87, 1984.

[BOSS01]

G. Boselli,

« On high injection mechanisms in semiconductor devices under ESD conditions »,

Thèse, 2001.

[CON1]

S. C. Choo,

« Theory of a Forward-Biased Diffused-Junction P-L-N Rectifier. Part I : Exact Numerical Solutions »,

IEEE Transaction on Electron Devices, Volume ED-19, n°8, pp. 954-66, 1972.

[CON2]

N. H. Fletcher,

« The high current limit for semiconductor junction devices »,

Institution of Radio Engineers, Volume 45, pp. 862-72, 1957.

[DELA]

J. del Alamo et al.,

« Simultaneous measuring of hole lifetime, hole mobility and bandgap narrowing in heavily doped n-type Silicon »,

IEDM Technical Digest, Volume Dec., pp. 290-93, 1985.

[DESS]

« ISE TCAD Manuals »,

ISE integrated systems engineering AG, Zurich, version 7.0, Part 12, 2001.

[DIOS]

« ISE TCAD Manuals »,

ISE integrated systems engineering AG, Zurich, version 7.0, Part 8, 2001.

[ESMA02]

Kai Esmark,

“Device Simulation of ESD Protection Elements”,

Series in Microelectronics, Hartung-Gorre, Volume 128, 2002.

[ISE]

« ISE TCAD Manuals »,
ISE integrated systems engineering AG, Zurich, version 7.0, 2001.

[KIRK62]

C. T. Kirk,
« A theory of transistor cutoff frequency (ft) at high current densities »,
IRE Transaction on electron devices, ED-9, pp. 164-174, mars 1962.

[LACK]

T. Lackner,
“Avalanche Multiplication in Semiconductors: A Modification of Chynoweth’s Law”,
Solid-State Electronics, Volume 34, pp. 33-42, 1991.

[LOMB88]

C. Lombardi et al.,
« A Physically Based Mobility Model for Numerical Simulation of Nonplanar Devices »,
IEEE Transaction on CAD, Volume 7, n° 11, pp. 1164-71, 1988.

[MASS83]

G. Massetti et al.,
« Modeling of carrier mobility against carrier concentration in Arsenic-, Phosphorus- and Boron-doped Silicon »,
IEEE Transaction on Electron Devices, Volume ED-30, pp. 764-69, 1983.

[MDRA]

« ISE TCAD Manuals »,
ISE integrated systems engineering AG, Zurich, version 7.0, Part 9, 2001.

[MILL57]

S. L. Miller,
« Ionization rates for holes and electrons in silicon »,
Phys. Rev., Volume 105, pp. 1246-1249, 1957.

[NOTE97]

G. Notermans,
« On the use of N-Well Resistors for uniform triggering of ESD protection elements »,
EOS/ESD Symposium, pp. 221-229, 1997.

[OLDS]

J. W. Slotboom et al.,
« Measurement of Bandgap Narrowing in Si Bipolar Transistors »,
Solid-State Electronics, Volume 19, pp. 857-62, 1976.

[OKUT]

Y. Okuto and C. R. Crowell,
“Threshold energy effects on avalanche breakdown in semiconductor junctions”,
Solid-State Electronics, Volume 18, pp. 161-68, 1975.

[PHIL92]

D. B. M. Klaassen et al.,

« Unified apparent bandgap narrowing in n- and p-type Silicon»,
Solid-State Electronics, Volume 35, n°2, pp. 125-29, 1992.

[SCHA96]

H.A. Schafft and J.C. French,

“A survey of second breakdown”,
IEEE Transaction on Electron Devices, Volume ED-13, n°8-9, August-September, pp. 613-618, 1996.

[SELB84]

S. Selberherr,

« Analysis and Simulation of Semiconductor Devices »,
Springer Verlag, 1984.

[SLOT]

J. W. Slotboom et al.,

« Unified apparent band-gap narrowing in n- and p- type Silicon »,
Solid-State Electronics., Volume 35, n°2, pp. 125-29, 1992.

[STRI98]

A. Stricker et al.,

« Characterization and optimization of a bipolar ESD-device by measurements and simulations »,
EOS/ESD Symposium, pp. 290-300, 1998.

[UNI1]

M.C. Vecchi, M. Rudan,

IEEE Transaction on Electron Devices, Volume ED-45, n°1, pp. 230-238, 1998.

[UNI2]

D.E.I.S. - University of Bologna

ESPRIT Project 23643 ESDEM – Project Deliverable 1.1.3.5, 1999.

[UNI3]

M. Valdinoci et al.,

“Impact ionization in silicon at large operating temperature”,
SISPAD, pp. 27-30, 1999.

[μUNI1]

S. Reggiani et al.,

« A unified analytical model for bulk and surface mobility in Si n- and p-channel MOSFETs»,
ESSDERC, 1999.

[μ UNI2]

S. Takagi et al.,

« On the universality of inversion layer mobility in Si MOSFETs : part I – Effects of substrate impurity concentration»,

IEEE Transaction on Electron Devices, Volume ED-41, n°12, pp. 2357-2362, 1994.

[μ UNI3]

D.E.I.S.-University of Bologna :

« A unified mobility model for numerical simulation »,

PARASITICS Report, 1999.

[VANO]

R. V. Overstraeten and H. D. Man,

“Measurement of the ionization rates in diffused Silicon p-n junction”,

Solid-State Electronics, Volume 13, pp. 583-608, 1970.

Chapitre 3

3 Validation de la méthodologie

Ce chapitre permet tout d'abord de valider la nouvelle méthode de prédiction du courant de défaillance I_{T2} appliquée à deux structures de protection ESD. Ces dernières sont réalisées dans la même filière technologique que la structure étudiée au Chapitre2. Ensuite, la méthode est appliquée et validée à un dispositif réalisé dans une technologie de puissance intelligente plus avancée. Finalement, le principe même de la méthode sera repris pour prédire le niveau de robustesse d'une structure soumise à un stress HBM.

3.1 Prédiction du courant de défaillance I_{T2}

3.1.1 Première technologie utilisée

La méthode de prédiction du courant de défaillance I_{T2} a tout d'abord été validée sur deux dispositifs de protection ESD. Ces derniers ont été réalisés dans la même technologie de puissance (technologie Smart Power : technologie SMARTMOS $0,35\mu\text{m}$) que les composants Structure1 et Structure2 étudiés au Chapitre2. Chacun des nouveaux dispositifs est issu, comme Structure2, du transistor bipolaire NPN haute tension standard (désigné par Structure1 : Figure2-1). Les nouveaux dispositifs ESD seront quant à eux désignés par Structure3 et Structure4. Ces derniers ont été dessinés de manière à être plus robustes face à un stress ESD que Structure2. La valeur de leur courant de défaillance I_{T2} est supérieure à celle de Structure2. Ce sont ces valeurs de courant I_{T2} que nous déterminerons grâce à la nouvelle méthode de prédiction basée sur la simulation.

3.1.1.1 Premier composant étudié : Structure3

3.1.1.1.a Description

La coupe technologique de Structure3 est représentée à la Figure 3-1.

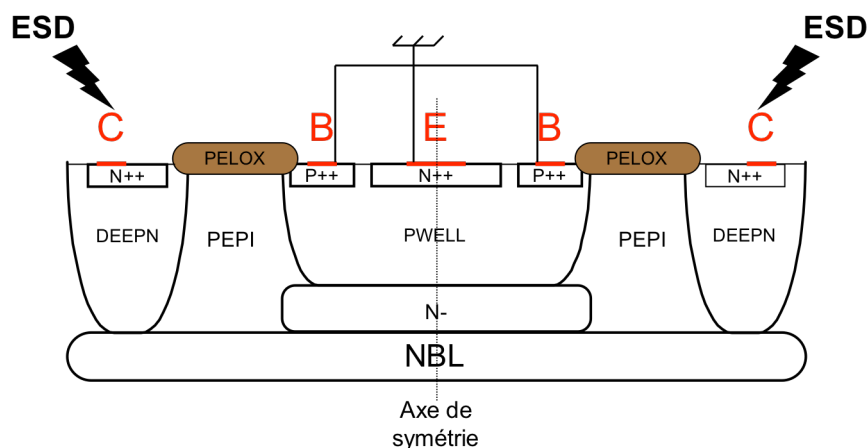


Figure 3-1. Coupe technologique de Structure3

Le PELOX est un oxyde épais. Sa fonction essentielle est de réduire le champ électrique en surface pour un composant LDMOS (pour Lateral Diffused MOS) améliorant ainsi sa tenue en tension. Dans le cas de Structure3, qui est un composant de type transistor bipolaire, le PELOX, sert principalement pour la définition des zones actives du dispositif.

Comparée à Structure1, la symétrie de la structure par rapport à l'émetteur ainsi que les différentes couches de dopage ont été conservées. Les largeurs de diffusions du collecteur ainsi que celle de l'émetteur ont été augmentées de manière à réduire la résistance R_{on} . De plus, des résistances de ballast plus importantes de collecteur et d'émetteur ont été introduites. La résistance de ballast du côté du collecteur consiste à éloigner le contact du collecteur de la diffusion de base pour éviter que le champ électrique latéral qui se développe à la surface de la jonction collecteur-base vienne endommager le contact du collecteur. La résistance de ballast du côté émetteur quant à elle se traduit également par un éloignement du contact d'émetteur du bord de sa diffusion. Sa présence permet de limiter le passage d'un courant latéral à proximité de la surface, le forçant ainsi à circuler dans la profondeur du substrat. Cela revient alors à éviter la formation d'un point chaud à proximité de la surface et à déplacer celui-ci dans le volume du silicium rendant ainsi le composant plus robuste.

De manière à réaliser la simulation TLP de Structure3, nécessaire à l'application de la méthode de prédiction, celle-ci a été décrite par la simulation du procédé technologique (Figure 3-2). Les outils de simulation utilisés sont encore une fois ceux de la société ISE [ISE]. La structure étant symétrique, seule une simulation de la moitié du composant est suffisante. Les étapes de calibrage décrites dans le Chapitre2 ont été conservées. La base et l'émetteur sont reliés à la masse et c'est sur le contact de collecteur que la décharge électrostatique est appliquée lors d'un stress ESD (Figure 3-1).

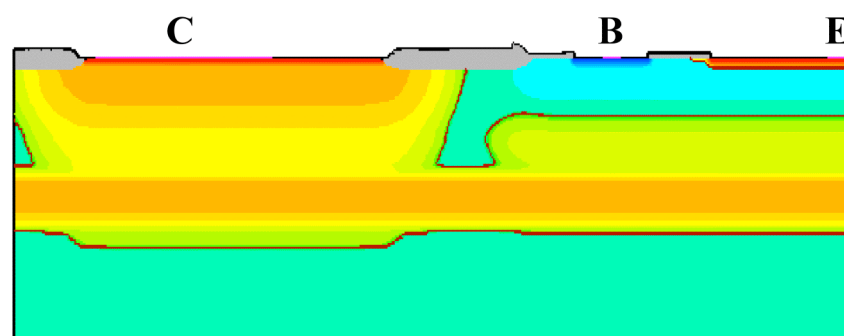


Figure 3-2. Description de la moitié de Structure3 par la simulation du procédé technologique

3.1.1.1.b Application de la méthode

Une simulation TLP de Structure3 a été réalisée et comparée à sa mesure. Les résultats sont présentés sur la Figure 3-3.

De manière à comparer notre méthode prédictive à celle d'Esmark [ESM02] et au vue de la caractéristique TLP expérimentale (Figure 3-3), la simulation TLP selon Esmark devait normalement être poursuivie jusqu'à l'apparition du second claquage thermique. Or, comme on peut le constater sur la Figure 3-3, la simulation n'a pas fait apparaître le second claquage du dispositif qui pourtant est observé expérimentalement. Effectivement, des problèmes de convergence de la simulation sont apparus à partir d'un niveau de courant de 3,5A. Il est donc impossible dans ce genre de situation d'appliquer les critères d'Esmark et donc de prédire la valeur du courant I_{T2} . En revanche, la nouvelle méthode de prédiction proposée s'affranchit de ce genre de problèmes. En effet, la méthode demeure applicable puisque celle-ci nécessite d'arrêter la simulation TLP dès que la limite de validité en température des modèles physiques utilisés est atteinte (600K). En effet, pour de faibles et moyens niveaux de courant et donc aussi de températures, les simulations convergent généralement assez rapidement. Or pour la Structure3, la température du dernier point calculé par la simulation TLP était de 1500K. Ceci signifie que les points calculés en dessous de cette valeur mais seulement jusqu'à une température de 600K sont utilisés pour appliquer notre méthode prédictive.

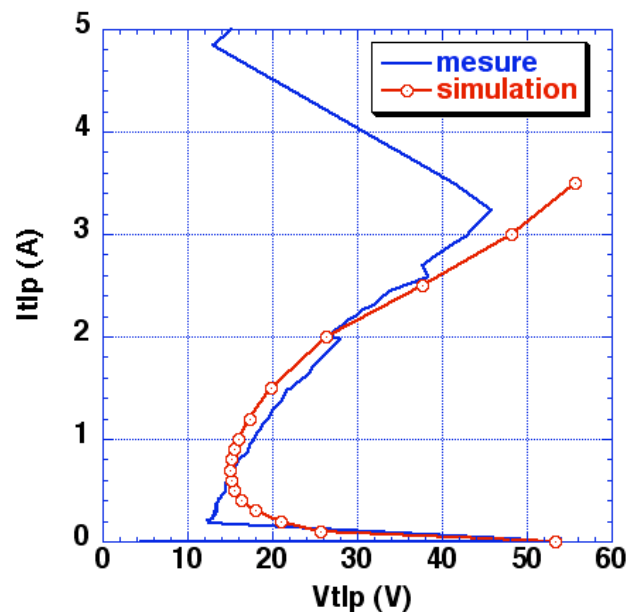


Figure 3-3. Mesure et simulation TLP de Structure3

Pour appliquer notre méthode, un maximum de température (point chaud) doit être identifié dans le composant. Celui-ci est localisé dans la profondeur du substrat sous l'émetteur (Figure 3-4). La Figure 3-4 représente le résultat de simulation de la distribution en température pour Structure3 pour le dernier point pris en compte par la méthode.

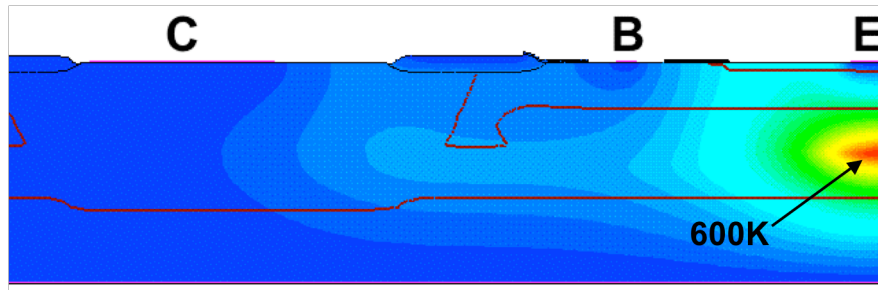


Figure 3-4. Localisation d'un maximum de température sous l'émetteur dans Structure3

La méthode de prédiction est alors appliquée dans la région du point chaud sous l'émetteur dans laquelle les valeurs de G_i et de $|R_{SRH}|$ sont extraites pour chaque amplitude de courant I_{TLP} . L'extrapolation exponentielle de leur évolution est représentée à la Figure 3-5 ce qui permet de déterminer la valeur du courant de défaillance I_{T2} à 3,52A.

La méthode d'Esmark ne permet donc pas d'obtenir la valeur du courant I_{T2} . En revanche, la nouvelle méthode permet de prédire la valeur du courant I_{T2} de cette structure avec seulement 14% d'erreur comparée à la mesure.

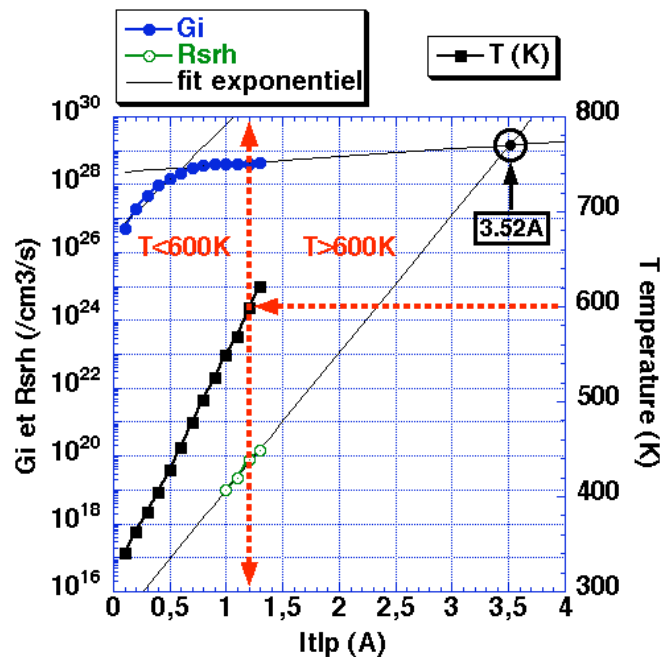


Figure 3-5. Evolution des paramètres G_i et $|R_{SRH}|$ dans la région du point chaud

3.1.1.2 Deuxième composant étudié : Structure4

3.1.1.2.a Description

La coupe technologique de Structure4 est représentée à la Figure 3-6. Structure4 est également issue du transistor bipolaire NPN haute tension standard (Structure1). Toutefois, la symétrie de la structure est cette fois-ci par rapport à la base. A la différence avec Structure1, Structure4 possède donc une seule diffusion de base et deux d'émetteur. Elle conserve deux contacts collecteur reliés entre eux. Des modifications du dessin technologique ont été apportées et sont équivalentes à celles de Structure3 : diffusions de collecteur et d'émetteur plus larges et résistances de ballast de collecteur et d'émetteur plus importantes. La différence principale avec les dispositifs précédents est un dopage de la base différent ainsi qu'un faible dopage N à travers le PEPI. Sa configuration en tant que structure de protection ESD fait que son émetteur et sa base sont reliés à la masse et la décharge électrostatique est appliquée sur le contact collecteur.

Structure4 est décrite par une simulation du procédé technologique (Figure 3-7) et le calibrage des modèles physiques a été une fois de plus conservé pour les futures simulations TLP. La structure étant symétrique, seule sa moitié est simulée.

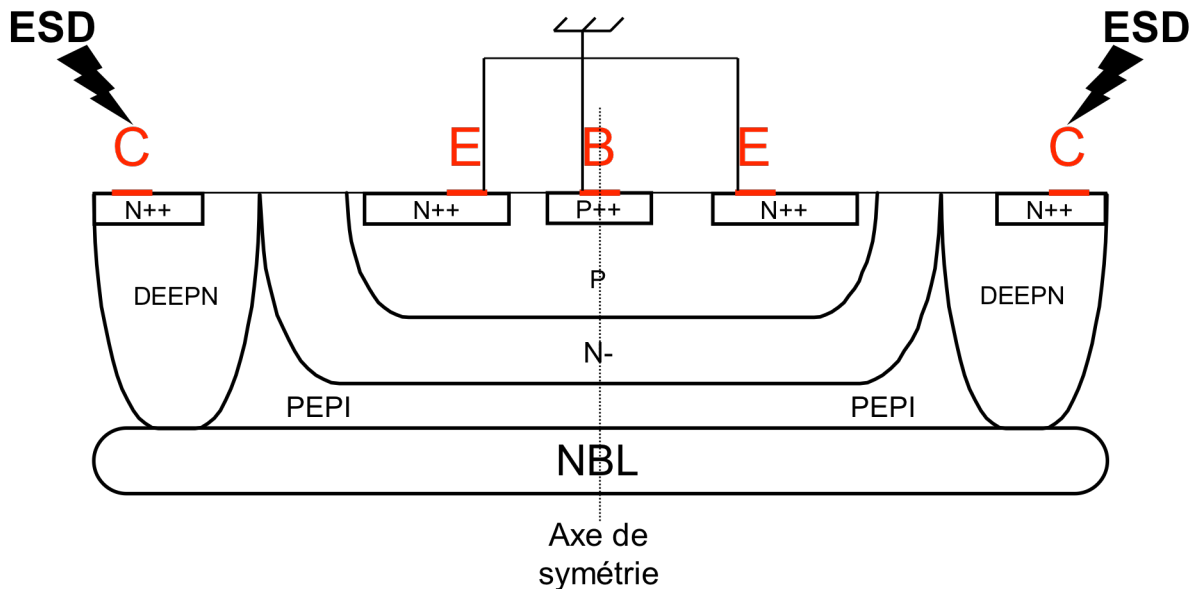


Figure 3-6. Coupe technologique de Structure4

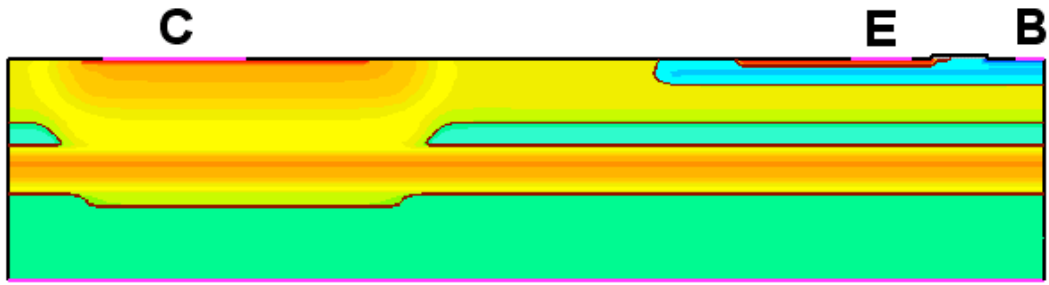


Figure 3-7. Description de la moitié de Structure4 par la simulation du procédé technologique

3.1.1.2.b Application de la méthode

La simulation TLP de Structure4 a été menée jusqu'à l'apparition du second claquage ce qui permet d'évaluer selon un des critères d'Esmark la valeur du courant de défaillance I_{T2} à 4,3A alors qu'expérimentalement celui-ci est de 3,8A (Figure 3-8).

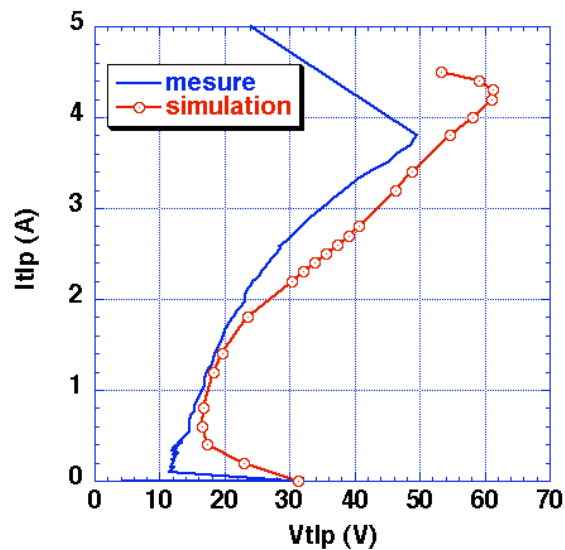


Figure 3-8. Mesure et simulation TLP de Structure4

La nouvelle méthode est appliquée à deux endroits du dispositif puisque deux points chauds sont identifiés lors de la simulation du stress TLP. Le premier point chaud apparaît sous l'émetteur à la frontière de la couche enterrée (NBL) pour des faibles niveaux de courant TLP. Il reste encore présent pour des impulsions en courant de niveaux plus importants, mais un second point chaud se crée dans la diffusion verticale qui relie la couche enterrée au contact de collecteur (Figure 3-9).

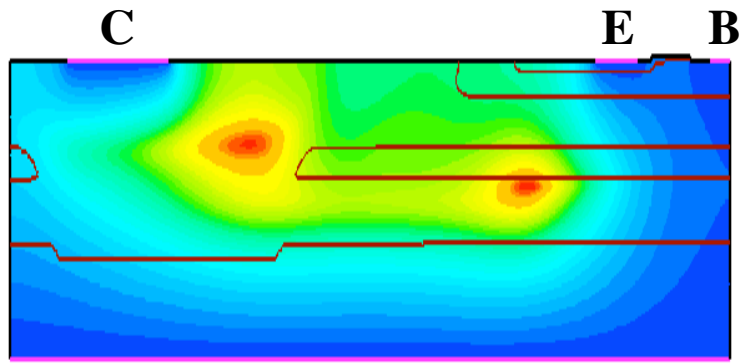
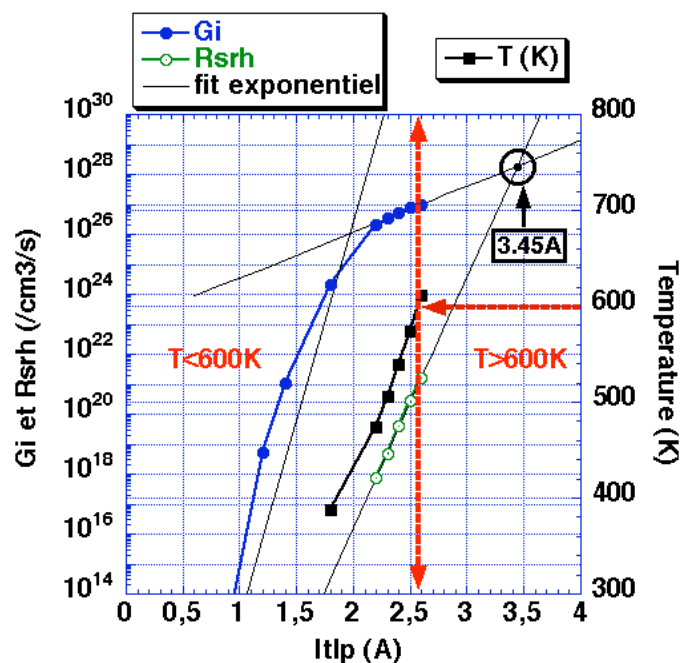
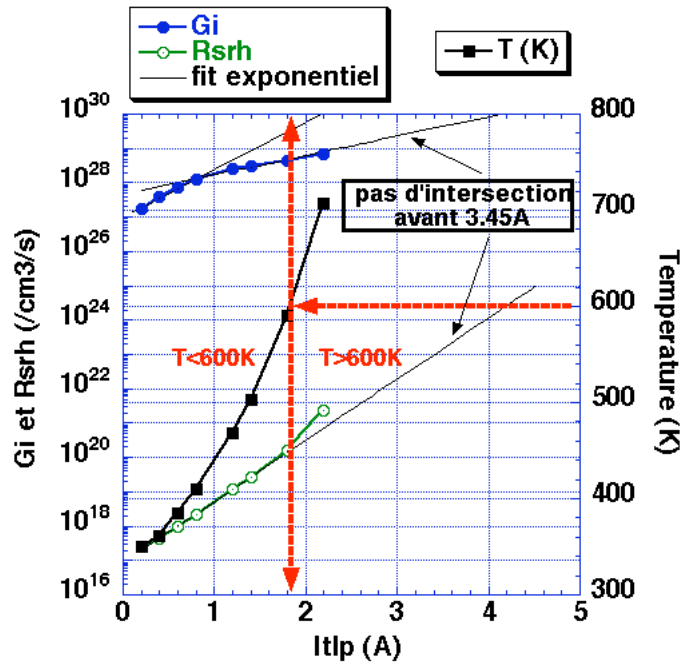


Figure 3-9. Localisation des maximums de température dans Structure4

La méthode de prédiction est appliquée aux deux points chauds. Les résultats sont reportés sur la Figure 3-10(a) pour celui côté émetteur et sur la Figure 3-10(b) pour le second. Notre méthode prédit la défaillance du composant dans la diffusion de collecteur pour un niveau de courant I_{T2} de 3,45A. En effet, côté émetteur nous constatons que l'intersection entre les paramètres G_i et R_{SRH} n'aurait lieu que pour une valeur de courant nettement supérieure à celle du côté du collecteur. Par conséquent, la défaillance de cette structure est tout d'abord initialisée du côté du collecteur.



(a)



(b)

Figure 3-10. Evolutions des paramètres G_i et $|R_{SRH}|$ dans la région du point chaud (a) sous le collecteur et (b) sous l'émetteur

La méthode d'Esmark estime le courant I_{T2} avec une bonne précision (14% d'erreur) mais la nouvelle méthode de prédiction est sensiblement meilleure (seulement 9% d'erreur). L'autre avantage de la nouvelle méthode est qu'elle permet de réduire significativement le temps de calculs (3 jours au lieu de 5) puisqu'il n'est pas nécessaire que la simulation soit menée jusqu'au second claquage ou jusqu'à la température de fusion du silicium. Par conséquent, le nombre de couples de points (I_{TLP} , V_{TLP}) calculés nécessaires à l'application de notre méthode est inférieur à celui dont a besoin Esmark (11 au lieu de 23).

3.1.2 Deuxième technologie utilisée

Cette technologie est également une technologie de puissance mais plus avancée que la précédente. C'est une technologie Smart Power : SMARTMOS $0,25\mu\text{m}$, dont l'isolation entre les composants est assurée par l'intermédiaire de tranchées d'oxyde (Figure 3-11).

3.1.2.1 Description

Un seul composant a été réalisé dans cette technologie pour valider notre méthode de prédiction. Celui-ci sera désigné par la suite sous la dénomination de Structure5 dont la coupe technologique est représentée à la Figure 3-11.

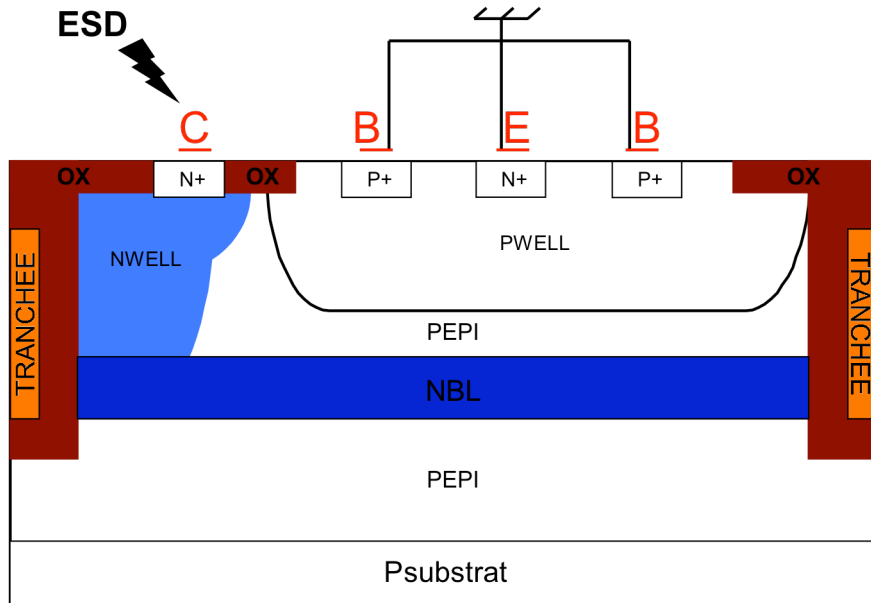


Figure 3-11. Coupe technologique de Structure5

Contrairement aux précédentes structures étudiées, Structure5 ne présente pas de symétrie. Une description du dispositif dans son intégralité est donc indispensable. Celle-ci a été réalisée au travers d'une simulation de son procédé technologique (Figure 3-12), toujours pour obtenir des profils de dopage exacts.

Structure5 est un transistor bipolaire NPN dont le collecteur est constitué par une couche enterrée (NBL) reliée au contact collecteur (N+) par l'intermédiaire d'une diffusion profonde (NWELL). Comme pour les précédents dispositifs étudiés, la configuration de Structure5 comme composant de protection contre les ESD se fait avec l'émetteur et la base reliés à la masse. Le stress quant à lui est appliqué sur le contact collecteur. L'application d'une tension positive sur le collecteur polarise en inverse la jonction collecteur-base c'est-à-dire NBL/PEPI. Les porteurs minoritaires (les trous) sont injectés par NBL dans PEPI puis ils traversent le caisson PWELL pour finalement être collectés par les contacts de base. Le passage du courant de trous à travers la résistance de PWELL augmente le potentiel de ce dernier jusqu'à polariser en direct la jonction émetteur-base (c'est-à-dire N+/PWELL) déclenchant ainsi l'effet bipolaire. Le fonctionnement de la structure en tant que structure de protection ESD est ensuite le même que celui qui a déjà été décrit dans le Chapitre1 à la Figure 1-13.

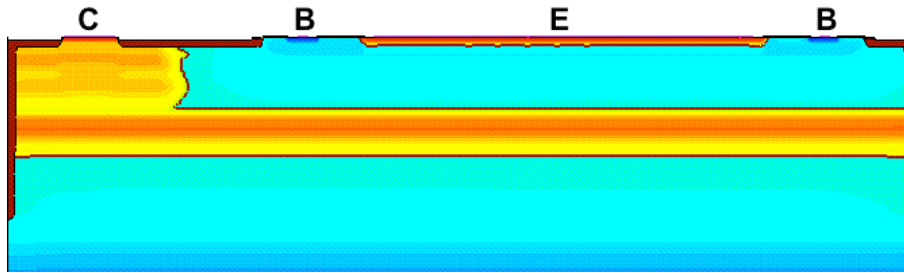


Figure 3-12. Description de Structure5 par simulation du procédé technologique

De manière à valider et comparer sur Structure5 la nouvelle méthode de prédiction avec celle d'Esmark, une simulation TLP est tout d'abord réalisée. Les dopages de cette technologie étant proches de ceux de la technologie précédente, il n'a pas été nécessaire de réaliser un nouveau calibrage des modèles physiques. Ce choix a été conforté par une simulation électrique de la tension de claquage de la jonction collecteur-base évaluant la valeur de celle-ci avec seulement 5% d'erreur comparée à la mesure.

La simulation TLP est menée jusqu'à l'apparition du second claquage (Figure 3-13) permettant ainsi d'estimer selon Esmark la valeur du courant de défaillance à 0,8A au lieu de 0,72A expérimentalement (erreur de 11%). Ce résultat de simulation pourrait être considéré comme assez précis si ce n'est qu'au regard de la courbe TLP simulée, il paraît assez contestable. En effet, nous constatons sur la Figure 3-13 que la caractéristique TLP simulée et notamment la résistance R_{on} corrèle bien avec la mesure jusqu'à un courant de 0,5A qui correspond en simulation à une température dans le dispositif de 560K. Au-delà, la valeur du R_{on} augmente fortement ce qui a pour conséquence d'éloigner la caractéristique TLP simulée de la mesure. Cette seconde partie de la courbe TLP simulée dans laquelle la valeur du R_{on} a brusquement augmenté ne paraît pas très fiable. Or c'est dans cette partie de la caractéristique TLP que va avoir lieu le second claquage. Nous voyons bien sur cette structure que le fait de poursuivre les simulations dans une gamme de température pour laquelle les modèles physiques utilisés ne sont plus vérifiés voire pas valides conduit à des résultats de simulation complètement différents des résultats expérimentaux. Par conséquent, nous émettons d'importantes réserves sur la valeur du courant de défaillance I_{T2} obtenue par simulation comme le prescrit la méthode d'Esmark.

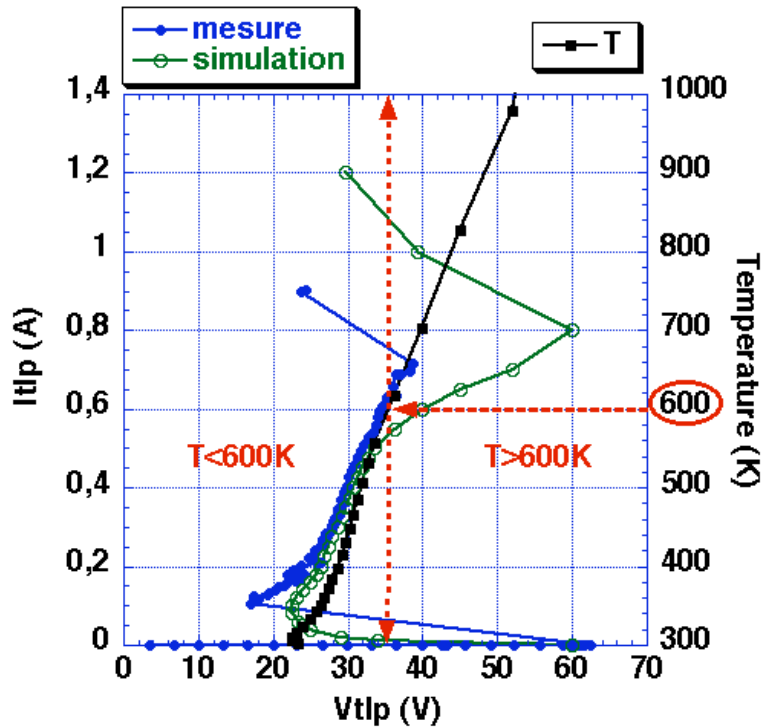


Figure 3-13. Mesure et simulation TLP de Structure5

Sur la Figure 3-13, un écart entre la simulation et la mesure est constaté au niveau de la valeur de la tension de maintien V_H . Celui-ci peut sans doute être réduit à condition de réaliser un « vrai » calibrage de la simulation par rapport à la technologie dans laquelle est réalisé le composant étudié.

3.1.2.2 Application de la méthode

L'application de la nouvelle méthode nécessite de localiser un maximum de température dans le dispositif. Celui-ci se produit dans la région du puits NWELL sous le collecteur (Figure 3-14).

L'extrapolation exponentielle de l'évolution des paramètres G_1 et R_{SRH} en fonction du courant I_{TLP} conduit à une valeur du courant de défaillance I_{T2} de 0,9A (Figure 3-15). Bien que ce résultat soit moins précis que celui obtenu par la méthode d'Esmark (25% d'erreur au lieu de 11%), il semble plus fiable quant au moyen mis en œuvre pour l'obtenir.

De plus, ce résultat est obtenu pour un temps de calcul machine deux fois inférieur à celui que demande la méthode d'Esmark (19 heures au lieu de 38 heures) car il nécessite un nombre de couples de points (I_{TLP} , V_{TLP}) à calculer moins important (21 au lieu de 30).

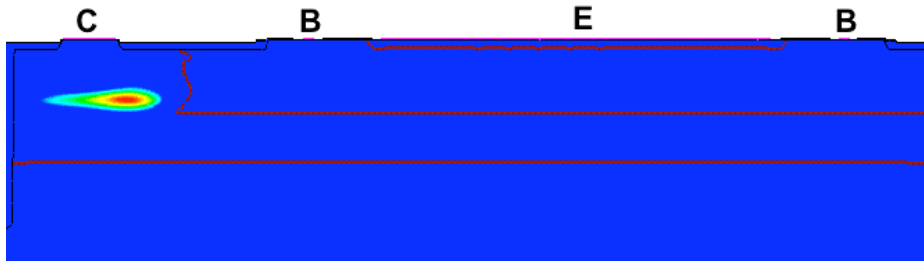


Figure 3-14. Localisation d'un maximum de température sous le collecteur dans Structure5

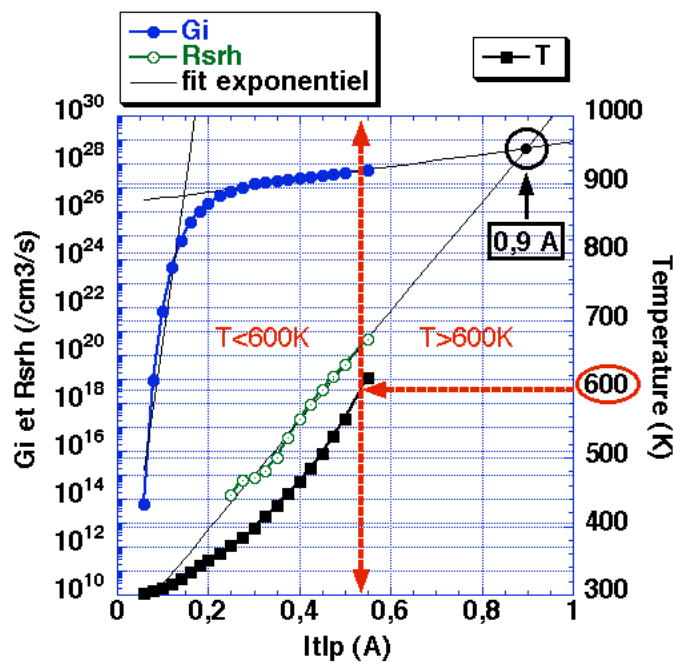


Figure 3-15. Evolutions des paramètres G_i et $|R_{SRH}|$ dans la région du point chaud

3.1.2 Bilan des résultats

Le Tableau 3-1 regroupe et compare pour les quatre structures de protection ESD étudiées les résultats des valeurs des courants de défaillance I_{T2} prédits par les critères d'Esmark et par la nouvelle méthode de prédiction.

Pour les trois composants réalisés dans la technologie $0,35\mu\text{m}$, la nouvelle méthode de prédiction permet d'obtenir des valeurs du courant de défaillance I_{T2} plus précises que celles obtenues par Esmark. En effet, par la nouvelle méthode, l'erreur maximale sur I_{T2} est de 14% tandis qu'elle atteint jusqu'à 20% pour la méthode d'Esmark. De plus, pour une structure de cette technologie, là où la méthode d'Esmark n'a pas été en mesure de prédire son courant I_{T2}

suite à des problèmes de convergence de la simulation, la nouvelle méthode permet de s'affranchir de ce type de problèmes puisque dans ce cas-là, la simulation est arrêtée pour une température de 600K.

Pour le composant réalisé dans la technologie 0,25 μ m, bien que la précision sur la valeur du courant I_{T2} prédit par la méthode Esmark semble bien meilleure, elle est toutefois questionnable vu la caractéristique I-V TLP obtenue en simulation pour les forts niveaux de courant et jusqu'à l'apparition du second claquage thermique. Pour cette structure, la nouvelle méthode prédit la valeur I_{T2} avec une erreur de 25% ce qui reste encore acceptable. On peut alors penser que notre méthode permettra de prédire avec une précision égale ou moindre, la robustesse d'autres structures de protection ESD. Pour cela, un calibrage minutieux de la simulation pour chaque filière technologique doit être envisagé.

L'autre principal avantage de la nouvelle méthode est qu'elle permet, quelque soit la structure étudiée, de prédire la valeur du courant de défaillance I_{T2} bien plus rapidement que ne le fait la méthode d'Esmark. Les temps de simulations sont alors divisés par deux avec la nouvelle méthode puisque celle-ci est arrêtée pour une température de 600K et donc par conséquent le nombre de couples de points (I_{TLP} , V_{TLP}) est moindre que celui que nécessite la méthode d'Esmark. De plus, le fait de limiter les calculs de simulation au domaine de validité en température des modèles physiques (pour de faibles et moyennes valeurs de température) garantit une bonne convergence des résultats.

NA : Non Applicable

Technologie SMARTMOS	0,35 μ m			0,25 μ m
	2	3	4	5
Structure				
I_{T2}				
Mesure	1,5A	3,1A	3,8A	0,72A
Prédiction par les critères d'Esmark	1,8A	NA	4,3A	0,8A
Nouvelle méthode de prédiction	1,52A	3,52A	3,45A	0,9A
Erreur sur I_{T2}				
Prédiction par les critères d'Esmark	20%	NA	14%	11%
Nouvelle méthode de prédiction	2%	14%	9%	25%
Nombre de couples de points (I_{TLP}, V_{TLP}) calculés				
Prédiction par les critères d'Esmark	24	NA	23	30
Nouvelle méthode de prédiction	17	12	11	21
Nombre de points de maillage	15000	9000	11000	8000
Temps de calculs machine				
Prédiction par les critères d'Esmark	7 jours	NA	5 jours	38 heures
Nouvelle méthode de prédiction	4 jours	11 jours	3 jours	19 heures

Tableau 3-1. Bilan des résultats obtenus, entre la nouvelle méthode et celle d'Esmark, pour la prédiction du courant I_{T2} des différentes structures étudiées

Il est important de remarquer dans le Tableau 3-1 l'importante différence qu'il existe au niveau des temps de calcul machine entre les trois premières structures de la première technologie et la structure réalisée dans la seconde technologie. Cet écart s'explique par le fait que le dernier composant étudié (Structure5) a été simulé avec une machine ayant une capacité de calculs plus puissante que la précédente. En effet, les simulations ont été

effectuées sous LINUX avec un processeur Intel cadencé à 3,6GHz alors qu'auparavant, les trois premiers dispositifs étudiés avaient été simulés avec une station de travail SUN munie d'un processeur UltraSparc cadencé « seulement » à une fréquence de 1GHz. De plus, cette différence s'explique aussi par le fait que la dernière structure a des dimensions plus petites que les précédentes et a été maillée de manière optimale. Cette qualité de maillage provenant de l'expérience accumulée au fur et à mesure de l'avancement de la thèse et des nombreuses simulations réalisées durant celle-ci.

3.2 Méthode appliquée à un stress HBM

3.2.1 Stress HBM

Tout comme les modèles MM et CDM, le modèle HBM appartient au jeu des modèles des stress standards représentant une décharge électrostatique. Le modèle HBM représente le courant de décharge initié par une personne préalablement chargée et touchant avec son doigt un objet relié à la masse. Le modèle HBM est la spécification ESD la plus demandée aux fabricants de semi-conducteurs. Ce modèle représente une grande partie des problèmes rencontrés quotidiennement par les fabricants ou les compagnies de semi-conducteurs.

Il est donc d'un grand intérêt pour les industriels de déterminer grâce à la simulation la robustesse HBM d'un composant ESD afin d'optimiser ce dernier par rapport à l'application qu'il devra protéger. Ceci permettra alors de minimiser les réalisations sur silicium.

Dans ce paragraphe, nous allons donc essayer de prédire par la simulation le niveau de robustesse d'une structure de protection ESD lorsque celle-ci subit un stress de type HBM. Il faudra donc déterminer la valeur de la tension de pré-charge V_{HBM} pour laquelle le composant ESD sera considéré comme défaillant. Pour cela, nous appliquerons la méthode détaillée au Chapitre 2 qui permettait jusqu'à présent de prédire toujours par la simulation la valeur du courant de défaillance I_{T2} d'une structure de protection ESD soumise à un stress de type TLP.

Pour appliquer des stress de type HBM, nous utilisons le schéma électrique de la Figure 3-16(a). Celui-ci permet de générer la forme d'onde du courant de décharge HBM (Figure 3-16(b) qui est appliquée à la structure de protection ESD étudiée, notée DUT (pour Device Under Test) sur le schéma. Le courant de décharge est fourni par une capacité C_C , représentant la capacité associée au corps humain. Celle-ci est préalablement chargée sous une de tension de pré-charge V_{HBM} puis déchargée au travers de la résistance R_s qui représente la résistance du corps humain. Nous avons de plus introduit dans le schéma électrique une capacité C_s en parallèle avec R_s et une inductance série L_p de manière à tenir

compte des éléments parasites ramenés par le testeur HBM et qui influence la forme d'onde du courant. Les valeurs associées aux différents éléments du schéma électrique sont regroupées dans le Tableau 3-2.

Un exemple de la forme d'onde en courant obtenue en simulation pour une tension de pré-charge V_{HBM} de 2kV est représenté à la Figure 3-16. Le courant atteint un maximum de 1,33A au bout de 10ns.

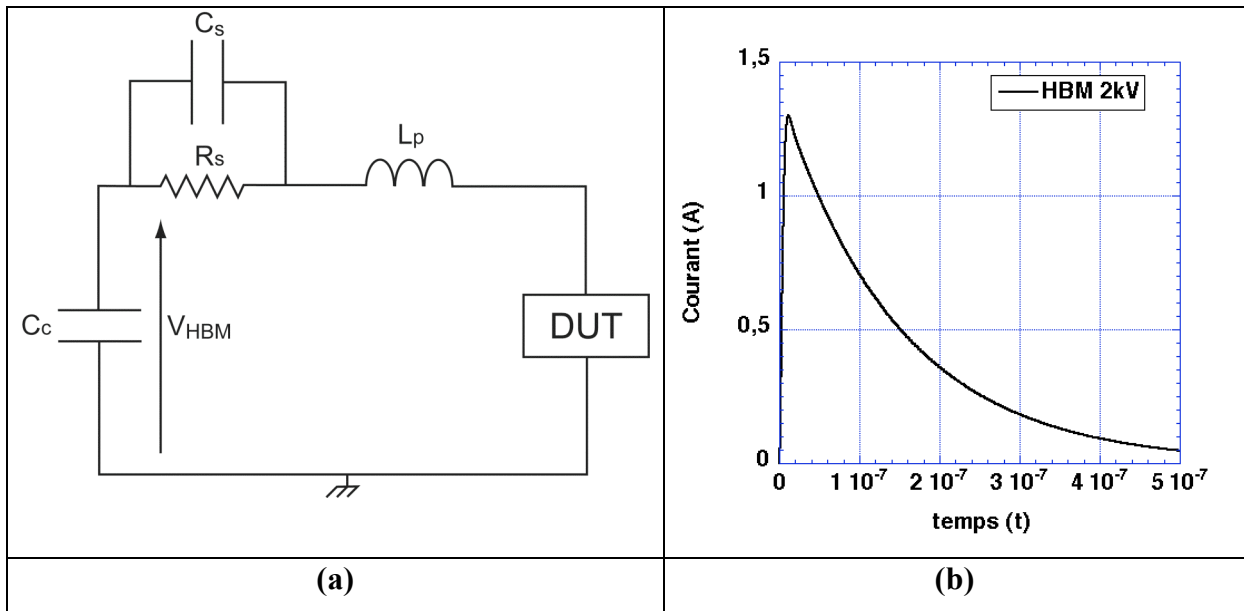


Figure 3-16. Schéma électrique du modèle HBM (a) et forme d'onde du courant de décharge associée (b)

C_c	R_s	C_s	L_p
100 pF	1500 Ω	1 pF	6 μ H

Tableau 3-2. Valeurs des éléments du schéma électrique utilisés pour la simulation de la forme d'onde du courant de décharge HBM

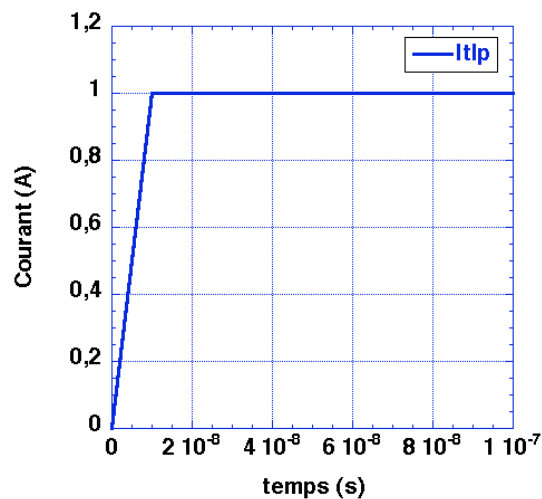
3.2.2 Application de la méthode à un test HBM

Nous allons tout d'abord rappeler les différentes étapes de la méthode de prédiction du courant de défaillance I_{T2} . Ces étapes sont répétées pour différentes valeurs de courant TLP notée I_{TLP} d'amplitude croissante et dans la limite de validité en température des modèles physiques utilisés pour la simulation.

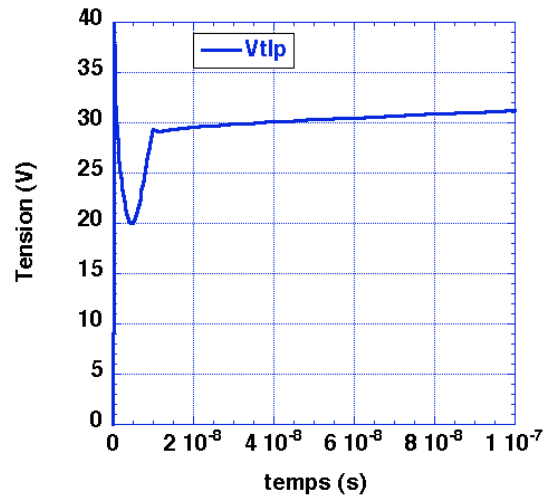
Ces étapes sont les suivantes :

- simulation réalisée pour une valeur de courant TLP
- localisation du maximum de température T_{MAX} dans la structure
- extraction dans la région du point chaud des taux d'ionisation par impact G_i et de recombinaison SRH noté R_{SRH}
- étapes répétées pour différentes amplitudes de courant I_{TLP} et jusqu'à ce que la température T_{MAX} dans le dispositif atteigne la limite de validité en température des modèles physiques utilisés
- extrapolation exponentielle des évolutions de G_i (I_{TLP}) et de R_{SRH} (I_{TLP}) jusqu'à ce que $G_i=R_{SRH}$ pour une valeur de courant $I_{TLP}=I_{T2}$

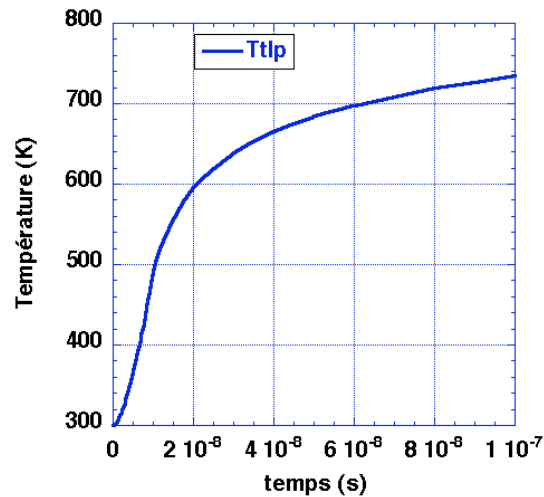
Il est à noter que pour l'application de cette méthode et notamment l'extraction des paramètres T_{MAX} , G_i et R_{SRH} se fait d'un point de vue temporel à la fin ($t=100ns$) de chaque impulsion de courant I_{TLP} c'est-à-dire là où le courant I_{TLP} , la tension V_{TLP} et la température T sont maximums. Une illustration en est donnée aux Figure 3-17(a), (b) et (c) pour un niveau de courant I_{TLP} de 1A. I_{TLP} , V_{TLP} et T atteignent bien leur maximum pour $t=100ns$.



(a)



(b)



(c)

Figure 3-17. Evolution (a) du courant, (b) de la tension et (c) du maximum de température lors d'un stress TLP pour une impulsion en courant de 1A.

Le transfert de cette méthode à la prédiction du niveau de défaillance d'une structure de protection ESD à un test HBM et donc l'obtention de la valeur de tension maximale V_{HBM} , consiste donc, en simulation, à appliquer plusieurs stress HBM avec des tensions de pré-charges V_{HBM} différentes. Pour chacune de ces tensions correspond alors une forme d'onde en courant dont l'amplitude du maximum varie avec la valeur V_{HBM} .

Le dispositif de protection ESD étudié est Structure2. Sa coupe technologique a déjà été présentée au Chapitre2 à la Figure 2-5. Expérimentalement, son niveau de robustesse à un stress HBM a été mesuré à 2kV.

Comme pour la simulation TLP, deux points chauds apparaissent dans la structure. Le premier point chaud se focalise dans la profondeur du substrat au niveau de l'émetteur tandis que le second est dans le puits du collecteur. L'analyse de défaillance de cette structure suite au stress TLP (Figure 2-23) ainsi que la nouvelle méthode (Figure 2-21) ayant montrée que la défaillance était initiée du côté du collecteur, nous avons choisi d'appliquer la nouvelle méthode dans le cas d'un stress HBM que sur le point chaud situé côté collecteur.

Plusieurs stratégies sont testées pour appliquer notre méthode. La première est d'extraire pour un temps t égal à 100ns, les paramètres G_i et R_{SRH} . Ce temps est choisi en comparaison avec la durée des impulsions TLP. L'extrapolation exponentielle de ces paramètres conduit à déterminer la valeur V_{HBM} à 3,25kV (Figure 3-18).

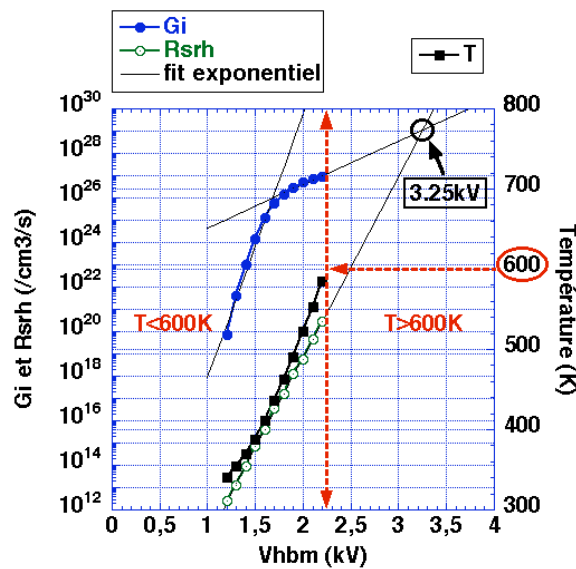


Figure 3-18. Nouvelle méthode appliquée à $t=100ns$ pour un test HBM

Le résultat obtenu par application de la nouvelle méthode s'avère assez éloigné de la mesure engendrant une erreur de 60%. Toutefois il faut préciser que le testeur HBM utilisé lors des mesures ne permet de tester un composant que par pas de 500V au niveau des tensions de pré-charges. Il est donc possible que la robustesse HBM du composant testé puisse atteindre jusqu'à 2,4kV. Si nous envisageons cette situation, le résultat extrait par la nouvelle méthode voit son erreur réduite à 35%. L'erreur commise reste encore assez importante et il semble donc que l'application de la méthode au temps $t=100ns$ ne soit pas le bon choix de temps pour prédire la valeur V_{HBM} . Ceci peut être expliqué par le fait que dans le cas d'un stress HBM et contrairement à un stress TLP, les maximums de courant, de tension et de température n'ont pas lieu en même temps à 100ns mais avant. En effet, comme l'illustre la Figure 3-19 pour

une tension de pré-charge V_{HBM} de 1,6kV, les maximums de courant et de tension (après déclenchement de la structure) se produisent à 10ns tandis que celui de température se fait à 40ns. Cela signifie donc que lors d'un stress HBM, il n'est pas possible de trouver temporellement un même instant où le courant, la tension et la température sont maximums simultanément comme c'était préalablement le cas pour le test TLP.

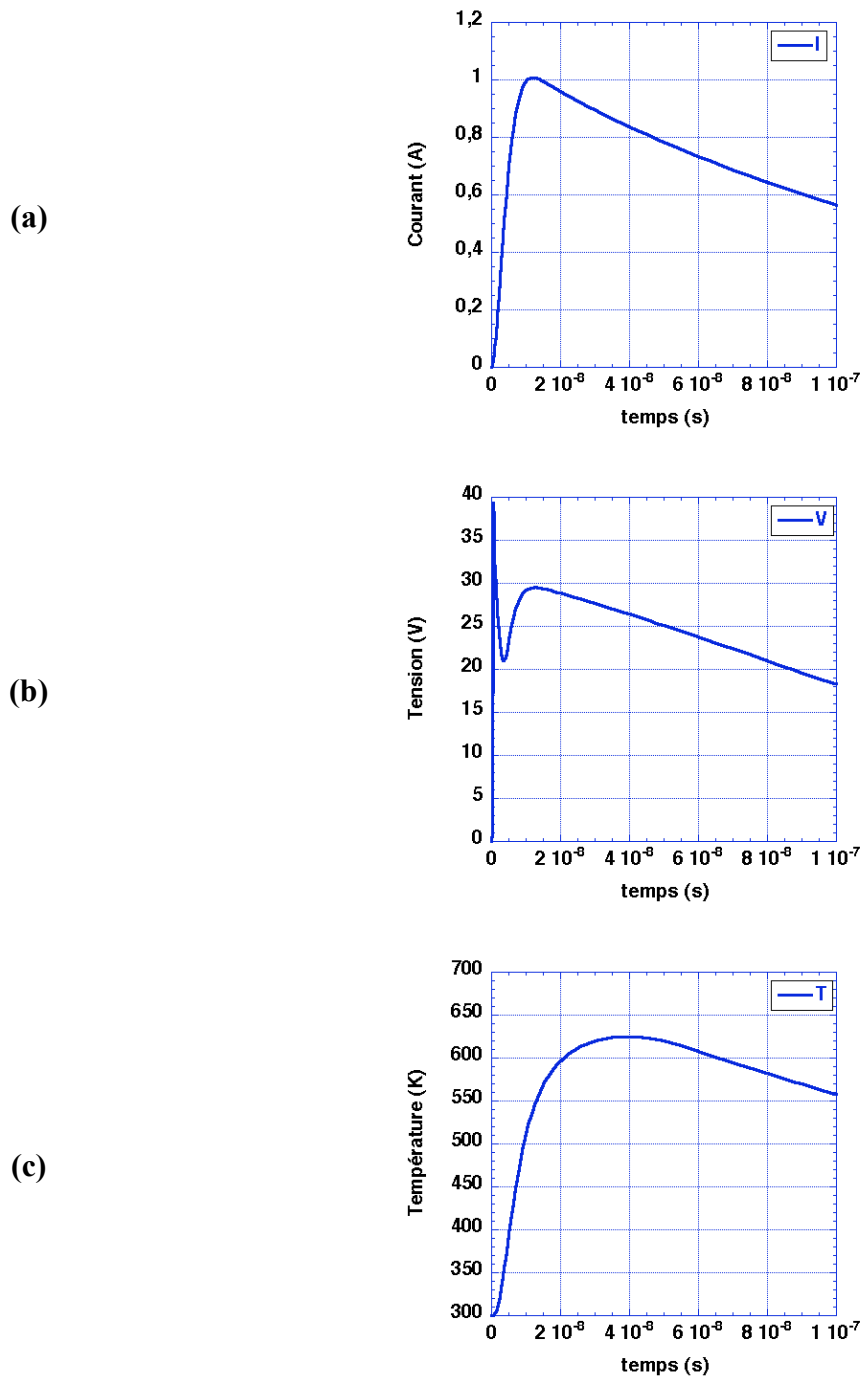


Figure 3-19. Evolution (a) du courant, (b) de la tension et (c) du maximum de température durant un stress HBM de 1,6kV

Il semble donc que le choix du temps auquel on applique la méthode est la principale difficulté. Vu les courbes de la Figure 3-19, correspondant à l'évolution temporelle du courant, de la tension et de la température lors d'un stress HBM de 1,6kV, nous avons décidé d'appliquer la nouvelle méthode au temps $t=40\text{ns}$. En effet, pour ce temps, la température atteint bien son maximum mais ce n'est pas le cas pour le courant et la tension. Toutefois, le courant et la tension diminuant constamment une fois leur maximum respectif atteint ($t=10\text{ns}$), leur valeur à $t=40\text{ns}$ sera plus élevée et donc plus proche de celui-ci que celle relevée à $t=100\text{ns}$ comme précédemment. Le résultat de l'application de la méthode à $t=40\text{ns}$ est représentée à la Figure 3-20.

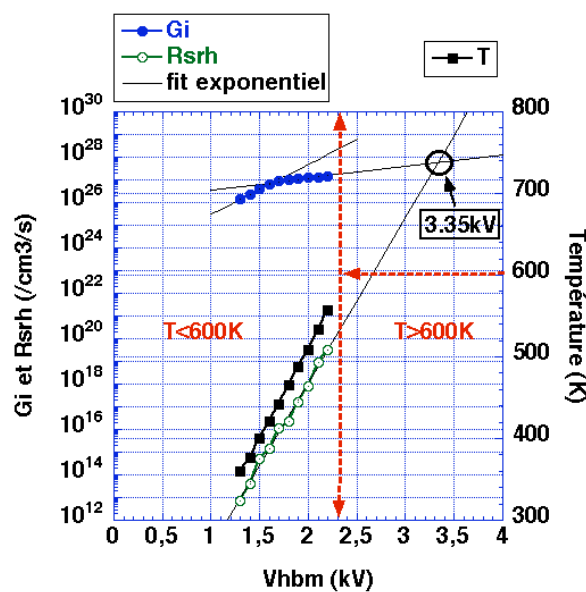
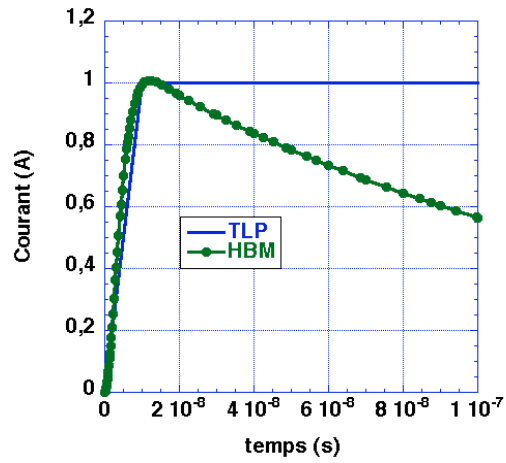
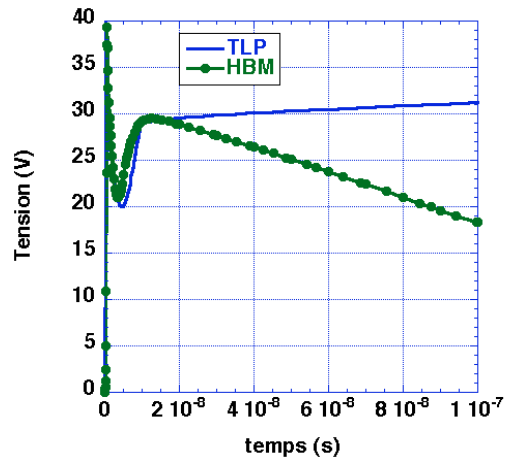


Figure 3-20. Nouvelle méthode appliquée au temps pour lequel le maximum de température est atteint dans la région du collecteur

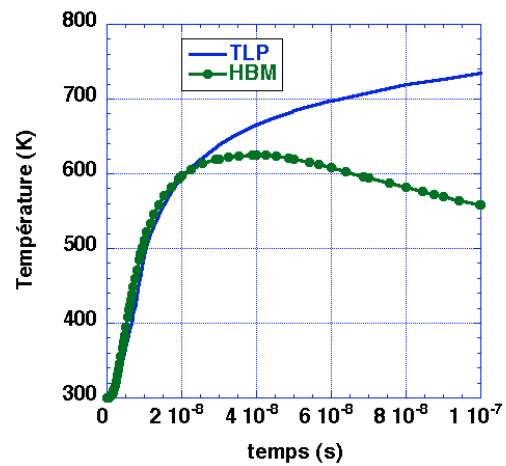
La valeur V_{HBM} obtenue est cette fois-ci égale à 3,35kV. Ce résultat est tout aussi éloigné de la mesure que le résultat précédent extrait à $t=100\text{ns}$. De manière à expliquer pourquoi la nouvelle méthode appliquée à un test HBM conduisait à des résultats erronés alors que cette même méthode a été validée pour un test TLP, nous avons comparé les réponses temporelles du courant, de la tension et de la température entre les stress TLP et HBM dont la valeur du maximum de courant est la même et est atteinte pour quasiment le même temps de montée. Pour cela, nous avons comparé un stress TLP dont l'impulsion est de 1A en 10ns de temps de montée avec un stress HBM de 1,6kV Figure 3-21. Ce dernier génère un courant de décharge dont le maximum atteint également 1A en un peu moins de 10ns. Les évolutions en fonction du temps du courant, de la tension et de la température sont représentées à la Figure 3-21(a), Figure 3-21(b) et Figure 3-21(c).



(a)



(b)



(c)

Figure 3-21. Comparaison de l'évolution (a) du courant, (b) de la tension et (c) de la température entre des stress TLP et HBM dont le maximum de courant est de 1A

Comme les formes d'ondes du courant de décharge initié par le stress TLP et HBM sont les mêmes jusqu'au temps $t=10\text{ns}$ (même temps de montée pour atteindre la même valeur de courant), les évolutions des tensions et de la température sont identiques pour les deux types de stress jusqu'à 10ns. Après 10ns, le courant TLP est maintenu à sa valeur maximale, permettant à la tension aux bornes du composant de se maintenir quasiment constante. La valeur du produit courant-tension étant maintenue constante entre 10ns et 100ns, ceci provoque un échauffement sans cesse croissant dans la structure ce qui se traduit par une élévation de la température dans la structure comme l'illustre la Figure 3-21(c). Précisons que la Figure 3-21(c) représente l'évolution du maximum de température dans la structure ESD qui selon le niveau de courant de décharge appliquée peut être localisé soit dans la profondeur de la région sous l'émetteur soit dans la région sous le collecteur. Comme nous avons décidé de seulement appliquer la nouvelle méthode dans la région sous le collecteur, nous avons donc représenté l'évolution de la température dans cette zone comme l'illustre la Figure 3-22. En revanche, pour le stress HBM, une fois que les maximums respectifs ont été atteints au temps $t=10\text{ns}$, le courant et la tension ne cessent de décroître. La température qui quant à elle est maximale à $t=40\text{ns}$ diminue également constamment entre 40ns et 100ns du fait que le produit courant-tension ne cesse de diminuer après 10ns. Cela se traduit sur la Figure 3-22 par une petite différence de température de 30K à $t=40\text{ns}$ entre les évolutions de température TLP et HBM puis cet écart ne cesse d'augmenter (80K à $t=60\text{ns}$ puis 128K à $t=80\text{ns}$) pour atteindre son maximum à $t=100\text{ns}$ d'une valeur de 190K. De plus, nous avons représenté, toujours à la Figure 3-22, les évolutions temporelles des paramètres G_i et R_{SRH} durant les mêmes stress TLP et HBM.

Le taux d'ionisation par impact G_i étant une fonction du champ électrique E et donc indirectement de la tension, celui-ci se comporte comme cette dernière. Il reste donc par conséquent quasiment constant entre 10ns et 100ns durant le stress TLP alors qu'il ne cesse de diminuer pour le stress HBM dans la même gamme de temps. Le taux de recombinaison SRH noté R_{SRH} , quant à lui, est fonction de la température. R_{SRH} suit donc l'évolution de la température. Il est en constante augmentation pour un stress TLP alors qu'il ne cesse de diminuer lors du stress HBM une fois qu'il atteint son maximum à $t=40\text{ns}$.

La nouvelle méthode a également été appliquée pour les temps $t=10\text{ns}$ et $t=20\text{ns}$ car les valeurs de courant, de tension et de température sont quasiment les mêmes pour le stress TLP et le stress HBM. Malheureusement, les résultats prédits pour chacun de ces deux temps se trouvent encore plus éloignés de la mesure que ceux qui avaient été préalablement prédits aux temps $t=40\text{ns}$ et $t=100\text{ns}$.

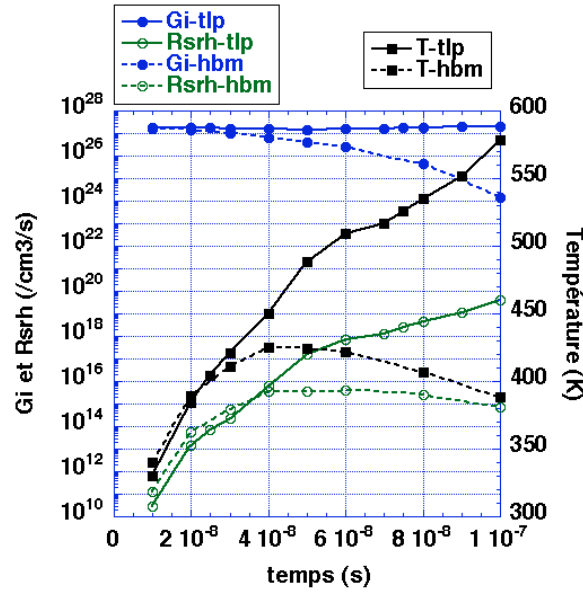


Figure 3-22. Evolution des paramètres G_i , R_{SRH} et T pour une impulsion de courant TLP de 1A ainsi que pour un stress HBM de 1,6kV

La nouvelle méthode n'a pas pu être validée pour la prédiction de la robustesse HBM. Quelque soit le temps pour lequel elle a été appliquée, le résultat est prédit avec une erreur au mieux de 35% par rapport à la mesure. Ceci provient essentiellement du fait que notre méthode nécessite d'être appliquée à un temps auquel le courant, la tension et la température atteignent simultanément leur maximum respectif dans le composant étudié ce qui n'est jamais le cas durant un stress HBM.

3.3 Conclusion

La nouvelle méthode, décrite au Chapitre 2, et qui permet de prédire à l'aide de la simulation TCAD la valeur du courant de défaillance I_{T2} d'une structure de protection ESD soumise à un stress TLP a été validée au travers de ce chapitre sur trois dispositifs ESD réalisés dans deux technologies Smart Power différentes. Les résultats prédits par la nouvelle méthode ont été obtenus avec une bonne précision en comparaison avec les mesures mais également par rapport aux méthodes de prédiction déjà existantes. En effet, ces dernières présentent dans certains cas une moins bonne précision où ne permettent de prédire une solution. Notre méthode, par contre, nous permet toujours de trouver une solution et réduit de façon significative les temps de calculs des simulations.

Toutefois, le transfert de cette méthode à la prédiction de la robustesse HBM d'un composant n'a pu être validé. Cet « échec » n'est pas vraiment préjudiciable pour la méthode car si une

structure est bien optimisée pour le TLP, elle le sera aussi pour un test HBM. D'autre part, on assiste à une généralisation industrielle du test TLP qui pourrait à terme remplacer le test HBM.

REFERENCES :

[ESMA02]

Kai Esmark,

“Device Simulation of ESD Protection Elements”,

Series in Microelectronics, Hartung-Gorre, Volume 128, 2002.

[ISE]

« ISE TCAD Manuals »,

ISE integrated systems engineering AG, Zurich, version 7.0, 2001.

Conclusion générale

La constante diminution des dimensions lithographiques rend les circuits intégrés de plus en plus sensibles aux décharges électrostatiques. La nécessité de sans cesse développer des nouvelles structures de protection ESD performantes avec des délais de réalisation les plus courts possibles devient donc indispensable pour les industries de semi-conducteurs afin que ces dernières restent compétitives. Toutefois les étapes d'un développement « traditionnel » des protections ESD requièrent encore un trop grand nombre de réalisations sur silicium avant d'obtenir le composant ESD optimisé. Afin de réduire de façon significative le coût de réalisation des dispositifs ESD et la durée de leur cycle de développement, l'utilisation des outils de simulation à chaque étape de leur développement doit se généraliser. Notre manuscrit, divisé en trois chapitres, montre comment il est possible de prédire la robustesse d'un composant ESD à l'aide d'outils de simulation TCAD.

Le premier chapitre a tout d'abord permis de présenter la notion de décharge électrostatique dans l'environnement des dispositifs semi-conducteurs. Nous avons compris quels étaient les différents mécanismes à l'origine des décharges électrostatiques dans les circuits intégrés introduisant la nécessité de développer des structures de protection contre les ESD. Les principaux éléments de protection ont été décrits ainsi que les stratégies de protection d'un circuit intégré. Les différents modèles de décharges ont été présentés ainsi que les techniques de caractérisation associées. La caractérisation quasi-statique en impulsion (TLP) a fait l'objet d'une attention toute particulière puisque c'est sur elle que s'est appuyée notre méthodologie. En faisant l'état de l'art concernant l'utilisation des outils de simulation pour l'étude des structures de protection ESD, nous avons montré qu'il n'existait qu'une seule méthode capable de prédire la robustesse d'un composant. La précision de celle-ci reste toutefois variable et les conditions de simulation sont discutables.

Le second chapitre a présenté notre nouvelle méthodologie de prédiction, basée sur l'évaluation du courant de défaillance I_{T2} d'une structure lorsque cette dernière est soumise à un stress TLP. Celle-ci a été détaillée et expliquée sur un composant de protection ESD de type transistor bipolaire réalisé dans une technologie de puissance intelligente Smart Power (SMARTMOS 0,35 μ m de chez Freescale). Les principales étapes qui ont permis de valider cette méthodologie sont résumées sur la Figure 1. Nous avons montré qu'il était indispensable de réaliser un calibrage minutieux pour chaque étape de la simulation afin d'obtenir une caractéristique TLP la plus précise possible. Ces étapes de calibrage sont présentes dès la définition du composant (géométrie et profils de dopage) au travers de sa description grâce à une simulation du procédé technologique. Des étapes de calibrage supplémentaires sont effectuées lors des simulations électriques dans les modes de fonctionnement statiques et

dynamiques. Celles-ci consistent dans le choix approprié des modèles physiques et dans l'ajustage de certains paramètres qui leur sont associés de manière à corrélérer au mieux avec les résultats expérimentaux. L'originalité de notre méthodologie est double. La première consiste à arrêter la simulation de la caractéristique TLP quand la température dans le composant atteint la validité en température des modèles physiques ($T < 600K$). Cela garantit alors l'intégralité des résultats, que si la simulation a bien été calibrée. La seconde réside dans l'extraction, durant la simulation, de l'évolution de certains paramètres physiques pertinents qui fixe le critère de défaillance de la structure.

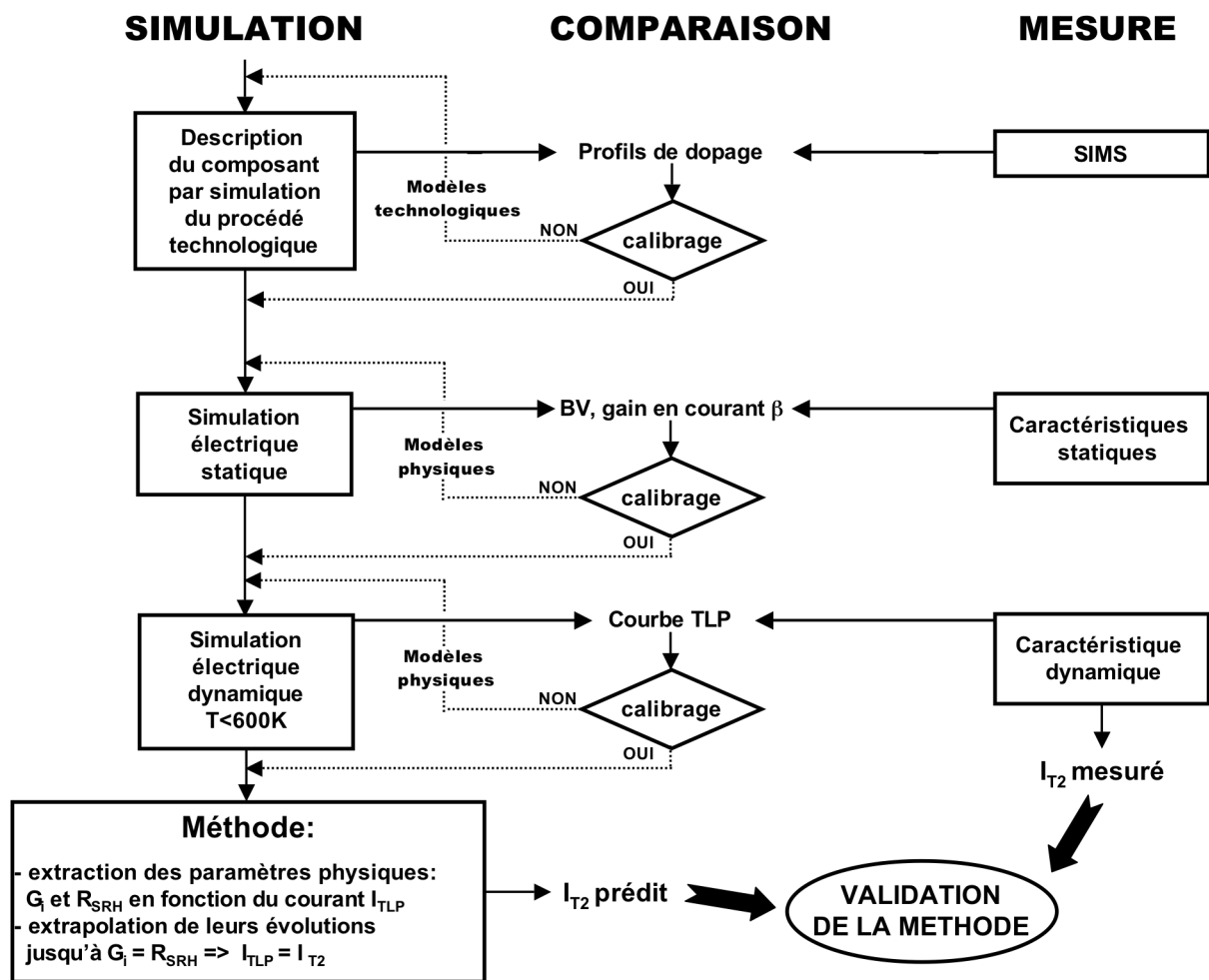


Figure 1. Etapes de validation de notre nouvelle méthodologie de prédiction

Le dernier chapitre a permis de confirmer la validité de notre méthodologie de prédiction du courant I_{T2} en appliquant celle-ci sur deux autres structures de protection ESD réalisées dans la même technologie que précédemment. La méthode a été ensuite appliquée et validée à un autre dispositif ESD réalisée dans une technologie de puissance intelligente plus avancée

(SMARTMOS 0,25 μ m). Nous avons montré que notre méthodologie permettait de prédire de façon précise, pour les structures étudiées, les valeurs de leur courant de défaillance I_{T2} et cela avec des temps de calculs machine considérablement réduits en comparaison avec la méthode existante dans la littérature.

Le transfert de cette méthode à la prédiction de la robustesse HBM d'un composant n'a pu être ensuite validé. Toutefois, notre méthode reste d'un grand intérêt puisque si elle permet de prédire qu'une structure a été optimisée pour le TLP, celle-ci le sera également lors d'un événement de type HBM. De plus, l'évaluation de la robustesse d'un composant ESD par la caractérisation TLP tend à se généraliser dans l'industrie rendant ainsi notre méthode encore plus légitime.

Publications de l'auteur:

2 Congrès Internationaux :

- *1 Communication orale :*

“Accurate Prediction of the ESD Robustness of Semiconductor Devices Through Physical Simulation”

C. Salaméro, N. Nolhier, M. Bafleur, M. Zécri

IEEE Catalog No. 05CH37616 43rd Annual International Reliability Physics Symposium (IRPS), San Jose, California, pp. 106-111, April 17-21, 2005.

- *1 Communication par affiche :*

“Efficient TCAD Methodology for ESD Failure Current Prediction of Smart Power ESD Protection”

C. Salaméro, N. Nolhier, M. Bafleur, P. Besse

IEEE 17th Annual International Symposium on Power Semiconductor Devices and ICs (ISPSD), Santa Barbara, California, pp. 115-118, May 22-26, 2005.

2 Congrès Nationaux :

- *2 Communications par affiche :*

“Prédiction précise de la robustesse d'un dispositif semi-conducteur grâce à la simulation physique”

C. Salaméro

Journée de l'école doctorale de Génie Electrique Electronique, Télécommunications (GEET), Toulouse, France, pp. 163-165, 17 Mai 2005.

“ Influence des modèles physiques sur la simulation de la caractéristique TLP d'une structure de protection ESD”

C. Salaméro

VII^{èmes} Journées Nationales du Réseau Doctoral de Microélectronique (JNRDM), Marseille, France, pp. 257-259, 4-6 Mai 2004.

Soumission d'un brevet :

Procédure pour un dépôt de brevet avec Freescale semiconductors : pas autorisée à se poursuivre pour l'instant

Référence : SC13455ET

« Accurate Prediction of the Electrostatic Discharge (ESD) robustness and failure point localization in semiconductor through physical simulation »

C. Salaméro, N. Nolhier, M. Bafleur, M. Zécri

Soumission d'une revue :

Revue IEEE : Transactions on Device and Materials Reliability (TDMR),

« TCAD Methodology for ESD Robustness Prediction of Smart Power ESD Devices»

C. Salaméro, N. Nolhier, A. Gendron, M. Bafleur, P. Besse, M. Zécri

Méthodologie de prédiction du niveau de robustesse d'une structure de protection ESD à l'aide de la simulation physique TCAD.

Résumé : Les travaux de cette thèse ont consisté à développer une méthodologie permettant de prédire, à l'aide d'un outil de simulation physique, le niveau de robustesse d'une structure de protection ESD réduisant ainsi le nombre d'itérations silicium. Cette méthode ne peut être appliquée que si un calibrage minutieux de la simulation est préalablement réalisé. L'originalité de notre méthodologie repose sur le fait que la simulation ne sera réalisée que dans le domaine de validité en température des modèles physiques utilisés (c'est-à-dire pour des températures inférieures à 600K). Plutôt que d'utiliser directement la valeur de la température comme critère de défaillance du composant, notre méthode se base sur des paramètres physiques dépendants de la température. Ces derniers sont le taux d'ionisation par impact (G_i) et celui de Schokley Read Hall (R_{SRH}) dont l'extrapolation de leur évolution respective permet de prédire le niveau de robustesse ESD du composant.

La méthode a été validée pour différents dispositifs ESD réalisés dans deux technologies de puissance intelligente (Smart Power : 0.35 μ m et 0.25 μ m) différentes.

La méthodologie développée durant cette thèse procure donc le double avantage de prédire des niveaux de robustesse ESD précis (c'est-à-dire proches des valeurs mesurées) avec des temps de simulation considérablement réduits en comparaison avec ceux que consommeraient d'autres méthodes proposées dans la littérature.

Mots clés : Décharges électrostatiques (ESD), robustesse, prédiction, simulation TCAD

Predictive methodology of the ESD robustness of semiconductor devices through physical simulation TCAD

Abstract: This work deals with a new method to predict ESD protection robustness with TCAD simulations and then reduce the silicon runs. This method can only be applied if a careful calibration of the simulation is firstly achieved (geometry and doping profiles).

The special feature of our predictive methodology based on TCAD simulation is that the simulation is only computed within the temperature validity range of the physical models. Instead of using the temperature value as a criterion, temperature related parameters, i.e. impact ionization and thermally generated carriers, are monitored until maximum allowed temperature for the models and then extrapolated until their respective current contribution becomes equal which corresponds to the initiation of thermal breakdown. The methodology is validated on two Smart Power technologies with 0.35 μ m and 0.25 μ m minimum feature size with electrical measurement and failure analysis.

Failure current is always predicted with a good accuracy compared to technology spreading. In addition, the methodology provides a significant simulation time speedup compared to classical methods based on a temperature criterion.

Key words: Electrostatic discharges (ESD), robustness, prédiction, TCAD simulation