



**HAL**  
open science

# Conception et intégration d'un synthétiseur digital direct micro-onde en technologie silicium SiGe:C 0.25um

Stéphane Thuries

► **To cite this version:**

Stéphane Thuries. Conception et intégration d'un synthétiseur digital direct micro-onde en technologie silicium SiGe:C 0.25um. Micro et nanotechnologies/Microélectronique. Université Paul Sabatier - Toulouse III, 2006. Français. NNT: . tel-00130065

**HAL Id: tel-00130065**

**<https://theses.hal.science/tel-00130065>**

Submitted on 9 Feb 2007

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Laboratoire d'Analyse et d'Architecture des Systèmes du CNRS  
UFR Physique, Chimie, Automatique de l'Université Paul-Sabatier

THESE

pour obtenir le grade de  
Docteur de l'université Paul-Sabatier de Toulouse

Spécialité : Conception de circuits microélectroniques micro-ondes

présentée par :  
Stéphane Thuries

Conception et intégration d'un  
synthétiseur digital direct micro-onde  
en technologie silicium SiGe:C 0,25  $\mu\text{m}$

Soutenue le 14 décembre 2006 devant le jury :

Président	J.	GRAFFEUIL
Directeur de thèse	É.	TOURNIER
Rapporteurs	J.B.	BÉGERET
	M.	PRIGENT
Examinateurs	A.	CATHELIN
	M.	REGIS



---

# Table des matières

---



<b>Introduction générale</b>	<b>11</b>
<b>1 Systèmes numériques hyperfréquences</b>	<b>15</b>
Introduction . . . . .	17
1.1 Technologies disponibles . . . . .	17
1.1.1 Historique des technologies . . . . .	17
1.1.2 Les technologies bipolaires . . . . .	19
1.1.3 Technologies CMOS . . . . .	22
1.1.4 Technologies bipolaires-CMOS (BiCMOS) . . . . .	23
1.1.5 Conclusion . . . . .	24
1.2 Familles logiques utilisées dans les systèmes hyperfréquences . . . . .	26
1.2.1 Logique CMOS . . . . .	26
1.2.2 Logique ECL . . . . .	28
1.3 Circuits numériques hyperfréquences . . . . .	32
1.3.1 Convertisseurs numérique/analogique et analogique/numérique . . . . .	33
1.3.2 Mémoires . . . . .	33
1.3.3 Diviseurs de fréquence . . . . .	34
1.3.4 Multiplexeurs/démultiplexeurs . . . . .	37
1.3.5 Les microprocesseurs . . . . .	38
Conclusion . . . . .	38
Références bibliographiques . . . . .	39
<b>2 Application à la synthèse directe et indirecte de fréquence</b>	<b>53</b>
Introduction . . . . .	55
2.1 Numérisation d'une boucle à verrouillage de phase . . . . .	56
2.1.1 La boucle à verrouillage de phase . . . . .	56
2.1.2 Comparateur phase/fréquence numérique (ou PFD) . . . . .	57
2.1.3 Diviseurs de fréquence . . . . .	58
2.1.4 Numérisation complète de la PLL (ADPLL) . . . . .	59
2.2 Principe du synthétiseur digital direct . . . . .	60
2.2.1 Le diviseur fréquence évolué . . . . .	60
2.2.2 Synthétiseur Digital Direct (DDS) . . . . .	60
2.3 L'accumulateur de phase . . . . .	62
2.3.1 Additionneur à propagation de retenue . . . . .	63
2.3.2 Additionneur à anticipation de retenue . . . . .	65
2.3.3 Accumulateur à structure simple . . . . .	66
2.3.4 Accumulateur à structure parallèle . . . . .	66
2.3.5 Accumulateur à structure pipeline . . . . .	67
2.4 Techniques de conversion phase/amplitude . . . . .	71
2.4.1 Utilisation d'une mémoire ROM/RAM . . . . .	71

2.4.2	L'algorithme CORDIC . . . . .	73
2.4.3	Convertisseur N/A non-linéaire . . . . .	77
2.5	Convertisseur numérique/analogique . . . . .	79
2.5.1	Convertisseur idéal . . . . .	80
2.5.2	Source d'erreurs statiques . . . . .	80
2.5.3	Caractéristiques dynamiques . . . . .	83
2.5.4	Convertisseur potentiométrique . . . . .	84
2.5.5	Convertisseur à sources de courant commutées . . . . .	86
2.6	Caractéristiques spectrales des signaux du DDS . . . . .	88
2.6.1	Transformée de Fourier d'un signal périodique . . . . .	88
2.6.2	Cas particulier : expression mathématique du signal d'un DDS . . . . .	90
2.7	Structures de DDS complexes . . . . .	90
2.7.1	Modulations simples . . . . .	91
2.7.2	Modulation linéaire de fréquence . . . . .	92
2.8	Utilisation du DDS dans les systèmes de télécommunications . . . . .	93
2.8.1	Génération de signaux en bande de base . . . . .	93
2.8.2	Association avec/dans une PLL . . . . .	93
	Conclusion . . . . .	95
	Références bibliographiques . . . . .	97
<b>3</b>	<b>Intégration d'un DDS en technologie BiCMOS SiGe :C 0,25 <math>\mu</math>m</b>	<b>101</b>
	Introduction . . . . .	103
3.1	PLL à 10 GHz intégrée en technologie BiCMOSSiGe :C 0,25 $\mu$ m . . . . .	103
3.1.1	Pompe de charge à courant variable . . . . .	104
3.1.2	Numérisation du couple pompe de charge/filtre . . . . .	106
3.1.3	Diviseur à double module et un seul compteur . . . . .	110
3.2	Accumulateur de phase : logique multi niveaux . . . . .	113
3.2.1	Registre de mémorisation : bascule D BiCMOS ECL . . . . .	114
3.2.2	Additionneur : logique multi-niveaux . . . . .	115
3.2.3	Accumulateur de phase 3-bits intégré . . . . .	116
3.3	Convertisseur numérique/analogique . . . . .	123
3.3.1	Structure retenue . . . . .	123
3.3.2	Sources de courant . . . . .	123
3.3.3	Interrupteurs à transistors bipolaires . . . . .	127
3.3.4	Résultats expérimentaux . . . . .	127
3.4	Convertisseur phase/amplitude . . . . .	128
3.4.1	Principe . . . . .	128
3.4.2	Intégration en technologie BiCMOS SiGe :C . . . . .	131
3.4.3	Résultats expérimentaux . . . . .	133
3.5	Synthétiseur digital direct . . . . .	133

3.5.1	Structure complète . . . . .	134
3.5.2	Résultats de simulation . . . . .	136
3.5.3	Résultats expérimentaux . . . . .	138
3.5.4	Comparaison avec d'autres DDS de la littérature . . . . .	140
3.6	Perspectives . . . . .	141
	Conclusion . . . . .	143
	Références bibliographiques . . . . .	145
	<b>Conclusion générale</b>	<b>149</b>
	<b>RÉSUMÉ</b>	<b>155</b>





---

# Introduction générale

---



Le téléphone mobile est à l'heure actuelle le meilleur représentant « grand public » de l'évolution prodigieuse des systèmes de télécommunications, puisque déjà 15% des terriens possèdent un portable, et que le perfectionnement de cet objet ne cesse de croître en proposant toujours plus de services variés. Il semble que ce soit devenu l'outil « indispensable » de l'homme moderne, que ce soit dans le domaine professionnel ou personnel. Internet est un autre vecteur important des technologies de l'information et de la communication. De très gros efforts industriels sont actuellement consacrés à « connecter » tout un chacun à la toile, y compris la ménagère de plus de 50 ans, et en haut débit. Notre dépendance vis-à-vis de ces systèmes est désormais quasiment totale, qu'on s'en rende compte ou non, qu'on le veuille ou non : comment prévenir en plein embouteillage qu'on ne pourra finalement pas acheter le pain quand le magnifique écran LCD couleur du portable affiche « réseau indisponible » ou même « urgences seulement »... Les systèmes de télécommunication sont de natures très diverses, et se distinguent notamment en fonction de la distance qui sépare le terminal du « réseau global ». Ils peuvent aussi encore être classés en fonction de l'application téléphonie ou informatique, mais ces deux applications tendent à être de moins en moins dissociables : d'une part, l'utilisation du réseau à point d'accès WiFi d'un fournisseur d'accès à internet permet désormais de téléphoner de la même manière que sur le réseau GSM (à condition d'avoir un téléphone compatible), et d'autre part, tous les opérateurs de téléphonie mobile proposent un accès internet sur les téléphones portables.

C'est dans ce contexte que se place le travail présenté dans cette thèse : puisque les applications de télécommunication portables ont tendance à converger, ne serait-il pas possible de trouver un système générique permettant d'accéder à tous, à partir d'une procédure de reconfigurabilité simplifiée permettant de commuter d'un système à un autre ? L'élément clef d'un tel système est le synthétiseur de fréquences, qui doit alors être capable d'adresser les multiples porteuses des différents standards, sur une gamme qui à l'heure actuelle s'étend principalement de 900 MHz à 2,4 GHz avec quelques standards à 5 GHz. L'idée est donc de développer une synthèse de fréquence unique, qui permettrait de transmettre des données sur tous les réseaux, quels que soient la fréquence et le type de modulation utilisés. Nous ne parlons pas ici de regrouper sur une même puce des instances différentes adaptées à chaque standard adressé, mais bel et bien de trouver une fonction universelle.

Si l'on regarde le travail déjà effectué dans le domaine de la synthèse de fréquence, on se rend compte que les possibilités de programmation passent par l'utilisation d'une boucle à verrouillage de phase (PLL pour « Phase Locked Loop »), dans laquelle au minimum le diviseur de fréquence de la boucle de contre-réaction est programmable, donc numérique. On constate également que les comparateurs de phase utilisés dans ces PLL sont également majoritairement numériques, devenant alors le plus souvent également comparateur de *fréquence*, et suivis d'une pompe de charge assurant la conversion nécessaire pour le filtre fixant la dynamique de boucle et pour l'oscillateur contrôlé en tension (« Voltage Controlled Oscillator » : VCO) générant la fréquence finale, qui restent en général les derniers éléments analogiques de la boucle. Malheu-

reusement, étant donné l'opposition qu'il y a, en terme de facteur de qualité, entre donner un comportement large bande au VCO (faible coefficient de qualité), et assurer un faible bruit de phase (fort coefficient de qualité), cette structure semi-numérique de PLL n'est pas adaptée à la génération d'une large gamme de fréquences, suffisamment stables en terme de bruit de phase. L'idée est alors de pousser la numérisation jusqu'au VCO : dès lors le filtre peut devenir lui aussi numérique et la pompe de charge peut disparaître puisqu'aucune conversion analogique au sein de la boucle n'est à assurer : il s'agit alors d'une PLL totalement numérique. Ainsi, la synthèse de fréquence suit elle aussi une tendance générale visant à la numérisation totale des fonctions. Hormis l'aspect programmable, la numérisation autorise la conception de fonctions large bande (plus de composants à forts coefficients de qualité requis), permet de nous affranchir de la médiocrité des éléments passifs sur technologies silicium standards, et autorise aussi une reconfigurabilité (forme de programmation avancée).

Une numérisation totale permet donc d'envisager la création d'une synthèse de fréquence générique, reconfigurable pour la majorité des standards dans une gamme de fréquences donnée.

En étudiant les possibilités de numériser le VCO, nous avons découvert une famille de fonctions en marge des PLL puisqu'elle reconsidère totalement la façon de créer un signal, en le générant à partir d'échantillons prédéfinis par un balayage en phase adéquat : il s'agit des synthétiseurs digitaux directs (« Direct Digital Synthesizer » : DDS). De par la nature numérique de leur fonctionnement, ils sont très performants pour manipuler la fréquence, la phase et l'amplitude du signal qu'ils génèrent. Ils se posent donc eux aussi comme candidats idéaux de synthèse de signaux pour les télécommunications. De plus, ils peuvent à eux seuls réaliser quasiment tous les types modulations directement. Ils procèdent par synthèse *directe* de fréquence par opposition à la synthèse *indirecte* mise en œuvre dans les PLL.

Malheureusement, les versions existantes de DDS laissent à désirer sur de multiples aspects cruciaux pour les systèmes de télécommunication : leur consommation reste délirante (plusieurs watts le plus souvent), leur fréquence de fonctionnement ne dépasse pas le GHz pour les réalisations en technologies silicium bas coût, et leur surface d'intégration peut facilement devenir prohibitive alors qu'on imagine généralement les systèmes numériques comme des systèmes très intégrés.

Ce travail de thèse nous permet de faire le point sur les DDS, et propose des solutions innovantes pour les rendre compatibles avec les contraintes sévères des systèmes de télécommunication, notamment en termes de fréquence de fonctionnement et de consommation, points sur lesquels nous avons concentré nos efforts. Nous en profitons également pour dresser un bilan plus général sur les systèmes numériques fonctionnant dans le domaine micro-onde, en évoquant dans un premier temps les technologies support et les types de logiques utilisables, puis dans un deuxième temps en proposant des versions optimisées de topologies existantes, ou même des versions totalement nouvelles qui nous ont permis de concevoir au final un DDS complet performant.

La première partie est une description générale et une évaluation des technologies et des circuits numériques hyperfréquences. Les topologies les plus utilisées pour réaliser ces circuits

sont basées sur des structures différentielles de type CML (« Current Mode Logic ») ou ECL (« Emitter Coupled Logic »). Elles permettent d'atteindre des fréquences de fonctionnement élevées mais au prix d'une consommation importante. Il existe trois grandes familles de technologies adaptées à la réalisation de ces topologies : les technologies bipolaires à base d'indium, celles à base de Silicium-Germanium, et enfin celles à base de silicium. Ces technologies sont comparées au travers de leurs caractéristiques propres telles que leurs fréquences de transition ou leurs tensions de claquage. Ces paramètres sont de bons indicateurs pour la réalisation de circuits numériques. Cependant la meilleure façon de comparer ces technologies est de le faire au travers des circuits qui les utilisent. Nous présentons donc les réalisations des diverses fonctions numériques dans le domaine micro-ondes : les convertisseurs numérique/analogique et analogique/numérique, les mémoires, les diviseurs de fréquence, les multiplexeurs/démultiplexeurs et les microprocesseurs.

La deuxième partie concerne la description des techniques de numérisation des fonctions constituant une PLL que sont les comparateurs phase/fréquence, les diviseurs de fréquence et les VCO. La numérisation des fonctions apporte son lot d'avantages mais aussi d'inconvénients. Ceci est particulièrement le cas pour le comparateur phase/fréquence : sa version numérique permet d'étendre la plage de fonctionnement d'une PLL grâce à la possibilité de comparer la fréquence en plus de la phase mais, en contrepartie, des phénomènes liés à sa nature numérique limitent la précision de la PLL. L'utilisation de diviseurs de fréquence numériques est un avantage majeur car ils permettent des rapports de division élevés ainsi qu'un contrôle précis de la fréquence de sortie de la PLL. Nous nous intéressons ensuite aux différentes façons de réaliser les différents blocs du DDS : accumulateur de phase, mise en forme d'échantillons et convertisseur numérique/analogique. Nous présentons celles qui sont susceptibles d'être utilisées dans le but de réaliser un DDS micro-ondes.

Enfin, la dernière partie présente les techniques qui ont été mises en place en vue de l'intégration d'une PLL à 10 GHz et d'un DDS à 6 GHz en technologie BiCMOS SiGe:C 0,25  $\mu\text{m}$ . Nous détaillons en particulier une pompe de charge originale à courant variable qui a pour but de limiter les problèmes liés à l'utilisation d'un comparateur de phase numérique classique, ainsi qu'une PLL utilisant un diviseur de fréquence lui aussi original, à un seul compteur. Nous détaillons les techniques qui ont été utilisées pour réaliser un DDS complet : l'utilisation d'une logique BiCMOS multi-niveau pour l'accumulateur de phase et l'utilisation de la fonction de transfert non-linéaire d'une paire différentielle comme convertisseur phase/amplitude. L'association de l'ensemble de ces techniques, du niveau porte au niveau système, a ainsi permis la réalisation d'un DDS compatible avec la plupart des normes de télécommunication actuelles.



---

# Chapitre 1

## Systemes numériques hyperfréquences

---





## Introduction

Dans ce premier chapitre, nous nous employons à décrire l'environnement dans lequel évolue un concepteur de circuits intégrés numériques rapides. Le choix d'une technologie d'intégration est une étape fondamentale dans le processus de conception. Il est guidé par de multiples considérations qui touchent à la nature des dispositifs intégrables ainsi qu'à leurs performances. Nous nous intéressons dans un premier temps à ces technologies. Nous verrons que dès lors que la fréquence de fonctionnement est un critère majeur, ce sont *a priori* les technologies à base de transistors bipolaires qui sont les plus appropriées. Nous présentons ensuite les principales topologies de circuits numériques appartenant aux familles logiques susceptibles d'être utilisées pour réaliser des circuits numériques hyperfréquences. Ceci inclut la réalisation des fonctions logiques combinatoires de base (ET/NON-ET, OU/NON-OU, MUX/DEMUX) et séquentielles (bascule D) en logique CMOS et ECL. Puis un état de l'art des principaux circuits numériques hyperfréquences (convertisseurs numérique/analogique et analogique/numérique, mémoires, diviseurs de fréquence, multiplexeurs/démultiplexeurs) est présenté. Enfin, nous concluons sur le choix de la technologie la mieux adaptée à la réalisation d'un DDS fonctionnant dans le domaine micro-ondes.

### 1.1 Technologies disponibles

Les premiers systèmes numériques fonctionnaient à quelques centaines de kilohertz, de nos jours les plus rapides atteignent quelques centaines de gigahertz. Ceci est principalement lié à l'évolution des technologies qui présentent de meilleures caractéristiques. Il existe deux grandes familles de technologies, les technologies bipolaires et les technologies CMOS. Les technologies bipolaires ont longtemps été les seules à avoir des caractéristiques permettant la réalisation de circuits numériques rapides. Cependant, les performances des dernières générations de technologies CMOS autorisent désormais leur utilisation pour ce type d'applications. Chacune de ces familles possède son domaine de fonctionnement, les technologies CMOS sont utilisées pour des circuits complexes à faible fréquence (quelques gigahertz) avec une consommation réduite alors que les technologies bipolaires sont utilisées pour des circuits plus simples dans le domaine des hautes et très hautes fréquences (plusieurs dizaines de gigahertz).

#### 1.1.1 Historique des technologies

##### 1.1.1.1 Le transistor à pointes

Le transistor bipolaire a été inventé en deux temps : l'histoire retient que J. Bardeen et WH. Brattain des Bell's Lab ont inventé le transistor à pointes. Ce dispositif a été fonctionnel pour la première fois le 23 décembre 1947. Il s'agissait d'un dispositif assez rustique, lent et instable qui n'a jamais été produit en série. Il dérive directement des diodes à pointes au germanium qui ont longtemps été utilisées pour détecter les signaux RADAR. L'histoire dit

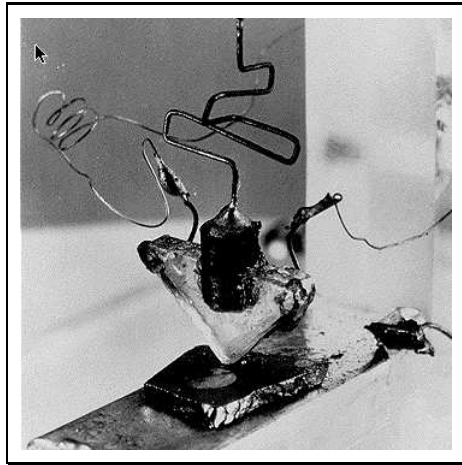


FIG. 1.1: Photo du premier transistor à pointes inventé par J. Bardeen et WH. Brattain des Bell's Lab

que ces chercheurs effectuaient une mesure du champ de potentiel dans un semi-conducteur autour d'une pointe (certainement pour comprendre le comportement des diodes à pointes) lorsqu'un effet amplificateur est apparu alors que la distance entre les deux pointes de mesure devenait très faible (une fraction de mm). En fait, la pointe produisait l'équivalent d'une petite zone dopée variable entourant sa zone de contact. Après diverses manipulations pour mettre en évidence cet effet, ils en sont arrivés à réaliser le premier transistor en utilisant du germanium monocristallin fig. 1.1. Ses pointes étaient en or distantes de 5/100 mm. Les Bell's Lab n'ont rendu public la découverte qu'en juin 1948.

### 1.1.1.2 Le transistor à jonctions

Le transistor à jonctions a été inventé un peu plus tard, par W. Shockley des Bell's Lab qui essayait aussi, depuis 1936, de réaliser un transistor à effet de champ. Ce chercheur a déposé en 1948 un brevet sur un transistor mixte avec une pointe et une jonction, ce qui montre la progression de ses idées. Il a proposé le principe du transistor à jonction en 1949. Le premier prototype a été réalisé par les Bell's Lab en avril 1950 fig. 1.2 .Les premiers transistors à jonctions industriels, dits « alliés », étaient fabriqués en posant deux gouttes d'indium de part et d'autre d'une fine plaquette de germanium monocristallin. A 600°C, l'indium diffusait dans le germanium en changeant son type. Il fallait que les deux zones diffusées soient très proches, sans qu'elles se touchent.

### 1.1.1.3 Le transistor à effet de champ

Le transistor à effet de champ a été inventé entre 1925 et 1928 par JE. Lilienfeld fig. 1.3. Un brevet a été déposé, mais aucune réalisation n'a été possible avant les années 60. Tous les chercheurs qui ont participé à la saga du transistor cherchaient d'abord à réaliser ce type de composants qu'ils considéraient comme des triodes à l'état solide (d'où le nom de grille pour l'électrode de commande). Toutes ces tentatives aboutissaient à des échecs. La difficulté

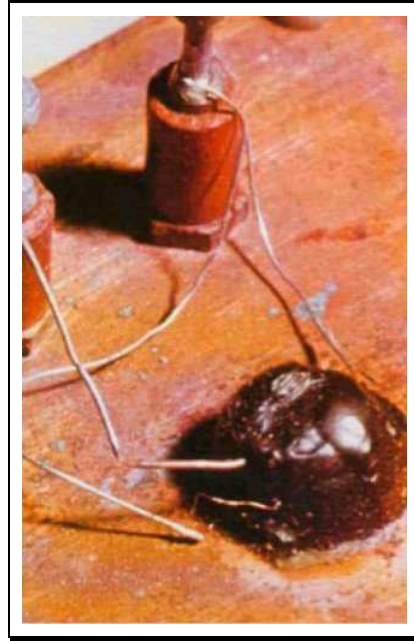


FIG. 1.2: Photo du premier transistor à jonction réalisé par W. Shockley des Bell's Lab

provenait du contrôle de l'état de l'interface entre l'isolant et le semi-conducteur du canal. Ce problème ne fut résolu qu'en 1960 par l'utilisation de l'oxyde de silicium thermique.

## 1.1.2 Les technologies bipolaires

Les premiers circuits numériques hyperfréquences ont été réalisés à base de transistors bipolaires du fait de leur avance technologique. Cette famille technologique se décompose en deux groupes, le premier regroupe les réalisations à base de semi-conducteur naturels et le second les réalisations à base de semi-conducteur composés. Le nombre de semi-conducteurs naturels est très limité, et seul le silicium permet de réaliser des transistors fonctionnant à haute fréquences. Les semi-conducteurs composés ont été introduit afin de satisfaire la demande en composants aux performances toujours croissantes. Les plus répandus sont les composés binaires utilisant des éléments des colonnes III et V du tableau périodique de Mendeleiev tels l'arséniure de gallium (GaAs) et le phosphure d'indium (InP). Il existe un groupe particulier de semi-conducteurs composés qui utilisent seulement des éléments de la colonne IV, ses principaux constituants étant le Silicium-Germanium (SiGe) et le carbure de Silicium (SiC). De plus, on trouve de plus en plus fréquemment des composés ternaires (AlGaAs, InAlAs, AlGaAn, InGaAn...) voire quaternaires (InGaAsP, InAlGaAs...).

### 1.1.2.1 Les technologies bipolaires à semi-conducteur naturel

#### *i* Silicium (Si)

Les transistors bipolaires en silicium avaient été abandonnés pour les applications haute fréquence au profit des transistors à hétérojonction (§1.1.2.2) à cause de leurs performances

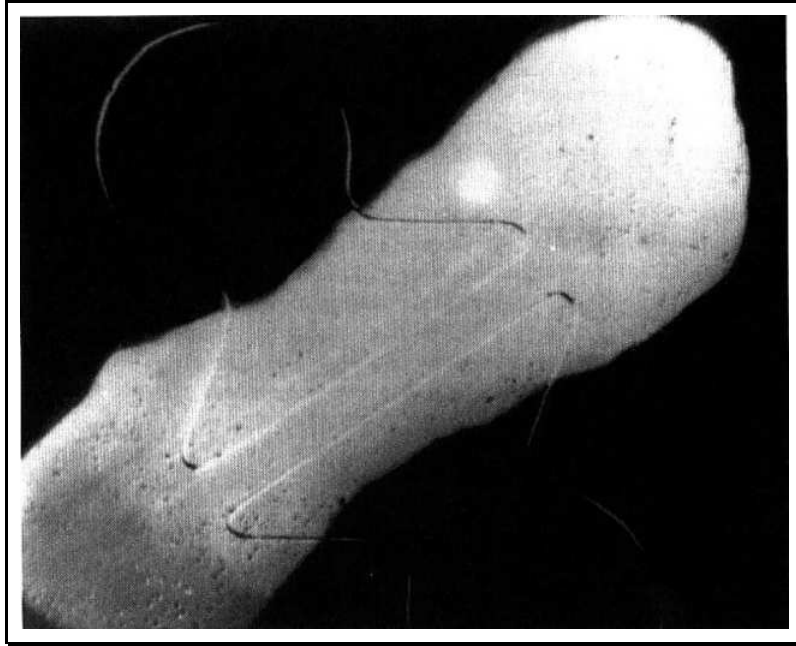


FIG. 1.3: Photo du premier transistor MOS réalisé par JE. Lilienfeld des Bell's Lab

Référence	$f_t$ NPN (GHz)	$f_{max}$ NPN (GHz)	$B_{vce}$ (V)	Aire d'émetteur $\mu\text{m} \times \mu\text{m}$
Ugajin1995 [2]	50	70	3	$0,3 \times 1,5$
Bok1996 [3]	50		2,7	$0,25 \times 2,7$
Warnock1990 [4]	51		2,7	$0,55 \times 4,05$
Bock1998 [5]	51	60	2,9	$0,28 \times 10$
Bock2001 [6]	52	65	2,7	$0,2 \times 2,8$
Kham2006 [1]	110	72	2,5	$0,18 \times 7,8$

TAB. 1.1: État l'art des technologies à base de Silicium

limitées. De récentes études ont montré qu'il était possible de réaliser des transistors en silicium fonctionnant à haute fréquence (tab. 1.1). Les progrès qui ont permis d'atteindre ces caractéristiques se situent essentiellement dans deux domaines : la lithographie et la fabrication de substrats. L'évolution des techniques de lithographie permet de réaliser des composants de taille de plus en plus réduite et avec une précision accrue. L'augmentation de la qualité des substrats silicium ainsi que l'introduction de nouvelles technologies telles que le silicium contraint ou encore le silicium sur isolant (SOI) ont permis d'augmenter la mobilité des porteurs et de réduire les courants de fuites parasites. Une très récente étude [1] sur les effets liés à l'introduction de fluor afin de limiter la diffusion du bore (utilisé comme dopant) dans les transistors bipolaires à permis de mettre au point des transistors silicium ayant une fréquence de transition de 110 GHz. Ceci permet d'envisager la réalisation de systèmes numériques hyperfréquences complexes car le rendement des technologies silicium est très élevé.

Fabricant	Technologie	$f_t$ NPN (GHz)	$f_{\max}$ NPN (GHz)	$B_{vce}$ (V)
Northropgrumman	GaAs HBT	40	70	13
Northropgrumman	Digital InP HBT	140	150	4
Global Communication SC, Inc.	InP SHBT	150	150	3,5
Global Communication SC, Inc.	InP DHBT	150	150	7
Global Communication SC, Inc.	InGaP HBT P1	45	55	12,5
Global Communication SC, Inc.	InGaP HBT D1	65	70	7,5
Vitesse	SHBT VIP-1	150	150	4,5
Vitesse	DHBT VIP-2	300	300	4
Ommic	DH15IB (DHBT)	180	220	7

TAB. 1.2: Caractéristiques de quelques technologies bipolaires à base d'indium commercialisées

### 1.1.2.2 Les technologies bipolaires à semi-conducteurs composés

#### *i* Arséniure de gallium (GaAs)

L'arséniure de gallium est utilisé pour réaliser des circuits hyperfréquences depuis de nombreuses années à cause de la forte mobilité de ses porteurs et de sa grande tension de claquage. Il est donc particulièrement recommandé pour réaliser des composants de puissance hyperfréquences. On a longtemps cru que ce serait le remplaçant du silicium mais la complexité de réalisation des substrats ainsi que son coût ne l'ont pas permis. Il n'est pas approprié pour la réalisation de circuits numériques du fait de son faible rendement et de son coût. Cependant il apparaît dans cette partie car « Cray Computer Corp. », un acteur majeur dans la construction de supercalculateur a tenté l'expérience dans les années 90 avec son CRAY-3. Tous les composants étaient réalisés en arséniure de gallium (microprocesseur, mémoire...), il affichait une fréquence de fonctionnement de 473 MHz et pouvait contenir 6 Go de mémoire. Il s'en vendit très peu et provoqua la disparition de « Cray Computer Corp. ».

#### *ii* Phosphore d'indium (InP)

Les transistors à base de phosphore d'indium et plus généralement à base d'indium, sont à l'heure actuelle les plus rapides. Des publications récentes ont montré qu'il était possible de réaliser des systèmes numériques complexes avec un rendement raisonnable et de très bonnes performances fréquentielles. Celles-ci portent sur des synthétiseurs digitaux directs (DDS) utilisant 3000 et 1600 transistors respectivement. Les technologies à base d'InP ont de très bonnes performances fréquentielles mais aussi une consommation et un coût très élevé.

Référence	$f_t$ NPN (GHz)	$f_{\max}$ NPN (GHz)	$B_{vce}$ (V)	Aire d'émetteur $\mu\text{m} \times \mu\text{m}$
Yu2004 [7]	215	687	5	$0,25 \times 8$
Wei2004a [8]	160	140	6	$0,7 \times 8$
Scott2004 [9]	183	165	6	$0,7 \times 8$
Li2005 [10]	252	283	6	$0,35 \times 6$
Griffith2004 [11]	268	339	5,7	$0,5 \times 7$
Wei2004 [12]	280	148	5	$0,3 \times 4$
Sawdai2004 [13]	290	426	5	$0,55 \times 12$
He2004 [14]	300	350	4	$0,4 \times 2$
Hafez2003 [15]	377	230	3,7	$0,35 \times 16$
Griffith2005 [16]	391	505	5,1	$0,6 \times 4,25$
Hussain2004 [17]	406	423	4,5	$0,25 \times 4$
Griffith2005a [18]	450	490	3,9	$0,6 \times 4,3$
Feng2004 [19]	481	231	3	$0,5 \times 8$
Hafez2004 [20]	550	255	2,1	$0,25 \times 8$

TAB. 1.3: État de l'art des technologies à base d'indium

### iii Silicium-Germanium (SiGe)

Les transistors bipolaires Silicium-Germanium sont dérivés des technologies silicium standards, ils se différencient par leur base qui contient un alliage de silicium et de germanium. L'introduction du germanium permet de donner à la base des caractéristiques intéressantes, en faisant apparaître une hétérojonction due à la différence des structures de bandes entre le Si et le SiGe. Le germanium est généralement réparti de façon graduelle dans la base, il en résulte un champ électrique qui accélère les porteurs. La base des transistors contient aussi du carbone (SiGe:C), il est ajouté car il limite fortement la diffusion des atomes dopant et permet donc de mieux contrôler, et par conséquent de réduire, les caractéristiques géométriques du composant. Ces technologies (1.4), bien qu'ayant des transistors bipolaires plus performants que ceux des technologies BiCMOS SiGe (§1.1.4) sont peu présentes sur le marché des semiconducteurs.

### 1.1.3 Technologies CMOS

Les technologies CMOS permettent depuis quelques années de réaliser des systèmes numériques hyperfréquences. C'est en mars 2000 qu'Intel a mis sur le marché le premier microprocesseur fonctionnant à 1 GHz, il était réalisé en technologie CMOS 0,18  $\mu\text{m}$ . Depuis, de nombreux progrès ont été effectués, notamment en ce qui concerne la diminution de la taille des transistors. Les transistors de générations récentes ont une longueur de grille de 90 nm, leurs performances et plus particulièrement la fréquence de transition des transistors NMOS permet d'envisager la réalisation de circuits numériques hyperfréquences. Le tab. 1.5 contient les caractéristiques principales de quelques technologies CMOS de la littérature. Ces technologies sont optimisées en fonction du domaine d'utilisation envisagé : faible consommation, réalisation de mémoires,

Référence	$f_t$ NPN (GHz)	$f_{max}$ NPN (GHz)	$B_{vce}$ (V)	Aire d'émetteur $\mu\text{m} \times \mu\text{m}$
Meister1995 [21]	61	74	2,5	$0,27 \times 2,5$
Washio1998 [22]	95	97	2	$0,14 \times 1,5$
Crabbe1993 [23]	113		2,1	$0,52 \times 2,92$
Kiyota2002 [24]	190	130	1,7	$0,3 \times 1$
Jagannathan2002 [25]	207	285	1,7	$0,12 \times 2$
Jeng2001 [26]	210	89	1,8	$0,22 \times 0,32$
Rieh2002 [27]	270	260	1,6	$0,12 \times 2,5$
Khater2004 [28]	300	350	1,7	$0,12 \times 2,5$
Rieh2004 [29]	302	306	1,6	$0,12 \times 2,5$
Rieh2002 [27]	350	170	1,4	$0,12 \times 2,5$

TAB. 1.4: État de l'art des technologies bipolaires SiGe

Référence	Taille CMOS (nm)	$f_t$ NMOS (GHz)	$V_{dd}$ (V)
Tiemeijer2001 [30]	180	70	1,8
Matsumoto2001 [31]	130	70	1,2
Vanmackelberg2002 [32]	90	96	1,2
Guo2003 [33]	130	115	1
Wann1997 [34]	70	150	2,5
Guo2003 [35]	90	150	1,2
Jeamsaksiri2004 [36]	90	150	1,2
Chen2003 [37]	90	185	1,2
Plouchart2005 [38]	90	243	1,2

TAB. 1.5: Comparaison de différentes technologies CMOS de la littérature

circuits RF analogiques ou numériques ce qui rend leur comparaison assez délicate. Afin d'obtenir plus d'informations sur le potentiel des technologies CMOS pour la réalisation de circuits numériques hyperfréquences, il est préférable d'étudier les performances des circuits réalisés (§ 1.3) plutôt que les caractéristiques de base de ces technologies.

### 1.1.4 Technologies bipolaires-CMOS (BiCMOS)

Les technologies BiCMOS permettent de réaliser des circuits utilisant des transistors bipolaires et des transistors MOS sur un même substrat. Les plus répandues sont les technologies BiCMOS SiGe qui allient des transistors MOS silicium ayant une faible consommation et une forte densité d'intégration avec des transistors bipolaires SiGe haute fréquence. Ces technologies sont très appréciées dans le domaine des télécommunications car il est possible d'intégrer sur la même puce des circuits numériques de traitement du signal en bande de base (CMOS), des circuits numériques haute fréquence (ECL) ainsi que des circuits RF analogiques de qualité. En effet les transistors bipolaires SiGe sont peu bruyants et les composants passifs bien maîtrisés. Elles sont disponibles chez tous les grands fondeurs, le tab. 1.6 représente les caractéristiques



Fabricant	Technologie	CMOS	$f_t$ NPN (GHz)	$f_{\max}$ NPN (GHz)	$B_{vce}$ (V)
IBM	5HP	0,5	47	65	3,35
IBM	5HPE	0,35	43	44	3,3
IBM	6HP	0,25	47	65	3,35
IBM	7HP	0,18	120	100	1,8
IBM	8HP	0,13	200	200	1,77
JAZZ semiconductor	SBC35	0,35	62	79	2,5
JAZZ semiconductor	SBC18	0,18	75	130	3,5
JAZZ semiconductor	SBC18HX	0,18	150	170	2,2
JAZZ semiconductor	SBC18H2	0,18	200	200	
STmicroelectronics	BiCMOS6G	0,35	45	70	3,5
STmicroelectronics	BiCMOS7	0,25	70	90	2,5
STmicroelectronics	BiCMOS7RF	0,25	60	90	3
STmicroelectronics	BiCMOS9	0,13	150	90	1,7

TAB. 1.6: Caractéristiques des principales technologies BiCMOS SiGe commercialisées

principales de quelques technologies BiCMOS SiGe commerciales.

Les technologies BiCMOS SiGe sont, de par leurs caractéristiques, très présentes dans la littérature scientifique. La tab. 1.7 contient les caractéristiques de différentes technologies pour les deux dernières générations : 0,18 $\mu$ m et 0,13 $\mu$ m.

### 1.1.5 Conclusion

Nous avons présenté les différentes technologies qui présentent des caractéristiques intéressantes pour la réalisation de circuits numériques hyperfréquences. Par la suite, nous présenterons les techniques de réalisation de ces circuits (§1.2) ainsi que les performances des circuits numériques de la littérature (§ 1.3) cependant il est d'ores et déjà possible de prédire les domaines d'utilisation de chaque technologie en fonction de leurs caractéristiques (fig. 1.4). Les technologies à base d'InP sont celles qui présentent les fréquences de transition les plus élevées, elles seront donc utilisées pour réaliser les circuits nécessitant de très hautes fréquences de fonctionnement. De plus elles supportent des tensions d'alimentation élevées ce qui permet la réalisation de circuits de puissance RF. Cependant le coût, la complexité et la consommation de ces technologies ne permettent pas de réaliser des circuits complexes. Les technologies CMOS sont utilisées dans un domaine complètement opposé : circuits très complexes, faible consommation, faible coût et fréquence de fonctionnement limitée. Les technologies SiGe occupent la niche intermédiaire : fréquences élevées, consommation modérée et complexité moyenne. Cependant ce sont les technologies BiCMOS SiGe qui offrent le plus grand potentiel. Les transistors bipolaires ont des performances légèrement en retrait par rapport à celles des technologies SiGe mais la possibilité de réaliser sur une même puce des circuits CMOS et bipolaires est un atout majeur. Ceci

Référence	Taille CMOS ( $\mu\text{m}$ )	$f_t$ NPN (GHz)	$f_{\text{max}}$ NPN (GHz)	$B_{\text{vce}}$ (V)
Feilchenfeld2002 [39]	0,18	60	85	3
Sawada2003 [40]	0,18	90	140	2,8
Freeman1999 [41]	0,18	90	90	2,7
Sato2003 [42]	0,18	73	61	2,6
Hashimoto2000 [43]	0,18	73	61	2,6
Schuegraf2001 [44]	0,18	130	150	3,8
Wada2002 [45]	0,18	140	183	2
Hashimoto2002 [46]	0,13	122	178	2,3
Laurens2003 [47]	0,13	166	175	1,8
Joseph2002 [48]	0,13	210	150	2
Pruvost2005 [49]	0,13	240	292	
Orner2003 [50]	0,13	280	200	1,7

TAB. 1.7: État de l'art des technologies BiCMOS SiGe

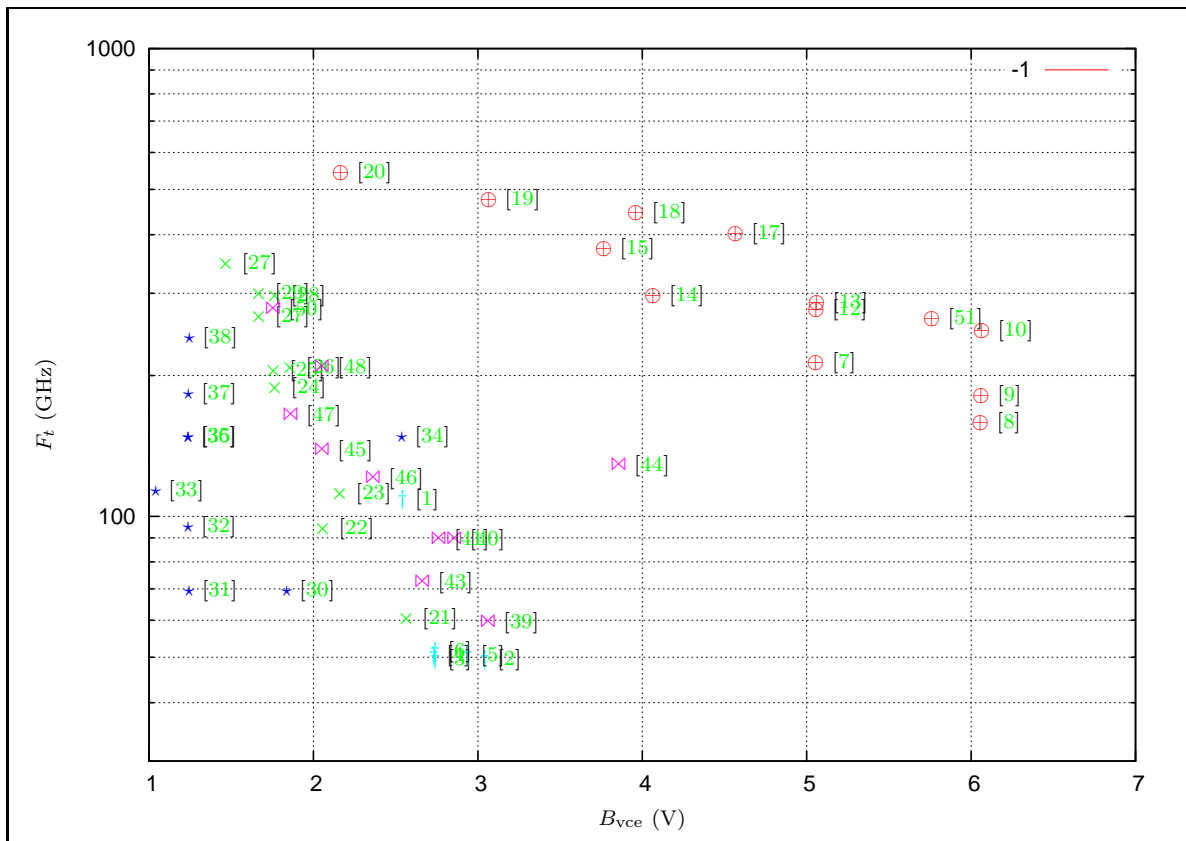


FIG. 1.4: Comparaison des différentes technologies : InP  $\oplus$ , Bipolaire Si  $\dagger$ , SiGe  $\times$ , BiCMOS SiGe  $\times$ , CMOS  $\star$

permet de réaliser la partie traitement du signal en bande de base (CMOS) ainsi que la partie RF (bipolaire SiGe) sur la même puce.

## 1.2 Familles logiques utilisées dans les systèmes hyperfréquences

Il y a quelques années, seule la famille de circuits logiques à émetteur commun (« Emitter Coupled Logic » : ECL) constituée de transistors bipolaires était utilisable pour réaliser des fonctions logiques hyperfréquences. L'évolution rapide des technologies CMOS et particulièrement la réduction de la taille des transistors permet aujourd'hui d'envisager leur utilisation dans ce domaine.

### 1.2.1 Logique CMOS

La famille CMOS est la famille la plus communément utilisée en électronique. Les avantages de la logique CMOS sont sa faible consommation à basse fréquence, la possibilité de réaliser des systèmes extrêmement complexes, un rendement très élevé, un faible coût pour les générations bien maîtrisées... Les marges de bruit sont confortables puisque les tensions représentant les niveaux logiques sont proches de la tension de référence (c'est-à-dire la masse) pour l'état bas et proches de la tension d'alimentation pour l'état haut. La famille CMOS offre alors la meilleure immunité aux perturbations électriques et électromagnétiques de toutes les familles logiques. Cependant la réduction de la taille des transistors rend les circuits numériques plus sensibles aux rayons ionisants. En effet la quantité de charges créées lors de l'impact d'une particule ionisante sur un des atomes constituant un transistor est désormais susceptible de modifier la valeur logique présente en ce point du circuit. De plus l'augmentation de la densité d'intégration augmente la probabilité que de tels impacts ce produisent. Un exemple illustrant ces phénomènes a été détecté à Schaerbeek en Belgique le 18 mai 2003 lors du dépouillement des résultats des élections législatives. Un écart de 4096 voix était apparu pour un même candidat entre le vote traditionnel et le vote électronique mené en parallèle. Cet écart fut imputé à un rayon ionisant qui aurait modifié la valeur d'un bit de mémoire. La conception de circuits numériques complexes en logique CMOS est fortement assistée, l'utilisation d'outils de synthèse logique et de placement routage est obligatoire dès que le nombre de transistors devient important. De plus, ceci permet de travailler au niveau système en dissociant les fonctions de leurs implémentations « hardware ».

#### 1.2.1.1 Logique combinatoire : portes de base

En logique CMOS on dispose de trois fonctions de base représentées fig. 1.5, ce sont les portes logiques inverseuses (a), NON-ET (b) et NON-OU (c). Les fonctions logiques plus complexes sont réalisées soit en utilisant une combinaison de portes de base, soit en créant la fonction

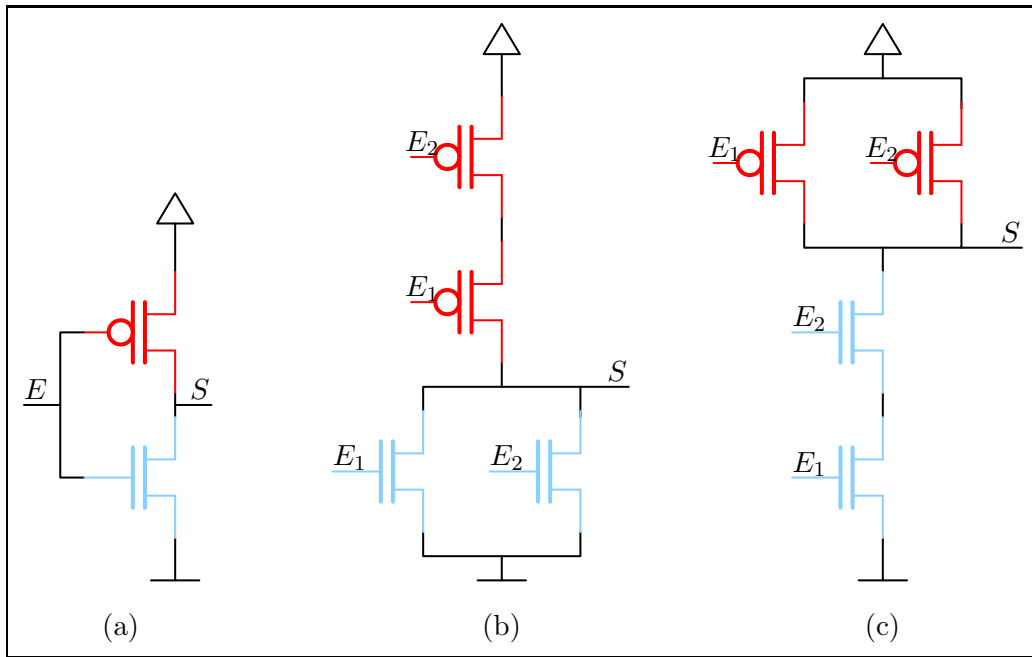


FIG. 1.5: Portes logiques CMOS inverseuse (a), NON-ET (b) et NON-OU (c)

par un assemblage de transistors. Généralement on n'utilise qu'un des deux types de portes logiques (NON-ET ou NON-OU) car il est possible de réaliser toutes les fonctions logiques à partir de l'une d'entre elles. Les fondeurs proposent donc des technologies optimisées soit pour la réalisation de porte NON-ET soit NON-OU.

### 1.2.1.2 Logique séquentielle : bascule D

La bascule D est une fonction essentielle en électronique numérique puisque elle est utilisée pour réaliser les registres de mémorisation et les diviseurs de fréquence. Une réalisation possible de bascule D sensible sur front d'horloge est présentée fig. 1.6. Elle est constituée de deux bascules sensibles sur niveaux connectées en série. Chacune d'entre elle utilise deux fonctions de base : un inverseur avec sortie haute impédance (pointillés mixtes) et une cellule de mémorisation (pointillés simples). Le fonctionnement peut être décrit comme suit :

- L'horloge est au niveau bas, le premier inverseur est passant, la première cellule mémoire est contrôlée par l'entrée  $E$ . Le second inverseur est bloqué (sortie en haute impédance), il isole la seconde mémoire qui maintient sa valeur de sortie,
- l'horloge passe au niveau haut, le premier inverseur se bloque (sortie en haute impédance) et fige la valeur de la première cellule mémoire. Le second inverseur devient passant et la seconde cellule mémoire prend la valeur de la première.

Ce type de bascule est plus rapide que celle constituée de portes logiques standards car les temps de propagation à travers l'inverseur et la cellule de mémorisation sont très faibles. De plus il n'y a pas de phénomènes d'aleas et le nombre de transistors utilisé est réduit.

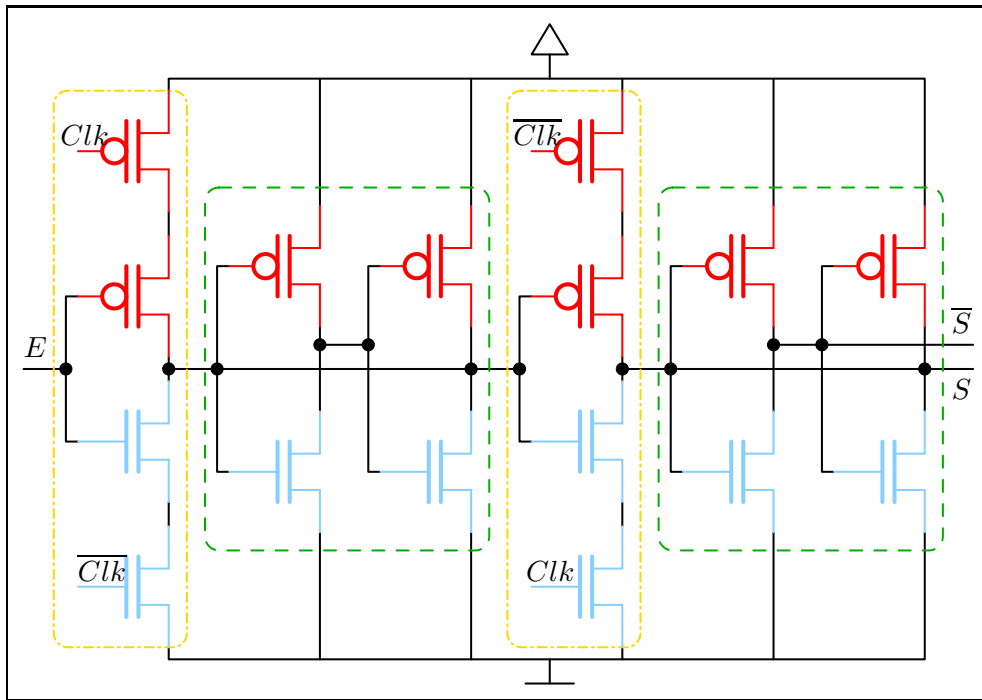


FIG. 1.6: Réalisation possible d'une bascule D en technologie CMOS

### 1.2.2 Logique ECL

Les premiers circuits numériques réalisés en technologie bipolaire utilisaient les transistors comme des interrupteurs, ils étaient bloqués ou saturés en fonction des entrées appliquées. La fréquence de fonctionnement de ces circuits est principalement limitée par les temps de stockage et destockage des charges dans la base. Afin de réaliser des circuits rapides, il est nécessaire d'éviter la saturation des transistors. Les ingénieurs ont donc imaginé des circuits à base de transistors bipolaires fonctionnant en mode non saturé. Ces logiques ont cependant l'inconvénient majeur de créer une consommation statique élevée puisque les transistors doivent constamment être polarisés. Elles sont de ce fait réservées aux applications dont la fréquence de fonctionnement est le critère majeur. La logique CML est basée sur une structure différentielle simple dont on peut déduire la logique ECL en ajoutant un étage suiveur. L'intérêt de la logique ECL par rapport à la logique CML est de retrouver en sortie des portes les mêmes niveaux logiques qu'au niveau de leurs entrées, tout en assurant un fonctionnement des transistors dans leur zone linéaire. Les marges de bruit sont plus faibles que pour les technologies CMOS car l'amplitude des signaux est généralement comprise entre 300 mV et 600 mV. Cependant elles sont moins sensibles au rayonnement ionisant car les charges créées lors d'un impact sont généralement négligeables par rapport au courant de polarisation des portes ECL. Il faut noter qu'il est aussi possible de réaliser des circuits différentiels avec des transistors MOS (les transistors bipolaires NPN sont remplacés par des NMOS), ceci permet d'obtenir des systèmes plus rapides qu'en logique CMOS mais ce ne sont pas des blocs standards et les outils de synthèse logique ne sont plus utilisables.

### 1.2.2.1 Logique combinatoire : portes de bases

En logique ECL, toutes les portes sont basées sur la même structure qui réalise la fonction OU/NON-OU et la fonction inverseur<sup>1</sup>. Cependant, contrairement à la logique CMOS, il est important de noter que cette porte fournit deux états logiques complémentaires au niveau de ses sorties. Il est donc simple de réaliser la fonction logique ET/NON-ET comme le montrent les équations suivantes :

$$\overline{\overline{a} + \overline{b}} = \overline{\overline{a}} \cdot \overline{\overline{b}} = a \cdot b \quad (1.1)$$

$$\overline{a} + \overline{b} = \overline{\overline{\overline{a} + \overline{b}}} = \overline{\overline{\overline{a}} \cdot \overline{\overline{b}}} = \overline{a \cdot b} \quad (1.2)$$

Le fonctionnement détaillé de la porte OU/NON-OU en logique ECL (fig. 1.7) est le suivant : l'étage d'entrée est formé d'un étage différentiel à plusieurs entrées. La base de l'un des bras du différentiel est fixée à un potentiel de référence  $V_r$ . Si les deux entrées  $E_1$  et  $E_2$  sont à l'état bas<sup>2</sup>, alors le transistor  $T_3$  est « conducteur » et les transistors  $T_1$  et  $T_2$  sont « bloqués »<sup>3</sup>. La tension sur le collecteur des transistors  $T_1$  et  $T_2$  est transmise en sortie avec une tension  $V_{BE}$  ( $\approx 700/800$  mV) de décalage par le transistor de sortie  $T_4$ , monté en collecteur commun. La tension de sortie sur l'émetteur du transistor  $T_4$  se retrouve alors dans l'état logique haut. L'autre sortie reliée à  $T_3$  se retrouve par conséquent dans l'état logique bas. De même que pour la logique CMOS, il est possible d'empiler plusieurs niveaux différentiels afin d'obtenir des fonctions complexes dont les plus utilisées sont les multiplexeurs/démultiplexeurs 1.2.2.2.

### 1.2.2.2 Logique combinatoire : multiplexeur/démultiplexeur

Les multiplexeurs/démultiplexeurs sont des fonctions très utilisées et ce particulièrement dans les réseaux de télécommunications à haut débit (§1.3.4). Leur réalisation possède une particularité par rapport aux portes OU/NON-OU standard : tout les signaux sont différentiels, ceci permet d'augmenter la vitesse de fonctionnement et les marges de bruit.

#### *i* Multiplexeur

Une réalisation possible d'un multiplexeur 2:1 est présentée fig. 1.8. Son fonctionnement est assez simple, la paire différentielle constituée de  $(T_1, T_2)$  permet de choisir dans quelle paire différentielle  $((T_3, T_4)$  ou  $(T_5, T_6))$  sera dirigé le courant  $I_{diff}$ . Celle-ci pourra donc contrôler dans quelle résistance ( $R_1$  ou  $R_2$ ) sera dirigé ce même courant en fonction des valeurs appliquées sur ses entrées  $A$ ,  $\overline{A}$  ou  $B$ ,  $\overline{B}$  et par conséquent commander les sorties. Si les caractéristiques

<sup>1</sup>la fonction inverseur et réalisée avec une porte OU/NON-OU à une seule entrée

<sup>2</sup>Les tensions représentant les niveaux bas et haut sont respectivement inférieure et supérieure à la tension de référence

<sup>3</sup>Les transistors sont en régime non saturé, donc ils ne sont jamais totalement bloqués : ils laissent passer plus ou moins de courant pour créer deux états logiques en régime petit signal

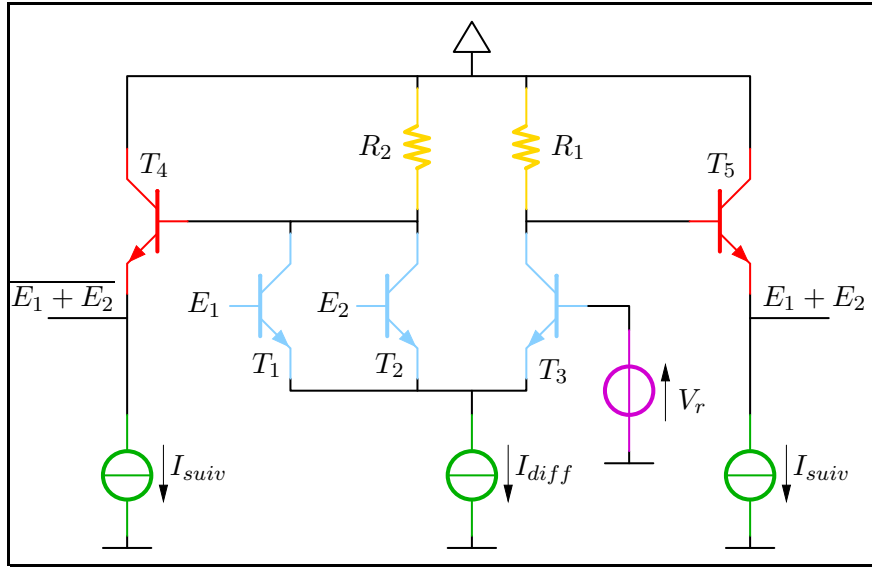


FIG. 1.7: Porte logique OU/NON-OU ECL

des transistors et particulièrement leur tension de fonctionnement le permettent, il est possible d'empiler plus de niveaux et donc d'augmenter le nombre de canaux multiplexable.

### ii Démultiplexeur

Les démultiplexeurs (fig. 1.9) sont basés sur le même principe que les multiplexeurs, la paire différentielle constituée de  $(T_1, T_2)$  permet de choisir dans quelle paires différentielles  $((T_3, T_4)$  ou  $(T_5, T_6))$  sera dirigé le courant  $I_{diff}$ . Celle ci pourra donc contrôler dans quelle résistance  $(R_1, R_2, R_3$  ou  $R_4)$  sera dirigé ce même courant en fonction des valeurs appliquées sur ses entrées et par conséquent commander les sorties. Si SEL est à 1 ( $\overline{SEL}$  à 0) la valeur  $In$  est présente sur  $A$  et si SEL est à 0 ( $\overline{SEL}$  à 1) la valeur  $In$  est présente sur  $B$ .

#### 1.2.2.3 Logique séquentielle : bascule D

De même que pour les technologies CMOS, la bascule D en technologie ECL est très utilisée. La réalisation la plus courante est présentée fig. 1.10. Comme la grande majorité des circuits ECL elle fonctionne en mode différentiel, il est nécessaire d'avoir les signaux  $Clk$  et  $\overline{Clk}$  ainsi que  $D$  et  $\overline{D}$ . En sortie on dispose de  $Q$  et  $\overline{Q}$ . C'est une bascule qui réagit sur des fronts d'horloge<sup>4</sup>, elle est constituée de deux bascules sensibles sur niveaux. Le fonctionnement est décrit comme suit : Le signal d'horloge est à 0, les différentiels  $D_2$  et  $D_6$  sont polarisés. La bascule 1 est passante alors que la bascule 2 est bloquée. Le signal d'horloge passe à 1,  $D_3$  et  $D_5$  deviennent polarisés. La bascule 1 fige  $D$  sur  $Q'$ , la bascule 2 devient passante,  $Q = Q' = D$ . Le signal d'horloge revient à 0, les différentiels  $D_2$  et  $D_6$  sont de nouveaux polarisés. La bascule 1 redevient passante alors que la bascule 2 fige  $Q$

<sup>4</sup>Le choix du type de front (montant ou descendant) est réalisé grâce aux interconnexions des signaux d'horloge, il suffit de les intervertir pour le changer.

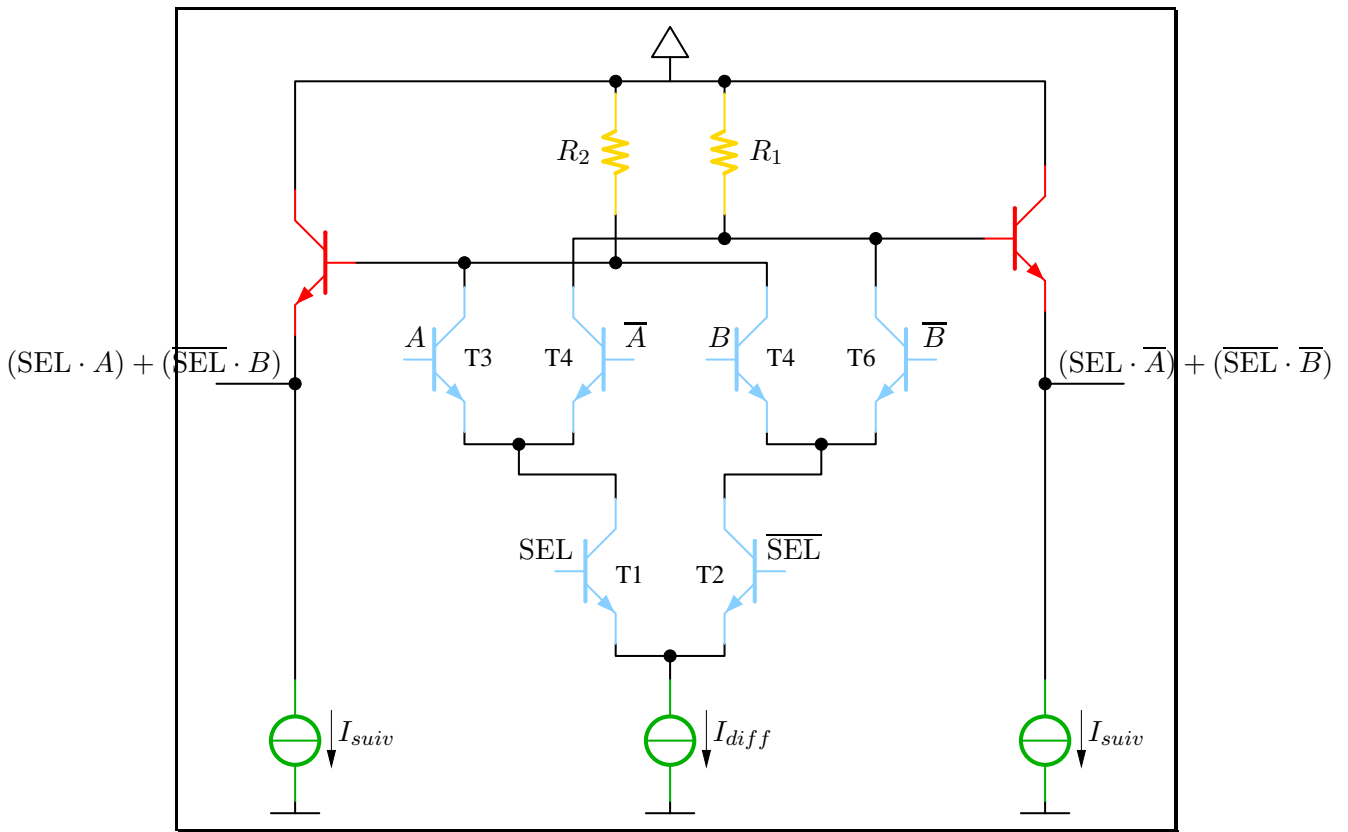


FIG. 1.8: Multiplexeur 2:1 ECL

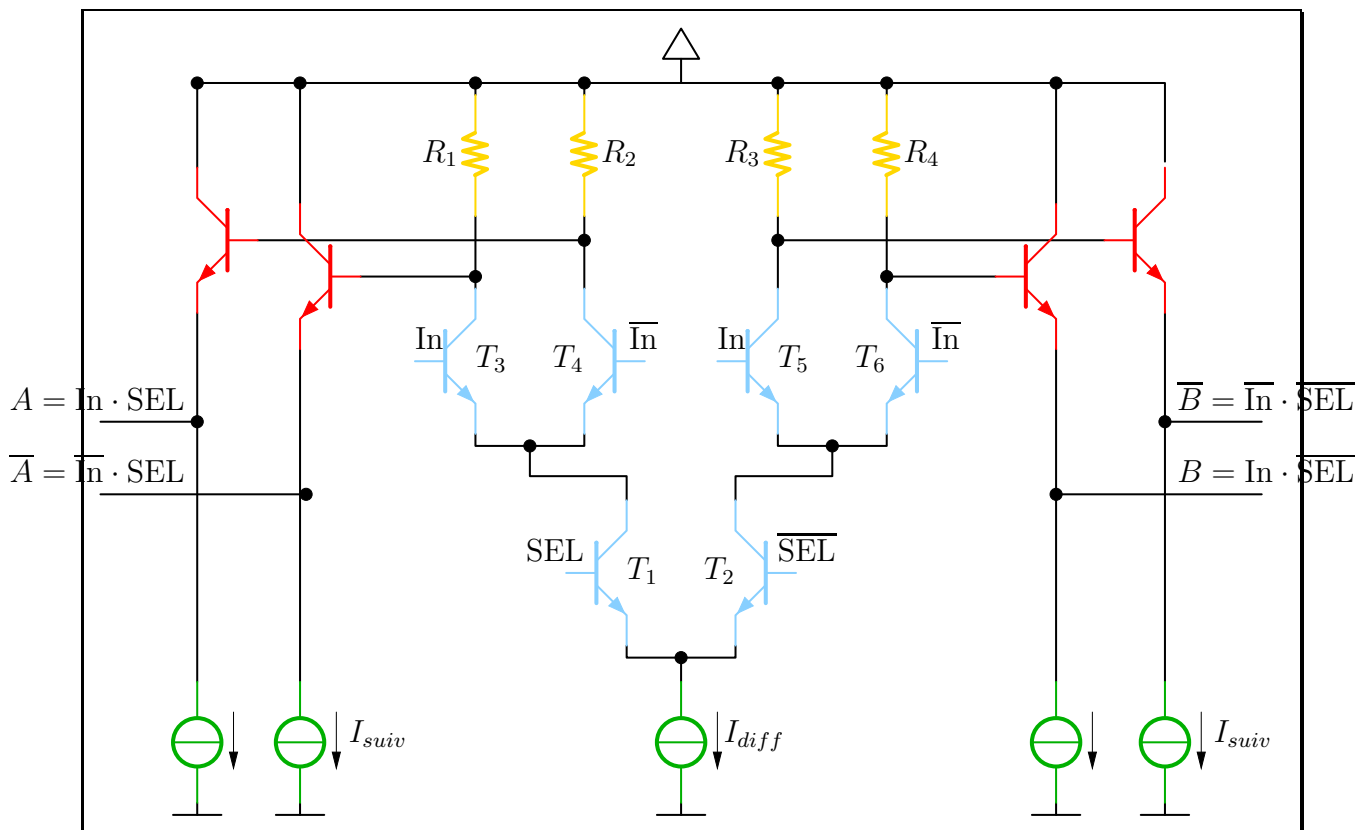


FIG. 1.9: Démultiplexeur 1:2 ECL



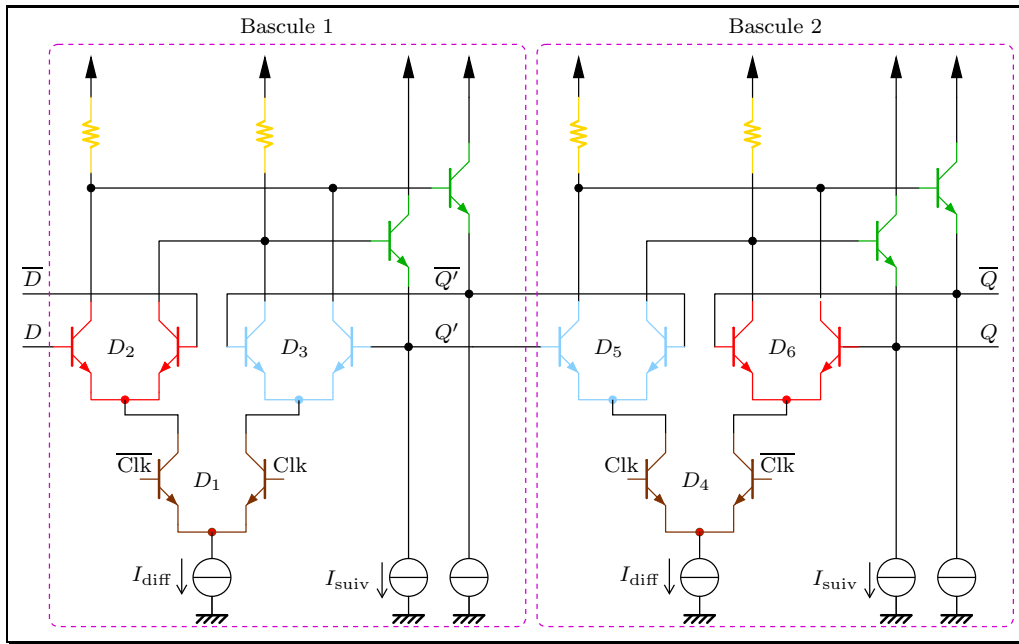


FIG. 1.10: Schématisation d'une bascule D ECL

On distingue 2 types d'utilisation : la fonction mémoire et la fonction diviseur de fréquence. La fonction mémoire est l'utilisation classique de la bascule D dans les systèmes numériques séquentiels, à chaque front d'horloge l'entrée  $D$  est recopiée sur la sortie  $Q$ . L'utilisation en tant que diviseur de fréquence est une application particulière pour laquelle la sortie inversée de la bascule est connectée à son entrée  $D$ . À chaque front d'horloge  $Q$  recopie  $D$  et par conséquent  $Q$  recopie  $\overline{Q}$ . On obtient donc un signal qui change de valeur à chaque front d'horloge, la fréquence de celui-ci est deux fois plus faible que la fréquence d'horloge.

La bascule D qui est présentée nécessite des signaux d'horloge dont l'amplitude et la valeur continue permettent de commander les transistors MOS. Afin que la bascule soit la plus rapide possible le courant dans les paires différentielles n'est jamais nul (c'est le principe de la logique ECL). Ce courant varie de sorte que l'une ou l'autre des paires impose son fonctionnement.

### 1.3 Circuits numériques hyperfréquences

La numérisation des fonctions et des systèmes est actuellement un domaine très actif, quel que soit le type d'application visée. Cette évolution est motivée par deux grandes idées : la réduction des coûts et la reconfigurabilité. La course à la diminution de la taille des transistors permet de réaliser des systèmes de plus en plus complexes et de moins en moins chers. Le domaine des systèmes hyperfréquence évolue selon la même tendance, ceci est dû à la forte croissance des appareils de télécommunication grand public. Les systèmes numériques hyperfréquences sont principalement utilisés dans trois domaines, les microprocesseurs, la synthèse de fréquence et les systèmes de mise en forme des signaux pour les télécommunications optiques. Ils peuvent être répartis en deux groupes, ceux qui utilisent des technologies CMOS et ceux qui

Référence	Technologie	Résolution (bits)	Fréquence (GHz)	Consommation (mW)	SFDR <sup>5</sup> (dBc)
Hsieh1987 [52]	GaAs MESFET	10	1	3000	62
Naber1990 [53]	GaAs MESFET	10	1	139	
Vorenkamp1994 [54]	GaAs	10	1	730	58
Baek2003 [55]	SiGe HBT	12	1	950	72
Seki1988 [56]	GaAs HEMT	8	1,2	2400	46
Jewett2005 [57]	BiCMOS	15	1,2	6000	70
Schafferer2004 [58]	CMOS	14	1,4	400	67
Choe2005 [59]	GaAs HBT	12	1,6	1200	70
Weiss1991 [60]	GaAs MESFET	14	2	2500	58
Schaffer1996 [61]	AlInAs/GaInAs HBTs	12	2	2800	60
Priatko1989 [62]	GaAs	6	3	1500	
Cheng2004 [63]	SiGe HBT	3	40	660	32

TAB. 1.8: Convertisseur numérique/analogique RF

utilisent des technologies ECL bipolaires.

### 1.3.1 Convertisseurs numérique/analogique et analogique/numérique

Les plages de fréquence encore libres pour les systèmes de télécommunications se font rares, particulièrement dans la bande 1-10 GHz. De plus le nombre d'utilisateurs des bandes disponibles ne cesse de croître. Afin d'augmenter le débit des liaisons et/ou le nombre d'utilisateurs, il faut avoir recourt à des modulations de plus en plus complexes. Ceci est rendu possible grâce aux techniques numériques de traitement du signal. C'est pourquoi le domaine du développement de convertisseurs analogique/numérique (A/N) et numérique/analogique (A/N) hyperfréquence est particulièrement actif. Les tab. 1.8 et 1.9 regroupent respectivement l'état de l'art des convertisseurs numérique/analogique et analogique/numérique. On pourra remarquer que les convertisseurs N/A sont presque exclusivement réalisés en technologie bipolaire alors que les convertisseurs A/N le sont pour la plus grande part en technologie CMOS.

### 1.3.2 Mémoires

Les mémoires sont des composants indispensables pour les circuits numériques, elles sont utilisées pour stocker des données afin de pouvoir réaliser le traitement de celles ci par le circuit numérique qui leur est associé. Il existe plusieurs types de mémoires, certaines ne sont accessibles qu'en lecture, ce sont des ROM (« Read Only Memory »), les autres sont accessibles à la fois en lecture et en écriture, ce sont des RAM (« Random Access Memory »). La famille des mémoires RAM se subdivise en deux suivant que ces mémoires conservent (non-volatiles) ou pas (volatiles) l'information qu'elles contiennent une fois l'alimentation électrique éteinte. Les mémoires volatiles peuvent être statiques (SRAM) ou dynamiques (DRAM), les SRAM conservent les données tant que l'alimentation électrique est maintenue alors que les DRAM

Référence	Technologie	Résolution (bits)	Fréquence (GHz)	Consommation (mW)	ENOB <sup>6</sup> (bits)
Uyttenhove2001 [64]	CMOS 0,35 $\mu$ m	6	1	792	
Sandner2005 [65]	CMOS 0,13 $\mu$ m	6	1,2	160	5,7
Uyttenhove2002 [66]	CMOS 0,25 $\mu$ m	6	1,3	600	
Choi2001 [67]	CMOS 0,35 $\mu$ m	6	1,3	500	5,5
Taft2004 [68]	CMOS 0,18 $\mu$ m	8	1,6	1400	7,26
Wakimoto1988 [69]	Bipolar Si	6	2	2000	4,7
Jiang2005 [70]	CMOS 0,18 $\mu$ m	6	2	310	
Azzolini2005 [71]	CMOS 0,18 $\mu$ m	8	2	1200	7
Ducourant1989 [72]	GaAs Mesfet	5	2,2	730	
Cyril2004 [73]	BiCMOS SiGe 0,25 $\mu$ m	3	4	1400	
Poulton1995 [74]	GaAs HBT	6	4	5700	5
Sheikhaei2005 [75]	CMOS 0,18 $\mu$ m	4	5	70	3.65
Baringer1996 [76]	AllInAs/GaInAs HBT	3	8	3500	2,4
Mokhtari2004 [77]	InP-HBT	4	10	5900	3,9
Ellersick1999 [78]	CMOS 0,25 $\mu$ m	4	12	1000	3.34
Poulton2003 [79]	CMOS 0,18 $\mu$ m	8	20	9000	4,6
Nosaka2004 [80]	InP-HBT	3	24	3840	2.3

TAB. 1.9: Convertisseur analogique/numérique RF

ont besoin d'être rafraîchies périodiquement. Les DRAM fonctionnent à moyenne fréquence et ont une consommation modeste, elles sont essentiellement utilisées comme mémoire vive dans les ordinateurs. Les SRAM fonctionnent à très haute fréquence et ont une consommation élevées tab. 1.10. Elles ne sont pas utilisées comme composant externe mais toujours intégrées à coté du système auquel elles sont connectées. En effet les interconnexions dégraderaient fortement les performances.

### 1.3.3 Diviseurs de fréquence

Les diviseurs de fréquence sont principalement utilisés dans la boucle de retour des PLL pour réaliser des translations de fréquence. Ils sont aussi utilisés comme indicateurs afin de comparer les performances de différentes technologies. Ils sont soit analogiques (cellule de gilbert) soit numériques (bascule D ou T), dans le second cas il peuvent être statiques ou dynamiques. Les diviseurs statiques ont une plage de fonctionnement qui s'étend des très basses fréquences aux fréquences élevées alors que les diviseurs dynamiques fonctionnent des fréquences moyennes aux fréquences très élevées. Le tab. 1.11 et la fig. 1.11 présentent l'état de l'art des diviseurs de fréquence statiques. On peut remarquer que la fréquence de fonctionnement est proche de la moitié de la fréquence de transitions des transistors, quelle que soit la technologie utilisée.

Référence	Technologie	Taille	Temps d'accès (ns)	Consommation (w)
Nambu1995 [81]	BiCMOS 0,3 $\mu$ m	72 kb	65	3,3
Ku1995 [82]	CMOS 0,35 $\mu$ m	1 Mb	2,7	3,95
Pilo2004 [83]	CMOS 0,13 $\mu$ m	36 Mb	1,8	1,9
Okamura1995 [84]	BiCMOS 0,4 $\mu$ m	32 kb	1	1
Uetake1999 [85]	CMOS 0,18 $\mu$ m	32 kb	1	
Higeta1996 [86]	BiCMOS 0,3 $\mu$ m	1,15 Mb	0,9	130
Ando1998 [87]	CMOS 0,25 $\mu$ m	162 kb	0,9	0,425
Mai2005 [88]	CMOS 0,18 $\mu$ m	32 kb	0,9	0,125
Nambu2000 [89]	BiCMOS	1 Mb	0,55	43
Zhang2006 [90]	CMOS 65nm	70 Mb	0,33	
Haigh2005 [91]	CMOS 0,09 $\mu$ m	32 kb	0,375	0,31
Hsu2003 [92]	CMOS 0,13 $\mu$ m	32 kb	0,220	
Krishnamurthy2002 [93]	CMOS 0,13 $\mu$ m	8 kb	0,165	

TAB. 1.10: Tableau récapitulatifs des SRAM rapides de la littérature

⊕ [51]

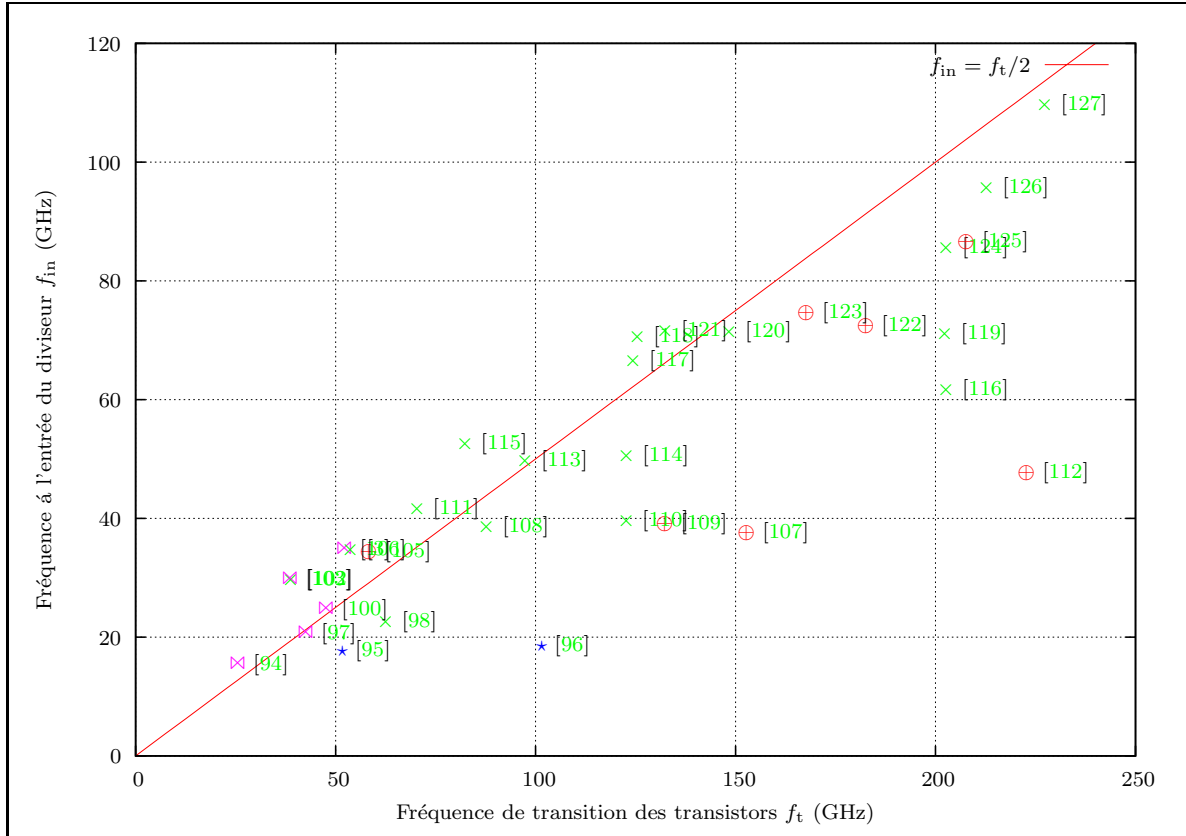


FIG. 1.11: Comparaison de diviseurs statiques réalisés avec différentes technologies : In ⊕, SiGe ×, Bipolar Si ⋈, CMOS ★

Référence	Technologie	$f_t$ NPN (GHz)	Fréquence (GHz)	Rapport division	$P$ (mW)	$P$ Dflip (mW)
Felder1991 [94]	Si Bipolar	23	15,8	2	260	160
Gu2003 [95]	CMOS 0,18 $\mu m$	50	18	2	45	7,2
Wohlmuth2002a [96]	CMOS 0,12 $\mu m$	100	19	2	66	27
Kurusu1991 [97]	Si Bipolar	40	21	2	320	180
Case1995 [98]	SiGe HBT	60	23	128	1500	
Knapp2002 [99]	CMOS 0,12 $\mu m$		25	2		60,9
Felder1993 [100]	Si Bipolar	45	25	2	770	170
Cao2005 [101]	CMOS 0,13 $\mu m$		26	32	8,97	3,88
Felder1996 [102]	SiGe HBT	36	30	2	630	230
Felder1995 [103]	Si Bipolar	36	30	2	450	160
Plouchart2003 [104]	CMOS 0,12 $\mu m$ SOI		33	2	33	33
Yamauchi1989 [105]	AlGaAs/GaAs HBT	56	34,8	2	495	
Wegner1989 [106]	Si Bipolar	50	35	2		
Bok1996 [3]	SiGe HBT	51	35	2		
Lao2004 [107]	InP SHBT	150	38	2	26	8
Ritzberger2002 [108]	SiGe HBT	85	38,9	16	174	54
Jensen1992 [109]	AlInAs/GaInAs HBT	130	39,5	4	425	77
Kucharski2005 [110]	SiGe HBT	120	40	2	160	14,5
Wurzer1997 [111]	SiGe HBT	68	42	2	600	300
Pulietta1998 [112]	InAlAs/InGaAs HBT	220	48	2	380	
Washio2001b [113]	SiGe HBT	95	50	8		119
Rylyakov2003a [114]	SiGe HBT	120	51	2	4056	312
Wurzer2000 [115]	SiGe HBT	80	53	2	705	303
Knapp2004 [116]	SiGe HBT	200	62	2	24	4
Washio2001 [117]	SiGe HBT	122	67	4	175	
Ohue2001 [118]	SiGe HBT	123	71	4		
Wang2005 [119]	SiGe HBT	200	71,5	2	140	42
Wurzer2002 [120]	SiGe HBT	146	71,8	2	594	117
Washio2001a [121]	SiGe HBT	130	72	2		
Sokolich2001 [122]	AlInAs/InGaAs HBT	180	72,8	8	165	55
Mathew2001 [123]	AlInAs/GaInAs HBT	165	75	2	800	800
Knapp2003 [124]	SiGe HBT	200	86	32	900	
Krishnan2002 [125]	InP/InGaAs/InP DHBT	205	87	2	700	700
Rylyakov2004 [126]	SiGe HBT	210	96	2	770	242
Trotta2005 [127]	SiGe HBT	225	110	4	1500	170
Griffith2004 [51]	InP/InGaAs/InP DHBT	300	152	2	660	595

TAB. 1.11: Tableau récapitulatif des diviseurs de fréquence statiques de la littérature

Référence	Technologie	Type (MUX/DEMUX)	Débit (Gb/s)	Rapport de division	Puissance (mW)
Navarro1998 [128]	CMOS 0,8 $\mu$ m	MUX	1,7	8:1	0.0446
Numata1995 [129]	GaAs	MUX	2,4	8:1	150
Numata1995 [129]	GaAs	DEMUX	2,4	1:8	150
Fujii1998 [130]	AlGaAs/InGaAs	DEMUX	2,4	1:8	170
Fujii1998 [130]	AlGaAs/InGaAs	MUX	2,4	8:1	150
Wang2005 [131]	CMOS 0,25 $\mu$ m	DEMUX	2,5	1:16	45
Abdalla2003 [132]	CMOS 0,18 $\mu$ m	DEMUX	4	1:16	3.07
Ishii2002 [133]	InP/InGaAs	DEMUX	10	1:16	1000
Lee2005 [134]	CMOS 0,18 $\mu$ m	MUX	20	2:1	22
Rein1991 [135]	Si Bipolar		24	8:1	
Reinhold2001 [136]	SiGe	DEMUX	40	1:4	
Kanda2005 [137]	CMOS 90nm	DEMUX	40	1:4	62
Kanda2005 [137]	CMOS 90nm	MUX	40	4:1	132
Yen2003 [138]	InP	DEMUX	43,2	1:4	3300
Felder1996 [102]	Si Bipolar	MUX	46	2:1	300
Felder1996 [102]	Si Bipolar	DEMUX	50	1:2	830
Mattia1999 [139]	InP	MUX	50	4:1	800
Suzuki2004 [140]	InP	DEMUX	50	1:4	490
Suzuki2004 [140]	InP	MUX	50	4:1	450
Makon2005 [141]	InP	DEMUX	80	1:2	1650

TAB. 1.12: État de l'art des multiplexeurs/démultiplexeurs

### 1.3.4 Multiplexeurs/démultiplexeurs

La forte croissance des trafics de données dans les réseaux amène les équipementiers à développer des liaisons sur de grandes distances capables de véhiculer des débits globaux de l'ordre du terabit/s sur fibre optique. Pour atteindre cet objectif, la technique du multiplexage dense en longueur d'onde (DWDM) et la montée en débit par longueur d'onde sont actuellement les deux directions principales de recherche. Les modules émetteur et récepteur micro-optoélectroniques performants permettent la transmission sur une fibre optique de données numériques à un débit de 40 Gbits/s. Peu de sources sont capables de fournir un tel débit, il est donc obtenu à partir de plusieurs sources de débits inférieur multiplexées temporellement. Deux techniques de multiplexage peuvent être utilisées : le multiplexage temporel optique (OTDM) et le multiplexage temporel électronique (ETDM). C'est dans le second cas que sont utilisés les multiplexeurs/démultiplexeurs numériques. Ils permettent, à partir de plusieurs trains numériques électriques codés NRZ, d'obtenir un train numérique de débit plus élevé. La configuration la plus courante est le multiplexage de 4 trains à 10 Gbits/s afin d'obtenir un train numérique 40 Gbits/s.

### 1.3.5 Les microprocesseurs

Le microprocesseur est le composant de base d'un ordinateur, il doit effectuer les opérations arithmétiques et logiques qui permettent au système de fonctionner. Les systèmes d'exploitations ainsi que les applications de nos chers PC sont de plus en plus gourmands en ressources<sup>7</sup>. La puissance de calcul des microprocesseurs est donc en constante augmentation, ce qui s'est traduit par une augmentation de leur fréquence de fonctionnement. La barre du gigahertz à été franchie en milieu d'année 2000 pour les deux grands fondeurs Intel et AMD, avec respectivement le Pentium III 1 GHz en mars et l'Athlon-TB 1 GHz en juin. Aujourd'hui, les fréquences de fonctionnement ont dépassé les 3,8 GHz. Les microprocesseurs sont donc des composants numériques hyperfréquences. Cependant la propagation des signaux devient complexe et délicate à gérer à ces fréquences. Il semble que l'augmentation de la fréquence de fonctionnement ne soit plus d'actualité, les fondeurs s'orientent plutôt vers des structures multi-coeurs ayant des fréquences de fonctionnement plus faibles.

## Conclusion

Nous avons présenté l'environnement technologique actuel pour la conception de circuits numériques hyperfréquences. Les différentes technologies disponibles, les topologies d'implémentation de circuits numériques qui leur sont associées ainsi que l'état de l'art des principales catégories de circuits numériques hyperfréquences. Nous en avons déduit qu'il existe trois grandes familles technologiques complémentaires disponibles pour la réalisation de circuits numériques hyperfréquences. Les technologies CMOS sont utilisables pour réaliser des circuits très complexes, faible consommation et faible fréquence. Les technologies à base de transistors à hétérojonctions en SiGe qui occupent la niche des fréquences moyennes avec une complexité, un coût et une consommation modérés. Les technologies utilisant des transistors à hétérojonctions à base d'indium sont à l'heure actuelle celles qui offrent les meilleures performances mais au prix d'une consommation élevée et d'un nombre de transistors par circuit limité. Les technologies silicium ont dominé pendant plus de trois décades l'industrie électronique, révolutionnant la vie moderne. Il y a une dizaine d'années on a cru que les technologies à base de semiconducteur à hétérojonction de type III/V allaient prendre le dessus pour les applications haute fréquence, cependant l'apparition des technologies SiGe à remis le silicium dans la course aux GHz. D'autre part, de très gros efforts industriels sont réalisés sur les technologies CMOS et particulièrement la réduction de la taille des transistors, ceux-ci offrant des performances toujours meilleures. Il est alors assez difficile de prédire quelle sera la technologie dominante du futur pour la réalisation de circuits numériques hyperfréquences.

---

<sup>7</sup>il y a deux explications possibles : la complexité des fonctionnalités proposées et/ou une mauvaise programmation

## Références bibliographiques

- [1] M. Kham, H. Mubarek, J. Bonar, P. Ashburn, P. Ward, L. Fiore, R. Petralia, C. Alemanni, and A. Messina, « 110-GHz  $f_t$  silicon bipolar transistors implemented using fluorine implantation for boron diffusion suppression », *Electron Devices, IEEE Transactions on*, vol. 53, no. 3, pp. 545–552, 2006. [i](#), [i](#), [1.1.5](#)
- [2] M. Ugajin, J. Kodate, Y. Kobayashi, S. Konaka, and T. Sakai, « Very-high  $f_t$  and  $f_{\max}$  silicon bipolar transistors using ultra-high-performance super self-aligned process technology for low-energy and ultra-high-speed LSI's », pp. 735–738, 1995. [i](#), [1.1.5](#)
- [3] J. Bok, A. Felder, T. Meister, M. Franosch, K. Aufinger, M. Wurzer, R. Schreiter, S. Boguth, and L. Treitinger, « A 50 GHz implanted base silicon bipolar technology with 35 GHz static frequency divider », in *VLSI Technology, 1996. Digest of Technical Papers. 1996 Symposium on*, pp. 108–109, 1996. [i](#), [1.1.5](#), [1.3.3](#), [1.3.3](#)
- [4] J. Warnock, J. Cressler, K. Jenkins, T.-C. Chen, J.-C. Sun, and D. Tang, « 50-GHz self-aligned silicon bipolar transistors with ion-implanted base profiles », *Electron Device Letters, IEEE*, vol. 11, no. 10, pp. 475–477, 1990. [i](#), [1.1.5](#)
- [5] J. Bock, T. Meister, H. Knapp, K. Aufinger, M. Wurzer, R. Gabl, M. Pohl, S. Boguth, M. Franosch, and L. Treitinger, « 0.5  $\mu\text{m}$ /60 GHz  $f_{\max}$  implanted base Si bipolar technology », pp. 160–163, 1998. [i](#), [1.1.5](#)
- [6] J. Bock, H. Knapp, K. Aufinger, T. Meister, M. Wurzer, S. Boguth, and L. Treitinger, « High-performance implanted base silicon bipolar technology for RF applications », *Electron Devices, IEEE Transactions on*, vol. 48, no. 11, pp. 2514–2519, 2001. [i](#), [1.1.5](#)
- [7] D. Yu, K. Choi, K. Lee, B. Kim, H. Zhu, K. Vargason, J. Kuo, P. Pinsukanjana, and Y. Kao, « Ultra high-speed 0.25- $\mu\text{m}$  emitter InP-InGaAs SHBTs with  $f_{\max}$  of 687 GHz », pp. 557–560, 2004. [ii](#), [1.1.5](#)
- [8] Y. Wei, D. Scott, Y. Dong, A. Gossard, and M. Rodwell, « A 160-GHz  $f_t$  and 140-GHz  $f_{\max}$  submicrometer InP DHBT in MBE regrown-emitter technology », *Electron Device Letters, IEEE*, vol. 25, no. 5, pp. 232–234, 2004. [ii](#), [1.1.5](#)
- [9] D. Scott, Y. Wei, Y. Dong, A. Gossard, and M. Rodwell, « A 183 GHz  $f_t$  and 165 GHz  $f_{\max}$  regrown-emitter DHBT with abrupt InP emitter », *Electron Device Letters, IEEE*, vol. 25, no. 6, pp. 360–362, 2004. [ii](#), [1.1.5](#)
- [10] J. Li, M. Chen, D. Hitko, C. Fields, B. Shi, R. Rajavel, P. Asbeck, and M. Sokolich, « A submicrometer 252 GHz  $f_t$  and 283 GHz  $f_{\max}$  InP DHBT with reduced  $C_{BC}$  using selectively implanted buried subcollector (SIBS) », *Electron Device Letters, IEEE*, vol. 26, no. 3, pp. 136–138, 2005. [ii](#), [1.1.5](#)
- [11] Z. Griffith, Y. Kim, M. Dahlstrom, A. Gossard, and M. Rodwell, « InGaAs-InP metamorphic DHBTs grown on GaAs with lattice-matched device performance and  $f_t, f_{\max}$  268 GHz », *Electron Device Letters, IEEE*, vol. 25, no. 10, pp. 675–677, 2004. [ii](#)



- [12] Y. Wei, D. Scott, Y. Dong, A. Gossard, and M. Rodwell, « 280 GHz  $f_t$  InP DHBT with  $1.2 \mu\text{m}^2$  base-emitter junction area in MBE regrown-emitter technology », in *Device Research Conference, 2004. 62nd DRC. Conference Digest [Late News Papers volume included]*, pp. 237–238 vol.1, 2004. [ii, 1.1.5](#)
- [13] D. Sawdai, P. Chang, V. Gambin, X. Zeng, J. Yamamoto, K. Loi, G. Leslie, M. Barsky, A. Gutierrez-Aitken, and A. Oki, « Planarized InP/InGaAs heterojunction bipolar transistors with  $f_{\text{max}}$   $\geq$  500 GHz », in *Device Research Conference, 2004. 62nd DRC. Conference Digest [Late News Papers volume included]*, pp. 14–15 vol.2, 2004. [ii, 1.1.5](#)
- [14] G. He, J. Howard, M. Le, P. Partyka, B. Li, G. Kim, R. Hess, R. Bryie, R. Lee, S. Rustomji, J. Pepper, M. Kail, M. Helix, R. Elder, D. Jansen, N. Harff, J. Prairie, E. Daniel, and B. Gilbert, « Self-aligned InP DHBT with  $f_t$  and  $f_{\text{max}}$  over 300 GHz in a new manufacturable technology », *Electron Device Letters, IEEE*, vol. 25, no. 8, pp. 520–522, 2004. [ii, 1.1.5](#)
- [15] W. Hafez, J.-W. Lai, and M. Feng, « Submicron InP-InGaAs single heterojunction bipolar transistors with  $f_t$  of 377 GHz », *Electron Device Letters, IEEE*, vol. 24, no. 5, pp. 292–294, 2003. [ii, 1.1.5](#)
- [16] Z. Griffith, M. Dahlstrom, M. Rodwell, X.-M. Fang, D. Lubyshev, Y. Wu, J. Fastenau, and W. Liu, « InGaAs-InP DHBTs for increased digital IC bandwidth having a 391-GHz  $f_t$  and 505-GHz  $f_{\text{max}}$  », *Electron Device Letters, IEEE*, vol. 26, no. 1, pp. 11–13, 2005. [ii, 1.1.5](#)
- [17] T. Hussain, Y. Royter, D. Hitko, M. Montes, M. Madhav, I. Milosavljevic, R. Rajavel, S. Thomas, M. Antcliffe, A. Arthur, Y. Boegeman, M. Sokolich, J. Li, and P. Asbeck, « First demonstration of sub- $0.25 \mu\text{m}$ -width emitter InP-DHBTs with  $\geq$  400 GHz  $f_t$  and  $\geq$  400 GHz  $f_{\text{max}}$  », in *Electron Devices Meeting, 2004. IEDM Technical Digest. IEEE International*, pp. 553–556, 2004. [ii, 1.1.5](#)
- [18] Z. Griffith, M. Rodwell, X.-M. Fang, D. Loubychev, Y. Wu, J. Fastenau, and A. Liu, « InGaAs/InP DHBTs with 120-nm collector having simultaneously high  $f_t$ ,  $f_{\text{max}} > 450$  GHz », *Electron Device Letters, IEEE*, vol. 26, no. 8, pp. 530–532, 2005. [ii, 1.1.5](#)
- [19] M. Feng, W. Hafez, and J.-W. Lai, « Over 500 GHz InP heterojunction bipolar transistors », in *Indium Phosphide and Related Materials, 2004. 16th IPRM. 2004 International Conference on*, pp. 653–658, 2004. [ii, 1.1.5](#)
- [20] W. Hafez and M. Feng, «  $0.25 \mu\text{m}$  emitter InP SHBTs with  $f_t = 550$  GHz and  $\text{BV}_{\text{CEO}} \geq 2\text{V}$  », in *Electron Devices Meeting, 2004. IEDM Technical Digest. IEEE International*, pp. 549–552, 2004. [ii, 1.1.5](#)
- [21] T. Meister, H. Schafer, M. Franosch, W. Molzer, K. Aufinger, U. Scheler, C. Walz, H. Stolz, S. Boguth, and J. Bock, « SiGe base bipolar technology with 74 GHz  $f_{\text{max}}$  and 11 ps gate delay », pp. 739–742, 1995. [iii, 1.1.5](#)

- [22] K. Washio, E. Ohue, K. Oda, M. Tanabe, H. Shimamoto, and T. Onal, « 95 GHz  $f_t$  self-aligned selective epitaxial SiGe HBT with SMI electrodes [optical fiber communication equipment] », pp. 312–313, 453, 1998. [iii](#), [1.1.5](#)
- [23] E. Crabbe, B. Meyerson, D. Harame, J. Stork, A. Megdanis, J. Cotte, J. Chu, M. Gilbert, C. Stanis, J. Comfort, G. Patton, and S. Subbanna, « 113-GHz  $f_t$  graded-base sige 14BTs », pp. 22–23, 1993. [iii](#), [1.1.5](#)
- [24] Y. Kiyota, T. Hashimoto, T. Udo, A. Kodama, H. Shimamoto, R. Hayami, and K. Washio, « 190-GHz  $f_t$ , 130-GHz  $f_{\max}$  SiGe HBTs with heavily doped base formed by HCl-free selective epitaxy », pp. 139–142, 2002. [iii](#), [1.1.5](#)
- [25] B. Jagannathan, M. Meghelli, A. Rylyakov, R. Groves, A. Chinthakindi, C. Schnabel, D. Ahlgren, G. Freeman, K. Stein, and S. Subbanna, « A 4.2-ps ECL ring-oscillator in a 285-GHz  $f_{\max}$  SiGe technology », *Electron Device Letters, IEEE*, vol. 23, no. 9, pp. 541–543, 2002. [iii](#), [1.1.5](#)
- [26] S. Jeng, B. Jagannathan, J.-S. Rieh, J. Johnson, K. Schonenberg, D. Greenberg, A. Stricker, H. Chen, M. Khater, D. Ahlgren, G. Freeman, K. Stein, and S. Subbanna, « A 210-GHz  $f_t$  SiGe HBT with a non-self-aligned structure », *Electron Device Letters, IEEE*, vol. 22, no. 11, pp. 542–544, 2001. [iii](#), [1.1.5](#)
- [27] J.-S. Rieh, B. Jagannathan, H. Chen, K. Schonenberg, D. Angell, A. Chinthakindi, J. Florkey, F. Golan, D. Greenberg, S.-J. Jeng, M. Khater, F. Pagette, C. Schnabel, P. Smith, A. Stricker, K. Vaed, R. Volant, D. Ahlgren, G. Freeman, K. Stein, and S. Subbanna, « SiGe HBTs with cut-off frequency of 350 GHz », pp. 771–774, 2002. [iii](#), [iii](#), [1.1.5](#)
- [28] M. Khater, J.-S. Rieh, T. Adam, A. Chinthakindi, J. Johnson, R. Krishnasamy, M. Meghelli, F. Pagette, D. Sanderson, C. Schnabel, K. Schonenberg, P. Smith, K. Stein, A. Stricker, S.-J. Jeng, D. Ahlgren, and G. Freeman, « SiGe HBT technology with  $f_{\max}/f_t=350/300$  GHz and gate delay below 3.3 ps », pp. 247–250, 2004. [iii](#), [1.1.5](#)
- [29] J.-S. Rieh, D. Greenberg, M. Khater, K. Schonenberg, S.-J. Jeng, F. Pagette, T. Adam, A. Chinthakindi, J. Florkey, B. Jagannathan, J. Johnson, R. Krishnasamy, D. Sanderson, C. Schnabel, P. Smith, A. Stricker, S. Sweeney, K. Vaed, T. Yanagisawa, D. Ahlgren, K. Stein, and G. Freeman, « SiGe HBTs for millimeter-wave applications with simultaneously optimized  $f_t$  and  $f_{\max}$  of 300 GHz », pp. 395–398, 2004. [iii](#), [1.1.5](#)
- [30] L. Tiemeijer, H. Boots, R. Havens, A. Scholten, P. de Vreede, P. Woerlee, A. Heringa, and D. Klaassen, « A record high 150 GHz  $f_{\max}$  realized at 0.18  $\mu\text{m}$  gate length in an industrial RF-CMOS technology », in *Electron Devices Meeting, 2001. IEDM Technical Digest. International*, pp. 10.4.1–10.4.4, 2001. [1.1.3](#), [1.1.5](#)
- [31] T. Matsumoto, S. Maeda, K. Ota, Y. Hirano, K. Eikyu, H. Sayama, T. Iwamatsu, K. Yamamoto, T. Katoh, Y. Yamaguchi, T. Ipposhi, H. Oda, S. Maegawa, Y. Inoue, and M. Inuishi, « 70 nm SOI-CMOS of 135 GHz  $f_{\max}$  with dual offset-implanted source-drain ex-

- tension structure for RF/analog and logic applications », in *Electron Devices Meeting, 2001. IEDM Technical Digest. International*, pp. 10.3.1–10.3.4, 2001. [1.1.3](#), [1.1.5](#)
- [32] M. Vanmackelberg, S. Boret, D. Gloria, O. Rozeau, R. Gwoziecki, C. Raynaud, S. Lepilliet, and G. Dambrine, « 90nm SOI-CMOS of 150GHz  $f_{\max}$  and 0.8dB  $NF_{\min}$  @6GHz for SOC », in *SOI Conference, IEEE International 2002*, pp. 153–154, 2002. [1.1.3](#), [1.1.5](#)
- [33] J. Guo, C. Huang, K. Chan, W. Lien, C. Wu, and Y. Sun, « 0.13 $\mu\text{m}$  low voltage logic based RF CMOS technology with 115GHz  $f_t$  and 80GHz  $f_{\max}$  », in *Microwave Conference, 2003. 33rd European*, vol. 2, pp. 683–686 vol.2, 2003. [1.1.3](#), [1.1.5](#)
- [34] C. Wann, F. Assaderaghi, L. Shi, K. Chan, S. Cohen, H. Hovel, K. Jenkins, Y. Lee, D. Sadana, R. Viswanathan, S. Wind, and Y. Taur, « High-performance 0.07- $\mu\text{m}$  CMOS with 9.5-ps gate delay and 150 GHz  $f_t$  », *Electron Device Letters, IEEE*, vol. 18, no. 12, pp. 625–627, 1997. [1.1.3](#), [1.1.5](#)
- [35] J. Guo, W. Lien, M. Hung, C. Liu, C. Chen, C. Wu, Y. Sun, and P. Yang, « Low-K/Cu CMOS logic based SoC technology for 10 Gb transceiver with 115 GHz  $f_t$ , 80 GHz  $f_{\max}$  RF CMOS, high-Q MiM capacitor and spiral Cu inductor », in *VLSI Technology, 2003. Digest of Technical Papers. 2003 Symposium on*, pp. 39–40, 2003. [1.1.3](#), [1.1.5](#)
- [36] W. Jeamsaksiri, A. Mercha, J. Ramos, D. Linten, S. Thijs, S. Jenei, C. Detcheverry, P. Wambacq, R. Velghe, and S. Decoutere, « Integration of a 90nm RF CMOS technology (200GHz  $f_{\max}$  - 150GHz  $f_t$  NMOS) demonstrated on a 5GHz LNA », in *VLSI Technology, 2004. Digest of Technical Papers. 2004 Symposium on*, pp. 100–101, 2004. [1.1.3](#), [1.1.5](#)
- [37] C. Chen, C. Chang, C. Chao, J. Kuan, C. Chang, S. Wang, H. Hsu, W. Lien, Y. Tsai, H. Lin, C. Wu, C. Huang, S. Chen, P. Tseng, C. Chen, C. Ku, T. Lin, C. Chang, H. Lin, M. Tsai, S. Chen, C. Chen, M. Wei, Y. Wang, J. Lin, W. Chen, C. Chang, M. King, C. Huang, C. Lin, J. Guo, G. Chern, D. Tang, and J. Sun, « A 90 nm CMOS MS/RF based foundry SOC technology comprising superb 185 GHz  $f_t$  RFMOS and versatile, high-Q passive components for cost/performance optimization », in *Electron Devices Meeting, 2003. IEDM '03 Technical Digest. IEEE International*, pp. 2.5.1–2.5.4, 2003. [1.1.3](#), [1.1.5](#)
- [38] J.-O. Plouchart, N. Zamdmer, J. Kim, R. Trzcinski, S. Narasimha, M. Khare, L. Wagner, S. Sweeney, and S. Chaloux, « A 243-GHz  $f_t$  and 208-GHz  $f_{\max}$ , 90-nm SOI CMOS SoC technology with low-power mm-wave digital and RF circuit capability », *Electron Devices, IEEE Transactions on*, vol. 52, no. 7, pp. 1370–1375, 2005. [1.1.3](#), [1.1.5](#)
- [39] N. Feilchenfeld, L. Lanzerotti, D. Sheridan, R. Wuthrich, P. Geiss, D. Coolbaugh, P. Gray, J. He, P. Demag, J. Greco, T. Larsen, V. Patel, M. Zierak, W. Hodge, J. Rascoe, J. Trapasso, B. Orner, A. Norris, D. Hershberger, B. Voegeli, S. Voldman, R. Rassell, V. Ramachandrian, M. Gautsch, E. Eshun, R. Hussain, D. Jordan, S. St Onge, and J. Dunn, « High performance, low complexity 0.18  $\mu\text{m}$  SiGe BiCMOS technology for wireless circuit applications », pp. 197–200, 2002. [1.1.4](#), [1.1.5](#)

- [40] S. Sawada, T. Ohnishi, T. Saitoh, K. Yuki, K. Hasegawa, K. Shimizu, P. Clifton, A. Gallerano, and A. Pinto, « A high performance 0.18 $\mu\text{m}$  BiCMOS technology employing high carbon content in the base layer of the SiGe HBT to achieve low variability of hFE », pp. 119–122, 2003. [1.1.4](#), [1.1.5](#)
- [41] G. Freeman, D. Ahlgren, D. Greenberg, R. Groves, F. Huang, G. Hugo, B. Jagannathan, S. Jeng, J. Johnson, K. Schonenberg, K. Stein, R. Volant, and S. Subbanna, « A 0.18  $\mu\text{m}$  90 GHz  $f_t$  SiGe HBT BiCMOS, ASIC-compatible, copper interconnect technology for RF and microwave applications », pp. 569–572, 1999. [1.1.4](#), [1.1.5](#)
- [42] F. Sato, T. Hashimoto, H. Fujii, H. Yoshida, H. Suzuki, and T. Yamazaki, « A 0.18- $\mu\text{m}$  RF SiGe BiCMOS technology with collector-epi-free double-poly self-aligned HBTs », *Electron Devices, IEEE Transactions on*, vol. 50, no. 3, pp. 669–675, 2003. [1.1.4](#), [1.1.5](#)
- [43] T. Hashimoto, F. Sato, T. Aoyama, H. Suzuki, H. Yoshida, H. Fujii, and T. Yamazaki, « A 73 GHz  $f_t$  0.18  $\mu\text{m}$  RF-SiGe BiCMOS technology considering thermal budget trade-off and with reduced boron-spike effect on HBT characteristics », pp. 149–152, 2000. [1.1.4](#), [1.1.5](#)
- [44] K. Schuegraf, M. Racanelli, A. Kalburge, B. Shen, C. Hu, D. Chapek, D. Howard, D. Quon, D. Feiler, D. Dornisch, G. U'Ren, H. Abdul-Ridha, J. Zheng, J. Zhang, K. Bell, K. Ring, K. Yin, P. Joshi, S. Akhtar, T. Lee, and P. Kempf, « 0.18  $\mu\text{m}$  SiGe BiCMOS technology for wireless and 40 Gb/s communication products », pp. 147–150, 2001. [1.1.4](#), [1.1.5](#)
- [45] S. Wada, Y. Nonaka, T. Saito, T. Tominari, K. Koyu, K. Ikeda, K. Sakai, K. Sasahara, K. Watanabe, H. Fujiwara, F. Murata, E. Ohue, Y. Kiyota, H. Shimamoto, K. Washio, R. Takeyari, H. Hosoe, and T. Hashimoto, « A manufacturable 0.18- $\mu\text{m}$  SiGe BiCMOS technology for 40-Gb/s optical communication LSIs », pp. 84–87, 2002. [1.1.4](#), [1.1.5](#)
- [46] T. Hashimoto, Y. Nonaka, T. Saito, K. Sasahara, T. Tominari, K. Sakai, K. Tokunaga, T. Fujiwara, S. Wada, T. Udo, T. Jinbo, K. Washio, and H. Hosoe, « Integration of a 0.13- $\mu\text{m}$  CMOS and a high performance self-aligned SiGe HBT featuring low base resistance », pp. 779–782, 2002. [1.1.4](#), [1.1.5](#)
- [47] M. Laurens, B. Martinet, O. Kermarrec, Y. Campidelli, F. Deleglise, D. Dutarte, G. Troillard, D. Gloria, J. Bonnouvrier, R. Beerkens, V. Rousset, F. Leverd, A. Chantre, and A. Monroy, « A 150GHz  $f_t/f_{\text{max}}$  0.13 $\mu\text{m}$  SiGe :C BiCMOS technology », pp. 199–202, 2003. [1.1.4](#), [1.1.5](#)
- [48] A. Joseph, D. Coolbaugh, D. Harame, G. Freeman, S. Subbanna, M. Doherty, J. Dunn, C. Dickey, D. Greenberg, R. Groves, M. Meghelli, A. Rylyakov, M. Sorna, O. Schreiber, D. Herman, and T. Tanji, « 0.13  $\mu\text{m}$  210 GHz  $f_t$  SiGe HBTs - expanding the horizons of SiGe BiCMOS », vol. 1, pp. 180–458 vol.1, 2002. [1.1.4](#), [1.1.5](#)
- [49] S. Pruvost, S. Delcourt, I. Telliez, M. Laurens, N.-E. Bourzgui, F. Danneville, A. Monroy, and G. Dambrine, « Microwave and noise performance of SiGe BiCMOS HBT under

- cryogenic temperatures », *Electron Device Letters, IEEE*, vol. 26, no. 2, pp. 105–108, 2005. [1.1.4](#)
- [50] B. Orner, Q. Liu, B. Rainey, A. Stricker, P. Geiss, P. Gray, M. Zierak, M. Gordon, D. Collins, V. Ramachandran, W. Hodge, C. Willets, A. Joseph, J. Dunn, J.-S. Rieh, S.-J. Jeng, E. Eld, G. Freeman, and D. Ahlgren, « A 0.13  $\mu\text{m}$  BiCMOS technology featuring a 200/280 GHz ( $f_t/f_{\text{max}}$ ) SiGe HBT », pp. 203–206, 2003. [1.1.4](#), [1.1.5](#)
- [51] Z. Griffith, M. Dahlstrm, M. Rodwell, M. Urteaga, R. Pierson, P. Rowell, B. Brar, S. Lee, N. Nguyen, and C. Nguyen, « Ultra high frequency static dividers  $\geq$  150 GHz in a narrow mesa InGaAs/InP DHBT technology », in *Bipolar/BiCMOS Circuits and Technology, 2004. Proceedings of the 2004 Meeting*, pp. 176–179, 2004. [1.1.5](#), [1.3.3](#), [1.3.3](#)
- [52] K.-C. Hsieh, T. Knotts, G. Baldwin, and T. Hornak, « A 12-bit 1-Gword/s GaAs digital-to-analog converter system », *Solid-State Circuits, IEEE Journal of*, vol. 22, no. 6, pp. 1048–1055, 1987. [1.3.1](#)
- [53] J. Naber, H. Singh, R. Sadler, J. Latusis, and W. Tanis, « A low-power, high-speed 10-bit GaAs DAC », in *Gallium Arsenide Integrated Circuit (GaAs IC) Symposium, 1990. Technical Digest 1990., 12th Annual*, pp. 33–36, 1990. [1.3.1](#)
- [54] P. Vorenkamp, J. Verdaasdonk, R. van de Plassche, and D. Scheffer, « A 1 Gs/s, 10b digital-to-analog converter », in *Solid-State Circuits Conference, 1994. Digest of Technical Papers. 41st ISSCC., 1994 IEEE International*, pp. 52–53, 1994. [1.3.1](#)
- [55] K.-H. Baek, M.-J. Choe, E. Merlo, and S.-M. Kang, « 1-GS/s, 12-bit SiGe BiCMOS D/A converter for high-speed DDFs », in *Circuits and Systems, 2003. ISCAS '03. Proceedings of the 2003 International Symposium on*, vol. 1, pp. I-901–I-904 vol.1, 2003. [1.3.1](#)
- [56] S. Seki, T. Saito, H. Fujishiro, S. Nishi, and Y. Sano, « An 8-bit 1-GHz digital to analog converter using 0.5  $\mu\text{m}$  gate inverted HEMTs », in *Electron Devices Meeting, 1988. Technical Digest., International*, pp. 770–773, 1988. [1.3.1](#)
- [57] B. Jewett, J. Liu, and K. Poulton, « A 1.2GS/s 15b DAC for precision signal generation », in *Solid-State Circuits Conference, 2005. Digest of Technical Papers. ISSCC. 2005 IEEE International*, pp. 110–587 Vol. 1, 2005. [1.3.1](#)
- [58] B. Schafferer and R. Adams, « A 3V CMOS 400mW 14b 1.4GS/s DAC for multi-carrier applications », in *Solid-State Circuits Conference, 2004. Digest of Technical Papers. ISSCC. 2004 IEEE International*, pp. 360–532 Vol.1, 2004. [1.3.1](#)
- [59] M.-J. Choe, K.-H. Baek, and M. Teshome, « A 1.6-GS/s 12-bit return-to-zero GaAs RF DAC for multiple Nyquist operation », *Solid-State Circuits, IEEE Journal of*, vol. 40, no. 12, pp. 2456–2468, 2005. [1.3.1](#)
- [60] F. Weiss and T. Bowman, « A 14-bit, 1 Gs/s DAC for direct digital synthesis applications », in *Gallium Arsenide Integrated Circuit (GaAs IC) Symposium, 1991. Technical Digest 1991., 13th Annual*, pp. 361–364, 1991. [1.3.1](#)

- [61] T. Schaffer, H. Warren, M. Bustamante, and K. Kong, « A 2 GHz 12-bit digital-to-analog converter for direct digital synthesis applications », in *Gallium Arsenide Integrated Circuit (GaAs IC) Symposium, 1996. Technical Digest 1996., 18th Annual*, pp. 61–64, 1996. [1.3.1](#)
- [62] G. Priatko, B. Thompson, and J. Kaskey, « A hybrid 3 Gs/s, 6-bit digital to analog converter », in *University/Government/Industry Microelectronics Symposium, 1989. Proceedings., Eighth*, pp. 160–164, 1989. [1.3.1](#)
- [63] W. Cheng, W. Ali, M.-J. Choi, K. Liu, T. Tat, D. Devendorf, L. Linder, and R. Stevens, « A 3b 40GS/s ADC-DAC in 0.12 $\mu$ m SiGe », in *Solid-State Circuits Conference, 2004. Digest of Technical Papers. ISSCC. 2004 IEEE International*, pp. 262–263 Vol.1, 2004. [1.3.1](#)
- [64] K. Uyttenhove and M. Steyaert, « A CMOS 6-bit, 1 GHz ADC for IF sampling applications », in *Microwave Symposium Digest, 2001 IEEE MTT-S International*, vol. 3, pp. 2131–2134 vol.3, 2001. [1.3.1](#)
- [65] C. Sandner, M. Clara, A. Santner, T. Hartig, and F. Kuttner, « A 6-bit 1.2-GS/s low-power flash-ADC in 0.13- $\mu$ m digital CMOS », *Solid-State Circuits, IEEE Journal of*, vol. 40, no. 7, pp. 1499–1505, 2005. [1.3.1](#)
- [66] K. Uyttenhove and M. Steyaert, « A 1.8V, 6bit, 1.3 GHz CMOS flash ADC in 0.25 $\mu$  m CMOS », in *Solid-State Circuits Conference, 2002. ESSCIRC 2002. Proceedings of the 28th European*, pp. 455–458, 2002. [1.3.1](#)
- [67] M. Choi and A. Abidi, « A 6-b 1.3-Gsample/s A/D converter in 0.35- $\mu$ m CMOS », *Solid-State Circuits, IEEE Journal of*, vol. 36, no. 12, pp. 1847–1858, 2001. [1.3.1](#)
- [68] R. Taft, C. Menkus, M. Tursi, O. Hidri, and V. Pons, « A 1.8V 1.6GS/s 8b self-calibrating folding ADC with 7.26 ENOB at Nyquist frequency », in *Solid-State Circuits Conference, 2004. Digest of Technical Papers. ISSCC. 2004 IEEE International*, pp. 252–256 Vol.1, 2004. [1.3.1](#)
- [69] T. Wakimoto, Y. Akazawa, and S. Konaka, « Si bipolar 2-GHz 6-bit flash A/D conversion LSI », *Solid-State Circuits, IEEE Journal of*, vol. 23, no. 6, pp. 1345–1350, 1988. [1.3.1](#)
- [70] X. Jiang and M.-C. Chang, « A 1-GHz signal bandwidth 6-bit CMOS ADC with power-efficient averaging », *Solid-State Circuits, IEEE Journal of*, vol. 40, no. 2, pp. 532–535, 2005. [1.3.1](#)
- [71] C. Azzolini, A. Boni, A. Facen, M. Parenti, and D. Vecchi, « Design of a 2-GS/s 8-b self-calibrating ADC in 0.18  $\mu$ m CMOS technology », in *Circuits and Systems, 2005. ISCAS 2005. IEEE International Symposium on*, pp. 1386–1389 Vol. 2, 2005. [1.3.1](#)
- [72] T. Ducourant, D. Meignant, P. Bertsch, and M. Wright, « A 5 bit, 2.2 Gs/s monolithic A/D converter with gigahertz bandwidth, and 6 bit A/D converter system », in *Gallium Arsenide Integrated Circuit (GaAs IC) Symposium, 1989. Technical Digest 1989., 11th Annual*, pp. 337–340, 1989. [1.3.1](#)

- [73] R. Cyril, J. Begueret, Y. Devall, G. Montignac, and A. Baudry, « A 4 Gsps, 2-4 GHz input bandwidth, 3-bits flash A/D converter », in *Electronics, Circuits and Systems, 2004. ICECS 2004. Proceedings of the 2004 11th IEEE International Conference on*, pp. 250–253, 2004. [1.3.1](#)
- [74] K. Poulton, K. Knudsen, J. Corcoran, K.-C. Wang, R. Nubling, R. Pierson, M.-C. Chang, P. Asbeck, and R. Huang, « A 6-b, 4 GSa/s GaAs HBT ADC », *Solid-State Circuits, IEEE Journal of*, vol. 30, no. 10, pp. 1109–1118, 1995. [1.3.1](#)
- [75] S. Sheikhaei, S. Mirabbasi, and A. Ivanov, « A 4-bit 5 GS/s flash A/D converter in 0.18  $\mu\text{m}$  CMOS », in *Circuits and Systems, 2005. ISCAS 2005. IEEE International Symposium on*, pp. 6138–6141 Vol. 6, 2005. [1.3.1](#)
- [76] C. Baringer, J. Jensen, L. Burns, and B. Walden, « 3-bit, 8 GSPS flash ADC », in *Indium Phosphide and Related Materials, 1996. IPRM '96., Eighth International Conference on*, pp. 64–67, 1996. [1.3.1](#)
- [77] M. Mokhtari, J. Jensen, T. Kaplan, C. Fields, D. McLaughlin, and W. Ng, « 4-bit flash ADC in InP-HBT technology using distributed resistor ladder », in *Radio and Wireless Conference, 2004 IEEE*, pp. 143–146, 2004. [1.3.1](#)
- [78] W. Ellersick, C.-K. K. Yang, M. Horowitz, and W. Dally, « GAD : A 12-GS/s CMOS 4-bit A/D converter for an equalized multi-level link », in *VLSI Circuits, 1999. Digest of Technical Papers. 1999 Symposium on*, pp. 49–52, 1999. [1.3.1](#)
- [79] K. Poulton, R. Neff, B. Setterberg, B. Wuppermann, T. Kopley, R. Jewett, J. Pernillo, C. Tan, and A. Montijo, « A 20 GS/s 8 b ADC with a 1 MB memory in 0.18  $\mu\text{m}$  CMOS », in *Solid-State Circuits Conference, 2003. Digest of Technical Papers. ISSCC. 2003 IEEE International*, pp. 318–496 vol.1, 2003. [1.3.1](#)
- [80] H. Nosaka, M. Nakamura, M. Ida, K. Kurishima, T. Shibata, M. Tokumitsu, and M. Muraguchi, « A 24-Gsps 3-bit Nyquist ADC using InP HBTs for electronic dispersion compensation », in *Microwave Symposium Digest, 2004 IEEE MTT-S International*, vol. 1, pp. 101–104 Vol.1, 2004. [1.3.1](#)
- [81] H. Nambu, K. Kanetani, Y. Idei, T. Masuda, K. Higeta, M. Ohayashi, M. Usami, K. Yamaguchi, T. Kikuchi, T. Ikeda, K. Ohhata, T. Kusunoki, and N. Homma, « A 0.65-ns, 72-kb ECL-CMOS RAM macro for a 1-Mb SRAM », *Solid-State Circuits, IEEE Journal of*, vol. 30, no. 4, pp. 491–499, 1995. [1.3.2](#)
- [82] J. Ku, S. Siu, M. Yazdani, Y. Lih, W.-P. Lu, and A. Desroches, « A 2.25 gbytes/s 1 Mbit smart cache SRAM », in *VLSI Circuits, 1995. Digest of Technical Papers., 1995 Symposium on*, pp. 17–18, 1995. [1.3.2](#)
- [83] H. Pilo, G. Braceras, S. Hall, S. Lamphier, M. Miller, A. Roberts, and R. Wistort, « A 0.9ns random cycle 36Mb network SRAM with 33mW standby power », in *VLSI Circuits, 2004. Digest of Technical Papers. 2004 Symposium on*, pp. 284–287, 2004. [1.3.2](#)

- [84] H. Okamura, H. Toyoshima, K. Takeda, T. Oguri, S. Nakamura, M. Takada, K. Imai, Y. Kinoshita, H. Yoshida, and T. Yamazaki, « A 1 ns, 1 W, 2.5 V, 32 Kb NTL-CMOS SRAM macro using a memory cell with PMOS access transistors », *Solid-State Circuits, IEEE Journal of*, vol. 30, no. 11, pp. 1196–1202, 1995. [1.3.2](#)
- [85] T. Uetake, Y. Maki, T. Nakadai, K. Yoshida, M. Susuki, and R. Nanjo, « A 1.0 ns access 770 MHz 36 Kb SRAM macro », in *VLSI Circuits, 1999. Digest of Technical Papers. 1999 Symposium on*, pp. 109–110, 1999. [1.3.2](#)
- [86] K. Higeta, M. Usami, M. Ohayashi, Y. Fujimura, M. Nishiyama, S. Isomura, K. Yamaguchi, Y. Idei, H. Nambu, K. Ohhata, and N. Hanta, « A soft-error-immune 0.9-ns 1.15-Mb ECL-CMOS SRAM with 30-ps 120 k logic gates and on-chip test circuitry », *Solid-State Circuits, IEEE Journal of*, vol. 31, no. 10, pp. 1443–1450, 1996. [1.3.2](#)
- [87] K. Ando, K. Higeta, Y. Fujimura, K. Mori, M. Nakayama, H. Nambu, K. Miyamoto, and K. Yamaguchi, « A 0.9-ns-access, 700-MHz SRAM macro using a configurable organization technique with an automatic timing adjuster », in *VLSI Circuits, 1998. Digest of Technical Papers. 1998 Symposium on*, pp. 182–183, 1998. [1.3.2](#)
- [88] K. Mai, R. Ho, E. Alon, D. Liu, Y. Kim, D. Patil, and M. Horowitz, « Architecture and circuit techniques for a 1.1-GHz 16-kb reconfigurable memory in 0.18- $\mu$ m CMOS », *Solid-State Circuits, IEEE Journal of*, vol. 40, no. 1, pp. 261–275, 2005. [1.3.2](#)
- [89] H. Nambu, K. Kanetani, K. Yamasaki, K. Higeta, M. Usami, M. Nishiyama, K. Ohhata, F. Arakawa, T. Kusunoki, K. Yamaguchi, A. Hotta, and N. Homma, « A 550-ps access 900-MHz 1-Mb ECL-CMOS SRAM », *Solid-State Circuits, IEEE Journal of*, vol. 35, no. 8, pp. 1159–1168, 2000. [1.3.2](#)
- [90] K. Zhang, U. Bhattacharya, Z. Chen, F. Hamzaoglu, D. Murray, N. Vallepalli, Y. Wang, B. Zheng, and M. Bohr, « A 3-GHz 70-mb SRAM in 65-nm CMOS technology with integrated column-based dynamic power supply », *Solid-State Circuits, IEEE Journal of*, vol. 41, no. 1, pp. 146–151, 2006. [1.3.2](#)
- [91] J. Haigh, M. Wilkerson, J. Miller, T. Beatty, S. Strazdus, and L. Clark, « A low-power 2.5-GHz 90-nm level 1 cache and memory management unit », *Solid-State Circuits, IEEE Journal of*, vol. 40, no. 5, pp. 1190–1199, 2005. [1.3.2](#)
- [92] S. Hsu, A. Alvandpour, S. Mathew, S.-L. Lu, R. Krishnamurthy, and S. Borkar, « A 4.5-GHz 130-nm 32-KB L0 cache with a leakage-tolerant self reverse-bias bitline scheme », *Solid-State Circuits, IEEE Journal of*, vol. 38, no. 5, pp. 755–761, 2003. [1.3.2](#)
- [93] R. Krishnamurthy, A. Alvandpour, G. Balamurugan, N. Shanbhag, K. Soumyanath, and S. Borkar, « A 130-nm 6-GHz 256  $\times$  32 bit leakage-tolerant register file », *Solid-State Circuits, IEEE Journal of*, vol. 37, no. 5, pp. 624–632, 2002. [1.3.2](#)
- [94] A. Felder, P. Weger, E. Bertagnolli, K. Ehinger, J. Hauenschield, and H.-M. Rein, « A Si-bipolar 23 Gbit/s multiplexer and a 15 GHz 2 :1 static frequency divider », in *Bipolar*



- Circuits and Technology Meeting, 1991., Proceedings of the 1991*, pp. 31–34, 1991. [1.3.3](#), [1.3.3](#)
- [95] Z. Gu and A. Thiede, « 18 GHz low-power CMOS static frequency divider », *Electronics Letters*, vol. 39, no. 20, pp. 1433–1434, 2003. [1.3.3](#), [1.3.3](#)
- [96] H.-D. Wohlmuth and D. Kehrer, « A high sensitivity static 2 :1 frequency divider up to 27GHz in 120nm CMOS », in *Solid-State Circuits Conference, 2002. ESSCIRC 2002. Proceedings of the 28th European*, pp. 823–826, 2002. [1.3.3](#), [1.3.3](#)
- [97] M. Kurisu, Y. Sasayama, M. Ohuchi, A. Sawairi, M. Sugiyama, H. Takernura, and T. Tashiro, « A Si Bipolar 21GHz 320mW Static Frequency Divider », in *Solid-State Circuits Conference, 1991. Digest of Technical Papers. 38th ISSCC., 1991 IEEE International*, pp. 158–309, 1991. [1.3.3](#), [1.3.3](#)
- [98] M. Case, S. Knorr, L. Larson, D. Rensch, D. Harame, B. Meyerson, and S. Rosenbaum, « A 23 GHz static 1/128 frequency divider implemented in a manufacturable Si/SiGe HBT process », in *Bipolar/BiCMOS Circuits and Technology Meeting, 1995., Proceedings of the 1995*, pp. 121–124, 1995. [1.3.3](#), [1.3.3](#)
- [99] H. Knapp, H.-D. Wohlmuth, M. Wurzer, and M. Rest, « 25GHz static frequency divider and 25Gb/s multiplexer in 0.12 $\mu$  CMOS », in *Solid-State Circuits Conference, 2002. Digest of Technical Papers. ISSCC. 2002 IEEE International*, vol. 2, pp. 240–489, 2002. [1.3.3](#), [1.3.3](#)
- [100] A. Felder, R. Stengl, J. Hauenschild, H.-M. Rein, and T. Meister, « Static frequency dividers for high operating speed (25 GHz, 170 mW) and low power consumption (16 GHz, 8 mW) in selective epitaxial Si bipolar technology », *Electronics Letters*, vol. 29, no. 12, pp. 1072–1074, 1993. [1.3.3](#), [1.3.3](#)
- [101] C. Cao and K. O, « A power efficient 26-GHz 32 :1 static frequency divider in 130-nm bulk CMOS », *Microwave and Wireless Components Letters, IEEE [see also IEEE Microwave and Guided Wave Letters]*, vol. 15, no. 11, pp. 721–723, 2005. [1.3.3](#), [1.3.3](#)
- [102] A. Felder, M. Moller, J. Popp, J. Bock, and H.-M. Rein, « 46 Gb/s DEMUX, 50 Gb/s MUX, and 30 GHz static frequency divider in silicon bipolar technology », *Solid-State Circuits, IEEE Journal of*, vol. 31, no. 4, pp. 481–486, 1996. [1.3.3](#), [1.3.3](#), [1.3.4](#)
- [103] A. Felder, M. Moller, J. Popp, J. Bock, M. Rest, H.-M. Rein, and L. Treitinger, « 30 GHz static 2 :1 frequency divider and 46 Gb/s multiplexer/demultiplexer ICs in a 0.6  $\mu$ m Si bipolar technology », in *VLSI Circuits, 1995. Digest of Technical Papers., 1995 Symposium on*, pp. 117–118, 1995. [1.3.3](#), [1.3.3](#)
- [104] J.-O. Plouchart, J. Kim, H. Recoules, N. Zamdmer, Y. Tan, M. Sherony, A. Ray, and L. Wagner, « A power-efficient 33 GHz 2 :1 static frequency divider in 0.12- $\mu$  m SOI CMOS », in *Radio Frequency Integrated Circuits (RFIC) Symposium, 2003 IEEE*, pp. 329–332, 2003. [1.3.3](#), [1.3.3](#)

- [105] Y. Yamauchi, O. Nakajima, K. Nagata, H. Ito, and T. Ishibashi, « A 34.8 GHz 1/4 static frequency divider using AlGaAs/GaAs HBTs », in *Gallium Arsenide Integrated Circuit (GaAs IC) Symposium, 1989. Technical Digest 1989., 11th Annual*, pp. 121–124, 1989. [1.3.3](#), [1.3.3](#)
- [106] P. Wegner, L. Treitinger, A. Wieder, and H.-M. Rein, « A Si bipolar 15 GHz static frequency divider and 10 Gb/s multiplexer », in *Solid-State Circuits Conference, 1989. Digest of Technical Papers. 36th ISSCC., 1989 IEEE International*, pp. 222–223, 344, 1989. [1.3.3](#), [1.3.3](#)
- [107] Z. Lao, J. Jensen, K. Guinn, and M. Sokolich, « 1.3 V supply voltage 38 GHz static frequency divider », *Electronics Letters*, vol. 40, no. 5, pp. 295–296, 2004. [1.3.3](#), [1.3.3](#)
- [108] G. Ritzberger, J. Bock, H. Knapp, L. Treitinger, and A. Scholtz, « 38 GHz low-power static frequency divider in SiGe bipolar technology », in *Circuits and Systems, 2002. ISCAS 2002. IEEE International Symposium on*, vol. 4, pp. IV–413–IV–416 vol.4, 2002. [1.3.3](#), [1.3.3](#)
- [109] J. Jensen, M. Hafizi, W. Stanchina, R. Metzger, and D. Rensch, « 39.5-GHz static frequency divider implemented in AlInAs/GaInAs HBT technology », in *Gallium Arsenide Integrated Circuit (GaAs IC) Symposium, 1992. Technical Digest 1992., 14th Annual IEEE*, pp. 101–104, 1992. [1.3.3](#), [1.3.3](#)
- [110] D. Kucharski and K. Kornegay, « A 40 GHz 2.1 V static frequency divider in SiGe using a low-voltage latch topology », in *Radio Frequency integrated Circuits (RFIC) Symposium, 2005. Digest of Papers. 2005 IEEE*, pp. 461–464, 2005. [1.3.3](#), [1.3.3](#)
- [111] M. Wurzer, T. Meister, I. Schafer, H. Knapp, J. Bock, R. Stengl, K. Aufinger, M. Franosch, M. Rest, M. Moller, H.-M. Rein, and A. Felder, « 42 GHz static frequency divider in a Si/SiGe bipolar technology », in *Solid-State Circuits Conference, 1997. Digest of Technical Papers. 44th ISSCC., 1997 IEEE International*, pp. 122–123, 1997. [1.3.3](#), [1.3.3](#)
- [112] R. Pulietta, D. Mensa, Q. Lee, B. Agarwal, J. Guthrie, S. Jagannathan, and M. Rodwell, « 48 GHz static frequency dividers in transferred-substrate HBT technology », *Electronics Letters*, vol. 34, no. 16, pp. 1580–1581, 1998. [1.3.3](#), [1.3.3](#)
- [113] K. Washio, E. Ohue, K. Oda, R. Hayami, M. Tanabe, and H. Shimamoto, « A 50-GHz static frequency divider and 40-Gb/s MUX/DEMUX using self-aligned selective-epitaxial-growth SiGe HBTs with 8-ps ECL », *Electron Devices, IEEE Transactions on*, vol. 48, no. 7, pp. 1482–1487, 2001. [1.3.3](#), [1.3.3](#)
- [114] A. Rylyakov, « A 51GHz master-slave latch and static frequency divider in 0.18 $\mu$  m SiGe BiCMOS », in *Bipolar/BiCMOS Circuits and Technology Meeting, 2003. Proceedings of the*, pp. 75–77, 2003. [1.3.3](#), [1.3.3](#)
- [115] M. Wurzer, T. Meister, H. Knapp, K. Aufinger, R. Schreiter, S. Boguth, and L. Treitinger, « 53 GHz static frequency divider in a Si/SiGe bipolar technology », in *Solid-State*

- Circuits Conference, 2000. Digest of Technical Papers. ISSCC. 2000 IEEE International*, pp. 206–207, 2000. [1.3.3](#), [1.3.3](#)
- [116] H. Knapp, M. Wurzer, K. Aufinger, J. Bock, and T. Meister, « 62-GHz 24-mW static SiGe frequency divider », in *Silicon Monolithic Integrated Circuits in RF Systems, 2004. Digest of Papers. 2004 Topical Meeting on*, pp. 5–8, 2004. [1.3.3](#), [1.3.3](#)
- [117] K. Washio, R. Hayami, E. Ohue, K. Oda, M. Tanabe, H. Shimamoto, and M. Kondo, « 67-GHz static frequency divider using 0.2- $\mu$ m self-aligned SiGe », *Microwave Theory and Techniques, IEEE Transactions on*, vol. 49, no. 1, pp. 3–8, 2001. [1.3.3](#), [1.3.3](#)
- [118] E. Ohue, R. Hayami, K. Oda, H. Shimamoto, and K. Washio, « 5.3-ps ECL and 71-GHz static frequency divider in self-aligned SEG SiGe HBT », in *Bipolar/BiCMOS Circuits and Technology Meeting, Proceedings of the 2001*, pp. 26–29, 2001. [1.3.3](#), [1.3.3](#)
- [119] L. Wang, J. Borngraeber, G. Wang, Z. Gu, and A. Thiede, « Low-power 71 GHz static frequency divider in SiGe :C HBT technology », in *Microwave Symposium Digest, 2005 IEEE MTT-S International*, pp. 4 pp.–, 2005. [1.3.3](#), [1.3.3](#)
- [120] M. Wurzer, J. Bock, H. Knapp, and K. Aufinger, « 71.8 GHz static frequency divider in a SiGe bipolar technology », in *Bipolar/BiCMOS Circuits and Technology Meeting, 2002. Proceedings of the 2002*, pp. 216–219, 2002. [1.3.3](#), [1.3.3](#)
- [121] K. Washio, E. Ohue, K. Oda, R. Hayami, M. Tanabe, and H. Shimamoto, « 92-GHz-Dynamic and 72-GHz-Static Frequency Dividers Using 5.4-ps-ECL Self-Aligned SEG SiGe HBTs », in *Solid-State Device Research Conference, 2001. Proceeding of the 31st European*, pp. 439–442, 2001. [1.3.3](#), [1.3.3](#)
- [122] M. Sokolich, C. Fields, I. Thomas, S., B. Shi, Y. Boegeman, R. Martinez, A. Kramer, and M. Madhav, « A low-power 72.8-GHz static frequency divider in AllnAs/InGaAs HBT technology », *Solid-State Circuits, IEEE Journal of*, vol. 36, no. 9, pp. 1328–1334, 2001. [1.3.3](#), [1.3.3](#)
- [123] T. Mathew, H.-J. Kim, D. Scott, S. Jaganathan, S. Krishnan, Y. Wei, M. Urteaga, S. Long, and M. Rodwell, « 75 GHz ECL static frequency divider using InAlAs/InGaAs HBTs », *Electronics Letters*, vol. 37, no. 11, pp. 667–668, 2001. [1.3.3](#), [1.3.3](#)
- [124] H. Knapp, M. Wurzer, T. Meister, K. Aufinger, J. Bock, S. Boguth, and H. Schafer, « 86 GHz static and 110 GHz dynamic frequency dividers in SiGe bipolar technology », in *Microwave Symposium Digest, 2003 IEEE MTT-S International*, vol. 2, pp. 1067–1070 vol.2, 2003. [1.3.3](#), [1.3.3](#)
- [125] S. Krishnan, Z. Griffith, M. Urteaga, Y. Wei, and D. Scott, « 87 GHz static frequency divider in an InP-based mesa DHBT technology », in *Gallium Arsenide Integrated Circuit (GaAs IC) Symposium, 2002. 24th Annual Technical Digest*, pp. 294–296, 2002. [1.3.3](#), [1.3.3](#)

- [126] A. Rylyakov and T. Zwick, « 96-GHz static frequency divider in SiGe bipolar technology », *Solid-State Circuits, IEEE Journal of*, vol. 39, no. 10, pp. 1712–1715, 2004. [1.3.3](#), [1.3.3](#)
- [127] S. Trotta, H. Knapp, T. Meister, K. Aufinger, J. Bock, W. Simburger, and A. Scholtz, « 110-GHz static frequency divider in SiGe bipolar technology », in *Compound Semiconductor Integrated Circuit Symposium, 2005. CSIC '05. IEEE*, pp. 291–294, 2005. [1.3.3](#), [1.3.3](#)
- [128] J. Navarro, J. and W. Van Noije, « Design of an 8 :1 MUX at 1.7 Gbit/s in 0.8  $\mu\text{m}$  CMOS technology », in *VLSI, 1998. Proceedings of the 8th Great Lakes Symposium on*, pp. 103–107, 1998. [1.3.4](#)
- [129] K. Numata, M. Fujii, T. Maeda, M. Tokushima, S. Wada, M. Fukaiishi, and M. Ishikawa, « Ultra low power consumption heterojunction FET 8 :1 MUX/1 :8 DEMUX for 2.4 Gbps optical fiber communication systems », in *Gallium Arsenide Integrated Circuit (GaAs IC) Symposium, 1995. Technical Digest 1995., 17th Annual IEEE*, pp. 39–42, 1995. [1.3.4](#)
- [130] M. Fujii, K. Numata, T. Maeda, M. Tokushima, S. Wada, M. Fukaiishi, and M. Ishikawa, « A 150 mW 8 :1 MUX and a 170 mW 1 :8 DEMUX for 2.4 gb/s optical-fiber communication systems using n-AlGaAs/i-InGaAs HJFET's », *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on*, vol. 6, no. 1, pp. 43–46, 1998. [1.3.4](#)
- [131] Z. Wang, J. Ding, and W. Lu, « type 2.5-Gb/s 0.25- $\mu\text{m}$  CMOS lower power 1 :16 demultiplexer », in *Microwave Conference Proceedings, 2005. APMC 2005. Asia-Pacific Conference Proceedings*, vol. 1, pp. 3 pp.–, 2005. [1.3.4](#)
- [132] Y. Abdalla and M. Elmasry, « A 4Gb/s 1 :16 DEMUX using an all-static 0.18- $\mu\text{m}$  CMOS logic », in *Microelectronics, 2003. ICM 2003. Proceedings of the 15th International Conference on*, pp. 119–122, 2003. [1.3.4](#)
- [133] K. Ishii, H. Nosaka, H. Nakajima, K. Kurishima, M. Ida, N. Watanabe, Y. Yamane, E. Sano, and T. Enoki, « Low-power 1 :16 DEMUX and one-chip CDR with 1 :4 DEMUX using InP-InGaAs heterojunction bipolar transistors », *Solid-State Circuits, IEEE Journal of*, vol. 37, no. 9, pp. 1146–1151, 2002. [1.3.4](#)
- [134] J. Lee, J.-Y. Ding, and T.-Y. Cheng, « A 20-Gb/s 2-to-1 MUX and a 40-GHz VCO in 0.18- $\mu\text{m}$  CMOS technology », in *VLSI Circuits, 2005. Digest of Technical Papers. 2005 Symposium on*, pp. 136–139, 2005. [1.3.4](#)
- [135] H.-M. Rein, J. Hauenschild, W. McFarland, and D. Pettengill, « 23 Gbit/s Si bipolar decision circuit consisting of 24 Gbit/s MUX and DEMUX ICs », *Electronics Letters*, vol. 27, no. 11, pp. 974–976, 1991. [1.3.4](#)
- [136] M. Reinhold, C. Dorschky, E. Rose, R. Püllela, P. Mayer, F. Kunz, Y. Baeyens, T. Link, and J.-P. Mattia, « A fully integrated 40-Gb/s clock and data recovery IC with 1 :4 DEMUX in SiGe technology », *Solid-State Circuits, IEEE Journal of*, vol. 36, no. 12, pp. 1937–1945, 2001. [1.3.4](#)

- [137] K. Kanda, D. Yamazaki, T. Yamamoto, M. Horinaka, J. Ogawa, H. Tamura, and H. Onodera, « 40Gb/s 4 :1 MUX/1 :4 DEMUX in 90nm standard CMOS », in *Solid-State Circuits Conference, 2005. Digest of Technical Papers. ISSCC. 2005 IEEE International*, pp. 152–590 Vol. 1, 2005. [1.3.4](#)
- [138] J. Yen, M. Case, S. Nielsen, J. Rogers, N. Srivastava, and R. Thiagarajah, « A fully integrated 43.2 Gb/s clock and data recovery and 1 :4 DEMUX IC in InP HBT technology », in *Solid-State Circuits Conference, 2003. Digest of Technical Papers. ISSCC. 2003 IEEE International*, pp. 240–491 vol.1, 2003. [1.3.4](#)
- [139] J. Mattia, R. Pallela, G. Georgieu, Y. Baeyens, H. Tsai, Y. Chen, C. Dorschky, T. Winkler Von Mohrenfels, M. Reinhold, C. Groepper, M. Sokolich, L. Nguyen, and W. Stanchina, « High-speed multiplexers : a 50 Gb/s 4 :1 MUX in InP HBT technology », in *Gallium Arsenide Integrated Circuit (GaAs IC) Symposium, 1999. 21st Annual*, pp. 189–192, 1999. [1.3.4](#)
- [140] T. Suzuki, T. Takahashi, K. Makiyama, K. Sawada, Y. Nakasha, T. Hirose, and M. Takikawa, « Under 0.5W 50Gb/s full-rate 4 :1MUX and 1 :4 DEMUX in 0.13 $\mu$ m InP HEMT technology », in *Solid-State Circuits Conference, 2004. Digest of Technical Papers. ISSCC. 2004 IEEE International*, pp. 234–525 Vol.1, 2004. [1.3.4](#)
- [141] R.-E. Makon, R. Driad, K. Schneider, M. Ludwig, R. Aidam, R. Quay, M. Schlechtweg, and G. Weimann, « 80 Gbit/s monolithically integrated clock and data recovery circuit with 1 :2 DEMUX using InP-based DHBTs », in *Compound Semiconductor Integrated Circuit Symposium, 2005. CSIC '05. IEEE*, pp. 4 pp.–, 2005. [1.3.4](#)

---

## Chapitre 2

Application à la synthèse directe  
et indirecte de fréquence

---



## Introduction

La synthèse de fréquence est une fonction clé des systèmes de télécommunications. Il existe plusieurs techniques dont les principales sont la synthèse analogique directe [1], la synthèse indirecte [2, 3], la synthèse numérique indirecte micro-programmée [4] et la synthèse directe numérique [5]. La synthèse indirecte analogique utilise des diviseurs/multiplicateurs de fréquence<sup>1</sup> ainsi que des mélangeurs afin d'obtenir une fréquence en sortie à base d'une seule référence. La synthèse indirecte utilise une source de référence sur laquelle est asservie une source variable. Le système le plus couramment utilisé pour réaliser cette fonction est la boucle à verrouillage de phase (PLL). Les principaux avantages des PLL face aux systèmes de synthèse analogique directe sont la réduction du nombre de composants analogiques (qui permet de réduire fortement la surface d'intégration) et la possibilité de contrôler précisément la fréquence en sortie. En effet la plupart des PLL sont, en partie, réalisées avec des composants numériques, dont certains programmables permettent de modifier la fréquence en sortie. Les plus communément utilisés sont le détecteur de phase et le diviseur de fréquence. Le dernier bloc restant analogique est le VCO, nous avons donc cherché à numériser ce composant. C'est ainsi que nous nous sommes intéressés à la synthèse directe numérique.

La synthèse directe numérique est une des techniques de synthèse de fréquence les plus récentes. Elle utilise un synthétiseur digital direct (« direct digital synthesizer » : DDS), aussi appelé synthétiseur de fréquence digital direct (« direct digital frequency synthesizer » : DDFS) ou encore oscillateur contrôlé numériquement (« numerically controlled oscillator » : NCO). Elle a été introduite en 1971 par J. Tierney dans [5]. Le DDS est un composant à part dans la famille des synthétiseurs de fréquence car le signal qu'il génère est synthétisé à partir de ses échantillons. L'architecture du DDS est assez simple, mais elle offre des caractéristiques qui restent difficiles ou coûteuses à obtenir avec les techniques de synthèse classiques. C'est par exemple le cas pour le temps de commutation entre deux fréquences ou deux phases : il est quasi-instantané dans le DDS (typiquement égal à une période d'horloge) et tout à fait adapté aux modulations par sauts de fréquence ou de phase. Le DDS possède par ailleurs d'autres avantages tels qu'un faible bruit de phase, une résolution fréquentielle aussi précise que voulu (déterminée à la conception par le choix de la résolution interne), l'absence de phénomènes transitoires...

Dans ce chapitre, nous allons nous intéresser à la numérisation de la PLL car c'est le point de départ du travail effectué. Ensuite nous présenterons le DDS, son principe de fonctionnement ainsi que la théorie associée. Enfin nous regarderons quelques unes des architectures qui utilisent un DDS.

---

<sup>1</sup>les diviseurs analogiques sont réalisés à base de cellules de Gilbert et la multiplication utilise les harmoniques du signal



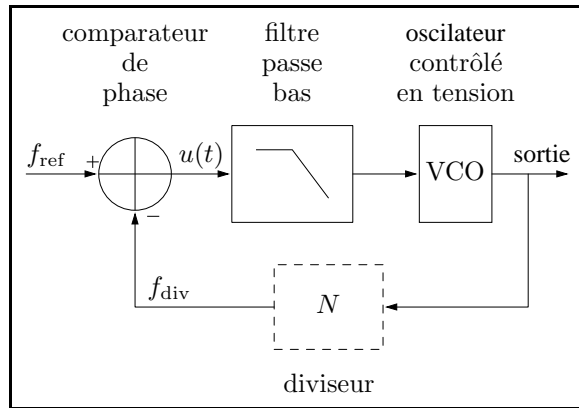


FIG. 2.1: Schéma de principe d'une PLL analogique

## 2.1 Numérisation d'une boucle à verrouillage de phase

La PLL est un système qui a été inventé en 1932 par un ingénieur nommé De Bellescize afin d'améliorer la réception des signaux radioélectriques. À cette époque, les PLL étaient réalisées à base de tubes, elles étaient chères et volumineuses. C'est grâce à l'arrivée des circuits intégrés que son utilisation s'est démocratisée. Elle est utilisée principalement pour effectuer deux types d'opérations : la synthèse de fréquence et la démodulation. Les contraintes sur les blocs de la PLL sont différentes en fonction du type d'utilisation. En effet, dans le cas de la synthèse de fréquence, la source de référence est à relativement basse fréquence (généralement obtenue à partir d'un quartz), par conséquent le comparateur phase/fréquence (PFD : Phase and Frequency Detector) et la PDC (pompe de charge) fonctionnent à basse fréquence. L'oscillateur contrôlé en tension (VCO : Voltage Controlled Oscillator) génère des signaux en bande utile (haute fréquence), le diviseur doit donc aussi fonctionner à haute fréquence. Dans le cas où l'on utilise la PLL en démodulateur, il n'y a pas de diviseur et tous les blocs (PFD, PDC, VCO) fonctionnent à la fréquence de la porteuse. La numérisation des blocs doit donc être faite en fonction du domaine d'utilisation envisagée.

### 2.1.1 La boucle à verrouillage de phase

Le schéma de principe de la PLL est présenté fig. 2.1. La PLL est un système à contre-réaction qui a pour but d'asservir la fréquence en sortie du VCO  $f_{\text{out}}$  sur la fréquence en entrée  $f_{\text{ref}}$  (ou la fréquence en sortie divisée quand le diviseur est présent). Les premières réalisations utilisaient un comparateur de phase analogique (multiplieur) qui donnait une tension  $u(t)$  proportionnelle à l'écart de phase entre  $f_{\text{ref}}$  et  $f_{\text{out}}$ . Après filtrage, elle contrôlait le VCO de sorte que la phase du signal (et donc la fréquence) devienne identique à celle du signal de référence. Indépendamment de la dynamique de boucle, ce type de comparateur de phase ne permet pas de garantir que la PLL va se verrouiller si  $f_{\text{ref}}$  et  $f_{\text{out}}$  sont trop éloignées. Afin de pallier à cet inconvénient, on utilise un comparateur phase/fréquence numérique.

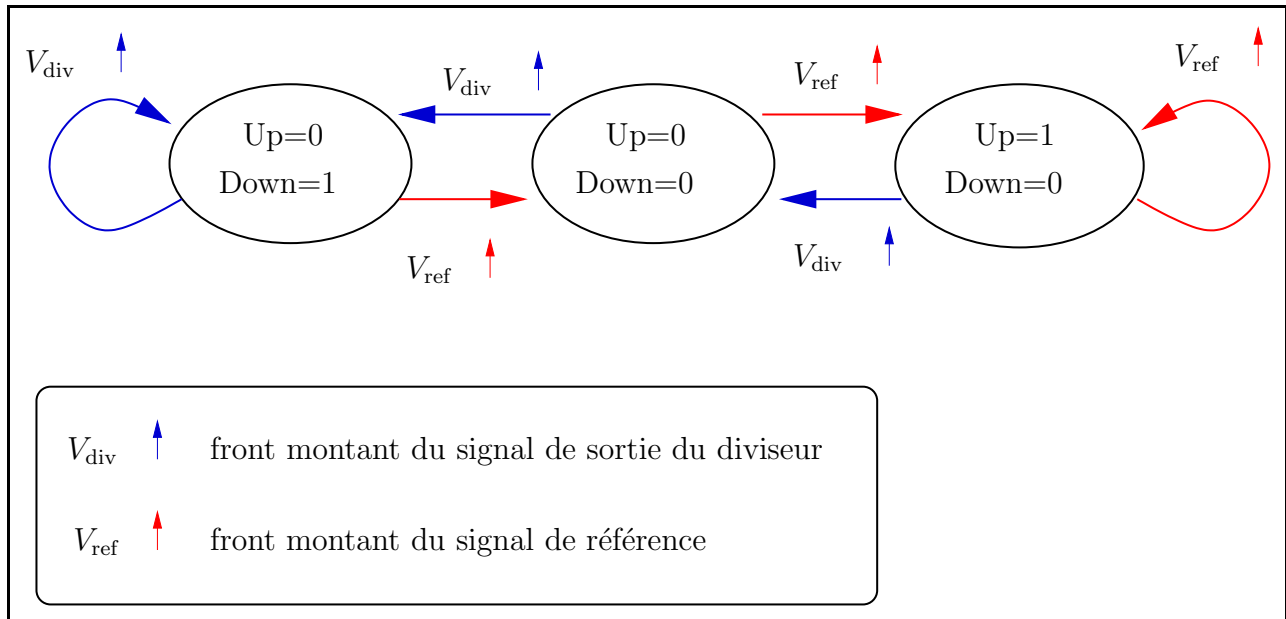


FIG. 2.2: Diagramme d'états du comparateur phase/fréquence

### 2.1.2 Comparateur phase/fréquence numérique (ou PFD)

La numérisation de la PLL commence par le comparateur phase/fréquence [6]. Un tel comparateur possède trois états stables, plus un que l'on pourrait qualifier de « temporaire ». C'est ce nouvel état, associé à la création de deux signaux de sortie non complémentaires, qui permet d'aboutir aux résultats escomptés. Lorsque la fréquence du signal de référence  $f_{ref}$  est supérieure à celle du signal de sortie  $f_{out}$  (ou  $f_{div}$  si le diviseur est présent), le PFD génère une impulsion positive sur la sortie **Up**, alors que **Down** reste à zéro. Inversement, lorsque  $f_{ref} < f_{out}$ , l'impulsion positive apparaît sur la sortie **Down** tandis que **Up** reste à zéro. Le dernier cas correspond à  $f_{ref} = f_{div}$ , le circuit génère alors des impulsions sur l'une des deux sorties **Up** et **Down** selon qu'il y a retard ou avance de phase, et dont la largeur est égale à l'écart de phase. Ainsi l'état des sorties **Up** et **Down** donnent l'information nécessaire au système sur la différence de phase et/ou de fréquence entre les deux signaux d'entrée.

Une implémentation possible du PFD est représentée fig. 2.3. Le circuit est constitué de deux bascules D fonctionnant sur front montant, dont l'entrée de données  $D$  est connectée au niveau logique haut. Les signaux de fréquence  $f_{ref}$  et  $f_{div}$  agissent sur les entrées d'horloge des bascules. On remarque que lorsque  $Up = Down = 0$ , une transition du signal de fréquence  $f_{ref}$  provoque la commutation de la bascule correspondante, forçant **Up** au niveau haut. Donc, toute nouvelle transition du signal de fréquence  $f_{ref}$  n'aura plus aucun effet sur le circuit. Puis, lorsque le signal de fréquence  $f_{div}$  passe au niveau haut, la porte ET active le Reset des deux bascules, ce qui signifie que les sorties **Up** et **Down** sont temporairement au niveau haut simultanément. La durée de cet état dépend du temps de propagation du signal de reset par la porte ET ainsi que le délai de remise à zéro des bascules.

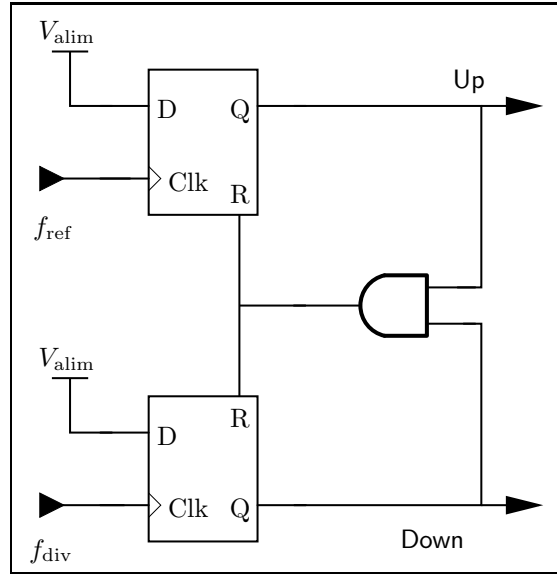


FIG. 2.3: Topologie classique du PFD

## 2.1.3 Diviseurs de fréquence

### 2.1.3.1 Synthétiseurs de fréquences à division entière

Un synthétiseur de fréquences à division entière consiste en un asservissement de la phase et de la fréquence d'un signal de sortie sur la phase et la fréquence d'un signal d'entrée très précis, dit de référence, à un facteur  $N$  près,  $N$  étant le rang de division de la boucle de retour. Ainsi, lorsque la boucle est verrouillée, la fréquence du signal de sortie  $f_{\text{out}}$  est proportionnelle à la fréquence du signal d'entrée  $f_{\text{ref}}$  suivant la relation :  $f_{\text{out}} = N f_{\text{ref}}$ .

### 2.1.3.2 Diviseur à double module ou compteur à échappement ou « prescaler »

Un diviseur à double module (fig. 2.4) est un diviseur programmable capable de générer un facteur de division élevé [7, 8, 9]. Le circuit comprend un prédiviseur haute fréquence (logique ECL) pouvant diviser soit par  $P$ , soit par  $P + 1$ , et deux décompteurs programmables basse fréquence  $C_1$  et  $C_2$  (logique CMOS).

Son fonctionnement est le suivant : au départ les décompteurs  $C_1$  et  $C_2$  sont chargés par deux nombres  $A$  et  $C$  répondant à la condition  $C > A$ , le prédiviseur divise par  $P + 1$ . Dès que le décompteur  $C_1$  atteint 0, sa sortie passant à l'état bas reste bloquée et va forcer le prédiviseur à diviser par  $P$ . Le décompteur  $C_2$  poursuit son décomptage jusqu'à ce que son contenu soit nul. Sa sortie passe alors à l'état bas ce qui provoque la recharge des compteurs et aussitôt le cycle recommence.

L'étude du fonctionnement montre que l'on obtient un rapport de division  $N$  :

$$N = A(P + 1) + (C - A)P = CP + A$$

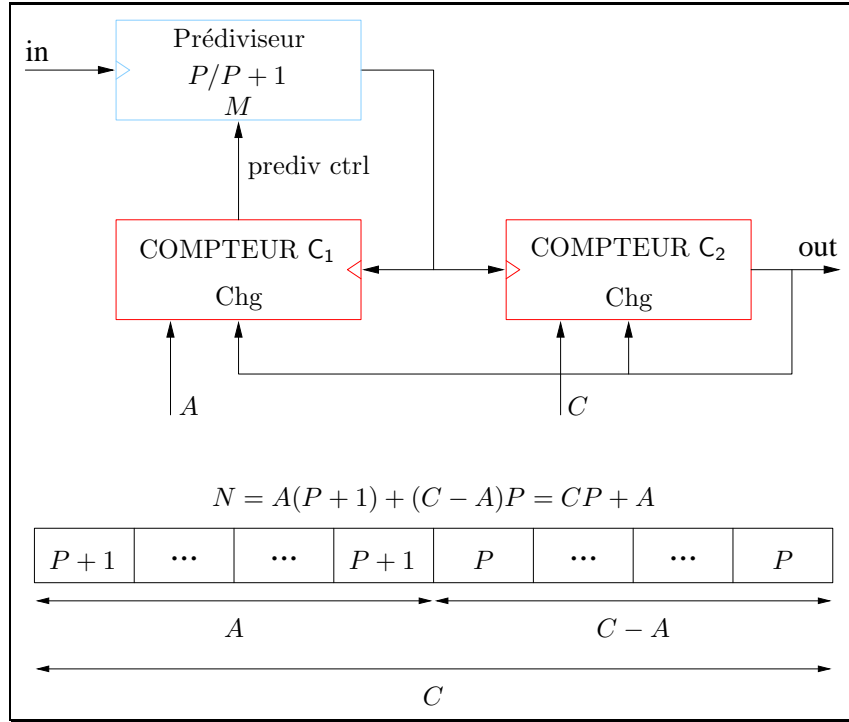


FIG. 2.4: Schéma d'un diviseur numérique programmable à double module

avec  $A$ , nombre entier compris dans l'intervalle  $[0; P[$ , et  $C > A$ . La fréquence de sortie  $f_{\text{out}}$  est donc égale à :

$$f_{\text{out}} = (CP + A) f_{\text{ref}}$$

On réalise ainsi un diviseur programmable en dissociant les difficultés que sont la programmation d'un côté et le fonctionnement à haute fréquence de l'autre : le prédiviseur (étage critique) fonctionne à haute fréquence et est faiblement programmable (choix simple,  $P$  ou  $P + 1$ ), les compteurs ou décompteurs CMOS fonctionnent à basse fréquence et permettent la programmation complète du diviseur.

### 2.1.4 Numérisation complète de la PLL (ADPLL)

Comme nous venons de le voir, certains blocs de la PLL peuvent être réalisés en utilisant des circuits numériques. Il existe aussi des réalisations de PLL dites entièrement numériques (ADPLL : « All Digital PLL »). Le schéma de principe est présenté fig. 2.5, il est constitué d'un PFD, d'un compteur « Up /Down » ( $C_1$ ) et d'un compteur simple ( $C_2$ ). Le fonctionnement est très proche d'une PLL classique, le compteur  $C_2$  est l'équivalent numérique du VCO : le NCO (« Numerically Controlled Oscillator »). C'est un compteur  $i$  bits qui, à chaque période d'horloge, ajoute la valeur  $V_{\text{ctrl}}$  à la valeur stockée en interne. Dès qu'il déborde (c.-à-d. que le nombre de bits n'est pas suffisant pour coder le résultat de l'addition), sa sortie change de valeur. Les débordements se produisent tous les  $\frac{2^i}{V_{\text{ctrl}} f_{\text{clk}}}$  de sorte que  $f_{\text{out}} = \frac{V_{\text{ctrl}} f_{\text{clk}}}{2^i}$ . Le PFD fournit des signaux Up et Down en fonction de l'écart de fréquence entre  $f_{\text{ref}}$  et  $f_{\text{out}}$ . En fonction de ces signaux, le compteur  $C_1$  compte ou décompte de sorte que la valeur en sortie  $V_{\text{ctrl}}$  de

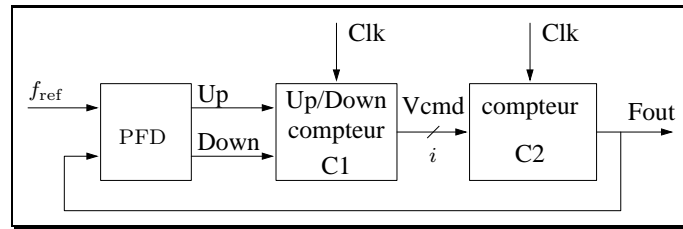


FIG. 2.5: Schéma de principe d'une PLL totalement numérique

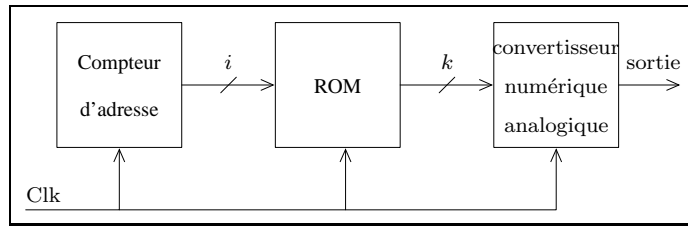


FIG. 2.6: Schéma bloc d'un diviseur évolué

celui ci (codée sur  $i$  bits) évolue de façon à diminuer l'écart de phase/fréquence (§2.1.2). La dynamique de la boucle peut être modifiée au travers du gain du compteur  $C_1$ . Les réalisations modernes [10, 11, 12] d'ADPLL utilisent des systèmes plus complexes (filtre numérique) qu'un simple compteur Up /Down, ceci afin d'obtenir de meilleures performances.

## 2.2 Principe du synthétiseur digital direct

### 2.2.1 Le diviseur fréquence évolué

Le DDS est né de l'idée de synthétiser un signal de façon totalement numérique. L'ancêtre du DDS (fig. 2.6) est basé sur ce principe. Il est constitué d'un compteur d'adresse, d'une mémoire non-volatile et d'un convertisseur numérique/analogique. Le compteur d'adresse est utilisé pour parcourir en boucle une ROM dans laquelle sont stockés les échantillons du signal à générer. Ces échantillons sont ensuite présentés à un convertisseur numérique/analogique qui crée un signal ensuite utilisable par des fonctions analogiques classiques. Bien que ce système possède de bonnes performances, que ce soit en terme de qualité de restitution du signal, de « jitter » ou de caractéristiques AC, il manque cruellement de flexibilité : la fréquence du signal en sortie est directement liée à la fréquence d'horloge  $f_{clk}$  ainsi qu'au nombre de périodes stockées dans la mémoire. Ce système est un diviseur de fréquence « évolué » car la forme d'onde du signal généré peut être choisie et il est par conséquent possible de créer des signaux quelconques.

### 2.2.2 Synthétiseur Digital Direct (DDS)

Le DDS est une évolution du « diviseur évolué ». Il fonctionne sur le principe de la création d'un signal à partir d'échantillons, non pas en faisant varier leur vitesse d'apparition mais en faisant varier leur nombre et ce à *vitesse constante*. Le DDS est constitué d'un accumulateur de

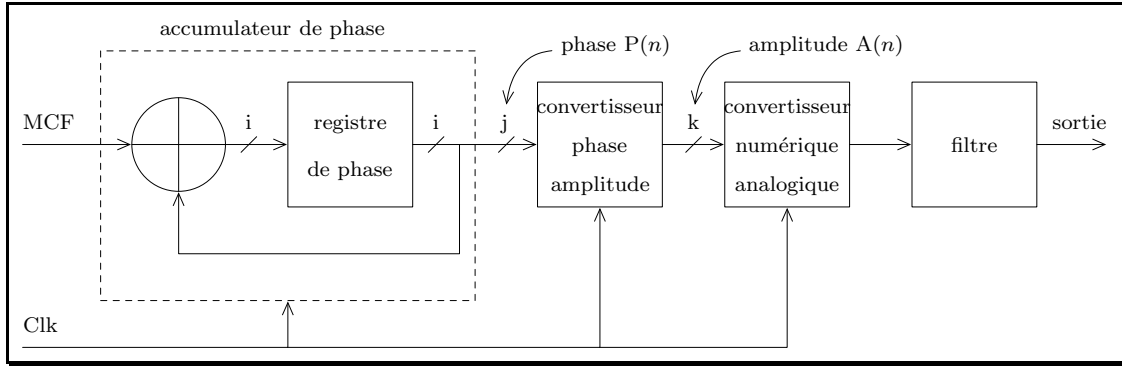


FIG. 2.7: Schéma bloc d'un DDS

phase, d'un convertisseur phase/amplitude, d'un convertisseur numérique/analogique et d'un filtre passe-bas (fig. 2.7). L'accumulateur de phase est réalisé à partir d'un additionneur et d'un registre de mémorisation. Sa sortie (valeur numérique codée sur  $i$  bits) représente la phase instantanée du signal à synthétiser telle que :  $[0; 2\pi] \implies [0; 2^i]$ . À chaque période d'horloge, le mot de contrôle de la fréquence (MCF) est ajouté à la valeur précédemment stockée dans le registre de phase. Il représente l'incrément de phase entre deux points successifs du signal de sortie. La continuité de la phase d'une période par rapport à la suivante est obtenue automatiquement par le comptage implicitement cyclique de l'accumulateur de phase. La fréquence du signal généré  $f_{\text{out}}$ , définie comme la dérivée de la phase instantanée par rapport au temps, est donnée par :

$$f_{\text{out}} = \frac{\text{MCF} \times f_{\text{clk}}}{2^i}; \forall f_{\text{out}} \leq \frac{f_{\text{clk}}}{2} \quad (2.1)$$

La limitation sur les valeurs possibles de  $f_{\text{out}}$  est dictée par le théorème d'échantillonnage. Cependant comme nous le verrons, certains modes de fonctionnement du DDS permettent de dépasser cette limite. La résolution fréquentielle du DDS (2.2) est obtenue pour  $\text{MCF} = 1$ . Cette valeur représente aussi la plus petite fréquence synthétisable.

$$\Delta F = \frac{f_{\text{clk}}}{2^i} \quad (2.2)$$

Le convertisseur phase/amplitude transforme la phase instantanée  $P(n)$  fournie par l'accumulateur de phase en signal « utile »  $A(n)$  en lui appliquant une fonction  $F$  qui est généralement  $\sin(x)$  mais qui peut en fait être quelconque (2.3) :

$$S_{\text{out}} = F \left[ 2\pi \frac{A(n)}{2^i} \right] \quad (2.3)$$

Le DDS se comporte comme un diviseur fractionnaire, ce qui signifie que le nombre de points utilisés pour reconstituer un signal peut ne pas être entier. En effet, si l'on prend pour

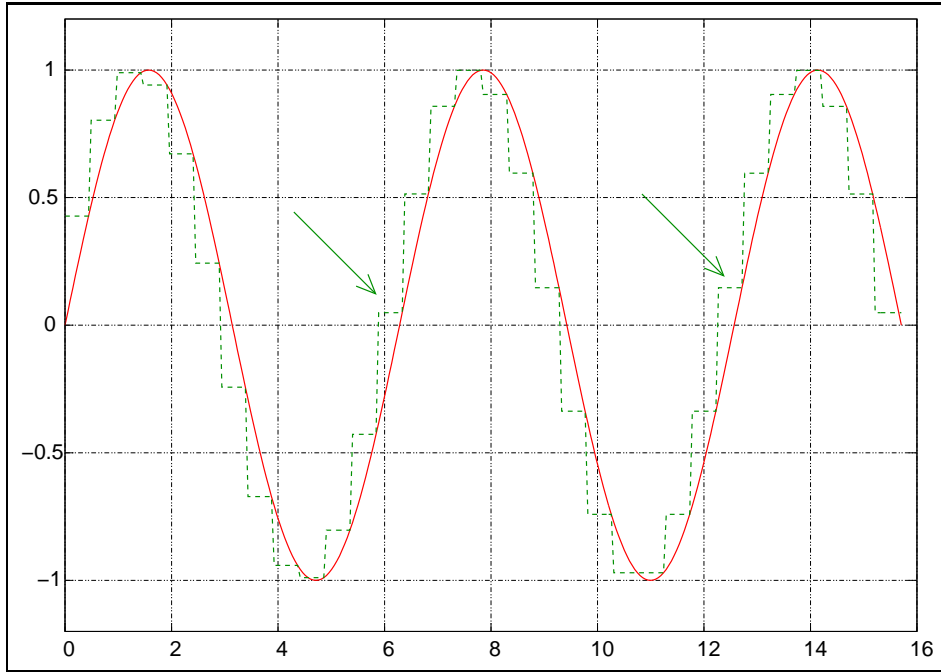


FIG. 2.8: Courbes en sortie du DDS avec un nombre de points non entier

exemple un DDS 8-bits avec une programmation égale à 20, la fréquence en sortie obtenue selon (2.1) est égale à  $f_{\text{clk}}/12,8$ . Les courbes correspondantes sont montrées fig. 2.8. Les flèches indiquent comment une période est donc interpolée en utilisant un et/ou deux points de la période précédente et/ou suivante. Il apparaît alors une sous-période  $P_a$  appelée période de l'accumulateur de phase telle que  $P(n) = P(n + P_a)$  avec<sup>2</sup> :

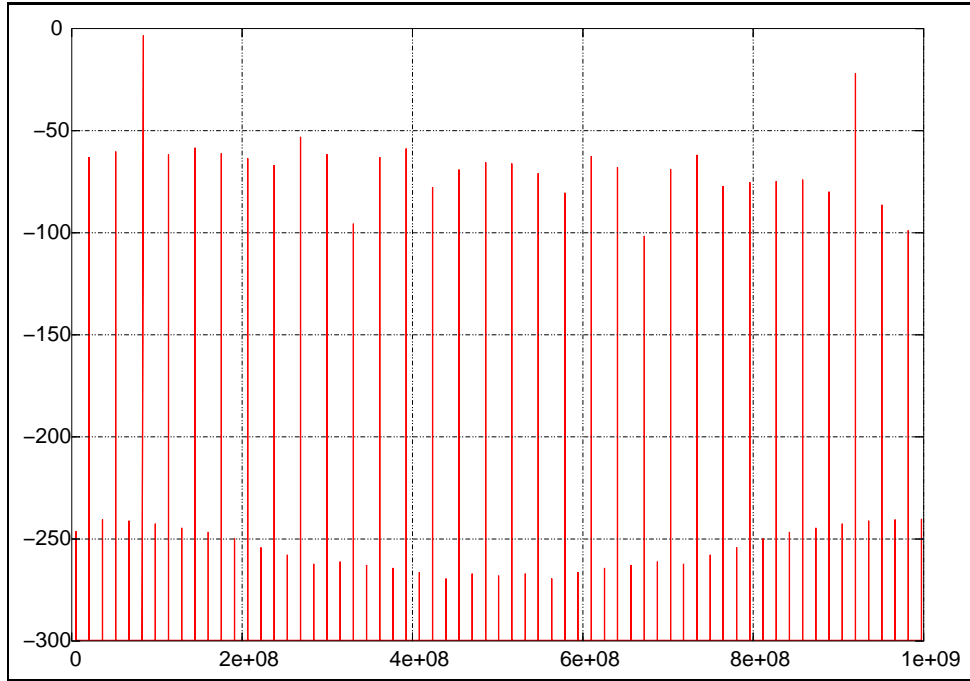
$$P_a = \frac{2^i}{\text{PGDC} \cdots (\text{MCF}, 2^i)} \quad (2.4)$$

L'unité est un cycle d'horloge. Dans l'exemple donné, le plus grand diviseur commun entre 20 et 256 est 4 donc  $P_a = 256/4$  soit  $P_a = 64$ . Il résulte de cette sous-période que le spectre en sortie de l'accumulateur de phase est constitué de raies espacées de  $1/P_a$  comme le montre la fig. 2.9.

## 2.3 L'accumulateur de phase

L'accumulateur de phase est utilisé dans le DDS afin de calculer les points de phase nécessaires à la construction d'un signal de fréquence donnée. Celle-ci sera limitée à 40% de la fréquence d'horloge du DDS, qui elle dépend de la technologie ainsi que de la structure du système. Il est composé de deux blocs : un additionneur et un registre de mémorisation. L'accumulateur de phase doit être conçu en fonction des caractéristiques attendues pour le DDS qui sont principalement la fréquence maximale d'utilisation, la résolution en fréquence, la puissance dissipée et

<sup>2</sup>où PGDC signifie « plus grand diviseur commun »

FIG. 2.9: Spectre en sortie de l'accumulateur de phase pour  $MCF=20$ 

la pureté spectrale. Pour ce faire, il faut choisir une structure pour l'additionneur (propagation de retenue, anticipation de retenue,...) et une structure pour l'accumulateur (simple, parallèle, « pipeline »,...).

L'accumulateur de phase est réalisé en 2 parties : un additionneur et un registre de mémorisation fig. 2.7. À chaque période d'horloge, la valeur présente sur  $A$  est additionnée à la valeur précédemment stockée dans le registre.

### 2.3.1 Additionneur à propagation de retenue

Il existe un grand nombre de structures d'additionneur, la plus simple étant celle qui utilise la technique de « propagation de la retenue ». Un additionneur  $n$ -bits utilisant cette structure est réalisé en cascader  $n$  additionneurs 1-bit complets (fig. 2.10). Le premier additionneur calcule la somme et la retenue, indépendamment l'une de l'autre, en fonction des bits de poids les plus faibles :

$$S_0 = A_0 \cdot (B_0 \odot C_{-1}) + \overline{A_0} \cdot (B_0 \oplus C_{-1}) \quad (2.5)$$

$$C_0 = A_0 \cdot (B_0 + C_{-1}) + \overline{A_0} \cdot (B_0 \cdot C_{-1}) \quad (2.6)$$

$$= A_0 \cdot B_0 + A_0 \cdot C_{-1} + B_0 \cdot C_{-1} \quad (2.7)$$

La retenue  $C_0$  peut maintenant être utilisée par le second additionneur pour calculer les valeurs suivantes. Ainsi le processus peut se répéter jusqu'au dernier étage. L'opération est terminée quand le dernier additionneur a effectué la dernière somme, pour cela il lui faut



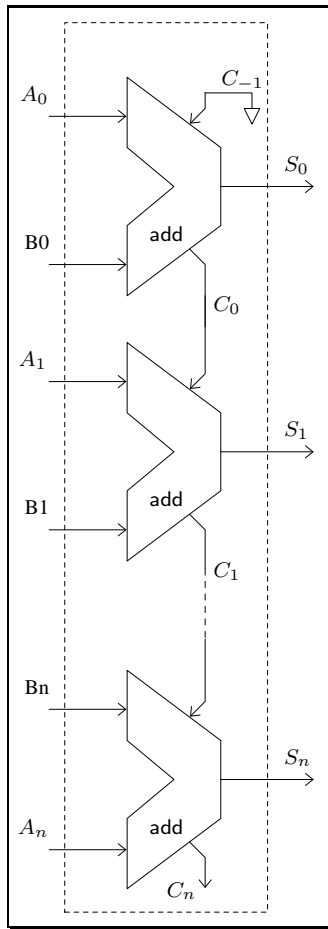


FIG. 2.10: Schéma d'un additionneur à propagation de retenue

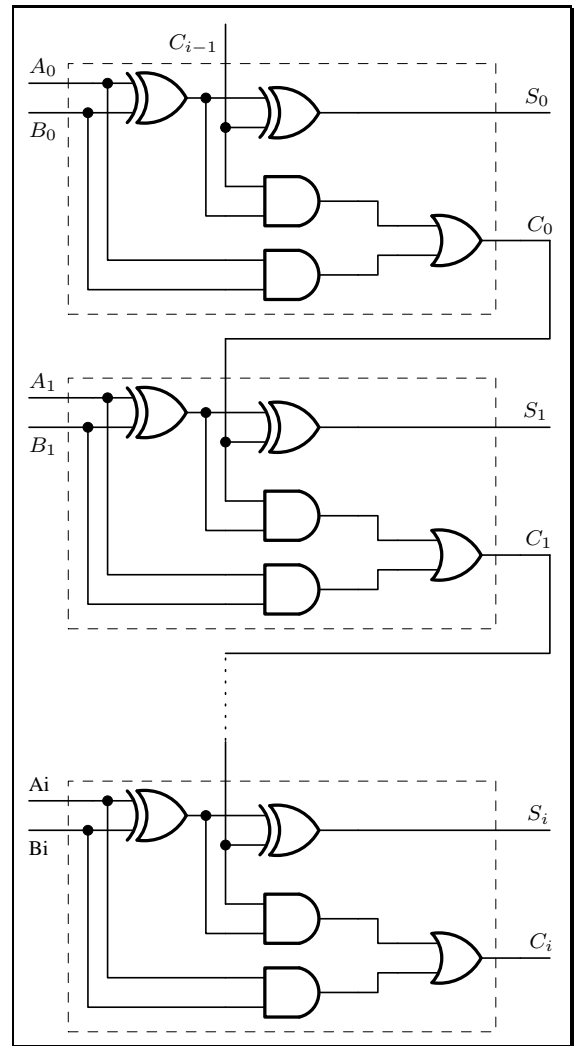


FIG. 2.11: Réalisation à base de portes logiques d'un additionneur à propagation de retenue

attendre que la retenue entrante soit disponible. Le temps nécessaire à une addition de deux mots de  $n$  bits est donc composé de  $n - 1$  calculs de retenue et du calcul d'une somme :

$$T_{\text{add}} = (n - 1) \cdot \tau_c + \tau_s \quad (2.8)$$

où  $\tau_c$  et  $\tau_s$  sont respectivement les temps de propagation de la retenue et de la somme à travers un étage. Une réalisation à base de portes logiques de ce type d'additionneur est présenté fig. 2.11. Chaque additionneur est constitué de deux portes OU-exclusif, de deux portes ET et d'une porte OU. Cependant cette implémentation n'est pas utilisée, on lui préférera une structure de type anticipation de retenue (§2.3.2) dont les performances sont meilleures.

### 2.3.2 Additionneur à anticipation de retenue

Nous avons vu (§2.3.1) que dans un additionneur à propagation de retenue, la somme du  $i^{\text{e}}$  bit ne peut être calculée que quand la retenue associée est disponible. Nous avons vu aussi l'équation qui permet de calculer la retenue pour un rang donné (2.7). Afin d'augmenter la vitesse de l'additionneur, on pourrait être tenté de remplacer la valeur de la retenue entrante par l'équation qui permet de la calculer, on obtiendrait alors pour  $S_1$  et  $C_1$  :

$$\begin{aligned} S_1 &= A_1 \cdot (B_1 \odot C_0) + \overline{A_1} \cdot (B_1 \oplus C_0) \\ &= A_1 \cdot (B_1 \odot (A_0 \cdot B_0 + A_0 \cdot C_{-1} + B_0 \cdot C_{-1})) + \overline{A_1} \cdot (B_1 \oplus (A_0 \cdot B_0 + A_0 \cdot C_{-1} + B_0 \cdot C_{-1})) \\ C_1 &= A_1 \cdot B_1 + A_1 \cdot C_0 + B_1 \cdot C_0 \\ &= A_1 \cdot B_1 + A_1 \cdot (A_0 \cdot B_0 + A_0 \cdot C_{-1} + B_0 \cdot C_{-1}) + B_1 \cdot (A_0 \cdot B_0 + A_0 \cdot C_{-1} + B_0 \cdot C_{-1}) \end{aligned}$$

On voit immédiatement que le résultat est une formule complexe qui rend cette technique totalement impraticable pour un additionneur de, par exemple, 16 bits. La solution qui permet d'anticiper la retenue en fonction de  $A$  et de  $B$  utilise deux variables intermédiaires  $g$  et  $p$  qui détermine si pour un rang  $i$  donné une retenue va être générée ( $g_i$ ) ou propagée ( $p_i$ ) :

$$\begin{aligned} g_i &= A_i \cdot B_i \\ p_i &= A_i + B_i \end{aligned}$$

Le calcul des trois premières retenues est donné par :

$$\begin{aligned} C_1 &= g_0 + (p_0 \cdot g_{-1}) + (p_0 \cdot p_{-1} \cdot C_{-1}) \\ C_2 &= g_1 + (p_1 \cdot g_0) + (p_1 \cdot p_0 \cdot g_{-1}) + (p_1 \cdot p_0 \cdot p_{-1} \cdot C_{-1}) \\ C_3 &= g_2 + (p_2 \cdot g_1) + (p_2 \cdot p_1 \cdot g_0) + (p_2 \cdot p_1 \cdot p_0 \cdot g_{-1}) + (p_2 \cdot p_1 \cdot p_0 \cdot p_{-1} \cdot C_{-1}) \end{aligned}$$

Le temps de calcul de chaque retenue est pratiquement identique puisque le nombre de portes logiques à traverser est le même. Pour être plus précis, il faut tenir compte du fait que plus une porte logique a d'entrées, moins elle est rapide, les retenues de poids fort sont donc légèrement plus lentes à calculer. Cette technique de réalisation des additionneurs n'a d'intérêt que si le temps de calcul est inférieur à celui qui aurait été obtenu grâce à la méthode classique. Pour calculer la retenue le signal doit traverser trois portes logiques successives alors qu'il y en a trois par étage d'addition pour la structure précédente (§2.3.1). cette structure est donc meilleure quelle que soit le nombre de bits de l'additionneur. La limite est donc le nombre d'entrée que peuvent avoir les portes OU et ET disponibles. La réalisation et l'optimisation d'additionneurs sont assez complexes car les structures présentées ne sont utilisées que quand la technologie impose l'utilisation de portes logiques, ce qui est les cas des circuits logiques programmables. Les réalisations intégrées utilisent des topologies au niveau transistor, les comparaisons du

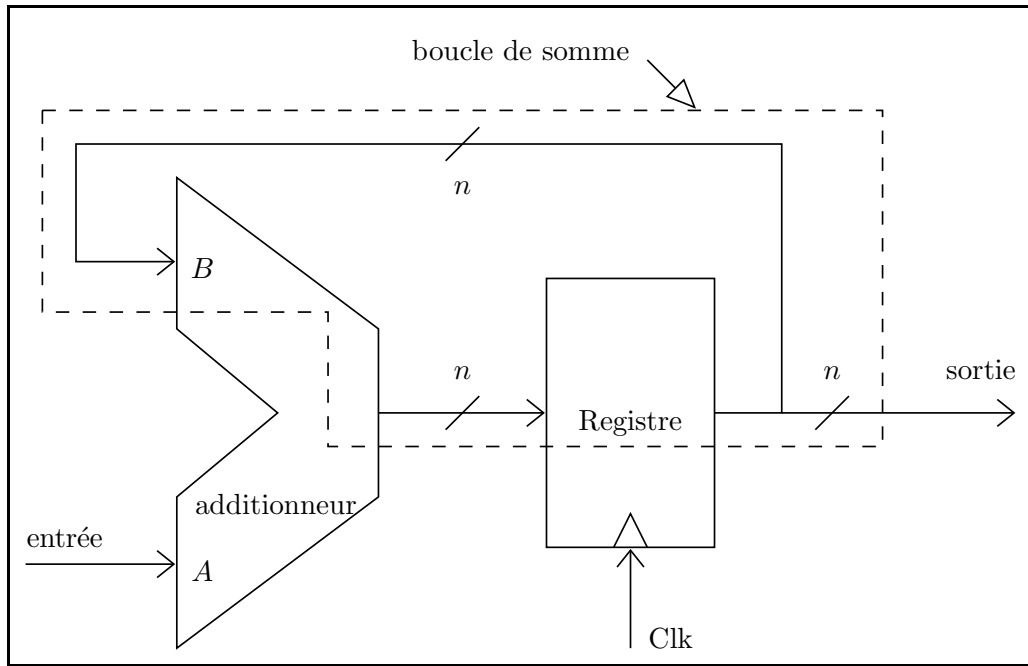


FIG. 2.12: Schéma d'un accumulateur à structure simple

temps de calcul des retenues des deux structures n'est alors plus aussi simple. Il faut étudier chaque réalisation dans une technologie donnée pour pouvoir conclure sur la structure la plus appropriée.

### 2.3.3 Accumulateur à structure simple

Nous venons de voir qu'il existe plusieurs implémentations possibles pour réaliser les additionneurs, il faut maintenant choisir la façon dont ils vont être agencés. L'accumulateur le plus simple n'utilise qu'un additionneur et un registre de mémorisation ( $n$ -bits chacun) comme le montre la fig. 2.12. Pour calculer la fréquence maximale  $f_{acc}$  de ce type d'accumulateur, il faut tenir compte à la fois du temps nécessaire à l'additionneur pour effectuer l'addition  $\tau_{add}$  mais aussi du temps de mémorisation  $\tau_r$  dans le registre, on obtient donc :

$$f_{acc} = \frac{1}{\tau_{add} + \tau_r} \quad (2.9)$$

Les avantages de cette structure viennent du fait qu'elle n'utilise que  $n$  additionneurs et  $n$  registres, elle consomme peu et occupe une surface d'intégration réduite. En contrepartie, elle a une fréquence de fonctionnement limitée.

### 2.3.4 Accumulateur à structure parallèle

Afin d'augmenter la vitesse de fonctionnement de l'accumulateur, il est possible de faire travailler plusieurs additionneurs en parallèle. Un exemple de structure d'accumulateur parallèle

à quatre étages est présenté fig. 2.13. Les quatre additionneurs  $\text{add}_{1..4}$  sont utilisés pour calculer simultanément les quatre valeurs successives  $S(n+1)$ ,  $S(n+2)$ ,  $S(n+3)$  et  $S(n+4)$  selon les équations suivantes :

$$S(n+1) = S(n) + E \quad (2.10)$$

$$S(n+2) = S(n+1) + E = S(n) + 2E \quad (2.11)$$

$$S(n+3) = S(n+2) + E = S(n) + E + 2E \quad (2.12)$$

$$S(n+4) = S(n+3) + E = S(n) + 4E \quad (2.13)$$

Elles sont ensuite présentées en sortie grâce à un multiplexeur qui fonctionne à une fréquence quatre fois plus élevée que celle des additionneurs. La vitesse de cette structure n'est pas quatre fois supérieure à celle d'un additionneur simple car seuls  $\text{add}_3$  et  $\text{add}_{3b}$  brident la structure. En effet, les multiplications par 2 et 4 ne sont que de simples décalages à gauche (en base 2), elles sont donc réalisées par câblage<sup>3</sup>. Cependant, l'utilisation d'un additionneur à trois entrées à la place de deux en série permet de ne pas trop dégrader les performances. La structure présentée existe en version simplifiée, où ne sont utilisés que les deux premiers additionneurs, leurs registres associés et un multiplexeur 2:1.

### 2.3.5 Accumulateur à structure pipeline

De façon générale et pour une technologie donnée, le temps de propagation de la retenue à travers les  $n$  étages de l'additionneur est largement supérieur au temps de mémorisation du registre. Il est alors possible d'utiliser cette propriété afin de réaliser des manipulations de stockage et/ou décalage qui vont permettre d'effectuer l'addition en plusieurs étapes. C'est la technique dite de « pipeline ». Elle est couramment utilisée dans les unités arithmétiques des microprocesseurs. La table 2.1 illustre le fonctionnement de l'accumulateur « pipeline » à 3 étages représenté fig. 2.14 (tous les registres sont synchronisés sur la même horloge qui n'a pas été représentée pour plus de lisibilité). Elle décrit les 5 cycles d'horloge nécessaires à l'accumulation de 3 valeurs :  $x$ ,  $y$  et  $z$ . L'accumulateur de phase  $n$ -bits est décomposé en 3 accumulateurs ( $j$ -bits) de sorte que  $n = 3j$ . Considérons que l'accumulateur est initialisé : toutes les valeurs sont à 0. Les valeurs appliquées sur l'entrée  $A$  sont décomposées de sorte que  $A_0$  contienne les  $j$  bits de poids faible,  $A_1$  les  $j$  bits de poids moyens et  $A_2$  les  $j$  bits de poids forts. L'accumulation de  $x$  va se réaliser en trois cycles d'horloge :

- 1<sup>er</sup> cycle,  $x$  est présent sur  $A$  :
  - l'accumulateur ACC0 calcule les valeurs de  $S_{0,0}(x)$  et  $C_0(x)$ ,
  - $A_{1,1}$  reçoit  $A_{1,0}(x)$ ,
  - $A_{2,1}$  reçoit  $A_{2,0}(x)$ .

---

<sup>3</sup>le bus (a) contenant la donnée à multiplier est connecté sur le bus (b) d'arrivée avec un décalage :  $0 \rightarrow b_0$ ,  $a_0 \rightarrow b_1$ ,  $a_1 \rightarrow b_2$  et ainsi de suite.

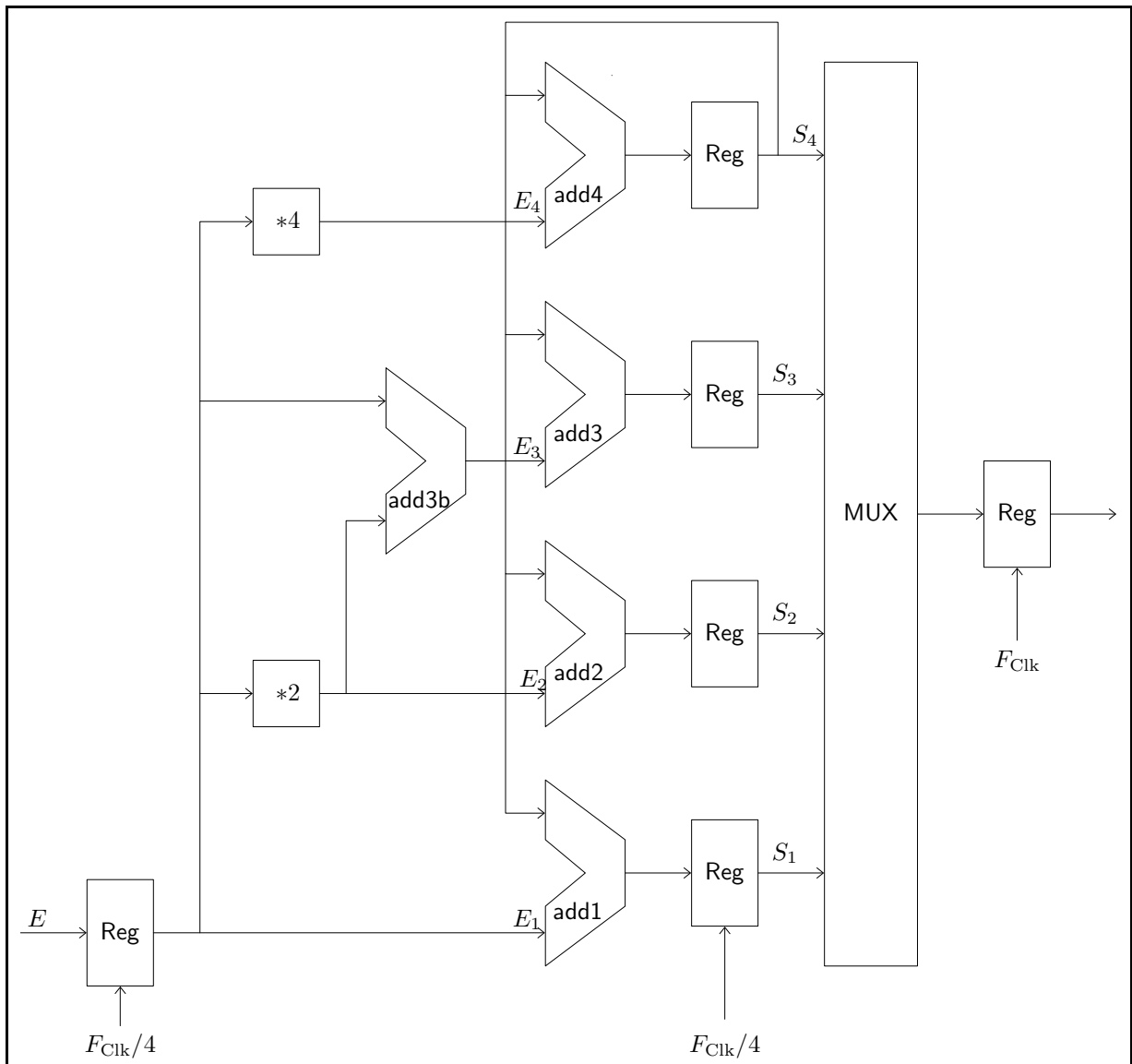


FIG. 2.13: Schéma d'un accumulateur à structure parallèle

	init	1	2	3	4	5
$A_{0,0}$	0	$x$	$y$	$z$	...	...
$S_{0,0}$	0	$x$	$x+y$	$x+y+z$	...	...
$S_{0,1}$	0	0	$x$	$x+y$	$x+y+z$	...
$S_{0,2}$	0	0	0	$x$	$x+y$	$x+y+z$
$A_{1,0}$	0	$x$	$y$	$z$	...	...
$A_{1,1}$	0	0	$x$	$y$	$z$	...
$S_{1,0}$	0	0	$x$	$x+y$	$x+y+z$	...
$S_{1,1}$	0	0	0	$x$	$x+y$	$x+y+z$
$A_{2,0}$	0	$x$	$y$	$z$	...	...
$A_{2,1}$	0	0	$x$	$y$	$z$	...
$A_{2,2}$	0	0	0	$x$	$y$	$z$
$S_{2,0}$	0	0	0	$x$	$x+y$	$x+y+z$

TAB. 2.1: Représentation du fonctionnement d'un accumulateur « pipeline » à 3 étages

- 2<sup>e</sup> cycle,  $y$  est présent sur  $A$  :
  - l'accumulateur  $ACC_0$  calcule les valeurs de  $S_{0,0}(y)$  et  $C_0(y)$ ,  $S_{0,1}$  reçoit  $S_{0,0}(x)$ ,
  - l'accumulateur  $ACC_1$  calcule les valeurs de  $S_{1,0}(x)$  et  $C_1(x)$ ,  $A_{1,1}$  reçoit  $A_{1,0}(y)$ ,
  - $A_{2,1}$  reçoit  $A_{2,0}(y)$ ,  $A_{2,2}$  reçoit  $A_{2,1}(x)$ .
- 3<sup>e</sup> cycle,  $z$  est présent sur  $A$  :
  - l'accumulateur  $ACC_0$  calcule les valeurs de  $S_{0,0}(z)$ ,  $C_0(z)$ ,  $S_{0,1}$  reçoit  $S_{0,1}(y)$  et  $S_{2,1}$  reçoit  $S_{1,1}(x)$ ,
  - l'accumulateur  $ACC_1$  calcule les valeurs de  $S_{1,0}(y)$  et  $C_1(y)$ ,  $A_{1,1}$  reçoit  $A_{1,0}(z)$  et  $S_{1,1}$  reçoit  $S_{1,0}(x)$ ,
  - l'accumulateur  $ACC_2$  calcule les valeurs de  $S_{2,0}(x)$ ,  $A_{2,1}$  reçoit  $A_{2,0}(z)$ ,  $A_{2,2}$  reçoit  $A_{2,1}(y)$ .

Les trois additionneurs utilisés sont trois fois plus petits (en nombre de bits) que l'additionneur complet équivalent, ils sont donc susceptibles de fonctionner trois fois plus vite. En admettant que ce soit le cas, il faut trois cycles d'horloge pour effectuer l'accumulation complète, il n'y a donc pas de gain de temps pour une accumulation. Si nous regardons l'état de l'accumulateur à la fin des trois cycles, nous pouvons remarquer que l'accumulation de  $y$  est réalisée aux deux tiers et celle de  $z$  à un tiers, de sorte qu'au cycle suivant  $y$  sera disponible, puis au suivant  $z$ , ...

Le dimensionnement d'une structure « pipeline » doit alors être fait en fonction d'un compromis entre le gain en vitesse de fonctionnement et la puissance dissipée. Prenons l'exemple d'un accumulateur 12 bits dont le résumé des caractéristiques des diverses structures « pipeline » utilisables pour le réaliser est présenté tab. 2.2. Comme nous l'avons vu précédemment dans l'équation 2.9, le temps nécessaire pour effectuer une addition dépend de trois paramètres : le temps de propagation de la retenue à travers un étage  $\tau_c$ , le temps de calcul de la somme  $\tau_s$  et le temps de propagation à travers le registre de mémorisation  $\tau_r$ . Pour une technologie donnée

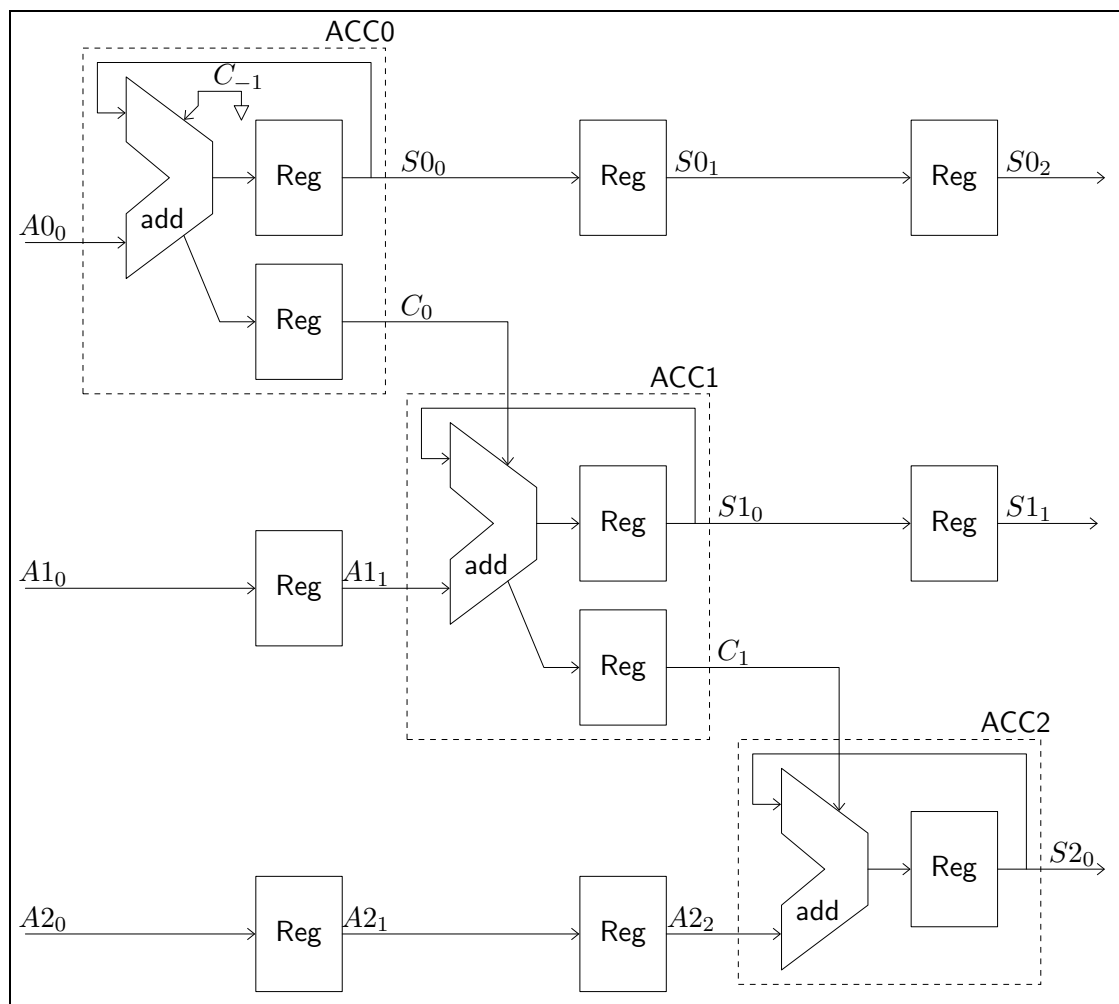


FIG. 2.14: Schéma d'un accumulateur de phase à structure « pipeline »

Décomposition	Temps d'accumulation	Gain en fréquence	Nombre de registres	Puissance dissipée par bit	Puissance / gain en fréquence
1 × 12-bits	$11\tau_c + \tau_s + \tau_r = 13$	1	12	1	1
2 × 6-bits	$5\tau_c + \tau_s + \tau_r = 7$	1,86	25	2,08	1,12
3 × 4-bits	$3\tau_c + \tau_s + \tau_r = 5$	2,6	38	3,17	1,22
4 × 3-bits	$2\tau_c + \tau_s + \tau_r = 4$	3,25	51	4,25	1,31
6 × 2-bits	$1\tau_c + \tau_s + \tau_r = 3$	4,33	77	6,42	1,48
12 × 1-bit	$0\tau_c + \tau_s + \tau_r = 2$	6,5	153	12,75	1,96

TAB. 2.2: Comparaison des caractéristiques (normalisées par rapport à l'accumulateur simple : 1 × 12-bits) des différentes structures « pipeline » utilisables pour réaliser un accumulateur 12 bits

il est possible de faire l'approximation  $\tau_r = \tau_s = \tau_c$ . Dans un additionneur ayant un nombre de bits important c'est  $(n-1)\tau_c$  qui est prépondérant car le temps nécessaire à l'addition est dû au temps de propagation de la retenue à travers tous les additionneurs. Au contraire, si le nombre de bits est faible,  $\tau_r$  et  $\tau_s$  ne sont plus négligeables ce qui limite le gain en vitesse. En effet un accumulateur utilisant une structure « pipeline » de type 12 × 1-bit n'est pas 12 fois plus rapide que la structure simple 1 × 12-bits mais seulement 6,5 fois. Un autre facteur important dont il faut tenir compte est la puissance dissipée. Celle-ci augmente de façon quasi-linéaire en fonction du nombre d'étage de la structure « pipeline ».

## 2.4 Techniques de conversion phase/amplitude

Il existe un grand nombre de techniques pour convertir la phase en amplitude qui possèdent chacune leurs avantages et inconvénients. Elles peuvent être classées en trois grandes familles. D'abord, celles qui utilisent une (voire plusieurs) mémoire dans laquelle est stockée l'information de conversion. Ensuite, celles qui utilisent l'implémentation matérielle d'un algorithme complexe : approximation parabolique, série de Taylor, CORDIC... Enfin, la dernière famille englobe toutes les structures basées sur la modification du convertisseur analogique/numérique (non-linéaire, segmenté...). Il n'est pas possible de détailler ici toutes ces méthodes, aussi nous décrirons seulement un exemple dans chaque famille : l'utilisation d'une mémoire, de l'algorithme CORDIC et un convertisseur numérique/analogique non-linéaire.

### 2.4.1 Utilisation d'une mémoire ROM/RAM

#### 2.4.1.1 Principe

L'utilisation d'une ROM afin de convertir la phase en amplitude est la première technique qui a été implémentée dans un DDS. Le bus d'adresses de la mémoire est connecté à la sortie de l'accumulateur et le bus de données au convertisseur N/A de sorte qu'à chaque valeur de phase calculée par l'accumulateur corresponde une amplitude stockée dans la ROM. La taille de la ROM est  $2^j \times k$  bits (fig. 2.7) où  $j$  représente le nombre de bits utilisés pour coder la



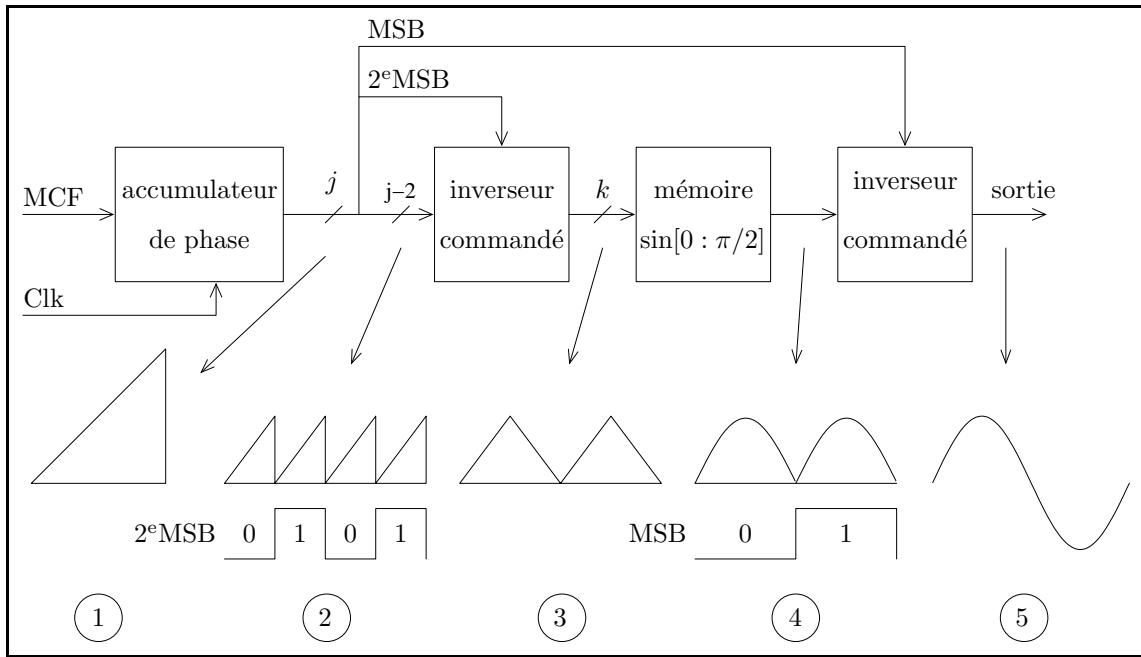


FIG. 2.15: Schéma d'un DDS avec décodage des symétries

phase et  $k$  le nombre de bits utilisés pour coder l'amplitude. Le nombre de mots utilisés pour coder la phase ( $2^j$ ) va déterminer l'erreur de quantification de phase et le nombre de bits dans un mot va déterminer l'erreur de quantification d'amplitude. La qualité spectrale d'un DDS utilisant une mémoire est déterminée par la résolution et la quantité de valeurs stockées dans la ROM. Dans une certaine mesure il est possible d'augmenter la taille de la ROM pour améliorer les performances du DDS mais rapidement la puissance dissipée, la vitesse de fonctionnement, la surface, et donc le coût deviennent rapidement prohibitifs. Le remplacement de la ROM par une RAM permet de rendre le DDS plus versatile car il devient possible de changer la forme d'onde du signal en temps réel en fonction des besoins de l'application. De plus, les performances dynamiques des mémoires RAM étant supérieures à celles des ROM, la vitesse de fonctionnement sera améliorée. En contrepartie, il est nécessaire d'avoir un système qui permette de remplir la RAM.

#### 2.4.1.2 Exploitation des symétries de la fonction

L'utilisation d'une mémoire comme convertisseur phase/amplitude est toujours couplée à un système qui permet de décoder les éventuelles symétries de la fonction. Par exemple, toute l'information nécessaire pour construire un sinus est contenue dans  $[0; \pi/2]$  ce qui permet de diviser par quatre le nombre d'échantillons et donc la taille de la mémoire. Le schéma bloc d'un DDS avec les systèmes de décodage des symétries présenté fig. 2.15 comprend un accumulateur de phase qui est identique à celui utilisé dans la structure simple, puisqu'il génère une rampe numérique codée sur  $j$  bits dont la pente est proportionnelle au mot de contrôle (1).

On extrait les 2 bits de poids les plus forts de la rampe de telle sorte que les bits restants représentent 4 rampes successives d'amplitude 4 fois plus faible (2). Le premier inverseur com-

mandé complémente les valeurs qui lui sont présentées quand le second bit de poids fort est à 1, il en résulte alors un signal triangulaire (3). Ce signal est converti en valeur absolue de sinus par la mémoire qui contient un quart de la fonction sinus (4). Enfin, le bit de poids le plus fort inverse les signaux présentés au second inverseur commandé, le signal obtenu en sortie est un sinus (5). Cette technique est extrêmement simple à mettre en oeuvre car les inverseurs commandés sont réalisables avec des portes ou exclusif. De plus, la qualité du signal est strictement identique à celle que l'on aurait obtenue sans cette technique assimilable à de la compression de données non destructive. Les portes ou-exclusif sont largement plus rapides que la mémoire, et leur ajout ne pénalise en rien le gain en vitesse obtenue par la réduction de la taille de la mémoire.

## 2.4.2 L'algorithme CORDIC

L'algorithme CORDIC (« COordinate Rotation Digital Computer ») fut introduit à l'origine en [13] pour répondre à des besoins de calculs dans le domaine de la navigation aérienne qui étaient auparavant réalisés au moyen de servo-systèmes analogiques. Il était utilisé pour effectuer des rotations de vecteurs, des changements de coordonnées cartésiennes-polaires et polaires-cartésiennes dans le plan euclidien. Utilisé sous différentes formes, il permet le calcul de racines carrées et des fonctions trigonométriques sinus, cosinus, tangente ainsi que leurs inverses. Un choix judicieux des conditions de calcul limite les opérations nécessaires à des primitives élémentaires : additions, soustractions et décalages. Cette particularité a permis son utilisation massive sous forme programmée ou câblée dans les processeurs de calcul numérique. Il est apparu dans les DDS afin de supprimer la mémoire du convertisseur phase/amplitude.

### 2.4.2.1 Principe mathématique

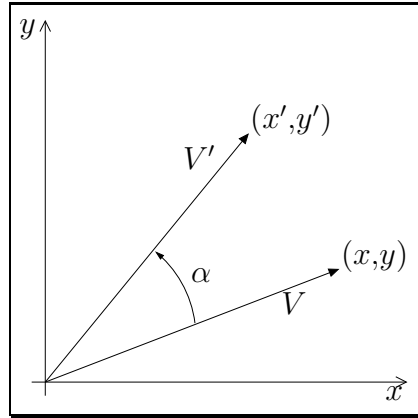
Dans un DDS, l'algorithme CORDIC est utilisé pour calculer le sinus et/ou le cosinus d'un angle. Pour ce faire, il effectue des rotations de vecteurs dans le plan complexe. Le vecteur  $V'$  de coordonnées  $(x', y')$  est défini comme le résultat de la rotation d'angle  $\alpha$  du vecteur  $V$  de coordonnées  $(x, y)$ , comme illustré fig. 2.16.

Cette opération peut être décrite par :

$$V' = \begin{bmatrix} x' \\ y' \end{bmatrix} = \begin{bmatrix} x \cdot \cos(\alpha) - y \cdot \sin(\alpha) \\ x \cdot \sin(\alpha) + y \cdot \cos(\alpha) \end{bmatrix} \quad (2.14)$$

Les équations pour  $x'$  et  $y'$  peuvent être écrites individuellement :

$$\begin{cases} x' = x \cdot \cos(\alpha) - y \cdot \sin(\alpha) \\ y' = x \cdot \sin(\alpha) + y \cdot \cos(\alpha) \end{cases}$$

FIG. 2.16: Rotation d'un vecteur  $V$  d'angle  $\alpha$ 

en mettant  $\cos(\alpha)$  en facteur on obtient :

$$x' = \cos(\alpha)(x - y \cdot \tan(\alpha)) \quad (2.15)$$

$$y' = \cos(\alpha)(x \cdot \tan(\alpha) + y) \quad (2.16)$$

En se basant sur les relations trigonométriques  $\cos(\alpha) = \cos(-\alpha)$  et  $\tan(\alpha) = -\tan(-\alpha)$ , on peut introduire  $d = \pm 1$  dans les équations pour contrôler le sens de rotation :

$$x' = \cos(\alpha)(x - d \cdot y \cdot \tan(\alpha)) \quad (2.17)$$

$$y' = \cos(\alpha)(d \cdot x \cdot \tan(\alpha) + y) \quad (2.18)$$

l'angle de rotation sera  $\alpha$  si  $d = 1$  et  $-\alpha$  si  $d = -1$ .

Ces équations peuvent être interprétées comme deux opérations distinctes : une rotation-réduction du vecteur (termes en  $x$ ,  $y$  et  $\tan(\alpha)$ ) et un agrandissement qui compense la réduction (termes en  $\cos(\alpha)$ ). À ce stade, il est difficile d'implémenter ces équations à cause des multiplications par  $\cos(\alpha)$  et  $\tan(\alpha)$ . En effet, on cherche à les calculer. La rotation d'angle  $\alpha$  va donc être décomposée en une succession de rotations d'angles  $\theta_i$ , choisis de façon à être plus simples à calculer tel que :

$$\sum_{i=0}^{\infty} \theta_i = \alpha \quad (2.19)$$

Les rotations successives peuvent être décrites par les équations récurrentes suivantes :

$$x_{i+1} = \cos(\theta_i) [x_i - d_i \cdot \tan(\theta_i) y_i] \quad (2.20)$$

$$y_{i+1} = \cos(\theta_i) (y_i + d_i \cdot \tan(\theta_i) x_i) \quad (2.21)$$

Il faut maintenant choisir les angles  $\theta_i$ . C'est ici qu'intervient toute l'astuce de cet algorithme : on va utiliser les angles  $\theta_i$  de telle sorte que  $\tan(\theta_i) = \pm 2^{-i}$ . Plus généralement on

Itération	$\tan(\theta_i)$	$\theta_i$ (rad)	$\theta_i$ (°)
0	1	0,7854	45
1	0,5	0,46365	26,565
2	0,25	0,24498	14,036
3	0,125	0,12435	7,125
4	0,0625	0,06242	3,576
5	0,03125	0,03124	1,789
6	0,01563	0,01562	0,895
7	0,00391	0,00781	0,447

TAB. 2.3: Valeur des  $\tan(\theta_i)$  et  $\theta_i$  pour les huit premières itérations

i	$\theta_i$	d	10	d	20	d	30	d	40	d	50	d	60	d	70	d	80	d	90
0	45	1	45	1	45	1	45	1	45	1	45	1	45	1	45	1	45	1	45
1	26.56	-1	18.43	-1	18.43	-1	18.43	-1	18.43	1	71.56	1	71.56	1	71.56	1	71.56	1	71.56
2	14.03	-1	4.39	1	32.47	1	32.47	1	32.47	-1	57.52	-1	57.52	-1	57.52	-1	85.60	1	85.60
3	7.12	1	11.52	-1	25.34	-1	25.34	1	39.59	-1	50.40	1	64.65	1	64.65	-1	78.47	1	92.72
4	3.57	-1	7.94	-1	21.76	1	28.92	1	43.17	-1	46.82	-1	61.07		68.23	1	82.05	-1	89.14
5	1.78	1	9.73	-1	19.97	1	30.71	-1	41.38	1	48.61	-1	59.28	1	70.02	-1	80.26	1	90.93
6	0.89	1	10.63	1	20.87	-1	29.81	-1	40.48	1	49.51	1	60.18	-1	69.12	-1	79.36	-1	90.04
7	0.44	-1	10.18	-1	20.42	1	30.26	-1	40.03	1	49.96	-1	59.73	1	69.57	1	79.81	-1	89.59
8	0.22	-1	9.96	-1	20.20	-1	30.04	-1	39.81	1	50.18	1	59.95	1	69.79	1	80.03	1	89.82

TAB. 2.4: Exemple de convergence de l'algorithme CORDIC en huit itérations pour des angles compris entre  $10^\circ$  et  $90^\circ$

choisira une puissance de la base de calcul arithmétique utilisée, les multiplications seront remplacées par de simples opérations de décalage. Les équations de récurrences deviennent :

$$x_{i+1} = \cos(\theta_i)(x_i - d_i 2^{-i} y_i) \tag{2.22}$$

$$y_{i+1} = \cos(\theta_i)(y_i + d_i 2^{-i} x_i) \tag{2.23}$$

Pour réaliser une rotation d'un angle donné sur un vecteur, il faut lui appliquer une suite de  $n$  rotations successives dont l'angle à la  $i^e$  itération est :  $\theta_i = \tan^{-1}(2^{-i})$ . Un résumé des huit premières rotations est présenté Tab : 2.3.

Le choix du nombre d'itérations dépend de la précision désirée.

À chaque itération, en plus de la rotation, la longueur du vecteur va être modifiée par un facteur de normalisation noté  $K_i$  :

$$K_i = \cos(\theta_i) = \cos(\tan^{-1}(2^i)) = \frac{1}{\sqrt{1 + 2^{-2i}}} \tag{2.24}$$

Le gain apporté par  $n$  rotations successives peut s'écrire :

$$K_i = \prod_{i=1}^n \frac{1}{\sqrt{1 + 2^{-2i}}} \tag{2.25}$$

Afin d'obtenir un vecteur de taille unitaire après les  $n$  rotations, il suffit de choisir comme condition initiale un vecteur de longueur  $1/K_n$ . De plus, il est possible de calculer à l'avance les

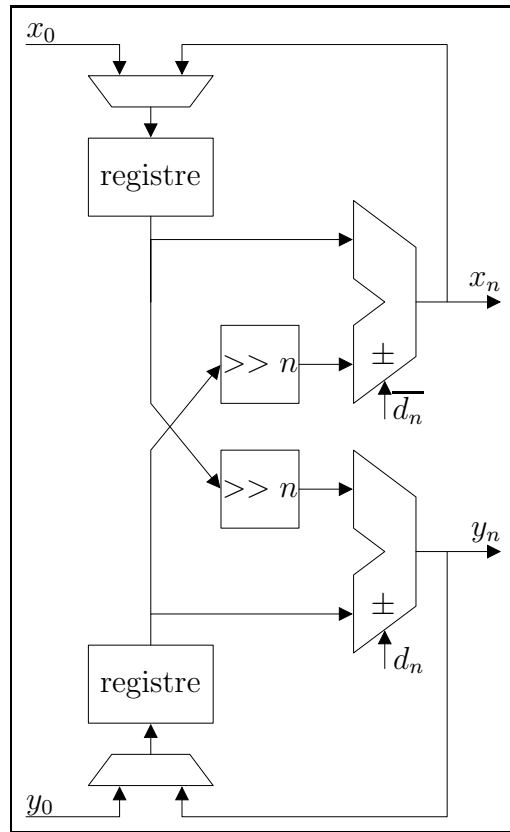


FIG. 2.17: implémentation itérative de l'algorithme CORDIC

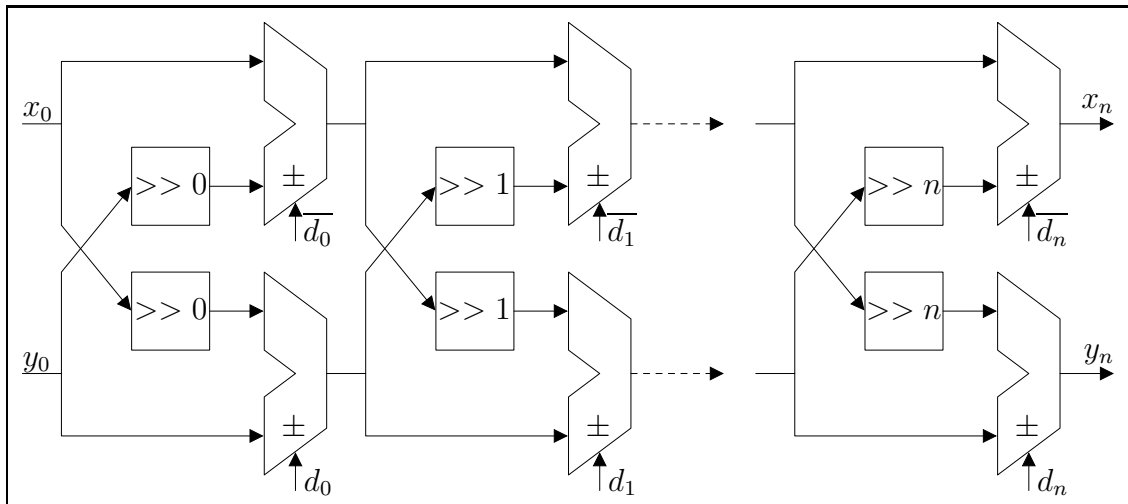
valeurs de  $K_n$  car elles ne sont pas liées à l'angle de rotation  $\alpha$  mais au plus petit angle utilisé. Afin de converger vers l'angle désiré, il faut contrôler le sens de rotation à chaque itération et pour ce faire, on utilise un système qui compare la somme des angles des rotations déjà effectuées avec la consigne et détermine le sens de la rotation suivante  $d_i$ . Le tab. 2.4 contient les exemples de convergence de l'algorithme CORDIC pour des valeurs d'angles finaux compris entre  $10^\circ$  et  $90^\circ$ . Les deux colonnes les plus à gauche contiennent le numéro de l'itération  $i$  et l'angle de rotation associé  $\theta_i$ . Les autres colonnes sont groupées par deux et contiennent la valeur de l'angle à la  $i^e$  itération et la valeur de  $d_i$ .

#### 2.4.2.2 Techniques d'implémentation

Il existe deux formes majeures d'implémentation de l'algorithme CORDIC. La première est itérative, elle n'utilise qu'une seule unité de calcul dont la sortie est rebouclée sur l'entrée. La première itération se fait avec les valeurs initiales  $x_0, y_0$  et les suivantes avec les  $x_i, y_i$  calculées précédemment fig. 2.17.

La seconde est cascadée, elle utilise  $n$  unités de calcul en série. Les valeurs initiales  $x_0, y_0$  sont appliquées à l'entrée et on attend la propagation de tous les  $x_i, y_i$  à travers les  $n$  étages de la structure fig. 2.18.

Les temps de calcul d'une rotation pour les deux structures sont quasiment identiques car leur vitesse de fonctionnement est limitée par les  $n$  additions successives à effectuer. Cependant,

FIG. 2.18: *implémentation série de l'algorithme CORDIC*

l'implémentation série a un débit  $n$  fois supérieur puisque chaque étage calcule la rotation d'un vecteur différent.

L'algorithme CORDIC a été utilisé à plusieurs reprises dans les DDS. Les technologies utilisées étaient de type CMOS car la réalisation des multiples additionneurs nécessaires serait difficile en technologies bipolaires.

### 2.4.2.3 Les autres algorithmes dans les DDS

Nous venons de présenter l'algorithme CORDIC qui est très utilisé dans les systèmes de calcul numérique, cependant il existe d'autres algorithmes qui permettent d'approximer les fonctions sinus et cosinus. La tab. 2.5 présente les principales réalisations de DDS utilisant un algorithme de conversion phase/amplitude. Tous ces algorithmes sont implémentés en technologie CMOS soit au travers d'un FPGA soit d'une réalisation complète. En outre les fréquences de fonctionnement sont relativement faibles comparées aux objectifs de cette thèse. Une implémentation en logique tout ECL n'est pas envisageable car la complexité et surtout la consommation seraient exagérées.

### 2.4.3 Convertisseur N/A non-linéaire

Les DDS conventionnels sont composés de trois blocs : l'accumulateur de phase, le convertisseur phase/amplitude (CPA) et le convertisseur numérique/analogique (convertisseur N/A). Le convertisseur phase/amplitude, comme nous l'avons vu, fait intervenir une mémoire et/ou un circuit numérique de calcul complexe, c'est lui qui limite les performances du DDS : fréquence de fonctionnement, consommation, surface d'intégration... Les convertisseurs N/A non-linéaires ont été introduits afin de remplacer le couple (CPA + convertisseur N/A linéaire). Il en existe plusieurs types dont les plus utilisés sont ceux qui reconstituent un sinus à partir de segments dont on fait varier la pente et la valeur DC, comme le montrent les fig. 2.19 et 2.20.

Référence	Algorithme	Technologie	Fréquence (MHz)	Résolution (bits)	SFDR (dBc)
Fanucci2001 [14]	quadratic			9	55,6
De2002 [15]	2 <sup>nd</sup> order polynomial	CMOS 0,35 $\mu\text{m}$	80	10	60
Sodagar2000 [16]	2 <sup>nd</sup> order parabolic	FPGA	175	10	62,8
Akram2003 [17]	piecewise polynomial	CMOS 0,18 $\mu\text{m}$	155	9	64,7
Meenakarn2003 [18]	polynomial	FPGA	50	10	64,8
De2002 [15]	3 <sup>rd</sup> order polynomial	CMOS 0,35 $\mu\text{m}$	80	16	80
De2005 [19]	dual-slope	CMOS 0,25 $\mu\text{m}$	600	12	80
Strollo2002 [20]	1 <sup>st</sup> order polynomial Chebyshev	CMOS 0,35 $\mu\text{m}$	61	14	80,36
De2005 [21]	piecewise-polynomial		150	12	83,6
Song2002 [22]	interpolative angle rotation	CMOS 0,35 $\mu\text{m}$	150	16	96
Yang2003 [23]	CORDIC	FPGA	100	16	100
Wen2004 [24]	least squares	CMOS 0,25 $\mu\text{m}$	200	14	100
Curticpean2003 [25]	angle rotation	CMOS 0,35 $\mu\text{m}$	100	16	114
Curticpean2002 [26]	quadratic	CMOS 0,35 $\mu\text{m}$	80	16	132,4

TAB. 2.5: Principales réalisations de DDS utilisant un algorithme de conversion phase/amplitude

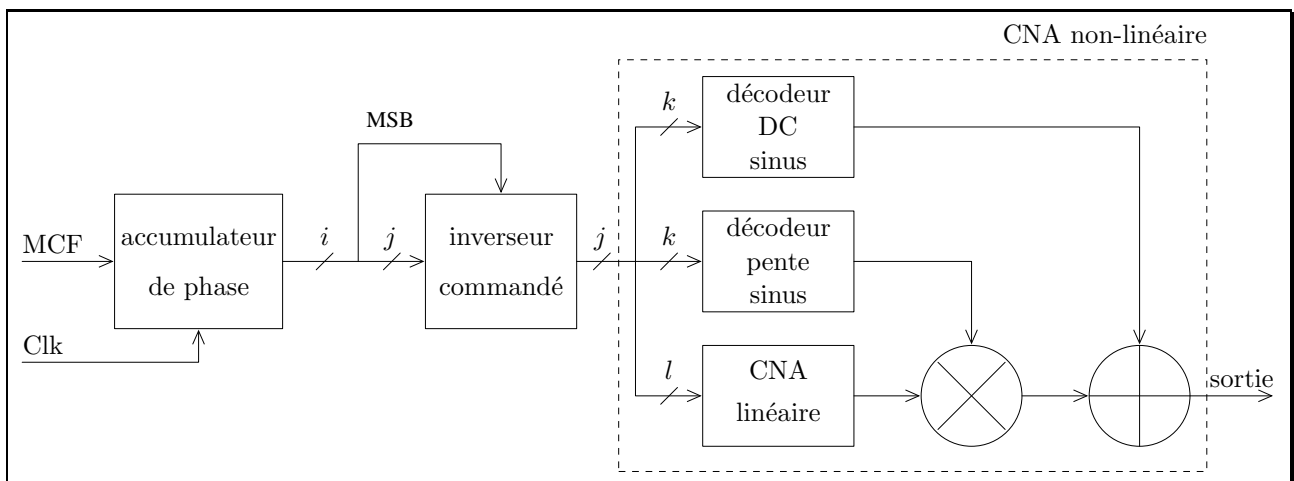


FIG. 2.19: Schéma de principe d'un DDS utilisant un convertisseur N/A non linéaire segmenté

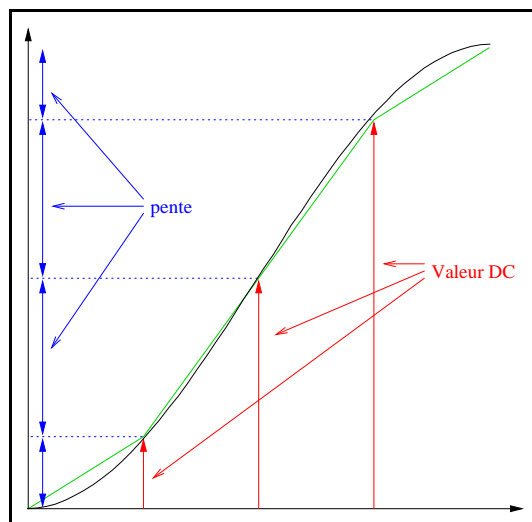


FIG. 2.20: Reconstitution d'un sinus par un convertisseur N/A non-linéaire segmenté

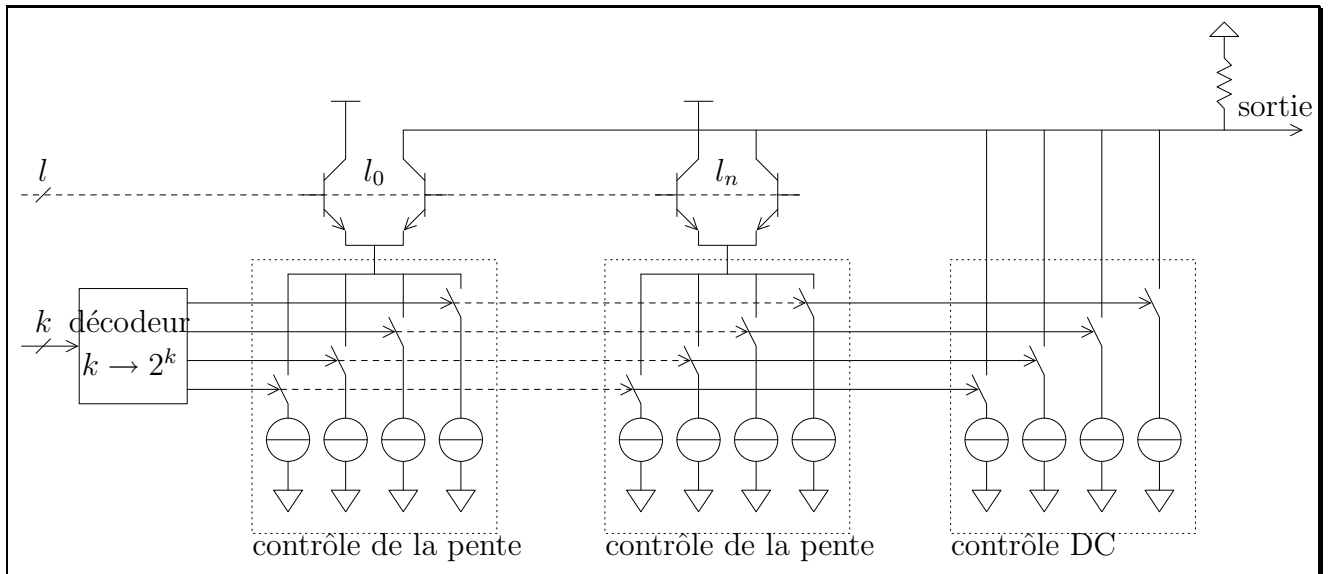


FIG. 2.21: reconstitution d'un sinus par un convertisseur N/A non-linéaire segmenté

L'accumulateur de phase couplé à un inverseur commandé par le bit de poids fort crée des signaux triangulaires codés sur  $j$  bits avec  $j = i - 1$ . Ces signaux sont séparés en deux, les  $k$  bits de poids forts et les  $l$  bits de poids faibles tels que  $k + l = j$ . La sinusoïde va être reconstituée en utilisant  $2^k$  segments contenant  $2^l$  points chacun. Les  $k$  bits de poids forts sont utilisés pour décoder les valeurs DC ainsi que les pentes des  $2^k$  segments. Les  $l$  bits de poids faibles sont envoyés sur un convertisseur N/A de façon à créer des segments contenant  $2^l$  points. Ensuite, le segment est multiplié par la pente puis on ajoute la valeur DC. La fig. 2.21 illustre une implémentation classique de ce type de convertisseur N/A.

Le contrôle de la pente se fait directement par le choix des sources de courant utilisées pour créer le segment. Le contrôle de la valeur DC est effectué par une injection de courant supplémentaire non contrôlée par les  $l$  bits de poids faible. Ce type de convertisseur est particulièrement bien indiqué pour la réalisation de DDS à haute fréquence de fonctionnement. Cependant il faut noter que la qualité du signal généré est fortement dépendante des variations des caractéristiques des composants et en particulier des sources de courant. Il faut utiliser des techniques de conception robustes et prévoir un système de contrôle afin de compenser les variations technologiques du process utilisé.

## 2.5 Convertisseur numérique/analogique

Le convertisseur numérique/analogique est le dernier élément d'un DDS. C'est lui qui va transformer l'information numérique provenant du convertisseur phase/amplitude en signal analogique utilisable par le système dans lequel il est utilisé. Le but de cette partie n'est pas d'étudier en détail tous les types de convertisseur N/A mais seulement ceux qui sont potentiellement utilisables dans un DDS. Nous étudierons aussi les caractéristiques statiques et dynamiques des convertisseur N/A afin de voir leurs implications sur la qualité des signaux



d'un DDS.

### 2.5.1 Convertisseur idéal

Un convertisseur N/A est un système qui convertit une valeur numérique en signal analogique, il ne peut évidemment convertir qu'un nombre limité de valeurs. La fonction de transfert est donc une série de valeurs discrètes. La quantité 1 LSB (« less significant bit ») correspond à l'écart entre deux valeurs analogiques successives. Un convertisseur N/A peut donc être vu comme un potentiomètre contrôlé numériquement dont la sortie est une fraction de la tension de référence.

### 2.5.2 Source d'erreurs statiques

Les erreurs statiques sont celles qui affectent la précision du convertisseur quand celui-ci est utilisé pour créer des signaux continus (DC). Elles peuvent être caractérisées avec quatre termes : l'erreur de décalage (offset), l'erreur de gain, la non-linéarité intégrale et la non-linéarité différentielle. Elles sont exprimées, soit en LSB, soit en pourcentage de la pleine échelle de convertisseur N/A. Par exemple, pour un convertisseur N/A 8-bits, une erreur de 1/2 LSB correspond à 0,2% de la pleine échelle.

#### 2.5.2.1 Erreur de décalage (« offset »)

L'erreur d'offset est définie comme le décalage entre la valeur nominale et la valeur réellement présente pour un code numérique en entrée égal à 0 (Fig.2.22). Cette erreur est la même pour tous les points, elle peut souvent être compensée par un réglage externe au convertisseur N/A.

#### 2.5.2.2 Erreur de gain

L'erreur de gain est définie comme la différence entre la valeur nominale et la valeur réellement présente pour un code numérique en entrée correspondant à la plus grande valeur réalisable avec le convertisseur N/A, les points en zéro étant identiques (Fig.2.23). Elle peut aussi être compensée par un réglage externe au convertisseur N/A.

#### 2.5.2.3 Non-linéarité différentielle

L'erreur de non-linéarité différentielle (DNL) décrit la différence entre deux valeurs analogiques correspondant à deux valeurs numériques consécutives et l'écart théorique qu'elles auraient dû avoir. Cette erreur est nulle si toutes les transitions entre valeurs voisines sont égales à 1 LSB. La formulation mathématique de cette erreur est :

$$\text{DNL} = S_{\text{out}}(D_{n+1}) - S_{\text{out}}(D_n) - 1 \text{ LSB} \quad (2.26)$$

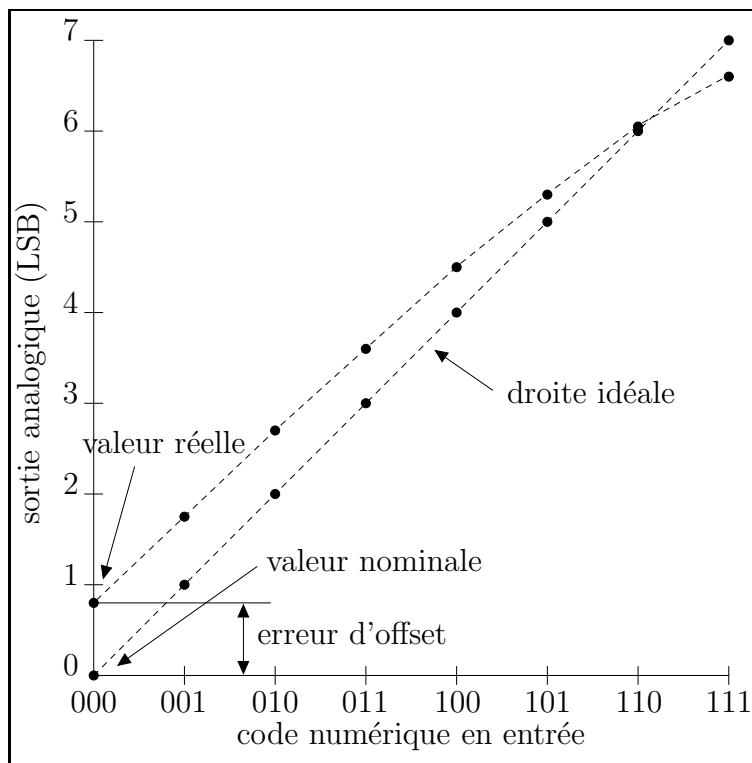


FIG. 2.22: Représentation de l'erreur d'« offset »

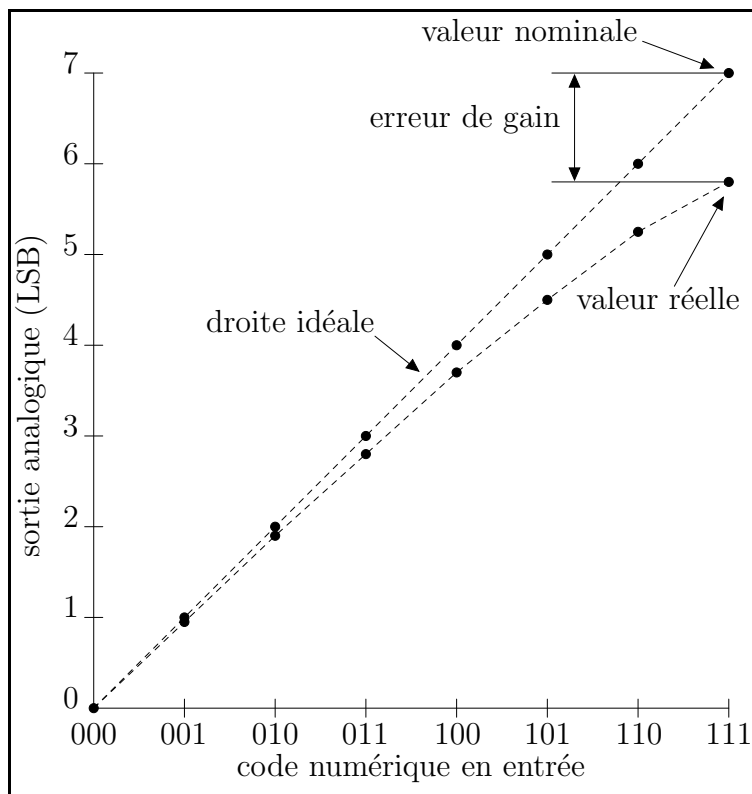


FIG. 2.23: Représentation de l'erreur de gain

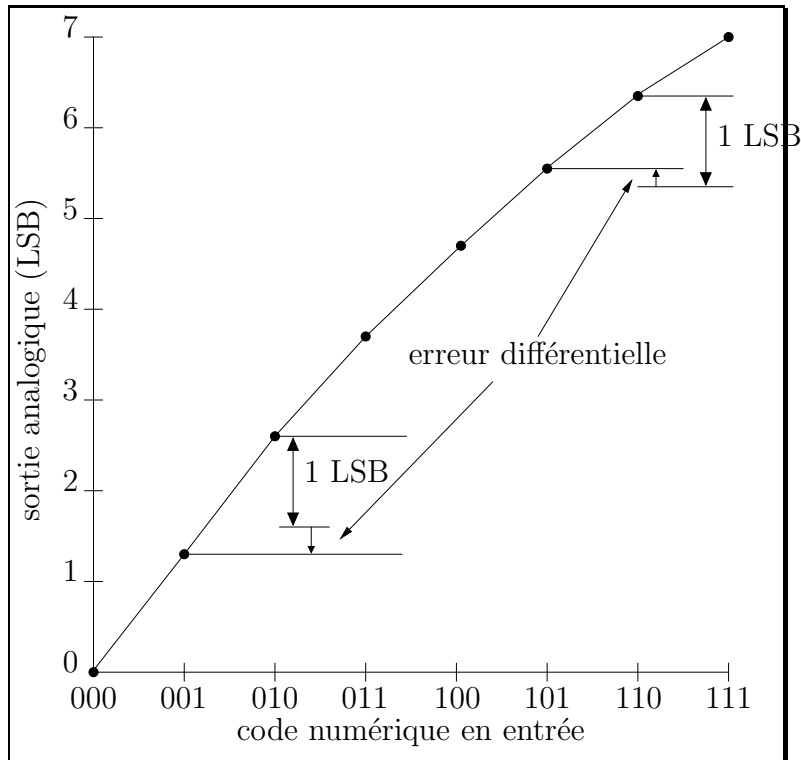


FIG. 2.24: Représentation de l'erreur de non-linéarité différentielle

où  $D_{n+1}$  et  $D_n$  représentent deux valeurs numériques consécutives et  $S_{\text{out}}(D_n)$  la valeur analogique convertie correspondante à  $D_n$ . La grandeur qui caractérise un convertisseur N/A pour cette erreur est la plus grande erreur relevée sur toute la plage de celui-ci, c'est-à-dire pour  $n \in [0; 2^j - 1]$ . Cette seule valeur ne permet pas de caractériser le convertisseur N/A car elle ne donne que l'erreur maximale.

#### 2.5.2.4 Non-linéarité intégrale

L'erreur de non-linéarité intégrale (INL) est définie, pour chaque code numérique possible, comme la différence entre la valeur analogique obtenue et la valeur appartenant au segment de référence. Ce segment de référence peut être choisi arbitrairement, la solution la plus simple est de le faire passer par les deux points extrêmes du convertisseur N/A mais cela n'est pas forcément représentatif de la linéarité. Il faut donc trouver le segment qui minimise l'erreur. De même que pour l'erreur différentielle, cette seule valeur ne permet pas de caractériser le convertisseur N/A car elle ne donne que l'erreur maximale.

#### 2.5.2.5 Monotonie d'un convertisseur N/A

La monotonie est définie par :

$$S_{\text{out}}(D_{n+1}) > S_{\text{out}}(D_n) \quad (2.27)$$

On peut déduire la monotonie d'un convertisseur N/A à partir de sa DNL : si elle est

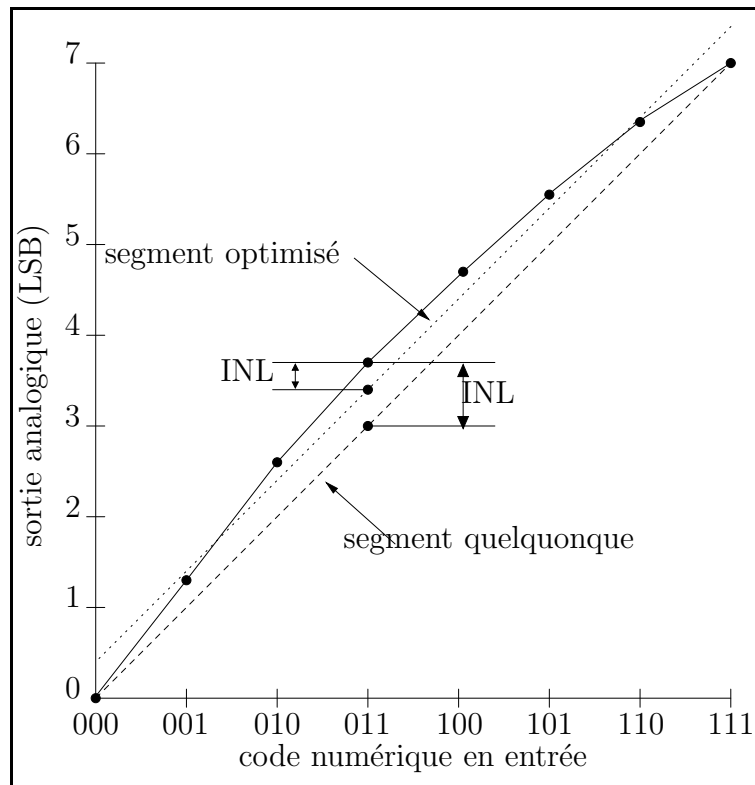


FIG. 2.25: Représentation de l'erreur de non-linéarité intégrale

inférieure à 1 LSB il est monotone. Cette caractéristique dépend fortement de la structure du convertisseur N/A. En effet les convertisseurs N/A potentiométriques (§2.5.4 ou à sources de courant avec décodage thermométrique total (§2.5.5.1) ne peuvent être que monotones. En effet, il ne peut y avoir de résistance négative et une source de courant ne peut fonctionner à l'envers.

Le problème peut se poser avec les convertisseur N/A utilisant des sources de courants pondérées en puissance de 2 (§2.5.5.2) particulièrement lors des transitions où le nombre de sources activées pour la petite valeur est supérieur à celui de la grande valeur. Prenons comme exemple la transition entre les deux valeurs numériques 7 et 8 : la conversion de la valeur 7 est réalisée par la somme des courants des trois sources de poids 1, 2 et 4 alors que seule la source de poids 8 est utilisée pour convertir la valeur 8. Ces problèmes apparaissent à cause des dispersions technologiques si la pondération des sources n'est pas scrupuleusement respectée.

## 2.5.3 Caractéristiques dynamiques

### 2.5.3.1 Rapport signal à bruit : SNR

Le rapport signal à bruit (SNR pour « Signal to Noise Ratio ») est une caractéristique importante d'un convertisseur N/A. Il dépend de la résolution du convertisseur N/A mais peut être dégradé par toutes les imperfections. Le rapport signal à bruit théorique laisse apparaître

la règle classique des 6 dB, et est donné par<sup>4</sup> :

$$\text{SBR}_{\max} = 6,02 n + 1,76 \text{ dB} \quad (2.28)$$

où  $n$  représente le nombre de bits.

### 2.5.3.2 SFDR

Le SFDR (pour « Spurious Free Dynamic Range ») s'exprime en dBc, il représente la différence d'amplitude entre le signal désiré<sup>5</sup> et le plus grand pic parasite dans le spectre de sortie. Ce pic peut être un harmonique ou faire partie du bruit.

### 2.5.3.3 Nombre effectif de bits : ENOB

Le nombre effectif de bits (ENOB pour « Effective Number of Bits ») permet de caractériser la précision effective du convertisseur N/A. C'est une caractéristique qui peut être statique ou dynamique cependant en statique on préférera utiliser les caractéristiques d'INL (§ 2.5.2.3) et de DNL (§ 2.5.2.3). Un ENOB de 7-bits pour un convertisseur N/A 8-bits signifie que les imperfections du convertisseur dégradent sa précision d'un bit, il est équivalent à un convertisseur idéal 7-bits. L'ENOB est lié au SNR, en effet nous avons vu que le SNR est calculé à partir du nombre de bits (§ 2.5.3.1). Pour être plus rigoureux il faudrait même utiliser l'ENOB dans la formule.

## 2.5.4 Convertisseur potentiométrique

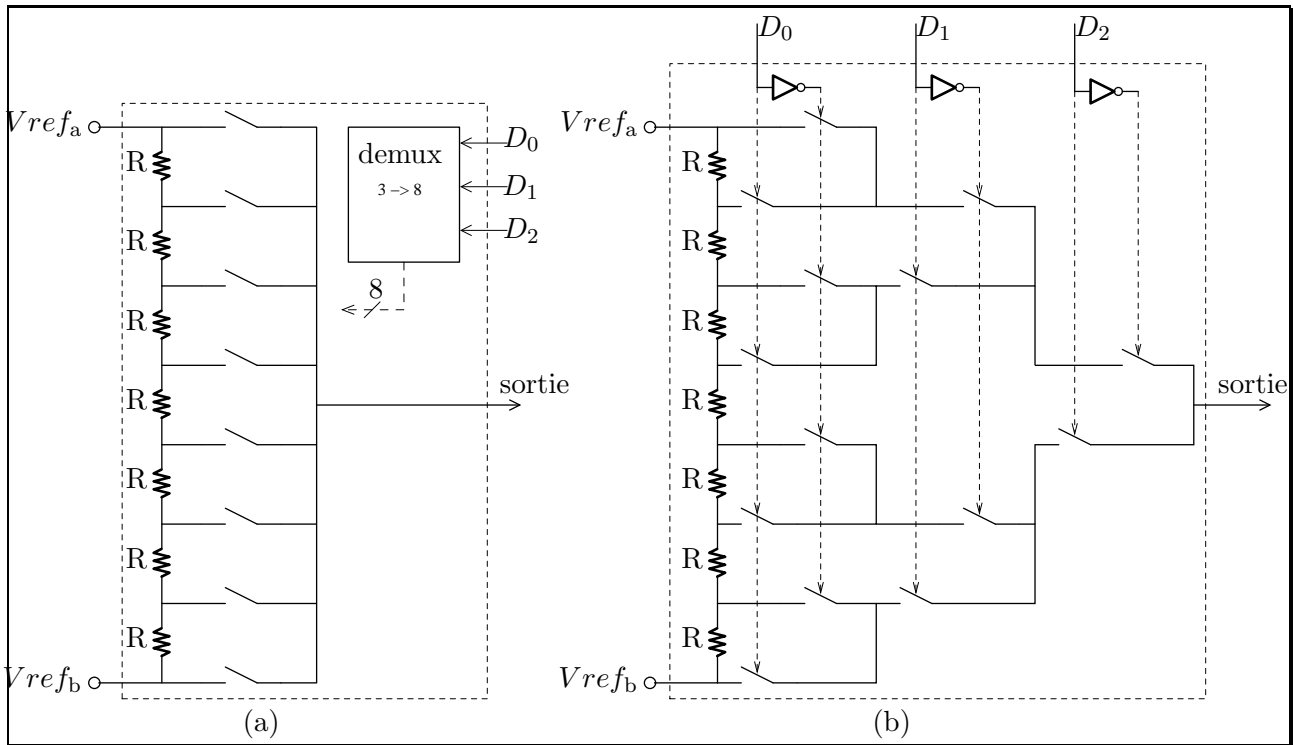
Le convertisseur potentiométrique est la structure la plus intuitive. Deux réalisations possibles sont présentées fig. 2.26. Un convertisseur N/A potentiométrique  $n$  bits est constitué de  $2^n - 1$  résistances de même valeur connectées en série de façon à obtenir  $2^n$  tensions de références réparties linéairement entre deux valeurs  $V_{\text{ref}_a}$  et  $V_{\text{ref}_b}$ . La tension en sortie est obtenue en sélectionnant le noeud qui correspond à la valeur numérique en entrée du convertisseur N/A qui vaut :

$$V_{\text{out}} = V_{\text{ref}_a} + D \left( \frac{V_{\text{ref}_b} - V_{\text{ref}_a}}{2^n} \right) \quad (2.29)$$

où  $D$  est la valeur numérique à l'entrée du convertisseur N/A et  $n$  est le nombre de bits. La fig. 2.26 montre deux implémentations différentes du système de sélection. La première (a) consiste en un démultiplexeur  $n \rightarrow 2^n$  qui actionne uniquement l'interrupteur correspondant à la commande. Cette technique, qui nécessite un nombre réduit d'interrupteurs et la réalisation d'un démultiplexeur, même pour un nombre de bits important, ne pose pas de problème majeur.

<sup>4</sup>pour un signal sinusoïdal utilisant la pleine échelle du convertisseur N/A et une probabilité de bruit uniforme de  $\pm 0,5$  LSB

<sup>5</sup>qui dans le cas de la mesure du SFDR et une sinusoïde

FIG. 2.26: *convertisseur numérique/analogique potentiométrique*

Cependant le routage des lignes de commande des interrupteurs est complexe et nécessite un nombre de niveaux métalliques élevé : un convertisseur N/A de 16 bits comporte 65536 résistances, interrupteurs et lignes de commande.

La seconde implémentation (b) utilise un système numérique simple avec peu de ligne de commande mais un nombre d'interrupteurs élevé. La valeur fournie par le pont de résistances sera détériorée par le passage à travers tous les interrupteurs.

En pratique, on réalise un compromis entre ces deux techniques optimisées en fonction des caractéristiques attendues pour le convertisseur N/A. La réalisation de convertisseurs N/A potentiométriques n'est plus d'actualité car la précision sur les valeurs des composants passifs intégrés est plus faible que celle des composants actifs. Bien qu'il existe des techniques de « post processing » au laser ou faisceau d'ions qui permettent d'ajuster la valeur de résistances intégrées, il n'est pas envisageable de les utiliser pour ajuster toutes les résistances d'un convertisseur N/A potentiométrique car ce serait une tâche fastidieuse et surtout coûteuse. De plus la surface d'intégration d'un réseau de résistances est supérieure à celle d'un réseau de sources de courant. Cependant ce type de convertisseur N/A est potentiellement intéressant pour les DDS. En effet, si les résistances n'ont pas toutes la même valeur mais qu'elles sont choisies de telle sorte que la sortie ne soit pas linéaire mais sinusoïdale, on obtient un convertisseur phase/amplitude. Cette structure ne peut être utilisée à haute fréquence du fait de sa complexité, mais intégrée peut être en technologie CMOS car elle est appropriée pour réaliser au DDS à faible fréquence et à faible consommation.

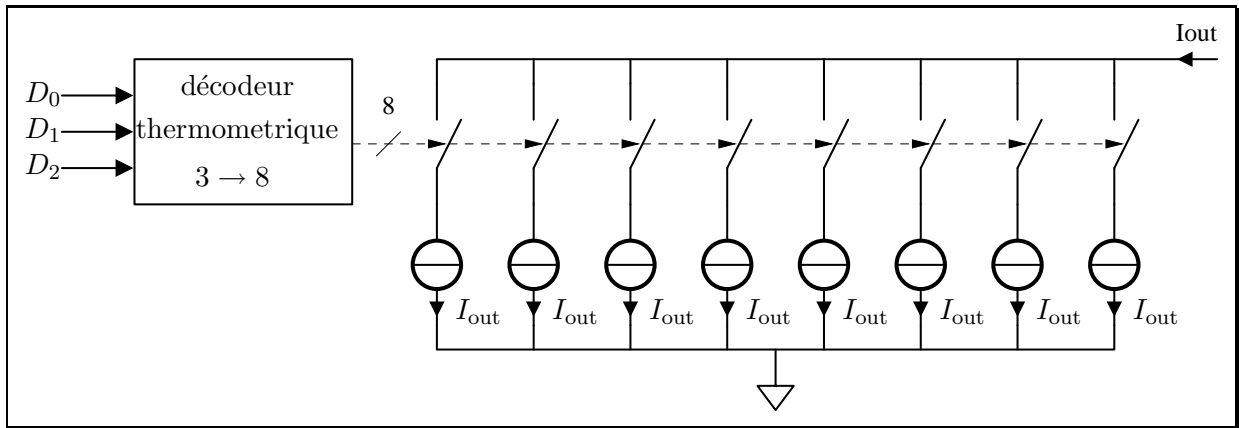


FIG. 2.27: Convertisseur numérique/analogique 3-bits à sources de courant de même valeur

### 2.5.5 Convertisseur à sources de courant commutées

La famille des convertisseur N/A à source de courant commutées est celle qui compte le plus de représentant, et ce, quel que soit le domaine d'application envisagé. Ceci est dû à la très grande reproductibilité des caractéristiques des composants actifs intégrés et à la possibilité de réglage du système une fois le composant réalisé.

#### 2.5.5.1 Utilisation de sources de courant de même valeur

Le fonctionnement d'un convertisseur N/A à sources de courant de même valeur (fig. 2.27) est assez simple. Un décodeur thermométrique est utilisé afin de convertir la valeur numérique  $D$  codée en base deux sur  $n$  bits en  $2^n$  signaux de sorte que  $D$  de ces signaux ferment un interrupteur. Le courant en sortie est égal à  $D \cdot \dots \cdot I_{out}$ . Cette technique permet d'obtenir une bonne linéarité ainsi que de bonnes caractéristiques dynamiques car tous les blocs interrupteurs et sources de courants sont identiques. En revanche elle possède le même défaut que le convertisseur N/A potentiométrique à savoir la complexité des interconnexions. Cela rend l'implémentation délicate.

#### 2.5.5.2 Utilisation de sources de courant pondérées

Cette technique est aussi basée sur des sources de courant commutées mais elles sont pondérées en puissance de deux. À chaque bit du mot d'entrée correspond une source dont le courant est proportionnel au poids de ce bit comme illustré fig. 2.28. Les interconnexions sont simples, la difficulté de cette structure est liée au respect de la proportionnalité entre les sources.

#### 2.5.5.3 Structure mixte

Chacune de ces deux structures possède ses avantages et ses inconvénients. Comme toujours, c'est un système mixte qui est le plus intéressant. Un convertisseur  $n$  bits va donc être

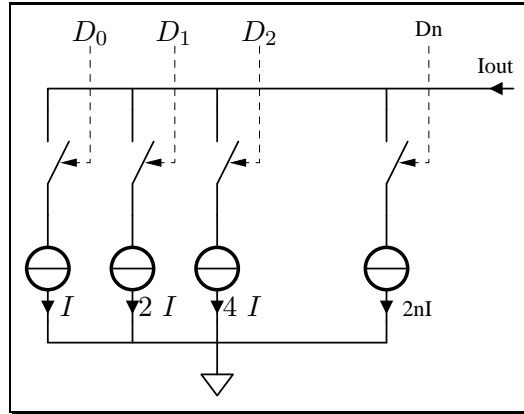


FIG. 2.28: Convertisseur numérique/analogique à sources de courant commutées pondérées en puissances de 2

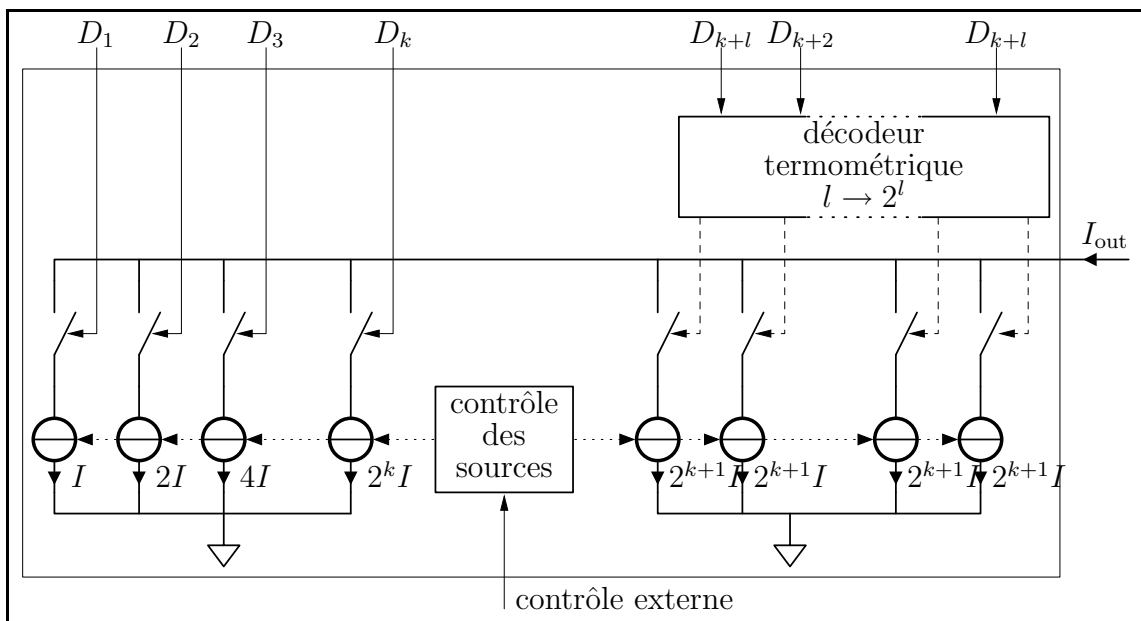


FIG. 2.29: convertisseur numérique/analogique à structure mixtes

décomposé en deux : les  $j$  bits de poids faibles  $[D_1 : D_j]$  vont être convertis avec des sources de courant pondérées en puissance de 2 et les  $k$  bits de poids forts  $[D_{j+1} : D_{j+k}]$  avec un d'codeur thermométrique et des sources identiques (fig. 2.29).

Toutes les sources de courants sont réalisées avec des miroirs de courant. Communément, les sources pondérées en puissances de 2 sont constituées de sources élémentaires mises en parallèle : 1 source pour  $D_0$ , 2 pour  $D_1$  et  $2^n$  pour  $D_n$ . Les choix de  $n$ ,  $j$  et  $k$  sont fonctions des caractéristiques désirées : précision, complexité, rapidité, consommation... Un système de contrôle permet de faire la liaison entre les deux structures car, afin de limiter la taille de la matrice de courant, les sources utilisées pour les bits de poids fort, dont la valeur est  $2^{k+1}$ , ne sont pas réalisées par la mise en parallèle de  $2^{k+1}$  sources élémentaires. Les transistors utilisés sont dimensionnés et polarisés différemment, il est donc nécessaire d'adjoindre un système qui va permettre d'assurer la bonne correspondance entre les deux structures. Ce système devra compenser les dispersions technologiques aussi bien que les différences de comportement en



fonction de la température.

## 2.6 Caractéristiques spectrales des signaux du DDS

Le DDS est un système numérique. Le spectre en sortie de celui-ci est composé d'un certain nombre de raies dont les positions et les amplitudes sont très variables. Elles sont dues à plusieurs phénomènes liés à la structure du DDS dont les principaux sont : l'échantillonnage, la quantification, la troncature de la phase. De plus, la forme des spectres est très dépendante de la valeur numérique de commande. La connaissance de ces spectres est nécessaire afin de pouvoir dimensionner et utiliser de façon optimale le DDS.

### 2.6.1 Transformée de Fourier d'un signal périodique

Nous allons nous intéresser à la représentation fréquentielle d'un signal périodique échantillonné. Le spectre de ce signal peut être décomposé en deux parties : le positionnement des raies et leur puissance.

#### 2.6.1.1 Position des raies

Nous allons étudier le positionnement des raies. Pour cela, on utilise un signal périodique  $f(t)$  défini comme suit :

$$f(t) = \sum_{k=-\infty}^{\infty} f(k T_{\text{Clk}}) \varepsilon\left(\frac{t - k T_{\text{Clk}}}{T_{\text{Clk}}}\right)$$

où  $\omega_{\text{Clk}} = 2\pi/T_{\text{Clk}}$  représente la pulsation d'échantillonnage et  $T = MT_{\text{Clk}}$  la période de  $f(t)$ . La transformée de Fourier de la fonction créneau  $\varepsilon(\frac{t}{\tau})$  est :

$$\mathcal{F}\left[\varepsilon\left(\frac{t}{\tau}\right)\right] = \tau \frac{\sin\left(\omega \frac{\tau}{2}\right)}{\omega \frac{\tau}{2}} = R(\omega, \tau).$$

et

$$\mathcal{F}\left[\varepsilon\left(\frac{t - a}{\tau}\right)\right] = e^{-j\omega a} R(\omega, \tau).$$

La transformée de Fourier du signal  $f(t)$  est donc :

$$F(\omega) = R(\omega, T_{\text{Clk}}) \sum_{k=-\infty}^{\infty} f(k T_{\text{Clk}}) e^{-j\omega k T_{\text{Clk}}}$$

Le signal  $f(t)$  est périodique de période  $T = MT_{\text{Clk}}$ , on obtient donc :

$$\begin{aligned} F(\omega) &= R(\omega, T_{\text{Clk}}) \sum_{n=-\infty}^{\infty} \sum_{k=0}^{M-1} f(kT_{\text{Clk}}) e^{-j\omega(nM+k)T_{\text{Clk}}} \\ &= R(\omega, T_{\text{Clk}}) \frac{2\pi}{MT_{\text{Clk}}} \sum_{n=-\infty}^{\infty} \delta(\omega - n\omega_p) \underbrace{\sum_{k=0}^{M-1} f(kT_{\text{Clk}}) e^{-j\frac{2\pi}{M}nk}}_{F(n)} \end{aligned}$$

où

$$F(n) = F(n(\text{mod}(M))) = \sum_{k=0}^{M-1} f(kT_{\text{Clk}}) e^{-j\frac{2\pi}{M}nk} = \text{DFT}\{f(kT_{\text{Clk}})\} \quad (2.30)$$

qui est la transformée de Fourier discrète d'une période du signal  $f(t)$ . En substituant  $R(\omega, T_{\text{Clk}})$ ,  $\omega_p = \omega_{\text{Clk}}/M$  et  $\tau = T_{\text{Clk}}/2$  on obtient :

$$F(\omega) = \frac{\sin(\omega \frac{T_{\text{Clk}}}{2})}{\omega \frac{T_{\text{Clk}}}{2}} 2\pi \sum_{k=-\infty}^{\infty} \frac{1}{M} F(n) \delta\left(\omega - \frac{k}{M} \omega_v\right) \quad (2.31)$$

Le signal  $f(t)$  est périodique, il peut donc être décomposé en série de Fourier :

$$F(t) = \sum_{k=-\infty}^{\infty} c_k e^{j\frac{k}{M}\omega_{\text{Clk}}t} c_k = \frac{1}{T_{\text{Clk}}} \int_{-\infty}^{\infty} f(t) e^{-j\frac{k}{M}\omega_{\text{Clk}}t} dt \quad (2.32)$$

où  $c_k$  représente le coefficient de Fourier. La transformée de Fourier est définie comme suit :

$$f(n) \longleftrightarrow F(\omega) = 2\pi \sum_{k=-\infty}^{\infty} c_k \delta\left(\omega - \frac{k}{M} \omega_{\text{Clk}}\right) \quad (2.33)$$

Après identification entre (2.31) et (2.33) on obtient :

$$c_k = \frac{\sin(\omega \frac{T_{\text{Clk}}}{2})}{\omega \frac{T_{\text{Clk}}}{2}} \frac{1}{M} F(k) \quad (2.34)$$

### 2.6.1.2 Puissance des raies

En plus de la position, il faut connaître la puissance de chaque raie. La puissance d'un signal périodique de période  $T$  est définie par :

$$P = \frac{1}{T} \int_0^T f^2(t) dt \quad (2.35)$$

Étant donné que pour un signal périodique réel  $c_{-k} = c_k^*$ , l'équation (2.31) peut s'écrire :

$$f(t) = c_0 + \sum_{k=1}^{\infty} 2|c_k| \cos\left(\frac{k}{M} \omega_{\text{Clk}} + \arg(c_k)\right) \quad (2.36)$$

La fonction de Dirac est définie par :

$$\int_{0^-}^{0^+} \delta(x) dx = 1 \quad (2.37)$$

La répartition spectrale de la puissance d'un signal périodique est donnée par :

$$P(\omega) = \left| \frac{f(0)}{M} \right|^2 \delta(\omega) + \sum_{k=1}^{\infty} 2 \left| \frac{\sin(\frac{k}{M} \pi)}{\frac{k}{M} \pi} \right|^2 \left| \frac{1}{M} F(k) \right|^2 \delta \left( \omega - \frac{k}{M} \omega_{\text{Clk}} \right) \quad (2.38)$$

### 2.6.2 Cas particulier : expression mathématique du signal d'un DDS

Nous avons vu en 2.2.2 que l'équation (2.1) permet de calculer la fréquence en sortie en fonction de la fréquence d'horloge  $f_{\text{clk}}$ , du mot de contrôle MCF et du nombre de bits  $i$ . Le signal en sortie du DDS peut être écrit sous la forme :

$$S_{\text{out}}(t) = \sum_{k=-\infty}^{\infty} \cos(\omega_{\text{out}} k T_{\text{Clk}}) \varepsilon \left( \frac{t - k T_{\text{Clk}}}{T_{\text{Clk}}} \right) \quad (2.39)$$

où  $\varepsilon(\frac{t}{\tau})$  représente la fonction créneau et vaut 1 pour  $t \in [-\frac{\tau}{2}; \frac{\tau}{2}]$ , 0 ailleurs. Ceci correspond au bien connu blocage d'ordre 0 (« sample and hold ») et le spectre est donné par :

$$\hat{S}_{\text{out}}(\omega) = \frac{T_{\text{Clk}}}{2} \frac{\sin(\omega \frac{T_{\text{Clk}}}{2})}{\omega \frac{T_{\text{Clk}}}{2}} \left[ \sum_{k=-\infty}^{\infty} e^{-j k T_{\text{Clk}}(\omega - \omega_{\text{out}})} + \sum_{k=-\infty}^{\infty} e^{-j k T_{\text{Clk}}(\omega + \omega_{\text{out}})} \right] \quad (2.40)$$

$$= \pi \frac{\sin(\omega \frac{T_{\text{Clk}}}{2})}{\omega \frac{T_{\text{Clk}}}{2}} \sum_{k=-\infty}^{\infty} \{ \delta[\omega - (k \omega_{\text{Clk}} + \omega_{\text{out}})] + \delta[\omega - (k \omega_{\text{Clk}} - \omega_{\text{out}})] \} \quad (2.41)$$

où  $\delta(\omega)$  est la fonction de Dirac.

L'expression mathématique du signal généré par un DDS sans troncature de phase est identique à celle d'un échantillonneur bloqueur qui possède une caractéristique particulière supplémentaire. En effet il existe toujours une période commune entre le signal échantillonné et le signal échantillonneur. Cette période n'est autre que la période de l'accumulateur de phase  $P_a$  définie en (2.4).

## 2.7 Structures de DDS complexes

La structure de base du DDS a été présentée fig. 2.7. Il est possible d'augmenter les capacités des DDS en complexifiant leur structure, plus précisément en ajoutant des additionneurs. Le DDS devient alors un système polyvalent capable d'effectuer tous les types de modulation.

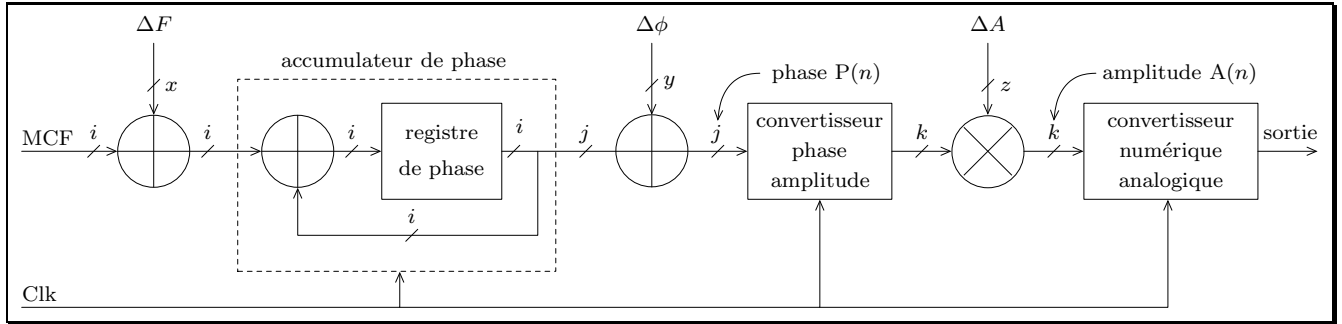


FIG. 2.30: DDS avec implémentation de systèmes de modulations

### 2.7.1 Modulations simples

Le DDS, de par sa structure, est très performant pour les modulations de phase, de fréquence et d'amplitude. C'est un système de traitement du signal dans lequel il est possible de moduler numériquement les trois paramètres d'une porteuse :

$$S_{\text{out}}(t) = A \sin(2\pi f(t) + \phi) \quad (2.42)$$

où  $A$  représente l'amplitude,  $f(t)$  la fréquence et  $\phi$  la phase. Toutes les techniques de modulation utilisent simultanément une, deux ou trois des modulations de base. En conséquence, toutes les formes d'ondes peuvent être réalisées avec un DDS. L'implémentation des systèmes de modulation dans un DDS est représentée fig. 2.30.

La modulation de fréquence est réalisée par l'ajout d'un additionneur avant l'accumulateur de phase. La modulation de phase est réalisée grâce à un additionneur positionné entre l'accumulateur de phase et le convertisseur phase/amplitude. La modulation d'amplitude, quant à elle, est obtenue avec un multiplieur placé avant le convertisseur numérique/analogique.

L'équation 2.42 devient :

$$S_{\text{out}}(n) = \Delta A(n) \sin\{2\pi (n\text{MCF}(n)(n) + \Delta F(n) + \Delta\phi(n))\} \quad (2.43)$$

où  $S_{\text{out}}(n)$  est la sortie du DDS,  $\Delta A(n)$  l'amplitude,  $n \text{MCF}(n)$  la valeur de la phase instantanée,  $\Delta F(n)$  le coefficient de modulation de fréquence et  $\Delta\phi(n)$  le coefficient de modulation de phase.

Les additionneurs utilisés pour les modulations de phase et de fréquence ne sont pas absolument nécessaires, car ils pourraient être contrôlé uniquement avec MCF. Cependant, le fait de les dissocier permet d'obtenir une plus grande souplesse d'utilisation. En effet, pour réaliser un changement de phase il suffit de modifier la valeur de  $\Delta\phi$ . Ce changement sera pris en compte au cycle d'horloge suivant du DDS. Pour effectuer la même opération sans l'additionneur, il est nécessaire d'ajouter à MCF cette valeur pendant 1 cycle d'horloge seulement ce qui implique un système de contrôle aussi rapide que le DDS.

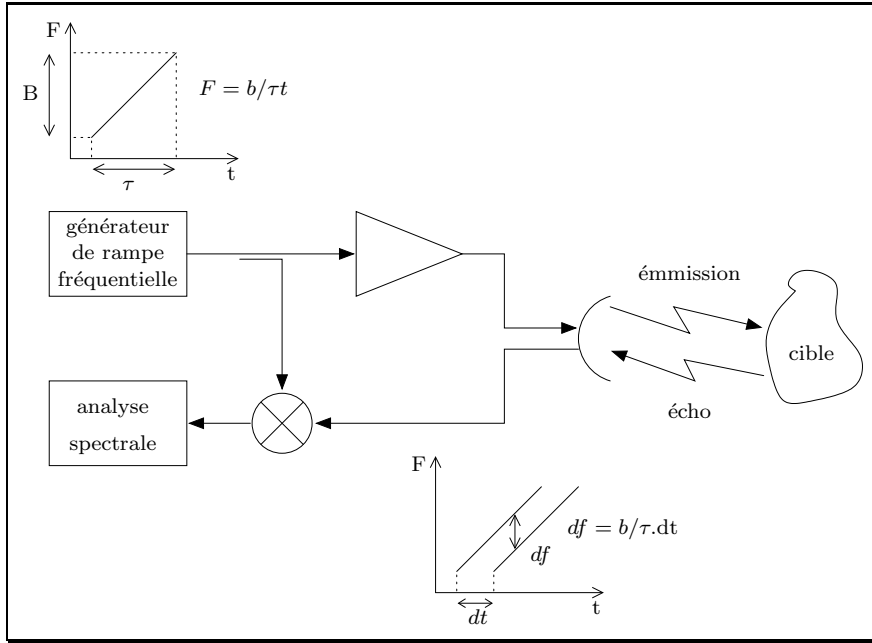


FIG. 2.31: principe de fonctionnement d'un radar à modulation de fréquence linéaire

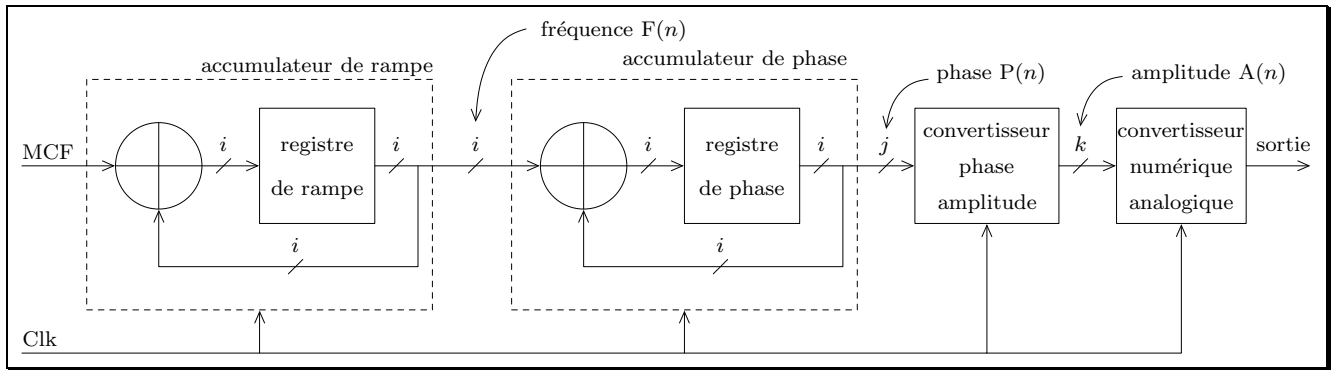


FIG. 2.32: DDS avec implémentation d'un système de modulation linéaire

### 2.7.2 Modulation linéaire de fréquence

La modulation de fréquence linéaire est principalement utilisée dans des systèmes radar fig. 2.31. Un système crée une rampe de fréquence  $F_{out} = bt/\tau$ , amplifiée puis émise au travers d'une antenne. L'onde se réfléchit sur la cible et est récupérée avec un retard  $\Delta t$  proportionnel à la distance de la cible  $D = c \Delta t/2$ . L'écart de fréquence entre les deux signaux est proportionnel au temps (et donc à la distance) mis par le signal pour faire l'aller-retour entre l'antenne et la cible :

$$\Delta f = \frac{b \Delta t}{\tau} = \frac{2 db}{\tau c} \tag{2.44}$$

Pour mesurer l'écart de fréquence et en déduire la distance de la cible, on mélange les deux signaux puis on effectue une analyse spectrale pour déterminer la position des raies.

Pour que ce système fonctionne correctement, il faut que la linéarité de la rampe soit irréprochable sinon, l'écart de fréquence n'est pas constant et il n'est pas possible d'en déduire la distance. Il existe une variété de DDS dédiée à ce type d'application fig. 2.32 dénommé

« chirp », il est constitué d'un DDS simple précédé d'un accumulateur de rampe. L'accumulateur de rampe fait évoluer la fréquence du DDS à chaque période d'horloge selon :

$$F(n) = F(n - 1) + MCF \quad (2.45)$$

où le mot de contrôle (MCF) représente la pente de la rampe en fréquence. La valeur minimale de la pente est obtenue pour  $MCF = 1$  :

$$P = \frac{f_{\text{clk}}^2}{2^i} \quad (2.46)$$

Les avantages du DDS comparé aux systèmes analogiques pour générer des rampes de fréquence sont :

- une très bonne linéarité qui ne dépend que de la qualité de l'horloge appliquée aux accumulateurs,
- une connaissance très précise de la valeur de la pente, indépendante de la température et des variations technologiques,
- une très grande agilité avec la possibilité de changer la valeur quasi instantanément.

Il y a toutefois une limitation, inhérente à tous les systèmes numériques, qui est la quantification des valeurs possibles de la fréquence. La rampe n'est pas continue mais est constituée d'une suite de valeurs discrètes. Ceci va impliquer un bruit « numérique » sur le spectre à analyser. La précision de la mesure sera limitée par le pas de la rampe.

## 2.8 Utilisation du DDS dans les systèmes de télécommunications

L'utilisation de DDS dans les systèmes de télécommunications n'est pas récent, cependant il n'est que rarement utilisé en synthèse directe étant donné la limitation en fréquence (400 MHz) des DDS commerciaux ainsi que leur forte consommation.

### 2.8.1 Génération de signaux en bande de base

Le DDS est principalement utilisé en bande de base du fait de sa limitation en fréquence. Il est généralement implémenté de façon logicielle dans le DSP du système afin de créer les signaux  $I$  et  $Q$  utilisés par l'opération de modulation.

### 2.8.2 Association avec/dans une PLL

Il est possible d'utiliser un DDS pour réaliser plusieurs fonctions internes de la boucle à verrouillage de phase. Il peut être utilisé comme source de référence variable, diviseur de fréquence ou même oscillateur contrôlé.

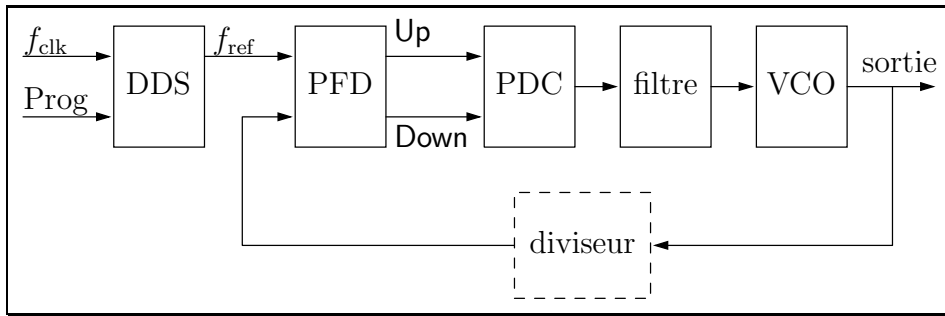


FIG. 2.33: Utilisation d'un DDS en temps que source de référence

### 2.8.2.1 Source de référence

L'utilisation du DDS en temps que source de référence [27, 28, 29, 30, 31] est présentée fig. 2.33, il permet de contrôler directement la fréquence en sortie de la PLL.

Ainsi, le diviseur de fréquence programmable micro-onde peut être avantageusement remplacé par un diviseur simple, ceci permet de réduire à la fois la complexité du circuit, la consommation et la surface d'intégration. De plus ce système procure une plus grande précision dans le réglage de la fréquence. Toutefois il est nécessaire d'avoir un signal d'horloge de fréquence assez élevée pour le DDS, ce qui n'est pas forcément compatible avec le reste du circuit. Ce type d'implémentation n'a donc pas vocation à être intégrée mais est plutôt utilisée pour contrôler une PLL.

### 2.8.2.2 Diviseur de fréquence

Le DDS peut être utilisé en tant que diviseur fractionnaire dans la boucle de retour de la PLL (fig. 2.34). Il est fort possible que la fréquence de fonctionnement du DDS ne soit pas compatible avec la sortie du VCO, dans ce cas il est possible d'utiliser un pré-diviseur de fréquence additionnel. Ce type de circuit est spécialement bien adapté à l'intégration en technologie BiCMOS. En effet la réalisation de PLL fonctionnant à des fréquences élevées devient délicate dès que l'on souhaite avoir un rapport de division fractionnaire. Il faut réaliser un diviseur complexe constitué d'un diviseur contrôlable ( $P/P + 1$ ) et de plusieurs compteurs. Tout ceci peut avantageusement être remplacé par un pré-diviseur ECL suivi d'un DDS CMOS. La précision d'un tel système est alors sans commune mesure par rapport aux implémentations classiques.

### 2.8.2.3 Oscillateur contrôlé numériquement

L'utilisation d'un DDS à la place du VCO (fig. 2.35) est sans aucun doute la plus exotique. Cette technique permet de remplacer la pompe de charge, le filtre et le VCO par des éléments numériques. Le système devient donc totalement numérique et par conséquent reconfigurable en temps réel. Ceci peut être utilisé avantageusement dans un système de télécommunication multi-standard pour lequel les fréquences, les modulations ou encore la dynamique des signaux

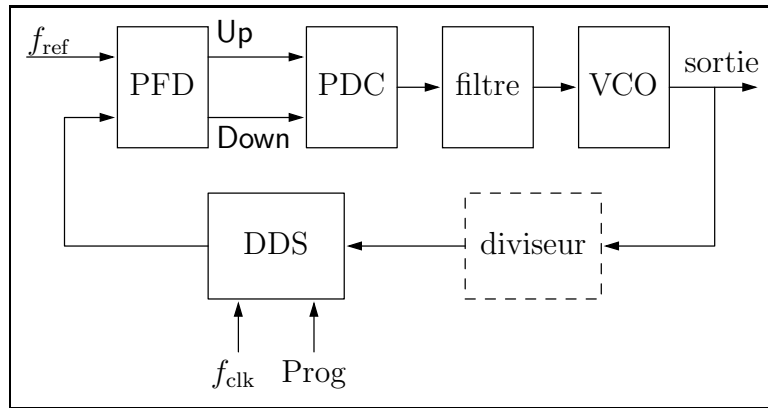


FIG. 2.34: Utilisation d'un DDS en tant que diviseur fractionnaire

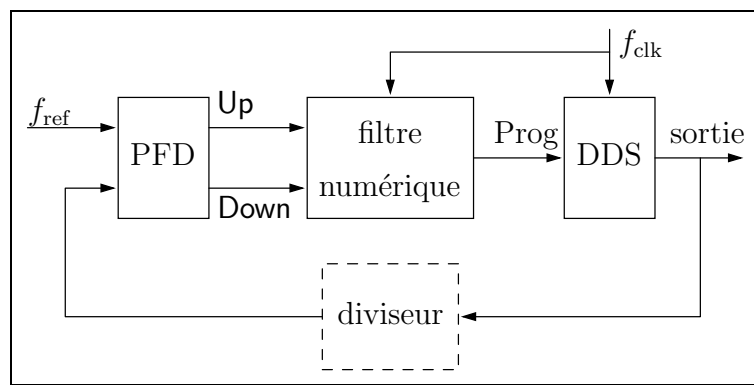


FIG. 2.35: Utilisation d'un DDS en temps qu'oscillateur contrôlé

sont différentes.

## Conclusion

Dans la première partie de ce chapitre, nous avons présenté des techniques de numérisation de deux des principaux blocs d'une PLL : le comparateur phase/fréquence et le diviseur de fréquence. L'utilisation d'un comparateur phase/fréquence numérique permet d'améliorer sensiblement les plages de capture et de verrouillage de la PLL. Nous avons rappelé la structure habituelle d'un comparateur phase/fréquence numérique et insisté sur le fait qu'autour de la position d'équilibre les signaux parasites présents sur les deux sorties ne sont plus négligeables : il convient donc de reconsidérer cette structure de base, ce que nous faisons dans le chapitre suivant. L'utilisation d'un diviseur de fréquence numérique permet de réaliser une synthèse de fréquence indirecte et de permettre un contrôle fin de la fréquence en sortie de la PLL. La solution la plus utilisée à été présentée, elle est constituée d'un diviseur  $P/P + 1$  et d'un diviseur programmable à double compteur : cette technique permet de dissocier les difficultés de réalisation d'un diviseur programmable haute fréquence en traitant les hautes fréquences par un étage en logique ECL. Nous verrons par la suite une structure simplifiée que nous avons créée. La numérisation du VCO a été évoquée conduisant à des réalisations possibles de PLL



totalemment numériques dont une version est simulée dans le chapitre suivant.

Dans la deuxième partie, nous avons présenté le DDS, son principe de fonctionnement ainsi que le détail de chacun de ses blocs : l'accumulateur de phase, le convertisseur phase/amplitude et le convertisseur N/A. Pour chacun d'entre eux, les principales techniques de réalisation ont été présentées : nous avons plus particulièrement mis en valeur les topologies adaptées à la réalisation d'un DDS fonctionnant dans le domaine micro-ondes. Nous avons montré qu'un accumulateur à structure « pipeline » permet d'obtenir la plus grande fréquence de fonctionnement mais au prix d'une consommation élevée. Un compromis devra donc être fait sur le nombre d'étages. Le convertisseur phase/amplitude devra être réalisé par une fonction *analogique* car l'utilisation d'une fonction *numérique* (mémoire ou algorithme) ne permet à l'heure actuelle pas de concilier une fréquence de fonctionnement élevée avec une consommation raisonnable. La structure qui paraît la mieux adaptée est le convertisseur N/A non-linéaire. Ce convertisseur N/A sera basée sur une structure à sources de courant commutées car elle procure les meilleures performances fréquentielles pour une technologie donnée. Cette étude des différents éléments des DDS a permis la conception d'un DDS fonctionnant dans le domaine micro-ondes, que nous détaillons dans le chapitre suivant.

## Références bibliographiques

- [1] M. Girard, « Boucles à Verrouillage de phase », McGraw-Hill, 1988. [2](#)
- [2] R. E. Best, « Phase-Locked Loops », McGraw-Hill Book Company, 1976. [2](#)
- [3] F. de Dieuleveult, « Electronique appliquée aux hautes fréquences », DUNOD, 1999. [2](#)
- [4] U. L. Rohde, « Digital PLL Frequency Synthesizers - Theory and Design », Prentice Hall, 1983. [2](#)
- [5] J. Tierney, C. Rader, and B. Gold, « A Digital Frequency Synthesizer », *IEEE Transactions on Audio and Electroacoustics*, vol. AU-19, pp. 48–57, mars 1971. [2](#)
- [6] K.-H. Cheng, T.-H. Yao, S.-Y. Jiang, and W.-B. Yang, « A Difference Detector PFD For Low Jitter PLL », *Electronics Circuits and Systems 2001 - ICECS 2001 - The 8th IEEE International Conference*, vol. 1, pp. 43–46, september 2001. [2.1.2](#)
- [7] D. A. HODGES and H. G. JACKSON, « Analysis and design of digital integrated circuits », McGraw-Hill. [2.1.3.2](#)
- [8] B. Razavi, « RF Electronics », Prentice Hall, 1998. [2.1.3.2](#)
- [9] J. Encinas, « Systèmes à Verrouillage de Phase - Réalisations et applications », MASSON, 1989. [2.1.3.2](#)
- [10] R. Staszewski, D. Leipold, and P. Balsara, « Direct frequency modulation of an ADPLL for bluetooth/GSM with injection pulling elimination », *Circuits and Systems II : Express Briefs, IEEE Transactions on [see also Circuits and Systems II : Analog and Digital Signal Processing, IEEE Transactions on]*, vol. 52, pp. 339–343, June 2005. [2.1.4](#)
- [11] T.-C. Chao and W. Hwang, « A 1.7mW All Digital Phase-Locked Loop with New Gain Generator and Low Power DCO », in *Circuits and Systems, 2006. ISCAS 2006. Proceedings. 2006 IEEE International Symposium on*, pp. 4867–4870, 21-24 May 2006. [2.1.4](#)
- [12] K. Muhammad, Y.-C. Ho, J. Mayhugh, T.L., C.-M. Hung, T. Jung, I. Elahi, C. Lin, I. Deng, C. Fernando, J. Wallberg, S. Vemulapalli, S. Larson, T. Murphy, D. Leipold, P. Cruise, J. Jaehnig, M.-C. Lee, R. Staszewski, R. Staszewski, and K. Maggio, « The First Fully Integrated Quad-Band GSM/GPRS Receiver in a 90-nm Digital CMOS Process », *Solid-State Circuits, IEEE Journal of*, vol. 41, pp. 1772–1783, Aug. 2006. [2.1.4](#)
- [13] J. Volder, « Binary computation algorithm for coordinate rotation and function generation », *Covair Report. IAR-1 148 Aero-electronics group*, June 1956. [2.4.2](#)
- [14] L. Fanucci, R. Roncella, and R. Saletti, « A sine wave digital synthesizer based on a quadratic approximation », in *Frequency Control Symposium and PDA Exhibition, 2001. Proceedings of the 2001 IEEE International*, pp. 806–810, 6-8 June 2001. [2.4.2.3](#)
- [15] D. De Caro, E. Napoli, and A. Strollo, « Direct digital frequency synthesizers using high-order polynomial approximation », in *Solid-State Circuits Conference, 2002. Digest of Technical Papers. ISSCC. 2002 IEEE International*, vol. 1, pp. 134–135vol.1, 3-7 Feb. 2002. [2.4.2.3](#)

- [16] A. Sodagar and G. Lahiji, « A pipelined ROM-less architecture for sine-output direct digital frequency synthesizers using the second-order parabolic approximation », *Circuits and Systems II : Analog and Digital Signal Processing, IEEE Transactions on [see also Circuits and Systems II : Express Briefs, IEEE Transactions on]*, vol. 48, pp. 850–857, Sept. 2001. [2.4.2.3](#)
- [17] W. Akram and J. Swartzlander, E.E., « Direct digital frequency synthesis using piece-wise polynomial approximation », in *Signals, Systems and Computers, 2003. Conference Record of the Thirty-Seventh Asilomar Conference on*, vol. 2, pp. 2237–2241 Vol.2, 9-12 Nov. 2003. [2.4.2.3](#)
- [18] C. Meenakarn and A. Thanachayanont, « A ROM-less direct digital frequency synthesiser using a polynomial approximation », in *VLSI Technology, Systems, and Applications, 2003 International Symposium on*, pp. 296–299, 2003. [2.4.2.3](#)
- [19] D. De Caro and A. Strollo, « High-performance direct digital frequency synthesizers in 0.25  $\mu\text{m}$  CMOS using dual-slope approximation », *Solid-State Circuits, IEEE Journal of*, vol. 40, pp. 2220–2227, Nov. 2005. [2.4.2.3](#)
- [20] A. Strollo, E. Napoli, and D. De Caro, « Direct digital frequency synthesizers using first-order polynomial Chebyshev approximation », in *Solid-State Circuits Conference, 2002. ESSCIRC 2002. Proceedings of the 28th European*, pp. 527–530, 24-26 Sept. 2002. [2.4.2.3](#)
- [21] D. De Caro and A. Strollo, « High-performance direct digital frequency synthesizers using piecewise-polynomial approximation », *Circuits and Systems I : Regular Papers, IEEE Transactions on [see also Circuits and Systems I : Fundamental Theory and Applications, IEEE Transactions on]*, vol. 52, pp. 324–337, Feb. 2005. [2.4.2.3](#)
- [22] Y. Song and B. Kim, « A 16 b quadrature direct digital frequency synthesizer using interpolative angle rotation algorithm », in *VLSI Circuits Digest of Technical Papers, 2002. Symposium on*, pp. 146–147, 13-15 June 2002. [2.4.2.3](#)
- [23] W. Yang, Z. ke jia, and M. Hao, « A direct digital frequency synthesizer based onCORDIC algorithm implemented with FPGA », in *ASIC, 2003. Proceedings. 5th International Conference on*, vol. 2, pp. 832–835 Vol.2, 21-24 Oct. 2003. [2.4.2.3](#)
- [24] C.-H. Wen, H.-Y. Hsu, H. Y. Ko, and A.-Y. Wu, « Least squares approximation-based ROM-free direct digital frequency synthesizer », in *Circuits and Systems, 2004. ISCAS '04. Proceedings of the 2004 International Symposium on*, vol. 2, pp. II–701–4 Vol.2, 23-26 May 2004. [2.4.2.3](#)
- [25] F. Curticapean, K. Palomaki, and J. Niittylahti, « Quadrature direct digital frequency synthesizer using an angle rotation algorithm », in *Circuits and Systems, 2003. ISCAS '03. Proceedings of the 2003 International Symposium on*, vol. 2, pp. II–81–II–84 vol.2, 25-28 May 2003. [2.4.2.3](#)

- [26] F. Curticpean and J. Nittylahti, « Direct digital frequency synthesizers of high spectral purity based on quadratic approximation », in *Electronics, Circuits and Systems, 2002. 9th International Conference on*, vol. 3, pp. 1095–1098vol.3, 15-18 Sept. 2002. [2.4.2.3](#)
- [27] K. Tajima, Y. Imai, Y. Kanagawa, and K. Itoh, « A 5 to 10 GHz low spurious triple tuned type PLL synthesizer driven by frequency converted DDS unit », in *Microwave Symposium Digest, 1997., IEEE MTT-S International*, vol. 3, pp. 1217–1220vol.3, 8-13 June 1997. [2.8.2.1](#)
- [28] H.-G. Ryu, Y.-Y. Kim, H.-M. Yu, and H.-S. Lee, « A new triple-controlled type frequency synthesizer using simplified DDFS-driven digital hybrid PLL system », *Consumer Electronics, IEEE Transactions on*, vol. 48, pp. 63–71, Feb. 2002. [2.8.2.1](#)
- [29] Y.-D. Wu, C.-M. Lai, C.-Y. Chou, and P.-C. Huang, « An OPLL-DDS based frequency synthesizer for DCS-1800 receiver », in *Circuits and Systems, 2006. ISCAS 2006. Proceedings. 2006 IEEE International Symposium on*, p. 4pp., 21-24 May 2006. [2.8.2.1](#)
- [30] L. Zhai, Y. Jiang, X. Ling, and W. Gao, « DDS-driven PLL frequency synthesizer for X-band radar signal simulation », in *Systems and Control in Aerospace and Astronautics, 2006. ISSCAA 2006. 1st International Symposium on*, p. 3pp., 19-21 Jan. 2006. [2.8.2.1](#)
- [31] H.-G. Ryu, Y.-Y. Kim, H.-M. Yu, and S.-B. Ryu, « Design of DDFS-driven PLL frequency synthesizer with reduced complexity », *Consumer Electronics, IEEE Transactions on*, vol. 47, pp. 194–198, Feb. 2001. [2.8.2.1](#)



---

## Chapitre 3

# Intégration d'un DDS en technologie BiCMOS SiGe:C 0,25 $\mu\text{m}$

---



## Introduction

Ce chapitre est dédié à la description de l'intégration de circuits de synthèse de fréquences en technologie BiCMOS SiGe:C 0,25  $\mu$ m. Nous présentons les deux systèmes sur lesquels nous avons travaillé : une boucle à verrouillage de phase (PLL) et un synthétiseur digital direct (DDS). Les travaux effectués sur la topologie de la PLL ont pour but d'améliorer son fonctionnement, en modifiant les structures numériques précédemment utilisées d'une part, et en proposant des solutions pour palier aux problèmes liés à la numérisation d'autre part. Nous présentons une nouvelle topologie pour le diviseur de fréquence qui permet d'économiser l'utilisation d'un décompteur et donc de réduire la consommation. Nous présentons aussi une pompe de charge à courant variable ainsi que la topologie de la PLL associée à son utilisation. Cette architecture a pour but d'améliorer le fonctionnement du couple comparateur de phase numérique pompe de charge en réduisant les phénomènes parasites.

Nous avons ensuite cherché à numériser l'oscillateur contrôlé en tension (VCO), nous nous sommes donc intéressés au DDS. C'est un système de synthèse de signaux qui, de part son fonctionnement numérique, possède une grande agilité pour manipuler l'amplitude, la phase et la fréquence. Il existe un grand nombre de réalisations de DDS cependant peu d'entre eux fonctionnent dans le domaine des micro-ondes. Le DDS utilise un accumulateur pour calculer la phase du signal suivi d'un système qui convertit cette phase en amplitude, enfin un convertisseur numérique/analogique est utilisé pour obtenir un signal utilisable. Nous développons les trois techniques qui ont été mises en place pour réaliser les trois blocs d'un DDS hyperfréquence. D'abord, l'accumulateur de phase et la logique mixte ECL/CMOS multi-niveaux dont il est constitué. Ensuite, le convertisseur numérique/analogique à sources de courant commutées. Enfin, le convertisseur phase/amplitude utilisant la fonction de transfert non-linéaire d'une paire différentielle. Nous présentons les circuits qui ont été développés : un accumulateur 3-bits, un convertisseur N/A 8-bits associé à une paire différentielle et un DDS 9-bits et discutons les résultats obtenus. Enfin nous concluons.

### 3.1 PLL à 10 GHz intégrée en technologie BiCMOS SiGe:C 0,25 $\mu$ m

La PLL présentée ici est la continuité d'un précédent travail effectué par Mathilde Sié et Wah Wong. Le VCO a été adapté de la technologie BiCMOS 7 à la BiCMOS 7RF par Anthony Coustou. Nous avons principalement travaillé sur deux autres blocs de la PLL : le diviseur de fréquence programmable et la pompe de charge.



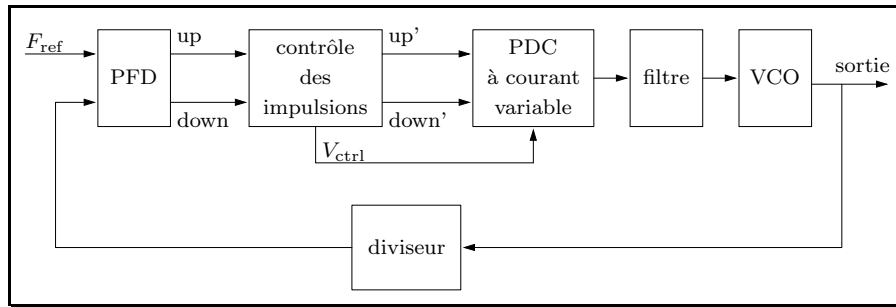


FIG. 3.1: PLL avec une pompe de charge à courant variable

### 3.1.1 Pompe de charge à courant variable

#### 3.1.1.1 Principe

Le principe de fonctionnement du couple PFD pompe de charge a été présenté au § 2.1.2. Nous avons vu que le PFD génère des impulsions sur deux signaux dénommés **Up** et **Down** en fonction de l'écart de phase/fréquence entre le signal de référence et le signal provenant du VCO (ou du diviseur). Lorsque la phase et la fréquence des deux signaux devient proche, les impulsions fournies par le PFD sont de très faible durée, la pompe de charge ne peut plus créer des impulsions proportionnelles à **Up** et **Down**. De plus l'état temporaire (où **Up** et **Down** sont simultanément à 1) qui permet la mise à 0 de ces signaux n'est plus négligeable. Ces deux phénomènes font que la pompe de charge ne peut parvenir à modifier correctement la tension de commande du VCO. La solution que nous proposons est présentée fig. 3.1. Elle consiste en un PFD classique suivi d'un système de contrôle des impulsions et enfin d'une pompe de charge à courant variable. Le bloc de contrôle des impulsions est utilisé pour imposer une durée minimale aux signaux **Up** et **Down**, il possède une sortie supplémentaire ( $V_{ctrl}$ ) qui fournit une tension proportionnelle à la durée originelle de **Up** et **Down**. Le but de ce système est de fournir des impulsions toujours compatibles avec la vitesse de commutation de la pompe de charge et de diminuer le courant qu'elle fournit plutôt que la largeur des impulsions. Le courant de la pompe de charge est contrôlé de sorte que la quantité de charges transférées au filtre soit toujours proportionnelle à la largeur des impulsions originelles.

#### 3.1.1.2 Réalisation

La pompe de charge que nous avons mise en oeuvre est présentée fig. 3.2. Nous avons repris une structure précédemment utilisée et avons rajouté un transistor NMOS ( $T_2$ ) dans la branche du miroir de courant de référence (branche la plus à gauche). Ce transistor permet, au travers de la tension  $V_{ctrl}$  qui lui est appliquée, de contrôler le courant de sortie de la pompe de charge.

#### 3.1.1.3 Résultats expérimentaux

La pompe de charge a été réalisée (fig. 3.3) en technologie BiCMOS SiGe:C 0,25 $\mu$ m. Les mesures statiques du courant de sortie en fonction de la commande (**Up** ou **Down**) et de la

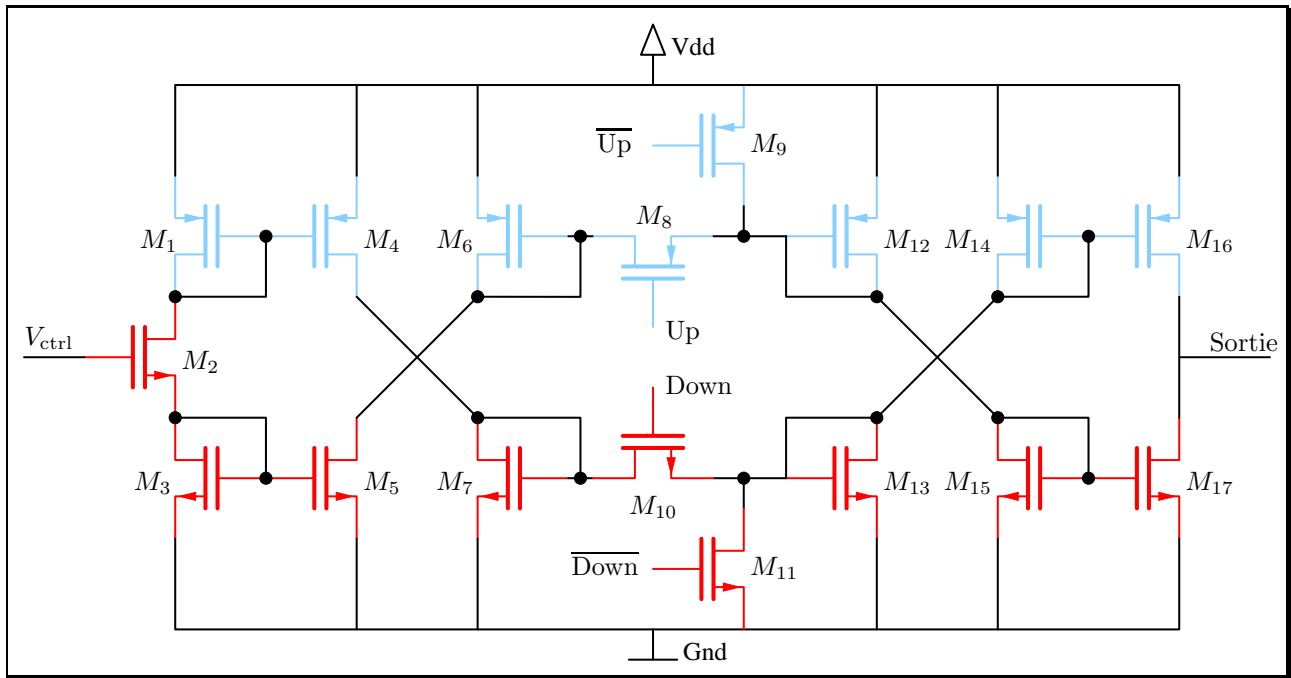


FIG. 3.2: Réalisation de la pompe de charge en CMOS

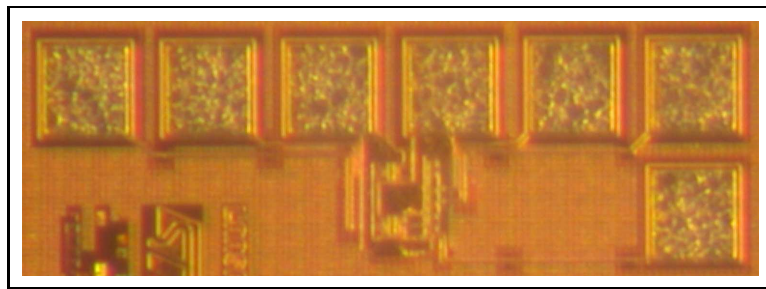


FIG. 3.3: Photographie de la pompe de charge réalisée en technologie BiCMOS SiGe:C 0,25µm

tension de contrôle ( $V_{ctrl}$ ) sont présentées fig. 3.4. On peut voir qu'il y a une dissymétrie entre les courants positifs et négatifs : ceci est dû aux dispersions technologiques lors de la réalisation. En effet, les transistors PMOS et NMOS n'ont pas naturellement les mêmes caractéristiques électriques. Pour les technologies silicium, il faut généralement des PMOS trois fois plus grands pour qu'ils soient équivalents aux NMOS. De plus, afin d'avoir une fréquence de fonctionnement élevée de la pompe de charge, nous avons utilisé des transistors de petite taille, ce qui les rend très sensibles aux variations.

L'utilisation d'une pompe de charge à courant variable dans une PLL peut être vue comme une manière de linéariser la fonction de transfert du couple PFD/pompe de charge, ce qui était notre idée de départ. Cependant il est possible d'imaginer une tout autre application car la modification du courant de la pompe de charge permet de modifier le gain de boucle et par conséquent sa dynamique. Ceci permettrait d'avoir une PLL plus versatile en la rendant adaptable en temps réel aux caractéristiques de l'application. Nous n'avons pas, faute de temps, exploré cette voie.

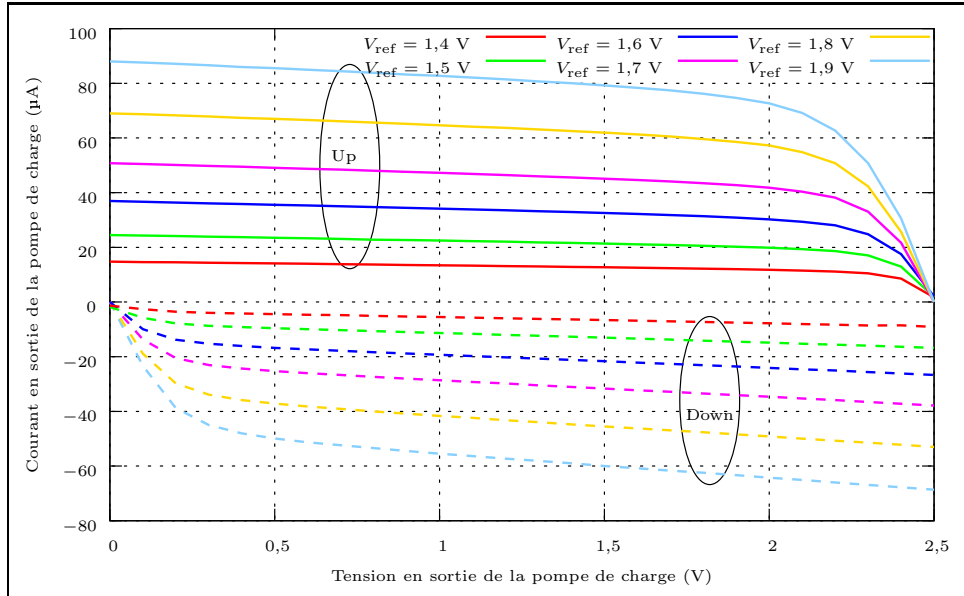


FIG. 3.4: Courant en sortie de la pompe de charge en fonction de la commande (Up ou Down) // et de la tension de contrôle ( $V_{ctrl}$ )

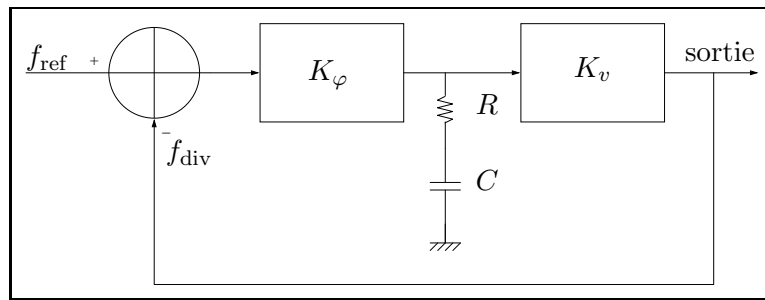


FIG. 3.5: Schéma bloc d'une boucle à verrouillage de phase avec un filtre du 1<sup>er</sup> ordre

### 3.1.2 Numérisation du couple pompe de charge/filtre

Après avoir travaillé sur l'amélioration du couple PFD/pompe de charge, nous avons cherché à numériser la pompe de charge et le filtre. Afin que la PLL puisse fonctionner à haute fréquence nous n'avons pas choisis d'implémenter un filtre numérique classique à réponse impulsionnelle finie ou infinie (FIR ou IIR) car la puissance de calcul nécessaire n'est pas compatible avec la capacité d'intégration dans les circuits numériques hyperfréquences. La solution qui a été retenue consiste à reproduire le fonctionnement d'un filtre analogique.

#### 3.1.2.1 Principe

Dans son fonctionnement analogique, la pompe de charge envoie un courant positif ou négatif dans le filtre. Ce courant va charger ou décharger les capacités et créer des différences de potentiel aux bornes des résistances. Si l'on souhaite simuler ce comportement, il est possible de remplacer les capacités par des accumulateurs et les résistances par des additionneurs. Le schéma bloc d'une PLL avec un filtre RC du 1<sup>er</sup> ordre est présenté fig. 3.5. Les valeurs  $K_\varphi$  et  $K_v$  représentent respectivement le gain du couple PFD/pompe de charges et le gain du VCO.

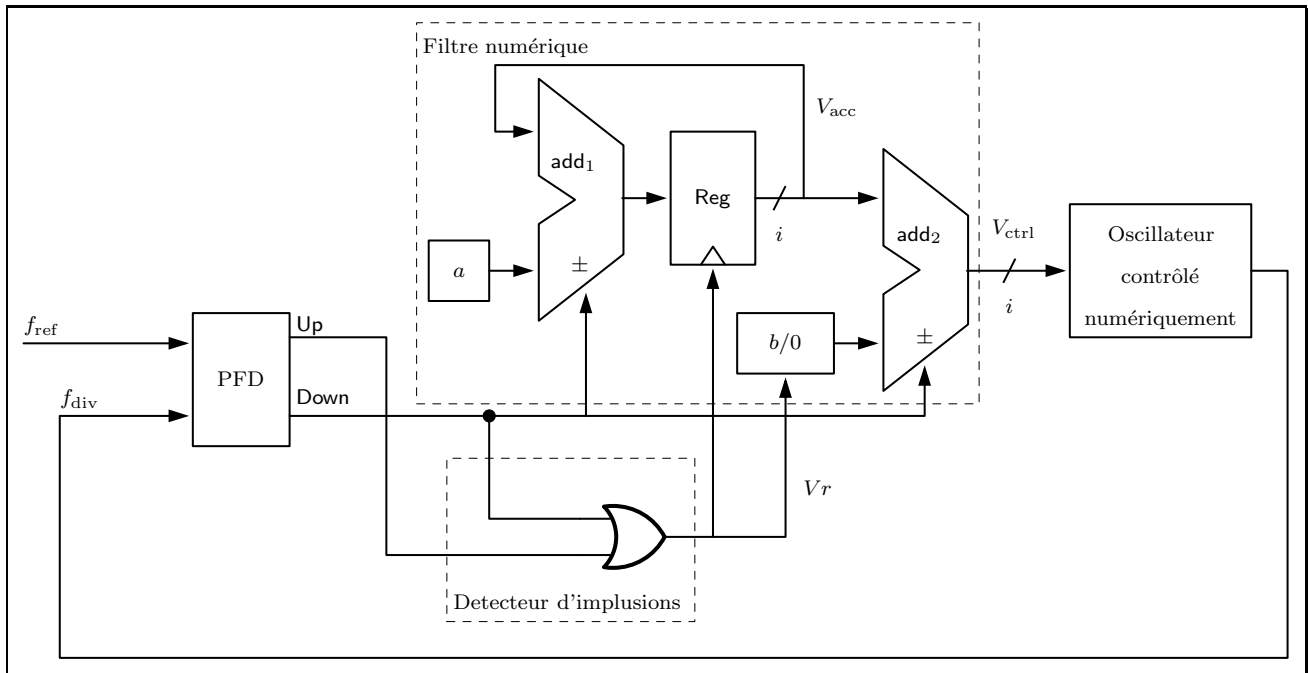


FIG. 3.6: Réalisation d'un filtre numérique simple

La première tentative de numérisation de cette PLL est présentée fig. 3.6, elle est composée d'un comparateur de phase/fréquence, d'un détecteur d'impulsions (porte OU), d'un filtre numérique et d'un oscillateur contrôlé numériquement. Le fonctionnement global est identique à celui d'une PLL classique, le comparateur de phase crée les signaux **Up** et **Down** en fonction de  $f_{ref}$  et  $f_{div}$ . Le bloc de détection crée une impulsion dès qu'il détecte la présence de **Up** ou **Down**, ces impulsions contrôlent le registre **Reg** associé à **add1** de sorte que  $V_{acc}$  soit incrémenté de  $a$  si **Down** = 0 ou soit décrétement de  $a$  si **Down** = 1. C'est le fonctionnement équivalent à la capacité  $C$  du filtre, l'additionneur **add2** simule le fonctionnement de la résistance  $R$ . Si **Up** = **Down** = 0 alors  $V_r = 0$ , il additionne 0 à la valeur de  $V_{acc}$ ,  $V_{ctrl} = V_{acc}$ . Si **Up** = 1 ou **Down** = 1  $V_r = 1$ , il ajoute  $b$  si **Down** = 0 retranche  $b$  si **Down** = 1. Les valeurs de  $a$  et de  $b$  sont les équivalents numériques de  $C$  et  $R$ .

Le fonctionnement est proche de celui d'une PLL classique mis à part le fait que ce système n'est pas linéaire, en effet il détecte une différence de phase/fréquence mais la réponse du filtre numérique n'est pas proportionnelle à cet écart. La vitesse de réaction de la boucle est limitée quand les fréquences sont éloignées, de plus, le comportement peut être difficile à prévoir.

Afin de palier à ces problèmes nous avons modifié la structure du détecteur d'impulsions (fig. 3.7) pour qu'il détecte les répétitions de  $f_{ref}$  quand **Up** = 1 et celles de  $f_{div}$  quand **Down** = 1. Ceci est réalisé par les deux portes ET qui « mélangent »  $f_{ref}$  et **Up** ainsi que  $f_{div}$  et **Down** dans le bloc de détection des impulsions. Le fonctionnement du filtre est linéarisé quand les fréquences de  $f_{ref}$  et  $f_{div}$  sont éloignées.

Enfin, pour linéariser le fonctionnement du système quand  $f_{ref}$  et  $f_{div}$  sont proche, nous avons mis au point une troisième version du filtre dans laquelle un horloge supplémentaire (**Clk**) est utilisée dans le bloc de détection des impulsions. À condition que la fréquence de **Clk** soit

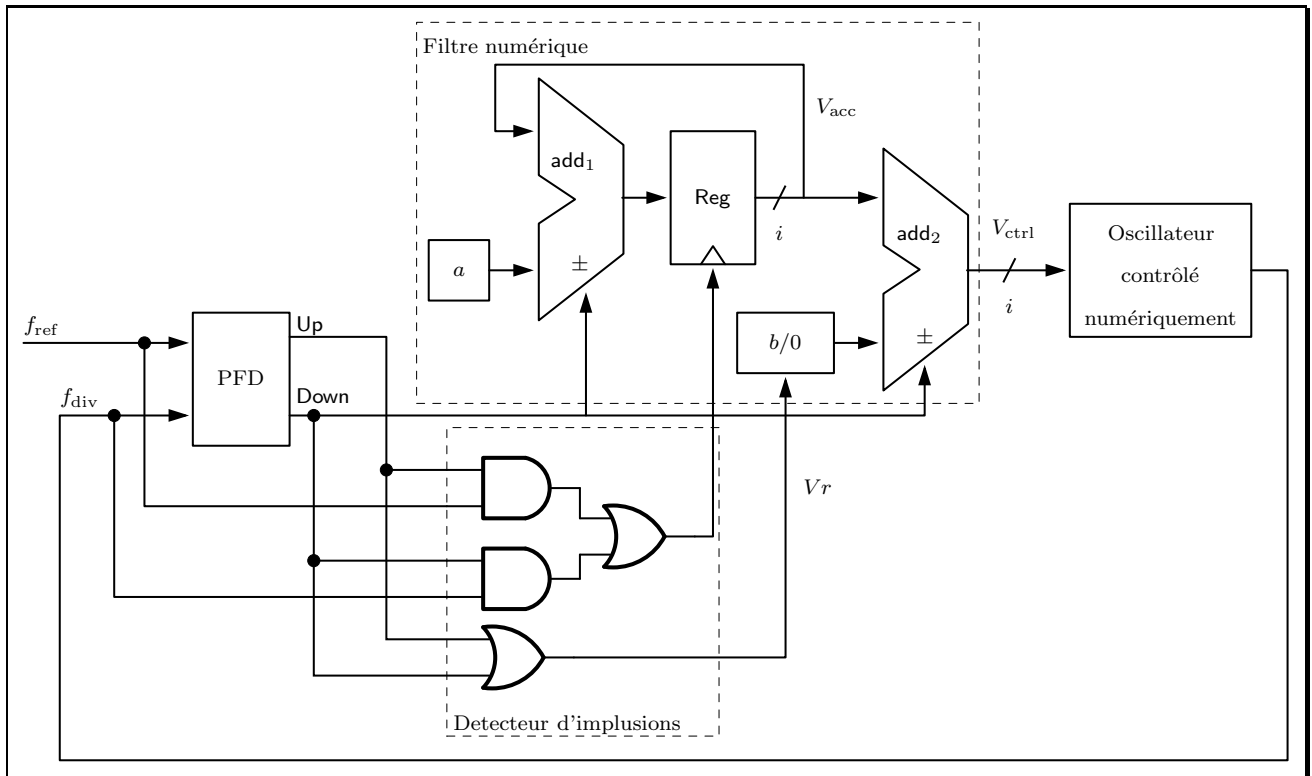


FIG. 3.7: Réalisation d'un filtre numérique linéarisé

plus grande que  $f_{\text{ref}}$  et  $f_{\text{div}}$  on a alors un nombre d'impulsions en sortie proportionnel à la différence de phase/fréquence entre les deux signaux en entrée.

### 3.1.2.2 Résultat de simulations

#### *i* simulation AHDL

Les trois structures ont été simulées en utilisant des blocs AHDL, les résultats sont présentés fig. 3.9. Ces courbes représentent la réponse à des sauts de fréquence des trois systèmes décrits. La courbe noire est pour le système de base, on peut clairement remarquer le fonctionnement non linéaire de celle-ci. La courbe en pointillés longs est pour la première évolution du système, on peut voir que le comportement est linéarisé quand  $f_{\text{ref}}$  et  $f_{\text{div}}$  sont éloignés (le début de la courbe est une droite) cependant il persiste toujours un phénomène non linéaire quand les deux fréquences sont proches. Enfin la courbe en pointillés courts représente le système final dont le fonctionnement peut être considéré comme linéaire.

Le principal avantage de ce système est, comme pour tous les systèmes numériques, sa versatilité. En effet les valeurs de  $a$  et  $b$  sont modifiables il est donc possible de contrôler la dynamique de boucle en temps réel. De plus la surface d'intégration de ce filtre est beaucoup plus faible que celle d'un filtre analogique. Enfin, le fonctionnement de ce système n'est pas sensible aux variations de process.

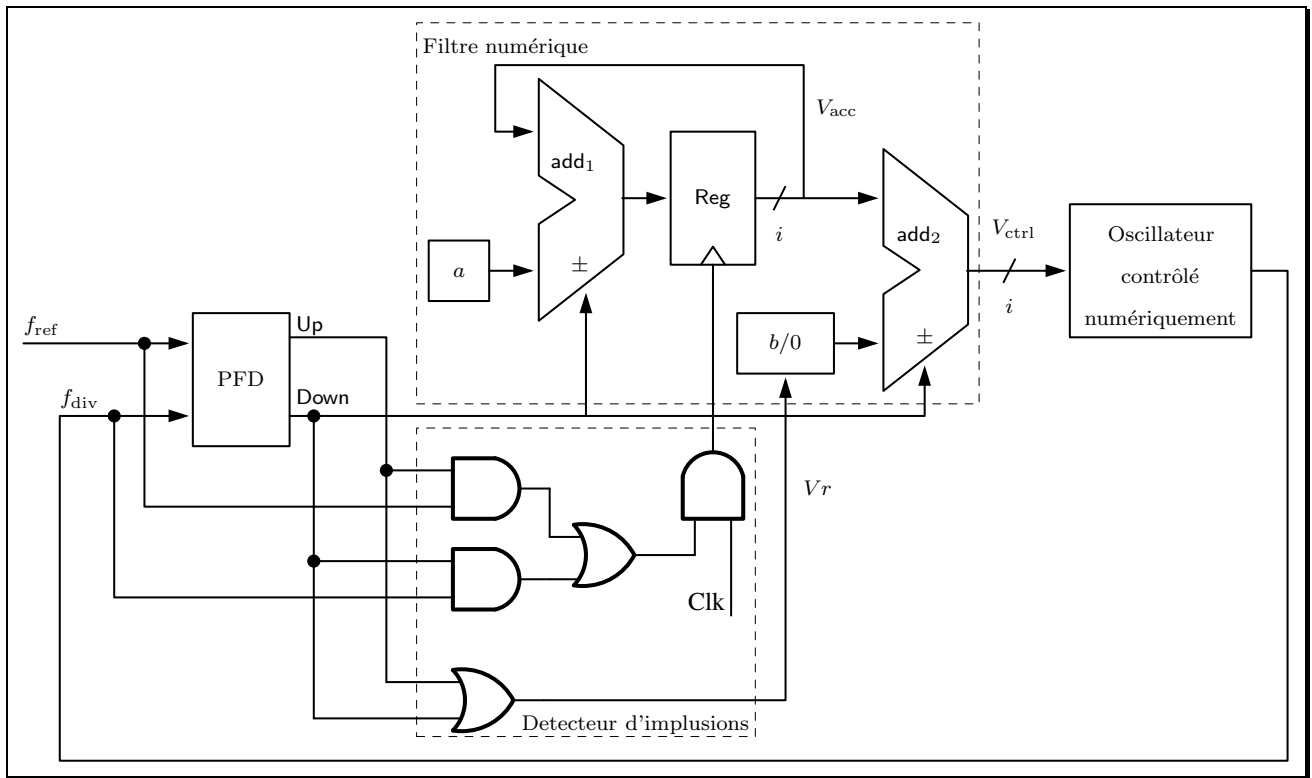


FIG. 3.8: Réalisation d'un filtre numérique linéarisé

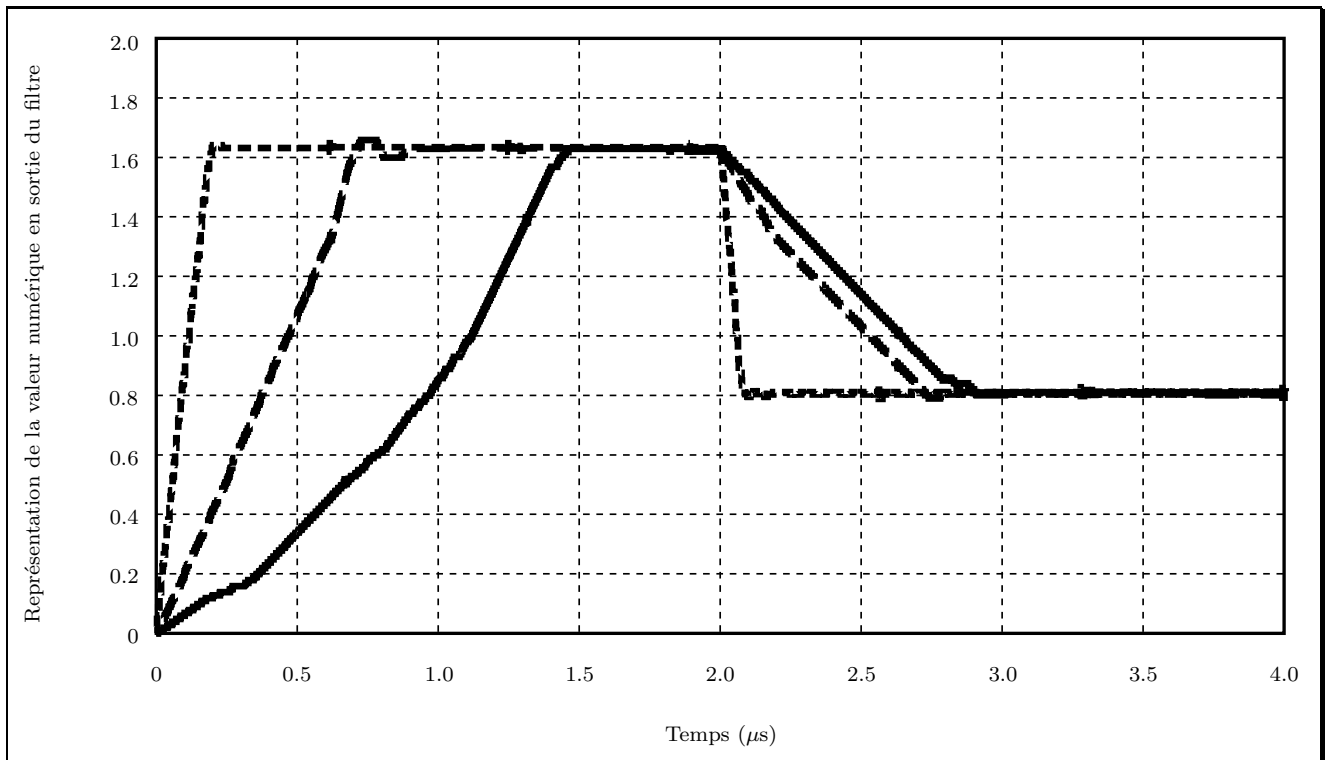


FIG. 3.9: Simulation avec des blocs AHDL des PLL totalement numériques

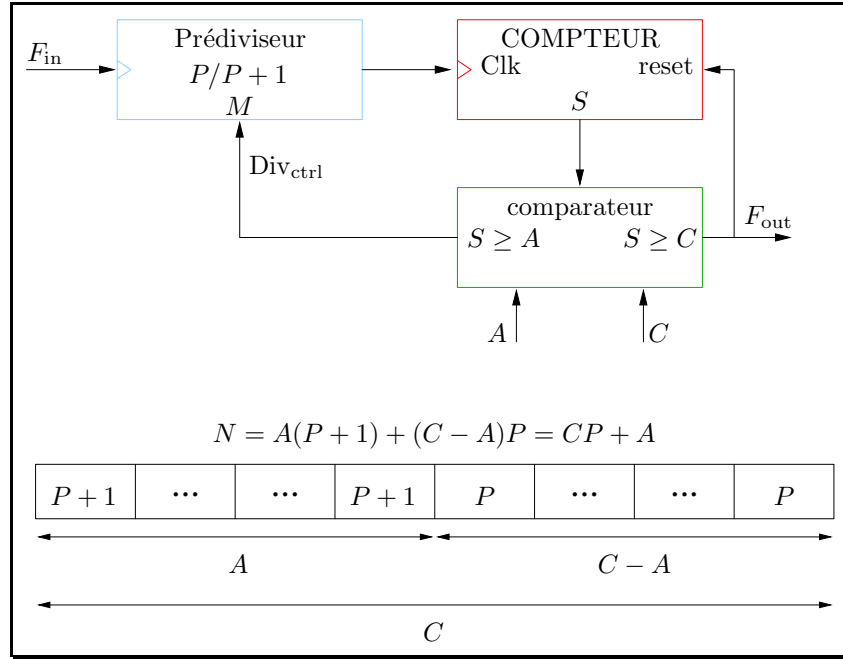


FIG. 3.10: Schéma du diviseur numérique programmable à double module et un seul compteur

### 3.1.3 Diviseur à double module et un seul compteur

La synthèse de fréquence indirecte utilise un diviseur de fréquence dans la boucle de retour (entre la sortie du VCO et l'entrée du PFD) de la PLL. Ce diviseur est classiquement un diviseur à double module ou compteur à échappement (§ 2.1.3.2). Afin de simplifier cette structure et de réduire la consommation, nous avons mis au point une topologie qui n'utilise qu'un seul compteur, le second compteur étant remplacé par un comparateur double. Le fonctionnement est le suivant : au départ le compteur est initialisé à  $S = 0$ , les deux sorties du comparateur sont elles aussi à 0. Le prédiviseur est donc, dans la configuration « division par  $P + 1$  ». La valeur du compteur  $S$  augmente jusqu'à atteindre la valeur  $A$ , la sortie  $S \geq A$  du comparateur change : le prédiviseur change de configuration, il passe en « division par  $P$  ». La valeur du compteur  $S$  continue d'augmenter jusqu'à atteindre la valeur  $C$ . Alors la sortie  $S \geq C$  du comparateur change et impose un « reset » au compteur, il se retrouve dans l'état initial et le cycle recommence. Le signal en sortie est donc composé de  $A$  cycles de division par  $P + 1$  et de  $C - A$  cycles de division par  $P$ . Le rapport de division est donc :

$$N = A(P + 1) + (C - A)P = CP + A \quad (3.1)$$

La PLL a été conçue pour fonctionner entre 9,5 GHz et 10,5 GHz avec une fréquence de référence de 10 MHz. Les rapports de division autorisés sont donc compris entre 950 et 1050. Le prédiviseur  $P/P + 1$  a été choisi pour effectuer les divisions par 32 et 33, le compteur utilisé pour  $A$  et  $C$  est de 5 bits (0 à 31). Le tab. 3.1 contient tous les rapports de division possibles en fonction des combinaisons de  $A$  et  $C$ . Presque toutes les valeurs entre 950 et 1050 (texte en gras) sont possibles, il ne manque que 991, 958 et 959.

A B	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32
0	0	32	64	96	128	160	192	224	256	288	320	352	384	416	448	480	512	544	576	608	640	672	704	736	768	800	832	864	896	928	<b>960</b>	<b>992</b>	<b>1024</b>
1	33	65	97	129	161	193	225	257	289	321	353	385	417	449	481	513	545	577	609	641	673	705	737	769	801	833	865	897	929	<b>961</b>	<b>993</b>	<b>1025</b>	
2	66	98	130	162	194	226	258	290	322	354	386	418	450	482	514	546	578	610	642	674	706	738	770	802	834	866	898	930	<b>962</b>	<b>994</b>	<b>1026</b>		
3	99	131	163	195	227	259	291	323	355	387	419	451	483	515	547	579	611	643	675	707	739	771	803	835	867	899	931	<b>963</b>	<b>995</b>	<b>1027</b>			
4	132	164	196	228	260	292	324	356	388	420	452	484	516	548	580	612	644	676	708	740	772	804	836	868	900	932	<b>964</b>	<b>996</b>	<b>1028</b>				
5	165	197	229	261	293	325	357	389	421	453	485	517	549	581	613	645	677	709	741	773	805	837	869	901	933	<b>965</b>	<b>997</b>	<b>1029</b>					
6	198	230	262	294	326	358	390	422	454	486	518	550	582	614	646	678	710	742	774	806	838	870	902	934	<b>966</b>	<b>998</b>	<b>1030</b>						
7	231	263	295	327	359	391	423	455	487	519	551	583	615	647	679	711	743	775	807	839	871	903	935	<b>967</b>	<b>999</b>	<b>1031</b>							
8	264	296	328	360	392	424	456	488	520	552	584	616	648	680	712	744	776	808	840	872	904	936	<b>968</b>	<b>1000</b>	<b>1032</b>								
9	297	329	361	393	425	457	489	521	553	585	617	649	681	713	745	777	809	841	873	905	937	<b>969</b>	<b>1001</b>	<b>1033</b>									
10	330	362	394	426	458	490	522	554	586	618	650	682	714	746	778	810	842	874	906	938	<b>970</b>	<b>1002</b>	<b>1034</b>										
11	363	395	427	459	491	523	555	587	619	651	683	715	747	779	811	843	875	907	939	<b>971</b>	<b>1003</b>	<b>1035</b>											
12	396	428	460	492	524	556	588	620	652	684	716	748	780	812	844	876	908	940	<b>972</b>	<b>1004</b>	<b>1036</b>												
13	429	461	493	525	557	589	621	653	685	717	749	781	813	845	877	909	941	<b>973</b>	<b>1005</b>	<b>1037</b>													
14	462	494	526	558	590	622	654	686	718	750	782	814	846	878	910	942	<b>974</b>	<b>1006</b>	<b>1038</b>														
15	495	527	559	591	623	655	687	719	751	783	815	847	879	911	943	<b>975</b>	<b>1007</b>	<b>1039</b>															
16	528	560	592	624	656	688	720	752	784	816	848	880	912	944	<b>976</b>	<b>1008</b>	<b>1040</b>																
17	561	593	625	657	689	721	753	785	817	849	881	913	945	<b>977</b>	<b>1009</b>	<b>1041</b>																	
18	594	626	658	690	722	754	786	818	850	882	914	946	<b>978</b>	<b>1010</b>	<b>1042</b>																		
19	627	659	691	723	755	787	819	851	883	915	947	<b>979</b>	<b>1011</b>	<b>1043</b>																			
20	660	692	724	756	788	820	852	884	916	948	<b>980</b>	<b>1012</b>	<b>1044</b>																				
21	693	725	757	789	821	853	885	917	949	<b>981</b>	<b>1013</b>	<b>1045</b>																					
22	726	758	790	822	854	886	918	<b>950</b>	<b>982</b>	<b>1014</b>	<b>1046</b>																						
23	759	791	823	855	887	919	<b>951</b>	<b>983</b>	<b>1015</b>	<b>1047</b>																							
24	792	824	856	888	920	<b>952</b>	<b>984</b>	<b>1016</b>	<b>1048</b>																								
25	825	857	889	921	<b>953</b>	<b>985</b>	<b>1017</b>	<b>1049</b>																									
26	858	890	922	<b>954</b>	<b>986</b>	<b>1018</b>	<b>1050</b>																										
27	891	923	<b>955</b>	<b>987</b>	<b>1019</b>	<b>1051</b>																											
28	924	<b>956</b>	<b>988</b>	<b>1020</b>	<b>1052</b>																												
29	<b>957</b>	<b>989</b>	<b>1021</b>	<b>1053</b>																													
30	<b>990</b>	<b>1022</b>	<b>1054</b>																														
31	<b>1023</b>	<b>1055</b>																															
32	<b>1056</b>																																

TAB. 3.1 : Rapports de division possibles avec un prédiviseur 32/33 et un compteur 5-bits



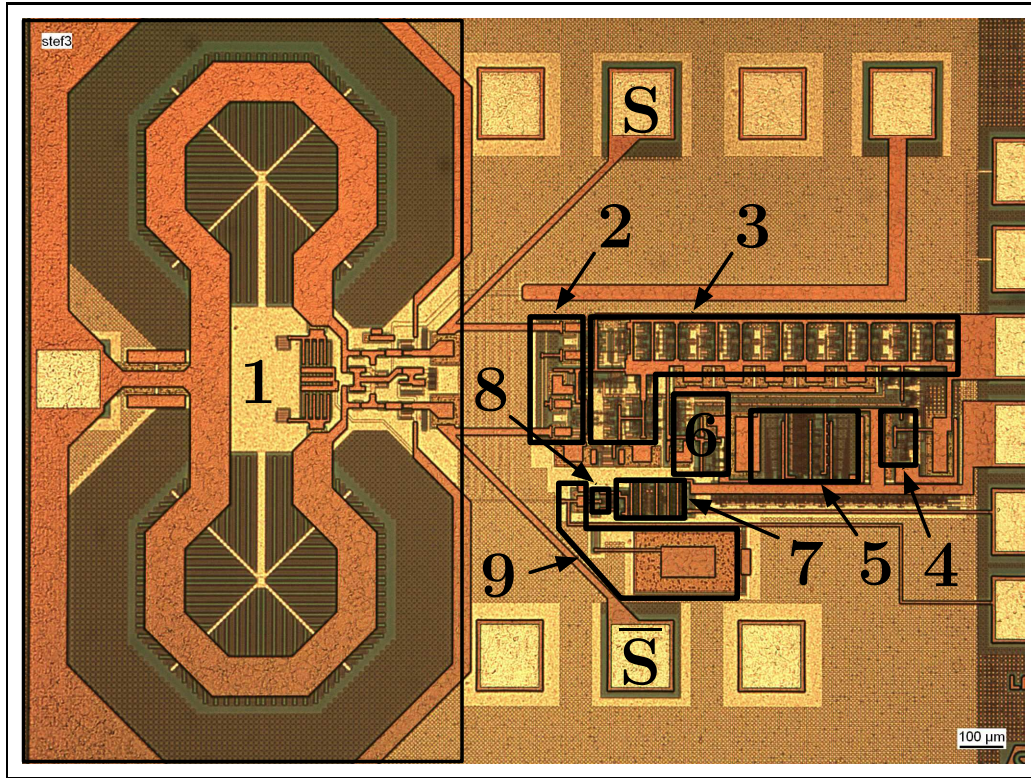


FIG. 3.11: Photographie de la PLL intégrée en technologie BiCMOS SiGe:C 0,25  $\mu$ m, 1 : VCO, 2 : buffer, 3 : diviseur  $P/P + 1$ , 4 : convertisseur ECL/CMOS, 5 : compteur/comparateur CMOS, 6 : convertisseur CMOS/ECL, 7 : comparateur phase/fréquence, 8 : pompe de charge, 9 : filtre de boucle.

### 3.1.3.1 Intégration de la PLL

Une PLL utilisant le diviseur programmable précédemment présenté a été réalisée en technologie BiCMOS SiGe:C 0,25  $\mu$ m (Fig 3.11). Elle consomme 310 mW sous 2,7 V. Le prédiviseur 32/33 est réalisé en logique ECL, le compteur et les comparateurs sont en logique CMOS. Ils ont une résolution de 5 bits. La programmation du diviseur est réalisée grâce à une interface série implémentée en CMOS.

### 3.1.3.2 Résultats expérimentaux

La fig. 3.12 représente la superposition des spectres obtenus en sortie de la PLL pour un rapport de division de 1024 ( $32 \times 32$ ), la fréquence de référence variant de 9,4 MHz à 10,08 MHz par pas de 40 kHz, et la fréquence en sortie entre 9,625 GHz et 10,321 GHz. Le fonctionnement en mode  $P + 1$  du prédiviseur n'est pas stable et ne permet pas d'obtenir un fonctionnement correct de la PLL quand il est utilisé.

### 3.1.3.3 Conclusion

La précision des PLL utilisant un diviseur numérique simple est limitée par la fréquence de référence. En effet la fréquence en sortie ne peut être qu'un multiple entier de la fréquence de référence. Ceci n'est pas forcément un problème quand le domaine d'utilisation de la PLL

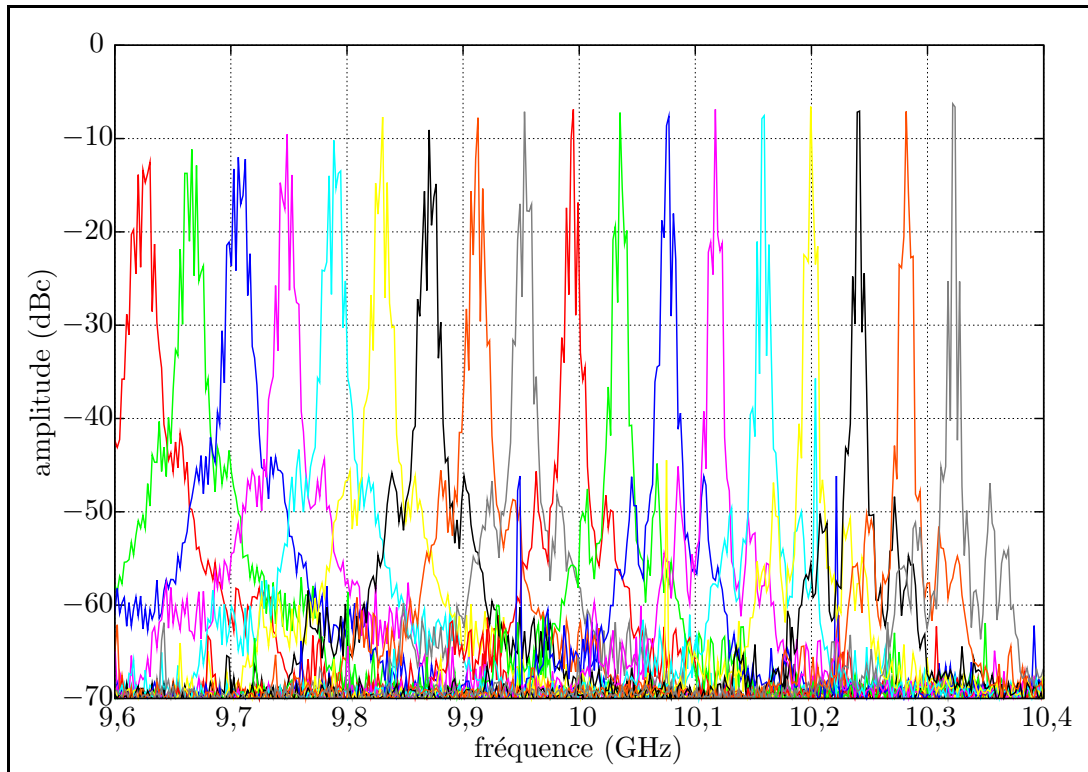


FIG. 3.12: Spectres en sortie de la PLL, le rapport de division est 1024 ( $32 \times 32$ ) et la fréquence en entrée va de 9,4 MHz à 10,08 MHz par pas de 40 kHz

est bien défini, cependant, si l'on souhaite réaliser un système reconfigurable cela peut être un facteur limitant. Suite à cette réalisation nous nous sommes intéressés à la numérisation du VCO, ce qui nous a amenés à travailler sur les DDS. Dans une PLL il peut être utilisé comme un oscillateur contrôlé numériquement (§ 2.8.2.3) mais aussi comme un diviseur de fréquence (§ 2.8.2.2). L'utilisation en tant que diviseur de fréquence permet d'avoir une résolution pour la PLL qui ne dépend plus de la fréquence de référence mais seulement de la précision du DDS car il permet de réaliser des rapports de division non-entiers.

## 3.2 Accumulateur de phase : logique multi niveaux

L'accumulateur de phase est un bloc important du DDS car il peut limiter sa fréquence de fonctionnement, cela dépend de la technique employée pour la conversion phase/amplitude. Comme nous le verrons au § 3.4 le convertisseur phase/amplitude a été choisi de sorte qu'il ne soit pas le bloc qui limite la fréquence de fonctionnement du DDS. Un autre paramètre important de l'accumulateur de phase est sa consommation qui doit être réduite autant que possible. Nous avons donc choisi d'utiliser une logique multi-niveaux mixte ECL/CMOS qui permet de cumuler les deux avantages que sont une grande vitesse de fonctionnement et une consommation limitée.

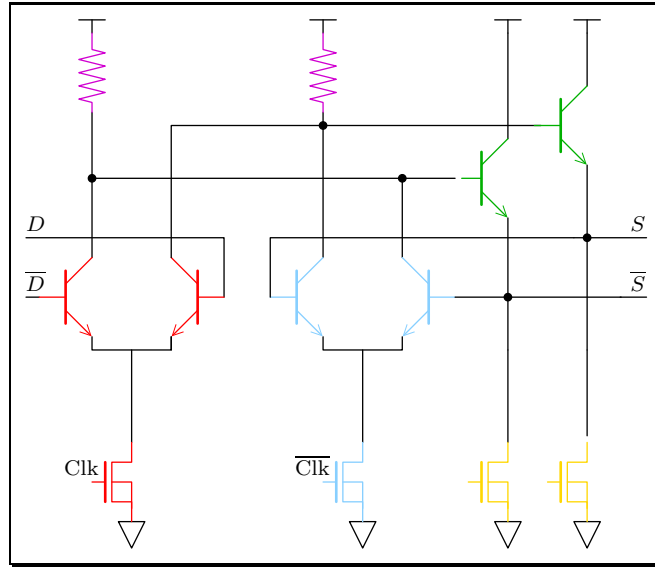


FIG. 3.13: Schématisation d'une bascule sensible sur niveau BiCMOS ECL

### 3.2.1 Registre de mémorisation : bascule D BiCMOS ECL

Pour réaliser un accumulateur, il faut associer un additionneur et un registre de mémorisation. Le registre est classiquement réalisé à base de bascules D sensibles sur front d'horloge, elles mêmes composées de deux bascules sensibles sur niveaux, mises en série fig. 3.13. Dans la schématisation présentée, on reconnaît les structures différentielles de la logique ECL. Cette logique va nous permettre de faire fonctionner les transistors bipolaires en régime non saturé : cela signifie qu'il n'y a pas d'accumulation de charges au niveau de la base du transistor durant un état établi (niveau haut ou niveau bas), ce qui permet de gagner en rapidité lors des commutations en s'affranchissant du temps de déstockage des charges de la base. En ce qui concerne les sources de courant placées au niveau de ces étages différentiels et suiveurs, nous avons utilisé, à la place des paires différentielles bipolaires habituelles (voir fig. 1.10), des sources de courant commandées basées sur de simples MOS. Cette modification a été réalisée afin de faciliter le contrôle de toutes les bascules du DDS. En effet les MOS sont vus par le « buffer » d'horloge comme de simples capacités, il n'a pas besoin de fournir de courant continu (comme cela aurait été le cas pour polariser des transistors bipolaires) et il ne se produit pas de phénomènes non linéaires. Les performances fréquentielles de ce type de bascules sont moins bonnes que celles des réalisations classiques, mais ceci n'est pas un problème car la limitation de la fréquence de fonctionnement de l'accumulateur est seulement due aux temps de propagation de la retenue dans les additionneurs. On peut noter que des transistors montés en diodes ont été ajoutés dans l'étage de sortie afin qu'ils soient directement compatibles avec l'entrée  $B$  de l'additionneur (voir fig. 3.19).

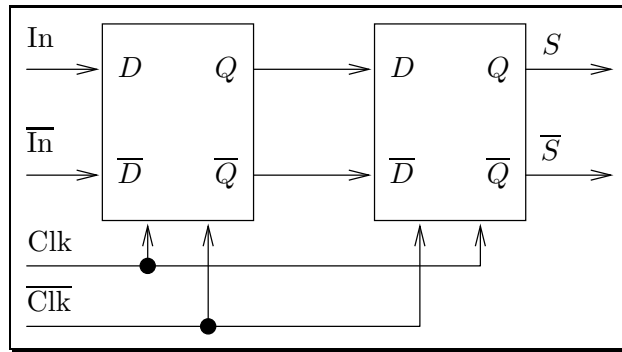


FIG. 3.14: Schématisation d'une bascule sensible sur front constituée de deux bascules sensibles sur niveaux en série

### 3.2.2 Additionneur : logique multi-niveaux

Afin de limiter la consommation ainsi que la complexité d'implémentation, nous avons choisi d'utiliser une structure du type additionneur à propagation de retenue (voir 2.3.1). En effet, l'utilisation d'un grand nombre de bascules D pour réaliser un accumulateur à structure « pipeline » augmente fortement la complexité d'intégration et particulièrement le maintien de l'intégrité des signaux d'horloge. Nous avons choisi d'utiliser une logique multi-niveaux pour les additionneurs, car il est possible d'obtenir un temps de propagation de la retenue très faible, et par conséquent une fréquence de fonctionnement élevée, tout en gardant une consommation raisonnable.

#### 3.2.2.1 Logique multi-niveaux

La logique ECL réalise les opérations logiques en manipulant des courants. Le courant imposé par la source de référence traverse un étage composé de transistors bipolaires. Il est dirigé vers la/les résistance(s) en fonction de la fonction implémentée ainsi que des entrées appliquées. Il est donc possible « d'empiler » plusieurs niveaux pour réaliser plusieurs opérations consécutives. La fig. 3.15 illustre l'empilement de plusieurs niveaux ainsi que la répartition des tensions.

Il est absolument nécessaire de dimensionner avec soin toute la structure de façon à ce que tous les étages soient correctement polarisés. Pour que l'empilement fonctionne dans des conditions optimales, il faut que la tension base-émetteur des transistors bipolaires constituant les paires différentielles soit plus petite que celle des décaleurs de niveau <sup>1</sup>. En effet, cela permet d'avoir des tensions collecteur-base positives, assurant ainsi que les transistors ne sont jamais saturés. Il y a deux paramètres qui permettent de contrôler le  $V_{be}$  des transistors, à savoir le courant de polarisation et la longueur d'émetteur. Un  $V_{be}$  faible s'obtient en diminuant le courant de polarisation et en augmentant la taille du transistor. Un  $V_{be}$  grand s'obtient en augmentant le courant de polarisation et en diminuant la taille du transistor. Les valeurs qui ont été choisies sont les suivantes : pour les paires différentielles,  $w_e = 1,6 \mu\text{m}$  et  $I = 400 \mu\text{A}$ ,

<sup>1</sup>Ce sont les branches de sortie constituées d'un transistor bipolaire monté en émetteur suiveur en série avec une diode et une source de courant

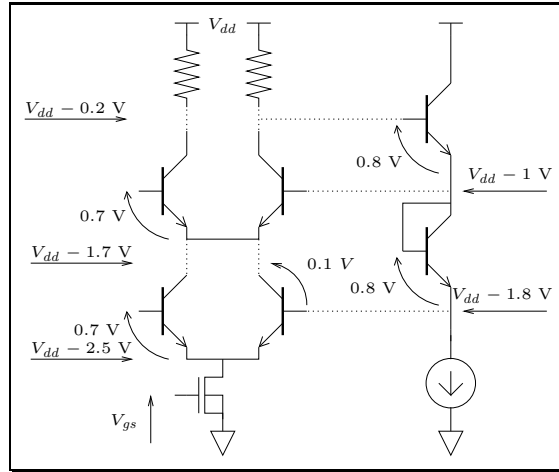


FIG. 3.15: Schématisation d'un système multi-niveaux et de la répartition des tensions associées

pour les étages suiveurs  $w_e = 1,2 \mu\text{m}$  et  $I = 600 \mu\text{A}$ . Ces choix ne sont pas uniquement basés sur l'étude de la répartition des tensions, ils sont issus de l'optimisation des fonctions logiques : temps de commutation des paires différentielles, temps de propagation à travers les étages suiveurs, consommation...

### 3.2.2.2 Implémentation de l'additionneur

Les équations qui décrivent le fonctionnement d'un additionneur 1 bit sont :

$$\text{sum} = a \cdot (b \odot c_{\text{in}}) + \bar{a} \cdot (b \oplus c_{\text{in}}) \quad (3.2)$$

$$= a \cdot (b \cdot c_{\text{in}} + \bar{b} \cdot \bar{c}_{\text{in}}) + \bar{a} \cdot (b \cdot \bar{c}_{\text{in}} + \bar{b} \cdot c_{\text{in}})$$

$$c_{\text{out}} = a \cdot (b + c_{\text{in}}) + \bar{a} \cdot (b \cdot c_{\text{in}}) \quad (3.3)$$

où  $a$ ,  $b$  sont les deux entrées,  $c_{\text{in}}$  la retenue entrante et  $c_{\text{out}}$  la retenue sortante. Une implémentation de ces équations en logique multi niveaux est donnée fig. 3.16. L'originalité de cette implémentation réside dans les sources de courant commandées. Elles sont réalisées avec des transistors NMOS qui permettent de remplacer une paire différentielle de transistors bipolaires ainsi que la source de courant associée comme illustré fig. 3.17. Ceci permet de réduire la consommation grâce à la diminution de la tension d'alimentation tout en préservant la vitesse de propagation de la retenue. En effet, la tension drain-source nécessaire pour que le transistor NMOS soit correctement polarisé est de seulement quelques centaines de mV alors qu'il faut presque 1,4 V pour un transistor bipolaire et sa source de courant.

### 3.2.3 Accumulateur de phase 3-bits intégré

Avant de réaliser un DDS complet, nous avons validé le fonctionnement d'un accumulateur basé sur la structure décrite précédemment. Pour ce faire, un accumulateur de phase 3-bits a été développé puis réalisé en technologie BiCMOS SiGe:C 0.25  $\mu$ m de ST Microelectronics.

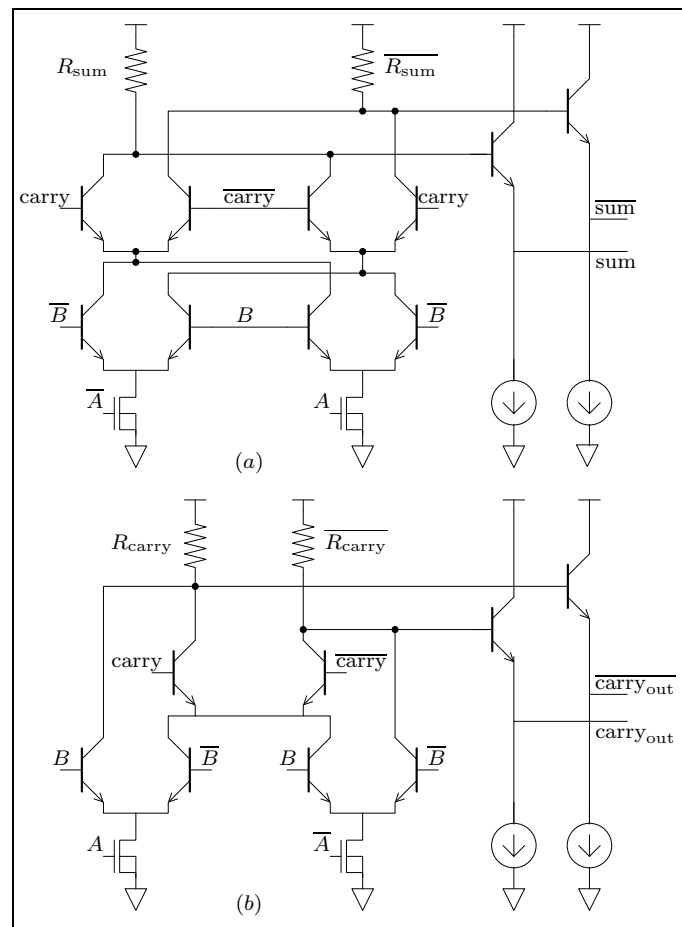


FIG. 3.16: Schématique d'un additionneur complet réalisé en logique BiN MOS multi-niveaux

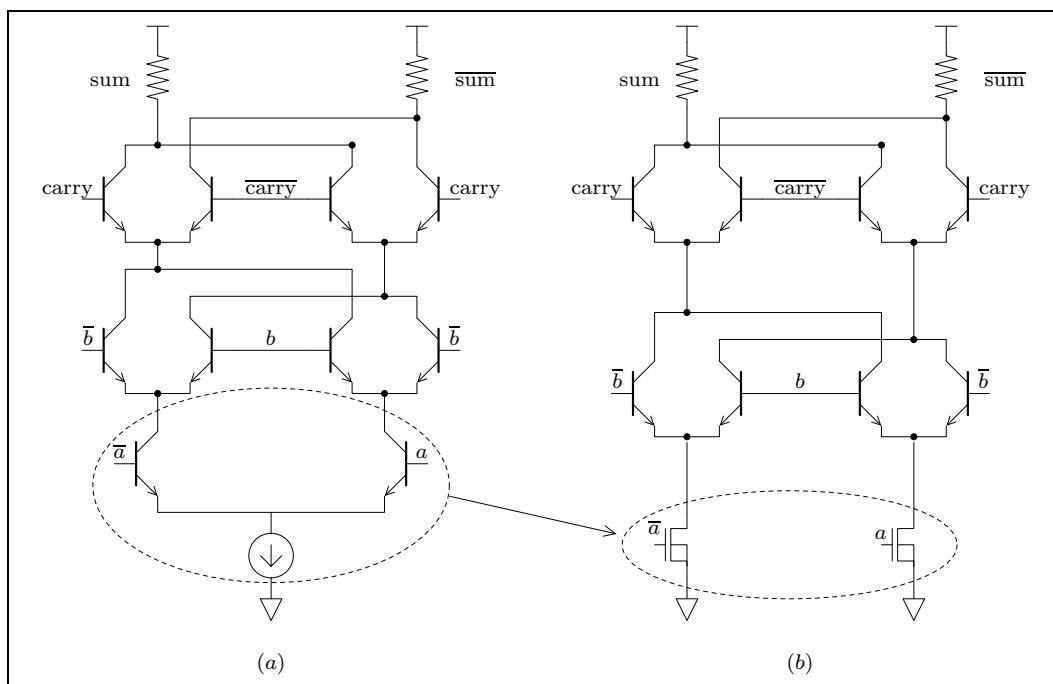


FIG. 3.17: Évolution d'un additionneur entièrement bipolaire vers un additionneur BiN MOS

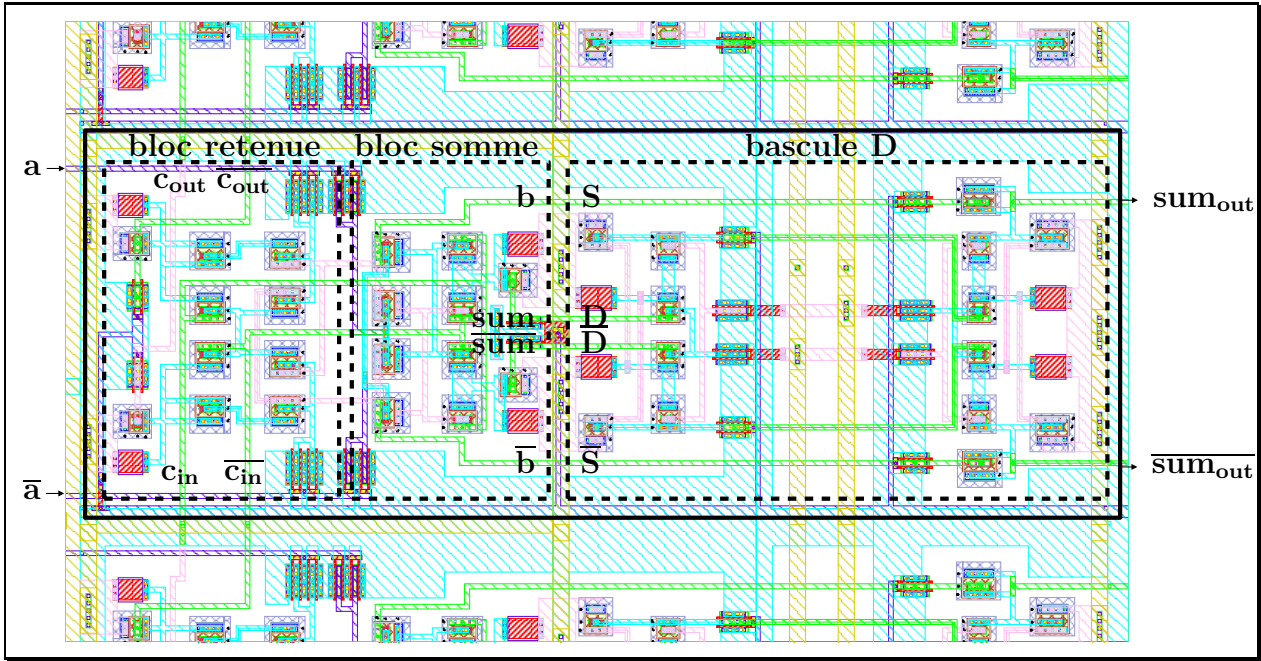


FIG. 3.18: Dessin des masques d'un accumulateur de phase 1-bit

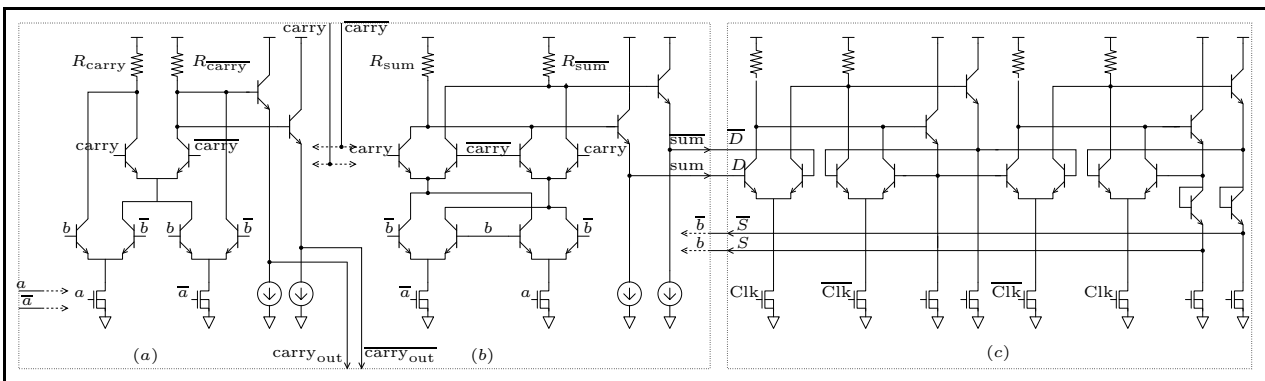


FIG. 3.19: Schématique d'un accumulateur de phase 1-bit : (a) retenue, (b) somme, (c) bascule D

### 3.2.3.1 Réalisation de l'accumulateur

Les résultats de simulation ont montré une fréquence de fonctionnement maximale de 16 GHz pour l'accumulateur de phase 3-bits [1]. À ces fréquences, la complexité des interconnexions d'un système numérique peut être un facteur limitant, il est alors nécessaire de réaliser le placement/routage avec soin afin de minimiser les éléments parasites. Les fig. 3.18 et fig. 3.19 représentent le dessin des masques et la schématique d'un accumulateur de phase 1-bit.

L'accumulateur est constitué de trois blocs : le calcul de la retenue, le calcul de la somme et la bascule D. Le dessin des masques a été réalisé de sorte que l'on puisse construire un accumulateur  $n$ -bits par la mise bout à bout de  $n$  accumulateurs 1-bit. La symétrie des blocs a été respectée au maximum de ce que le nombre de niveaux métalliques permettait. Le niveau métallique de chaque interconnexion a été choisi de façon à limiter au maximum le couplage

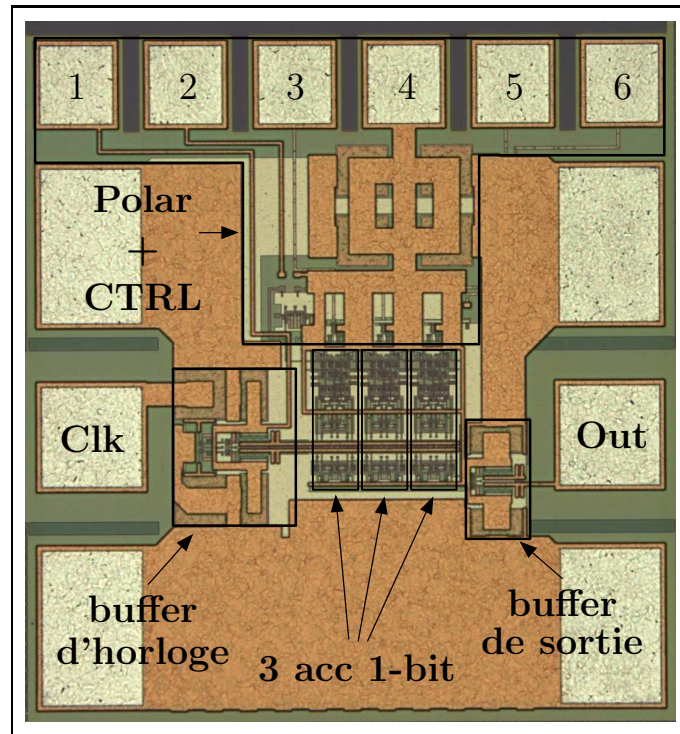


FIG. 3.20: Photographie de l'accumulateur 3-bits réalisé en technologie BiCMOS SiGe:C 0.25µm (1 et 2 : polarisation du buffer d'entrée, 3 :  $a_0$ , 4  $V_{dd}$ , 5  $a_1$  et 6 polarisation des additionneurs

entre les signaux. Un des challenges de la montée en fréquence des circuits numériques repose sur le maintien l'intégrité de signaux d'horloge. En plus de l'utilisation de transistors NMOS à la place de transistor bipolaires (3.2.1), un effort particulier a été consacré au le dessin des masques des registres. Les pistes métalliques qui véhiculent les signaux d'horloge sont totalement rectilignes et réalisées avec le niveau métallique le moins résistif et le plus éloigné du substrat. Elles sont clairement discernables sur la photo de l'accumulateur 3-bits (fig. 3.20) : ce sont les deux lignes horizontales qui sortent du buffer d'horloge et traversent les trois accumulateurs 1-bit.

### 3.2.3.2 Résultats expérimentaux

La photo de l'accumulateur 3-bits est présentée fig. 3.20. Il possède deux entrées numériques pour les deux bits de poids faibles, le bit de poids fort étant connecté au niveau logique 0 de façon matérielle. Il y a donc quatre programmations possibles 00, 01, 10 et 11 qui représentent respectivement les valeurs 0, 1, 2, 3. Ces quatre programmations vont générer quatre cycles caractéristiques. L'accumulateur étant de 3 bits, il possède 8 (soit  $2^3$ ) codes possibles en sortie, sa période propre est donc de 8 cycles d'horloge. Le tab. 3.2 contient les trois cycles correspondants aux trois valeurs possibles en entrée 1, 2, 3, la valeur 0 ne faisant pas changer la sortie.

Il faut noter que nous n'avons représenté que les cycles ayant 0 pour valeur initiale. On peut remarquer que le cycle correspondant à la programmation 10 ne contient que des valeurs paires. Ce phénomène apparaît quand un ou plusieurs bits consécutifs de poids les plus faibles sont à 0, il n'y a pas de modification des valeurs de ces bits en sortie. Cela implique qu'il y a plusieurs cycles possibles qui sont fonctions de l'état initial. Il est difficile de mesurer simultanément



$a_0, a_1$	01		10		11	
init	0	000	0	000	0	000
	1	001	2	010	3	011
	2	010	4	100	6	110
	3	011	6	110	1	001
	4	100	0	000	4	100
	5	101	2	010	7	111
	6	110	4	100	2	010
	7	111	6	110	5	101

TAB. 3.2: Cycles des valeurs en sortie de l'accumulateur en fonction de la programmation

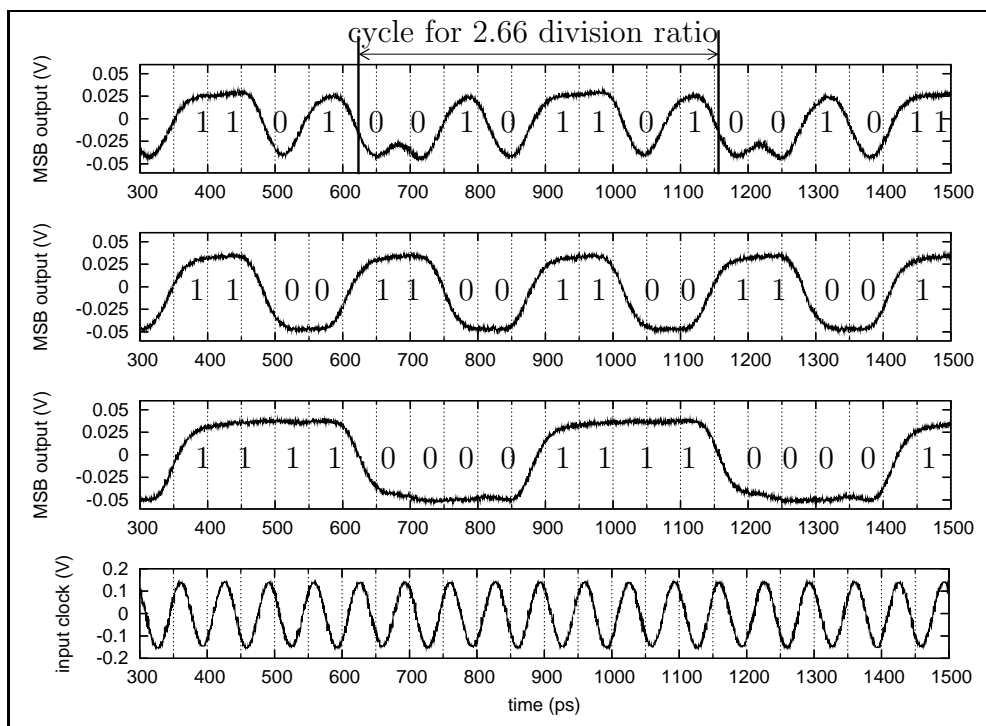


FIG. 3.21: Courbes représentant les signaux en sortie de l'accumulateur en fonction de la programmation pour une fréquence d'horloge de 15 GHz

plusieurs signaux numériques à très haute fréquence, nous avons choisi de n'étudier que le bit de poids fort car tout en étant celui qui évolue le plus lentement, il permet à lui seul de valider le fonctionnement de l'accumulateur. En effet, il dépend de toutes les opérations logiques de l'accumulateur. Les courbes obtenues pour les trois programmations sont présentées fig. 3.21. On retrouve bien les trois cycles correspondant aux trois programmations possibles. La fréquence du signal du bit de poids fort est donnée par la même formule que pour un DDS complet (2.1).

L'accumulateur de phase est un système numérique qui doit pouvoir fonctionner sur une large gamme de fréquence d'horloge. Pour ce faire, on utilise un buffer d'horloge qui convertit un signal d'amplitude quelconque en signal d'horloge « numérique » ayant des caractéristiques bien définies. En effet, sa forme d'onde et son amplitude doivent être compatibles avec les circuits logiques internes. La fig. 3.22 représente le domaine de fonctionnement de l'accumulateur en

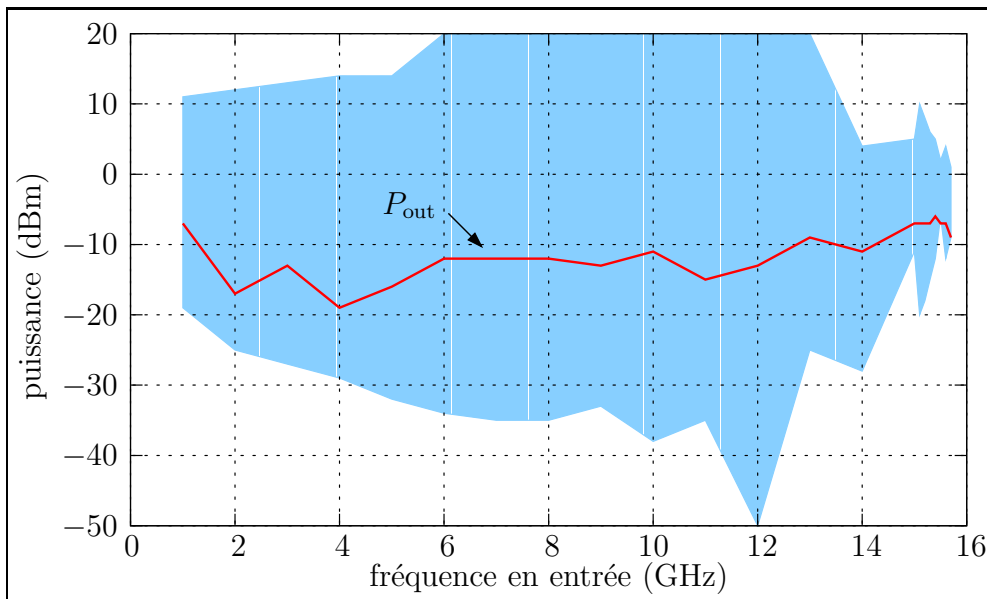


FIG. 3.22: Courbes représentant le domaine de puissance admissible en entrée ainsi que la puissance disponible en sortie en fonction de la fréquence

Bloc de l'accumulateur	Consommation (mW)	Consommation (%)
buffer d'horloge	24.5	20.5
buffer de sortie	16.2	13.5
buffer de l'accumulateur	4.6	3.8
polarisation	5.6	4.7
additionneur 3-bits	24	22.5
registre 3-bit	41.8	35
total	116,7	

TAB. 3.3: Répartition de la consommation dans les différents blocs de l'accumulateur

fonction de la fréquence et de la puissance en entrée<sup>2</sup> ainsi que la puissance disponible en sortie. La plage de puissance admissible est relativement étendue puisqu'elle est de plus de 50 dB entre 6 GHz et 12 GHz. L'augmentation de la puissance minimale nécessaire aux basses fréquences (en dessous de 6 GHz) est due à une capacité de découplage en entrée qui forme un filtre passe bas avec le buffer d'horloge.

Des mesures de la fréquence maximale de fonctionnement ont été effectuées sur 20 puces pour les trois programmations possibles. Les courbes fig. 3.23 et fig. 3.24 représentent le nombre de puces fonctionnant à une fréquence donnée pour des valeurs d'alimentation de respectivement 2,8 V et 3 V. À 2,8 V toutes les puces fonctionnent à 12,5 GHz et 50% d'entre elles atteignent 14 GHz. À 3 V, toutes les puces fonctionnent à 12 GHz et 50% d'entre elles atteignent 15,5 GHz.

Le tab. 3.3 montre la répartition de la consommation dans les différents blocs constituant l'accumulateur. La consommation totale est de 116 mW alors que la consommation de l'accumulateur seul (buffer exclus) est de 76 mW.

<sup>2</sup>La mesure de la puissance en entrée est limitée à +20 dBm par le synthétiseur RF.

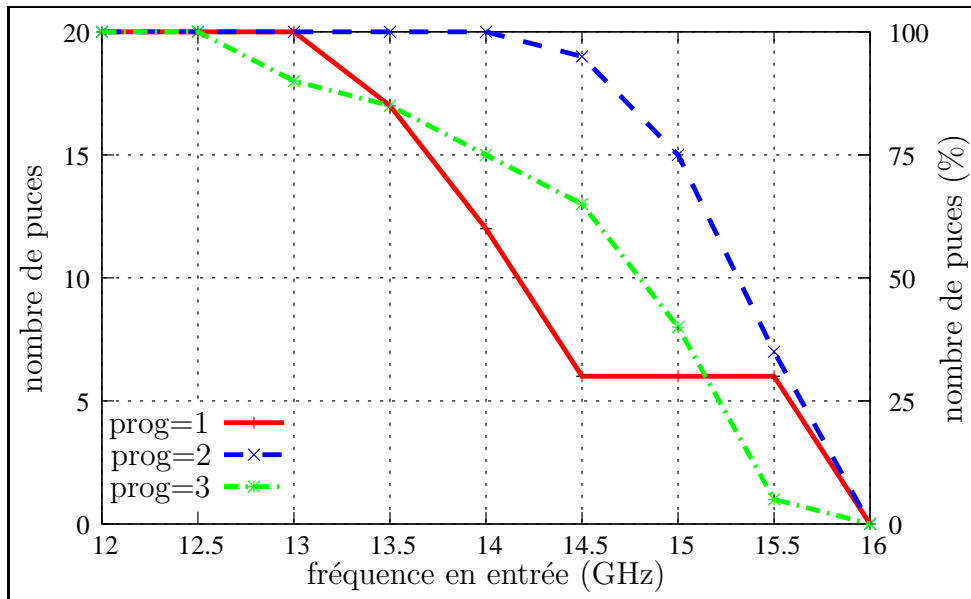


FIG. 3.23: Courbes représentant le nombre de puces opérationnelles en fonction de la fréquence et de la programmation,  $V_{dd} = 2,8$  V

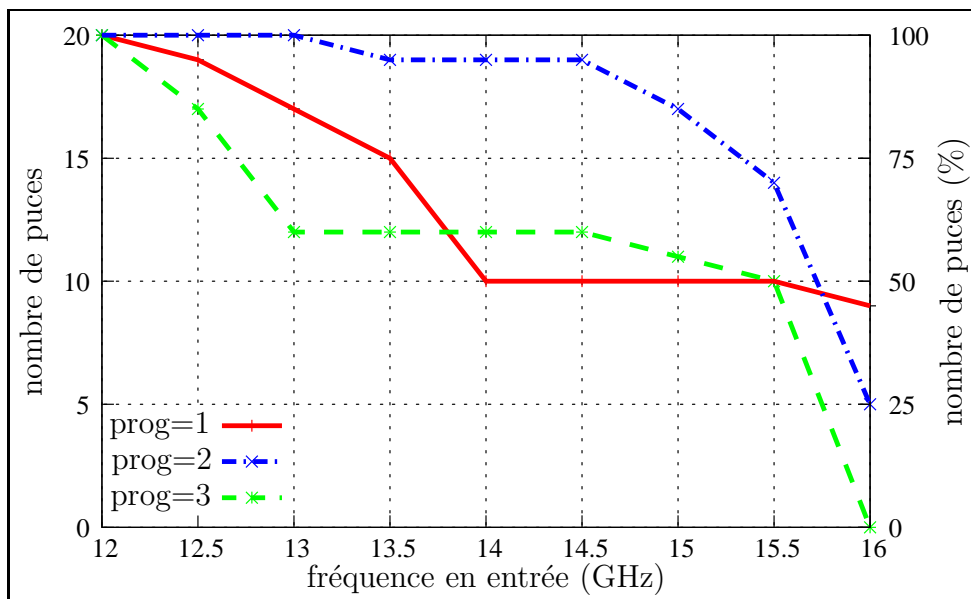


FIG. 3.24: Courbes représentant le nombre de puces opérationnelles en fonction de la fréquence et de la programmation,  $V_{dd} = 3$  V

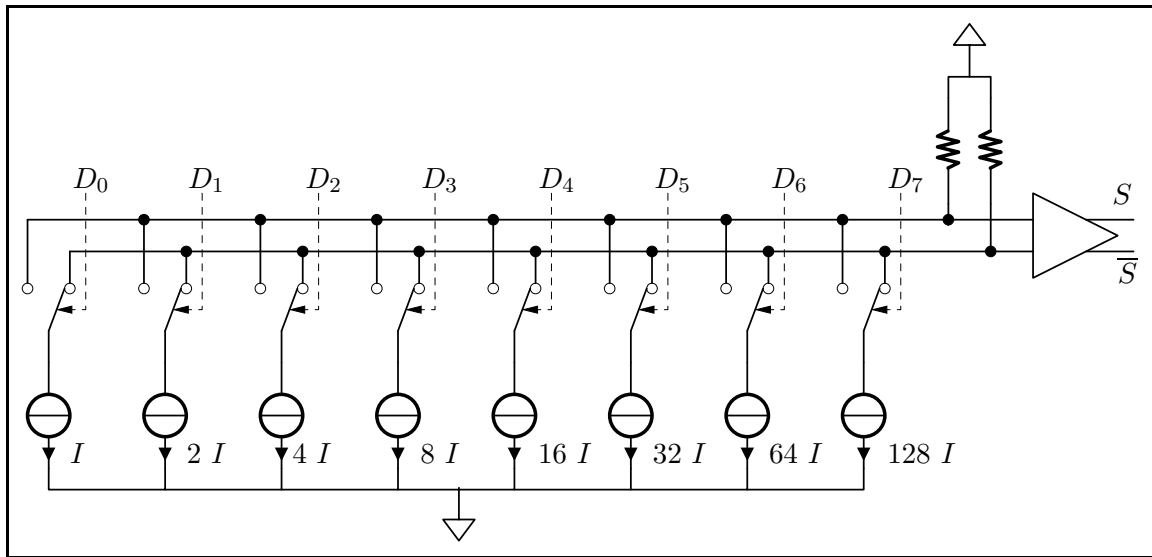


FIG. 3.25: Schéma du convertisseur N/A 8-bits à sources de courant commutées réalisé

### 3.3 Convertisseur numérique/analogique

Le convertisseur numérique/analogique est un bloc important dans un DDS car la qualité des signaux va dépendre, pour une grande part, de ses caractéristiques. En effet, les imperfections de celui-ci vont introduire des déformations du signal et par conséquent de son spectre. Les non-linéarités différentielles ont un effet direct sur la précision du convertisseur N/A. Plus elles sont importantes, plus le nombre effectif de bits sera faible, et plus le rapport signal à bruit sera dégradé.

#### 3.3.1 Structure retenue

Le DDS qui va utiliser ce convertisseur N/A a pour but de générer des signaux dans les bandes L et S : jusqu'à 4 GHz. Il devra donc fonctionner en entrée jusqu'à 8 GHz. Seule la structure à sources de courant commutées présentée en (§ 2.5.5) permet d'atteindre ces fréquences. Nous avons donc choisi de réaliser un convertisseur N/A 8-bits de ce type (fig. 3.25). Cette structure repose sur 2 blocs de base : les sources de courant et les interrupteurs.

#### 3.3.2 Sources de courant

Le choix des sources de courant est crucial pour les caractéristiques du convertisseur N/A. Il y a trois paramètres principaux dont il faut tenir compte :

- la structure électrique de la source : elle doit être choisie en fonction de plusieurs paramètres qui sont principalement la précision du miroir, l'impédance de sortie, la tension appliquée ;
- la technique de réalisation de la proportionnalité entre les sources, dont dépendra les non-linéarités ;

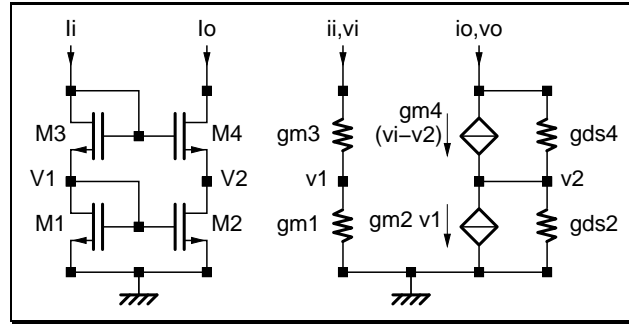


FIG. 3.26: Miroir de courant cascode et modèle petit signal

- les techniques de protection face aux variations technologiques.

### 3.3.2.1 Structure électrique

Le montage cascode s'obtient en superposant deux miroirs simples comme le montre la fig. 3.26.

#### *i* Étude statique

Un raisonnement qualitatif nous permet de comprendre le fonctionnement de ce montage. Une augmentation du potentiel  $V_o$  de drain de  $M_4$  se traduit par une augmentation du potentiel de drain de  $M_2$ , donc une diminution de la tension  $V_{gs}$  du transistor  $M_4$  qui s'oppose à l'augmentation du courant  $I_o$ . Si la copie de courant est alors moins sensible à la tension  $V_o$ , il faut par contre noter une augmentation de la tension  $V_o$  minimum maintenant  $M_2$  et  $M_4$  en saturation ainsi que de la tension  $V_i$  minimum assurant la conduction de  $M_1$  et  $M_3$  :

$$V_i > 2V_{tn} \quad (3.4)$$

$$V_o > V_i - V_{tn} \quad (3.5)$$

Une autre manière de comprendre l'augmentation de la résistance de sortie statique, consiste à remarquer que toute variation  $\Delta V_o$  se reporte non plus sur un transistor mais sur deux. Effectuons un calcul plus précis dans le cas où tous les transistors sont identiques. Nous avons alors  $V_1 = \frac{V_i}{2}$ , et les équations s'écrivent :

$$\begin{cases} I_o = K \left( \frac{V_i}{2} - V_t \right)^2 (1 + \lambda V_2) \\ I_o = K (V_i - V_2 - V_t)^2 (1 + \lambda (V_o - V_2)) \\ I_i = K \left( \frac{V_i}{2} - V_t \right)^2 \left( 1 + \lambda \frac{V_i}{2} \right) \end{cases}$$

La résolution des deux premières équations en fonction de  $V_2$  fournit une seule solution réelle. Le rapport  $\frac{I_o}{I_i}$  s'écrit finalement après développement en série de Taylor autour de  $\lambda = 0$  :

$$\frac{I_o}{I_i} = 1 - \left[ \frac{1}{4} (2V_t - V_i)(V_o - V_i) \right] \lambda^2 + \left[ \frac{1}{16} (2V_t - V_i)(V_o - V_i)(3V_o - 4V_t + 3V_i) \right] \lambda^3 + O(\lambda^4) \quad (3.6)$$

L'influence au premier ordre de  $\lambda$  a disparu : l'erreur est considérablement diminuée, la résistance de sortie statique s'est améliorée.

### ii Étude dynamique

La résistance de sortie dynamique s'écrit à partir du schéma petit signal de la fig. 3.26 ( $r_{dsi} = g_{dsi}^{-1}$ ) :

$$r_{out} = r_{ds4} + r_{ds2} + g_{m4} r_{ds4} r_{ds2} \quad (3.7)$$

Elle est d'abord constituée par la mise en série de celles de  $M_1$  et  $M_2$ , et l'on dénote l'influence d'une contre-réaction à travers  $M_4$  comme dans le cas statique. La résistance d'entrée dynamique s'écrit :

$$r_{in} = g_{m1}^{-1} + g_{m3}^{-1} \quad (3.8)$$

La duplication des transistors du miroir simple pour former l'étage cascode peut être répétée plusieurs fois pour améliorer la copie de courant, au prix toutefois d'une diminution de la dynamique de tension en entrée et sortie, et d'une augmentation de la résistance d'entrée et des capacités parasites perturbant le fonctionnement en hautes fréquences.

#### 3.3.2.2 Technique de réalisation de la proportionnalité

Il existe plusieurs possibilités pour obtenir des sources dont les courants ont des valeurs relatives déterminées. La méthode la plus simple consiste à utiliser des transistors dont la taille est proportionnelle au courant désiré. Cette technique est efficace mais la précision obtenue est limitée par les effets de bord, ceci est d'autant plus vrai que la différence de largeur de grille est importante. Dans le cas d'un convertisseur N/A 8-bits, il y a un rapport 128 entre la plus petite et la plus grande source, il n'est donc pas possible d'utiliser cette technique. La solution qui a été retenue est basée sur l'utilisation d'une source unitaire. Les 8 sources du convertisseur N/A sont réalisées par la mise en parallèle de plusieurs sources unitaires : le bit de poids faible utilise une source unitaire, le suivant deux, etc. Cette technique permet de garantir une très bonne proportionnalité entre les sources.

#### 3.3.2.3 Protection face aux variations technologiques

Dès la conception des sources de courant, il est nécessaire de tenir compte des problèmes liés aux variations du process technologique afin d'en minimiser les répercussions. Les variations technologiques peuvent être regroupées en deux grandes familles : les variations aléatoires

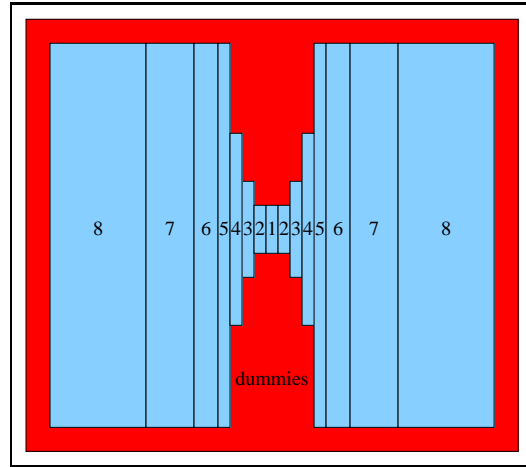


FIG. 3.27: Représentation de la matrice des sources de courant du convertisseur N/A

et les variations globales. Les variations aléatoires sont dues à des phénomènes localisés qui rendent impossible la réalisation de deux composants à proximité l'un de l'autre ayant des caractéristiques strictement identiques. Les variations globales sont dues à la non-uniformité d'une ou plusieurs parties du process sur le wafer. Elles impliquent l'évolution des caractéristiques d'un composant en fonction de sa position sur le wafer. Ces variations peuvent être considérées comme linéaires en fonction de la position sur des distances de l'ordre de la taille d'une puce. Dans le cas des sources de courant du convertisseur N/A, les variations aléatoires localisées peuvent être minimisées par la multiplication de la source unitaire. En effet l'utilisation de plusieurs sources unitaires pour réaliser la source du bit de poids faible permet d'obtenir un effet de moyennage qui limite l'impact de ce type de variation. Afin de lutter contre les variations globales, il faut utiliser une disposition spéciale des sources dans une matrice. Idéalement, cette disposition doit être réalisée de sorte que les sources unitaires qui composent chacune des huit sources du convertisseur N/A soient réparties uniformément dans la matrice. Cependant la complexité des interconnexions qui en découlent n'est pas compatible avec la réalisation d'un convertisseur N/A fonctionnant à haute fréquence. Nous avons donc choisi d'utiliser une disposition qui respecte une symétrie centrale comme le montre la fig. 3.27. Les huit sources unitaires utilisées pour réaliser la source du bit de poids faible sont situées au centre de la matrice. Les sources des autres bits sont situées de part et d'autre de celle-ci. Cette structure permet de lutter efficacement contre les variations des caractéristiques des composants liées à leurs positions. En effet, deux composants placés de part et d'autre et à égale distance du centre de la matrice subiraient des variations opposées qui se compenseraient. La matrice comporte donc 3010 sources unitaires dont 2040 sont utilisées pour réaliser les sources de courant du convertisseur N/A et 970 sont utilisées comme dummies.

### 3.3.3 Interrupteurs à transistors bipolaires

Les interrupteurs sont utilisés pour diriger le courant dans une des deux résistances en fonction du code numérique appliqué. Ils fonctionnent à la même fréquence que l'accumulateur de phase et doivent être facilement connectables avec lui. Ils sont donc réalisés avec des paires différentielles de transistors bipolaires. C'est la structure la plus rapide pour commuter un courant, de plus la logique ECL étant elle aussi basée sur l'utilisation de paires différentielles, les niveaux logiques sont directement compatibles. Ces commutateurs sont assez délicats à réaliser car il faudrait prendre les mêmes précautions que pour les sources de courant, à savoir, utiliser un nombre de paires différentielles proportionnel au courant à commuter. Or ce n'est pas possible car la densité d'intégration des transistors bipolaires est bien inférieure à celle des transistors MOS, la surface occupée serait beaucoup trop importante. Nous avons alors fait un compromis. Les huit bits ont été séparés en deux groupes. Les cinq bits de poids faible ( $D_0...D_4$ ) utilisent des interrupteurs ayant un nombre de paires différentielles proportionnel au courant : 1, 2, 4, 8 et 16. Les trois bits de poids fort  $D_5$ ,  $D_6$ ,  $D_7$  utilisent respectivement 1, 2 et 3 paires dont les transistors ont des tailles supérieures. Les commutateurs à paire différentielle de transistors bipolaires ont un inconvénient par rapport à ceux qui utilisent des transistors MOS : le courant de base. Les équations qui expriment le fonctionnement d'un transistor bipolaire sont :

$$I_c = \beta I_b \quad (3.9)$$

$$I_e = I_c + I_b = (\beta + 1) I_b \quad (3.10)$$

Le courant du collecteur n'est pas égal au courant de l'émetteur il faut donc prévoir un système de compensation du courant de base. Un tel système est assez simple à réaliser pour compenser le courant DC mais devient complexe en RF. En effet, le gain des transistors varie en fonction du courant de polarisation pour des fréquences élevées. Aucun système de correction n'a été implémenté dans ce travail.

### 3.3.4 Résultats expérimentaux

La photographie du convertisseur réalisé est présente fig. 3.28. De même que pour l'accumulateur de phase, il est extrêmement difficile de tester un convertisseur N/A à des fréquences élevées car cela requiert un banc de test sophistiqué. En effet, pour tester ce convertisseur N/A à 10 GHz, il faudrait générer un flux de données de 80 Gbits/s sur un bus de 8-bits. Nous avons donc choisi de limiter nos tests aux caractéristiques DC du convertisseur N/A sachant que les caractéristiques dynamiques seront testées via le DDS complet. La figure fig. 3.30 représente la sortie du convertisseur N/A en fonction du code en entrée pour le réglage par défaut. L'amplitude de ce signal est de 130 mV, ce qui correspond tout à fait à la valeur optimale pour piloter la paire différentielle qui est de 122 mV (cf § 3.4.2). Ceci ne pose pas de problème car un système de réglage a été prévu pour régler le gain du convertisseur N/A. Les erreurs de non-linéarité



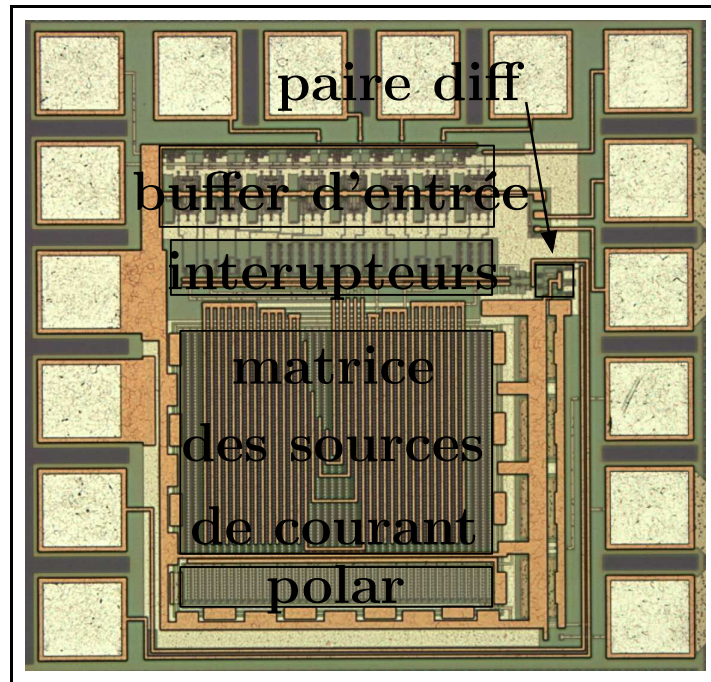


FIG. 3.28: Photographie du convertisseur numérique/analogique 8-bits

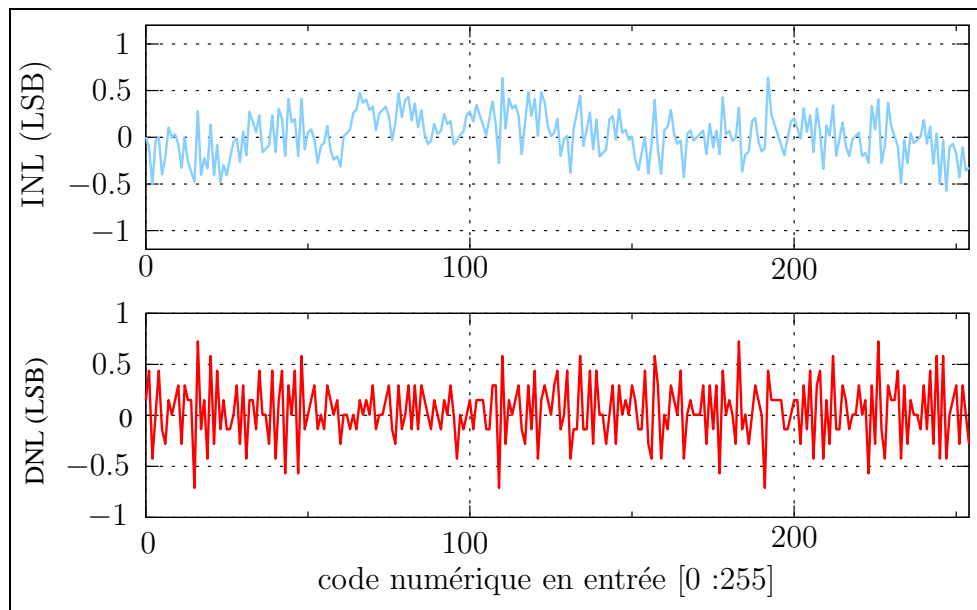
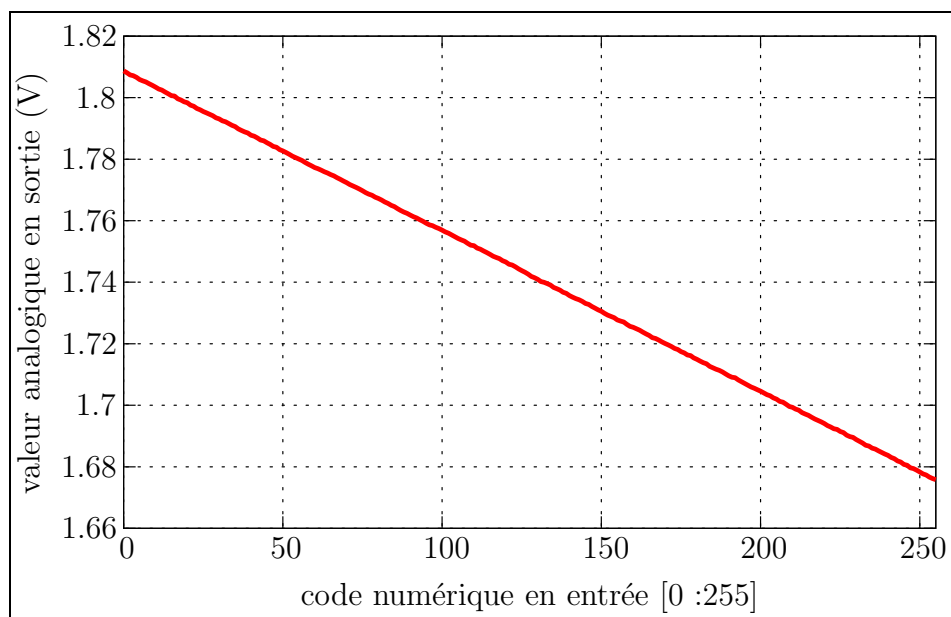
intégrale et différentielle sont, quant à elles, directement liées aux variations technologiques lors de la réalisation de la puce. Les résultats de ces mesures sont présentés sur la figure fig. 3.29, elles sont toutes les deux légèrement supérieures à  $\pm 0,5$  LSB. Les performances statiques de ce convertisseur N/A sont satisfaisantes, il sera donc utilisé dans la construction du DDS.

## 3.4 Convertisseur phase/amplitude

Afin de profiter au maximum des performances de l'accumulateur de phase nous avons choisi d'utiliser une fonction analogique pour convertir la phase en amplitude. La forme d'onde la plus simple à obtenir avec un DDS est le carré car il suffit d'utiliser le bit de poids fort de l'accumulateur. Moyennant l'utilisation d'un système logique additionnel en sortie de l'accumulateur, il est possible d'obtenir une forme d'onde triangulaire. La transformation de ce triangle en quasi sinus peut être réalisée en utilisant la fonction de transfert d'une paire différentielle de transistors bipolaires.

### 3.4.1 Principe

Le principe est assez simple, il repose sur l'utilisation de la fonction de transfert non-linéaire d'une paire différentielle comme illustré fig. 3.31. Un signal triangulaire est appliqué à la paire différentielle qui l'incurve jusqu'à obtenir une forme quasi sinusoidale à partir du comportement exponentiel de la paire différentielle. La « qualité » de cette conversion est principalement liée à l'amplitude du triangle mais aussi aux paramètres des composants qui constituent le système. La fonction de transfert de la paire différentielle est bien connue, elle peut être obtenue à partir

FIG. 3.29: *Non-linéarité intégrale et différentielle du convertisseur N/A*FIG. 3.30: *Fonction de transfert DC du convertisseur N/A*

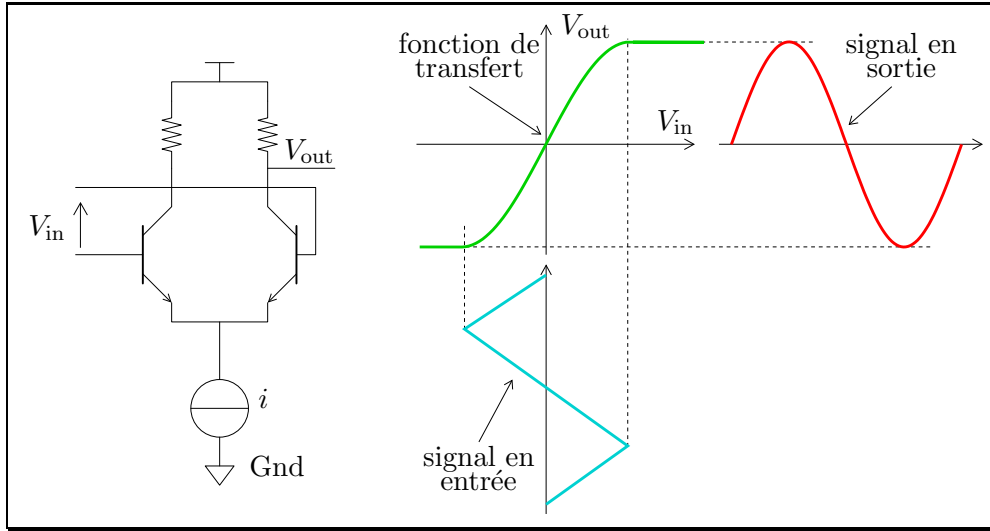


FIG. 3.31: Utilisation d'une paire différentielle bipolaire pour convertir un triangle en quasi sinus

de l'expression des courants de base des transistors :

$$I_{b1} = I_s e^{\frac{qV_{be1}}{KT}} ; I_{b2} = I_s e^{\frac{qV_{be2}}{KT}} \quad (3.11)$$

on en déduit les courants d'émetteur :

$$I_{E1} = \beta_1 I_{s1} e^{\frac{qV_{BE1}}{KT}} ; I_{E2} = \beta_2 I_{s2} e^{\frac{qV_{BE2}}{KT}} \quad (3.12)$$

si l'on considère que les deux transistors sont identiques on peut écrire :

$$\frac{I_{E1}}{I_{E2}} = \frac{e^{\frac{qV_{bE1}}{KT}}}{e^{\frac{qV_{bE2}}{KT}}} = e^{\frac{q}{KT}(V_1 - V_2)} \quad (3.13)$$

de plus :

$$I_{E1} = I_{E2} = \frac{I}{2} \quad (3.14)$$

on obtient donc :

$$V_{out} = V_{dd} - \frac{RI}{2} \left(1 + \tanh\left(\frac{V_d q}{2kT}\right)\right) \quad (3.15)$$

où  $R$  est la valeur des résistances de collecteur,  $I$  le courant de polarisation et  $V_d$  la tension différentielle appliquée. L'analyse du spectre du signal en sortie de la fonction tangente hyperbolique en fonction de l'amplitude du signal triangle appliqué en entrée est montrée fig. 3.32. Un triangle parfait ne contient pas d'harmonique pair, et la fonction  $\tanh$  n'en crée pas. On peut voir que les harmoniques 3 et 5 ont des minimums qui sont respectivement de  $-56$  dBc et  $-42$  dBc, cependant ils ne sont pas obtenus pour la même amplitude d'excitation. Ces résultats montrent que cette technique est utilisable, et donne de très bonnes performances qui seront confirmées (§ 3.4.2) par l'analyse de ce système avec des composants réels, surtout au regard des économies en consommation, surface d'intégration et à l'augmentation de fréquence.

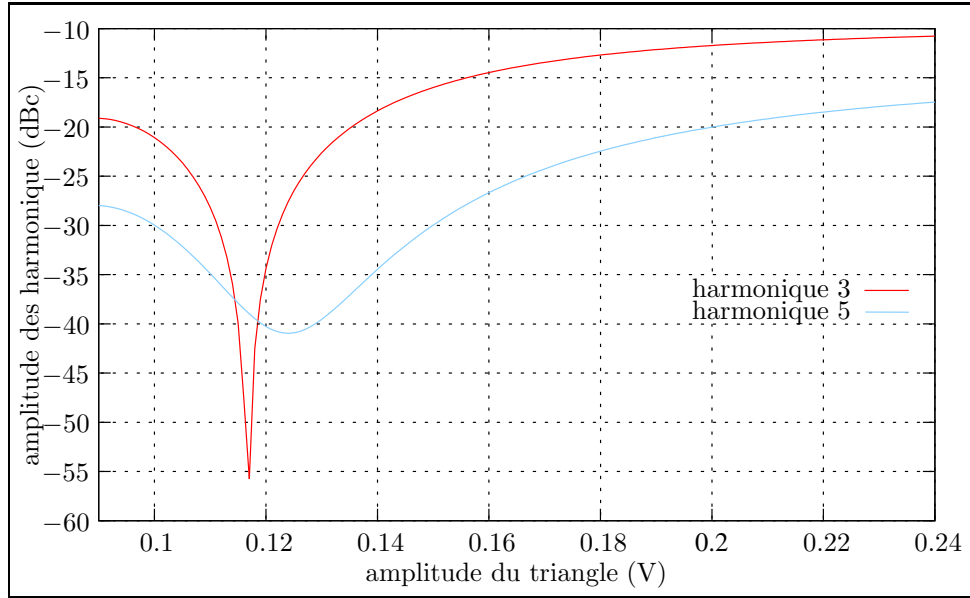


FIG. 3.32: Amplitude des harmoniques 3 et 5 en sortie de la paire différentielle en fonction de l'amplitude du triangle appliqué

### 3.4.2 Intégration en technologie BiCMOS SiGe:C

Nous avons vu le principe de fonctionnement avec des transistors standards et une source de courant idéale. Il est difficile d'étudier analytiquement le comportement d'une paire différentielle à émetteurs communs et sa source de courant cascode à base de transistors NMOS. D'abord, l'équation qui régit le fonctionnement d'un transistor à hétérojonction est bien plus complexe. Ensuite, ses paramètres ne sont pas connus (dimensions du transistor, profil de dopage...). Enfin, la modélisation ne tiendrait pas compte des composants parasites. Nous avons donc choisi de faire directement l'étude et l'optimisation de la structure en utilisant un simulateur et les modèles fournis par le fondeur. Le schéma complet du convertisseur phase/amplitude est présenté fig. 3.33.

Il est composé de six groupes de composants comportant chacun plusieurs variables à optimiser :

- la paire différentielle bipolaire ( $W_{E(T1,T2)}$ ,  $L_{E(T1,T2)}$ )
- la référence pour les miroirs de courant ( $W_{E(M1)}$ ,  $L_{E(M1)}$ ,  $W_{E(M2)}$ ,  $L_{E(M2)}$ )
- le miroir de la paire différentielle ( $W_{E(M3)}$ ,  $L_{E(M3)}$ ,  $W_{E(M4)}$ ,  $L_{E(M4)}$ )
- les résistances de collecteur de la paire différentielle ( $R_1 = R_2 = R_C$ )
- les transistors bipolaires du buffer de sortie  $W_{E(T3,T4)}$ ,  $L_{E(T3,T4)}$ )
- les résistances d'émetteurs des buffers de sortie ( $R_3 = R_4 = R_E$ )

De nombreuses simulations ont été effectuées afin de déterminer les valeurs optimales. La fig. 3.34 représente l'évolution de l'amplitude des harmoniques en fonction de l'amplitude du triangle appliqué (tous les autres paramètres ont leur valeur optimale) à une fréquence de 1 GHz.

Un triangle parfait ne contient pas d'harmonique pair, leurs niveaux restent très faibles sur

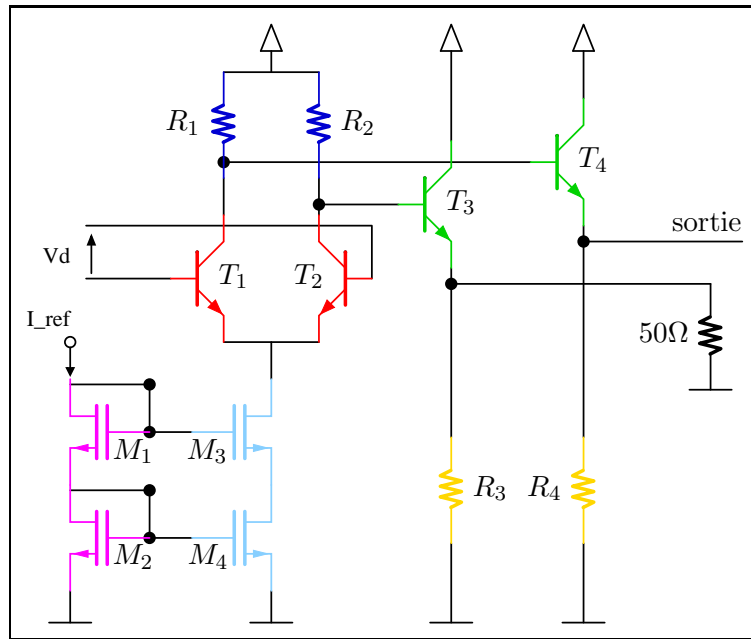


FIG. 3.33: Schéma complet du convertisseur phase/amplitude

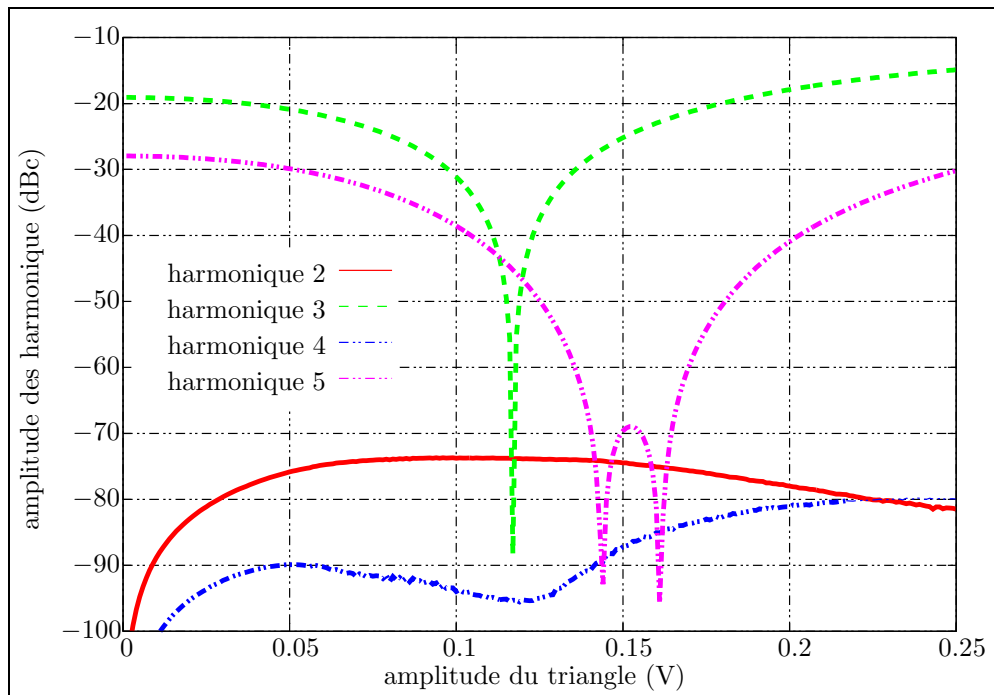


FIG. 3.34: Simulation de l'évolution des harmoniques en fonction de l'amplitude du triangle appliqué ( $F=1 \text{ GHz}$ )

Paire différentielle	
$L_{E(T1,T2)}$	1.6 $\mu\text{m}$
$R_1 = R_2 = R_C$	500 $\Omega$
$W_{E(M3,M4)}$	7.1 $\mu\text{m}$
$I_E$	640 $\mu\text{A}$
polar	
$W_{E(M1,M2)}$	5 $\mu\text{m}$
$I_{\text{ref}}$	470 $\mu\text{A}$
buffer de sortie	
$L_{E(T3,T4)}$	8 $\mu\text{m}$
$R_3 = R_4 = R_E$	400 $\Omega$
$I_E$	4.3 mA

TAB. 3.4: Paramètres des composants du convertisseur phase/amplitude

toute la plage d'amplitude, on peut donc en déduire que la fonction de transfert de la paire différentielle n'en ajoute pas. On retrouve le même comportement pour les harmoniques impairs (3 et 5) qui possèdent chacun un minimum pour différentes valeurs de l'amplitude appliquée. On remarquera une légère différence sur la courbe de l'harmonique 5 par rapport au système idéal (fig. 3.32) puisqu'elle possède deux minimums. Il est plus simple de filtrer les harmoniques d'ordre élevé donc le point de fonctionnement sera pris au minimum de l'harmonique 3, c'est-à-dire pour une amplitude du triangle de 122 mV. L'amplitude des harmoniques 2, 3, 4 et 5 en ce point sont respectivement de  $-74$  dBc,  $-88$  dBc,  $-95$  dBc et  $-45$  dBc. La tab. 3.4 présente les valeurs de la structure optimisée. Les transistors MOS ont une longueur de canal de  $0,25 \mu\text{m}$  et les transistors bipolaires une largeur d'émetteur de  $0,4 \mu\text{m}$ .

### 3.4.3 Résultats expérimentaux

Une paire différentielle a été implémentée en même temps que le convertisseur N/A (fig. 3.28). La fig. 3.35 représente la sortie de la paire différentielle en fonction du code numérique appliqué à l'entrée du convertisseur N/A. Les mêmes raisons que celles évoquées au § 3.3.4 n'ont pas permis de réaliser de mesures dynamiques de la paire différentielle.

## 3.5 Synthétiseur digital direct

Les circuits de validation des techniques choisies pour l'intégration du DDS ayant fourni des résultats tout à fait satisfaisant, ils ont été assemblés pour construire un DDS complet dont le schéma est présenté fig. 3.36.

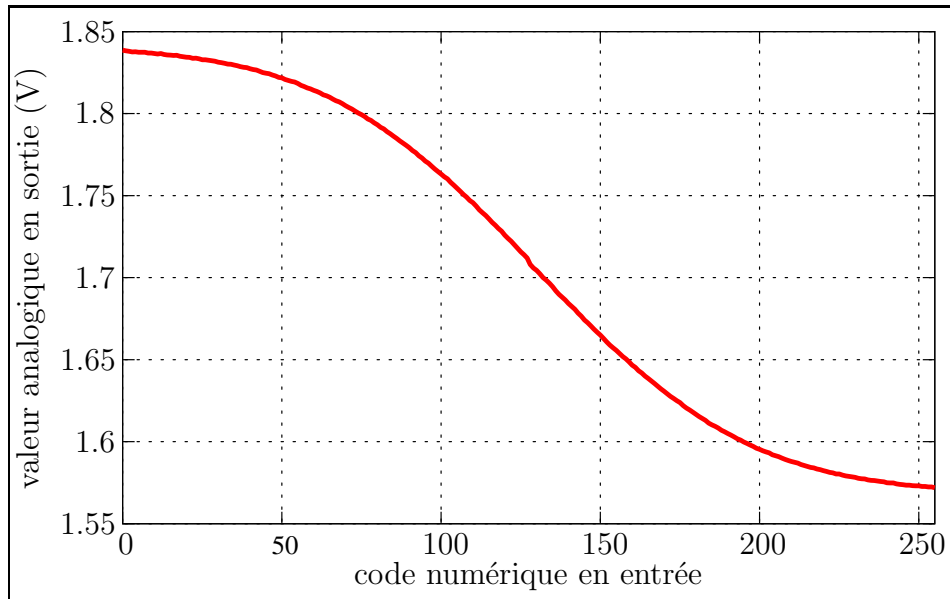


FIG. 3.35: Fonction de transfert DC de la paire différentielle

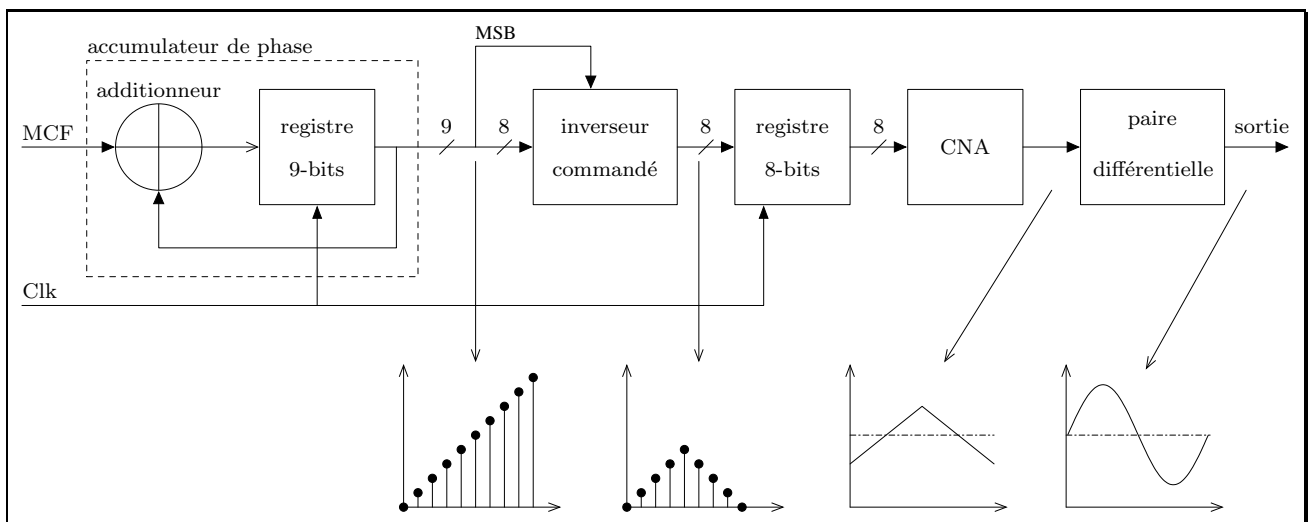


FIG. 3.36: Schéma bloc du DDS intégré

### 3.5.1 Structure complète

Ce DDS est construit autour d'un accumulateur de phase 9-bits dont le bit de poids fort est utilisé par l'inverseur commandé pour inverser les 8 autres bits et obtenir un signal triangulaire. L'inverseur commandé est constitué de huit portes ou-exclusif et chacune d'entre elles a une entrée reliée au bit à inverser et l'autre au bit de poids fort de l'accumulateur. Ce signal numérique est ensuite converti en signal analogique par un convertisseur N/A 8-bits à sources de courant commutées, puis il est transformé en quasi-sinusoïde par la paire différentielle de transistors bipolaires. Ce DDS a été réalisé en technologie BiCMOS SiGe:C 0.25  $\mu$ m (fig. 3.37).

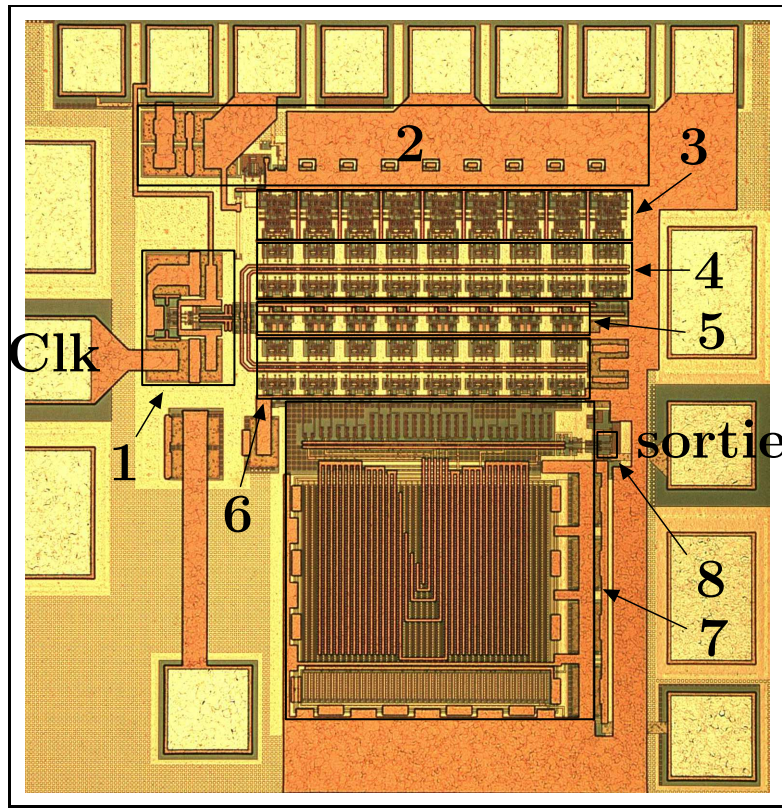


FIG. 3.37: Photographie du DDS, 1 : buffer d'horloge, 2 : commande et polar du DDS, 3 : additionneur (9-bits), 4 : registre (9-bits), 5 : inverseur commandé (9-bits), 6 : registre (8-bits), 7 : convertisseur N/A (8-bits), 8 : paire différentielle

Bloc	MOS	Bipolaires	Résistances
buffer d'entrée	150	10	8
accumulateur de phase	144	306	72
inverseur commandé	24	64	16
registre	68	112	32
convertisseur N/A	6892	92	2
paire différentielle	2	4	4
total	7280	588	134

TAB. 3.5: Répartition des composants dans les différents blocs du DDS



## 3.5.2 Résultats de simulation

### 3.5.2.1 Bruit de phase

Les moyens informatiques disponibles<sup>3</sup> pendant la conception du DDS n'étaient pas suffisants pour réaliser des simulations de bruit de phase. En effet le DDS est un circuit numérique qui comporte plus de 8000 composants (tab. 3.5), les simulations qui permettent d'obtenir la réponse en régime établi « pss » (periodic steady state) puis le bruit de phase en fonction des sources de bruit des composants « pnoise » (phase noise) sont très gourmandes en ressource. La sortie de Cadence et du design kit pour Linux ainsi que l'achat de matériel performant<sup>4</sup> nous permet aujourd'hui de faire ces simulations.

#### *i* Outils de simulation

Afin d'étudier le bruit de phase du DDS nous avons utilisés l'outil de simulation intégré à Cadence : SpectreRF. La simulation du bruit de phase se déroule en deux étapes :

1. La première étape consiste à trouver le régime établi du circuit étudié, pour cela SpectreRF utilise un algorithme qui permet de ne pas avoir à effectuer une très longue simulation temporelle. Pour ce faire, il simule une période du système puis compare toutes les tensions et courants entre l'état initial et l'état final. En fonction du résultat il applique des corrections à l'état initial puis recommence la simulation d'une période, et ce, ainsi de suite jusqu'à ce que les différences soit inférieures au critères de convergence choisis.
2. Une fois que le régime établi est connu, un algorithme calcule les effets de toutes les sources de bruit du circuit sur les courant et tensions afin d'en déduire le bruit de phase.

La courbe fig. 3.38 représente le bruit de phase résiduel simulé en sortie du DDS pour une fréquence de fonctionnement de 6 GHz et une fréquence en sortie de 750 MHz et de 375 MHz. Les tab. 3.6 et tab. 3.7 contiennent les localisations des principales sources de bruit qui contribuent au bruit de phase à respectivement 1 kHz et 10 MHz de la porteuse. À 1 kHz, les principaux contributeurs au bruit de phase sont les transistors NMOS (utilisés en source de courant) situés dans la source de courant de la paire différentielle, dans la référence de courant globale du circuit, dans l'accumulateur du bit de poids fort et dans le buffer d'horloge. À 10 MHz, les principaux contributeurs sont les NMOS et les bipolaires de la paire différentielle et du buffer de sortie qui lui est associé. Les sources de bruit à 1 kHz sont très localisées puisque 70% du total provient de 2 transistors NMOS, il sera donc possible d'agir efficacement afin de diminuer le bruit de phase. À 10 MHz de la porteuse, les contributeurs sont beaucoup moins localisés, le travail pour diminuer le plancher de bruit sera plus délicat.

---

<sup>3</sup>stations de travail « SUN Ultra 10 » à 375 MHz 512 Mo de RAM

<sup>4</sup>PC « Intel Xeon » 3,73 GHz 4 Go de RAM

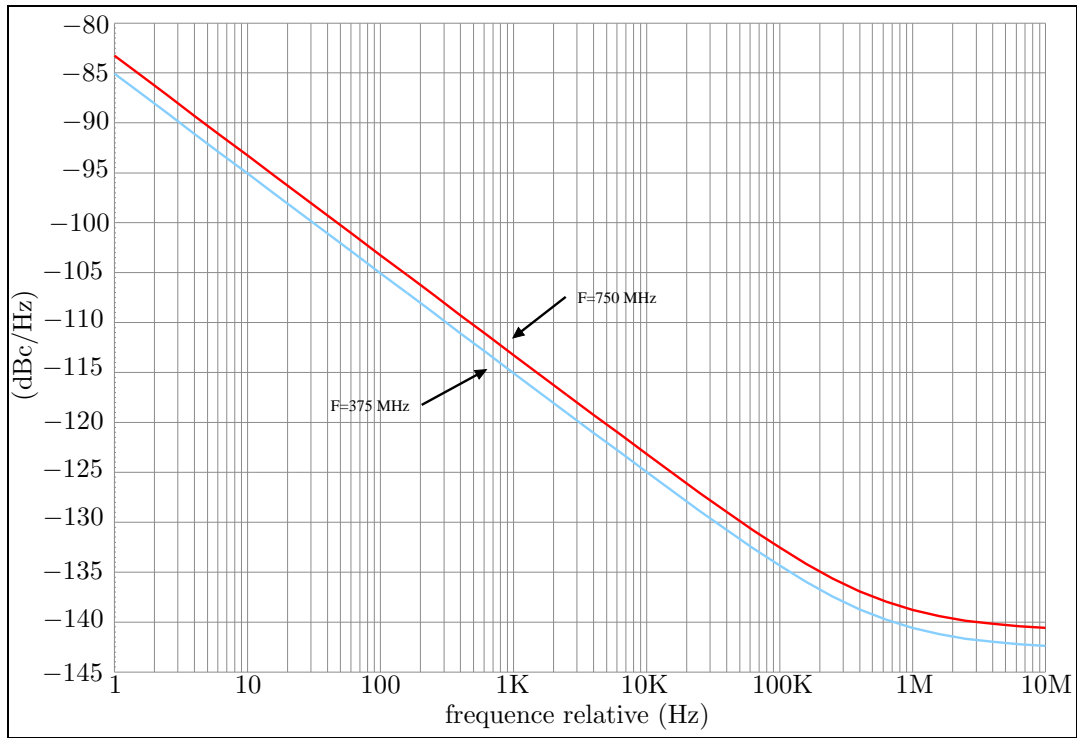


FIG. 3.38: Simulation du bruit de phase résiduel du DDS pour  $f_{clk} = 6 \text{ GHz}$ ,  $f_{out} = 750 \text{ MHz}$  et  $f_{out} = 375 \text{ MHz}$

Composant	Type	Localisation	Contribution ( $V^2/\text{Hz}$ )	% du Total
M39.M1	NMOS	source de la paire différentielle	1,44e-14	35,47
M38.M1	NMOS	référence de courant globale	1,42e-14	34,80
I1.I31.M13.M1	NMOS	accumulateur du (MSB)	3,49e-15	8,57
I1.I31.M12.M1	NMOS	accumulateur du (MSB)	2,30e-15	5,66
M36.M1	NMOS	référence de courant globale	1,96e-15	4,81
I4.M5.M1	NMOS	buffer d'horloge	6,42e-16	1,57
I4.M6.M1	NMOS	buffer d'horloge	6,37e-16	1,56
I57.I51.M13.M1	NMOS	inverseur commandé (MSB)	4,38e-16	1,07
I4.M7.M1	NMOS	buffer d'horloge	4,13e-16	1,01
M2.M1	NMOS	ref de courant buffer d'horloge	4,10e-16	1,01

TAB. 3.6: Localisation des principales sources de bruit qui contribuent au bruit de phase à 1 kHz de la porteuse ( $f_{clk} = 6 \text{ GHz}$ ,  $f_{out} = 750 \text{ MHz}$ )

N° Composant	Type	Localisation	Contribution ( $V^2/Hz$ )	% du Total
M39.M1	NMOS	paire différentielle	2,98e-18	3,91
Q11.Q1	Bipolaire	paire différentielle	2,24e-18	2,95
Q10.Q1	Bipolaire	paire différentielle	2,12e-18	2,79
Q3.Q1	Bipolaire	buffer de sortie	2,01e-18	2,65
M39.M1	NMOS	paire différentielle	1,81e-18	2,38
M38.M1	NMOS	paire différentielle	1,65e-18	2,17
I0.Q29.Q1	Bipolaire	buffer de sortie du CNA	1,19e-18	1,57
I0.Q28.Q1	Bipolaire	buffer de sortie du CNA	1,16e-18	1,52
I1.I31.M13.M1	NMOS	accumulateur du (MSB)	8,00e-19	1,05
I0.Q29.Q1	Bipolaire	buffer de sortie du CNA	7,99e-19	1,05

TAB. 3.7: Localisation des principales sources de bruit qui contribuent au bruit de phase à 10 MHz de la porteuse ( $f_{clk} = 6$  GHz,  $f_{out} = 750$  MHz)

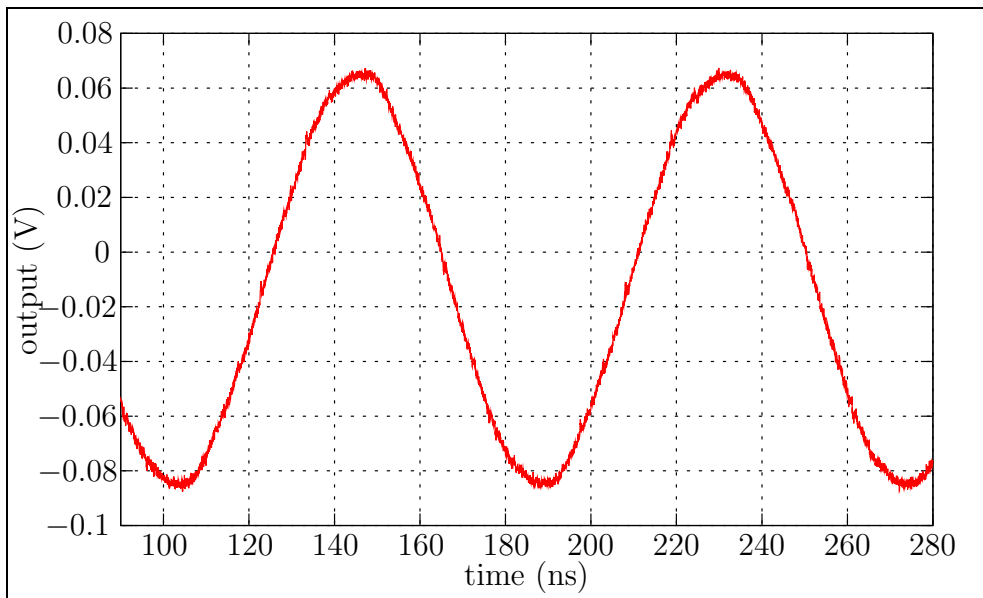


FIG. 3.39: Courbe de sortie du DDS :  $f_{clk} = 6$  GHz,  $MCF=1$ ,  $f_{out} = 11,718$  MHz

### 3.5.3 Résultats expérimentaux

Le DDS a été caractérisé, il est fonctionnel jusqu'à 6 GHz et consomme 308 mW. L'accumulateur 9-bits permet de générer 256 fréquences différentes réparties (pour  $f_{clk} = 6$  GHz) entre 11,718 MHz et 2988,28 MHz par pas de 11,718 MHz. Les formes d'ondes et les spectres correspondant sont respectivement présentés fig. 3.39, fig. 3.40, fig. 3.41 et fig. 3.42.

Généralement on considère qu'un DDS n'est utilisable que pour une fréquence en sortie inférieure à 40% de la fréquence d'horloge. En effet, il est plus délicat de filtrer la fréquence image  $f_{clk} - f_{out}$  quand la fréquence générée se rapproche de  $f_{clk} / 2$ .

Ceci est dû à la « modulation d'amplitude » qui apparaît lorsque le nombre de points utilisés pour reconstituer le signal devient faible. Cependant il est possible d'utiliser ce phénomène pour créer des signaux de fréquence supérieures à la moitié de la fréquence d'horloge comme illustré sur le spectre correspondant à la programmation  $MCF=192$  (fig. 3.43) ou l'on voit les deux

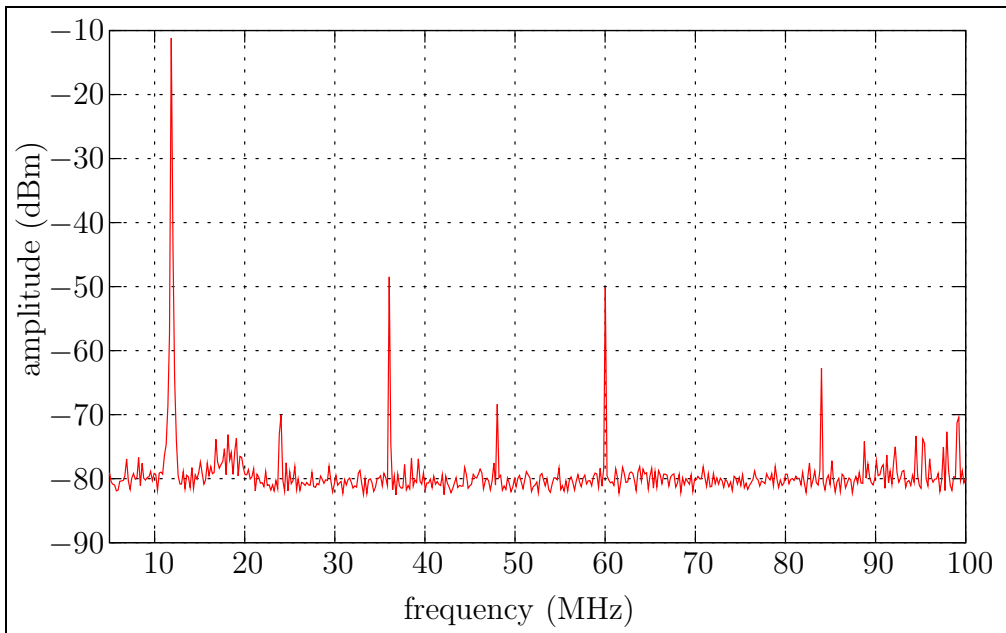


FIG. 3.40: Spectre de sortie du DDS :  $f_{clk} = 6 \text{ GHz}$ ,  $MCF=1$ ,  $f_{out} = 11.718 \text{ MHz}$

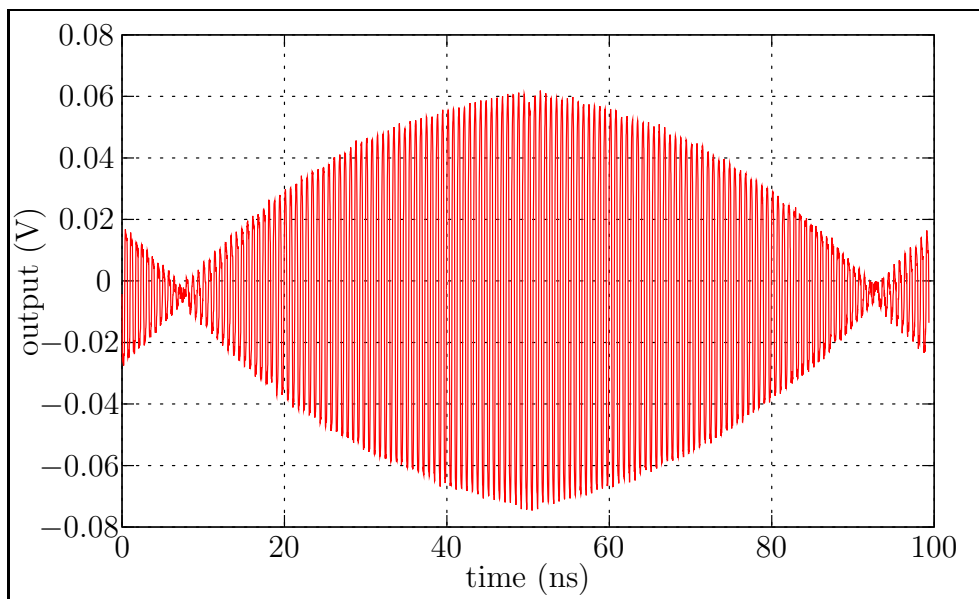


FIG. 3.41: Courbe de sortie du DDS :  $f_{clk} = 6 \text{ GHz}$ ,  $MCF=255$ ,  $f_{out} = 2988,28 \text{ MHz}$

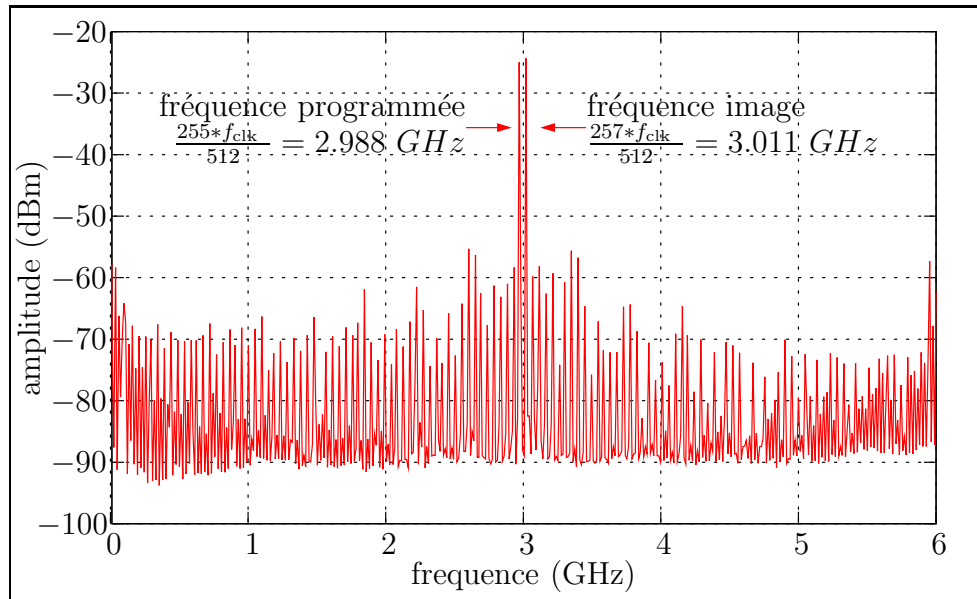


FIG. 3.42: Spectre de sortie du DDS :  $f_{\text{clk}} = 6 \text{ GHz}$ ,  $MCF=255$ ,  $f_{\text{out}} = 2988.28 \text{ MHz}$

raies qui correspondent à la fréquence programmée et à son image due à la « modulation d'amplitude ».

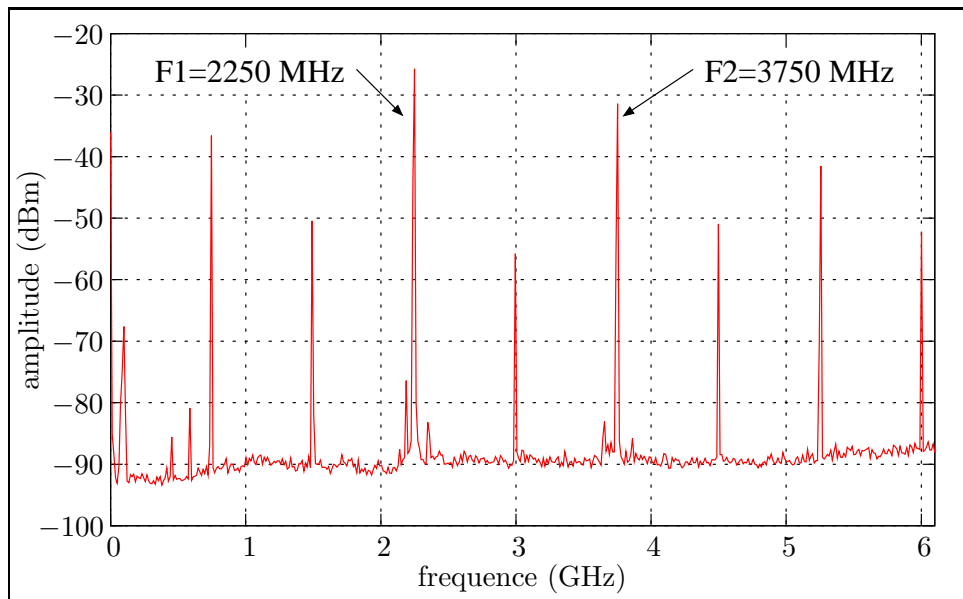
Si l'on regarde plus en détail le processus qui provoque cette modulation d'amplitude, on peut remarquer que le bit de poids fort en sortie de l'accumulateur (celui qui contrôle l'inversion) est le signal modulant. Il est envisageable de venir introduire volontairement une variation de la valeur sur ce bit de façon à faire apparaître une modulation. Le signal modulant devra être un multiple de la fréquence d'horloge et aussi être inférieur à  $f_{\text{clk}}/2$  en raison des registres qui agissent comme des filtres. Ces conditions restrictives limitent fortement l'utilité d'un tel système, cependant il est possible d'ajouter un second inverseur commandé juste avant le convertisseur N/A qui ne serait pas soumis à ces contraintes. Une configuration envisageable d'un tel système serait d'utiliser le signal d'horloge comme signal de commande, on obtiendrait donc une modulation d'amplitude de  $f_{\text{clk}}$  par  $f_{\text{out}}$  ce qui produirait deux raies à  $f_{\text{clk}} + f_{\text{out}}$  et  $f_{\text{clk}} - f_{\text{out}}$ . La gamme de fréquences synthétisables serait alors fortement augmentée.

### 3.5.4 Comparaison avec d'autres DDS de la littérature

Il est assez délicat de comparer les DDS de la littérature car il existe un grand nombre de techniques de réalisation ou de technologies utilisées. Afin d'y parvenir, nous avons défini un facteur de mérite qui prend en compte la fréquence de fonctionnement, la taille de l'accumulateur de phase, la puissance consommée et la surface d'intégration :

$$Q = \frac{f_{\text{clk}} \times N_{\text{ac}}}{P_{\text{dds}} \times S} \left( \frac{\text{MHz} \times \text{bit}}{\text{mW} \times \text{mm}^2} \right) \quad (3.16)$$

Le tab. 3.8 permet de comparer les DDS de la littérature ayant une fréquence de fonctionne-

FIG. 3.43: Spectre du DDS pour  $MCF=192$ 

ment élevée avec celui présenté dans cette thèse. Ils peuvent être classés en trois familles qui sont directement liées à la technologie employée. Premièrement, les réalisations en CMOS, qui sont limitées en fréquence mais offre de bonnes performances en terme de consommation. Ensuite Les DDS réalisés en technologie InP qui sont les plus rapides mais au prix d'une consommation très élevée. Enfin les DDS réalisés en technologie Si/SiGe qui offrent des performances intermédiaires en terme de fréquence mais qui ont une consommation extrêmement réduite. Notre DDS n'est pas le plus rapide mais il a un facteur de mérite élevé, ceci est principalement du à sa très faible consommation. De plus les technologies InP utilisées dans les DDS présentés sont réalisées en laboratoire alors que celle que nous avons utilisés est commercialisée. À la date à laquelle est écrit ce document il n'y a pas à notre connaissance de publication sur les DDS utilisant des technologies avancées : CMOS 65 nm ou BiCMOS SiGe 0,13  $\mu\text{m}$ . Il sera intéressant de voir les résultats obtenus car les niveaux de performances envisageables devraient permettre l'utilisation massive de DDS dans les systèmes de télécommunications.

### 3.6 Perspectives

Les DDS ne sont pratiquement pas utilisés dans les systèmes micro-ondes, ceci est du à leurs deux principaux défauts : leur fréquence de fonctionnement limitée et leur consommation élevée. Nous avons montrés qu'il est possible, en utilisant des techniques de réalisation innovantes, d'obtenir des résultats encourageant. Un des principaux avantage du DDS est sa versatilité, on peut alors se demander comment mettre à profit cette caractéristique. Le tab. 3.9 contient les principaux standards de télécommunications, un DDS peut-il être utilisé pour tous ces standards? Si l'on considère que pour pouvoir réaliser une modulation 8PSK il faut définir le signal avec un minimum de six points, cela nous donne une fréquence de fonctionnement

Référence	Process	$f_t$ NPN (GHz)	Fréquence (MHz)	Nombre de bits de l'accumulateur	Décomposition de l'accumulateur	Consommation (mW )	Surface (mm <sup>2</sup> )	Coeff. de qualité $\frac{\text{MHz}\times\text{bit}}{\text{mW}\times\text{mm}^2}$
Tan [2]	0.8 $\mu\text{m}$ CMOS		800	12	4 $\times$ 32 bits	3000	39.5	0,08
Byung-Do [3]	0.35 $\mu\text{m}$ CMOS		800	32	4 $\times$ 8 bits	174	1.47	100,08
Kwang-Hyun [4]	0.35 $\mu\text{m}$ BiCMOS SiGe	60	1700	32		3000	24	0,76
Xuefeng [5]	0.35 $\mu\text{m}$ CMOS		2000	8		820	3.99	4,89
Saul [6]	1 $\mu\text{m}$ Bipolar Si	22	2500	31	1 $\times$ 32 bits	5000	20	0,78
Dai [7]	0.35 $\mu\text{m}$ BiCMOS SiGe	47	5000	8	8 $\times$ 1 bits	2000	2	10
Guitierrez [8]	Bipolar InP	137	9200	8	8 $\times$ 1 bits	15000	40	0,12
Turner [9]	Bipolar InP	300	13000	8	1 $\times$ 8 bits	5420	3.92	4,90
Turner [10]	Bipolar InP	300	32000	8	4 $\times$ 2 bits	9450	3.92	6,91
Notre travail	0.25 $\mu\text{m}$ BiCMOS SiGe	70	6000	9	1 $\times$ 9 bits	308	1	175,32

TAB. 3.8: Comparaison des différents DDS RF de la littérature

de 12 GHz pour un signal généré à 2 GHz. Le nombre de bits du DDS peut être déduit de la fréquence d'horloge et de la précision voulue (voir équation 2.2). Une résolution de 18 bits permet d'avoir une précision de 45 kHz ce qui est suffisant pour sélectionner les canaux de 200 kHz. Un tel DDS n'existe pas encore, cependant dans [10] une version 8-bits fonctionnant à 32 GHz est présentée même si la consommation associée à la technologie utilisée est prohibitive et ne permet pas d'en envisager son utilisation. Les transistors bipolaires utilisés pour réaliser notre DDS ont une fréquence de transition de 70 GHz et nous avons montré (§ 3.2.3.2) qu'il était possible de réaliser un accumulateur 3-bits fonctionnant à 15 GHz et un DDS 9-bits fonctionnant à 6 GHz dans cette technologie. Nous pouvons oser une extrapolation de ces résultats en vue de déterminer les caractéristiques d'un DDS 20-bits fonctionnant à 12 GHz en technologie BiCMOS SiGe:C 0,25 $\mu$ m. L'accumulateur de phase serait composé de vingt additionneurs 1-bits répartis dans une structure pipeline composée de cinq groupes de quatre additionneurs 4-bits et il comporterait 64 registres. La consommation de l'accumulateur de phase serait de 1,1 W dont 200 mW pour les additionneurs et 900 mW pour les registres. Il est évident qu'il ne serait pas possible d'utiliser cet hypothétique DDS dans les appareils ultra-portatifs (téléphone, PDA...) liés aux standards présentés. Cependant il pourrait trouver une place dans les micro-ordinateurs ou sa consommation serait moins pénalisante vis à vis de la taille du système. De plus les dernières simulations réalisées en vue de réduire la consommation laissent présager la possibilité de diminuer celle-ci de 30% à 50%. Nous ne pensons néanmoins pas qu'un DDS basé sur la technologie utilisée ne soit jamais intégré dans un système micro-ondes pour une application grand public. L'utilisation d'une génération de technologie plus récente comme la BiCMOS SiGe 0,13  $\mu$ m pourrait permettre de réaliser des DDS ayant des performances très élevés. Il serait alors envisageable qu'ils prennent place dans tous les appareils de télécommunications. Nous avons depuis très peu de temps accès à une technologie CMOS 65 nm. Les premières simulations réalisées en utilisant des composants standards pour les additionneurs et les registres sont très prometteuses. En effet elles montrent qu'il serait possible de réaliser un accumulateur pipeline fonctionnant à 6 GHz et une version 8 bits consommerait seulement 2 mW. De plus, les caractéristiques des transistors ( $f_t$  200 GHz) laissent penser qu'il sera possible de réaliser des additionneurs très performants en logique CML.

## Conclusion

Après avoir présenté, dans les chapitres précédents, les systèmes numériques hyperfréquences et plus particulièrement ceux liés à la synthèse de fréquence, ce chapitre détaille les techniques que nous avons utilisé afin de réaliser une PLL et un DDS. Une topologie de réalisation de PLL, utilisant une pompe de charge à courant variable afin de réduire le phénomène de zone morte qui apparaît autour du point d'équilibre ainsi que la réalisation de la dite pompe de charge a été présenté. Une PLL dans laquelle un diviseur programmable à un seul compteur a été utilisé en lieu et place du traditionnel double décompteur à échappement a été réalisée en



Norme	Schéma d'accès	Fréquence (MHz)	Largeur des canaux	Type de modulation
GSM	TDMA/ FDMA/ TDD	890-915 (Tx) 935-960 (Rx)	200 kHz	GMSK 8PSK
DCS-1800	TDMA/ FDMA/ TDD	1710-1785 (Tx) 1805-1850 (Rx)	200 kHz	GMSK 8PSK
WCDMA (UMTS)	W-CDMA/ TD-CDMA	1920-1980 (Tx) 2110-2170 (Rx)	5 MHz	QPSK
Bluetooth	CDMA/ FDMA/FH	2400-2483	1 MHz	GFSK 2FSK
802.11b	CDMA	2400-2483	3 MHz	QPSK

TAB. 3.9: Comparaison des différents standard de télécommunications

technologie BiCMOS SiGe:C 0,25  $\mu$ m . Elle fonctionne à 10 GHz pour une consommation de seulement 310 mW. Le diviseur utilisé permet, grâce à la réduction du nombre de composants utilisés, de diminuer la complexité et la consommation du système. Nous présentons aussi la conception et la réalisation d'un synthétiseur digital direct fonctionnant dans le domaine micro-ondes. Afin d'arriver à cet objectif plusieurs topologies novatrices ont été mises en place pour la réalisation de chacun des blocs . Les additionneurs ainsi que les registres de l'accumulateur de phase sont basés sur l'utilisation d'une logique mixte bipolaire/NMOS multi-niveaux qui a permis l'intégration d'un accumulateur 3-bits fonctionnant à 15 GHz. La fonction de transfert non-linéaire d'une paire différentielle de transistors bipolaires a été utilisée comme convertisseur phase/amplitude pour la première fois dans un DDS. L'utilisation de cette technique permet de lever un des verrous limitant la fréquence de fonctionnement d'un DDS. Un DDS 9-bits regroupant les techniques présentées à été réalisé, il fonctionne à 6 GHz avec une consommation réduite à seulement 308 mW. Nous avons introduit un coefficient de qualité afin de comparer les différents DDS de la littérature, ce qui nous permet de conclure que notre DDS est l'état de l'art à la date de rédaction de ce manuscrit. Les résultats obtenus avec l'accumulateur 3-bits permettent d'affirmer qu'il est envisageable d'obtenir une fréquence de fonctionnement entre deux et trois fois plus élevée (dans la même technologie) en utilisant une structure pipeline. Nous ne pensons pas qu'un DDS basé sur une technologie BiCMOS SiGe:C 0,25 $\mu$ m ne soit jamais intégré dans un système micro-ondes pour une application grand public. Cependant les topologies présentées sont compatibles avec les générations plus récentes comme les BiCMOS SiGe:C 0,13 $\mu$ m. Il sera intéressant d'étudier en détail les performances d'un DDS réalisé dans ces technologies, en effet il est probable qu'elles soient compatibles avec les caractéristiques des systèmes de télécommunication moderne. Les premières simulations d'un accumulateur en technologie CMOS 65 nm montrent des résultats très encourageants, il est fort probable que les caractéristiques d'un DDS réalisé dans cette technologie lui permettent de devenir un composant incontournable des systèmes de télécommunications

## Références bibliographiques

- [1] S. Thuries, E. Tournier, and J. Graffeuil, « A 3-bits DDS Oriented Low Power Consumption 15 GHz Phase Accumulator in a 0.25  $\mu\text{m}$  BiCMOS SiGe :C Technology », in *Electronics, Circuits and Systems. Proceedings. 2006 13th IEEE International Conference on*, 10-13 Dec. 2006. [3.2.3.1](#)
- [2] L. K. Tan, E. Roth, G. Yee, and H. Samueli, « An 800-MHz quadrature digital synthesizer with ECL-compatible output drivers in 0.8  $\mu\text{m}$  CMOS », *Solid-State Circuits, IEEE Journal of*, vol. 30, no. 12, pp. 1463–1473, 1995. [3.5.4](#)
- [3] B.-D. Yang, J.-H. Choi, S.-H. Han, L.-S. Kim, and H.-K. Yu, « An 800-MHz low-power direct digital frequency synthesizer with an on-chip D/a converter », *Solid-State Circuits, IEEE Journal of*, vol. 39, pp. 761–774, May 2004. [3.5.4](#)
- [4] K.-H. Baek, E. Merlo, M.-J. Choe, A. Yen, and M. Sahrling, « A 1.7GHz 3V direct digital frequency synthesizer with an on-chip DAC in 0.35  $\mu\text{m}$  SiGe BiCMOS », in *Solid-State Circuits Conference, 2005. Digest of Technical Papers. ISSCC. 2005 IEEE International*, pp. 114–587Vol.1, 6-10 Feb. 2005. [3.5.4](#)
- [5] X. Yu, F. Dai, Y. Shi, and R. Zhu, « 2 GHz 8-bit CMOS ROM-less direct digital frequency synthesizer », in *Circuits and Systems, 2005. ISCAS 2005. IEEE International Symposium on*, pp. 4397–4400Vol.5, 23-26 May 2005. [3.5.4](#)
- [6] P. Saul and D. Taylor, « A high-speed direct frequency synthesizer », *Solid-State Circuits, IEEE Journal of*, vol. 25, no. 1, pp. 215–219, 1990. [3.5.4](#)
- [7] F. Dai, C. Stroud, D. Yang, and S. Qi, « Automatic linearity (IP3) test with built-in pattern generator and analyzer », in *Test Conference, 2004. Proceedings. ITC 2004. International*, pp. 271–280, 2004. [3.5.4](#)
- [8] A. Gutierrez-Aitken, J. Matsui, E. Kaneshiro, B. Oyama, D. Sawdai, A. Oki, and D. Streit, « Ultrahigh-speed direct digital synthesizer using InP DHBT technology », *Solid-State Circuits, IEEE Journal of*, vol. 37, pp. 1115–1119, Sep 2002. [3.5.4](#)
- [9] S. Turner and E. Kotecki, « Direct digital synthesizer with ROM-Less architecture at 13-GHz clock frequency in InP DHBT technology », *Microwave and Wireless Components Letters, IEEE [see also IEEE Microwave and Guided Wave Letters]*, vol. 16, pp. 296–298, May 2006. [3.5.4](#)
- [10] S. Turner and D. Kotecki, « Direct Digital Synthesizer With Sine-Weighted DAC at 32-GHz Clock Frequency in InP DHBT Technology », *Solid-State Circuits, IEEE Journal of*, vol. 41, pp. 2284–2290, Oct. 2006. [3.5.4](#), [3.6](#)



---

## Conclusion générale

---



Le contexte actuel des télécommunications fait intervenir deux idées *a priori* antagonistes : la multiplication des standards et la convergence des applications. Il existe de plus en plus de normes telles que le GSM, GPRS, PDC, WCDMA, AMPS, TDMA-Edge, UMTS, WiMAX, WiFi, Bluetooth, ZigBee, Wireless-USB pour ne citer qu'elles alors que les appareils portables tendent à s'unifier en un seul système qui regrouperait le maximum de fonction : téléphonie, assistant personnel, photo numérique, GPS...

Une tendance actuelle liée à la conception de systèmes microélectroniques est la numérisation des fonctions analogiques. Dans le domaine des télécommunications, ceci se traduit non seulement par l'utilisation d'unités numériques de traitement du signal en bande de base, mais également par la migration progressive des étages de transposition de fréquence (mélangeurs analogiques et filtres) vers des équivalences numériques qui conduiront à moduler ou démoduler les porteuses directement de manière numérique. Outre le fait que cela contribue à la baisse des coûts de fabrication grâce à la réduction du nombre de blocs analogiques hyperfréquences nécessaires à la réalisation d'un système, cela permet aussi de rendre le système versatile et reconfigurable : par exemple, l'unité numérique de traitement du signal peut être reprogrammée en fonction de l'application ou de l'évolution de celle-ci.

Le travail présenté dans ce mémoire a été situé dans ce contexte. La question initiale était : est-il possible de réaliser un système de synthèse de fréquences micro-ondes multi-standard ? Nous nous sommes donc naturellement intéressés aux systèmes numériques et plus spécifiquement à une implémentation sur une technologie BiCMOS. La première voie que nous avons explorée a été celle de la numérisation totale de la boucle à verrouillage de phase habituellement utilisée dans les synthèses de fréquence. Un des blocs a particulièrement attiré notre attention : l'oscillateur contrôlé en tension, seul bloc à rester le plus souvent analogique. C'est en étudiant les possibilités de numérisation de celui-ci que nous avons mis en évidence les potentialités du synthétiseur digital direct.

Nous avons montré que le synthétiseur digital direct avait une manière de générer les fréquences très particulières en balayant plus ou moins rapidement des échantillons mémorisés. Sur la base des limitations des réalisations commerciales ou publiées dans la littérature (fréquence de fonctionnement limitée et consommation prohibitive), notre travail a consisté à trouver des solutions de conception autorisant la réalisation d'un DDS dans le domaine micro-ondes, avec une consommation réduite, et le tout sur une technologie bas coût silicium.

Le premier chapitre a permis de présenter les technologies, les topologies ainsi que l'état de l'art des réalisations de circuits numériques hyperfréquences. De plus, la réalisation de circuits numériques hyperfréquences passant généralement par l'utilisation d'une logique ECL à base de structure différentielle, nous avons donc présenté les topologies de circuits numériques utilisant ces structures. Enfin, un état de l'art des circuits numériques micro-ondes a été présenté. C'est la famille de technologies BiCMOS SiGe qui ressort de cette étude comme étant la meilleure candidate à la réalisation de circuits numériques hyperfréquences faible coût, faible consommation.

Le second chapitre a été dédié aux techniques de numérisation de blocs élémentaires, appelés à entrer dans la fabrication de PLL. Notamment, une structure de diviseur programmable à un seul compteur a été conçue. Une attention toute particulière a été apportée à la numérisation du VCO qui nous a immédiatement conduits au DDS, devenu sujet principal de nos travaux. Son fonctionnement a été étudié ainsi que les différentes topologies de réalisation de chacun de ses composants : additionneur, registre, convertisseur phase/amplitude, convertisseur numérique/analogique. Nous en avons conclu que l'accumulateur de phase et le convertisseur phase/amplitude sont responsables de la limitation en fréquence ainsi que de la forte consommation. Les réalisations de DDS fonctionnant à haute fréquence utilisent presque toutes un convertisseur phase/amplitude analogique, en effet l'utilisation d'une mémoire ou d'un algorithme n'est pas possible. Nous avons introduit pour la première fois un convertisseur numérique/analogique non-linéaire dans une structure DDS, qui est particulièrement bien adapté car sa consommation est identique à celle d'un convertisseur classique et il remplit aussi la fonction de conversion phase/amplitude, offrant une mise en forme appropriée du signal à partir d'un balayage linéaire très simple en sortie de l'accumulateur de phase. Le choix de la structure de réalisation de l'accumulateur (simple, parallèle, « pipeline »...) a résulté d'un compromis entre vitesse de fonctionnement et consommation.

Le dernier chapitre a été consacré aux techniques que nous avons mises en place afin de réaliser une PLL et un DDS. Nous avons montré comment l'utilisation d'une pompe de charge à courant variable permettait de limiter les effets indésirables du détecteur phase/fréquence numérique. Nous avons détaillé un diviseur de fréquence programmable, où une structure originale utilisant un seul compteur a avantageusement remplacé la structure traditionnelle à double compteur. Nous avons aussi présenté les techniques qui nous ont permis de réaliser un DDS 9-bits fonctionnant à 6 GHz pour une consommation réduite de seulement 310 mW. Le convertisseur phase/amplitude de ce DDS utilise la fonction de transfert non-linéaire d'une paire différentielle : en plus de réduire fortement la consommation, cela permet de lever la limitation de la fréquence de fonctionnement, l'accumulateur devenant alors le seul élément bloquant. L'accumulateur a ensuite été optimisé de façon à permettre le fonctionnement du DDS dans le domaine micro-ondes tout en minimisant sa consommation. Il a été réalisé en utilisant une logique BiCMOS multi-niveaux qui a permis d'atteindre la fréquence de 15 GHz pour une réalisation 3-bits. Enfin, nous avons introduit un facteur de qualité pour comparer les différents DDS de la littérature, qui tient compte de la fréquence de fonctionnement, de la consommation, de la résolution de l'accumulateur et de la surface d'intégration. Ce facteur de qualité, qui se veut le plus objectif possible, nous permet de dire que le DDS réalisé est le plus performant réalisé à ce jour sur silicium.

L'ensemble des résultats obtenus démontre la faisabilité d'un DDS fonctionnant dans le domaine micro-ondes tout en gardant une consommation modérée. Ceci est principalement dû à l'association d'une technologie BiCMOS SiGe et de topologies optimisées pour la réalisation des différents blocs. Si nous ne pensons pas que les performances obtenues soient encore suffisantes

pour que ce DDS puisse déjà être utilisé dans un système de télécommunications grand public portable, nous sommes cependant convaincus que l'utilisation d'une technologie BiCMOS SiGe de dernière génération permet de réaliser un tel système, en diminuant encore plus sa consommation.

Le DDS ultime ne sera probablement pas réalisé en technologie bipolaire, car bien que la consommation puisse encore être optimisée, elle sera toujours un facteur limitant dans des applications portables.

Les premières simulations d'un accumulateur en technologie CMOS 65 nm montrent d'ailleurs des résultats très encourageants. Il est fort probable que les caractéristiques d'un DDS réalisé dans les technologies futures lui permettent non seulement de respecter l'ensemble des contraintes des systèmes de télécommunications, mais bel et bien d'en devenir un composant incontournable.





---

# Résumé

---



### **Conception et intégration d'un synthétiseur digital direct fonctionnant dans le domaine micro-ondes**

Cette thèse présente le travail effectué sur la conception d'un synthétiseur de fréquence entièrement numérique appelé Synthétiseur Digital Direct (DDS), dans la gamme micro-ondes, et en technologie BiCMOS SiGe. Ce DDS a pour objectif de se substituer aux synthèses de fréquences indirectes notamment basées sur des boucles à verrouillage de phase (PLL). Jusqu'à présent, le coût, la consommation, la surface d'intégration et la gamme de fréquences synthétisables des DDS étaient des facteurs limitants pour les applications du domaine micro-onde.

Nous présentons dans cette thèse des techniques de conception en numérique hyperfréquence (logique ECL multi-niveaux, convertisseur numérique/analogique non-linéaire, ...) qui nous ont permis de repousser les limites évoquées et de concevoir les blocs élémentaires ainsi que le DDS complet, intégrés dans une technologie faible coût silicium et fonctionnant à haute fréquence tout en ayant une consommation réduite. Ainsi, la fréquence de fonctionnement du système final est de 6 GHz, sa résolution interne de 9-bits et sa consommation de seulement 308 mW.

Ce travail démontre ainsi la faisabilité de DDS fonctionnant dans la gamme micro-onde compatibles avec les applications multimédias et télécommunications sans fil récentes (faible coût, agilité en fréquence, faible consommation, versatilité, ...).

### **Conception et intégration d'un synthétiseur digital direct fonctionnant dans le domaine micro-ondes**

Direct Digital Synthesizer (DDS) is a very versatile signal generation block, known to have many attractive characteristics among which : fast settling time, high frequency resolution, low phase noise, phase and frequency modulation capabilities, large bandwidth... All these features make DDS very attractive for modern microwave telecommunication systems. Although the principle of DDS has been known for many years, it did not get a dominant role in microwave communication systems due to its frequency limitation and high power consumption.

A 6-GHz low power SiGe direct digital synthesizer (DDS) is reported. The DDS consists of a phase accumulator, a complementer, a digital-to-analog (D/A) converter and a bipolar differential pair. This paper discusses on the BiCMOS improvement design techniques used for the phase accumulator and the phase-to-amplitude conversion in order to achieve higher speed operation and lower power consumption compared to existing DDS. The phase accumulator is based on a three-levels BiCMOS logic which is used to implement the 1 bit full-adder and the D-flip-flop register. With this design, the power dissipation is reduced by 30% over the usual four-levels series logic. The phase-to-amplitude conversion is completed through a bipolar differential pair instead of a ROM and/or complex computing circuit, providing significant saving in power consumption and die size. The circuit has been processed in a BiCMOS SiGe :C technology. The power consumption is 308 mW and it operates from a 2.8 V supply.