



**HAL**  
open science

# ETUDE ET OPTIMISATION D'UNE FILIERE TECHNOLOGIQUE FLEXIBLE ADAPTEE AU MODE D'INTEGRATION FONCTIONNELLE

Éric Imbernon

► **To cite this version:**

Éric Imbernon. ETUDE ET OPTIMISATION D'UNE FILIERE TECHNOLOGIQUE FLEXIBLE ADAPTEE AU MODE D'INTEGRATION FONCTIONNELLE. Micro et nanotechnologies/Microélectronique. Université Paul Sabatier - Toulouse III, 2002. Français. NNT: . tel-00131494

**HAL Id: tel-00131494**

**<https://theses.hal.science/tel-00131494>**

Submitted on 16 Feb 2007

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

# THÈSE

Préparée au  
**Laboratoire d'Analyse et d'Architecture des Systèmes du CNRS**

en vue de l'obtention du grade de  
**Docteur de l'Université Paul Sabatier de Toulouse**

Spécialité : **Electronique**

Par  
**Eric IMBERNON**

---

## **ETUDE ET OPTIMISATION D'UNE FILIERE TECHNOLOGIQUE FLEXIBLE ADAPTEE AU MODE D'INTEGRATION FONCTIONNELLE**

---

**Soutenu le 20 Septembre 2002 devant le jury :**

Président	A. CAZARRE	Professeur Université Paul Sabatier
Rapporteurs	C. SCHAEFFER P. MERLE	Professeur INP Grenoble Professeur Université Montpellier II
Examineurs	E. SARRAUTE M. ROY	Maître de conférences CNAM Ingénieur ST Microelectronics
Directeur de thèse	J. L. SANCHEZ	Directeur de recherche CNRS
Invitée	M. BREIL	Chargée de recherche CNRS

# **AVANT-PROPOS**

Le travail présenté dans ce mémoire a été effectué au sein du groupe "Composants et Intégration de Puissance" du LAAS-CNRS.

Je remercie Monsieur J-C. LAPRIE, Directeur du LAAS, pour m'avoir accueilli au laboratoire.

J'ai également une pensée pour Monsieur G. CHARITAT qui m'a accueilli au sein du groupe "Composants et Intégration de Puissance".

Ce travail a été conduit sous la direction de Monsieur J-L. SANCHEZ, Directeur de recherche au CNRS. Je tiens à le remercier chaleureusement de son soutien tout au long de ces quatre années de thèse. Sa très grande disponibilité et les échanges scientifiques entretenus avec lui m'ont permis de réaliser ce travail dans les meilleures conditions possibles.

Je remercie les membres du jury, et tout d'abord Monsieur A. CAZARRE, Professeur à l'Université Paul-Sabatier de Toulouse qui m'a fait l'honneur de le présider. Je remercie également Monsieur C. SCHAEFFER, Professeur à l'INP de Grenoble et Monsieur P. MERLE, Professeur à l'Université de Montpellier II, qui ont accepté, en qualité de rapporteur, d'examiner ce travail. Mes remerciements vont également à Monsieur E. SARRAUTE, Maître de Conférences au CNAM et Monsieur M. ROY Ingénieur à ST-Microelectronics-Tours, ainsi qu'à Mademoiselle M. BREIL, Chargée de recherche au LAAS-CNRS, qui ont accepté d'être membres du jury.

Je tiens à exprimer ma reconnaissance aux membres permanents du groupe CIP et plus particulièrement à Messieurs P. AUSTIN, J. JALADE et J-P. LAUR.

Un grand merci aussi aux ingénieurs et techniciens de la Centrale de Technologie du LAAS dirigée par Monsieur N. FABRE. Monsieur B. ROUSSET et Madame F. ROSSEL pour avoir suivi les procédés technologiques présentés dans ce mémoire et pour m'avoir soutenu et aidé durant ces longues heures passées en salle blanche, Messieurs C. SOLANO et P. FADEL pour la fabrication des masques, Messieurs H. GRANIER et J-C. MARROT pour les implantations ioniques, Monsieur L. SALVAGNAC pour les métallisations, Monsieur P. DUBREUIL pour les gravures, Monsieur T. DO CONTO pour le montage des composants,

sans oublier V. CONEDERA, M. BENOIT, M. DILHAN, L. BOUSCAYROL, P-F. CALMON, J-B. DOUCET et D BOURRIER.

Je remercie C. BERTY pour sa disponibilité et sa sympathie.

Bien entendu, je tiens à saluer et remercier toutes les personnes que j'ai cotoyées et qui m'ont permis de passer quatre années merveilleuses : Olivier G. (notre Auvergnat pure souche), Nathalie, Jean-Philippe, Christophe, Frédéric (notre encyclopédie sportive et cinématographique) et Laurence, Nicolas N. et notre charmante secrétaire Isabelle N., Nicolas M. (le "maestro" de la salle de caractérisation), Patrice, David, Stéphane, Hervé (le dernier arrivé), Adeline, Olivier P., Laurent, Guillaume, Christian, Ghislain, Daniela, Moaniss, Thierry, Marc, Olivier C., Benjamin, Sylvie, Géraldine, Christelle.

Je salue également toutes les personnes que j'oublie et qui pourtant ont compté durant les années passées au sein du laboratoire.

Enfin, je ne pourrai conclure sans remercier Gaëlle qui m'a apporté soutien et réconfort tout au long de ces années de thèse.

# **TABLE DES MATIERES**

<b>INTRODUCTION GENERALE.....</b>	<b>1</b>
<b>I. EVOLUTION DES FILIERES TECHNOLOGIQUES DES CIRCUITS INTEGRES ET DES DISPOSITIFS DE PUISSANCE.....</b>	<b>7</b>
<b>I.1. EVOLUTION DES STRUCTURES ET DES FILIERES TECHNOLOGIQUES DES CIRCUITS INTEGRES.....</b>	<b>7</b>
<b>I.1.1. Filières NMOS.....</b>	<b>8</b>
<b>I.1.2. Filières CMOS.....</b>	<b>11</b>
<b>I.1.3. Filière bipolaire.....</b>	<b>14</b>
<b>I.1.4. Filière BiCMOS.....</b>	<b>18</b>
<b>I.1.5. Grandes tendances de l'évolution des circuits intégrés.....</b>	<b>22</b>
<b>I.2. EVOLUTION DES TECHNOLOGIES DE COMPOSANTS DE PUISSANCE.....</b>	<b>23</b>
<b>I.2.1. La technologie double diffusée pour les transistors MOS de puissance.....</b>	<b>23</b>
<b>I.2.2. Le développement des IGBT.....</b>	<b>28</b>
<b>I.2.3. Apport des technologies des circuits intégrés au développement des composants de puissance.....</b>	<b>29</b>
<b>I.3. EVOLUTION DES FONCTIONS DE PUISSANCE INTEGREES.....</b>	<b>30</b>
<b>I.3.1. Circuits intégrés de puissance.....</b>	<b>30</b>
<b>I.3.2. Intégration fonctionnelle.....</b>	<b>34</b>
I.3.2.1. Les associations bipolaires-bipolaires pour des dispositifs plus complexes que le thyristor ou le triac.....	34
I.3.2.2. Evolution vers les associations MOS-bipolaires.....	37
I.3.2.3. Exemple d'intégration de fonctions spécifiques.....	41
<b>I.3.3. Prolongement de l'intégration fonctionnelle.....</b>	<b>50</b>
<b>I.3.4. Apport des technologies des circuits intégrés au développement des fonctions de puissance intégrées.....</b>	<b>52</b>
<b>I.4. CONTRAINTES DE LA FILIERE TECHNOLOGIQUE ADAPTEE A L'INTEGRATION FONCTIONNELLE.....</b>	<b>53</b>
<b>II. PRESENTATION ET OPTIMISATION DE LA FILIERE TECHNOLOGIQUE FLEXIBLE.....</b>	<b>67</b>
<b>II.1. OBJECTIFS DE LA FILIERE.....</b>	<b>69</b>
<b>II.2. OPTIMISATION DES ETAPES DE BASE (FILIERE IGBT AUTOALIGNE).....</b>	<b>69</b>
<b>II.2.1. Enchaînement des étapes de base.....</b>	<b>70</b>
<b>II.2.2. Description et optimisation des étapes de base.....</b>	<b>71</b>
II.2.2.1. Terminaison de jonction.....	72
II.2.2.2. Anode P <sup>+</sup> face arrière.....	72

II.2.2.3. Grille en polysilicium.....	73
II.2.2.3.1. Oxyde de grille .....	73
II.2.2.3.2. Dopage du polysilicium.....	74
II.2.2.4. Réalisation des caissons P.....	75
II.2.2.5. Réalisation des caissons P <sup>+</sup> .....	78
II.2.2.6. Réalisation des régions N <sup>+</sup> .....	79
<b>II.3. "STRUCTURE" DE LA FILIERE COMPLETE .....</b>	<b>80</b>
<b>II.4. OPTIMISATION DES ETAPES D'IMPLANTATION IONIQUE A TRAVERS LES REGIONS DE GRILLE POUR MATERIALISER LES CANAUX PREFORMES .....</b>	<b>81</b>
<b>II.4.1. Simulations bidimensionnelles .....</b>	<b>82</b>
II.4.1.1. Transistors PMOS à canaux préformés .....	82
II.4.1.2. Transistors NMOS à canaux préformés.....	85
<b>II.5. VALIDATION EXPERIMENTALE .....</b>	<b>91</b>
<b>II.5.1. Conception des dispositifs MOS.....</b>	<b>91</b>
<b>II.5.2. Description du processus technologique .....</b>	<b>91</b>
II.5.2.1. Oxydation de masquage.....	92
II.5.2.2. Court-circuit P <sup>+</sup> .....	92
II.5.2.3. Oxydation de grille .....	92
II.5.2.4. Dépôt de polysilicium.....	93
II.5.2.5. Dopage du polysilicium .....	93
II.5.2.6. Réalisation des caissons P des NMOS et des régions de sources et drains des PMOS .....	93
II.5.2.7. Redistribution du P et du P <sup>+</sup> .....	94
II.5.2.8. Réalisation des régions N <sup>+</sup> en dehors des régions P déjà ouvertes .....	94
II.5.2.9. Réalisation des cathodes N <sup>+</sup> .....	94
II.5.2.10. Redistribution du N <sup>+</sup> .....	95
II.5.2.11. Réalisation des canaux préformés N.....	95
II.5.2.12. Réalisation des canaux préformés P.....	96
II.5.2.13. Redistribution des canaux préformés.....	96
II.5.2.14. Dépôt de nitrure .....	97
II.5.2.15. Ouverture des contacts et métallisation .....	97
<b>II.5.3. Résultats expérimentaux .....</b>	<b>97</b>
II.5.3.1. Caractérisation physique .....	97
II.5.3.1.1. Transistors MOS à enrichissement.....	98
II.5.3.1.2. Transistors MOS à canaux préformés .....	100
II.5.3.2. Caractérisation électrique.....	101
II.5.3.2.1. Transistors MOS à enrichissement.....	102



II.5.3.2.2. Transistors MOS à canaux préformés .....	104
<b>II.6. OPTIMISATION DES ETAPES SPECIFIQUES .....</b>	<b>110</b>
<b>II.6.1. Cathode N<sup>+</sup> face arrière et diode antiparallèle .....</b>	<b>110</b>
<b>II.6.2. Anode semi-transparente .....</b>	<b>110</b>
<b>II.6.3. Caissons traversant pour périphérie .....</b>	<b>111</b>
II.6.3.1. Réalisation des tranchées profondes .....	113
II.6.3.2. Remplissage des tranchées de polysilicium fortement dopé bore.....	113
II.6.3.3. Diffusion du bore contenu dans le polysilicium .....	113
<b>III. VALIDATION DE LA FILIERE TECHNOLOGIQUE.....</b>	<b>116</b>
<b>III.1.RECAPITULATION DES ETAPES TECHNOLOGIQUES DU PROCESSUS DE FABRICATION.....</b>	<b>119</b>
<b>III.2.CHOIX, CONCEPTION ET VALIDATION EXPERIMENTALE DES VEHICULES DE TESTS.....</b>	<b>121</b>
<b>III.2.1. Transistors MOS.....</b>	<b>122</b>
III.2.1.1. Conception .....	122
III.2.1.2. Validation expérimentale .....	122
III.2.1.2.1. Transistor MOS à enrichissement.....	122
III.2.1.2.2. Transistors MOS à canaux préformés .....	123
<b>III.2.2. Cellules tests.....</b>	<b>126</b>
III.2.2.1. Conception des structures.....	126
III.2.2.2. Validation expérimentale .....	126
III.2.2.2.1. Diodes Zener.....	126
III.2.2.2.2. Transistors bipolaires .....	127
<b>III.2.3. IGBT.....</b>	<b>128</b>
III.2.3.1. Conception .....	128
III.2.3.2. Validation expérimentale .....	130
III.2.3.3. Caractéristique dynamique .....	132
<b>III.2.4. IGBT à canal préformé .....</b>	<b>133</b>
III.2.4.1. Conception .....	133
III.2.4.2. Validation expérimentale .....	135
<b>III.2.5. EST (Emitter Switched Thyristor) .....</b>	<b>135</b>
III.2.5.1. Conception .....	135
III.2.5.2. Validation expérimentale .....	137
<b>III.2.6. Thyristor-MOS autoamorçable et blocable .....</b>	<b>138</b>
III.2.6.1. Conception .....	138
III.2.6.2. Validation expérimentale .....	142
<b>III.2.7. Capteurs de tension d'anode .....</b>	<b>142</b>
III.2.7.1. Conception de la structure.....	142

III.2.7.2. Validation expérimentale .....	144
<b>III.2.8. Thyristor dual et fonction micro-disjoncteur .....</b>	<b>144</b>
III.2.8.1. Thyristor dual.....	144
III.2.8.2. Rappel du principe de fonctionnement .....	145
III.2.8.3. Dispositif thyristor dual avec suppression du courant de fuite .....	146
III.2.8.3.1. Rappel du principe de fonctionnement .....	146
III.2.8.3.2. Conception du dispositif avec blocage de la fuite.....	148
III.2.8.3.3. Validation expérimentale .....	149
III.2.8.4. Micro-disjoncteur.....	150
III.2.8.4.1. Rappel du principe de fonctionnement .....	150
III.2.8.4.2. Conception du micro-disjoncteur à IGBT .....	152
III.2.8.4.3. Validation expérimentale .....	153
<b>III.3.TERMINAISON DE JONCTION SYMETRIQUE EN TENSION.....</b>	<b>154</b>
<b>CONCLUSION GENERALE.....</b>	<b>159</b>
<b>ANNEXE 1.....</b>	<b>163</b>
<b>ANNEXE 2.....</b>	<b>169</b>

# **INTRODUCTION GENERALE**



L'électronique de puissance constitue une branche de l'électrotechnique qui utilise des dispositifs semiconducteurs pour réaliser des systèmes permettant de transformer la forme, l'amplitude et/ou la fréquence des ondes qui transportent l'énergie électrique. Ces opérations s'effectuent avec des puissances nettement supérieures à celles rencontrées en électronique linéaire. Pour des raisons de rendement, mais aussi parce qu'ils ne peuvent dissiper sans risque une large fraction de la puissance mise en jeu, ces dispositifs semiconducteurs travaillent entre deux états, soit avec un courant de l'ordre de grandeur du courant nominal et une tension très faible aux bornes, soit avec une tension proche de la tension nominale mais avec un courant aussi faible que possible. En outre, pour réaliser les conversions nécessaires, ces composants doivent passer d'un état à l'autre au cours de transitions peu dissipatrices. L'ensemble de ces contraintes conduit à un fonctionnement en commutation dans lequel le rôle des composants semiconducteurs peut être assimilé à celui d'interrupteur fonctionnant entre deux états ouvert ou fermé. Ainsi, les caractéristiques importantes de ces dispositifs sont la tension blocable (de quelques volts à quelques milliers de volts), le courant passant (de quelques ampères à quelques centaines d'ampères), la chute de tension à l'état passant et les temps de commutation qui fixent les pertes en conduction et en commutation.

Depuis l'apparition des premiers dispositifs, l'amélioration des performances des composants de puissance s'est traduite de façon générale par :

- i) une augmentation des tensions blocables et du calibre en courant des dispositifs,
- ii) une optimisation des performances à la commutation,
- iii) une amélioration des aires de sécurité,
- iv) une plus grande simplicité de commande.

Ces améliorations sont les conséquences des progrès technologiques réalisés dans le domaine de la microélectronique, des développements de nouvelles structures, et des études spécifiques effectuées dans le domaine.

Plus récemment l'intégration de fonctions de puissance a permis d'accroître les performances et les fonctionnalités.

La pénétration des technologies MOS dans le domaine des composants de puissance s'est effectuée par l'intermédiaire du développement des structures VDMOS. Cette technologie a permis ensuite de développer les IGBT qui sont à l'heure actuelle les dispositifs de puissance les plus utilisées. En parallèle, la combinaison de ces technologies DMOS,

permettant de réaliser les structures verticales VDMOS ou IGBT, mais aussi latérales LDMOS ou LIGBT, avec les filières de circuits intégrés ont permis l'émergence des circuits de puissance intelligents (Smart-Power). Ces dispositifs sont essentiellement destinés aux applications basses et moyennes tensions fonctionnant à partir de sources d'énergie autonomes. Cependant, il existe de nombreuses applications de conversion de l'énergie orientées vers l'alimentation d'équipements ou de moteurs qui peuvent bénéficier des avantages apportés par l'intégration, tant dans le domaine industriel (alimentation statique, machine outil, vitesse variable, soudure...) que dans le domaine grand public (électroménager, petit outillage, chauffage, informatique personnelle...). En effet, dans de nombreux systèmes électroniques utilisés dans le domaine de la conversion d'énergie, les composants semiconducteurs de puissance jouent le rôle d'interrupteurs. Leurs circuits de commande, de protection et d'isolation constituent une interface entre la partie puissance et la partie traitement du signal. L'évolution naturelle consiste à intégrer l'ensemble ou une partie de ces fonctions avec l'élément de puissance.

Les niveaux de courant et de tension requis pour l'ensemble des applications conduisent à adopter la plupart du temps un agencement vertical pour le composant de puissance qui va occuper la surface du dispositif intégré. Ainsi, la technologie de base est celle du composant de puissance. Ces exigences peuvent être remplies grâce aux potentialités offertes par le mode d'intégration fonctionnelle. Basées au départ sur des filières bipolaire-bipolaire, de nouvelles fonctionnalités peuvent être apportées par des structures MOS (à enrichissement et à canal préformé) ainsi que par des agencements spécifiques nécessitant des lithographies double face ou des gravures du silicium. En effet, la fonctionnalité et les caractéristiques électriques de ces dispositifs basés sur le concept d'intégration fonctionnelle, dépendent de la géométrie et des différentes connexions réalisées en surface mais aussi des caractéristiques de la structure verticale, telles que : le type, la succession et les paramètres physiques des couches. A ce stade deux dispositifs présentant des fonctionnalités différentes se différencient tant au niveau du procédé technologique (température de recuit, doses et énergies d'implantation...) que de la géométrie des masques. Cette approche est fondamentalement différente des familles de circuits intégrés qui conservaient les mêmes filières technologiques et qui se différenciaient uniquement par le dessin des masques. Plutôt qu'une filière technologique figée, comme c'était le cas pour la plupart des dispositifs de puissance discrets ou pour les circuits intégrés, l'évolution doit se faire vers des filières flexibles composées de briques technologiques optimisées et compatibles entre elles. A ce

niveau, un lien beaucoup plus étroit que par le passé doit obligatoirement s'établir entre les technologues et les concepteurs pour optimiser ces différentes briques technologiques et étudier leur compatibilité au sein d'une même filière technologique. Dans le cadre des travaux développés dans le domaine de l'intégration fonctionnelle, nous avons orienté notre étude vers le développement et l'optimisation d'une filière technologique flexible.

Dans le premier chapitre, nous présentons l'évolution des structures et filières technologiques des circuits intégrés et des composants de puissance. L'analyse de nouvelles fonctions basées sur le mode d'intégration fonctionnelle nous permet ensuite de définir les principales caractéristiques de la filière technologique à développer.

Le deuxième chapitre est consacré à la présentation et l'optimisation de la filière technologique flexible. Après avoir présenté les étapes de base de la filière adaptées à la réalisation de dispositifs de type IGBT ou MOS-thyristor, nous détaillons l'optimisation des étapes spécifiques. Nous présentons notamment la simulation et la validation technologique des étapes relatives aux sections MOS (transistors MOS à enrichissement et à déplétion).

Enfin le dernier chapitre nous permet de valider la filière technologique proposée. Nous présentons les principales étapes de conception de nouvelles fonctions intégrées et les premières caractérisations électriques permettant de mettre en évidence le bien fondé de cette filière technologique qui sera utilisée pour valider de nouvelles idées de conception basées sur le mode d'intégration fonctionnelle.

---

**I. EVOLUTION DES FILIERES  
TECHNOLOGIQUES DES CIRCUITS  
INTEGRES ET DES DISPOSITIFS DE  
PUISSANCE**





## INTRODUCTION

Bien que les performances à optimiser pour les composants de puissance soient différentes de celles des circuits intégrés, l'explosion de la microélectronique a eu un impact important sur le développement des composants de puissance. Dans les premières années, l'évolution des performances des composants de puissance s'est effectuée essentiellement vers une augmentation du rapport  $V.A/mm^2$  alors que, pour les circuits intégrés, les progrès étaient liés à la réduction des dimensions permettant une augmentation du rapport nombre de transistors/ $mm^2$ . Ces vingt dernières années l'industrie de la microélectronique a connu un essor important et a bénéficié d'un important effort de recherche orienté vers la réduction des dimensions. Bien que l'évolution se soit faite dans des directions différentes, un déplacement des progrès technologiques et des moyens de production s'est effectué du domaine des circuits intégrés vers les composants de puissance.

Après avoir décrit l'évolution des filières technologiques dans le domaine des circuits intégrés, nous présenterons les nouveaux dispositifs de puissance, les principales voies d'intégration utilisées jusqu'à présent dans le domaine des dispositifs de puissance et nous dégagerons ensuite les technologies les mieux adaptées à l'intégration de nouvelles fonctions pour l'électronique de puissance du futur.

### **I.1. Evolution des structures et des filières technologiques des circuits intégrés**

Depuis la réalisation des premiers transistors MOS et bipolaires sur silicium en technologie planar au début des années 60, les progrès des technologies de fabrication des dispositifs semiconducteurs ont permis le développement considérable des circuits intégrés qui sont à la base de la deuxième révolution industrielle en électronique et informatique.

L'évolution de ces technologies est basée sur la réduction des dimensions, notamment des longueurs de grille des transistors MOS (Figure 1), liée aux progrès technologiques réalisés au niveau des procédés et des équipements de fabrication qui ont permis un accroissement de la précision d'alignement des machines de photolithographies.

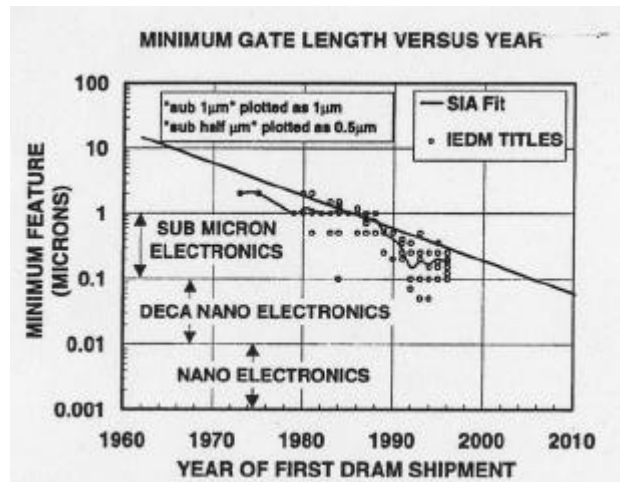


Figure 1 : Evolution des longueurs de grille des transistors MOS [1].

Le transistor MOS est le plus répandu dans la production actuelle de composants semi-conducteurs car il est le composant de base de la technologie CMOS qui englobe plus de 70 % de la production mondiale de circuits intégrés.

### I.1.1. Filières NMOS

Le premier transistor MOS en silicium opérationnel, avec l'oxyde de silicium en tant que diélectrique de grille, a été réalisé en 1960 par KANHNG et ATALLA [2].

Les premiers transistors MOS utilisés dans les circuits intégrés sur silicium étaient basés sur des dispositifs PMOS [3]. Le procédé technologique est décrit sur la Figure 2. Le substrat de départ en silicium est de type N d'orientation cristalline  $\langle 111 \rangle$ . Les sources et drains de type P sont réalisés, avant la formation de la grille, par diffusion d'impuretés dopantes à travers un oxyde fin (Figure 2a). L'oxyde au-dessus du canal est enlevé à l'aide d'un deuxième masque (Figure 2b). L'oxyde de grille, d'épaisseur 1000 Å, est réalisé par oxydation thermique. Un masque permet d'enlever l'oxyde pour ouvrir les contacts (Figure 2c). Enfin, la même couche de métal est utilisée pour former la grille et les lignes de métal de sources et de drains (Figure 2d). Cette technologie ne permet pas d'aligner la grille par rapport aux régions de source et de drain.

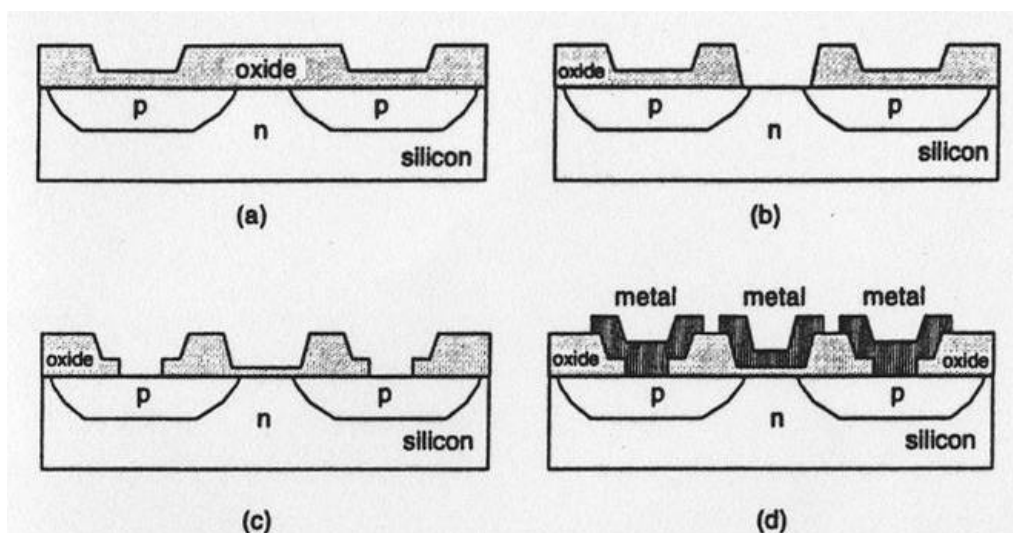


Figure 2 : Etapes de fabrication d'un transistor PMOS avec grille métal [3].

Un des premiers changement majeur dans l'évolution des technologies MOS concerne l'introduction du transistor NMOS avec grille en polysilicium dopé N sur un substrat  $\langle 100 \rangle$  de type P. Cette évolution s'est traduite par une multiplication de la mobilité de surface par 3. Cependant, c'est l'introduction du silicium polycristallin pour matérialiser l'électrode de grille et permettre l'autoalignement de la grille qui a constitué la modification majeure qui a conditionné l'évolution des dispositifs MOS jusqu'à nos jours. La formation de la grille en polysilicium en début du procédé de fabrication permet de protéger la région de canal de l'implantation ionique effectuée pour matérialiser les régions de source et drain qui deviennent alignées par rapport à la grille. La Figure 3 représente les vues de dessus et en coupe des différentes étapes de fabrication d'une porte logique NMOS issue d'un des premiers procédés technologiques MOS avec grille en polysilicium utilisé dans les circuits intégrés. Ces portes logiques NMOS sont constituées d'un transistor NMOS à enrichissement et d'un transistor NMOS à canal préformé. Le substrat de départ est de type P. La première étape de lithographie consiste à délimiter la zone où seront constituées les zones d'isolation entre caissons. Après avoir gravé les couches d'oxyde et de nitrure déposées préalablement on réalise une implantation de bore pour former le stop-channel (Figure 3a). La vue de dessus de la Figure 3b représente le masque permettant de créer le contact enterré entre le polysilicium de grille et la source du transistor MOS à canal préformé et la vue en coupe représente le circuit après la création d'un oxyde de champ localisé (procédé LOCOS), l'oxydation de grille d'environ  $250 \text{ \AA}$ , la gravure de cet oxyde pour le contact enterré et l'implantation ionique de bore pour l'ajustement du seuil des transistors MOS à enrichissement. Sur la Figure 3c les transistors à enrichissement sont protégés par de la résine et l'ajustement de la tension de seuil

des MOS à canal préformé se fait par implantation ionique d'arsenic ou de phosphore. Ensuite, le polysilicium de grille est déposé et dopé N par diffusion de phosphore. Celui-ci est gravé et les sources et drains des transistors sont implantés avec de l'arsenic et du phosphore (Figure 3d). Ainsi les sources et les drains sont alignés par rapport à la grille. Un oxyde dopé phosphore (P-glass) permettant d'isoler le polysilicium de grille et le métal est déposé, puis gravé afin de prendre les contacts (Figure 3e). Cette couche déposée à haute température permet également d'activer et de redistribuer les implantations de sources et de drains. Ce procédé de fabrication constitue la base du développement des circuits logiques et analogiques de type MOS.

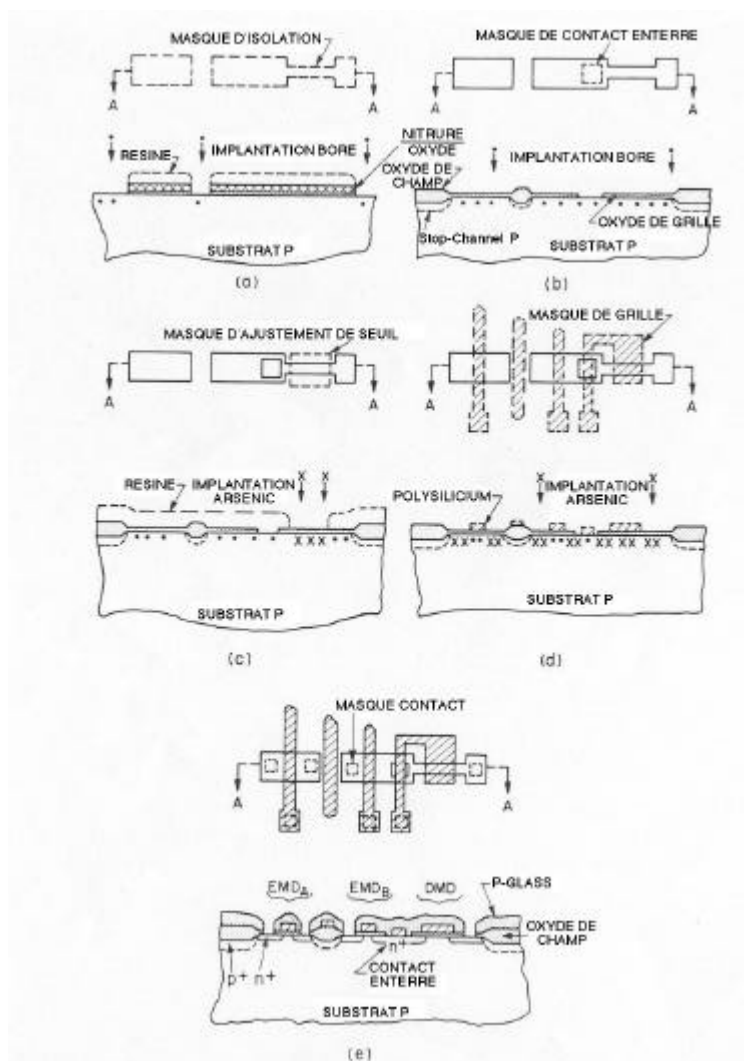


Figure 3 : Vues de dessus et en coupe des étapes de fabrication d'une porte logique NMOS [4].

Au niveau de la réalisation des sources et des drains, le procédé LDD (Lightly Doped Drain) introduit plus récemment permet une réduction des problèmes de perçage volumique et

de diffusion latérale (Figure 4) et est mieux adapté à la réduction des dimensions. Avec ce procédé, la jonction est implantée en deux fois :

- une première implantation, à faible dose, de l'ordre de  $10^{13} \text{ cm}^{-2}$ , après la formation de la grille
- une seconde à forte dose de l'ordre de  $10^{15} \text{ cm}^{-2}$  après formation de l'espaceur.

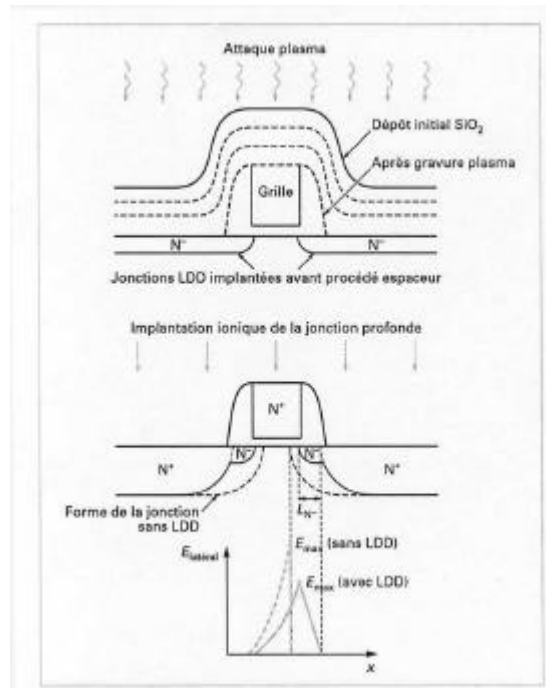


Figure 4 : Principe LDD et son impact sur le champ latéral de la jonction [5].

### I.1.2. Filières CMOS

Ces avancées technologiques ont également permis aux technologies CMOS, qui combinent à la fois des transistors NMOS et PMOS, d'évoluer fortement au point d'en faire la technologie la plus utilisée dans les circuits intégrés.

Les premières technologies CMOS ont été introduites par WANLASS et SAH [6] en 1963. Les trois principales structures de la technologie CMOS sont représentées sur la Figure 5.

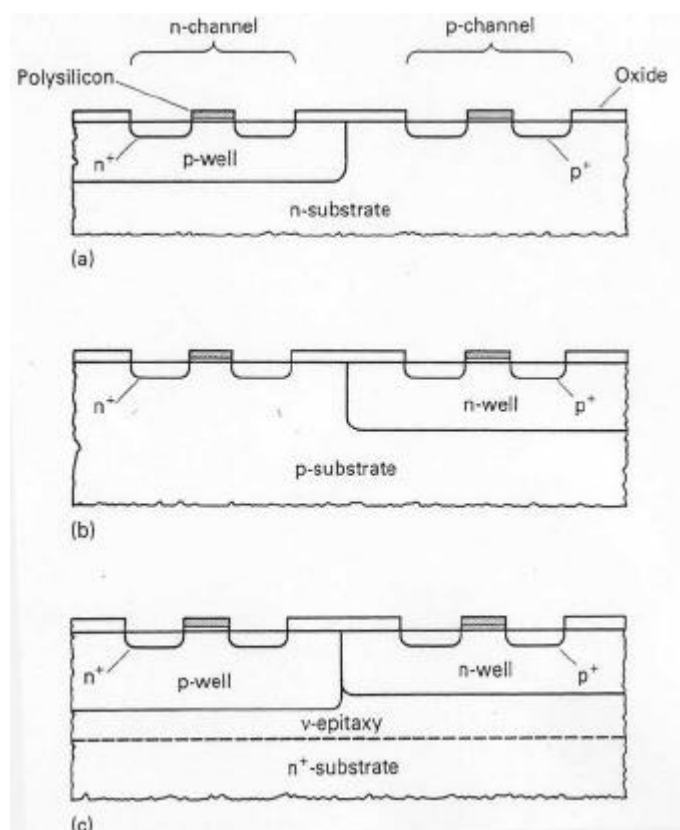


Figure 5 : Les différentes structures CMOS : (a) p-tub, (b) n-tub, (c) twin-tub [8].

Les premiers circuits CMOS ont été développés afin d'être compatible avec les processus technologiques mis en place pour les transistors PMOS et les filières NMOS. Par conséquent le transistor canal N était formé dans un caisson P (p-tub) dans un substrat de type N (Figure 5a). Une autre approche est de réaliser le transistor canal P dans un caisson N (n-tub) [7] (Figure 5b). La Figure 5c, montre une approche qui utilise deux caissons N et P séparés et implantés dans un substrat épitaxié peu dopé. Cette méthode est appelée "twin-tub" [8] est peut-être utilisée sur des substrats peu dopés N [8, 9] ou P [10]. Le procédé de fabrication correspondant est présenté en Annexe 1.

Il est à noter que la topologie de base des portes CMOS fait apparaître 4 couches NPNP traduisant l'existence d'un thyristor parasite. L'immunité au déclenchement de ce thyristor a été traité par des solutions de conception liées à la topologie des masques et au procédé de fabrication.

Sur ces bases, les filières CMOS ont ensuite évolué afin d'augmenter la densité d'intégration tout en minimisant le risque de déclenchement (latch-up) du thyristor parasite.

Nous avons représenté sur la Figure 6 plusieurs procédés technologiques CMOS pour différentes longueurs de grilles [11].

Jusqu'à une longueur de grille minimale de  $0,8 \mu\text{m}$ , le procédé CMOS peut être réalisé comme illustré sur la Figure 6a. Un seul dopage de grille (de type  $\text{N}^+$ ), un caisson N pour le PMOS et des sources et drains sans extensions LDD conviennent pour cette longueur de grille. Pour supprimer le latch-up, des substrats  $\text{P}^+$ , avec des épitaxies P, sont utilisés. Pour l'isolation des caissons, le procédé LOCOS est suffisant pour parvenir à la densité d'intégration requise. Le nombre total de masques n'est que de 5. Pour des longueurs de grille de  $0,8 \mu\text{m}$  et plus faibles, il est préférable d'utiliser un caisson P pour le transistor NMOS, afin de maintenir le contrôle de la tension de seuil de ces dispositifs (Figure 6b) [12]. A partir de  $0,5 \mu\text{m}$ , il est préférable de doper le polysilicium de grille de type N pour les transistors NMOS et de type P pour les transistors PMOS afin de garantir la symétrie des tensions de seuil (Figure 6b). Les dopages de chaque grille s'effectuent en même temps que la réalisation des sources et drains de chaque type. En dessous de  $0,35 \mu\text{m}$ , la réalisation de jonctions LDD est indispensable pour assurer un effet de canal court acceptable [12, 13], un bon contrôle des longueurs de grille et une fiabilité des composants adéquate (Figure 6c) [14]. De plus pour des raisons de densités d'intégration, le LOCOS est remplacé par des tranchées d'isolation STI (Figure 6c) [15, 16]. Pour ce processus technologique le nombre de masques est passé à 9. La dernière structure (Figure 6d) montre un procédé CMOS intégrable dans un procédé BiCMOS. Ici, le substrat  $\text{P}^+/\text{P}^-$  est remplacé par des couches enterrées  $\text{N}^+$  et  $\text{P}^+$  dans le but de fournir un collecteur pour le transistor NPN tout en maintenant la suppression du latch-up.

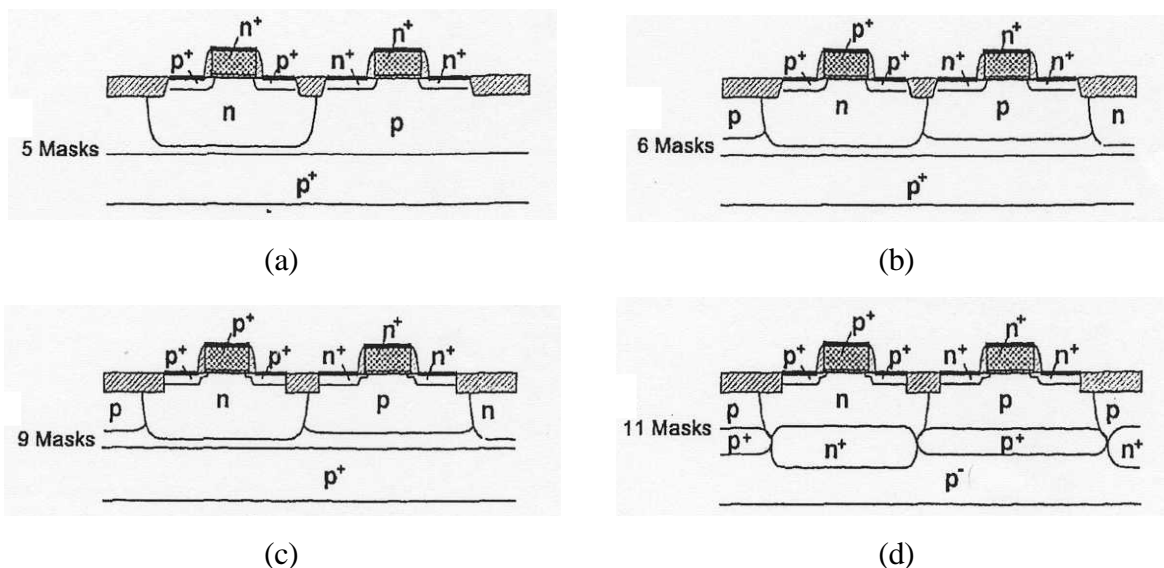


Figure 6 : Structures CMOS pour différentes longueurs de grille [11].



Afin d'augmenter la densité d'intégration, les technologies actuelles utilisent plusieurs niveaux d'interconnexions métalliques. Par exemple, la technologie CMOS 0,35  $\mu\text{m}$ , illustrée sur la Figure 7, utilise cinq niveaux de métallisation ce qui augmente d'autant le nombre de niveaux de masques. Nous pouvons noter que pour la même fonctionnalité basée sur un transistor MOS canal N et un transistor MOS canal P, l'augmentation de la densité d'intégration a conduit à utiliser des procédés technologiques de plus en plus sophistiqués et à augmenter considérablement le nombre de niveaux de masques. Ainsi l'amélioration des performances de ces filières technologiques est clairement liée à un effort de développement technologique.

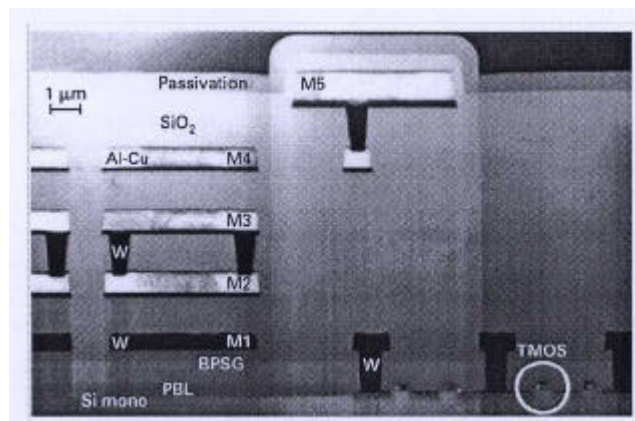


Figure 7 : Image TEM (Transient Electron Microscopy) en coupe d'une technologie CMOS 0,35  $\mu\text{m}$  à cinq niveaux de métallisation (notées M1 à M5) [5].

### I.1.3. Filière bipolaire

Les filières bipolaires ont permis la réalisation de portes logiques de type ECL ou TTL. Le composant de base des filières bipolaires est le transistor NPN (Figure 8). Les technologies bipolaires permettent en outre de réaliser d'autres composants actifs tels que des transistors PNP latéraux et verticaux (Figures 9a et 9b) ou des JFET (Figure 9c) et des composants passifs comme des diodes, Zener et Schottky (Figure 9d), des résistances (Figure 9e) et des condensateurs.

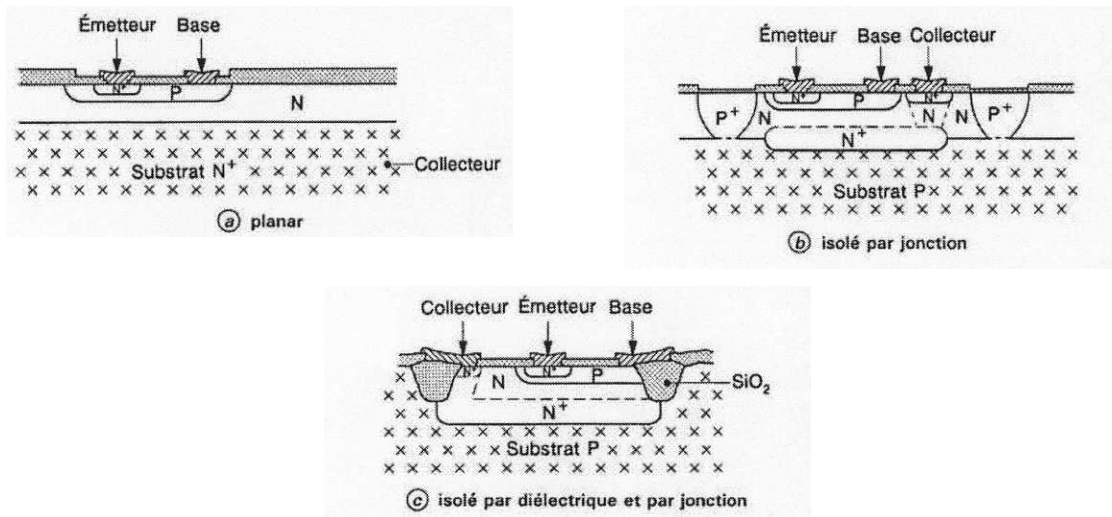


Figure 8 : Structures verticales de transistors NPN [17].

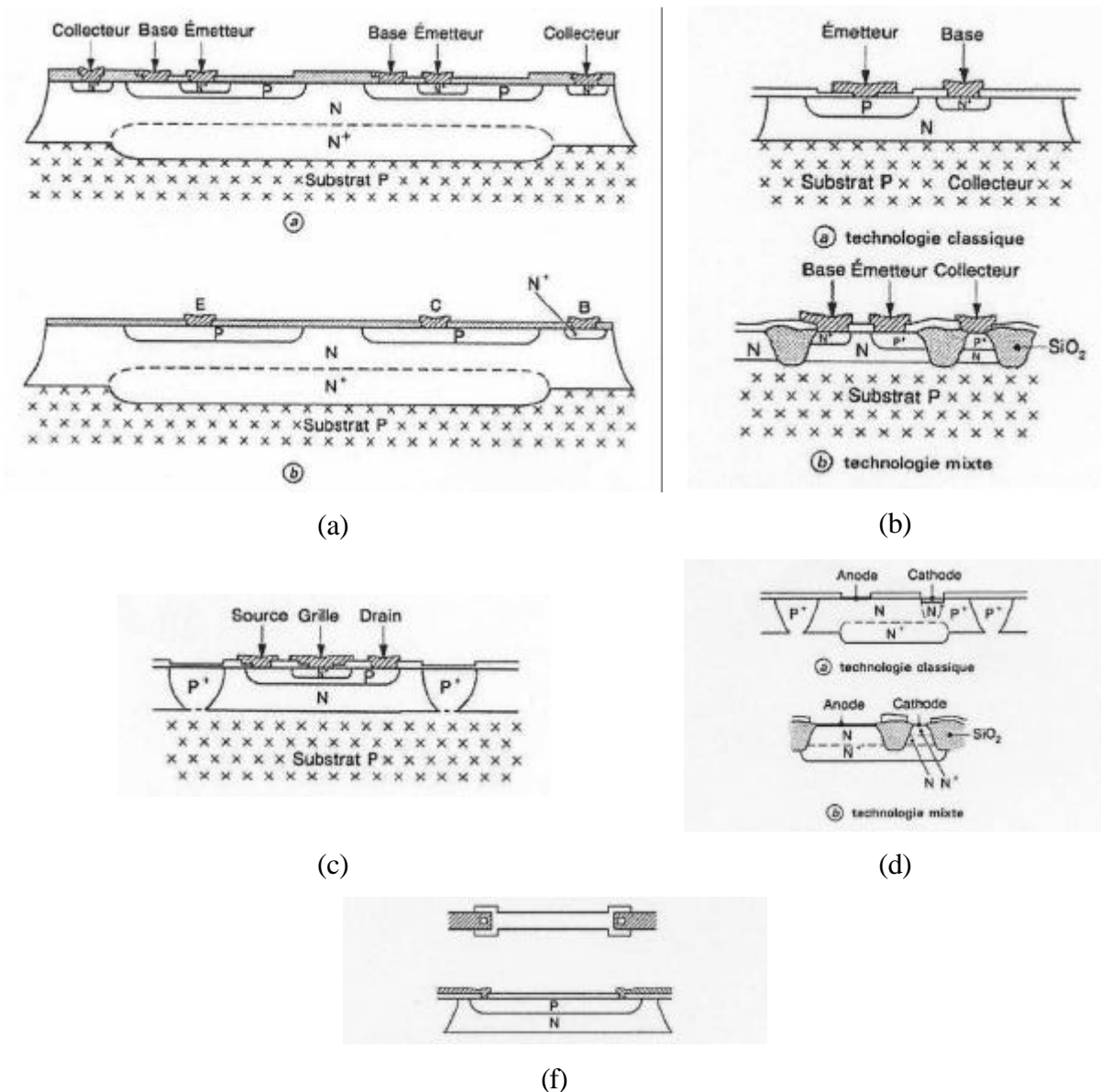


Figure 9 : Structures réalisables en technologie bipolaire [17].

Un des points clé des technologies bipolaires concerne l'isolation entre les différents transistors. Les techniques utilisées sont fondamentales dans la réussite de l'intégration et conditionnent la densité, la consommation (courants de fuite) et les performances dynamiques (capacités parasites) des fonctions réalisées. Les différents types d'isolations sont l'isolation par jonction diélectrique (très peu utilisée) et mixte c'est-à-dire par diélectrique et par jonction. Les premières technologies bipolaires s'appuyaient sur des technologies simples où émetteur, base et collecteur étaient réalisés en surface par des implantations ioniques. La Figure 10 montre la réalisation d'un transistor NPN vertical avec isolation mixte.

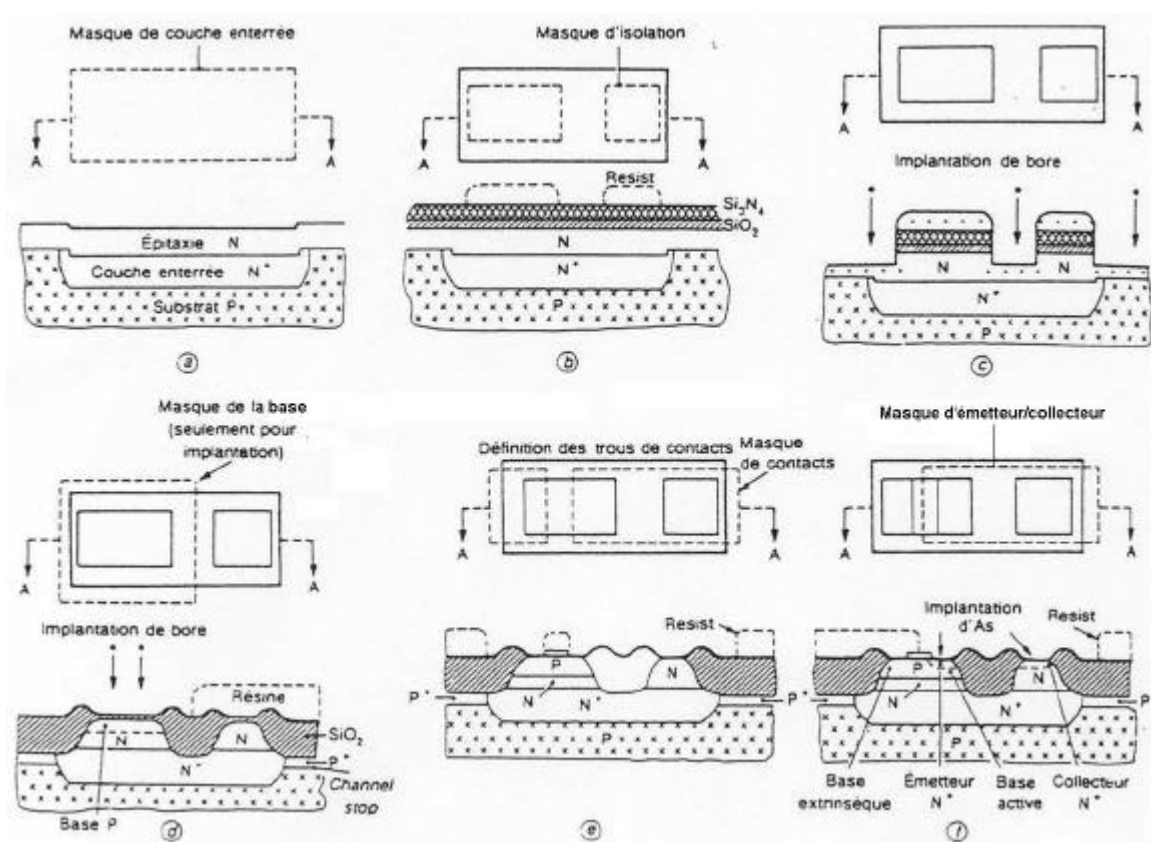


Figure 10 : Etapes de fabrication d'un transistor bipolaire [18].

Le substrat de départ est de type P peu dopé. Après l'implantation de la couche enterrée  $N^+$  une épitaxie N est réalisée (Figure 10a). Ensuite on fait croître une couche d'oxyde ( $SiO_2$ ) et l'on dépose du nitrure ( $Si_3N_4$ ). La couche de nitrure empêche l'oxydation du silicium en dessous et l'oxyde protège des défauts induits par les étapes d'oxydation à haute température. De la résine est déposée et gravée suivant le masque représenté sur la Figure 10b. La résine sert de masque lors de la gravure de l'oxyde et du nitrure jusqu'à environ la moitié de l'épitaxie. L'implantation ionique de bore réalise le stop-channel (Figure 10c). Le stop-channel permet de surdoper le substrat P sous l'oxyde d'isolation et empêche l'inversion

du substrat peu dopé qui pourrait ainsi court-circuiter les couches enterrées. La résine est enlevée et les plaquettes sont oxydées ce qui fait que la couche épitaxiale est convertie en  $\text{SiO}_2$  à part celle se trouvant sous le nitrure (Figure 10d). Ces étapes comportant de longs cycles thermiques sont faites avant la fabrication de la partie active des transistors pour pouvoir conserver des jonctions peu profondes. Après l'attaque du nitrure, la base est réalisée en implantant du bore (Figure 10d). Les trous de contacts de base, d'émetteur et de collecteur sont réalisés à l'aide du même masque (Figure 10e). Ensuite, un masque de résine protège la région de base afin d'implanter les émetteurs et collecteurs avec de l'arsenic à basse énergie (Figure 10f). Enfin, une couche de nitrure est déposée puis gravée avant de déposer le métal qui est ensuite gravé (Figure 11).

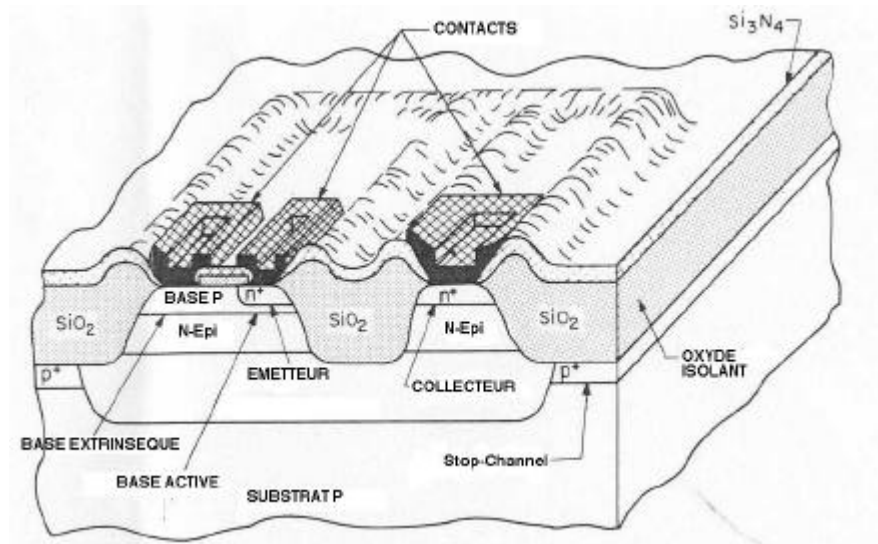
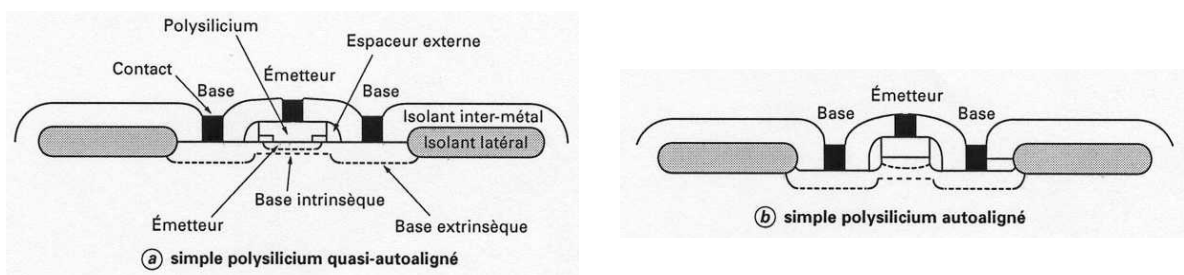


Figure 11 : Vue en trois dimensions d'un transistor bipolaire isolé par diélectrique et par jonction [19].

La réduction des dimensions des filières bipolaires s'est opérée notamment grâce à la réalisation des collecteurs enterrés et au développement des émetteurs en polysilicium (Figure 12) [11, 20].



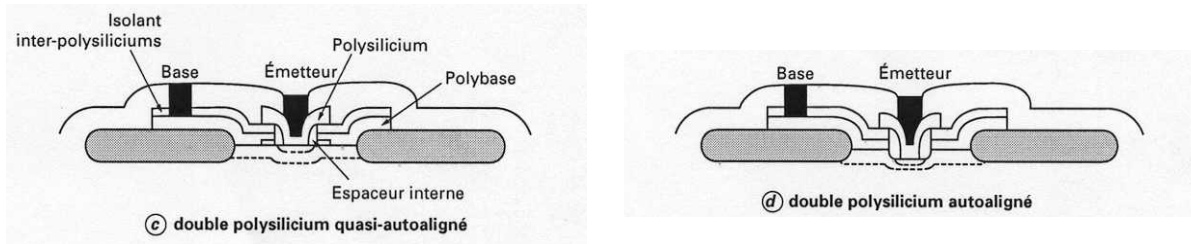


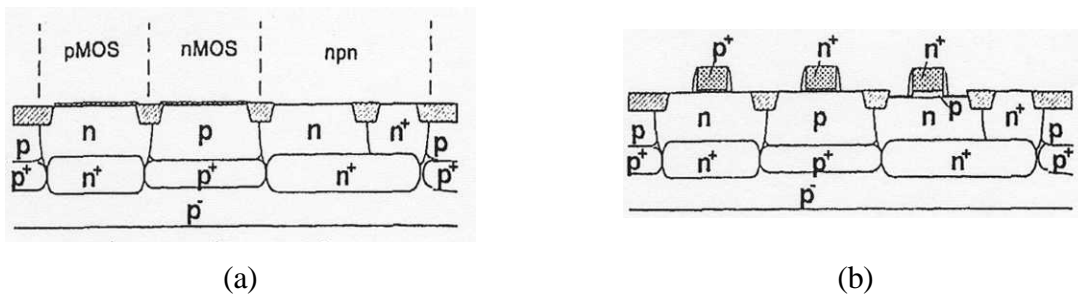
Figure 12 : Comparaison des structures émetteur base. Bipolaire à émetteur polysilicium [20].

**I.1.4. Filière BiCMOS**

La technologie BiCMOS intègre à la fois les filières CMOS et bipolaire. Il est à noter que la première association MOS bipolaire a été réalisée en 1969 [21]. L'intérêt du BiCMOS réside dans le fait qu'il combine les avantages du CMOS (haute intégration et faible consommation) et du bipolaire (transconductance et vitesse de commutation élevées) moyennant cependant une complexité technologique accrue. Selon le composant que l'on voudra favoriser, la technologie de départ peut-être soit CMOS à laquelle on ajoute des dispositifs bipolaires soit des transistors bipolaires complémentaires (NPN et PNP rapides) complétés par des portes CMOS. La première approche est plutôt celle des applications numériques, la seconde, celle des applications analogiques et mixtes.

La base du développement du BiCMOS consiste à combiner à la fois les effets MOS en surface et bipolaire en volume sans sacrifier aucune des performances de chacun.

La Figure 13 représente un exemple de fabrication d'une technologie BiCMOS comprenant un CMOS réalisé en caisson avec grilles dopées N et P, et un bipolaire à émetteur simple autoaligné. Le substrat de départ est de type P. Tout d'abord on réalise les couches enterrées N<sup>+</sup> et P<sup>+</sup> par implantation ionique d'arsenic et de bore puis en faisant croître une couche épitaxiale non dopée. Ensuite, on réalise un oxyde de champ, délimité à l'aide d'une photolithographie, et un contact traversant jusqu'au collecteur enterré. Deux masques supplémentaires permettent la réalisation des caissons N et P du CMOS et du collecteur N du bipolaire.



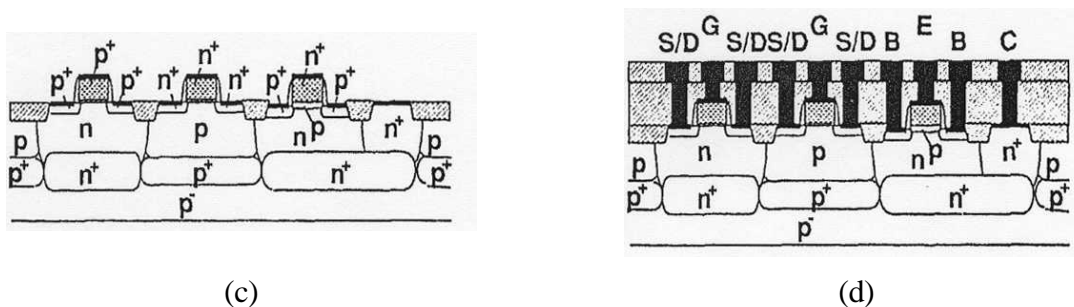


Figure 13 : Exemple d'un procédé de fabrication en technologie BiCMOS [11].

On fait croître l'oxyde de grille qui est enlevé de la partie bipolaire avant de déposer une fine couche de polysilicium matérialisant l'électrode de grille des MOS et l'émetteur du transistor bipolaire. Habituellement, cette fine couche déposée sur l'oxyde de grille permet de protéger l'interface oxyde/polysilicium [22]. La structure à ce stade de fabrication est représentée sur la Figure 13a. Ensuite, une implantation peu profonde de bore permet de réaliser la base intrinsèque du NPN. Une couche de polysilicium épais est déposée pour compléter les grilles des CMOS et l'émetteur du NPN. Deux masques sont utilisés pour doper le polysilicium des grilles N<sup>+</sup> et P<sup>+</sup> des CMOS et de l'émetteur N<sup>+</sup>. Le polysilicium est ensuite gravé suivant les motifs voulus. Les espaceurs diélectriques sont formés le long des grilles du CMOS et des émetteurs du NPN. Le dispositif à ce stade est représenté sur la Figure 13b. Deux masques sont utilisés pour implanter de l'arsenic, ou de l'antimoine, et du bore pour former les sources et drains des transistors CMOS, et les contacts de base extrinsèque du bipolaire (Figure 13c). Un film diélectrique est déposé et les contacts sont ouverts. Les connections métalliques sont formés, en déposant du tungstène, et en appliquant un procédé de planarisation mécano-chimique. Enfin, le métal est déposé et les lignes sont formées à l'aide d'un autre masque. La structure complète de ce BiCMOS est illustrée sur la Figure 13d. Le nombre total de masques est de 16 et augmente de 2 pour chaque niveau de métal supplémentaire.

Comme pour les technologies CMOS, les procédés se compliquent en fonction de la réduction des dimensions. Nous avons pris quatre exemples de procédés BiCMOS correspondant chacun à une génération technologique (Figure 14).

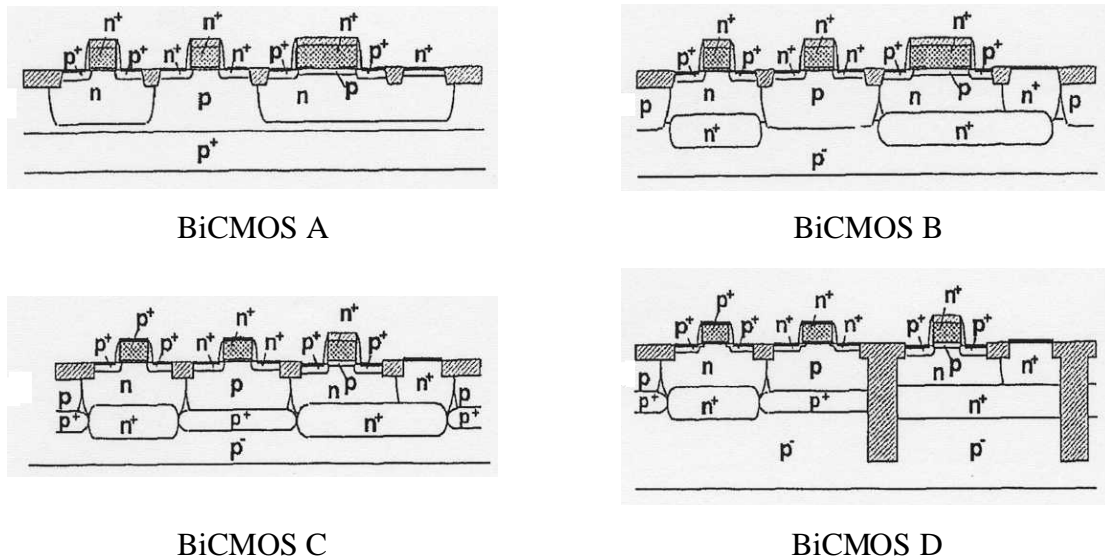


Figure 14 : Vues en coupe de quatre structures BiCMOS avec des niveaux de complexités différents [11].

Le procédé A correspond à une technologie basée sur le CMOS correspondant aux générations de 1,2 à 0,8  $\mu\text{m}$ . Le procédé B s'applique aux générations comprises entre 0,8 et 0,5  $\mu\text{m}$ . Le procédé C correspond typiquement aux générations de 0,5 à 0,35  $\mu\text{m}$ . Enfin, la structure D convient bien aux nouvelles générations de 0,25  $\mu\text{m}$ .

Le nombre de masques augmente au fur et à mesure de l'introduction de nouvelles générations plus performantes, mais pour une génération le nombre de masques peut différer suivant le type d'application considéré, comme nous le montrons sur la Figure 15, avec deux exemples de procédés BiCMOS pour une technologie 0,35  $\mu\text{m}$ .

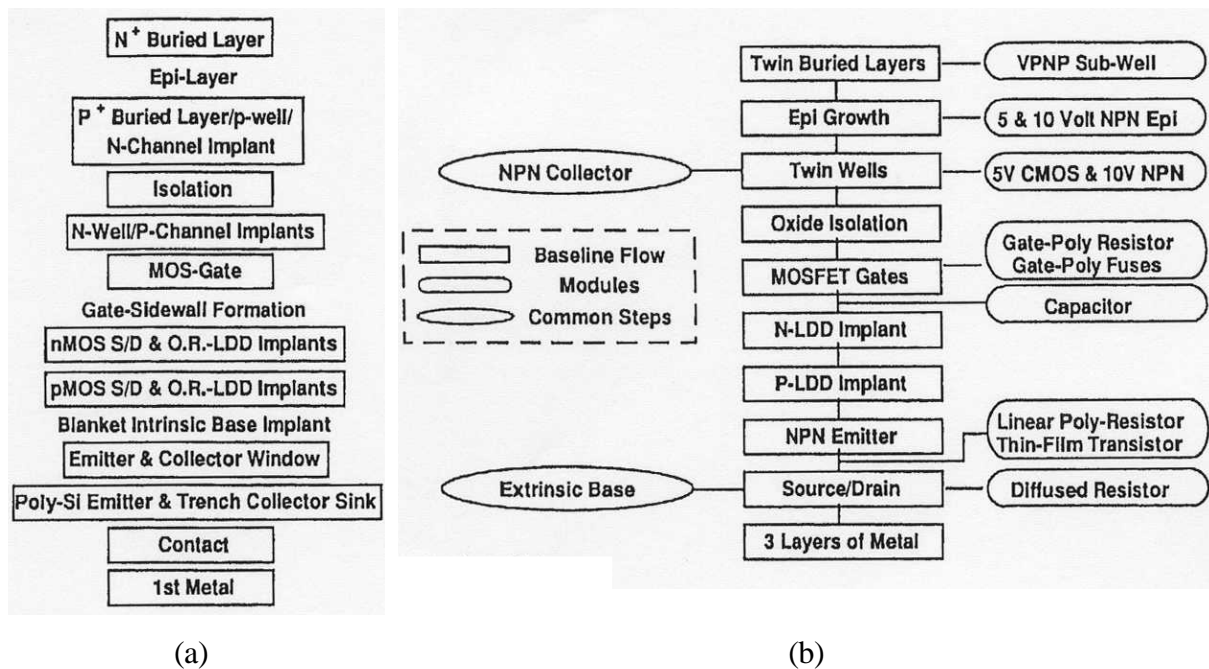


Figure 15 : Deux exemples de processus BiCMOS de même génération technologique [23, 25].

Le premier processus de fabrication est figé avec un total de 11 masques jusqu'au premier niveau de métal [23] alors que l'autre est un procédé complexe qui contient 27 niveaux de masquage (Figure 15b) [24, 25]. Ce procédé flexible est composé de modules permettant de réaliser des composants spécifiques que l'on peut éventuellement utiliser, suivant l'application voulu, sans altérer les caractéristiques des autres dispositifs réalisés. Ce genre de processus permet d'adresser un plus grand nombre d'applications sans modifications majeures. C'est le cas notamment avec les applications Smart-Power [26, 27, 28] qui permettent de réaliser avec des technologies BiCMOS des dispositifs LDMOS et LIGBT.

L'évolution rapide des technologies BiCMOS a pu se faire grâce aux investissements réalisés dans les technologies CMOS et bipolaires (Figure 16).

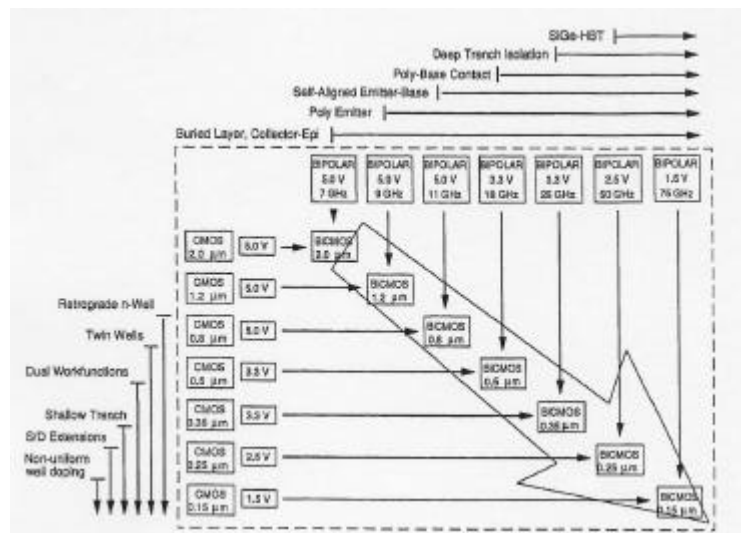


Figure 16 : Générations BiCMOS de 1,2  $\mu\text{m}$  à 0,15  $\mu\text{m}$  (projeté) avec les paramètres et les avancées technologiques des CMOS et bipolaires associés [11].

Nous voyons que la complexité des processus technologiques CMOS augmente rapidement en dessous de 0,5  $\mu\text{m}$  de longueur de canal dès lors que les doubles caissons, les tranchées peu profondes, les procédés LDD, et les grilles duales deviennent une exigence. De même, pour les filières bipolaires la complexité croît de façon importante dès que l'on introduit des parties spécifiques, comme l'isolation par tranchées profondes, ou bien la formation d'une base épitaxiale en silicium ou silicium-germanium pour travailler à des fréquences supérieures à 50 GHz avec une résistance de base faible. Certains processus s'orientent plus vers des technologies CMOS et utilisent peu la partie bipolaire dans le cas du



Pentium de chez Intel [15]. D'autres sont basées sur les technologies bipolaires pour des applications RF, micro-ondes et télécommunications pour IBM [29].

D'autres concepts sont possibles, comme les technologies BiCMOS complémentaires, où un transistor bipolaire PNP vertical est ajouté [30, 31], et les BiCMOS réalisés sur substrats SOI qui permettent d'obtenir une isolation entre dispositifs moins onéreuse (Figure 17).

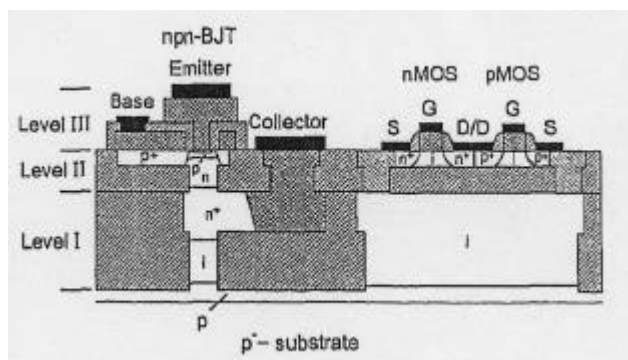


Figure 17 : Vue en coupe d'un prototype BiCMOS-SOI [32].

Les isolations entre caissons de type LOCOS, qui permettent la suppression des canaux parasites pouvant apparaître sous les chemins de polysilicium (en dehors des transistors), peuvent être remplacées par des tranchées peu profondes dites STI (Shallow Trench Isolation) (Figure 18) grâce aux progrès effectués au niveau des technologies de gravure du silicium par RIE (Attaque ionique réactive).

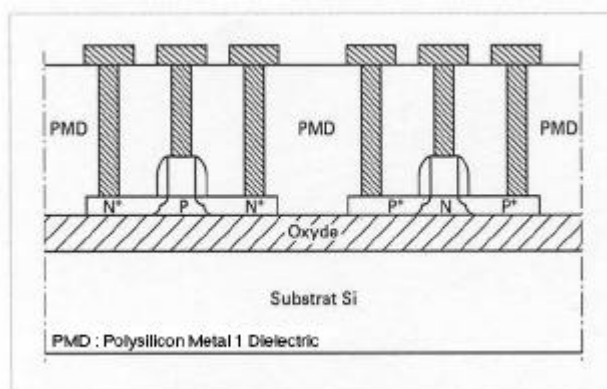


Figure 18 : Isolation des transistors sur un substrat SOI [5].

### **I.1.5. Grandes tendances de l'évolution des circuits intégrés**

L'évolution des filières technologiques des circuits intégrés suivent depuis plusieurs années une "Roadmap" bien établie (Figure 1). Nous avons assisté à une réduction permanente des dimensions et à l'introduction d'une nouvelle génération environ tous les deux ans, grâce aux efforts de recherche et d'investissement en technologie.

Basée au départ sur des technologies MOS (NMOS) ou bipolaires, l'intégration de fonctions de plus en plus complexes s'est traduite par des structures combinant des effets MOS et bipolaires (BiCMOS), nécessitant un nombre important d'étapes de lithographies (jusqu'à 35 actuellement) et 300 étapes technologiques.

Les nouvelles filières développées toujours sur la base du CMOS sont ensuite complétées par des étapes spécifiques permettant d'introduire des éléments bipolaires (BiCMOS). Pour une même génération, on peut aussi avoir des procédés technologiques qui diffèrent au niveau de certaines étapes spécifiques pouvant être rajoutées pour accroître la fonctionnalité.

## **I.2. Evolution des technologies de composants de puissance**

### **I.2.1. La technologie double diffusée pour les transistors MOS de puissance**

Dans le domaine des dispositifs de puissance, l'introduction de la technologie dite "double diffusée", permettant la réalisation des structures MOS de puissance verticales VDMOS et latérales LDMOS, a constitué l'étape décisive dans l'évolution enregistrée ces dernières années. Il est à noter, que ce processus de fabrication découle directement du principe d'autoalignement par rapport à une grille en silicium polycristallin développé pour les technologies MOS des circuits intégrés.

Le transistor VDMOS de puissance, présenté sur la Figure 19, a une structure verticale. Le courant y circule verticalement. Le drain est localisé sur la face arrière de la plaquette, la grille et la source sont, quant à eux, sur la face supérieure. Le principe de réalisation de ce transistor est basé sur l'utilisation du processus de double diffusion de type P et N pour réaliser, à partir d'une plaquette de silicium épitaxiée N sur un substrat N<sup>+</sup>, les zones de substrat de source, et de canal. Le processus technologique, représenté sur la Figure 20, débute par la réalisation d'une zone P<sup>+</sup> jouant le rôle de substrat, puis d'un oxyde mince, suivi d'un dépôt d'une couche de polysilicium qui constitue la grille. Après gravure de cette grille, une zone P de canal autoalignée est définie par implantation ionique. Après une étape de masquage, les zones N<sup>+</sup> de source sont diffusées en utilisant aussi la grille comme bord de masquage. Pour terminer, la structure est métallisée, les zones de contact sont gravées, et l'ensemble est passivé.

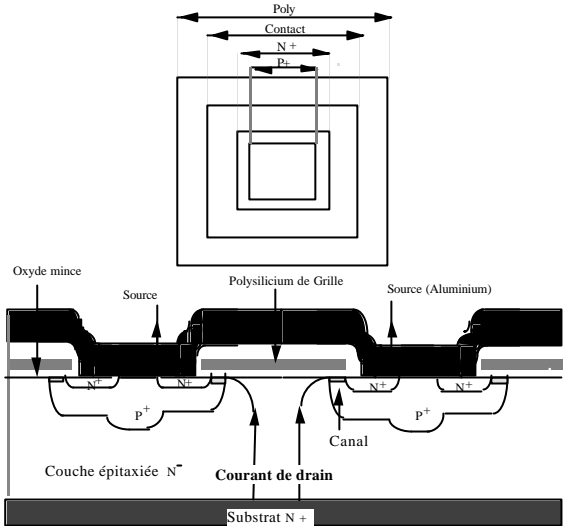


Figure 19 : Vue en plan et en coupe d'une structure VDMOS de puissance.

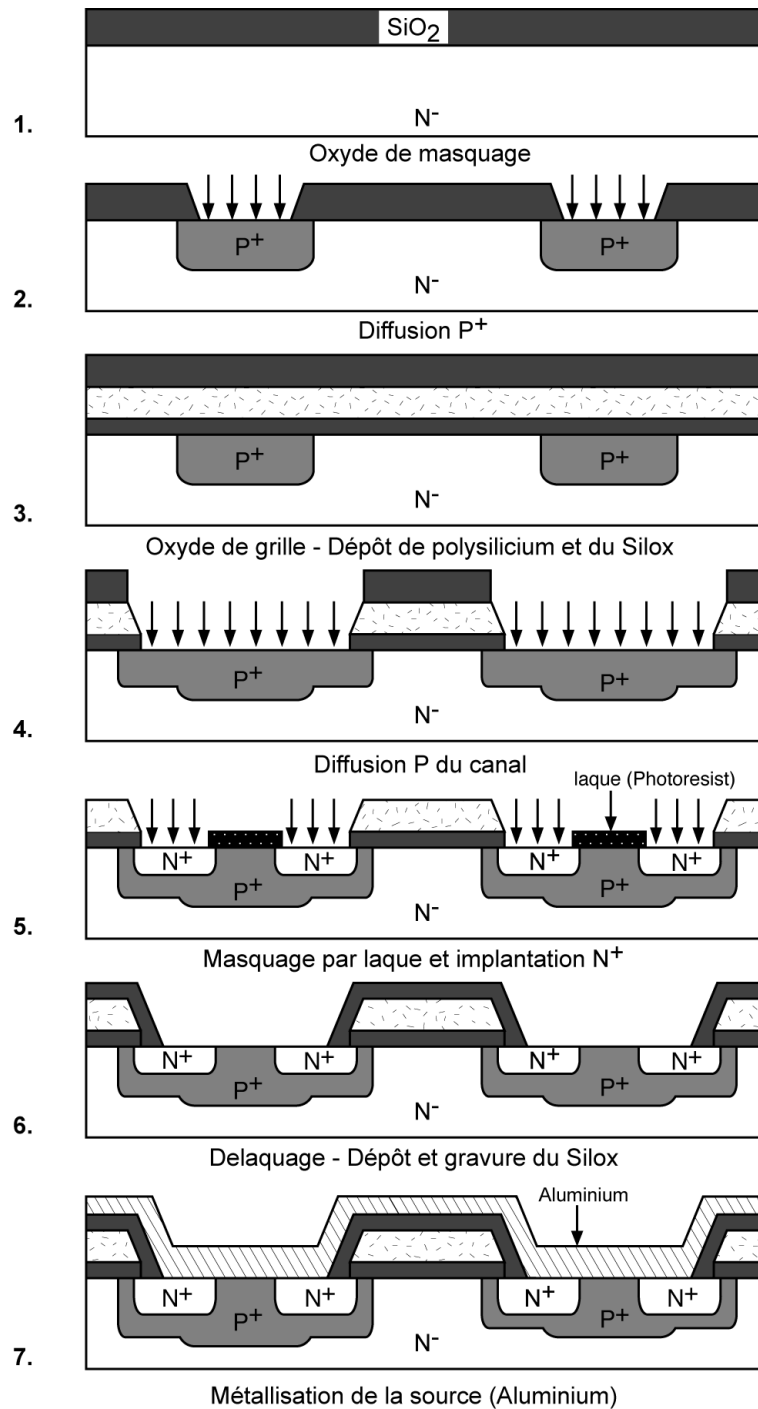


Figure 20 : Etapes principales d'un processus typique de réalisation d'une structure DMOS verticale auto-alignée.

L'amélioration des performances de ces dispositifs est caractérisée par le compromis : Résistance à l'état passant ( $R_{ON}$ ) / Tenue en tension ( $V_{DBR}$ ).

Pour les dispositifs basse tension, la résistance à l'état passant des dispositifs est principalement liée à la résistance du canal. Ainsi, l'amélioration des performances dépend de la longueur de canal ( $L$ ) et du rapport périmètre du canal sur surface ( $Z/S$ ). Le processus de

double diffusion permet d'obtenir de faibles longueurs de canal, sans contrainte d'alignement, puisque cette dimension est liée uniquement à la différence des diffusions latérales des dopants de type N et de type P. Les valeurs de  $Z/S$  élevées sont obtenues par la mise en parallèle de cellules de faibles dimensions.

Ainsi, ces transistors VDMOS sont constitués par la mise en parallèle d'une multitude de transistors MOS de faible calibre en courant appelés "cellules", et le courant du composant est égal à la somme des courants des transistors élémentaires. Au niveau de la forme, les structures des transistors VDMOS diffèrent principalement d'une famille à l'autre, par la configuration géométrique de la diffusion de la zone P. La forme des petites cellules élémentaires qui une fois associées constituent le transistor de puissance, varie suivant la technologie mise en œuvre. Elle peut être hexagonale (HEXFET), carrée alignées ou non alignées (TMOS, SIPMOS), triangulaire (TRI.MOS), ou à bandes parallèles (rectangles). La Figure 21 illustre des exemples de formes envisageables de la géométrie de source.

L'évolution de la géométrie de ces structures est basée sur le concept d'obtention de la plus forte "densité d'intégration" de la zone P de source. Cette densité d'intégration doit se traduire par l'obtention d'un plus grand périmètre de canal par unité de surface et par suite d'une valeur du courant passant, par unité de surface de silicium, la plus élevée possible.

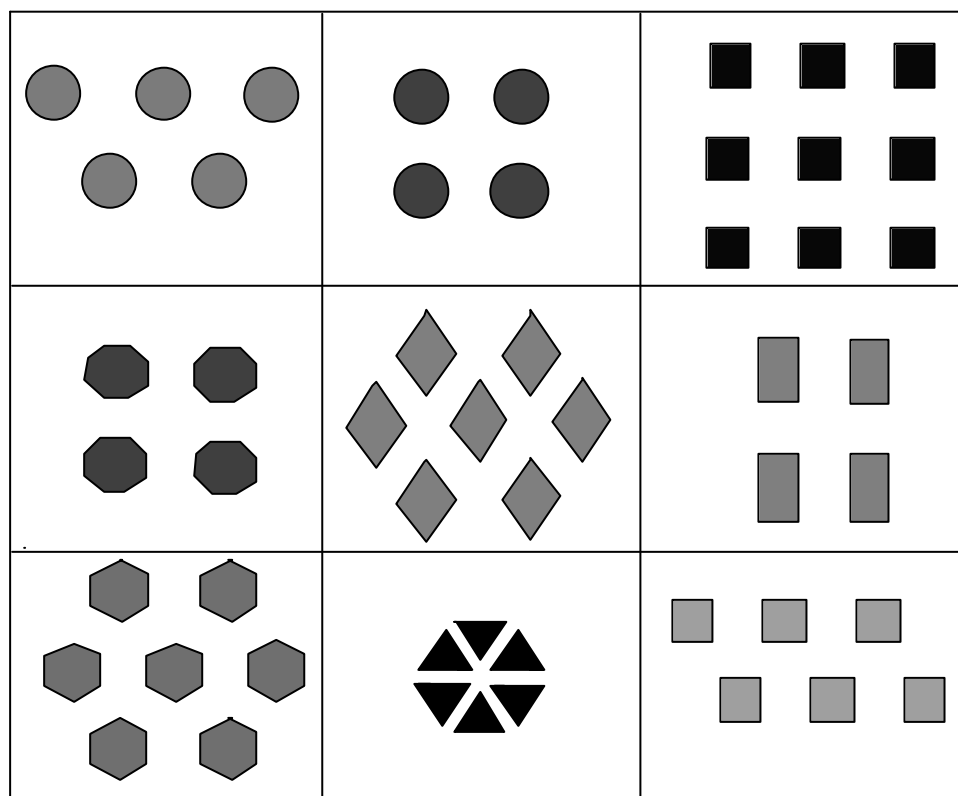


Figure 21 : Diverses configurations envisageables de la diffusion P dans la zone de source.

En régime de commutation, les performances du transistor VDMOS sont globalement liées à divers facteurs. Parmi ceux-ci citons : la valeur de sa résistance à l'état passant, la tenue en tension, le temps de commutation qui dépend des capacités d'entrée et de sortie, et les configurations des circuits d'attaque sur la grille et de charge sur le drain. Dans l'état actuel de la technologie, les améliorations de ces performances peuvent venir : i) du changement du rapport périmètre sur surface  $Z/S$ , qui est essentiellement fonction de la densité d'intégration atteinte par le processus technologique utilisé, de la forme géométrique des cellules élémentaires que sont les diffusions P et de la distance entre ces cellules, ii) de l'optimisation de la distance minimale à respecter entre les cellules, et iii) du contrôle de la longueur du canal  $L$  qui doit être aussi constante que possible dans chaque cellule. L'amélioration du temps de commutation provient principalement de la réduction de la capacité d'entrée du transistor.

La diminution de la résistance à l'état passant de ces transistors VDMOS est limitée par l'effet résistif de pincement JFET entre les régions de caisson P. Une solution à ce problème a été proposée par UEDA et al. [33] grâce à une innovation supplémentaire, l'utilisation de la technologie R.I.E. - "Reactive Ion Etching" [34] - sur le silicium, qui a permis la fabrication de transistors MOS de puissance à tranchées (Figure 22). Ce nouveau type de composants présente, par rapport au transistor VDMOS, deux avantages :

- la résistance à l'état passant  $R_{ON}$  est réduite, grâce à l'élimination de la composante de résistance  $R_{JFET}$ ,
- la densité d'intégration est augmentée de façon sensible car la grille ainsi "enterrée" occupe moins de place. Les premiers transistors proposés industriellement en 1994 présentent ainsi une densité d'intégration de 8 millions de cellules par pouce carré.

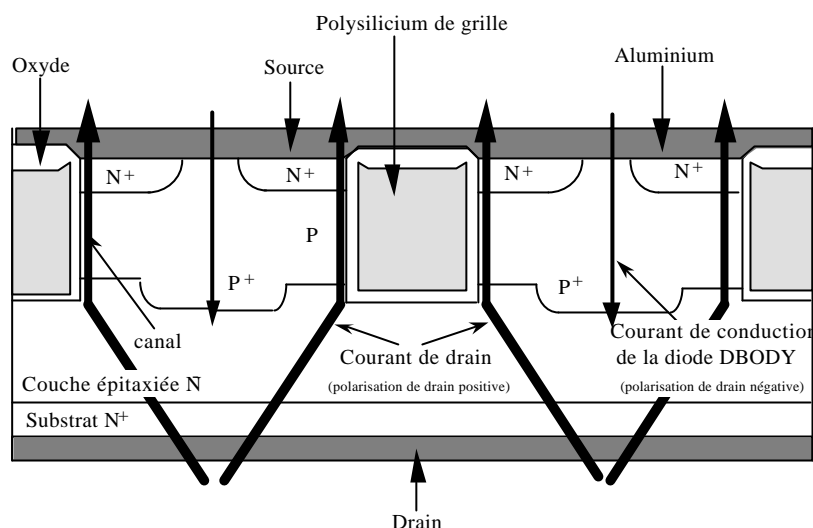


Figure 22 : Vue en coupe d'un transistor MOS de puissance à tranchées.

Nous pouvons noter ici une rupture avec l'évolution précédente des performances des composants de puissance de type diodes, transistors bipolaires ou thyristors, car pour la première fois l'amélioration d'une performance électrique, la résistance à l'état passant, est liée à la réduction des dimensions.

### **I.2.2. Le développement des IGBT**

L'utilisation des technologies MOS pour les dispositifs de puissance offre un degré de liberté supplémentaire dans la conception de fonctions intégrées de puissance, car elles permettent de combiner les avantages des transistors MOS aux interactions électriques existant dans le volume. Les structures MOS bénéficient d'une entrée à haute impédance (simplifiant considérablement les circuits de commande). Cependant, dans des configurations standard de structures MOS verticales adaptées aux applications de puissance, le compromis entre la résistance à l'état passant et la tenue en tension, limite leur utilisation dans la gamme des moyennes et basses puissances. Afin de profiter de cette commande en tension, de nombreux travaux ont été développés pour combiner des structures MOS et bipolaires dans les applications "hautes tensions". L'IGBT (Insulated Gate Bipolar Transistor), basée sur ce type d'association, a connu un essor industriel important ces dernières années.

Ce dispositif, dont la coupe schématique est présentée sur la Figure 23, dérive de la structure VDMOS dans laquelle la couche  $N^+$  de drain a été remplacée par une couche  $P^+$  qui forme l'anode du dispositif.

Ce composant présente deux avantages :

- Une grande impédance d'entrée, liée à la grille du transistor MOS, facilitant la commande.
- Une modulation de la conductivité de la région N, liée à l'injection de porteurs minoritaires par la région P<sup>+</sup> d'anode, qui contribue à minimiser la résistance à l'état passant.

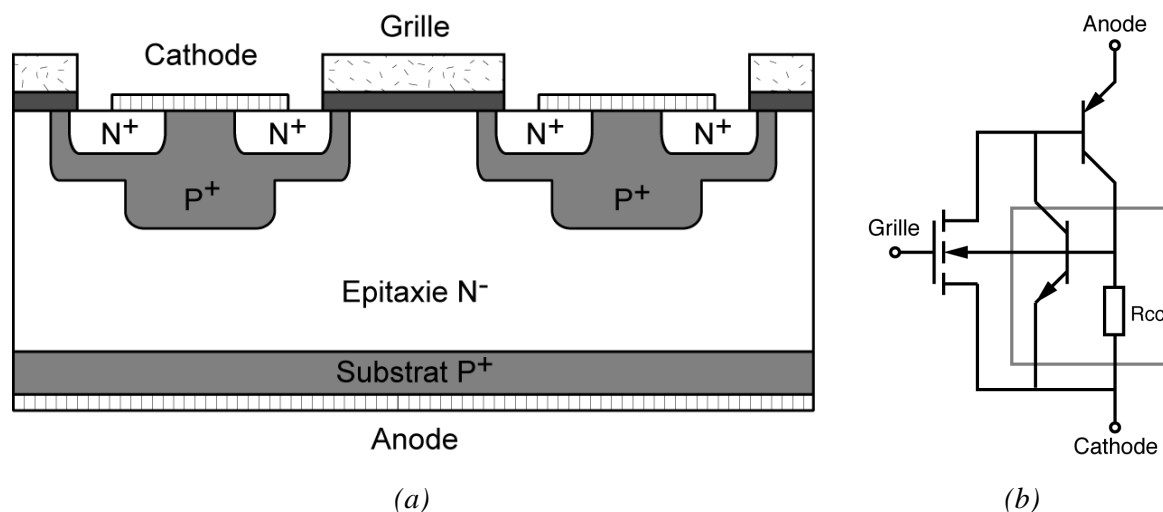


Figure 23 : Coupe schématique (a) et circuit électrique équivalent (b) d'une cellule d'IGBT.

Signalons, pour être complet, que de nouveaux IGBT, dont la grille est réalisée en technologie à tranchées, semblables aux transistors MOS à tranchées, permettent d'améliorer les performances en courant.

### **I.2.3. Apport des technologies des circuits intégrés au développement des composants de puissance**

Nous pouvons remarquer que ces nouveaux composants de puissance utilisent de nombreuses étapes technologiques des circuits intégrés.

En effet, ils bénéficient d'une part de l'avance technologique au niveau de la grille en polysilicium, mais également des travaux au niveau des filières CMOS. Le principe même de la technique de double diffusion est entièrement basé sur la technique de l'autoalignement par rapport à une grille en Si-poly. La topologie verticale et les principales étapes technologiques qui en découlent sont semblables à celles des structures CMOS étant donné que l'on retrouve des régions N<sup>+</sup> réalisées dans des caissons P, ainsi que des régions de courts-circuits P<sup>+</sup>. Les évolutions plus récentes, avec l'introduction de grilles enterrées, qui ont permis notamment la réduction de la résistance à l'état passant des VDMOS et l'augmentation de la densité de courant des IGBT, sont également issus des travaux engagés par le passé en technologies des



circuits intégrés. En effet, les premières tranchées dans le silicium ont été développées pour résoudre les problèmes d'isolation dans les circuits intégrés haute densité.

### **I.3. Evolution des fonctions de puissance intégrées**

La stratégie d'intégration des fonctions de puissance intégrées peut se traiter de deux façons. Soit, en privilégiant la fonctionnalité au dépend des éléments de puissance, soit en favorisant l'optimisation de la partie puissance. Les dispositifs "Smart-power" et HVIC (High Voltage Integrated Circuit) correspondent davantage à la première approche et sont réalisés à partir de filière technologique de type circuits intégrés (CMOS ou BiCMOS). Les dispositifs basés sur le mode d'intégration fonctionnelle procèdent de la deuxième approche, et sont basés sur des technologies de composants de puissance.

#### **I.3.1. Circuits intégrés de puissance**

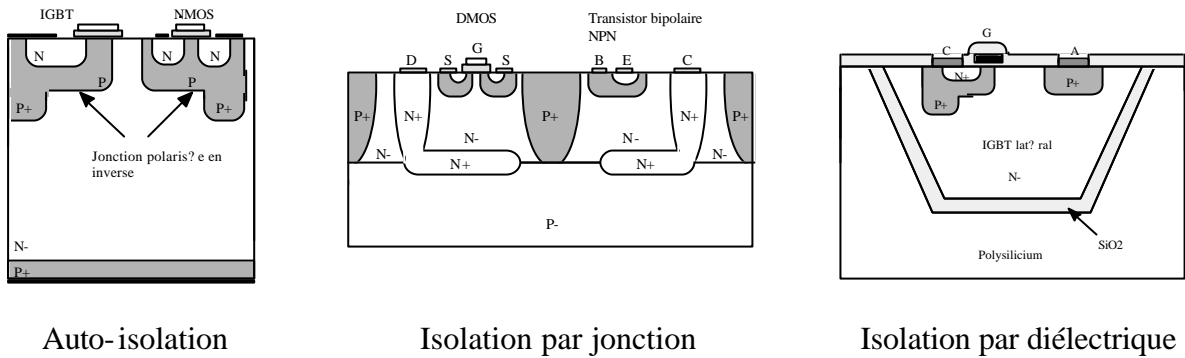
Les progrès technologiques dans le domaine de la microélectronique ont permis d'intégrer sur une même puce, les composants de puissance et les circuits logiques et analogiques permettant d'assurer les fonctions de commande, de diagnostic et de protection. Ainsi, les premiers circuits intégrés de puissance pour des applications faibles tensions sont apparus dès 1985, quinze ans après les débuts de l'intégration des composants de signal.

Ces circuits intégrés de puissance se sont développés sous deux appellations, les circuits "Smart-Power" et les circuits HVIC (High Voltage Integrated Circuit) [35]. La différence entre les deux familles est essentiellement liée à l'élément de puissance et aux gammes de courant et de tension traitées :

- en "Smart-Power", le composant de puissance, généralement seul, est vertical (VDMOS) ;
- pour les HVICs, les composants de puissance sont latéraux et très souvent de type MOS (LDMOS).

Les HVICs sont des circuits multi-sorties pouvant supporter des tensions jusqu'à quelques centaines de volts mais qui présentent des densités de courant très faibles inhérentes aux composants latéraux utilisés. Au contraire, les composants "Smart-Power", plus performants en terme de densités de courant, peuvent transiter des courants de plusieurs ampères.

L'étude des techniques d'isolation entre la partie basse tension et le/ou les éléments de puissance a constitué l'un des chantiers les plus importants de cette famille de composants. L'auto-isolation, l'isolation par jonction, et l'isolation par diélectrique sont les principales solutions utilisées aujourd'hui (Figure 24). Toutefois l'isolation par diélectrique reste encore coûteuse et, malgré son efficacité, reste encore réservée aux applications nécessitant une très bonne isolation.



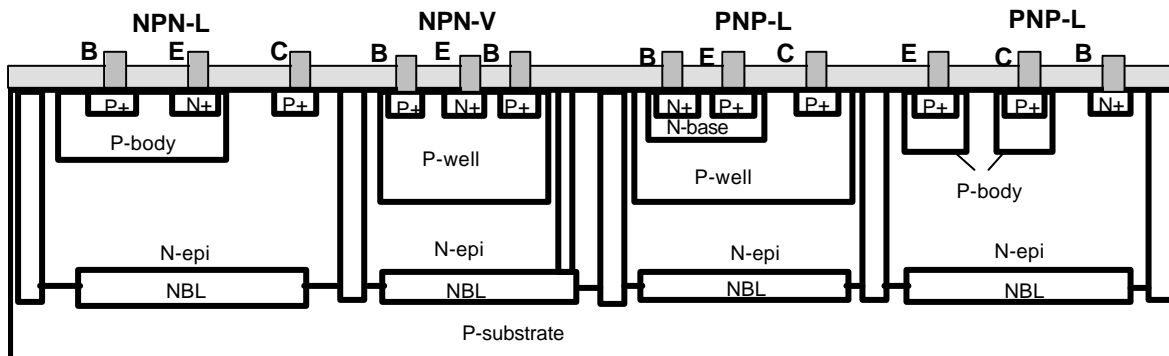
Auto-isolation

Isolation par jonction

Isolation par diélectrique

Figure 24 : Techniques d'isolation de composants de puissance verticaux et latéraux.

Les premières générations de dispositifs intégrés de puissance "Smart-Power" furent réalisées avec une technologie ne permettant pas d'atteindre des densités d'intégration très grandes. Les nouvelles générations de composants "Smart-Power" (Figure 25), SmartMos 5 (Motorola), BCD5 (ST Microelectronics) et SIPMOS (Siemens), sont conçues à partir de technologies VLSI qui doivent être en mesure de permettre la conception de composants de puissance capables de supporter des tenues en tension de l'ordre de 100 V en utilisant des techniques d'isolation développées ces dernières années (isolation par jonction, isolation par diélectrique).



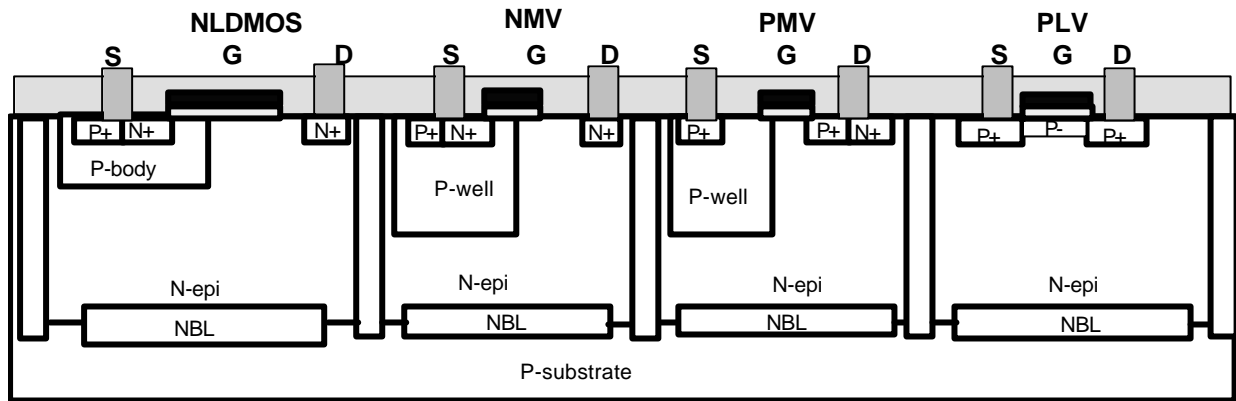


Figure 25 : Exemples d'intégration de composants "Smart-Power".

Ces technologies permettent d'intégrer des circuits digitaux complexes (DSP) et des microcontrôleurs. Alors que dans les premiers circuits "Smart-Power" la surface du composant de puissance était souvent supérieure à celle de la partie circuit intégré, la tendance est inversée dans les nouveaux circuits intégrés de puissance qui se caractérisent par une intégration poussée de nouvelles fonctionnalités. Cette tendance est accompagnée par une réduction des règles de dessin et des filières technologiques évoluées. La Figure 26 présente un schéma bloc de ce type de circuit que l'on peut qualifier de "nouveaux Smart-Power". On peut distinguer 3 parties : les circuits d'interface, les circuits de contrôle et de traitement du signal, et l'élément de puissance. Au niveau des circuits d'interface, la tendance consiste à remplacer les circuits bipolaires par des circuits BiCMOS présentant des performances plus intéressantes. Les circuits de traitement du signal correspondent à des fonctions CMOS présentant une faible puissance de consommation et une forte densité d'intégration. Les dispositifs de puissance sont généralement basés sur des technologies DMOS, permettant de réaliser des structures latérales (LDMOS), ou verticales (VDMOS). Dans la perspective d'augmenter la fonctionnalité, des mémoires peuvent également être intégrées. Les technologies BCD (Bipolaire, CMOS et DMOS) permettent une flexibilité importante pour réaliser les différents types de circuits précités.

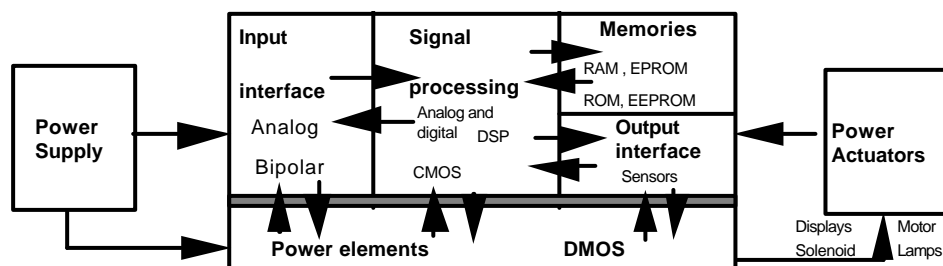


Figure 26 : Schéma bloc d'un circuit DSP.

Les principaux domaines d'application de ces circuits intégrés de puissance sont les équipements portables, les télécommunications et l'électronique automobile. Le développement de ces circuits est essentiellement soutenu par les applications automobiles telles que l'allumage, l'injection, l'ABS, l'éclairage, la commande de petits moteurs (lève-vitres, climatisation). Le choix du niveau d'intégration, du domaine de puissance, et donc du composant de puissance est ensuite fonction de l'application envisagée.

Les technologies développées pour les circuits intégrés logiques et analogiques basses tensions sont utilisées quelques années après pour les circuits intégrés de puissance (Figure 27). Cette évolution différente est liée d'une part aux travaux importants dans le domaine des circuits intégrés soutenue par un marché important, et d'autre part à la complexité de fabrication plus importante des circuits intégrés de puissance pour lesquels il convient de prendre en compte les aspects d'isolation et de tenue en tension. Aujourd'hui, ce décalage n'est plus que d'une génération et les longueurs des canaux des transistors MOS atteignent  $0,6 \mu\text{m}$  pour les circuits intégrés de puissance contre  $0,35 \mu\text{m}$  ou  $0,18 \mu\text{m}$  en électronique VLSI (Very Large Scale Integration). Cette évolution permet d'estimer une tendance pour les circuits intégrés de puissance du futur. Cette évolution permanente vers un degré d'intégration de plus en plus poussée conduit vers des systèmes intégrés sur une seule puce dans le domaine des faibles puissances.

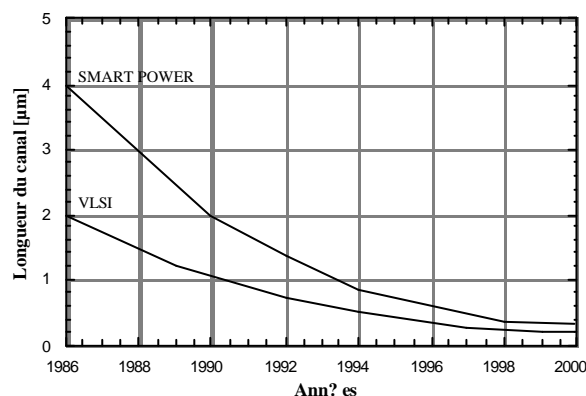


Figure 27 : Comparaison entre l'évolution des technologies "Smart-Power" et VLSI.

De façon très claire, l'évolution de ces circuits intégrés de puissance est liée aux technologies utilisées qui sont directement issues des développements effectués au niveau des circuits intégrés.

### **I.3.2. Intégration fonctionnelle**

Le concept d'intégration fonctionnelle en électronique de puissance a émergé du principe de fonctionnement des tout premiers dispositifs de puissance, tel que les thyristors et plus particulièrement les triacs [36, 37, 38]. Dans ce mode d'intégration monolithique, la fonction résulte des interconnexions de surface mais aussi des multiples interactions électriques entre les différentes régions semi-conductrices qui doivent être judicieusement agencées et dimensionnées.

Sans atteindre la complexité des fonctions obtenues avec les composants "Smart-Power", les dispositifs réalisés en intégration fonctionnelle permettent d'obtenir des fonctionnalités spécifiques aux applications de contrôle et de protection en associant plusieurs éléments de base. Ce mode d'intégration, basé sur des composants de puissance verticaux susceptibles de supporter des tensions de plusieurs centaines de volts et de transiter des courants de plusieurs ampères, est bien adapté au développement de nouvelles fonctions de puissance pour des applications moyennes puissances connectées sur le réseau de distribution de l'énergie électrique. A l'heure actuelle, l'intégration fonctionnelle est en pleine évolution tant sur le plan de la conception de nouvelles fonctions monolithiques de puissance que sur le développement de nouvelles solutions technologiques.

#### **I.3.2.1. Les associations bipolaires-bipolaires pour des dispositifs plus complexes que le thyristor ou le triac**

ST Microelectronics utilise ce concept d'intégration fonctionnelle, dans le développement de nouvelles fonctions de puissance, sous l'appellation ASD™ (Applications Specific Discretés). L'ASD™ est une approche permettant de répondre rapidement au cahier des charges imposé par un client.

La première filière, l'ASD1™ ou filière Diodes-Bipolaires, est optimisée pour la réalisation de fonction de protection par réseau de diodes TRANSIL. La seconde, l'ASD2™ ou filière Bipolaire-Thyristor, repose sur une technologie d'intégration verticale et permet entre autres la réalisation de fonctions basées sur des thyristors, des triacs, des diodes et des transistors bipolaires.

##### **a) La structure A.C. Switchä**

L'extension du mode d'intégration fonctionnelle a permis de développer de nouvelles fonctions de commande d'interrupteur et de protection [39, 40, 41, 42], présentant des avantages sur les composants discrets (le gain de place et les performances). La Figure 28 représente la coupe d'une structure A.C. Switch™ développée par STMicroelectronics Tours. Cette structure est adaptée aux applications de contrôle et de conversion d'énergie sur le réseau électrique domestique.

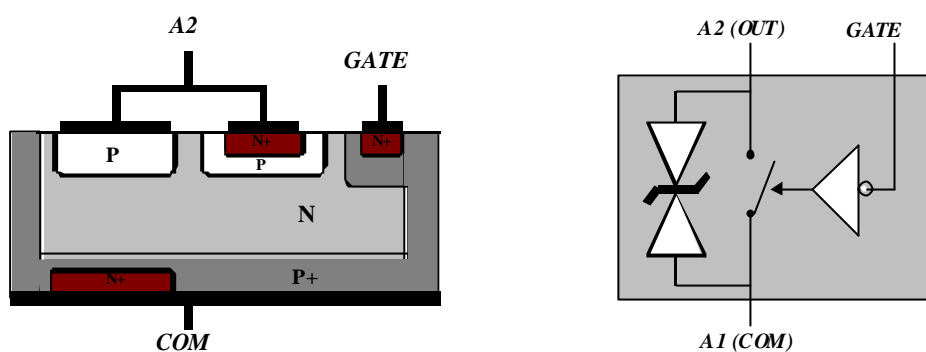


Figure 28 : Coupe d'une structure A.C. Switch et symbole électrique (structure brevetée).

Contrairement au triac, ce sont deux thyristors à gâchette d'anode qui sont gérés par une même commande. Cette commande, sur le dessus de la puce, se référence par rapport à la face inférieure de la puce. Ceci permet un certain découplage des deux thyristors d'une part (améliore la tenue en  $dV/dt$ ) et permet le montage des composants de puissance et des circuits de commande sur un même support d'autre part.

La gâchette, qui est isolée par jonction de la partie de puissance, peut être commandée par un microcontrôleur.

### b) Structure A.C. Switchä à déclenchement prédéterminé sur une demi-période [40]

Le fonctionnement correspond à celui d'un A.C. Switch™ à déclenchement prédéterminé sur une demi-période et qui reste automatiquement conducteur sur la suivante.

Ce dispositif dispose d'une gâchette sensible, ne nécessitant pas un fort courant d'amorçage, et présente une bonne immunité aux déclenchements parasites en termes de  $dI/dt$  et  $dV/dt$ .

Cet A.C. Switch™ se compose d'un montage en série de deux blocs. Chacun d'eux comprend un thyristor et une diode placée en antiparallèle (Figure 29). Le premier bloc comprend un thyristor avec une sortie de gâchette. Le deuxième bloc comprend un thyristor et

une diode verticale dans le même substrat. L'interaction électrique entre ces deux structures est très forte de sorte que les charges stockées lors de la phase de blocage de la diode sont utilisées pour le déclenchement du second thyristor Th2 (Figure 30).

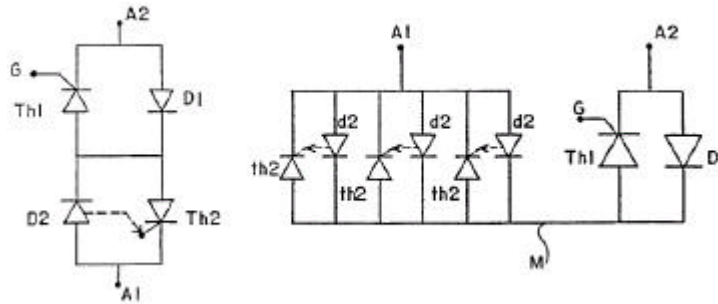


Figure 29 : Schéma électrique et principe de fonctionnement.

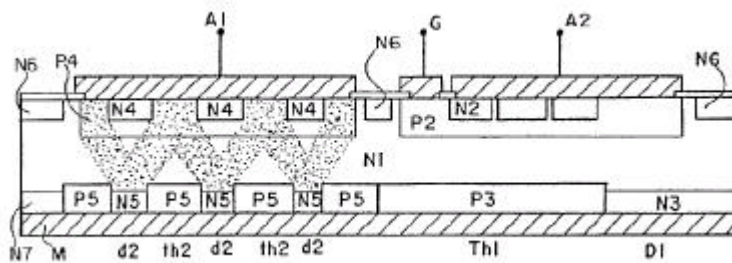


Figure 30 : Coupe schématique du dispositif A.C. Switch à déclenchement prédéterminé

Ce dispositif de puissance inclut notamment un thyristor conventionnel (noté TH1) avec une électrode de gâchette (noté G), et une diode (notée D1) montée en antiparallèle. Cette diode D1 est disposée en série avec un second thyristor (noté TH2) qui est monté en antiparallèle avec une seconde diode D2. La structure dispose alors de deux électrodes principales, A1 et A2, ainsi qu'une électrode de commande G. Ainsi, si l'électrode A1 est polarisée positivement par rapport à l'électrode A2, le courant transite entre A1 et A2 au travers de la diode D2 et du thyristor TH1 après avoir appliqué une commande sur le thyristor TH1. Ensuite, le thyristor TH2 devient automatiquement conducteur pendant la demi-période suivant la phase de conduction de la diode D2.

Le principe de fonctionnement (Figure 29), et la coupe de la structure (Figure 30), mettent en évidence la forte interaction électrique entre les différentes structures. Cette interaction électrique est utilisée pour réaliser une nouvelle fonctionnalité.

Ces filières reposent sur des technologies de type thyristor et diode basées sur des anodes face arrière et des caissons P face avant, jouant le rôle de gâchette de thyristor, ou de base de transistor NPN, à l'intérieur desquels on peut réaliser des régions matérialisant les régions de cathode ou d'émetteur  $N^+$ . Il est à noter, qu'il est possible de réaliser des

photolithographies sur la face arrière afin de matérialiser des régions  $N^+$  localisées pour les triacs, ou les thyristors fonctionnant dans le troisième quadrant (correspondant à des tensions négatives). Les profils de dopage et les profondeurs de jonction ont été fixés à partir d'une optimisation des paramètres électriques des transistors bipolaires et thyristors associés.

### **I.3.2.2. Evolution vers les associations MOS-bipolaires**

L'utilisation des technologies MOS pour les dispositifs de puissance offre un degré de liberté supplémentaire dans la conception de fonctions intégrées de puissance car elles permettent de combiner les avantages des transistors MOS aux interactions électriques existant dans le volume. Outre l'IGBT (Insulated Gate Bipolar Transistor), basé sur ce type d'association, qui a connu un essor industriel important ces dernières années, de nombreuses associations MOS-thyristor commandables à la fermeture et/ou à l'ouverture ont été proposées.

#### **a) Différents choix de commande des structures MOS-thyristors à la fermeture**

Dans le cas de dispositifs conçus comme les thyristors classiques avec une base large de type N, la commande à la fermeture est réalisée par l'intermédiaire d'un transistor MOS canal N qui est connecté entre la cathode et la base N de la structure PNP [43, 44]. La plupart de ces dispositifs, connus sous l'appellation MOS-thyristor ou MOS Gated Thyristors, présentés ces dernières années dans la littérature dérivent des transistors VDMOS de puissance dans lesquels la région  $N^+$  de drain est remplacée par une région de type P fortement dopée afin d'obtenir une structure verticale quatre couches de type thyristor, munie d'une commande isolée (Figure 31). Sur cette architecture semiconductrice, on peut identifier un transistor PNP couplé à un transistor NPN comme dans un thyristor classique, et une résistance de court circuit  $R_{CC}$  qui correspond à la résistance répartie de la région P sous la cathode  $N^+$ . Dans cette configuration le substrat de type P, du transistor MOS, est connecté à sa région de source (cathode du thyristor) par l'intermédiaire de cette résistance  $R_{CC}$  (Figure 31).



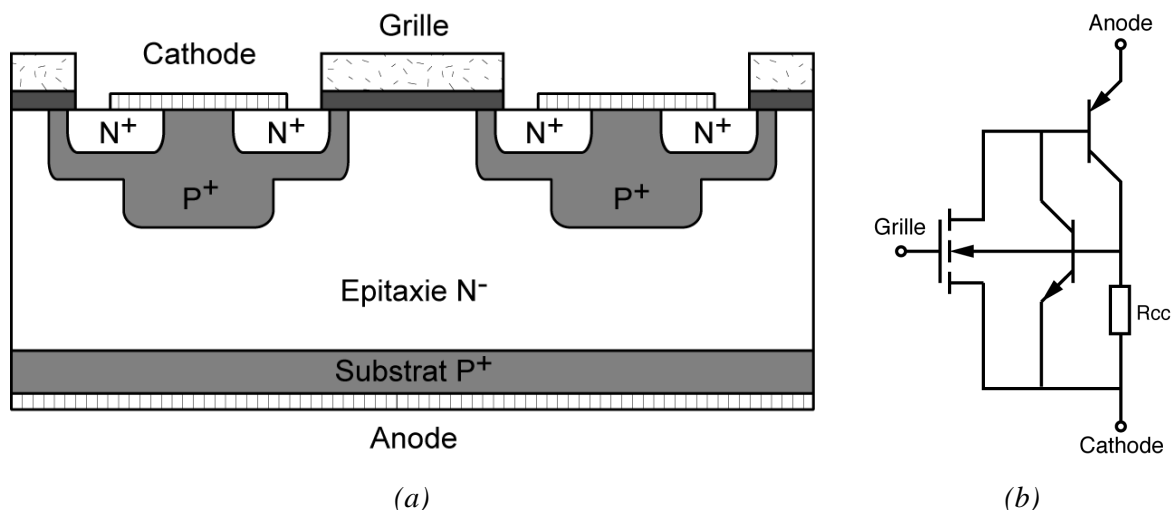


Figure 31 : Coupe (a) et circuit équivalent (b) du MOS-thyristor.

La plupart des composants qui ont été développés dérivent des transistors VDMOS de puissance ou des IGBT et sont de type multicellulaire. Cependant le concept peut s'appliquer à des composants monocellulaires conçus à partir de structures thyristors dans lesquelles la région de gâchette est remplacée par une grille MOS [45, 46].

### b) Différents choix de commande des structures MOS-thyristors à l'ouverture

Plusieurs voies ont été envisagées pour réaliser l'ouverture d'une section thyristor par l'intermédiaire d'un transistor MOS. Ce dernier est placé soit :

- en série entre la région semiconductrice de cathode et le contact de cathode afin de pouvoir interrompre la circulation du courant,
- entre la région N de base du transistor PNP et la région N du collecteur du transistor NPN afin de supprimer le couplage entre les deux transistors,
- en parallèle avec la résistance de court-circuit cathode base pour faire varier sa valeur, et donc modifier le niveau du courant de maintien du thyristor.

Dans la première solution (Figure 32), connue sous le nom d'Emitter Switched Thyristor (EST) [47], la région de cathode (dénommée cathode flottante) de la structure thyristor est reliée à un contact extérieur par un transistor MOS qui joue le rôle de court-circuit. Le passage du courant entre l'anode et le contact de cathode externe n'a lieu que lorsque ce transistor MOS est passant, le processus d'ouverture se produit dès lors que l'on bloque ce transistor.

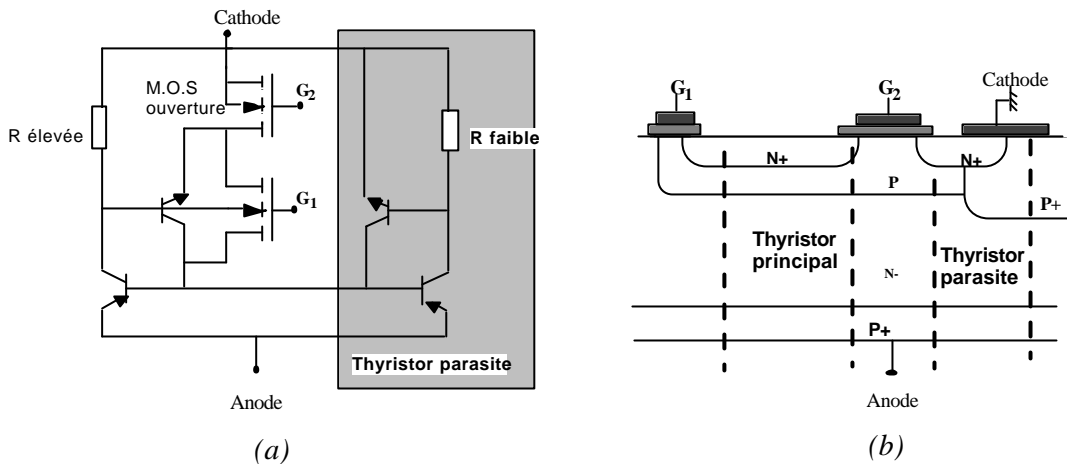


Figure 32 : Schéma électrique équivalent (a) et coupe (b) d'un dispositif EST.

La configuration même de cette structure qui consiste à placer un transistor MOS en série avec le thyristor contribue à augmenter la chute de tension à l'état passant du dispositif. En effet, cette chute de tension supplémentaire devient pénalisante dès que l'on augmente le calibre en courant de la structure. La solution d'intégration conduit à la présence d'un thyristor parasite vertical situé entre l'anode et le contact de cathode. Le contrôle du dispositif par le transistor MOS est perdu dès que ce thyristor s'amorce. Il est à noter que la commande à la fermeture est assurée par un transistor MOS placé dans une configuration identique à celle du MOS-thyristor décrite au paragraphe précédent.

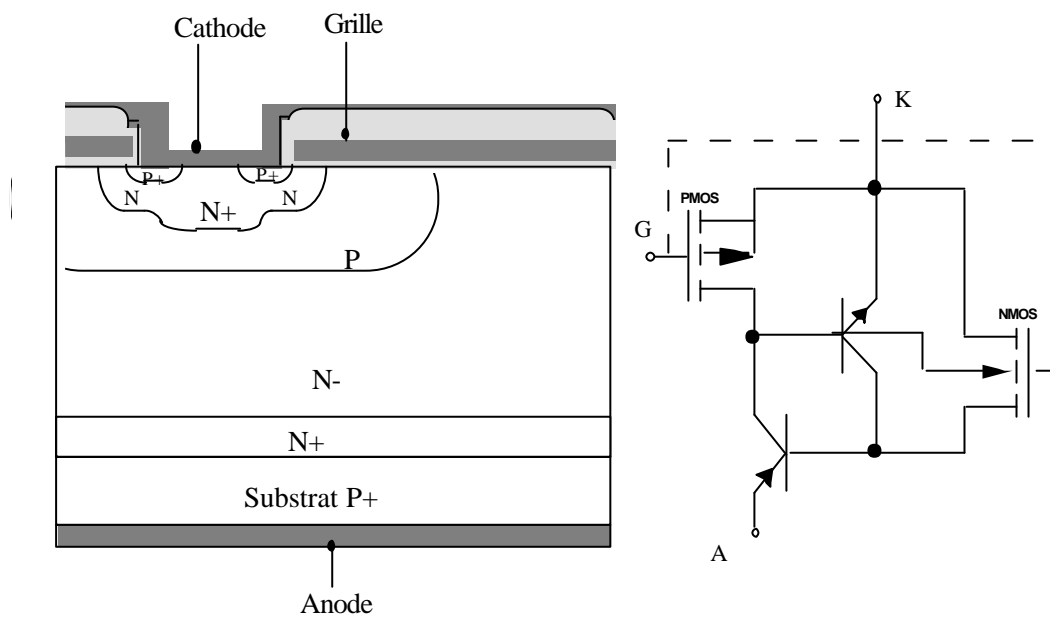
Une solution, correspondant à la mise en série d'un MOS avec un thyristor, a également été proposée sous l'appellation FIBS (Five Layers Bimos Switch) [48] avec une structure cinq couches et intégrant plusieurs transistors MOS dans une même cellule. Ce dispositif consiste en une structure cinq couches contrôlée par 3 transistors MOS intégrés, un pour la fermeture et deux pour l'ouverture.

Il est possible de court-circuiter directement la base P avec la cathode par l'intermédiaire d'un transistor MOS jouant le rôle d'un court-circuit commandable afin de réduire la valeur de la résistance de court-circuit entre cathode et base. Cette diminution de résistance se traduit par l'augmentation de la valeur du courant de maintien au-delà du courant nominal et permet l'ouverture du dispositif pour des courants inférieurs à ce courant de maintien. C'est ce mode d'ouverture qui est utilisé dans les dispositifs connus sous la dénomination MCT (MOS Controlled Thyristor) [49, 50, 51].

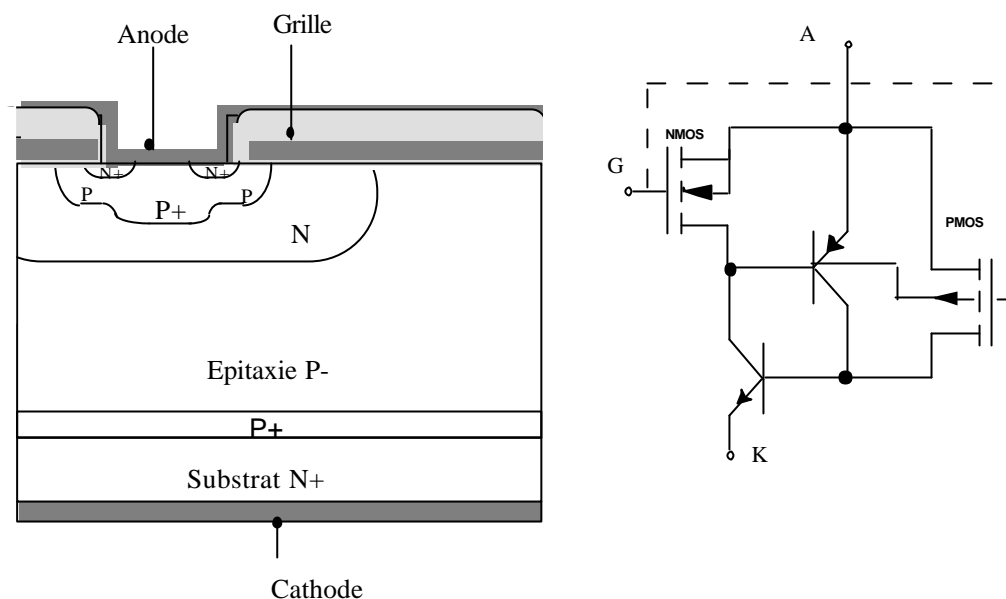
L'efficacité d'ouverture de ces dispositifs est directement liée aux performances des structures MOS. Il convient ici de réaliser des cellules de petites dimensions afin d'obtenir un rapport  $Z/L$  (largeur sur longueur du canal du MOS) le plus élevé possible, conduisant ainsi à

la résistance à l'état passant la plus faible possible et à une plus grande efficacité du court-circuit émetteur-base. Les contraintes imposées pour ces structures MOS, en terme d'optimisation du rapport  $Z/L$ , sont similaires à celles rencontrées pour les dispositifs VDMOS basse tension et comme pour ces derniers l'optimisation des caractéristiques électriques passe par une intégration plus poussée et une réduction des dimensions

Dans le cas de structures cinq couches, il convient de distinguer deux types de dispositifs : les NMCT [52] et les PMCT. Les principes de mise en conduction et d'ouverture sont identiques mais le type des transistors MOS utilisés pour l'ouverture et la fermeture est inversé du fait que la succession des couches relatives à la structure thyristor est également inversée. Le qualificatif N ou P fait référence au type de la base la plus faiblement dopée du thyristor. Dans le cas d'une base N, le mode d'intégration impose un transistor MOS canal N pour la mise en conduction et un canal P pour l'ouverture (Figure 33), tandis que dans le cas d'un PMCT avec une base P nous avons un MOS canal P pour la mise en conduction et un canal N pour l'ouverture.



(a) Dispositif NMCT



(b) Dispositif PMCT

Figure 33 : Coupe et circuit équivalent des structures NMCT (a) et PMCT (b).

Les technologies adoptées pour les MCT ou les FIBS dérivent de la technologie double diffusée mais nécessitent une triple diffusion autoalignée par rapport à la grille. En effet, dans le cas des MCT les canaux de type N ou P sont contigus dans des zones de diffusion latérales obtenues par des diffusions de régions PNP dans le cas du NMCT, ou NPN dans le cas du PMCT. Il est à noter, que l'optimisation de ces profils de dopage latéraux est délicate et constitue l'un des points clés de cette technologie, car ils fixent les tensions de seuil des transistors MOS d'amorçage et de blocage.

### **I.3.2.3. Exemple d'intégration de fonctions spécifiques**

Par le passé, la conception de dispositifs de puissance discrets (diodes, transistors bipolaires, MOS, IGBT, thyristors triacs) était effectuée pour une gamme de puissance et de fréquences donnée sans se soucier des caractéristiques précises de l'application future, les électroniciens de puissance en charge des activités applications choisissaient dans un catalogue le dispositif le mieux adapté à leur cahier des charges. Cette façon de procéder, séparant de fait les activités des concepteurs de dispositifs et celles des ingénieurs concevant les systèmes de puissance, n'est plus adaptée à la conception de fonctions de puissance intégrées. Cette nouvelle approche consiste à développer des fonctions spécifiques en connaissant à priori, le cahier des charges décrivant la fonctionnalité, les caractéristiques électriques de la fonction, ainsi que les contraintes imposées par son environnement. Ces

fonctions spécifiques découlent de fait d'une approche système et peuvent être développées en se basant sur le mode d'intégration fonctionnelle.

Actuellement, le concept d'intégration fonctionnelle peut être utilisé pour obtenir des modes de commutation originaux qui ne sont pas exploités dans les composants usuels, et d'autre part pour réaliser de nouvelles fonctions interrupteurs réunissant monolithiquement le composant de puissance avec des éléments de protection, d'amplification et de validation de la commande. Cette voie doit à terme conduire à une amélioration des performances, à une meilleure adaptation aux besoins (la conception peut être faite pour une application donnée), et à une plus grande simplicité de conception des équipements.

### a) Le thyristor dual

Jusqu'à présent, seuls les dispositifs diodes, transistors, thyristors, triacs ont eu des réalisations monolithiques, cependant il a été montré récemment qu'il était possible d'obtenir de nouveaux interrupteurs intégrés, tels que le thyristor dual, en se basant sur le mode d'intégration fonctionnelle [53].

La description des principales étapes de conception fonctionnelle de la structure intégrée répondant à la fonctionnalité recherchée nous permettra, d'une part de mettre en évidence le caractère générique de ce mode d'intégration, et d'autre part d'en déduire les étapes technologiques supplémentaires à mettre en œuvre par rapport aux dispositifs de puissance conventionnels VDMOS et IGBT.

La fonctionnalité du thyristor dual est obtenue par dualité à partir de celle des thyristors. Une première approche électrique de la fonction nous montre qu'elle doit assurer un amorçage spontané du courant anode-cathode,  $I_{AK}$ , par passage à zéro de la tension  $V_{AK}$  et un blocage commandé par impulsion (Figure 34).

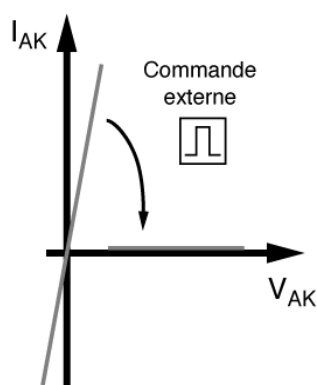


Figure 34 : Fonctionnalité électrique du thyristor dual.

Dans la démarche d'intégration fonctionnelle c'est l'élément de puissance qui dicte la topologie et la technologie utilisée dans la conception d'une nouvelle fonctionnalité. Dans les dispositifs de puissance, seul le thyristor dispose d'un comportement bi-stable, sous une polarisation directe, avec la possibilité de garder son état déclenché lorsque le courant de gâchette est supprimé. La nouvelle fonctionnalité thyristor dual peut être obtenue en associant une structure thyristor avec une cellule de blocage et une cellule d'autoamorçage.

Le déclenchement du thyristor peut être obtenu en intégrant une section MOS entre le caisson  $N^+$  de la cathode et la base large  $N^-$ . Un transistor NMOS à déplétion doit ainsi être utilisé pour fournir le courant de base nécessaire à l'autoamorçage du dispositif dès que la tension  $V_{AK}$  est positive. Ce dispositif est directement obtenu à partir de la cellule thyristor-MOS auto-amorçable et blocable représenté Figure 35.

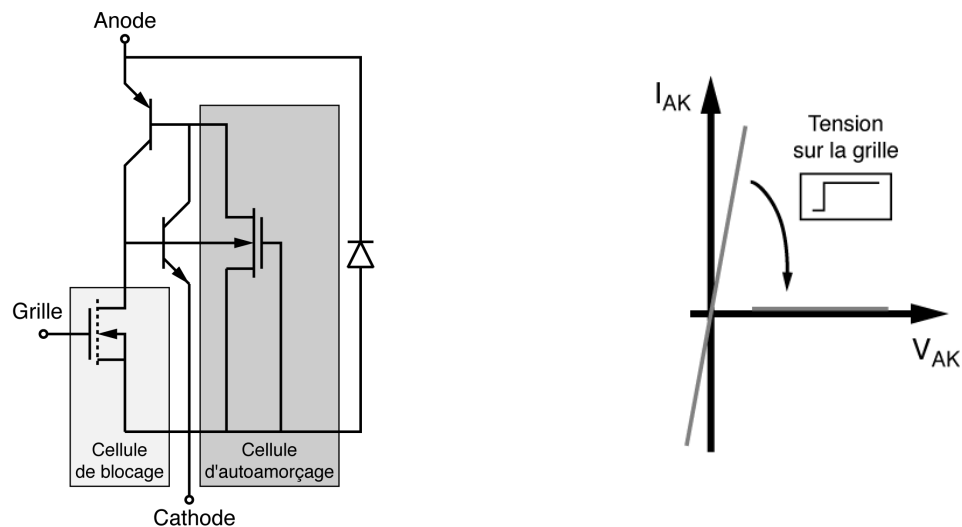


Figure 35 : Schéma électrique associée à la fonctionnalité d'autoamorçage et de blocage commandé du courant.

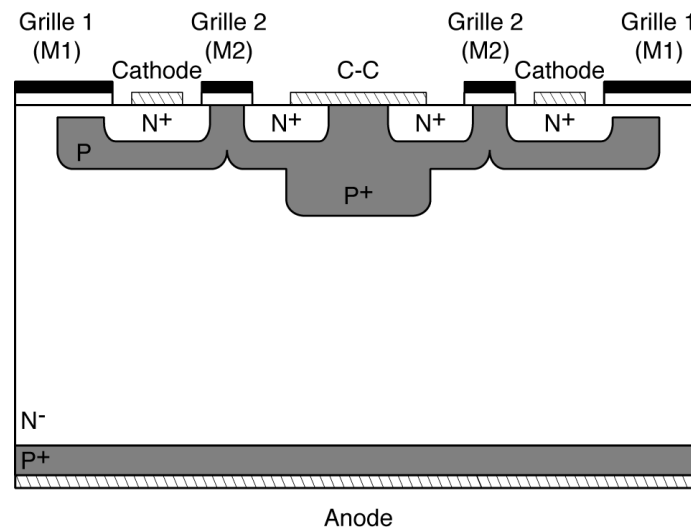


Figure 36 : Coupe d'une solution de structure associée à la fonctionnalité d'autoamorçage et de blocage commandé.

Le blocage du thyristor dual doit être assuré par une commande impulsionnelle extérieure. Pour assurer ce genre de commande, il faut nécessairement une fonction du maintien de l'ordre de blocage même après l'interruption de la commande de grille.

Cette fonctionnalité est assurée par un générateur de courant conçu à partir d'une cellule IGBT à canal préformé. L'ordre de blocage entraîne une augmentation de la tension aux bornes de la cellule thyristor-MOS. La cellule IGBT à canal préformé subit l'augmentation de tension à ses bornes, et se comporte comme un générateur de courant qui charge la grille du transistor NMOS à enrichissement. Celui-ci reçoit donc l'ordre de blocage et court-circuite la jonction gâchette-cathode du thyristor-MOS. Ainsi, même après la suppression de l'impulsion et tant qu'il subsiste une différence de potentiel aux bornes du dispositif, l'ordre de blocage est maintenu. Le schéma électrique de cette fonctionnalité, représenté Figure 37, nous détaille les différents blocs utilisés pour concevoir le thyristor dual.

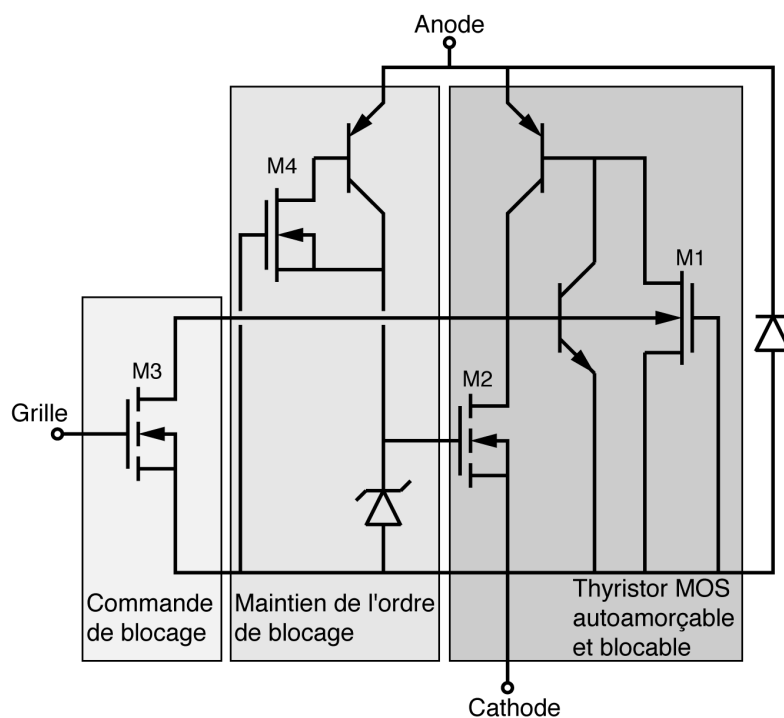


Figure 37 : Schéma électrique traduisant la fonctionnalité du thyristor dual.

Pour résumer, la cellule thyristor-MOS autoamorçable et blocable assure l'auto-amorçage du courant  $I_{AK}$  par passage à zéro de la tension  $V_{AK}$  ainsi que le blocage de  $I_{AK}$ . La cellule IGBT à canal préformé se comporte comme un générateur de courant et assure le maintien de l'ordre de blocage. La cellule NMOS à enrichissement reçoit l'ordre de blocage et la diode PIN assure la bidirectionnalité en courant.

Toutefois, ce dispositif possède un courant de fuite à l'état bloqué, lié à l'utilisation d'un transistor NMOS à déplétion pour la commande d'auto-amorçage. Afin de diminuer ce courant de fuite, une nouvelle fonction a été développée. Cette dernière permet l'auto-amorçage du thyristor pour des tensions anode-cathode faibles, tout en supprimant le courant lié au MOS à canal préformé pour des valeurs de tensions plus élevées. Ce comportement correspond à une fonctionnalité de type disjoncteur et nous appellerons "micro-disjoncteur" la fonction intégrée résultante [54].



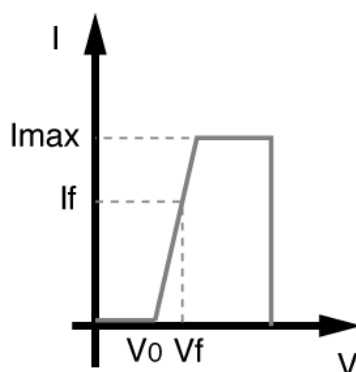


Figure 38 : Caractéristique statique  $I(V)$  théorique du micro-disjoncteur.

Dans le contexte d'une technologie quatre couches, le schéma électrique équivalent de la structure présentée sur la Figure 39 est construit autour d'une cellule IGBT (notée IGBT1) à canal préformé placée en série avec un transistor PMOS à enrichissement. Un second IGBT, noté IGBT2, fonctionne comme un générateur de courant qui vient charger la grille du transistor PMOS.

De manière succincte, le fonctionnement du micro-disjoncteur est basé sur la saturation du transistor PMOS et de l'IGBT1 lorsque le courant anode-cathode augmente. Cette saturation entraîne l'augmentation de la chute de potentiel aux bornes du dispositif. Ce processus va conduire ensuite au blocage du micro-disjoncteur.

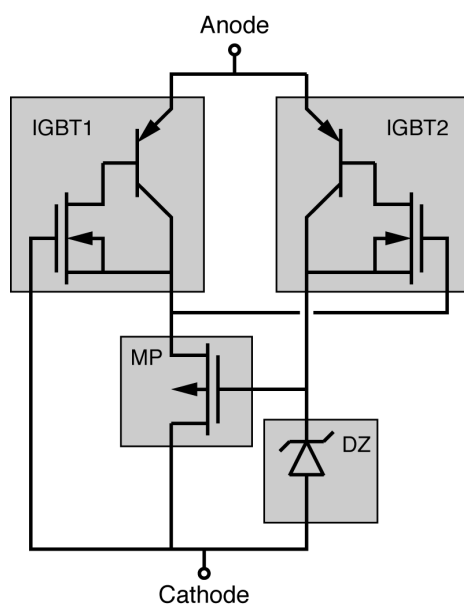


Figure 39 : Schéma électrique du micro-disjoncteur.

Il est intéressant de noter que ce dispositif peut être intégré avec le thyristor dual. Nous illustrons ce concept par le schéma électrique équivalent de la Figure 40.

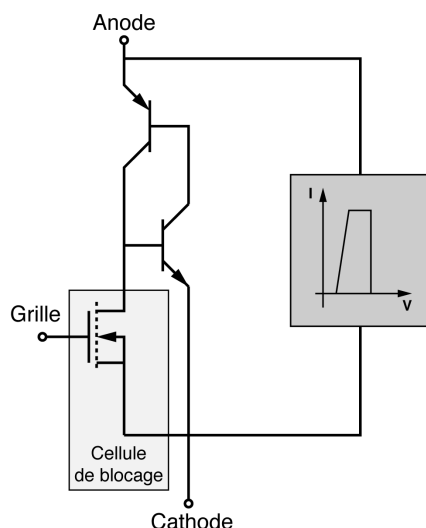


Figure 40 : Thyristor avec un micro-disjoncteur consacré à l'autoamorçage et à la suppression du courant de fuite.

De ce fait, la structure IGBT1 du micro-disjoncteur (Figure 39) correspond à la cellule d'auto-amorçage M1 du schéma électrique du thyristor dual (Figure 37) et l'IGBT2 correspond à la cellule M4. Nous pouvons remarquer que dans la structure micro-disjoncteur présentée, l'IGBT à canal préformé (IGBT2) peut être à la fois utilisé en tant que générateur de courant pour charger la grille du transistor PMOS à déplétion, mais aussi à maintenir l'ordre de blocage.

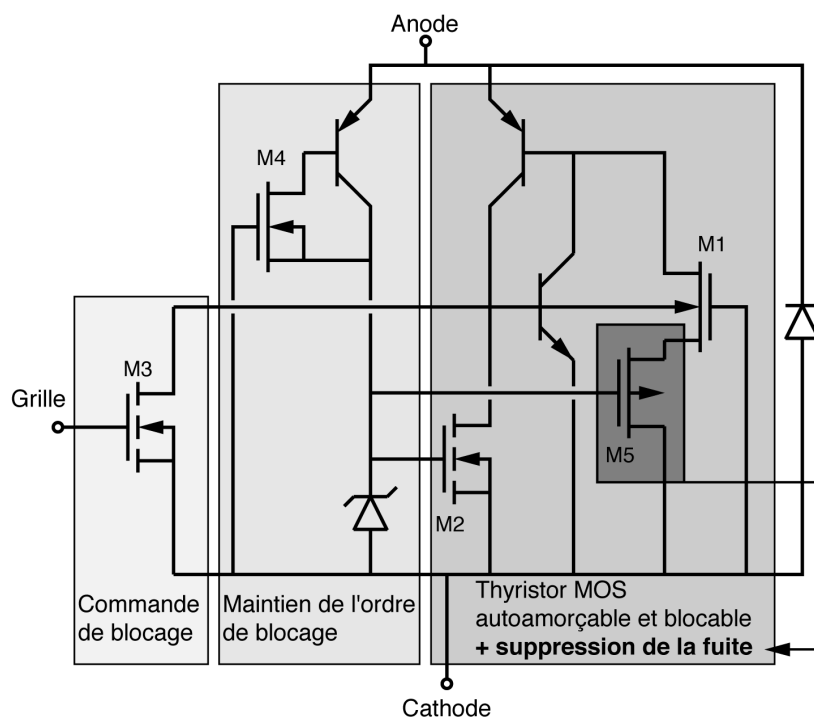


Figure 41 : Schéma électrique du thyristor dual complet (sans courant de fuite).

Ainsi, le schéma électrique de la fonction thyristor dual complet, c'est-à-dire avec la suppression du courant de fuite, diffère uniquement de la structure précédente (Figure 37) par l'adjonction d'une cellule PMOS à enrichissement (Figure 41).

Cet exemple de conception d'une nouvelle fonction de puissance par imbrication de cellules illustre parfaitement l'approche générique du mode d'intégration fonctionnelle.

### b) Interrupteurs bidirectionnels

Actuellement l'interrupteur bidirectionnel bicommandable (IBB) est synthétisé à partir d'un assemblage de transistors de puissance (MOS, IGBT), de diodes, de circuits intégrés et d'alimentations auxiliaires. Le cœur de cette association est par exemple réalisé par l'association de deux IGBT et de deux diodes. Cette structure pourrait être remplacé avantageusement par deux IGBT symétriques en tension montés en antiparallèle afin de diminuer le nombre de composants et de réduire la chute de tension l'état passant. La perspective d'intégration totale ou partielle d'un interrupteur bidirectionnel bicommandable passe donc par une première étape relative à l'optimisation d'un IGBT symétrique en tension. ST Microelectronics Tours a proposé et développé un dispositif de ce type sous l'appellation MBS (MOS Bidirectionnal Switch). Dans sa thèse O. CAUSSE a proposé et optimisé une périphérie de jonction planar présentant une tenue en tension symétrique et compatible avec une filière technologique de type IGBT [55, 56]. Cette périphérie, dont le fonctionnement est basé sur une répartition des équipotentielles dans le volume à travers un caisson P traversant la plaque de silicium, est présentée sur la Figure 42. Elle est constituée de deux terminaison de type JTE sur chaque faces séparées de deux autres régions P peu dopées reliées par un mur de type P.

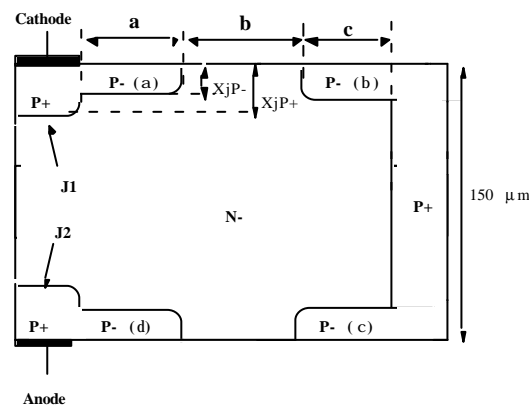


Figure 42 : Coupe schématique de la structure périphérique de base.

La réalisation de ces murs  $P^+$  constitue le point bloquant sur le plan technologique car les diffusions classiques de bore nécessitent des durées importantes, de l'ordre de 200 heures, et peuvent induire des défauts et déformations des plaques. La technique de thermomigration de l'aluminium développée au LAAS par J-M DILHAC [57, 58] et utilisée par ST Tours pour des structures triacs, n'est pas aujourd'hui compatible avec des procédés de fabrication de type IGBT. Ainsi, il devient nécessaire de proposer une solution technologique permettant la réalisation de ces murs de type P compatible avec des étapes technologiques permettant de réaliser un IGBT.

### c) **Intégration de fonctions de protection**

La fiabilité et la disponibilité des systèmes de puissance sont une préoccupation de la recherche actuelle en électronique de puissance. Ceci exige des semi-conducteurs de puissances d'être performants non seulement en régime normal mais aussi en régime extrême. Le régime extrême représente les conditions inhabituelles de fonctionnement des composants de puissance : surcharge transitoire, régime accidentel tel que le court-circuit, dysfonctionnement du système d'application, fort  $dI/dt$  et  $dV/dt$ , forte énergie dissipée, application spéciale, etc...

Dans ce type de régime, les composants sont alors soumis aux limites de leurs possibilités entraînant des défaillances de fonctionnement qui peuvent conduire à la destruction du composant, mais aussi dans les cas les plus graves du système. L'intégration de circuits de protection spécifiques au cœur du composant afin de le protéger des dysfonctionnements du circuit extérieur est donc une contribution appréciable pour l'augmentation de la "fiabilité" et de la disponibilité des systèmes de puissance. Un des points importants concerne la protection des IGBT contre les courts-circuits. Lors de l'apparition d'un court-circuit, l'interrupteur de puissance délivre un courant important avec à ses bornes la pleine tension d'alimentation. La puissance dissipée dans la structure de puissance est alors très élevée et sa destruction est quasi-inévitable en raison du dépassement de la température admissible de jonction.

O. CAUSSE a proposé dans sa thèse une solution monolithiquement intégrable nécessitant des dispositifs MOS canal N basse tension [55] (Figures 43 et 44) et une cellule spécifique appelée "capteur de tension d'anode". Il est donc nécessaire de pouvoir réaliser ces

différents éléments à partir du procédé technologique utilisé pour fabriquer le composant de puissance.

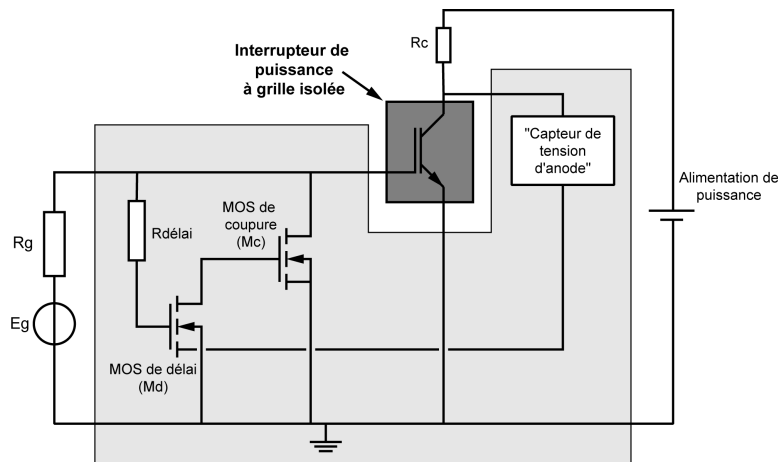


Figure 43 : Schéma de principe du circuit de détection et de protection contre les courts-circuits [55].

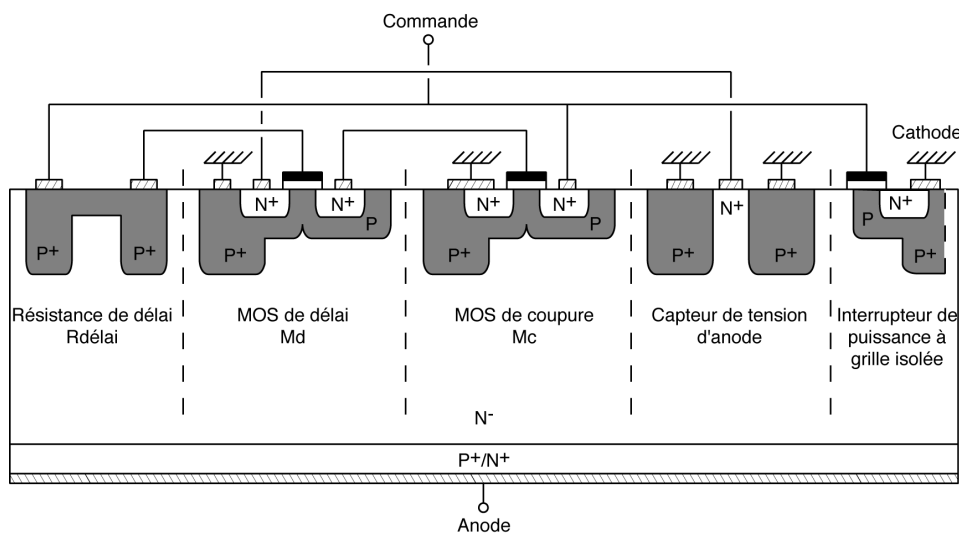


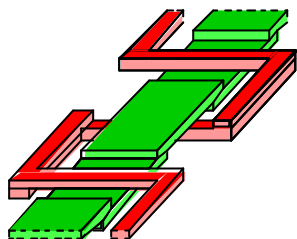
Figure 44 : Structure intégrée correspondant au schéma électrique de la Figure 43 [55].

### I.3.3. Prolongement de l'intégration fonctionnelle

La réduction de la taille et du poids des équipements portables (téléphones, micro-ordinateurs, agendas électroniques), ainsi que le développement de microsystèmes autonomes sont notamment conditionnés par une optimisation des convertisseurs d'énergie. L'intégration des éléments passifs sur silicium débouchant sur la réalisation de micro-condensateurs sur silicium constitue un élément de réponse à cette évolution.

Ces niches stratégiques ont conduit au développement de travaux relatifs à la réalisation d'éléments passifs sur silicium dans la perspective d'évoluer vers des

convertisseurs monolithiques. Cette approche doit permettre de diminuer le nombre de composants et les connexions en vue de conduire à des produits plus fiables et moins onéreux. De nombreuses applications de filtres basées sur des réseaux RL sont également concernées.



*Figure 45 : Micro-bobines intégrées sur silicium.*

Les récents développements dans le domaine des microtechnologies ont profondément modifié les possibilités de fabrication de microstructures. Ces nouvelles techniques de microfabrication sont notamment bien adaptées à la réalisation de bobines sur silicium (Figure 45). La réalisation de moules de résines et l'électrochimie de matériaux conducteurs ou magnétiques permettent de réaliser des noyaux magnétiques et des enroulements sur des épaisseurs de plusieurs dizaines de microns. Généralement les procédés de technologie dite froide permet de faire du post processing et donc d'envisager une intégration avec les dispositifs semiconducteurs. Des premiers prototypes présentant une valeur d'inductance de  $35 \text{ nH/mm}^2$  à 1 Mhz ont été réalisés. Le procédé de fabrication utilisé est entièrement compatible avec un procédé CMOS standard, et des micro-convertisseurs présentant une puissance de sortie de 1 à 2 W sont envisageables [59, 60, 61].

La réalisation de condensateurs sur silicium peut s'adresser d'une part aux applications de filtrage sous basse tension (quelques volts pour les micro-convertisseurs) avec des condensateurs à capacités constantes de quelques volts, et d'autre part, pour des tensions plus élevées (quelques centaines de volts), à des circuits d'aide à la commutation à l'aide de condensateurs à capacités non linéaires permettant d'améliorer les conditions de commutation des interrupteurs de puissance.

La technique de gravure profonde peut être utilisée pour fabriquer des condensateurs sur silicium [62, 63]. En effet, la topologie dite "en tranchées", permet d'augmenter le rapport entre la surface effective du condensateur et la surface de la puce. La valeur de la capacité est ensuite liée aux caractéristiques de l'isolant et peut être augmentée en utilisant des diélectriques à forte permittivité déposés en couche mince. L'association de structures MIS

(Métal - Isolant - Semiconducteur) et de jonctions PN<sup>-</sup> permet d'obtenir la non-linéarité. Le principe de ces dispositifs repose sur le contrôle de l'accès à une capacité constante (capacité MIS) grâce à l'extension de la zone de charge d'espace de la jonction PN<sup>-</sup> convenablement disposées [62, 63].

#### **I.3.4. Apport des technologies des circuits intégrés au développement des fonctions de puissance intégrées**

Dans le cas de circuits Smart-Power, l'apport des technologies des circuits intégrés est encore plus net que pour les composants de puissance discrets étant donné que l'on utilise ici directement les technologies des circuits intégrés.

Les premiers circuits Smart-Power étaient en effet basés sur une technologie CMOS, peu performante, mais qui permettait d'être compatible avec les éléments de puissance de type LDMOS ou VDMOS. Il est à noter que le problème majeur de ces fonctions de puissance intelligentes, relatif à l'isolation entre les parties basse et haute tension a été résolu assez rapidement grâce aux travaux antérieurs effectués au niveau des circuits intégrés bipolaires (isolation par jonction, diélectrique ou mixte). En effet, les techniques de base d'isolation par jonction, par diélectrique ou mixte (cf. I.1.3) ont été transposées aux circuits de puissance intelligents. Ensuite, pour répondre à une complexification des fonctionnalités à intégrer, les filières BiCMOS ont été introduites. Ces filières BiCMOS étaient particulièrement bien adaptées à la réalisation de fonctions logiques et analogiques pour assurer, la commande, le contrôle et la protection de l'élément de puissance, elles permettaient aussi de réaliser des éléments de puissance MOS et bipolaires. Les dernières évolutions, relatives à l'intégration de mémoires dans ces circuits de puissance intelligents, confirment, s'il en était besoin, que l'accroissement des fonctionnalités et des performances de ces fonctions découlent des travaux de recherche effectués dans le domaine des circuits intégrés, et comme pour les circuits intégrés se traduisent par une augmentation du nombre d'étapes de masquage.

L'évolution des filières technologiques de l'intégration fonctionnelle a été marquée par l'introduction des composants MOS. Les premières filières ASD<sup>TM</sup> de ST Microelectronics étaient basées uniquement sur des associations diodes-thyristors (filières ASD2<sup>TM</sup>). La dernière filière ASD3<sup>TM</sup> permet de réaliser des transistors MOS canal N à enrichissement et des IGBT. Nous pouvons noter que les niveaux de courant et de tensions envisagés imposent une structure verticale pour le composant de puissance. Dans ce cas, le dénominateur commun sera une structure 4 couches NPNP avec grille MOS, c'est-à-dire soit des IGBT, soit

des associations MOS-thyristors. L'apport de nouvelles étapes permettra d'accroître la fonctionnalité de la fonction interrupteur intégré. Par contre, la taille de la fonction complète sera essentiellement définie par le composant de puissance car les contraintes en énergie demeurent et il faudra toujours  $1 \text{ mm}^2$  de silicium pour transiter 2 A dans les conditions normales de fonctionnement (c'est à dire avec une dissipation thermique acceptable).

#### **I.4. Contraintes de la filière technologique adaptée à l'intégration fonctionnelle**

La description des nouvelles fonctions dans les paragraphes précédents montre que la fonctionnalité et les caractéristiques électriques des dispositifs basés sur le mode d'intégration fonctionnelle dépendent, non seulement de l'agencement des couches semiconductrices et de la topologie de surface, mais également des caractéristiques physiques des différentes régions.

La filière technologique utilisée dans le cadre de l'intégration fonctionnelle doit donc être composée d'étapes optimisées et compatibles entre elles. Le processus technologique de fabrication d'une structure, assurant une fonction électrique sera établie à partir de l'association de tout ou partie, des étapes optimisées de cette filière. Cette filière doit être établi autour d'un processus "auto-aligné", avec des grilles en polysilicium permettant de réaliser les dispositifs de puissance de base de la famille MOS/bipolaire (IGBT, MOS-Thyristor), et complétée par des étapes technologiques spécifiques permettant de réaliser :

- des régions différenciées N ou P sur la face arrière,
- les quatre types de MOS,
- deux types de caissons P,
- des périphéries  $P^-$ ,
- des caissons  $P^+$ .

L'enchaînement des étapes devra se faire en respectant le bilan thermique final de chacune d'entre elles.

Nous pouvons rapprocher cette notion de filière flexible, permettant d'introduire des étapes supplémentaires, par rapport à celles du composant de puissance, à certaines filières BiCMOS (Figure 15) incluant jusqu'à 27 étapes technologiques alors que le processus de base ne nécessite que 11 étapes.

Les principales "briques" technologiques de cette filière devront se succéder de la façon suivante : réalisation des caissons  $P^+$  face avant et face arrière, réalisation de la cathode



N<sup>+</sup> face arrière, réalisation de la grille en polysilicium dopé N, réalisation des caissons P et cathode N<sup>+</sup> alignés par rapport à la grille et réalisation des canaux préformés N et P.

Le substrat de départ en silicium doit être de type N. Les régions P<sup>+</sup>, P et N<sup>+</sup> seront réalisées par implantation ionique (bore pour le type P et arsenic pour le type N<sup>+</sup>). La redistribution des régions P<sup>+</sup> (face avant et arrière) et de la cathode N<sup>+</sup> face arrière se fera d'une part, lors de la réalisation de l'oxyde de grille effectuée à 1000 °C, et d'autre part lors des redistributions des caissons P et des cathodes N<sup>+</sup> de la face avant à 1150 °C. Le polysilicium de grille sera déposé par LPCVD à partir de la décomposition de silane (SiH<sub>4</sub>). Celui-ci sera dopé N par diffusion de phosphore. Les canaux préformés seront réalisés à travers le polysilicium par implantation ionique de bore pour les canaux de type P, et de phosphore pour les canaux de type N. Ils seront ensuite redistribués à une température de 950 °C. La Figure 46 montre l'enchaînement des étapes technologiques pour la réalisation de la grille en polysilicium, des caissons P et N<sup>+</sup>.

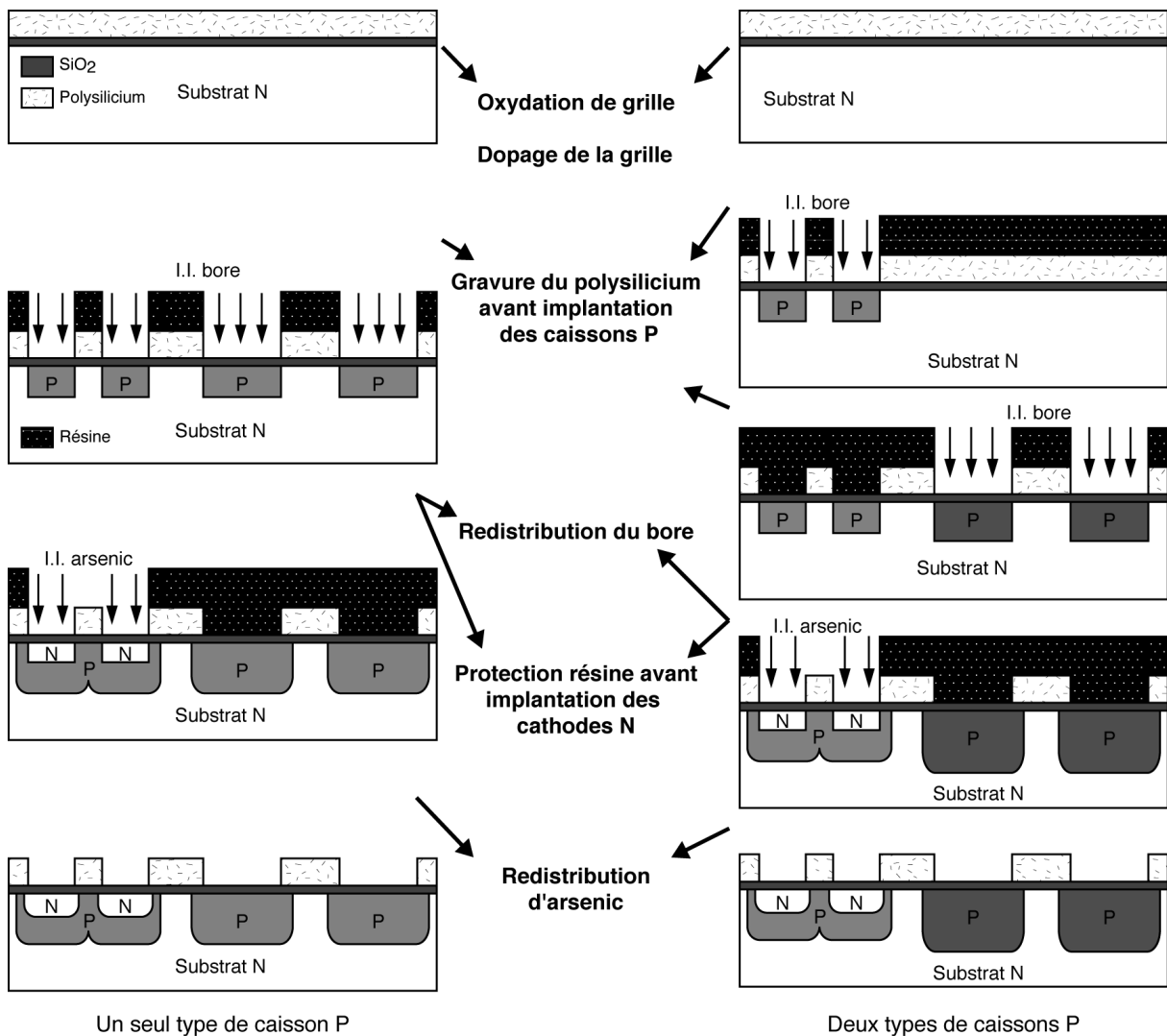


Figure 46 : Différents enchaînements d'étapes technologiques.

L'augmentation de la complexité des fonctions de puissance à intégrer conduit au développement d'étapes technologiques spécifiques compatibles avec la filière flexible de base. Ces développements sont possibles grâce aux progrès réalisés ces dernières années dans les techniques utilisées dans le domaine des micro-technologies. La gravure profonde du silicium R.I.E., les dépôts chimiques en phase vapeur haute pression (C.V.D.) ou basse pression (L.P.C.V.D.), les dépôts de résines épaisses, les dépôts électrochimiques, le report de couche et les nouvelles techniques de montage en sont les principaux exemples. La maîtrise de ces techniques permettra de réaliser, à terme, des capacités intégrées variables, des micro-bobines, des micro-transformateurs, des micro-convertisseurs, des micro-refroidisseurs...

La maîtrise et l'intégration dans la filière technologique flexible de ces technologies permettront, à terme, de concevoir des structures de puissance intégrant en leur cœur des éléments actifs et passifs, mais aussi de développer de nouvelles fonctionnalités.

## CONCLUSION

Ce premier chapitre permet de faire le point sur l'évolution des structures et des filières technologiques des circuits intégrés, et des dispositifs de puissance.

Dans la première partie, nous avons présenté les différentes filières technologiques utilisées ces dernières années pour la réalisation des circuits intégrés, depuis les premières filières MOS à grille en silicium polycristallin jusqu'aux dernières filières BiCMOS submicroniques. Nous avons ainsi pu mettre en évidence les principales innovations apportées par les différentes familles, MOS, bipolaires et BiCMOS qui permettent de combiner les avantages et les potentialités fonctionnelles des filières bipolaires et CMOS. Ces familles BiCMOS, basées sur un grand nombre de niveaux de masques, offrent une flexibilité importante, et permettent de réaliser des fonctions logiques et analogiques complexes.

La deuxième partie est consacrée à la présentation des filières technologiques des dispositifs de puissance.

Au niveau des structures, un grand nombre de composants de puissance dérive des dispositifs utilisés en premier temps dans le domaine du traitement du signal. Une bonne quinzaine d'années se sont écoulées entre la première réalisation par la société FAIRCHILD en 1954 d'un transistor bipolaire sur silicium en technologie planar et l'arrivée sur le marché du premier transistor adapté pour des applications de puissance. La pénétration des transistors MOS dans le domaine de la puissance s'est effectuée avec le même décalage puisque le premier transistor MOS de puissance VMOS a été développé en 1976, alors que la première

réalisation d'un transistor MOS sur silicium a été effectuée en 1960. Ce décalage correspond à l'adaptation des caractéristiques électriques des dispositifs aux exigences des applications de puissance. Cette introduction des technologies MOS dans le domaine des dispositifs de puissance constitue l'étape décisive qui a marqué une rupture dans l'évolution des composants de puissance, tant sur le plan des performances que sur celui des structures. La réduction des dimensions des structures VDMOS basses et moyennes tensions a permis une réduction importante de la résistance à l'état passant. Pour la première fois la réduction des dimensions d'un composant de puissance a conduit à une amélioration de ses performances ( $R_{ON}$ ), rejoignant ainsi en partie le mode d'évolution des circuits intégrés. Cette réduction des dimensions a notamment été possible par une amélioration des procédés technologiques de fabrication issus de la microélectronique, tel que le procédé de double diffusion basé sur la réalisation de grilles en silicium polycristallin. Ces dispositifs ont ainsi bénéficié des progrès réalisés dans le domaine de la microélectronique, et parfois, des lignes de production utilisées pour les anciennes générations de circuits intégrés. Ces travaux sur les composants MOS de puissance ont ensuite permis le développement rapide des IGBT, qui constituent aujourd'hui l'axe fort des composants de puissance, ainsi que l'étude de nouveaux dispositifs à grille MOS tels que les MCT, BRT, EST.... Cette évolution a conduit naturellement au développement de circuits intégrés de puissance. Elle est traduite qualitativement sur la Figure 47.

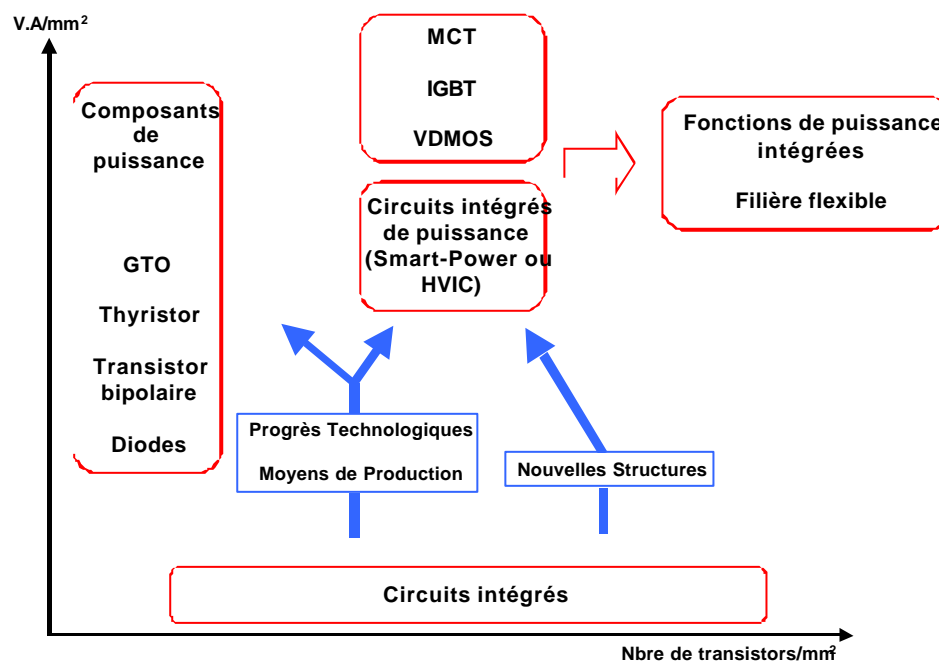


Figure 47 : Impact qualitatif des progrès technologiques de la microélectronique sur les composants de puissance.

Ces circuits intégrés de puissance constituent un prolongement de l'intégration de circuits logiques en rajoutant un élément de puissance à des circuits de traitement du signal. Comme dans toute l'évolution des dispositifs à semiconducteur de puissance, les premières réalisations se sont adressées à des applications faible tension et faible courant.

Actuellement seule une toute petite partie des applications situées dans le domaine de la très faible puissance (électronique automobile) utilise des circuits intégrés de puissance. Toutefois, la majorité des applications de puissance sur le réseau électrique peut encore bénéficier des avantages apportés par l'intégration. Le mode d'intégration fonctionnelle répond à cette attente.

Pour répondre à ce mode de conception générique basé sur le composant de puissance, les filières technologiques 4 couches avec grille MOS, de type IGBT ou MOS-thyristor, constitueront les étapes de base. Cependant il existe des fonctionnalités spécifiques aux applications de l'électronique de puissance qui nécessitent la mise en place d'étapes technologiques spécifiques qui devront être compatibles avec les étapes de base permettant de réaliser le composant de puissance. Ces considérations militent pour la mise en place d'une filière technologique flexible qui fera l'objet des prochains chapitres.

**Bibliographie du chapitre 1 :**

- [1] R. A. CHAPMAN, "Trends in CMOS process integration", Electrochem. Soc. Proceedings, Vol. 97-3, Pennington, 1997, pp. 413-427.
- [2] S.M. SZE, Physics of semiconductor devices, Wiley, New York, 1981, 2d ed.
- [3] A.B. GLASER and G.E. SUBAK-SHARPE, Integrated circuit engineering, Addison-Wesley Publishing Co., 1979.
- [4] L.C. PARILLO, "VLSI process integration", VLSI Technology. McGraw-Hill, New York, 1983, pp. 455-505.
- [5] T. SKOTNICKI, "Transistor MOS et sa technologie de fabrication", Techniques de l'Ingénieur, traité Electronique E 2 430, 2000.
- [6] F.M. WANLASS and C.T. SAH, "Nanowatt logic using field-effect metal-oxide-semiconductor triodes", IEEE Solid State Circuits Conf., Philadelphia, 1963, p. 32.
- [7] T. OZHONE, H. SHIMURA, K. TSUJI and T. HIRAO, "Silicon-gate n-well CMOS process by full ion implantation technology", IEEE Transactions on Electron Devices, Vol. ED-27, 1980, p. 1789.
- [8] L.C. PARILLO, R.S. PAYNE, R.E. DAVIS, G.W. REUTLINGER and R.L. FIELD, "Twin-Tub CMOS - A technology for VLSI circuits", IEEE Int. Electron Devices Meet., Washington D.C., 1980, p. 752.
- [9] Y. SAKA, T. HAYASHIDA, N. HASHIMOTO, O. MIMATO, T. MASUHARA, K. NAGASAWA, T. YASUI and N. TANIMURA, "Advanced Hi-CMOS device technology", IEEE Int. Electron Devices Meet., Washington D.C., 1981, p. 534.
- [10] D. B. SCOTT, Y.C. SEE, C.K. LAU and R.D. DAVIS, "Considerations for scaled CMOS sources/drains", IEEE Int. Electron Devices Meet., Washington D.C., 1981, p.539.
- [11] J.N. BURGHARTZ, "BiCMOS process integration and device optimization : Basic concepts and new trends", Electrical Engineering vol. 79, 1996, pp. 313-327.
- [12] L.C. PARILLO, "Process and device characterization for micron and submicron CMOS technology", Dig. IEDM, 1985, pp. 398-402.

- [13] S. OGURA, C. F. CODELLA, N. ROVEDO, J.F. SHEPARD and J. RISEMAN, "A half-micron MOSFET using double-implanted LDD", Dig. IEDM, 1982, pp. 718-721.
- [14] J. CHEN, T.Y. CHAN, I.C. CHEN, P.K. KO and C. HU, "Subbreakdown drain leakage current in MOSFET", IEEE Electron Device Letter, vol. 8, 1987, pp. 515-517.
- [15] J. SCHULTZ and M. BOHR, "A high performance 0,35  $\mu\text{m}$  3,3 V BiCMOS technology optimized for product porting from 0,6  $\mu\text{m}$  3,3 V BiCMOS technology", BCTM, 1995, pp. 43-46.
- [16] B. DAVARI, C.W. KOBURGER, R. SCHULTZ, J.D. WARNOCK, T. FURUKAWA, M. JOST, Y. TAUR, W.G. SCHWITTEK, J.K. DEBROSSE, M.L. KERBAUGH and J.L. MAUER, "A new planarization technique, using a combination of RIE and chemical mechanical polish (CMP)", Dig. IEDM, 1989, pp. 61-64.
- [17] J. ENCINAS, "Circuits intégrés silicium bipolaires", Techniques de l'Ingénieur, traité Electronique E 2 432, 1991.
- [18] J.L. REGOLINI, "Technologie de fabrication de la microélectronique. Filières technologiques", Techniques de l'Ingénieur, traité Electronique E 2 412, 1991.
- [19] E.F. LABUDA and J.T. CLEMENS, "Integrated circuit technology", Encyclopedia of chemical technology, Wiley, 1980.
- [20] J. de PONCHARRAT, "Transistors bipolaires intégrés", Techniques de l'Ingénieur, traité Electronique E 2 427, 1998.
- [21] H.C. LIN, J.C. HO, R.R. IYER and K. KWONG, "CMOS-bipolar transistor structure", IEEE Transactions on Electron Devices 6, 1969, pp. 945-951.
- [22] R.H. HAVEMANN et R.H. EKLUND, "Process integration issues for submicron BiCMOS technology", Journal Solid State Tech. 35, 1992, pp. 71-76.
- [23] H. YOSHIDA, H. SUZUKI, Y. KINOSHITA, K. IMAI, T. AKIMOTO, K. TOKASHIKI and T. YAMAZAKI, "Process integration technology for low process complexity BiCMOS using trench collector sink", Proc. BCTM, 1994, pp. 230-233.
- [24] R. HADDAWAY, P. KEMPF, P. SCHVAN, M. ROWLANDSON, V. HO, J. KOLK, . TAIT, D. SUTHERLAND, G. JOLLY and I. EMESH, "A sub-micron BiCMOS technology for telecommunications", Microel. Eng. 15, 1991, pp. 513-516.

- [25] R. HADDAWAY, T. BROWN, K. HARRIS and R. FOUCAULT, "BiCMOS technology for telecommunications", Proc. BCTM, 1993, pp. 159-166.
- [26] P.G.Y. TSUI, P.V. GILBERT and S.W. SUN, "A versatile half-micron complementary BiCMOS technology for microprocessor-based smart power applications", IEEE Transactions on Electron Devices, Vol. ED-42, 1995, pp. 564-570.
- [27] A. ANDREI, C. CONTIERO and P. GALBIATI, "Multipower BCD 250 V : A versatile technology to realize high performance PICs", Proc. ESSDERC, 1987, pp. 33-36.
- [28] J.S. WITTERS, "A modular BiCMOS technology including 85 V DMOS devices for analog/digital AIC applications", Microel. Eng. 19, 1992, pp. 555-560.
- [29] D. NGUYEN-NGOC, D.L. HARAME, J.C. MALINOWSKI, S.J. JENG, K.T. SCHOENENBERG, M.M. GILBERT, G.D. BERG, S. WU, M. SOYUER, K.A. TALLMAN, K.J. STEIN, R.A. GROVES, S. SUBBANA, D.B. COLAVITO, D.A. SUNDERLAND, and B. MEYERSON, "A 200 mm SiGe-HBT BiCMOS technology for mixed signal applications", Proc. BCTM, 1995, pp. 43-46.
- [30] T. IKEDA, T. NAKASHIMA, S. KUBO, H. JOUBA and M. YAMAWAKI, "A high performance CBiCMOS with novel self-aligned vertical pnp transistors", Proc. BCTM, 1994, pp. 238-241.
- [31] K. HIGASHITANI, H. HONDA, K. UEDA, M. HATANAKA and S. NAGAO, "A novel CBiCMOS technology by DIIP process", Dig. Symp. VLSI Tech., 1990, pp. 77-78.
- [32] S. PARKE, F. ASSADERAGHI, J. CHEN, J. KING, C. HU and P.K. KO, "A versatile SOI BiCMOS technology with complementary lateral BJTs", IEDM, 1992, pp. 453-456.
- [33] D. UEDA, H. TAKAGI and G. KANO, "A New Vertical Power MOSFET Structure with Extremely Reduced On- Resistance", IEEE Transactions on Electron Devices, Vol. 31, n°1, 1984, pp. 2-6.
- [34] D.M. BROWN and B.A. HEATH, "Reactive Ion Beam Etching of SiO<sub>2</sub> and polycrystalline silicon", Journal of Applied Physics Letters, Vol. 37, n°15, 1980, pp. 159-161.
- [35] V. RUMENNIK, "Power device are in the chip", IEEE Spectrum, 1985, pp. 42-48.
- [36] R. PEZZANI and J.B. QUOIRIN, "Functional integration of power devices : A new approach", European Power Electronics (EPE'95), Sevilla, 1995, pp. 2219-2223.

- [37] R. PEZZANI, E. BERNIER, and C. BALLON, "A methodology for the functional power integration. Example, the evolution of the solid state protection in the TELECOM area", European Power Electronics (EPE'97), Trondheim, 1997, pp. 1296-1301.
- [38] J.L. SANCHEZ, P. AUSTIN, R. BERRIANE and M. MARMOUGET, "Trends in design and technology for new power integrated devices based on functional integration", European Power Electronic (EPE'97), Trondheim, 1997, pp. 1302-1307.
- [39] R. PEZZANI, "Monolithic semiconductor switch and supply circuit component", Patent Number : 5 883 401, 1996.
- [40] R. PEZZANI, "Three-state monolithic static switch", Patent Number : 5 883 500, 1997.
- [41] R. PEZZANI and E. BERNIER, "Programmable protection circuit and its monolithic manufacturing", Patent Number : RE 35 854, 1995.
- [42] R. PEZZANI, "Thyristor control switch for a bidirectional motor", Patent Number : 5 889 374, 1997.
- [43] B. J. BALIGA, "Enhancement - and depletion - mode vertical - channel MOS gated thyristors", Electronics Letters Vol. 15, n°20, 1979.
- [44] A. JAECKLIN, "A N FET-Driven power thyristor", IEEE Transactions on Electron. Devices, Vol. ED-34, n°5, 1987.
- [45] D. DAREES, "Contribution à l'étude d'associations monolithiques de composants MOS et bipolaires : le thyristor à gachette isolée", Thèse de Docteur Ingénieur INSA Toulouse, n° 159, Toulouse, Février 1986.
- [46] J-L. SANCHEZ et P. LETURCQ, "Thyristor à gachette isolée planar haute tension (1400 volts) : un exemple d'interrupteur intégré de puissance", Electronique de Puissance du Futur (EPF'90), Toulouse, 1990.
- [47] B-J. BALIGA, "The MOS-gated emitter switched thyristor", IEEE Electron Device Lett., Vol. EDL-11, 1990, pp. 75-77.
- [48] K. LILJA and T. STOCKMEIER, "The FIBS, a new high voltage BiMOS switch", International Symposium on Power Semiconductor Devices and ICs (ISPSD'92), Tokyo, 1992, pp. 261-265.



- [49] V.A.K. TEMPLE, "MOS controlled thyristor - A new class of power devices", IEEE Transactions on Electron. Devices, Vol. 33, n°10, 1986.
- [50] F. BAUER, "Design aspects of MOS-Controlled thyristor elements : Technology, simulation and experimental results", IEEE Transactions on Electron. Devices, Vol. 38, n°7, 1991.
- [51] M. STOISIEK, K.G. OPPERMAN and R. STENGL, "A 400 A / 2000 V MOS-GTO with improved cell design", IEEE Transactions on Electron. Devices, Vol. 39, n°7, 1992.
- [52] S.D. ARTHUR and V.A.K. TEMPLE, "Special 1400 volt N-MCT designed for surge applications", European Power Electronics (EPE'93), Brighton, 1993, pp. 266-271.
- [53] M. BREIL, "Etude d'associations MOS-Thyristor autoamorçables et blocables. Exemple d'intégration de la fonction thyristor dual", Thèse de doctorat de l'Institut National des Sciences Appliquées, Toulouse, Janvier 1998.
- [54] J.P. LAUR, J.L. SANCHEZ, M. MARMOUGET, P. AUSTIN, J. JALADE, M. BREIL and M. ROY, "A new circuit-breaker integrated device for protection applications", International Symposium on Power Semiconductor Devices and ICs (ISPSD'99), Toronto, 1999, pp. 315-318.
- [55] O. CAUSSE, "Contribution à l'amélioration de la fonctionnalité et des performances de l'IGBT", Thèse de doctorat de l'Université Paul-Sabatier, Toulouse, Juin 2001.
- [56] O. CAUSSE, P. AUSTIN, J.L. SANCHEZ, G. BONNET and E. SCHEID, "Achievement of a new peripheral planar structure supporting a symmetrical blocking voltage", European Power Electronics (EPE'01), Graz, 2001.
- [57] J.M. DILHAC, L. CORNIBERT, B. MORILLON, S. ROUX and C. GANNIBAL, "Industrial relevance of deep junctions produced by rapid thermal processing for power integrated devices", International Symposium on Power Semiconductor Devices and ICs (ISPSD'99), Toronto, 1999, pp. 237-240.
- [58] B. MORILLON, "Etude de la thermomigration de l'aluminium dans le silicium pour la réalisation industrielle de murs d'isolation dans les composants de puissance bidirectionnels", Thèse de doctorat de l'Institut National des Sciences Appliquées, Toulouse, Juillet 2002.

- [59] M. MINO, T. YACHI, A. TAGO, K. YANAGISAWA and K. SAKAKIBARA, "A new planar microtransformer for use in micro switching converters", IEEE Transaction on magnetic, Vol. 28, n° 4, July 1992.
- [60] S. SUGAHHARA, M. EDO, T. SATO and K. YAMASAWA, "The optimum chip size of a thin film reactor for a high-efficiency operation of a micro DC-DC converter", Proceeding of the Power Electronic Specialists Conference (PESC'98), pp. 1499-1503.
- [61] C.R. SULLIVAN and S.R.SANDERS, "Measured performance of a High-Power Density Microfabricated transformer in a DC-DC Converter", Proceeding of the Power Electronic Specialists Conference (PESC'96), pp. 1499-1503.
- [62] H. HAKIM, "Intégration de composants passifs sur silicium", Thèse de doctorat de l'Institut National des Sciences Appliquées, Toulouse, Juillet 2001.
- [63] H. HAKIM, J.P. LAUR, J.L. SANCHEZ, E. SCHEID and P. DUBREUIL, "Nonlinear capacitors integration", European Power Electronics (EPE'01), Graz, 2001.

## **II. PRESENTATION ET OPTIMISATION DE LA FILIERE TECHNOLOGIQUE FLEXIBLE**



## INTRODUCTION

Nous présentons, dans ce chapitre, l'optimisation de la filière flexible adaptée à la réalisation de fonctions de puissance intégrées, basées sur le mode d'intégration fonctionnelle.

Après avoir décrit les étapes de base correspondant à une filière technologique de type IGBT nous optimiserons les différentes "briques" technologiques spécifiques nécessaires à la réalisation de fonctions de puissance complexes. Une des étapes spécifiques importante concerne la réalisation de structures MOS à canaux préformés. Ainsi nous nous baserons sur des structures de tests de type MOS pour développer cette brique technologique.

Cette optimisation va s'appuyer sur la confrontation des résultats de simulation 2D avec les résultats expérimentaux, tant sur le plan des caractéristiques physiques (profils de dopage), que sur celui des caractéristiques électriques (tension de seuil des MOS). Nous avons utilisé les logiciels ATHENA pour déterminer les profils de dopage, et ATLAS afin d'obtenir les caractéristiques électriques des transistors MOS. Nous avons ensuite réalisé les 4 types de MOS autoalignés ; à savoir canaux N et P, à enrichissement et à canaux préformés, pour valider les caractéristiques électriques. Les différents essais d'implantation et de diffusions réalisées sur des plaquettes témoins avec différents paramètres (dose et énergie d'implantation, temps de redistribution) permettront également de valider les profils de dopage par rapport aux simulations effectuées.

### **II.1. Objectifs de la filière**

Le principal objectif de cette filière est de pouvoir développer des fonctions de puissance complexes à partir d'un seul et même processus technologique.

Ce processus est basé sur un enchaînement d'étapes de base qui correspond à la réalisation d'une structure de type IGBT qui constitue le cœur de notre filière. Ces étapes vont être définies et optimisées en vue de pouvoir y inclure des étapes spécifiques qui permettront de réaliser de nouvelles fonctionnalités sans modifier les caractéristiques électriques des composants de base.

### **II.2. Optimisation des étapes de base (filière IGBT autoaligné)**

Dans un premier temps, nous nous proposons d'optimiser les étapes technologiques correspondant à un processus autoaligné dont les canaux des transistors MOS sont obtenus par double diffusion. Comme pour tous les composants de puissance, les réalisations de

terminaisons de jonction et la matérialisation de la région d'anode face arrière seront considérées comme des étapes de base placées en début du procédé de fabrication.

Le principe de cette filière autoalignée, décrit sur la Figure 1, consiste à aligner les caissons P et les cathodes N<sup>+</sup> par rapport à la grille. Cette technique, développée à l'origine pour les circuits intégrés NMOS et CMOS, et transposée ensuite aux structures de puissance VDMOS, nous permet de nous affranchir de problèmes d'alignement de masques, et d'avoir des longueurs de canaux identiques sur tous les dispositifs réalisés.

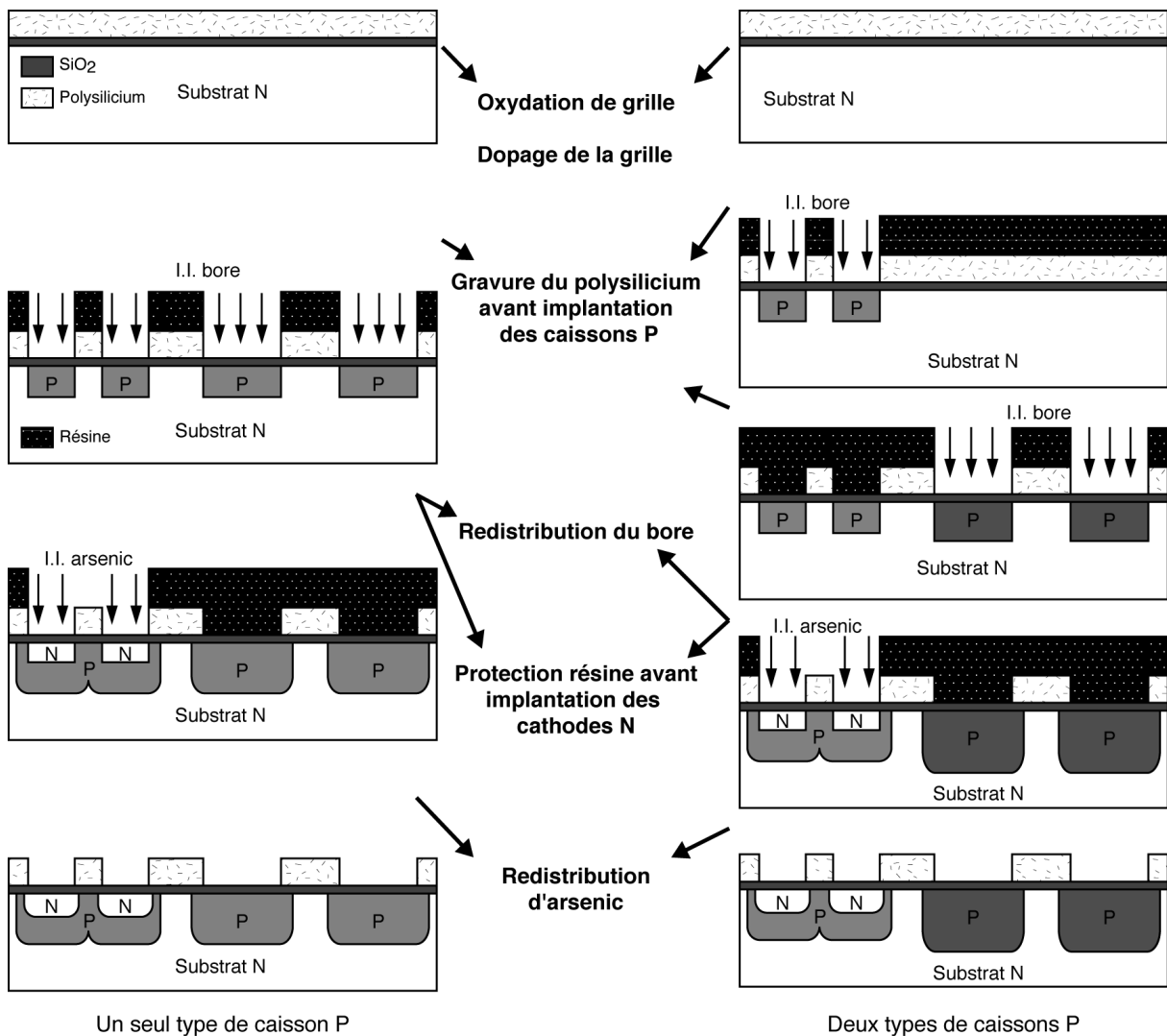


Figure 1 : Principe du processus technologique autoaligné.

### II.2.1. Enchaînement des étapes de base

L'enchaînement des étapes de base, correspondant à la réalisation d'une structure de type IGBT avec grille en polysilicium, basée sur le principe d'auto-alignement conduit à

réaliser la grille en début de processus technologique avant toutes les étapes d'implantation ionique et de redistribution thermique.

Les briques technologiques de base s'enchaînent donc de la manière suivante :

- Terminaison de jonction
- Anode face arrière
- Grille en polysilicium dopé N
- Caissons P
- Caisson P<sup>+</sup>
- Cathodes N<sup>+</sup>
- Ouverture contacts et métallisation

Il est à noter qu'en plus des étapes de réalisation des terminaisons de jonction et d'anodes le processus technologique permettant de réaliser un IGBT correspond à la matérialisation d'une grille MOS, d'une région P<sup>+</sup>, d'un caisson P et d'une région N<sup>+</sup> à l'intérieur du caisson P. Outre le composant de puissance de base (IGBT), ces étapes permettent donc de réaliser d'une part, des transistors MOS canaux P matérialisés par une grille et des régions P de sources et de drains dans le substrat N et d'autre part, des transistors MOS canaux N matérialisés par une grille et des régions N<sup>+</sup> de sources et de drains dans un caisson P qui joue le rôle de substrat. Cette configuration est identique à celle des circuits CMOS basées sur des transistors MOS canal N et canal P. Nous verrons dans le chapitre suivant que certaines fonctions, basées sur un élément de puissance de type IGBT, ou MOS-thyristor, utilisent ainsi des transistors MOS canaux N ou P pour compléter la fonctionnalité. Ces dispositifs constituent donc des éléments essentiels permettant d'optimiser et de caractériser la filière.

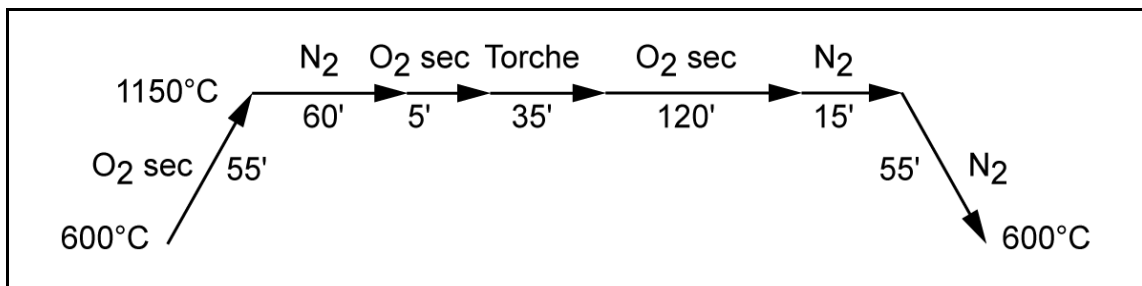
### **II.2.2. Description et optimisation des étapes de base**

Nous présentons dans ce paragraphe l'optimisation des étapes de base du processus technologique permettant de réaliser un élément de puissance de type IGBT. Nous nous intéresserons plus particulièrement aux briques principales permettant la réalisation de transistors NMOS et PMOS à savoir la grille en polysilicium, les caissons P et les cathodes N<sup>+</sup>. Pour cela, nous avons simulé le processus technologique complet de transistors NMOS et PMOS à l'aide du logiciel bidimensionnel ATHENA. L'optimisation des étapes thermiques et

des doses d'implantation pour la réalisation des caissons P et N<sup>+</sup> a été déduite du résultat final de ces simulations.

### II.2.2.1. Terminaison de jonction

Nous avons choisi pour cette filière des terminaisons de jonctions de type JTE optimisées précédemment au LAAS, pour des tenues en tension situées dans la gamme 600-1200 V. Ces terminaisons de jonction sont réalisées en périphérie des dispositifs par implantation ionique de bore avec une faible dose. Le caisson P, ainsi réalisé, est ensuite redistribué sous ambiance oxydante. L'implantation de bore se fait avec une énergie de 50 keV et une dose de  $2,5 \cdot 10^{12} \text{ cm}^{-2}$ . L'oxyde de champ alors créé présente une épaisseur d'environ 6400 Å. Les doses et énergies d'implantation sont choisies pour obtenir en fin de processus de fabrication une dose active dans le silicium de  $1,3 \cdot 10^{12} \text{ cm}^{-2}$  correspondant à la tenue en tension maximale.



*Etape de redistribution du P.*

### II.2.2.2. Anode P<sup>+</sup> face arrière

Les anodes P<sup>+</sup> sont réalisées par implantation ionique de bore sur la face arrière sans autoalignement par rapport à la grille. Cette étape a été optimisée en fonction des résultats obtenus lors de la réalisation de dispositifs avec la filière précédente [1]. L'énergie d'implantation est de 100 keV, et la dose de  $1 \cdot 10^{16} \text{ cm}^{-2}$ . La Figure 2 illustre le profil de dopage du bore sur la face arrière à la fin du processus de fabrication après toutes les étapes thermiques. La concentration en surface est de  $3 \cdot 10^{19} \text{ cm}^{-3}$  pour une profondeur de jonction de 7,2 µm. Ces valeurs sont issues d'un premier compromis permettant de réaliser des thyristors et des IGBT.



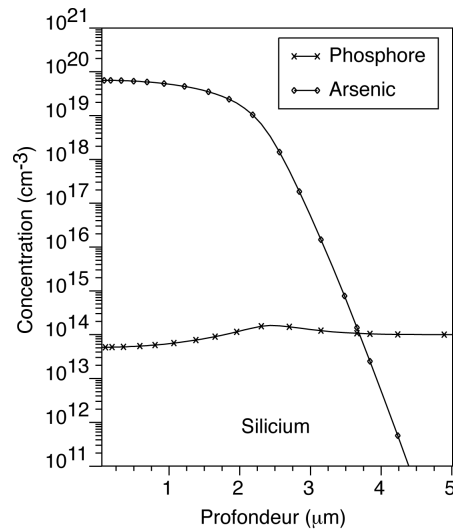


Figure 2 : Profil de dopage simulé de l'anode  $P^+$  face arrière.

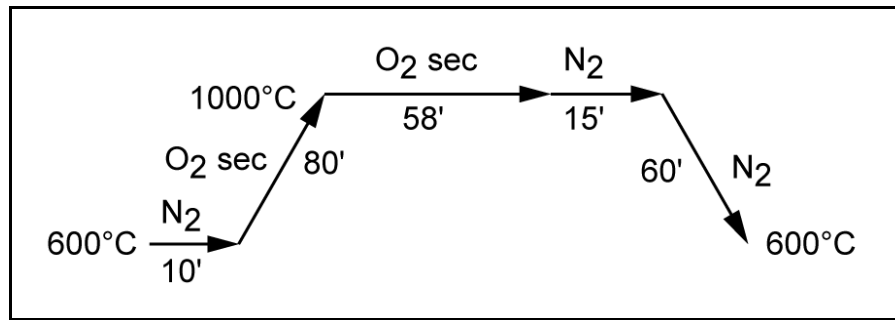
### II.2.2.3. Grille en polysilicium

La réalisation de la grille en polysilicium est un des points critiques de la filière. En effet, celle-ci va déterminer notamment les paramètres électriques (tensions de seuil, résistance à l'état passant) des structures MOS. Afin d'obtenir un auto-alignement des régions de sources et de drains par rapport à la grille, il est nécessaire de réaliser cette dernière au début du procédé de fabrication. De fait cette grille va subir l'ensemble des étapes technologiques de la filière complète.

Les deux paramètres les plus importants dans la réalisation de la grille en polysilicium sont d'une part, l'épaisseur de l'oxyde de grille et d'autre part, le dopage du polysilicium déposé.

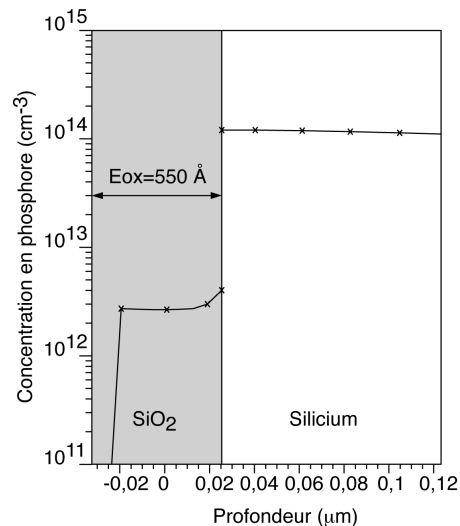
#### II.2.2.3.1. Oxyde de grille

L'oxyde de grille des dispositifs MOS est réalisé par oxydation thermique du silicium. Le profil thermique de cette étape a été optimisé à la centrale de technologie du LAAS. Le seul paramètre sur lequel on peut jouer est le temps du plateau sous oxygène sec. C'est ce temps qui va nous donner l'épaisseur de l'oxyde désirée qui est, pour notre filière, de 550 Å. Le résultat de la simulation nous a donné un temps de 58 minutes.



*Croissance de l'oxyde de grille.*

Les dix minutes à 600°C sous azote après l'enfournement permettent d'uniformiser la température du four ainsi que la répartition des gaz, en vue d'obtenir une épaisseur d'oxyde la plus homogène possible (plus ou moins quelques dizaines d'angströms) sur chaque plaquette et également sur l'ensemble des plaquettes introduites dans le four.



*Figure 3 : Epaisseur d'oxyde de grille (simulation 1D).*

### **II.2.2.3.2. Dopage du polysilicium**

Le dopage du polysilicium de type N peut se faire, soit par une implantation ionique d'atomes d'arsenic ou de phosphore, soit par diffusion de phosphore.

Nous avons choisi de travailler avec la deuxième solution qui a été adoptée depuis plusieurs années à la centrale de technologie du laboratoire car sa mise en œuvre est plus simple. Etant donné que la grille doit subir toutes les étapes de redistribution, il aurait été nécessaire, dans le cas d'une implantation ionique d'arsenic ou de phosphore de déposer une couche de nitrure afin d'éviter l'exodiffusion de l'arsenic ou du phosphore. En revanche, lors

de la diffusion de phosphore, qui se déroule sous ambiance oxydante, la couche d'oxyde créée naturellement permet d'éviter cette exodiffusion des atomes de phosphore.

Néanmoins, il faut s'assurer que le phosphore ne traverse pas la couche d'oxyde de grille à la suite de toutes les étapes de recuit du processus technologique. La simulation bidimensionnelle du dopage du polysilicium que nous avons effectué ne nous a pas donné de résultats probants car les modèles de diffusion d'impuretés dans le polysilicium ne sont pas optimisés ou du moins ne prennent pas en compte les caractéristiques des matériaux élaborés (notamment la grosseur des grains qui sont fonction de la température d'élaboration).

Nous avons eu recours à une analyse expérimentale, et nous avons réalisé des profils de dopage par sonde ionique ou SIMS (Spectroscopie de Masse d'Ions Secondaires) à partir de plaquettes témoins qui ont subi le bilan thermique du processus technologique complet. Les résultats de ces profils seront présentés dans le paragraphe II.5.3.1.

#### **II.2.2.4. Réalisation des caissons P**

Les caissons P, réalisés par implantation ionique de bore en utilisant la région de polysilicium de grille comme autoalignement vont matérialiser les sources et drains de transistors PMOS, les bases des thyristors et des IGBT et les substrats des transistors NMOS. Il est à noter qu'une couche de protection résine recouvre le polysilicium de grille lors de cette étape technologique. De plus, une étape supplémentaire peut être ajoutée afin de différencier éventuellement les caissons P des thyristors de ceux des IGBT de façon à avoir une région présentant des performances supérieures en terme d'injection dans le cas du thyristor ; Chaque caisson est réalisé avec une dose et une énergie adaptées aux caractéristiques attendues. L'utilisation de la grille pour effectuer un autoalignement conduit à l'obtention d'une région de canal présentant un dopage variable entre source et drains des transistors NMOS (Figure 7). Afin d'obtenir un recouvrement de ces caissons P sous la grille, en fonction de la profondeur prévue pour les caissons P, la longueur de grille ne doit pas excéder 4  $\mu\text{m}$ . La simulation des transistors PMOS (Figure 4) nous donne les concentrations en surface et les profondeurs de jonctions des régions P et la simulation des transistors NMOS (Figure 5) la concentration en surface dans le canal.

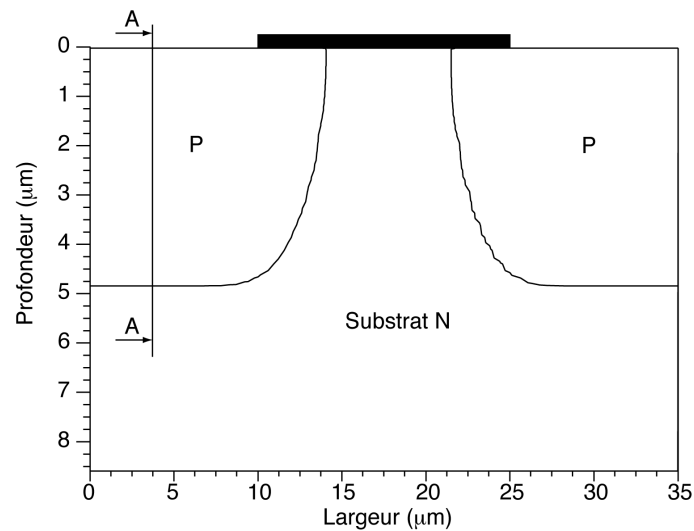


Figure 4 : Coupe d'une structure PMOS (Simulation 2D Athena).

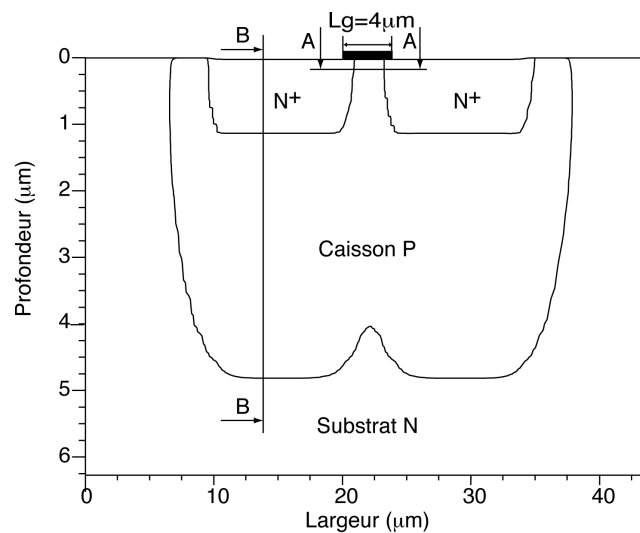
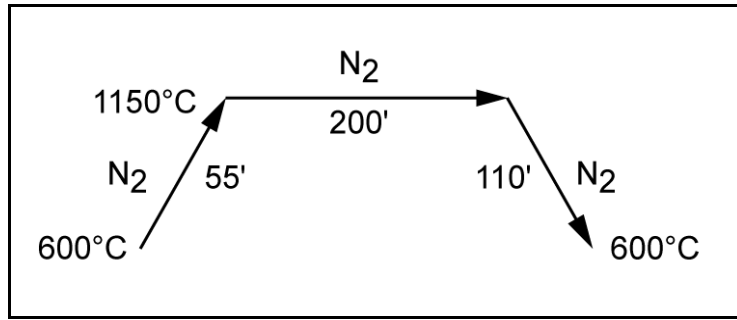


Figure 5 : Coupe d'une structure NMOS (Simulation 2D Athena).

Nous avons simulé les étapes technologiques relatives à ces caissons P en choisissant une énergie de 50 keV et des doses de  $1.10^{14} \text{ cm}^{-2}$  et  $2.10^{14} \text{ cm}^{-2}$ . Ces deux doses permettent de recouvrir la gamme de caractéristiques technologiques et électriques voulues pour l'optimisation des dispositifs de puissance intégrés. Le temps de redistribution est calculé pour obtenir une profondeur de jonction finale d'environ 5  $\mu\text{m}$  en prenant en compte les étapes thermiques suivantes dans le processus de fabrication, telles que la redistribution des caissons  $\text{N}^+$  à 1150 °C et également, mais à moindre échelle, des étapes de passivation (750°C) et de redistribution des canaux préformés (950 °C). Pour satisfaire à ces conditions nous devons choisir un temps de redistribution de 200 minutes à 1150 °C.



Etape de redistribution des caissons P.

A l'issu du bilan thermique complet, nous obtenons une concentration en surface de  $6.10^{17} \text{ cm}^{-3}$  et une profondeur de jonction de  $4,8 \mu\text{m}$  pour une dose implantée de  $1.10^{14} \text{ cm}^{-2}$  (Figure 6a) et  $1,5.10^{18} \text{ cm}^{-3}$  et  $5,1 \mu\text{m}$  de profondeur pour une dose de  $2.10^{14} \text{ cm}^{-2}$  (Figure 6b). Dans ces conditions, la concentration en surface maximale sous la grille est de  $1.10^{17} \text{ cm}^{-3}$  (Figure 7a) pour une dose implantée de  $1.10^{14} \text{ cm}^{-2}$ , et de  $2,5.10^{17} \text{ cm}^{-3}$  pour une dose de  $2.10^{14} \text{ cm}^{-2}$  (Figure 7b).

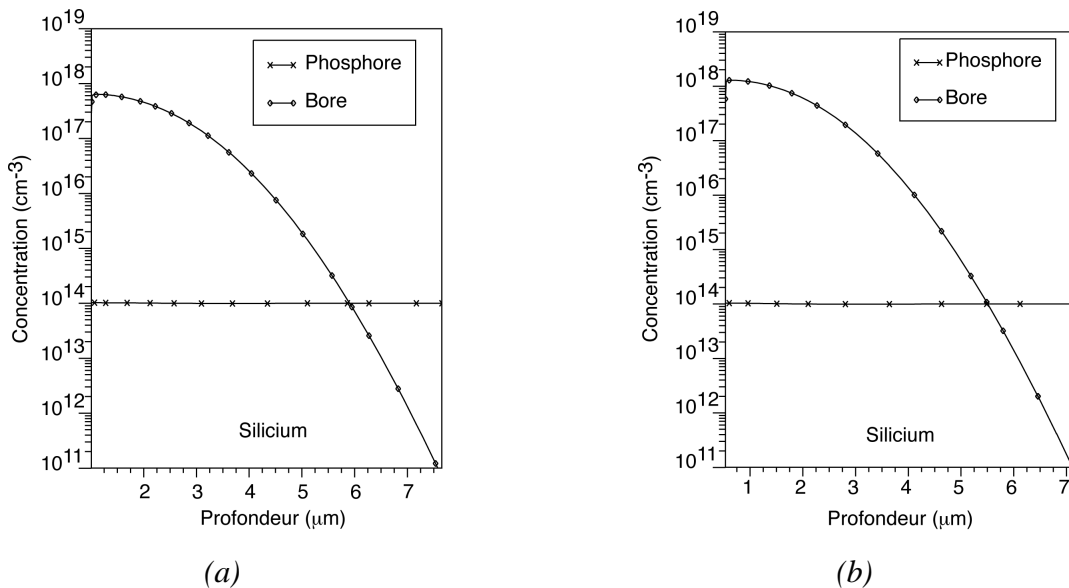


Figure 6 : Coupe A-A de la figure 4, profil de la concentration finale en bore des caissons P pour des doses implantées de  $1.10^{14} \text{ cm}^{-2}$  (a) et  $2.10^{14} \text{ cm}^{-2}$  (b) à 50 keV.

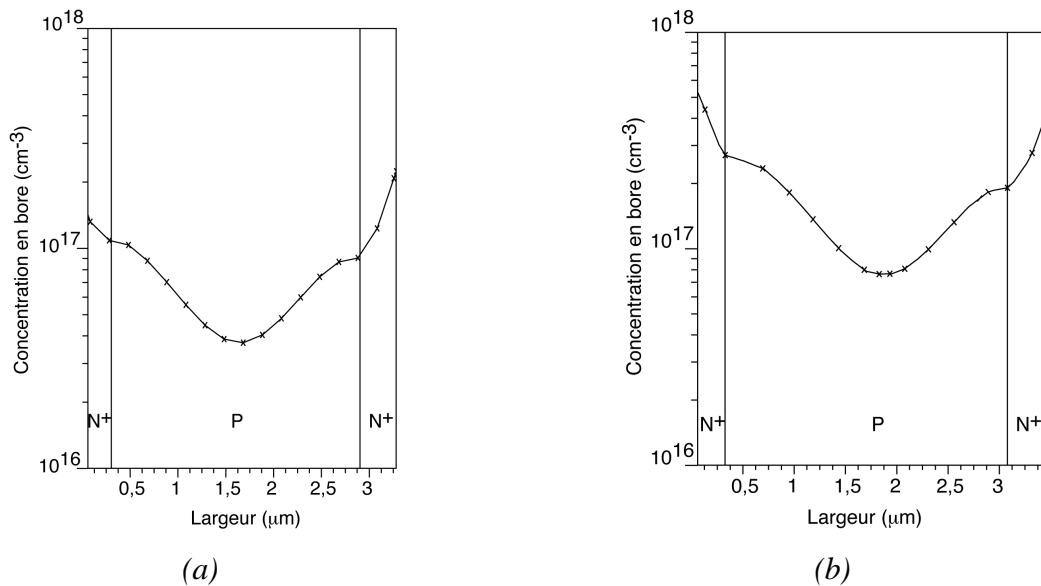


Figure 7 : Coupe A-A de la figure 5, profil latéral de la concentration finale en surface de bore sous la grille pour des doses implantées de  $1.10^{14} \text{ cm}^{-2}$  (a) et  $2.10^{14} \text{ cm}^{-2}$  (b).

### II.2.2.5. Réalisation des caissons P<sup>+</sup>

Les régions P<sup>+</sup> seront utilisées pour matérialiser les courts-circuits des dispositifs IGBT et MOS-Thyristor mais également les cathodes des diodes antiparallèles et les prises de contacts substrats des transistors MOS de type N. De même que pour la terminaison P<sup>+</sup>, cette étape ne nécessite pas d'optimisation particulière par rapport aux précédentes filières développées au laboratoire. Ces caissons sont réalisés par implantation ionique de bore avec une dose de  $1.10^{16} \text{ cm}^{-2}$  et une énergie de 50 keV. La redistribution du P<sup>+</sup> est commune avec la redistribution des caissons P. Le profil de dopage du caisson P<sup>+</sup> après toutes les redistributions thermiques obtenu à partir d'une simulation 1D est représenté sur la Figure 8. Nous voyons que la concentration en surface de bore est de  $3.10^{19} \text{ cm}^{-3}$  et que la profondeur de la jonction est d'environ 7,1 μm.

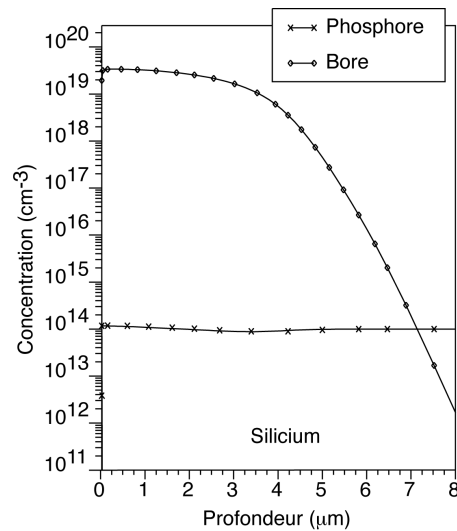
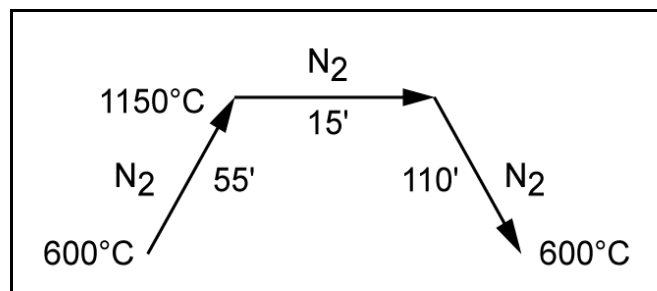


Figure 8 : Profil de dopage du caisson P<sup>+</sup>.

### II.2.2.6. Réalisation des régions N<sup>+</sup>

Les régions N<sup>+</sup> matérialiseront les cathodes des dispositifs thyristor et IGBT ainsi que les zones de sources et de drains des transistors NMOS.

Ces régions sont réalisées par implantation ionique d'arsenic et utilisent la protection de la région de grille pour assurer l'autoalignement. Afin d'obtenir les caractéristiques technologiques permettant l'optimisation de fonctions de puissance intégrées, vues au chapitre précédent, c'est-à-dire une profondeur de jonction de l'ordre de 1 μm et une concentration en surface d'environ 10<sup>20</sup> cm<sup>-3</sup>, la dose à implanter est de 10<sup>16</sup> cm<sup>-2</sup> et l'énergie de 100 keV (Figure 9). L'étape thermique de redistribution de la cathode N<sup>+</sup> donnée par la simulation est la suivante :



Etape de redistribution des cathodes N<sup>+</sup>.

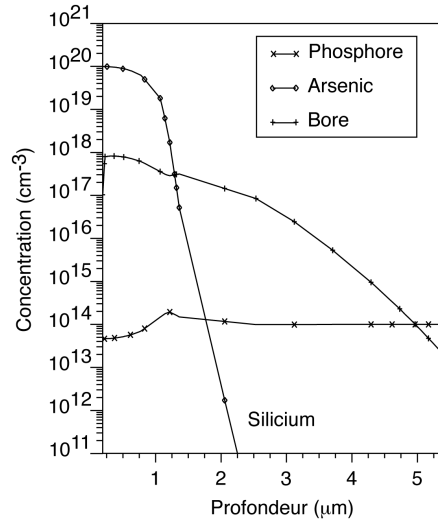


Figure 9 : Coupe B-B de la figure 5 (p. 76), profil de la concentration en arsenic dans un caisson P de concentration en surface  $6.10^{17}$  at/cm<sup>3</sup>.

### II.3. "Structure" de la filière complète

Après avoir défini l'enchaînement des étapes de base dans le paragraphe précédent, nous devons positionner les principales étapes spécifiques de manière à pouvoir réaliser des fonctions de puissance complexes sans altérer le bilan thermique final du processus technologique. La Figure 10 représente l'enchaînement des étapes technologiques de base et spécifiques de la filière complète. Les étapes de base permettant la réalisation de dispositifs IGBT ou MOS-thyristors correspondent aux rectangles gris foncé. Les terminaisons de jonction symétriques en tension, créées par gravure profonde du silicium puis par un dépôt de polysilicium fortement dopé bore suivi d'une longue étape de redistribution thermique, sont réalisées en début de processus technologique afin de ne pas perturber la suite du procédé. De même, les implantations N<sup>+</sup> face arrière matérialisant les cathodes des diodes anti-parallèles sont réalisées dans le même temps que les anodes P<sup>+</sup> face arrière pour faciliter la suite du processus technologique. Un autre caisson P est prévu pour permettre de différencier éventuellement les régions P des thyristors de celles des IGBT ou bien de pouvoir disposer de transistors NMOS avec des tensions de seuil différentes. Celui-ci subira les mêmes étapes thermiques que le caisson de base, seule la dose et l'énergie d'implantation différeront. Les canaux préformés N et P ainsi que l'anode P<sup>+</sup> semi-transparente face arrière sont réalisés après toutes les étapes de redistribution à 1150 °C de façon à avoir des profondeurs de canaux faibles afin de minimiser les courants de fuite et d'obtenir de faibles valeurs de tension de seuil.



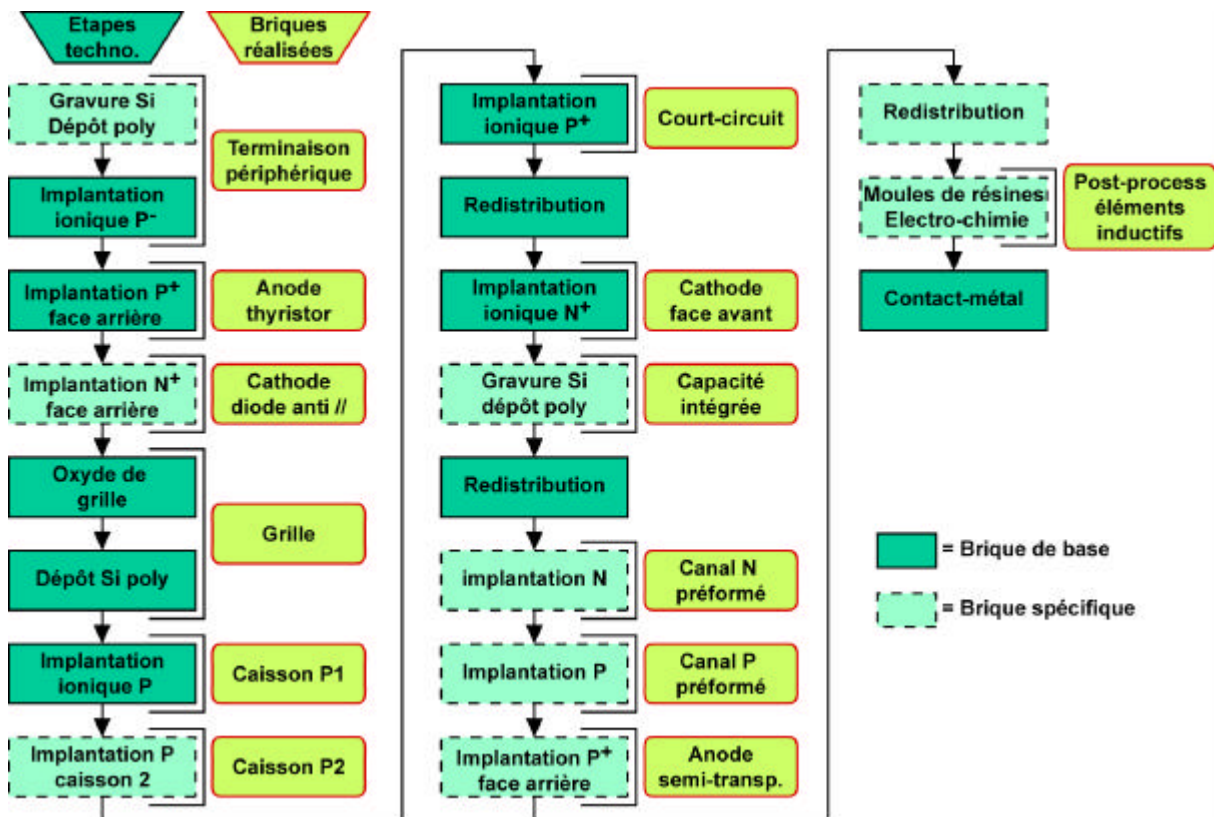


Figure 10 : Enchaînement des étapes technologiques de la filière complète.

Dans un premier temps, nous allons présenter l'optimisation des étapes d'implantation ionique à travers la grille en polysilicium permettant la réalisation des transistors MOS à canaux préformés. Les résultats obtenus permettront de valider une partie de la filière flexible. Ensuite nous nous intéresserons à l'optimisation d'étapes spécifiques telles que les gravures profondes afin de réaliser des dispositifs symétriques en tension et des implantations  $P^+$  face arrière pour réaliser des anodes dites semi-transparentes nécessaires à la réalisation d'IGBT rapides.

#### **II.4. Optimisation des étapes d'implantation ionique à travers les régions de grille pour matérialiser les canaux préformés**

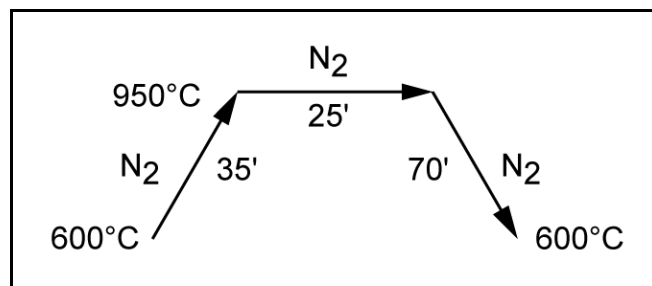
Les canaux préformés de type N permettent de réaliser des dispositifs MOS autoamorçables que l'on retrouve lors de l'intégration de la fonction thyristor dual, et les canaux préformés de type P entrent dans la réalisation de la fonction micro-disjoncteur.

Le processus autoaligné implique, pour la réalisation des canaux préformés, une implantation ionique des atomes dopants à travers la région de grille [2, 3, 4] comprenant trois

couches successives :

- Une couche d'oxyde, d'environ 500 Å, créée lors du dopage du polysilicium
- Une couche de polysilicium de 3000 Å
- Une couche d'oxyde de grille de 550 Å.

Les atomes à implanter doivent avoir une masse atomique la plus petite possible pour pouvoir traverser ces trois couches avec une énergie d'implantation ne dépassant pas les 200 keV (énergie limite de l'implanteur que nous avons à notre disposition au laboratoire). Ainsi, nous avons choisi le phosphore et le bore pour réaliser respectivement les canaux N et P. Ces atomes implantés seront ensuite redistribués pendant 25 minutes à 950 °C.



*Redistribution de canaux préformés.*

#### **II.4.1. Simulations bidimensionnelles**

Pour optimiser cette étape technologique nous nous appuyerons sur les simulations du processus technologique suivi de simulation électrique. Les premières permettant de définir la dose d'ions implantée dans le silicium en fonction de la dose et de l'énergie d'implantation, la seconde permettant de déterminer la tension de seuil correspondante. Nous adapterons cette approche pour les transistors MOS canaux N et MOS canaux P.

##### **II.4.1.1. Transistors PMOS à canaux préformés**

Une première analyse nous a conduit à étudier les caractéristiques physiques et électriques des transistors PMOS à canaux préformés pour des énergies de 120 et 130 keV et des doses variant de  $1.10^{12}$  à  $3,5.10^{12}$   $\text{cm}^{-2}$ .

La Figure 11 montre la vue en coupe d'une structure PMOS à canal préformé réalisé avec une épaisseur de polysilicium de 3000 Å et des énergies et doses d'implantation de 120

keV et  $2.10^{12} \text{ cm}^{-2}$ . La coupe A-A de cette structure (Figure 12) représente le profil de dopage du bore dans le canal.

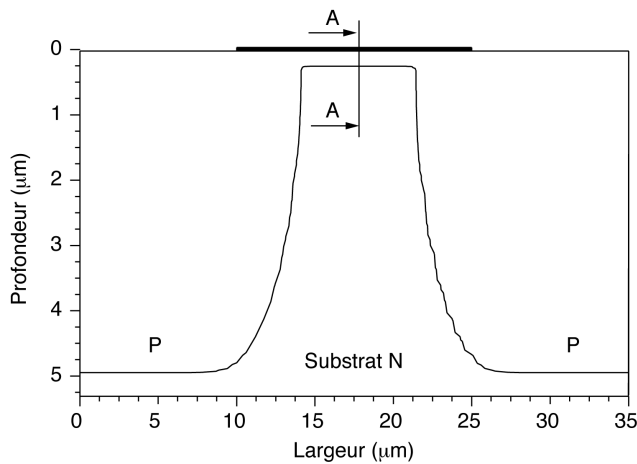


Figure 11 : Coupe de la structure PMOS à canal préformé ( $E=120 \text{ keV}$  ;  $Dose=2.10^{12} \text{ cm}^{-2}$  ;  $e_{poly}=3000 \text{ \AA}$ ).

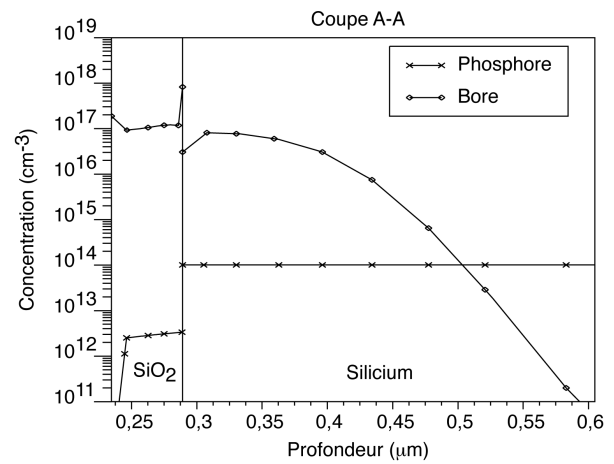


Figure 12 : Profil de dopage du PMOS à canal préformé.

Nous avons reporté dans le tableau suivant les profondeurs de jonctions et les doses de bore dans le canal en fonction des énergies et doses d'implantations.

Energie d'implantation (keV)	120				130
	Dose de bore implantée ( $\text{cm}^{-2}$ )	$2.10^{12}$	$2,5.10^{12}$	$3.10^{12}$	$3,5.10^{12}$
Dose de bore dans le canal ( $\text{cm}^{-2}$ )	$7,4.10^{11}$	$9,7.10^{11}$	$1,1.10^{12}$	$1,35.10^{12}$	$5,1.10^{11}$
Profondeur de jonction (mm)	0,231	0,232	0,233	0,236	0,243
Concentration en surface de bore ( $\text{cm}^{-3}$ )	$9.10^{16}$	$1.10^{17}$	$1,2.10^{17}$	$1,4.10^{17}$	$4.10^{16}$
% de bore dans le canal	37	39	37	38	51

Tableau 1 : Caractéristiques technologiques des transistors PMOS à canaux préformés simulés pour une épaisseur de polysilicium de  $3000 \text{ \AA}$ .

Nous pouvons remarquer que le bore traverse bien la grille en polysilicium, pour une énergie d'implantation de 120 keV, car plus de 37 % de la dose implantée se retrouve dans le canal.

À partir des résultats de ces simulations technologiques, nous avons réalisé les simulations électriques de ces composants. Les résultats sont reportés sur la Figure 13 et dans le Tableau 2.

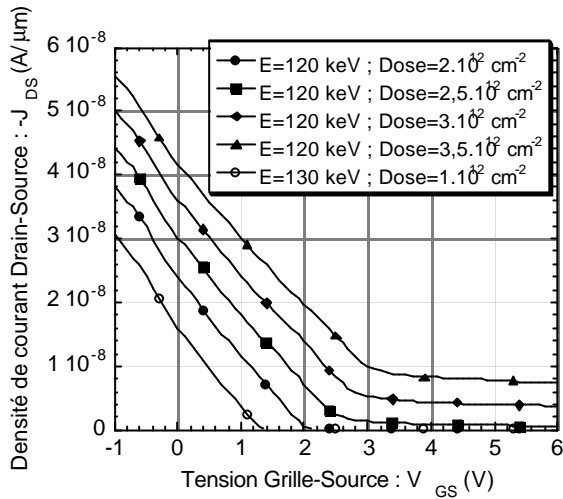


Figure 13 : Caractéristique de transfert  $-J_{DS}(V_{GS})$  simulées des transistors PMOS à canaux préformés

Energie d'implantation (keV)	Dose implantée (cm <sup>-2</sup> )	Vt (V)	Courant de fuite (A/mm)
120	2.10 <sup>12</sup>	2	2,2.10 <sup>-12</sup>
	2,5.10 <sup>12</sup>	2,6	4,2.10 <sup>-10</sup>
	3.10 <sup>12</sup>	2,9	3,4.10 <sup>-9</sup>
	3,5.10 <sup>12</sup>	3,2	7,2.10 <sup>-9</sup>
130	1.10 <sup>12</sup>	1,3	5,8.10 <sup>-14</sup>

Tableau 2 : Caractéristiques électriques simulées des transistors PMOS à canaux préformés.

Rmq : Le courant de fuite est pris pour une tension  $V_{GS}$  de 8 V.

Nous obtenons des valeurs de tensions de seuil comprises entre 1,3 et 3,2 V. Il apparaît que les courants de fuite augmentent avec les tensions de seuil. Ainsi pour conserver un fonctionnement normal (sans courant de fuite élevé) il n'est pas possible d'atteindre des tensions de seuil supérieures à 4 V.

En parallèle à ces simulations, nous avons réalisé des échantillons tests sur lesquels nous avons mesuré l'épaisseur de la couche du polysilicium déposé après son dopage. Nous avons remarqué que, si l'épaisseur d'oxyde formé était bien d'environ 500 Å, l'épaisseur de polysilicium n'était plus que de 2400 Å. Ce résultat sera plus amplement détaillé dans le paragraphe II.5.3.1.1. Afin d'évaluer l'influence de cette épaisseur sur les caractéristiques physiques et électriques finales nous avons refait des simulations avec une épaisseur de polysilicium de 2400 Å sans modifier les doses et énergies d'implantation définies auparavant.

Energie d'implantation (keV)	120				130
Dose de bore implantée (cm <sup>-2</sup> )	2.10 <sup>12</sup>	2,5.10 <sup>12</sup>	3.10 <sup>12</sup>	3,5.10 <sup>12</sup>	1.10 <sup>12</sup>
Dose de bore dans le canal (cm <sup>-2</sup> )	1,3.10 <sup>12</sup>	1,6.10 <sup>12</sup>	2.10 <sup>12</sup>	2,3.10 <sup>12</sup>	7,5.10 <sup>11</sup>
Profondeur de jonction (mm)	0,293	0,293	0,293	0,296	0,304
Concentration en surface de bore (cm <sup>-3</sup> )	9,8.10 <sup>16</sup>	1,2.10 <sup>17</sup>	1,5.10 <sup>17</sup>	1,7.10 <sup>17</sup>	4,5.10 <sup>16</sup>
% de bore dans le canal	65	64	66	66	75

Tableau 3 : Caractéristiques technologiques des transistors PMOS à canaux préformés simulés pour une épaisseur de polysilicium de 2400 Å.

Les caractéristiques technologiques issues des résultats de ces simulations sont reportées dans le Tableau 3.

Nous pouvons remarquer, tout à fait logiquement, que les doses de bore retrouvées dans le substrat sont plus élevées que dans le cas où l'épaisseur de polysilicium était de 3000 Å. En revanche, les concentrations en bore au niveau de l'interface oxyde de grille-substrat n'augmentent que très légèrement. Ces deux remarques nous amènent à penser que, si les courants de fuite augmentent de manière significative, les valeurs de tensions de seuil varient beaucoup moins. Les caractéristiques électriques, illustrées sur la Figure 14 et le Tableau 4, confirment des valeurs de courant de fuite élevées et des valeurs de tensions de seuil compatibles avec nos objectifs.

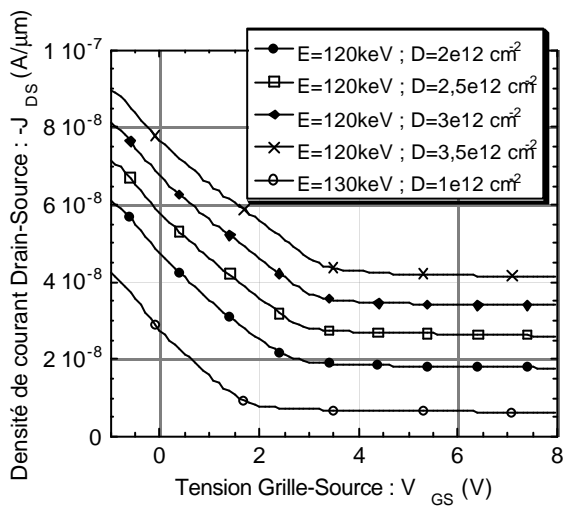


Figure 14 : Caractéristique de transfert  $-J_{DS}(V_{GS})$  simulées des transistors PMOS à canaux préformés

Energie d'implantation (keV)	Dose implantée ( $At/cm^2$ )	Vt (V)	Courant de fuite (A/mm)
120	$2.10^{12}$	2,7	$1,5.10^{-8}$
	$2,5.10^{12}$	3	$2,6.10^{-8}$
	$3.10^{12}$	3,3	$3,3.10^{-8}$
	$3,5.10^{12}$	3,6	$4,1.10^{-8}$
130	$1.10^{12}$	1,9	$6,1.10^{-9}$

Tableau 4 : Caractéristiques électriques simulées des transistors PMOS à canaux préformés.

Rmq : Le courant de fuite est pris pour une tension  $V_{GS}$  de 8 V.

#### II.4.1.2. Transistors NMOS à canaux préformés

La filière technologique permet de réaliser deux types de caissons conduisant à des résistances carrées différentes et caractérisés par une concentration en surface de  $1.10^{17} cm^{-3}$  pour le premier, et de  $2,5.10^{17} cm^{-3}$  pour le deuxième.

Nous avons effectué des simulations des transistors NMOS à canaux préformés avec des énergies, de 160, 170 et 180 keV pour le premier type de caisson P de  $1.10^{17} cm^{-3}$ , et de 175 et 180 keV pour le second type, nécessaires pour traverser les trois couches de la région de grille. Nous n'avons pas effectué de simulations avec des énergies supérieures à 180 keV car nous sommes limité par la validité des paramètres du modèle.

La vue en coupe d'un transistor NMOS à canal préformé est illustré sur la Figure 15. Nous pouvons remarquer l'inhomogénéité de la concentration dans la zone de canal liée à la variation de la concentration en bore sous la grille (II.2.2.4). La Figure 16 représente le profil de dopage du phosphore dans le substrat à l'endroit où la dose dans le canal est maximale.

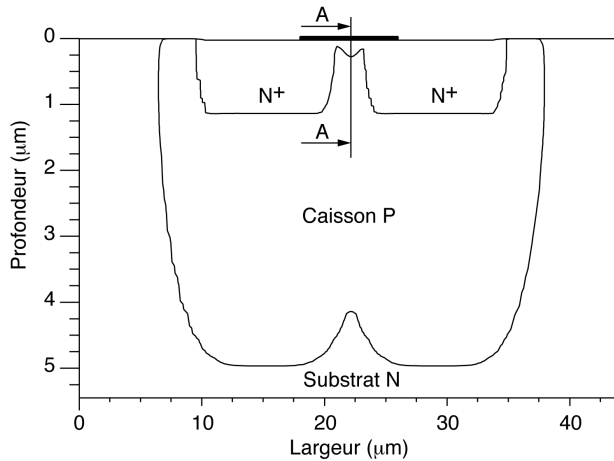


Figure 15 : Coupe de la structure NMOS à canal préformé ( $C_s=1.10^{17} \text{ cm}^{-3}$  ;  $E=170 \text{ keV}$  ;  $D=3.10^{14} \text{ cm}^{-2}$  ;  $e_{poly}=3000 \text{ \AA}$ ).

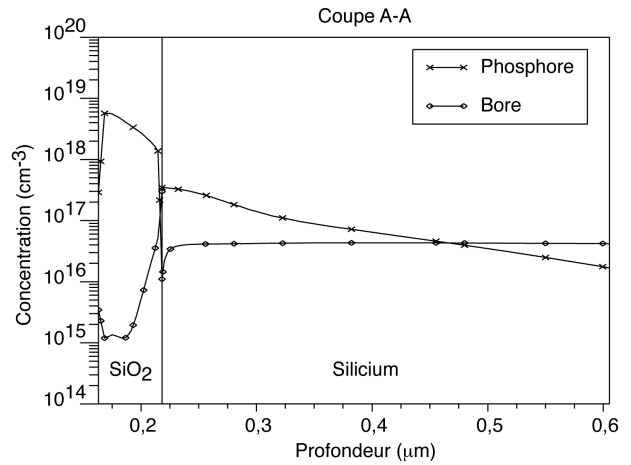


Figure 16 : Profil de dopage du NMOS à canal préformé.

Les Tableaux 5 et 6 récapitulent les résultats des simulations technologiques que nous avons effectués.

Energie d'implantation (keV)	160		170				180
	Dose de phosphore implantée (cm <sup>-2</sup> )	3.10 <sup>14</sup>	6.10 <sup>14</sup>	2.10 <sup>14</sup>	3.10 <sup>14</sup>	3,5.10 <sup>14</sup>	4.10 <sup>14</sup>
Dose minimale de phosphore dans le canal (cm <sup>-2</sup> )	3,9.10 <sup>11</sup>	1,6.10 <sup>12</sup>	1.10 <sup>12</sup>	2,1.10 <sup>12</sup>	2,8.10 <sup>12</sup>	3,3.10 <sup>12</sup>	3,5.10 <sup>12</sup>
Dose maximale de phosphore dans le canal (cm <sup>-2</sup> )	1.10 <sup>12</sup>	2,6.10 <sup>12</sup>	2.10 <sup>12</sup>	3,2.10 <sup>12</sup>	4.10 <sup>12</sup>	4,6.10 <sup>12</sup>	4,9.10 <sup>12</sup>
Profondeur de jonction minimale (mm)	0,03	0,07	0,06	0,09	0,11	0,12	0,13
Profondeur de jonction maximale (mm)	0,12	0,21	0,19	0,25	0,27	0,28	0,29
Concentration en surface de phosphore (cm <sup>-3</sup> )	1,1.10 <sup>17</sup>	2,5.10 <sup>17</sup>	2.10 <sup>17</sup>	2,3.10 <sup>17</sup>	3,9.10 <sup>17</sup>	4,5.10 <sup>17</sup>	4,9.10 <sup>17</sup>

Tableau 5 : Caractéristiques technologiques des transistors NMOS à canaux préformés simulés pour un caisson P de concentration en surface de  $1.10^{17} \text{ cm}^{-3}$  avec une épaisseur de polysilicium de 3000 Å.

Energie d'implantation (keV)	175	180				
Dose de phosphore implantée (cm <sup>-2</sup> )	2.10 <sup>14</sup>	1.10 <sup>14</sup>	1,5.10 <sup>14</sup>	2.10 <sup>14</sup>	2,5.10 <sup>14</sup>	3.10 <sup>14</sup>
Dose minimale de phosphore dans le canal (cm <sup>-2</sup> )	1,4.10 <sup>12</sup>	5,3.10 <sup>11</sup>	1,6.10 <sup>12</sup>	2,9.10 <sup>12</sup>	4,2.10 <sup>12</sup>	5,2.10 <sup>12</sup>
Dose maximale de phosphore dans le canal (cm <sup>-2</sup> )	2,8.10 <sup>12</sup>	1,8.10 <sup>12</sup>	3.10 <sup>12</sup>	4,4.10 <sup>12</sup>	6,2.10 <sup>12</sup>	7,3.10 <sup>12</sup>
Profondeur de jonction minimale (mm)	0,05	0,02	0,05	0,07	0,09	0,13
Profondeur de jonction maximale (mm)	0,14	0,11	0,15	0,21	0,21	0,25
Concentration en surface de phosphore (cm <sup>-3</sup> )	3.10 <sup>17</sup>	2.10 <sup>17</sup>	3,2.10 <sup>17</sup>	4,5.10 <sup>17</sup>	6.10 <sup>17</sup>	7,5.10 <sup>17</sup>

Tableau 6 : Caractéristiques technologiques des transistors NMOS à canaux préformés simulés dans un caisson P de concentration en surface de  $2,5.10^{17} \text{ cm}^{-3}$  avec une épaisseur de polysilicium de 3000 Å.

Nous nous sommes basés sur les résultats des simulations technologiques pour effectuer les simulations électriques.

Les résultats de ces simulations sont reportés sur les Figures 17 et 18 et dans les Tableaux 7 et 8 suivant que les transistors NMOS aient été réalisés dans des caissons P de concentration en surface de  $1.10^{17} \text{ cm}^{-3}$  ou de  $2,5.10^{17} \text{ cm}^{-3}$ .

Nous pouvons remarquer que pour certaines valeurs d'énergies et doses d'implantation la présence d'atomes de phosphore avec une très faible concentration dans le substrat n'entraîne pas forcément la formation effective d'un canal préformé.

Dans le cas où les canaux sont préformés, nous obtenons des valeurs de tensions de seuil comprises entre -0,2 et -6,1 V pour les transistors NMOS réalisés dans les caissons P dont la dose implantée est de  $1.10^{14} \text{ cm}^{-2}$  et entre -1,5 et -7 V pour les transistors réalisés dans les caissons P de dose implantée  $2.10^{14} \text{ cm}^{-2}$ . Les courants de fuite varient proportionnellement avec la tension de seuil. Pour des tensions de seuil élevées, la valeur du courant de fuite devient très grande et on perd le pouvoir de blocage des dispositifs.

### Caissons P de concentration en surface $1.10^{17} \text{ cm}^{-3}$ :

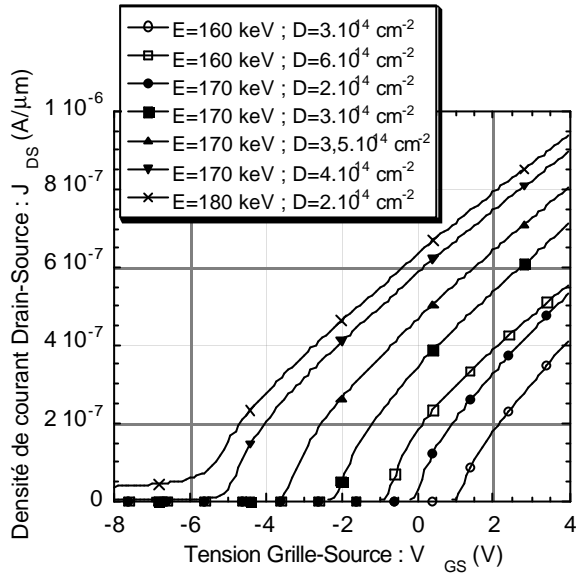


Figure 17 : Caractéristique de transfert  $I_{DS}(V_{GS})$  simulées des transistors NMOS à canaux préformés avec  $V_{DS}=10$  mV et  $e_{poly}=3000$  Å.

Energie d'implantation (keV)	Dose implantée (At/cm <sup>2</sup> )	Vt (V)	Courant de fuite (A/mm)
160	3.10 <sup>14</sup>	1	5.7.10 <sup>-17</sup>
	6.10 <sup>14</sup>	-1,2	9,8.10 <sup>-17</sup>
170	2.10 <sup>14</sup>	-0,2	6,6.10 <sup>-17</sup>
	3.10 <sup>14</sup>	-2,4	1,5.10 <sup>-14</sup>
	3,5.10 <sup>14</sup>	-3,7	1,9.10 <sup>-11</sup>
	4.10 <sup>14</sup>	-5,3	4,1.10 <sup>-8</sup>
180	2.10 <sup>14</sup>	-6,1	3,5.10 <sup>-8</sup>

Tableau 7 : Caractéristiques électriques simulées des transistors NMOS à canaux préformés.

Rmq : Le courant de fuite est pris pour une tension  $V_{GS}$  de -8 V.

**Caissons P de concentration en surface  $2,5.10^{17}$  cm<sup>-3</sup> :**

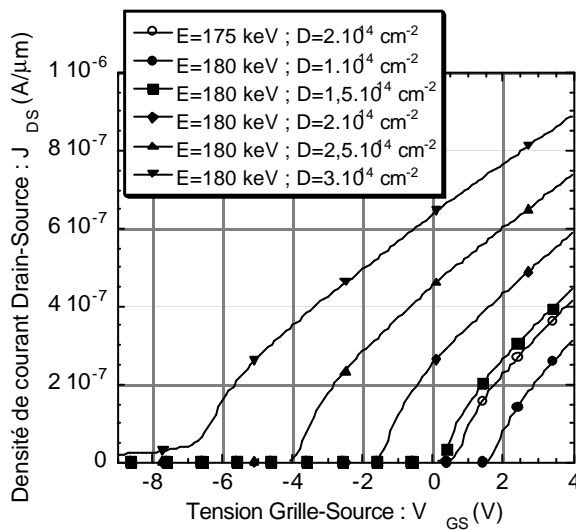


Figure 18 : Caractéristique de transfert  $I_{DS}(V_{GS})$  simulées des transistors NMOS à canaux préformés avec  $V_{DS}=10$  mV et  $e_{poly}=3000$  Å.

Energie d'implantation (keV)	Dose implantée (At/cm <sup>2</sup> )	Vt (V)	Courant de fuite (A/mm)
175	2.10 <sup>14</sup>	0,6	6,9.10 <sup>-18</sup>
180	1.10 <sup>14</sup>	1,5	6,8.10 <sup>-18</sup>
	1,5.10 <sup>14</sup>	0,3	7.10 <sup>-18</sup>
	2.10 <sup>14</sup>	-1,5	2,1.10 <sup>-17</sup>
	2,5.10 <sup>14</sup>	-4	1,6.10 <sup>-13</sup>
	3.10 <sup>14</sup>	-7	2,7.10 <sup>-8</sup>

Tableau 8 : Caractéristiques électriques simulées des transistors NMOS à canaux préformés.

Rmq : Le courant de fuite est pris pour une tension  $V_{GS}$  de -8 V.

Comme pour les PMOS à canaux préformés nous avons effectué des simulations en prenant en compte une épaisseur de polysilicium de 2400 Å. Les caractéristiques technologiques sont reportées dans les Tableaux 9 et 10 et les caractéristiques électriques sont données sur les Figures 19 et 20 et les Tableaux 11 et 12.



Energie d'implantation (keV)	160		170				180
	Dose de phosphore implantée (cm <sup>-2</sup> )	3.10 <sup>14</sup>	6.10 <sup>14</sup>	2.10 <sup>14</sup>	3.10 <sup>14</sup>	3,5.10 <sup>14</sup>	4.10 <sup>14</sup>
Dose minimale de phosphore dans le canal (cm <sup>-2</sup> )	1.10 <sup>13</sup>	2,5.10 <sup>13</sup>	1,4.10 <sup>13</sup>	2,2.10 <sup>13</sup>	2,6.10 <sup>13</sup>	31.10 <sup>13</sup>	2,3.10 <sup>13</sup>
Dose maximale de phosphore dans le canal (cm <sup>-2</sup> )	1,2.10 <sup>13</sup>	2,6.10 <sup>13</sup>	1,5.10 <sup>13</sup>	2,3.10 <sup>13</sup>	2,7.10 <sup>13</sup>	1.10 <sup>13</sup>	1.10 <sup>13</sup>
Profondeur de jonction minimale (mm)	0,03	0,07	0,06	0,09	0,11	0,12	0,13
Profondeur de jonction maximale (mm)	0,12	0,21	0,19	0,25	0,27	0,28	0,29
Concentration en surface de phosphore (cm <sup>-3</sup> )	1,1.10 <sup>17</sup>	2,5.10 <sup>17</sup>	2.10 <sup>17</sup>	2,3.10 <sup>17</sup>	3,9.10 <sup>17</sup>	4,5.10 <sup>17</sup>	4,9.10 <sup>17</sup>

Tableau 9 : Caractéristiques technologiques des transistors NMOS à canaux préformés simulés pour un caisson P de concentration en surface de  $1.10^{17} \text{ cm}^{-3}$  avec une épaisseur de polysilicium de 2400 Å.

Energie d'implantation (keV)	175	180				
	Dose de phosphore implantée (cm <sup>-2</sup> )	2.10 <sup>14</sup>	1.10 <sup>14</sup>	1,5.10 <sup>14</sup>	2.10 <sup>14</sup>	2,5.10 <sup>14</sup>
Dose minimale de phosphore dans le canal (cm <sup>-2</sup> )	1,4.10 <sup>12</sup>	5,3.10 <sup>11</sup>	1,6.10 <sup>12</sup>	2,9.10 <sup>12</sup>	4,210 <sup>12</sup>	5,2.10 <sup>12</sup>
Dose maximale de phosphore dans le canal (cm <sup>-2</sup> )	2,8.10 <sup>12</sup>	1,8.10 <sup>12</sup>	3.10 <sup>12</sup>	4,4.10 <sup>12</sup>	6,2.10 <sup>12</sup>	7,3.10 <sup>12</sup>
Profondeur de jonction minimale (mm)	0,05	0,02	0,05	0,07	0,09	0,13
Profondeur de jonction maximale (mm)	0,14	0,11	0,15	0,21	0,21	0,25
Concentration en surface de phosphore (cm <sup>-3</sup> )	3.10 <sup>17</sup>	2.10 <sup>17</sup>	3,2.10 <sup>17</sup>	4,5.10 <sup>17</sup>	6.10 <sup>17</sup>	7,5.10 <sup>17</sup>

Tableau 10 : Caractéristiques technologiques des transistors NMOS à canaux préformés simulés pour un caisson P de concentration en surface de  $2,5.10^{17} \text{ cm}^{-3}$  avec une épaisseur de polysilicium de 2400 Å.

**Caissons P de concentration en surface  $1.10^{17} \text{ cm}^{-3}$  :**

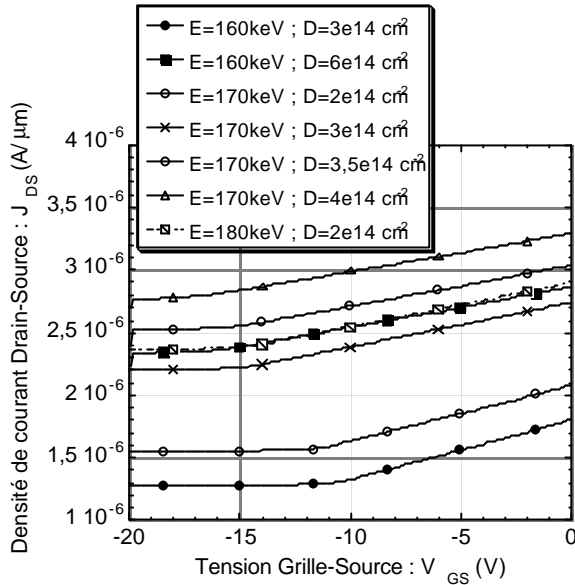


Figure 19 : Caractéristique de transfert  $J_{DS}(V_{GS})$  simulées des transistors NMOS à canaux préformés avec  $V_{DS}=10\text{ mV}$  et  $e_{poly}=2400\text{ \AA}$ .

Energie d'implantation (keV)	Dose implantée ( $\text{At}/\text{cm}^2$ )	$V_t$ (V)	Courant de fuite (A/mm)
160	$3.10^{14}$	-11	$1.3.10^{-6}$
	$6.10^{14}$	-16,5	$2,3.10^{-6}$
170	$2.10^{14}$	-11,4	$1.6.10^{-6}$
	$3.10^{14}$	-14,9	$2,2.10^{-6}$
	$3,5.10^{14}$	-15,1	$2,5.10^{-6}$
	$4.10^{14}$	-16,5	$2,8.10^{-6}$
180	$2.10^{14}$	-15	$2,4.10^{-6}$

Tableau 11 : Caractéristiques électriques simulées des transistors NMOS à canaux préformés.

Rmq : Le courant de fuite est pris pour une tension  $V_{GS}$  de -8 V.

**Caissons P de concentration en surface de  $2,5.10^{17}\text{ cm}^{-3}$ :**

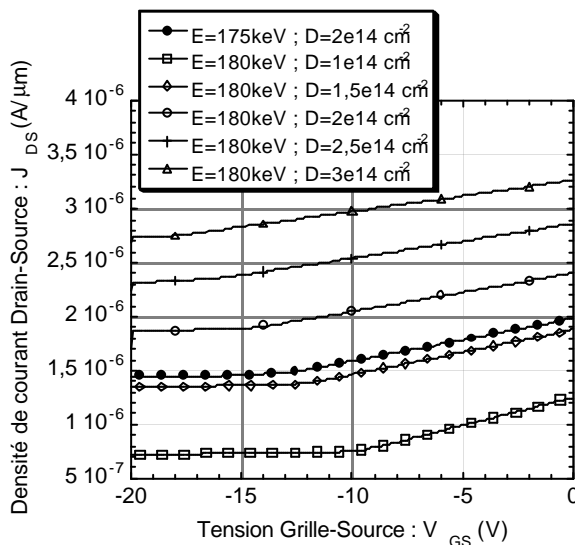


Figure 20 : Caractéristique de transfert  $J_{DS}(V_{GS})$  simulées des transistors NMOS à canaux préformés avec  $V_{DS}=10\text{ mV}$  et  $e_{poly}=2400\text{ \AA}$ .

Energie d'implantation (keV)	Dose implantée ( $\text{At}/\text{cm}^2$ )	$V_t$ (V)	Courant de fuite (A/mm)
175	$2.10^{14}$	-13,5	$1,4.10^{-6}$
180	$1.10^{14}$	-9,8	$7,3.10^{-7}$
	$1,5.10^{14}$	-12,2	$1,3.10^{-6}$
	$2.10^{14}$	-14,5	$1,9.10^{-6}$
	$2,5.10^{14}$	-17,2	$2,3.10^{-6}$
	$3.10^{14}$	-18	$2,7.10^{-6}$

Tableau 12 : Caractéristiques électriques simulées des transistors NMOS à canaux préformés.

Rmq : Le courant de fuite est pris pour une tension  $V_{GS}$  de -8 V.

Il apparait que les tensions de seuil et les courants de fuite sont très élevés ce qui rend les dispositifs inexploitable. Les fortes doses de phosphore dans le canal et des concentrations en surface élevées expliquent ces résultats. Toutefois, et comme pour les PMOS, nous garderons les mêmes doses et énergies d'implantation pour la réalisation

expérimentale de ces dispositifs. Nous réajusterons ces paramètres d'implantation si les premiers résultats expérimentaux sont identiques aux résultats simulés.

## **II.5. Validation expérimentale**

Nous avons réalisé des structures de type MOS ainsi que des échantillons adaptés à des caractérisations physiques de manière à valider, d'une part l'enchaînement l'optimisation des étapes de base, et d'autre part l'ensemble des résultats obtenus par simulation.

### **II.5.1. Conception des dispositifs MOS**

Le jeu de masques créé pour la fabrication des transistors MOS a été dessiné à l'aide du logiciel CADENCE.

Les dimensions pour chaque type de transistors, N ou P, sont identiques qu'ils soient à enrichissement ou à canaux préformés.

En ce qui concerne les transistors de type N, la longueur de la grille (L) est de 4  $\mu\text{m}$  sur masque, correspondant à une longueur finale du canal de 2  $\mu\text{m}$ . Les largeurs de grille de ces dispositifs sont de 13000 et 18000  $\mu\text{m}$ .

Pour les transistors de type P, nous avons choisi des longueurs de grille de 15 et 12  $\mu\text{m}$  sur masque correspondant à des longueurs de canaux en final de 7 et 4  $\mu\text{m}$  et des largeurs de grille de 9000, 13000 et 18000  $\mu\text{m}$ .

La profondeur des cathodes  $\text{N}^+$  sera d'environ 1  $\mu\text{m}$  et celle des caissons P d'environ 5  $\mu\text{m}$ .

Les transistors NMOS sont réalisés dans deux caissons P différents dont les doses de bore implantées sont de  $1.10^{14}$  et  $2.10^{14} \text{ cm}^{-2}$ . Les transistors PMOS sont réalisés directement sur le substrat N dopé à  $1.10^{14} \text{ cm}^{-2}$ .

Nous détaillerons les différentes énergies et doses d'implantation pour la réalisation des canaux préformés pour les deux types de transistors lors de la description du processus technologique.

### **II.5.2. Description du processus technologique**

Ce processus a pour but de valider l'enchaînement des étapes technologiques.

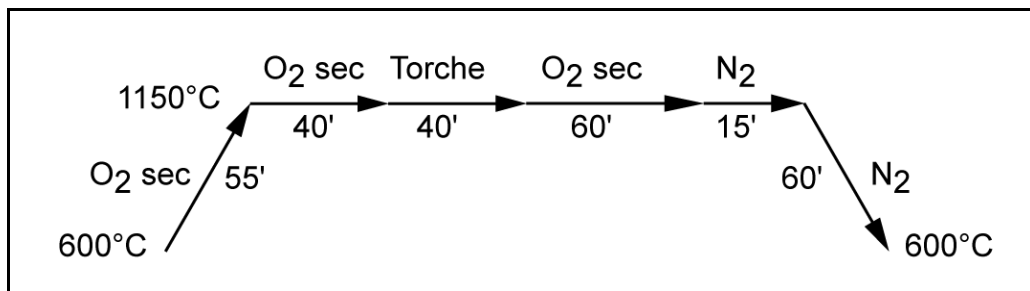
Nous avons réalisé 10 plaques avec des composants et 5 plaques témoins. Le substrat de départ est de type N dopé à  $10^{14} \text{ cm}^{-3}$  et l'épaisseur des plaques est de  $500 \mu\text{m}$ .

### II.5.2.1. Oxydation de masquage

*Remarque relative à la croissance des différents oxydes :*

Les plaquettes sont enfournées à  $600^\circ\text{C}$ , et subissent une montée lente en température jusqu'à  $1150^\circ\text{C}$  (soit  $10^\circ\text{C}/\text{mn}$ ) sous atmosphère d'oxygène sec. Toutes les étapes d'oxydation sont suivies sur le palier de température de 15' sous azote, ce qui permet d'arrêter la réaction d'oxydation à haute température et de purger le four. La descente en température se fait sous ambiance neutre (azote) à la vitesse de  $5^\circ\text{C}/\text{mn}$ .

L'épaisseur de l'oxyde de masquage obtenue est de  $6400 \text{ \AA}$ .



*Oxydation de masquage.*

### II.5.2.2. Court-circuit P<sup>+</sup>

Les caissons P<sup>+</sup> sont réalisés après avoir ouvert l'oxyde de masquage à l'aide du masque n°1. La dose et l'énergie d'implantation sont respectivement de  $1.10^{16} \text{ cm}^{-2}$  et  $50 \text{ keV}$  comme on l'a vu au paragraphe précédent. Ici les courts-circuits P<sup>+</sup> servent uniquement à la prise de contact substrat pour les transistors NMOS. Par la suite nous ne représenterons pas ce caisson sur la cellule élémentaire.

### II.5.2.3. Oxydation de grille

L'ouverture de l'oxyde de grille se fait à l'aide du masque n°2 (Figure 21). Le silicium est mis à nu puis subit un nettoyage spécifique (RCA). L'étape thermique réalisant cet oxyde a été optimisée au paragraphe précédent (II.2.2.3.1). Il est à noter que cette oxydation thermique permet une première redistribution du bore implanté à l'étape précédente.

Nous obtenons une épaisseur d'oxyde de  $530 \text{ \AA}$ .

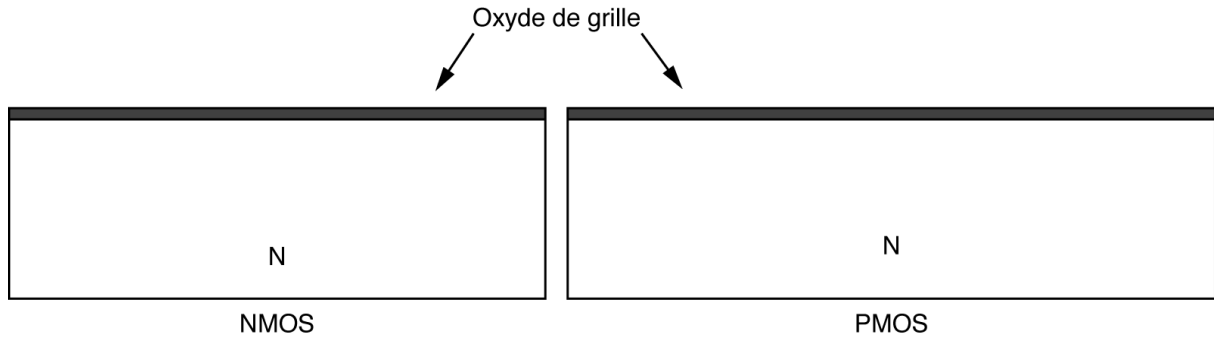


Figure 21 : Gravure oxyde de masquage et croissance de l'oxyde de grille : masque n°2.

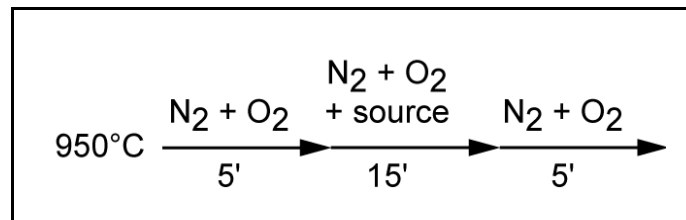
#### II.5.2.4. Dépôt de polysilicium

Nous avons défini les conditions de dépôt du silicium polycristallin pour obtenir une épaisseur de  $3000 \text{ \AA}$  :  $100 \text{ cm}^3/\text{mn}$  de silane ( $\text{SiH}_4$ ) à la température de  $605^\circ\text{C}$  pendant 30 mn.

L'épaisseur mesurée est en réalité de  $3100 \text{ \AA}$ .

#### II.5.2.5. Dopage du polysilicium

Le dopage du polysilicium est réalisé à partir d'un pré-dépôt d'une source liquide  $\text{POCl}_3$ . La résistivité obtenue varie de  $1.10^{-3} \Omega.\text{cm}$  à  $7.10^{-4} \Omega.\text{cm}$  dans les cas extrêmes.



Dopage du silicium polycristallin.

La couche d'oxyde créée lors de cette étape thermique a une épaisseur d'environ  $500 \text{ \AA}$ .

#### II.5.2.6. Réalisation des caissons P des NMOS et des régions de sources et drains des PMOS

Nous avons donc réalisé deux caissons P différents avec des doses d'implantation de  $1.10^{14} \text{ cm}^{-2}$  et  $2.10^{14} \text{ cm}^{-2}$  et une énergie de  $50 \text{ keV}$  (cf. II.2.2.4). Pour cela nous avons gravé l'oxyde créé lors du dopage de la grille et le polysilicium (par RIE) à l'aide du masque n°3 sans graver l'oxyde de grille qui servira d'oxyde de protection pour éviter les défauts en

surface créées par l'implantation. Nous avons ensuite implanté le bore dans le silicium en conservant la résine pour protéger la grille (Figure 22).

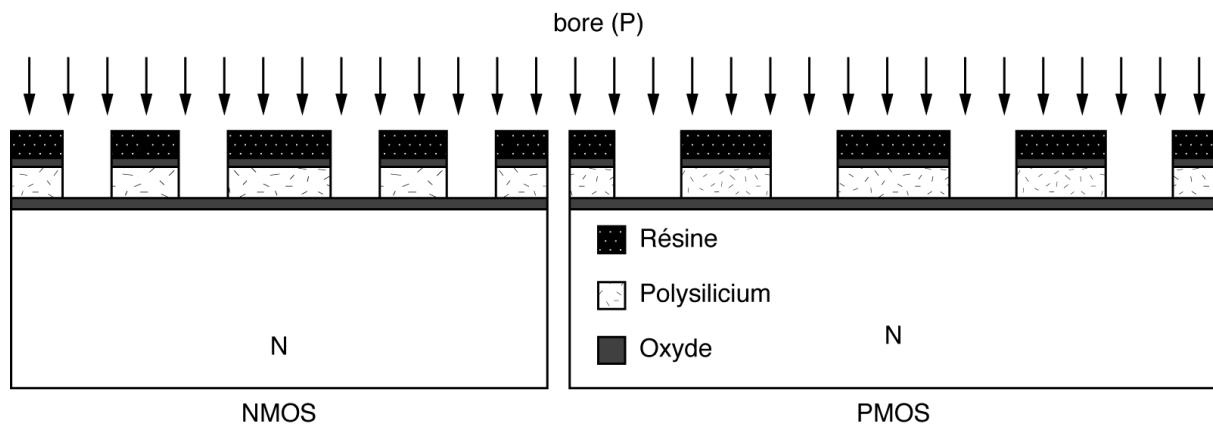


Figure 22 : Ouverture et implantation des caissons P : masque n° 3.

#### **II.5.2.7. Redistribution du P et du P<sup>+</sup>**

Cette redistribution se déroule sous ambiance neutre pendant 200 minutes à 1150 °C (II.2.2.4).

#### **II.5.2.8. Réalisation des régions N<sup>+</sup> en dehors des régions P déjà ouvertes**

Cette étape va permettre ici de matérialiser les régions de prises de contacts substrat des transistors PMOS. La gravure de l'oxyde de masquage se fait par voie humide dans les zones définies par le masque n°4. Comme pour les caissons P<sup>+</sup>, nous ne représenterons pas les prises de contacts N<sup>+</sup> sur la cellule élémentaire.

#### **II.5.2.9. Réalisation des cathodes N<sup>+</sup>**

Une protection par résine des régions de sources et drains des PMOS suivie d'une implantation d'arsenic permet de réaliser les sources et drains des transistors NMOS ainsi que le contact substrat des transistors PMOS (masque n°5). L'implantation est réalisée avec une énergie de 50 keV et une dose de  $1.10^{16}$  at/cm<sup>2</sup> (Figure 23).

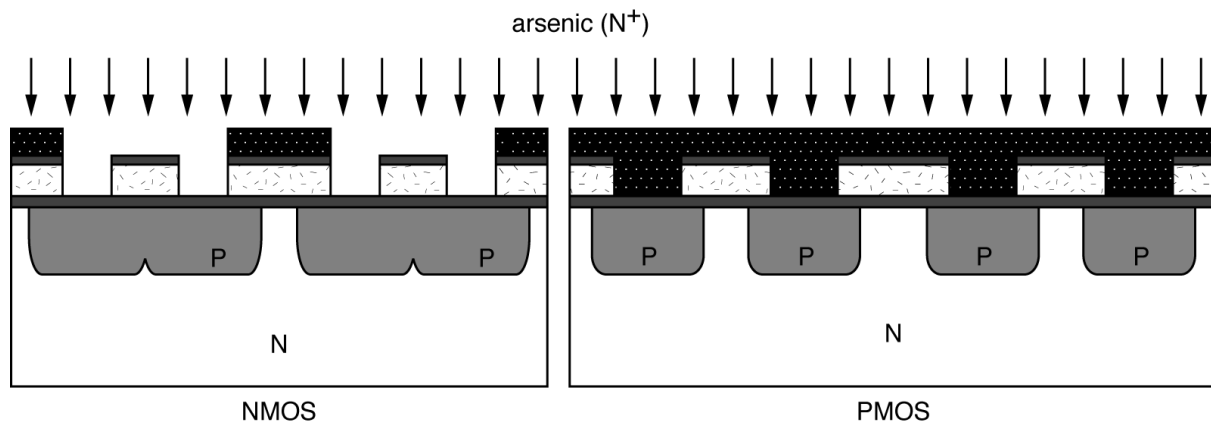


Figure 23 : Ouverture et implantation du  $N^+$  : masque n°5.

### II.5.2.10. Redistribution du $N^+$

Cette étape thermique présentée au paragraphe II.2.2.6 se déroule sous ambiance neutre à 1150 °C pendant 15 minutes.

### II.5.2.11. Réalisation des canaux préformés N

Les canaux préformés sont réalisés par implantation ionique de phosphore à travers le polysilicium de grille tout en protégeant les autres régions du dispositif avec de la résine (masque n°6). Les énergies et doses d'implantation sont fonctions des doses de caissons P et issues des résultats de la simulation des transistors NMOS à canaux préformés (II.4.1.2) :

Dose d'implantation du caisson P ( $cm^{-2}$ )	Energie d'implantation du canal N (keV)	Dose d'implantation du canal N ( $cm^{-2}$ )
$1.10^{14}$	170	$3.10^{14}$
		$3,5.10^{14}$
	180	$2.10^{14}$
	200	$1.10^{14}$
$2.10^{14}$	180	$2.10^{14}$
		$2,5.10^{14}$
		$3.10^{14}$
	200	$2.10^{14}$

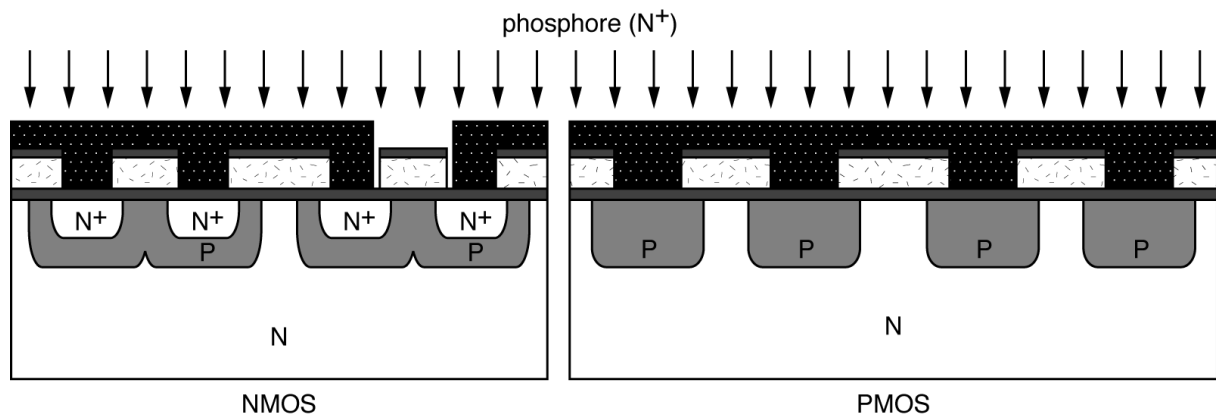


Figure 24 : Ouverture et implantation du canal préformé N : masque n°6.

### II.5.2.12. Réalisation des canaux préformés P

La réalisation des canaux préformés P se font par implantation ionique de bore à travers le polysilicium de grille à l'aide du masque n°7 (Figure 25). En se basant sur les résultats de simulation des transistors PMOS à canaux préformés (II.4.1.1), l'énergie d'implantation est de 120 keV et les doses d'implantation de  $2.10^{12}$ ,  $2,5.10^{12}$ ,  $3.10^{12}$  et  $3,5.10^{12}$   $\text{cm}^{-2}$ .

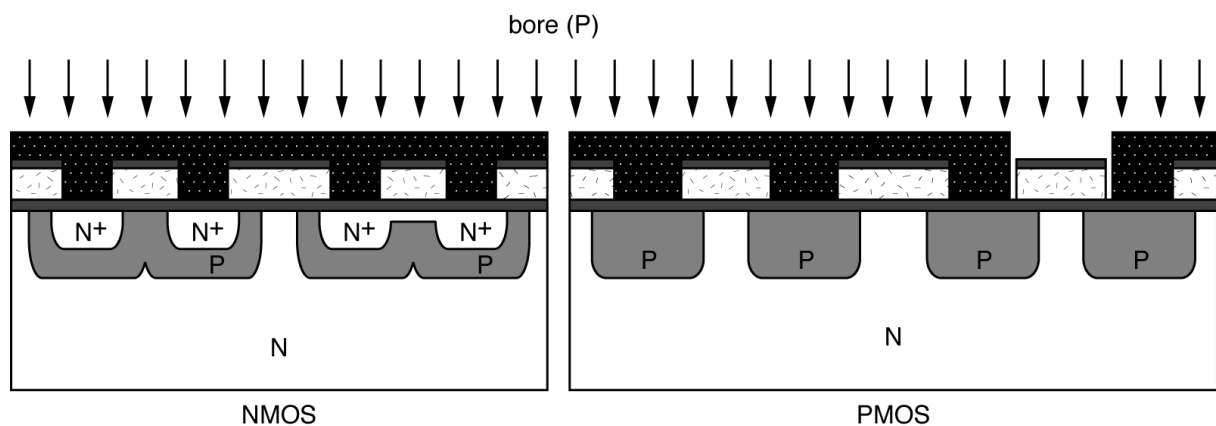


Figure 25 : Ouverture et implantation du canal préformé P : masque n°7.

### II.5.2.13. Redistribution des canaux préformés

Cette redistribution se déroule sous ambiance neutre à 950 °C pendant 25 minutes (II.4).



### II.5.2.14. Dépôt de nitrure

Le dépôt de la couche de nitrure ( $\text{SiN}_4$ ) d'isolation se fait dans un four de dépôt LPCVD (Low Pressure Chemical Vapour Deposition) à partir de  $20 \text{ cm}^3/\text{mn}$  de dichlorosilane ( $\text{SiH}_2\text{Cl}_2$ ) et de  $150 \text{ cm}^3/\text{mn}$  de  $\text{NH}_3$ , à une température de  $750^\circ\text{C}$  et pendant 50 mn. Dans ces conditions, nous obtenons une épaisseur de  $\text{Si}_3\text{N}_4$  de  $1200 \text{ \AA}$ .

### II.5.2.15. Ouverture des contacts et métallisation

L'ouverture des contacts se fait avec le masque n°8, suivie de la gravure de nitrure et de l'oxyde de grille. Ces étapes sont suivies d'une métallisation d'aluminium de  $1 \text{ }\mu\text{m}$  par sputtering.

La plaquette métallisée est alors photogravée en utilisant le masque n°9 : Le métal est ensuite attaqué à l'aide d'une solution  $\text{H}_3\text{PO}_4$ ,  $\text{HNO}_3$  et  $\text{H}_2\text{O}$ .

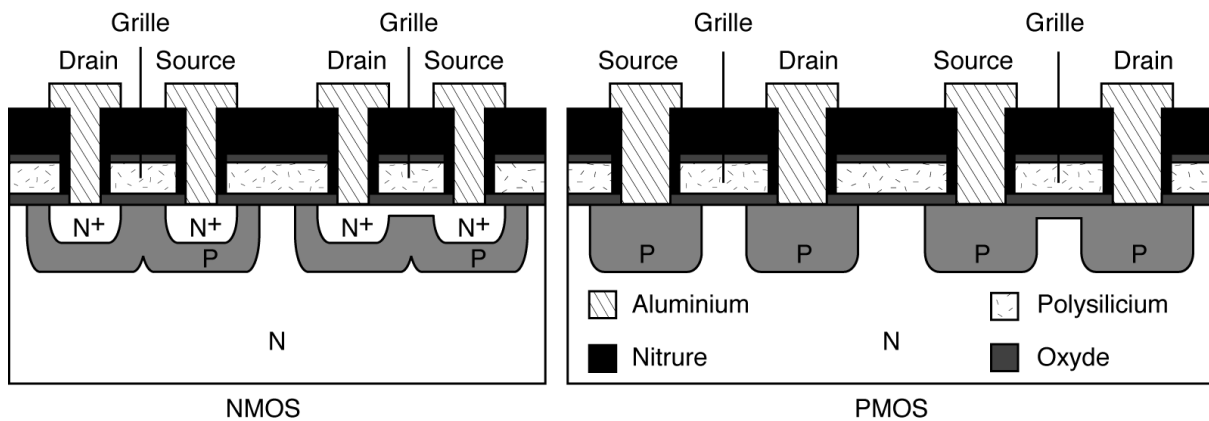


Figure 26 : Métallisation et réalisation des électrodes : masques n° 8 et 9.

## II.5.3. Résultats expérimentaux

Après avoir réalisé les 4 types de transistors MOS nous avons analysé leurs caractéristiques physiques, par des mesures SIMS. Nous avons ensuite effectué des mesures électriques pour déterminer notamment la tension de seuil et les courants de fuite.

### II.5.3.1. Caractérisation physique

L'analyse par SIMS permet de caractériser les doses et les profondeurs des jonctions des dispositifs que nous avons réalisés.

La Spectroscopie de Masse d'Ions Secondaires (SIMS) est une technique d'analyse physico-chimique de l'extrême surface à très grande sensibilité. Elle est basée sur la détection des ions secondaires produits sous l'effet d'un bombardement d'ions primaires incidents. L'impact d'un ion ou d'une molécule possédant une énergie de quelques keV produit l'émission de rayonnement et de particules de différentes natures : des photons, des électrons secondaires, des particules neutres (atomes et molécules), des ions secondaires positifs et négatifs caractéristiques de l'échantillon. Ces derniers sont extraits, analysés et quantifiés. Cette étape est répétée à différentes profondeurs de l'échantillon afin de reproduire le profil de dopage dans le silicium.

#### **II.5.3.1.1. Transistors MOS à enrichissement**

Nous avons choisi de réaliser les différentes étapes d'implantation ionique et de diffusion sur quatre plaquettes témoins afin de pouvoir comparer les résultats de simulations avec les mesures faites au SIMS. On va s'assurer, à l'aide de ces plaques, de la validité des enchaînements technologiques, et déterminer si le phosphore utilisé comme dopant du polysilicium diffuse à travers la couche d'oxyde après toutes les étapes de redistribution. De même, nous allons déterminer les profondeurs de jonction ainsi les concentrations en surface des caissons P et  $N^+$  que nous pourrions comparer avec les résultats de simulation. En revanche, nous n'aurons aucune information quant à la concentration en surface sous la grille des transistors NMOS. Seule la comparaison des valeurs de tensions de seuil simulées et mesurées permettra de savoir si la simulation est en adéquation de façon globale avec les résultats expérimentaux.

Une coupe de la structure de ces plaquettes est représentée sur la Figure 27.

Les coupes A-A (Figures 28 et 29) et B-B (Figure 30) représentent respectivement les profils de dopage, mesurés et simulés, des cathodes  $N^+$  dans les caissons P et la diffusion du phosphore dans le polysilicium.

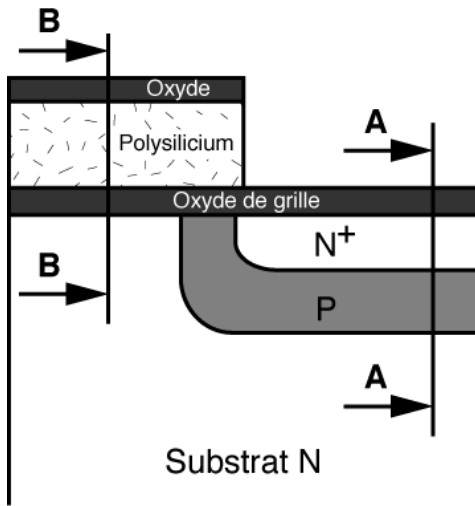


Figure 27 : Coupe de la structure d'une plaquette témoin.

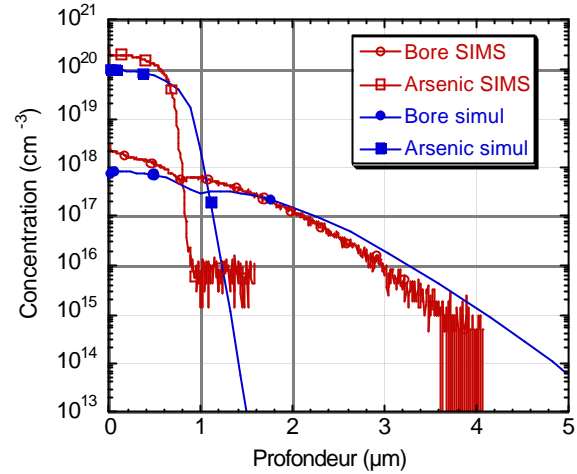


Figure 28 : Coupe A-A, profils de dopage de bore et d'arsenic (Dose de bore implantée :  $1.10^{14} \text{ cm}^{-2}$ ).

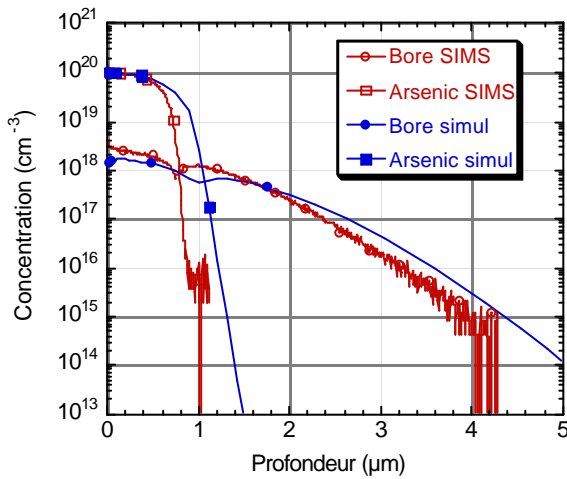


Figure 29 : Coupe A-A, profils de dopage de bore et d'arsenic (Dose de bore implantée :  $2.10^{14} \text{ cm}^{-2}$ ).

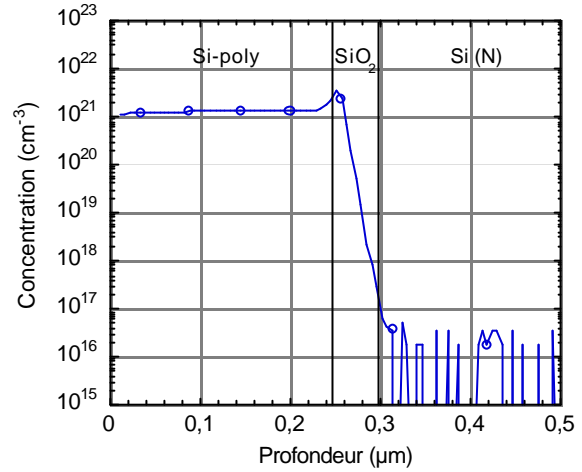


Figure 30 : Coupe B-B, concentration de phosphore après redistribution.

On remarque sur les Figures 28 et 29 une légère différence entre simulation et mesures tant au niveau des profondeurs de jonction que des concentrations en surface. Pour ce qui concerne les concentrations en surface cette différence est certainement due aux coefficients de ségrégation entre l'oxyde et le silicium qu'il conviendra d'ajuster [5]. Au niveau de la profondeur nous avons une incertitude liée à la sensibilité de l'analyseur ionique (SIMS) en dessous des concentrations de  $10^{15} \text{ cm}^{-3}$ . Cependant, la simulation nous donne une bonne approximation des différents profils de dopage des caissons.

Nous remarquons sur la Figure 30 que la concentration en phosphore dans le polysilicium avoisine les  $10^{21} \text{ at/cm}^3$  mais que les atomes dopants sont arrêtés par la couche d'oxyde et ne diffusent pas dans le substrat. Ce résultat est important car il permet de valider

l'étape de dopage du polysilicium en début de ce processus technologique. De plus, cette figure confirme que l'épaisseur de polysilicium de grille n'est pas de 3000 Å mais plutôt 2400 Å. En effet, le dopage du polysilicium est effectué sous ambiance oxydante et la croissance de l'oxyde sur le polysilicium induit une diminution de son épaisseur comme dans tout processus d'oxydation du silicium.

#### **II.5.3.1.2. Transistors MOS à canaux préformés**

Les caractéristiques physiques exploitées sont issues de mesures faites au SIMS sur des échantillons témoins représentant les canaux N et P formés par implantation ionique, respectivement de phosphore et de bore, à travers le polysilicium et l'oxyde de grille. Ces résultats nous permettent de vérifier que les atomes implantés se retrouvent dans le substrat pour former les canaux préformés.

La Figure 31 représente une coupe de la structure des plaquettes témoins que nous avons réalisés.

Nous voyons sur la Figure 32 que le bore implanté avec une énergie de 120 keV et une dose de  $2 \cdot 10^{12} \text{ cm}^{-2}$  traverse les couches de polysilicium et d'oxyde de grille pour se retrouver dans le substrat de type N et former le canal. De même la Figure 33 montre que le phosphore implanté à travers la grille avec une énergie de 170 keV et une dose de  $3 \cdot 10^{14} \text{ cm}^{-2}$  se retrouve dans le caisson P. Nous retrouvons, sur cette figure, une épaisseur de polysilicium de 2400 Å.

Cependant, les caractéristiques physiques seules ne permettent pas de savoir si les doses de bore et de phosphore présentes physiquement dans le substrat sont suffisantes pour créer un canal préformé et permettre la réalisation de transistors MOS à canaux préformés. Les caractéristiques électriques des dispositifs que nous avons réalisés confirmeront la présence ou non d'un canal préformé.

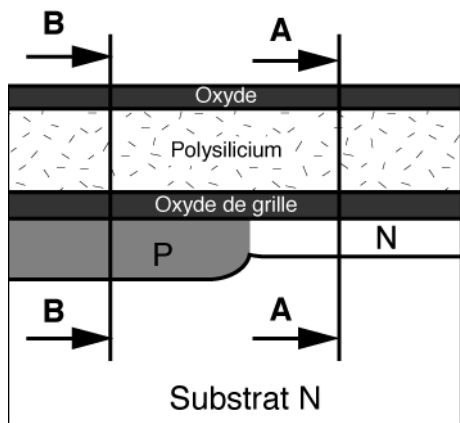


Figure 31 : Coupe de la structure d'une plaquette témoin.

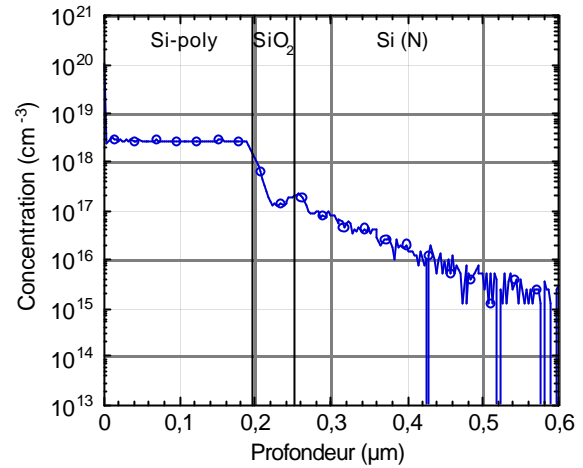


Figure 32 : Coupe B-B, profil de dopage du bore implanté à travers la grille après redistribution (Energie = 120 keV ; Dose =  $2 \cdot 10^{12} \text{ cm}^{-2}$ ).

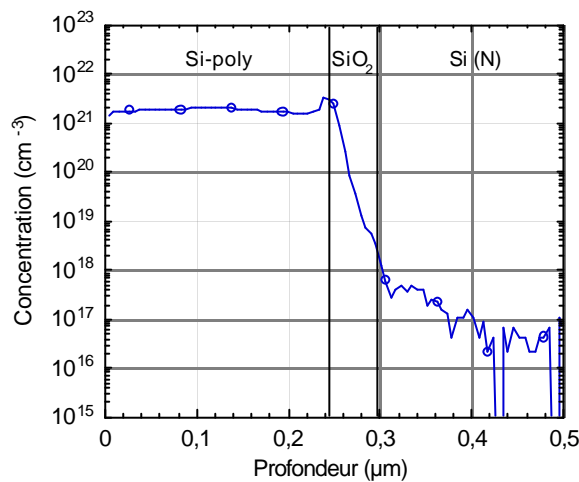


Figure 33 : Coupe A-A, profil de dopage du phosphore implanté à travers la grille après redistribution (Energie = 170 keV ; Dose =  $3 \cdot 10^{14} \text{ cm}^{-2}$ ).

### II.5.3.2. Caractérisation électrique

Nous avons réalisé les caractérisations électriques statiques des dispositifs MOS sous pointes et en boîtier. Ces tests ont notamment permis de caractériser les différentes tensions de seuil des transistors. Nous avons ensuite comparé les valeurs de ces tensions avec celles obtenues par les simulations électriques bidimensionnelles pour permettre une première validation des résultats de simulation et le bien fondé de l'enchaînement et de l'optimisation des étapes technologiques.

### II.5.3.2.1. Transistors MOS à enrichissement

Les caractérisations électriques des transistors MOS à enrichissement permettront de déterminer leurs tensions de seuil et leurs courants de fuite. Ces résultats compléteront les analyses physiques obtenus sur les plaquettes témoins.

#### a) Transistors NMOS

Nous avons vu dans le paragraphe précédent (II.2.2.4) que les concentrations maximales en surface sous la grille des transistors NMOS obtenues par simulation des transistors NMOS sont de  $1.10^{17} \text{ cm}^{-3}$  pour une dose implantée de  $1.10^{14} \text{ cm}^{-2}$  et  $2,5.10^{17} \text{ cm}^{-3}$  pour une dose de  $2.10^{14} \text{ cm}^{-2}$ .

Les valeurs des tensions de seuil théoriques correspondantes sont de 2,5 V pour une concentration de  $1.10^{17} \text{ cm}^{-3}$  et 3,8 V pour  $2,5.10^{17} \text{ cm}^{-3}$ . La Figure 34 représente la caractéristique statique  $I_{DS}(V_{DS})$  d'un transistor NMOS réalisé dans un caisson P de dose implantée  $1.10^{14} \text{ cm}^{-2}$ .

Nous avons reporté sur la Figure 35 les caractéristiques de transfert  $I_{DS}(V_{GS})$  simulé et mesuré des transistors NMOS. Nous remarquons une bonne concordance simulation-mesure au niveau des tensions de seuil. En effet, pour les transistors NMOS réalisés dans les caissons P de concentration en surface maximale sous la grille de  $1.10^{17} \text{ cm}^{-3}$ , la tension de seuil simulée est de 2,4 V et celle mesurée est de 2,7 V. De même pour les transistors NMOS réalisés dans le caisson P de concentration en surface maximale sous le grille de  $2,5.10^{17} \text{ cm}^{-3}$  la tension de seuil simulée est de 3,5 V et la tension de seuil mesurée est de 3,7 V. De plus, les valeurs des courants de fuite sont très faibles, de l'ordre de 2 à 10  $\mu\text{A}$ . Ces valeurs de tensions de seuil et de courants de fuite viennent confirmer le fait que le phosphore utilisé comme dopant du polysilicium de grille ne traverse pas l'oxyde de grille. En effet, si les atomes de phosphore se retrouvaient dans le substrat les valeurs de tensions de seuil seraient largement modifiés et les courants de fuites seraient plus importants. De plus, nous pouvons déduire de ces résultats que les valeurs de concentrations en surface maximale sous la grille obtenues par simulation reflètent bien la réalité.

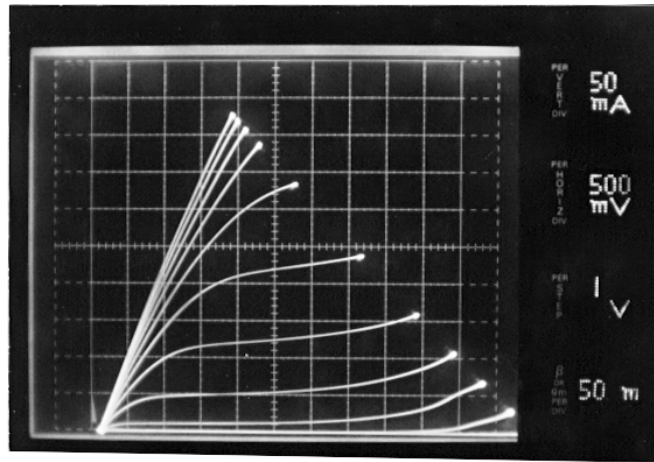
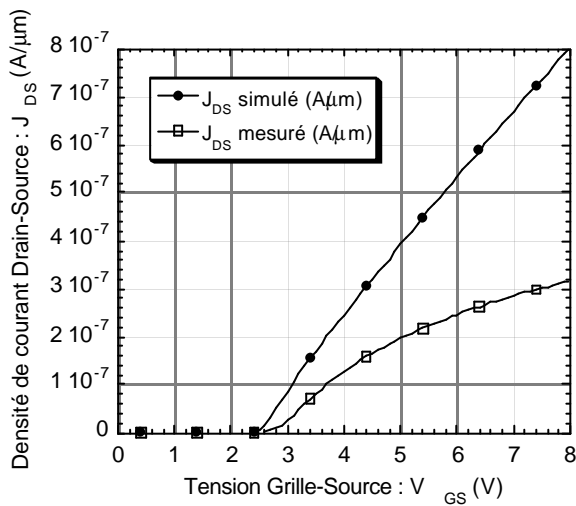
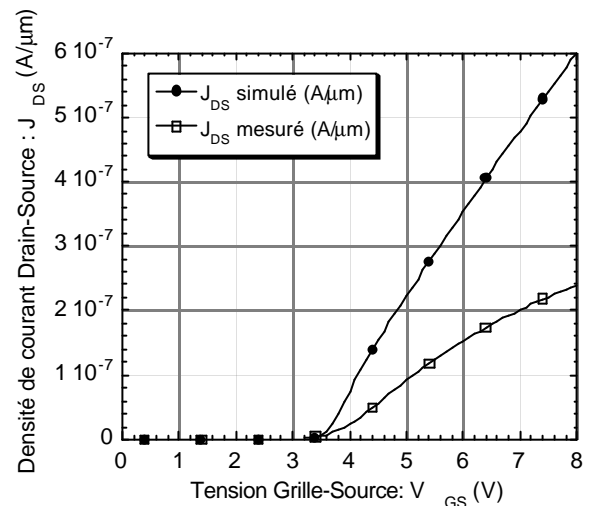


Figure 34 : Réseau de caractéristiques  $I_{DS}(V_{DS})$  d'un transistor NMOS pour différentes valeurs de  $V_{GS}$ .



(a)



(b)

Figure 35 : Caractéristique de transfert  $I_{DS}(V_{GS})$  avec  $V_{DS}=10$  mV pour des transistors NMOS de concentration en surface sous la grille de  $1.10^{17} \text{ cm}^{-3}$  (a) et  $2,5.10^{17} \text{ cm}^{-3}$  (b).

Nous remarquons, sur la figure ci-dessus, une différence de densité de courant entre simulations et mesures. Cette différence est due essentiellement aux valeurs des paramètres de mobilité et de vitesse de saturation des électrons dans le canal (choisie à  $0,2.10^6$  cm/s) qui doivent différer des valeurs réelles pour ces structures présentant une concentration en surface du canal variant entre source et drain. De plus lors de ces simulations nous n'avons pas pris en compte les résistances liées aux interconnexions et au boîtier.

**b) Transistors PMOS**

Le réseaux de caractéristiques statiques  $-I_{DS}(-V_{DS})$  d'un transistor PMOS est représentée sur la Figure 36.

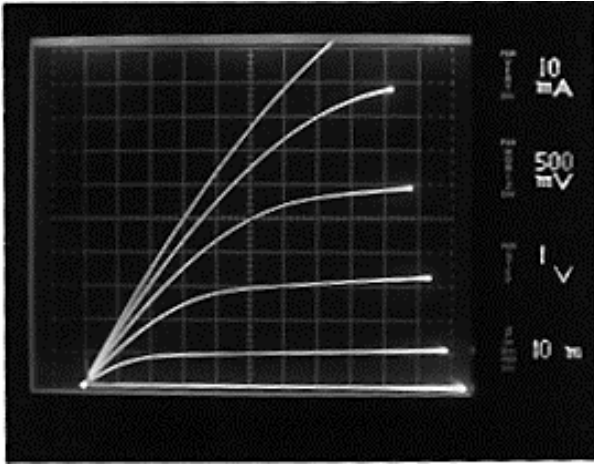


Figure 36 : Réseau de caractéristiques  $-I_{DS}$  ( $-V_{DS}$ ) d'un transistor PMOS pour différentes valeurs de  $V_{GS}$ .

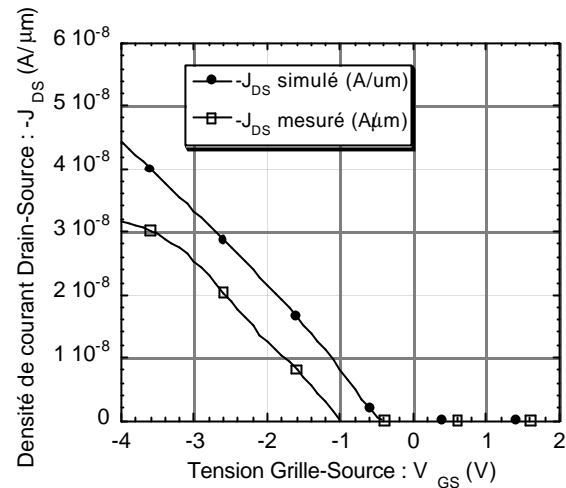


Figure 37 : Caractéristique de transfert  $-J_{DS}(V_{GS})$  avec  $V_{DS} = -10\text{mV}$  pour un transistor PMOS.

Les valeurs de tensions de seuil des transistors PMOS que nous avons réalisés sont de l'ordre de  $-1\text{ V}$  ce qui correspond bien aux valeurs des tensions de seuil obtenues par un modèle analytique unidimensionnel qui sont aussi de  $-1\text{ V}$  pour un dopage de substrat de  $1.10^{14}\text{ cm}^{-3}$ . En revanche, nous notons une différence entre les valeurs de tensions de seuil mesurées et simulées (Figure 37).

Nous pouvons noter que les valeurs de courants de fuite sont très faibles (inférieures à  $1\text{ nA}$ ).

### II.5.3.2.2. Transistors MOS à canaux préformés

Les tests électriques effectués sur les transistors MOS à canaux préformés donneront les valeurs des tensions de seuil, des courants de fuite et des courants passants à tension de grille nulle.

#### a) Transistors PMOS

Les canaux préformés des transistors PMOS à canaux préformés ont été réalisés par implantation ionique de bore avec une énergie de  $120\text{ keV}$  et des doses de  $2.10^{12}$ ,  $2,5.10^{12}$ ,  $3.10^{12}$ ,  $3,5.10^{12}\text{ at.cm}^{-2}$ . Les tensions de seuil correspondantes sont respectivement de  $2,3$ ,  $2,6$ ,  $3,6$  et  $4\text{ V}$  (Figure 39). De plus, les densités de courants de fuite restent très faibles, de l'ordre de la dizaine de  $\text{nA}/\mu\text{m}$ , ce qui permettra un bon blocage des transistors PMOS. La Figure 38 illustre la caractéristique statique  $-I_{DS}$  ( $-V_{DS}$ ) d'un transistor PMOS à canal préformé.

Les valeurs des courants passants, à tension de grille nulle et en régime saturé (c'est-à-dire  $V_{DS} > 2,5\text{ V}$ ), varient proportionnellement aux largeurs  $Z$  et augmentent avec les doses de bore implantées (Tableau 13).



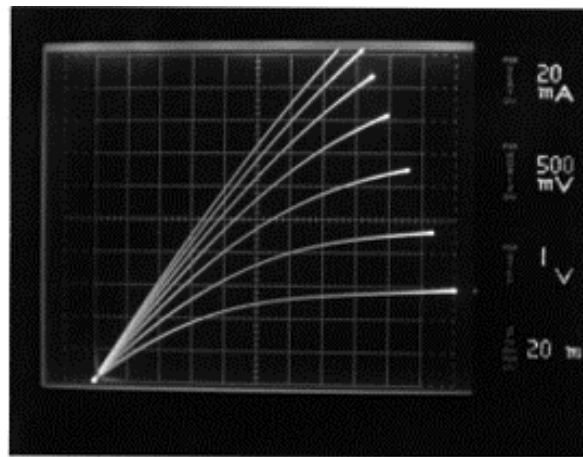


Figure 38 : Réseau de caractéristiques  $-I_{DS}$  ( $-V_{DS}$ ) d'un transistor PMOS à canal préformé pour différentes valeurs de  $V_{GS}$ .

Dose d'implantation de bore ( $\text{cm}^2$ )	Largeur de grille Z (mm)	Courant passant I (mA)
$2.10^{12}$	9000	29
	13000	40
$2,5.10^{12}$	9000	34
	13000	55
$3.10^{12}$	9000	40
	13000	60
$3,5.10^{12}$	9000	47
	13000	70

Tableau 13 : Valeurs des courants passants des transistors PMOS à canaux préformés pour  $V_{GS}=0$  V et  $V_{DS}=-2,5$  V.

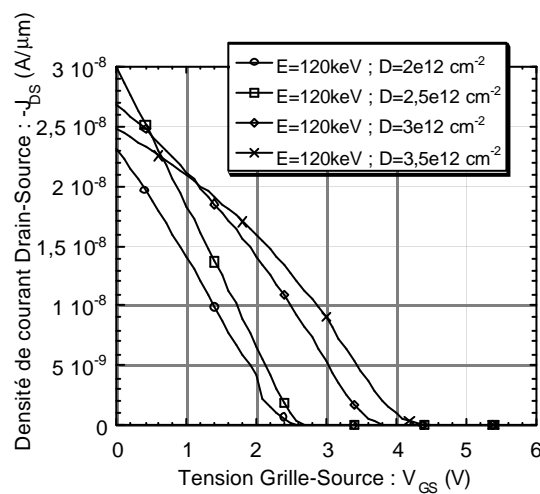


Figure 39 : Caractéristique de transfert  $-J_{DS}$  ( $V_{GS}$ ) pour  $V_{DS}=-10$  mV.

Les tensions de seuil diffèrent peu des tensions de seuil obtenues par la simulation, mais il existe une grosse différence au niveau des courants de fuite (Figure 40).

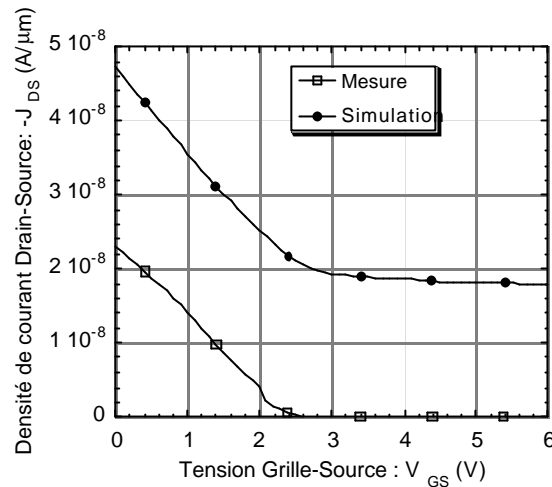


Figure 40 : Comparaison de la caractéristique  $-J_{DS}(V_{DS})$  entre simulation et mesure ;  $E=120$  keV,  $D=2.10^{12}$   $cm^{-2}$ .

Cette différence au niveau des courants de fuite peut s'expliquer en analysant la Figure 41 qui compare les profils de dopage du bore simulés et mesurés dans le silicium après une implantation ionique effectuée à 120 keV avec une dose de bore implantée de  $2.10^{12}$   $cm^{-2}$ . Nous voyons qu'aux alentours de l'interface, jusqu'à une profondeur d'environ 0,1  $\mu m$ , les profils de dopage simulés et mesurés sont pratiquement identiques ce qui explique que l'on obtient des valeurs de tensions de seuil similaires. En effet, la valeur de la tension de seuil dans un transistor MOS à canal préformé dépend de la dose implantée dans le canal mais surtout du profil de dopage proche de la surface.

En revanche, en profondeur la concentration de bore obtenue par simulation devient plus grande que celle mesurée ce qui conduit à une valeur du courant de fuite obtenue par simulation plus élevée. Pour des concentrations plus élevées dans la partie inférieure du canal, la tension appliquée sur la grille permet de bloquer la conduction en surface, mais ne peut supprimer le courant de fuite dans cette partie inférieure du canal qu'il devient impossible de dépeupler.

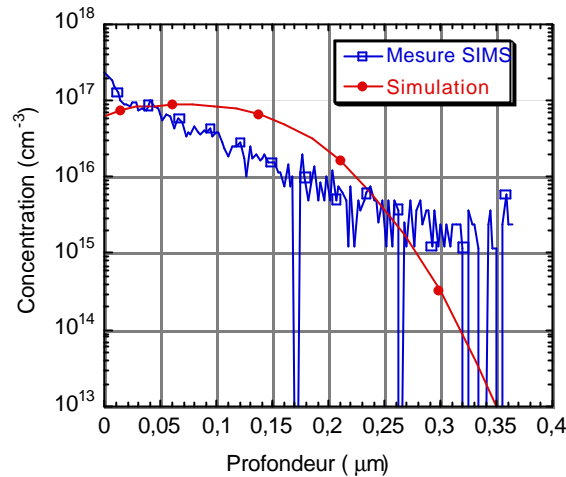


Figure 41 : Comparaison des profils de dopage mesurés et simulés lors d'une implantation ionique de bore avec une énergie de 120 keV et une dose de  $2 \cdot 10^{12} \text{ cm}^{-2}$ .

Ces résultats montrent donc que nous pouvons réaliser, avec cette filière technologique, des transistors PMOS à canaux préformés ayant des valeurs de tensions de seuil comprises entre 2 et 4 V et des valeurs de courants de fuite faibles parfaitement adaptés aux fonctionnalités requises pour des fonctions de puissance intégrées basées sur le mode d'intégration fonctionnelle.

### b) Transistors NMOS

Nous avons réalisé des transistors NMOS à canaux préformés par implantation ionique de phosphore avec des énergies d'implantation de 170, 180 et 200 keV, pour les transistors réalisés dans les caissons P de concentration en surface au milieu du canal de  $1 \cdot 10^{17} \text{ cm}^{-3}$ , et 180 et 200 keV pour les transistors réalisés dans les caissons P à  $2,5 \cdot 10^{17} \text{ cm}^{-3}$ . Les doses d'implantation varient de  $1 \cdot 10^{14}$  à  $3,5 \cdot 10^{14} \text{ cm}^{-2}$ . Le réseau de caractéristiques statiques  $I_{DS}$  ( $V_{DS}$ ), pour différents  $V_{GS}$  d'un transistor NMOS à canal préformé est illustré sur la Figure 42.

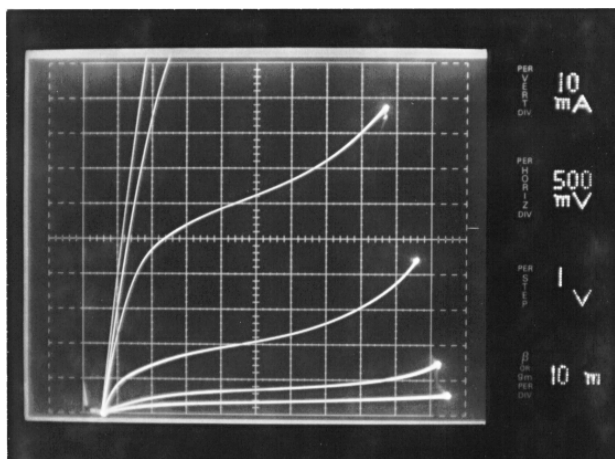


Figure 42 : Réseau de caractéristiques  $I_{DS}(V_{DS})$  d'un transistor NMOS à canal préformé pour différentes valeurs de  $V_{GS}$ .

Les premiers tests sous pointes ont montré que les canaux réalisés avec des énergies d'implantation ionique de 170 keV, pour les caissons P de concentrations en surface de  $1.10^{17} \text{ cm}^{-3}$ , et 180 keV, pour les caissons P à  $2,5.10^{17} \text{ cm}^{-3}$ , ne sont pas préformés malgré la présence de phosphore dans le canal (Figure 33). En effet, avec ces énergies et ces doses-là les valeurs des tensions de seuil diffèrent peu de celles des transistors NMOS à enrichissement.

Le tableau suivant précise les valeurs de courant à  $V_{GS} = 0 \text{ V}$  pour les transistors dont l'implantation du canal a été effectuée avec des énergies plus élevées.

Dose d'implantation du caisson P ( $\text{cm}^{-2}$ )	Energie d'implantation de phosphore (keV)	Dose d'implantation de phosphore ( $\text{cm}^{-2}$ )	Largeur de grille Z (mm)	Courant passant I (A)
$1.10^{14}$	180	$2.10^{14}$	13000	0,43
			18000	0,57
	200	$1.10^{14}$	13000	0,55
			18000	0,72
$2.10^{14}$	200	$2.10^{14}$	13000	0,61
			18000	0,93

Tableau 14 : Valeurs des courants passants des transistors NMOS à canaux préformés pour  $V_{GS}=0 \text{ V}$  et  $V_{DS}=-2,5 \text{ V}$ .

Ces dispositifs qui conduisent pour  $V_{GS} = 0 \text{ V}$  possèdent bien un canal préformé.

La Figure 43 représente les caractéristiques de transfert  $I_{DS}(V_{GS})$  de ces transistors. Nous obtenons des tensions de seuil de -4,8 et -7,4 V pour les transistors réalisés dans les caissons P dopés à  $1.10^{14} \text{ cm}^{-2}$  (Figure 43 (a)) et -9,3 V pour ceux réalisés dans les caissons P

dopés à  $2.10^{14} \text{ cm}^{-2}$  (Figure 43 (b)). Les valeurs de courant de fuite augmentent avec les tensions de seuil de  $8.10^{-8}$  à  $2.10^{-7} \text{ A}/\mu\text{m}$ .

Nous pouvons remarquer que ces résultats sont très éloignés de ceux obtenus par simulation. Cette différence peut s'expliquer, comme pour les PMOS à canaux préformés, en comparant les profils de dopage du phosphore dans le silicium simulés et ceux mesurés à l'aide du SIMS (Figure 44). Nous voyons sur cette figure que les valeurs de concentration obtenues par simulation sont plus élevées que celle déterminées par les caractérisations SIMS. Ainsi les valeurs de tension de seuil et des courants de fuite obtenus par simulation sont plus élevés.

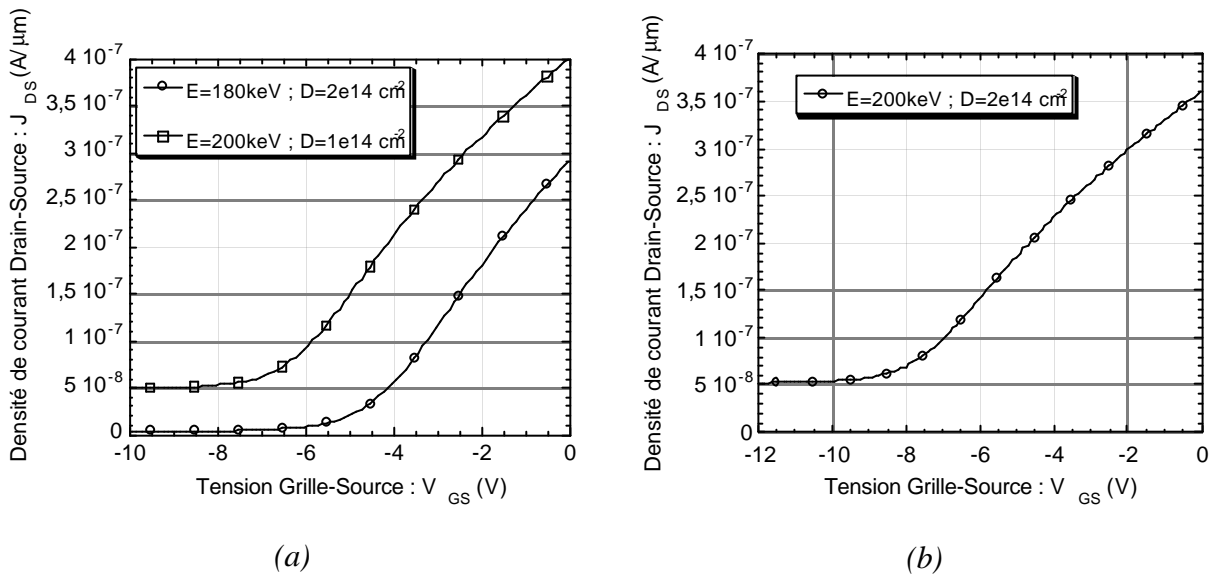


Figure 43 : Caractéristiques de transfert  $J_{DS}(V_{GS})$  avec  $V_{DS}=10 \text{ mV}$  pour des transistors NMOS à canaux préformés de concentration en surface sous la grille de  $1.10^{17} \text{ cm}^{-3}$  (a) et  $2.5.10^{17} \text{ cm}^{-3}$  (b).

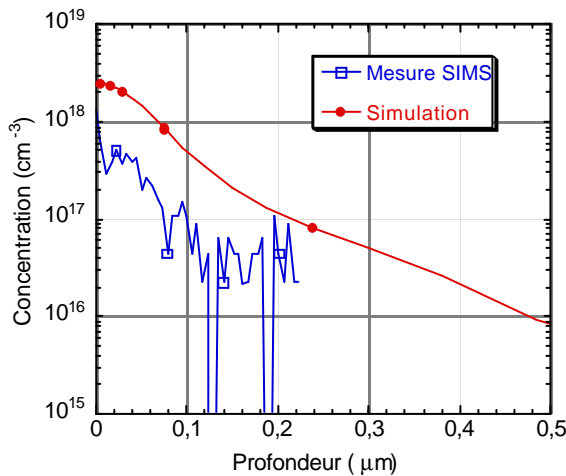


Figure 44 : Comparaison des profils de dopage mesurés et simulés lors d'une implantation ionique de phosphore avec une énergie de 170 keV et une dose de  $3.10^{14} \text{ cm}^{-2}$ .

## II.6. Optimisation des étapes spécifiques

### II.6.1. Cathode N<sup>+</sup> face arrière et diode antiparallèle

Les régions N<sup>+</sup> face arrière permettant notamment de matérialiser une cathode et réaliser des diodes antiparallèles sont obtenues par implantation ionique d'arsenic sur la face arrière avec une énergie de 100 keV et une dose de  $1.10^{16} \text{ at/cm}^2$  [1]. Cette étape est effectuée entre l'implantation d'anode face arrière et la croissance de l'oxyde de grille (Figure 10).

La redistribution des atomes dopants de ces régions N<sup>+</sup> se fait d'une part lors de la réalisation de l'oxyde de grille et d'autre part lors de la redistribution des caissons P et des cathodes N<sup>+</sup> de la face avant. La Figure 45 représente le profil de dopage de l'arsenic sur la face arrière qui présente une concentration en surface de  $6,5.10^{19} \text{ cm}^{-3}$  et une profondeur de jonction de  $3,6 \mu\text{m}$ .

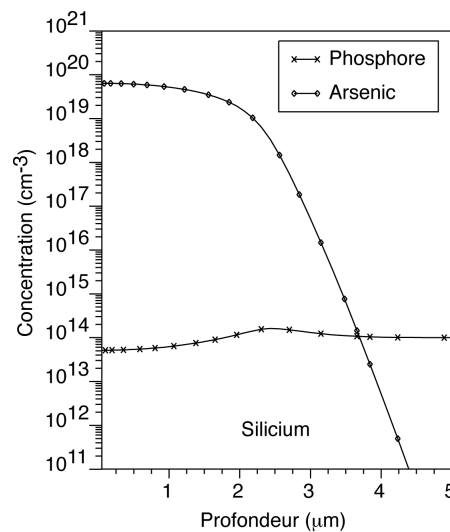


Figure 45 : Profil de dopage de la cathode N<sup>+</sup> face arrière en fin de processus technologique.

### II.6.2. Anode semi-transparente

L'anode semi-transparente, permettant l'obtention notamment d'IGBT avec un contrôle de l'injection [6], est réalisée par implantation ionique de bore. Cette étape est placée juste après l'implantation des canaux préformés (Figure 10). La redistribution des impuretés de bore implantées est commune à celle des canaux préformés, c'est-à-dire à  $950 \text{ }^\circ\text{C}$ , afin d'avoir un caisson P le moins profond possible. La figure suivante présente le profil de dopage du bore sur la face arrière implanté avec une dose de 20 keV et une dose de  $5.10^{13} \text{ cm}^{-3}$ . Nous

pouvons remarquer que la profondeur de la jonction est de  $0,4 \mu\text{m}$  et la concentration en surface de l'ordre de  $1.10^{18} \text{ cm}^{-3}$  à comparer avec l'anode  $\text{P}^+$  classique de profondeur  $7,2 \mu\text{m}$  et de concentration en surface de  $3.10^{19} \text{ cm}^{-3}$  (II.2.2.2).

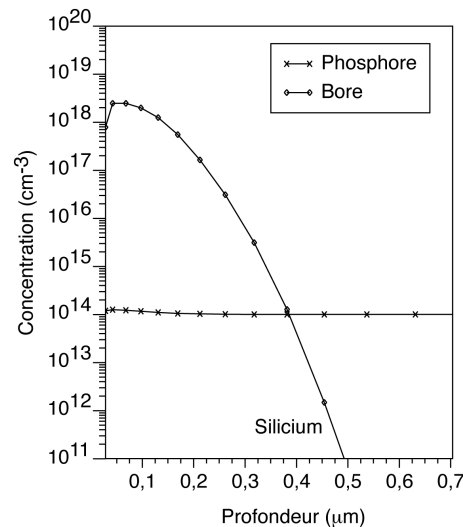


Figure 46 : Profil de dopage de l'anode semi-transparente en fin de processus technologique

Nous réaliserons des anodes semi-transparentes avec des doses de bore variant de  $1.10^{13}$  à  $5.10^{13} \text{ cm}^{-2}$  afin d'obtenir toute une gamme d'IGBT rapides avec des caractéristiques électriques différentes liées au contrôle de l'injection.

### II.6.3. Caissons traversant pour périphérie

Cette étape spécifique permet l'intégration d'une Terminaison de Jonction Symétrique en Tension, présentée dans la thèse d'Olivier CAUSSE [7], afin de réaliser des dispositifs symétriques en tension. Cette terminaison est basée sur un mur vertical  $\text{P}^+$  réalisé à partir de tranchées profondes remplies de polysilicium fortement dopé bore.

Ces murs sont réalisés au début du processus technologique avant la réalisation des composants de type IGBT (Figure 10). Le principe de réalisation peut se décomposer en 4 étapes majeures (Figure 47) :

- La première étape consiste à réaliser des tranchées profondes suivant un motif discontinu afin de maintenir une bonne résistance mécanique et d'éviter le découpage intempestif de la plaquette (cf. II.6.3.1).
- Un dépôt conforme permet de remplir les tranchées de polysilicium fortement dopé bore, le polysilicium se dépose aussi sur les deux faces de la plaquette (cf. II.6.3.2).

- Une étape de gravure par R.I.E. est nécessaire afin d'enlever le polysilicium qui se trouve en surface sur les deux faces de la plaquette.
- Enfin, une étape de redistribution permet aux impuretés de bore contenues dans le polysilicium de diffuser dans le volume du silicium. Il est à noter que cette étape prend en compte les autres étapes de redistribution afin d'obtenir un recouvrement des diffusions après les différentes redistributions cumulées. Le recouvrement des diffusions dans le volume permet de matérialiser une de type P continu (cf. II.6.3.3).

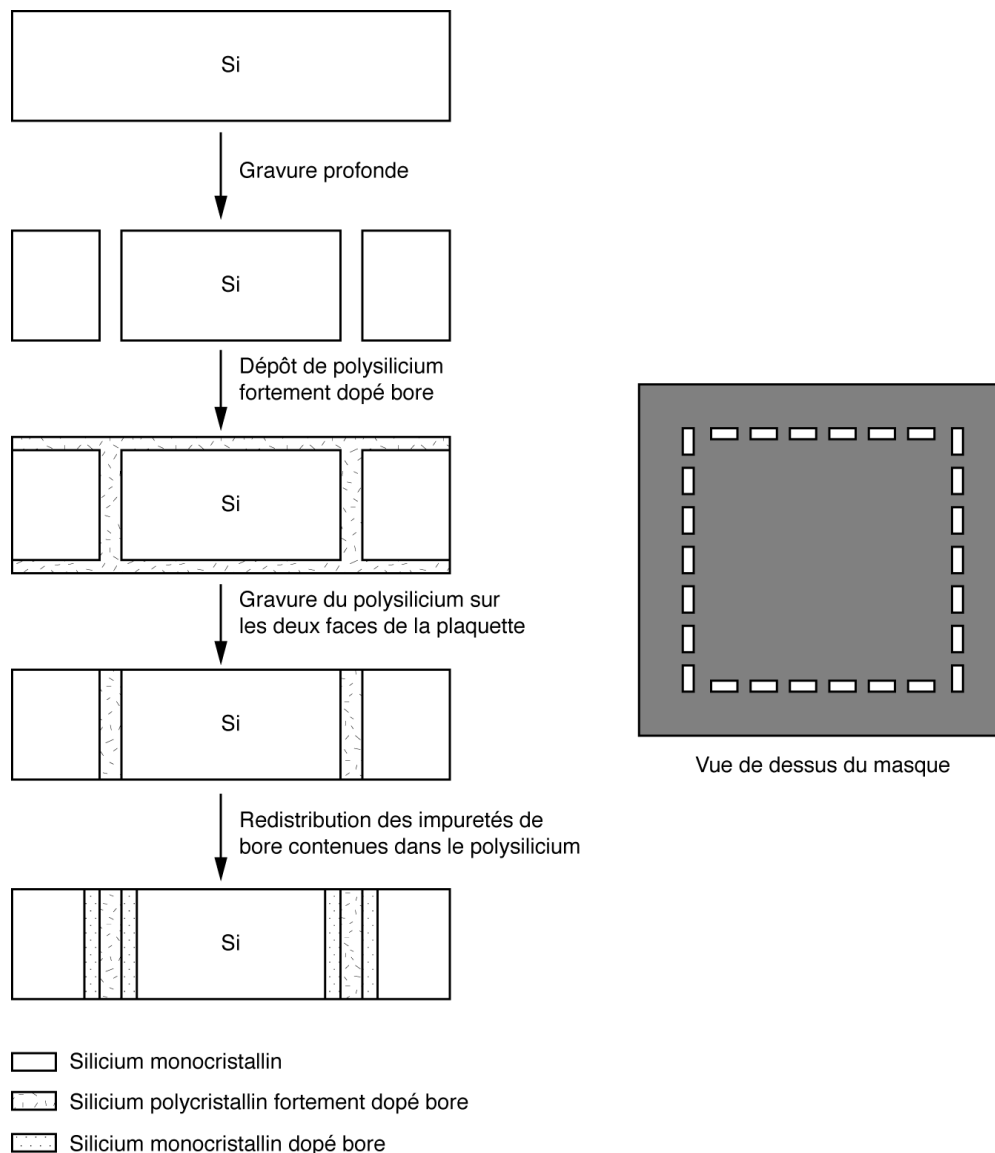


Figure 47 : Schéma de principe de réalisation de mur vertical P<sup>+</sup> à l'aide de tranchées profondes remplies de polysilicium fortement dopé bore.



### **II.6.3.1. Réalisation des tranchées profondes**

Le processus technologique utilisé pour la gravure profonde du silicium est une séquence alternée d'étapes de gravure et de passivation dans un bâti de R.I.E.. Le gaz de gravure est du  $\text{SF}_6 + \text{O}_2$  et le gaz de passivation est du  $\text{C}_4\text{F}_8$ . Il est à noter qu'une étape de gravure termine le processus afin d'éliminer toute trace de polymérisation sur les flancs des tranchées.

Le masquage de la gravure est réalisé par une résine AZ 4562 Photoresist dont les recuits et la réhydratation standards ont été modifiés afin d'obtenir une épaisseur de 17  $\mu\text{m}$ . Les motifs des masques correspondent à une périphérie constituée de rectangles de 6  $\mu\text{m}$  de large sur 75  $\mu\text{m}$  de long espacés de 25  $\mu\text{m}$ .

### **II.6.3.2. Remplissage des tranchées de polysilicium fortement dopé bore**

Le processus technologique de dépôt de polysilicium par LPCVD dopé bore à été élaboré par E. SCHEID [8] au sein du laboratoire.

Le réacteur LPCVD utilisé pour le dépôt du polysilicium est vertical. Il permet un dépôt conforme de polysilicium fortement dopé bore ( $\approx 1,7 \cdot 10^{21} \text{ cm}^{-3}$ ). La source de polysilicium ( $\text{SiH}_4$ ) est introduite simultanément avec la source de bore ( $\text{BCl}_3$ ) ainsi, le polysilicium et le bore se déposent en même temps. La pression lors du dépôt est comprise entre 1 et 4 Torr (entre 133 Pa et 533 Pa). La température est comprise entre 480 et 520 °C. La cinétique du dépôt est comprise entre 300 Å/min et 700 Å/min.

### **II.6.3.3. Diffusion du bore contenu dans le polysilicium**

Cette étape de redistribution se déroule sous ambiance neutre. Dans ce jeu de masque, la distance inter tranchées est de 25  $\mu\text{m}$ . La diffusion de bore doit donc être légèrement supérieure à 12,5  $\mu\text{m}$  afin d'obtenir le recouvrement des diffusions de bore. Cette diffusion peut être obtenue avec une redistribution de 540 minutes (soit 9h) à 1150°C qui permet d'obtenir une profondeur de jonction de 15  $\mu\text{m}$  (Figure 48).

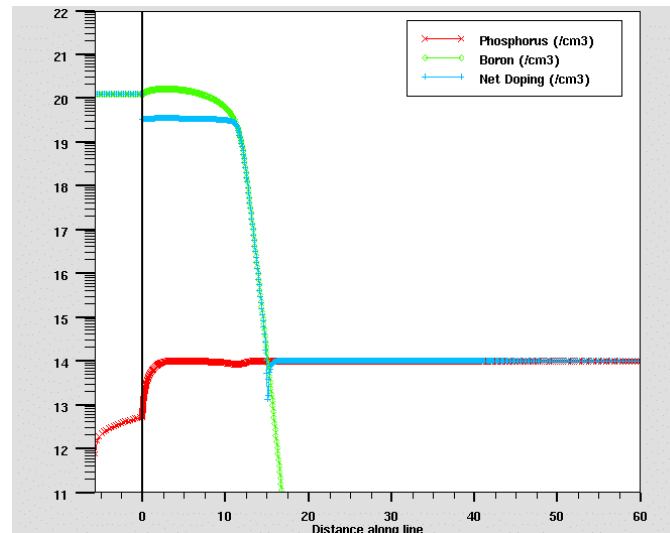


Figure 48 : Profil de dopage de la diffusion des impuretés de bore contenues dans le polysilicium.

## CONCLUSION

Nous avons présenté dans ce chapitre l'optimisation des étapes technologiques de la filière technologique flexible permettant la réalisation de fonctions de puissance complexes basées sur le mode d'intégration fonctionnelle.

Cette filière est basée sur une succession d'étapes technologiques de base permettant la réalisation d'une structure de type IGBT (ou association MOS-thyristor) qui constitue l'élément générique dans notre stratégie de conception. Ces étapes de base ont été définies et optimisées dans la perspective de pouvoir inclure des étapes spécifiques permettant la réalisation de fonctions plus complexes.

Ainsi, la première partie de ce chapitre a été consacrée à l'optimisation et à la description des étapes de base, comprenant les périphéries haute tension, l'anode face arrière, la grille en polysilicium permettant l'autoalignement ainsi que la matérialisation des cellules IGBT (caisson P, court-circuit P<sup>+</sup> et cathode N<sup>+</sup>). Il est à noter que cette filière permet de réaliser deux types de caissons P avec des doses et énergies différentes adaptées à des IGBT ou à des associations MOS-thyristor.

Autour de ces étapes de base nous avons présenté ensuite l'ensemble des étapes technologiques de la filière.

Les structures MOS à enrichissement et à canaux préformés sont des éléments importants car ils permettent d'accéder à de nouvelles fonctionnalités. Aussi, une grande partie de ce chapitre est consacrée à leur optimisation. Cette optimisation a été basée sur la simulation du processus technologique suivi d'une simulation électrique permettant d'obtenir les tensions de seuil et les valeurs des courants de fuite. Après avoir déterminé les doses et

énergies d'implantation, nous avons réalisé les quatre types de MOS (N, P, à enrichissement et à canal préformé) ainsi que des structures permettant d'effectuer des caractérisation physiques par SIMS afin d'obtenir les différents profils de dopage.

D'un point de vue physique, les résultats obtenus par les mesures SIMS ont permis la validation du processus par auto-alignement qui prévoit la réalisation de la grille en polysilicium dopée N avant toutes les étapes de recuit thermique. De plus, les profils de dopage des caissons P et N mesurés sont en bon accord avec les profils simulés. En revanche, au niveau des canaux préformés des transistors NMOS, nous avons noté des écarts entre les résultats de simulation et les résultats expérimentaux.

D'un point de vue électrique, les valeurs de tensions de seuil des transistors MOS à enrichissement et des transistors PMOS à canaux préformés correspondent bien aux valeurs prévues par la simulation. Les écarts entre les profils de dopage mesurés et obtenus par simulation, pour les NMOS à canaux préformés, sont confirmés par l'obtention de tension de seuil différentes entre les résultats expérimentaux et les simulations.

La dernière partie a été consacrée à l'optimisation des autres étapes spécifiques concernant :

- la réalisation de régions  $N^+$  face arrière permettant de matérialiser des zones de cathode pour l'intégration de diodes assurant la conduction inverse.
- la réalisation de caissons traversant permettant d'obtenir des tenues en tension symétriques.
- la réalisation d'implantation P faible dose face arrière pour matérialiser des anodes semi-transparentes pour des IGBT basés sur le contrôle de l'injection.

**Bibliographie du chapitre 2 :**

- [1] M. BREIL, "Etude d'associations MOS-Thyristor autoamorçables et blocables. Exemple d'intégration de la fonction thyristor dual", Thèse de doctorat de l'Institut National des Sciences Appliquées, Toulouse, Janvier 1998.
- [2] M.R. MAC PHERSON, "The adjustment of MOS transistor threshold voltage by ion implantation", Applied Physics Letters, Vol. 18, n° 11, June 1971, pp. 502-504.
- [3] L. FORBES, "n-channel ion-implanted enhancement/depletion FET circuit and fabrication technology", IEEE Journal of Solid-State Circuits, Vol. SC-8, June 1973, pp. 226-230.
- [4] R.B. FAIR, "History of some early developments in ion-implantation technology leading to silicon transistor manufacturing", Proceedings of the IEEE, Vol. 86, n° 1, January 1998, pp. 111-137.
- [5] R. BERRIANE, "Conception et réalisation d'un thyristor à gâchette isolée commandé par voie optique : un exemple d'interrupteur intégré de puissance", Thèse de doctorat de l'Université Paul Sabatier, Toulouse, Juillet 1993.
- [6] J. ARNOULD et P. MERLE, "Dispositifs de l'électronique de puissance", Traité des nouvelles Technologies Electroniques, HERMES.
- [7] O. CAUSSE, "Contribution à l'amélioration de la fonctionnalité et des performances de l'IGBT", Thèse de doctorat de l'Université Paul Sabatier, Toulouse, Juin 2001.
- [8] E. SCHEID, L. FURGAL and H. VERGNES, 'Boron doped polysilicon deposition in a sector reactor : Specific phenomena and properties', Proceedings of EUROCVI 12, J. Phys. IV France, Sitgès, Vol. 9, n°8, , Sept. 1999, pp. 885-892.

## **III. VALIDATION DE LA FILIERE TECHNOLOGIQUE**



## INTRODUCTION

Nous présentons dans ce chapitre les différents dispositifs tests que nous avons réalisés afin de valider l'enchaînement des étapes technologiques de base ainsi que les étapes spécifiques optimisées dans le chapitre précédent.

Dans un premier temps, nous allons présenter l'enchaînement des étapes technologiques du processus complet que nous avons réalisé à la centrale de technologie du laboratoire.

Ensuite, nous présenterons les différents véhicules de tests que nous avons réalisé en précisant pour chacun d'entre eux, les différents éléments de conception, et les résultats de caractérisation. Nous présenterons tout d'abord des composants de base, tels que des diodes Zener, des transistors bipolaires, et des transistors MOS, puis des composants de puissance (IGBT et thyristors), et enfin des dispositifs plus complexes procédant du mode d'intégration fonctionnelle comme le thyristor dual et le micro-disjoncteur.

### **III.1. Récapitulation des étapes technologiques du processus de fabrication**

Nous rappelons dans ce paragraphe les étapes du processus de fabrication que nous utilisons pour réaliser les différents dispositifs qui vont nous permettre de valider la filière technologique. Ce processus technologique comprend 14 niveaux de masquage et inclus toutes les étapes que nous avons optimisé dans le chapitre précédent dans le cadre de la réalisation des quatre types de MOS plus les étapes de photolithographies double face et des étapes relatives aux terminaisons de jonction.

La Figure 1 représente l'ensemble des étapes technologiques de la filière flexible illustrées pour les principaux composants tests réalisés. A chaque étape nous précisons la modification structurelle apportée aux différents composants. La Figure 2 permet d'illustrer une coupe de principe des différents régions réalisées pour chacun des composants.

Le détail des différentes étapes est donné dans l'Annexe 2.

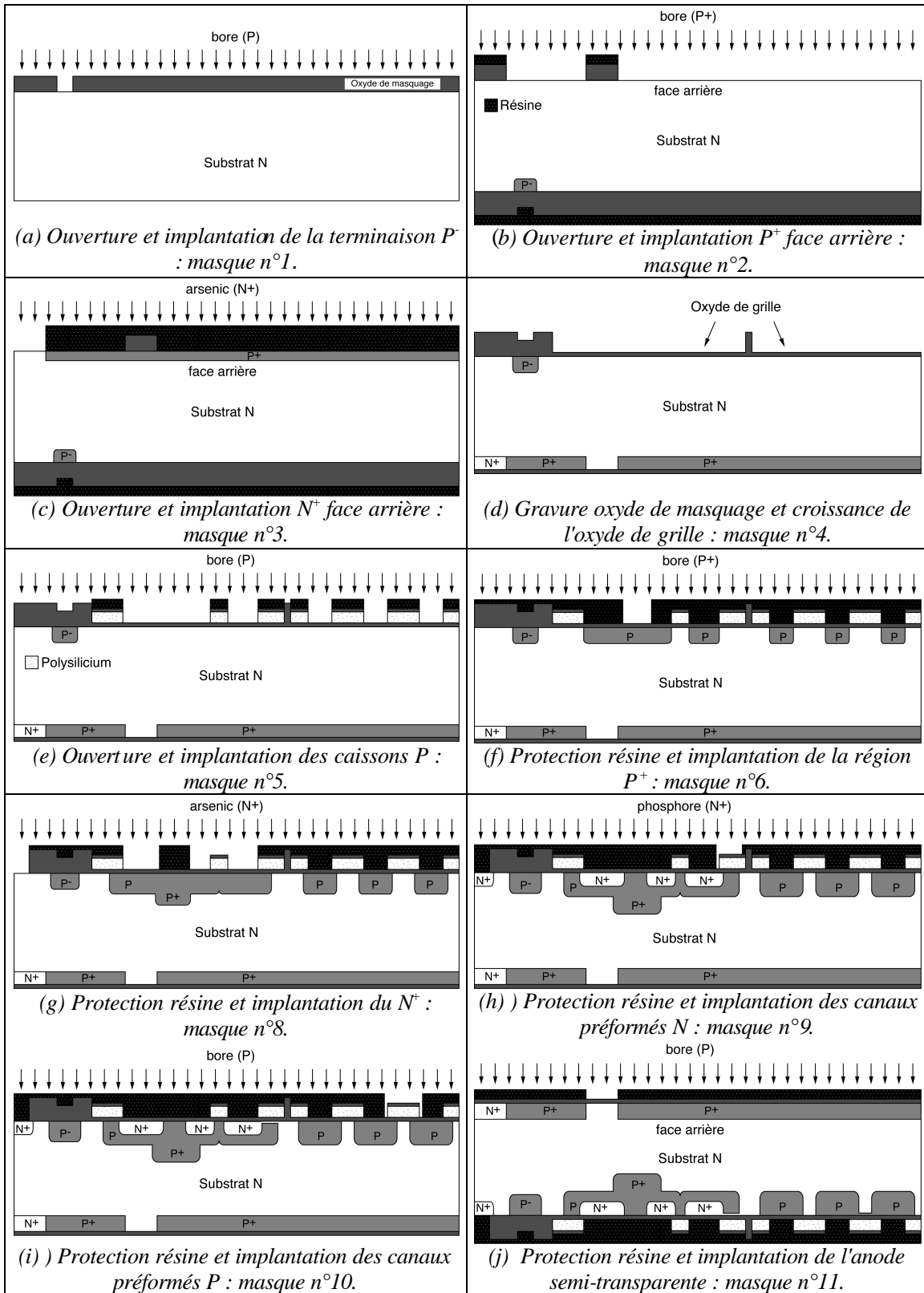


Figure 1 : Enchaînement des étapes technologiques.



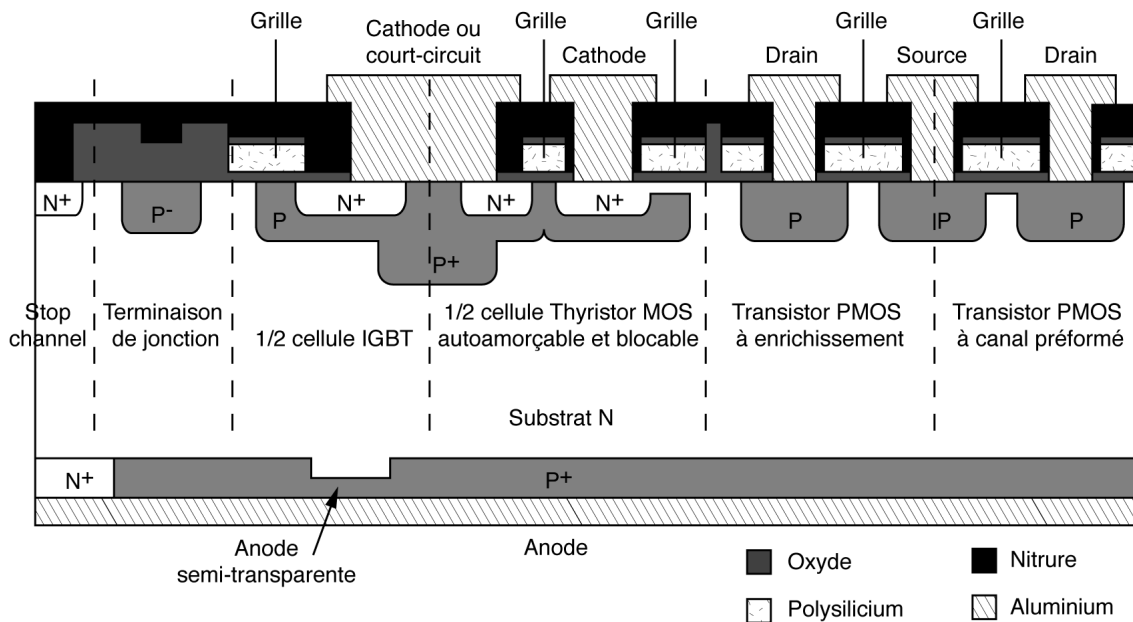


Figure 2 : Coupe de principe des régions réalisées pour les différents composants.

### III.2. Choix, conception et validation expérimentale des véhicules de tests

Les dispositifs de tests que nous avons choisi de réaliser vont nous permettre, d'une part de valider les différentes étapes de la filière technologique ainsi que leur enchaînement, et d'autre part d'illustrer les potentialités offertes pour cette filière.

Nous avons prévu des composants de base (diodes, diodes Zener, transistor MOS), des composants de puissance (IGBT, thyristors, diodes PIN), mais également des fonctions plus complexes procédant du mode d'intégration fonctionnelle comme le thyristor dual et le micro-disjoncteur. Il est à noter, que dans ces travaux, l'objectif premier consiste à mettre en évidence la souplesse et la versatilité de la filière technologique, notamment la possibilité de réaliser des fonctions différentes au cours du même processus de fabrication. En fonction des premiers résultats, un jeu de masque optimisé sera réalisé ultérieurement pour obtenir des dispositifs plus performants. Dans cette partie, nous présentons les principaux éléments de conception, les principales règles de dessin adaptées, et les caractéristiques électriques des dispositifs que nous avons réalisés. La conception de chaque dispositif est basée sur des simulations bidimensionnelles ou sur des modèles analytiques développés durant la thèse de M. MARMOUGET [1]. Il est à noter que les différentes fonctions intégrées ont déjà été étudiées en détail au laboratoire et elles seront considérées ici comme des véhicules tests permettant de mettre en évidence l'intérêt de la filière flexible.

### **III.2.1. Transistors MOS**

#### **III.2.1.1. Conception**

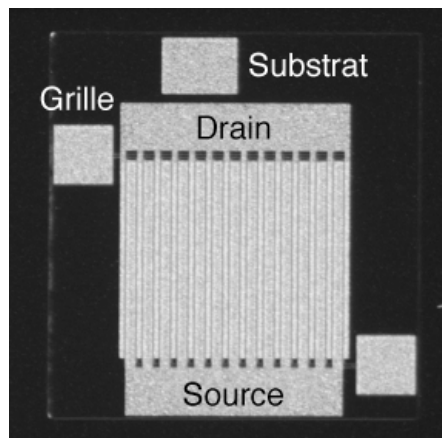
Comme nous l'avons vu dans le chapitre précédent la réalisation des quatre types de transistors MOS à canaux N ou P, à enrichissement ou à déplétion a permis d'optimiser et de valider les étapes technologiques telles que la réalisation du polysilicium de grille et les caissons P et N<sup>+</sup> ainsi que les étapes d'implantation ionique à travers le polysilicium pour former des canaux préformés. Ils constitueront ici les éléments tests de base.

Au niveau du dimensionnement des transistors nous avons choisi de réaliser les transistors NMOS avec une longueur de grille L de 4 µm sur masque, soit 2 µm en final, et des largeurs de grille Z de 13000 et 18000 µm. Pour les transistors MOS de type P, les longueurs de grille L sur masque sont de 15 µm (7 µm au final) avec des largeurs Z de 9000 et 13000 µm.

Les transistors NMOS sont réalisés dans des caissons P réalisés par autoalignement avec une dose de bore implantée de  $1.10^{14} \text{ cm}^{-2}$ .

Les transistors PMOS sont réalisés directement sur le substrat dopé à  $1.10^{14} \text{ cm}^{-3}$ .

La Figure 3 représente la vue de dessus d'un transistor NMOS.



*Figure 3 : Photographie d'un transistor NMOS.*

#### **III.2.1.2. Validation expérimentale**

##### **III.2.1.2.1. Transistor MOS à enrichissement**

Les tests électriques effectués ont permis de mesurer les différentes tensions de seuil. En ce qui concerne les NMOS, la valeur de la tension de seuil est de 2,5 V. Les tensions de

seuil des transistors de type P sont de -1,2 V. Les valeurs des courants de fuites sont très faibles, de l'ordre de quelques nanoampères. Les Figures 4 et 5 représentent respectivement les réseaux de caractéristiques statiques d'un transistor NMOS et d'un transistor PMOS.

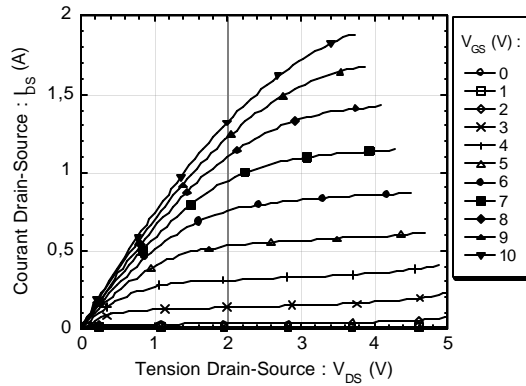


Figure 4 : Réseau de caractéristiques  $I_{DS}(V_{DS})$  d'un transistor NMOS à enrichissement pour différentes valeurs de  $V_{GS}$ .

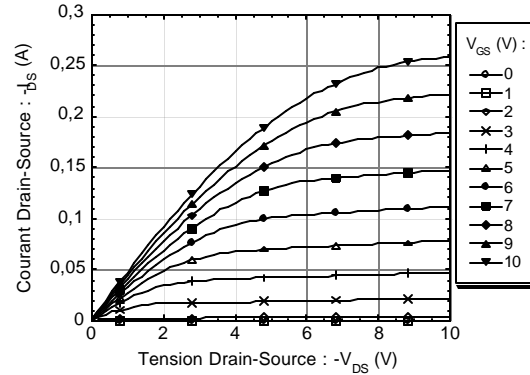


Figure 5 : Réseau de caractéristiques  $-I_{DS}(-V_{DS})$  d'un transistor PMOS à enrichissement pour différentes valeurs de  $V_{GS}$ .

### III.2.1.2.2. Transistors MOS à canaux préformés

#### a) Transistors NMOS

Les premiers tests effectués sur des transistors MOS réalisés avec des énergies d'implantation de 190 et 200 keV ont montré que l'augmentation de l'épaisseur d'oxyde de grille constatée lors de l'optimisation du procédé technologique (cf. Annexe 2) n'influçait pas les doses de phosphore présentes dans le canal. En effet, les valeurs de tensions de seuil, pour ces énergies, se situent au niveau de celles mesurées lors de la réalisation des quatre types de transistors MOS et présentées au chapitre précédent. Ces valeurs se situent autour de -7,7 V avec des courants de fuite élevés, de l'ordre du milliampère. Ces résultats ne permettaient pas d'obtenir un bon fonctionnement des dispositifs utilisant des transistors MOS à canaux préformés (micro-disjoncteur).

Après ces premiers résultats nous avons réalisé des transistors avec des énergies d'implantation de 180 et 185 keV. Les caractéristiques de transfert  $I_{DS}(V_{GS})$  en fonction des doses et énergies d'implantation de phosphore sont illustrées sur la Figure 6.

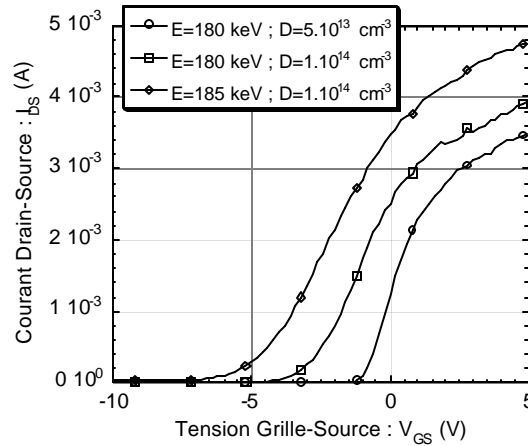


Figure 6 : Caractéristique de transfert  $I_{DS}(V_{GS})$  pour  $V_{DS}=10$  mV.

Nous donnons les valeurs des tensions de seuil et des courants passants pour une tension  $V_{DS}$  de 2,5 V dans le Tableau 1. Les courants de fuite de ces dispositifs varient de quelques nanoampères, pour les transistors dont la dose implantée est la plus faible, à une dizaine de microampères pour ceux dont la dose implantée est la plus élevée.

Energie d'implantation de phosphore (keV)	Dose d'implantation de phosphore (cm <sup>-2</sup> )	Largeur de grille Z (mm)	Tension de seuil (V)	Courant passant I (A)
180	5.10 <sup>13</sup>	13000	-0,8	0,029
		18000		0,042
	1.10 <sup>14</sup>	13000	-2,8	0,26
		18000		0,32
185	1.10 <sup>14</sup>	13000	-4,5	0,40
		18000		0,48

Tableau 1 : Caractéristiques électriques des transistors NMOS à canaux préformés.

Les tensions de seuil, qui s'échelonnent ici de -0,8 V à -4,5 V, sont compatibles avec les exigences des fonctions de type micro-disjoncteurs.

**b) Transistors PMOS**

Comme prévu, les valeurs des tensions de seuil sont identiques à celles présentées dans le chapitre précédent lors de la caractérisation des transistors PMOS. La Figure 7 représente les caractéristiques de transfert  $I_{DS}(V_{GS})$  en fonction des doses et énergies d'implantation du bore.

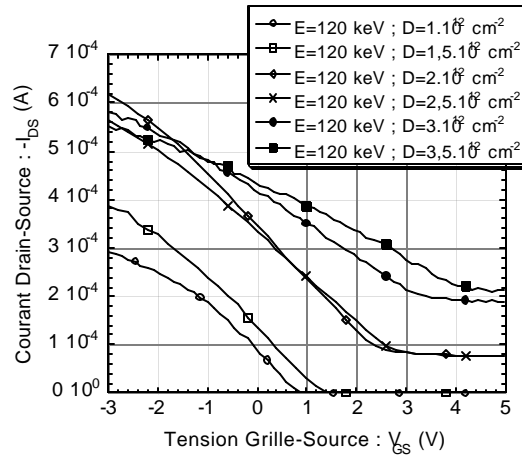


Figure 7 : Caractéristiques de transfert  $-I_{DS}(V_{GS})$  pour  $V_{DS} = -10$  mV.

Les valeurs des tensions de seuil et des courants passants pour une tension  $V_{DS}$  de 2,5 V sont représentés dans le Tableau 2. Il est à noter que la longueur de grille  $Z$  de ces dispositifs est de 9000  $\mu\text{m}$ .

Dose d'implantation de bore (cm <sup>-2</sup> )	Tension de seuil (V)	Courant passant I (mA)
1.10 <sup>12</sup>	0,7	6
1,5.10 <sup>12</sup>	1,4	10
2.10 <sup>12</sup>	2,5	50
2,5.10 <sup>12</sup>	2,7	55
3.10 <sup>12</sup>	3	68
3,5.10 <sup>12</sup>	3,7	75

Tableau 2 : Caractéristiques électriques des transistors PMOS à canaux préformés.

Nous voyons que ces résultats électriques correspondent à ceux obtenus lors de la première réalisation de transistors PMOS présentés dans le chapitre précédent. Il est ainsi possible de réaliser des dispositifs avec des tensions de seuil s'échelonnant entre 0,7 et 3,7 V en changeant uniquement la dose d'implantation.

Les résultats obtenus sur les 4 types de transistors MOS, réalisés avec la filière complète, permettent de valider une partie des étapes de base de la filière (caisson P et cathode N<sup>+</sup>) ainsi que les étapes spécifiques d'implantation ionique à travers le polysilicium de grille pour la réalisation des canaux préformés.

### III.2.2. Cellules tests

#### III.2.2.1. Conception des structures

Nous avons réalisé des structures de test pour permettre de caractériser la technologie :

- une capacité MOS permettant de déterminer les charges fixes dans l'oxyde,
- une diode haute tension permettant de caractériser les terminaisons de jonction,
- trois diodes Zener: une réalisée dans un caisson P<sup>-</sup> et une autre dans un caisson P<sup>+</sup>,
- des résistances permettant de mesurer la résistance carrée du caisson P et la résistance carrée de ce caisson sous la cathode,
- des transistors bipolaires PNP et NPN permettant de mesurer les gains.

#### III.2.2.2. Validation expérimentale

Nous avons effectué la caractérisation électrique des diodes Zener réalisées dans les caissons P<sup>+</sup> et P<sup>-</sup>, et des transistors bipolaires NPN et PNP.

##### III.2.2.2.1. Diodes Zener

Les Figures 8 et 9 montrent les caractéristiques  $I_{AK}(V_{AK})$  des diodes Zener réalisés respectivement dans le caisson P<sup>+</sup> et dans le caisson P<sup>-</sup>. La tension de claquage est de 12 V pour les diodes réalisées dans le caisson P<sup>+</sup> et de 50 V dans le caisson P<sup>-</sup>.

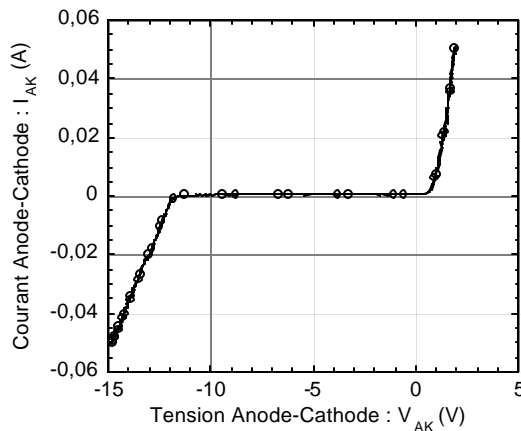


Figure 8 : Caractéristique statique  $I_{AK}(V_{AK})$  d'une diode Zener réalisée dans un caisson P<sup>+</sup>.

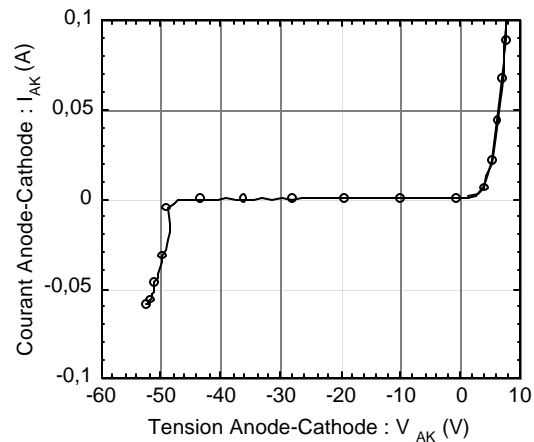


Figure 9 : Caractéristique statique  $I_{AK}(V_{AK})$  d'une diode Zener réalisée dans un caisson P<sup>-</sup>.

### III.2.2.2.2. Transistors bipolaires

#### a) Transistor NPN

Les transistors NPN sont basés sur une structure latérale. Le collecteur  $N^-$  est réalisé dans le substrat dopé à  $10^{14} \text{ cm}^{-3}$  et possède une épaisseur de  $280 \mu\text{m}$ , la base P dans un caisson de concentration en surface  $6.10^{17} \text{ cm}^{-3}$  avec une épaisseur de  $5 \mu\text{m}$ , et l'émetteur  $N^+$  dans le caisson de concentration en surface  $10^{20} \text{ cm}^{-3}$  et d'épaisseur  $1 \mu\text{m}$ .

La Figure 10 représente les caractéristiques  $I_C(V_{CE})$  pour plusieurs valeurs de  $I_B$  d'un transistor NPN. Le gain en courant  $I_C/I_B$  de ce transistor bipolaire est de l'ordre de 40.

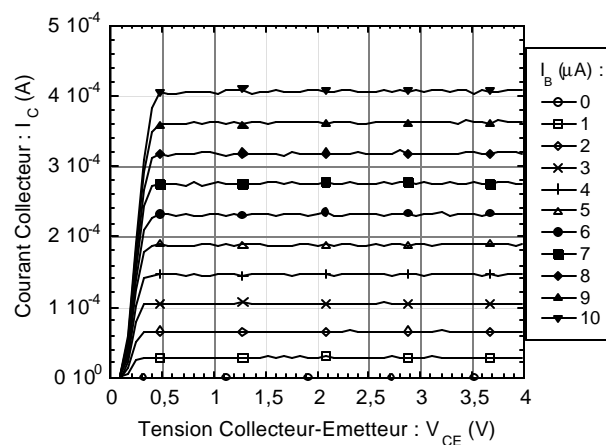


Figure 10 : Réseau de caractéristiques  $I_C(V_{CE})$  d'un transistor NPN pour différentes valeurs de  $I_B$ .

#### b) Transistor PNP

Les transistors PNP sont basés sur une structure verticale. L'émetteur  $P^+$  se trouve sur la face arrière de la plaquette avec une concentration en surface de  $3.10^{19} \text{ cm}^{-3}$  et une épaisseur de  $7 \mu\text{m}$ , la base  $N^-$  a une épaisseur de  $280 \mu\text{m}$  et un dopage de  $10^{14} \text{ cm}^{-3}$ , et le collecteur P situé sur la face avant avec une concentration de  $6.10^{17} \text{ cm}^{-3}$  et une épaisseur de  $5 \mu\text{m}$ . La caractéristique statique  $-I_C(-V_{CE})$  d'un transistor PNP pour plusieurs valeurs du courant de base est illustrée sur la Figure 11. Le gain en courant est de 0,2, caractéristique d'un dispositif présentant une base large ( $280 \mu\text{m}$ ) peu dopée.

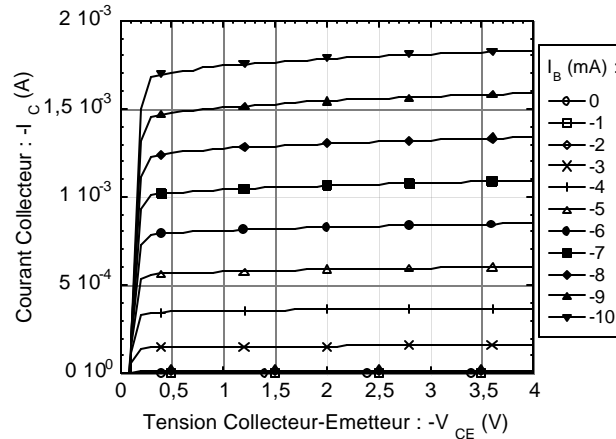


Figure 11 : Caractéristique statique  $-I_C(-V_{CE})$  d'un transistor PNP.

### III.2.3. IGBT

#### III.2.3.1. Conception

L'IGBT est le composant de puissance de base de notre filière technologique. En effet, alliant la conception des transistors MOS en surface à celle des transistors bipolaires dans le volume, il illustre parfaitement le mode d'intégration fonctionnelle.

Sa structure basée sur un agencement quatre couches munies d'une grille MOS est présentée sur la Figure 12a.

Le schéma équivalent complet met en évidence la présence d'un thyristor parasite. En effet, le transistor bipolaire NPN parasite couplé avec le transistor bipolaire PNP peut initier un phénomène de déclenchement en mode thyristor. Pour éloigner la valeur du courant de déclenchement à des niveaux de courant élevés (supérieurs aux niveaux du courant nominal), le dispositif est très fortement désensibilisé par des courts-circuits, matérialisés par des zones P<sup>+</sup>, au niveau de la jonction émetteur/base du transistor NPN. La présence de ces courts-circuits se traduit sur le schéma électrique par la résistance R<sub>CC</sub>. Il est à noter que les possibilités de notre filière nous permettent de réaliser sur la même plaque des IGBT avec une anode profonde de 7 μm et des IGBT avec une anode dite semi-transparente de profondeur inférieur à 1 μm et avec un dopage beaucoup plus faible afin de contrôler l'injection des porteurs minoritaires dans la base N par l'anode. Cette spécificité permettant de marier deux structures IGBT avec des niveaux d'injection différents, donc avec des niveaux de modulations de conductivité différents, doit permettre de mieux régler les compromis entre pertes en conduction et en commutation.



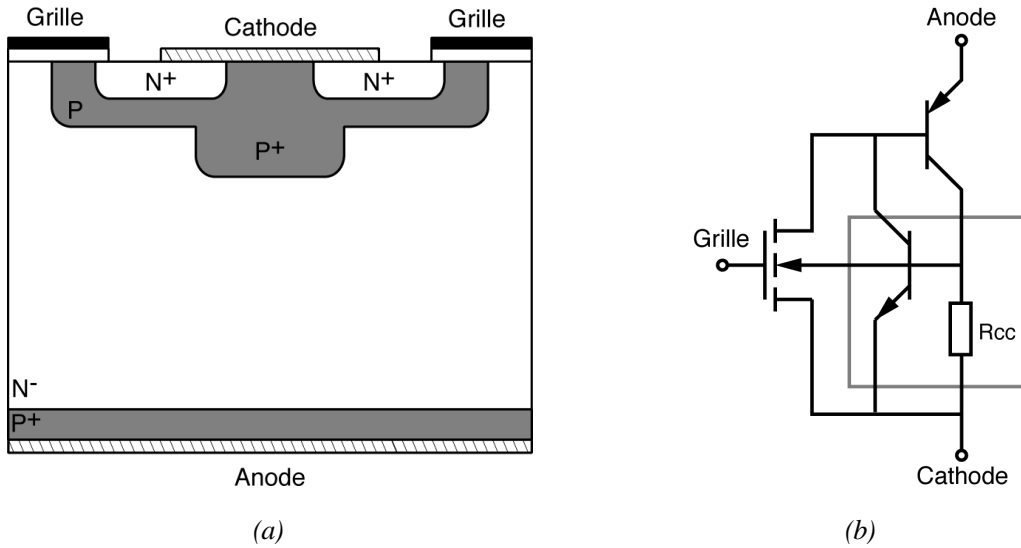


Figure 12: Structure de l'IGBT (a) et schéma électrique équivalent montrant le transistor NPN parasite (b).

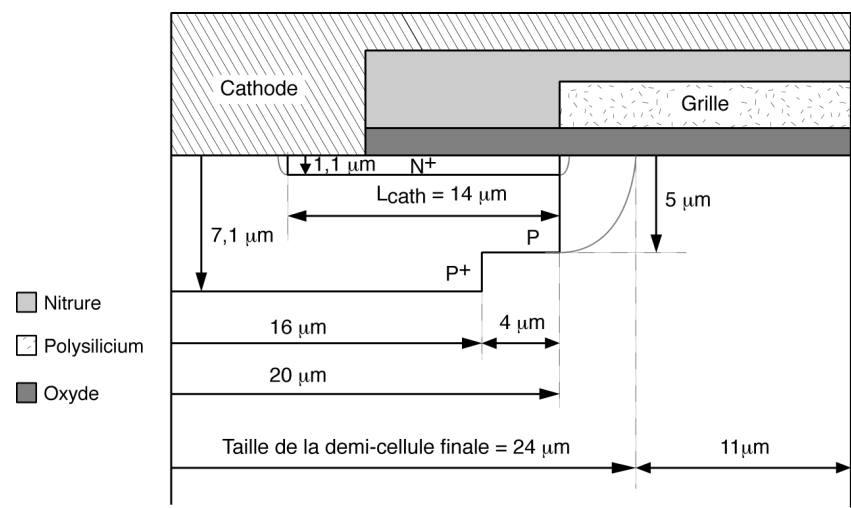


Figure 13 : Règles de conception pour la demi-cellule IGBT.

Nous avons fabriqué des IGBT à partir de cellules élémentaires carrées de dimensions finales  $48 \mu\text{m} \times 48 \mu\text{m}$  avec des distances entre cellules de  $22 \mu\text{m}$ . La longueur du canal du transistor MOS est d'environ  $3 \mu\text{m}$  au final et la largeur Z d'une cellule est de  $168 \mu\text{m}$ . Nous avons mis au total 388 cellules en parallèle ce qui nous donne une largeur de canal Z totale d'environ  $65200 \mu\text{m}$  et une surface active totale de  $19.10^{-3} \text{cm}^2$ .

Nous avons reporté sur la Figure 13 les différents paramètres géométriques de la cellule de base permettant la désensibilisation du thyristor parasite sans détériorer la tension de seuil de la section MOS de commande fixée par la concentration en surface maximale de la

région P double diffusée. Nous voyons, sur cette figure, que la distance entre le caisson P et le caisson P<sup>+</sup> est de 4 μm.

Les différentes doses de bore et d'arsenic implantées sont celles que nous avons définies dans le chapitre précédent, à savoir  $1.10^{16} \text{ cm}^{-2}$  et  $1.10^{14} \text{ cm}^{-2}$  de bore pour réaliser respectivement le court-circuit P<sup>+</sup> et le caisson P, et une implantation ionique d'arsenic avec une dose de  $1.10^{16} \text{ cm}^{-2}$  permet de réaliser la cathode N<sup>+</sup>. Ainsi, nous obtenons, pour le puits P<sup>+</sup>, une concentration en surface de  $3.10^{19} \text{ cm}^{-3}$  et une profondeur de 7 μm. Le caisson P présente une concentration en surface de  $6.10^{17} \text{ cm}^{-3}$ , et une profondeur de jonction de 5 μm. Enfin, les cathodes N<sup>+</sup> ont une concentration en surface de  $1.10^{20} \text{ cm}^{-3}$  et une profondeur de jonction de 1 μm. La Figure 14 illustre la vue de dessus d'un dispositif IGBT.

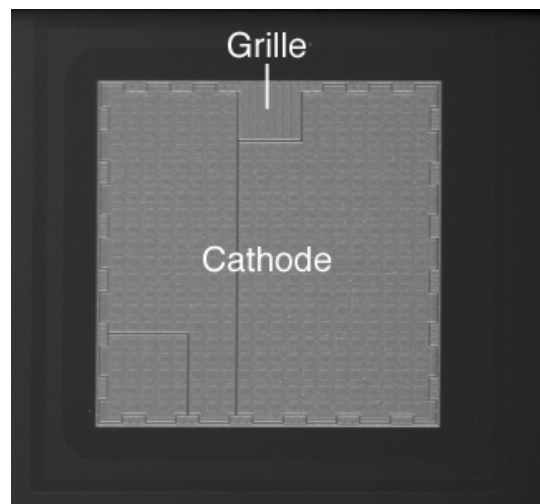


Figure 14 : Photographie d'un dispositif IGBT.

### **III.2.3.2. Validation expérimentale**

#### **a) Caractéristique statique**

La caractéristique statique  $I_{AK}(V_{AK})$  et la caractéristique de transfert  $I_{KK}(V_{GK})$  d'un IGBT avec une anode P<sup>+</sup> de 7 μm et une concentration en surface de  $3.10^{19} \text{ cm}^{-3}$  sont représentés respectivement sur les Figures 15 et 16. La valeur de la tension de seuil est de 2 V.

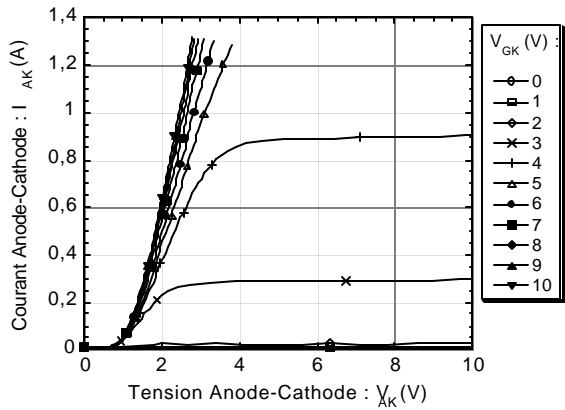


Figure 15 : Réseau de caractéristiques  $I_{AK}(V_{AK})$  paramétrées en  $V_{GK}$  d'un IGBT.

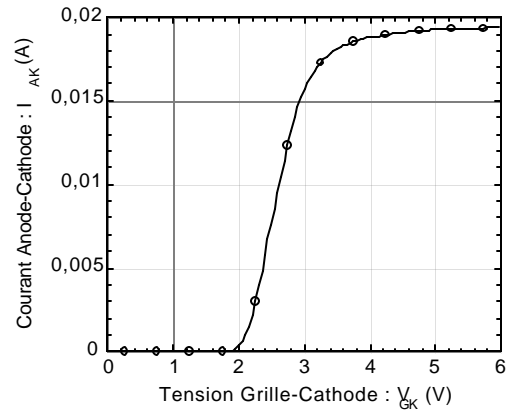


Figure 16 : Caractéristique de transfert  $I_{AK}(V_{GK})$  d'un IGBT.

Nous avons reporté sur la Figure 17 les caractéristiques statiques  $I_{AK}(V_{AK})$  d'un IGBT avec une anode semi-transparente de profondeur  $0,3 \mu\text{m}$  et une concentration en surface de  $1.10^{17} \text{cm}^{-3}$ .

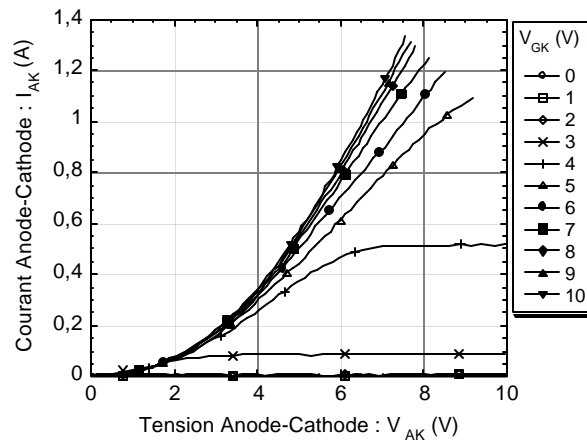


Figure 17 : Réseau de caractéristiques  $I_{AK}(V_{AK})$  d'un IGBT rapide paramétrées en  $V_{GK}$

La Figure 18 illustre la différence des caractéristiques statiques entre un IGBT avec une anode  $P^+$  de  $7 \mu\text{m}$  et des IGBT avec des anodes semi-transparentes pour une tension de grille de  $5 \text{V}$ . Nous voyons clairement l'influence du niveau d'injection sur les caractéristiques statiques  $I_{AK}(V_{AK})$ . En effet, pour les anodes les plus dopées la chute de tension à l'état passant est nettement plus faible que pour les dispositifs réalisés avec une anode semi-transparente.

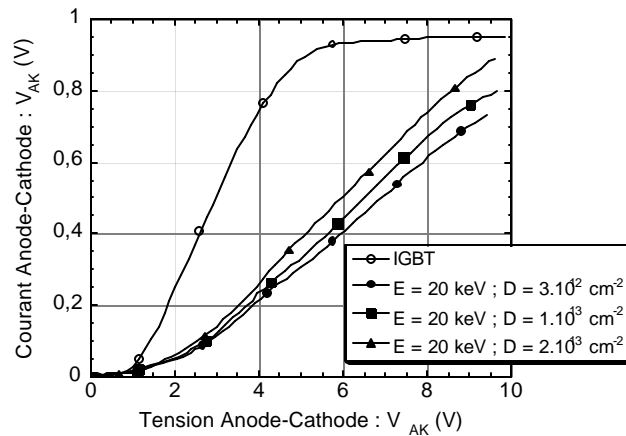
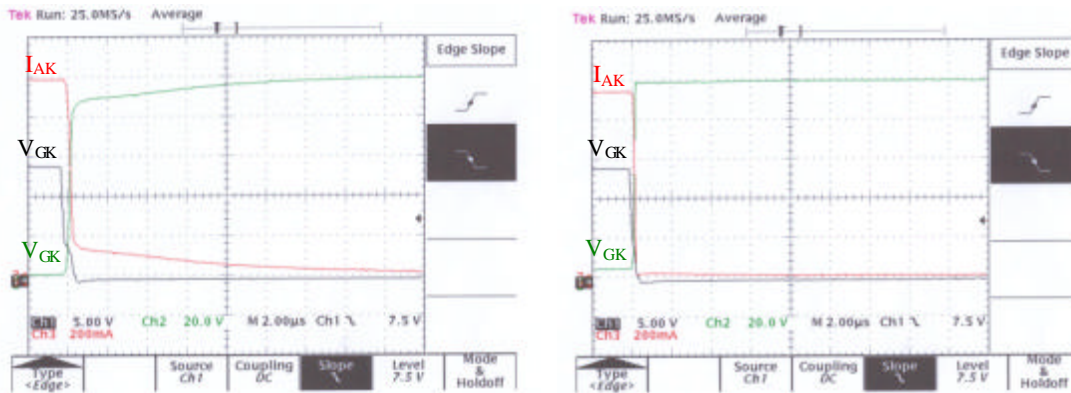


Figure 18 : Réseau de caractéristiques  $I_{AK}(V_{AK})$  pour une tension de grille de 5 V et pour différentes caractéristiques d'anodes semi-transparentes.

### III.2.3.3. Caractéristique dynamique

Nous avons reporté sur les Figures 19a et 19b les performances à l'ouverture des deux types d'IGBT. L'IGBT réalisé avec l'anode profonde (Figure 19a) présente une queue de courant importante lors de la phase de blocage tandis que la structure réalisée avec l'anode semi-transparente se caractérise par une chute plus rapide du courant. Ainsi, nous pouvons qualifier le premier de lent et le deuxième de rapide.



(a)

(b)

Figure 19 : Performances à l'ouverture d'un IGBT avec une anode  $P^+$  de 7  $\mu\text{m}$  (a) et d'un IGBT avec une anode semi-transparente (b).

Nous pouvons souligner ici l'intérêt de cette filière qui pourrait nous permettre à terme de réaliser un interrupteur monolithique associant deux dispositifs optimisés pour minimiser les pertes. En effet l'IGBT lent, mais présentant de faibles chutes de tensions, pourrait être utilisé lors de la phase de conduction, l'IGBT rapide prenant le relais juste avant le blocage pour assurer une commutation à l'ouverture avec moins de pertes [2].

### III.2.4. IGBT à canal préformé

#### III.2.4.1. Conception

L'IGBT à canal préformé ou limiteur de courant se distingue de l'IGBT classique par la présence d'un canal préformé. La réalisation de ce dispositif permettra de valider, outre l'enchaînement des étapes technologiques de base, l'étape d'implantation ionique de phosphore à travers le polysilicium de grille dans une région double diffusée. Cette étape technologique doit être bien maîtrisée car elle permet d'obtenir la tension de seuil de l'IGBT à canal préformé qui doit être convenablement ajustée. Ces dispositifs sont notamment utilisés comme générateurs de courant dans le thyristor dual intégré et les micro-disjoncteurs. La coupe et le schéma électrique équivalent sont présentés sur la Figure 20.

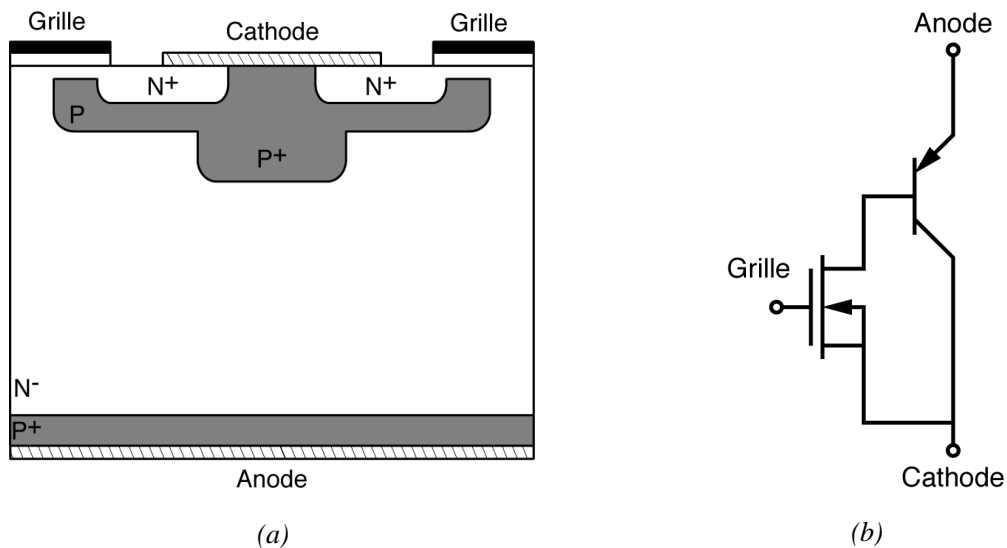


Figure 20 : Coupe de l'IGBT à canal préformé (a) et schéma électrique équivalent simplifié (b).

Le fonctionnement électrique est le même que pour les IGBT classiques hormis la mise en conduction qui se fait dès lors que la tension anode-cathode devient positive puisque le transistor MOS de commande est passant pour une tension de grille nulle. Ici, les tensions de seuil sont négatives et fonctions de la dose implantée dans le canal (Figure 21a). Pour une

tension de grille nulle les niveaux de courant fournis par la cellule dépendent du rapport  $Z/L$  et de la dose implantée pour réaliser le canal (Figure 21b) qui fixe de fait la tension de seuil.

Les dimensions géométriques de cette cellule sont les mêmes que celles de l'IGBT précédemment décrit (Figure 13).

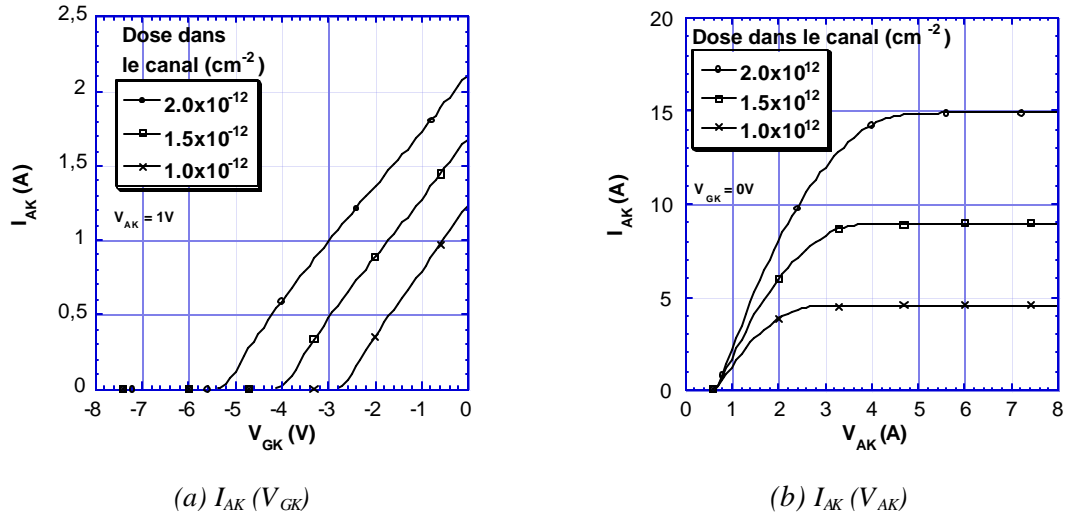


Figure 21 : Caractéristiques électriques statiques d'un IGBT à canal préformé [1].

Nous avons réalisé un dispositif comprenant 36 cellules IGBT à canal préformé et un autre en comprenant 100 (Figure 22) correspondant respectivement à des rapports  $Z/L$  de 2016 et 5600 et à des surfaces actives de  $1,76 \cdot 10^{-3}$  et  $4,9 \cdot 10^{-3}$  cm<sup>2</sup>. Les tensions de seuil seront bien entendu fixées par la dose implantée.

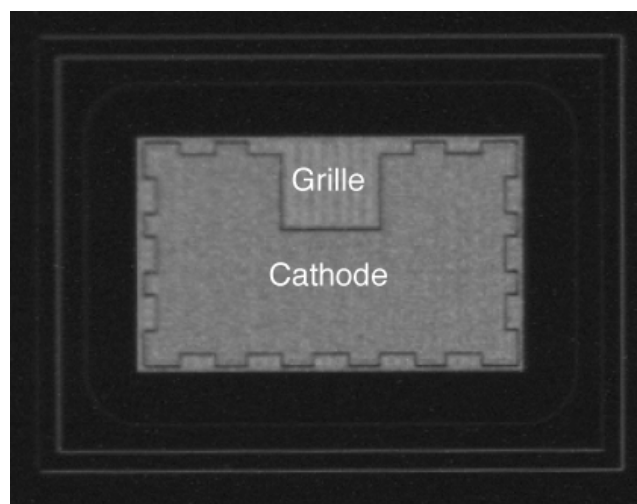


Figure 22 Photographie d'un IGBT à canal préformé.

### III.2.4.2. Validation expérimentale

Nous représentons sur la Figure 23 la caractéristique  $I_{AK}(V_{AK})$ , à tension de grille nulle, d'un IGBT à canal préformé de surface active  $1,76 \cdot 10^{-3} \text{ cm}^2$  et dont le canal a été réalisé avec une énergie d'implantation de 180 keV et une dose de phosphore implantée de  $5 \cdot 10^{13} \text{ cm}^{-2}$ . Une telle structure présente une tension de seuil de -2,6 V (Figure 24) et un courant passant de 40 mA (Figure 23).

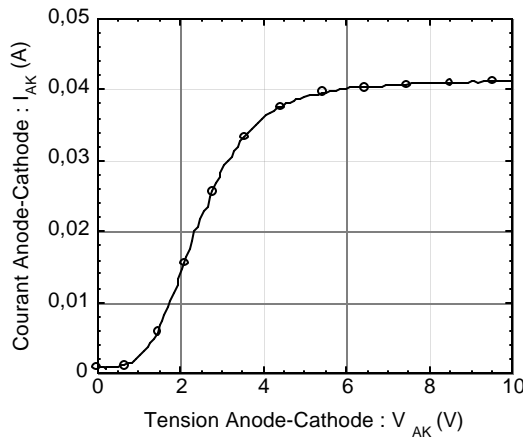


Figure 23 : Caractéristique statique  $I_{AK}(V_{AK})$  d'un IGBT à canal préformé réalisé avec une énergie de 180 keV et une dose de  $5 \cdot 10^{13} \text{ cm}^{-2}$ .

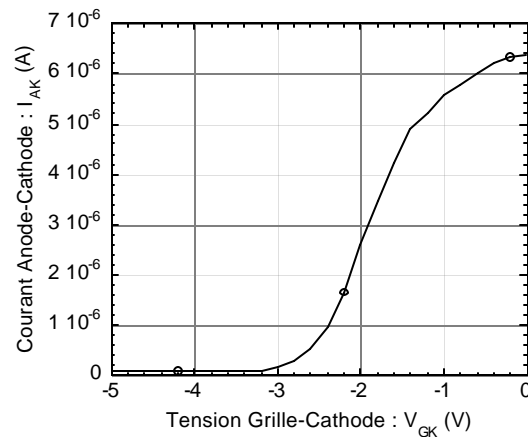


Figure 24 : Caractéristique de transfert  $I_{AK}(V_{GK})$  d'un IGBT à canal préformé réalisé avec une énergie de 180 keV et une dose de  $5 \cdot 10^{13} \text{ cm}^{-2}$ .

Les résultats obtenus sur ces dispositifs confirment l'enchaînement des étapes technologiques de base ainsi que l'étape d'implantation ionique de phosphore à travers le polysilicium de grille matérialisant les canaux préformés de type N.

### III.2.5. EST (Emitter Switched Thyristor)

#### III.2.5.1. Conception

L'EST (Emitter Switched Thyristor) fait partie de la famille des MGT (MOS gated thyristor). Ce dispositif, dont la structure de base (en termes de nature des couches) est identique à celle de l'IGBT, comprend un thyristor en série avec un transistor MOS à canal N intégré dans la région de base P de la région NPN de la section thyristor. La Figure 25 représente la coupe de la structure et le schéma électrique équivalent complet de l'EST. La commande à l'ouverture et à la fermeture se fait à partir d'une même électrode. Dès qu'une

tension positive, de valeur supérieure aux tensions de seuil des deux transistors MOS, est appliquée sur cette dernière le dispositif devient passant. La suppression de cette commande provoque le blocage du transistor MOS M2 et induit l'ouverture du dispositif.

Le transistor MOS M2 placé en série avec le thyristor conduit à la matérialisation d'un thyristor parasite qui, en fait, fixe les performances à l'ouverture. Pour désensibiliser la mise en conduction de ce thyristor parasite il convient d'optimiser la longueur et le dopage de la région P<sup>+</sup>. De plus, les longueurs d'émetteur flottant N<sup>+</sup>, du canal du transistor MOS M2 et le dopage de la région P doivent être convenablement ajustés afin d'obtenir un amorçage du thyristor principal à de faibles niveaux de courant [ 3]. Le dimensionnement de la demi-cellule unité est donné sur la Figure 26.

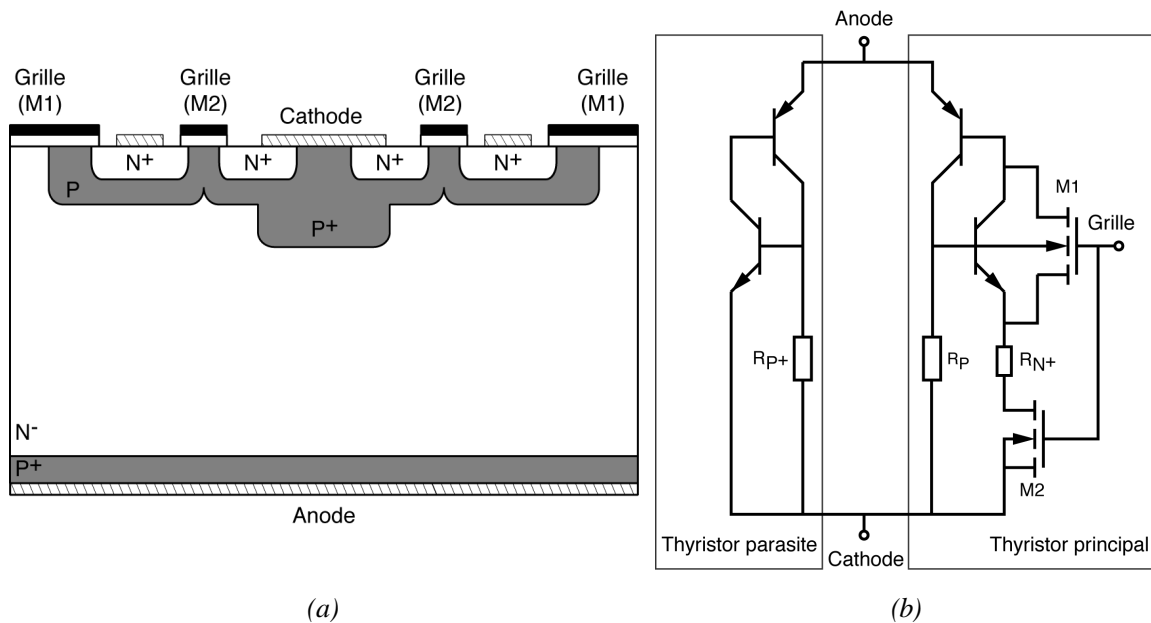


Figure 25 : Coupe schématique de l'EST (a) et schéma électrique équivalent (b).



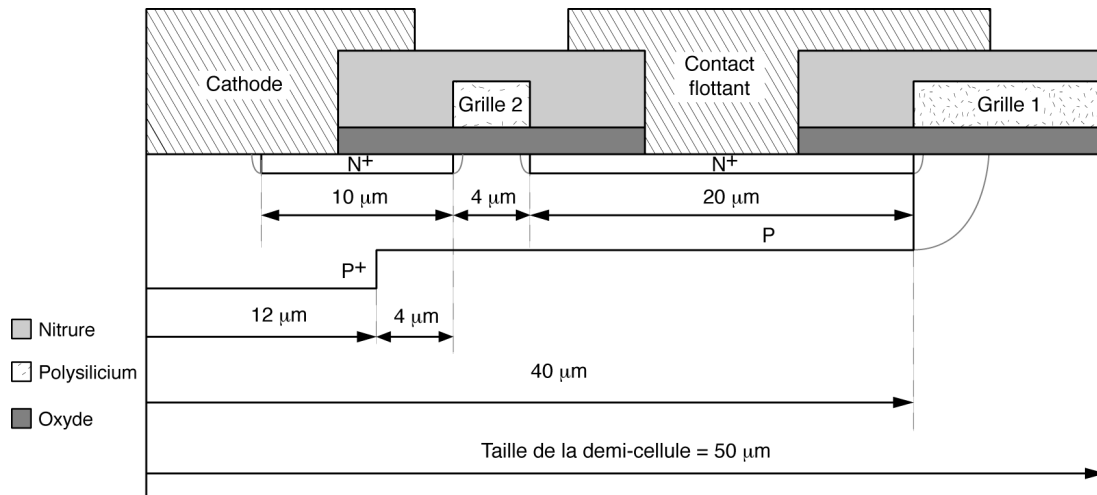


Figure 26 : Règles de dimensions pour la demi-cellule EST.

La structure multicellulaire que nous avons réalisée, illustrée sur la Figure 27, se présente sous forme de bandes parallèles de 500  $\mu\text{m}$  de longueur donnant au total une largeur de grille de 4000  $\mu\text{m}$ .

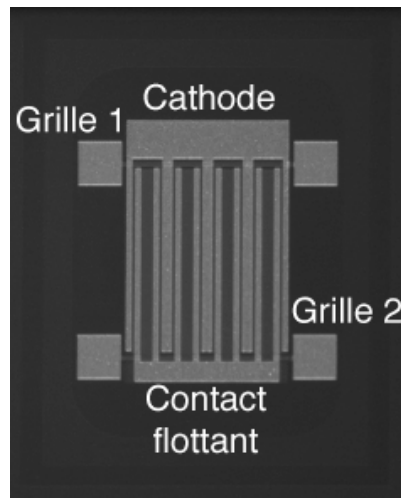


Figure 27 : Photographie d'un dispositif EST.

### III.2.5.2. Validation expérimentale

Sur la Figure 28a la structure fonctionne en mode IGBT jusqu'à des valeurs de courants de 7 mA, le fonctionnement en mode thyristor apparaît pour des valeurs de courants plus élevées (Figure 28b et c).

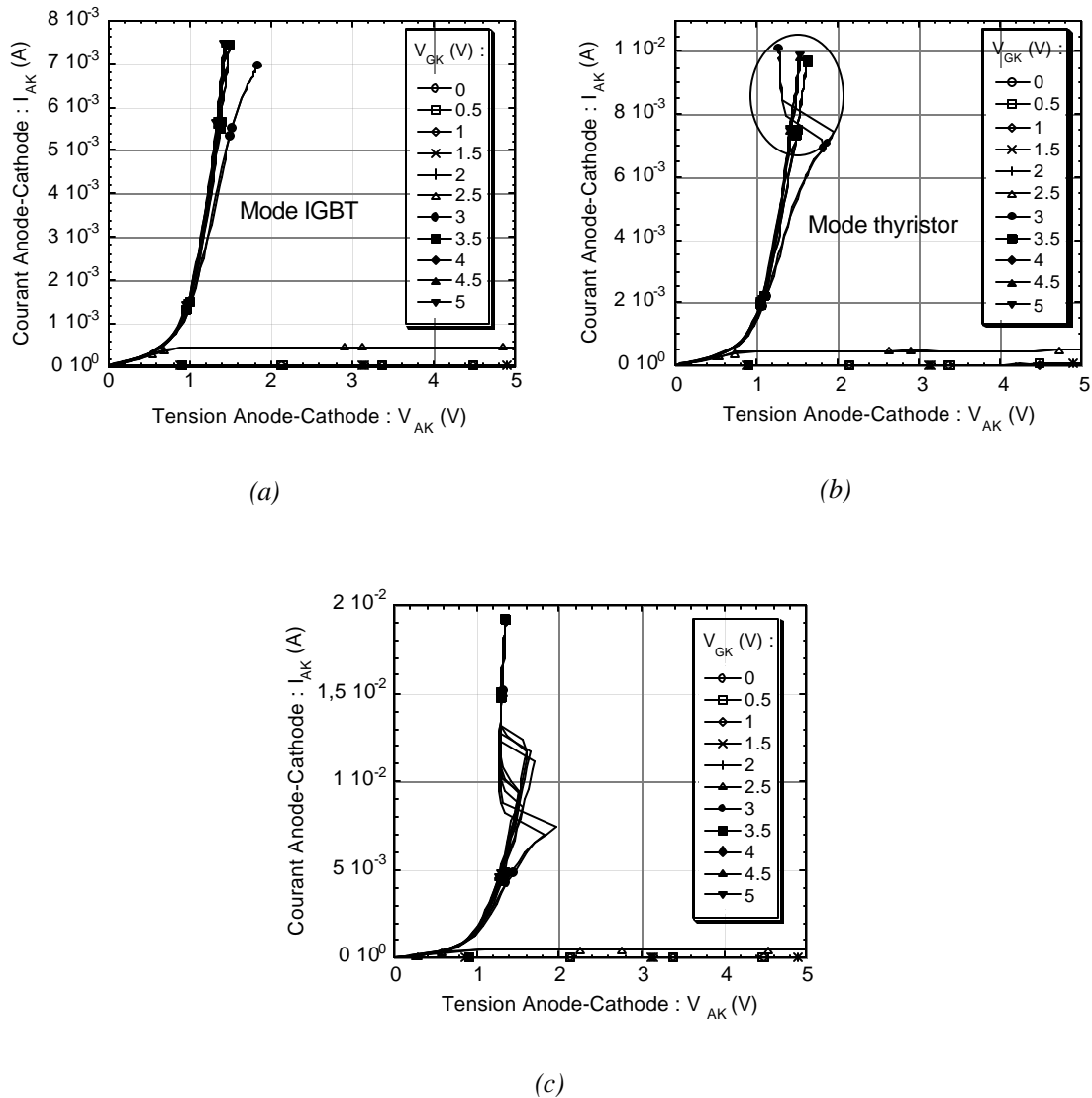


Figure 28 : Caractéristiques statiques d'un dispositif EST en mode IGBT (a), au moment du déclenchement thyristor (b) et en fonctionnement thyristor (c).

La réalisation de cette structure valide, comme dans le cas de l'IGBT, l'enchaînement des étapes de base de la filière.

### III.2.6. Thyristor-MOS autoamorçable et blocable

#### III.2.6.1. Conception

Ce dispositif, issu de la famille des MGT (MOS Gated Thyristors), est utilisé dans la réalisation du thyristor dual intégré. La coupe de la structure ainsi que le schéma électrique équivalent de ce dispositif sont représentés sur la Figure 29. La mise en conduction spontanée

du dispositif s'obtient à l'aide du transistor MOS M1 à déplétion qui relie la base N et la cathode du thyristor principal. Ce transistor conduit dès que la tension  $V_{AK}$  du dispositif devient positive. Pour bloquer le dispositif, il faut commander le transistor MOS M2 de façon à court-circuiter la jonction gachette-cathode du thyristor principal.

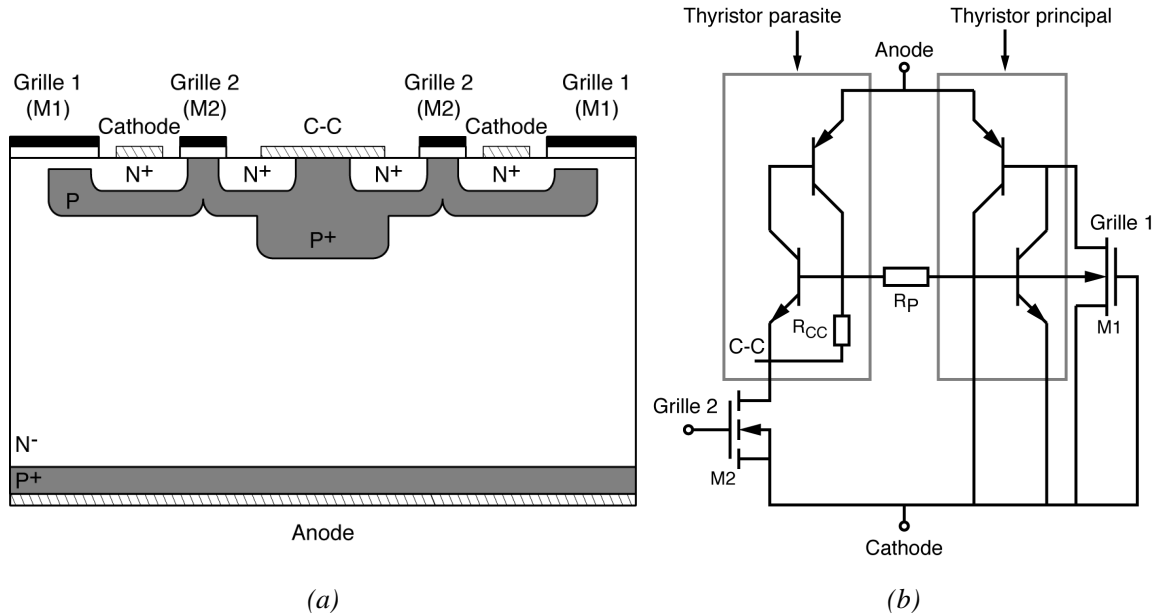


Figure 29 : Coupe schématique du thyristor-MOS autoamorçable et blocable (a) et schéma électrique équivalent (b).

Les performances à l'ouverture de ces dispositifs ont été optimisés par M. BREIL [3]. Il apparaît qu'elles sont fonctions de la résistance à l'état passant du MOS et de la résistance carrée de la base P. Il existe ainsi un compromis entre la diminution de la résistance carrée qui conduit de fait à une augmentation du dopage, et de la valeur de la tension de seuil. En effet, si cette tension de seuil devient trop élevée, il faut augmenter la valeur de la tension de commande. Toutefois, l'obtention du canal par diffusion latérale de la grille permet d'avoir, pour un même dopage de caisson, une valeur plus faible de la concentration en surface sous la grille, et une valeur de tension de seuil plus faible. Cette filière est, en fait, particulièrement bien adaptée pour l'amélioration des performances de ces dispositifs ouvrables par grille MOS.

D'autre part, la matérialisation d'un thyristor parasite nécessite la réalisation de courts-circuits  $P^+$  efficaces.

De plus l'autoamorçage du dispositif à l'aide du transistor MOS à déplétion fait apparaître un courant de fuite lors du blocage du dispositif. Par conséquent il faut adapter la dose d'implantation de phosphore de manière à avoir un courant de fuite faible et permettre un

autoamorçage efficace du dispositif. Une autre solution pour diminuer le courant de fuite est de diminuer la largeur  $Z$  du transistor MOS à déplétion.

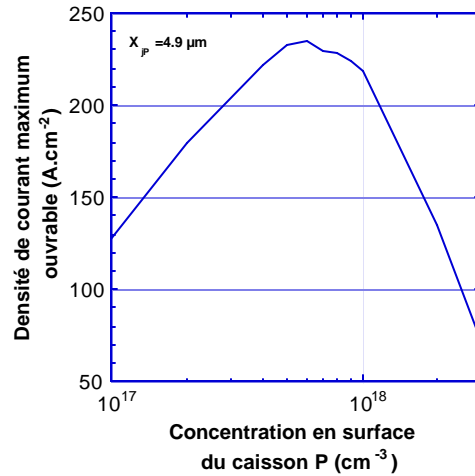


Figure 30 : Densité maximale de courant ouvrable en fonction de la concentration en surface de la région de base P (d'après M. BREIL [3]).

Nous avons réalisé des thyristors-MOS autoamorçables et blocables avec des cellules élémentaires en bandes parallèles de largeur  $1000 \mu\text{m}$ . Notons que chaque cellule élémentaire est divisée en deux demi-cellules  $500 \mu\text{m}$  de long. Pour un autoamorçage le plus efficace possible la longueur de cathode est de  $24 \mu\text{m}$  (Figure 31).

De même, pour améliorer la valeur du courant de fuite, nous avons réalisé un dispositif avec une largeur  $Z$  élémentaire du transistor MOS d'autoamorçage de  $200 \mu\text{m}$  que nous comparerons avec celui dont la largeur  $Z$  est de  $1000 \mu\text{m}$  (Figure 32). De même pour augmenter l'efficacité des courts-circuits  $P^+$ , nous avons réalisé un dispositif où le court-circuit n'est plus flottant mais relié à la masse avec toujours un  $Z$  élémentaire de  $200 \mu\text{m}$ .

Enfin, chacun de ces dispositifs possède 6 cellules élémentaires mises en parallèle, ce qui représente une largeur de grille totale de  $6000 \mu\text{m}$  pour les dispositifs dont la largeur élémentaire est de  $1000 \mu\text{m}$ , et  $1200 \mu\text{m}$  pour ceux dont le  $Z$  élémentaire est de  $200 \mu\text{m}$ . La surface active des thyristors-MOS autoamorçables et blocables est alors de  $1,44 \cdot 10^3 \text{ cm}^2$ .

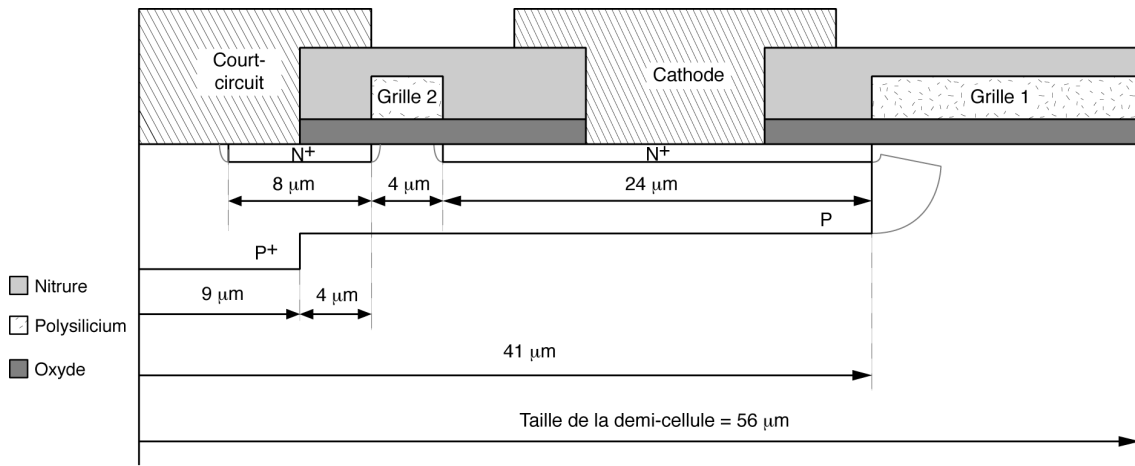


Figure 31 : Règles de conception de la demi-cellule thyristor-MOS autoamorçable et blocable.

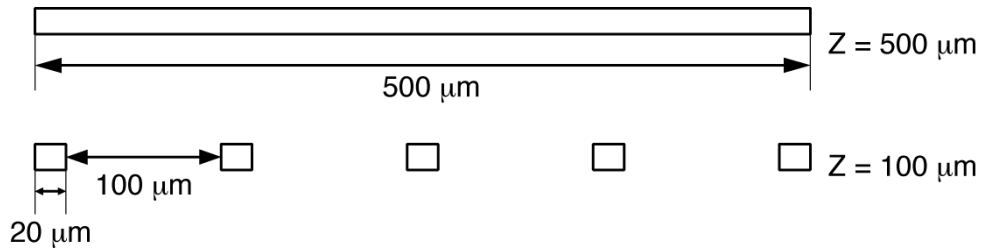


Figure 32 : Vue de dessus du masque d'implantation ionique de phosphore pour la réalisation du canal préformé du transistor MOS d'autoamorçage pour une demi-cellule.

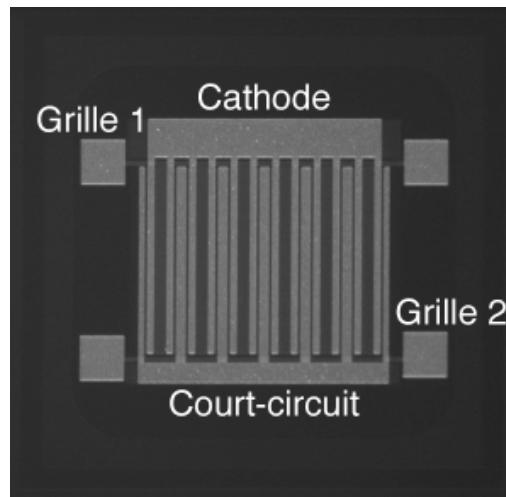


Figure 33 : Photographie d'un dispositif thyristor-MOS autoamorçable et blocable.

### III.2.6.2. Validation expérimentale

La Figure 34 représente la caractéristique statique d'un thyristor-MOS autoamorçable et blocable dont la largeur Z du MOS d'autoamorçage est de 1200  $\mu\text{m}$ .

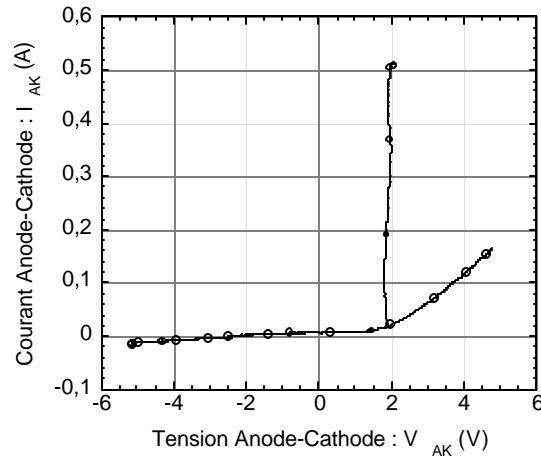


Figure 34 : Caractéristique statique d'un dispositif thyristor-MOS autoamorçable et blocable.

Les dispositifs que nous avons réalisés présentent des caractéristiques statiques correctes. L'auto-amorçage de la structure valide une nouvelle fois l'étape technologique permettant la réalisation de canaux préformés de type N.

## III.2.7. Capteurs de tension d'anode

### III.2.7.1. Conception de la structure

La réalisation de ces capteurs de tension d'anode s'inscrit dans la prolongement des travaux effectués par Olivier CAUSSE [4] sur la protection des IGBT contre les courts-circuits. La coupe schématique du capteur de tension d'anode est représentée sur la Figure 35.

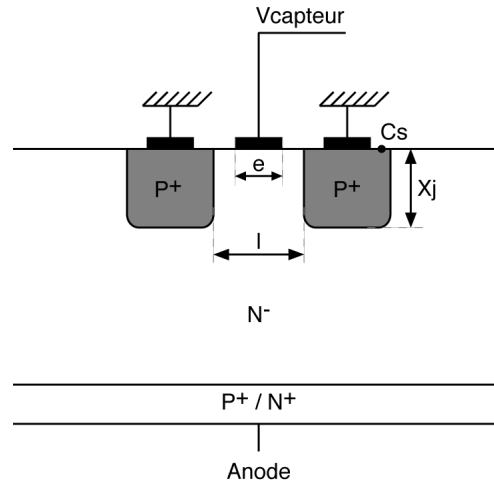


Figure 35 : Coupe schématique du capteur de tension d'anode.

Ce capteur permet d'obtenir, sur la face avant, une image de la tension d'anode. En effet, la tension  $V_{\text{capteur}}$  est fonction de la tension appliquée sur l'anode, des caractéristiques physiques des puits  $P^+$  ( $C_s$ ,  $X_j$ ), de la distance " $l$ " entre les puits et de la largeur " $e$ " du contact  $V_{\text{capteur}}$ .

Nous avons réalisé deux capteurs de tensions d'anode, représentés sur la Figure 36, différenciés par la distance " $l$ " et la largeur " $e$ ". La profondeur des puits  $P^+$  est de  $7,4 \mu\text{m}$  et la concentration en surface  $C_s$  est  $2.10^{19} \text{ cm}^{-3}$ . L'un des capteurs possède une distance " $l$ " de  $8 \mu\text{m}$  pour une largeur " $e$ " de  $5,5 \mu\text{m}$ . L'autre possède une largeur " $e$ " de  $9,5 \mu\text{m}$  et une distance " $l$ " entre les deux puits de  $12 \mu\text{m}$ .

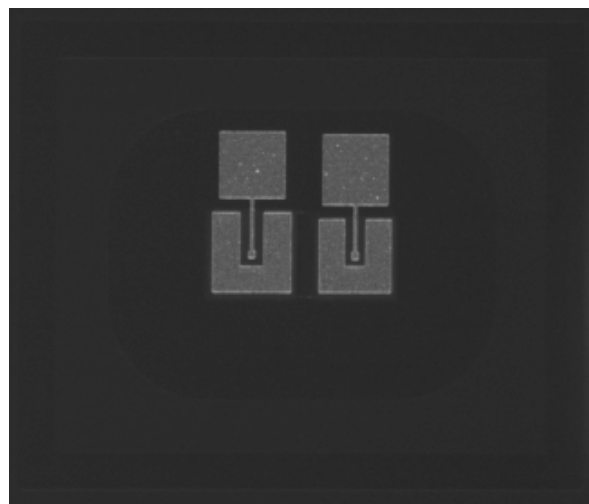


Figure 36 : Photographie des capteurs de tension d'anode.

### III.2.7.2. Validation expérimentale

Nous avons reporté sur la Figure 37 la valeur de la tension  $V_{\text{capteur}}$  en fonction de la tension d'anode pour les deux structures.

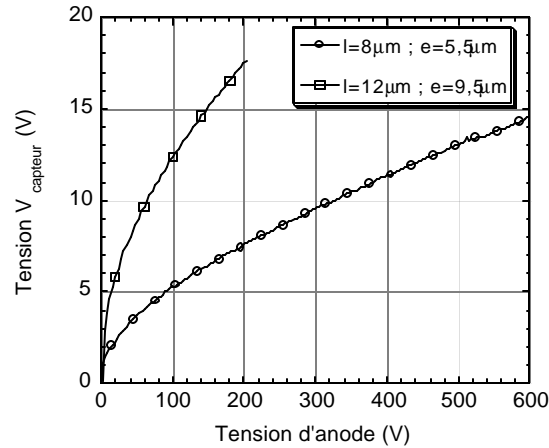


Figure 37 : Potentiel  $V_{\text{capteur}}$  en fonction de la tension d'anode pour les deux géométries.

Cette tension  $V_{\text{capteur}}$  varie proportionnellement avec la distance "l" entre puits  $P^+$ . Ces résultats montrent que nous pouvons intégrer avec cette filière des dispositifs de protection contre les courts-circuits des interrupteurs de puissance à grille isolé.

## III.2.8. Thyristor dual et fonction micro -disjoncteur

### III.2.8.1. Thyristor dual

La réalisation de cette fonction permet de valider certaines étapes technologiques spécifiques, mais également de démontrer les potentialités offertes par la filière flexible en matière d'optimisation de fonctions de puissance complexes.

La fonctionnalité électrique de ce dispositif est duale de celle du thyristor en assurant la bidirectionalité du courant, l'unidirectionalité de la tension avec un autoamorçage spontané par passage à zéro du courant et un blocage commandé. Notons que cette fonction est couramment utilisée dans les convertisseurs à résonance car elle offre beaucoup plus d'avantages que la simple fonction thyristor, notamment en ce qui concerne la sécurité de fonctionnement [3, 5].

Le thyristor dual est conçu autour de la cellule autoamorçable et blocable optimisée, définie au paragraphe III.2.6 Pour atteindre la fonctionnalité complète désirée il faut intégrer dans la structure les dispositifs suivants :



- un NMOS à enrichissement pour assurer le blocage du dispositif,
- un limiteur de courant pour assurer le maintien de l'ordre de blocage,
- une diode pour assurer la conduction en inverse et ainsi obtenir la bidirectionnalité en courant.

L'étude effectuée par Marie BREIL [3] a montré deux solutions d'intégration pour ce dispositif. Une première solution est réalisée sans suppression du courant de fuite dû au transistor NMOS d'autoamorçage et une deuxième solution visant à supprimer ce courant de fuite.

La réalisation du thyristor dual va donc permettre de valider l'enchaînement complet des étapes technologiques de base, mais également l'étape d'implantation ionique de phosphore pour réaliser les canaux préformés N des limiteurs de courants et des transistors NMOS d'autoamorçage, l'étape d'implantation ionique de bore lors de la réalisation du transistor PMOS à canal préformé utilisé pour supprimer le courant de fuite, et l'étape d'implantation ionique d'arsenic face arrière pour réaliser la diode de conduction en inverse.

### III.2.8.2. Rappel du principe de fonctionnement

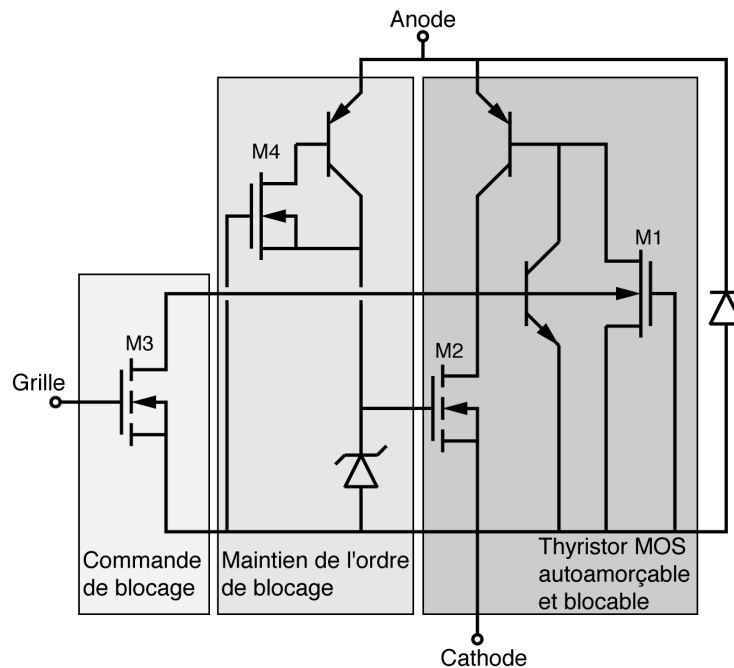


Figure 38 : Schéma électrique équivalent du thyristor dual sans suppression du courant de fuite.

La coupe de principe de la structure est donnée sur la Figure 39 et le schéma électrique équivalent de ce dispositif intégré est représenté sur la Figure 38.

Pour cette structure, le principe d'autoamorçage repose sur la mise en conduction au passage par zéro de la tension anode-cathode, d'un transistor NMOS à canal préformé M1, dont le courant de drain alimente la base de la section PNP et sert ainsi de déclenchement du thyristor. Le blocage du thyristor peut être assuré par une commande impulsionnelle : un premier transistor MOS M3, sur lequel est appliquée l'impulsion, initie le blocage (par court-circuit cathode base du thyristor), provoquant ainsi l'augmentation de la tension anode-cathode, ce qui permet de charger la grille d'un second transistor MOS M2 à travers un IGBT à canal préformé M4. Ce limiteur de courant assure ensuite l'alimentation de la grille du transistor M2 et donc le maintien du court-circuit cathode-base même lorsque la commande impulsionnelle est supprimée. La diode placée en antiparallèle assure la conduction en inverse du dispositif.

Cette solution présente cependant l'inconvénient d'avoir un courant de fuite à travers le transistor d'amorçage lorsque le dispositif est à l'état bloqué.

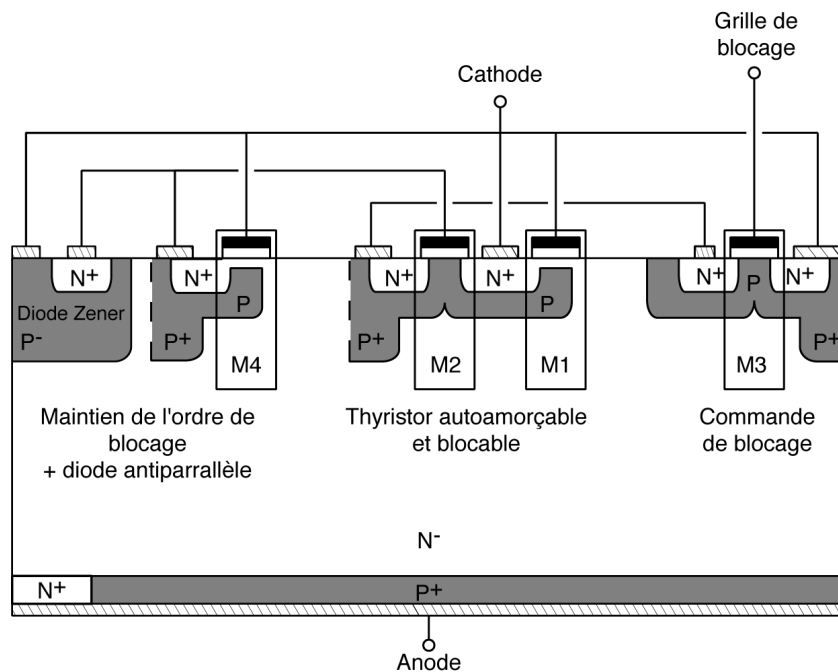


Figure 39: Coupe du thyristor dual sans suppression du courant de fuite.

### III.2.8.3. Dispositif thyristor dual avec suppression du courant de fuite

#### III.2.8.3.1. Rappel du principe de fonctionnement

Une deuxième solution d'intégration a conduit à la réalisation d'une cellule d'autoamorçage dont le courant de fuite est supprimé dès que le dispositif se trouve à l'état bloqué (Figure 40). Il est à noter que nous réalisons le thyristor dual avec suppression de fuite

essentiellement dans le but de vérifier le fonctionnement de la fonction "micro-disjoncteur" inclus dans ce dispositif. Cette cellule est constituée d'un transistor MOS canal N préformé M1 et d'un transistor MOS canal P préformé à substrat flottant M5. Lorsque la tension aux bornes du dispositif devient positive, ces deux transistors sont passants et permettent d'amorcer le thyristor. Lorsque l'on bloque le dispositif par une impulsion sur la grille du transistor M3, la tension anode-cathode augmente et la conduction de l'IGBT M4 assure non seulement la charge de la grille du transistor MOS M2 de blocage, mais permet également de ramener une tension positive sur la grille du transistor M5 à canal P préformé pour le bloquer et supprimer ainsi tout courant de fuite. La Figure 41 représente une coupe de principe de la structure intégrée et précise les différentes cellules que nous serons amené à réaliser.

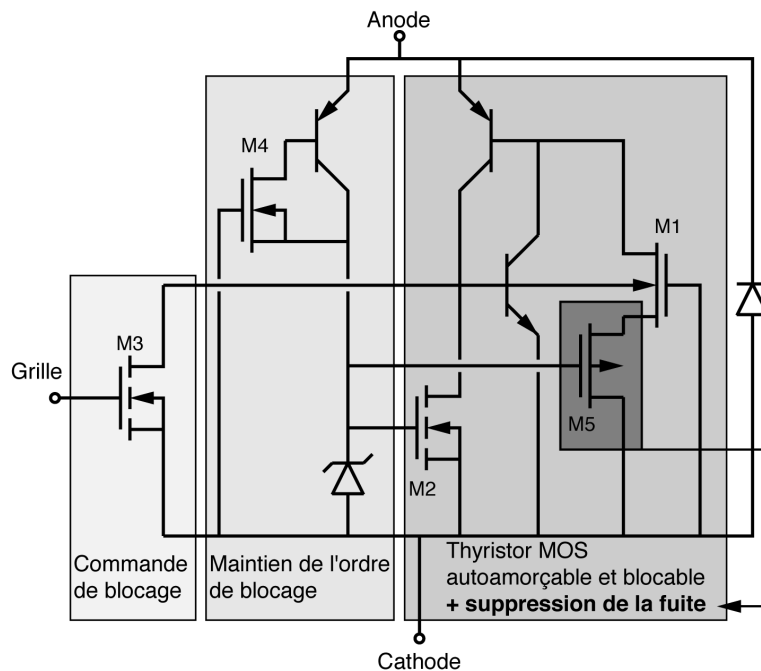


Figure 40 : Schéma électrique équivalent du thyristor dual avec suppression du courant de fuite.

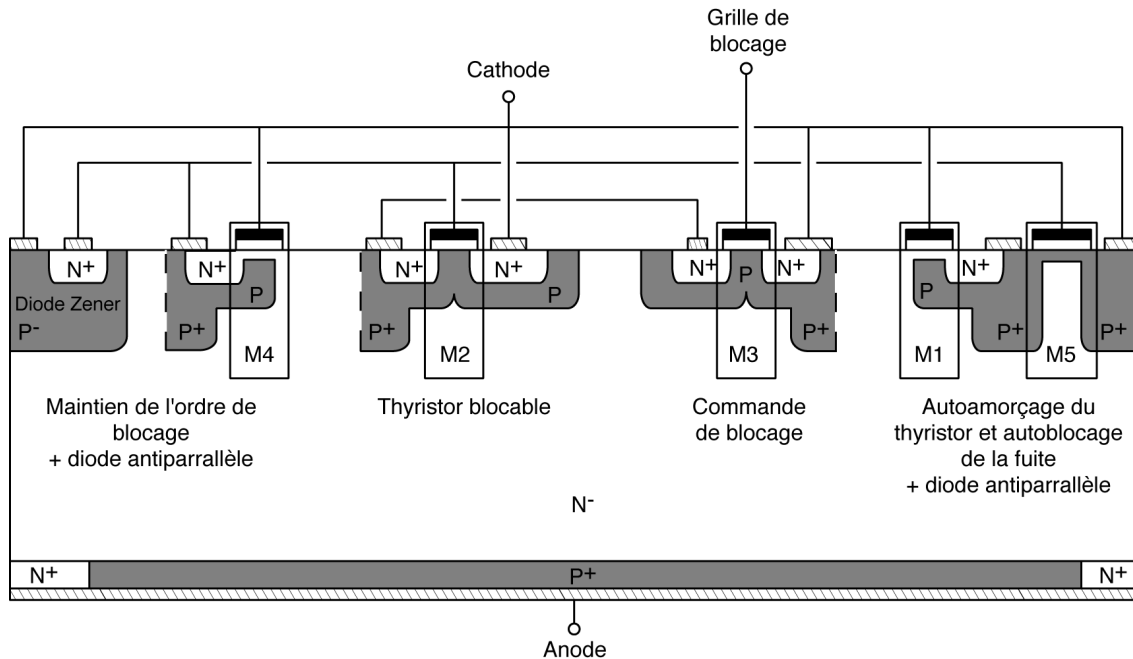


Figure 41: Coupe du thyristor dual avec suppression du courant de fuite.

### III.2.8.3.2. Conception du dispositif avec blocage de la fuite

Sur la Figure 41 sont représentées les cellules élémentaires correspondantes à la réalisation de la deuxième solution d'intégration du thyristor dual. Nous voyons, ici, que le transistor M5 est intégré au thyristor autoamorçable tandis que le thyristor blocable est réalisé séparément. En revanche, les transistors M3 et M4 gardent la même topologie de surface.

Le dispositif est ainsi constitué d'une répétition d'un bloc de 9 cellules. La cellule centrale est constituée d'un transistor canal P préformé au centre (M5), avec en périphérie un transistor canal préformé M1 permettant d'assurer l'autoamorçage des cellules périphériques constituées de thyristors blocables, c'est-à-dire intégrant le MOS M2 (Figure 43). Cette topologie permet d'une part d'assurer un amorçage homogène avec un courant relativement faible, et surtout de privilégier le mode de blocage pour la cellule thyristor. Ce type de géométrie est particulièrement intéressant car plusieurs gammes de courant peuvent être déclinés en augmentant simplement le nombre de cellules.

Nous avons donc réalisé un dispositif thyristor dual sans courant de fuite permettant de bloquer un courant de 1 A avec 15 blocs M1-M2-M5, 100 cellules limiteur avec du N<sup>+</sup> face arrière pour désensibiliser le thyristor parasite et un NMOS de blocage M3 de 10000  $\mu\text{m}$  de large (Figure 42).

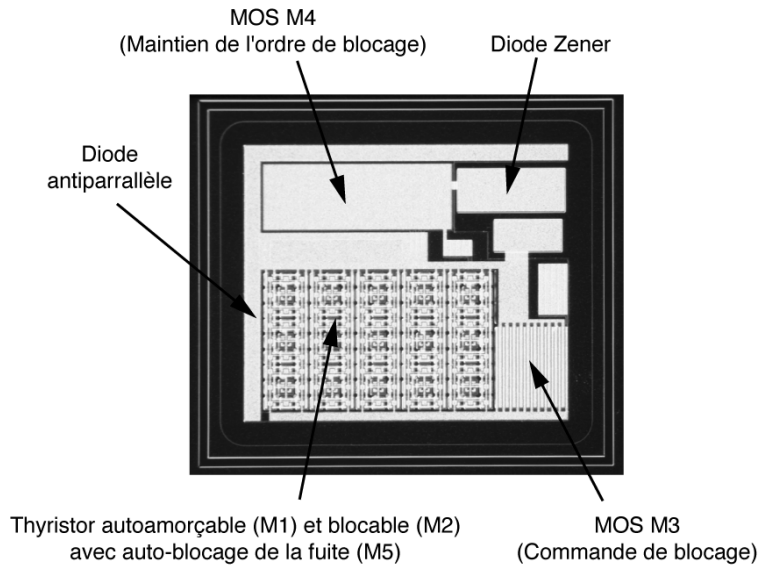


Figure 42 : Photographie d'un dispositif thyristor dual avec suppression de la fuite.

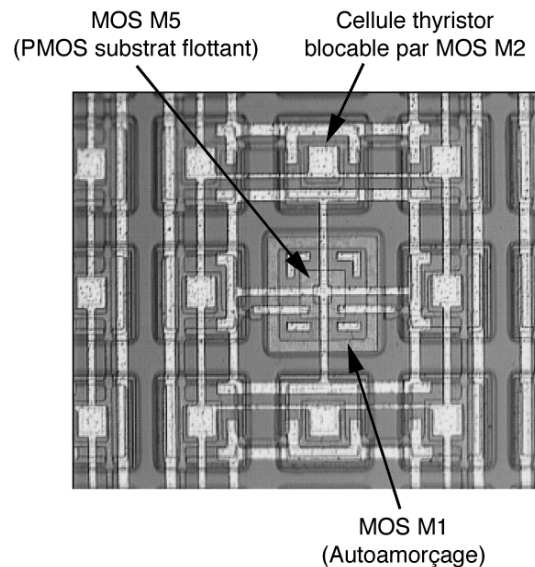


Figure 43 : Photographies des cellules de base de la fonction thyristor dual avec suppression de la fuite.

### III.2.8.3.3. Validation expérimentale

La Figure 44 représente la fonction thyristor dual lors de la phase d'autoamorçage. Les tensions de seuil de ce dispositif sont de 2,5 V pour les transistors MOS M2 et M3, -8 V pour l'IGBT à canal préformé M4 et le MOS M1 et 2,5 V pour le MOS M5.

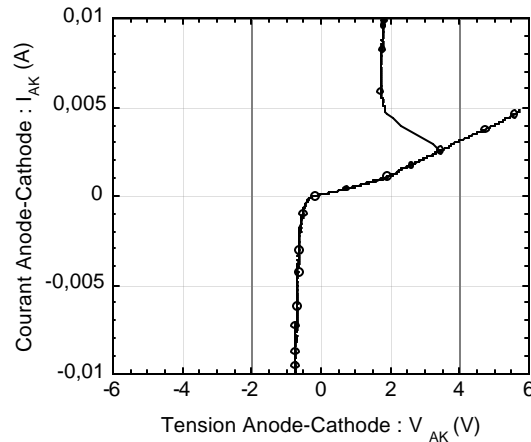


Figure 44 : Caractéristique statique d'un dispositif thyristor dual avec suppression de la fuite.

Le fonctionnement en statique de ce dispositif permet de valider la réalisation de canaux préformés de type N mais aussi la réalisation d'anodes  $N^+$  sur la face arrière matérialisant les diodes antiparallèles. Cependant, il subsiste un problème au niveau du blocage de la structure. La réoptimisation du jeu de masques permettra d'améliorer le fonctionnement de ces dispositifs.

#### III.2.8.4. Micro-disjoncteur

La réalisation de cette fonction de puissance va nous permettre de valider de certaines étapes technologiques spécifiques.

##### III.2.8.4.1. Rappel du principe de fonctionnement

Le schéma électrique équivalent est donné sur la Figure 45 et la coupe de la structure sur la Figure 46. Sa mise en œuvre s'effectue avec un IGBT à canal préformé (IGBT1) en série avec un transistor PMOS à canal préformé (MP). Un second IGBT à canal préformé (IGBT2) fonctionne comme un générateur de courant et assure la commande du transistor MP à partir de la tension d'anode. Lorsque le courant anode-cathode augmente, la saturation du courant dans le MOS MP et dans l'IGBT1 va entraîner une augmentation de la chute de tension aux bornes du micro-disjoncteur. La grille du transistor MP va alors se charger grâce au courant dérivé du circuit principal à travers le générateur de courant IGBT2. Dès que la tension grille-source  $V_{GS}$  du transistor MP deviendra supérieure à sa tension de seuil celui-ci va se bloquer et la circulation du courant principal sera interrompue. De même, il convient

d'interrompre le courant qui charge la grille du transistor MP. Cette suppression du courant interviendra dès que la tension grille source du générateur de courant IGBT2 sera supérieure à sa tension de seuil. Notons qu'il convient de protéger la grille du transistor MP à l'aide d'une diode Zener.

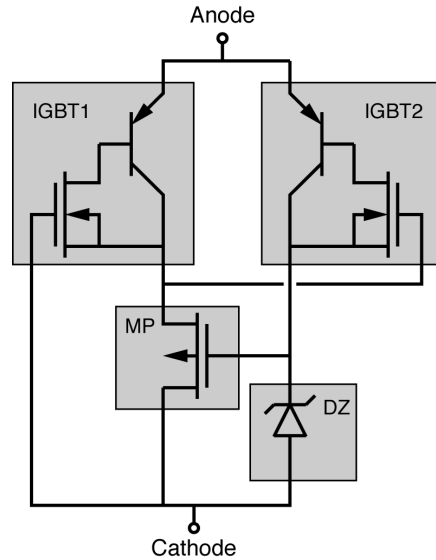


Figure 45 : Schéma électrique équivalent du micro-disjoncteur à IGBT.

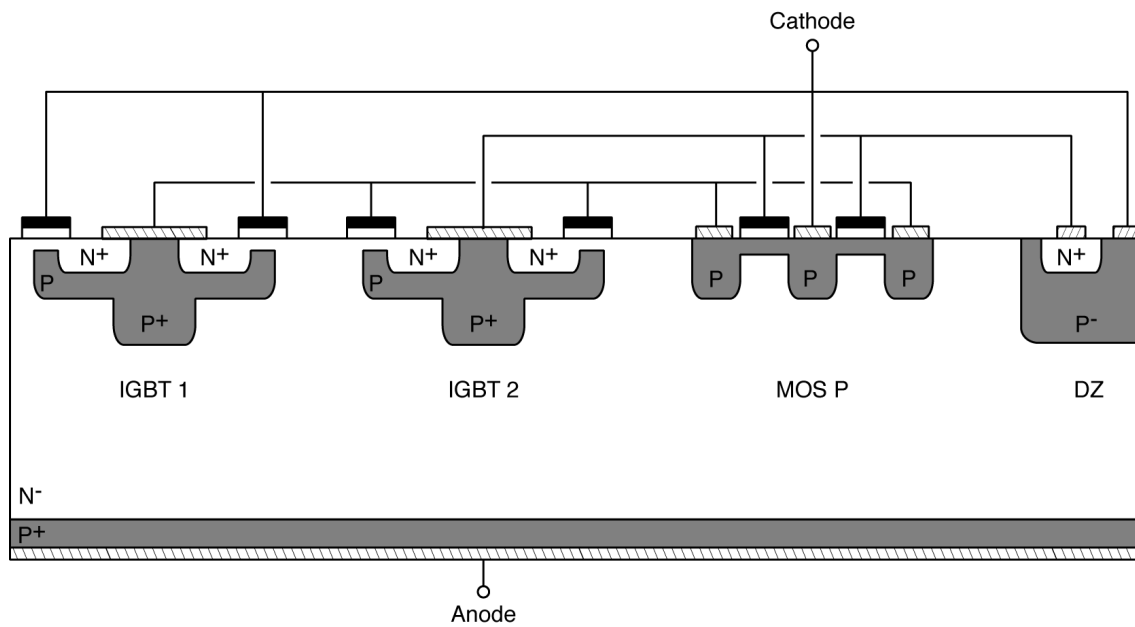


Figure 46 : Coupe schématique du micro-disjoncteur à IGBT.

### III.2.8.4.2. Conception du micro-disjoncteur à IGBT

Les cellules élémentaires que nous allons utiliser pour réaliser le micro-disjoncteur à IGBT sont représentées sur la Figure 46. Le dimensionnement de ces différentes cellules a été effectué à l'aide de simulations électriques basées sur des modèles analytiques développées par Marc MARMOUGET [1]. Ces simulations ont montré l'influence des différentes tensions de seuil et du rapport  $Z_{IGBT1}/Z_{MP}$  sur la densité du courant maximum d'anode. En effet, les tensions de seuil doivent respecter la condition suivante :  $|V_{T_{IGBT2}}| = V_{T_{MP}}$ . Cette condition étant vérifiée il faut ensuite optimiser le rapport  $Z_{IGBT1}/Z_{MP}$  pour obtenir une densité maximale de courant d'anode.

Si l'on choisit des tensions de seuil vérifiant la condition précédente et un rapport  $Z_{IGBT1}/Z_{MP}$  de 0,52 la densité maximale de courant d'anode simulée sera alors de  $2,65 \text{ A/cm}^2$  (Figure 47). En sachant que la largeur  $Z$  élémentaire d'une cellule PMOS est de  $116 \mu\text{m}$  et celle de l'IGBT1 est de  $168 \mu\text{m}$  nous aurons 1 cellule IGBT1 pour 3 cellules PMOS. Nous avons mis en parallèle 112 cellules IGBT1 et 336 cellules PMOS. La longueur de canal  $L$  du PMOS étant de  $5 \mu\text{m}$  et celle de l'IGBT1 de  $3 \mu\text{m}$  nous obtenons une surface active totale de  $2,5 \cdot 10^{-3} \text{ cm}^2$  et donc un courant de disjonction de 6,6 mA. L'objectif ici est de valider la fonctionnalité associée.

Au niveau de la topologie de surface nous avons associé le transistor PMOS et l'IGBT1 dans une même région tandis que l'IGBT2 et la diode Zener sont réalisés dans des régions voisines (Figures 48 et 49).

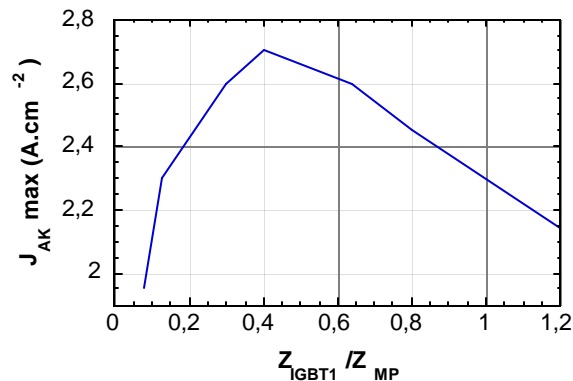


Figure 47 : Evolution de la densité de courant d'anode maximum en fonction du rapport  $Z_{IGBT1}/Z_{MP}$ .



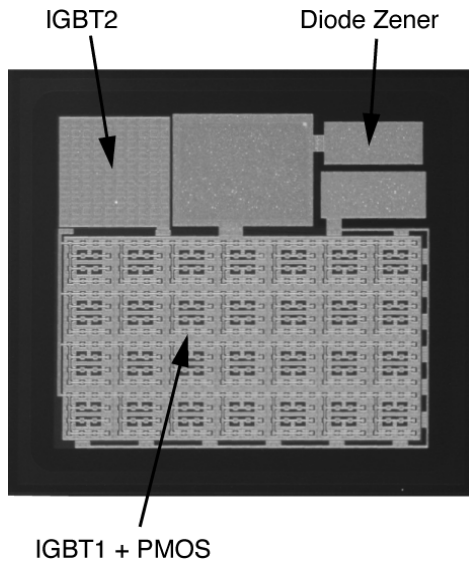


Figure 48 : Photographie d'un micro-disjoncteur à IGBT.

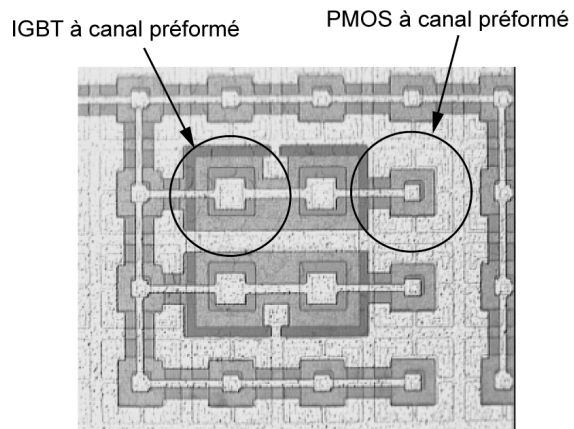


Figure 49 : Photographie des cellules IGBT1 et PMOS de la fonction micro-disjoncteur.

#### III.2.8.4.3. Validation expérimentale

Nous avons reporté sur la Figure 50 la caractéristique statique d'un micro-disjoncteur à IGBT. Le courant de disjonction est d'environ 7 mA. Les tensions de seuil des IGBT à canaux préformés sont de -2,6 V et la tension de seuil du transistor PMOS à canal préformé est de 0,8 V.

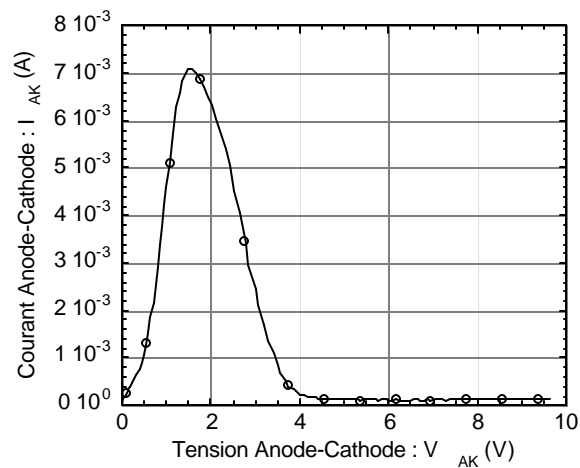


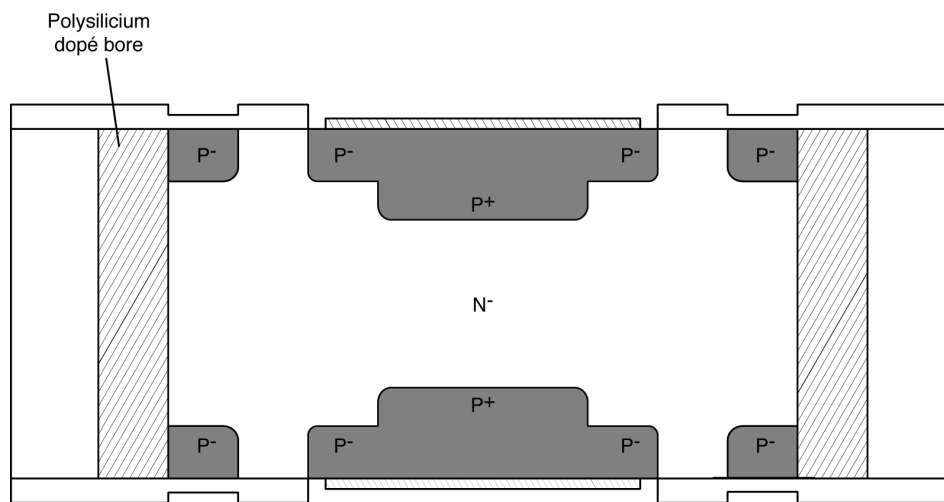
Figure 50 : Caractéristique statique d'un micro-disjoncteur.

Cette fonction nous permet de valider les étapes d'implantations ionique à travers le polysilicium de grille afin de réaliser les deux types de canaux préformés. De plus, ces résultats corroborent les simulations analytiques effectuées. Toutefois, les performances de ce

dispositif devront être améliorées notamment en termes de valeurs de courant de disjonction et de tenue en tension.

### **III.3. Terminaison de jonction symétrique en tension**

Nous avons réalisé une structure symétrique en tension pour valider la fabrication de murs verticaux  $P^+$  traversant la plaquette. Ce type de terminaison a été étudié et optimisé par Olivier CAUSSE [4]. Les étapes principales permettant la réalisation des tranchées ont été présentées dans le chapitre précédent (II.6.3).



*Figure 51 : Coupe schématique d'une structure symétrique en tension.*

Les Figures 52 et 53 présentent respectivement la face avant et arrière d'une plaquette après la gravure RIE de 300  $\mu\text{m}$  de profondeur. Les motifs rectangulaires présentent une largeur de 6  $\mu\text{m}$  et une longueur de 75  $\mu\text{m}$  sur masque.

La Figure 54 présente les résultats expérimentaux du remplissage des tranchées. La Figure 55 montre une vue en coupe et en perspective d'une tranchée traversante de 300  $\mu\text{m}$  de profondeur et de 6  $\mu\text{m}$  de large remplie de polysilicium fortement dopé bore. La Figure 56 représente un agrandissement du haut de cette tranchée.

Notons que les résultats électriques sont en cours de caractérisation.

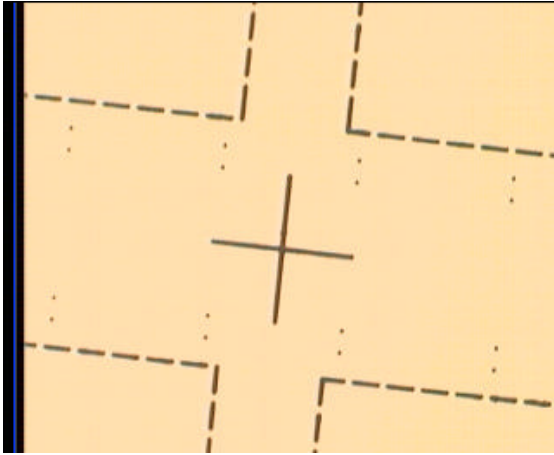


Figure 52 : Face avant centrée sur la croix d'alignement après la RIE.

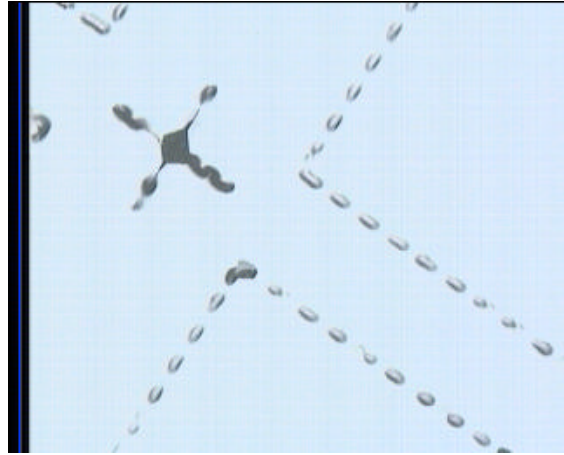


Figure 53 : Face arrière centrée sur la croix d'alignement après la RIE.

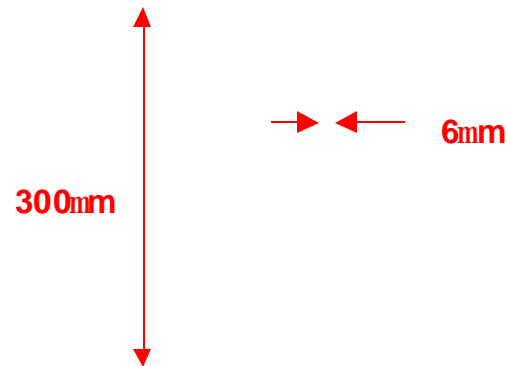


Figure 54 : Photographie MEB d'un tranchée de 300  $\mu\text{m}$  de profondeur et de 6  $\mu\text{m}$  de large remplie de polysilicium fortement dopé bore.

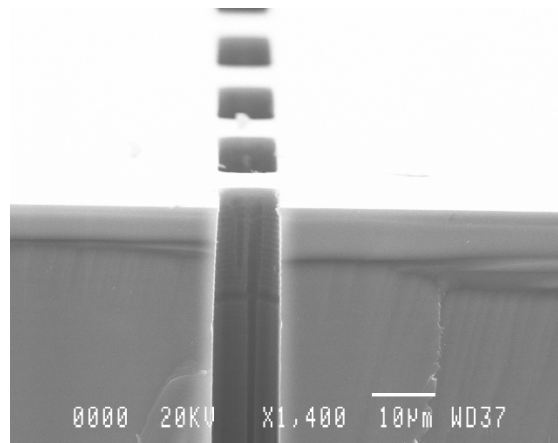


Figure 55 : Photographie MEB (en perspective) du haut de la tranchée présentée sur la Figure 54.

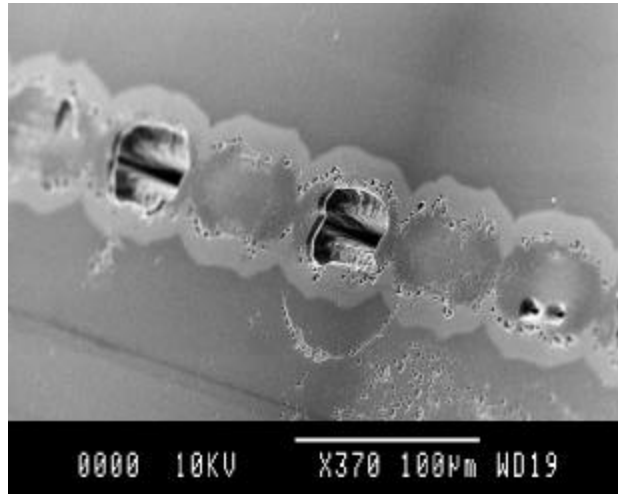


Figure 56 : Vue de dessus des tranchées après la diffusion du bore.

## CONCLUSION

Nous avons présenté ici les tous premiers résultats électriques obtenus sur les dispositifs tests réalisés à partir des enchaînements d'étapes technologiques de la filière complète. Même si tous les dispositifs ne présentent pas leurs performances optimales, nous avons pu, par recoupement entre les caractéristiques physiques et électriques de l'ensemble des dispositifs, valider les différentes étapes de la filière, ainsi que les enchaînements prévus. Cette filière technologique flexible est un outil de validation important dans le contexte du mode d'intégration fonctionnelle. Ainsi, la réalisation sur la même plaquette d'IGBT "lents" et "rapides" permet de valider l'enchaînement des étapes technologiques de base de la filière ainsi que l'étape spécifique permettant la matérialisation d'anodes semi-transparentes. De même, les résultats obtenus sur les dispositifs MOS, IGBT et thyristor-MOS, présentant des canaux préformés ont permis la validation de l'étape technologique spécifique d'implantation ionique de phosphore à travers le polysilicium de grille. De plus, la réalisation des transistors MOS de type P à canaux préformés discrets et du micro-disjoncteur à IGBT permettent de valider l'étape d'implantation ionique de bore à travers la grille.

Il faut noter qu'à l'issue de cette étude, nous avons mis en évidence les fortes potentialités de cette filière qui permet de réaliser simultanément plusieurs fonctions différentes. En effet, nous avons réalisé des capteurs de tension d'anode dans le cadre de la réalisation de dispositifs de protection des IGBT contre les courts-circuits, des EST (Emitter Switched Thyristor), des dispositifs "thyristor dual" et des dispositifs micro-disjoncteurs.

En ce qui les dispositifs autoamorçables et blocables, les caractéristiques statiques obtenues sont correctes, mais il existe cependant un problème au niveau du blocage de ces

---

structures que nous retrouvons naturellement lors de l'intégration du dispositif "thyristor dual". Sur la base de ces résultats, il est maintenant possible de réoptimiser le jeu de masques et certaines étapes technologiques et de procéder à la fabrication d'un autre lot pour obtenir des fonctions optimisées.

**Bibliographie du chapitre 3 :**

[1] M. MARMOUGET, "Contribution au développement d'outils d'aide à la conception de dispositifs de puissance basés sur le mode d'intégration fonctionnelle", Thèse de doctorat de l'Institut National des Sciences Appliquées, Toulouse, Juin 2000.

[2] S. RAEL, C. SCHAEFFER et J.P. FERRIEUX, "Etude de la mise en parallèle d'IGBT", Electronique de Puissance du Futur (EPF'92), Marseille, 1992.

[3] M. BREIL, "Etude d'associations MOS-Thyristor autoamorçables et blocables. Exemple d'intégration de la fonction thyristor dual", Thèse de doctorat de l'Institut National des Sciences Appliquées, Toulouse, Janvier 1998.

[4] O. CAUSSE, "Contribution à l'amélioration de la fonctionnalité et des performances de l'IGBT", Thèse de doctorat de l'Université Paul-Sabatier, Toulouse, Juin 2001.

[5] Y. CHERON, "La commutation douce dans la conversion statique de l'énergie électrique", Thèse de doctorat de l'Institut National Polytechnique, Toulouse, Juin 1988.

## **CONCLUSION GENERALE**





Les travaux de recherche présentés dans ce mémoire s'inscrivent dans le cadre du développement de nouvelles fonctions de puissance intégrées basées sur le mode d'intégration fonctionnelle. Dans la perspective de valider les différentes fonctions proposées au cours des dernières années, nous avons choisi de développer une filière technologique flexible adaptée à ce mode d'intégration.

Le premier chapitre a permis de faire le point sur l'évolution des structures et des filières technologiques des circuits intégrés et des dispositifs de puissance. Il apparaît que, même si les performances à optimiser et les moyens adaptés sont différents, une partie des technologies développées pour les circuits intégrés a diffusé vers le domaine des composants de puissance. Il s'agit bien sûr des technologies MOS, mais également des techniques de gravure du silicium ou bien des techniques d'isolation, qui ont été chaque fois adaptées aux spécificités des composants de puissance. Actuellement, le mode d'intégration fonctionnelle devrait permettre d'apporter des solutions d'intégration à de nombreuses applications dans le domaine de la puissance. Les spécificités de ce mode d'intégration et les fonctionnalités à intégrer conduisent à développer une filière technologique flexible composée d'étapes de base, correspondants à la réalisation des éléments de puissance (de type IGBT ou MOS-thyristor), et de nouvelles étapes spécifiques pour assurer la réalisation d'éléments annexes permettant d'accroître la fonctionnalité.

Dans le deuxième chapitre, nous avons présenté l'organisation et l'optimisation des différentes étapes technologiques de cette filière flexible. Après avoir décrit les étapes de base, correspondant à la fabrication de dispositifs de puissance de type IGBT ou MOS-thyristor, nous avons mis l'accent sur l'optimisation d'étapes technologiques permettant la réalisation de transistors MOS canaux N et P à enrichissement et à canaux préformés. La caractérisation physique et électrique a permis de valider notre approche de conception. La dernière partie du chapitre a été consacrée à l'optimisation des autres étapes spécifiques permettant de réaliser les régions de cathode  $N^+$  face arrière, les anodes P semi-transparente et les caissons traversants.

Le troisième chapitre a permis de valider le bien fondé de cette filière technologique. Outre les 4 types de transistors MOS canaux N et P, nous avons réalisé des associations MOS-thyristors (EST et thyristors autoamorçables), des IGBT avec deux types d'anodes, une fonction micro-disjoncteur et un capteur de tension d'anode

utilisé pour la protection des IGBT contre les courts-circuits. La réalisation et la caractérisation électrique de ces différents éléments, basés sur le mode d'intégration fonctionnelle, nous a permis de valider les différentes étapes technologiques et leur enchaînement au niveau de la filière complète.

Cette filière technologique constitue un outil évolutif qui permettra de valider les nouvelles structures de puissance intégrées basées sur le mode d'intégration fonctionnelle.

# **ANNEXE 1**



Un exemple de procédé technologique permettant la réalisation d'une cellule CMOS "twin-tub" est représenté sur la Figure 1 [1].

Le matériau de départ est une épitaxie N peu dopée sur un substrat N très dopé. Notons que cette structure, combinée avec une géométrie de masques (layout) adaptée, produit des circuits CMOS sans phénomène de latch-up [2]. Le caisson N (n-tub) est formé par implantation ionique basse énergie de phosphore alors que la région adjacente est protégée par du nitrure (Figure 1a). Après une oxydation sélective au-dessus de la région N, le nitrure est enlevé et du bore est implanté pour former le caisson P (p-tub) (Figure 1b). L'oxyde est enlevé et les deux tubes sont accessibles (Figure 1c). L'isolation entre les deux caissons, qui pourront contenir plusieurs milliers de transistors du même type, se fait en faisant croître un oxyde de champ. Après la réalisation de cet oxyde, et de l'oxyde de grille, les tensions de seuil sont ajustées par implantation ionique. Ensuite le polysilicium dopé N est déposé et les jonctions de sources et de drains sont implantées. Pour éviter une étape de masquage supplémentaire le bore est implanté sur toute la surface (Figure 1d). Ensuite, le phosphore est implanté uniquement dans la région des canaux N à forte dose pour surcompenser le bore implanté (Figure 1e). Après cela, le profil de bore dans les régions à canaux N est complètement couvert, verticalement et latéralement, par le phosphore. Cette technique peut être réalisée avec de l'arsenic ou du  $\text{BF}_2$  pour réaliser respectivement des canaux N et P avec des jonctions peu profondes [3]. Une couche d'oxyde dopé phosphore est déposée et coulée à haute température (Figure 1f). Après ouverture des contacts, le métal est déposé puis gravé. Enfin, une couche de protection est déposée.

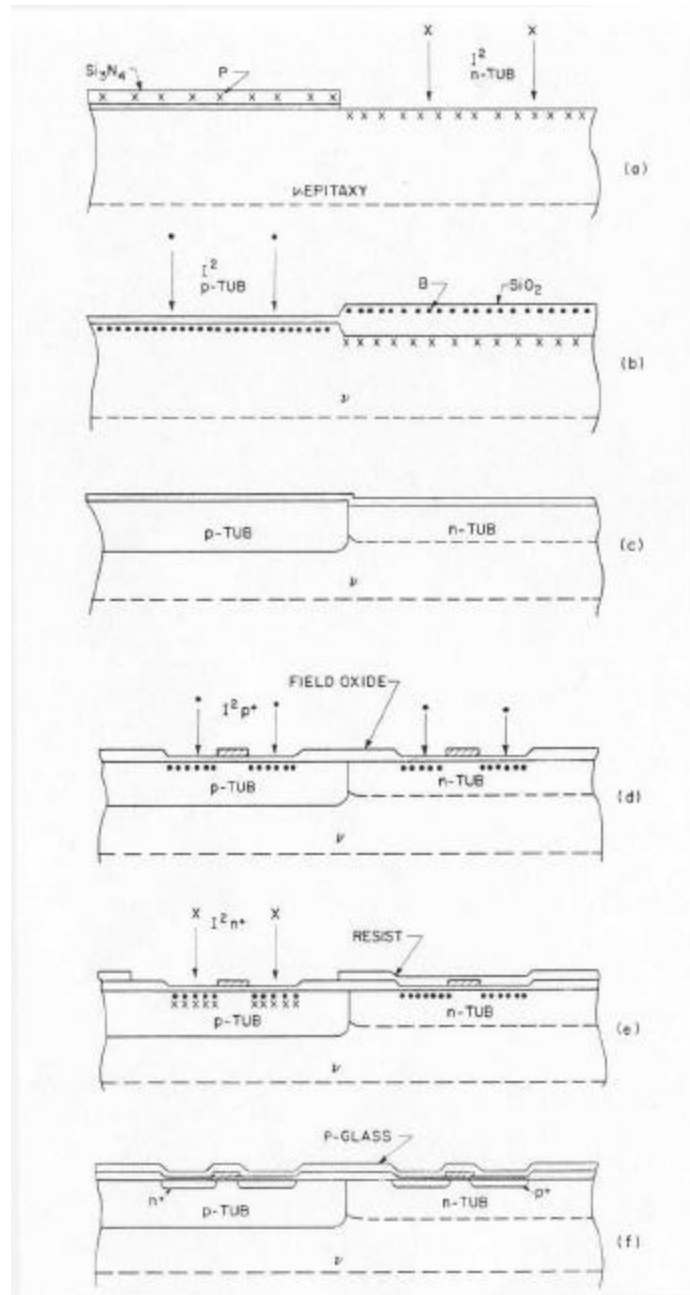


Figure 1 : Exemple de fabrication d'une structure CMOS "twin-tub" [1].

**Bibliographie de l'Annexe 1 :**

- [1] L.C. PARILLO, R.S. PAYNE, R.E. DAVIS, G.W. REUTLINGER and R.L. FIELD, "Twin-Tub CMOS - A technology for VLSI circuits", IEEE Int. Electron Devices Meet., Washington D.C., 1980, p.752.
- [2] D. B. SCOTT, Y.C. SEE, C.K. LAU and R.D. DAVIS, "Considerations for scaled CMOS sources/drains", ", IEEE Int. Electron Devices Meet., Washington D.C., 1981, p.539.
- [3] R. S. PAYNE, W.N. GRANT and W.J. BERTRAM, "The elimination of latch-up in bulk CMOS", IEEE Int. Electron Devices Meet., Washington D.C., 1980, p.248.

## **ANNEXE 2**



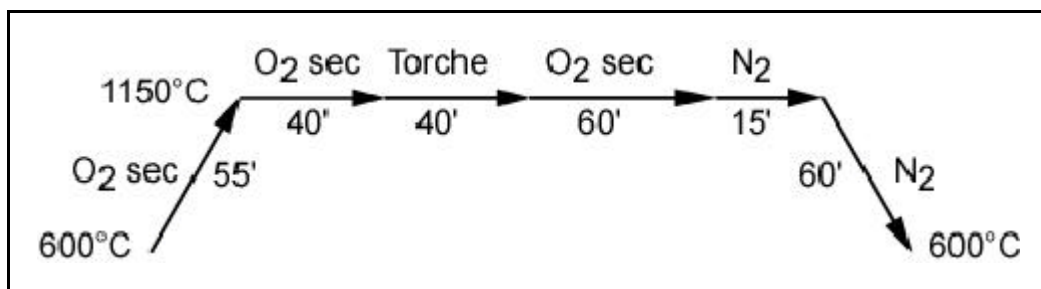


## Description des étapes technologiques

### 1. Oxydation de masquage

Les dispositifs sont réalisés sur des plaques de type N dopées à  $10^{14} \text{ cm}^{-3}$  et d'épaisseur  $300 \mu\text{m}$ .

Cette étape a été modifiée par rapport à celle utilisée lors de la réalisation des quatre types de MOS et détaillée dans le deuxième chapitre. Le nouveau profil thermique permettant la formation de l'oxyde de masquage est le suivant :



*Oxydation de masquage.*

L'épaisseur d'oxyde ainsi formé est de  $6700 \text{ \AA}$ .

### 2. Terminaison de jonction

La gravure de l'oxyde de masquage est réalisée à l'aide du masque n°1. L'implantation ionique de bore se fait à une énergie de  $50 \text{ keV}$  et une dose de  $2,5 \cdot 10^{12} \text{ cm}^{-2}$ . L'étape thermique qui suit permettant de redistribuer les atomes de bore implantés dans la région P<sup>-</sup> et de faire croître un oxyde de champ a été détaillée dans le deuxième chapitre (II.2.2.1). L'épaisseur d'oxyde de champ créé sur le silicium est de  $6300 \text{ \AA}$ . Cette étape thermique engendre également une augmentation de l'épaisseur de l'oxyde de masquage, qui est maintenant de  $9300 \text{ \AA}$ .

### 3. Anode P<sup>+</sup> face arrière

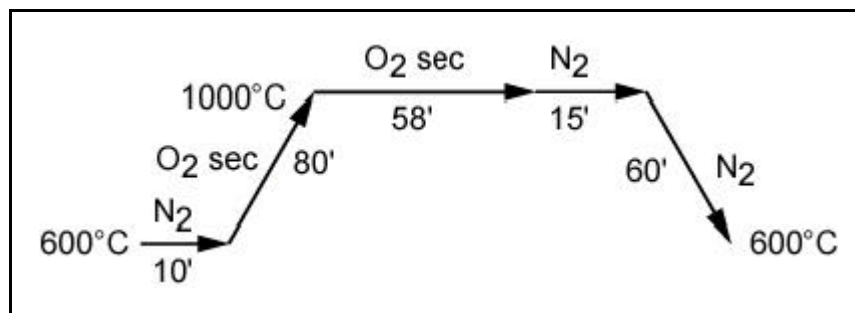
Tout d'abord, on protège la face avant, puis on réalise une gravure de l'oxyde de champ sur la face arrière (masque n°2). La réalisation de cette anode se fait ensuite par implantation ionique de bore sur la face arrière avec une énergie de  $100 \text{ keV}$  et une dose de  $1 \cdot 10^{16} \text{ cm}^{-2}$ .

#### 4. Cathode N<sup>+</sup> face arrière

La gravure de l'oxyde de champ est réalisée à l'aide du masque n° 3. L'implantation ionique d'arsenic qui suit se fait avec une énergie de 100 keV et une dose de  $1.10^{16} \text{ cm}^{-2}$ .

#### 5. Réalisation de l'oxyde de grille

L'ouverture de grille se fait avec le masque n°4. Le silicium est mis à nu avant l'oxydation de grille et subit un nettoyage spécifique (RCA). L'étape thermique permettant la croissance de l'oxyde de grille est la suivante :



*Croissance de l'oxyde de grille.*

Cette étape thermique permet également de redistribuer les caissons réalisées auparavant.

Notons que nous ne représenterons pas sur la cellule les dépôts d'oxyde de grille et de polysilicium sur la face arrière.

Nous obtenons une épaisseur de  $650 \text{ \AA}$ , qui est supérieure à nos prévisions.

Nous avons effectué cette oxydation dans un four différent de celui prévu initialement en raison du nombre élevé de plaquettes à traiter. De plus, nous n'avons pas fait d'essai préalable dans ce four. Ces deux raisons expliquent la différence entre l'épaisseur voulue et celle réellement mesurée.

Cependant, l'impact de cette différence sur les valeurs des tensions de seuil théoriques des dispositifs est minime, de l'ordre de 0,2 V.

Nous avons également voulu mesurer l'effet de cette différence sur les énergies et doses d'implantation de bore et de phosphore pour la réalisation des canaux préformés. Pour cela nous avons effectué, après les étapes de dépôt et de dopage du polysilicium de grille, des implantations ioniques de bore à des énergies de 120 et 140 keV avec une dose de  $2.10^{12} \text{ cm}^{-2}$  et de phosphore à 180 et 200 keV avec une dose de  $2.10^{14} \text{ cm}^{-2}$  sur des plaquettes témoins. Nous avons analysé les profils de dopage de bore et de phosphore avec des mesures SIMS.

Nous avons ensuite comparé ces profils avec ceux issus du process précédent et dont l'épaisseur d'oxyde de grille était de 550 Å. Nous voyons sur les Figures 1 et 2 les profils de bore et de phosphore dans le silicium.

Dans le cas du bore, nous ne notons pas de différence, pour les mêmes conditions d'implantations (à 120 keV et  $2.10^{12} \text{ cm}^{-2}$ ), liée à l'épaisseur d'oxyde. Nous continuerons donc à réaliser les implantations ioniques de bore à 120 keV pour la réalisation des canaux préformés de type P.

En revanche, dans le cas du phosphore, la différence est plus flagrante. Cela paraît logique car les énergies d'implantations ne sont pas identiques. Néanmoins nous pouvons déduire de ces courbes qu'une énergie de 180 keV pour une épaisseur d'oxyde de 650 Å ne suffira pas à préformer les canaux. En effet, nous avons vu dans le chapitre II, que pour une énergie de 170 keV avec une épaisseur d'oxyde de 550 Å, les canaux ne se formaient pas. Par conséquent, nous utiliserons, dans un premier temps, une énergie d'implantation de 200 keV lors de la réalisation des canaux préformés de type N.

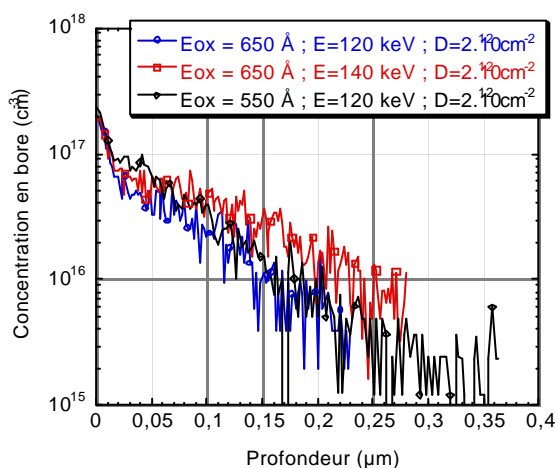


Figure 1 : Comparaison des profils de dopage de bore pour des épaisseurs d'oxyde de grille de 550 et 650 Å.

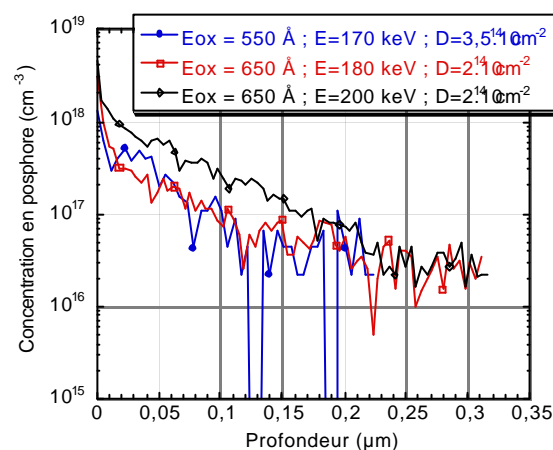
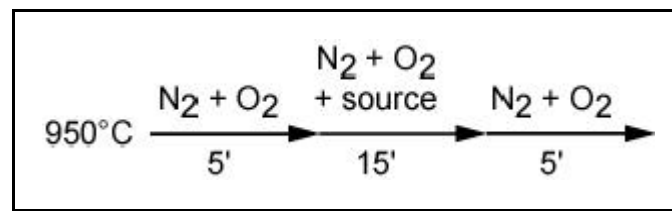


Figure 2 : Comparaison des profils de dopage de phosphore pour des épaisseurs d'oxyde de grille de 550 et 650 Å.

## 6. Dépôt et dopage du silicium polycristallin

Les conditions du dépôt du silicium polycristallin pour obtenir une épaisseur de 3000 Å sont les suivantes : 100 cm<sup>3</sup>/mn de silane (SiH<sub>4</sub>) à la température de 605 °C pendant 30 minutes. L'épaisseur obtenue réellement est de 3050 Å.

Le dopage de type N du polysilicium s'effectue à partir d'un pré-dépôt d'une source liquide de phosphore POC<sub>3</sub> (chap. II). Les résistivités obtenues sont inférieures à  $1.10^{-4} \text{ } \Omega \cdot \text{cm}$ .



*Dopage du silicium polycristallin*

L'épaisseur d'oxyde créée lors du dopage est de 600 Å et l'épaisseur du silicium polycristallin restant est de 2500 Å.

### **7. Réalisation des caissons P**

Nous avons réalisé un caisson P par implantation ionique de bore avec une énergie de 50 keV et une dose d'implantation de  $1.10^{14} \text{ cm}^{-2}$ , qui est la dose optimale pour l'optimisation des cellules thyristors-MOS autoamorçables et blocables (III.2.6).

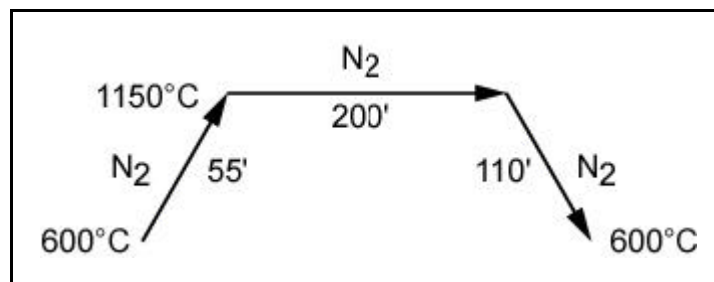
Pour cela nous avons gravé l'oxyde créée lors du dopage de la grille et le polysilicium par RIE à l'aide du masque n°5. L'implantation se fait ensuite à travers l'oxyde de grille.

### **8. Réalisation des courts-circuits P<sup>+</sup>**

Une protection par résine des régions P<sup>+</sup> est faite grâce au masque n°6. L'implantation ionique de bore permettant de réaliser les courts-circuits se fait à une énergie de 50 keV et une dose de  $1.10^{16} \text{ cm}^{-2}$  (chap. II).

### **9. Redistribution P et P<sup>+</sup>**

On réalise une redistribution longue de 200 minutes à une température de 1150 °C sous ambiance neutre (II.2.2.4). Cette redistribution permet de matérialiser les régions P<sup>+</sup> et les bases P.



*Redistribution P et P<sup>+</sup>*

### **10. Réalisation des régions N<sup>+</sup> en dehors des régions P déjà ouvertes**

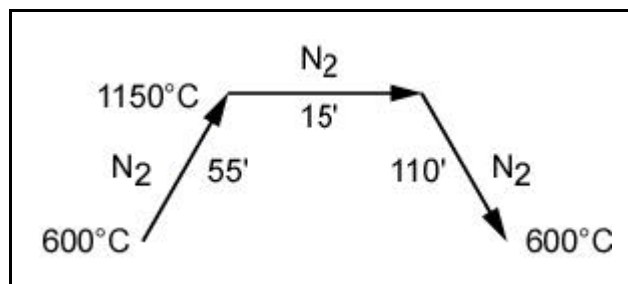
Il s'agit de réaliser le stop channel, les diodes Zener dans les caissons P<sup>-</sup> et les contacts substrat des transistors NMOS. Pour cela, on réalise une gravure de l'oxyde de masquage à l'aide du masque n°7.

### **11. Réalisation des cathodes N<sup>+</sup>**

Une protection par résine des régions où l'on ne désire pas de N<sup>+</sup>, suivie d'une implantation ionique d'arsenic permet de réaliser les cathodes N<sup>+</sup>, les drains et sources des transistors NMOS et le stop-channel (masque n°8). L'implantation ionique est réalisée avec une énergie de 50 keV et une dose de  $1.10^{16}$  cm<sup>-2</sup>.

### **12. Redistribution du N<sup>+</sup>**

Cette étape se déroule sous ambiance neutre pendant 15 minutes à 1150 °C.



*Redistribution du N<sup>+</sup>.*

### **13. Canaux préformés N**

L'implantation ionique du canal préformé est réalisée à travers la grille en polysilicium en protégeant avec de la résine (masque n°9) les autres régions des dispositifs. Comme nous l'avons vu au paragraphe III.2.1.2.2, cette implantation ionique de phosphore se fait dans un premier temps à une énergie de 190 keV et une dose de  $2.10^{14}$  cm<sup>-2</sup> et à une énergie de 200 keV et des doses de  $1.10^{14}$  et  $2.10^{14}$  cm<sup>-2</sup>. Après les premiers résultats, nous avons réalisé des implantations ioniques avec des énergies de 180 et 185 keV et des doses de  $5.10^{13}$  et  $1.10^{14}$  cm<sup>-2</sup>.

#### **14. Canaux préformés P**

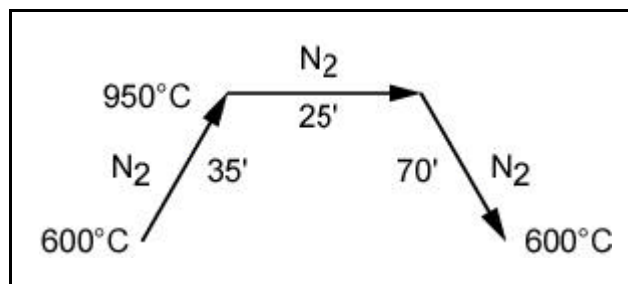
La réalisation des canaux préformés P se fait en implantant du bore à travers le polysilicium de grille à l'aide du masque n°10. Conformément aux résultats obtenus dans le deuxième chapitre, l'énergie d'implantation sera de 120 keV et les doses de  $1,5 \cdot 10^{12}$ ,  $2 \cdot 10^{12}$ ,  $2,5 \cdot 10^{12}$ ,  $3 \cdot 10^{12}$  et  $3,5 \cdot 10^{12} \text{ cm}^{-2}$ .

#### **15. Anode semi-transparente**

La réalisation de cette anode dite semi-transparente se fait en implantant du bore à faible énergie et faible dose sur la face arrière. Pour cela, on réalise une photogravure sur la face arrière à l'aide du masque n°11, tout en ayant pris soin de protéger la face avant avec de la résine. L'implantation ionique de bore se fait à une énergie de 20 keV et des doses de  $5 \cdot 10^{11}$ ,  $3 \cdot 10^{12}$ ,  $1 \cdot 10^{13}$  et  $2 \cdot 10^{13}$  et  $1 \cdot 10^{14} \text{ cm}^{-2}$  (chap. II). Par la suite ce caisson ne sera pas représenté sur la cellule.

#### **16. Redistribution des canaux préformés**

Cette redistribution permet de redistribuer les canaux préformés et l'anode semi-transparente. Elle se déroule sous ambiance neutre à 950 °C pendant 25 minutes.



*Redistribution des canaux préformés.*

#### **17. Gravure polysilicium d'autoalignement**

Cette gravure par RIE s'effectue à l'aide du masque n°12. Elle permet d'enlever le polysilicium qui a permis la formation des caissons P par autoalignement pour les dispositifs multicellulaires du micro-disjoncteur à IGBT (IGBT1 et PMOS) et du thyristor dual avec suppression de la fuite (cellule M1-M2-M5). Cette gravure n'est pas représentée sur la cellule.

### **18. Dépôt nitrure**

Le dépôt de nitrure ( $\text{Si}_3\text{N}_4$ ) de passivation se fait à partir de  $25 \text{ cm}^3/\text{mn}$  de dichlorosilane et de  $150 \text{ cm}^3/\text{mn}$  de  $\text{NH}_3$ , à une température de  $750 \text{ }^\circ\text{C}$  pendant 39 minutes dans un four LPCVD. Nous obtenons une épaisseur de  $1030 \text{ \AA}$ .

### **19. Ouverture contacts et métallisation**

L'ouverture des contacts sur la face avant se fait avec le masque n°13, suivie de la gravure du nitrure et de l'oxyde de grille. Ces étapes sont suivies d'une étape de métallisation d'aluminium de  $1 \text{ }\mu\text{m}$  par sputtering sur la face avant. La plaque métallisée est alors photogravée en utilisant le masque n°14 : le métal est ensuite attaqué à l'aide d'une solution de  $\text{H}_3\text{PO}_4$  et de  $\text{HNO}_3$ .

Nous effectuons le même procédé sur la face arrière avec une gravure du nitrure et de l'oxyde de grille sur toute la plaque suivie d'une métallisation de  $5000 \text{ \AA}$  d'aluminium.

En fin de process, nous effectuons un recuit de l'aluminium à  $450 \text{ }^\circ\text{C}$  pendant 20 minutes.



## **ETUDE ET OPTIMISATION D'UNE FILIERE TECHNOLOGIQUE FLEXIBLE ADAPTEE AU MODE D'INTEGRATION FONCTIONNELLE**

### **Résumé :**

Les travaux de recherche présentés dans ce mémoire s'inscrivent dans le cadre du développement d'une filière technologique flexible pour la réalisation de nouvelles fonctions de puissance intégrées, basées sur le mode d'intégration fonctionnelle. La fonctionnalité et les caractéristiques électriques de ces dispositifs dépendent non seulement de la topologie et des différentes connexions réalisées en surface mais également des caractéristiques internes de la structure telles que le type et les paramètres physiques des couches. Dans ce contexte, deux dispositifs présentant des fonctionnalités distinctes se différencient tant au niveau du procédé technologique (température de recuit, dose et énergie d'implantation...) que de la géométrie des masques. Les filières technologiques figées n'étant pas adaptées, nous avons développé une filière technologique composée d'étapes technologiques de base et d'étapes spécifiques optimisées et compatibles entre elles. Après avoir présenté cette filière basée sur un processus de fabrication permettant un autoalignement par rapport à une grille en polysilicium, nous avons optimisé les différentes étapes technologiques. Nous nous sommes basé sur des structures MOS (N et P, à enrichissement et à déplétion) pour optimiser les étapes relatives aux caissons P et aux canaux préformés. Les caractérisations électriques effectuées sur ces dispositifs ont permis de valider ces étapes d'optimisation. L'ensemble des étapes spécifiques a ensuite été optimisé tout en préservant la compatibilité technologique de l'ensemble. La dernière partie a été consacrée à la validation de cette filière en réalisant des structures tests procédant du mode d'intégration fonctionnelle. Les différentes étapes de conception, réalisation technologique et caractérisation électrique sont détaillées afin de mettre en évidence l'intérêt de cette nouvelle filière technologique.

**Mots clés :** Intégration fonctionnelle, fonction de puissance intégrée, filière flexible, étapes technologiques de base, étapes technologiques spécifiques.

## **STUDY AND OPTIMISATION OF A FLEXIBLE TECHNOLOGICAL PROCESS FOR FUNCTIONAL INTEGRATION**

### **Abstract :**

This work deals with the development of a flexible technological process used for the realisation of new integrated power functions based on functional integration concept. Functionalities and electrical characteristics depend not only on the surface topology and connections but also in the intrinsic characteristics of the structures as well as the type and the physical parameters of the layers. In this context, two devices with distinct functionalities differ on the technological process (anneal temperature, implantation dose and energy...) and the layout design. Unlike the set processes being not suitable, we have developed a technological process, allowing a "self-alignment" with respect to a polysilicon gate, composed of optimised and compatible basic and specific technological steps. We have optimised the different technological steps, and particularly the P-wells and preformed channels with MOS structures (N and P, enhancement and depletion). Electrical characteristics of these devices permit the validation of these optimisation steps. The whole specific steps have then been optimised with the preservation of the technological compatibility. The last part has been devoted to the validation of this process with the realisation of test-structures based on functional integration. The different steps of conception, technological manufacturing and electrical characterisation are detailed in order to show the interest of this new technological process.

**Key words :** Functional integration, power integrated function, flexible process, basic technological steps, specific technological steps.