HAL
open science

Nouvelle méthode de test en rétention de données de mémoires non volatiles

Laurence Montagner Morancho

To cite this version:

Laurence Montagner Morancho. Nouvelle méthode de test en rétention de données de mémoires non volatiles. Micro et nanotechnologies/Microélectronique. Institut National Polytechnique de Toulouse - INPT, 2004. Français. NNT : . tel-00135027

HAL Id: tel-00135027

https://theses.hal.science/tel-00135027

Submitted on 6 Mar 2007

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

N°ordre : 2078

THESE

présentée

pour obtenir

LE TITRE DE DOCTEUR DE L'INSTITUT NATIONAL POLYTECHNIQUE DE TOULOUSE

Ecole doctorale : Génie Electrique Electronique et Télécommunication

Spécialité : Conception de Circuits Microélectroniques Micro-systèmes

Par Madame Laurence MONTAGNER-MORANCHO

Titre de la thèse : NOUVELLE METHODE DE TEST EN RETENTION DE DONNEES DE MEMOIRES NON VOLATILES

Soutenue le 5 février 2004 devant le jury composé de :

Mme. D ANDREU……..Présidente

M. G. SARRABAYROUSE….Directeur de thèse
M. R. BOUCHAKOUR……Rapporteur
M. P. FOUILLAT…….....Rapporteur
Mme. C. PLOSSU…….Examinateur
M. E. HEMON……..Examinateur
M. A. PEYRE-LAVIGNE….…Membre invité

A Frédéric et Clément,

Le travail présenté dans ce mémoire a été effectué au sein du groupe "Technologie Micro et Nanosystèmes" (TMN) du Laboratoire d'Analyse et d'Architecture des Systèmes du Centre National de la Recherche Scientifique ((LAAS-CNRS) et au sein de Motorola Semiconducteurs dans le cadre d'une convention CIFRE.

Je remercie Messieurs J.C. Laprie et M. Ghallab, Directeurs successifs du LAAS-CNRS, pour m'avoir accueillie au sein de son laboratoire et Monsieur G. Blasquez, Responsable du groupe "Technologie Micro et Nanosystèmes", pour m'avoir accueillie dans son groupe de recherche.

Je tiens particulièrement à remercier Monsieur G. Sarrabayrouse, Directeur de Recherches au CNRS, pour la confiance qu'il m'a témoignée en acceptant la direction scientifique de mes travaux. Je lui exprime ma gratitude pour m'avoir fait bénéficier tout au long de ce travail de sa grande compétence, de sa rigueur scientifique et de son dynamisme.

J'ai été très honorée de la présence à mon jury de thèse et je tiens à remercier :

Madame D. Andreu, Professeur à l'ENSEEIHT, pour avoir accepté de présider mon jury de thèse,

Monsieur R. Bouchakour, Professeur à l'Ecole Polytechnique de Marseille pour sa participation à mon jury de thèse en qualité de rapporteur de mon travail et pour toutes les remarques judicieuses qu'il m'a faites,

Monsieur P. Fouillat, Professeur à l'IXL de Bordeaux pour l'honneur qu'il ma fait en participant à mon jury de thèse en tant que rapporteur et pour ses nombreuses suggestions intéressantes,

Madame C. Plossu, Maîtres de conférences à l'INSA de Lyon et Monsieur E. Hemon, Ingénieur à Motorola Semiconducteurs Toulouse, pour avoir accepté d'être examinateurs de mon travail.

Monsieur A. Peyre-Lavigne, qui fut mon responsable à Motorola avant d'être chargé de mission 3RT, pour l'intérêt qu'il a porté à mes travaux et pour sa présence à mon jury de thèse.

Je tiens à remercier Marlène Nayrolles et Damien Ramis pour leur participation active à mon travail. Je tiens à exprimer toute ma reconnaissance à Emmanuel Scheid pour son soutien permanent et son aide précieuse. Je n'oublie pas de remercier Serge De Bortoli pour m'avoir soutenue et aidée au sein de Motorola, Vincent Lagardelle et Frédéric Rinaudo pour leur aide précieuse, Jean-Noël Delbreil, Carmen Nogueras et Marc Pepy pour leurs conseils en layout, ainsi que toute l'équipe de l'EDO, de DDL et du probe.

Je tiens également à remercier F. Rossel, V. Conedera et l'équipe TEAM pour leur aide en salle blanche au LAAS.

A titre plus personnel, je remercie toutes les personnes que j'ai eu le plaisir de côtoyer durant la thèse à Motorola et au LAAS, en particulier les filles de Motorola, Adeline (l'unique), Estelle (la designer de mémoires), Corinne (la pro du test des circuits

mémoires), Ana, Laurence (LA), Carmen, Yean-Lin, Valérie, Sylvie, Caroline, Aurélie, Catherine, Isabelle et Ivana, celles qui ne sont pas de Motorola, Stéphanie, Emeline et Véronique… et les garçons bien évidemment : Philippe M., Philippe G., Philippe L., Philippe R. et tous les autres Philippe, Jean-Philippe L., Jean-Michel, Louis, Alain, Stéphane, Jérôme (avec qui on se suit depuis le lycée), Michel C., Patrice, Olivier (les 2), David, Nicolas M. et Nicolas N.

Cette liste n'est bien sûr pas exhaustive : que les personnes non mentionnées veuillent bien m'excuser.

Merci à tout le personnel technique et du service édition-documentation : A. Bergez, M. Powell, A. Evrard, D. Daurat et C. Berty, pour la réalisation matérielle de ce mémoire, sans oublier le personnel du magasin pour leur disponibilité.

Merci enfin à mes parents pour m'avoir encouragée.

Je tiens à remercier de tout mon cœur Frédéric pour m'avoir soutenue et m'avoir donné le courage d'aller jusqu'au bout.

Introduction générale 3

Chapitre 1 : 7

Généralités et position des problèmes 7

Introduction 9

A. Les circuits SMARTPOWER 9

1. Définition et domaines d'applications 9

2. Fiabilité des circuits SMARTPOWER 11

3. Les mémoires non volatiles dans les produits SMARTPOWER 12

4. Situation de la mémoire étudiée par rapport aux structures classiques 13

4.1. Type de mémoire 13

4.2. Technologie des mémoires EEPROMs 13

4.3. Structure de la mémoire étudiée 16

5. Programmation des mémoires à grille flottante 19

5.1. Ecriture 19

5.2. Effacement 20

B. Fiabilité des mémoires 21

1. Généralités 21

2. Critères de fiabilité des mémoires non volatiles 22

2.1. Endurance en cycles d'effacement et de programmation. 23

2.2. Rétention de données 24

3. Test en rétention de données 30

3.1. Accélération thermique 30

3.2. Accélération électrique 32

4. Extrapolation de la rétention de données : Fiabilité prédictive 33

4.1. Modèle en 1/T 33

4.2. Modèle en T 34

4.3. Approche statistique 35

Conclusion 36

Chapitre 2 : 39

Etude du comportement thermique de la mémoire 39

1.Introduction 41

2.Mémoire non volatile dans les technologies SMARTMOS 41

3. Conduction dans la couche d'oxyde de grille 42

3.1 Caractéristique de conduction à fort champ 43

3.2 Etude sur les cellules mémoires 45

3.3 Observations communes à toutes les distributions 49

3.4 Gain de charge durant le recuit 51

3.5 Mécanisme de conduction pour les cellules de la zone intrinsèque 53

3.6 Analyse des cellules extrinsèques 56

4. Conclusion 63

Chapitre 3 : 65

Mise en œuvre d'un nouveau test de rétention de données 65

1. Introduction 67

2. Absorption de la lumière **67**

3. Mécanismes de conduction sous illumination **69**

3.1 Caractéristiques courant tension sous illumination des cellules intrinsèques 69

3.2. Caractéristiques courant tension sous illumination des cellules extrinsèques 74

3.3. Influence de la puissance du faisceau lumineux sur la température du composant 75

4. Illumination d'une population de cellules mémoires programmées **76**

4.1 Homogénéité de la transmission optique 77

4.2 Corrélation entre vieillissements thermiques et vieillissement optique (λ_1 = 514,5 nm) 77

5. Faisabilité d'un test sous accélération lumineuse **81**

6. Conclusion **82**

Conclusion générale ***83***

Références bibliographiques ***89***

Introduction générale

La microélectronique a montré au cours des vingt dernières années une évolution rapide motivée par l'accroissement des performances — en terme de rapidité, capacité et consommation — et par l'abaissement des coûts. Cet essor a permis entre autre de rendre accessible au grand public des produits nouveaux tels que les téléphones mobiles, les ordinateurs portables ou les appareils photos numériques. Cependant un paramètre devient de plus en plus important en terme de coûts et de mise sur le marché : c'est la fiabilité des circuits. Par ailleurs, pour certains systèmes, les exigences de la société en terme de sécurité augmentent ce qui accroît encore l'importance de la fiabilité au niveau des fabricants.

Ces considérations s'appliquent à l'ensemble des circuits mais peut être plus particulièrement aux mémoires non volatiles du fait de contraintes de fonctionnement très élevées lors des opérations de programmation et des exigences en rétention de données qui ne s'évalue pas par des tests fonctionnels rapides et directs mais par des expériences de vieillissement accéléré très longues et coûteuses et incertaines en terme d'extrapolation aux températures de fonctionnement. Les mémoires non volatiles de type Flash ou EEPROM sont généralement dans une configuration matricielle de grande capacité et réalisées par un processus spécifique et donc présentant un certain degré de fiabilité vis-à-vis de leur fiabilité. Cependant dans le cadre du développement de « systèmes on chip (SOC) » de telles mémoires sont intégrées dans des circuits hôtes et sont, pour des raisons de coût, développées dans des technologies hôtes non spécifiques telles que des technologies CMOS ou de puissance.

C'est dans ce dernier cas que se place notre étude qui concerne le développement d'une mémoire non volatiles intégrée dans un circuit de puissance dit « Smart Power ». Celui-ci sera destiné à des applications automobiles demandant un très haut niveau de fiabilité pour des raisons de sécurité et qui sera produit à de très forts volumes. Dans ces conditions, nous montrerons que les tests habituels de fiabilité et en particulier concernant la rétention de données ne sont pas applicables. Il convient donc de définir une nouvelle méthode pour son évaluation qui constitue l'objectif premier de ce travail.

Dans un premier chapitre, nous situerons la mémoire étudiée parmi les diverses mémoires non volatiles puis nous préciserons les divers critères de fiabilité qui lui sont applicables et les méthodes de test.

Dans le second chapitre, la rétention de données plus particulièrement pertinente dans notre cas sera étudiée par la voie classique du vieillissement accéléré sous contrainte thermique.

Dans le troisième chapitre enfin, un nouveau test en rétention de données sera défini et validé par comparaison avec les résultats des tests thermiques.

<u>Chapitre 1</u> :

Généralités et position des problèmes

Introduction

Le domaine des composants semiconducteurs a connu une forte expansion grâce au développement de filières technologiques intelligentes appelées « SMARTPOWER ». Cela a en effet constitué une nouvelle « révolution » de l'électronique : l'idée nouvelle a été de faire cohabiter sur une même puce des circuits basse tension et des interrupteurs commandés par ces circuits, capables de commuter plusieurs Ampères et plusieurs dizaines ou centaines de Volts. Dans ces circuits, la mémoire a tout naturellement trouvé sa place ; elle apporte notamment une flexibilité d'utilisation car elle est programmable; par ailleurs, elle peut également configurer les circuits.

Dans ce chapitre, nous présenterons succinctement, dans une première partie, l'environnement des circuits SMARTPOWER comportant une mémoire intégrée, puis nous aborderons les mémoires proprement dites.

Dans une seconde partie, nous nous intéresserons à la fiabilité de ces mémoires ; nous nous attarderons plus particulièrement sur la rétention des données et nous montrerons les limites des tests classiques en rétention de données.

A. Les circuits SMARTPOWER

1. Définition et domaines d'applications

Les progrès des procédés technologiques en microélectronique ont permis d'associer sur une même puce des circuits faible tension et des circuits dits de puissance utilisant des interrupteurs commutant à quelques dizaines de Volts (LDMOS, IGBT ou VDMOS) [1][2].

Les avantages de ces circuits sont nombreux et concernent en premier lieu la réduction du coût ; en effet l'assemblage, la connectique et un grand nombre d'interfaces sont supprimés. D'autre part, cette intégration permet la conception de circuits complexes difficilement réalisables avec des composants discrets. De plus, de nouvelles fonctions de contrôle telles que la détection des phénomènes de surchauffe, de surtension ou de surintensité (court-circuit) peuvent être intégrées.

Outre les modules de puissance, de commande et de diagnostic, les récentes avancées dans le domaine du multiplexage permettent d'intégrer également des fonctions liées au traitement du signal et à l'échange des données. Ce type d'intégration est appelé « Smart Power Integrated Circuit », qui se traduit par «Circuit Intégré de Puissance Intelligent » [1] [3].

Le circuit présenté Figure 1 illustre le degré d'intégration et la complexité de cette technologie. Nous y retrouvons la diversité des fonctions réalisables dans les technologies Smart Power.

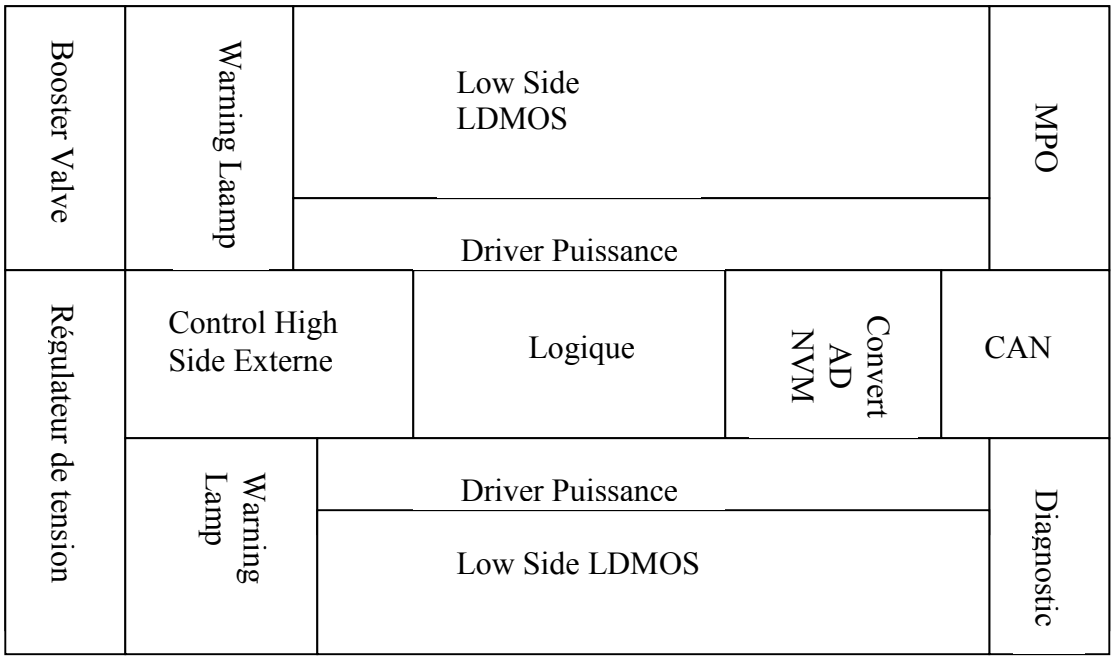


Figure 1: Exemple de puce SMARTPOWER.

Les fonctions principales sont les suivantes :

- des LDMOS avec leur commande,
- une partie Multiplexage et un bloc CAN (Controler Area Network),
- un convertisseur analogique numérique,
- un bloc de mémoires non volatiles (NVM),
- diagnostic : contrôle de la température, fonctionnalité de la puce,
- un calculateur logique CMOS et son régulateur de tension,
- l'étage de sortie vers le tableau de bord, lampe warning,
- un pré-driver pour un transistor de puissance « Low-Side » externe (booster valve),
- un module MPO (Multi-Purpose-Output) qui permet à l'équipementier l'ajout d'autres fonctionnalités.

Les domaines d'application des circuits SMARTPOWER sont vastes. On les trouve aussi bien dans les imprimantes que dans les perceuses électriques, la téléphonie mobile (pour la gestion de l'énergie) ou encore dans l'automobile où leur présence ne cesse d'augmenter. L'électronique y a été introduite par vagues successives. La première vague a été initiée en 1974 par la législation sur l'environnement qui a conduit à introduire une commande de contrôle du moteur. La deuxième a été déclenchée par l'introduction sur le marché de nouveaux dispositifs de sécurité comme l'ABS et l'airbag qui sont apparus respectivement en 1978 et 1982. La troisième vague provient de la large introduction des systèmes électroniques destinés au confort qui a débuté en 1990. La quatrième vague représente l'introduction des systèmes de transport intelligent (« Intelligent Transportation Systems ») qui sont entrés sur le marché en 1998. La cinquième vague, dont les premiers systèmes sont apparus en 2000, consiste à remplacer les systèmes mécaniques et hydrauliques, souvent lourds et coûteux, par des systèmes électroniques [4].

2. Fiabilité des circuits SMARTPOWER

Les circuits SMARTPOWER doivent répondre à certaines exigences requises pour fonctionner dans leur environnement. Les conditions les plus strictes sont celles auxquelles nous allons nous intéresser, c'est-à-dire celles du secteur automobile. En effet, une défaillance peut avoir une incidence sur la sécurité des occupants. Il est donc très important de garantir un fonctionnement sans faille de tous les composants dans des conditions extrêmes, aussi bien climatiques qu'électriques, pendant au moins toute la durée de vie du véhicule, c'est-à-dire une dizaine d'années.

Pendant son développement, le produit doit donc suivre un parcours de qualification pour garantir les conditions exigées. Il subira des tests fonctionnels (présents de la conception jusqu'à la fabrication) et des tests accélérés. Les tests fonctionnels sont menés à trois températures (-40°C, 25°C, 125°C ou 150°C pour les modules près du moteur) qui correspondent aux conditions de fonctionnement extrêmes. Dans les tests accélérés, deux sont couramment utilisés : il s'agit du « High Temperature Operating Life » qui se fait à 150°C pendant 408h ou à 125°C pendant 1000h pour une polarisation maximale du produit et du « Highly Accelerated Stress Test » qui s'effectue à une température de 130°C, avec un taux d'humidité de 80%, sous une pression de 2 Bars pendant 96 heures. Ces deux tests permettent

de simuler l'effet des années et des intempéries. L'objectif de ces tests est aussi d'analyser les types de défaillances afin de pouvoir améliorer la conception pour que le produit soit plus robuste ou d'assurer une meilleure qualité des étapes de fabrication et ainsi d'améliorer les rendements.

Une fois en production, les produits ne subissent que les tests fonctionnels au niveau wafer et sur composants montés en boîtier, en température ou à température ambiante. Seuls les échantillons prélevés régulièrement pour un contrôle qualité subissent alors tous les tests accélérés.

Malgré ces nombreux contrôles, quelques composants défaillants peuvent encore être livrés aux clients, ils se comptent en dizaine de parties par million (ppm) ; ce chiffre est évidemment trop élevé car les circuits SMARTPOWER concernent principalement les organes de sécurité. Aujourd'hui, les clients exigent un niveau de 0ppm. Pour cela, les tests accélérés au niveau wafer (Wafer Level Reliability) sur 100% des produits deviennent indispensables.

3. Les mémoires non volatiles dans les produits SMARTPOWER

La présence de mémoires est devenue nécessaire lorsque les clients ont voulu configurer eux-mêmes certains produits notamment pour entrer des numéros de série. Ce type de composant ne faisant pas partie des librairies SMARTPOWER, les besoins générés par l'application l'ont défini. Par la suite, la présence de mémoires a permis d'élargir le champ des applications. Enfin, la possibilité d'utiliser les mémoires non volatiles, s'est révélée être un atout vis-à-vis de la concurrence. Actuellement, ce composant se trouve par exemple dans la majorité des produits de Motorola «division automobile » et « produits standards ». On prévoit d'ailleurs une forte croissance des ventes sur les 5 prochaines années.

Les exigences sont technologiques et fonctionnelles. Technologiquement, la compatibilité avec les autres composants doit être totale ; en effet, tout ajout d'étape supplémentaire engendre un coût sur le produit final. Quant aux propriétés fonctionnelles, la mémoire remplace les composants de type « fusible » dans tout ce qui est ajustage des paramètres ; ensuite, à la demande du client, elle va servir à entrer des codes (par exemple le code pin pour un téléphone ou un numéro de série). Pour ces utilisations, peu de bits sont nécessaires : la mémoire sera très peu cyclée mais, elle devra par contre garder l'information pendant toute la durée de vie du produit.

La mémoire est donc une mémoire non volatile (NVM) que l'on peut qualifier de « Few Times Programming » dont la densité d'intégration n'est pas très grande et ne nécessite pas forcément une configuration matricielle.

Aujourd'hui, elle sert à d'autres applications et sert de paramètres fonctionnels c'est-à-dire que son état programmé ou effacé va déterminer la configuration du circuit. Par exemple, dans un air-bag, c'est l'état de la mémoire qui ordonne le repos ou la mise à feu de l'explosif qui va gonfler le coussin.

4. Situation de la mémoire étudiée par rapport aux structures classiques

4.1. Type de mémoire

Les mémoires se classent en deux grandes catégories : les volatiles et les non volatiles. La mémoire étudiée est une mémoire non volatile. De plus, elle est programmable et effaçable électriquement. Elle se classe donc, au niveau du principe, parmi les EEPROM basées sur les technologies FLOTOX (FLOating gate Thin OXide) ou SIMOS (Stacked gate Injection MOS).

4.2. Technologie des mémoires EEPROMs

Historiquement, la structure **S**tacked gate **I**njection **MOS** (Figure 2), s'appuyant sur le concept de la grille flottante a été inventée par Sze en 1969 [5]. Cette mémoire n'a pas été réalisée à cette époque car la technologie d'alors ne permettait pas de fabriquer des oxydes de bonne qualité, rendant ainsi la structure trop volatile. Pour pallier les problèmes de rétention de données, la structure a été modifiée en ménageant une petite surface pour laquelle l'oxyde est mince alors que le reste de l'oxyde est très épais. La technologie employée a été appelée **FLO**ating gate **T**hin **OX**ide ; elle a permis de réaliser et de commercialiser la première mémoire non volatile EEPROM.

Les premières mémoires utilisaient deux niveaux de polysilicium ce qui rendait le procédé technologique complexe et non compatible avec toutes les technologies. C'est pour cette raison que des mémoires à un seul niveau de polysilicium ont été créées.

Dans ce qui suit, ces deux types de technologies seront présentées, ainsi que leur avantages et inconvénients respectifs : cela permettra de justifier la structure de la mémoire étudiée.

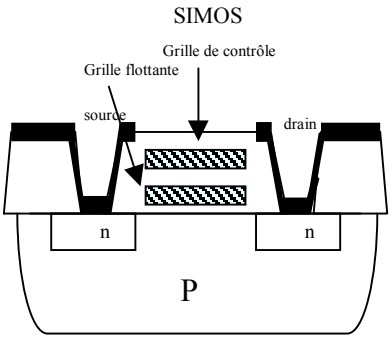


Figure 2: Mémoire non volatile EEPROM technologie SIMOS

4.2.1. Technologie à double polysilicium

La technologie SIMOS est représentée sur la Figure 2. Les deux couches conductrices sont du polysilicium, les diélectriques sont de l'oxyde. L'épaisseur de l'oxyde se trouvant entre le drain et le premier niveau de polysilicium est plus faible que l'oxyde situé entre les deux couches conductrices. Les charges négatives sont stockées dans la grille flottante après la programmation. La grille de contrôle sert à polariser le MOS pour lire la mémoire ou pour programmer la mémoire par effet tunnel à travers l'oxyde mince.

L'avantage d'avoir un oxyde plus mince est de pouvoir programmer la mémoire par effet tunnel de type Fowler-Nordheim sans avoir à utiliser de très fortes tensions. L'accès au drain, à la source et à la capacité de couplage permet de pouvoir effacer électriquement la mémoire par simple inversion des polarisations, ce qui est un avantage par rapport aux EPROMS.

Les méthodes de programmation et d'effacement seront abordées ultérieurement.

La technologie SIMOS a supplanté la technologie FLOTOX (Figure 3) car il n'était plus nécessaire d'avoir deux épaisseurs d'oxyde de grille. De plus, la mémoire SIMOS permet d'atteindre une plus grande densité d'intégration lorsqu'on l'utilise sous forme matricielle du fait qu'elle ne nécessite pas de transistor de sélection.

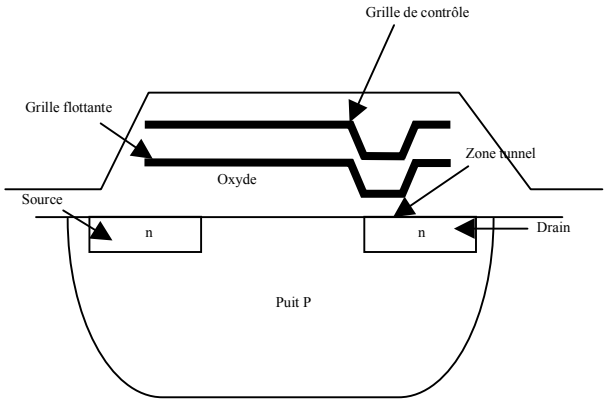


Figure 3: Mémoire non volatile EEPROM en technologie FLOTOX

4.2.2. Technologie « simple polysilicium »

La technologie simple polysilicium a été créée pour être compatible avec les technologies CMOS et être présentes dans les ASIC's[6].

On peut définir structurellement les mémoires simple polysilicium comme étant des mémoires de technologies FLOTOX et SIMOS que l'on aurait dépliées, utilisant un seul niveau de polysilicium. La Figure 4 donne le schéma de principe de la mémoire : la partie de droite représente la capacité de couplage et l'autre partie, le MOS est le transistor de lecture.

Le polysilicium flottant sert de capacité de contrôle par couplage entre le silicium et le poly et de grille flottante entre le polysilicium et le MOS.

L'exemple vue de dessus donné est celui de la cellule SIMOS (Figure 5).

La cellule SIMOS a une capacité de contrôle qui est un rectangle de grande surface entre la diffusion de la capacité de contrôle et la grille flottante. La grille flottante est aussi la grille du MOS (T). La structure est grande, elle est volontairement montrée vue de dessus car cette vue rappelle celle de la mémoire étudiée.

Les mémoires en technologie simple polysilicium sont plus grandes que leur équivalent en double polysilicium : leur utilisation ne nécessite pas une grande densité d'intégration.

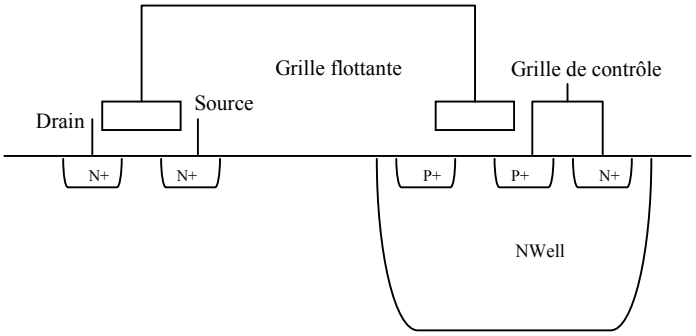


Figure 4: Technologie Single-Poly: schéma de principe d'une mémoire en technologie simple polysilicium.

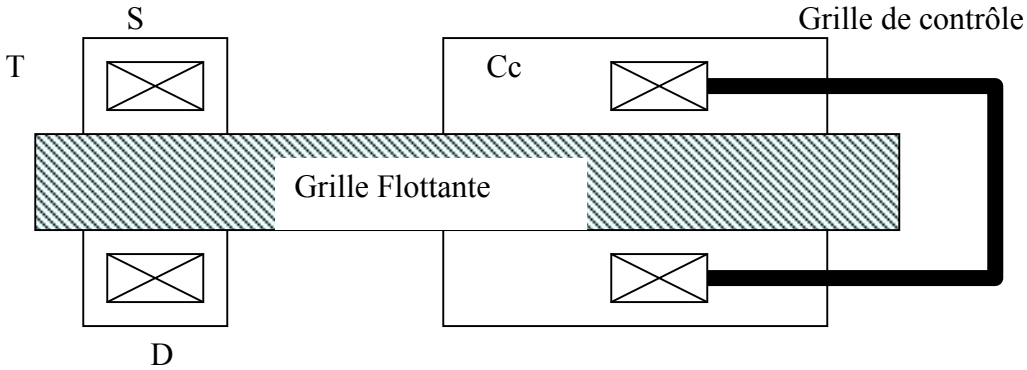
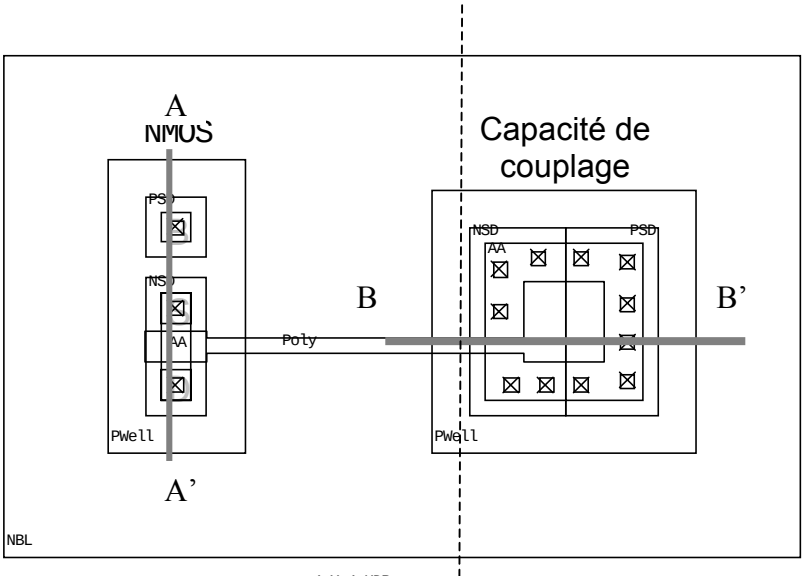


Figure 5: Vue de dessus d'une mémoire simple polysilicium en technologie SIMOS [7]

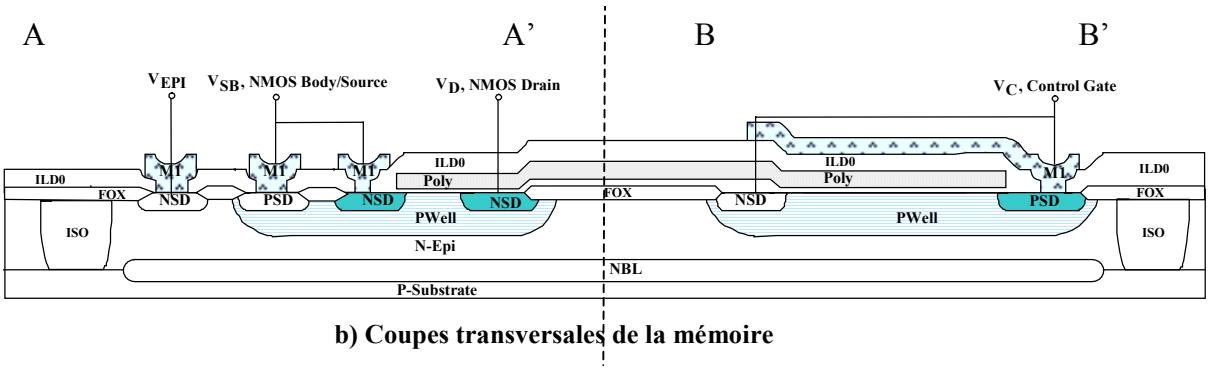
4.3. Structure de la mémoire étudiée

La mémoire étudiée est destinée à être intégrée dans une technologie SMARTMOS^{TM} développée par Motorola. Cette technologie utilise un seul niveau de polysilicium et une seule épaisseur d'oxyde pour la capacité de couplage, la grille du transistor et la zone d'injection. La structure choisie est donc une structure de type simple poly, équivalente à la technologie SIMOS « dépliée ». Sa particularité est d'avoir un oxyde de grille de 350Å d'épaisseur. La Figure 6a représente une vue de dessus de la cellule mémoire sur laquelle nous distinguons la partie de la capacité de couplage et la partie NMOS, toutes deux reliées par un polysilicium flottant qui représente la grille flottante. Une vue en coupe (Figure 6b) montre les différentes couches technologiques. Les couches nécessaires à la mémoire sont : les puits PWell (l'un sert au transistor NMOS et l'autre à la capacité de contrôle), les couches NSD (qui sont les drain et source du NMOS et de la source de porteurs minoritaires dans la capacité de

contrôle), la couche PSD (contact sur la capacité de contrôle et du puit du NMOS), l'oxyde de grille, le polysilicium et la couche de métal qui assure le contact. Les autres couches servent à isoler le composant : NBL (couche enterrée), l'ISO et le Fox (oxyde de champ), tandis que la couche épitaxiée (N-epi) assure la tenue en tension du composant.



a) Vue de dessus de la mémoire



b) Coupes transversales de la mémoire

Figure 6 : Structure de la mémoire.

La mémoire est modélisée par le schéma électrique suivant (Figure 7).

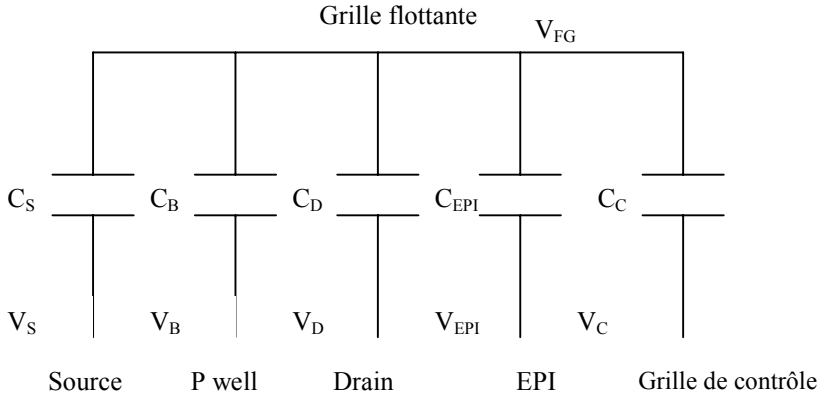


Figure 7: Schéma électrique équivalent de la mémoire.

L'application du théorème de Gauss à la grille flottante permet d'établir la tension de grille flottante :

$$V_{FG} = \alpha_S V_S + \alpha_D V_D + \alpha_{EPI} V_{EPI} + \alpha_C V_C + \alpha_B V_B + \frac{Q_{FG}}{C_T} \qquad \textbf{(1)}$$

avec $C_T = C_S + C_B + C_D + C_{EPI} + C_C$;

Les valeurs des différentes capacités sont calculées à l'aide de la géométrie de la mémoire :

$C_S = 8{,}06.10^{-16}$ F: capacité entre la source et la grille flottante ;

$C_B = 3{,}332.10^{-15}$ F: capacité entre le puit P et la grille flottante ;

$C_D = 8{,}06.10^{-16}$ F: capacité entre le drain et la grille flottante ;

C_{EPI} : capacité entre l'épitaxie et la grille flottante, on négligera sa capacité car l'épaisseur d'oxyde est de 10,35kÅ ;

$C_C = 1{,}9.10^{-14}$ F : capacité de contrôle entre le puit Pwell et la grille flottante ;

Q_{FG} : charge de la grille flottante ;

V_{EPI} : tension appliquée à l'EPI ;

V_C : tension appliquée à la grille de contrôle ;

V_D : tension appliquée au drain ;

V_S : tension appliquée à la source ;

V_B : tension du puit P.

où α représente le symbole des coefficients de couplage que l'on calcule à l'aide des dimensions de la mémoire.

$$\alpha_D = \frac{C_D}{C_T} \; ; \alpha_S = \frac{C_S}{C_T} \; ; \alpha_B = \frac{C_B}{C_T} ; \; \alpha_{EPI} = \frac{C_{EPI}}{C_T} .$$

$\alpha_C = \dfrac{C_C}{C_T}$ est un coefficient très important, il détermine l'efficacité en écriture de la mémoire. Ce facteur représente la fraction de la tension de grille de contrôle qui est effectivement appliqué sur la zone d'injection. Il est idéalement de 1 mais généralement de l'ordre de 0,8 ; c'est le cas de cette mémoire (α_C=0,794). Il ne dépend que de la géométrie de la mémoire, ce qui signifie que la capacité de couplage doit être très grande par rapport aux capacités de drain, de source et d'épitaxie.

5. Programmation des mémoires à grille flottante

Dans cette partie ne seront abordés que les types de programmation et d'effacement utilisés pour la mémoire étudiée.

5.1. Ecriture

Le premier type de programmation présenté est celui de Fowler-Nordheim (Figure 8a)). Sous l'action d'un champ électrique élevé, il existe une probabilité qu'un porteur passe par effet tunnel à travers la barrière triangulaire d'oxyde. En pratique, une tension fortement positive (V_P) est appliquée sur la grille de contrôle et l'épitaxie alors que drain et source sont à la masse. L'écriture peut se faire soit par bloc soit par cellule.

En reprenant l'équation (1), la charge injectée dans la grille flottante pendant le régime établi est :

$$Q_{FG} = -C_T(\alpha_{EPI} V_{EPI} + \alpha_C V_C) \qquad \textbf{(2)}$$

Le deuxième type est la programmation par électrons chauds (Figure 8b). La grille de contrôle et le drain sont polarisés, les tensions étant néanmoins moins fortes que dans le cas précédent. La source reste à la masse. L'avantage de programmer par électrons chauds par rapport à une programmation de type Fowler-Nordheim est que le temps de programmation est très court (T_p=10ms, au lieu de T_p=100ms). Par contre, la consommation en courant est très élevée.

Ce type de programmation est possible mais peu utilisé car il cause des dommages dans l'oxyde situé au-dessus du MOS, ce qui induit une mauvaise rétention de données de la mémoire. Ce mode de programmation est préféré dans des applications où la mémoire n'a pas un rôle critique.

De même, en reprenant l'équation (1), la charge injectée Q_{FG} vaut :

$$Q_{FG} = -C_T(\alpha_D V_D + \alpha_{EPI} V_{EPI} + \alpha_C V_C) \qquad \textbf{(3)}$$

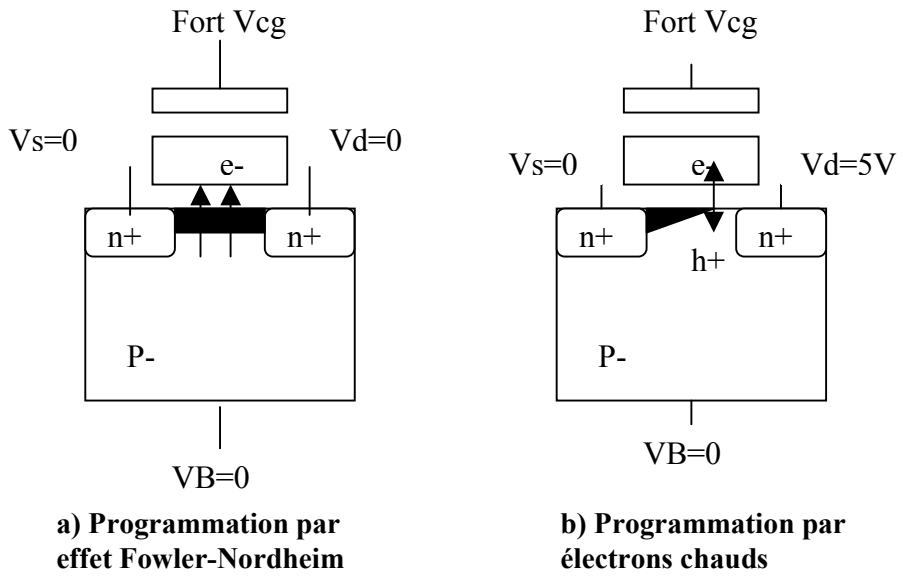


Figure 8: Modes de programmation des mémoires non volatiles.

Par ailleurs, quel que soit le mode de programmation, la relation entre la variation de la tension de seuil et la variation de la charge stockée dans la grille flottante est donnée par:

$$\Delta V_T = -\frac{\Delta Q_{FG}}{C_C} \quad \textbf{(4)}$$

5.2. Effacement

La cellule mémoire est effacée lorsque les électrons stockés sont évacués. Dans notre structure, l'effacement se fait électriquement par effet Fowler-Nordheim (Figure 9) par bloc.

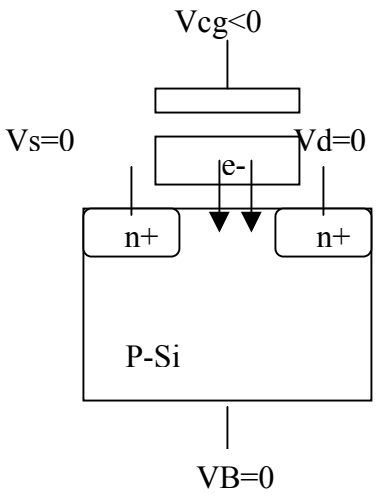


Figure 9: Effacement par effet Fowler-Nordheim.

B. Fiabilité des mémoires

1. Généralités

La fiabilité d'un produit est définie comme la probabilité que le fonctionnement du produit reste efficace dans un environnement et pour une période de temps donnés [8]. Dans le cas des composants utilisés dans l'automobile, leur durée de vie doit être de 10 ans pour une température maximum de jonction de 150°C.

Les mesures de fiabilité servent à qualifier les composants à l'aide de différents tests qui ont lieu de la phase de conception jusqu'à la production. Ces tests sont fonctionnels ou accélérés pour simuler tout le stress qu'aura à subir le composant. Ces mesures se font sur un échantillon représentatif au moyen d'outils statistiques servant à modéliser et donc prévoir le pourcentage de cellules défaillantes ainsi que le moment où elles deviendront défaillantes.

Parmi les représentations des mesures statistiques, la fonction la plus utilisée, dans le cas des mémoires, est la fonction « hasard » qui est quantifiée en nombre de défaillances par 10^9 heures (Figure 10). Elle donne le taux de défaillances instantanées pour les cellules qui étaient fonctionnelles au temps t. De cette fonction dérive la courbe typique en baignoire sur laquelle on distingue trois phases :

- La phase appelée mortalité infantile dans laquelle seront révélées les défaillances causées par les défauts de production. Dans cette phase, le nombre de défaillances est conséquent.

- La seconde phase est appelée zone utile dans laquelle la durée de vie va dépendre de l'utilisation du composant. Dans cette phase, très peu de composants deviennent défaillants.
- Dans la troisième phase, le composant arrive en fin de vie ; c'est la zone d'usure, conséquence du vieillissement du composant.

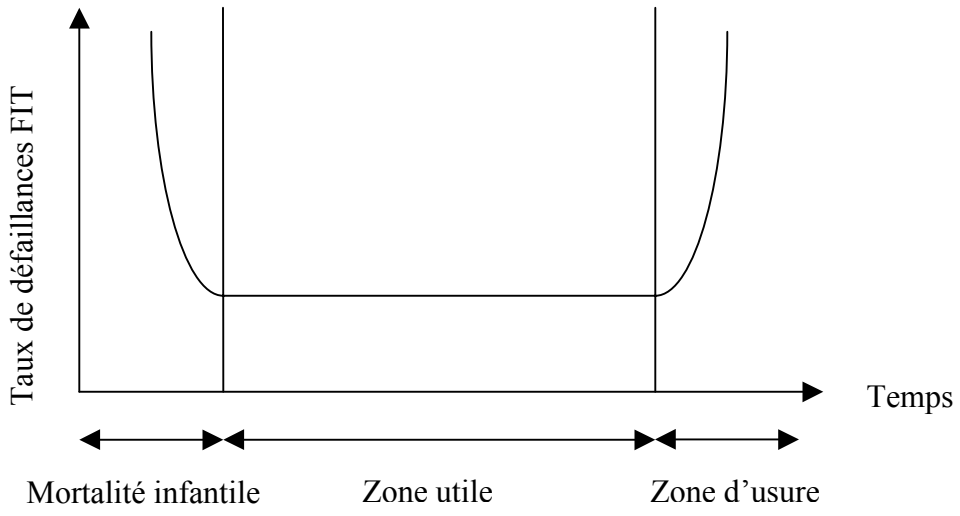


Figure 10: Représentation du taux de défaillance en fonction du temps.

Cette approche statistique se base sur le comportement général des composants mais ne tient pas compte des mécanismes de défaillances.

2. Critères de fiabilité des mémoires non volatiles

Une mémoire fiable est une mémoire que l'on peut programmer, effacer et lire tout au long de sa vie. Les tests fonctionnels de programmation, d'effacement et de lecture sont réalisés après fabrication très facilement. Pour garantir un bon état de marche pendant toute la durée de vie du produit, la mémoire doit subir des tests accélérés afin de recréer le stress auquel elle sera soumise. Selon le type de mémoire, les stress seront différents. Pour des mémoires Flash en configuration matricielle, il sera essentiel que celles ci puissent être programmées et effacées un million de fois, être lues et garder l'information pendant quelques dizaines d'années. Pour des mémoires de type « One Time Programming », ou « Few Times Programming », le critère d'endurance en effacement ou programmation n'est pas crucial car ces mémoires sont

destinées à ne changer d'état que quelques fois. Par contre, le critère de rétention de données sera toujours très important.

2.1. Endurance en cycles d'effacement et de programmation.

Les cycles de programmation et d'effacement successifs ont pour effet de dégrader progressivement l'oxyde tunnel par création de charges négatives de sorte que l'efficacité de l'opération diminue. Au bout d'un certain nombre de cycles, la tension de seuil à l'état effacée augmente alors que la tension à l'état programmé diminue jusqu'à ce que les deux valeurs se confondent rendant la mémoire illisible : c'est la fermeture de la fenêtre de programmation.

En plus de provoquer la fermeture de la fenêtre de programmation, les opérations de programmation et d'effacement vont favoriser la création de pièges dans l'oxyde et vont donc avoir une incidence sur la rétention de données.

Dans notre cas, la mémoire doit pouvoir être écrite et effacée 10 fois sans se détériorer. Ainsi et compte tenu du manque d'information concernant les oxydes épais, nous avons effectué des cycles d'effacement et de programmation à la température ambiante puis à 150°C pour vérifier que nous étions loin de la fermeture de la fenêtre de programmation, quel que soit l'environnement thermique de la mémoire (Figure 11).

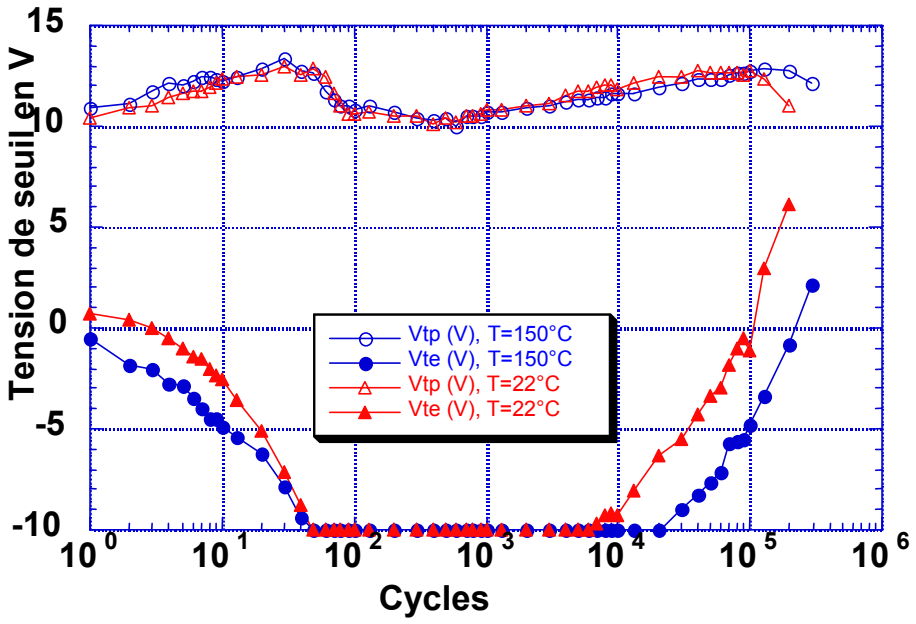


Figure 11: Tension de seuil en fonction du nombre de cycles d'effacement et de programmation effectués à T=22°C et T=150°C. Vtp est la tension de seuil à l'état programmé et Vte est la tension de seuil à l'état effacé

Nous n'avons pas directement la fermeture de la fenêtre mais il existe initialement une phase d'ouverture de la fenêtre. Elle est provoquée par un piégeage de charges positives dans l'oxyde près de l'interface SiO_2/Si côté transistor MOS pendant l'opération de programmation ou près de l'interface Poly/SiO2 pendant l'effacement [9]. Ces charges génèrent un champ électrique qui, additionné au champ de programmation induit une augmentation de la charge stockée dans le polysilicium, d'où une augmentation de la tension de seuil à l'état programmé qui augmente. A l'effacement, les charges positives près de l'interface SiO_2/Si créent un champ électrique qui, additionné au champ électrique d'effacement, va dans le sens d'une diminution de la tension de seuil à l'état effacé.

Pour le nombre de cycles qui nous intéresse, la mémoire ne s'est pas dégradée. Nous retiendrons donc que cette mémoire peut facilement être cyclée 10 fois.

Enfin, nous ne tiendrons pas compte du stress apporté par les cycles de programmation et d'effacement sur la rétention de données. Ce point sera abordé dans la partie concernant la rétention de données.

2.2. Rétention de données

2.2.1. Définition

C'est la capacité d'une mémoire à retenir l'information. Le nombre d'années sera fonction de l'usage de la mémoire : de 2 à 3 ans dans le domaine des télécommunications et de 10 à 15 ans dans l'automobile. Nous nous placerons dans le domaine automobile où la mémoire est utilisée dans des applications de sécurité. La rétention de données est donc un paramètre de fiabilité très critique.

La mémoire qui est programmée à 1 (pour une tension de seuil après programmation de 12V) avec une charge initiale de $2{,}28.10^{-13}$ C, doit perdre 150 électrons par jours pendant 15 ans pour que la tension de seuil atteigne 5V qui est la valeur limite de lecture de l'état 1. A partir de la charge perdue, nous calculons le courant moyen de fuite pendant 15 ans : il est de l'ordre de 10^{-21} A.

Par ce calcul rapide, nous constatons que le courant de fuite n'est pas mesurable et qu'il faut donc connaître les mécanismes de conduction dans l'oxyde susceptibles d'être responsables de perte de charges afin de pouvoir accélérer celle-ci pour détecter les cellules défaillantes.

2.2.2. Mécanismes de perte de charges

2.2.2.1. ***Les mécanismes intrinsèques de pertes de charges***

Dans une mémoire « parfaite », c'est-à-dire n'ayant aucun défaut dans l'oxyde de grille et dans l'oxyde situé entre grille de contrôle et grille flottante, le mécanisme de conduction sera dit « intrinsèque ». Les porteurs transitent à travers la barrière de potentiel liée à la couche isolante par effet tunnel : effet tunnel direct à bas champ électrique et effet Fowler-Nordheim à fort champ. Ce dernier mécanisme qui intervient lorsque la chute de tension dans l'oxyde est de l'ordre ou supérieure à 3V, est le seul qui nous intéressera. En effet, concernant la perte de charge, la cellule étant programmée, la tension aux bornes de l'oxyde de grille sera de 5V pour une charge de 9,5 10^{-14} C. L'effet tunnel direct n'interviendra qu'après une perte de charges de $1{,}5610^{-13}$C, la tension de seuil (3,75V) sera alors illisible car très inférieure à 5V.

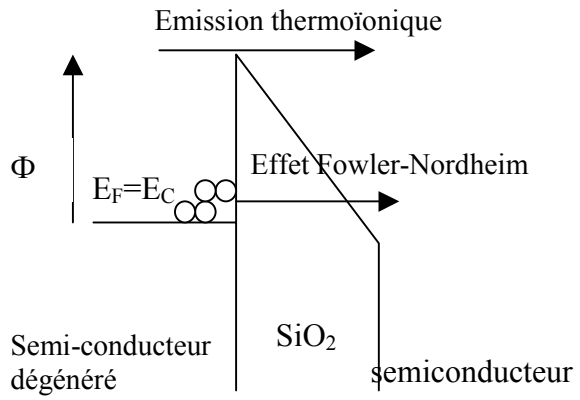


Figure 12: Effet tunnel de type Fowler-Nordheim et émission thermoïonique

La conduction par effet tunnel de type Fowler-Nordheim [10] a lieu pour des champs électriques élevés. Sous l'effet de celui-ci, créé par l'accumulation de charges dans le polysilicium flottant, il existe une probabilité pour qu'un électron traverse l'oxyde au niveau de la barrière triangulaire (Figure 12).

Dans une structure Métal Isolant Semiconducteur, le courant de Fowler-Nordheim s'exprime de la manière suivante [11]:

$$J_{FN} = \frac{4\pi q\, m_{si}\, kT}{h^3} \int_0^{\Phi} \ln\left[1+\exp\left(\frac{E_F - E}{kT}\right)\right] \times \Theta(E)\, dE \quad \textbf{(5)}$$

$$\Theta(E) = \exp\left(\frac{-4\sqrt{2\,m_{ox}(\Phi - E)^3}}{3\hbar\, qF}\right) \quad \textbf{(6)}$$

Avec Θ : fonction transparence qui représente le coefficient de transmission [12] à travers la barrière énergétique triangulaire de hauteur Φ;

q : charge élémentaire de l'électron ;

h constante de Planck ;

k : constante de Boltzmann ;

T : température ;

E_F : niveau de Fermi dans l'électrode;

m_{si} : masse effective de l'électron dans le semi-conducteur égale à $0{,}98m_e$ [13];

m_{ox} :masse effective de l'électron dans l'oxyde, elle est prise égale à $0{,}5m_e$ [14]

Φ : hauteur de barrière ;

F : champ électrique

En pratique, la hauteur de barrière Φ est un paramètre dépendant de la température et de la force image. Sa valeur est dépendante du champ électrique appliqué.

De nombreux résultats expérimentaux ont montré la forte dépendance du courant de Fowler-Nordheim avec la température et ce d'autant plus que le champ électrique est faible [15][16][17].

Pour des températures proches de 0K, l'expression se simplifie sous la forme bien connue [18] :

$$J_{FN}(T = 0K) = AF^2 \exp\left(-\frac{B}{F}\right) \quad \textbf{(7)}$$

Avec $A = \dfrac{q^3 m_e}{8\pi h\, m_{ox}\, \phi_0}$ **et** $B = \dfrac{4\sqrt{2\,m_{ox} \cdot \Phi_0^{\,3}}}{3\hbar q}$ **(8)**

Cette expression plus simple met en évidence la dépendance linéaire avec 1/F de $\ln(J_{FN}(T=0K)/F^2)$. Elle reste valable pour des températures élevées [17] en considérant des coefficients A et B dépendants de la température.
Une expression analytique intégrant l'influence de la température a été proposée par [19].

$$J_{FN}(T) = \frac{\pi.c.k.T}{\sin(\pi.c.k.T)} J_{FN}(T = 0K) \quad \textbf{(9)}$$

$$\text{avec } c = \frac{2.\sqrt{2.m_{OX}\Phi}}{\hbar.q.F}$$

Cependant, il a été montré que cette relation n'était pas applicable pour les faibles champs électriques et les températures élevées.
Enfin il a été montré [20] [17] que la hauteur de barrière Φ était un paramètre lui-même dépendant de la température ; cela est dû aux variations différentes avec la température des largeurs de bande interdite dans le silicium et dans l'isolant [21] [22]. Très récemment, une autre explication liée à la fluctuation de la hauteur de barrière locale a été donnée [23].
Dans toutes nos évaluations théoriques, nous avons considéré la relation (5) pour le calcul du courant.

Conduction par émission thermoïonique

L'émission thermoïonique [24] a été invoquée comme mécanisme intrinsèque pour rendre compte des pertes de données à haute température [25] [26] dans les mémoires EPROM double polysilisium. La conduction a lieu à travers l'oxyde interpoly. L'évolution de la charge stockée dans la grille flottante peut être mise sous la forme [25]:

$$Q(t) = Q(0).\exp\left(-\nu t \exp\left(-\frac{\Phi}{kT}\right)\right) \quad \textbf{(10)}$$

où ν est la fréquence de collision électron-réseau.
Un accord théorie-expérience est cependant obtenu en considérant une valeur relativement faible de la hauteur de barrière polysilicium-oxyde interpoly (≈1,0eV) [26] en accord avec les

résultats à la température ambiante (1,28eV) en considérant une conduction de type Fowler-Nordheim et avec d'autres résultats sur des mémoires SAMOS ou des mesures directes figurant dans la littérature (1,4-1,8eV) [27] [28] [29]. La transition entre conduction thermoïonique et conduction Fowler-Nordheim s'effectue approximativement à 80°C. Il est à noter que ce mode de conduction est très sensible à la température mais fait apparaître une faible dépendance avec le champ électrique dans l'isolant.

- **Défauts affectant la conduction intrinsèque**

Les paramètres contrôlant la conduction peuvent avoir localement des valeurs affectées par des défauts de nature variée. Pour une conduction de Fowler-Nordheim, ce sont la hauteur de la barrière et l'épaisseur d'oxyde.

Cette dernière peut être plus faible sur toute la surface de l'oxyde ou à sa périphérie (amincissement latéral). Elle peut aussi être réduite du fait de la création de chemins de conduction filamentaires durant une injection de porteurs à fort champ [30] [31].

La présence de charges à l'interface SiO_2-Si ou dans la couche isolante peut entraîner une déformation de la distribution de potentiel se traduisant par un abaissement de la barrière effective [32] [33] [34] [35]. Elles peuvent être natives ou consécutives à une injection [36] [37] [38] [39] [40].

2.2.2.2. *Les mécanismes de perte de charges extrinsèques*

Plusieurs mécanismes ont été invoqués pour rentre compte des pertes de charges extrinsèques dans les mémoires à grille flottante ou de conduction en excès dans les couches isolantes, mécanismes liés à la présence de défauts aux interfaces ou dans le volume des isolants entourant la grille flottante et trouvant eux aussi, leur origine soit dans la technologie (défauts natifs) soit liés à la dégradation des couches au cours d'injection de porteurs.

- Génération de filaments de conduction lors d'injection à fort champ. [41]

Après la traversée tunnel, les électrons injectés dans les électrons dissipent leur énergie dans le volume de l'oxyde et surtout près de l'anode. Dans les oxydes épais (>200Å), l'énergie dissipée peut atteindre 8-9eV pouvant donner lieu à des défauts physiques (cassure de

liaisons) à l'origine de conduction filamentaire ou de réduction de l'épaisseur effective. Ce mécanisme concerne particulièrement les couches isolantes épaisses.

- Défauts localisés liés à des imperfections telles que particules submicroniques,

rugosité de surface qui, sous injection, se traduit par un abaissement localisé de la barrière silicium-isolant [33].

- Contamination par des charges mobiles, sodium [42] [43][44] ou espèce lié à l'eau [45].

Issues des diverses couches isolantes, passivation, oxyde interpoly, oxyde de grille, leur présence est avant tout liée au procédé technologique. La perte de charge apparente s'observe lors des recuits à haute température ou les ions mobiles lors de leur mouvement modifient la répartition des charge et donc la tension de seuil du transistor. Suivant la couche où ils se trouvent, on peut interpréter le déséquilibre comme une perte de charges. Des densités de sodium aussi faibles que 10^9-10^{10}cm^{-3} ont permis de rendre compte de problèmes en rétention de données [44]. Le mécanisme est activé thermiquement avec une énergie d'activation dans la gamme 1,2-1,8eV [46] [47]. La détection d'un tel mécanisme de vieillissement est généralement menée par la méthode du « gain de charge » [42] lors d'une séquence à haute température.

- Conduction assistée par des centres pièges

Ce mécanisme a largement été étudié dans les mémoires Flash ou EEPROM du fait, d'une part, de l'existence d'un isolant interpoly de type ONO contenant des pièges aux interfaces ON et NO ainsi que dans le volume du nitrure, et d'autre part, de la génération de pièges dans l'oxyde de grille lors des cycles de programmation/effacement à fort champ. Comme nous l'avons vu précédemment, la mémoire étudiée ici ne comporte pas de couche ONO, l'oxyde de grille servant aussi d'isolant pour la capacité de couplage. En conséquence, on peut ne considérer que les mécanismes de perte à travers les couches de silice thermique. De plus, dans notre cas, la mémoire est très faiblement cyclée par rapport aux mémoires de type EEPROM ou Flash. La charge injectée lors d'une programmation est de l'ordre de 10^{-6} C/cm² contre 0,1-1Cb/cm² pour un mémoire qui a subi au moins 10^4 cycles. Cependant, la création de pièges ne peut être écartée et ce d'autant plus que l'isolant est très épais (350Å). Les électrons injectés peuvent alors gagner une énergie importante avant d'atteindre la grille

flottante. Dans ce sens, il a été montré que la densité des pièges créés lors d'une injection croît lorsque l'épaisseur de la couche isolante croit dans la gamme 60 Å -300 Å [48][49].
Les modèles de conduction assistée invoqués dans la littérature sont l'effet Poole-Frenkel [50][51] et l'effet tunnel assisté par piège élastique [52] [53] [54] [55], inélastique [56] [57] [58] [59] ou résonant [60].
Enfin notons le caractère transitoire initial des courants de fuite induits par l'injection de porteurs. Les pièges créées et peuplés d'électrons lors de l'injection se déchargent entraînant une composante transitoire qui s'interrompt dès que les pièges sont vides. Ce courant transitoire est généralement associé à des oxydes épais (D_{ox} > 90 Å) [48][61], la composante continue n'apparaissant dans la limite des appareils de mesures qu'à faible épaisseur. Cependant des résultats récents obtenus par la technique de la grille flottante [62] faisant état d'une composante continue sur des oxydes épais (Dox ≈100 Å) montre que ce phénomène existe quelle que soit l'épaisseur de l'isolant.

3. Test en rétention de données

Le test en rétention de données va permettre de vérifier qu'une cellule mémoire va garder l'information pendant le temps de vie du produit. Il est donc nécessaire de réaliser des tests accélérés de vieillissement assortis d'une extrapolation pour prédire le fonctionnement de la cellule mémoire.
Ce test doit être représentatif du fonctionnement du composant en révélant tous les défauts, il doit durer le minimum de temps possible et ne doit pas lui-même introduire de défauts.
Deux types d'accélération ont été proposées : l'accélération thermique [9] et l'accélération électrique [63].

3.1. Accélération thermique

Une élévation de température réduit la hauteur de barrière isolant/silicium et modifie la bande interdite du polysilicium et la distribution des porteurs dans la grille flottante. Ainsi au maximum de la distribution, la transparence de la barrière est accrue ce qui conduit à une augmentation du courant à champ électrique constant.
Nous montrons en exemple la courbe (Figure 13) de la conduction de type Fowler-Norheim pour les températures de 25°C, 250°C et 300°C. Pour une tension de 12V, le courant de fuite est de $2{,}11.10^{-18}$A pour T=250°C et de $5{,}03.10^{-24}$ A pour T=25°C. Le coefficient

d'accélération (rapport des courants pour une même tension) est de 4.10^5. Le coefficient d'accélération entre 300°C et 25°C, pour une tension de 12V, est de 10^7.

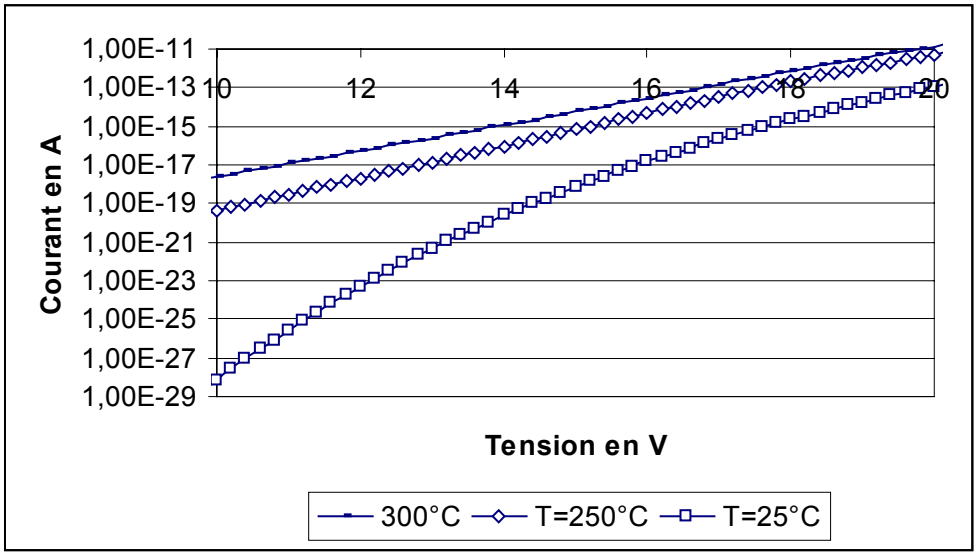


Figure 13: Courbes théoriques de la conduction de type Fowler-Nordheim pour T=25°C, T=250°C et T=300°C.

La conduction Schottky comme la conduction Fowler-Nordheim est contrôlée par les mêmes paramètres, à savoir la hauteur de barrière électrode-isolant et la distribution des porteurs dans l'électrode. De ce fait, elle est elle-même activée thermiquement dans des proportions similaires.

Les mécanismes extrinsèques mettant en jeu une conduction assistée par piège ont montré un caractère inélastique [64] et de ce fait sont aussi activés thermiquement.

En conséquence, l'ensemble des mécanismes intrinsèques ou extrinsèques de pertes de charges est activé thermiquement.

De cela découlent les normes JEDEC. Elles vont indiquer un protocole expérimental pour différencier cellules extrinsèques et intrinsèques.

La norme JEDEC A103B donne des conditions de test de l'endurance en programmation et effacement des données et en rétention de données. Pour la rétention des données, la norme JEDEC A 108 détaille les températures et le temps d'étuvage. La température préconisée est 150°C pendant 1000 h. La gamme des températures autorisées va de 125°C à 300°C. L'inconvénient de ce type de test est sa longueur, il ne peut pas se faire en production mais juste en phase de qualification. Pour tester les mémoires en production, on utilise des températures de bake de l'ordre de 200 à 250°C pendant 5 à 10h systématiquement. On fait

ensuite une extrapolation par la loi d'Arrhenius ; cette méthode est développée au paragraphe dédié à la rétention de données.

Cependant quelques précautions doivent être prises car il a été démontré [65] [66] qu'un étuvage fait entre 85°C et 125°C permettait de détecter plus de cellules défaillantes qu'avec des températures plus élevées. Cela a été interprété par une guérison des défauts à haute température. En conséquence, un test en rétention mené à hautes températures peut ne pas être représentatif de la réalité à plus basse température. L'extrapolation peut alors être faussée et la rétention de données surestimée.

3.2. Accélération électrique

L'accélération électrique a aussi été envisagée pour diminuer le temps de test [63]. En effet, le champ électrique est influent sur l'ensemble des mécanismes de conduction. Par contre, en comparant la durée de vie par extrapolation et la durée de vie réelle, l'accélération électrique est optimiste et ne reflète pas la réalité [63]. En effet, à fort champ électrique, le courant de Fowler-Nordheim devient prépondérant et masque les composantes de conduction en excès existant à bas champ donnant lieu à une surestimation de la rétention de données dans les conditions réelles d'utilisation. Ceci est illustré sur la Figure 14 représentant les courants observés sur une couche d'oxyde de 250 Å d'épaisseur.

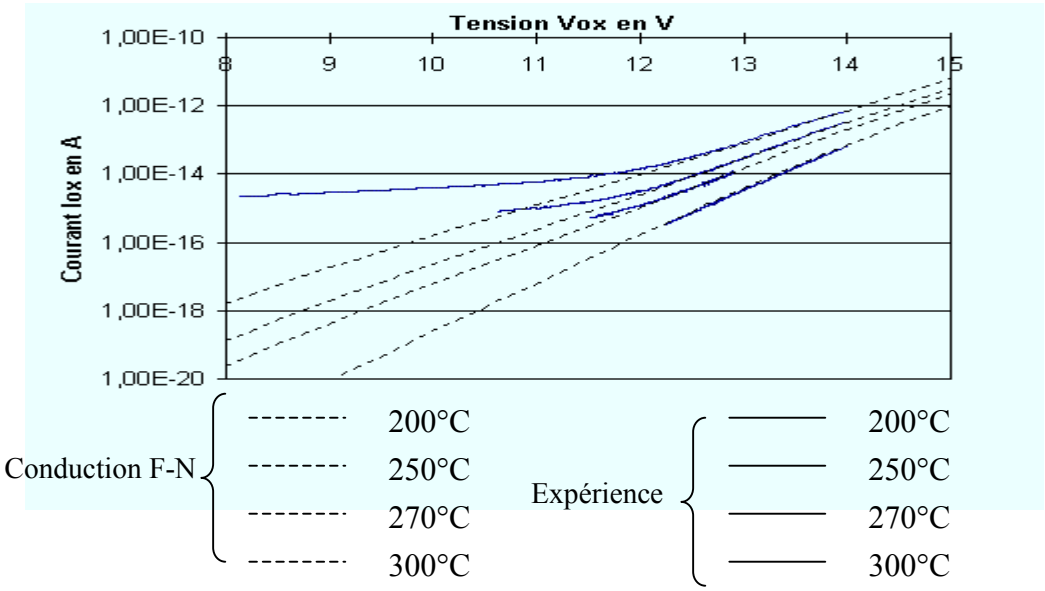


Figure 14: Mesures I(V) sur structures tests par la technique de la grille flottante[67]

4. Extrapolation de la rétention de données : Fiabilité prédictive

Afin de prédire la durée de vie d'une cellule mémoire à partir d'un résultat de perte de charges accélérée, il est nécessaire d'utiliser une loi d'accélération qui permettra l'extrapolation aux conditions réelles d'utilisation (température et /ou champ électrique faible).

4.1. Modèle en 1/T

Jusqu'à très récemment, l'extrapolation des données se faisait à l'aide de la loi d'Arrhenius :

$$t_R = t_0 \exp(E_a/kT) \quad \textbf{(11)}$$

où
E_a : énergie d'activation ;

k : constante de Bolzmann ;

T: température en Kelvin.

Cette relation est empirique ; elle est obtenue par linéarisation en fonction de 1/T des résultats expérimentaux dans une gamme de température donnée. L'énergie d'activation est déduite de la pente.

Par exemple, une conduction par hopping a une énergie d'activation de 0,6eV [68], une contamination a une énergie d'activation qui est comprise entre 1 et 1,4eV [68].

Cependant, un inventaire des résultats de la littérature sur les mesures d'énergie d'activation montrent que celle-ci n'est pas constante avec la gamme de température explorée, comme le montre la Figure 15 [25] [69] [70] [71] [62].

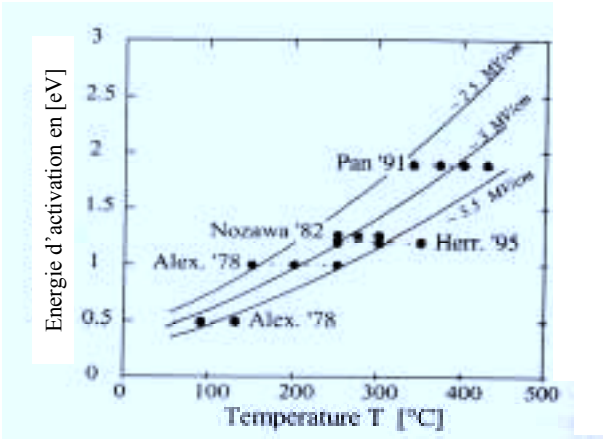


Figure 15: Energie d'activation en fonction de la température [62].

4.2. Modèle en T

Ces résultats ont été unifiés récemment [62] grâce à une analyse fine de la dépendance en température de la conduction Fowler-Nordheim. La prise en compte de la réduction linéaire de la barrière inter faciale avec la température que nous avons mentionnées précédemment conduit théoriquement à une variation en T de la rétention de données.

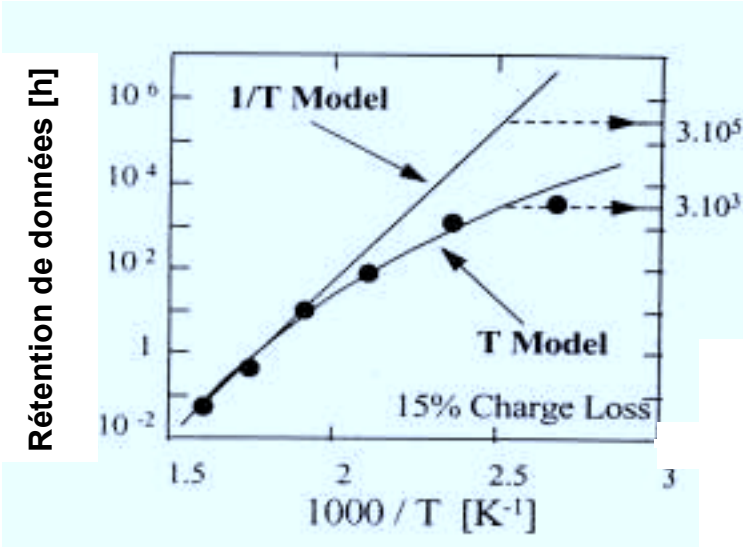


Figure 16: Mesures expérimentales de rétention de données comparées à la loi d'Arrhenius et au modèle en T [62].

$$t_R = t_0 \exp(-T/T_{0DR}) \quad \textbf{(12)}$$

$$\text{Avec} \quad T_{0DR} = \frac{2F}{3Kq\,\Phi_0^{1/2}\alpha} \quad \text{et} \quad K = \frac{8\pi\sqrt{2m_{ox}}}{3hq}$$

$$\text{Où} \qquad \Phi = \Phi_0 - \alpha T \qquad \textbf{(13)}$$

Le terme T_{0DR} est appelé température caractéristique de rétention de donnée

La Figure 16 illustre les conséquences importantes de ces résultats sur l'extrapolation de la rétention de donnée à basse température. Il est à noter cependant que le modèle a été développé relativement à une conduction du type Fowler-Nordheim et que rien ne prouve qu'il s'applique aux autres mécanismes de conduction extrinsèques.

4.3. Approche statistique

De très nombreuses études ont été consacrées à l'étude des distributions statistiques des cellules mémoires Flash organisées en matrices. Leur objectif étant de prédire, à un temps donné, l'allure de la distribution après un stress en température ou en tension après des cycles d'effacement et d'écriture.

Le véhicule test est une matrice de quelques Méga bits. Elles subissent des cycles d'effacement et de programmation, et sont ensuite stockées à des températures allant de 85°C à 250°C pendant des milliers d'heures. La tension de seuil à l'état programmé est régulièrement lue et on construit la distribution de la tension de seuil à l'état programmé et/ou la variation de la tension de seuil en fonction du temps de stockage. La distribution comporte deux parties : la première suit une loi normale (la droite sur la Figure 17) et est appelée partie intrinsèque, la seconde est une queue de distribution contenant les cellules extrinsèques.

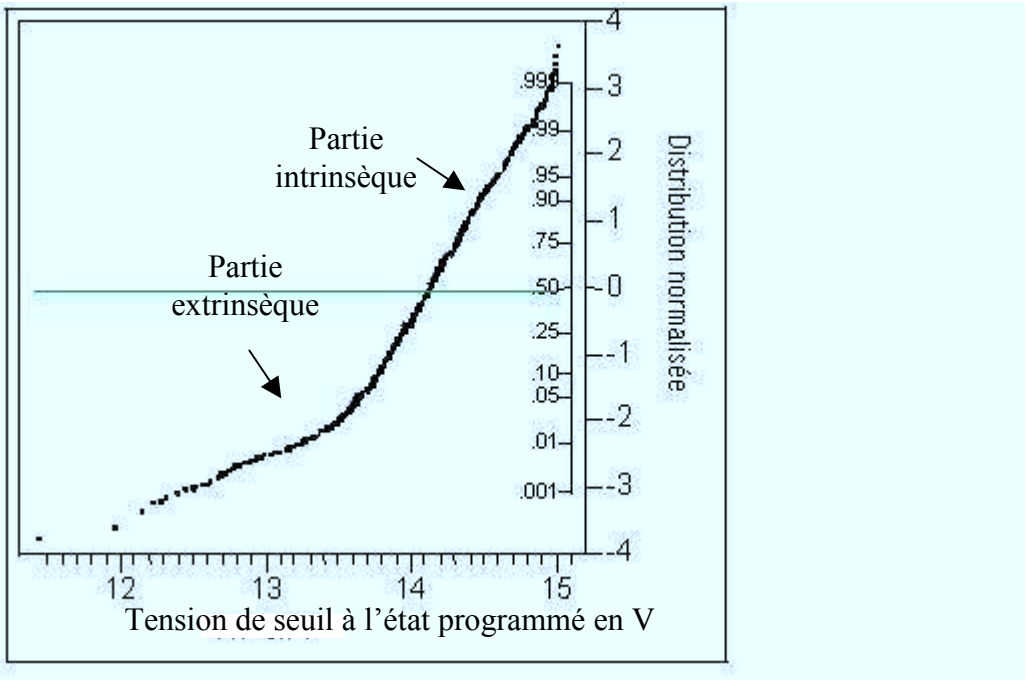


Figure 17: Exemple d'une distribution de tension de seuil à l'état programmé

Les cellules de la partie intrinsèque ont été analysées, leur mécanisme de fuite est de type Fowler-Nordheim. Quant à la queue de distribution, les cellules qui la composent possèdent des défauts. En fonction des défauts trouvés chaque auteur a modélisé la distribution de la tension de seuil à l'état programmé et le courant de fuite d'une manière plus ou moins complexe [66][72]. Nous avons retenu que, pour des cellules extrinsèques situées à différents endroits de la queue de distribution, les mécanismes de conduction sont différents. Par exemple, Ielmini et al. [66] montrent que la conduction sera tunnel assisté par un piège neutre pour une cellule en haut de la queue de distribution ou par deux pièges neutres pour une cellule située plus bas. Nous retiendrons que si les cellules extrinsèques sont relatives à des mécanismes de conduction différents, il sera difficile de proposer une loi d'extrapolation.

Conclusion

Dans ce chapitre, nous avons précisé le contexte de notre étude. L'introduction récente de mémoires non volatiles de type EEPROM dans un circuit SMARTPOWER présente de nombreux avantages fonctionnels et est un atout certain du point de vue concurrentiel. Leur utilisation concerne dans certains cas des fonctions de sécurité qui demandent un niveau de fiabilité très élevé (aucun défaut accepté) et de très forts volumes de production, en particulier concernant le domaine de l'automobile. Un tel niveau de fiabilité, s'il est compatible avec la technologie en ce qui concerne les parties « logique » et « puissance » du circuit, est un

véritable défi en ce qui concerne la partie « mémoire ». En effet, d'une part la séquence technologique n'est pas spécifique aux mémoires, mais celle-ci a été implémentée dans une technologie SMARTPOWER existante pour des problèmes de coût, et, d'autre part l'épaisseur de l'oxyde est inhabituelle et aucune donnée ne figure dans la littérature sur la conduction à bas champ (3-4MV/cm) dans les oxydes épais. Dans ce cas, une approche statistique de la fiabilité n'est plus satisfaisante compte tenu du fait que le taux de défaillance enregistré sur un lot de production est bien supérieur au chiffre précédent comme nous le verrons dans le chapitre suivant. Dans cette situation, seul un test sur chaque bit mémoire et pour 100% des circuits en fin de production permet une garantie satisfaisante de fiabilité. Par ailleurs, compte tenu des volumes importants produits et pour des raisons de coût, ce test devra être mené au niveau plaquette. Les utilisations envisagées actuellement concernent un nombre peu élevé de bits/mémoire (<100 bits) et un faible nombre de cycles d'effacement-écriture puisque pour l'utilisateur elle sera une OTP (one time programming). En prenant en compte les tests fonctionnels et de fiabilité, le nombre de cycles sera inférieur à une dizaine. Dès lors les problèmes de fiabilité liés au cyclage tels que la fermeture de la fenêtre de programmation ne seront pas pertinents. De même les problèmes liés au transistor de sélection ne seront pas considérés du fait d'une architecture non matricielle.

Dans ce contexte, le problème essentiel de fiabilité pour la mémoire, au-delà des problèmes fonctionnels qui sont testés systématiquement, concerne la rétention de données qui devra être au moins de 10 ans. Le test exhaustif en rétention de données de la mémoire considérée est donc l'objet de notre travail.

Les tests en rétention de donnée de mémoire non volatile sont généralement menés en fin de production par mesure du temps nécessaire à la perte d'une partie de la charge présente dans la grille flottante à diverses températures élevées permettant une accélération des phénomènes de perte. Ces résultats sont ensuite extrapolés à la température de la spécification. La caractéristique essentielle de ces tests est qu'ils sont très longs (plusieurs heures), même aux températures les plus élevées envisagées (250°C-300°C). Par ailleurs, la loi d'extrapolation empirique d'Arrhenius, généralement utilisée dans les normes, pose un problème de validité. En effet, à la suite d'une analyse rigoureuse de l'influence de la température sur la conduction de Fowler-Nordheim, il est apparu qu'un modèle en T plutôt qu'en 1/T était pertinent, ceci pouvant avoir une incidence de plusieurs décades sur la durée de vie extrapolée. Cependant cette loi n'a été prouvée que pour le mécanisme intrinsèque de perte et ne s'applique pas forcément aux mécanismes extrinsèques.

Ainsi le test en rétention de données par accélération thermique n'est pas applicable dans notre cas, essentiellement du fait de la longueur des tests. L'accélération électrique quant à elle masque les phénomènes intervenant à faible champ et nécessite le développement de moyens de tests très complexes. L'accélération électrothermique n'est pas satisfaisante du fait de la perte d'activation thermique à fort champ électrique.

Ainsi, il apparaît nécessaire de concevoir et de valider un nouveau test en rétention de donnée applicable aux mémoires simple polysilicium considérées enfouies dans un circuit SMART POWER. Celui-ci sera présenté dans le chapitre 3. Auparavant à des fins de validation, nous présenterons dans le chapitre 2 le comportement thermique de la mémoire ainsi que les tests en rétention obtenus lors d'accélération thermique.

Chapitre 2 :

Etude du comportement thermique de la mémoire

1. Introduction

Dans ce chapitre, nous allons analyser le comportement thermique des mémoires non-volatiles étudiées.

Le comportement intrinsèque peut être analysé sur quelques véhicules tests pouvant simuler la rétention de données ou des mémoires elles-mêmes. En revanche, le comportement extrinsèque ne peut être détecté que sur des cellules particulières repérées dans un ensemble.

Nous étudierons dans un premier temps la conduction dans les couches isolantes épaisses représentative du comportement des cellules intrinsèques. Cela nous permettra de déterminer les paramètres de cette conduction par une méthode directe. Puis nous présenterons les résultats d'une analyse statistique du vieillissement d'une population de cellules à diverses températures. Cela nous permettra enfin d'analyser les mécanismes de conduction dans les cellules extrinsèques et intrinsèques et d'en tirer des conclusions en terme de rétention de donnée.

2. Mémoire non volatile dans les technologies SMARTMOS

Comme nous l'avons vu dans le chapitre 1, la mémoire étudiée (Figure 1) correspond à une technologie SIMOS à un seul niveau de polysilicium. Ainsi, sa fabrication ne nécessite pas l'ajout d'étape de masquage. De plus l'épaisseur de son oxyde de grille (35 nm) est largement supérieure à celles que l'on trouve généralement dans les mémoires non volatiles.

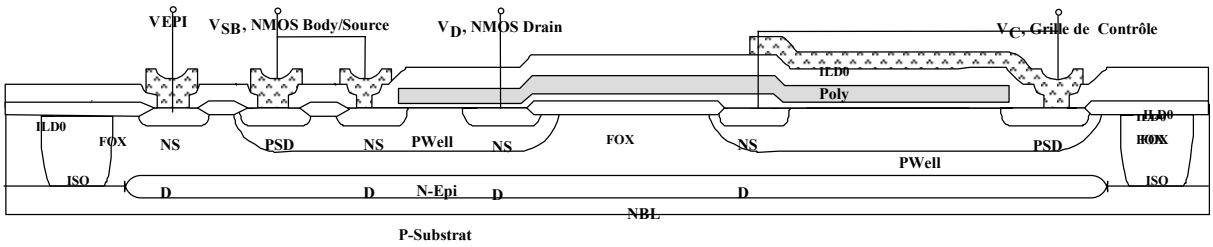


Figure 1 : Coupe de la mémoire utilisée dans les librairies de composant SMARTMOS™

Nous donnons, dans le Tableau 1, les modes de programmation de la mémoire ainsi que les tensions de seuil obtenues.

Mode de programmation	Effet Fowler-Nordheim
Tension de programmation	V_C=V_{EPI}=45V V_D=V_S=0V
Temps de programmation	100ms
Tension de seuil lue à l'état programmé	12-13V
Mode d'effacement	Effet Fowler-Nordheim
Tension d'effacement	V_C= 0V V_D= V_{EPI}=V_S=39V
Temps d'effacement	100ms
Tension de seuil à l'état effacé	-6V
Tension de seuil minimale tolérée pour l'état programmé	5V

Tableau 1 :Tension de programmation et d'effacement de la mémoire après 10 cycles.

Au cours de la programmation, une tension de 45V est appliquée durant 100 ms sur la grille de contrôle et l'EPI alors que le drain et la source sont reliés à la masse ; les électrons du drain et de la source du MOS passent dans la grille flottante. Le champ maximum appliqué aux bornes de l'oxyde pendant la programmation est calculé à l'aide de la relation (1) donnée chapitre 1:

$$V_{FG}=35,7V,\ E_{max}= 10,2\ MV/cm\ ;$$

A l'effacement, la tension appliquée sur le drain, la source et l'EPI est de 39V alors que la grille de contrôle est reliée à la masse ; les électrons de la grille flottante sont attirés par la drain et la source du MOS. Nous appliquons la relation précédente en considérant que la mémoire est déjà programmée et que sa charge est de $2,28.10^{-13}$C. La tension et le champ maximum appliqués aux bornes de l'oxyde pendant l'effacement sont donc de :

$$V_{FG}=35V,\ E_{max}=10MV/cm$$

3. Conduction dans la couche d'oxyde de grille

Nous avons mentionné au chapitre précédent que la loi d'extrapolation de la rétention de données à basse température était directement contrôlée par l'évolution en température de la hauteur de barrière polysilicium/isolant. D'autre part, des résultats de la littérature pour des

oxydes d'épaisseurs comprises entre 5 et 12nm montrent que le coefficient $\alpha = \frac{d\Phi}{dT}$ est une fonction croissante de l'épaisseur Dox [62]. Les oxydes que nous étudions étant très épais, il est nécessaire de caractériser cette évolution afin d'évaluer la rétention de données des cellules intrinsèques.

3.1 Caractéristique de conduction à fort champ

Les composants que nous avons mesurés sont des capacités MOS de grandes surfaces, dont les épaisseurs d'oxyde sont de 25 nm et de 35 nm réalisées à Motorola suivant le même procédé technologique que les mémoires.

Les surfaces sont de 1000x1000 µm² dans le premier cas et de 600x600 µm² dans le second.

Les caractéristiques courant-tension obtenues à fort champ sont reproduites sur les figures 2 et 3 pour plusieurs températures. La hauteur de barrière est ensuite déterminée par le meilleur lissage des courbes au moyen de la relation (5) donnée au chapitre 1.

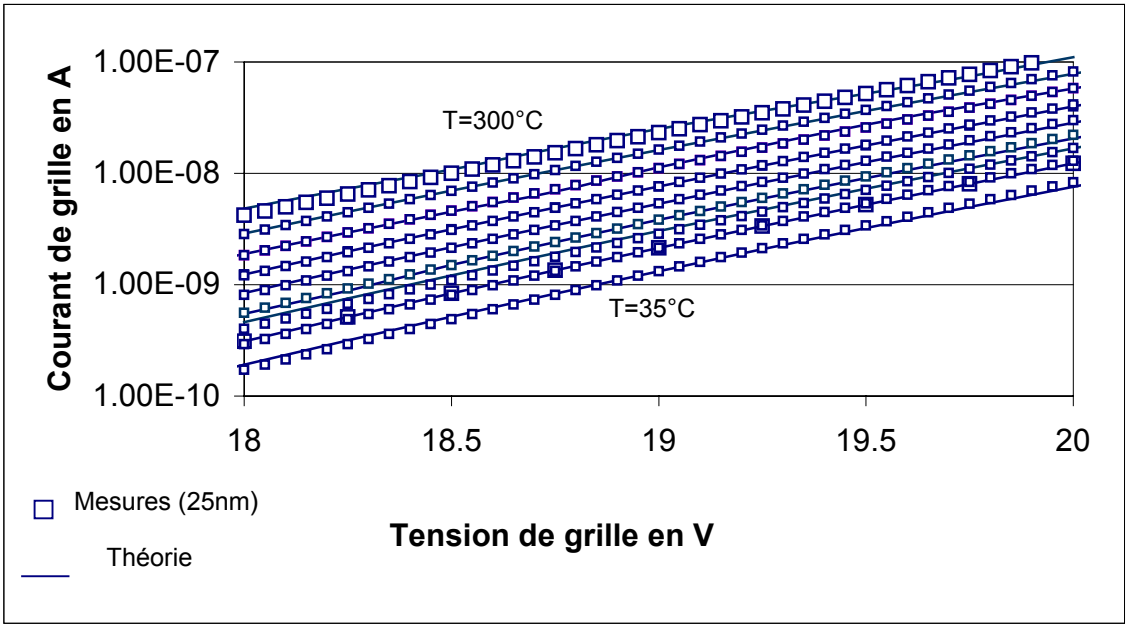


Figure 2 : Courbes expérimentales I(V) ajustées par le courant de Fowler-Nordheim.

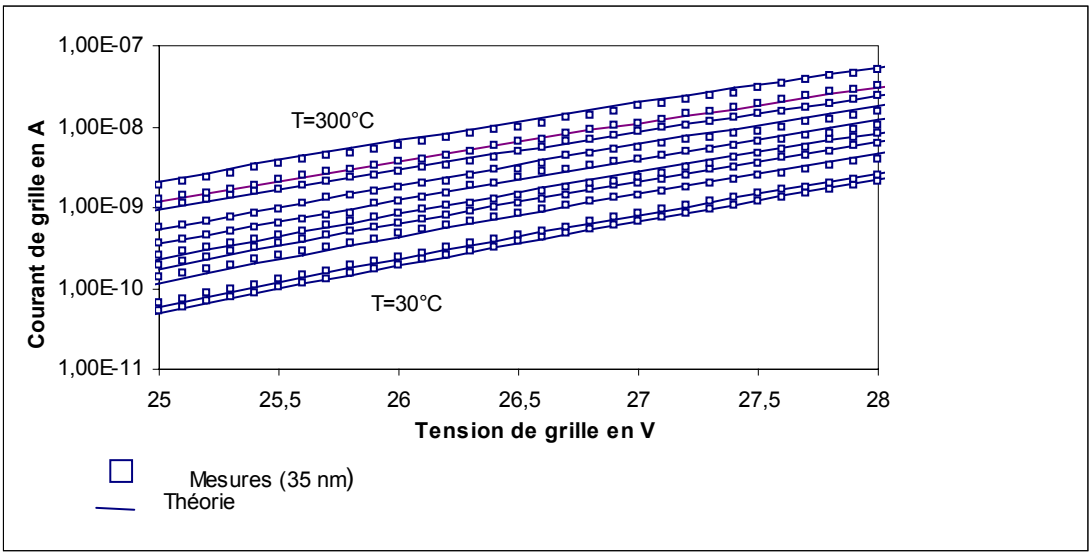


Figure 3: Courbes expérimentales I(V) ajustées par le courant de Fowler-Nordheim.

L'évolution de cette hauteur de barrière avec la température est donnée dans la figure 4 ci-après.

Dans les deux cas, nous observons une dépendance linéaire comme pour des oxydes plus minces et non pas une parabole comme suggéré dans [20].

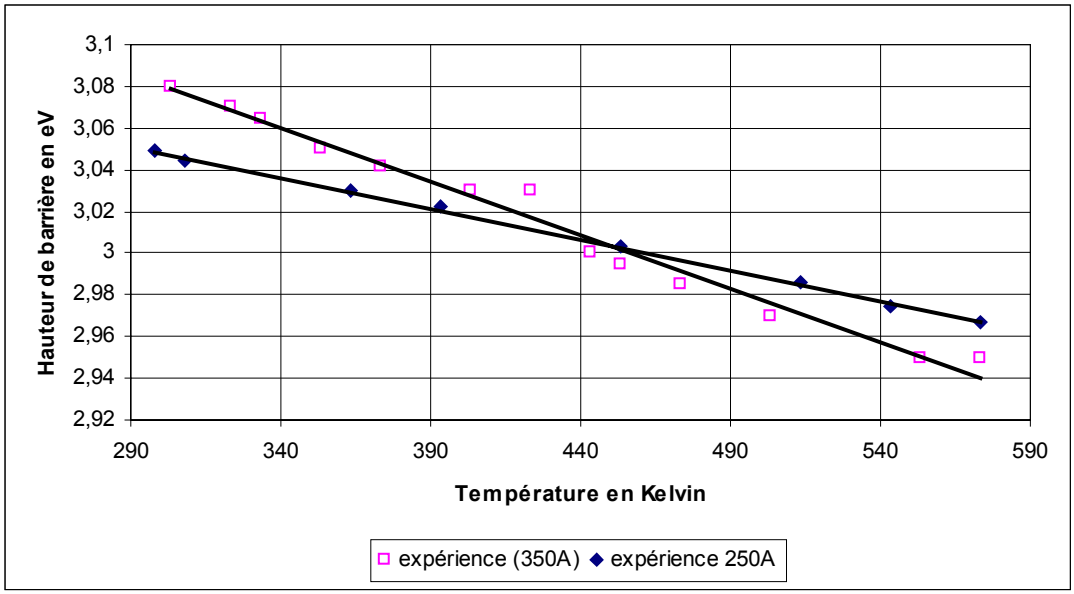


Figure 4: Influence de la température sur la hauteur de barrière.

Dans le tableau ci-dessous, nous avons regroupé les différentes valeurs de hauteurs de barrière et de son coefficient thermique en fonction des différents auteurs et de l'épaisseur d'oxyde.

	[20]			[62]	notre travail	
Epaisseurs en nm	5	7	12	10	25	35
Hauteur de barrière en eV	2,78	2,95	3,04	3,3	3,14	3,23
Coefficient de linéarité en meV/K	0,51	0,56	0,62	0,25	0,3	0,55

Tableau 2 : Hauteurs de barrières et coefficients de linéarité pour différents auteurs.

Ainsi, la variation du coefficient α et de la hauteur de barrière à 0K apparaît confirmée. Nous retiendrons la variation linéaire de la hauteur de barrière avec la température qui justifie l'utilisation du modèle en T pour l'extrapolation en rétention de données dans le cas des cellules intrinsèques, pour lesquelles le mécanisme de conduction est de type Fowler-Nordheim.

3.2 Etude sur les cellules mémoires

3.2.1 Objectif

L'objectif de ce paragraphe est de différencier des cellules intrinsèques et extrinsèques afin d'une part d'étudier leur comportement respectif en terme de conduction et d'autre part de fournir des données sur leur rétention de données.

3.2.2 Véhicule test et plan d'expérience

Les véhicules test sont des cellules mémoires d'un lot d'ingénierie dans lequel pour chaque plaquette, pour une rangée de cellules sur trois n'a pas de métal sur la capacité de couplage afin de mettre en évidence une éventuelle influence de celui-ci sur la rétention de données. Les raisons de ceci apparaîtront au dernier chapitre du mémoire.

Pour déterminer une loi de vieillissement, plusieurs températures ont été choisies : 25°C, 125°C, 150°C, 200°C, 250°C et 300°C.

Les résultats obtenus antérieurement sur un large échantillon ont montré qu'en moyenne une cellule sur 1200 présentait un caractère extrinsèque marqué. Afin de disposer d'un échantillonnage suffisant, nous avons testé 10368 cellules pour chaque température.

Pour obéir aux exigences du cahier des charges, les cellules doivent supporter dix cycles de programmation et d'effacement. En conséquence avant chaque recuit, les cellules seront soumises à ces cycles puis seront mises à l'étuve. La tension de seuil, dont les variations sont représentatives de l'évolution de la charge dans la grille flottante, sera lue initialement (V_{TN}) puis après différentes durées de recuit (V_{TP}).

Les cellules sont testées directement sur un testeur de production. Une carte à aiguilles se positionne sur les plots de mesures des cellules et mesure 12 cellules à la fois. La tension de seuil est mesurée pour un courant de drain égal à 400 nA. Une corrélation a été faite entre les mesures à l'aide d'un analyseur HP4155 et au moyen du testeur.

3.2.3. Résultats statistiques des distributions après étuvage

Dans ce paragraphe, une présentation générale des résultats statistiques obtenus pour chaque température sera donnée. Sur chaque graphe (Figures 5 à16), quelques distributions seulement seront illustrées, pour une question de clarté. De plus il apparaîtra que les distributions initiales intrinsèques ont une largeur de plus de 2V. De ce fait des cellules peuvent « descendre » la distribution tout en restant dans la zone intrinsèque alors que la perte de charge est importante. De même des cellules peuvent « remonter » la distribution alors que le gain de charge associé, s'il existe, sera indétectable. En conséquence et contrairement à la pratique habituelle, la distribution de la variation de tension de seuil sera aussi analysée en complément de celle de V_{TP} lui-même.

Le tableau suivant détaille les durées maximales de recuit pour chaque température..

	25°C	**125°C**	**150°C**	**200°C**	**250°C**	**300°C**
Durée du recuit en h	**7500**	**7000**	**6000**	**7980**	**6500**	**1732**

Tableau 3 : Différents temps de recuit

T=25°C

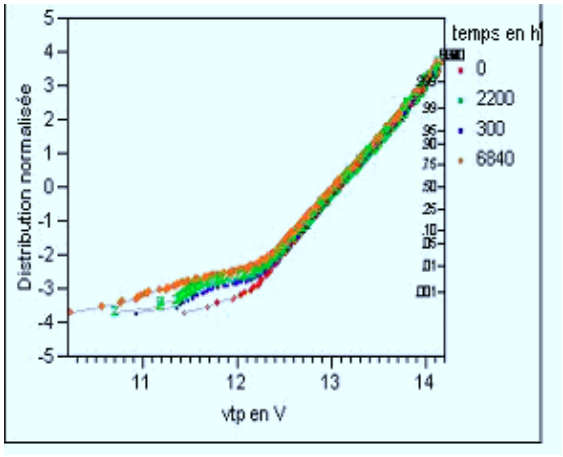


Figure 5 :Distribution du VTP en fonction du temps à T=25°C

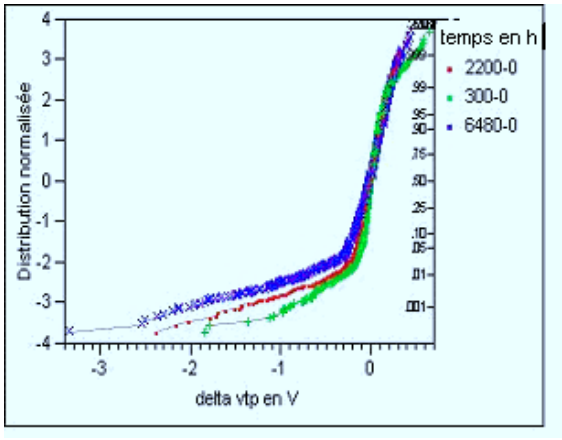


Figure 6: Distribution de la variation de V_{TP} en fonction du temps à T=25°C

T=125°C

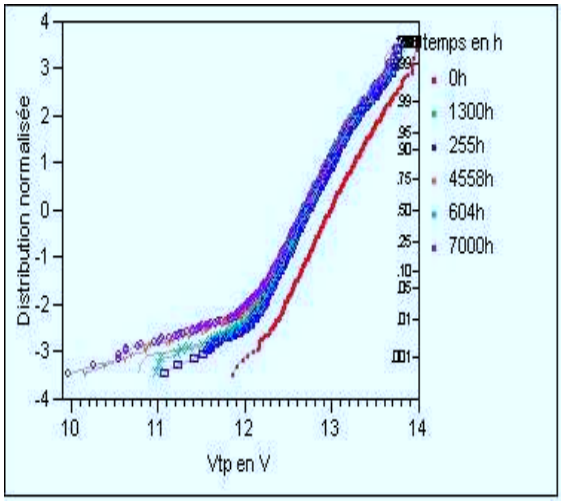
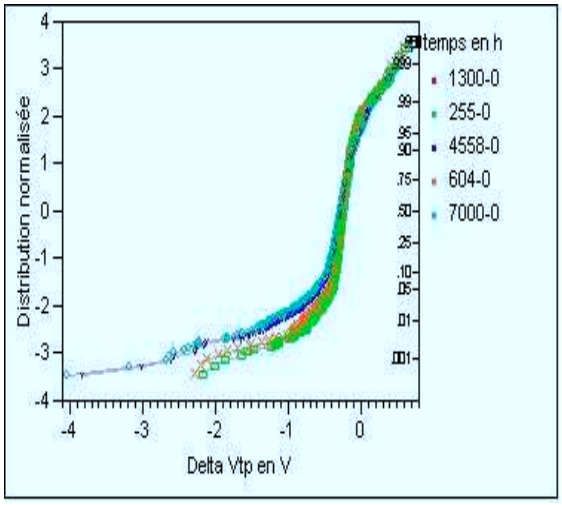


Figure 7: Distribution du VTP en fonction du temps à T=125°C



:

Figure 8 : Distribution de la variation de V_{TP} en fonction du temps à T=125°C.

T=150°C

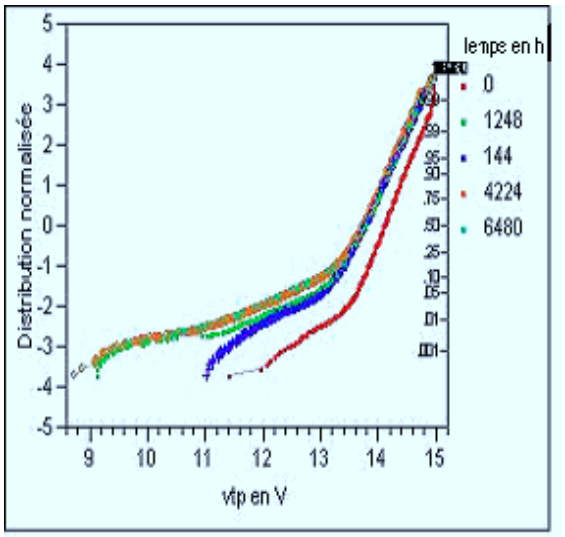


Figure 9 : Distribution du V_{TP} en fonction du temps à T=150°C

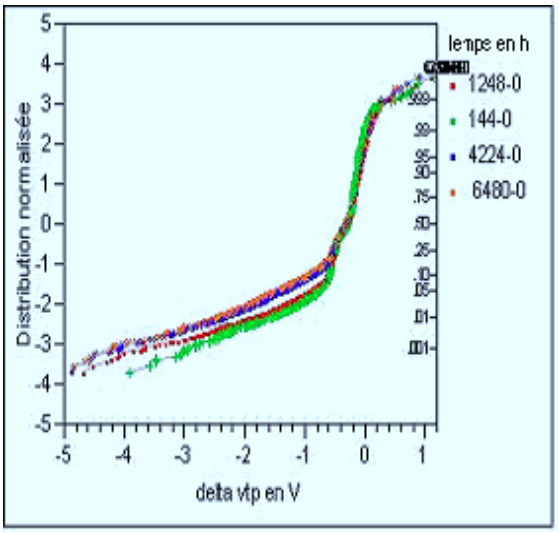


Figure 10 : Distribution de la variation de VTP en fonction du temps à T =150°C.

T=200°C

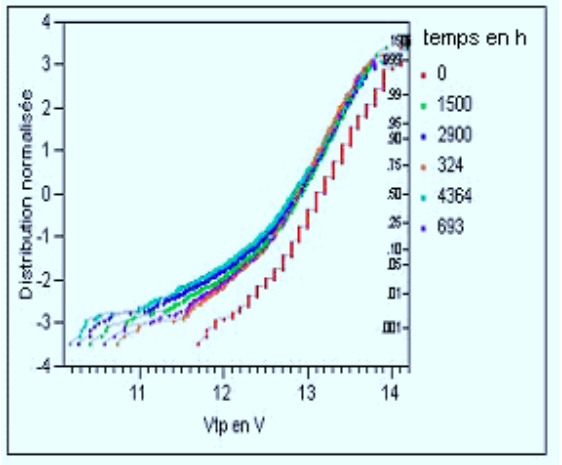


Figure 11 :Distribution du V_{TP} en fonction du temps à T=200°C

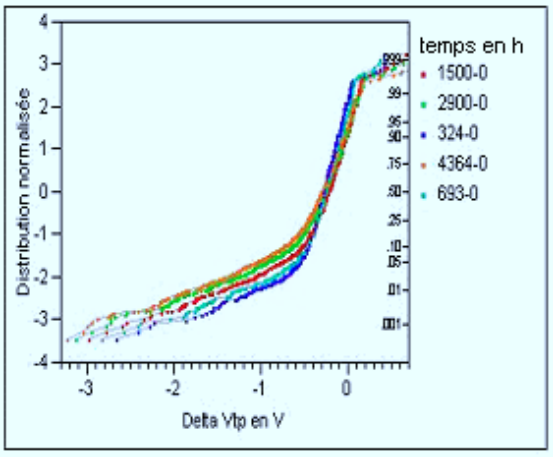


Figure 12 :Distribution de la variation de V_{TP} en fonction du temps à T =200°C.

T=250°C

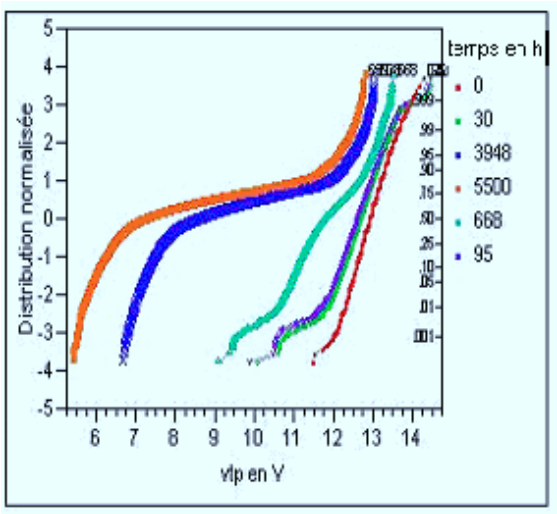


Figure 13 : Distribution du V_{TP} en fonction du temps à à T=250°C

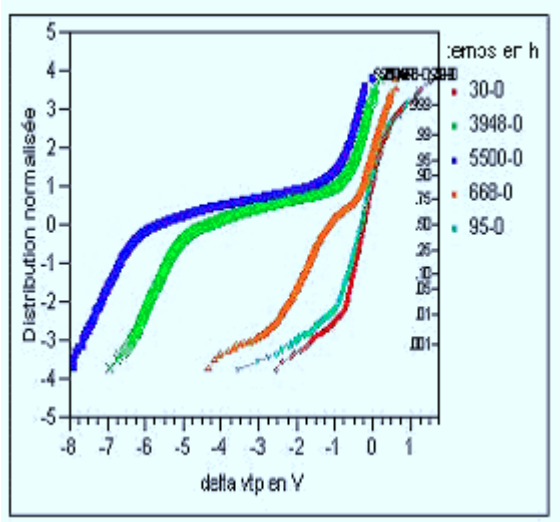


Figure 14 : Distribution de la variation de V_{TP} en fonction du temps à T =250°C.

T=300°C

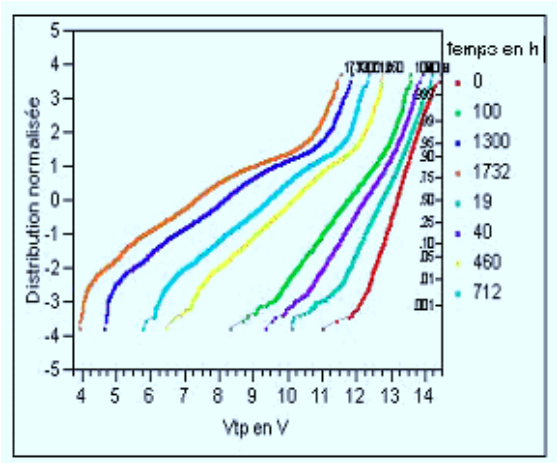


Figure 15 : Distribution du V_{TP} en fonction du temps à T=300°C.

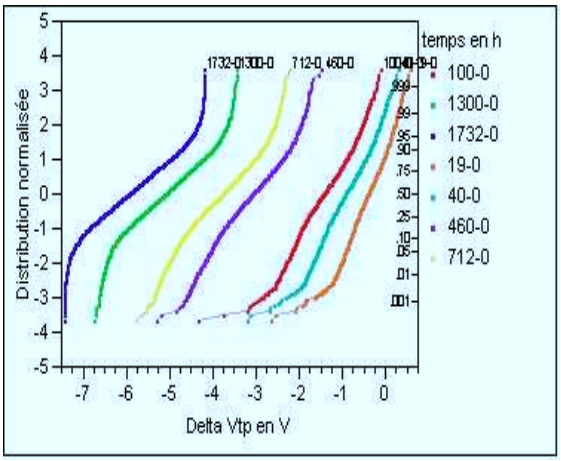


Figure 16 : Distribution de la variation de VTP en fonction du temps à T =300°C.

3.3 Observations communes à toutes les distributions

Les figures précédentes appellent certains commentaires. D'abord une première observation est que les distributions de V_{TP} et leurs évolutions avec le temps de recuit et la température sont tout à fait conformes aux résultats figurant dans la littérature: on a une distribution

normale après cyclage associée à une queue de distribution à faible tension de seuil qui concerne un nombre de cellules qui croit avec la durée de recuit. Ces évolutions ont été interprétées comme étant celles d'une population de cellules pour lesquelles le courant de fuite de chaque cellule responsable de la perte de charge par la grille flottante est statistiquement distribué [72], [74]. La queue de la distribution initiale, qui touche moins de 0,1 % des cellules à l'exception du lot recuit à 150 °C pour lequel elle concerne 3 % des cellules pourraient être discriminées par seuillage de la distribution bien que sa suppression ne modifie en rien l'ensemble des interprétations. Cette queue de distribution initiale est due dans chaque cas au cyclage de la mémoire en effet elle n'apparaît pas sur la tension de seuil naturelle comme l'illustre la Figure 17 qui compare la distribution avant et après cyclage pour la plaquette recuite à 150 °C, qui est le cas le plus illustratif. Notons cependant que c'est la seule plaquette ayant montré une queue de cette amplitude avant recuit.

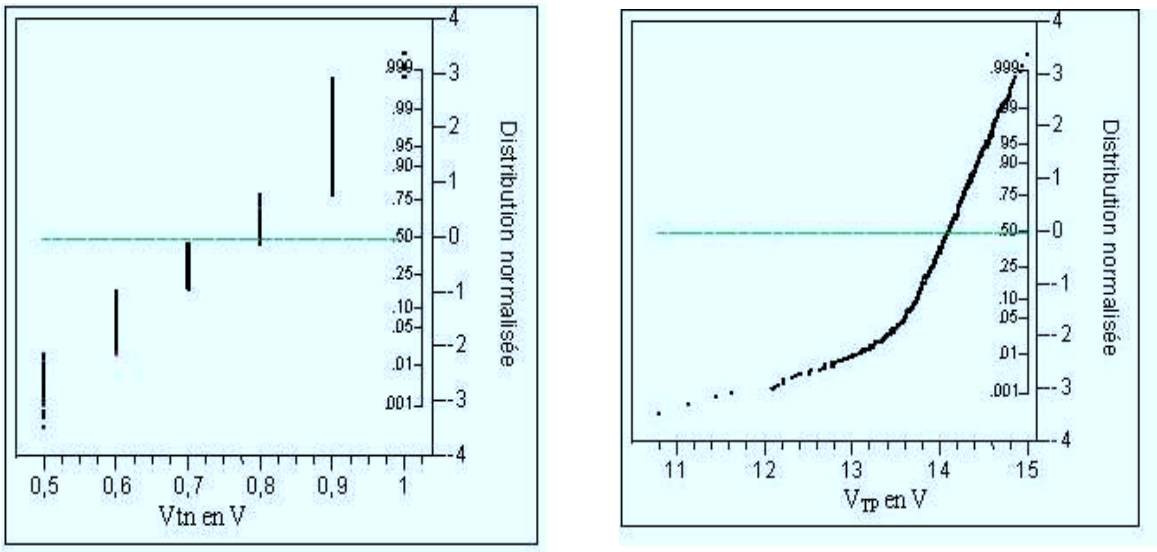
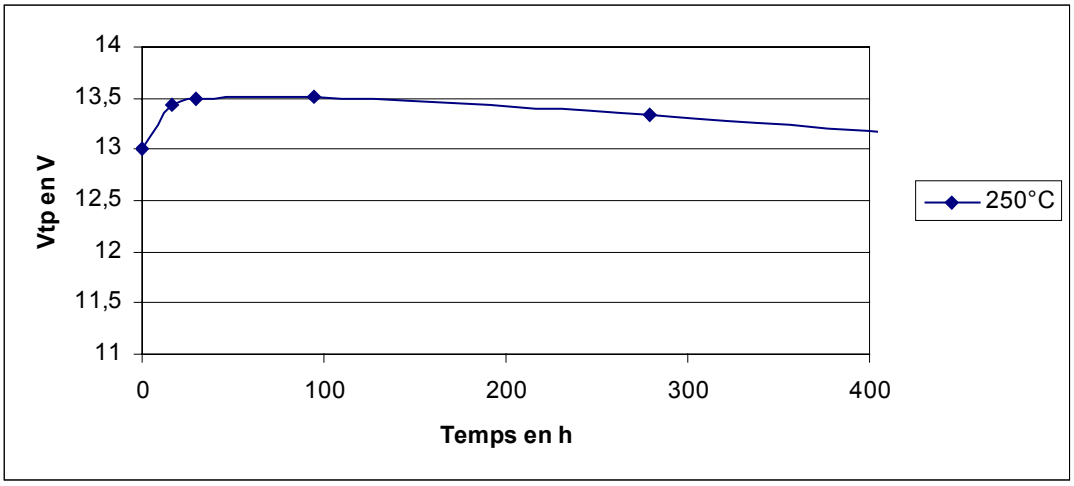


Figure 17: Distributions de la tension de seuil naturelle et après cyclage (cas des cellules recuites à 150°C)

La largeur relativement importante de la zone intrinsèque de la distribution initiale (~1,5-2V) s'explique du fait de la forte épaisseur de l'oxyde de grille. Si l'on considère que la dispersion du seuil est due à une dispersion de la charge d'oxyde, cela correspond pour une même dispersion de charge à une largeur de distribution de 0,5V pour un oxyde de 10 nm, du même ordre de grandeur ou inférieur à ce qui est rapporté dans la littérature.

La comparaison entre les distributions des variations de V_{TP} (ΔV_{TP}) et de V_{TP} lui-même montre que cette dernière n'est pas représentative globalement du comportement des cellules lors du recuit du fait de la migration des cellules dans la distribution. En effet, non seulement

l'allure des distributions est différente mais le nombre de cellules extrinsèques apparaît lui-même différent. De plus seule la distribution de ΔV_{TP} reflète l'apparition d'un gain de charge en début de recuit comme en témoignent les valeurs positives de ΔV_{TP} illustrées sur la Figure 18. En conséquence, dans la suite nous nous intéresserons essentiellement à cette dernière grandeur.



.

Figure 18: Exemple dune cellule ayant un gain de charges: $V_{TP}(t)$ à T=250°C.

3.4 Gain de charge durant le recuit

Une modification de la tension de seuil au cours du recuit peut avoir, en dehors de la fuite des charges présentes dans la grille flottante, plusieurs origines liées à l'apparition ou au déplacement de charges dans les couches isolantes de grille ou de la capacité de couplage.

La première possibilité est liée à la présence initiale de sodium qui lorsqu'il est introduit dans les isolants durant le recuit donne une perte de charges [46] mais qui donnera un gain de charge apparent, s'il est présent avant le recuit dans la capacité de grille et migre à haute température sous l'influence du champ électrique. Dans notre cas, l'oxyde de la capacité de couplage étant aussi l'oxyde de grille, on doit admettre qu'il est lui-même contaminé. Dans ce cas, l'effet d'une migration du sodium vers la grille flottante dans la capacité de couplage se traduira par une perte apparente de charge simultanée à la composante précédente. Cependant, du fait du coefficient de couplage, l'effet de cette composante sera moindre que son homologue et le résultat net sera un gain de charge comme le montre la relation (2) :

$$V_T = \frac{V_{FG}}{\alpha_c} + \frac{N}{\varepsilon_{ox}\alpha_c}(t_{ox} - x) - \frac{N}{\varepsilon_{ox}}(t_{ox} - x) \qquad (1)$$

$$\Delta V_T = \frac{N}{\alpha_c \varepsilon_{ox}}(\Delta x) - \frac{N}{\varepsilon_{ox}}(\Delta x) \qquad (2)$$

Δx : Déplacement des charges positives

α_c : coefficient de couplage en écriture

N : Densité de charges présentes dans l'oxyde.

Cependant, en général une contamination par le sodium est très localisée en début de recuit et se propage sur la plaquette au cours du recuit [46]. Cette localisation n'est pas observée dans notre cas comme le montrent les Figures 19 et 20 ci-dessous. De plus, comme le montre la Figure 21, des cellules présentant un gain de charge existent même à température ambiante où une migration des ions sodium sous faible champ est improbable.

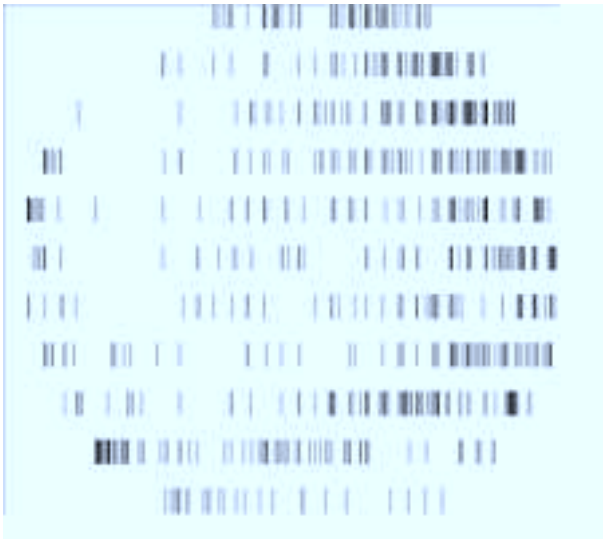
Figure 19 :Cartographie du gain de charges à 200°C au bout de 300h

Figure 20 :Cartographie du gain de charges à 200°C au bout de 1100h

$\Delta V_{TP}>0,3V$

$0<\Delta V_{TP}<0,3V$

$\Delta V_{TP}<0V$



ΔV_{TP}>0,06V
0<ΔV_{TP}<0,06V
ΔV_{TP}<0V

Figure 21 : Cartographie du gain de charges à 25°C au bout de 300h

Une autre possibilité est la migration d'électrons piégés sur des défauts créés dans l'oxyde de grille durant la programmation. Dans le cas d'oxydes minces les électrons piégés quittent l'oxyde rapidement, ce qui donne lieu aux courants transitoires observés dans la littérature [35] et à une perte de charge. Dans le cas des oxydes épais, des électrons sont piégés prés de l'anode lors de l'injection, du fait d'une distribution énergétique des électrons émergeants présentant deux composantes [73], une à forte énergie (~ 8 eV) créant des défauts et une seconde composante à faible énergie (~1eV) autorisant le piégeage des porteurs. Ces porteurs lors du recuit, vont migrer lentement vers le silicium et leur mouvement sera perçu comme un gain de charge jusqu'à leur disparition éventuelle dans le substrat. Ce gain apparent sera mesuré jusqu'à ce que la perte de charge due aux pertes des électrons de la grille flottante devienne prépondérante.

3.5 Mécanisme de conduction pour les cellules de la zone intrinsèque

Pour analyser le mode de conduction, les cellules sont sélectionnées dans la zone intrinsèque de la distribution de la variation de la tension de seuil avec le temps. La figure 22 représente les variations de la tension de seuil en fonction du temps et de la température, pour des cellules ayant une tension de seuil initiale identique. L'allure de la variation de la tension de seuil en fonction du temps illustre l'accélération thermique entre la température ambiante et

300°C.

Nous avons choisi, à chaque température, une cellule appartenant à la zone intrinsèque, pour laquelle nous traçons la variation de la tension de seuil à l'état programmée en fonction du temps.

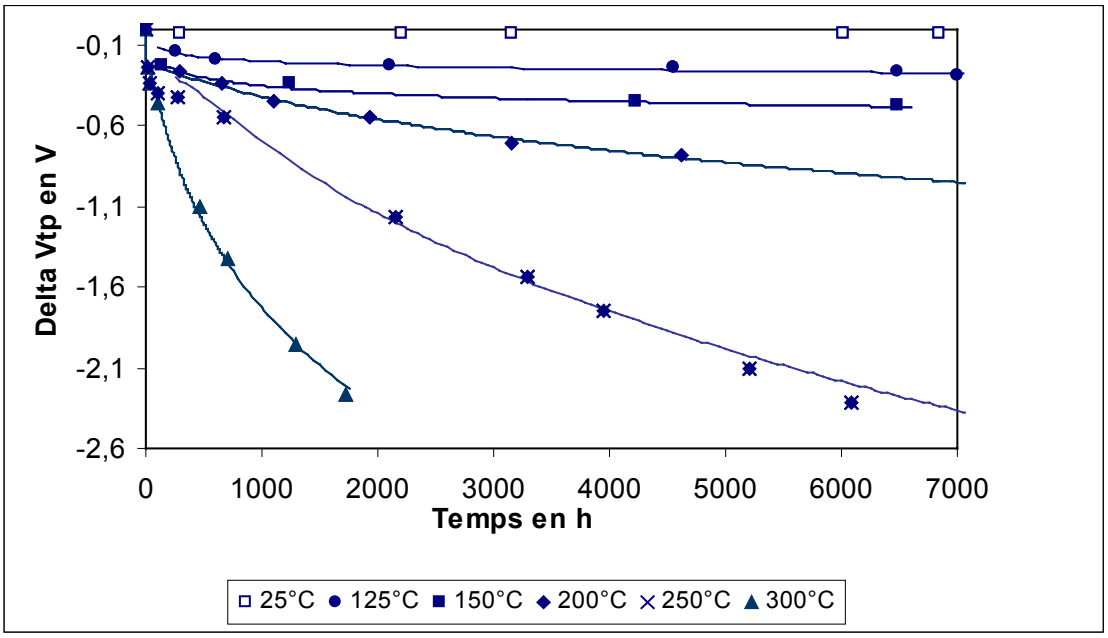


Figure 22: Variation de la tension de seuil en fonction du temps pour les cellules intrinsèques.

A partir de ces résultats et de leur lissage comme représenté sur la figure 24, on détermine la variation du courant de fuite à travers l'oxyde de grille avec la tension à ses bornes à l'aide des relations :

$$i = C_T \frac{\alpha_c \, d V_{TP}}{dt} \qquad (3)$$

$$V_{FG} = \alpha_C \, V_{TP}$$

Pour une température inférieure à 200°C, la perte de charge entre deux points de mesure est inférieure à la résolution de l'équipement. En conséquence, la caractéristique courant de fuite-tension ne peut être construite.

Concernant les températures supérieures ou égales à 200°C, les courants de fuites sont représentés sur la figure 23 et comparés aux résultats théoriques en considérant une conduction du type Fowler-Nordheim avec les mêmes paramètres que pour les capacités de grandes surfaces.

L'accord est très satisfaisant compte tenu de la procédure et valide le mode de conduction de type Fowler-Nordheim pour les cellules intrinsèques.

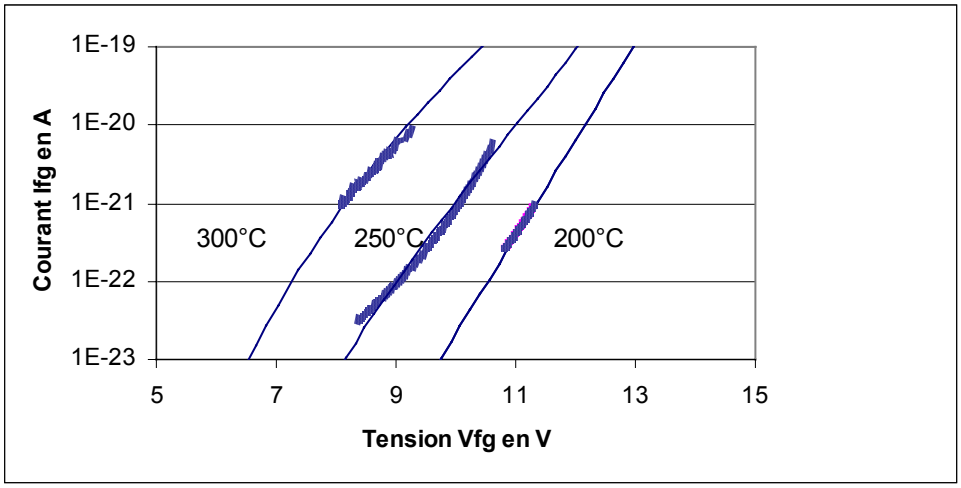


Figure 23: Courant de fuite pour les températures de 200°C, 250°C et 300°C.

Pour les températures de recuit de 125°C et 150°C, nous appliquons la même méthode que celle utilisée au chapitre 1 §B1.4.2 pour des pertes de charges disponibles, compte tenu de la durée de mesure et de la faible perte des cellules intrinsèques.

Les résultats obtenus sont représentés sur la figure 24. Les valeurs de T_{odr} extraites des pentes sont présentées dans le tableau 4 en bon accord avec les résultats théoriques.

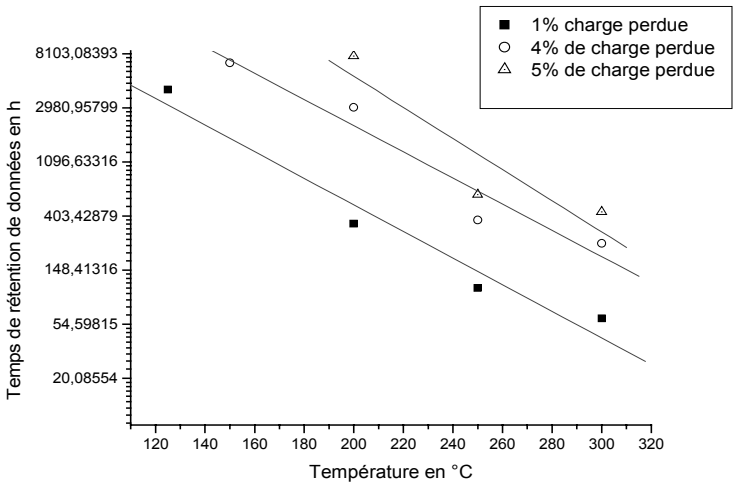


Figure24 : Temps de rétention de données en fonction de la température pour un pourcentage de perte de charges donné.

% charge perdue	Champ électrique en MeV /cm	Φ en eV	α en meV/K	To_{dr} calculé en Kelvin	To_{dr} mesuré en Kelvin
1%	**2,9 (a)**	**3,1**	**0,6**	**37**	**40**
4%	**3,2 (b)**	**3,1**	**0,6**	**42**	**41,4**
5%	**2,78 (a)**	**3,1**	**0,6**	**35,8**	**34,7**

Tableau 4 : Comparaison entre la valeur théorique et la valeur expérimentale de Todr (résultats correspondant à un recuit à 125 °C (a) et 150 °C (b))

Nous avons confirmé la conduction de type Fowler-Nordheim, à l'aide des résultats obtenus à T=300°C ; nous bâtissons la courbe pour une perte de charge de 10% et 30% en extrapolant aux faibles températures.

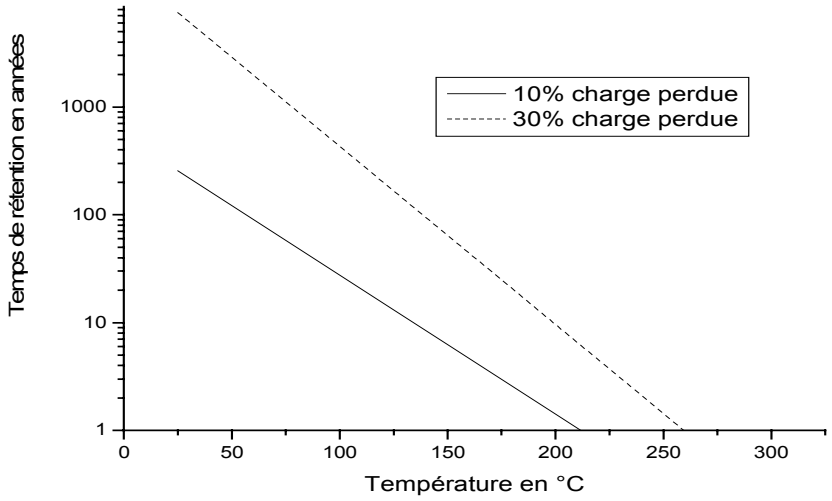


Figure 25 : Temps de rétention de données calculé en fonction de la température.

Nous trouvons un temps de rétention de l'ordre de 6 ans à 150°C pour 10% de la charge perdue et de 64 ans pour 30% de charge en moins. Ces calculs confirment la tenue en rétention de données des cellules de la partie intrinsèque de la distribution.

3.6 Analyse des cellules extrinsèques

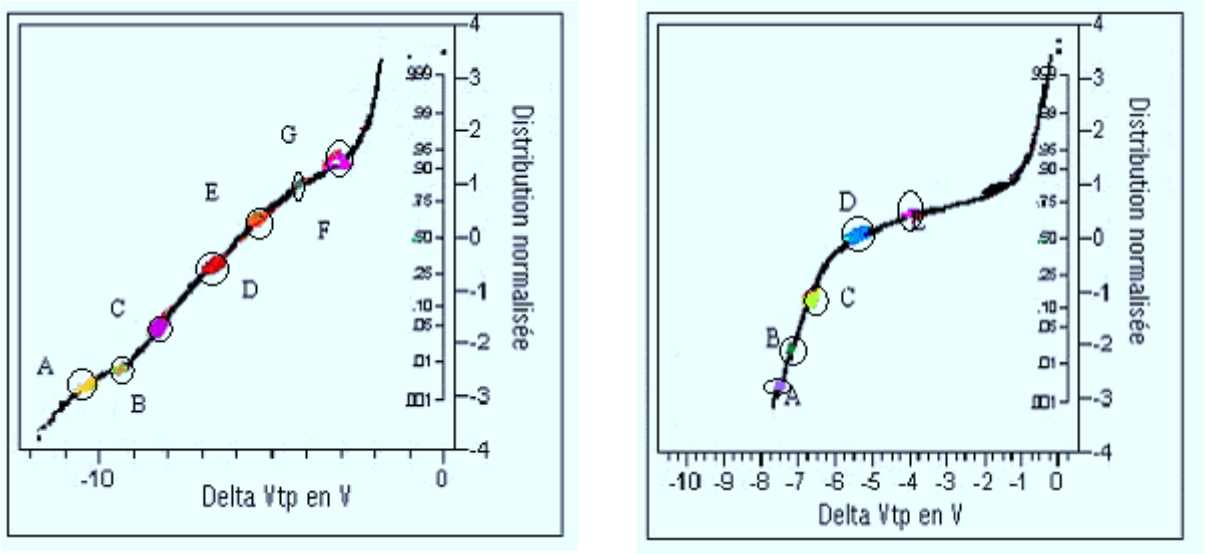
L'objectif est ici le même que dans le paragraphe précédent. Cependant des résultats de la littérature font état de mécanismes de conduction différents suivant les cellules extrinsèques considérées et en particulier suivant leur position dans la queue [74]. Pour cette raison nous avons repéré des cellules extrinsèques à différents endroits de la queue de distribution et nous avons suivi l'évolution de leur tension de seuil en fonction du temps. Sur les Figures 26 et 28 l'ordre alphabétique représente une position descendante dans la queue de distribution. Pour chacune de ces cellules, nous allons extraire, comme précédemment, l'évolution des courants avec la tension appliquée dans l'oxyde et tenter de l'interpréter dans le cadre des modes de conduction susceptibles d'intervenir et largement étudiés dans la littérature à savoir la conduction Fowler-Nordheim dégradée et la conduction Poole-Frenkel.

Analyse du courant

Nous avons défini le type de conduction en traçant le courant dans différents plans comme par exemple, le plan de Fowler-Nordheim [$\ln(I/V^2)=f(1/V)$], le plan de Poole-Frenkel [$\ln(I)=f(\sqrt{V})$] ou le plan de Poole [$\ln(I)=f(V)$].
Lorsque la conduction semble être identifiée, nous extrayons les paramètres représentatifs et nous les comparons à la théorie.

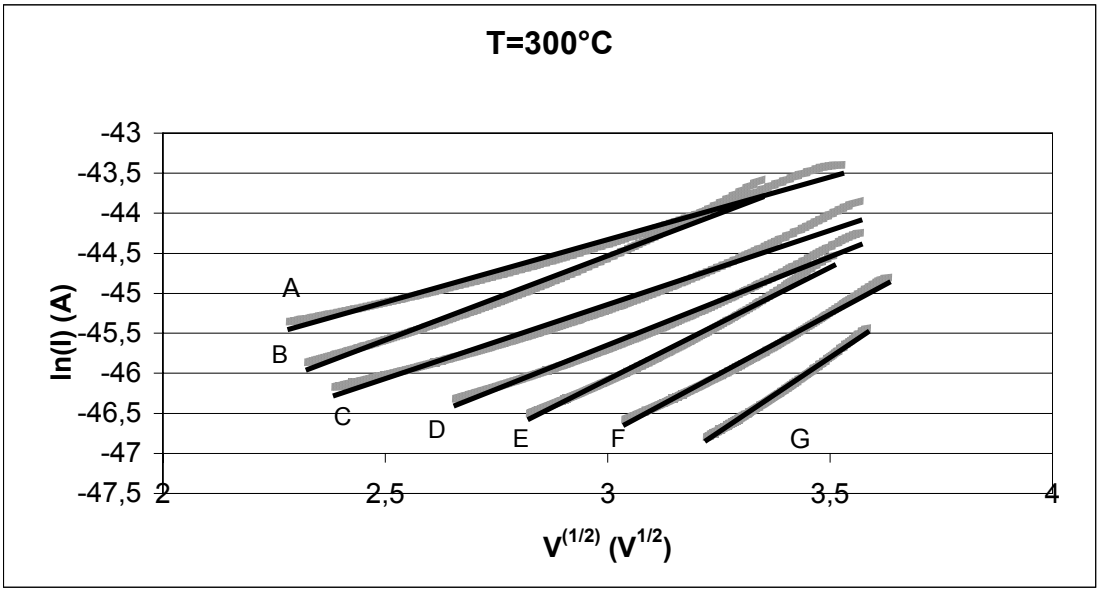
T=300°C et 250 °C

Les courants de fuite associés à chaque cellule sont représentés sur la Figure 27 dans le plan de Poole-Frenkel, qui permet d'obtenir une linéarité satisfaisante. Cependant la linéarité est aussi obtenue dans le plan de Poole. Cette problématique a déjà été rencontrée et analysée récemment dans la littérature [62] et interprété en terme de conduction assistée par un (effet Poole-Frenkel) ou deux (effet Poole) pièges de densité variable. L'extraction des coefficients de Poole-Frenkel à partir de la Figure 28 permet de déterminer la quantité $\gamma = (\beta_{PF0}/\beta_{PF})^2$ où β_{PF} est le coefficient de Poole-Frenkel mesuré et β_{PF0} la valeur théorique de ce coefficient. Les valeurs de γ figurent aussi dans les tableaux 5 et 6. Ces valeurs sont cependant significativement supérieures à celles obtenues dans [62] situées entre 1 et 2.

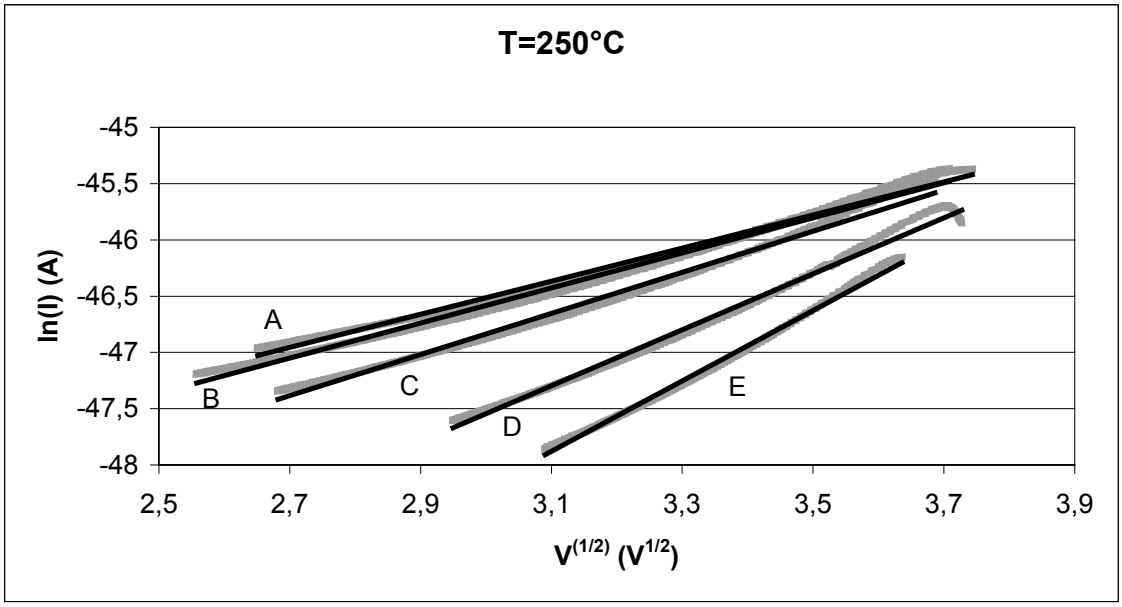


a) **b)**

Figure 26 : Choix des cellules. a) 300 °C, b) 250 °C



a)



b)

Figure 27: Courants obtenus tracés dans le plan de Poole-Frenkel

Place de la cellule	Effet Fowler-Nordheim	Coefficient de Poole-Frenkel β_{PF} (J) β_{PF0}=6,06 10^{-23}	γ
A	Non	2,96.10 $^{-23}$	4,19
B	Non	3.10^{-23}	4,08
C	Non	3,25· 10^{-23}	3,67
D	Non	3,5· 10^{-23}	3,47
E	Non	4,11 10^{-23}	2,17
F	Non	4,4310^{-23}	1,87
G	Non	5,510^{-23}	1,18

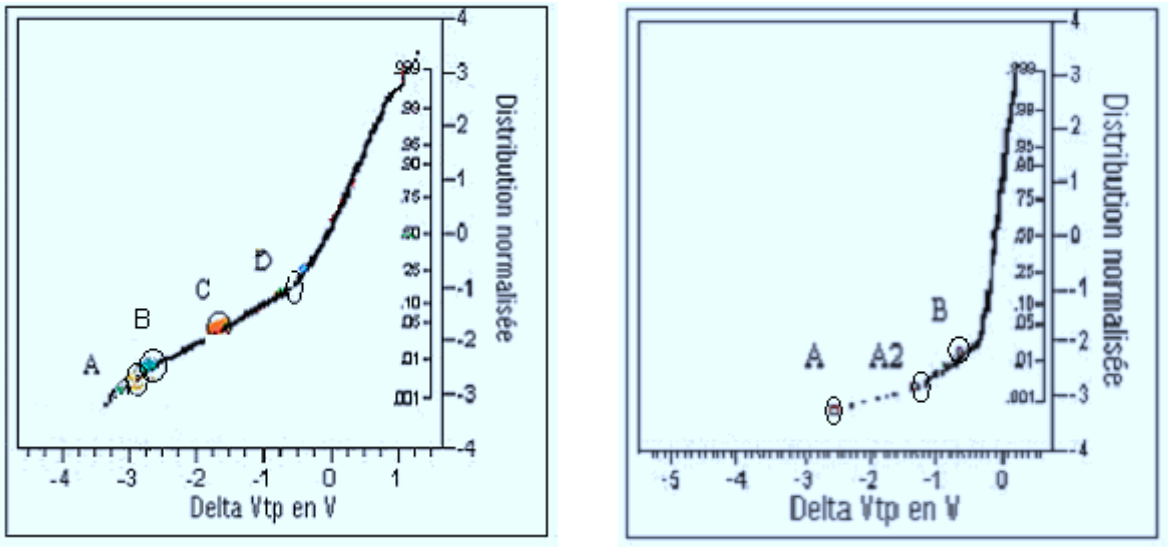
Tableau 5 : Type de conduction en fonction de la position dans la distribution à T=300°C

Place de la cellule	Effet Fowler-Nordheim	Coefficient de Poole-Frenkel β_{PF} (J) β_{PF0}=6,06 10^{-23}	γ
A	Non	2,6 10^{-23}	5,15
B	Non	2,9 10^{-23}	4,16
C	Non	3,1.10^{-23}	3,65
D	Non	3,3610^{-23}	3,25
E	Non	4,21 10^{-23}	2,07

Tableau 6 : Type de conduction en fonction de la position dans la distribution à 250°C

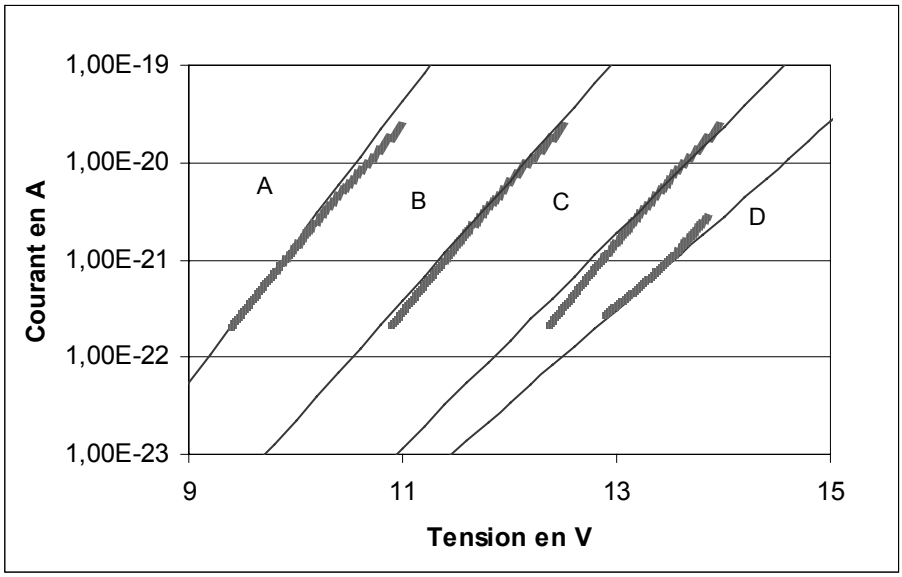
T= 200°C, 125 °C, 25 °C

La même procédure a été appliquée dans les cas d'un recuit à 200 °C, 125 °C et 25 °C. Les comportements ont été les mêmes pour ces trois températures et nous n'illustrerons que les cas extrêmes. Le tracé dans un plan de Poole-Frenkel permet d'éliminer ce type de conduction. Par contre, le tracé dans un plan de Fowler-Nordheim valide ce mode de conduction dans chaque cas, avec cependant des paramètres modifiés comme le montre la Figure 29. Deux paramètres permettent d'ajuster l'accord théorie-expérience : la hauteur de barrière et l'épaisseur de l'isolant. Dans la plupart des cas, la prise en considération d'une valeur modifiée de l'épaisseur, associée à une hauteur de barrière idéale conduit à des valeurs de l'épaisseur beaucoup trop faible par rapport à la variabilité du procédé technologique. Par contre l'attribution de la non-idéalité à la hauteur de barrière à 0 K, sans modification du coefficient de température, conduit à des valeurs tout à fait convenables comme l'indiquent les tableaux 7 et 8. On remarque que, dans ce cas la hauteur de barrière est d'autant plus élevée que la cellule remonte dans la distribution.

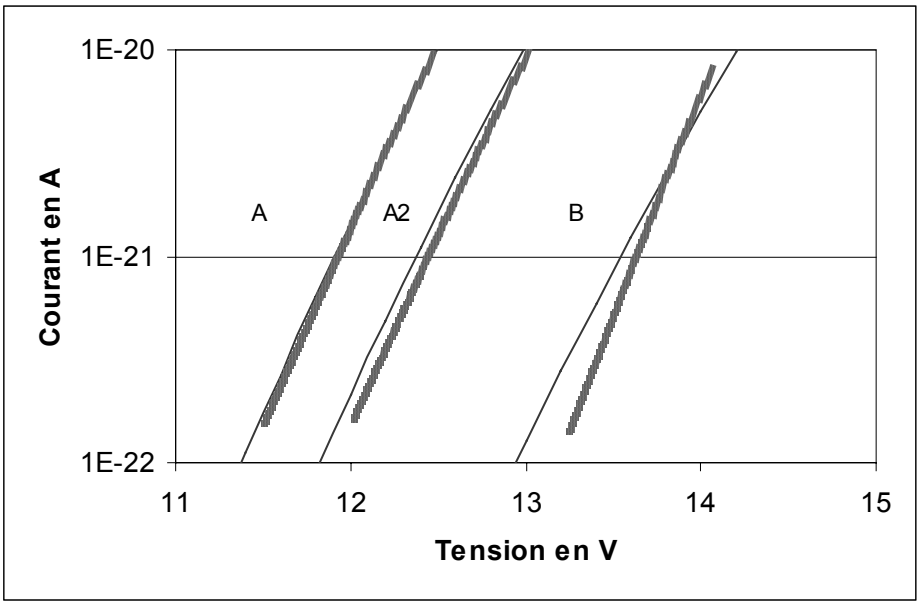


a) b)

Figure 28 : Choix des cellules : a) T=200°C et b) T=25°C



a)



b)

Figure 29 : Courants obtenus pour les températures de a) T=200°C et b) T=25°C.

Place de la cellule	Plan de Fowler-Nordheim/comparaison à la courbe théorique
A	Φ=2,7eV
B	Φ=2,85eV
C	Φ=2,95eV
D	Φ=3eV

Tableau 7 : Type de conduction en fonction de la position dans la distribution à T=200°C.

Place de la cellule	Plan de Fowler-Nordheim/comparaison à la courbe théorique
A	Φ=2,77eV
A2	Φ=2,8eV
B	Φ=2,85eV

Tableau 8 : Type de conduction en fonction de la position dans la distribution à T=25°C

Ces résultats montrent que les mécanismes de conduction prépondérants associés aux cellules extrinsèques dépendent de la température (contrôlés par le volume à haute température et par l'interface isolant – polysilicium à basse température), les paramètres de chacun d'eux variant de cellule à cellule. Cela rend très difficile voire impossible toute extrapolation de la durée de vie aux température d'utilisation.

4. Conclusion

Dans ce chapitre, nous avons tout d'abord étudié le mode de conduction intrinsèque dans les couches épaisses en fonction de la température. La conduction est du type Fowler-Nordheim, paramétré par une hauteur de barrière dépendant linéairement de la température. Cela permet de valider la loi « en T » d'extrapolation aux basses températures de la rétention de données.

Nous avons ensuite mené une étude statistique, sur des lots d'ingénierie, du vieillissement des cellules mémoires à plusieurs températures entre 25°C et 300°C. Il est apparu que 0,1% à 1% des cellules ont présenté un comportement extrinsèque, cette proportion croissant avec le temps de test. Nous avons identifié les mécanismes de conduction des zones intrinsèques comme étant l'effet Fowler-Nordheim. Les cellules extrinsèques, quant à elles, ont présenté une conduction limitée en volume et assistée par pièges de densité variable d'une cellule à l'autre à haute température et une conduction par effet Fowler-Nordheim à barrière dégradée à température inférieure ou égale à 200°C.

Concernant la rétention de données des cellules intrinsèques, elle est bien supérieure à 10 ans même à une température de 150°C. Concernant les cellules extrinsèques, aucune prédiction quantitative ne peut être avancée. Cependant, les résultats obtenus lors d'un recuit de 7000h à 25°C ou 150°C montrent que des cellules peuvent perdre de 3 à 5V durant cette période beaucoup plus courte que les 10 ans requis.

En conséquence, dans la mesure où l'objectif est d'atteindre un taux de défaillance « zéro ppm » ou, tout du moins, le plus faible possible, il apparaît indispensable de détecter les cellules extrinsèques dans la population afin de les éliminer.

Chapitre 3 :

Mise en œuvre d'un nouveau test de rétention de données

1. Introduction

Un test en rétention de données devant être mené sur 100% des mémoires implique nécessairement que le phénomène de perte de charge soit très fortement accéléré pour être applicable. Nous avons déjà précisé que les accélérations thermiques et électriques ne conviennent pas du fait de la durée des tests même à très forte température ou champ électrique. Par ailleurs ces deux modes peuvent entraîner une surévaluation de la durée de vie.

Dans ce chapitre nous présentons les bases d'un nouveau test en rétention de donnée utilisant l'accélération optique. Dans une première partie, nous étudierons l'effet d'une illumination sur les caractéristiques de conduction puis dans une seconde partie nous analyserons le vieillissement des mémoires sous accélération optique. Enfin dans une dernière partie nous validerons le test relativement aux résultats du vieillissement thermique.

2. Absorption de la lumière

Les porteurs susceptibles d'être excités par le rayonnement lumineux et donnant lieu à un courant à travers l'oxyde de grille se situent très près de l'interface Polysilicium-SiO2. En conséquence, il est nécessaire que le rayonnement atteigne cette interface. Le coefficient d'absorption du polysilicium fortement dopé Bore ou Phospore a été précédemment mesuré [75]. Pour la gamme de longueur d'onde étudiée (488nm et 514,5nm), il est de l'ordre de 3-5 10^4 cm^{-1}.

Dans ces conditions et en négligeant les phénomènes de réflexion, 15-20 % de l'intensité incidente atteint l'interface poly-Si-SiO_2 lors d'une illumination frontale.

Pour intégrer l'ensemble des phénomènes nous avons réalisé sur du silicium des dépôts « pleine plaque » de toutes les couches (passivation+polysilicium+oxyde de grille) lors d'un process similaire à celui des points mémoires. Nous avons ensuite attaqué le substrat de silicium dans une solution de (TMAH) pour réaliser des fenêtres. La sélectivité Si/SiO_2 de la solution d'attaque étant de 5000, la couche d'oxyde de grille joue le rôle de couche d'arrêt. Une vue des fenêtres réalisées est donnée sur la Figure1.

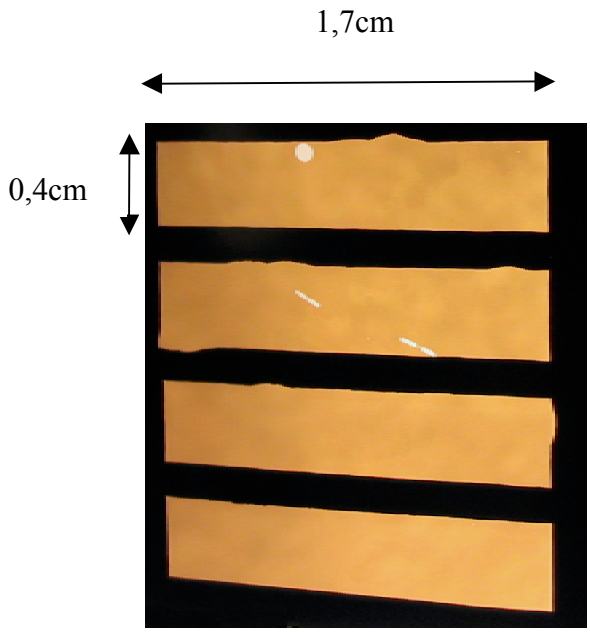


Figure 1 : Membranes.

La face avant a été irradiée et le spectre en transmission a été relevé. La normalisation au spectre incident permet d'obtenir le coefficient de transmission donné sur la figure 2 en fonction de la longueur d'onde.

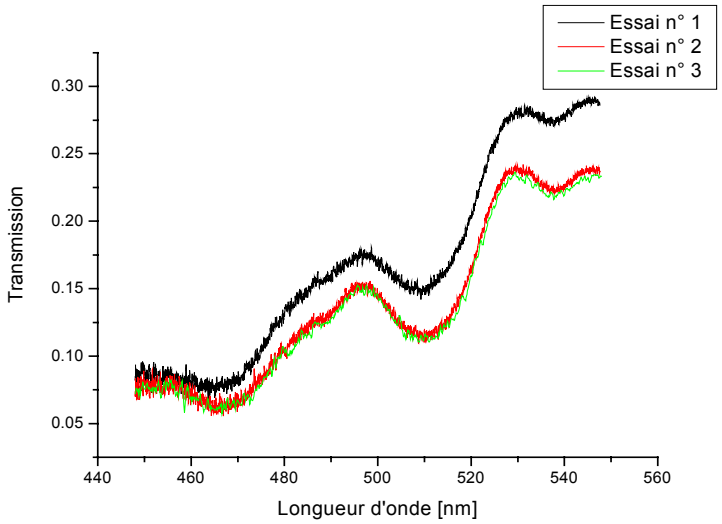


Figure 2 : Transmission en fonction de la longueur d'onde.

Ces résultats montrent qu'une proportion importante du rayonnement traverse l'ensemble des couches et donc atteint l'interface poly-Si-SiO2. En particulier dans la gamme de longueur d'onde 480 – 520 nm plus de 10 % de la lumière atteint l'interface en accord avec les considérations sur le coefficient d'absorption du polysilicium. Les différentes courbes sur la Figure 2 correspondent à diverses localisations sur les membranes et montrent une dispersion du coefficient de transmission. Cependant ces résultats ne sont pas représentatifs de la réalité dans un dispositif du fait de la déformation importante de la membrane, sous l'effet des contraintes mécaniques, modifiant l'angle d'incidence du faisceau incident et donc la réflectivité de la surface. Nous reviendrons sur les problèmes d'homogénéité de la transmission lors de la discussion des résultats électriques.

3. Mécanismes de conduction sous illumination

Des cellules sans le métal sur la capacité de couplage repérées dans les distributions précédentes ont été illuminées en lumière blanche à l'aide d'une lampe à halogène et en lumière monochromatique aux longueurs d'onde de λ_1=514,5 nm et λ_2=488 nm à l'aide d'un laser Argon. Sauf autres spécifications, les densités de puissance incidente ont été de 30mW/cm² pour λ_1 et de 5mW/cm² pour λ_2.

3.1 Caractéristiques courant tension sous illumination des cellules intrinsèques

La conduction sous illumination dans une barrière métal-vide a été analysée dans le cadre d'études d'émission électronique par des cathodes froides [76] [77]. Le mécanisme responsable de la conduction est la photoémission de champ. Un modèle simplifié à trois étapes indépendantes a été développé [Bou90] dans lequel la première étape correspond à l'excitation des électrons de la cathode par les photons du rayonnement incident. Au cours de la deuxième étape, les électrons photoexcités migrent en direction de l'interface métal-vide sur une longueur de diffusion des électrons. La troisième étape est l'émission des photoélectrons dans la silice avec une probabilité contrôlée par la hauteur de barrière. Ce modèle développé initialement pour l'interface métal-vide, peut être appliqué au cas de la photoémission de champ dans le système Polysilicium dégénéré-silice-silicium comme représenté sur la Figure 3, de la même manière que dans le cas de la conduction Fowler-Nordheim. [17].

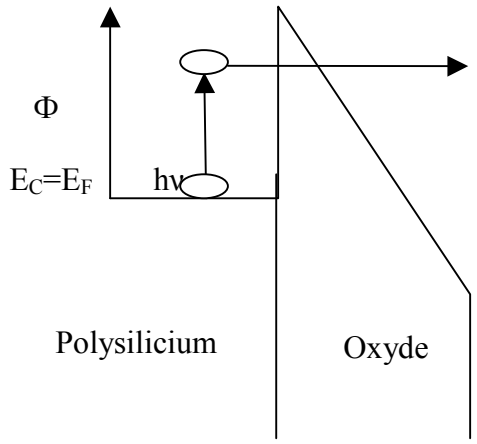


Figure 3: Photoémission de champ

La densité de courant est donnée par la relation [75] :

$$J = N_\nu \Gamma \frac{4q\pi}{h^3} mkT \int_0^{+\infty} D(F,E) \mathrm{Log}\left(1 + \exp\left(\frac{E - (\Phi - h\nu)}{kT}\right)\right) dE \quad (1)$$

dans laquelle :

$$D(F,E) = \exp\left(\frac{4\sqrt{2m}}{3\hbar q} \frac{(E + h\nu - \Phi)^{3/2}}{F}\right) \quad \textbf{(2)}$$

Avec :

$\Phi = \Phi_0 - h\nu$;

Nν : est le nombre de photons incidents par unité de surface ;

Γ : probabilité d'interaction électron photon ;

Cette expression est similaire à celle représentant la conduction par effet Fowler-Nordheim dans une barrière réduite de l'énergie des photons incidents (hν).

3.1.1 Résultats obtenus en lumière blanche

Des cellules ayant subi un recuit à 300°C et identifiées dans la zone intrinsèque de la distribution comme précédemment ont été illuminées en lumière blanche à température ambiante. L'évolution de la tension de seuil du transistor lors du vieillissement sous illumination est reportée sur la figure 4.

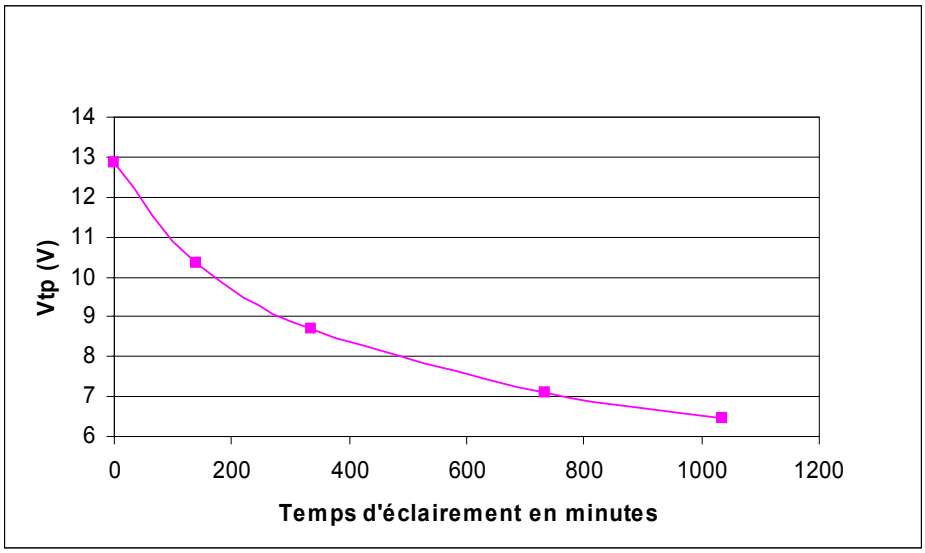


Figure 4 : Evolution de la tension de seuil en fonction de la durée d'illumination

Une accélération très importante vis-à-vis du recuit à 300°C est évident (voir Figure16 – chapitre 2). A titre d'exemple, un shift de 2V atteint en plus de 700 h à 300°C est obtenu ici en 120 minutes soit un facteur d'accélération de 350.

Comme précédemment, nous avons extrait des variations temporelles de la tension de seuil la caractéristique courant-tension sous illumination qui est représentée sur la figure 4 dans le plan de Fowler-Nordheim.

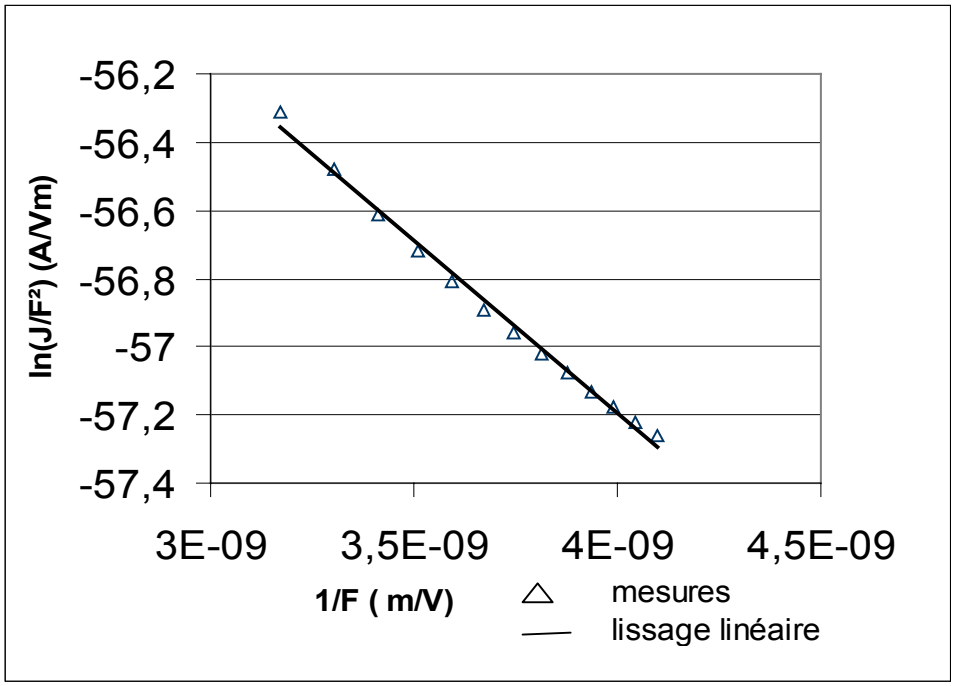
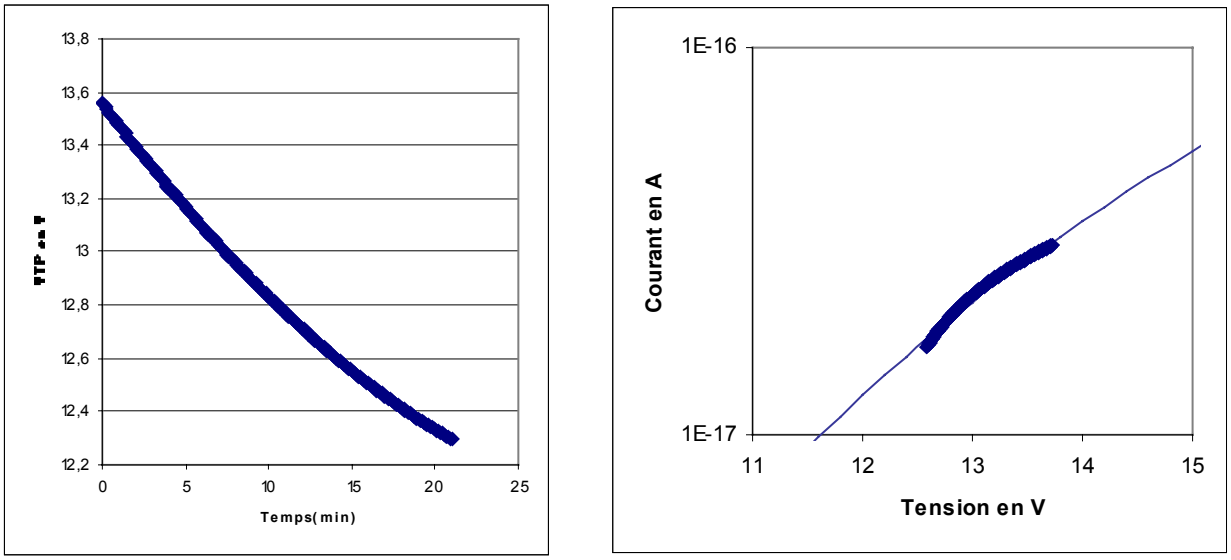


Figure 5 : Courant de fuite sous illumination dans le plan de Fowler-Nordheim

Cette figure montre que le mode de conduction par effet Fowler-Nordheim est conservé. La hauteur de barrière équivalente issue des résultats de la figure 5 est égale à 0,32eV ce qui si l'on considère une valeur Φ de 3,1eV et correspond à une réduction de barrière de 2,78eV.

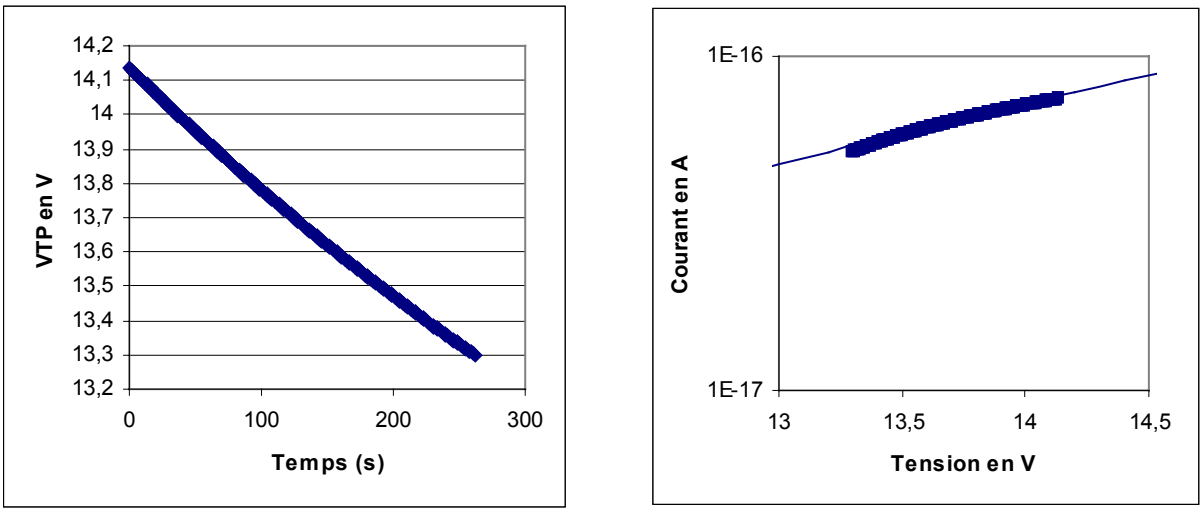
3.1.2. Illumination par un faisceau monochromatique

La même expérience a été réalisée en illuminant les cellules mémoires par un faisceau monochromatique de longueur d'onde λ= 514,5nm et 488nm. Les résultats respectifs sont représentés sur les figures 6 et 7.



a) b)

Figure 6 : Résultats pour un éclairement λ=514,15nm, V_{TP} (t) a) et I(V) b)



a) b)

Figure 7 : Résultats pour un éclairement λ=488nm, V_{TP} (t) a) et I(V) b).

Pour simuler le courant de fuite, nous utilisons la relation (1) ci-dessus en ajustant la hauteur de barrière Φ et en multipliant par une constante qui est une fonction de la puissance incidente et de l'interaction photon-électron. Les valeurs obtenues de ces paramètres figurent dans le tableau 1.

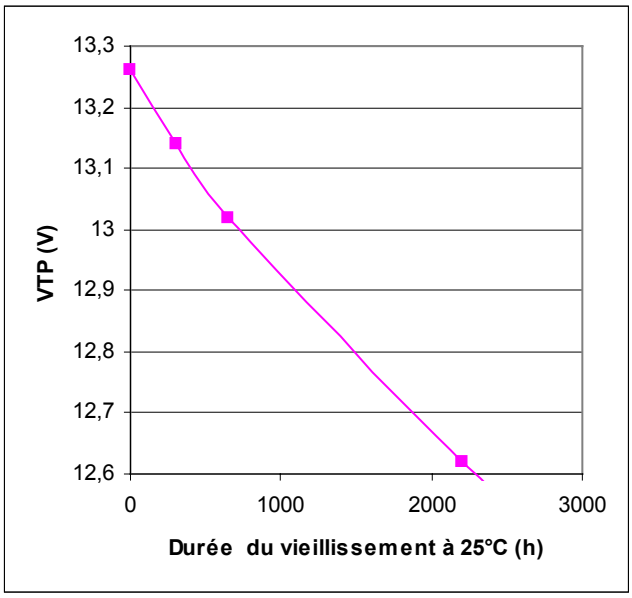
Longueur d'onde (nm) (énergie (eV))	Hauteur de barrière Φ (eV)	Préfacteur multiplicatif $N_v\Gamma$
514.5 (2.41)	3,18	$8{,}9\ 10^{-15}$
488 (2.54)	3,18	$2{,}82\ 10^{-15}$

Tableau 1 : Paramètre de la conduction par photoémission de champ.

Ainsi la linéarité observée dans le plan de Fowler-Nordheim et les valeurs obtenues pour Φ qui sont très proches des valeurs obtenues sans illumination valident les hypothèses faites sur le mécanisme d'émission de champ pour les cellules intrinsèques.

3.2. Caractéristiques courant tension sous illumination des cellules extrinsèques

En ce qui concerne les cellules extrinsèques nous avons sélectionné des cellules situées dans la queue de distribution en fin de vieillissement thermique à 25°C puis nous avons effectué un vieillissement sous illumination en lumière blanche et nous avons déterminé la variation de la tension de seuil . Un résultat typique est représenté sur la figure 8 ci-dessous. L'accélération de la perte de charge par l'éclairement est évidente en comparant les échelles de temps.



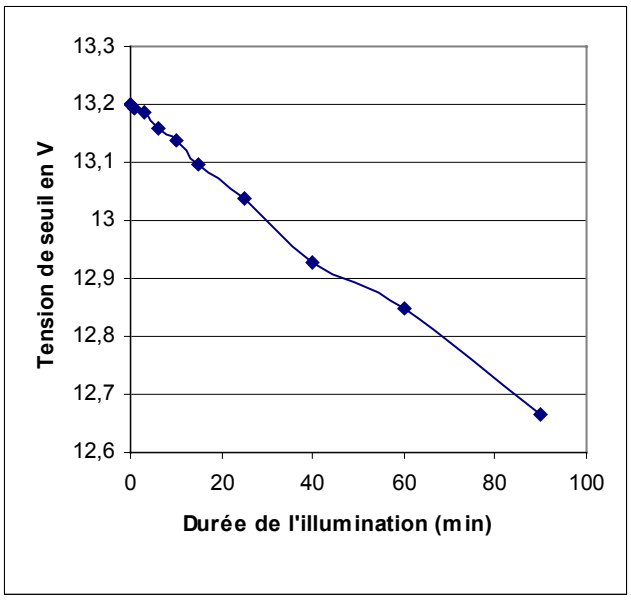


Figure 8 : Vieillissement d'une cellule à 25°C et sous éclairement en lumière blanche.

Une de ces cellules (notée « A » dans le paragraphe 3.2.7.1 du chapitre 2) a été irradiée par une longueur d'onde λ_1=514,5nm, le tracé de la fuite dans le plan de Fowler-Nordheim (Figure 9) montre que le mécanisme est de type Fowler-Nordheim dont la hauteur de barrière effective est de 0,4 eV. Cette valeur est inférieure à celle que nous avions pour une cellule intrinsèque. De plus la valeur de la hauteur de barrière Φ associée est égale à 2.82 eV du même ordre de grandeur que celle obtenue sous vieillissement thermique (2.77 eV).

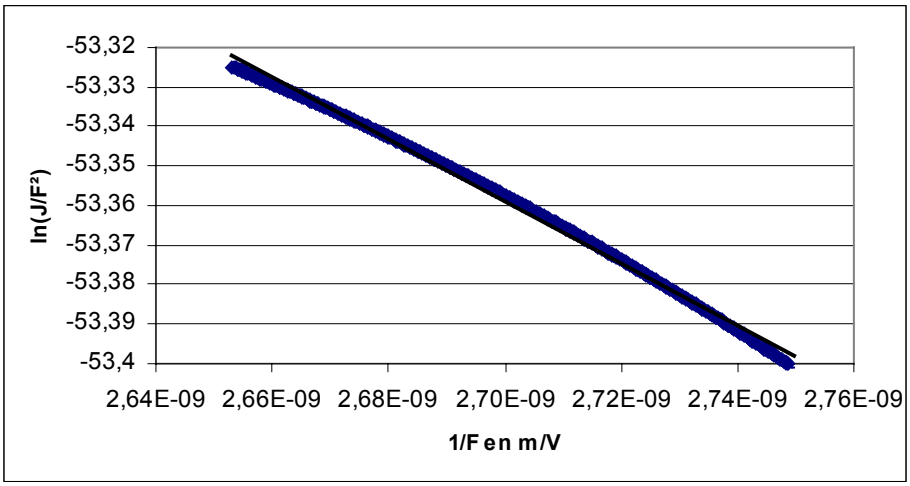


Figure 9 : Courant de fuite d'une cellule extrinsèque dans le plan de Fowler-Nordheim.

3.3. Influence de la puissance du faisceau lumineux sur la température du composant

Les résultats précédents montrent que le vieillissement optique permet d'accélérer la perte de charges des cellules intrinsèques et extrinsèques avec cependant une puissance de source lumineuse importante risquant de provoquer un échauffement du semiconducteur. Nous avons donc mesuré à l'aide d'une caméra infrarouge, étalonnée au préalable sur une plaquette de silicium vierge chauffée par la face arrière, la température du circuit lorsqu'il est illuminé et ceux pour des puissances supérieures à celles que nous avons utilisées.

Les résultats donnés sur les figures montrent que la température du circuit est bien inférieure aux températures qui permettraient une accélération thermique de la perte de charges.

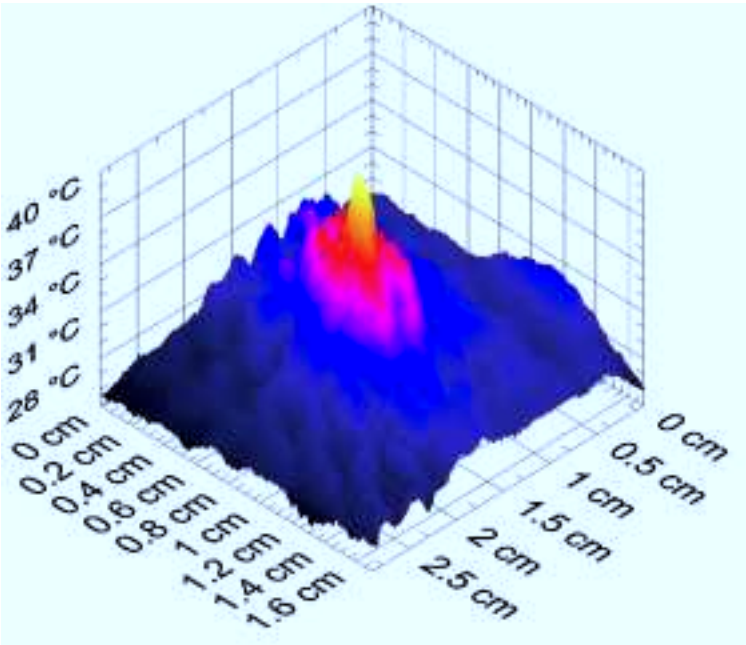


Figure 10 : Cartographie thermique sous illumination (λ = 514,5 nm, P = 0,2W/mm²).

4. Illumination d'une population de cellules mémoires programmées

Les résultats relatifs à la conduction électrique montrent que l'accélération de la perte de charge s'applique aussi bien aux cellules extrinsèques qu'aux cellules intrinsèques. En conséquence il peut être intéressant d'analyser la fiabilité en rétention de données sous accélération optique en lieu et place de l'accélération thermique. Pour cela nous avons étudié la distribution statistique de la tension de seuil sous illumination aux deux longueurs d'onde disponibles pour les cellules ne comportant de métal ni sur la capacité de couplage ni sur le transistor MOS et préalablement étudiées sous accélération thermique à 25 °C, 125°C et 150 °C. Avant reprogrammation des cellules recuites 3000 cellules sont disponibles sur chaque plaquette. Cependant après un recuit à 125°C et surtout à 150 °C un certain nombre de cellules extrinsèques ont montré une surprogrammation importante qui n'existait pas avant recuit ou une défectuosité fonctionnelle. Ces cellules ont été supprimées de la statistique étant donnée que leur défaillance ne relevait pas de la rétention de données.

4.1 Homogénéité de la transmission optique

Comme mentionné précédemment, l'homogénéité de la densité de photons absorbés n'a pu être déterminé précisément. Indirectement on peut cependant évaluer l'homogénéité du vieillissement en considérant des cellules mémoires programmées au même niveau de tension et se trouvant dans les zones intrinsèques thermique et optique après illumination en lumière monochromatique (514,5 nm), de mesurer leur variation de tension de seuil durant les vieillissements et de comparer les distributions. La figure 11 montre que les deux distributions sont semblables ce qui tend à montrer l'homogénéité de l'intensité absorbée dans le polysilicium.

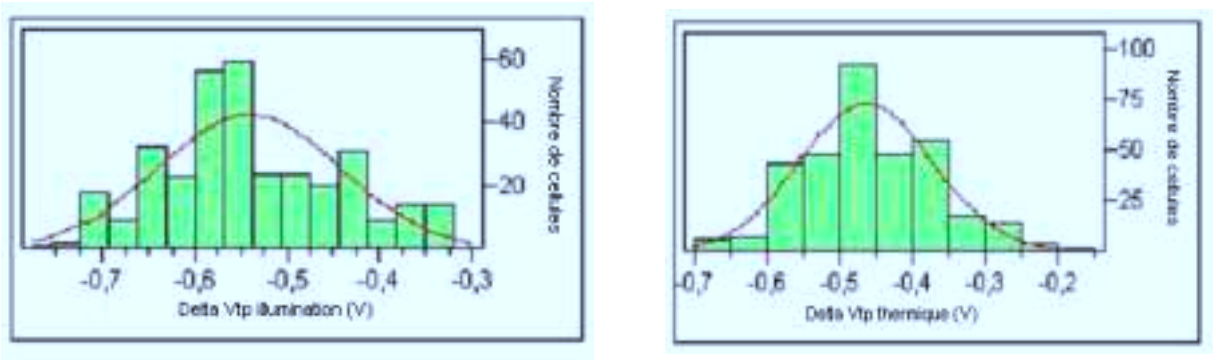
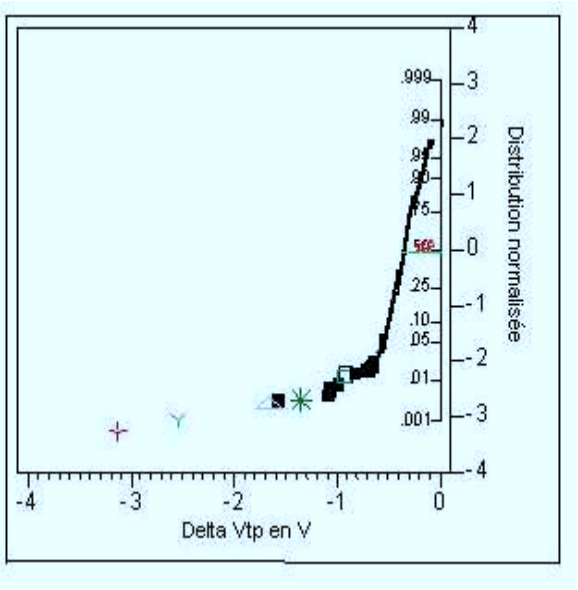


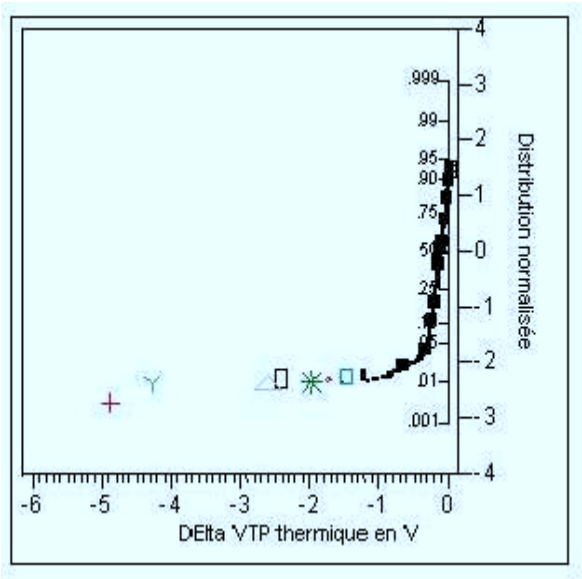
Figure11 : Nombre de cellules en fonction variations de tension de seuil pour un vieillissement optique a) et un vieillissement thermique b).

4.2 Corrélation entre vieillissements thermiques et vieillissement optique (λ_1 = 514,5 nm)

Les résultats concernant la longueur d'onde λ_1 = 514,5 nm et la comparaison avec le vieillissement thermique sont représentés sur les Figures 12, 13 et 14 ci-dessous.

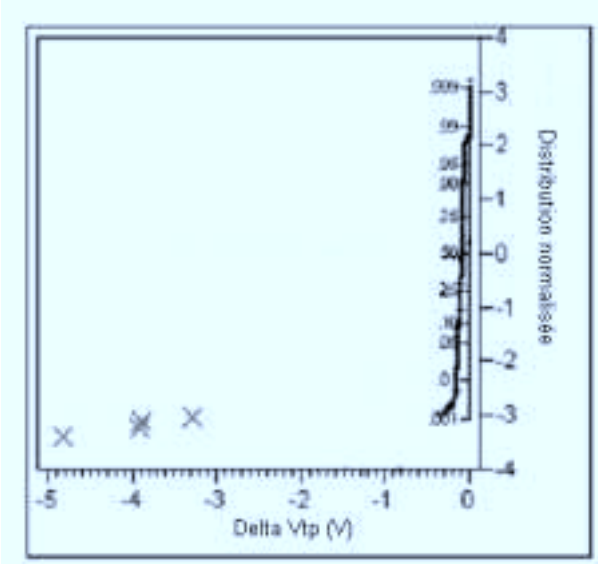


a)

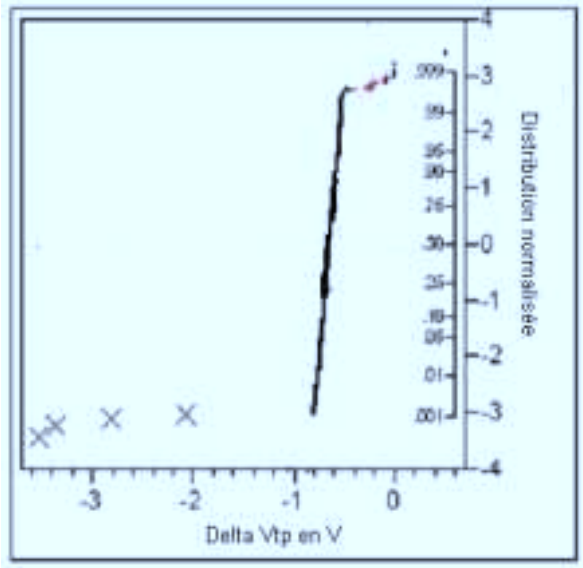


b)

Figure 12: Distribution de ΔV_{TP} après 3 minutes d'éclairement (λ = 514.5 nm) à 25 °C a) et après 7000h de vieillissement à 25 °C b)

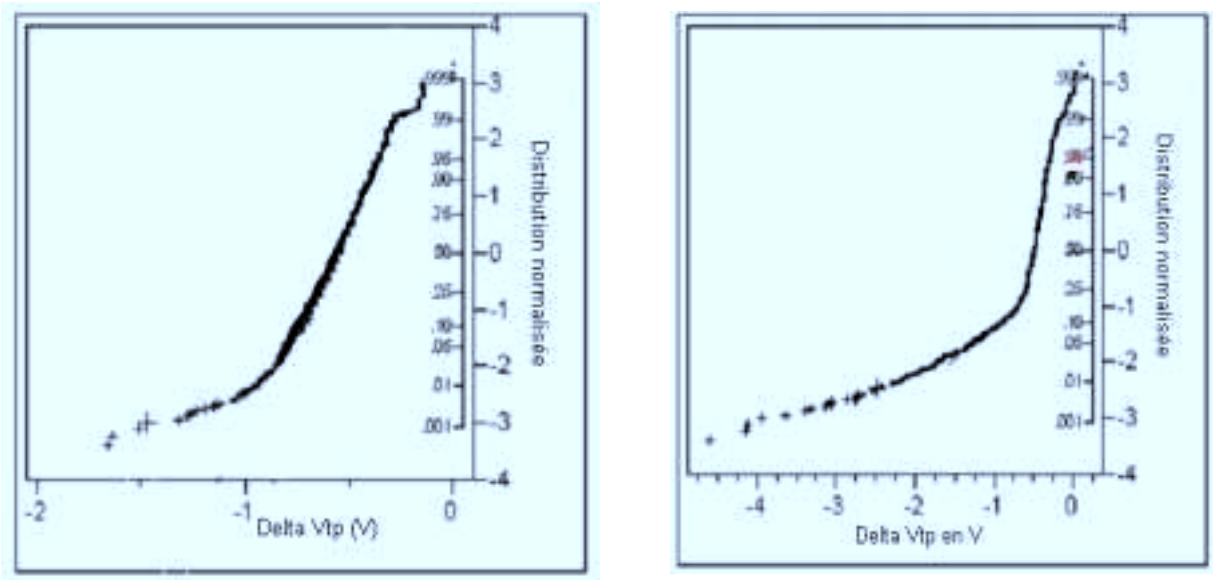


a)



b)

Figure 13 : Distribution de ΔV_{TP} après 3 minutes d'éclairement (λ = 514.5 nm) à 25 °C a) et après 7000h de vieillissement à 125 °C b)

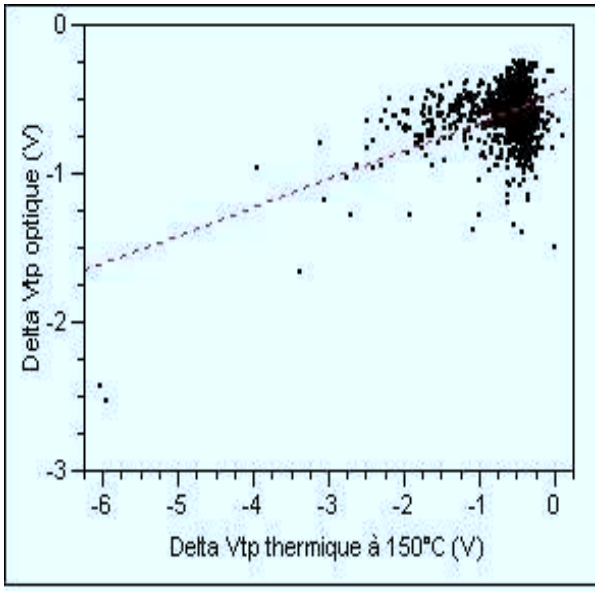


a) **b)**

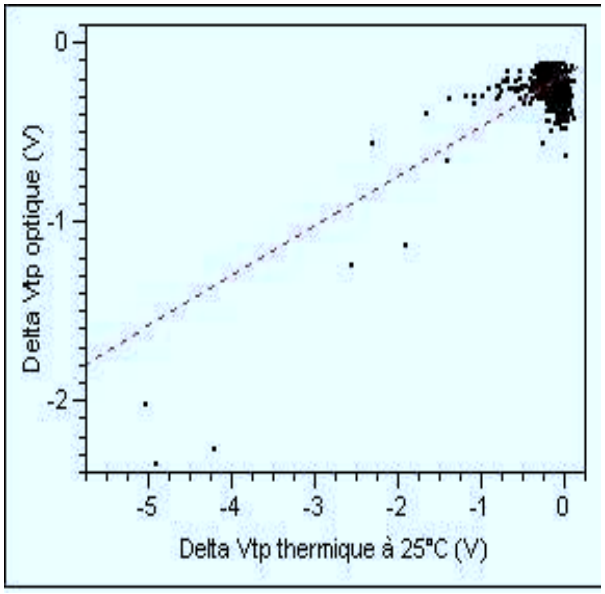
Figure 14: Distribution de ΔV_{TP} après 2 minutes d'éclairement (λ = 514.5 nm) à 25 °C a) et après 6480h de vieillissement à 150 °C b)

Dans tous les cas on observe une distribution après vieillissement optique semblable à celle observée sous recuit thermique : présence de cellules intrinsèques et de cellules extrinsèques présentant une variation de tension de seuil plus élevée. L'identification des cellules (par des symboles différents sur les figures) montre que les cellules extrinsèques sous vieillissement thermique se retrouvent extrinsèques sous vieillissement optique. De plus on observe un plus grand nombre de cellules extrinsèques sous vieillissement optique que sous recuit thermique pour les durées maximum. Ceci peut être dû à une équivalence du vieillissement optique avec un recuit thermique de plus longue durée que celle menée expérimentalement ici. En effet nous avons noté au chapitre 2 que le nombre de cellules extrinsèques croît avec la durée du test thermique.

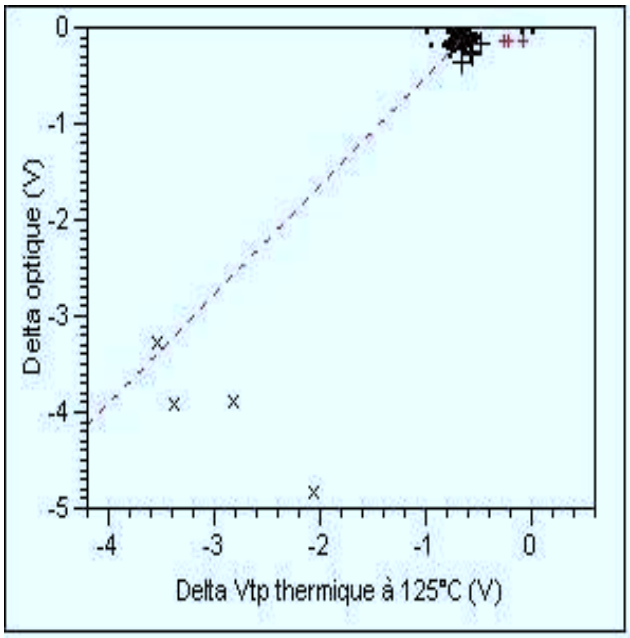
Afin d'évaluer l'équivalence des deux méthodes, nous avons représenté sur les figures suivantes la variation de la tension de seuil durant les deux types de vieillissement.



a)



b)

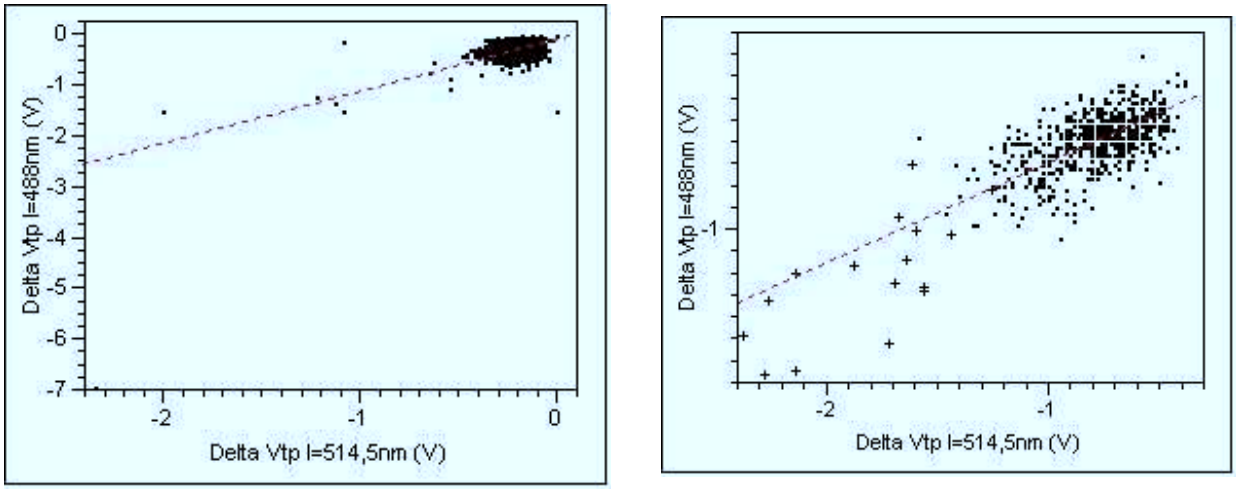


c)

Figure 15 : Corrélation entre le vieillissement optique (λ=514,5nm) et le vieillissement thermique a) 150°C, b) 25°C et c) 125°C.

Le lissage linéaire par moindre carré montre clairement la relation entre les deux types de vieillissement.

Bien entendu des résultats semblables sont obtenus en illuminant les cellules à λ_2=488nm comme l'illustre la figure 15 qui met en évidence l'équivalence des résultats pour les deux longueurs d'onde.



a) b)

Figure 16 : Corrélation entre un vieillissement à λ=514,5nm et λ=488nm sur les plaquettes qui on vieilli à a) T=25°C et b) T=150°C.

5. Faisabilité d'un test sous accélération lumineuse

La pertinence d'un test en rétention de donnée sous accélération optique va bien au-delà des éléments scientifiques développés dans ce travail. En effet de nombreuses questions liées à l'influence du test sur le fonctionnement du circuit entier, à son introduction dans la séquence de test, sa durée, la disponibilité des équipements ou le coût sont à résoudre. Nous avons tenté de répondre à la première question qui ne relève que de l'expérimentation.

Pour s'assurer que l'éclairement ne perturbait pas le fonctionnement du circuit SMART POWER complet, nous avons effectué des essais sur une quarantaine de pièces se trouvant sur un lot d'ingénierie. Il contient 24 bits qui servent à l'ajustage de paramètres électriques dont, 6 bits en moyenne sont programmés.

Nous avons testé le produit et programmé les bits pour un fonctionnement normal, nous l'avons ensuite exposé puis nous l'avons testé à nouveau afin de vérifier le bon fonctionnement du produit et de mesurer la tension de seuil de la mémoire.
Nous avons illuminé les cellules du wafer à l'aide de la longueur d'onde λ_1 = 514,5nm pendant 5 minutes à une puissance de 35mW/mm². Les tests fonctionnels après éclairement montrent qu'aucune puce n'est devenue défaillante. Les valeurs des paramètres des autres tests du composant n'ont pas variées. Cela montre qu'un test optique de la rétention de données n'introduit aucune modification dans le fonctionnement du produit et est donc applicable.

6. Conclusion

Dans ce chapitre, nous avons proposé un nouveau test en rétention de données basé sur l'utilisation d'une accélération de la perte de charge par illumination dans le visible. Nous avons dans un premier temps déterminé les mécanismes de conduction pour les deux types de cellules, intrinsèques et extrinsèques et nous avons montré qu'ils étaient de même nature que ceux intervenant lors d'un vieillissement à température inférieure ou égale à 150 °C. Dans un second temps nous avons analysé le comportement d'une population de cellules sous illumination. L'équivalence entre les deux types d'accélération optique et thermique a été mise en évidence avec un facteur d'accélération par la voie optique très élevé par rapport aux valeurs obtenues par accélération thermique même à une température de 300°C cette accélération n'étant pas due à un échauffement localisé du point mémoire. Enfin des essais fonctionnels sur les circuits environnants n'ont montré aucun effet de l'éclairement sur leurs propriétés.

Conclusion générale

L'objectif de notre travail a été de définir un nouveau test en rétention de donnée de mémoire non volatile à grille flottante utilisée dans un circuit SMART POWER. La mémoire possède un seul niveau de polysilicium et a été implantée sans modification d'étapes dans la technologie du circuit SMART POWER pour des raisons de coûts. Le problème du test est posé du fait d'une production à fort volume de produits pour lesquels l'application requiert un niveau de fiabilité très élevé pour des raisons de sécurité et aussi de coûts.

Dans un premier temps, nous avons étudié, sur un lot d'ingénierie, la rétention de données de la mémoire par les voies classiques du vieillissement thermique avec des températures allant de l'ambiante à 300°C durant une période de 7000h. L'analyse statistique des résultats a montré que le niveau de fiabilité enregistré était inférieur au niveau requis. Dans ces conditions, seul un repérage des cellules défaillantes et leur élimination du lot permet, en ne gardant que les cellules « intrinsèques », d'obtenir un niveau de fiabilité élevé.

Il s'agit donc d'un test devant être mené sur 100% des cellules, ce qui, pour des raisons de rapidité et de coût, implique qu'il soit mené au niveau de la plaquette.

Le suivi de la tension de seuil d'une cellule programmée durant le vieillissement permet de reconstituer la caractéristique courant-tension responsable de la perte de données. Cela a été appliqué aux cellules dites « intrinsèques » et « extrinsèques » de la distribution statistique. Dans le cas des cellules intrinsèques, la conduction est de type Fowler-Nordheim paramétrée par une hauteur de barrière de 3,1-3,2 eV, significative d'une interface grille flottante – isolant de bonne qualité. Dans le cas des cellules extrinsèques, des mécanismes de conduction différents sont apparus suivant la température. En effet, à haute température ($T \geq 200°C$), la fuite est due à une conduction en volume assistée par piège alors qu'elle est de type Fowler-Nordheim dégradé à température inférieure à 200°C. De plus, les paramètres de ces modes de conduction sont variables suivant la position de la cellule dans la distribution. Cela remet en cause les propositions de vieillissement à très haute température dans le sens où il n'est pas représentatif des mécanismes impliqués aux températures d'utilisation.

Les mécanismes mis en évidence pour les cellules intrinsèques ou les cellules extrinsèques aux températures inférieures à 200°C étant activés énergétiquement, nous avons proposé une accélération par illumination de la grille flottante. Nous avons étudié la transmission de l'ensemble couches de passivation – grille flottante et nous avons montré que plus de 10% de la puissance incidente atteignait l'interface grille flottante / oxyde de grille et était donc efficace pour « chauffer » les porteurs avant leur traversée de l'oxyde de grille, générant ainsi une accélération de la fuite.

Un vieillissement optique des populations de cellules précédemment analysées par voie thermique a été mené. Il est apparu une équivalence entre les distributions après vieillissement « optique » et thermique : des cellules définies extrinsèques par voie thermique le sont aussi par accélération optique. Cependant, un plus grand nombre de cellules défectueuses est détecté par voie optique. Cela est à rapprocher du fait qu'il a été montré que le nombre de cellules extrinsèques croît avec la durée du vieillissement thermique et peut signifier que le test optique mené est équivalent à un test thermique de durée supérieure à celle que nous avons utilisée.

Nous avons étudié la conduction dans les deux types de cellules. Il est apparu que les caractéristiques courant-tension indiquent un mécanisme de photo émission de champ dont les paramètres sont cohérents avec ceux obtenus lors de l'étude thermique. Le facteur d'accélération est plus élevé et dépend essentiellement de la longueur d'onde et de la puissance du rayonnement incident. Pour une longueur d'onde de 514,5 nm, un facteur d'accélération, pour une perte de charge de 15%, de 300 a été obtenu par rapport à un vieillissement à 300°C : un test optique de 20 minutes fournit donc la même perte de charges qu'un test thermique de 100 heures à 300°C. Dans le cas d'une longueur d'onde de 488 nm, ce facteur d'accélération est de l'ordre de 1200 comparé à un test thermique à 300°C. Cependant la durée du test optique nécessaire en vue de séparer cellules intrinsèques et extrinsèques n'est pas optimisée et est certainement inférieure aux valeurs précédentes.

Ainsi l'illumination des mémoires non volatiles à grille flottante comme mode d'accélération de la perte de charges lors d'un test d'évaluation de la rétention de donnée est une voie très intéressante pour réduire le temps de test dans des proportions importantes. La durée du test peut être réduite à la gamme de la minute voir de la seconde au lieu de milliers d'heures pour une accélération thermique. De plus, cette technique présente de nombreux avantages :

- au niveau de la validité du test, elle peut être menée à la température d'utilisation du produit, c'est-à-dire en évitant les guérisons de défauts durant le test qui ont été mises en évidence dans la littérature et les problèmes d'extrapolation de données,
- son implantation au niveau « prober » est aisée, de même que son introduction dans une séquence de test,
- le test est mené au niveau « plaquette », ce qui permet son application à 100% des cellules.

Nous avons appliqué ce test dans le cas d'une mémoire simple polysilicium ne présentant de métal ni sur la zone de grille ni sur la capacité de couplage.

Cette condition, étant réalisée dans le cadre d'une conception en vue du test, ne s'oppose en principe pas à l'application de l'accélération optique dans le cas des mémoires double polysilicium de type EEPROM ou Flash. Il conviendra cependant dans ce cas d'analyser le comportement de la perte de charges à travers l'ONO et de s'assurer de son caractère activable optiquement.

Au niveau des perspectives de ce travail, son objectif étant à terme très appliqué, il convient d'analyser les conditions d'implémentation du test. Cela fait appel à de nombreux éléments techniques liés à la puissance lumineuse, à la stratégie d'illumination, à l'introduction dans la séquence de test, à la conception d'un équipement et au coût.

De plus, en l'état actuel, en l'absence de loi d'extrapolation pour les cellules extrinsèques, le test permet seulement de discriminer entre cellules intrinsèques et extrinsèques. Cela est très pénalisant car certaines cellules extrinsèques peuvent avoir une rétention de données répondant aux spécifications, en particulier celles se trouvant en début de queue de distribution. Une analyse plus détaillée de leur comportement devrait permettre de définir une loi d'extrapolation autorisant un test moins sélectif.

Références bibliographiques

[1] B. Murari et al., “Smart Power IC’s Technologies and Applications”, Edition Springer 1995.

[2]B.J. Baliga, “The future of Power Semiconductor device Technology”, Proceedings of the IEEE, vol. 89, n°6 , p.822-832, ISSN:0018-9219.

[3] B. Murari, “Smart Power technologies evolution” , IEEE Industry Application Conference 2000, vol1, p.10-19.

[4] A.Feybesse, “Développement et optimisation par simulation de Transisor MOS verticaux de puissance adaptés au secteur automobile (batterie 42V)”, chap. 1 Thèse LAAS 2003.

[5]D. Kahng and S.M. Sze, “« A floating gate and its application to memory devices”, Bell Syst. Tech. J., vol.46, p.1288, 1969.

[6] R. Cuppens, C. Hartgring, J. Verwey, H. Peek, F. Vollebregt, E. Devens and I. Sens, “A EEPROM for microprocessors and custom logic”, IEEE J.Sol.St.Circ., vol SC-20, n°2, p.603, 1985.

[7] M.Ciao et al., “A simple EEPROM cell using twin polysilicon thin film transistors”, IEEE Trans. On Elect.Dev.Lett, vol.15, p.04, 1994.

[8] W.D. Brown, J.E. Brewer, “Nonvolatile semiconductor memory technology”, IEEE PRESS, New York, 1998.

[9] B. Euzent, N. Boruta, J. Lee and C. Jenq., “Reliability aspects of a floating gate EEPROM”, Proc. IRPS, p.11-16, 1981.

[10] R.H. Folwer, L.W. Nordheim., Proc Royal Soc.A.119, 173, 1928.

[11] J.J. O’Dwyer. “Theory of Electrical Conduction and Breakdown in solids Dielectrics”, Clarendon Press, Oxford, 1973.

[12] C. Chang, “Dissertation for degree of Doctor of Philosophy”, University of California, Berkeley, 18 December 1984.

[13] S.M. Sze, “Physics of semiconductor devices”, 2nd edition, J. Wiley, New York 1981.

[14] Z.A. Weinberg, “On tunneling in metal-oxide-silicon structures”, J. Appl. Phys. 53, 5052-6 (1982).

[15] J. Suné, M. Lanzoni, P. Olivo, “Temperature Dependence of the Fowler-Nordheim Injection from Accumulated n-Type Silicon into Silicon Dioxide”, IEEE Trans. On Elec.Dev., 40,5,p.1017,1993.

[16] B. Ricco, M. Fichetti, “Temperature Dependence of the Current in SiO2 in the high field tunneling regime”, J. App. Phys., 55(12),p.4322,1984.

[17] G. Pananakakis, G. Ghibaudo, R. Kies, C. Papadas, “Temperature dependence of the Fowler-Nordheim current in metal-oxide degenerate semiconductor structures”, Journal of Applied Physics, 78.2635,1995.

[18] M. Lenzlinger, E.H.Snow. “Fowler-Nordheim Tunneling into thermally Grown SiO2”, J.Appl.Phys., vol40, p.278, 1969.

[19] R.H. Good, W. Muller, “Field emission, hanbuch der Physik”, vol.21, Springer, Berlin 1956.

[20] G. Salace, A. Hadjadj, C. Petit, M. Jourdain, “Temperature dependence of the electron affinity difference between Si and SiO/sub 2/ in polysilicon (n/sup +/)-oxide-silicon (p) structures: Effect of the oxide thickness” Appl.Phys. 85, 11, p.7768, 1999.

[21] M.O. Aboelfotoh, “Schottky-barrier behavior of a Ti-W alloy on Si(100)”, J.Appl. Phys, 1 April 1987 61(7), p.2558-65.

[22] K.S. Kim, M.E. Lines et al. J. Appl. Phys., “Temperature dependence of chromatic dispersion in dispersion-shifted fibers: experiment and analysis”, 73(5), p.2069-74, 1993.

[23] D. Schoeder and al. “Physical of the barrier height temperature dependence in the metal-oxide-semiconductor leakage current models.” Appl.Phys. Lett. 82, 25, p.4510-4512.

[24] J.G. Simmons, Phys.Rev.Lett., 15, p.967,1965.

[25] H. Nozawa, S. Kohyama, “A thermoïonic electron emission model for charge retention in SAMOS structures”, Jap. J. Appl. Phys, 21(2), l111-112 1982.

[26] H. Nozawa, Y. Niitou, N. Matsukawa, J. Matsumaga et S. Kohyama, “Characteristic and reliabilityof the SEPROM cell”, IEEE Trans. On Electron Dev., ED-31,10,p.1413-1419,1984.

[27] T.H. Ning, H.N. Yu, “Optically induced injection of hot electrons into SiO2”, J.Appl.Phys 45 (12), p.5373-8,1974.

[28] D.J. Di Maria, D. R.Kerr, Appl. Phys.Lett. vol.27, p.505, 1975.

[29] H. Iizuka, F. Masuoka, T. Sato, M. Ishikawa, “Electrically alterable avalanche-injection-type MOS read only memory with stacked gate structure (SAMOS)”, IEEE Trans on Electron Dev., ED23,4,p.379-387,1976.

[30]Seok-Hee Lee, Byung-Jin Cho, Jong-Choul Kim, Soo-Han Choi “Quasi-breakdown of ultrathin gate oxide under high field stress”, IEDM 1994, p.605-608.

[31] R. Yoshikawa, N. Matsukawa, “EPROM and EEPROM cell structures for EPLD’s compatible with single poly gate process”, NVSM Workshop, 1986.

[32] J. Maszejian et N. Zamatsu, “Behavior of the Si/SiO2 intergace observed by F-N tunnelling” J.Appl.Phys. 53, p.559-567, 1982.

[33] P.Olivo et al. “High field induced degradation in ultrathin SiO2 films” IEEE Trans. On Elec. Dev., ED35, p.2259-2267,1988.

[34] Hemink, G.J.; Shimizu, K.; Aritome, S.; Shirota, R. “Trapped hole enhanced stress induced leakage currents in NAND EEPROM tunnel oxides”, p.117-121.

[35]D.J. Dumin et J.R.Maddux,”Correlation of stress-induced leakage current in thin oxides with trap generation inside the oxides,” IEEE Trans.Electron Dev. 40 p986, 1993.

[36] J.Maserjian et N.Zamatsu “Observation of positive charge state generation near the Si/SiO2 interface during F-N tunneling“ J.Vac.Sci.Technol. 20,p.743-746,1982.

[37] M.S.Liang, S.Haddad, W.Cox, S.Dagnina, “Degradation of very thin gate oxide MOS devices under dynamic high field/current stress” p.394 IEDM 1986.

[38] Kobayashi, K.; Teramoto, A.; Hirayama, M. “Electron traps and excess current induced by hot-hole injection into thin SiO2 films”IRPS 1995, p.168-176.

[39] N. Matsukawa, S. Yamada, K. Ameniya et H. Hazama “A hot hole induced low level leakage current in thin silicon dioxide films”, IEEE Trans. Elec. Dev. 43, p.1924-9, 1996.

[40] T.N. Nguyen, P. Olivo, B. Ricco, “A new failure mode of very thin (<50Å) thermal SiO2 films”, IEEE IRPS, p.66, 1987.

[41]P. Aptee et al, IEEE Trans on Electron. ED41,9, 1995.

[42] N.R. Mielke “New EPROM data loss mechanisms”21st Annual Proceedings on reliability physics, p.106-113, 1983.

[43]G. Crisenza, G. Ghidhini, S. Manzini, A. Modelli, M. Tosi “Charge loss in EPROM due to ion generation and transport in interlevel dielectric” IEDM 1990, p.107-10, 1990.

[44] S. Tanaka, J. Appl. Phys., 88,6,p.3629, 2000.

[45] E. Sakagami, N. Arai, H. Tsunoda, H. Egawa, Y. Yamaguchi, E. Kamiya, M. Takebuchi, K. Yamada, K. Yoshikawa, S. Mori, “The impact of intermetal dielectric layer and high temperature bake test on the reliability of nonvolatile memory devices”IRPS, p.359-67, 1994.

[46]R. Shiner, J.M. Caywood et B.L. Euzent”Data rentention in EPROMS”, IEEE IRPS 1980, p.238-43, 1980.

[47] P.L. Hefley, J.W. Mc Pherson, “The impact of an external sodium diffusion source on the reliability of MOS circuitry” IEEE IRPS,167-72, 1988.

[48]S.M. Gladstone et D.J. Dumin, “Thickness dependence of thin oxide wearout”, Sol.St. Electron. 42, n°3 p317-324, 1998.

[49] T. Nishida et S.E. Thompson, “Oxide field and thickness dependence of trap generation in 9-30nm dry and dry/wet/dry oxides” J. Appl. Phys. 69, p3986, 1991.

[50] K. Naruke, S. Taguchi et M. Wada, “Stress induced leakage current limiting to scale down EEPROM tunnel oxide thickness”, IEDM, p.424, 1988.

[51]B. De Salvo, G. Ghibaudo, G. Pananakakis, B. Guillaumot, G. Reimbold, “Study of stress induced leakage current by using high resolution measurements”, Microelect. Rel., 39(6-7) p.797-802, June-July 1999.

[52] M. Kimura, H. Koyama, “Stress-induced low-level leakage mechanism in ultrathin silicon dioxide films caused by neutral oxide trap generation”, IRPS 1994 p.167-72.
[53] D.A. Buchanan, A.D. Marwick, D.J. DiMaria, L. Dori, “Hot electron induced hydrogen

redistribution and defect generation in metal oxide semiconductor capacitors", J. Appl. Phys. 76, p.3595, 1994.

[54] R. Rofan, C. Hu, "Stress induced oxide leakage", IEEE Trans. Elect. Dev. 12, p.632, 1991.

[55]D.J. Dumin, J.R. Cooper, J.R. Maddux, R.S. Scoot, D.P. Wong, "Low-level leakage currents in thin silicon oxide films", J. Appl. Phys. (76), p.319-27.

[56] S. Takagi, N. Yauda, A. Toriumi, "Experimental evidence of inelastic tunnelling and new I-V model for stress induced leakage current", IEDM 1996 p.323-326, 1996.

[57] E. Rosenbaum, L.F. Register, "Mechanism of stress induced leakage current in MOS capacitors" IEEE Trans. Elec. Dev. 44, p317, 1997.

[58] S. Takagi, N. Yasuda, A. Toriumi, "A new I-V model for stress induced leakage current including inelastic tunneling", IEEE Trans. Elec. Dev. 46, p.348, 1999.

[59] S. Kamohara, D. Park, C. Hu, "Deep trap SILC model for nominal and weak oxides" IRPS 1998, p.57-61, 1998.

[60] B. Ricco, M. Azbel, M. Ya, M.H. Brodsky, "Novel mechanism for tunneling and breakdown of thin SiO2 films", Phys. Rev. Lett. 51, p.1795-8, 1983.

[61] R. Moazzami et C. Hu, "Stress-induced current in thin silicon dioxide films", IEDM 1992, p.139, 1992.

[62] B. De Salvo, "Etude du transport électrique et de la fiabilité des isolants des mémoires non volatiles à grille flottante", Thèse INPG 1999.

[63] M. Lanzoni et al., "Evaluation of EEPROM data retention by field acceleration" Qual. And Rel. Eng. Int July-Aug. 1991; 7(4): 293-7.

[64] A. Gehring et al., "Modeling of retention time degradation die to inelastic trap-assisted tunneling in EEPROM devices, Microelectronics Reliability 43 (2003) 1465-1500.

[65] H. Kameyama, Y. Okuyama, S. Kamohara, K. Kubota, H. Kume, K. Okuyama, Y. Manabe, A. Nozoe, H. Uchida, M. Hidaka, K. Ogura, "New data retention mechanism endurance stress on flash memory", IRPS 2000.

[66]D. Ielmini, A.S. Spinelli, A.L Lacaita, A. Modelli, "A statistical model for SILC flash memories", IEEE Trans Elect. Dev. Nov. 2002; 49(11): 1955-61.

[67]L. Montagner, "NVM Data Retention" Rapport interne Motorola, février 2001.

[68] "Non volatile semiconductor memory technology: a comprehensive guide to understanding and using NVSM device", IEEE Press 1998.

[69] R.M.Alexander,"Accelerated testing in FAMOS devices-8k EPROM", IRPS, p.229,1978.

[70]M. Herrmann, A. Schenk, “Field and high-temperature dependence of the long term charge loss in erasable programmable read only memories: measurements and modelling”, J. Appl. Phys., vol77(9), p.4522,1995.

[71] C.S. Pan et al., “High temperature charge loss mechanism in a floating gate EPROM with an ONO interpoly stacked dielectric”, IEEE Elect. Dev. Lett., vol12,n°12, p713,1991.

72] P.J. Kuhn, A. Hoefler, T. Harp, B. Hornung, R. Paulsen, D. Burnett, J.M. Higman, “A reliability methodology for low temperature data retention in floating gate non-volatile memories”, p.266-270 , IRPS 2001.

[73] D.J. DiMaria et M.V. Fischetti, “Vacuum emission of hot electrons from silicon dioxide at low temperatures”, J. Appl. Phys. 64 (9) 1988.

[74] D. Ielmini, A.S. Spinelli, A.L. Lacaita et A. Modelli, “A new two-trap tunneling model for the anomalous stress-induced leakage current (SILC) in Flash memories” Microelectronic Engineering, vol. 59, p.189-195.

[75] Y. Laghla, “Elaboration et caractérisation de couches minces de silicium polycristallin déposées par LPCVD pour application photovoltaïque”, Thèse LAAS soutenue en 1998 n° d’ordre 3038.

[76] A. Aboubacar, “Réalisation et études expérimentale des cathodes à réseaux de pointes en silicium pour émission de charges et photoémission de champ en régime continu et pulsé”, Thèse de l’Université Blaise Pascal-Clermont II, soutenue en 1993.

[77] A. Chbihi el Wahoudi, “Approche théorique de champ à partir de semiconducteur dégénéré cas des pointes de Silicium faiblement dopé P”, Thèse de l’Université Blaise Pascal-Clermont II soutenue en 1996.

[78] M. Boussoukaya “Electron sources”, LAL/RT 90-01, Janvier 1990.

La présence de mémoires non volatiles dans les circuits Smartpower a rendu indispensable le test systématique de la rétention de données sur 100% des composants. L'application des tests classiques sur de forts volumes a pour inconvénient d'allonger la durée de test. Ce travail présente un nouveau test de rétention de données de mémoires non volatiles. Dans une première partie, nous avons dressé l'état de l'art des défauts intrinsèques et extrinsèques de ces mémoires ainsi que de leurs tests de fiabilité. Puis nous avons étudié sur un lot d'ingénierie la rétention de données de la mémoire par les voies classiques du vieillissement thermique pour des températures allant de l'ambiante à 300°C sur une période de 7000h. Cette étude nous a permis de discriminer les cellules pour valider un nouveau test en rétention de données, dont la durée est considérablement raccourcie par rapport au test thermique. Ce test se comptera en seconde après optimisation et pourra être implanté en production.

New data retention test method for non volatile memories.

The introduction of non volatile memory in Smartpower circuits has made necessary systematic 100% die data retention test. Usual tests operated on high production volume increase drastically test time. In this work, we propose a new data retention test on non volatile memory. In a first part, we present a state of the art relative to intrinsic and extrinsic NVM defects and to reliability tests. In a second part, we studied thermal NVM data retention behaviour on engineering lot ranging from ambient temperature to 300°C during 7000h. This study allows cell discrimination to validate a new data retention test which time is strongly reduced compare to the thermal one: after optimisation phases, test time will be about few seconds and then will be implemented in production flow.

Discipline : Microélectronique

Mots clés : mémoire non volatile, fiabilité, rétention de données, test, vieillissement.

Thèse préparée au LAAS-CNRS, 7 avenue du Colonel Roche 31077 TOULOUSE Cedex 4