



HAL
open science

Nouvelles fonctions interrupteurs intégrées pour la conversion d'énergie

Christian Caramel

► **To cite this version:**

Christian Caramel. Nouvelles fonctions interrupteurs intégrées pour la conversion d'énergie. Micro et nanotechnologies/Microélectronique. Université Paul Sabatier - Toulouse III, 2007. Français. NNT : . tel-00160966

HAL Id: tel-00160966

<https://theses.hal.science/tel-00160966v1>

Submitted on 11 Jul 2007

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Année 2007

Thèse

Nouvelles fonctions interrupteurs intégrées pour la conversion d'énergie

Préparée au
Laboratoire d'Analyse et d'Architecture des Systèmes
du CNRS

En vue de l'obtention du
Doctorat de l'Université Paul Sabatier de Toulouse

Spécialité
Microélectronique

École doctorale
Génie Electrique, Electronique, Télécommunications

Par
Christian Caramel

Soutenue le 27 avril 2007 devant la Commission d'examen

Président	G.	Ablart
Rapporteurs	O.	Bonnaud
	J.C	Crébier
Examineurs	D.	Flores
	P.	Merle
	J.M.	Reynes
Directeurs de thèse	P.	Austin
	J.L.	Sanchez

Remerciements

Le travail présenté dans ce mémoire a été effectué au sein du groupe « Intégration de Systèmes de Gestion de l'Énergie » (ISGE) du Laboratoire d'Analyse et d'Architecture des Systèmes (LAAS) du CNRS à Toulouse.

Je souhaite exprimer mes remerciements à mon directeur de thèse, Jean-Louis SANCHEZ pour sa clairvoyance scientifique, son implication sans compter dans le groupe, le laboratoire et plus largement dans la communauté de l'électronique de puissance. Je tiens aussi à te remercier pour les idées échangées qu'elles soient scientifiques ou d'ordre plus métaphysiques. Je remercie également mon co-directeur, Patrick AUSTIN tout d'abord pour ses conseils en matière d'enseignement et l'appui qu'il m'a apporté spécifiquement dans ce domaine. Je te remercie aussi pour ta patience et les échanges d'opinions qui furent toujours, d'une manière ou d'une autre, enrichissants.

Je remercie Messieurs LAPRIE, GHALLAB et CHATILA, directeurs successifs du Laboratoire d'Architecture et d'Analyse des Systèmes du CNRS de Toulouse pour m'avoir permis d'effectuer cette thèse dans ce laboratoire d'excellence.

Je tiens à remercier Messieurs MARTINEZ et GRAFFEUIL directeurs successifs de l'école doctorale GEET. J'adresse des remerciements particuliers à Augustin MARTINEZ pour son implication dans le Réseau Doctoral en Microélectronique que j'ai eu le plaisir et la satisfaction d'animer en tant que représentant du pôle sud-ouest pendant près de 3 ans. Cette implication est une grande réussite de sa part.

Dans ce même cadre, je souhaite remercier Monsieur Alain CAZARRE tout d'abord pour m'avoir accueilli au sein du DEA Conception de Circuits Microélectronique et Microsystèmes, ensuite pour sa contribution annuelle au bon déroulement des Journées Nationales du Réseau Doctoral de Microélectronique (JNRDM) et enfin pour prendre la suite de Monsieur MARTINEZ dans la coordination nationale de ce réseau avec notamment l'entreprise de son ouverture à l'Europe.

Je remercie également Monsieur CHARITAT qui m'a accueilli dans le groupe Composants et Intégration de Puissance (CIP) lors de mon stage de DEA.

Je remercie tout autant Madame BAFLEUR qui dirige actuellement le groupe ISGE pour permettre à ses chercheurs et doctorants d'évoluer dans des conditions matérielles de travail optimales.

Je voudrais aussi remercier mes rapporteurs pour avoir accepté de prendre la responsabilité d'un tel travail. Monsieur BONNAUD pour ses corrections détaillées et méticuleuses et Monsieur CREBIER pour sa proximité et sa convivialité. Je remercie aussi tous les membres du jury, Messieurs RAYNES (rendez-vous à Prague en 2008), FLORES, ABLART, et MERLE pour le rôle indispensable qu'ils ont joué dans la réussite de cette aventure.

Au sein du groupe ISGE, je tiens à remercier Frédéric MORANCHO pour avoir joué un rôle essentiel dans mon entrée dans ce groupe de recherche lors de mon stage de maîtrise, mais aussi pour ses chroniques quasi-quotidiennes sur le septième art (oui, le foot, je ne suis pas fan). Karine ISOIRD pour m'avoir permis de la remplacer dans ses enseignements lorsqu'elle attendait un heureux événement (c'était certainement ma meilleure expérience d'enseignement). Nicolas NOLHIER pour ses conseils éclairés dès qu'il s'agit de croquer la Pomme (choisissez la bonne allusion quand même...). Magali BRUNET (River Dance), Abdelhakim BOUREN-

NANE (Baliga is back !), Christophe SALAMERO (le dernier cowboy moderne ?).

Je remercie aussi les collègues enseignants, Pierre FRETON, Neermalsing SEWRAJ, GABORIAU Freddy, Thierry CAMPS, Philippe MENINI, et j'en oublie.

Au sein du LAAS, les personnes qui m'ont aidé lors de différentes activités (scientifiques pour la plupart), Nicolas MAURAN (je veux l'équipe, mais en fluo), Eric IMBERNON (le Poulidor du quiz), Sandrine SOULEILLE (je peux pas, j'ai piscine), Jean-Pierre LAUR, l'équipe TEAM et l'équipe 2I. Une pensée particulière pour Christian BERTY : merci pour ta disponibilité, ta bonne humeur et ton amour de la culture occitane.

Je souhaite aussi remercier les collègues avec qui furent au moins un moment mes contemporains : Guillaume BONNET, Ghislain TROUSSIER, Olivier PERRAT, Stéphanie SANCHEZ, Sabine FOURMENT, Laurent RABBIA, William SANT, Frédéric VAN MEER, Emmanuel JORDANA, Jérôme LAUNAY (« tu vas voir à 130 le becquet se lève »), Pascal DUBREUIL (Coach incontesté), Ludovic SALVAGNAC, David BOURRIER, Patrick ABGRAL, Samuel CHARLOT.

Une pensée pour les actuels « étudiants » du groupe ISGE : Julie LEGAL (Miss Tarbes, non pas miss haricots Rodolphe...), Florence CAPY (in love with Carlos), Yann WEBER (« attendez, faut prendre une photo »), Loïc THEOLIER, Taoufik EL MASTOULI (mac partner), Wasim HABRA (alors, comment tu dis en Français ?..), Stéphane PETITBON (pas trop haut), Yuan GAO (bonbons à la viande), Aurore LUU.

Enfin je tiens à adresser une pensée particulière aux collègues avec qui j'ai passé le plus de temps et qui sont devenus de bons amis :

- Nicolas GUITARD (tennis coach exilé), sans oublier Anne et Paul (du même nom bientôt...)
- Nicolas LACRAMPE (futur docteur ès Salsa et Willy Waller 2006) ainsi qu'Aurélie.
- Rodolphe DEMAGLIE (docteur ès UT, ès salsa mais seulement à Prague, ès cake de régime) ainsi que Marlène (« Oups, qu'es ce que j'ai fait des clés... ? »).
- Jean-Baptiste SAUVEPLANE et Virginie.
- Maxime DUMONTEUIL (Bricol'boy) et Stéphanie.
- Jérôme BALLET (encore un nom à la ...).

À mes grands-parents

À mes parents

À ma famille et à tous ceux qui me sont Chers

Table des matières

Introduction générale	15
Chapitre 1	21
L'intégration au service de la fiabilité et de l'amélioration des performances.....	21
Introduction	23
1 L'intégration en électronique de puissance.....	23
1.1 Introduction	24
1.2 Intégration hybride	24
1.2.1 Modules de puissance standards.....	24
1.2.2 Modules de puissance intelligents (IPM)	25
1.3 Intégration monolithique	27
1.3.1 Intégration de type « Smart Power » et H.V.I.C	27

1.3.2	Intégration fonctionnelle.....	28
1.4	Synthèse	30
1.5	Futur de l'intégration	30
2	Problématique des interrupteurs monolithiques, compromis tenue en tension – état passant ...	35
2.1	Compromis tenue en tension – état passant.....	36
2.2	Tenue en tension et techniques de garde [15]	39
2.3	Structures unipolaires, évolutions.....	40
2.3.1	Utilisation de l'effet RESURF.....	40
2.3.2	Utilisation du principe des anneaux flottants : FLIMOS™	41
2.3.3	Effet « plaque de champ » dans la zone de drift (favoriser l'effet RESURF) ..	42
2.4	Structure bipolaire mixte : l'IGBT.....	45
2.4.1	Différents types et évolutions.....	45
2.4.1.1	<i>IGBT PT et NPT.....</i>	<i>45</i>
2.4.1.2	<i>IGBT à grille en tranchée.....</i>	<i>46</i>
2.4.1.3	<i>IGBT à couche N "Field Stop" (ou soft PT)</i>	<i>47</i>
2.4.1.4	<i>IEGT, CSTBT et HiGT.....</i>	<i>47</i>
2.4.2	Défaillances des IGBT.....	49
2.4.2.1	<i>Phénomène d'accrochage ou « Latchup » [41]</i>	<i>49</i>
2.4.2.2	<i>Le second claquage électrique [42].....</i>	<i>51</i>
2.4.2.3	<i>Le facteur thermique [15].....</i>	<i>52</i>
2.4.3	L'IGBT en condition de court-circuit	53
2.5	Conclusion.....	54
3	Problématique de la protection et du diagnostic	57
3.1	Généralités sur les protections.....	58
3.2	Intégration de fonctions d'aide au diagnostic	58
3.2.1	Capteurs intégrés de manière hybride.....	58

3.2.2	Capteurs intégrés monolithiquement	60
3.3	Intégration du circuit de commande et de la stratégie de protection ..	61
3.3.1	Intégration hybride	61
3.3.2	Intégration monolithique	62
3.4	Conclusion	64

Chapitre 2	65
------------------	----

Contribution à l'amélioration des performances dynamiques : Architecture faible pertes, Bi-IGBT	65
---	----

Introduction	67
--------------------	----

1 Pertes lors d'un cycle complet de commutation d'IGBT	67
--	----

2 Architecture faible pertes / Bi-IGBT	69
--	----

2.1 Topologie et fonctionnement	70
--	-----------

2.1.1 Présentation de l'architecture	70
--	----

2.1.2 Principe de fonctionnement	71
--	----

2.2 Structure discrète, validation par simulations analytiques.....	72
--	-----------

2.2.1 Validation du principe de fonctionnement	72
--	----

2.2.2 Validation de l'intérêt de l'architecture	75
---	----

2.3 Structure intégrée	77
-------------------------------------	-----------

2.3.1	Simulation aux différences finies	77
2.3.2	Réalisation technologique	81
	2.3.2.1 <i>Topologie</i>	81
	2.3.2.2 <i>Procédé technologique de fabrication</i>	82
2.3.3	Véhicule de test.....	89
	<i>Comportement statique mesuré</i>	90
	<i>Comportement dynamique mesuré</i>	91
2.4	Architecture faibles pertes et commande	94
2.5	Conclusion.....	95

Chapitre 3 97

Contribution à l'amélioration de la fiabilité: Intégration d'une fonction de protection contre les courts-circuits au sein d'un IGBT 97

Introduction 99

1 Protéger contre les courts-circuits en électronique de puissance..... 99

1.1 Généralités sur les conditions de court-circuit 100

1.1.1 Modes et types de court-circuit 100

1.1.2 Stratégies de protection et principes de détection des courts-circuits [47] 101

1.2 Etat de l'art des protections contre les courts-circuits..... 104

1.2.1 A partir d'une détection de surtension..... 104

(1991)→ *PIC IR 2125 d'International Rectifier™*[72]..... 104

	<i>(1998) → Structure de protection utilisant à la fois la désaturation et la détection de forts di/dt [73].....</i>	104
	<i>(2000) → Circuit de protection de IGBT latéraux [74].....</i>	105
	<i>(2002) → Circuit de protection discret à détection de désaturation combinant plusieurs types de protection [70]</i>	106
	<i>(2004) → Driver totalement intégré comportant une structure de protection contre les courts-circuits [75].....</i>	107
	<i>(2005) → Driver totalement intégré basé sur la détection de désaturation et sur le contrôle de la tension de grille [76].....</i>	108
1.2.2	A partir d'une détection de sur intensité.....	110
	<i>(1994) → Protection contre les courts-circuits utilisant un capteur de courant totalement intégrée [77]</i>	110
	<i>(1996) → Protection contre les courts-circuits et les conditions de surchauffe totalement intégrée [79]</i>	111
	<i>(2002) → Circuit de protection évolué intégré agissant sur la commande de grille [80]</i>	112
1.2.3	Fonctions de protections contre les courts-circuits intégrées basées sur un caisson P flottant.....	114
1.3	Conclusion.....	115
2	Structure de protection contre les courts-circuits intégrée.....	117
2.1	Introduction.....	118
2.2	Le capteur de tension d'anode (CTA) [83].....	118
2.2.1	Topologie et fonctionnement.....	118
	<i>2.2.1.1 Comportement Statique</i>	<i>119</i>
	<i>2.2.1.2 Comportement dynamique en charge.....</i>	<i>120</i>
2.2.2	Réalisation technologique et caractérisation.....	122
2.3	La structure de détection et de protection	126
2.3.1	Topologie et fonctionnement.....	126
2.3.2	Contraintes et optimisations de la structure de protection.....	129
	<i>2.3.2.1 Détermination des contraintes.....</i>	<i>129</i>
	<i>2.3.2.2 Optimisation de la tenue en tension des transistors M_d et M_c.....</i>	<i>129</i>

a)	Différences entre tenue en tension expérimentale et obtenue par simulation 2D.....	129
b)	Amélioration de la tenue en tension des transistors MOS	131
2.3.2.3	<i>Phénomène oscillatoire</i>	134
2.3.2.4	<i>Polarisation du substrat du transistor MOS de délai (Md)</i> ..	135
2.3.3	Paramètres de la structure de protection pour la validation par simulation 2D	137
2.3.4	Problématique d'intégration monolithique	139
2.3.4.1	<i>Mise en évidence des phénomènes parasites</i>	139
2.3.4.2	<i>Discussion sur la qualité d'isolation nécessaire</i>	142
2.3.4.2	<i>Techniques d'Isolation totale proposées</i>	143
a)	Murs traversants dopés P+	144
b)	S.O.I partiel.....	145
c)	S.O.N ou composants sur membrane	147
2.3.4.3	<i>Comparaison du comportement électrique des techniques d'isolation</i>	148
a)	Cas d'un court-circuit de type 1	148
b)	Cas d'un court-circuit de type 2	149
c)	Sur une charge purement résistive de 1000hms.....	151
2.3.4.4	<i>Conclusion</i>	151
2.4	Validation expérimentale	153
2.4.1	Transistor LDMOS	153
2.4.3	Diodes Zener.....	154
2.4.3	IGBT	155
2.5	Conclusion et discussion	157
	 Conclusion générale	 159
A.1	Annexe 1: Conditionnement et refroidissement des modules de puissance	167
A.1.1	La connectique pour relier électriquement et thermiquement.....	167
A.1.2	Stratégies spécifiques de refroidissement	169
A 2	Annexe 2 : Amélioration des caractéristiques dynamiques des composants MOS	173

*Si tu peux voir détruit l'ouvrage de ta vie
Et sans dire un seul mot te mettre à rebâtir,
Ou, perdre d'un seul coup le gain de cent parties
Sans un geste et sans un soupir;*

...

*Si tu sais méditer, observer et connaître
Sans jamais devenir sceptique ou destructeur;
Rêver, mais sans laisser ton rêve être ton maître,
Penser sans n'être qu'un penseur;*

...

*Alors, les Rois, les Dieux, la Chance et la Victoire
Seront à tout jamais tes esclaves soumis
Et, ce qui vaut mieux que les Rois et la Gloire,*

Tu seras un Homme, mon fils.

(Rudyard Kipling)

Introduction générale

L'énergie et les transports sont au centre des paradoxes de développement durable : tous deux sont indispensables au développement et à la croissance socio-économique, mais leurs évolutions actuelles vont de pair avec des risques inacceptables pour l'humanité : l'épuisement des ressources naturelles non renouvelables (notamment des combustibles fossiles) et la dégradation de l'environnement (notamment atmosphérique). Ajoutons à cela que 89% des ressources en énergie de la planète sont d'origine fossile et que la quasi-totalité de l'augmentation de la demande mondiale d'énergie primaire est majoritairement couverte, par des énergies à effets environnementaux majeurs : à 75 % par le pétrole, 18 % par l'énergie nucléaire, contre seulement 6 % par des énergies renouvelables. La recherche et le développement dans les domaines des énergies renouvelables propres est un des axes majeurs pour l'avenir de l'humanité. L'amélioration du rendement de la chaîne énergétique (création de l'énergie, transport de l'énergie, transformations successives, système consommateur) passe inévitablement par une amélioration du rendement de chacune des parties la composant. Le secteur du transport consomme 25% de l'énergie mondiale et utilise plus de la moitié du pétrole produit dans le monde. Les axes de recherche liés à l'utilisation d'énergies alternatives pour les moyens de transport sont d'une importance capitale (véhicules hybrides ou tout électriques), mais il sera vital pour l'avenir de modifier les modes de vie associés à l'utilisation de véhicules privés et à la consommation de l'énergie.

Les activités de recherche en électronique de puissance s'inscrivent parfaitement dans la perspective de ces changements devenus inévitables. La variété des dispositifs de l'électronique de puissance est telle (traction électrique, entraînements industriels, gestion du réseau de distribution, électroménager et domotique, automobile et appareils porta-

tifs) qu'ils interviennent à plusieurs niveaux sur la chaîne de traitement de l'énergie. Leur amélioration en termes de rendement constitue donc un facteur majeur pour la sauvegarde de l'énergie de la chaîne de traitement dans son ensemble. De plus cette diversité implique leur présence dans des domaines où la sécurité de fonctionnement et la fiabilité sont des facteurs essentiels (aéronautique, automobile, réseau de distribution...). Ces systèmes de l'électronique de puissance devront donc présenter une fiabilité élevée et pouvoir, selon les cas, assurer une permanence de fonctionnement même en cas de défaillance.

Parallèlement à ces considérations, une étude de l'iDATE révèle que l'on assiste actuellement à une diversification de l'Electronique Grand Public (E.G.P) nomade. Ainsi, nous participons quotidiennement à la multiplication des terminaux E.G.P individuels (téléphones multimédias, ordinateurs ultra-portables, consoles de jeux portables...). Bien que la quantité totale d'énergie consommée par les terminaux nomades ne soit pas en forte augmentation et que la tendance soit à la convergence numérique, les évolutions de l'E.G.P offrent plusieurs sortes de défis pour l'électronique de puissance : les besoins en stockage des terminaux E.G.P sont en croissance perpétuelle, les rapports autonomie/poids, résolution/poids, mémoire/autonomie ne cessent d'augmenter. Ceci entraîne une densification d'intégration de la puissance et des fonctionnalités de plus en plus nombreuses. L'évolution est donc à la réduction des dimensions ainsi qu'à la complexification des objets nomades. Nous avons assisté ces dernières années à une diminution importante de la taille de l'E.G.P nomade (citons par exemple les téléphones portables). Cette avancée était due à l'intégration de plus en plus compacte des convertisseurs de puissance et du stockage de l'énergie. Ce sont les progrès réalisés dans les procédés technologiques de fabrication qui ont rendu cette évolution possible et ont ouvert de nouvelles perspectives d'intégration. Aujourd'hui les progrès réalisés en termes de stockage de l'énergie, stockage des données, dans le domaine de la connectique, de l'interfaçage, de l'intégration de fonctions fiabilisantes, et de procédés technologiques permettent de prévoir, l'avènement de l'intégration 3D et l'entrée dans une gamme de compacité et de fiabilité grandement améliorée. Cela sera réalisé en améliorant l'autonomie ainsi qu'en développant la convergence du multimédia numérique.

Les travaux de thèse présentés dans ce manuscrit s'inscrivent dans plusieurs aspects des tendances actuelles d'évolution pour l'électronique de puissance. Ainsi, dans un premier chapitre, nous présenterons l'intégration en électronique de puissance et détaillerons les différentes voies

d'intégration existantes ainsi que celles qui émergent et constitueront notre futur. Nous aborderons la problématique des interrupteurs intégrés monolithiquement au travers notamment du compromis tenue en tension – état passant. Une partie détaillée sera consacrée à l'Insulated Gate Bipolar Transistor (IGBT), son évolution, ses défaillances et son comportement en court-circuit. Ce chapitre sera clôturé par l'étude de la problématique de la protection et du diagnostic relativement aux systèmes de puissance.

Dans le deuxième chapitre, nous présenterons notre contribution à l'amélioration du rendement d'un interrupteur de puissance présent dans un grand nombre de convertisseurs : l'IGBT. Nous étudierons une association de deux types d'IGBT aux caractéristiques différentes pour réaliser ce que l'on nommera « l'architecture faible pertes ». À l'aide de simulations analytiques, nous validerons l'intérêt de cette architecture grâce à l'étude des pertes en fonction de la fréquence. Nous montrerons ainsi qu'à partir d'une certaine fréquence, l'architecture que nous proposons devient la plus avantageuse en termes de rendement. Des simulations bidimensionnelles permettront d'appréhender l'intégration monolithique de cette architecture et d'en valider la faisabilité suite à l'étude des interactions en son sein. Nous terminerons ce chapitre par la description de la réalisation technologique d'un véhicule de test appelé Bi-IGBT. Nous en détaillerons de manière précise le procédé technologique de fabrication. La caractérisation de cette puce permettra de valider le concept proposé.

Dans un troisième chapitre, nous aborderons le thème « fiabilité des systèmes de l'électronique de puissance » au travers d'une de ses composantes : la protection contre les défaillances. Pour cela nous réaliserons l'étude de la protection des IGBT contre les conditions de court-circuit. Après avoir défini les modes et types de court-circuit ainsi que leurs principes de détection, nous présenterons la chronologie des solutions de protection existantes et en cours d'étude. Nous dévoilerons la solution de détection et de protection que nous proposons. Pour cela, nous réaliserons l'étude détaillée du composant sur lequel elle est basée : le Capteur de Tension d'Anode. Nous aborderons ensuite son optimisation et sa conception en vue de sa réalisation technologique au sein d'un procédé de fabrication d'IGBT standard. La phase de conception lèvera des problèmes d'isolation et nous mènera à repenser l'intégration monolithique de cette structure dans sa globalité. Nous proposerons trois solutions d'isolation pour rendre fonctionnelle la structure de détection et de protection. Ces solutions d'isolation déjà éprouvées pour la réalisation d'autres dispositifs en électronique de puissance seront comparées dans le cadre de la protection contre les courts-circuits. Nous montrerons que ces trois solutions permettent le bon fonc-

tionnement de la structure de détection et de protection et resterons critique vis-à-vis de la complexité technologique supplémentaire engendrée.

Chapitre 1

L'intégration au service de
la fiabilité et de
l'amélioration des
performances

Introduction

L'intégration des systèmes de puissance n'est pas une fin en soit. Elle relève d'une démarche volontaire qui vise à sécuriser et à rendre opérationnelles et plus performantes les fonctions de conversion de l'énergie tout en améliorant leur compacité et leur coût de fabrication. Ces fonctions interviennent dans la réalisation des convertisseurs de puissance présents dans les dispositifs électriques dès qu'un changement de gamme de puissance, de tension, de courant ou de fréquence intervient durant le transport et la gestion de l'énergie électrique. Cela peut être entre deux réseaux EDF de puissance différents, pour l'alimentation de trains et métros, dans les appareils de la vie courante connectés au réseau domestique ou nomades (téléviseur, chaînes hi-fi, automobiles, téléphones portables, etc...). Nous allons voir, au travers de l'état de l'art de l'intégration en électronique de puissance, comment les thèmes de recherche actuels visent à améliorer le rendement, la fiabilité et la compacité, et s'inscrivent dans une logique de développement durable et d'économie d'énergie.

1 L'intégration en électronique de puissance

- 1.1 Introduction
- 1.2 Intégration hybride
 - 1.2.1 Modules de puissance standards
 - 1.2.2 Modules de puissance intelligents (IPM)
- 1.3 Intégration monolithique
 - 1.3.1 Intégration de type « Smart Power » et H.V.I.C
 - 1.3.2 Intégration fonctionnelle
- 1.4 Synthèse
- 1.5 Futur de l'intégration

1.1 Introduction

En électronique de puissance, plusieurs modes d'intégration sont usuellement rencontrés. Ils sont tributaires de l'application et de la gamme de puissance visée. On distinguera l'intégration hybride de l'intégration monolithique. La première est caractérisée par l'association au sein d'un même module de plusieurs composants et/ou fonctions et la deuxième par l'association de plusieurs composants et/ou fonctions au sein d'un même cristal.

1.2 Intégration hybride

1.2.1 Modules de puissance standards

Les modules standards sont réalisés grâce à l'association en parallèle de plusieurs puces IGBT et diodes de roue libre. Cette association vise à obtenir des gammes de courant de grande valeur (jusqu'à 2000A). La figure 1 montre les deux types de boîtiers que l'on rencontre le plus fréquemment. La figure 1.a présente une image d'un boîtier isolé ainsi qu'une vue intérieure de ce type de boîtier. L'isolation obtenue atteint les 9,5kV. Son principal inconvénient provient de la présence de nombreuses soudures qui les rendent sensibles aux contraintes thermiques auxquelles ils sont soumis [1]. Un boîtier de type « Press-pack » et sa vue en éclaté sont présentés figure 1.b. Le principal avantage de ce type de boîtier est de pouvoir être refroidi par les deux faces. De plus, en utilisant la technologie d'eau desionisée, un refroidissement direct sans l'ajout d'aucune résistance thermique est rendu possible. Ce type de boîtier n'utilise pas de soudure, sa fiabilité s'en trouve donc grandement améliorée. On rencontre usuellement ces deux types de conditionnement dans les applications haute puissance telle que la traction ferroviaire [2]. Cependant, même si la solution Press-pack est bien éprouvée pour les composants discrets fort courant et donc de surface importante (de type GTO), elle a eu du mal à s'imposer pour des modules IGBT multi-puces du fait de son coût plus élevé et de sa complexité de mise en oeuvre.

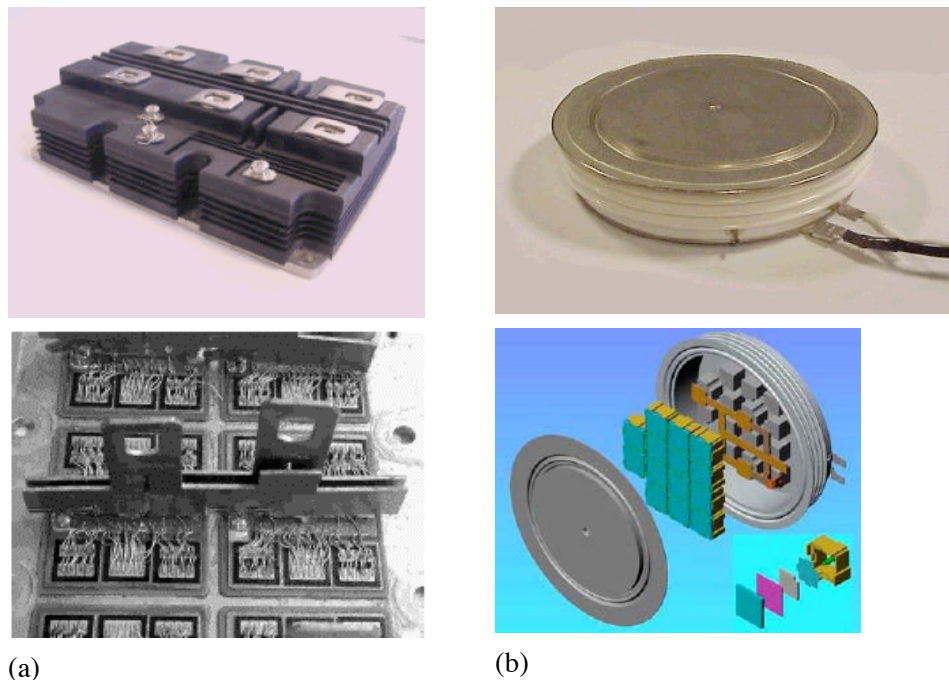


Figure 1 Module IGBT 6,5kV 600A (a) et 4,5kV 1500A (b)

1.2.2 Modules de puissance intelligents (IPM)

Les modules de puissance dits « intelligents » sont rencontrés de plus en plus fréquemment. Ils sont l'aboutissement de l'intégration dans un même boîtier de plusieurs fonctions autour de la fonction principale de commutation. La figure 2 présente un exemple de module intelligent. Il est utilisé au sein d'un stator de machine à induction dans une automobile à motorisation hybride [3]. Il intègre en son sein un capteur de courant ainsi qu'un système de refroidissement. Ces éléments de contrôle et de protection lui confère le caractère de module intelligent.

Les activités de recherche les plus récentes en matière d'intégration en électronique de puissance visent à l'élaboration de Modules d'Electronique de Puissance intégrés avec une haute densité d'intégration [4]. La particularité de ces modules dits HDI (Hight Density Integration) est d'associer au sein d'un même module des composants dédiés à la commutation, des composants spécifiques visant à réduire l'émission d'ondes électromagnétiques ainsi que des capteurs de courant et de température et leur logique associée. De plus, en préférant la technique de « bump » à celle plus classique de soudure, la fiabilité du système sera grandement améliorée. Le refroidissement de ces modules sera assuré par les deux faces. La figure 3 représente la vue en coupe générique de ce que

peuvent être les modules à haute densité d'intégration. Le développement de ces modules constitue un axe de recherche fort du Department of Electrical Engineering Institute Polytechnic de Virginie aux Etats Unis.

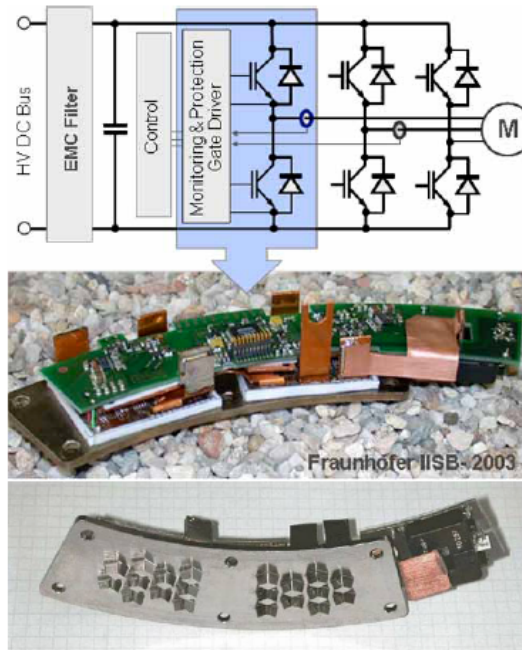


Figure 2 Module de puissance intelligent avec capteur de courant intégré et refroidissement liquide direct (IGBT 600V 300A)

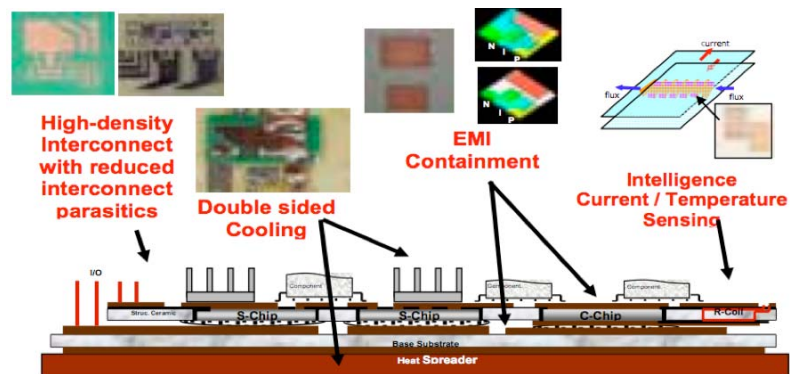


Figure 3 Module de puissance à haute densité d'intégration

1.3 Intégration monolithique

Les circuits de contrôle et de commande des composants de puissance modernes sont de plus en plus complexes. Ils associent en plus de la fonction de commande principale de nombreuses fonctions complémentaires visant à améliorer la fonctionnalité et/ou la fiabilité des composants de puissance. L'intégration dans le même volume de silicium de ces fonctions simplifie grandement la conception des circuits de puissance et augmente considérablement la gamme des applications potentielles. Nous distinguerons deux approches qui se différencient par stratégie d'intégration et par leur technologie de réalisation : la technique « Smart Power » et H.V.I.C d'une part et l'Intégration Fonctionnelle d'autre part. Dans ce paragraphe, nous allons présenter succinctement ces deux approches.

1.3.1 Intégration de type « Smart Power » et H.V.I.C

L'intégration « Smart Power » consiste à réaliser dans le même cristal des composants de puissance (haute tension) et des composants de commande de type circuit intégré (basse tension). Ces composants étant de gamme de tension différentes, ils sont isolés soit par jonction, soit par diélectrique. Une autre appellation d'intégration utilise le même principe, il s'agit des H.V.I.C. (High Voltage Integrated Circuits). Rappelons qu'à l'origine, le nom de « Smart Power » était l'appellation commerciale donnée par Motorola©. Par la suite, elle désigne l'intégration réalisée autour de d'interrupteurs verticaux. En revanche, l'appellation H.V.I.C se distingue par le fait qu'elle est utilisée dans la mise en parallèle d'interrupteur latéraux. La figure 4 présente une vue de dessus d'un driver HVIC moderne d'un système de conversion de puissance triphasé [5].

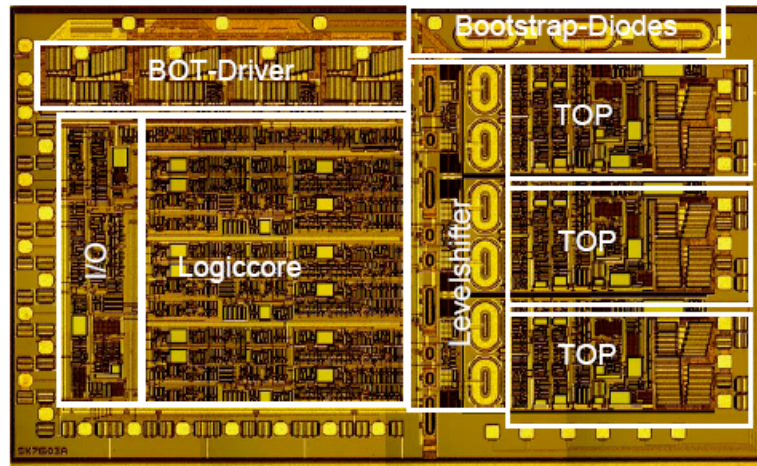


Figure 4 Vue de dessus du driver HVIC

1.3.2 Intégration fonctionnelle

L'intégration fonctionnelle, quand à elle, est basée sur l'agencement judicieux de différentes couches de matériaux semi-conducteurs qui permet la réalisation de nouveaux composants et/ou de nouvelles fonctions. C'est l'exploitation du process technologique du composant de puissance (en ajoutant éventuellement quelques étapes spécifiques) qui permet d'obtenir des fonctionnalités supplémentaires pour générer des architectures semi-conductrices novatrices permettant d'utiliser ou d'exacerber des interactions électriques au sein même du cristal semi-conducteur. Citons l'exemple bien connu du thyristor qui est réalisé à partir de la mise en commun de la région de base de deux transistors bipolaires complémentaires et non de l'association discrète de ces deux mêmes transistors. Des exemples marquants d'applications du mode d'intégration fonctionnelle ont permis la réalisation pour la première fois de manière monolithique de la fonction « thyristor dual ». Cette fonction n'était jusque là réalisée que par l'association hybride de composants de puissance [6]. La figure 5 présente une vue en coupe schématique de l'intégration monolithique de la fonction thyristor dual. Par la suite, l'intégration monolithique d'une fonction microdisjoncteur a été proposée en complément de la fonction thyristor dual dans le but de réaliser un auto-amorçage sans fuite [7]. Cette structure est basée sur l'association au sein du même substrat de deux IGBT à canaux préformés ainsi que d'un transistor PMOS à canal préformé. La figure 6 présente la réalisation technologique et les caractéristiques électriques d'une fonction auto-amorçable et auto-blocables : le microdisjoncteur, réalisée au LAAS/CNRS. Notons que ces réalisations sont rendues

possibles par la filière technologique flexible développée sur la plate-forme technologique du LAAS/CNRS [8].

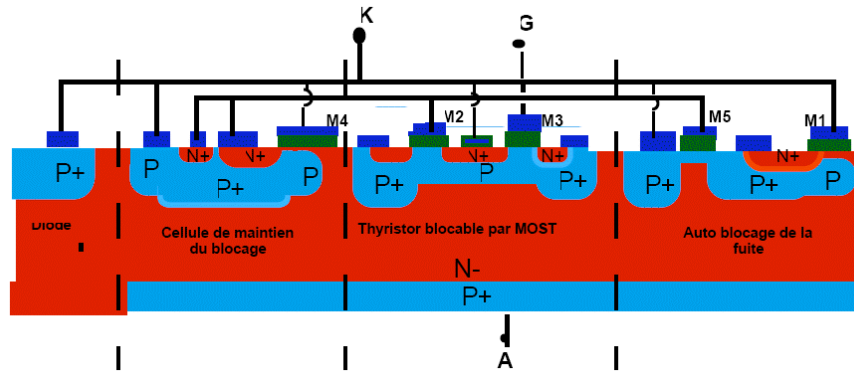


Figure 5 Coupe schématique de l'intégration monolithique de la fonction « thyristor dual »

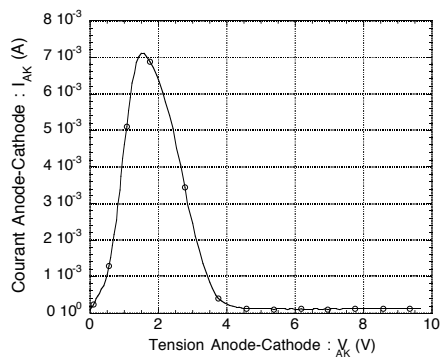
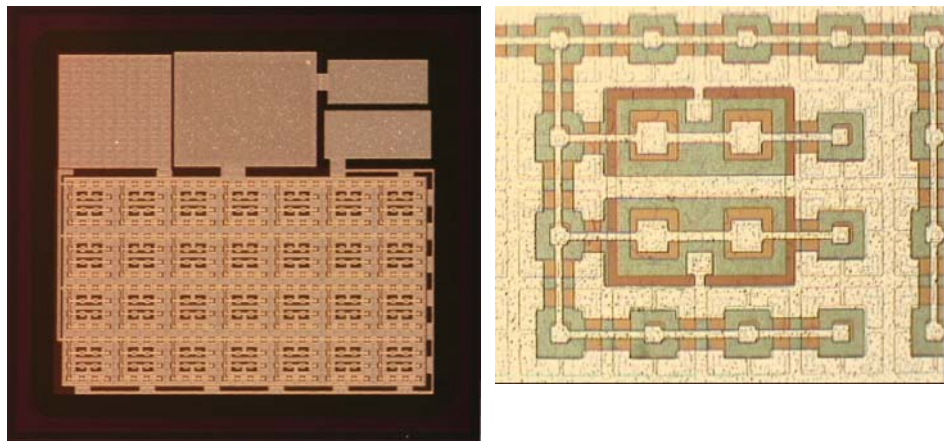


Figure 6 Vue de dessus de la réalisation technologique et caractéristique électrique de la fonction microdisjoncteur réalisée au LAAS/CNRS

1.4 Synthèse

Le tableau 1 permet de classer les différents types d'intégration en électronique de puissance en fonction de leurs gammes de courant et de tension et des grands domaines d'application.

Modes d'intégration	Gammes de courant et de tension	Applications usuelles
Intégration Hybride	$I > 100\text{A}$ et $V < 6,5\text{kV}$	Traction ferroviaire Alimentations industrielles
Intégration Monolithique :		
• Intégration fonctionnelle	$I < 50\text{A}$ et $V < 3,3\text{kV}$	Domotique, automobile
• « Smart Power » et HVIC	$I < 10\text{A}$ et $V < 1000\text{V}$	Téléphonie mobile, automobile

Tableau 1 Classification des modes d'intégration

1.5 Futur de l'intégration

Les modules de puissance à haute densité d'intégration (H.D.I), et plus précisément ceux présentés au paragraphe 1.2.2, préfigurent déjà ce que pourra être l'intégration en électronique de demain. En effet, la voie à l'intégration 3D est ouverte. Les progrès réalisés en matière de connectique et de refroidissement (cf. Annexe 1), l'intégration de ces techniques au sein même du silicium, promettent pour l'avenir de l'intégration une compacité accrue grâce à une exploitation évoluée de la troisième dimension.

Un exemple récent d'intégration 3D du refroidissement au sein même du système de puissance est donné figure 7. Il s'agit d'un convertisseur DC/DC 70kW pour application véhicule hybride. Il est évident que dans le cas d'un véhicule hybride, l'encombrement global du système était un facteur des plus limitant. C'est pour cela que pour cette application, une intégration 3D très élaborée a été choisie [9].

Cette démarche d'intégration doit également prendre en compte les modifications à apporter au niveau du composant. Les interrupteurs de puissance dont la commande et la protection sont aujourd'hui réalisés par des composants séparés du composant semi-conducteur de puissance peuvent bénéficier d'avancées technologiques acquises dans le domaine de la microélectronique et des microsystèmes. Dans de nombreux cas, les fonctions de commande et de protection pourraient être améliorées en intégrant

une partie de ses éléments avec le composant de puissance. Cette répartition permet de grouper tous les éléments haute tension avec le composant de puissance, comme l'illustre de manière conceptuelle la figure 8. Il devient ainsi possible d'utiliser au mieux la surface délimitée par les terminaisons de jonction réalisées pour améliorer la tenue en tension du composant de puissance. La partie traitement du signal pourra ensuite être réalisée sur une autre puce en utilisant les technologies CMOS et BiCMOS les plus avancées. Cette stratégie permet ainsi d'optimiser les potentialités des deux familles technologiques et de placer les éléments stratégiques de commande et de protection au plus près de l'élément à commander et à protéger. Des travaux réalisés au L.E.G et au LAAS illustrent déjà cette voie [10-12].

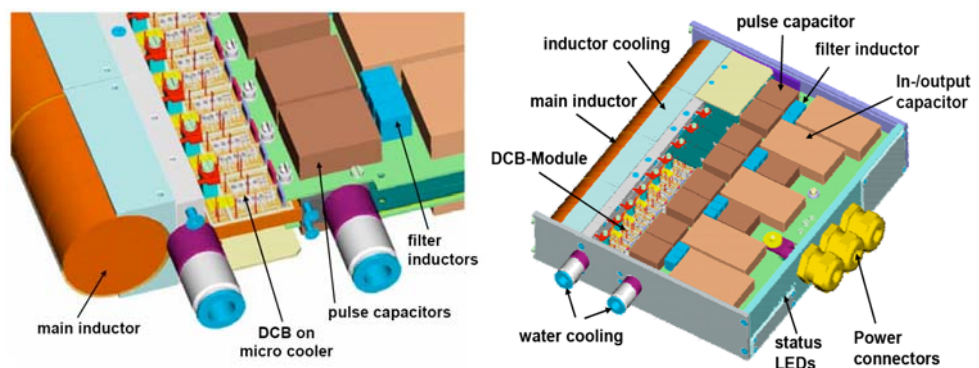


Figure 7 Refroidissement à eau intégré pour un convertisseur DC/DC 70kW

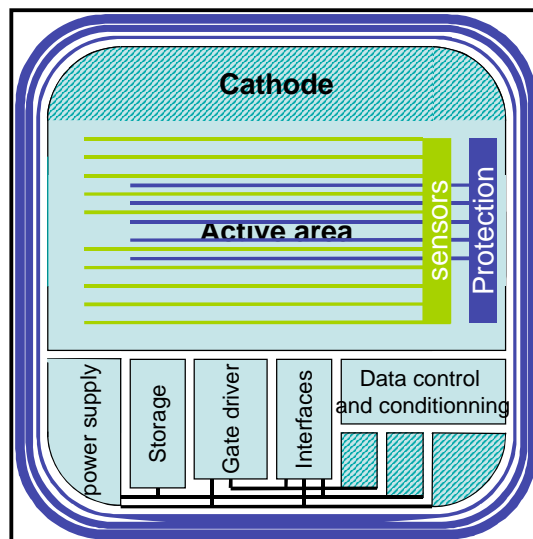


Figure 8 Concept d'intégration des fonctions de commande et de protection avec le composant de puissance

De nombreuses fonctions pourront à terme être intégrées avec le composant de puissance. Leur intégration nécessite le développement d'étapes technologiques spécifiques compatibles avec la technologie de base du composant de puissance. La figure 9 illustre le lien qui existe entre l'évolution des fonctions intégrables et le développement d'étapes technologiques spécifiques. Cette stratégie suit les développements d'une filière technologique flexible développée ces dernières années [8].

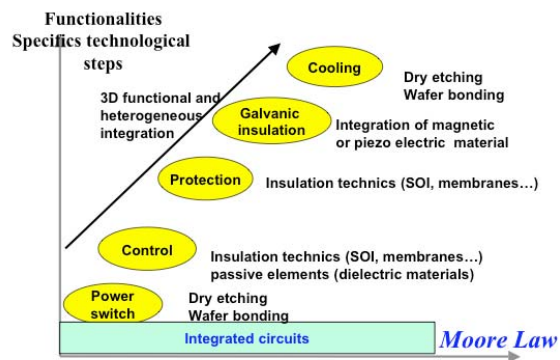


Figure 9 Evolution des fonctions intégrables liée au développement d'étapes technologiques spécifiques

Nous pouvons donner pour exemple des fonctions de commande ou de protection dont la réalisation est basée sur des transistors MOS à canaux préformés. Cette réalisation nécessite une étape technologique spécifique d'implantation ionique à travers le silicium polycristallin de la grille. La réalisation de cellules MOS sur les deux faces de la plaque impose le développement de photolithographie double face ou une étape spécifique de collage (wafer bonding). La bidirectionnalité en tension ou l'échange d'informations relatives à la commande entre les deux faces peuvent être assurées grâce à la réalisation de vias ou de murs traversants la plaque de silicium. Ces nouvelles fonctionnalités peuvent aujourd'hui être envisagées grâce à la maîtrise de procédés de gravure profonde du silicium, de dépôts CVD (Chemical Vapor Deposition) ou LPCVD (Low Pressure Chemical Vapor Deposition), de dépôts électrochimiques développés pour la réalisation de microstructures et microsystèmes. De nouvelles fonctionnalités de stockage, d'isolation, de transmission de commandes isolées feront intervenir des matériaux diélectriques, magnétiques, ferroélectriques ou piézo-électriques externes aux filières silicium classiques. Ces étapes spécifiques devront être intégrées dans les procédés de fabrication des compo-

sants de puissance. Ainsi, le développement de fonctions interrupteurs de puissance innovantes sera basé sur l'optimisation de filières flexibles constituées, d'une part d'étapes de base permettant la réalisation du cœur de la fonction correspondant au composant de puissance proprement dit, et d'autre part d'étapes technologiques spécifiques compatibles avec les étapes de base qui permettront d'intégrer de nouvelles fonctionnalités (figure 10).

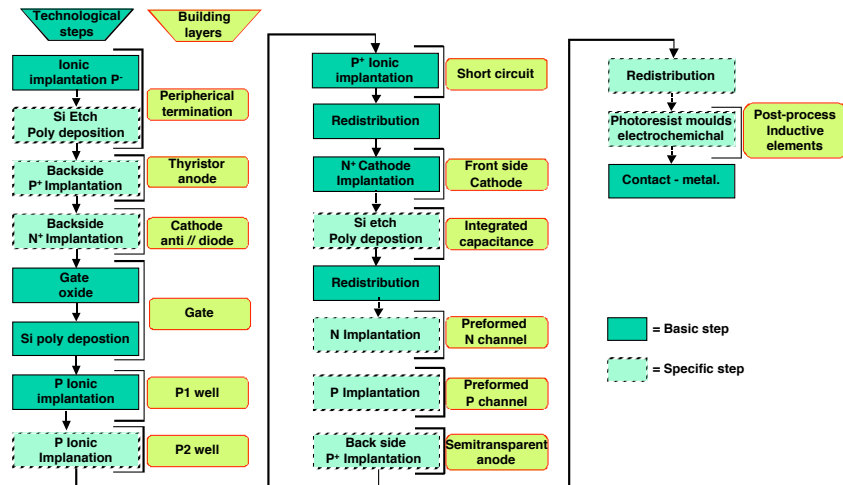


Figure 10 Filière technologique flexible réalisée au LAAS/CNRS. Ce chronogramme est composé d'étapes de base de réalisation d'un composant de puissance conventionnel ainsi que d'étapes additionnelles pour réaliser des composants spécifiques (canaux préformés N et P, anode semi-transparente...)

L'objectif sur le long terme est d'intégrer l'ensemble de la fonction interrupteur, c'est à dire le composant de puissance, sa commande, sa protection, et peut-être même son refroidissement en utilisant des technologies de fabrication collective. Cette fonction interrupteur sera certainement réalisé avec l'association de plusieurs puces dont l'assemblage sera effectué au niveau de la plaque de silicium (wafer level packaging). Dans le futur, l'interrupteur intégré sera donc un objet 3D hétérogène à l'image de certains microsystèmes développés aujourd'hui.

2 Problématique des interrupteurs monolithiques, compromis tenue en tension – état passant

- 2.1 **Compromis tenue en tension – état passant**
- 2.2 **Tenue en tension et techniques de garde**
- 2.3 **Structures unipolaires, évolutions**
 - 2.3.1 Utilisations de l'effet RESURF
 - 2.3.2 Utilisation du principe des anneaux flottants : FLIMOS™
 - 2.3.3 Effet « plaque de champ » dans la zone de drift (favoriser l'effet RESURF)
- 2.4 **Structure bipolaire mixte : l'IGBT**
 - 2.4.1 Différents types et évolutions
 - 2.4.2 Défaillances de IGBTs
 - 2.4.3 L'IGBT en condition court-circuit
- 2.5 **Conclusion**

La volonté d'améliorer les performances et la fiabilité d'un système de puissance serait incomplète sans considérer celle du composant de puissance élémentaire lui-même. Nous allons donc voir dans ce paragraphe les différentes manières déjà éprouvées ou en cours d'étude pour réaliser des composants de puissance aux performances et à la fiabilité accrues.

2.1 Compromis tenue en tension – état passant

La tenue en tension des dispositifs de puissance est limitée, de manière générale, par le claquage par avalanche d'une jonction métallurgique. Lorsque la tension aux bornes d'une jonction P/N polarisée en inverse augmente, la zone de charge d'espace (ZCE) s'étend également. Lorsque le champ électrique dans cette ZCE atteint une valeur critique (approximativement 10^5V.cm^{-1}), un porteur minoritaire qui atteint les limites de la ZCE est accéléré très fortement (de l'ordre de la vitesse limite). Lors de chocs de ces électrons de forte énergie cinétique avec les atomes du réseau cristallin, ces atomes vont être ionisés libérant une paire électron-trou. Le nombre de porteurs libres augmente et le phénomène se reproduit avec le porteur initial et les porteurs créés par le choc ionisant. On parle ainsi de multiplication par avalanche. D'une manière générale, le claquage par avalanche correspond à la tenue en tension des dispositifs de puissance et peut être explicité grâce à l'équation empirique ci-dessous :

$$V_B \cong 1850 \cdot \left(\frac{10^{14}}{N_D} \right)^{3/4}$$

Equation 1 Tenue en tension en fonction du dopage N_D supposé constant (en respectant l'hypothèse de non limitation de la charge d'espace)[13]

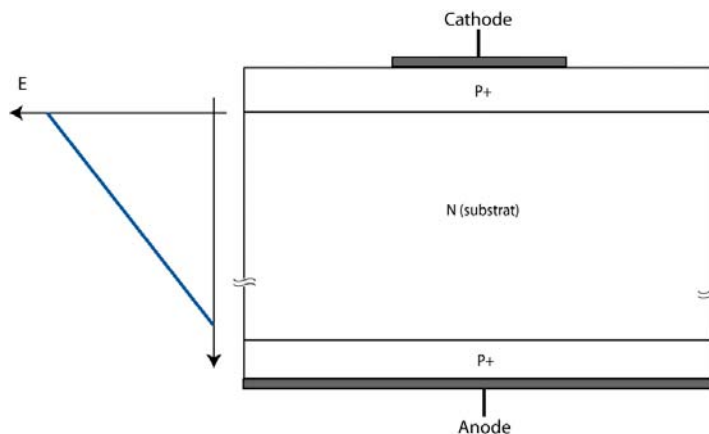
La tenue en tension correspond à la circulation du champ électrique dans la ZCE, c'est-à-dire à l'aire définie par son profil. Ce dernier dépend de l'épaisseur et du dopage de la région de base. En effet, au regard des niveaux de dopage d'une jonction (P+/N-), l'excursion de la ZCE des cotés les plus fortement dopés peut être négligée. La résistance à l'état passant d'un dispositif est principalement déterminée par l'épaisseur de la base et par la concentration de porteurs libres présents dans celle-ci. Cette concentration dépend du niveau de dopage N_D et des éventuels porteurs en excès. Elle peut être exprimée par la relation donnée par l'équation 2. La diminution de la résistance à l'état passant afin de réduire les pertes en conduction passe donc par une augmentation du dopage N_D . Cette augmentation est en contradiction avec l'obtention d'une gamme de tenue en ten-

sion plus élevée (équation 1). Ce constat est couramment appelé dans le domaine des composants de puissance, le compromis tenue en tension - résistance à l'état passant.

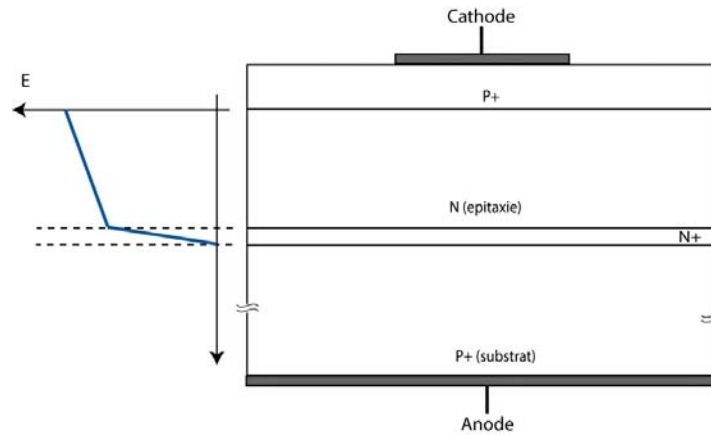
$$R = \frac{W}{e \cdot \mu_n \cdot n}$$

Equation 2 Résistance de la zone de base en fonction de son épaisseur (W), et $n=N_D+n^*$ (N_D :dopage supposé constant, n^* :porteur injectés par une ou deux jonctions); e étant la charge élémentaire d'un électron ($=1.6 \cdot 10^{-19}$ C) et μ_n la mobilité des porteurs majoritaires [13]

De nombreuses activités de recherche ont porté et portent encore à l'heure actuelle sur l'amélioration de ce compromis. Comme nous venons de la voir, il est peu favorable de jouer sur le niveau de dopage. Par contre, il existe une technique de confinement du champ électrique permettant de réduire la profondeur de la base sans dégrader de manière significative la valeur de la tenue en tension. Cette technique est basée sur l'introduction d'une couche N+ dont le rôle est de biseauter le profil du champ électrique (figure 11) dans des structures où la profondeur de la région de base est réduite. Ce type de configuration est appelé « limitation de charge d'espace » (PT). Le champ électrique critique autorisé au moment du claquage par avalanche peut donc être supérieur à celui existant dans une structure sans limitation de charge d'espace (NPT). En effet, l'initiation du claquage par avalanche dépend de la profondeur de la zone de charge d'espace et de la valeur du champ critique. Il est ainsi possible, avec cette technique, d'obtenir une bonne tenue en tension avec une résistance à l'état passant réduite (il faudra cependant veiller à conserver une efficacité d'injection importante).



(a)



(b)

Figure 11 Comparaison des répartitions de champ électrique pour des structures NPT (a) et PT (b)

Pour des raisons technologiques, les premiers composants à semi-conducteurs de puissance étaient de type bipolaire (transistor bipolaire, diode) avec les avantages et les inconvénients qui leurs sont propres (temps de commutation, commande en courant). Les progrès technologiques ont permis d'adapter la technologie MOS aux structures de puissance par l'intermédiaire du développement du VMOS planar et un peu plus tard du VDMOS. Pour cette catégorie de composants unipolaires, des approches complémentaires permettant d'améliorer le compromis tenue en tension – résistance à l'état passant ont été élaborées. Il a été par exemple proposé d'augmenter la densité d'intégration par modification de la topologie du canal dans les structures VDMOS, ou par le développement de nouvelles structures de type trench. La figure 12 présente les évolutions pour différents dispositifs unipolaires de la conductance à l'état passant par unité de surface en fonction de la tenue en tension [14]. L'analyse de cette figure montre clairement que, quelle que soit la technologie utilisée, les composants unipolaires sont peu compétitifs en terme d'amélioration du compromis au-delà de 300V. En effet, la conductance diminue de plus d'une décade à partir de cette valeur de tenue en tension pour finir par être tangente à une limite appelée limite du silicium décrite par l'équation 3.

$$R_{ON} \propto V_{BR}^{2,5}$$

Equation 3 Définition usuelle de la valeur limite de la résistance à l'état passant en fonction de la tenue en tension, limite du silicium

A partir de cette limite en tension, des efforts ont été menés pour associer les avantages en terme de conduction des structures bipolaires aux structures unipolaires. L'IGBT est le composant qui représente le mieux cette évolution qui avec l'ajout à l'anode d'un caisson P+ autorise une augmentation de la conductivité de la région de base. Cependant, si cette modulation permet d'améliorer l'état passant, les charges introduites dans la base sont préjudiciables au comportement dynamique. En effet, lors de l'ouverture des composants à modulation de conductivité, l'annulation totale du courant n'est possible que lorsque toutes les charges présentes dans la base sont évacuées. Dans ce cadre des structures bipolaires, la problématique (tenue en tension – état passant) mute en un compromis (état passant – comportement dynamique). Une solution sera proposée pour améliorer ce dernier aspect dans le chapitre 2.

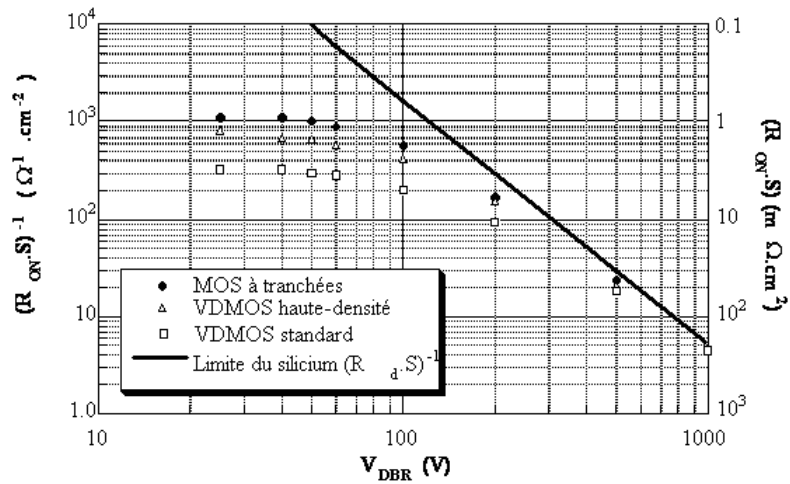


Figure 12 Conductance par unité de surface en fonction de la tenue en tension pour différents composants unipolaires

2.2 Tenue en tension et techniques de garde [15]

Les études théoriques définissant la tenue en tension des jonctions planes infinies, bien que précises et éprouvées, ne donnent pas une image réelle de celle des composants de puissance. En effet, la tenue en tension est considérablement dégradée en raison de l'apparition des courbures de jonctions inhérentes à la diffusion des éléments dopants. Ces effets sont inhibés dans les structures multicellulaires en raison du phénomène d'autoblindage. Par contre, pour les cellules périphériques, l'utilisation de techniques de garde est nécessaire pour obtenir une tenue en tension qui se rapproche de la valeur théorique de la jonction plane infinie. Le rôle prin-

principal des techniques de garde citées ci-dessous est d'étaler les lignes de potentiel.

- Techniques utilisant l'Effet RESURF
- Techniques utilisant l'effet plaque de champ
- Extension de jonction (J.T.E)
- Anneaux de garde flottants

Nous allons voir par la suite comment les effets utilisés par ces techniques sont transposés dans l'amélioration du compromis tenue en tension – état passant des composants de puissance actuels.

2.3 Structures unipolaires, évolutions

Plus récemment, les techniques citées précédemment, ont été appliquées à la zone centrale N⁻ des composants de puissance afin de modifier la répartition du champ électrique. Cette répartition de type 3D permet d'obtenir une variation de la résistance à l'état passant proportionnelle à la tenue en tension (équation 4).

$$R_{ON} \propto V_{BR}$$

Équation 4 Relation de proportionnalité entre la résistance à l'état passant et la tenue en tension dans les cas de répartition 3D du champ électrique de la zone de base N⁻

2.3.1 Utilisation de l'effet RESURF

L'idée d'utiliser l'effet RESURF de manière démultipliée a été présentée pour la première fois en 1993 et 1995 au travers des brevets [16, 17]. L'objectif est d'améliorer la tenue en tension sans dégrader la résistance à l'état passant. Le principe est basé sur l'imbrication de deux couches semi-conductrices N et P de manière interdigitée. Ainsi, sous polarisation inverse, les zones en regard se trouvent déplétées simultanément. Ce type d'agencement est aussi appelé *SuperJonction*. Dans un premier temps, un effet RESURF latéral dans chaque bande semi-conductrice apparaît pour de faibles niveaux de tension. Dans un deuxième temps, pour une polarisation plus élevée, les ZCE de chaque zone se rejoignent et l'effet RESURF devient vertical. Il en résulte une tenue en tension accrue. Cette technique a pour inconvénient de doubler la surface de silicium pour une densité de courant donnée. Par contre, elle autorise des dopages de la région de drift plusieurs décades au-dessus des techniques conventionnelles et permet

donc d'obtenir une résistance à l'état passant plus faible. Les applications possibles de cette technique aux structures bipolaires, unipolaires, verticales et latérales on été présentées par Fujihira [18] en 1997. La première structure commerciale utilisant ce principe fut le COOLMOS™ vertical [19]. La figure 13 montre deux exemples récents de dispositifs utilisant l'effet RESURF : à gauche un LDMOST à super jonctions compatible avec un process CMOS [20] et à droite un MOS utilisant des motifs STI compatible CMOS [21].

Les derniers dispositifs réalisés présentés dans l'état de l'art font état des couples ($R_{ON} - V_{BR}$) suivants :

- 2,66mΩ.cm² - 87,5V pour le LDMOST intégré dans un process CMOS.
- 20mΩ.cm² - 660V [22]
- 15,5mΩ.cm² - 680V [23]
- 0,17mΩ.cm² - 30V [24]

Notons que les trois derniers sont des MOS à super jonction verticaux.

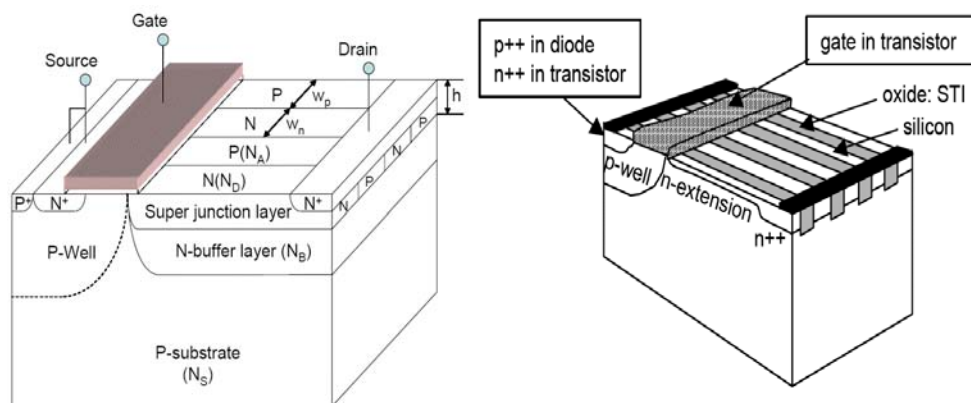


Figure 13 Exemples de MOS de puissance récents utilisant l'effet RESURF

2.3.2 Utilisation du principe des anneaux flottants : FLIMOS™

La transposition de la technique de garde des anneaux flottants pour la réalisation de diodes et de MOS a été présentée pour la première fois par le LAAS/CNRS en 1999 [25]. Ce concept est appelé Fli-diode (FLoating Islands Diode) ou FLIMOS (FLoating Island MOS). Il est basé sur l'insertion dans la zone faiblement dopée N d'îlots P (ou P⁺) flottants. Il est ainsi obtenu une alternance de bandes N⁻ et P qui, par opposition aux superjonctions, sont orthogonales au courant d'anode (resp. de drain). La tenue en tension est assurée par les zones N⁻ et les régions P agissent

comme des diviseurs de champ électrique. Le résultat obtenu est une répartition multi-triangulaire du champ électrique (plusieurs maxima répartis sur chacune des jonctions PN^-) en lieu et place d'un seul maximum de champ à la jonction PN^- principale. Cette technique permet donc, pour un dopage donné, d'améliorer la tenue en tension du dispositif. Il est ainsi aisé de déduire qu'à tenue en tension équivalente, le niveau de dopage permis par cette technique est plus élevé. La résistance à l'état passant sera donc plus faible. La figure 14 illustre le principe du FLIMOS avec un îlot flottant P réalisé par Freescale Semiconductors [26]. Un FLIMOS 150-200V a été récemment étudié et caractérisé en détail [27].

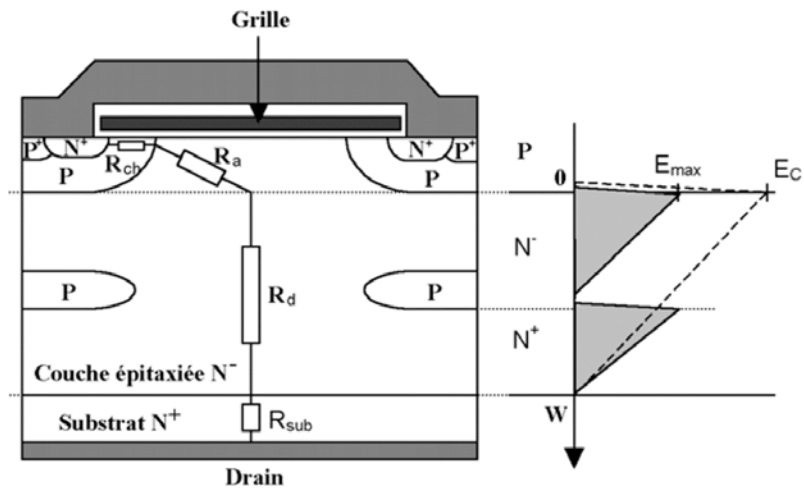


Figure 14 Coupe schématique du FLIMOS™ et principe de répartition du champ électrique

2.3.3 Effet « plaque de champ » dans la zone de drift (favoriser l'effet RESURF)

Plus récemment, avec le développement de la technologie de tranchées profondes (*trench*), il est devenu possible d'introduire des plaques de champ de manière verticale dans les dispositifs de puissance. La figure 15 illustre cette technique au travers d'un transistor MOS latéral dont l'électrode de grille est prolongée dans la zone de drift [28].

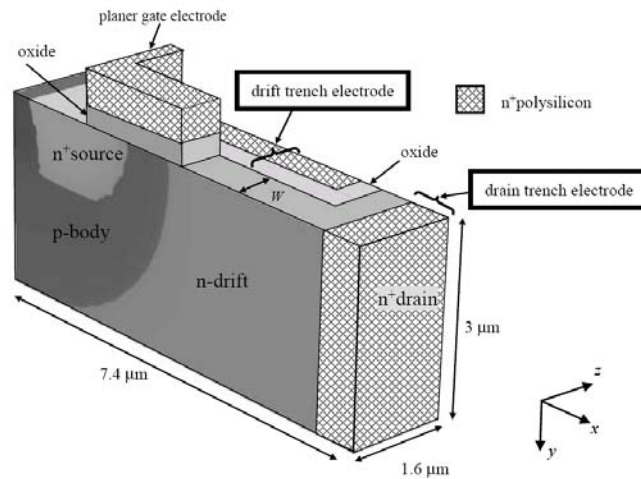


Figure 15 Transistor MOS à tranchées utilisant l'effet plaque de champ pour améliorer la tenue en tension et la résistance à l'état passant.

Le rôle de cette électrode est de réaliser une plaque de champ par son prolongement dans la zone de drift. De cette manière, à l'état bloqué, cette topologie permet de se placer dans les conditions propices à l'effet RESURF. A l'état passant, l'électrode de grille étant polarisée, son prolongement dans la zone de drift permet de créer une région d'accumulation facilitant la conduction du courant. Ce transistor MOS offre de très hautes performances de tenue en tension (80V) pour une résistance à l'état passant très faible ($0,67\text{m}\Omega\cdot\text{cm}^2$).

Un autre exemple d'intégration favorisant l'effet RESURF tout en utilisant l'effet plaque de champ est présenté avec le concept du super 3D-MOSFET [29]. Une illustration de ce composant est donnée à la figure 16.

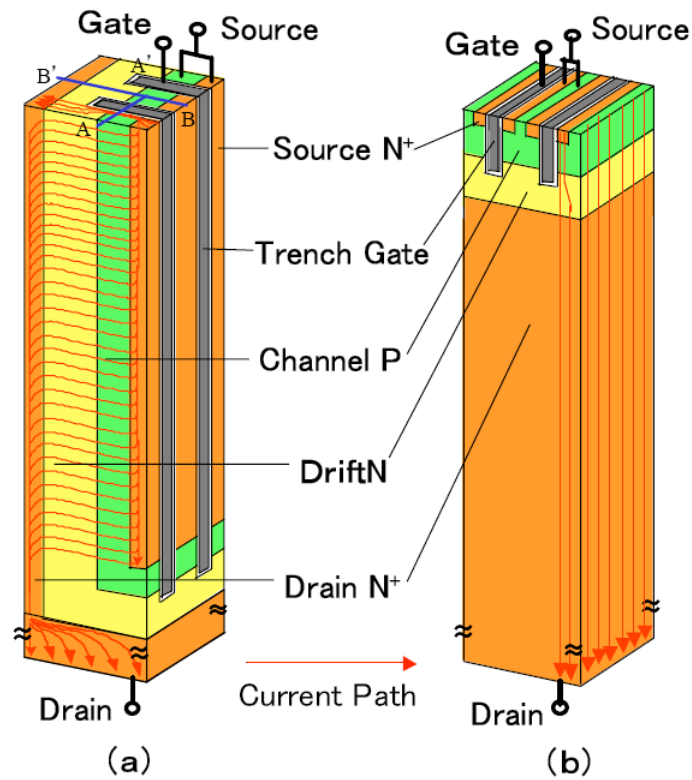


Figure 16 Vue schématique 3D du super 3D-MOSFET (a) comparé à un trench-MOS conventionnel (b)

Dans un premier temps, le super 3D-MOSFET offre une bonne tenue en tension du fait de sa zone de drift d'épaisseur réduite (favorisant l'effet RESURF) et de sa grille en tranchée profonde (favorisant l'effet plaque de champ). Dans un deuxième temps, le super 3D-MOSFET permet une résistance à l'état passant en dessous de la limite théorique du silicium. Pour cela, il cumule les réductions de résistance du canal (grilles en tranchées) et de la zone de drift en permettant un passage du courant latéralement sur une faible épaisseur. Il en résulte qu'en acceptant une légère augmentation de la résistance de la source et du drain, la résistance à l'état passant totale est réduite. Le super 3D MOSFET offre ainsi pour une tenue en tension du dispositif de 70V, une résistance à l'état passant de $0,19\text{m}\Omega\cdot\text{cm}^2$, soit en dessous de la limite du silicium (définie par l'équation 3).

2.4 Structure bipolaire mixte : l'IGBT

2.4.1 Différents types et évolutions

2.4.1.1 IGBT PT et NPT

Les techniques PT et NPT présentées au paragraphe 2.1 ont été adoptées pour la réalisation d'IGBT. Ainsi, il existe deux structures originales d'IGBT : l'IGBT planar NPT¹ apparue en 1982 et l'IGBT planar PT² apparue en 1985 [30]. La première fonctionne en non limitation de la zone de charge d'espace (Z.C.E) et la seconde fonctionne en limitation de la Z.C.E. La figure 17 présente les vues en coupe de ces deux types de structures.

La principale différence entre ces deux familles de structures est le type de substrat utilisé. Pour l'IGBT NPT, le substrat est de type N et l'anode P+ est diffusée alors que pour l'IGBT PT, le substrat est de type P+ la zone N est réalisée par épitaxie. Ces deux structures et leurs variantes ont été étudiées et sont à l'heure actuelle bien connues [31, 32]. Les principales différences de ces deux familles d'IGBT sont les suivantes : les IGBT PT ont de plus faibles pertes en conduction, ceci s'explique par une résistance à l'état passant plus faible que dans le cas d'un IGBT NPT de même gamme de tenue en tension. Si l'on considère les pertes lors de la mise en conduction, l'IGBT NPT possède les plus importantes. En revanche lors de l'ouverture, la structure NPT peut offrir de plus faibles pertes grâce au contrôle de l'efficacité d'injection de l'anode P+ par le contrôle de son dopage et de sa profondeur. Notons que cette considération est valable à une température de 300K et sans contrôle de la durée de vie des porteurs. Lorsque la température augmente, les pertes en conduction de la structure PT augmentent dans des proportions plus grandes que celles de la structure NPT.

¹ Non Punch Through

² Punch Through

Ceci révèle une meilleure immunité de la structure NPT aux dérives thermiques.

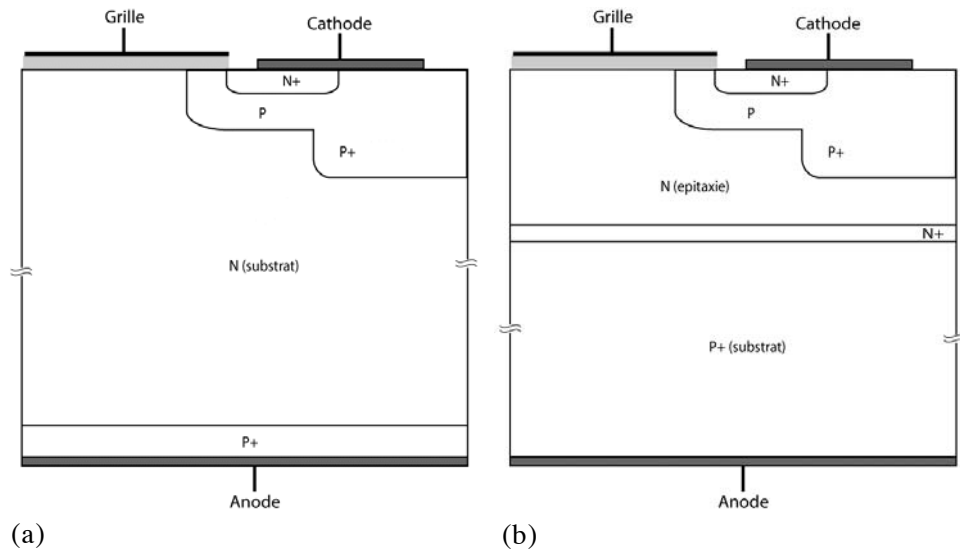


Figure 17 Coupes schématisques d'une demi-cellule IGBT NPT(a) et d'une demi-cellule IGBT PT(b)

2.4.1.2 IGBT à grille en tranchée

Les IGBT avec grille en tranchées sont apparus en 1987 [30]. La grille est réalisée verticalement améliorant ainsi la densité d'intégration et celle du courant par unité de surface (figure 18). De plus, la résistance totale à l'état passant est diminuée du fait de la diminution de la résistance due à l'effet JFET des zones de charges d'espace dans la zone de drift. Le courant maximal (avant accrochage³ de l'IGBT) est aussi amélioré [33]. Par contre, le couplage entre la cathode et la grille augmente ainsi que la capacité grille-cathode. Ce dernier aspect a un impact négatif sur le comportement dynamique [34]. Des travaux récents traitant de l'amélioration des

³ Souvent employé comme synonyme de latch-up

caractéristiques dynamiques des composants ayant une partie MOS en améliorant la couplage grille-cathode ou grille-drain sont présentés en annexe 2.

2.4.1.3 IGBT à couche N "Field Stop" (ou soft PT)

L'IGBT Field Stop est un IGBT de type NPT (substrat massif) auquel il a été ajouté entre la base N^- et l'anode P^+ , une couche N appelée couche tampon ou couche "Field Stop". Cette couche permet de modifier l'efficacité d'injection de l'anode dans la base N^- et ainsi de réduire la durée de queue de courant. Une des conséquences est une diminution notable des pertes en commutation [35]. On rencontre ce type d'agencement sous d'autres appellations en fonction de l'industriel qui la développe. Ainsi, on trouvera chez Mitsubishi™ le Light Punch Through [36], et chez ABB™ le Soft Punch Through [37] qui sont tous deux des structures IGBT utilisant une couche N tampon.

2.4.1.4 IEGT⁴, CSTBT⁵ et HIGT⁶

L'IEGT a été présenté par Toshiba en 1993 [38]. Il offre des densités de courant jusqu'à dix fois supérieures à celles des trenches IGBTs tout en gardant une faible chute de tension à l'état passant et de bonnes performances dynamiques. La figure 18 représente la comparaison entre les coupes schématiques d'un IGBT trench et d'un IEGT. L'appellation *injection enhanced* doit se comprendre comme une augmentation de la quantité d'électrons injectés du canal N vers la région de base N^- , en comparaison avec un IGBT classique. C'est la topologie de l'IEGT (figure 18) qui permet cette optimisation. En s'intéressant à l'enchaînement des couches semi-conductrices, on remarque que le profil de porteurs obtenu se rapproche de celui d'une diode PiN ($N+NP+$) avec une double injection.

⁴ Injection Enhanced Gate Transistor

⁵ Carrier Stored Trench gate Bipolar Transistor

⁶ High conductivity IGBT

Le CSTBT a été présenté par Mitsubishi en 1996 [39]. Il s'agit d'un IGBT trench auquel il a été ajouté une couche N^+ entre le caisson P^+ de cathode et le N^- de base (figure 19.a). Cette couche appelée « Carrier Store Layer » permet de stocker des porteurs. Le profil de stockage ainsi obtenu s'apparente à celui d'une diode PiN. On trouve l'équivalent de cette structure proposé en technologie planar chez Hitachi™ en 1998 [40] (figure 19.b). Ces structures offrent toutes deux une chute de tension à l'état passant plus faible grâce à l'ajout de cette couche de stockage N^+ . Cette amélioration permet de réduire de manière significative les pertes en conduction sans augmenter les pertes en commutation. On remarquera que ces deux derniers composants sont basés sur le même principe de réalisation d'un empilement de couches $N^+N^-N^+$ dans la région de base N.

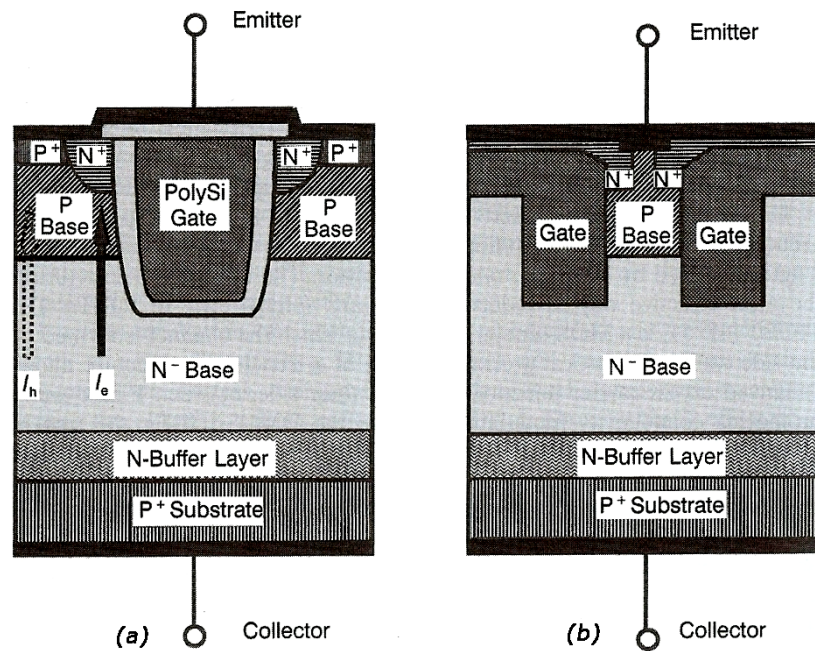


Figure 18 Comparaison des coupes schématiques d'un IGBT trench (a) et d'un IEGT (b)

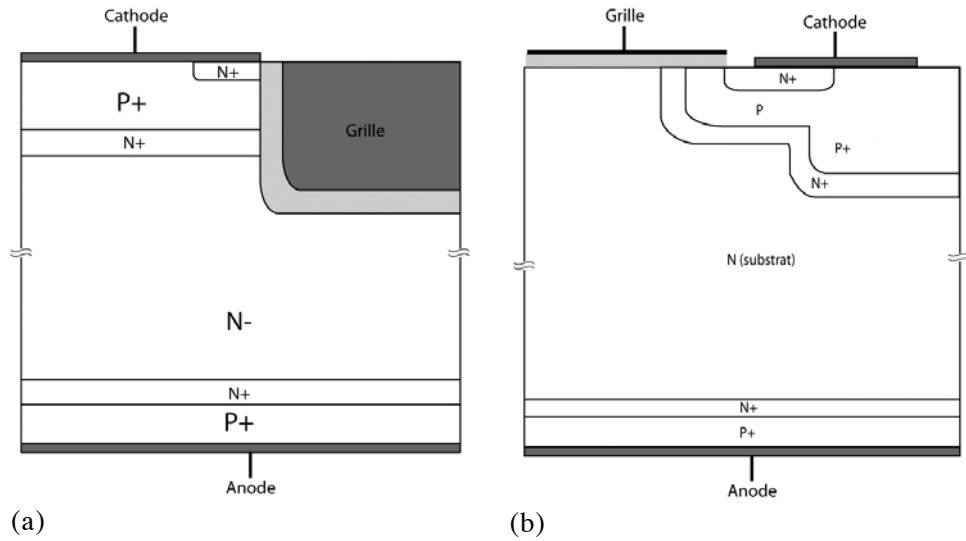


Figure 19 Coupes schématiques du LPT CSTBT (a) et du HiGT (b)

2.4.2 Défaillances des IGBT

Si les IGBT sont capables de conduire de très forts courants avec de faibles chutes de tension à l'état passant du fait de l'injection de porteurs minoritaires dans la base, il n'en reste pas moins vrai qu'ils peuvent être soumis à des mécanismes de défaillances. Ces derniers sont déclenchés par des régimes extrêmes de fonctionnement. Ils peuvent être illustrés par une condition de court-circuit aux bornes d'un IGBT où la puissance à dissiper devient importante. Ainsi, avant de traiter la chronologie d'une condition de court-circuit, nous présentons les deux mécanismes de défaillance intervenants dans cette catégorie de régime extrêmes.

2.4.2.1 Phénomène d'accrochage ou « Latchup » [41]

Dans le fonctionnement normal d'un IGBT, le courant de trous récupéré par la cathode est constitué de deux composantes. L'une verticale traversant la région P+, l'autre latérale circulant dans la région P (figure 20.a). Ce courant latéral induit une chute de tension fonction de la résistance de la couche P. Cette résistance est modélisée sous l'appellation de *spreading resistance*. Lorsque cette chute de tension atteint une valeur de l'ordre de 0,6V, la jonction N⁺P (cathode - caisson P) se polarise en direct. Cette dernière injecte donc des électrons qui transitent vers la région N⁻ via le caisson P : il y a donc apparition de l'effet transistor. Le transistor bipolaire parasite (N⁺PN⁻) ainsi charge la base du deuxième transistor bipolaire PN⁻P⁺ qui devient passant à son tour (figure 20.b).

Dans ce cas, les deux transistors bipolaires ont un fonctionnement bouclé formant ainsi un thyristor parasite. Pour un IGBT donné, il existe une valeur de courant d'anode associé à une valeur de tension grille cathode pour lesquels la condition de latchup intervient. Lorsqu'un IGBT est en mode *Latchup* (on dit aussi qu'il fonctionne en mode « thyristor »), la tension grille cathode n'a plus aucun contrôle sur le courant d'anode. De la même manière que pour un thyristor, la seule façon d'éteindre le composant est de diminuer le courant d'anode en dessous d'une valeur du courant appelée *courant de maintien*. Ceci doit être fait rapidement car dans le cas contraire, la destruction de l'IGBT intervient à cause d'une dissipation d'énergie trop importante.

Ce type de latchup est appelé latchup statique car il se produit pour un couple de valeur (*courant d'anode, tension grille-cathode*) continu. Il existe cependant un autre mode de latchup qui peut intervenir lors de l'extinction de l'IGBT pour des valeurs de courant inférieures à celle du latchup statique. Ce mode de latchup est appelé « latchup dynamique ». En effet, selon la cinétique d'extinction de l'IGBT, la base N⁻ du transistor bipolaire PNP⁺ peut être, transitoirement, rapidement dépeuplée du fait de son faible dopage. Ce phénomène va augmenter le gain du transistor bipolaire PNP et ainsi la proportion de trous injectés dans la région de drift. Le courant latéral va augmenter (figure 20) et les conditions de latchup peuvent être réunies.

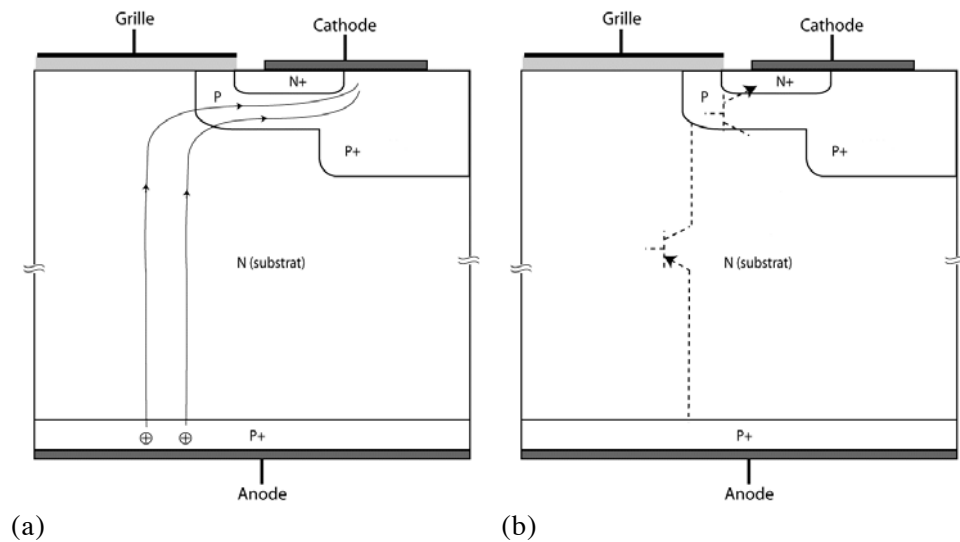


Figure 20 Latchup statique dans un IGBT planar NPT

2.4.2.2 Le second claquage électrique [42]

Le second claquage électrique entre en ligne de compte lorsque la structure semi-conductrice est traversée par de forts courants de porteurs sous une tension de valeur importante. C'est le cas lors de transitoires de commutation et dans les cas extrêmes de fonctionnement comme le court-circuit. Dans ces conditions, la charge des porteurs en transit modifie la Z.C.E créée par les charges fixes dopantes. Le profil du champ électrique à la jonction bloquante est ainsi modifié favorisant, selon le cas, le perçage ou le claquage par avalanche prématuré (figure 21). Ces conditions de fonctionnement peuvent s'accompagner, en fonction du mode de commande du dispositif, d'effets de résistance dynamique négative, de focalisation de lignes de courant menant à la destruction du composant par fusion localisée du cristal.

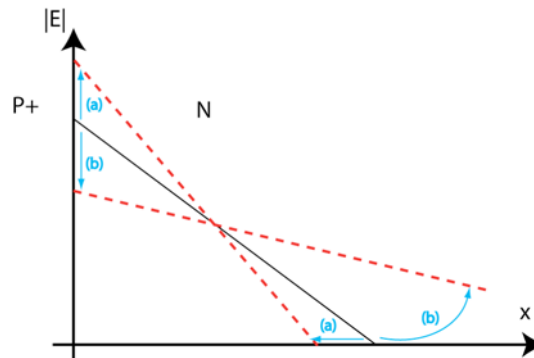


Figure 21 Evolution du champ électrique favorisant le claquage par avalanche prématuré (a) ou le perçage (b)

Dans les IGBT, le second claquage électrique peut intervenir dans différents cas. Les plus fréquents sont les suivants :

- *À l'ouverture sur charge inductive.* Dans ce cas, la tension anode-cathode et le courant d'anode sont élevés alors même que le courant d'électrons dans le canal est annulé par la commande de grille. Seuls les trous traversent la ZCE et contribuent à la modification de la charge d'espace et donc du profil du champ électrique. Le champ maximum à la jonction P⁺/N est alors augmenté et la tension de claquage par avalanche est abaissée.
- *À la fermeture sur charge inductive.* Les conditions de polarisation sont identiques à celles de l'ouverture, mais cette fois-ci, les deux types de porteurs interviennent. Selon le signe du bilan des charges mobiles, deux situations sont envisageables. Si le bilan est positif, on se trouve dans les

mêmes conditions qu'à l'ouverture (abaissement de la tension de claquage par avalanche). Si il est négatif, les conditions sont favorables au perçage.

2.4.2.3 Le facteur thermique [15]

L'augmentation de la température améliore *a priori* la tenue en tension d'une jonction semi-conductrice du fait de la diminution des valeurs des coefficients d'ionisation. Cette amélioration est rapidement limitée par l'emballement thermique qui peut être provoqué par l'augmentation du courant inverse de porteurs minoritaires. Cette instabilité thermique peut être exprimée par la relation de l'équation 5.

$$P \cdot R_{th} \cdot \frac{1}{I_R} \frac{dI_R}{dT} \geq 1$$

Equation 5 Condition d'instabilité thermique d'une jonction semi-conductrice. $P=V_R \cdot I_R(T)$ puissance dissipée, R_{th} : résistance thermique entre la jonction et le milieu ambiant, V_R : tension inverse, $I_R(T)$: courant inverse à la température de jonction T .

Cette équation explicite le fait qu'une limitation autre que le claquage par avalanche peut intervenir lorsque la température augmente. Ainsi, pour une tension inverse V_R donnée et une température T , il existe une valeur maximale du courant inverse I_R au-delà de laquelle la jonction considérée devient instable par emballement thermique. Il entraîne une augmentation du courant inverse pouvant mener à la destruction du composant. On trouve cette limitation de manière encore plus fréquente dans les IGBT dont la durée de vie des porteurs a été réduite. En effet, l'insertion contrôlée de centre recombinants dans la base des IGBT a pour conséquence l'augmentation du courant inverse (surtout sa composante de géné-

ration thermique). Notons que le contrôle du courant inverse interfère sur le compromis tension blocable, performances en commutation.

2.4.3 L'IGBT en condition de court-circuit

Lorsqu'un IGBT est soumis à une condition de court-circuit, il est parcouru par un courant très important alors que la tension à ses bornes correspond à celle de l'alimentation de puissance. Dans ces conditions, la structure doit dissiper une puissance qui l'amène au-delà de sa S.O.A⁷. Si on analyse les défaillances qui peuvent intervenir en condition de court-circuit, on distingue 4 modes différents. La figure 22 présente la chronologie des différentes défaillances possibles.

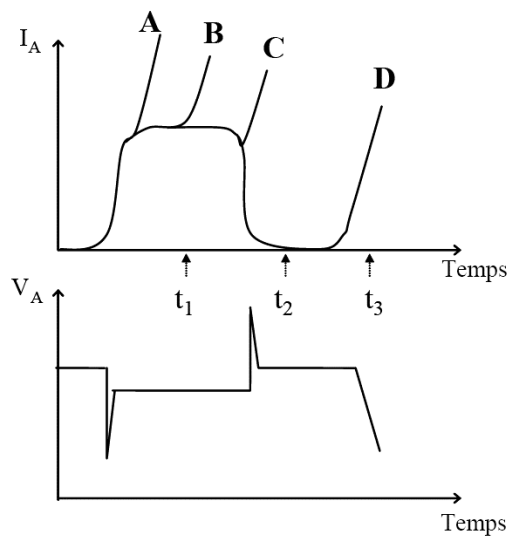


Figure 22 Chronologie des défaillances possible d'un IGBT en mode de court-circuit

⁷ Safe Operating Area

La défaillance de type « A » se produit lors du turn-on en condition de court-circuit. Si la tension de grille est à une valeur nominale, ce type de défaillance dépend du dI/dt et est indépendant de la température. En revanche, si la tension de grille est proche de la tension de claquage grille-cathode, la température seule peut provoquer cette défaillance [43]. Ce mode de destruction est identifié comme provenant d'un claquage prématuré ou d'un Latch-up.

La défaillance de type « B » se produit après une condition de court-circuit prolongée. En quelques dizaines de μ -secondes, la température augmente dans l'IGBT à cause de la très importante puissance dissipée. La génération par impact augmente rapidement aux points chauds et le claquage par avalanche intervient [44].

La défaillance observée en « C » est identifiée comme un Latch-up dynamique qui de surcroît est favorisé par une température augmentée pendant la durée du court-circuit [45, 46].

Plus récemment, un autre type de défaillance intervenant plusieurs μ -secondes après le turn-off a été identifié, il s'agit du type « D ». Il a été démontré par Chokhawala [47] que ce type de défaillance est lié à l'énergie dissipée par l'IGBT durant la condition de court-circuit. La notion d'énergie critique E_c est présentée comme séparant deux modes de défaillances : en deçà de cette énergie, l'IGBT supportera un grand nombre de courts-circuits sans défaillance. En revanche, pour des énergies proches ou légèrement supérieures à E_c , la défaillance retardée (« D ») intervient. Pour des énergies très supérieures à E_c , l'IGBT est détruit par emballement thermique durant le court-circuit.

2.5 Conclusion

L'électronique de puissance est présente partout dans les dispositifs grands publics. Les applications grands publics utilisant les composants de l'électronique de puissance deviennent nomades. De ces deux constatations on peut déduire que les pertes des systèmes de puissance et par extension les pertes des composants de puissance doivent être réduites au maximum. Nous avons vu dans ce paragraphe, différentes techniques actuellement utilisées ou en cours d'étude pour diminuer les pertes afférentes aux composants de puissance. Dans une première partie nous avons traité de l'amélioration du compromis tenue en tension – résistance à l'état passant dans les composants unipolaires. L'étude des différentes solutions existantes nous a permis de remarquer que les techniques utilisées pour l'amélioration de ce compromis sont pour beaucoup une évolution de tech-

niques de garde, vers une utilisation du volume du semiconducteur, et ce notamment avec la démocratisation des tranchées. Dans une deuxième partie, nous nous sommes intéressé à une structure bipolaire mixte : l'IGBT. Nous en avons détaillé les différents types ainsi que les évolutions. L'IGBT étant le véhicule de test choisi pour la suite des travaux présentés dans ce manuscrit, nous avons détaillé les défaillances auxquelles il peut être soumis. Nous avons insisté tout spécialement sur la condition de court-circuit.

3 Problématique de la protection et du diagnostic

- 3.1 Généralités sur les protections
- 3.2 Intégration de fonctions d'aide au diagnostic
 - 3.2.1 Capteurs intégrés de manière hybride
 - 3.2.2 Capteurs intégrés monolithiquement
- 3.3 Intégration du circuit de commande et de la stratégie de protection
 - 3.3.1 Intégration hybride
 - 3.3.2 Intégration monolithique
- 3.5 Conclusion

Les systèmes d'électronique de puissance sont à l'heure actuelle présents dans une large gamme d'applications. Que ce soit dans les domaines de la traction ferroviaire, de l'aéronautique, de l'automobile, de la domotique ou des équipements électroniques nomades, le grand public est quotidiennement au contact ou en rapport avec des composants de l'électronique de puissance. De la même façon que pour l'électronique petit signal, l'amélioration de la fiabilité des systèmes de l'électronique de puissance est donc un réel challenge pour les industriels. Des solutions de redondance passive où le système est répliqué à l'identique (c'est le cas notamment dans l'aéronautique), sont une première solution. Plus récemment, des systèmes tolérants aux pannes avec solutions de redondance active sont proposés. Dans ce cas, seulement une partie du dispositif est redondante pour lui permettre d'assurer une fonction de secours [48, 49].

3.1 Généralités sur les protections

La surveillance des systèmes électroniques afin de protéger les composants de puissance est une solution souvent adoptée. Elle vient généralement compléter la protection, pour améliorer la fiabilité du système. On a recours pour cela à des capteurs qui vont renseigner des fonctions d'observation, de protection et/ou de commande sur l'état du composant de puissance à chaque instant. Ces capteurs et fonctions annexes peuvent être soit intégrés dans le même boîtier (on parle alors de System In Package ou SiP) par la voie hybride, ou sur la même puce (on parle de System On Chip ou SoC) par la voie monolithique. Il en découle une forte augmentation du nombre et de la complexité des fonctions autour du composant de puissance. La nature des capteurs utilisés va conditionner le type de protection réalisé et son mode d'intégration auprès du système à protéger.

3.2 Intégration de fonctions d'aide au diagnostic

3.2.1 Capteurs intégrés de manière hybride

Pour certaines applications, notamment la traction ferroviaire et la conversion moyenne puissance, l'intégration de capteurs de manière hybride est encore aujourd'hui le mode le plus rencontrée. Usuellement, des capteurs de température et de courant sont intégrés sur la même carte, au plus près des composants de puissance. On citera par exemple les capteurs développés au C.P.E.S (Center for Power Electronics Systems) de l'Université de Virginie des U.S.A. Ces capteurs sont basés sur un détecteur de champ magnéto-résistif. Deux capteurs basés sur ce principe sont réalisés au C.P.E.S : un capteur de courant ainsi qu'un capteur de température. La figure 23 illustre l'intégration du capteur de courant de ce type.



Figure 23 utilisation des possibilités d'un capteur de champ à magnéto-résistivité pour la réalisation d'un capteur de courant

Les possibilités pour réaliser des capteurs de température sont nombreuses. On pourra utiliser l'effet de variation de résistance en fonction de la température (exemple figure 24), les thermocouples basée sur différents effets (Peltier, Thomson, Seebeck). On pourra aussi utiliser une diode ou un transistor monté en diode et utiliser la relation tension température de ce composant en polarisation directe (équation 6). De cette équation, il découle la sensibilité thermique donnée en équation 7 (détail explicité en référence) [50].

$$i = I_0 \cdot \exp\left(\frac{qv}{kT}\right)$$

Equation 6 Relation entre le courant et la tension aux bornes d'un transistor monté en diode

$$\frac{dv}{dT} = -m \frac{k}{q} + (v - v_\phi) \cdot \frac{1}{T}$$

Equation 7 Sensibilité thermique exprimée en fonction de la tension

Cette sensibilité est souvent voisine de $-2,5\text{mV}/^\circ\text{C}$. Notons que cette technique de mesure de la température est facilement intégrable par voie hybride dans un module d'électronique de puissance et nécessite une ou plusieurs fonctions logiques associées.

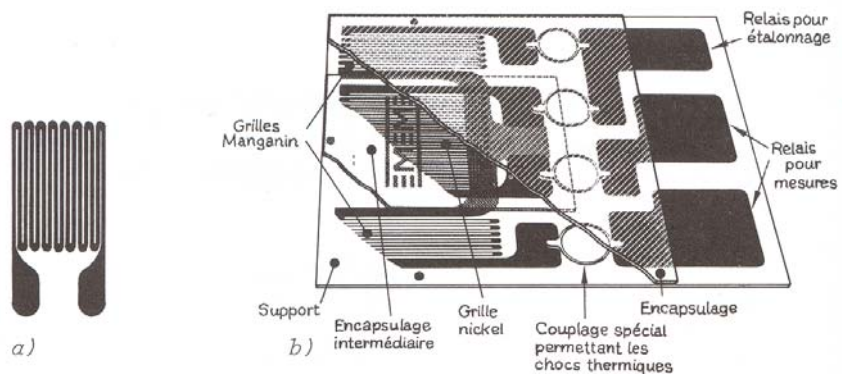


Figure 24 Sondes de température en surface : a) grille de nickel ; b) sonde linéarisée par la mise en série d'une grille de nickel et deux grilles de manganin

3.2.2 Capteurs intégrés monolithiquement

Les capteurs intégrés sur la même puce que le composant de puissance donnent des informations plus rapides et plus fiables que celles collectées par les capteurs hybrides. Des capteurs de courant intégrés monolithiquement sont déjà réalisés depuis de nombreuses années, d'abord sur les VMOS, ensuite sur les IGBT. Ils exploitent le mode de conception basé sur la mise en parallèle de cellules de base pour fournir une valeur de courant image de celle du courant total [51-53]. La figure 25 donne des exemples de réalisation de ces capteurs de courant.

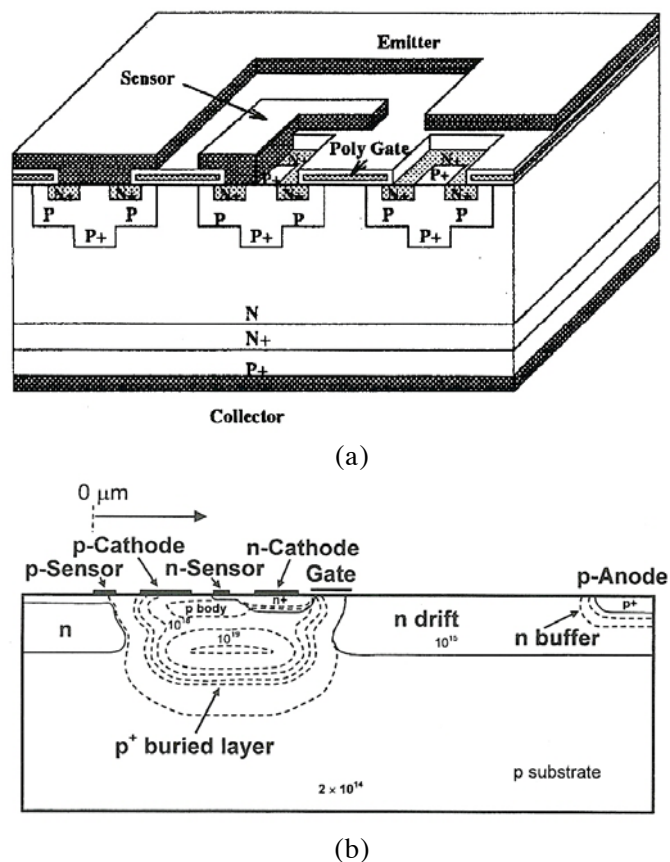


Figure 25 Structures à capteur de courant intégré (a) : Z. Shen *et al.* en 1994, (b) : YC. Liang *et al.* en 2003

Aujourd'hui les capteurs monolithiques sont une partie incontournable des structures de commande et de protection des circuits de puissance. Nous citerons l'exemple d'un DMOS haute tension (800V) où sont intégrés un capteur de courant et un capteur de température [54]. Dans cet exemple, le capteur de courant est réalisé à partir d'une cellule de type

DMOS qui partage sa grille et sa source avec le DMOS principal et dont le drain est connecté à une résistance. La chute de tension aux bornes de cette dernière permettra d'évaluer le courant total conduit par le DMOS principal. Sur la même puce est intégrée une diode P-N en polysilicium qui fera office de capteur de température par modification de la chute de tension à ses bornes à l'état passant.

3.3 Intégration du circuit de commande et de la stratégie de protection

3.3.1 Intégration hybride

La commande évoluée des composants de puissance modernes fait appel à de nombreuses fonctions de contrôle, de surveillance et de protection réalisées historiquement par des composants discrets dédiés. Aujourd'hui, plusieurs voies visent l'amélioration de la fiabilité de ces fonctions prises individuellement et du système (puissance+gestion) dans sa globalité. L'intégration hybride de ces fonctions peut se réaliser de différentes manières : les différentes fonctions sont réalisées sur des puces séparées et reportées au sein du même boîtier (System in Package). Un exemple est donné figure 26 où deux transistors MOS et leur driver sont intégrés dans le même boîtier [55].

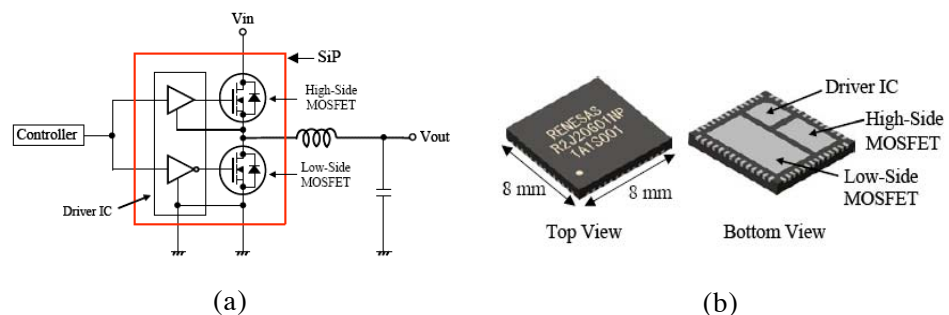


Figure 26 Structure (a) et schéma extérieur (b) de transistors MOS et de leur driver associé intégrés dans le même boîtier (SiP)

Il existe d'autres manières d'intégrer de « l'intelligence » autour du composant de puissance. L'une d'entre elles est de faire appel à des modules numériques qui vont réaliser la commande évoluée (on pourra même parler de gestion), du dispositif de puissance. L'interface avec le composant de puissance est réalisée dans ce cas par l'intermédiaire de capteurs intégrés par voie hybride. Un protocole standard de gestion des dispositifs de puissance a été récemment réalisé [56]. Il est utilisé dans la gestion numérique de convertisseurs moyenne puissance dont un exemple est donné

figure 27. Il a été démontré que l'utilisation de ce type de gestion, et son intégration hybride, permet de réaliser des fonctions de contrôle et de protection plus rapides et plus précises [57]. Dès lors, la voie du numérique ouvre des horizons plus larges. Des microcontrôleurs associés à des drivers aux fonctionnalités réduites peuvent augmenter grandement les fonctionnalités d'un module de puissance. Des fonctions mémoires peuvent être implémentées et actualisées à la demande en fonction des spécifications des composants de puissance à gérer.

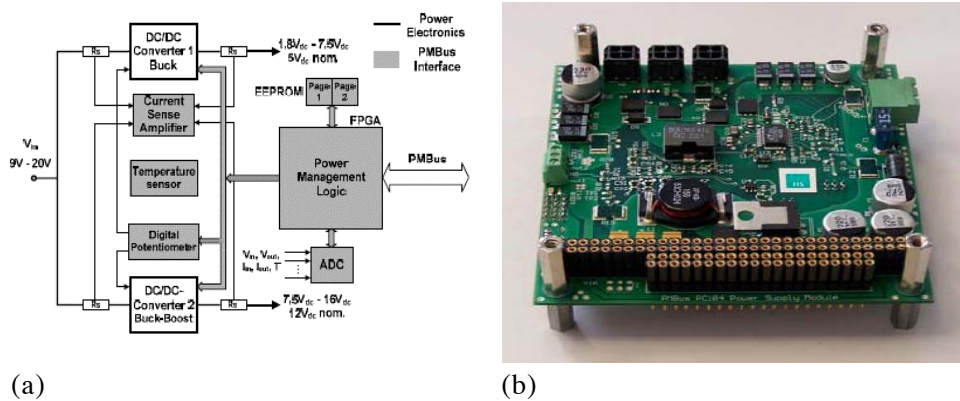


Figure 27 Diagramme block du module de gestion (a) et sa réalisation technologique hybride (b)

3.3.2 Intégration monolithique

L'intégration monolithique des diverses fonctions autour du composant de puissance est l'optimisation ultime du système de puissance global. En effet, l'intégration au plus près de fonctions de commande, de protection, et d'alimentation contribue à l'amélioration des performances des systèmes de puissance :

- Elle permet tout d'abord de réduire l'encombrement et le poids global du système. Citons par exemple un driver électronique intégré pour lampes fluorescentes [58]. La figure 28 représente la coupe schématique 2D du driver. Une telle intégration a permis de réaliser un driver d'une dimension de $1,2\mu\text{m}$.
- La réduction des impédances parasites permet une plus grande immunité aux gradients di/dt ainsi qu'une susceptibilité électromagnétique plus faible. Cela a un impact très important sur la fiabilité et les performances du système

- Elle permet un meilleur contrôle de la dispersion des caractéristiques des composants intégrés. On pourra citer par exemple une commande intégrée de moteur réalisée à partir d'un procédé BCB $0,35\mu\text{m}$ où la maîtrise de la précision liée à la dispersion des caractéristiques des composants est essentielle [59] .

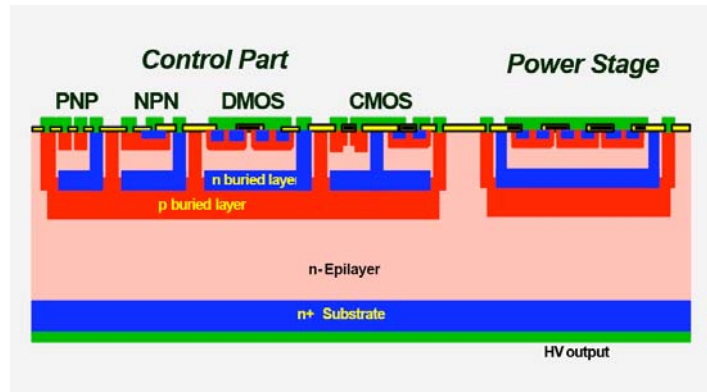


Figure 28 Coupe schématique 2D du driver de lampe fluorescente intégré

- Elle permet d'aborder la gestion des dérives thermiques d'une manière plus globale.

Cependant, si l'intégration monolithique apporte un grand nombre d'avantages, elle n'en reste pas moins problématique pour un certain nombre de points :

- L'augmentation des couplages peut s'avérer être un ennemi de taille pour le concepteur en raison des problèmes de compatibilité technologique, électrique ou thermique. Il faudra souvent élaborer des isolations entre les différentes parties des systèmes intégrés de puissance.
- Les phénomènes parasites tels que les courants de substrat devront être appréhendés et résolus pour garder la fonctionnalité du système. Ceci aura pour conséquence une complexification de la conception et du procédé de fabrication. Des travaux sur une structure intégrée qui protège contre les courants de substrat, ont été menés au LAAS/CNRS [60].

Il est aussi important de remarquer que des phénomènes parasites pourront être utilisés à bon escient. Un exemple peut être donné avec les travaux réalisés au Laboratoire d'Electrotechnique de Grenoble (L.E.G). Ils utilisent les propriétés intrinsèques aux composants de puissance pour réal-

iser une fonction appelée : auto-alimentation [61]. La figure 29.a montre la topologie de la fonction d'auto-alimentation et la figure 29.b une vue schématique 2D de son intégration complète.

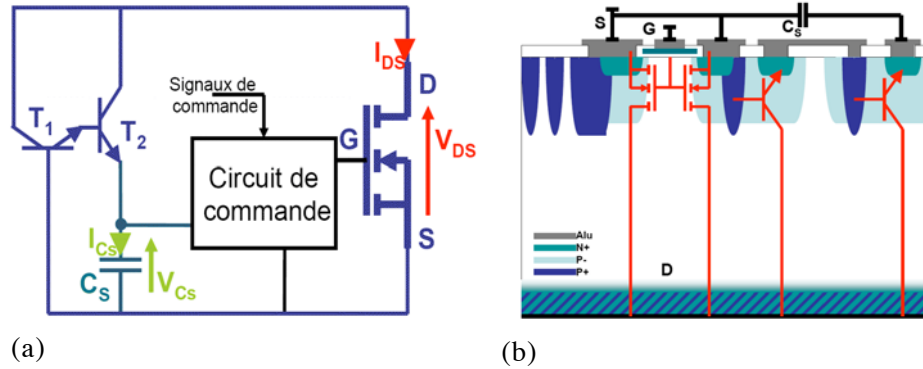


Figure 29 Topologie (a) et coupe schématique 2D (b) de la fonction d'auto-alimentation développé au L.E.G

3.4 Conclusion

Les composants de puissance sont présents aujourd'hui dans des applications électriques dont la variété est en forte croissance. Cet essor pousse les acteurs du domaine de la microélectronique de puissance à développer des produits dont les gammes de tension, courant et fréquence d'utilisation sont très larges. La fiabilisation et l'amélioration des performances de ces composants font donc partie d'un domaine de recherche très dynamique à l'heure actuelle. L'intégration des composants de puissance avec leurs systèmes de commande, leurs dispositifs de refroidissement ainsi qu'une stratégie de protection va dans le sens d'amélioration de la fiabilité. En ajoutant à cela une volonté de diminuer l'encombrement, de favoriser l'émergence de nouvelles techniques et de nouvelles stratégies de connectique, nous pouvons constater que l'intégration en électronique de puissance devient 3D. Désormais, la stratégie d'intégration doit être pensée dès la phase de conception et ne pourra plus être, réalisée à partir de la juxtaposition de différents éléments et technologies.

Chapitre 2

Contribution à l'amélioration
des performances
dynamiques : Architecture
faible pertes, Bi-IGBT

Introduction

Les IGBTs sont utilisés dans une large gamme d'application en électronique de puissance. Ils sont généralement caractérisés, en terme de rendement, par la chute de tension à l'état passant et par leurs pertes en commutation. Le challenge des concepteurs est de trouver le meilleur compromis entre la chute de tension à l'état passant et la durée de la queue de courant en fonction de l'application visée. Le principe de l'architecture faible perte, décrit dans ce paragraphe, consiste à associer en parallèle deux IGBT aux caractéristiques différentes. L'un d'entre eux aura de plus faibles pertes en conduction et l'autre en commutation. Avec cette association, nous souhaitons combiner les avantages de chacun des deux IGBT pour réduire les pertes globales de l'architecture ainsi réalisée. Nous présentons le principe de l'architecture faible pertes ainsi que son implémentation monolithique et les premiers résultats expérimentaux de cette étude. Enfin, la simulation analytique à l'aide du logiciel SABER® en utilisant les modèles d'IGBT développées au LAAS/CNRS, permettent de mettre en exergue les possibilités, en terme d'amélioration de performances, que peut apporter une telle architecture.

1 Pertes lors d'un cycle complet de commutation d'IGBT

Le rendement des IGBT lors de leur fonctionnement dans des conditions nominales est lié aux pertes en énergie de celui-ci lors des phases de conduction et de commutation. Sachant que les pertes en énergie sont définies comme l'intégrale temporelle de la puissance instantanée dissipée, et que l'intégration est une opération additive, il est possible de séparer les pertes d'un cycle de commutation en plusieurs catégories : les pertes en conduction et les pertes en commutation. La figure 30 permet d'identifier ces différentes pertes par le biais de la chronologie d'un cycle de commutation. Les pertes en conduction correspondent donc au produit de la chute de tension à l'état passant par la courant conduit à l'état passant. Les pertes en commutation correspondent aux pertes à la fermeture de l'IGBT ainsi qu'aux pertes à l'ouverture. D'autres travaux de recherche traitent de la réduction des pertes à la fermeture [62]. Dans cette étude nous traiterons uniquement de la diminution des pertes lors de l'ouverture de l'IGBT.

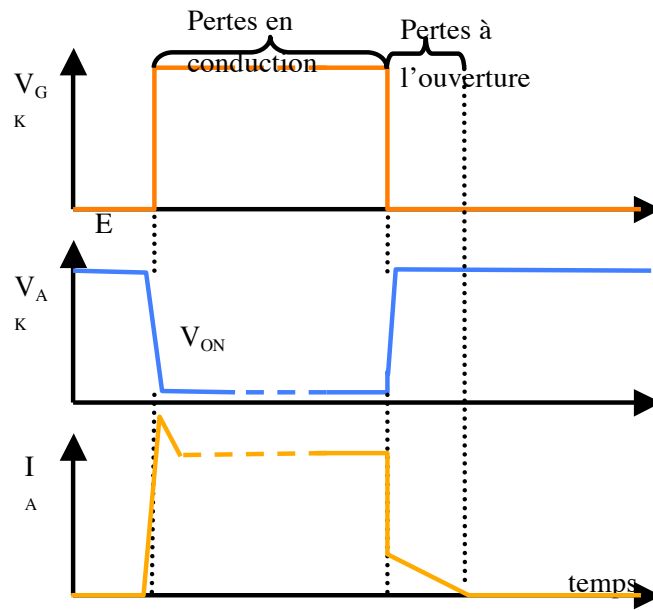


Figure 30 Diagramme chronologique des différentes pertes d'un cycle de commutation d'un IGBT

2 Architecture faible pertes / Bi-IGBT

Nous allons présenter dans ce paragraphe notre contribution à la diminution des pertes en commutation d'un IGBT faisant suite aux travaux de thèse réalisés par G. Bonnet [63]. Cette amélioration est réalisée par l'association en parallèle de deux IGBT aux caractéristiques différentes. Des solutions d'association en parallèle ont déjà été proposées dans la littérature dans le même but. Citons à titre d'exemple en article récent [64]. L'originalité de notre proposition est que cet interrupteur de puissance que l'on appelle *architecture faibles pertes* ou *Bi-IGBT* est intégrable monolithiquement. Nous espérons de ce fait, tirer partie des interactions entre les deux composants dont la base est commune.

2.1 Topologie et fonctionnement

2.1.1 Présentation de l'architecture

2.1.2 Principe de fonctionnement

2.2 Structure discrète, validation par simulations analytiques

2.2.1 Validation du principe de fonctionnement

2.2.2 Validation de l'intérêt de l'architecture

2.3 Structure intégrée

2.3.1 Simulations aux différences finies

2.3.2 Réalisation technologique

2.3.3 Véhicule de test

2.4 Architecture faibles pertes et commande

2.5 Conclusion

2.1 Topologie et fonctionnement

2.1.1 Présentation de l'architecture

Comme nous l'avons vu au premier chapitre, le compromis chute de tension à l'état passant - pertes à l'ouverture intervient dans les composants bipolaires et par conséquent dans l'IGBT. La chute de tension à l'état passant provient du nombre de porteurs dans la zone de base qui forment la charge stockée. Plus cette charge est importante, plus la résistance à l'état passant va être faible (entraînant une faible chute de tension) mais plus son évacuation par recombinaison sera lente. Ceci a pour conséquence une diminution du courant plus lente lors de l'ouverture du composant. De cette constatation vient l'idée d'associer en parallèle un IGBT possédant de bonnes performances à l'état passant et un autre possédant de faibles pertes à l'ouverture. De manière générale, le compromis chute de tension à l'état passant - pertes à l'ouverture peut être ajusté en jouant sur deux paramètres qui sont la durée de vie des porteurs dans la base et l'efficacité d'injection de l'anode [65]. Dans le cas d'une structure intégrée monolithiquement et disposant d'une base commune, le paramètre de durée de vie n'est pas ajustable individuellement. Il est en revanche possible de jouer sur le deuxième paramètre en modifiant la profondeur et le dopage de la diffusion d'anode. Le principe de l'architecture faible pertes est d'associer une IGBT lent T1 (aux bonnes performances à l'état passant) à un IGBT rapide T2 (aux bonnes performances en commutation). Cette association au sein d'une cellule de commutation est présentée figure 31.

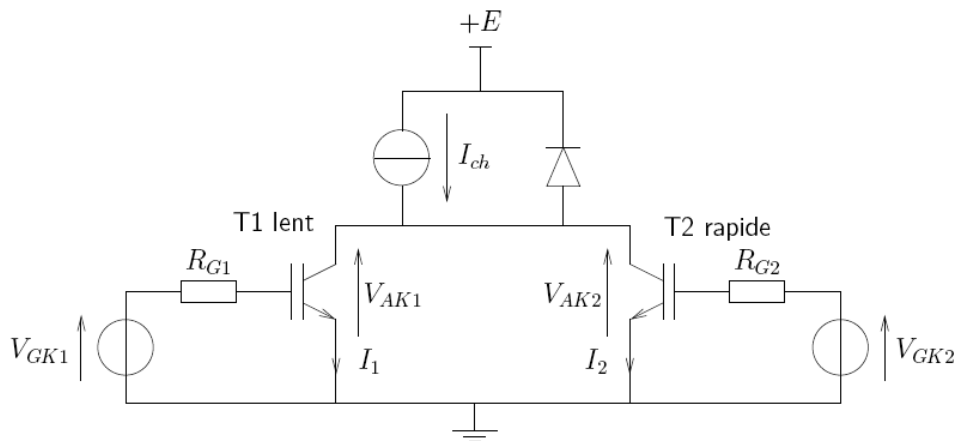


Figure 31 Circuit équivalent de l'architecture faibles pertes

2.1.2 Principe de fonctionnement

Le diagramme chronologique de fonctionnement de l'architecture faible pertes est présenté figure 32. Le fonctionnement de l'architecture peut-être décomposé de la manière suivante :

- de t_0 à t_1 , c'est-à-dire pendant la majorité de la phase de conduction, les deux IGBTs sont passants. Le courant qui alimente la charge se répartit sur les deux IGBTs. C'est l'IGBT lent qui conduit la majorité du courant. Il en résulte une chute de tension aux bornes de l'architecture faible.
- à $t=t_1$, l'IGBT lent est bloqué alors que l'IGBT rapide continue de conduire. Le courant de queue de l'IGBT lent intervient alors que la tension aux bornes de l'architecture correspond à celle imposée par l'IGBT rapide (de t_1 à t_2).
- de t_1 à t_3 , l'IGBT rapide est passant et la chute de tension aux bornes de l'architecture correspond à la chute de tension à l'état passant de l'IGBT rapide. L'IGBT lent est bloqué.
- à $t=t_3$, l'IGBT rapide est bloqué. Le courant de queue intervient alors que la tension aux bornes de l'architecture correspond à la tension d'alimentation E de t_3 à t_4 .
- après $t=t_4$, le courant de queue de l'IGBT rapide est terminé. C'est la phase de roue libre de la cellule de commutation.

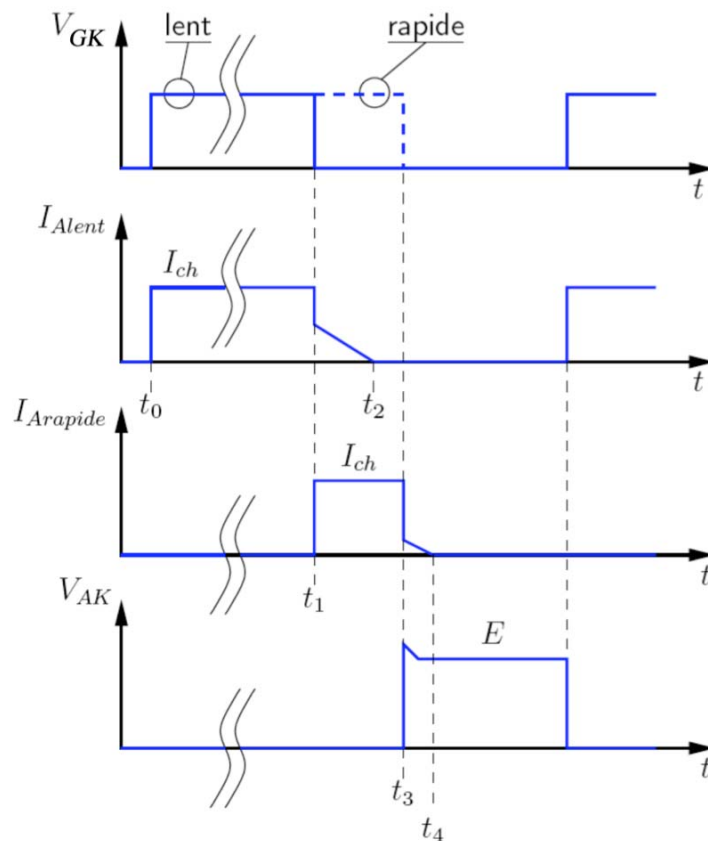


Figure 32 Diagramme chronologique d'un cycle de commutation de l'architecture faibles pertes

2.2 Structure discrète, validation par simulations analytiques

Nous avons réalisé des simulations analytiques utilisant des modèles physiques développées au LAAS/CNRS. Ces modèles ont déjà été validés pour des diodes PIN et des IGBT [66, 67]. Ils sont basés sur la dynamique d'évolution des charges dans la base des dispositifs et utilisent une méthode originale de résolution de l'Equation de Diffusion Ambipolaire.

2.2.1 Validation du principe de fonctionnement

Les premières simulation réalisées ont permis de valider la différence de comportement en statique et en dynamique des deux IGBTs. Les deux IGBT utilisés pour la simulation sont différenciés par leurs diffusions d'anode. Pour l'IGBT lent, la concentration en surface est de $3 \cdot 10^{19} \text{cm}^{-3}$ et

la profondeur de jonction de $7\mu\text{m}$. Pour le rapide, la concentration en surface est de 5.10^{17}cm^{-3} et la profondeur de jonction est de $0,4\mu\text{m}$. La figure 33 compare les caractéristiques $I_{AK}=f(V_{AK})$ pour des tensions de grille de 8V et 13V. Pour une même polarisation de grille et pour un même courant l'IGBT lent présente une chute de tension à l'état passant plus faible que l'IGBT rapide. La figure 34 présente la comparaison des courants de queue dans une cellule de commutation sous 600V et pour un courant de charge de 100A. La charge stockée est plus grande dans l'IGBT lent et son courant de queue est donc plus important.

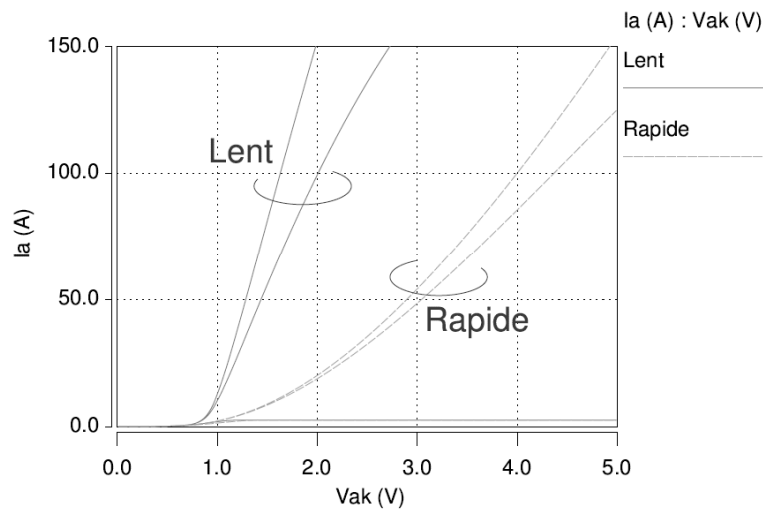


Figure 33 Simulation statique des deux IGBT de l'architecture faible pertes pour des tensions de grille de 8V et 13V

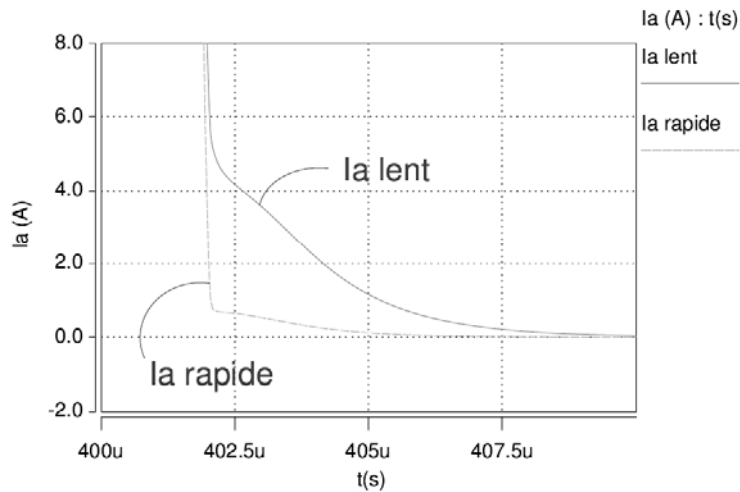


Figure 34 Comparaison des courants de queue des IGBT lent et rapide

Les simulations de l'architecture faible pertes ont permis de mettre en évidence l'intérêt d'une telle association. La figure 35 présente la répartition des courants dans les deux IGBTs à l'ouverture. Pendant la phase de conduction, le courant de l'IGBT lent est de 82A et celui du rapide de 18A sous une chute de tension de 1.5V. La phase de blocage commence par l'ouverture de l'IGBT lent. Il y a un transfert du courant de l'IGBT lent vers le rapide et ce dernier supporte alors la quasi-totalité du courant de charge. La commutation de l'IGBT lent s'effectuant sous la tension de déchet de l'IGBT rapide, soit 4V, les pertes associées en sont minimisées. Puis vient l'ouverture de l'IGBT rapide après un temps de conduction de 10µs. La figure 36 montre l'évolution de la chute de tension à l'état passant durant la phase d'ouverture de l'architecture faible pertes. Une faible chute de tension due à l'IGBT lent fait place à une chute de tension plus élevée (conduction du rapide) juste avant l'ouverture complète de la structure.

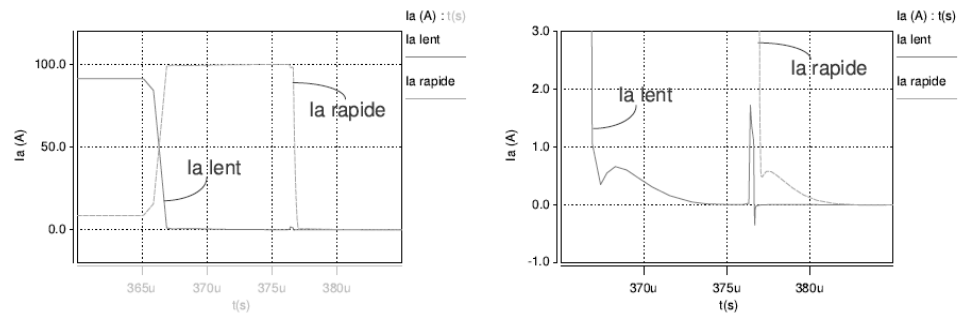


Figure 35 Répartition des courant dans les deux IGBTs à l'ouverture

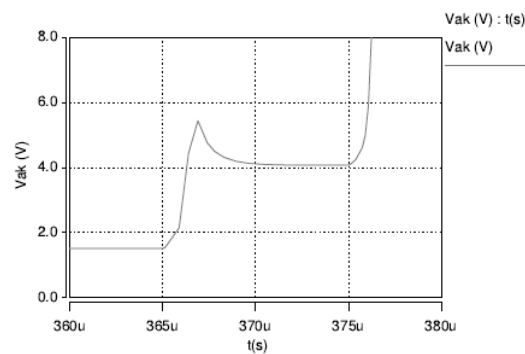


Figure 36 Evolution de la tension V_{AK} durant la phase d'ouverture

2.2.2 Validation de l'intérêt de l'architecture

Les simulations analytiques réalisées ont permis de faire une étude sur les pertes dans les IGBTs par cycle de commutation en fonction de la fréquence. Le circuit simulé est présenté figure 31 : il s'agit d'une cellule de commutation où la charge est une source de courant de 100A et l'alimentation est une source de tension de 600V. Plusieurs configurations ont été étudiées afin de mettre en avant les avantages sur le plan énergétique de l'architecture faible pertes :

- un IGBT lent seul qui servira de référence.
- deux IGBTs lents en parallèle.
- deux IGBTs rapides en parallèle.
- un IGBT lent en parallèle avec un IGBT rapide (architecture faibles pertes).

La configuration avec un seul IGBT rapide n'a pas été prise en compte du fait de pertes en conduction trop importantes. Pour chaque configuration, et pour des fréquences d'utilisation et des rapports cycliques différents, la simulation d'un cycle complet de commutation a permis de calculer les pertes des IGBTs. Les figures 37, 38 et 39 comparent les différentes configurations pour trois valeurs du rapport cyclique (0,25 , 0,5 et 0,75). La mise en parallèle de deux IGBTs lents offre des pertes inférieures à celle d'un IGBT lent seul puisque cette association correspond à une augmentation de la surface de conduction. La mise en parallèle de deux IGBTs rapides présente un avantage uniquement pour des fréquences élevées (supérieures à 11kHz). Par rapport à l'IGBT lent seul (référence choisie), l'architecture faibles pertes diminue les pertes de 20% à 25% pour les trois rapports cycliques et pour une gamme de fréquence allant de 4kHz à 20kHz.

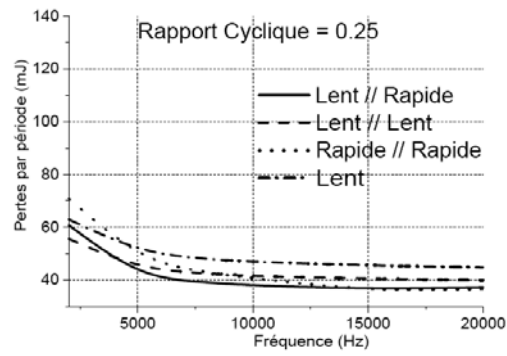


Figure 37 Pertes par cycle de commutation en fonction de la fréquence pour un rapport cyclique de 0,25

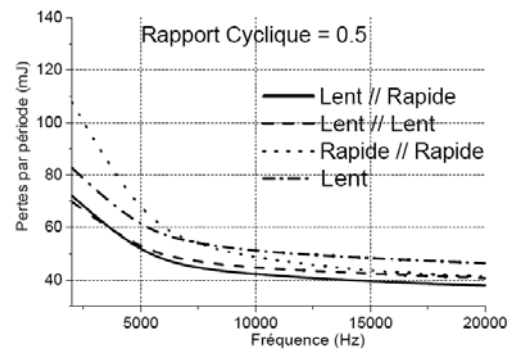


Figure 38 Pertes par cycle de commutation en fonction de la fréquence pour un rapport cyclique de 0,5

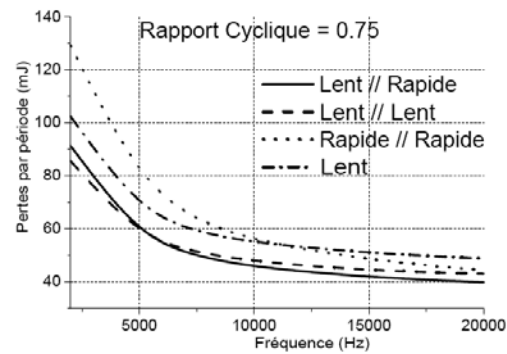


Figure 39 Pertes par cycle de commutation en fonction de la fréquence pour un rapport cyclique de 0,75

2.3 Structure intégrée

Nous avons présenté dans le paragraphe précédant la validation de la fonctionnalité et l'intérêt de l'architecture faible pertes. Intéressons nous maintenant aux possibilités d'intégration monolithique de cette architecture. Dans un premier temps, nous analyserons les interactions électriques entre les parties dédiées à l'IGBT lent et à l'IGBT rapide par simulation 2D avec ISE-TCAD. Dans un deuxième temps, nous présenterons la réalisation technologique du véhicule de test appelé Bi-IGBT et validerons son concept à l'aide des premières caractérisations.

2.3.1 Simulation aux différences finies

Ces simulations sont effectuées en *mixed mode*. Le circuit est celui simulé dans l'étude précédente (cf. figure 31). La structure Bi-IGBT est présentée figure 40.

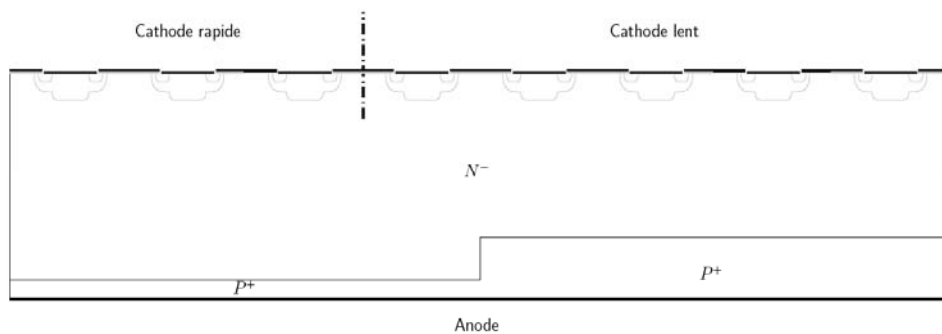


Figure 40 Vue en coupe de la structure étudiée par simulation 2D

Elle est composée de 16 cellules élémentaires d'IGBT dont 6 affectées à la partie rapide. Les cellules rapides et lentes sont différenciées par la diffusion de l'anode de type P+ face arrière. Chaque diffusion couvre la moitié de la surface active. On remarque que deux cellules affectées à la conduction de la partie lente sont en vis-à-vis de l'anode rapide. Ceci a été décidé suite à des premières simulations réalisées avec 8 cellules affectées à chaque partie. Ces simulations ont révélé une interaction forte entre les parties lente et rapide. Dans le cas (réel) d'une réalisation d'un grand nombre de cellules, l'interaction partie lente / partie rapide sera alors très diminuée. La figure 41.a montre la répartition des courants à l'ouverture entre la partie lente et la partie rapide de la structure simulée. La figure 41.b présente l'évolution de la tension V_{AK} durant cette phase dynamique. Lors

de la première phase de conduction, les deux parties sont passantes mais c'est la partie lente qui fait transiter la majeure partie du courant 76A (24A pour la partie rapide). La tension de déchet est alors d'environ 2V. Lorsque la partie lente est bloquée, le courant passe majoritairement dans la partie rapide 96A (4A pour la partie lente). La chute de tension alors observée est de 6V.

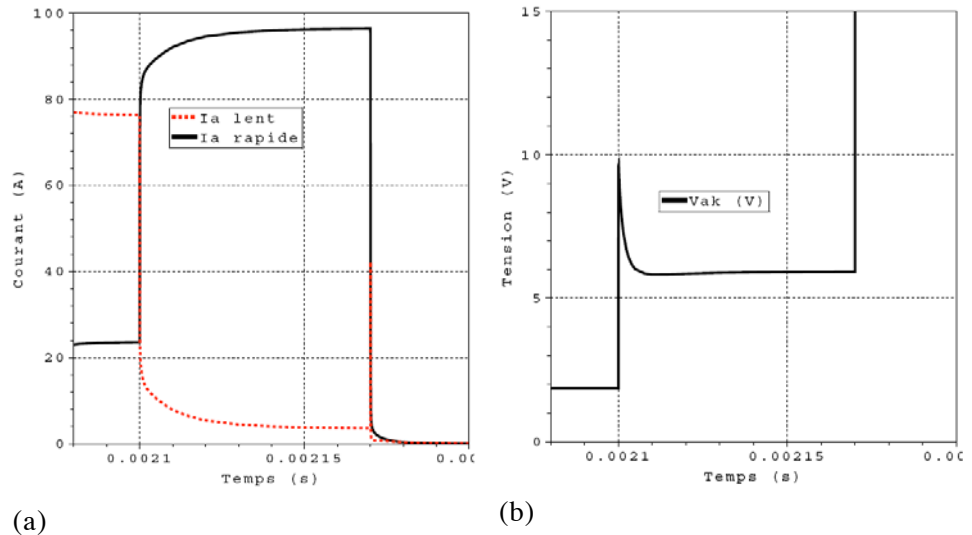


Figure 41 Evolution des courants des parties lentes et rapides (a) et de la tension Anode-Cathode (b) de l'architecture faibles pertes lors de l'ouverture

La figure 42 présente la répartition des courants à l'ouverture complète de l'architecture faible pertes. On remarque une remontée du courant de la partie lente due à un effet capacitif (CdV/dt) déjà remarquée dans les simulations de la structure discrète. D'après celles-ci, cet inconvénient ne remet pas en cause le gain énergétique apportés par l'architecture faible pertes.

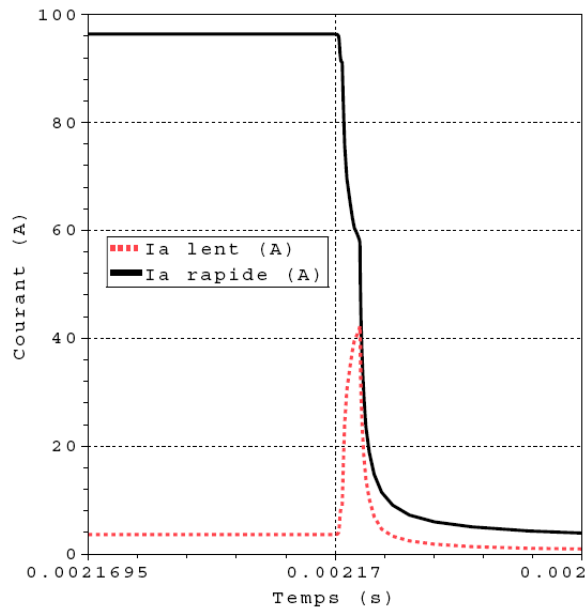
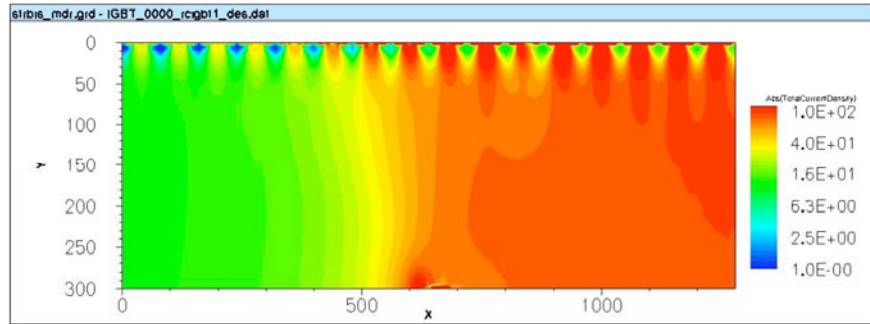


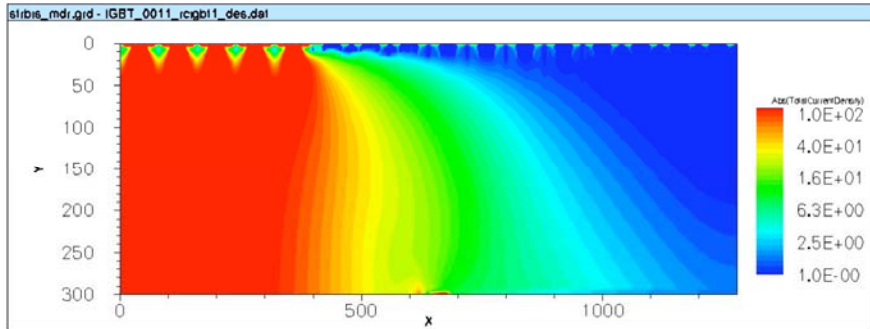
Figure 42 Zoom sur l'évolution des courants à l'ouverture

Les figures 43.a et 43.b montrent la répartition de la densité de courant dans la structure intégrée respectivement, lorsque les deux parties conduisent, puis lorsque seule la partie rapide conduit avant l'ouverture complète de l'architecture. Nous distinguons aisément les deux régimes de fonctionnement de la structure. Les figures 44.a et 44.b montrent les densités de trous correspondantes. Lorsque la chute de tension à l'état passant correspond à celle de l'IGBT lent, la modulation de conductivité est liée majoritairement à l'anode profonde. Lorsque la partie lente est bloquée, les trous sont injectés dans la base par les deux parties de l'anode.

Ces différentes simulations valident la fonctionnalité du Bi-IGBT mais ne correspondent pas à une optimisation. Ainsi, la réalisation technologique d'un véhicule test de cette puce est envisageable : c'est l'objet du paragraphe suivant.

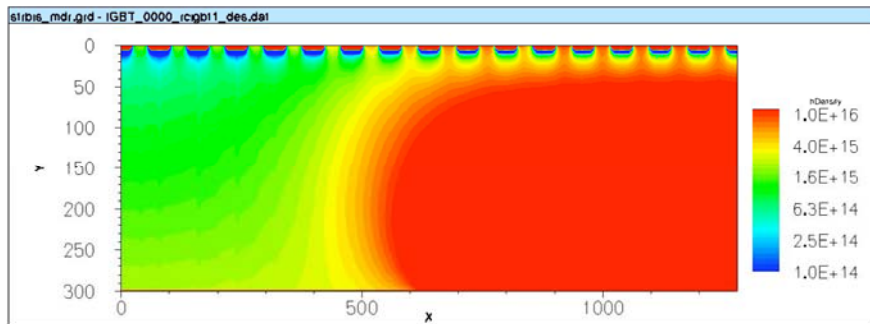


(a) parties lente et rapide à l'état ON

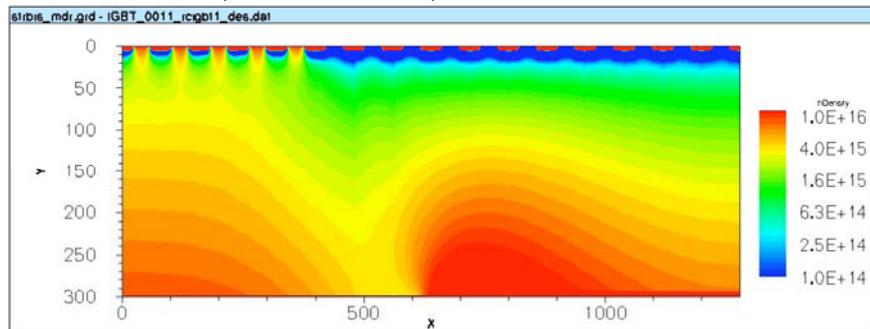


(b) partie lente OFF et partie rapide ON

Figure 43 Densité de courant dans la structure intégrée



(a) parties lente et rapide à l'état ON



(b) partie lente OFF et partie rapide ON

Figure 44 Densité de trous dans la structure intégrée

2.3.2 Réalisation technologique

Nous avons réalisé au Centro Nacional de Microelectronica à Barcelone une structure de test pour l'architecture faibles pertes à partir d'un process standard d'IGBT. Cette réalisation a nécessité l'ajout d'un seul niveau de masque et est rendue possible grâce à la filière flexible déjà évoquée. Le but de cette première réalisation technologique est de vérifier le concept d'architecture faibles pertes.

2.3.2.1 Topologie

La figure 45 présente une vue en coupe schématique de l'intégration monolithique de l'architecture faibles pertes (ou Bi-IGBT). Cette architecture est composée de deux parties d'IGBT avec une base commune.

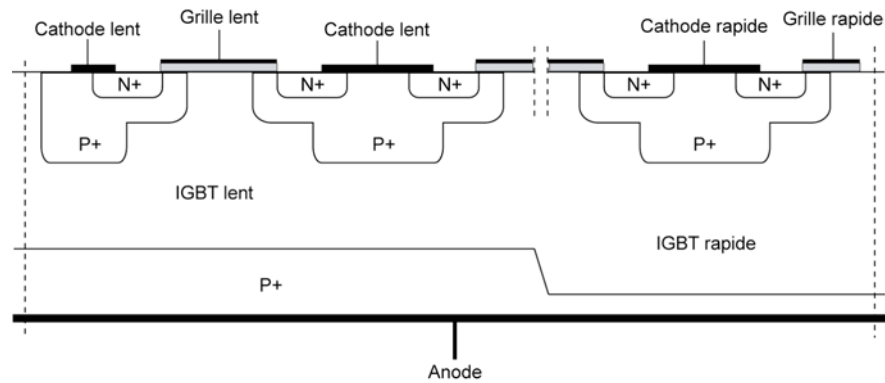


Figure 45 Vue en coupe schématique de l'intégration monolithique de l'architecture faibles pertes

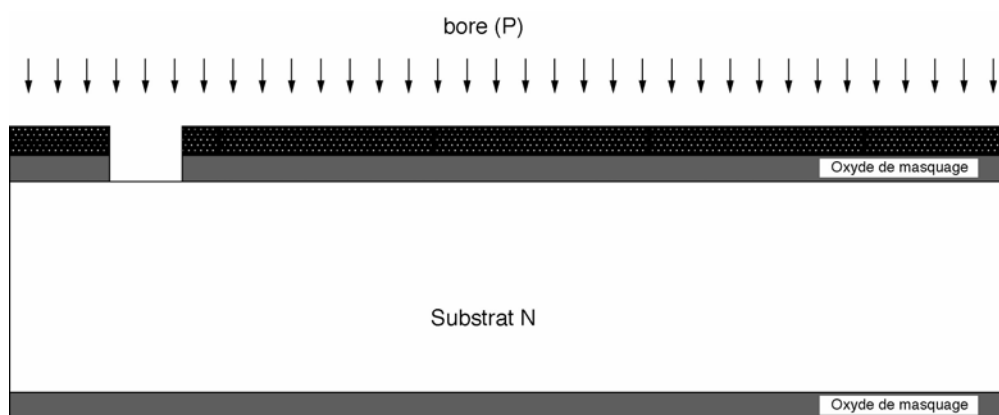
Deux diffusions P⁺ aux caractéristiques différentes sont réalisées en face arrière. La première appelée *Anode Classique* est pour l'IGBT dédié à la conduction. La seconde diffusion est appelée *Anode Semi Transparente*. Elle est dédiée à la commutation. L'Anode Classique dispose d'une efficacité d'injection (h_p) [68] plus importante que l'Anode Semi Transparente. L'IGBT avec Anode classique présentera donc des caractéristiques à l'état passant meilleures. En revanche, l'IGBT comportant l'Anode Semi Transparente aura de meilleures caractéristiques dynamiques.

2.3.2.2 Procédé technologique de fabrication

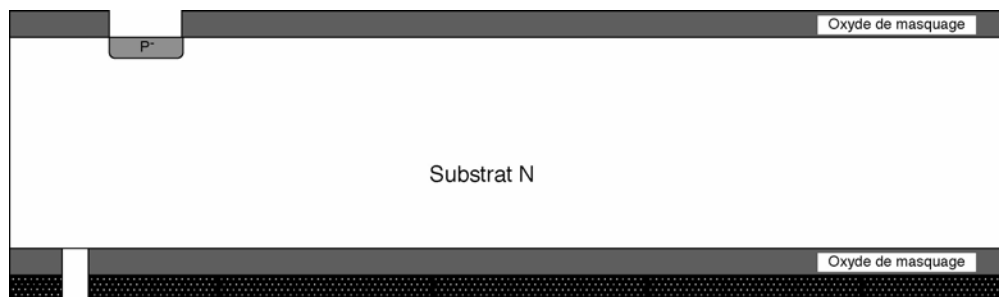
Voici la description précise des étapes technologiques qui ont été nécessaires à la réalisation des dispositifs de test :

- 1-Nettoyage H₂O₂-H₂SO₄ + HF 10%
- 2-Oxydation de masquage (6000 Å)
- 3-Photogravure terminaison P- face avant : masque Pmsup (Polarité Verre)
- 4-Gravure oxyde de masquage face avant
- 5-Implantation P face avant

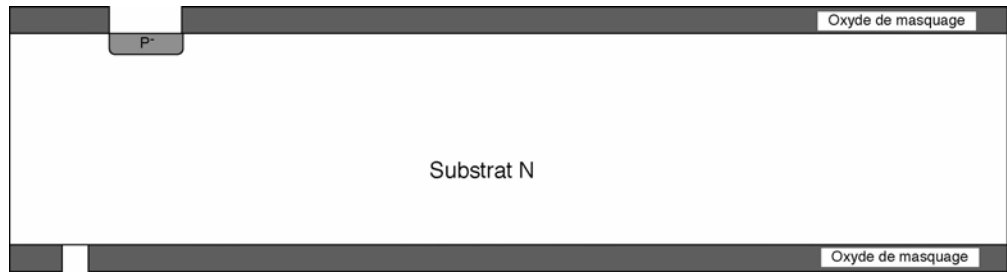
1.1. Bore → Energie=50keV ; Dose=2,5.10¹² cm⁻²



- 6-Dissolution résine
- 7-Photogravure peigne d'alignement face arrière : masque Pminf (Polarité Verre)
- 8-Gravure oxyde masquage face arrière



- 9-Dissolution résine

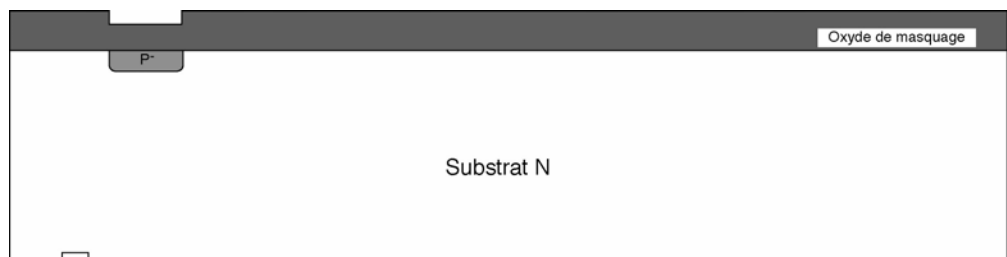


10-Redistribution P sous oxygène (épaisseur oxyde créée : 6000 Å)

11-Protection résine face avant (si gravure humide)

12-Gravure SiO₂ face arrière (humide ou sec ?)

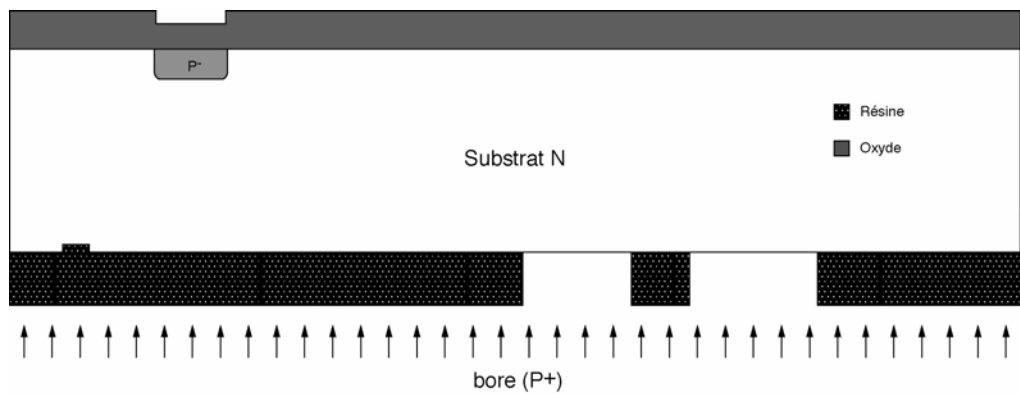
13-Dissolution résine (si gravure humide)



14-Photogravure anode P+ face arrière : masque Ppinf (Polarité Verre)

15-Implantation P face arrière

I.I. Bore → *Energie*=100keV ; *Dose*= $1.10^{16} \text{ cm}^{-2}$

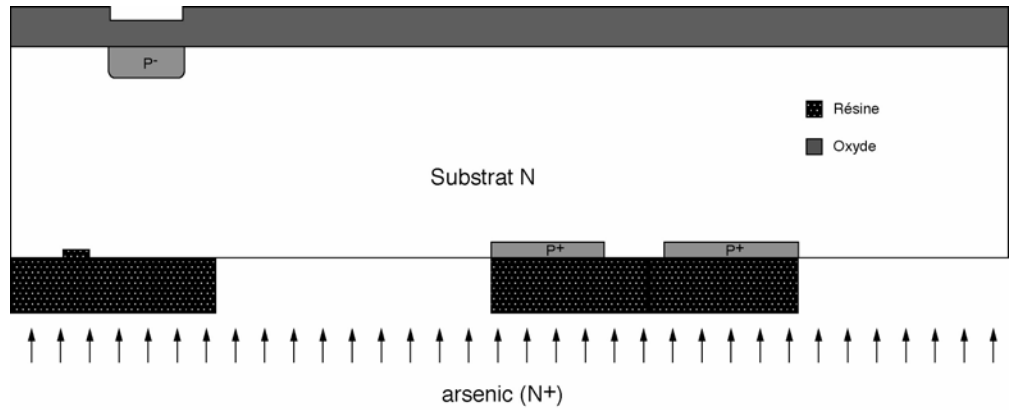


16-Dissolution résine.

17-Photogravure cathode N+ face arrière : masque Npinf (Polarité Verre)

18-Implantation N face arrière

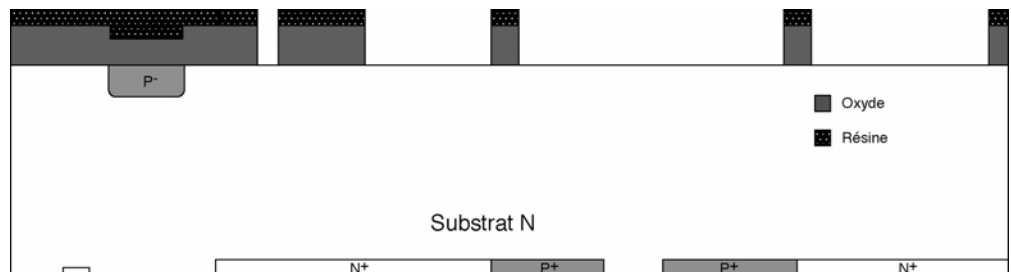
I.I. Arsenic → *Energie*=100keV ; *Dose*= $5.10^{15} \text{ cm}^{-2}$



19-Dissolution résine.

20-Photogravure zone active face avant : masque Actsup (Polarité Verre)

21-Gravure oxyde de masquage face avant



22-Dissolution résine

23-Nettoyage RCA

Bain A' : HF 10% - 30" ; rinçage - séchage

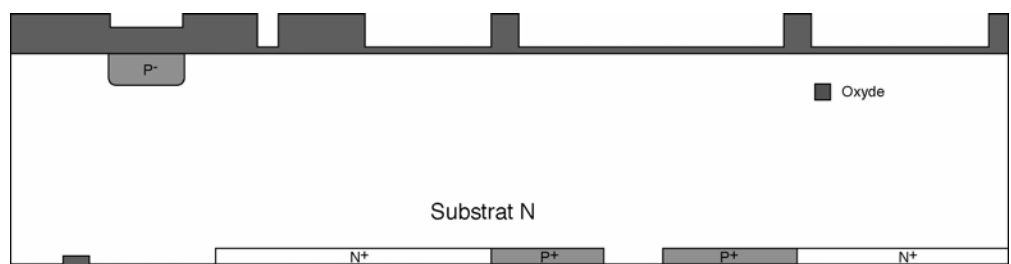
Bain A : HNO3 ; 10' ; rinçage

Bain A' : HF 10% ; 30" ; rinçage

Bain B : NH4OH+H2O2+H2O ; 10' ; rinçage

Bain C : HCl+H2O2+H2O ; 5' ; rinçage - séchage

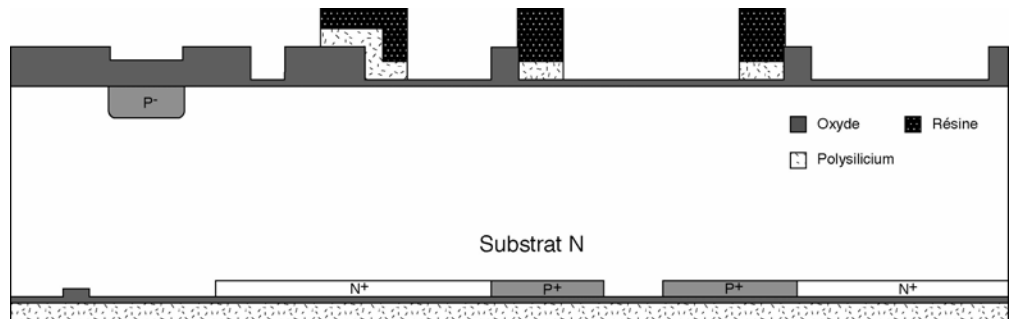
24-Oxydation de grille (550Å)



25-Dépôt de Si-poly (3500Å)

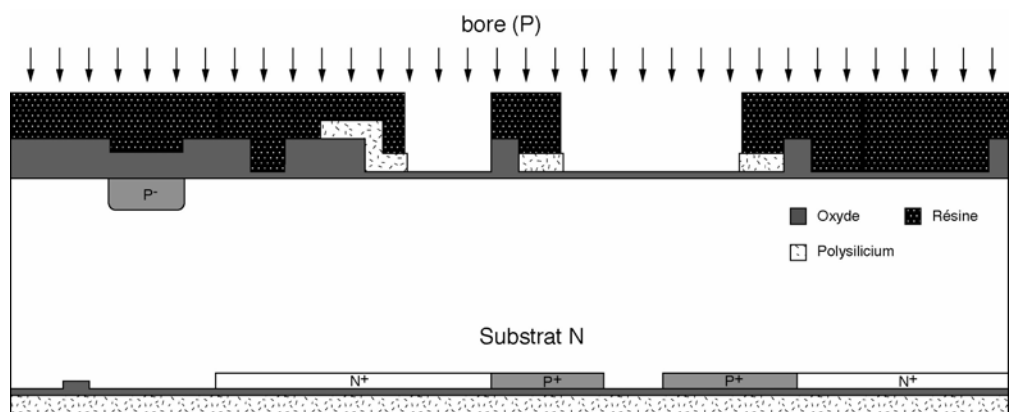
26-Dopage polysilicium (Diffusion POC13)

- 27-Gravure oxyde créé lors du dopage (si nécessaire)
- 28-Photogravure Si-poly : masque Polysup (Polarité Chrome)
- 29-Gravure RIE Si-poly



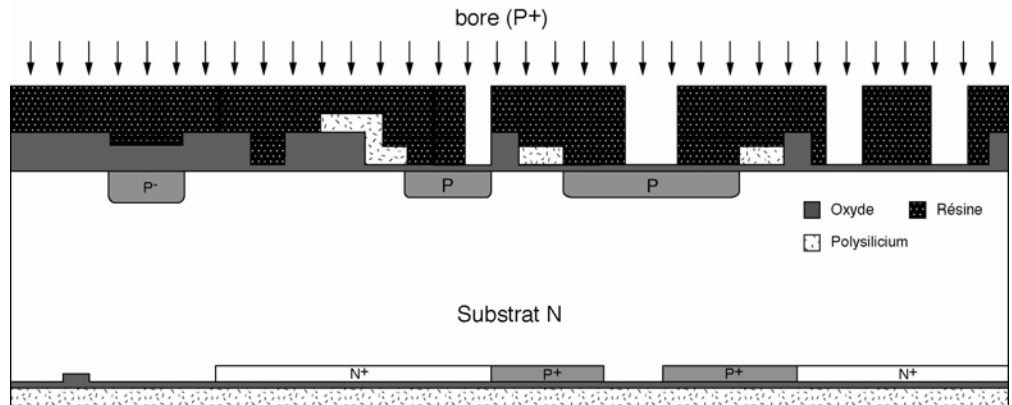
- 30-Dissolution résine
- 31-Photogravure Caisson P : masque Pw1sup (Polarité Verre)
- 32-Implantation P

I.I. Bore → *Energie* = 50 keV ; *Dose* = $1.10^{14} \text{ cm}^{-2}$



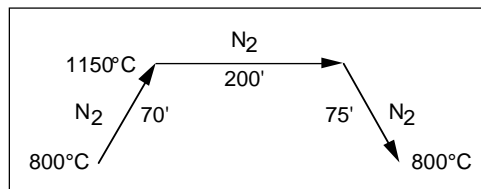
- 33-Dissolution résine
- 34-Photogravure court-circuit P+ : masque Ppsup (Polarité Verre)
- 35-Implantation P+

I.I. Bore → *Energie* = 50keV ; *Dose* = $1.10^{16} \text{ cm}^{-2}$



36-Dissolution résine

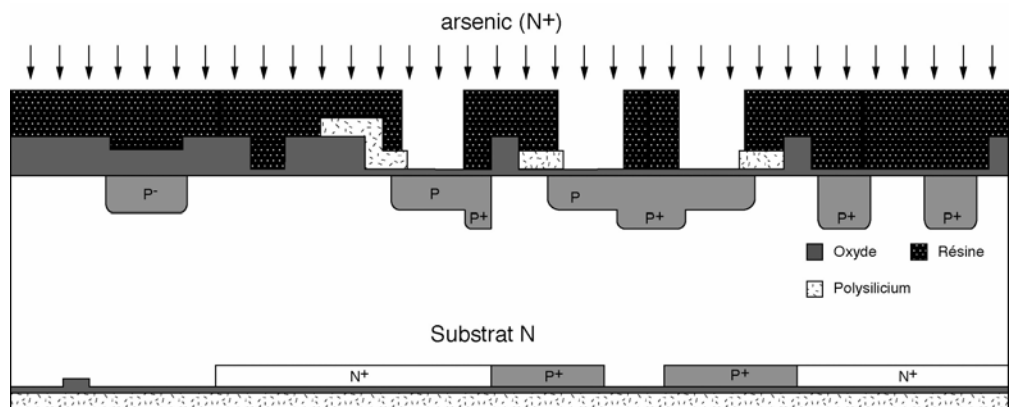
37-Redistribution P, N+, P+ et recristallisation du Si-poly



38-Photogravure cathode N : masque Nwsup (Polarité Verre)

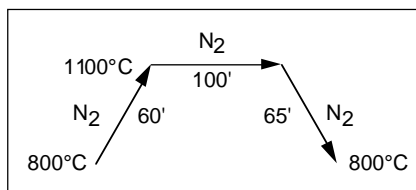
39-Implantation N

I.I. Arsenic → *Energie=100keV ; Dose=5.10¹⁵ cm⁻²*



40-Dissolution résine

41-Redistribution N

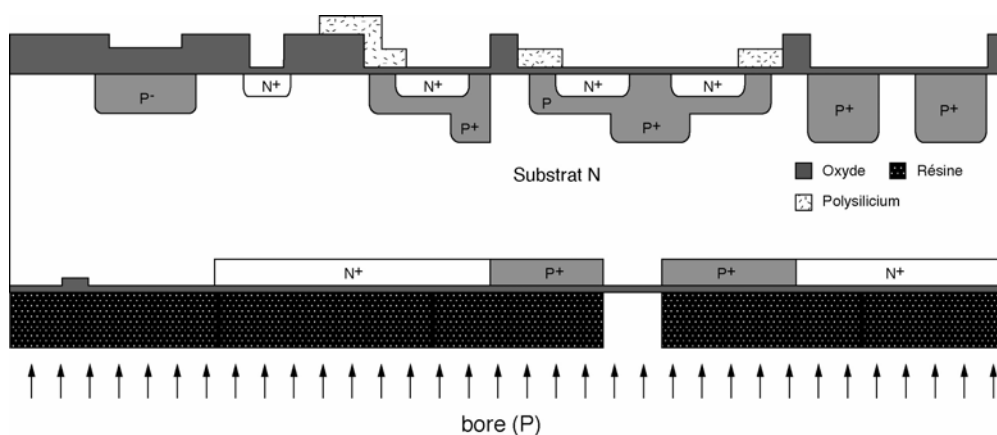


42-Gravure RIE Si-poly face arrière

43-Photogravure Anode semi-transparente : masque Pastinf (Polarité Verre)

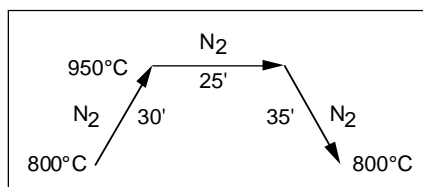
44-Implantation P

I.I. Bore → *Energie = 20 keV ; Dose = 1.10¹³ cm⁻²*



45-Dissolution résine

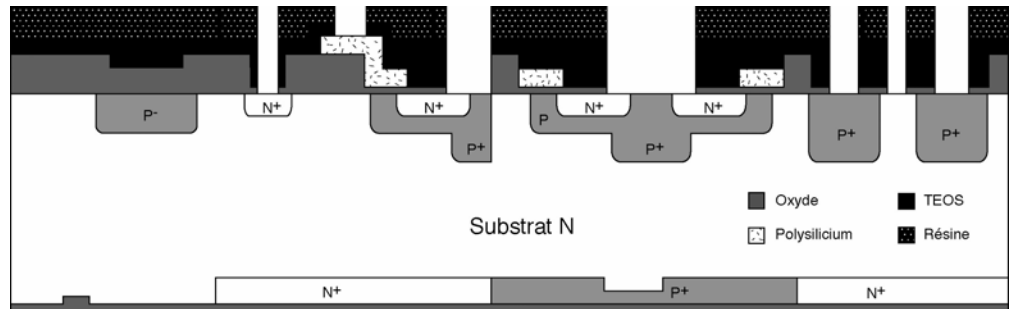
46-Redistribution de l'anode semi-transparente



47-Isolation poly-métal face avant : Dépôt TEOS 7000 Å

48-Photogravure contacts face avant : masque Ct1sup (Polarité Verre)

49-Gravure RIE TEOS + SiO₂ grille face avant

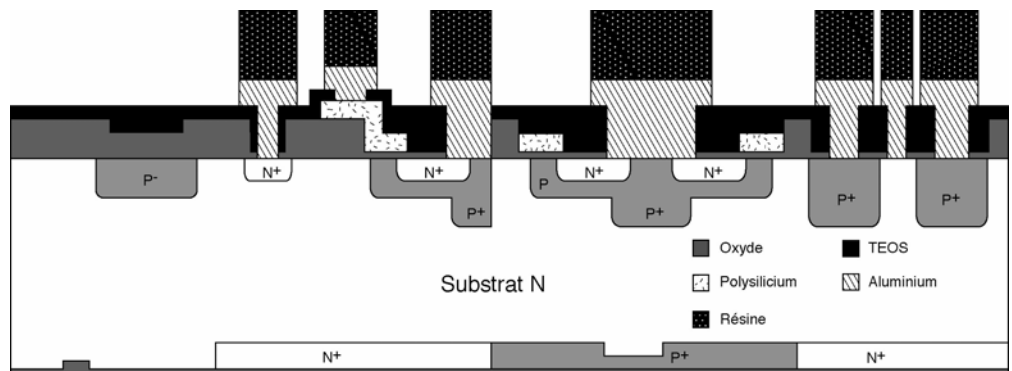


50-Dissolution résine

51-Métallisation face avant : Dépôt Al/Cu 1,5 μm

52-Photogravure métal face avant : masque Met1sup (Polarité Chrome)

53-Gravure Al/Cu

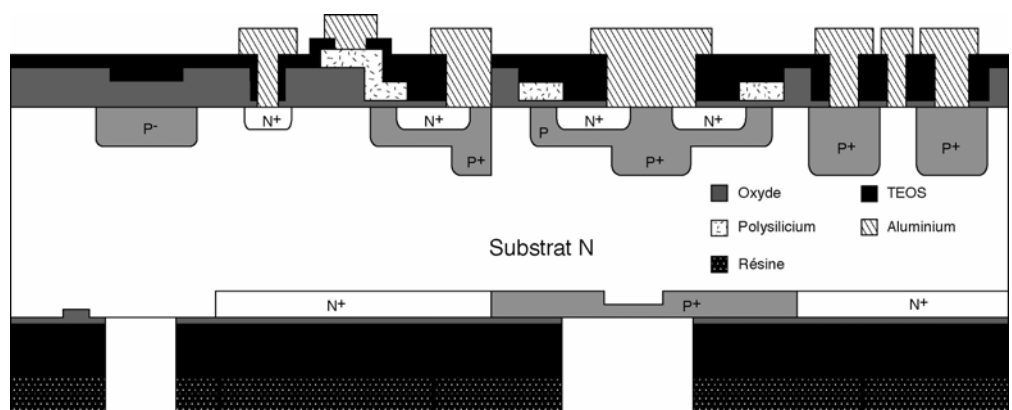


54-Dissolution résine

55-Isolation face arrière : Dépôt TEOS 7000 \AA

56-Photogravure contacts face arrière : masque Ct1inf (Polarité Verre)

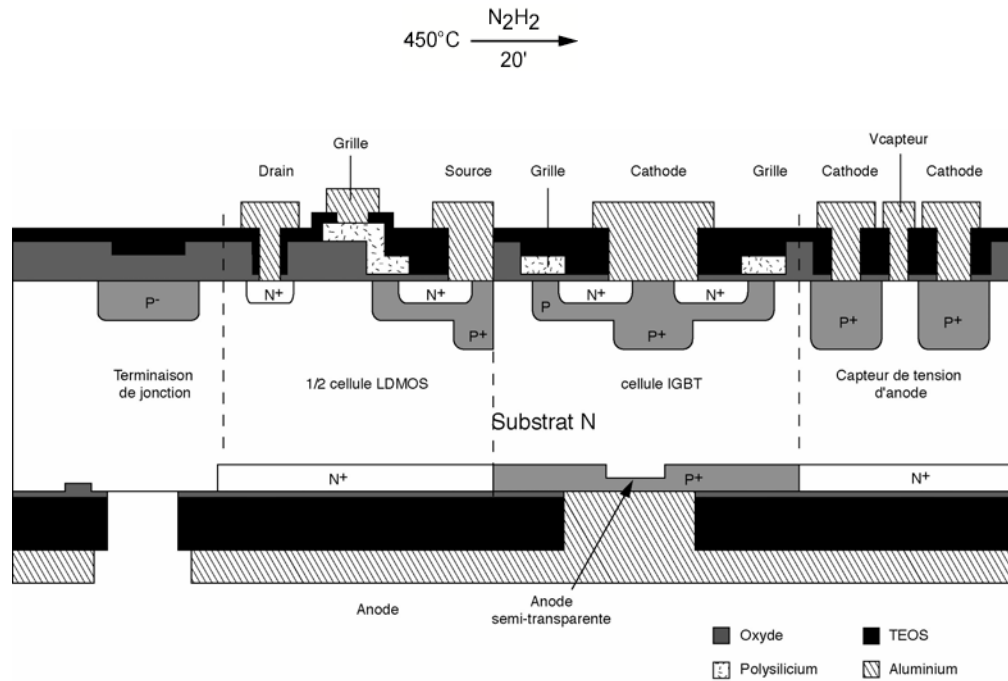
57-Gravure RIE TEOS + SiO₂ grille face arrière



58-Dissolution résine

59-Métallisation face arrière : Dépôt Al/Cu 1 μm

- 60-Photogravure métal face arrière : masque Met1inf (polarité Verre)
- 61-Gravure Al/ Cu
- 62-Dissolution résine
- 63-Recuit alu



2.3.3 Véhicule de test

La figure 46 présente une photo vue de dessus de la structure de test intégrée réalisée. La surface active totale de cette puce est de $1,79\text{mm}^2$. La surface active de la partie IGBT rapide représente un tiers de la surface totale de la puce, la durée des phases de conduction du rapide étant courtes (de l'ordre de $10\mu\text{s}$). Ce rapport de surface a été choisi arbitrairement lors de la conception du véhicule de test dans un souci de gain de surface active totale et en tenant compte du fait que la partie rapide conduit moins longtemps. Le substrat utilisé est dopé en atomes donneurs à 10^{14}cm^{-3} , il est caractérisé par une épaisseur de $300\mu\text{m}$. L'anode émettrice de la partie rapide présente une concentration en surface de 1.10^{17}cm^{-3} et une profondeur de $0,4\mu\text{m}$ alors que celle de la partie lente présente une concentration en surface de 3.10^{19}cm^{-3} et une profondeur de $7\mu\text{m}$.

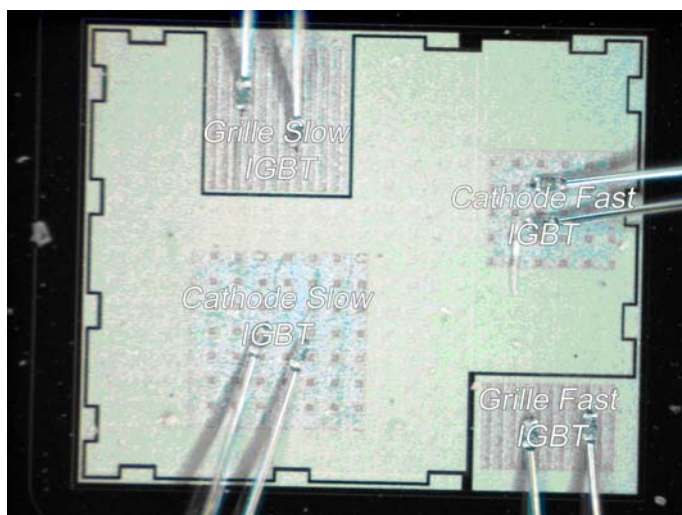


Figure 46 Photo vue de dessus du dispositif test Bi-IGBT réalisé

Comportement statique mesuré

La figure 47 présente la comparaison des caractéristiques statiques de la puce Bi-IGBT. Elles ont été réalisées en court-circuitant la grille et la cathode de la partie non mesurée.

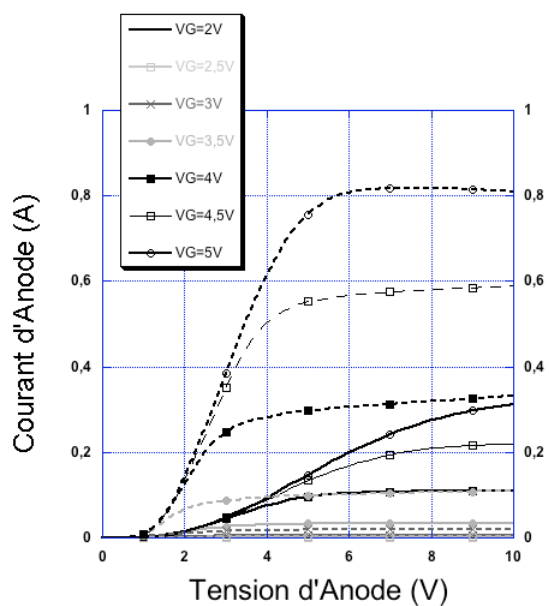


Figure 47 Comparaison des caractéristiques statiques des parties lente et rapide du Bi-IGBT

On observe, de manière analogue à la simulation et conformément à ce que l'on pouvait prévoir, une différence entre la chute en tension à l'état passant de la partie rapide et la partie lente. Par exemple, pour une tension grille-cathode de 5V et pour un courant d'anode de 0,3A, la chute de tension à l'état passant est de 2,6V pour la partie lente contre 9V pour la partie rapide.

Comportement dynamique mesuré

Nous avons aussi comparé de manière expérimentale le courant de queue obtenu lors de l'ouverture de chacun des IGBT, présent au sein de l'architecture faibles pertes, pris séparément. Ces mesures ont été effectuées lorsque l'ouverture a lieu sur charge résistive de 100Ohms et lorsque le courant commuté est de l'ordre de 850mA. La figure 48 présente cette comparaison. Nous observons un écart de 40% entre la partie lente et la partie rapide.

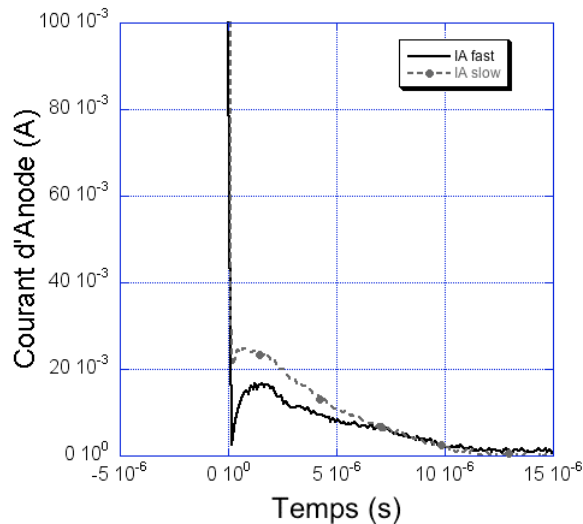


Figure 48 Comparaison des courants de queue des IGBT Slow et Fast de l'architecture faible pertes

Nous avons ensuite réalisé la caractérisation dynamique de la structure complète sur charge résistive de 100Ohms et pour un courant commuté de 850mA. L'objectif est ainsi de valider le passage de la conduction de la partie lente à la partie rapide. La figure 49 présente les tensions appliquées sur les grilles des deux parties (en traits pointillés pour la partie rapide et en traits pleins pour la partie lente).

La partie lente est contrôlée par un signal carré 0-5V à une fréquence de 140Hz délivré par une générateur de fonction conventionnel. La

La tension de contrôle de la partie rapide est synchronisée à un front descendant de celle de la partie lente. Elle est constituée par une impulsion de 0-5V de durée 1,5ms. Ainsi, quand la tension de commande de la partie lente est supprimée, la tension de commande de la partie rapide est établie. La figure 50 présente l'ouverture de l'architecture faibles pertes lorsque celle-ci est chargée par une résistance de 100Ohms et lorsque la stratégie de commande décrite ci-dessus est utilisée.

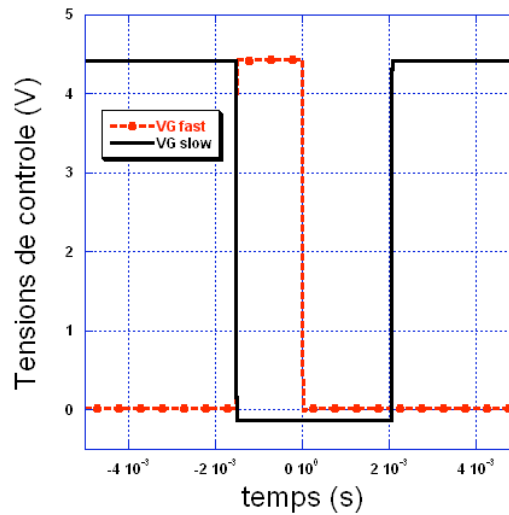


Figure 49 Stratégie de contrôle mise en œuvre pour la commande de l'architecture faibles pertes

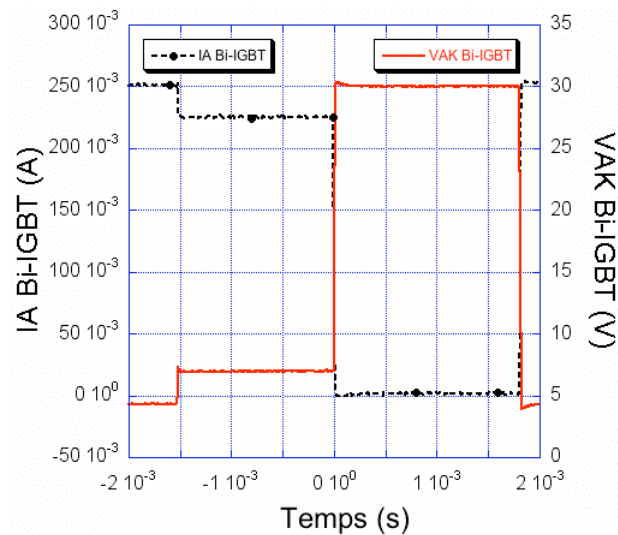


Figure 50 Caractéristiques expérimentales de l'ouverture de l'architecture faibles pertes sur charge résistive de 100Ohms

Pendant la phase de conduction, la chute de tension aux bornes de l'architecture est de 4,5V lorsque la partie lente est en conduction. Elle s'élève jusqu'à 7,5V lorsque la partie rapide est mise en conduction. La figure 51 compare le courant de queue de la partie lente prise séparément avec celui de la structure complète. Le courant de queue de l'architecture faibles pertes est inférieur, et ce dans les mêmes proportions que celui de la partie rapide prise séparément. Ceci valide la fonctionnalité de la puce Bi-IGBT. On notera tout de même que cette amélioration sensible est conditionnée par l'utilisation d'une commande adaptée. Il est important de préciser que cette commande n'est pas triviale à réaliser. Notons aussi que la queue de courant de la partie rapide reste élevée en comparaison avec l'écart obtenu lors des simulations analytiques (85%). Ces différences peuvent néanmoins s'expliquer par la différence de surface active des deux parties de la puce Bi-IGBT et par les interactions possibles entre les parties lente et rapide révélées par simulation 2D. De plus, la puce étant de dimension modeste, l'anode de la partie lente peut injecter des trous lors de la phase de conduction de la partie rapide et contribuer ainsi à augmenter le courant de queue lors de l'ouverture totale.

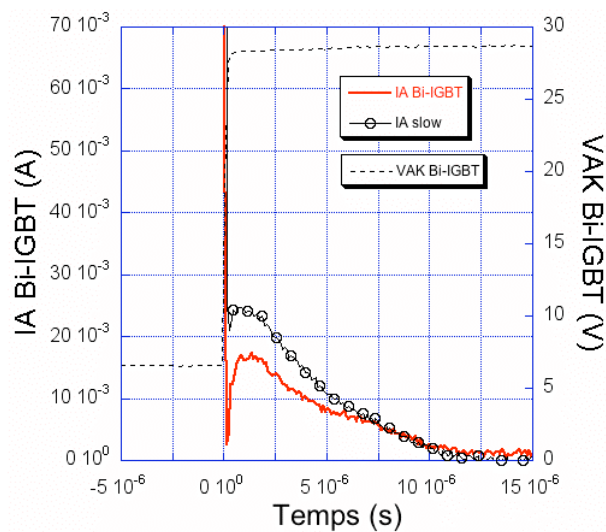


Figure 51 Agrandissement sur la zone de finalisation de l'ouverture de l'architecture faibles pertes sur charge résistive de 100Ohms

2.4 Architecture faibles pertes et commande

Comme nous l'avons précisé dans le paragraphe précédent, la validation du concept de l'architecture faibles pertes est tributaire d'une stratégie de commande (ou driver) assez évolué. Des travaux visant à réaliser des drivers d'association en parallèle de composants IGBT et MOSFET ont déjà été menées et sont répertoriées dans la littérature [69]. Nous proposons un exemple conceptuel de réalisation intégrable de commande pour l'architecture faibles pertes. Cet exemple est donné figure 52. Il s'agit de connecter les deux grilles à la source au travers de deux résistances différentes R_{G1} et R_{G2} . L'objectif est de diminuer la constante de temps du circuit de l'IGBT lent afin que celui-ci s'ouvre avant l'IGBT rapide. Des simulations analytiques ont été réalisées afin de valider cette idée de commande. Pour cela des résistances de valeur 2Ω et 10Ω ont été choisies pour les parties lente et rapide respectivement. Notons que ces valeurs ont été choisies de manière arbitraire avec un écart suffisant pour permettre la validation de la commande. Il n'en reste pas moins vrai qu'une optimisation sera nécessaire. Les figures 53 et 54 présentent respectivement la répartition des courants de puissance et les tensions grille-cathode lors de l'ouverture de l'architecture faible pertes. Ces résultats de simulation permettent de conclure que cette commande simple permet de conserver la fonctionnalité de l'architecture faible pertes.

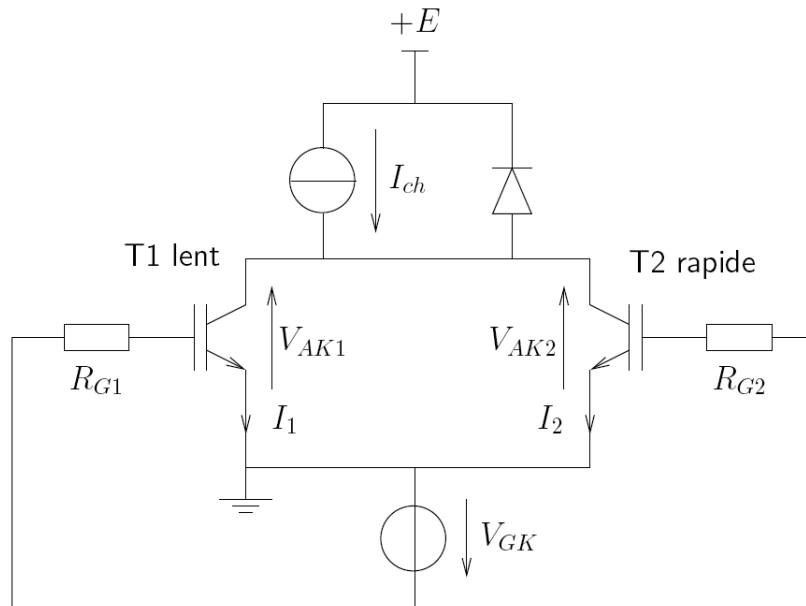


Figure 52 Exemple driver intégrable pour l'architecture faibles pertes

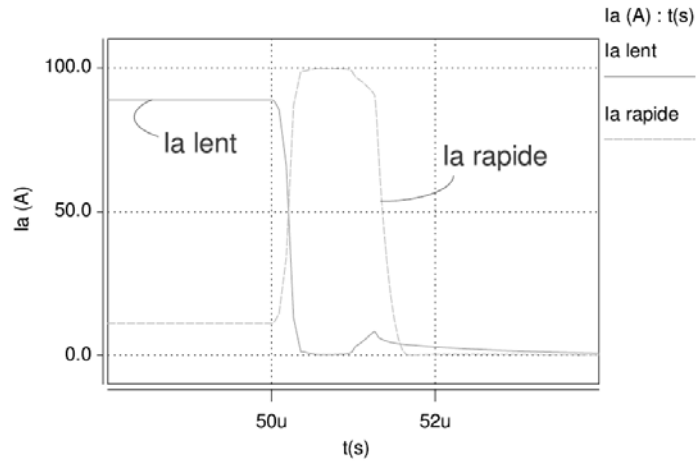


Figure 53 Répartition des courants à l'ouverture

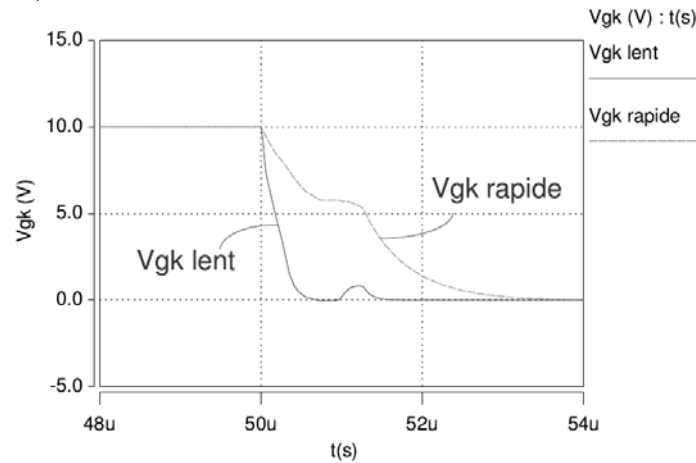


Figure 54 Tensions grille-cathode des parties lente et rapide

2.5 Conclusion

Nous avons présenté dans ce chapitre notre contribution à la diminution des pertes engendrées par un interrupteur de puissance monolithique pendant un cycle de commutation : l'IGBT. Pour cela, nous avons étudié l'association en parallèle de deux IGBTs aux efficacités d'injection différentes, appelée architecture faible pertes. De cette manière, nous espérons associer les bonnes performances de l'IGBT lent pendant la phase de conduction aux bonnes performances de l'IGBT rapide durant la phase de commutation. Les simulations analytiques basées sur des modèles développés au LAAS/CNRS ont permis de mettre en évidence l'intérêt d'une telle association au travers notamment de l'étude des pertes en fonction de la fréquence. Nous avons pu conclure que l'architecture faibles pertes di-

minue les pertes de 20% à 25% pour une gamme de fréquence allant de 4kHz à 20kHz (en comparaison avec un IGBT lent seul). Des simulations 2D ont permis d'aborder l'intégration monolithique de l'architecture faible pertes. Elles ont permis de mettre en évidence les interactions entre les parties lente et rapide de la structure intégrée et de mieux comprendre les enjeux et la problématique liée à l'intégration d'une telle structure.

Nous avons ensuite réalisé un véhicule de test intégré au Centro Nacional de Microelectronica de Barcelone. La caractérisation de ce véhicule de test a permis de valider expérimentalement la fonctionnalité de l'architecture faible pertes. Cette validation étant liée à une stratégie de commande (ou driver) difficilement intégrable, nous avons proposé une première voie pour simplifier cette commande.

Chapitre 3

Contribution à l'amélioration de la fiabilité: Intégration d'une fonction de protection contre les courts-circuits au sein d'un IGBT

Introduction

Dans ce chapitre, nous allons présenter notre contribution à l'amélioration de la fiabilité des composants et systèmes de puissance avec l'intégration d'une fonction de protection contre les courts-circuits au sein d'un IGBT. Cela nous mènera à aborder les différents modes et types de court-circuit et les façons d'en prémunir les IGBT. Les différentes solutions existantes dans la littérature seront présentées de manière chronologique et en fonction du mode de détection utilisé. Enfin nous présenterons la structure que nous avons étudiée. Nous détaillerons sa composition basée sur un composant spécifique : le Capteur de Tension d'Anode. Nous décrirons son fonctionnement et validerons sa fonctionnalité par simulation bidimensionnelle. Nous présenterons ensuite son optimisation en vue de sa réalisation technologique au sein d'un process classique d'IGBT. Les différentes contraintes liées à l'intégration monolithique nous mèneront à traiter l'isolation entre les composants des parties haute et basse tension, mais aussi entre les composants basse tension. Nous présenterons trois techniques d'isolation compatibles avec la réalisation technologique d'un IGBT classique et comparerons leur capacité à rendre la structure de détection et de protection fonctionnelle. Nous terminerons par une validation expérimentale des différents composants constituant la structure de détection et de protection.

1 Protéger contre les courts-circuits en électronique de puissance

- 1.1 Généralités sur les conditions de court-circuit**
 - 1.1.1 Modes et types de court-circuit
 - 1.1.2 Stratégies de protection et principes de détection des courts-circuits
- 1.2 Etat de l'art des protections contre les courts-circuits**
 - 1.2.1 A partir d'une détection de sur tension
 - 1.2.2 A partir d'une détection de sur intensité
 - 1.2.3 Fonctions de protections basées sur un caisson P+ flottant
- 1.3 Conclusion**

1.1 Généralités sur les conditions de court-circuit

1.1.1 Modes et types de court-circuit

On distingue plusieurs « modes » et plusieurs « types » de courts-circuits. Pour illustrer cette variété, l'exemple de l'alimentation triphasée d'un moteur de machine tournante est un des plus probants. La figure 55 représente schématiquement les différents modes de court-circuit que l'on peut rencontrer.

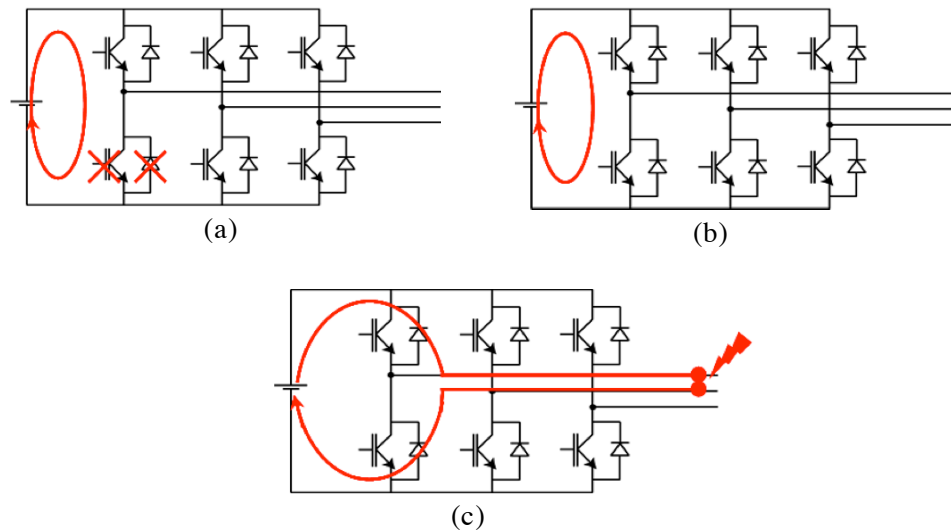


Figure 55 Différents modes de court-circuit dans l'alimentation triphasée d'une machine tournante : (a) court-circuit de bras, (b) court-circuit série, (c) court-circuit lié à la charge

On pourra donc distinguer 3 modes de court-circuit. Le mode représenté en (a), s'appelle « court-circuit de bras ». Il est identifié lorsque l'un des deux couples IGBT+diode anti-parallèle est défaillant. Le mode (b), nommé « court-circuit série » peut intervenir lorsque, momentanément ou de façon prolongée, les deux IGBT d'un même bras conduisent simultanément. Le mode (c) ou mode dit « court-circuit lié à la charge » se produit lorsque la charge alimentée par les IGBT est détruite ou endommagée (cela peut-être un bobinage fondu dans une application machine tournante). Il est important de noter que ce dernier mode est le plus destructif tant il est rapide, peut se prolonger et est difficilement contrôlable.

On distingue parallèlement deux types de court-circuit. Le court-circuit de type 1 intervient lors de la mise en conduction de l'IGBT. Cela veut dire que la condition de court-circuit est déjà présente lors de la mise en conduction de l'IGBT ou qu'elle intervient en même temps que cette dernière. On trouvera aussi dans la littérature pour nommer ce type de court-circuit l'appellation « Hard Switch Fault » (HSF). Un court-circuit de type 2 intervient alors que l'IGBT est déjà en conduction. Ce type de court-circuit est aussi communément appelé : « Fault Under Load » (FUL).

1.1.2 Stratégies de protection et principes de détection des courts-circuits [47]

Préalablement, nous allons définir les caractéristiques à prendre en compte pour qu'une stratégie de protection contre les courts-circuits soit efficace :

- La stratégie de protection doit être capable d'éteindre l'IGBT avant que celui-ci ne soit détruit, et ce, quel que soit le mode et le type de court-circuit.
- Lors de l'extinction de l'IGBT, la stratégie de protection doit permettre de protéger celui-ci contre les autres types de fautes (surtensions, ou surintensités). En d'autres termes, elle ne doit pas introduire une autre source de défaillance.
- La stratégie de protection se doit d'être immunisée contre les phénomènes transitoires (surtensions et surcourants) ainsi que contre le bruit éventuel du aux commutations.
- La stratégie de protection ne doit pas modifier le comportement de l'IGBT et ses performances lorsque celui-ci fonctionne normalement.
- La détection utilisée par la stratégie de protection devra lui permettre de déterminer de manière précise et fiable si une condition de court-circuit intervient ou non.
- Enfin, cette stratégie de protection devra pouvoir s'intégrer au plus près de l'IGBT sans modification importante sur son processus de fabrication. Cette protection ne devra pas augmenter de manière démesurée le coût de fabrication de l'IGBT.

Il est important de remarquer que les stratégies de protection existantes sont très liées aux méthodes de détection qu'elles utilisent. On dis-

tingue six méthodes de détection des courts-circuits [70, 71]. Ces méthodes sont illustrées figure 56.

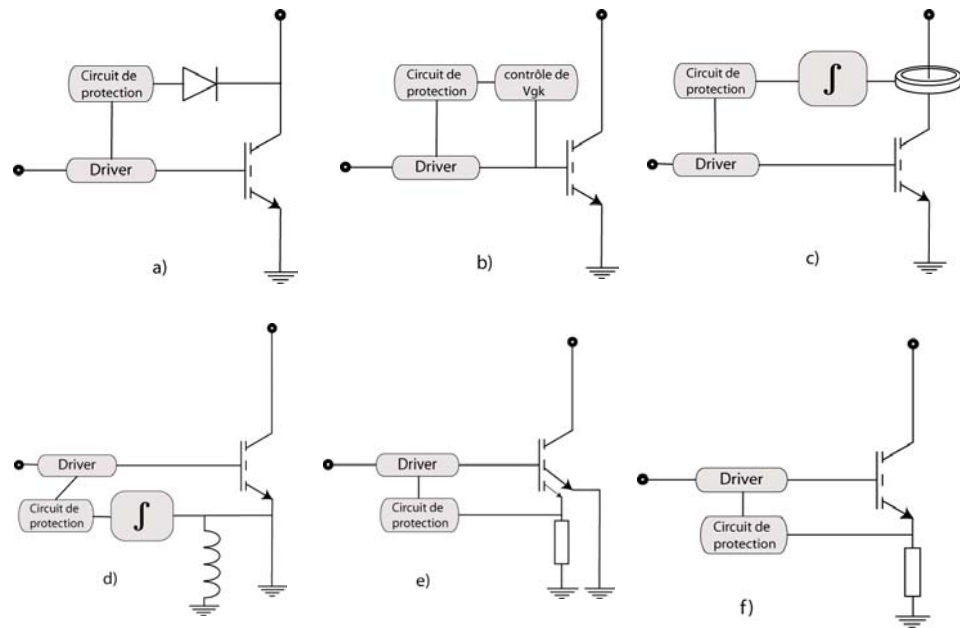


Figure 56 Différentes méthodes de détection des courts-circuits

Nous allons détailler maintenant ces différentes méthodes :

- a) Cette technique est appelée *détection de désaturation*. La diode connectée à l'anode permet de détecter une augmentation de la tension de celle-ci d'une faible valeur (chute de tension à l'état passant) à une valeur proche de la tension d'alimentation. Le principal désavantage de cette méthode réside dans le fait qu'elle doit être associée à un temps de délai pour éviter que la protection soit activée lors d'une surtension lors de la mise en conduction.
- b) Cette méthode consiste à surveiller la tension de grille. La protection est ensuite activée si la tension de grille dépasse une valeur seuil préalablement fixée. D'autres manières de détecter une condition de court-circuit utilisent une analyse de la dynamique de charge de la grille.
- c) Représente une méthode plus « archaïque ». Elle consiste en un tore de ferrite à l'intérieur duquel sera placé le conducteur connecté à l'anode. Le flux de courant traversant le plan du tore de ferrite sera transformé en flux magnétique puis a nouveau transformé en courant par un bobinage placé autour du tore. Après intégration, une tension

proportionnelle au courant d'anode est obtenue. Cette méthode présente beaucoup d'inconvénients, notamment le fait d'être plus sensible aux variations de courant qu'aux valeurs continues. Cependant elle résout un problème important d'isolation électrique entre la partie haute tension (ou puissance) et la partie protection et commande.

- d) Cette méthode utilise la chute de tension que l'on peut observer entre les connexions de Kelvin et de puissance de la cathode d'un IGBT. Cette connexion est classiquement modélisée par une inductance et la méthode de détection utilise la variation de la chute de tension aux bornes de cette inductance lorsque le courant qui la traverse varie. Cette méthode sera donc par définition sensible aux variations de courant mais pas aux valeurs continues de ce courant.
- e) Avec cette technique, une partie des cellules de l'IGBT est dédiée à la réalisation d'un capteur de courant. Ce capteur permet d'évaluer le courant total grâce à la chute de tension observée aux bornes de la résistance qu'il alimente. Une valeur typique du ratio observé entre les cellules du capteur et les cellules de l'IGBT principal est de 1:1000. Ceci implique des valeurs de tension très faibles et aura pour conséquence une précision pour cette méthode de détection relativement mauvaise.
- f) Cette dernière méthode de détection utilise la mesure directe de la chute de tension aux bornes d'une résistance placée entre la cathode et le potentiel de référence. La valeur obtenue ainsi est très précise et sans délai, mais son implémentation est relativement coûteuse (utilisation de résistance de très haute performance). On ajoutera à cela la consommation de puissance accrue et une dégradation du comportement dynamique par l'ajout d'une composante inductive.

Ces méthodes de détection ont été pour la plupart largement utilisées. Certaines d'entre elles font partie des méthodes utilisées par des protections contre les courts-circuits étudiées récemment ou en cours d'étude. C'est ce que nous allons voir dans le prochain paragraphe.

1.2 Etat de l'art des protections contre les courts-circuits

1.2.1 A partir d'une détection de surtension

Dans cette partie, nous avons choisi d'exposer succinctement les différentes structures de protection contre les courts-circuits utilisant comme mode de détection celui de la surtension. Dans le dessein d'entrevoir les différentes évolutions sur ces protections, nous avons choisi de les présenter par ordre chronologique.

(1991) → PIC IR 2125 d'International Rectifier™ [72]

Le PIC IR 2125 d'International Rectifier™ est une solution simple et bas coût de driver de MOS et d'IGBT. Cette solution utilise la détection d'une surtension sur l'anode par l'intermédiaire de la diode D1 (figure 57). Cette solution utilise un délai avant détection du court-circuit réalisé par le filtre $(R2+R3)C6$. Ce délai prévient contre le déclenchement de la protection lors de la mise en conduction de l'IGBT jusqu'à la mise en conduction complète.

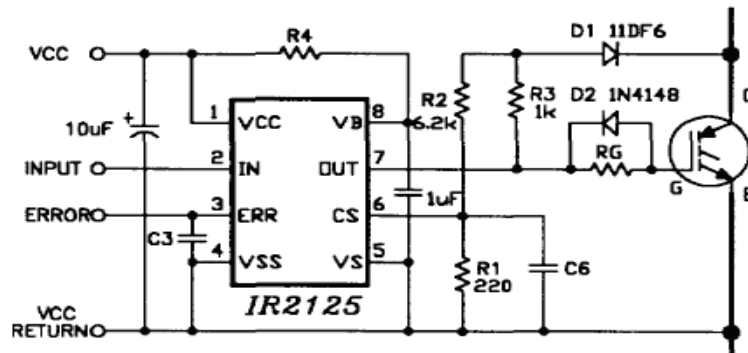


Figure 57 Circuit de protection contre les courts-circuits basé sur le PIC IR 2125

(1998) → Structure de protection utilisant à la fois la désaturation et la détection de forts di/dt [73]

La structure de protection présentée ici utilise simultanément deux stratégies de détection. La première est la détection de désaturation et la deuxième s'attache à mesurer la chute de tension entre les terminaisons de puissance et de Kelvin de la cathode. La deuxième méthode correspond à

une détection de variation de courant (di/dt). La figure 58 représente le schéma de principe d'une telle structure. Une estimation du niveau de courant est réalisée grâce à un intégrateur. Le déclenchement de la structure de protection est donc obtenu à l'aide de ces deux modes de diagnostic pour une gestion plus précise du type de court-circuit. On notera la présence d'un circuit de clamping et d'un circuit d'ouverture douce de l'IGBT pour améliorer la fiabilité de l'ensemble IGBT+structure de protection. Des résultats expérimentaux de cette structure de protection réalisée à l'aide composants discrets valident sa fonctionnalité.

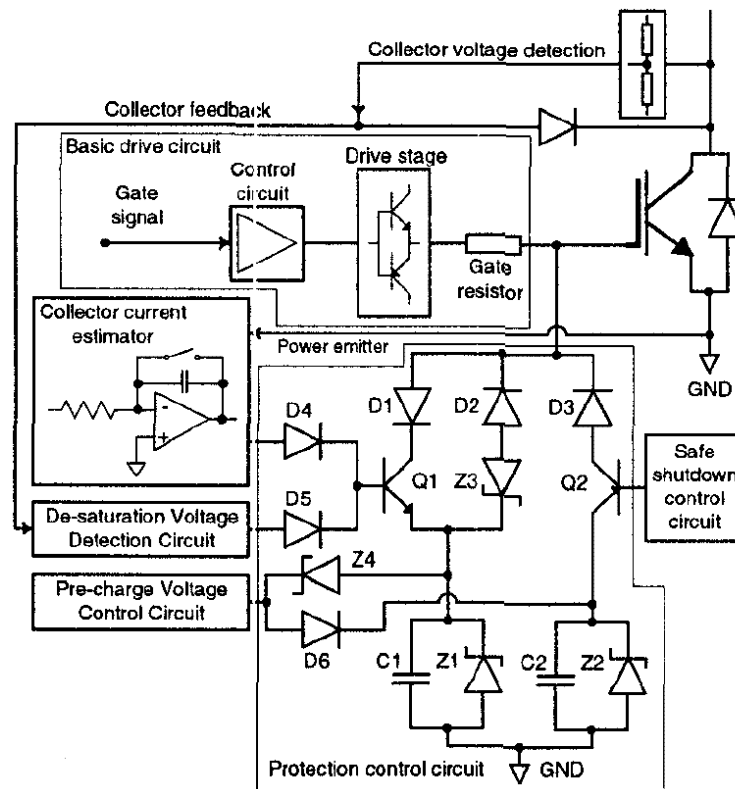
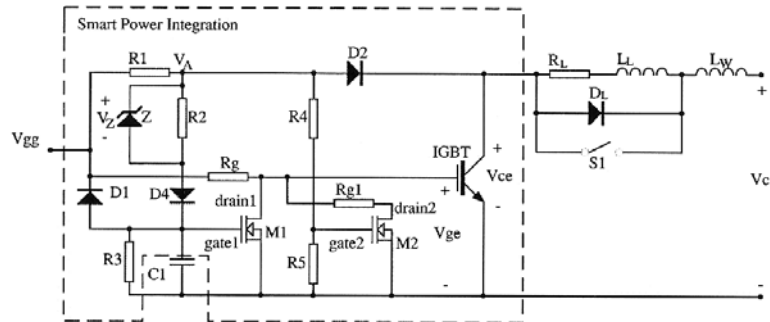


Figure 58 Schéma de principe de la structure de protection combinant les détections par désaturation et par di/dt

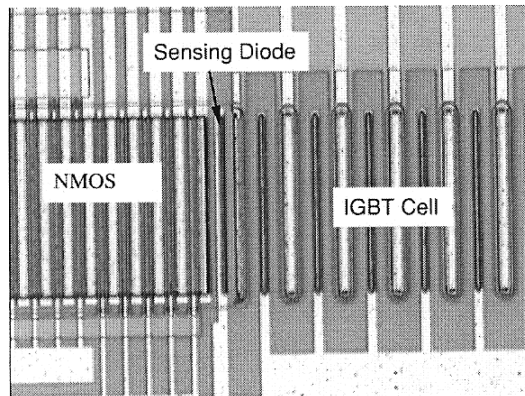
(2000) → *Circuit de protection de IGBT latéraux [74]*

Le circuit proposé ici est une progression en termes d'intégration. Il propose une détection de désaturation basée sur une diode intégrée et sur un transistor latéral dédié à la décharge de la grille de l'IGBT lorsqu'une condition de court-circuit est détectée. La figure 59 présente le circuit de protection ainsi que la vue de dessus de l'intégration monolithique du LIGBT, de la diode de détection et des transistors NMOS. L'intégration

ainsi réalisée a permis de vérifier expérimentalement l'efficacité de la protection. L'extinction de l'IGBT a lieu entre $6\mu s$ et $12\mu s$, pour les courts-circuits de type 1 et de type 2 respectivement.



(a)



(b)

Figure 59 Schéma équivalent de la structure de protection contre les courts-circuits (a) et l'intégration monolithique d'une partie de ses composants (b)

(2002) → *Circuit de protection discret à détection de désaturation combinant plusieurs types de protection [70]*

Il s'agit ici d'une structure de protection réalisée de manière discrète qui associe plusieurs stratégies de protection pour améliorer la fiabilité de la protection. La figure 60 présente le schéma de principe de la protection. Cette structure est basée principalement sur la détection de la désaturation grâce à une diode reliée à l'anode, mais elle intègre aussi une « protection contre la protection ». En effet, le propre d'une structure de protection contre les courts-circuits est, lorsque celle-ci entre en fonction, de réaliser l'ouverture du composant de puissance avec une haute tension à ses bornes ainsi qu'une tension de grille généralement plus élevée que la valeur nominale. Le courant est donc très important et, sa chute brutale,

(fort dI/dt) peut entraîner une défaillance de type (C). La solution du « clamping » est donc fréquemment utilisée. Elle consiste à réduire la tension de grille avant l'ouverture de l'IGBT. La structure présentée ici comporte une amélioration de ce clamping. Cette structure présente aussi un contrôle de la tension de grille. Ce contrôle permet d'adapter dynamiquement la résistance de grille et ainsi de prévenir contre les défaillances de type (A). Il est important de noter que cette structure de protection a été validée expérimentalement et est efficace pour les deux types de court-circuit.

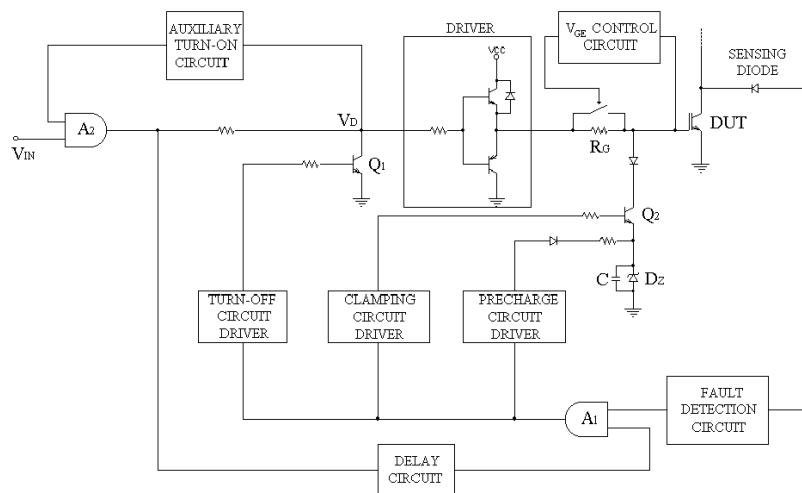
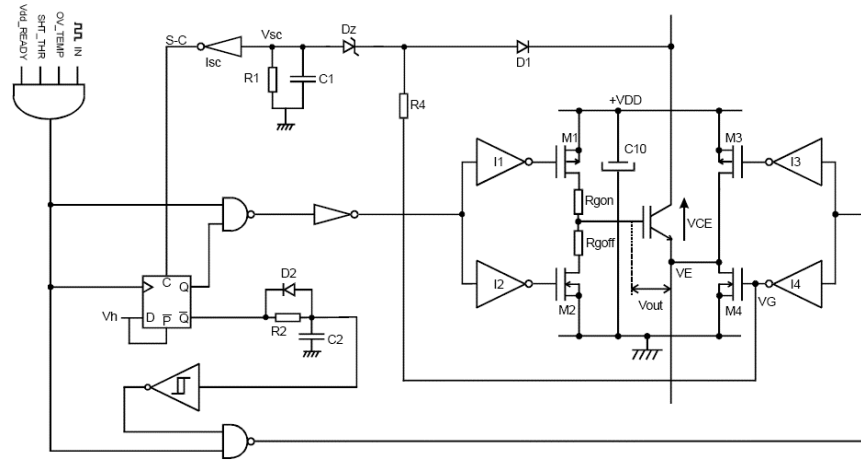


Figure 60 Schéma de principe d'une structure de protection contre les courts-circuits utilisant plusieurs protections annexes

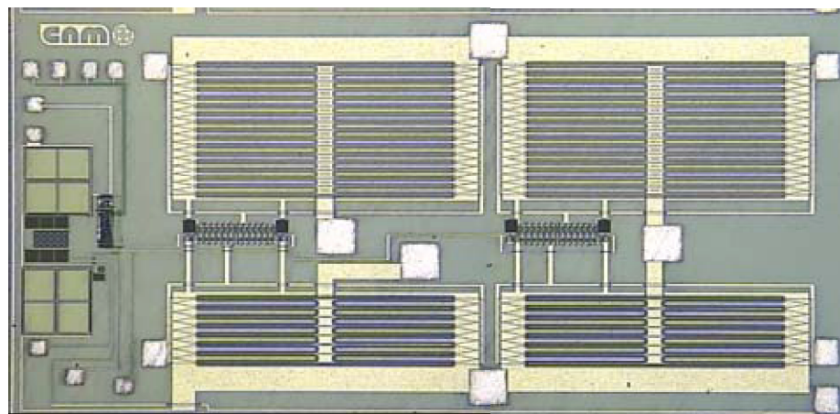
(2004) → *Driver totalement intégré comportant une structure de protection contre les courts-circuits [75]*

La première innovation de ce driver, avec une structure de protection intégrée, est qu'il est réalisé à partir d'une filière CMOS haute tension en ajoutant une seule étape technologique. Cette caractéristique permet une réalisation à bas coût dans des chaînes de production industrielles. Ce driver est de plus doté d'une protection contre les courts-circuits évoluée puisqu'elle compte plusieurs protections annexes. En effet, un circuit de « coupure douce » de l'IGBT réalisé à partir d'une topologie « full bridge ». La coupure douce permet d'éviter des transitions brutales lors de l'ouverture et prévient contre les défaillances de type (C). La figure 61 présente le schéma du driver intégré ainsi qu'une photo de sa réalisation technologique. On notera aussi la présence d'un filtre (appelé « blaquing filter ») qui empêche la protection d'être effective lors d'une commutation

normale. Il est important de remarquer que la commande de l'IGBT est réalisée en logique $\pm 15V$. Cela permet une protection plus efficace de l'IGBT lors de son ouverture en limitant le courant de fuite.



(a)



(b)

Figure 61 Driver et protection contre les courts-circuits totalement intégrés, schéma de principe (a) et réalisation technologique (b)

(2005) → *Driver totalement intégré basé sur la détection de désaturation et sur le contrôle de la tension de grille [76]*

Ce driver intégré, utilise la technique de détection de désaturation à l'aide d'une diode, associé au contrôle simultané de la tension de grille. La protection réalise ainsi le diagnostic d'une condition de court-circuit de manière plus fiable et plus rapide ($1\sim 2\mu s$). La figure 62 représente le schéma du bloc fonction de protection contre les courts-circuits de ce driver. Ce driver combine des fonctions de protection additionnelles comme

l'optimisation de la résistance de grille et le couplage capacitif grille-cathode contrôlé. Le courant de court-circuit est ainsi diminué de moitié sans augmenter les pertes énergétiques lors de la mise en conduction.

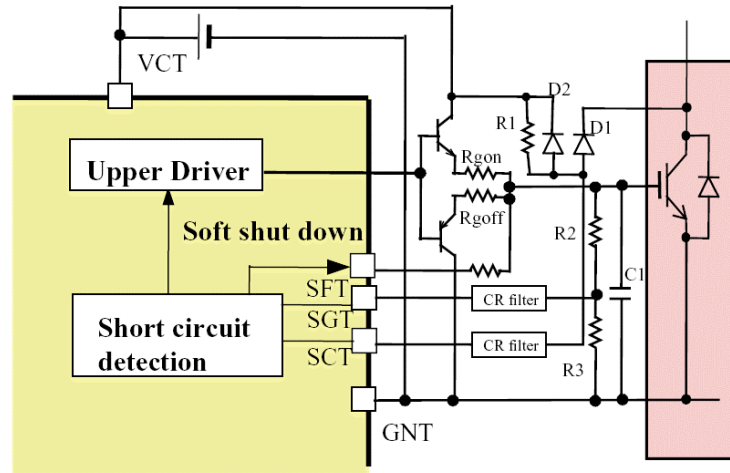


Figure 62 Schéma du bloc fonction de protection contre les courts-circuits d'un driver utilisant simultanément la détection de désaturation et le contrôle de tension de grille

La chronologie des protections contre les courts-circuits basées sur la détection de la tension d'anode révèle plusieurs éléments importants :

- Dans un premier temps, les innovations des structures de protection vont dans le sens de la multiplication du nombre d'indicateurs d'état qui vont déterminer la détection du court-circuit.
- La fonction de protection contre les courts-circuits est souvent associée à des protections complémentaires contre les phénomènes transitoires induits par la protection elle-même.
- La volonté d'intégrer monolithiquement le driver et la protection est un constat révélé par l'étude chronologique des structures de protection.

1.2.2 A partir d'une détection de sur intensité

(1994) → Protection contre les courts-circuits utilisant un capteur de courant totalement intégrée [77]

La protection exposée ici utilise comme moyen de détection un capteur de courant réalisé à partir d'une fraction des cellules de l'IGBT principal. Cette protection est composée d'un transistor NMOS, d'une diode polysilicium et d'une résistance (figure 63). L'intégration de ce dispositif est faite à partir d'un procédé classique d'IGBT 600V-50A. Elle nécessite l'ajout d'un seul niveau de masquage. La figure 64 présente une vue en coupe schématique de l'intégration réalisée. La protection est activée lorsqu'un courant trop important est détecté, elle intervient en diminuant la commande de grille. Les résultats expérimentaux montrent une immunité aux courts-circuits de $30\mu\text{s}$ à 125°C . Notons que l'état passant et la dynamique de l'ouverture de l'IGBT ne sont pas dégradés.

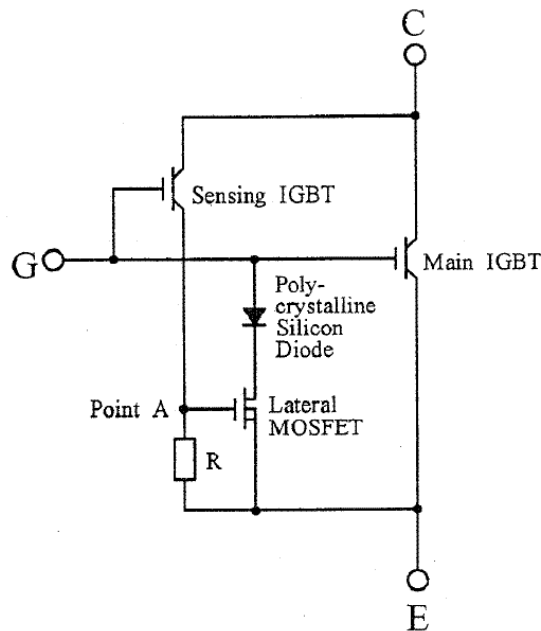


Figure 63 Circuit équivalent de l'IGBT avec structure de protection intégrée utilisant un capteur de courant

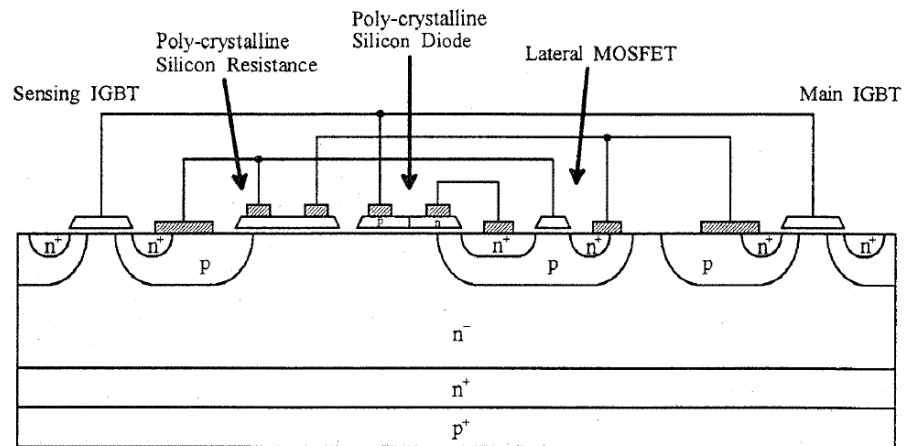


Figure 64 Vue en coupe schématique de l'intégration de la structure de protection

Remarquons que cette structure de protection a été améliorée en 1995 [78] par l'intégration d'une protection contre les surtensions et les dépassements de température. Ainsi une structure de protection complète totalement intégrée a été proposée.

(1996) → Protection contre les courts-circuits et les conditions de surchauffe totalement intégrée [79]

La structure de protection présentée ici est construite à partir de l'association monolithique d'un IGBT vertical haute tension et de transistors NMOS latéraux. Une seule étape technologique supplémentaire est nécessaire à sa réalisation : il s'agit de l'ajout d'un dopage P. La figure 65 présente le schéma équivalent de la structure de protection contre les courts-circuits et les surchauffes. Un circuit de coupure de la commande de grille réalise la fonction OU logique entre la condition de sur-courant et celle de surchauffe. La détection du sur-courant est réalisée à partir d'un capteur de courant et d'une résistance R_{SENSE} , alors que la détection de dépassement de température est basé sur le principe de la mise en série de diodes polysilicium. On notera que les résultats expérimentaux permettent d'évaluer que la chute de tension à l'état passant est la même que pour un IGBT classique et que la vitesse de commutation est inchangée.

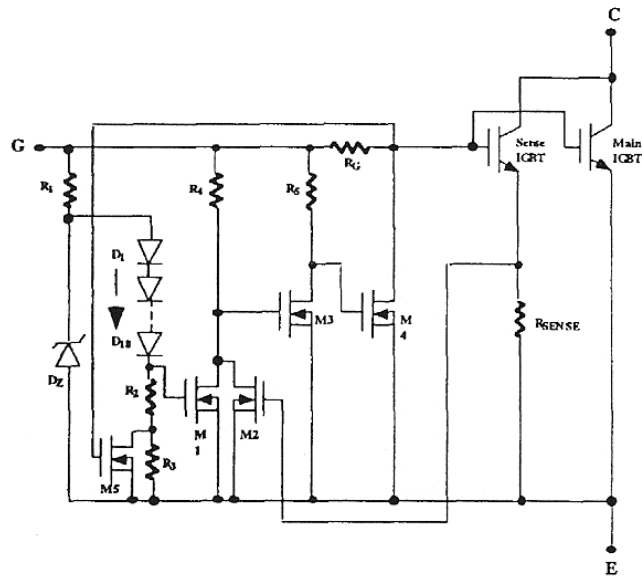


Figure 65 Schéma équivalent d'une structure de protection contre les courts-circuits et contre les dépassements de température

(2002) → *Circuit de protection évolué intégré agissant sur la commande de grille [80]*

La structure de protection décrite ici est composée des éléments suivants : un bloc de référence en tension insensible aux variations de températures, un capteur de température et le bloc de protection contre les dépassements de température associé, un bloc de protection contre les courts-circuits.

La détection du court-circuit est réalisée à partir d'un capteur de courant qui utilise une fraction des cellules de l'IGBT principal. Cette valeur de courant est ensuite transmise à un comparateur qui va déterminer la présence ou non d'une condition de court-circuit et ainsi activer ou non le circuit de protection. La figure 66 représente le schéma équivalent de l'IGBT avec la protection contre les courts-circuits et contre les dépassements de température intégrée.

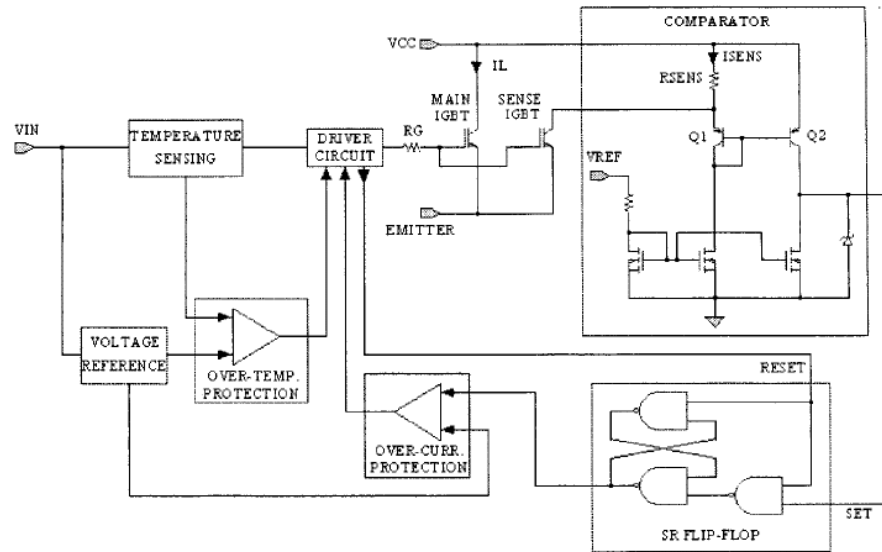


Figure 66 Schéma équivalent d'une structure de protection contre les courts-circuits et contre les dépassements de température intégrée monolithiquement

Dans ce paragraphe, nous avons traité de manière chronologique les protections contre les courts-circuits utilisant comme principal moyen de détection un capteur de courant. Nous pouvons remarquer que contrairement aux protections basées sur une détection par désaturation, la voie de l'intégration s'est révélée, dès les premières solutions apparues, plus naturelle. Cela est dû probablement à la mise en œuvre du capteur de courant qui suppose déjà une intégration monolithique. On remarquera la même tendance à la complexification et à la diversification des fonctions de protection intégrées, pour qu'elles soient plus précises et plus fiables.

1.2.3 Fonctions de protections contre les courts-circuits intégrées basées sur un caisson P flottant

Bien que ces solutions de protection contre les courts-circuits soient proches d'une solution basée sur une détection de désaturation, nous avons choisi de les présenter à part du fait de leur proximité conceptuelle avec la solution que nous proposons dans ce manuscrit.

La figure 67 présente la coupe schématique et le schéma de protection d'une première structure utilisant un caisson P flottant. Cette structure de protection totalement intégrée est composée d'un caisson P+, d'une résistance polysilicium, d'un transistor LDMOS et d'une capacité externe (non intégrée) pour la réalisation d'un *Blanking time*⁸.

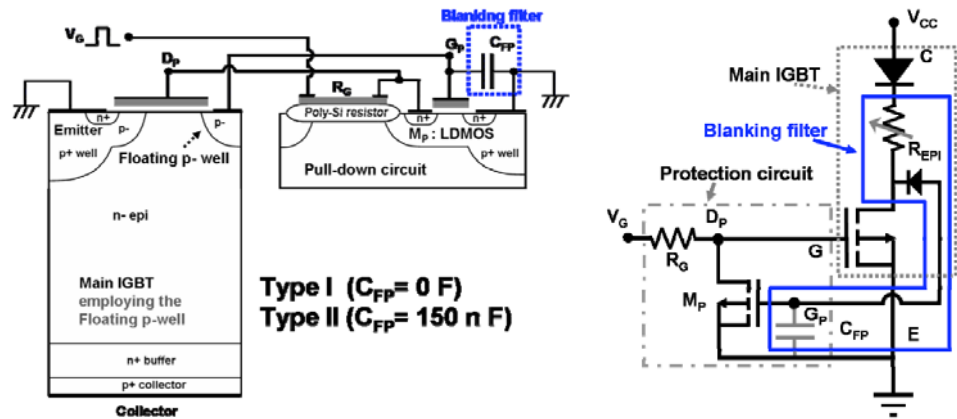


Figure 67 Coupe schématique et schéma équivalent d'une structure de protection utilisant un caisson P flottant

⁸ Temps de délai nécessaire lors de la mise en conduction normale de l'IGBT pour éviter une erreur de détection.

Cette structure de protection est validée expérimentalement pour les deux types de court-circuit [81]. Elle est totalement active au bout d'environ $4\mu s$.

La figure 68 présente la vue en coupe ainsi que le schéma équivalent d'une autre structure proposée par le même auteur [82]. Cette structure est composée d'un caisson P+ flottant, de deux transistors LDMOS et de leurs résistances polysilicium associées. Le premier couple LDMOS - résistance poly assure le rôle de circuit d'ouverture en cas de condition de court-circuit et le second couple celui capteur du courant provenant du caisson P+ flottant. La fonctionnalité de cette structure de protection est validée par simulation bidimensionnelle en Mixed Mode pour un court-circuit de type 1. Notons que cette structure de protection n'emploie aucun composant de blanking time et qu'elle permet ainsi une protection plus rapide ($1-2\mu s$). Enfin, on notera que cette structure de protection n'affecte pas l'état passant de l'IGBT protégé.

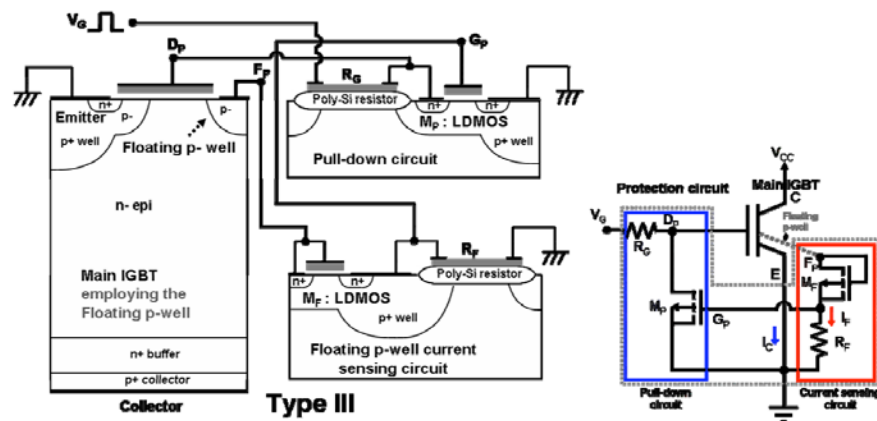


Figure 68 Vue en coupe et schéma équivalent d'une deuxième structure de protection contre les courts-circuits utilisant un caisson P+ flottant

1.3 Conclusion

Dans ce paragraphe, nous avons présenté les caractéristiques des différentes conditions de court-circuit. Nous avons ensuite détaillé le recensement des stratégies de protection et leurs différents modes de détection associés. Les chronologies des solutions de protection basées sur les détections de surtension et de sur-intensités ont été exposées et ont permis de détacher les différentes tendances liées au mode de détection. Pour finir, une structure de protection dont le concept est proche de celui de la solution

tion que nous proposons au prochain paragraphe a été détaillée et commentée.

2 Structure de protection contre les courts-circuits intégrée

2.1 Introduction

2.2 Le capteur de tension d'anode (CTA)

2.2.1 Topologie et fonctionnement

2.2.2 Réalisation technologique et caractérisation

2.3 La structure de protection

2.3.1 Topologie et fonctionnement

2.3.2 Contraintes et optimisations de la structure de protection

2.3.3 Paramètres de la structure de protection pour la validation par simulation 2D

2.3.4 Problématique d'intégration monolithique

2.4 Validation expérimentale

2.4.1 Transistor LDMOS

2.4.2 Diodes Zener

2.4.3 IGBT

2.5 Conclusion et discussion

2.1 Introduction

Dans ce paragraphe, nous allons traiter de la solution que nous avons souhaité apporter à la protection des IGBT contre les conditions de court-circuit. Notre solution est basée sur une détection simultanée de la tension d'anode et de la commande de grille. Si la détection de la commande de grille ne pose pas de problème particulier, celle de la tension d'anode peut, quant à elle, être accompagnée de difficultés. En effet, l'information relative à la tension d'anode est localisée sur la face arrière (pour les IGBT verticaux classiques) alors que le circuit de protection utilisant cette information est situé en surface du composant à protéger. De plus, la tension d'anode dans le cas d'une condition de court-circuit est très élevée (de l'ordre de la tension d'alimentation) alors que le circuit de protection fonctionne en basse tension. Une des premières difficultés sera donc d'amener en surface une grandeur proportionnelle à la tension d'anode. C'est le rôle que remplit le « capteur de tension d'anode » ou CTA.

2.2 Le capteur de tension d'anode (CTA) [83]

2.2.1 Topologie et fonctionnement

La figure 69 présente la coupe schématique du capteur de tension d'anode. Il est composé de deux caissons P⁺ reliés au potentiel de référence P⁺ espacés d'une distance notée "l". Entre ces deux caissons est diffusée une couche N⁺ réalisant le contact ohmique de l'électrode V_{capteur}.

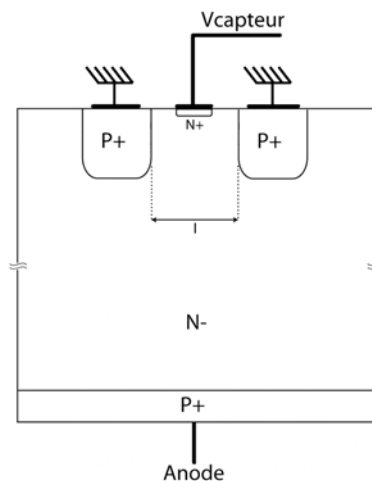


Figure 69 Coupe schématique du Capteur de Tension d'Anode

Lorsque la tension d'anode augmente, les jonctions P⁺/N⁻ sont polarisées en inverse. Il en résulte une augmentation de la Zone de Charge d'espace dans la région peu dopée N⁻ et une déplétion de la zone située entre les deux caissons P⁺. Un phénomène de recouvrement des lignes de potentiel intervient donc dans la zone inter caissons. La figure 70 illustre ce phénomène pour des tensions d'anode de 3V à gauche et 150V à droite. Ce phénomène analogue au pincement dans un JFET est aussi utilisé pour réaliser l'autoblindage des composants haute tension.

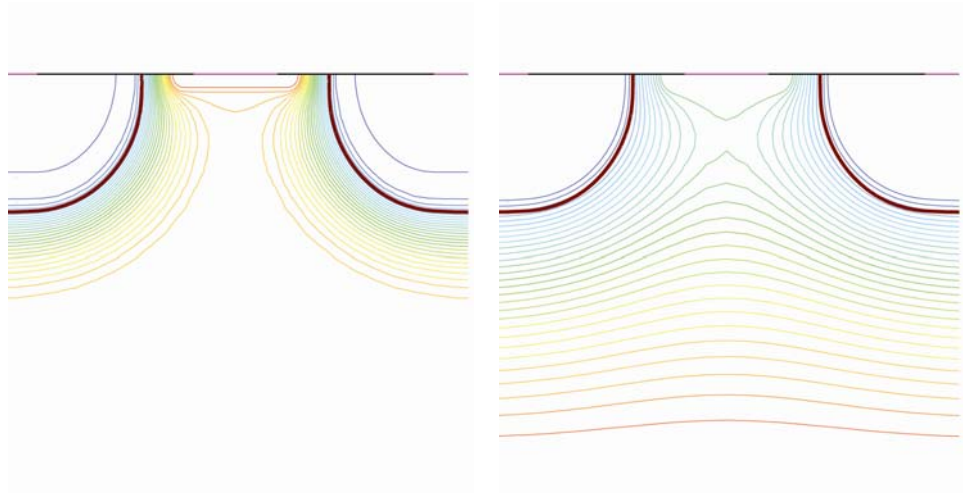


Figure 70 Phénomène de recouvrement des lignes de potentiel dans la zone inter caissons pour une tension d'anode de 3V à gauche et 150V à droite

2.2.1.1 Comportement Statique

La figure 71 présente l'évolution de la tension V_{capter} en fonction de l'évolution de la tension d'Anode pour différentes valeurs du paramètre d'écartement entre les deux caissons P⁺ « l ». Ces résultats sont obtenus par simulation 2D aux différences finies en utilisant la suite logicielle ISE-TCAD. On observe une augmentation de la tension V_{capter} lorsque la tension d'Anode augmente. Cependant la plage de variation de la tension de V_{capter} évolue dans une gamme plus faible que celle de la tension d'Anode. L'augmentation linéaire de la tension V_{capter} en fonction de la tension d'Anode observée pour des faibles valeurs de tensions, sature rapidement lorsque le recouvrement des équipotentielles de la région inter caissons intervient. On remarquera que cette saturation est d'autant plus rapide et d'autant plus importante que le recouvrement des équipotentielles est efficace. Autrement dit la tension observée en V_{capter} est plus faible lorsque la distance inter caissons diminue. Ce phénomène est directement lié à une

déplétion plus ou moins prononcée lorsque les jonctions P⁺/N⁻ sont polarisées en inverse.

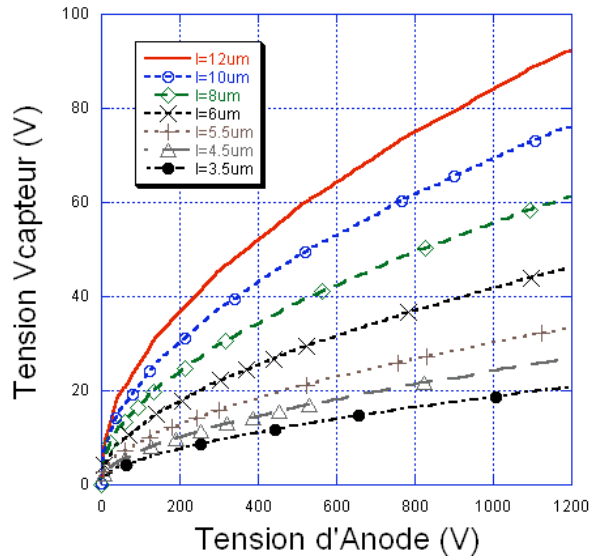


Figure 71 Evolution de la tension Vcapter en fonction de la tension d'Anode pour différentes valeurs de l

2.2.1.2 Comportement dynamique en charge

Nous allons voir au cours des prochains paragraphes l'utilisation du CTA comme composant clé au sein d'une structure de protection contre les courts-circuits. Il convient donc de vérifier que la cohabitation et l'interaction entre le CTA et les autres composants constituant la structure de protection sera possible. Pour cela nous allons étudier le comportement dynamique de ce composant lorsqu'il est chargé par une résistance ou une capacité modélisant la grille d'un transistor MOS à commander. Le circuit d'expérimentation simulé est relativement simple : une source de tension crête est connectée à l'anode, les caissons P⁺ sont connectés au potentiel de référence et l'électrode Vcapter est connectée à la charge. La figure 72 présente l'évolution de la tension Vcapter lors d'une augmentation brutale de la tension d'anode, l'électrode Vcapter étant chargée par une résistance purement ohmique de 10kΩ. La figure 73 présente cette même évolution lorsque la tension d'anode diminue brusquement. Le cas d'une charge résistive révèle donc une réponse pour le CTA comparable à celle d'un circuit RC soumis à un échelon de tension. La capacité C pourra être identifiée comme résultant de la déplétion de la zone inter caissons. La possibilité pour le CTA d'alimenter un circuit purement résistif est donc démontrée du

fait que le temps entre le début du créneau de tension et le régime permanent de tension aux bornes de la résistance est atteint en moins de $50\mu\text{s}$. On notera que la valeur pic atteinte par la tension V_{capteur} est quasi-instantanée.

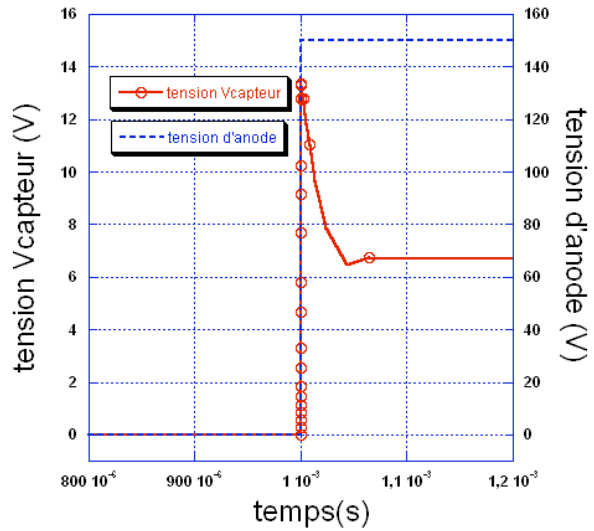


Figure 72 Réponse sur charge résistive de $10\text{k}\Omega$ de la tension V_{capteur} à un créneau de tension sur l'Anode

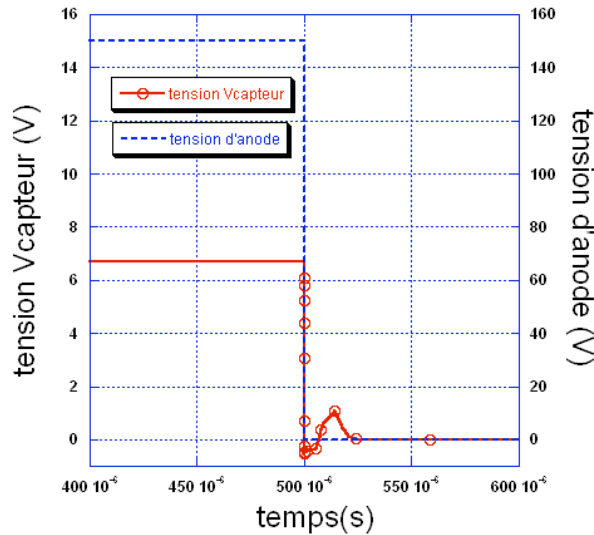


Figure 73 Réponse sur charge résistive de $10\text{k}\Omega$ de la tension V_{capteur} à un créneau de tension négatif sur l'Anode

Nous avons ensuite réalisé la même simulation lorsque le CTA est connecté à une capacité de $0,5\text{pF}$. La réponse du CTA dans le cas d'une

charge capacitive va nous permettre de vérifier l'aptitude de ce composant à commander la grille d'un transistor MOS. La figure 74 présente la réponse sur charge capacitive du CTA à un échelon de tension sur l'Anode.

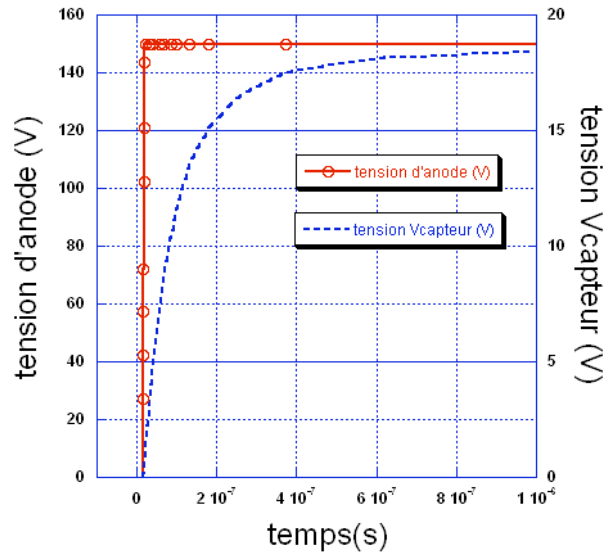


Figure 74 CTA sur charge capacitive de 0,5pF, réponse à un échelon de tension sur l'Anode

On remarquera que la capacité est totalement chargée en $1 \mu\text{s}$ et que 90% de cette charge sont atteints en $0,2 \mu\text{s}$. Ces résultats révèlent une bonne aptitude du CTA à commander un circuit de protection basé sur des composants à grille isolée.

2.2.2 Réalisation technologique et caractérisation

Les premiers prototypes de CTA ont été réalisés en 2001 [8]. Ils étaient unicellulaires et offraient en conséquence un faible calibre en courant, ce qui les rend inadaptées à la commande de grille MOS. Cependant ces premiers dispositifs validaient la fonctionnalité du CTA et ont permis de mettre en exergue la problématique de topologie de surface de ces composants. La figure 75 présente une photo des deux CTA réalisés. Le dispositif de gauche présente une distance inter caissons P^+ (l) de $12 \mu\text{m}$ et celui de droite de $8 \mu\text{m}$. Nous avons comparé les simulations 2D et 3D avec les résultats expérimentaux obtenus avec ces premiers dispositifs. Les CTA réalisés et simulés possèdent les paramètres suivants : profondeur de jonction de $7,4 \mu\text{m}$, concentration en surface de $2 \cdot 10^{19} \text{cm}^{-3}$, épaisseur totale du wafer

de $300\mu\text{m}$. La figure 76 présente la comparaison des simulations 2D et 3D réalisées avec ISE-TCAD avec les résultats expérimentaux.

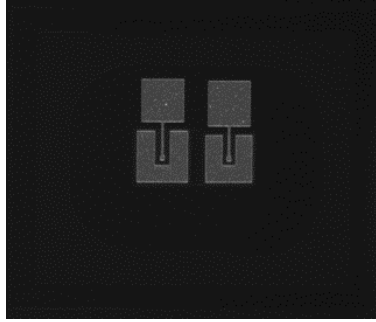


Figure 75 Photo des premiers dispositifs de CTA réalisés (2001)

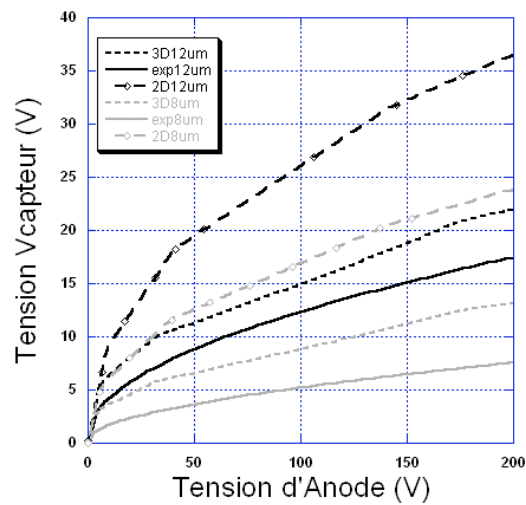


Figure 76 Comparaison des simulations 2D et 3D et des résultats expérimentaux de l'évolution de la tension Vcapteur en fonction de la tension d'anode

Les différences observées entre la simulation 2D et les résultats expérimentaux peuvent être attribuées à la topologie de surface des dispositifs réalisés. En effet, les CTA réalisés ont une topologie de surface où le contact Vcapteur est entouré d'une ceinture de caisson P⁺ alors que la simulation 2D considère un contact Vcapteur bordé de part et d'autre par un caisson P⁺. On imagine alors, et la simulation 3D vient conforter cette idée, que le recouvrement des équipotentielles dans les structures réalisées est plus important, de la même manière que si l'on avait rapproché les deux caissons P⁺. La valeur de tension Vcapteur mesurée est donc plus faible que celle prévue par simulation 2D.

Par la suite, nous avons réalisé en juillet 2005 d'autres dispositifs intégrés de CTA, cette fois-ci multicellulaire, de telle sorte que le calibre

en courant soit compatible avec la commande d'une grille de transistor MOS. Pour cela nous avons réalisé deux types de topologies de surface, l'une inter digitée (figure 77.a) et l'autre avec des cellules carrées plus proche des dispositifs déjà réalisés (figure 77.b).

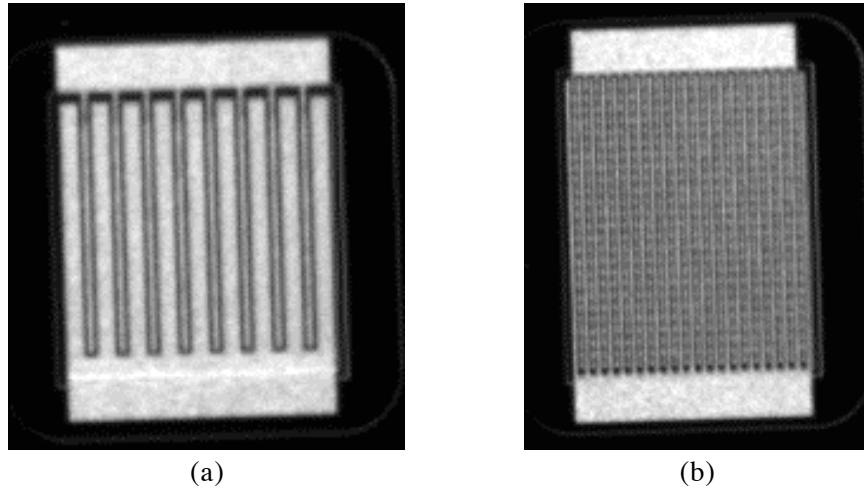


Figure 77 Photos des dernier dispositifs CTA multicellulaires réalisés pour eux topologies de surface différentes

Notons que ces deux dispositifs offrent une surface équivalente identique. La seule différence est la topologie de surface qui va conditionner la valeur de la tension disponible en V_{capteur} pour une tension d'anode donnée. La figure 78 présente les résultats expérimentaux de caractérisation des deux topologies de CTA réalisées. On note également la différence observée entre simulation 2D et structure unicellulaire carré pour un écartement entre caissons P^+ de $8\mu\text{m}$. On observe donc pour la structure en bandes une tension plus élevée et un courant plus faible alors que la structure en carrés offre une tension V_{capteur} plus faible mais un courant plus élevé. Ces paramètres seront à prendre en compte lors du choix du CTA pour notre structure de protection contre les courts-circuits.

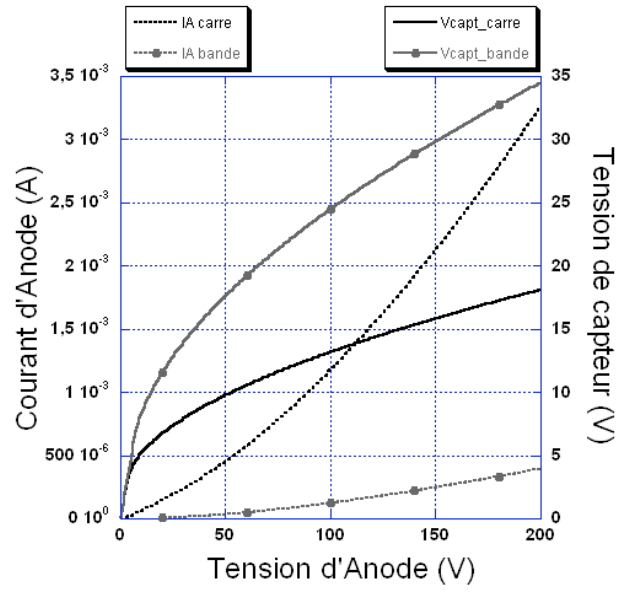


Figure 78 Comparaison des caractéristiques expérimentales des CTA multicellulaires réalisés pour deux topologies de surface différentes

2.3 La structure de détection et de protection

Dans ce paragraphe, nous allons présenter la structure de protection contre les courts-circuits que nous proposons. Nous détaillerons son schéma électrique, son fonctionnement et son intégration. L'intégration de la structure de protection au plus près de l'IGBT soulèvera divers problèmes que nous expliciterons et tenterons de résoudre.

2.3.1 Topologie et fonctionnement

La structure de détection et de protection que nous proposons est présentée figure 79. Elle est réalisée autour de l'IGBT à protéger. Elle est constituée par un CTA, un transistor MOS de délai (Md), un transistor MOS de coupure (Mc), une résistance de délai (Rd) et une diode Zener. Cette structure de protection est basée sur le principe que lorsqu'une condition de court-circuit intervient, la tension d'Anode augmente jusqu'à une valeur importante (de l'ordre de la tension de l'alimentation de puissance) alors que la commande de la grille est activée. La structure proposée ici est capable de détecter une telle condition de court-circuit et de protéger l'IGBT en supprimant la commande de grille.

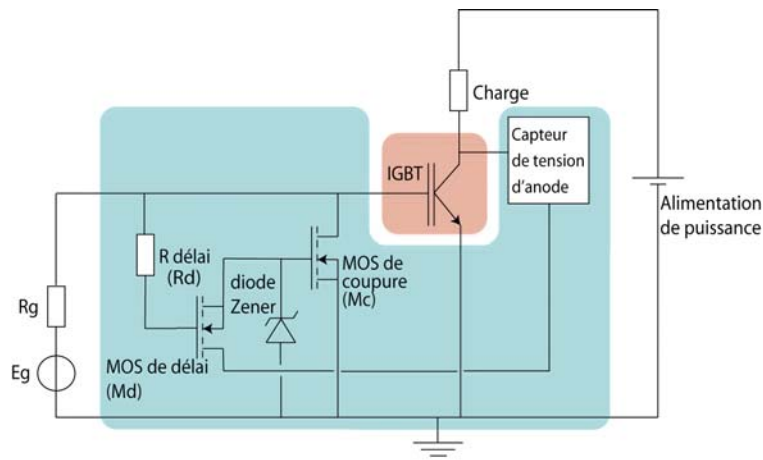


Figure 79 Schéma équivalent de la structure de détection et de protection contre les courts-circuits

Lorsqu'une condition de court-circuit intervient, le CTA fournit une image de la tension d'Anode selon le principe exposé dans les paragraphes précédents. La tension V_{capteur} est alors appliquée comme tension de contrôle sur la grille du transistor Mc à travers le transistor Md. Notons que le CTA et la diode Zener doivent être choisis pour permettre à la tension

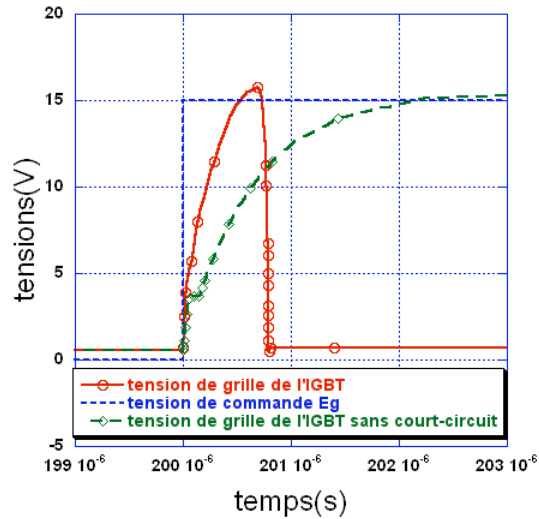
de grille du transistor Mc d'augmenter au-delà de sa tension de seuil. Notons aussi que la structure de protection ne doit pas perturber le fonctionnement normal de l'IGBT (sans condition de court-circuit). La tension V_{capteur} devra donc être bien inférieure à la tension de seuil du transistor Mc lorsque aucune condition de court-circuit n'est présente.

Si une condition de court-circuit intervient avant ou pendant la mise en conduction de l'IGBT (court-circuit de type 1), le transistor Md devient passant et permet la charge de la grille du transistor Mc après un temps de délai RC (usuellement nommé *Blanking time*). Cette constante RC est déterminée par la résistance de délai R_d et par la capacité de grille du transistor Md (C_d). Elle doit être inférieure à la durée maximale d'une condition de court-circuit que peut supporter un IGBT donné (souvent de l'ordre de quelques dizaines de microsecondes). Dans notre structure de protection, la constante choisie est de l'ordre de $1\mu\text{s}$. Elle est obtenue avec une résistance de délai de $100\text{k}\Omega$ et une capacité de grille pour le transistor Md de 10pF . Lors d'une commutation de l'IGBT sans condition de court-circuit, le temps de délai permet la charge de la grille de l'IGBT pendant que la tension à ses bornes chute jusqu'à la valeur V_{ON} ⁹ (quelques volts). Sans ce temps de délai, le transistor Mc serait immédiatement passant court-circuitant la grille de l'IGBT à la masse. L'IGBT serait donc incapable de se fermer. Lorsqu'une condition de court-circuit est avérée, le transistor Mc est passant et permet la décharge de la grille de l'IGBT en la connectant à la masse. L'IGBT est donc ouvert et protégé.

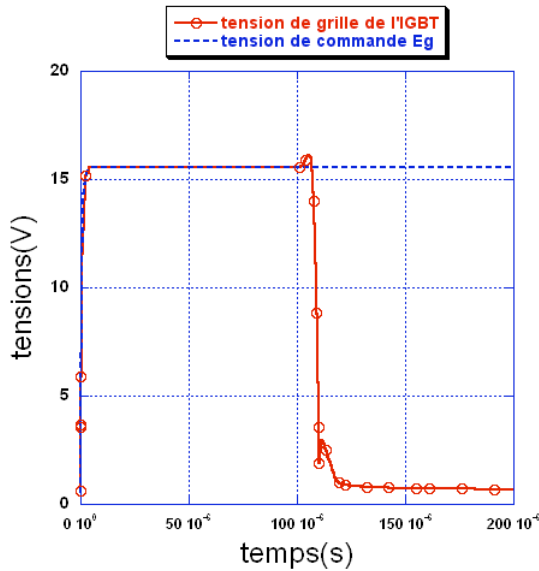
Si une condition de court-circuit intervient alors que l'IGBT conduit déjà (court-circuit de type 2), la tension d'Anode augmente brutalement d'une faible valeur (V_{ON}) à une valeur proche de la tension d'alimentation. Le CTA fournit alors, par l'électrode V_{capteur} , une tension supérieure à la tension de seuil du transistor Mc. Le transistor Mc devient alors passant et permet la décharge de la grille de l'IGBT. Nous pouvons noter que dans le cas d'un court-circuit de type 2, aucun temps de délai n'intervient du fait que le transistor Md est déjà à l'état passant.

⁹ Chute de tension à l'état passant

Finalement, cette structure de détection et de protection permet de protéger les IGBT contre les courts-circuits de type 1 et de type 2. La figure 80 montre le fonctionnement de cette structure de détection et de protection après optimisation de ses différents paramètres lorsque les interactions entre les différents composants ne sont pas pris en compte. Dans le cas d'un court-circuit de type 1 (figure 80.a) et de type 2 (figure 80.b). Ces allures sont obtenues par simulation bidimensionnelle (2D) en utilisant la suite logicielle ISE-TCAD en mixed mode.



(a)



(b)

Figure 80 Fonctionnement de la structure de détection et de protection dans le cas d'un court-circuit de type 1 (a) et dans le cas d'un court-circuit de type 2 (b)

2.3.2 Contraintes et optimisations de la structure de protection

Dans ce paragraphe, nous allons traiter de l'optimisation de la structure de détection et de protection en tenant compte des contraintes identifiées lorsque l'on aborde son intégration monolithique.

2.3.2.1 Détermination des contraintes

L'étude détaillée du fonctionnement de la structure de détection et de protection nous a permis de déterminer diverses contraintes concernant les composants la constituant.

Tout d'abord, le transistor Md doit être capable de supporter entre son drain et sa source une tension au moins égale à la tension maximale fournie par le CTA. De plus, nous devons réaliser un transistor Mc capable de soutenir entre son drain et sa source une tension au moins égale à la tension de commande Eg (15V) et capable de dériver un courant suffisant pour décharger rapidement la grille de l'IGBT. Nous avons fixé ce courant à 10mA en utilisant une résistance de grille Rg d'une valeur de 1.5kΩ.

Notons que le potentiel source-substrat du transistor Md n'est pas polarisé. Une augmentation du potentiel de drain pourra donc conduire à une augmentation de celui de la source et du substrat. Cela peut avoir pour conséquence de mauvaises performances pour ce transistor, il conviendra donc de trouver un moyen de palier au caractère *flottant* de ce contact.

Enfin, il est important de remarquer que la structure de détection et de protection est un système bouclé. Ce système ayant pour conséquence, lorsqu'il est mis en fonctionnement, d'annuler la cause de sa mise en route ; pourra présenter des oscillations autour d'une valeur d'équilibre. Une solution pour diminuer ces instabilités devra être trouvée.

2.3.2.2 Optimisation de la tenue en tension des transistors Md et Mc

a) Différences entre tenue en tension expérimentale et obtenue par simulation 2D

Nous avons souhaité comparer la tenue en tension de dispositifs de test de transistors avec celles qui sont obtenues en simulation 2D. Grâce à cette comparaison, nous espérons pouvoir prédire de manière plus précise la tenue en tension des futurs dispositifs réalisés. La figure 81 montre la comparaison de la tenue en tension d'un transistor double diffusé réalisé à partir d'un process classique d'IGBT avec celle de ce même transistor en

simulation 2D. On observe que la tenue en tension obtenue en simulation 2D est deux fois supérieure à celle mesurée.

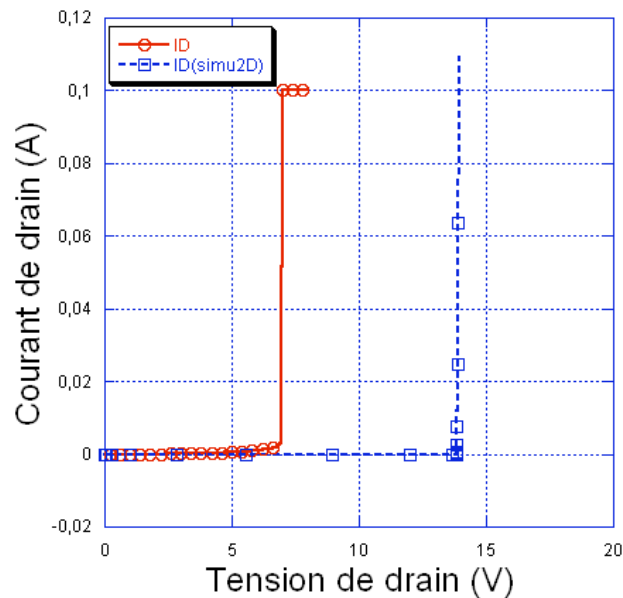


Figure 81 Comparaison de la tenue en tension expérimentale et obtenue par simulation 2D pour un transistor MOS double diffusé réalisé à partir d'un process d'IGBT

Nous pouvons remarquer que cette différence est typiquement observée lorsque l'on compare les tenues en tension de jonctions cylindriques et sphériques. La figure 82.a présente la topologie de surface des dispositifs transistors MOS de test réalisés. Il est important de souligner que cette topologie inter digitée présente des jonctions sphériques au bout de chaque doigt de source et de drain. La simulation 2D ne prends en compte, par définition, que des jonctions de type cylindrique. C'est à cela que nous attribuons la différence de valeurs exposées ci-dessus.

Pour renforcer cette hypothèse, nous avons choisi de réaliser sur les transistors MOS de test, une localisation spatiale du courant d'avalanche. Ce courant, intimement liée au claquage des jonctions, est localisé en utilisant un moyen d'expérimentation nommé Emission Microscopy (EMMI). Cette technique d'investigation permet à l'aide d'une caméra dont le capteur est très sensible dans le proche infrarouge, de capturer les photons émis lorsqu'une condition d'avalanche intervient. Après plusieurs acquisitions d'images, on obtient le résultat présenté à la figure 82.b et qui montre que le courant d'avalanche est bien localisé en bout de doigt de source et donc à une jonction de type sphérique.

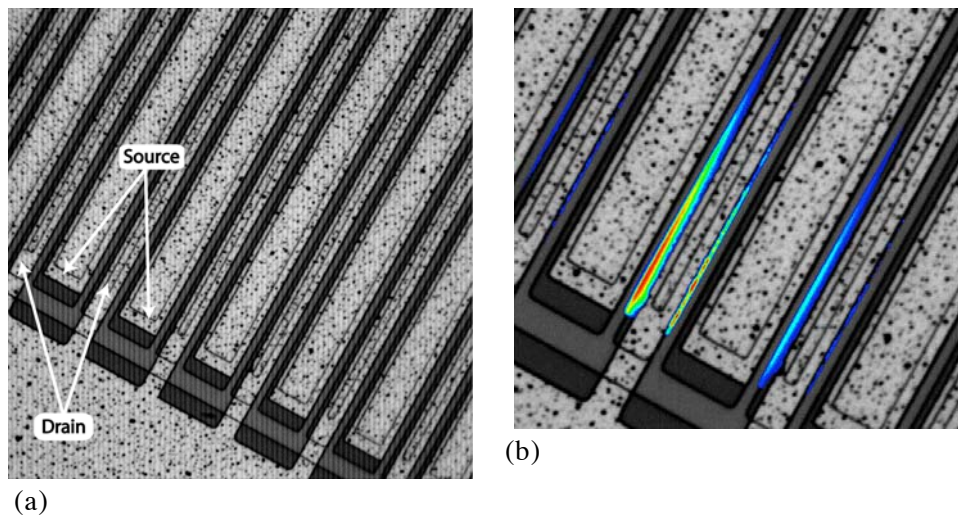


Figure 82 Topologie de surface (a) et zoom d'une émission EMMI en condition d'avalanche (b) pour un transistor MOS double diffusé

Si l'on se rappelle que les transistors MOS que l'on doit réaliser pour notre structure de détection et de protection doivent avoir une tenue en tension de 15V, on devra donc concevoir de transistors MOS dont la tenue en tension obtenue par simulation 2D sera supérieure à 30V.

b) Amélioration de la tenue en tension des transistors MOS

Nous avons investigué plusieurs techniques pour améliorer la tenue en tension des transistors MOS utilisés dans la réalisation de notre structure de détection et de protection.

La première technique consiste à ajouter au contact N+ de drain un caisson N moins dopé de façon à déplacer la jonction métallurgique P/N vers une région P moins dopée. La figure 83 présente une vue en coupe du transistor MOS réalisé pour faire cette étude. L'influence de ce caisson N peu dopé a été étudiée par simulation 2D. Une bonne amélioration de la tenue en tension est observée pour différentes profondeurs de ce caisson N. Cependant, la profondeur du caisson P+ étant de l'ordre de $5\mu\text{m}$, la profondeur du caisson N ajouté ne pourra pas dépasser $4.5\mu\text{m}$ environ. C'est pour cette valeur maximale de profondeur du caisson N que nous obtenons la meilleure tenue en tension, c'est-à-dire 25V (figure 84). Nous pourrions obtenir une tenue en tension plus élevée par cette technique si la profondeur du caisson P+ était plus élevée. Mais cela remettrait en cause le process de fabrication dans sa globalité. Car rappelons que le but de la réalisation de cette structure de protection est l'intégration de la protection au sein d'une

structure IGBT. La solution d'ajout d'un caisson N n'est pas bien adaptée à notre problématique car, d'une part la valeur de tenue en tension maximale est inférieure à l'objectif fixé et d'autre part car l'ajout de ce caisson nécessiterait un niveau de masquage supplémentaire avec son lot d'étapes technologiques additionnelles.

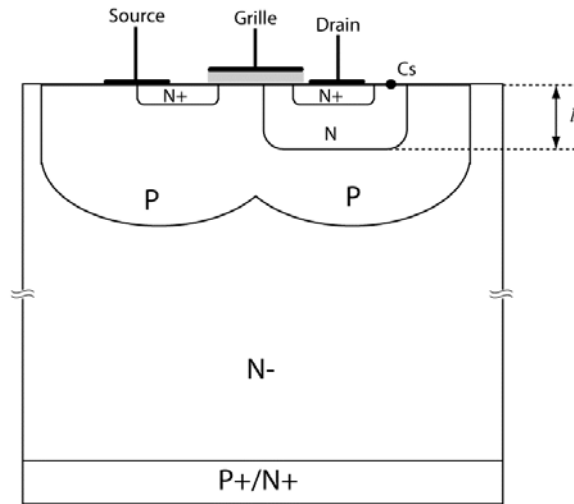


Figure 83 Coupe schématique du transistor MOS avec ajout d'un caisson N au contact de drain

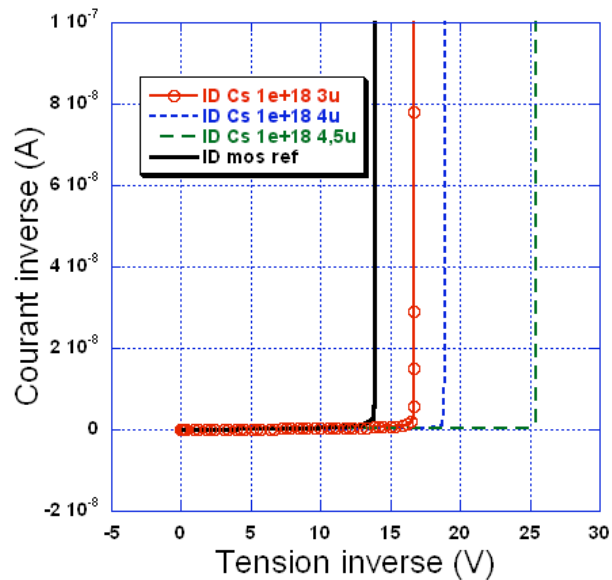


Figure 84 Etude de la tenue en tension du transistor MOS pour différentes valeurs de la profondeur du caisson N ajouté au drain

Nous avons choisi d'étudier une deuxième technique basée sur un LDMOS utilisant l'effet *plaque de champ* pour améliorer la tenue en tension. Ce transistor LDMOS permet d'accroître la tenue en tension sans dégrader la résistance à l'état passant [84]. Il est réalisé à partir d'un processus classique d'IGBT sans niveau de masquage supplémentaire grâce à la filière flexible développée au LAAS/CNRS . La figure 85 montre la vue en coupe du transistor LDMOS que l'on a souhaité réaliser. La partie que l'on peut différencier d'un MOS classique est la zone de drift. En effet la zone à deux niveaux d'oxyde est caractérisée par un débordement du contact de grille sur l'oxyde épais. C'est cette différence qui réalise l'effet plaque de champ. Une comparaison entre la tenue en tension du transistor MOS de référence (double diffusé) avec celle de LDMOS à deux niveaux d'oxyde est présentée figure 86 (résultats de simulation bidimensionnelle).

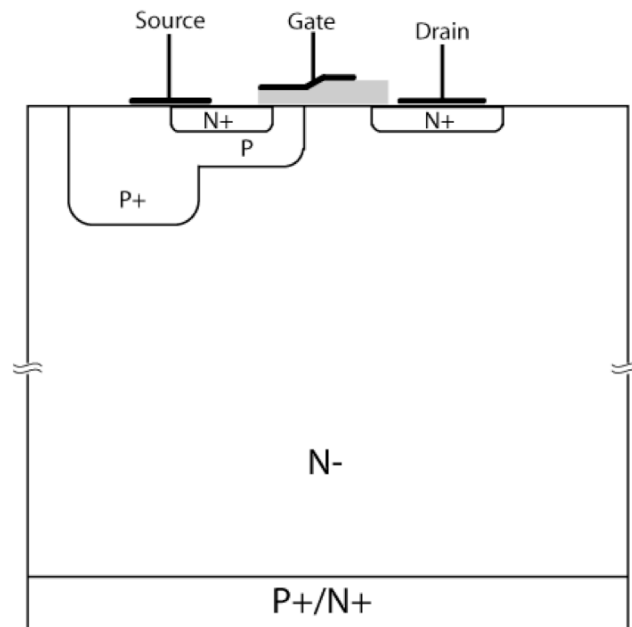


Figure 85 Vue en coupe du transistor LDMOS à deux niveaux d'oxyde

La tenue en tension évaluée à partir de la simulation bidimensionnelle est de 40V pour le LDMOS à deux niveaux d'oxyde. Nous espérons donc pour les futurs prototypes réalisés une tenue en tension de l'ordre de 20V ce qui concorde avec l'objectif d'une tenue en tension minimale de 15V. Les caractéristiques du transistor LDMOS à deux niveaux d'oxyde en font donc un excellent candidat pour notre structure de détection et de protection, c'est d'ailleurs la solution que nous avons choisie.

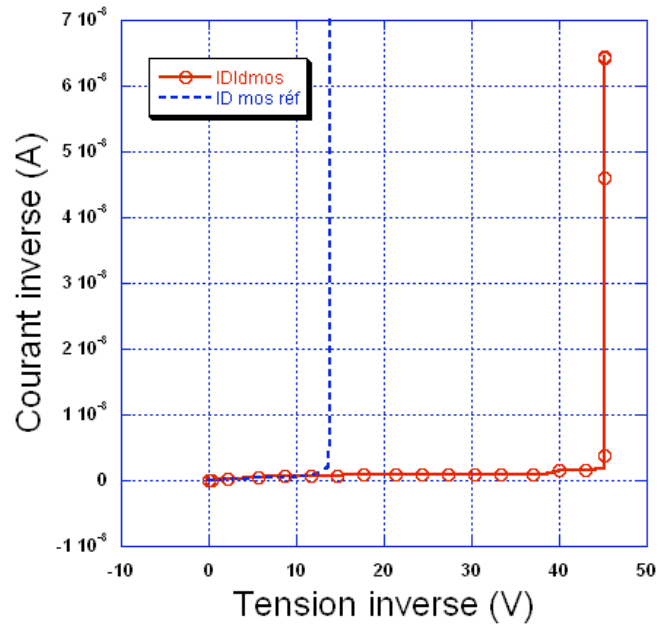


Figure 86 Comparaison de la tenue en tension du transistor LDMOS à deux niveaux d'oxyde et de celle d'un transistor double diffusé classique (simulation 2D ISE-TCAD)

2.3.2.3 Phénomène oscillatoire

Nous avons observé un phénomène oscillatoire au niveau de la tension de grille de l'IGBT (figure 87). Ce phénomène est plus particulièrement rencontré dans le cas d'un court-circuit de type 2. Il peut être décrit de la façon suivante : quand un court-circuit de type 2 intervient, la protection est actionnée et la tension de grille diminue. Après un délai (RdCd), la tension de grille du MOS de délai décroît. Lorsque cette tension atteint la tension de seuil du MOS de délai, celui-ci n'est plus passant. Le transistor Mc se bloque à son tour. La tension de commande étant toujours appliquée, la tension de grille de l'IGBT augmente à nouveau. La grille du MOS Md est chargée à nouveau et le transistor Mc devient à nouveau passant. La grille de l'IGBT est déchargée et ainsi de suite... Ce comportement oscillatoire caractéristique des systèmes bouclés apparaît lorsque les temps de charge de la grille du transistor Md et de décharge de la grille de l'IGBT et du transistor MC sont du même ordre de grandeur. Plusieurs solutions s'offrent à nous pour remédier à ce problème. Nous pouvons modifier la tension de seuil d'un des deux transistors MOS. Mais cette solution, bien que rendue réalisable par la filière flexible, nécessite un niveau de masquage supplémentaire. Une autre solution consiste à augmenter la con-

stante de temps $RdCd$ en jouant sur la résistance Rd . C'est une solution simple, sans étape technologique additionnelle, c'est celle que nous avons retenue. Nous verrons par la suite que la valeur choisie pour la résistance Rd permet le bon fonctionnement de la structure de détection et de protection dans le cas d'un court-circuit de type 1 et que les oscillations sont rapidement amorties dans le cas d'un court-circuit de type 2 grâce à un choix judicieux de Rd .

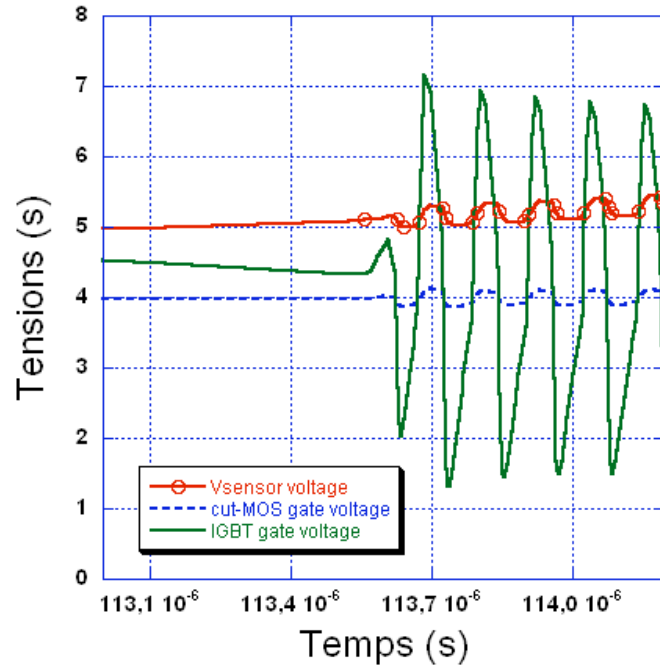


Figure 87 Phénomène d'oscillation observé dans le cas de constantes de temps trop proches (simulation 2D ISE-TCAD)

2.3.2.4 Polarisation du substrat du transistor MOS de délai (Md)

Notons tout d'abord que lorsque l'on observe le schéma équivalent de la structure de détection et de protection, le potentiel source-substrat du transistor Md est flottant. Il est en effet connecté à la grille du transistor Mc dont le potentiel n'est pas défini et qui, de surcroît, est susceptible d'évoluer. Il peut donc apparaître le problème suivant : lorsque le transistor Md n'est pas passant, une augmentation du potentiel de drain de ce transistor aura pour conséquence une augmentation de celui de la source et du substrat. On imagine facilement que cela pourra empêcher le fonctionnement de la structure de détection et de protection mais aussi de l'IGBT. Nous avons donc choisi d'ajouter entre le contact source-substrat du transistor

Md et la masse une diode Zener qui va réaliser ce que l'on peut appeler une *pseudo polarisation* du contact source-substrat. Pour démontrer l'impact bénéfique de l'ajout d'une diode Zener, nous avons comparé l'évolution de la tension de grille du transistor Mc dans le cas d'un court-circuit de type 1 sans diode Zener, et pour deux diodes Zener de surface différente. Les résultats de cette comparaison sont présentés figure 88.

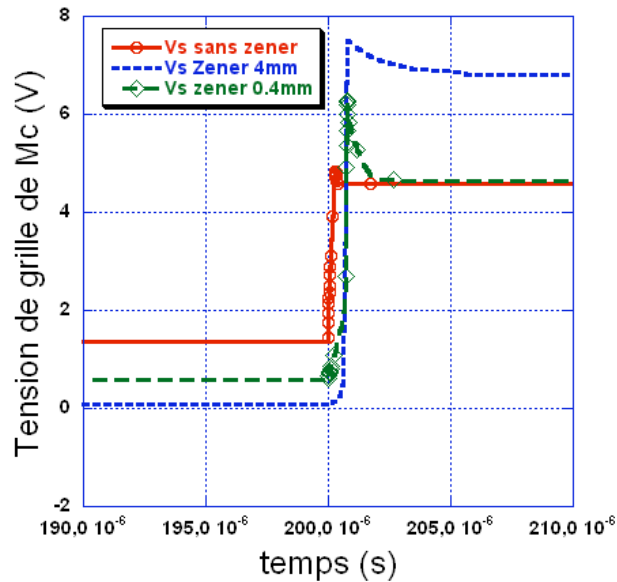


Figure 88 Influence de la polarisation virtuelle du contact source-substrat de Md sur la tension de grille de Mc dans le cas d'un court-circuit de type 1

On remarque immédiatement l'influence de la polarisation virtuelle réalisée par la diode Zener sur la qualité de la commande du transistor Mc. En effet l'écart entre la valeur basse et la valeur haute de la tension de grille du transistor Mc augmente lorsqu'on réalise la polarisation virtuelle avec une diode Zener. Cet écart est d'autant plus important que la diode Zener est surface importante. Il conviendra donc de trouver un juste équilibre entre l'encombrement additionnel dû à la diode Zener et l'amélioration qu'elle apporte au fonctionnement de la structure de détection et de protection.

Après avoir observé l'influence de la polarisation virtuelle sur la commande de grille du transistor Mc, intéressons nous aux conséquences sur la réponse de la structure de protection dans la cas d'un court-circuit de type 1. La figure 89 présente l'évolution de la tension de grille de l'IGBT dans le cas d'un court-circuit de type 1. Sans polarisation virtuelle, la tension de grille de l'IGBT après détection de la condition de court-circuit subsiste et sa valeur est relativement importante. Avec une diode Zener

pour réaliser la polarisation virtuelle, lorsque la structure de protection entre en fonctionnement, la tension de grille de l'IGBT chute à une valeur quasi nulle. On remarquera pour la diode Zener de surface plus faible que cette tension de grille augmente à nouveau après un retour à zéro mais se stabilise à une valeur déjà bien inférieure à la tension de seuil de l'IGBT. Nous pouvons donc conclure que la polarisation virtuelle du contact source-substrat est une réelle amélioration dans le fonctionnement de la structure de détection et de protection. Il conviendra d'optimiser la surface de la diode Zener : elle devra être assez importante pour permettre une polarisation virtuelle du substrat de Md efficace, mais pas trop pour limiter la décharge de la grille du transistor Mc par courant inverse et assurer que Mc sera passant pendant toute la durée du court-circuit.

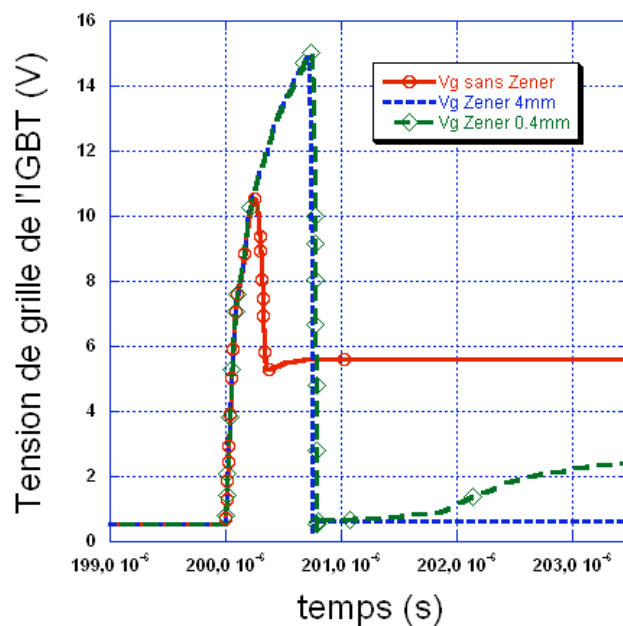


Figure 89 Influence de la polarisation virtuelle du contact source-substrat du transistor Md sur l'évolution de la tension de grille de l'IGBT dans le cas d'un court-circuit de type 1

2.3.3 Paramètres de la structure de protection pour la validation par simulation 2D

Chacun des paramètres de la structure de protection qu'il est possible de faire varier, n'est pas optimisable séparément. Par cela, il faut comprendre que l'optimisation de chacun des paramètres doit se faire dans un rapport étroit avec les autres en vue de réaliser la fonctionnalité atten-

due : détecter une condition de court-circuit et protéger l'IGBT avant sa probable destruction.

Considérons tout d'abord que les étapes technologiques sont figées à des valeurs de doses et d'énergie permettant d'obtenir deux types de diffusion P : P ($C_s=5.10^{17}\text{cm}^{-3}$, profondeur de jonction= $4.8\mu\text{m}$) et P⁺ ($C_s=3.10^{19}\text{cm}^{-3}$, profondeur de jonction= $7\mu\text{m}$). Ces deux type de diffusion ainsi que la topologie de surface des composants LDMOS et IGBT (plus précisément l'alignement entre les diffusions P, P⁺ et N⁺) nous permettent d'obtenir des valeurs de tension de seuil comprises entre 4V et 6V. Une profondeur W du canal de $4000\mu\text{m}$ des transistors LDMOS permet de dériver la totalité du courant de charge de grille de l'IGBT (10mA) avec une polarisation à 5V (équilibre du système bouclé en condition de court-circuit). En considérant que les $\frac{1}{2}$ cellules d'IGBT ont une largeur de $30\mu\text{m}$ et que nous souhaitons obtenir un calibre de 1A, la profondeur correspondante sera de $60000\mu\text{m}$ (densité de courant de 50A.cm^{-2}). L'étude du Capteur de Tension d'Anode a permis d'évaluer qu'un écartement de $8\mu\text{m}$ entre les deux caissons P⁺ est un paramètre compatible avec les contraintes technologiques et la gamme de tension souhaitée. Une profondeur de $4000\mu\text{m}$ est nécessaire pour permettre un courant suffisant à la commande de la structure de detection et de protection. Les deux diffusions détaillées précédemment permettent d'obtenir deux diodes Zener différentes : 50V dans une diffusion P⁺ et 10V dans une diffusion P [8]. Nous choisirons donc de réaliser cette diode Zener dans un caisson P. De plus, l'étude de la polarisation virtuelle du contact source-substrat de transistor MOS de délai a permis de déterminer qu'une diode Zener de surface $4000\mu\text{m}$ est suffisante. Un récapitulatif de ces parameters est donné tableau 2. Ces paramètres ont été utilisés pour la validation de la fonction détection et protection par simulation 2D pour le cas d'un court-circuit de type 1 (figure 80.a) et pour le cas d'un court-circuit de type 2 (figure 80.b).

Paramètres physiques

Caisson P (Bore)	Cs=5.10 ¹⁷ cm ⁻³ Profondeur de jonction=4.8μm
Caisson P ⁺ (Bore)	Cs=3.10 ¹⁹ cm ⁻³ Profondeur de jonction=7μm
Cathode (N ⁺ well) (Arsenic)	Cs=9.10 ¹⁹ cm ⁻³ Profondeur de jonction=1.1μm
Anode P ⁺ (Bore)	Cs=3.10 ¹⁹ cm ⁻³ Profondeur de jonction=7μm

Paramètres électriques et géométriques

IGBT	W=60000μm 4V < V _{AK(th)} < 6V
Capteur de Tension d'Anode (CTA)	W=4000μm l=8μm
Transistors LDMOS (les deux)	W=4000μm 4V < V _{GS(th)} < 6V
Diode Zener	W=4000μm V _{Zener} =10V
Résistance de délai	Rd=100kΩ

Tableau 2 Paramètres optimisés de la structure de détection et de protection pour la validation par simulation 2D avec ISE-TCAD

2.3.4 Problématique d'intégration monolithique

Après une validation du concept de structure de détection et de protection par simulation 2D, le réel challenge réside dans l'intégration monolithique, au plus près du composant de puissance, de cette structure. Jusqu'à présent, la validation effectuée correspondait au cas où l'isolation électrique entre les composants constituant la structure de protection était idéale (simulation 2D mixed mode). Nous allons voir que lorsque l'on s'intéresse à la réalisation technologique de cette structure, des considérations d'isolation entre les composants haute tension et basse tension, mais aussi entre les composants de la structure s'imposent.

2.3.4.1 Mise en évidence des phénomènes parasites

Lorsque l'on observe la vue en coupe schématique de l'intégration monolithique de la structure de protection (figure 90), un problème est révélé : lorsque la diode P⁺ (Anode) N (substrat) N⁺ (Drain des MOS) est polarisée en direct, une augmentation de la tension d'Anode mènera inévi-

tablement à une augmentation de la tension des drains des deux transistors MOS. En effet, l'autoblindage, précédemment réalisé par les caissons P⁺ double diffusés dans lesquels on réalisait les transistors MOS, n'a plus lieu lorsqu'on choisit des LDMOS à deux niveaux d'oxyde. Ainsi, lorsque la commande de grille est appliquée, un courant de substrat est observé entre le drain du transistor MOS de coupure et le transistor MOS de délai dès que la tension de seuil de l'IGBT est atteinte (figure 90 chemin 1). Ce courant traverse ensuite le capteur de tension d'Anode jusqu'à la cathode au travers du canal de l'IGBT. En conséquence, la polarisation de la grille de l'IGBT est limitée juste à la valeur seuil. Une commande efficace de l'IGBT devient donc impossible.

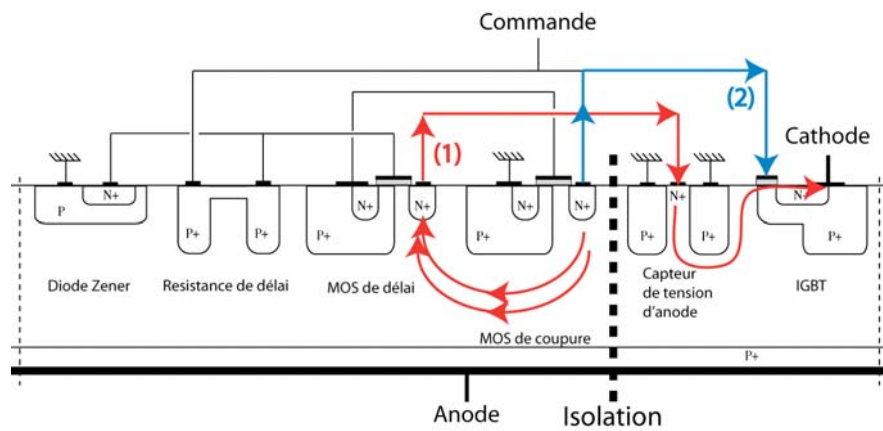


Figure 90 Vue en coupe schématique de la problématique d'intégration monolithique de la structure de détection et de protection

Conjointement, lorsque la tension d'anode est appliquée et lorsque la diode P⁺ (anode) N⁻ (substrat) N⁺ (drain du MOS de coupure) devient passante, la polarisation de la grille de l'IGBT intervient spontanément (figure 90 chemin 2). La conduction de l'IGBT peut donc être rendue possible sans appliquer de commande.

Pour démontrer qu'une isolation est totalement indispensable nous avons étudié par simulation 2D le comportement de la structure de protection lorsque aucune isolation n'est présente entre les deux drains dans le cas d'un court-circuit de type 1 et dans le cas d'un court-circuit de type 2.

Dans le cas d'un court-circuit de type 1 (figure 91), le court-circuit intervient avant que la commande de grille soit appliquée. Sans isolation, nous pouvons noter que la grille de l'IGBT est polarisée avant que la commande de grille soit appliquée. La structure de protection ne peut plus fonctionner efficacement et l'IGBT reste à un état semi passant avec un courant de l'ordre de 2A le traversant.

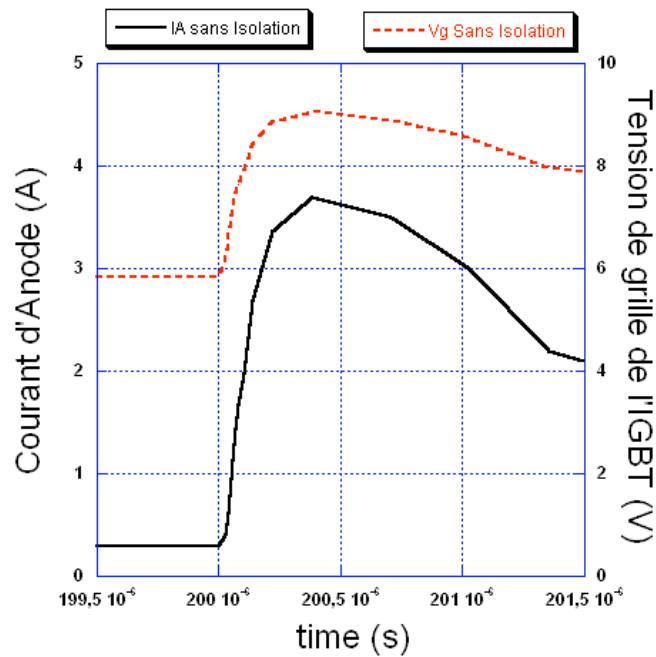


Figure 91 Comportement de la structure de protection dans le cas d'un court-circuit de type 1 sans isolations, le blocage n'intervient pas

Dans le cas d'un court-circuit de type 2 (figure 92), le court-circuit intervient alors que l'IGBT est déjà passant. Lorsqu'il n'y a pas d'isolation, la tension de commande de grille n'augmente pas suffisamment pour polariser efficacement l'IGBT. Même si l'on peut considérer que la structure de protection est plus efficace que dans le cas d'un court-circuit de type 1 : la tension de grille de l'IGBT diminue substantiellement et le courant d'anode chute, ce dernier reste important (environ 500mA) et la grille de l'IGBT reste polarisé à environ 2V. La protection de l'IGBT pourra donc empêcher sa destruction à court terme, mais elle n'est pas optimale. Plus grave, ces observations permettent de prévoir que l'IGBT ne fonctionnera pas correctement dans le cas de conditions de fonctionnement nominales (sans court-circuit). Nous pouvons donc conclure, à ce stade, que sans aucune isolation entre les transistors LDMOS de la structure de protection, celle-ci ne fonctionnera pas correctement et ce pour les deux types de court-circuit.

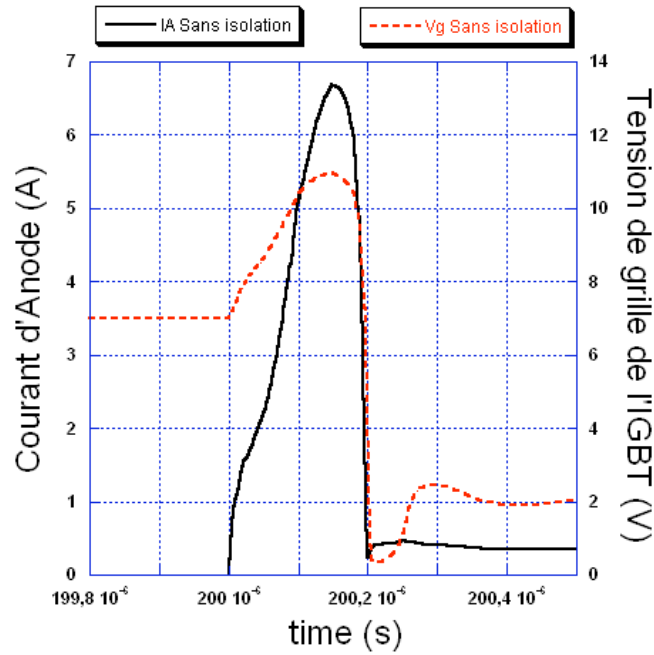


Figure 92 Comportement de la structure de protection dans le cas d'un court-circuit de type 2 sans isolations, le blocage est insuffisant

2.3.4.2 Discussion sur la qualité d'isolation nécessaire

Pour pallier ces problèmes, nous avons étudié la voie d'une isolation partielle. Dans un premier temps en utilisant un caisson P⁺ (figure 93.a) puis une tranchée profonde de 100 μm remplie de polysilicium saturé en P⁺ (figure 93.b). Nous espérons avec cette isolation diminuer, voire annuler, le couplage en courant des drains des deux transistors MOS en dépeuplant le substrat entre eux et en allongeant les lignes de courant. Les observations des figures 93.a et 93.b nous montrent que les lignes de courant subsistent à ce type d'isolation et les simulations 2D réalisées ne présentent quasiment aucune amélioration par rapport aux cas détaillés par la figure 90.

Nous pouvons donc conclure qu'une isolation électrique totale sera nécessaire entre les drains des deux transistors MOS ainsi qu'entre les parties haute tension et basse tension de l'association composant de puissance – protection intégrée. Cela signifie qu'il faudra séparer totalement deux régions N- dans le cristal. Nous allons proposer dans le prochain paragraphe des solutions d'isolation totales compatibles avec la technologie de réalisation de notre application.

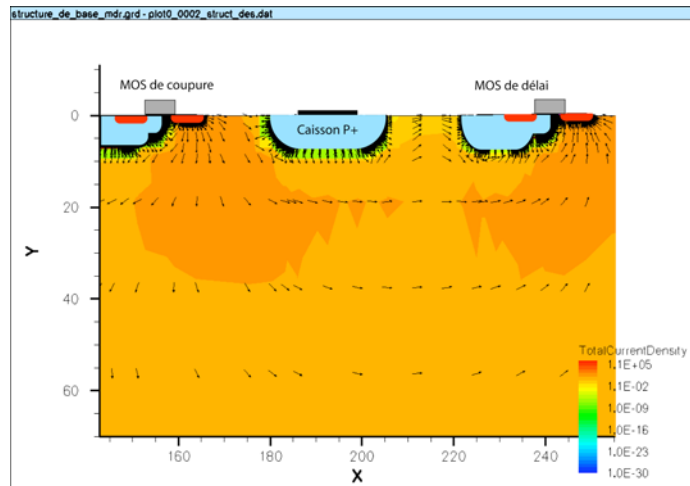


Figure 93.a Vecteurs de courant dans la structure de protection avec une diffusion P+ entre les drains des deux transistors MOS

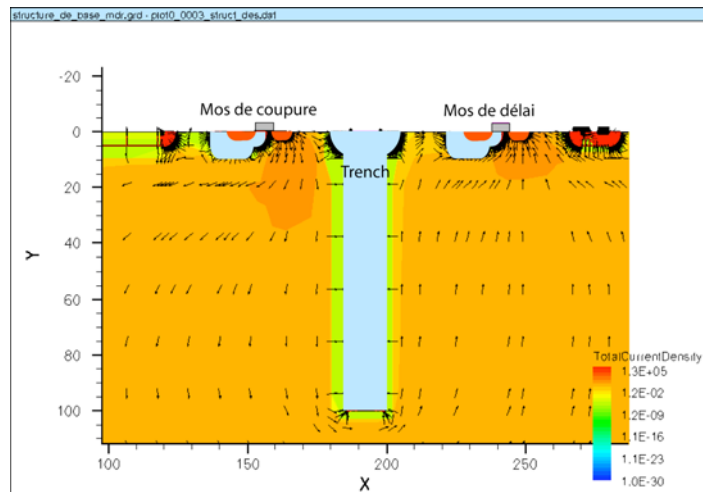


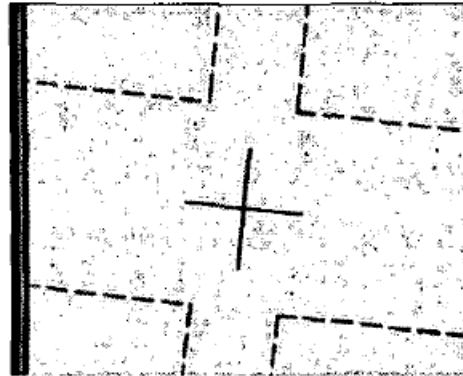
Figure 93.b Vecteurs de courant dans la structure de protection avec une tranchée de 100µm de profondeur entre les drains des deux transistors MOS

2.3.4.2 Techniques d'Isolation totale proposées

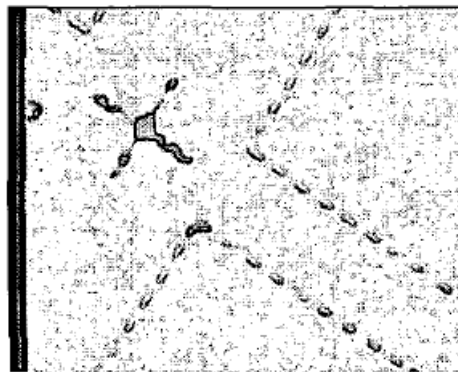
Dans ce paragraphe, nous allons détailler dans un premier temps, trois techniques d'isolation totale technologiquement compatibles avec un processus de fabrication classique d'IGBT. Ces trois techniques sont : les Murs traversants P⁺, le S.O.I partiel et le S.O.N. Dans un deuxième temps, des simulations 2D de ces techniques nous permettront de comparer leurs performances respectives en condition de court-circuit.

a) Murs traversants dopés P⁺

Cette première technique d'isolation est basée sur la réalisation de puits qui traversent totalement la plaquette de silicium. Après gravure, ils sont remplis de polysilicium saturé en P⁺ (figure 94).



(a)



(b)

Figure 94 Vue de la face avant (a) et da la face arrière (b) après gravure lors de la réalisation de murs

Pendant le recuit, les zones saturées en P⁺ se comportent comme des sources P et leur diffusion permet de réaliser des murs en joignant les pointillés. Les murs ainsi réalisés assurent une isolation physique et électrique entre les différents composants de la structure de détection et de protection. Cette technique a été développée la première fois au LAAS/CNRS par O. Causse [85] et mis en application pour la réalisation de composants de puissance bidirectionnels [86]. La figure 95 présente la vue en coupe schématique de la réalisation pratique de ce type d'isolation pour notre application.

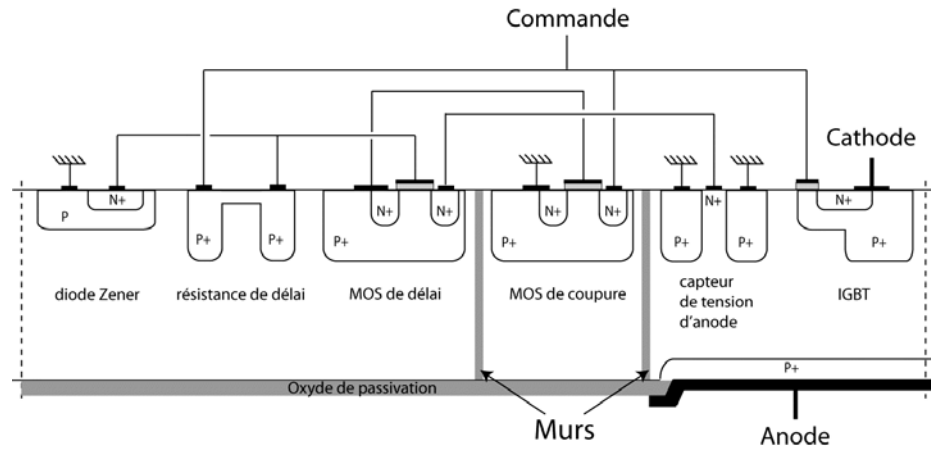


Figure 95 Vue en coupe schématique de l'isolation par murs traversants dans l'application structure de détection et de protection contre les courts-circuits

b) S.O.I¹⁰ partiel

Cette seconde technique, basée sur le S.O.I partiel, consiste en une couche d'oxyde enterrée réalisée en utilisant le procédé LEGO¹¹. Le procédé LEGO est une technique de fabrication de motifs S.O.I partiel bas coût basé sur une optimisation de la fusion et de la recristallisation de silicium polycristallin [87]. La figure 96 montre une vue en coupe schématique de l'utilisation de cette technique d'isolation pour notre application. Il est à noter que cette technique a été déjà utilisée dans le cadre de la réalisation de LDMOS et de IGBT [88] (figure 97).

¹⁰ Silicon On Insulator

¹¹ Lateral Epitaxial Growth over Oxide

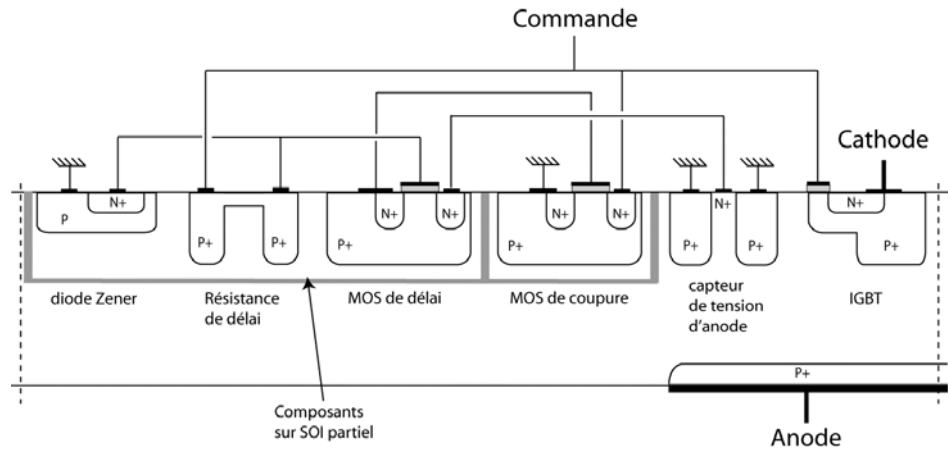
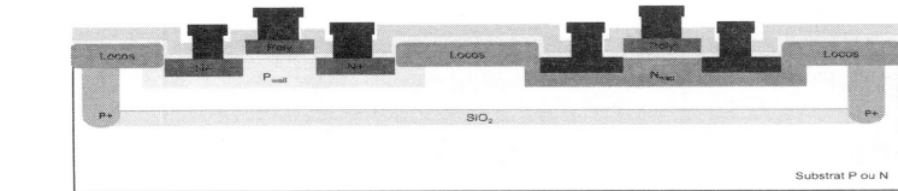
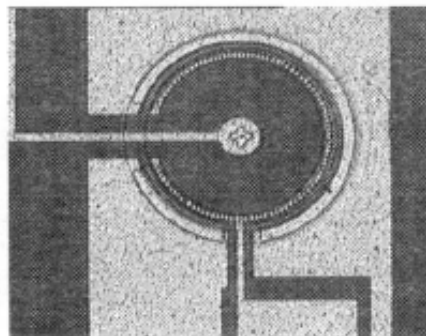


Figure 96 Vue en coupe schématique de l'isolation par S.O.I partiel dans l'application structure de détection et de protection contre les courts-circuits



(a)



(b)

Figure 97 Coupe schématique (a) et vue de dessus (b) de dispositifs IGBT réalisés sur SOI partiel

c) S.O.N¹² ou composants sur membrane

La dernière technique d'isolation est appelée Silicon On Nothing. Elle est réalisée à partir de tranchées profondes de 20 μ m remplies de polysilicium saturé P+ et d'une gravure face arrière, en face des régions délimitées par les tranchées, de manière à réaliser des composants sur membrane. Ce type de réalisation a déjà été mené à bien pour la fabrication d'IGBT Latéraux en 2005 (figure 98) [89]. La figure 99 présente la vue en coupe schématique de ce type d'isolation utilisée pour notre application.

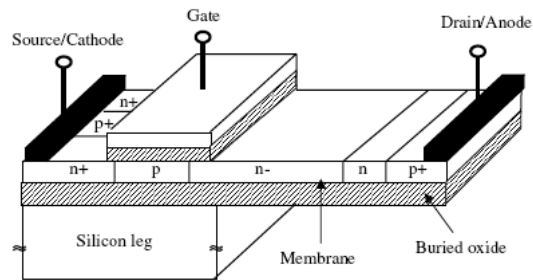


Figure 98 LIGBT camsemi en technologie membrane

¹² Silicon On Nothing

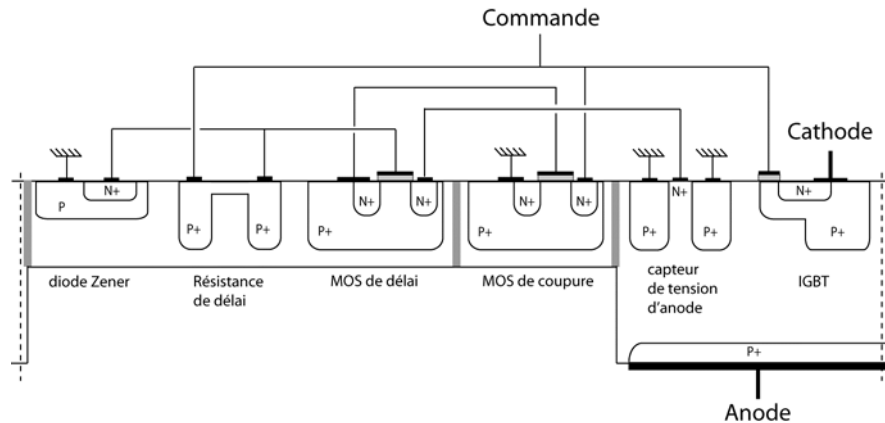


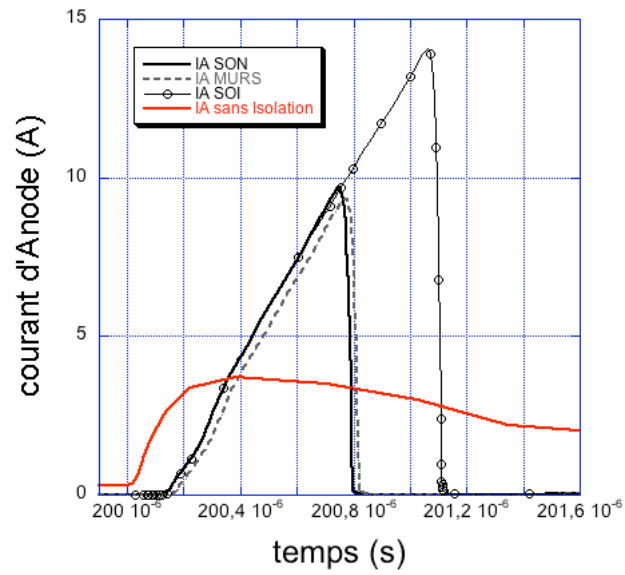
Figure 99 Vue en coupe schématique de l'isolation par Silicon On Nothing dans l'application structure de détection et de protection contre les courts-circuits

2.3.4.3 Comparaison du comportement électrique des techniques d'isolation

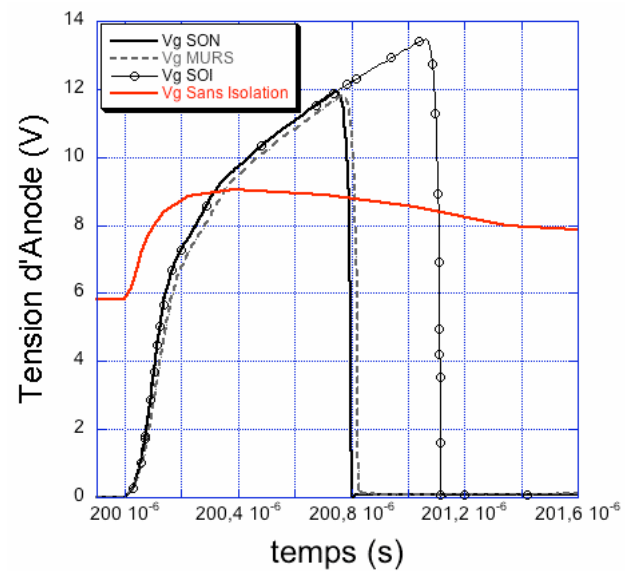
Pour comparer ces trois techniques d'isolation, nous réalisons des simulations 2D de leurs comportements respectifs dans le cas d'un court-circuit de type 1 ainsi que dans le cas d'un court-circuit de type 2. Pour vérifier que ces techniques d'isolation ne perturbent pas le fonctionnement de l'IGBT, nous réalisons aussi des simulations 2D lorsque aucune condition de court-circuit n'est présente alors que la charge de l'IGBT est une résistance de 100Ω . Nous remarquerons tout d'abord que ces trois techniques autorisent un bon fonctionnement de la structure de protection.

a) Cas d'un court-circuit de type 1

La figure 100 montre la comparaison des trois techniques d'isolation sur l'efficacité de la protection dans le cas d'un court-circuit de type 1. Les techniques de S.O.N et de murs traversants n'introduisent pas de perturbation majeure sur le comportement idéal de la structure de protection donné figure 80. En effet, le pic de tension d'anode est d'environ 12V, le pic de courant d'anode est d'environ 10A et la protection est effective au bout d'un temps proche de $0.8\mu s$. Par contre, il existe une légère dérive sur le comportement électrique de la structure de protection pour la technique d'isolation par S.O.I : le pic de tension de grille est de 13.5V, le pic de courant d'anode est de l'ordre de 14A et la protection est effective en un temps proche de $1\mu s$. On peut conclure que même si il existe une légère différence en termes d'impact sur le comportement de la protection entre les techniques d'isolation, l'IGBT est correctement protégé dans le cas d'un court-circuit de type 1 quelle que soit la technique d'isolation employée.



(a)



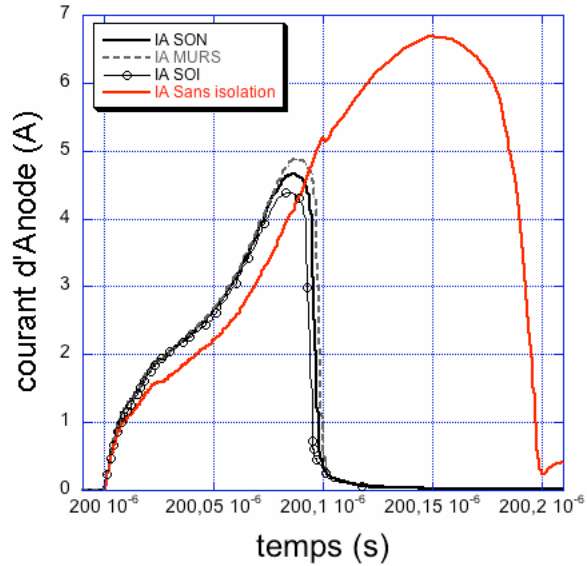
(b)

Figure 100 Comparaison de l'évolution du courant d'Anode (a) et de la tension de grille (b) en fonction des différentes techniques d'isolation dans le cas d'un court-circuit de type 1 (simulation 2D ISE-TCAD)

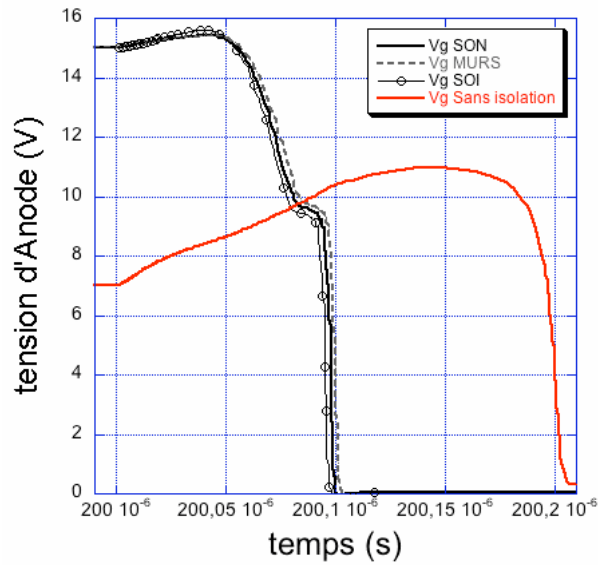
b) Cas d'un court-circuit de type 2

Les caractéristiques de la structure de protection des IGBT contre les courts-circuits dans le cas d'un court-circuit de type 2 pour chaque technique d'isolation sont reportées figure 101. La structure de protection

fonctionne parfaitement quelle que soit la technique d'isolation employée. La tension de grille de l'IGBT chute en $0.1\mu\text{s}$. Le pic de courant d'anode est de 4.4A pour le S.O.I partiel et ne dépasse pas 4.9A dans le cas d'une isolation par murs traversants.



(a)



(b)

Figure 101 Comparaison de l'évolution du courant d'Anode (a) et de la tension de grille (b) en fonction des différentes techniques d'isolation dans le cas d'un court-circuit de type 2 (simulation 2D ISE-TCAD)

c) Sur une charge purement résistive de 100 Ohms

Nous avons aussi comparé l'impact probable de ces différentes techniques d'isolation dans le cas d'un fonctionnement normal de l'IGBT (sans court-circuit) lorsque celui-ci est connecté à une charge purement résistive de 100 Ohms. Nous pouvons conclure de l'observation de la figure 102 que ces trois techniques d'isolation ne modifient pas le comportement de l'IGBT lorsqu'il n'est pas soumis à un court-circuit. Dans un mode de fonctionnement normal, il apparaît difficile de différencier les trois techniques d'isolation proposées tant les caractéristiques obtenues sont proches.

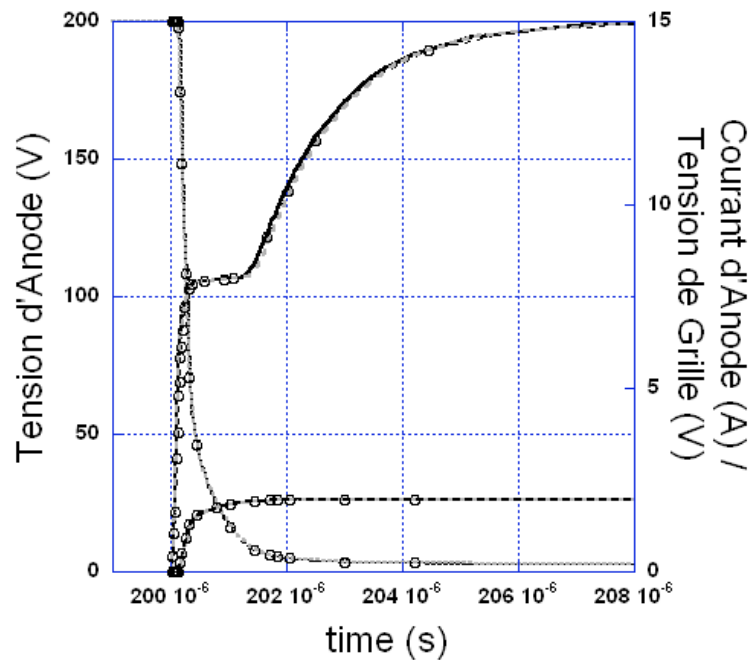


Figure 102 Comparaison du comportement de l'IGBT avec la structure de détection et de protection en fonction des différentes techniques d'isolation dans le cas d'un fonctionnement normal sur charge résistive de 100 Ohms (simulation 2D ISE-TCAD)

2.3.4.4 Conclusion

La comparaison du comportement de la structure de protection en fonction de la technique d'isolation employée permet de conclure que les trois techniques proposées autorisent son bon fonctionnement. Il n'est pas inutile de noter qu'aucune des techniques d'isolation n'influe sur les caractéristiques de l'IGBT en mode fonctionnement normal. Le choix de l'une

ou l'autre des techniques devra donc se faire sur d'autres critères que celui de la fonctionnalité. Nous retiendrons en tout premier lieu le critère de la technologie employée, de son coût et de sa complexité.

2.4 Validation expérimentale

Un process de réalisation technologique comportant tous les composants de la structure de protection en collaboration avec le *Centro Nacional de Microelectronica* de Barcelone. Ce process est basé sur la filière technologique flexible développée par Eric Imbernon [8]. Notons que la réalisation expérimentale du Capteur de Tension d'Anode a déjà été traitée au 2.1.2.

2.4.1 Transistor LDMOS

Deux transistors LDMOS sont présents dans la structure de détection et de protection. Ils sont totalement identiques en termes de surface, tension de seuil et tenue en tension. La figure 103 présente une vue de dessus du dispositif de test réalisé.

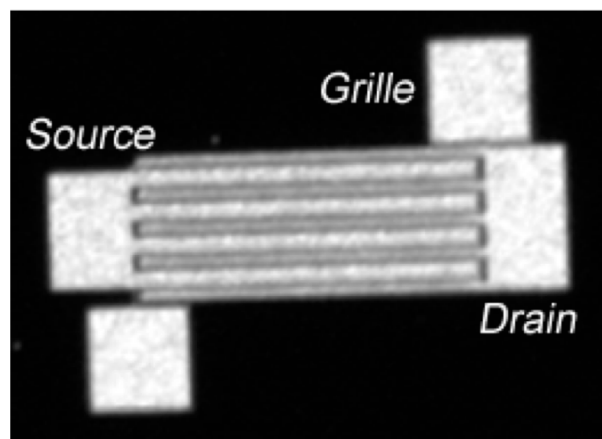


Figure 103 Vue de dessus du transistor LDMOS réalisé à partir d'un process d'IGBT classique

Plusieurs dispositifs de test ont été mis en boîtier DIL 24 broches pour effectuer leur caractérisation. La figure 104 présente les caractérisations effectuées sur ces transistors LDMOS à deux niveaux d'oxyde. La tension de seuil mesurée est de l'ordre de 3.5V. La tenue en tension est supérieure à celle espérée puisqu'elle atteint 35V. Les caractéristiques directes permettent de définir une résistance à l'état passant de l'ordre de 30 Ω .

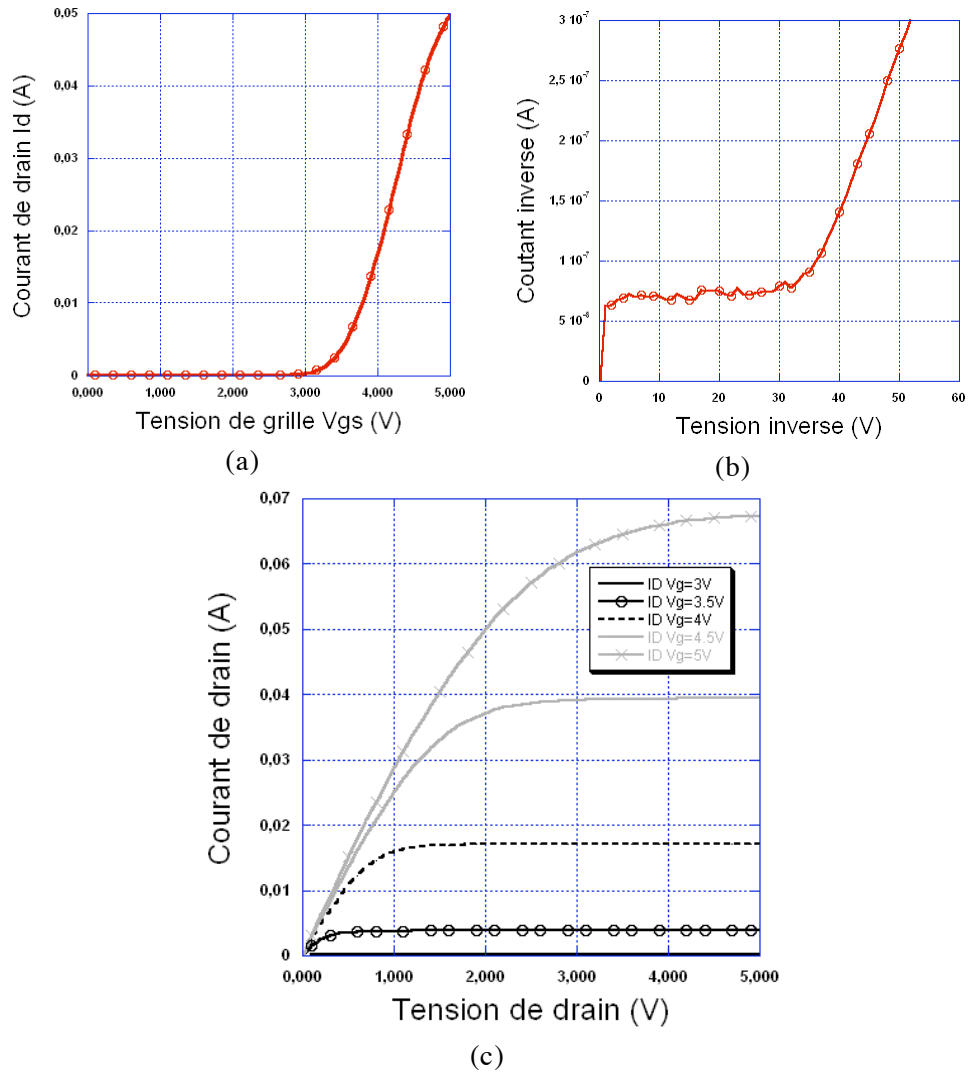


Figure 104 Caractérisation des dispositifs LDMOS à deux niveaux d'oxyde réalisés : tension de seuil (a), tenue en tension (b), caractéristiques directes (c)

2.4.3 Diodes Zener

Nous avons réalisé trois diodes Zener de surface différentes à savoir : 1000, 4000 et 40000 μm . La figure 105 présente une vue de dessus de ces trois diodes Zener. Ces diodes Zener ont été montées en boîtier DIL 24 broches et testées en direct et en inverse. La figure 106 présente les résultats de ces caractérisations. On observe que la tension Zener obtenue est de l'ordre de 10V ce qui correspond à la tension Zener escomptée. L'influence de la surface de la diode Zener en caractérisation statique n'a pas ou peu d'influence. C'est lorsque l'on souhaite l'utiliser pour la polarisation vir-

tuelle du contact source-substrat du transistor LDMOS de délai que la surface de la diode sera influente (voir 2.2.2).

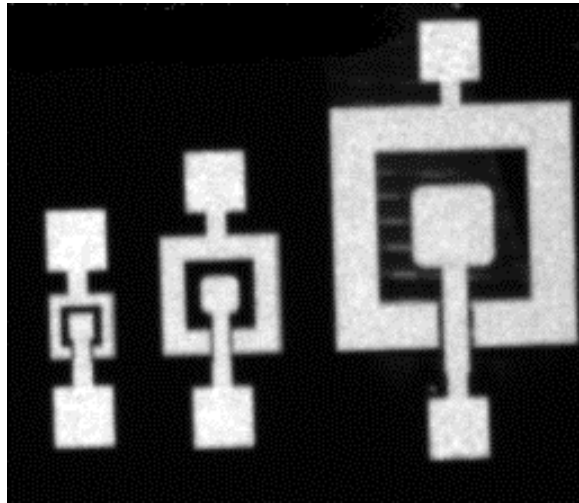


Figure 105 Vue de dessus des dispositifs de diode Zener test réalisés dans un process classique d'IGBT

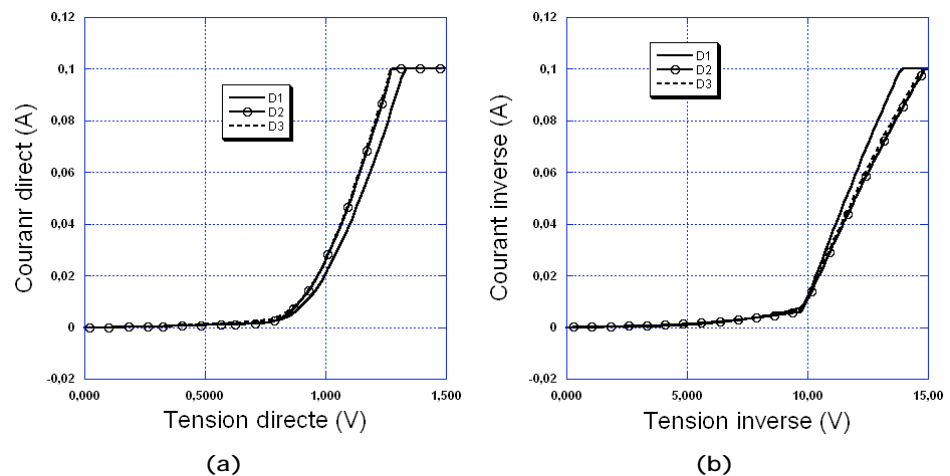


Figure 106 Caractérisation des diodes Zener : en polarisation directe (a) et en polarisation inverse (b)

2.4.3 IGBT

Enfin, la réalisation des composants de la structure de protection étant basée sur le process d'un IGBT, nous avons des dispositifs test d'IGBT. La figure 107 présente la vue de dessus d'un des IGBT test réalisé. On remarquera qu'une partie de la surface de cet IGBT est utilisée pour la

réalisation d'un capteur de courant. Plusieurs dispositifs de test ont été montés en boîtier DIL 24 broches pour réaliser différentes caractérisations.

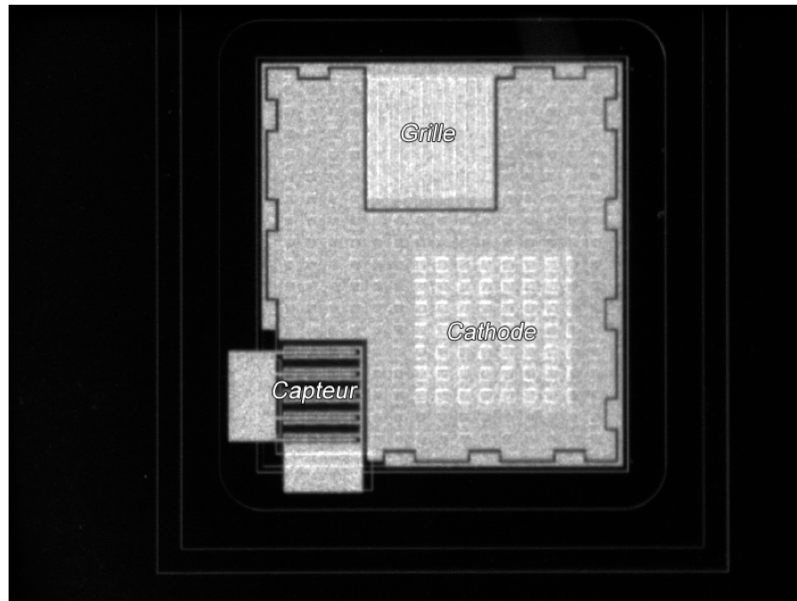


Figure 107 Vue de dessus d'un dispositif IGBT test réalisé

L'IGBT réalisé a une surface de 1mm^2 . Ses caractéristiques principales déduites des mesures exposées figures 108 et 109 sont les suivantes : tension de seuil de 3.2V, tenue en tension de 320V, chute de tension à l'état passant entre 2V et 4V.

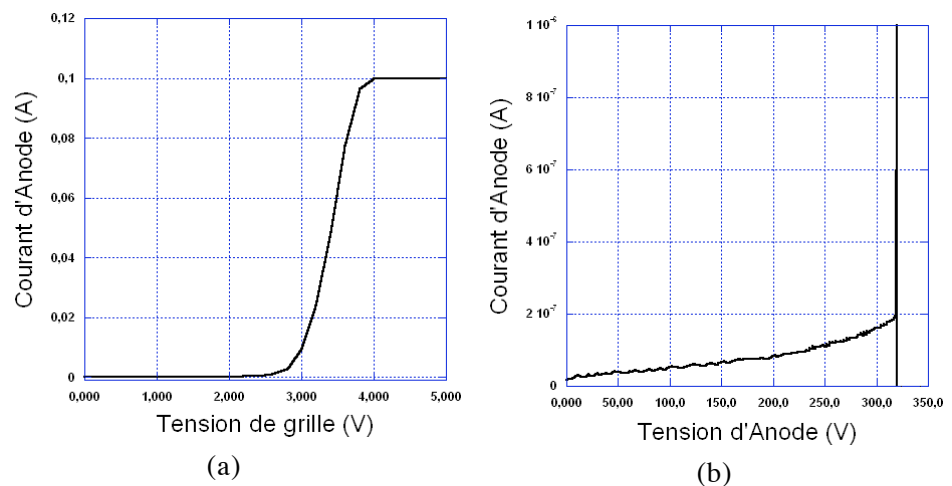


Figure 108 Caractérisation expérimentale des dispositifs test d'IGBT : tension de seuil (a) et tenue en tension (b)

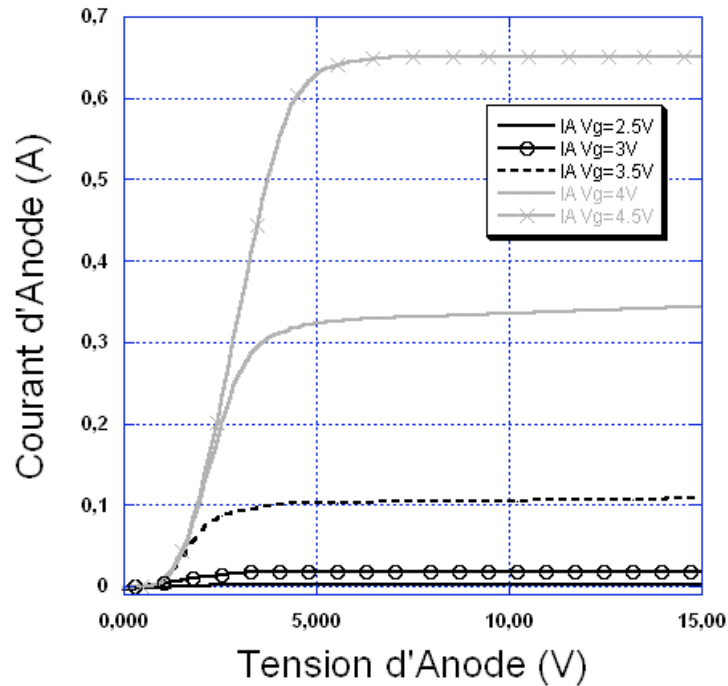


Figure 109 Caractérisation expérimentale des dispositifs test d'IGBT : Courant d'Anode en fonction de la tension d'Anode pour différentes valeurs de la tension de Grille

2.5 Conclusion et discussion

Nous avons présenté dans ce paragraphe la solution que nous avons souhaité apporter à la protection des IGBT contre les courts-circuits. Cette solution basée sur la détection simultanée de la commande de grille et de la tension d'anode est construite autour d'un composant nommé Capteur de Tension d'Anode. Ce composant a été étudié en simulation 2D et 3D puis réalisé pour vérifier son aptitude à être utilisé comme commande dans des circuits utilisant des transistors MOS.

L'étude de la structure de détection et de protection dans son environnement de fonctionnement a permis de mettre en évidence des contraintes qui ont guidé sa conception et son optimisation. La phase d'optimisation que nous avons menée dans cette étude a entraîné des choix de conception qui nous ont amenés à repenser l'intégration monolithique dans sa globalité. En effet lors du remplacement, pour des raisons de tenue en tension, des transistors MOS réalisés dans un caisson P à des LDMOS, il est apparu un nouveau problème lié à l'isolation des composants. Nous avons donc proposé trois techniques d'isolation déjà éprouvées dans le

cadre de réalisations de dispositifs de puissance. Nous avons montré par simulation 2D que ces trois techniques d'isolation permettaient d'obtenir la fonctionnalité recherchée pour la structure de protection et qu'elles ne modifiaient pas le bon fonctionnement de l'IGBT. Nous avons réalisé, pour les techniques de murs traversant et de membrane, les jeux de masques permettant leur fabrication en centrale technologique. Suite à des problèmes lors de la phase de réalisation des tranchées et notamment lors de leur remplissage, nous n'avons pas pu tester une structure de protection intégrée. En revanche, les composants discrets réalisés lors du même processus de fabrication ont été mis en boîtiers et caractérisés.

Notons cependant que les conséquences sur la complexité du processus technologique sont suffisamment importantes pour soulever des questions sur leur faisabilité en masse, surtout lorsque le niveau d'intégration d'éléments additionnels reste faible. Ces travaux technologiques doivent être poursuivis pour anticiper d'autres problèmes d'interactions lorsque la densité d'intégration sera plus importante. Cependant, des solutions permettant de réaliser un transistor capable de supporter plusieurs dizaines de volts dans un caisson P bénéficiant de l'effet d'auto-isolation sont aujourd'hui en cours d'étude.

Conclusion générale

Cette thèse s'inscrit dans les mutations actuelles qui touchent l'électronique de puissance dans tous ses domaines d'application : traction électrique, entraînements industriels, gestion du réseau de distribution, électroménager et domotique, automobile et appareils portatifs. Ces mutations sont en relation avec une forte démarche de sauvegarde de l'énergie, une évolution vers le nomadisme en forte croissance, une convergence numérique accrue et, du fait de la présence d'électronique dans de plus en plus d'applications à haut risque, une fiabilité quasi sans failles. Ces évolutions sont donc basées sur la croissance socioculturelle et les solutions technologiques apportées à cette croissance. Nous avons développé dans ce manuscrit plusieurs contributions à différents aspects de ces évolutions.

L'intégration en électronique de puissance est reconnue comme étant un facteur fiabilisant pour un système donné. Elle permet aussi d'en améliorer la compacité. Les progrès relatifs aux technologies de fabrication réalisés ces dernières années et l'intégration ont permis d'accroître l'autonomie des dispositifs tout en réduisant leur volume (un exemple probant est le téléphone portable). Nous avons présenté dans un premier chapitre les modes d'intégration en électronique de puissance : l'intégration hybride et l'intégration monolithique. L'étude des récentes réalisations dans ces domaines de recherche nous ont permis de conclure que nous sommes à l'aube d'une ère d'intégration 3D. Nous avons par la suite détaillé les problématiques relatives aux interrupteurs de puissance, notamment le compromis tenue en tension – état passant des composants unipolaires. Nous avons traité les évolutions récentes d'amélioration du compromis et montré comment elles s'inscrivent dans une logique de transposition de techniques de garde au volume du silicium. Ces considérations nous ont mené à introduire les composants bipolaires comme solution aux limites des composants unipolaires lorsqu'une tenue en tension importante est

est requise. Nous sommes alors confronté au compromis résistance à l'état passant – pertes en commutation. Nous avons détaillé l'interrupteur de puissance sur lequel nous avons basé nos travaux : l'IGBT. Après la description de ses évolutions technologiques, nous avons expliqué les défaillances auxquelles il peut être soumis et montré que la chronologie d'une condition de court-circuit pouvait mener à chacune de ces défaillances. Enfin, nous avons posé la problématique du diagnostic et de la protection des interrupteurs de puissance et montré que les voies de recherche actuelles encouragent à l'intégration de capteurs, de fonctions de protection, de circuit de commande et d'alimentation.

Nous l'avons indiqué, l'amélioration du rendement d'une chaîne de traitement de l'énergie passe par l'amélioration de chacun de ses maillons. Dans le deuxième chapitre, nous avons présenté une solution permettant de diminuer les pertes associées à un cycle de commutation d'un IGBT. Cette solution est basée sur l'association en parallèle de deux IGBT appelée architecture faible pertes. L'un des IGBT est dédié aux phases de conduction : l'IGBT lent (faible chute de tension à l'état passant), l'autre aux phases de commutation : l'IGBT rapide (faible courant de queue). Pour cela, les efficacités d'injections de leurs anodes respectives sont différenciées. On obtient ainsi une minimisation des pertes sur un cycle de commutation complet. Nous avons réalisé des simulations analytiques de l'architecture faible pertes en utilisant des modèles de composants de puissance développés au LAAS/CNRS. Ces simulations nous ont permis de valider l'intérêt de l'architecture grâce à une diminution de 20% à 25% des pertes pour des fréquences allant de 4kHz à 20kHz. Nous avons ensuite réalisé des simulations bidimensionnelles pour étudier les interactions entre les parties lente et rapide dans le cas d'une intégration monolithique de cette architecture. Cette étude nous a permis d'identifier précisément les contributions des parties lente et rapide selon les instants du cycle de commutation et de valider une réalisation technologique. Nous avons ensuite présenté en détail les étapes technologiques de la réalisation du véhicule test appelé Bi-IGBT. La caractérisation du véhicule test a permis une validation expérimentale de la fonctionnalité et par là même du concept de l'architecture faible pertes. Elle a aussi ouvert la réflexion sur la réalisation de la commande d'une telle architecture. En conséquence, nous avons proposé une commande basée sur une différenciation des constantes de temps associées aux circuits de charge des grilles. Cette commande est de surcroît facilement intégrable.

Il est un fait que les systèmes de l'électronique de puissance sont présents dans des domaines où la fiabilité est un facteur capital. Citons par exemple l'aéronautique, l'automobile et la gestion du réseau de distribution. Des solutions pour améliorer la fiabilité existent déjà, elles sont pour beaucoup basées sur une redondance du système et ne permettent pas toujours une permanence de la fonction escomptée. Dans le troisième chapitre, nous avons apporté une contribution à cette problématique avec une structure de protection des IGBT contre les courts-circuits. Tout d'abord, les différents modes et types de courts-circuits ont été présentés ainsi que leur principe de détection. Nous avons ensuite étudié la chronologie des protections déjà existantes basées sur les deux techniques principales de détection. L'étude de la chronologie des protections utilisant la technique de « désaturation » a permis de mettre en exergue une tendance à la multiplication du nombre d'indicateurs de la condition de court-circuit. Nous remarquons aussi l'apparition de protections complémentaires contre des comportements problématiques créés par la protection elle-même. Enfin, la volonté d'intégrer monolithiquement la protection apparaît clairement. La chronologie des protections basées sur la détection d'un sur-courant met également en avant une diversification des indicateurs pour permettre une détection plus précise et plus fiable. En revanche l'intégration monolithique de tout ou partie de la protection apparaît naturellement dès les premières solutions proposées. Nous attribuons cela au principe de détection qui suppose un capteur intégré au plus près de l'interrupteur. Nous présentons ensuite notre structure de détection et de protection. Elle est basée sur la détection simultanée de la tension d'anode et de la commande de grille. La détection de la tension d'anode est rendue possible grâce à un composant nommé Capteur de Tension d'Anode. Nous avons étudié son comportement en détail de manière à démontrer son aptitude à commander des circuits basés sur des composants à grille isolée. Nous menons ensuite l'étude de la structure dans son environnement de fonctionnement et identifions les contraintes qui vont guider sa conception et son optimisation. La phase d'optimisation en relation avec la réalisation technologique nous a mené à repenser l'intégration monolithique dans sa globalité. En effet, nous avons mis en évidence des problèmes d'isolation des composants de la structure de protection. Nous avons proposé trois solutions d'isolation déjà éprouvées lors de la conception de dispositifs de puissance et compatibles avec un procédé de fabrication standard d'IGBT. Nous avons comparé ces techniques d'isolation et validé par simulation 2D leur aptitude à rendre la structure de protection fonctionnelle. Enfin nous avons conçu les jeux de masques permettant la réalisation technologique de deux des solutions proposées. Victimes de la complexité technologique additionnelle engendrée

par ces isolations, nous n'avons pas pu mener la fabrication des isolations dans leur intégralité. Seuls les composants discrets ont pu être conçus et caractérisés. Leurs caractéristiques sont présentées et dénotent des comportements en accords avec ceux qui sont prévus par simulation 2D.

Les travaux présentés dans ce manuscrit ouvrent sur un nombre relativement important de prospectives :

- Les recherches menées dans le cadre de cette thèse ont permis d'extraire des tendances sur l'intégration de puissance du futur, nous pouvons résumer cela en prévoyant des interrupteurs intégrés avec leurs systèmes de commande, de protection, de refroidissement. Ainsi, l'interrupteur du futur sera certainement intelligent, auto-alimenté, 3D et multiphysique.
- Intéressons nous à présent aux suites directes à donner à ces travaux :
 - Nous devons poursuivre les simulations 2D de l'architecture faible pertes de manière à optimiser les interactions entre les parties rapide et lente. Grâce à cela nous serons en mesure d'entreprendre la réalisation d'une puce Bi-IGBT optimisée.
 - Une validation expérimentale d'une commande intégrée de la puce Bi-IGBT devra être accomplie.
 - Concernant la structure de protection, des procédés de fabrication incluant les trois techniques d'isolation devront être menés à terme. Une validation expérimentale de la structure de protection sera ainsi possible.
 - Le concept de la protection dont il est question dans ce manuscrit devra être porté aux dernières technologies d'IGBT (notamment 3.3kV) et étendu à d'autres composants à grille isolée.
 - L'utilisation du capteur de courant intégré à l'IGBT devra permettre d'élaborer une stratégie de protection plus complète.

Les efforts menés par la communauté de la recherche en électronique de puissance sont d'une importance capitale dans la gestion du patrimoine énergétique mondial. Ils interviennent dans tous les maillons de la chaîne du traitement de l'énergie et s'inscrivent dans une logique de développement durable. Cependant, la demande en énergie au niveau mondial

mondial va croissant dans les pays développés et augmente de manière exponentielle dans les pays en voie de développement. Au-delà de l'économie d'énergie réalisée grâce aux découvertes accomplies dans le domaine de l'électronique de puissance, de nouvelles sources d'énergie, propres et renouvelables devront être trouvées et exploitées pour assurer l'avenir énergétique de l'humanité.

Enfin, je pense que pour que ces efforts aient une utilité significative à long terme, les comportements vis-à-vis de l'utilisation des transports et de la gestion de l'énergie au quotidien devront changer de manière individuelle et collective.

A: Annexes

A.1 Annexe 1: Conditionnement et refroidissement des modules de puissance

A.1.1 La connectique pour relier électriquement et thermiquement

La fiabilité et les performances des systèmes de puissance sont aussi tributaires, avec l'augmentation des fréquences de commutation et le calibre des courants commutés, de la qualité de la connectique employée. Cette connectique doit être vue, à la fois comme pont électrique entre plusieurs composants du système, mais aussi de par sa proximité avec les parties dissipatrices de chaleur, comme pont thermique, et par extension, comme premier dissipateur thermique.

Pour ces raisons, la tendance actuelle est au remplacement du classique « wire bonding » en Aluminium par des technologies d'assemblage 3D de puces et/ou de soudure directe des pâtes de connexion. On citera comme exemples de ce type de connexion : « Direct Solder Interconnection », « Solder Bump Interconnection », « Embedded Power », « Power Overlay Technology », « Dimple Array Interconnection », Metal Post Interconnection » [90]. La figure A.1 montre une technologie très employée à l'heure actuelle notamment pour des MOSFET 90V 300A développés par Mitsubishi Electric©. On remarquera que l'électrode de grille est toujours reliée avec une soudure classique par fil de bonding. Dans l'exemple de la figure A.1, la technique de soudure employée permet d'importantes améliorations en terme de fiabilité et de performance : La résistance à l'état passant (R_{ON}) est réduite de 16% par rapport à une soudure classique par fil d'Al, les impédances parasites sont considérablement réduites et la tenue au cyclage thermique (233K-398K) est de 3000 cycles. En comparaison, une tenue classique dans des conditions équivalentes pour une soudure par fil d'Al, est d'environ 1000 cycles [91]. Ceci peut s'expliquer par d'important stress thermiques subits par l'interface fil d'Al et puce silicium et la différence de leur coefficients d'expansion thermiques (C.T.E) respectifs. Dans le cas de soudure directe, les C.T.E sont toujours différents, mais l'évacuation thermique est réalisée par toute la surface de soudure ce qui permet des stress thermiques au niveau de l'interface beaucoup plus faibles [92].

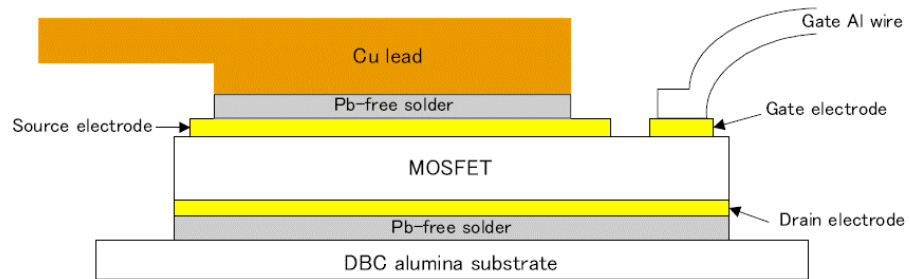
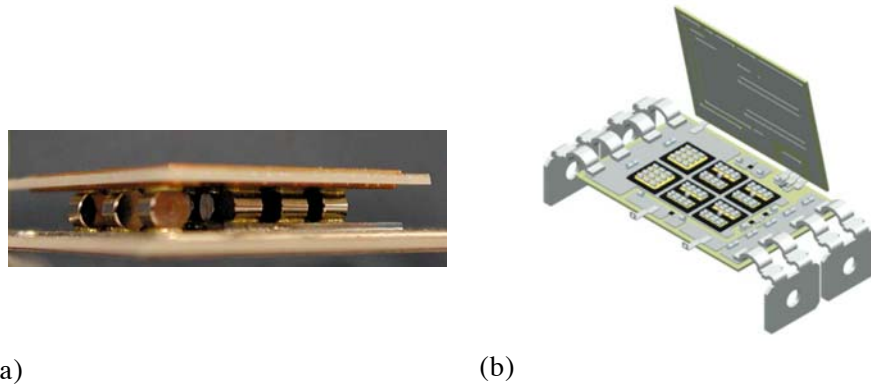


Figure A.1 Vue en coupe schématique d'un MOSFET relié par la technique de soudure directe de la pâte de connexion

Une autre technique d'interconnexion présente un grand nombre d'avantages, il s'agit des bumps de puissance. Les bumps sont des cylindres ou des billes de cuivre qui permet l'empilement de plusieurs puces et un contact électrique entre elles. Ils sont soudés comme l'illustre la figure A.2. Ces bumps sont utilisés notamment dans des applications forte puissance telle que la traction ferroviaire [93]. Leurs points forts sont nombreux : ils permettent le passage de forts courants (plusieurs dizaines d'ampères par bump), leur matériaux a une très bonne conductivité thermique, et ils établissent un interstice entre les deux puces qui permet d'améliorer l'isolation électrique après remplissage par un diélectrique. Les bumps réalisés par ALSTOM© ont une résistance de $50\mu\text{Ohms}$ à comparer avec les 380mOhms d'un fil de bonding pour une fonction identique. En terme de fiabilité les tests de cyclage effectués permettent d'évaluer leur durée de vie à 20 ans.

L'utilisation de nouvelles technologies de connectique comme les bumps pour l'interconnexion et les soudures directes pour les raccords aux pattes de connexion permettent d'améliorer grandement les performances et la fiabilité des systèmes de puissance. Plus globalement c'est une nouvelle stratégie d'intégration, appelée intégration 3D, qui émerge ces dernières années. Elle permet, outre les améliorations déjà citées, d'optimiser le refroidissement et de l'intégrer dès la conception 3D au travers de la connectique du système de puissance.



(a) (b)
Figure A.2 Soudure de deux puces grâce à la technique des bumps (a) et intégration de cette technique dans un interrupteur élémentaire de puissance (b).

A.1.2 Stratégies spécifiques de refroidissement

Les systèmes modernes de puissance embarquent une densité de puissance de plus en plus élevée. Les stratégies de refroidissement doivent donc permettre d'évacuer cette puissance croissante par unité de surface. De plus, avec l'avènement de l'intégration 3D, les stratégies de refroidissement ne peuvent plus se contenter d'être accolées à la face arrière du système de puissance, elles doivent être pensées en même temps que la conception globale pour que leur intégration se fasse au sein même du système de puissance. Pour cela, le concepteur devra prendre en compte les caractéristiques thermiques différentes des semiconducteurs, des circuits magnétiques, et des capacités, comme le montre la figure A.3. Un exemple d'application de ces règles de conception est donné figure A.4 dans le cas d'un inverseur intégré de moteur de véhicule hybride [3]

Si l'on parle du design thermique d'un système, il est le résultat d'une équation complexe liant la chaleur dissipée par les composants, la température ambiante et ses variations potentielles, la gamme de température dans laquelle le système peut fonctionner sans défaillance à court et à long terme, le volume total du système et le poids du système. Une partie des éléments de cette équation vont permettre de déterminer les caractéristiques thermiques du système de refroidissement et les autres ses caractéristiques structurelles (matériaux, passif, actif, à air, à eau, etc....).

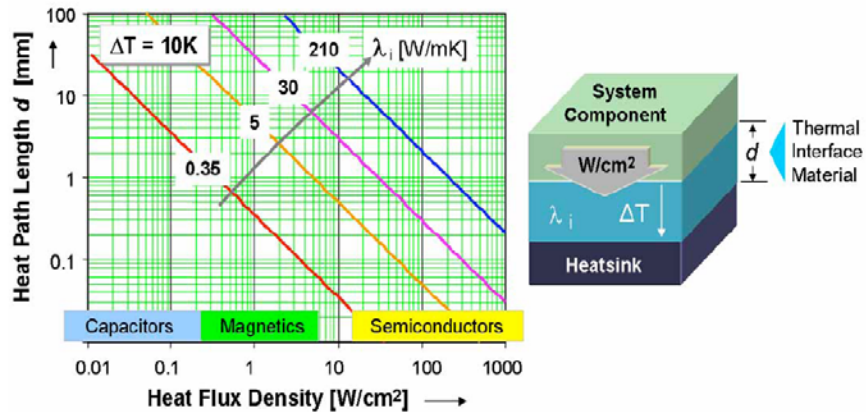


Figure A.3 Epaisseur possible de la couche de conducteur thermique en fonction du flux de chaleur et de la conductivité thermique

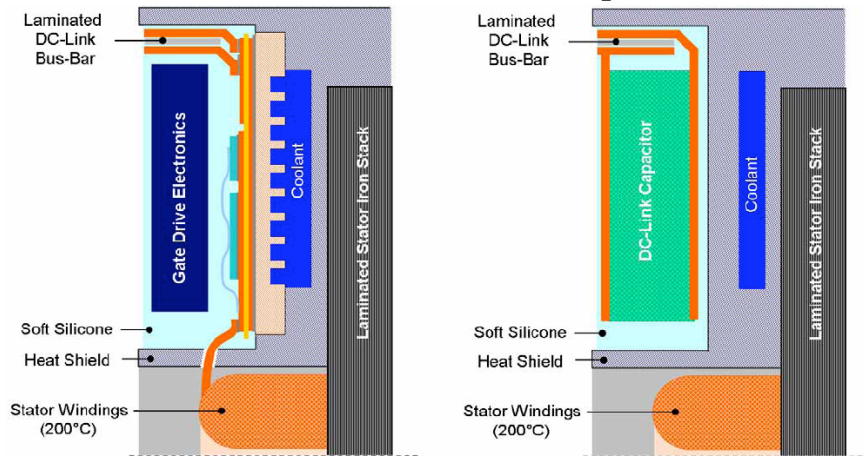


Figure A.4 Exemple de la différence de refroidissement entre composants semi-conducteurs et capacités

D'autres technologies de refroidissement intégré sont intéressantes, je citerais par exemple les μ -caloducs silicium réalisés au LAAS et au LEG. Dans leur version passive, ces μ -caloducs offrent une conductivité thermique évaluée deux fois supérieure à celle du cuivre massif [94]. L'utilisation de caloducs pulsés pour le refroidissement des dispositifs de puissance a un avenir très intéressant puisque sa conductivité thermique apparente est plusieurs dizaines de fois supérieure à celle du cuivre massif [95]. Enfin des améliorations sur les systèmes classiques de refroidissement où l'extraction de la chaleur se fait par la face arrière des composants de puissance sont toujours en cours. Elles permettent depuis peu, grâce à la soudure direct du support en céramique sur un radiateur en cuivre micro us-

iné relié à un système de refroidissement liquide, d'empiler plusieurs de ces puces avec leur système de refroidissement et donc d'améliorer la capacité globale du système (figure A.5) [96].

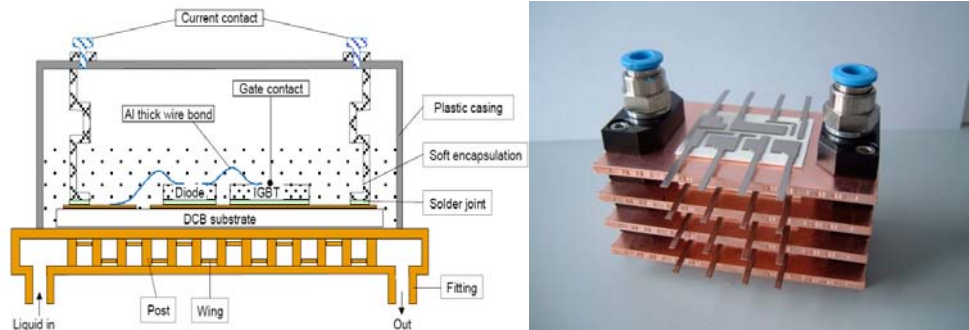


Figure A.5 Interrupteur élémentaire avec refroidissement intégré empilable

A 2 Annexe 2 : Amélioration des caractéristiques dynamiques des composants MOS

Les composants de puissance contemporains sont amenés à fonctionner à des fréquences de plus en plus élevées. Dès lors, il convient de s'intéresser aux caractéristiques dynamiques de ceux-ci et à leur amélioration de manière à diminuer les pertes occasionnées durant les phases de commutations. Le facteur de mérite usuellement utilisé pour comparer les performances dynamiques des MOS de puissance est le produit résistance à l'état passant par la charge grille drain : $R_{ON} * Q_{GD}$ exprimé en $m\Omega \cdot nC$. Pour les IGBT, le principal facteur de mérite est le compromis chute de tension à l'état passant, durée et niveau de la queue de courant, ce point est développé dans le chapitre 1.

Les travaux récents en matière de diminution de la charge grille drain visent à diminuer le couplage entre la grille et le drain. Plusieurs techniques de réalisation permettent d'y parvenir. A titre d'exemple, pour les transistors MOS dont la grille est réalisée en tranchée, on trouvera notamment une technique qui vise à augmenter l'épaisseur de l'oxyde au fond de la tranchée, c'est-à-dire où le contact de grille est en regard de la zone de drift (figure A.6). Il a été reporté ici [97] que cette technique permet de réduire le facteur $R_{ON} * Q_{GD}$ de 25% à 32% selon la tenue en tension visée.

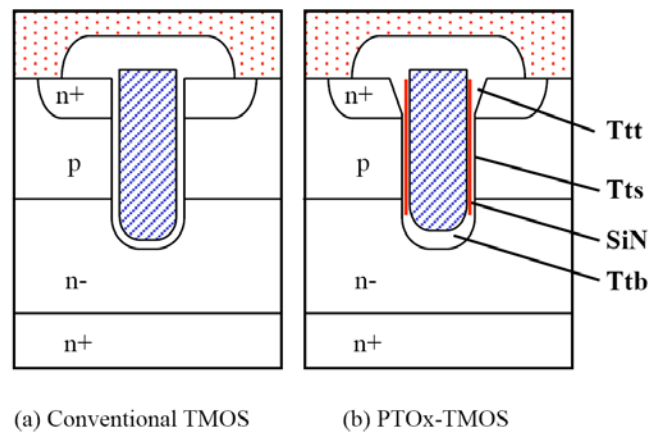


Figure A.6 contrôle de l'épaisseur d'oxyde au niveau de la zone de drift pour diminuer la capacité grille drain.

Une autre technique consiste à réaliser les contacts de grille uniquement sur les parois de la tranchée de façon à ce que le chevauchement, et par suite le couplage, de la grille et du drain se limite à l'épaisseur de polysilicium de la grille (figure A.7). Cette technique a permis d'obtenir un facteur de mérite de $16.4m\Omega \cdot nC$ qui correspond à la valeur actuelle la plus faible pour la gamme des transistors MOS à tranchée de 20V [98].

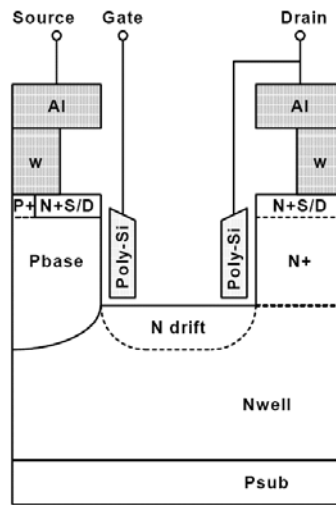


Figure A.7 Vue en coupe schématique d'un MOS a tranchée à faible facteur $R_{ON} \cdot Q_{GD}$

B: Bibliographie

- [1] K. Guth and P. Mahnke, "Improving the thermal reliability of large area solder joints in IGBT power modules," in *4th International Conference on Integrated Power Systems*, Naples, Italy, 2006.
- [2] L. Fratelli, B. Cascone, and G. Giannini, "Compact IGBT phase-leg assemblies, as integrated functional modules for advanced high-speed trains, multivoltage locos and commuters," in *4th International Conference on Integrated Power Systems*, Naples, Italy, 2006.
- [3] M. Gerber and M. Marz, "System integration in automotive power systems," in *Power Electronics and Applications, 2005 European Conference on*, Desden, Germany, 2005, p. 10 pp.
- [4] F. C. Lee and J. D. v. Wyk, "IPEM-Based Power Electronics System Integration," in *4th International Conference on Integrated Power Systems*, Naples, Italy, 2006.
- [5] M. Robberg, R. Herzer, and S. Pawel, "Latch-up free 600 V SOI gate driver IC for medium power and high temperature applications," in *Power Electronics and Applications, 2005 European Conference on*, Desden, Germany, 2005, p. 10 pp.
- [6] J. L. Sanchez, M. Breil, P. Austin, J. P. Laur, J. Jalade, B. Rousset, and H. Foch, "A new high-voltage integrated switch: the 'thyristor dual' function," in *Power Semiconductor Devices and ICs, 1999. ISPSD '99. Proceedings., The 11th International Symposium on*, 1999, pp. 157-160.
- [7] O.Causse, "Contribution à l'amélioration de la fonctionnalité et des performances de l'IGBT," Toulouse: Université Paul Sabatier, 2001.
- [8] E. Imbernon, "Etude et optimisation d'une filière technologique flexible adaptée au mode d'intégration fonctionnelle," Toulouse: Université Paul Sabatier, 2002.
- [9] B. Eckardt, A. Hofmann, S. Zeltner, and M. Maerz, "Automotive powertrain DC/DC converter with 25kW/dm³ by using SiC Diodes," in *4th International Conference on Integrated Power Systems*, Naples, Italy, 2006.
- [10] C. Caramel, P. Austin, J. L. Sanchez, E. Imbernon, and M. Breil, "Integrated IGBT short-circuit protection structure: Design and optimization," *Microelectronics journal*, vol. 37, pp. 249-256, 2006.
- [11] A. Dartigues, B. Giffard, R. Perret, C. Schaeffer, M. Roy, and C. Anceau, "Driver integration in a monolithic MBS (Mos bidirectional switch) : study of the perturbations in

the off-state," in *Industry Applications Conference, 2000. Conference Record of the 2000 IEEE*, 2000, pp. 3003-3009 vol.5.

[12] R. Mitova, J. C. Crebier, L. Aubard, and C. Schaeffer, "Fully integrated gate drive supply Around Power switches," *Power Electronics, IEEE Transactions on*, vol. 20, pp. 650-659, 2005.

[13] P. Leturcq, "Semi-conducteurs de puissance unipolaires et mixtes (partie 1)," in *Techniques de l'ingénieur*. vol. D3 108.

[14] F. Morancho, "Le transistor MOS de puissance à tranchées: modélisation et limites de performances," Toulouse: Université Paul Sabatier, 1997.

[15] P. Leturcq, "Tenue en tension des semi-conducteurs de puissance," in *Techniques de l'Ingenieur*. vol. D3 104.

[16] X. Chen, "Semiconductor power devices with alternating conductivity type high-voltage breakdown regions," in *U.S. Patent*, n°5216275 ed, 1993.

[17] J. Tihanyi, "Power MOSFET," in *U.S. Patent*, n°5438215 ed, 1995.

[18] T. Fujihira, "Theory of Semiconductor Superjunction Devices," *Japanese journal of applied physics*, vol. 36, pp. 6254-6262, 1997.

[19] G. Deboy, N. Marz, J. P. Stengl, H. Strack, J. Tihanyi, and H. Weber, "A new generation of high voltage MOSFETs breaks the limit line of silicon," in *Electron Devices Meeting, 1998. IEDM '98 Technical Digest., International*, 1998, pp. 683-685.

[20] P. Il-Yong, C. Andre, and T. Salama, "Experimental Implementation and Characterization of a CMOS Compatible Buffered SJ-LDMOST," in *Power Semiconductor Devices and IC's, 2006 IEEE International Symposium on*, Naples, Italy, 2006, pp. 1-4.

[21] A. Heringa and J. Sonsky, "Novel power transistor design for a process independent high voltage option in standard CMOS," in *Power Semiconductor Devices and IC's, 2006 IEEE International Symposium on*, Naples, Italy, 2006, pp. 1-4.

[22] K. Takahashi, H. Kuribayashi, T. Kawashima, S. Wakimoto, K. Mochizuki, and H. Nakazawa, "20mΩcm² 660V Super Junction MOSFETs Fabricated by Deep Trench Etching and Epitaxial Growth," in *Power Semiconductor Devices and IC's, 2006 IEEE International Symposium on*, Naples, Italy, 2006, pp. 1-4.

[23] W. Saito, I. Omura, S. Aida, S. Koduki, M. Izumisawa, H. Yoshioka, H. Okumura, M. Yamaguchi, and T. Ogura, "A 15.5mΩcm²-680V Superjunction MOSFET Reduced On-Resistance by Lateral Pitch Narrowing " in *Power Semiconductor Devices and IC's, 2006 IEEE International Symposium on*, Naples, Italy, 2006, pp. 1-4.

[24] C. Kocon, A. Challa, and P. Thorup, "Self-aligned High Density Low Voltage P-Channel Trench MOSFET with Ultra Low Resistance and Robust Ruggedness," in *Power Semiconductor Devices and IC's, 2006 IEEE International Symposium on*, Naples, Italy, 2006, pp. 1-4.

[25] N. Cézac, P. Rossel, F. Morancho, H. Tranduc, A. Peyre-Lavigne, and I. Pagès, "The FLIMOS transistor: a new vertical power device generation," in *6th International Conference on Mixed Design of Integrated Circuits and Systems (MIXDES'99)*, Cracovie, Pologne, 1999, pp. 295-298.

[26] S. Alves, F. Morancho, J.-M. Reyne`s, J. Margheritta, I. Deram, K. Isoird, and H. Tranduc, "Technological realization of low on-resistance FLYMOS™ transistors dedicated

to automotive applications," in *European Power Electronics and drives*, Dresden, Germany, 2005.

[27] J. Roig, Y. Weber, J.-M. Reynès, F. Morancho, E. N. Stefanov, M. Dilhan, and G. Sarrabayrouse, "Electrical and Physical characterization of 150-200V FLYMOSFETs," in *Proceedings of The 18th International Symposium on Power Semiconductor Devices & ICs*, Naples, Italy, 2006.

[28] M. Kanechika, M. Kodama, T. Uesugi, and H. Tadano, "A novel Lateral MOSFET with drift trenches and drain trenches for 42V automotive system," in *7th International seminar on power semiconductors*, Prague, République Tchèque, 2004.

[29] H. Yamaguchi, Y. Urakami, and S. Jun, "Breakthrough of on-resistance Si limit by Super 3D MOSFET under 100V breakdown voltage," in *Power Semiconductor Devices and IC's, 2006 IEEE International Symposium on*, Naples, Italy, 2006, pp. 1-4.

[30] B. J. Baliga, "Trends in power semiconductor devices," *Electron Devices, IEEE Transactions on*, vol. 43, pp. 1717-1731, 1996.

[31] S. Pendharkar and K. Shenai, "Zero voltage switching behavior of punchthrough and nonpunchthrough insulated gate bipolar transistors (IGBT's)," *Electron Devices, IEEE Transactions on*, vol. 45, pp. 1826-1835, 1998.

[32] R. Siemieniec, M. Netzel, and R. Herzer, "Comparison of PT and NPT cell concept for 600V IGBTs," in *European Power Electronics and drives 97*, Trondheim, Norway, 1997.

[33] E. Motto, J. F. Donlon, H. Takahashi, M. Tabata, and H. Iwamoto, "Characteristics of a 1200V PT IGBT with trench gate and local life time control," in *Conference record of the 1998 IEEE Industry Application Society Annual Meeting*, Portland, Oregon, 1998.

[34] R. Mallwitz, R. Tschirbs, M. Pfaffenlehner, A. Mauder, and C. Schaeffer, "1700V trench IGBT modules," in *Proceeding of the 7th European Power Quality Conference*, 2001.

[35] T. Laska, M. Munzer, F. Pfirsch, C. Schaeffer, and T. Schmidt, "The Field Stop IGBT (FS IGBT). A new power device concept with a great improvement potential," in *Power Semiconductor Devices and ICs, 2000. Proceedings. The 12th International Symposium on*, 2000, pp. 355-358.

[36] K. Nakamura, S. Kusunoki, H. Nakamura, Y. Ishimura, Y. Tomomatsu, and T. Minato, "Advanced wide cell pitch CSTBTs having light punch-through (LPT) structures," in *Power Semiconductor Devices and ICs, 2002. Proceedings of the 14th International Symposium on 2002*.

[37] M. Rahimo, A. Kopta, S. Eicher, N. Kaminski, F. Bauer, U. Schlapbach, and S. Linder, "Extending the boundary limits of high voltage IGBTs and diodes to above 8 kV," in *Power Semiconductor Devices and ICs, 2002. Proceedings of the 14th International Symposium on*, 2002, pp. 41-44.

[38] M. Kitagawa, I. Omura, S. Hasegawa, T. Inoue, and A. Nakagawa, "A 4500 V injection enhanced insulated gate bipolar transistor (IEGT) operating in a mode similar to a thyristor," in *Electron Devices Meeting, 1993. Technical Digest., International*, 1993, pp. 679-682.

[39] H. Takahashi, H. Haruguchi, H. Hagino, and T. Yamada, "Carrier stored trench-gate bipolar transistor (CSTBT)-a novel power device for high voltage application," in *Power Semiconductor Devices and ICs, 1996. ISPSD '96 Proceedings., 8th International Symposium on*, 1996, pp. 349-352.

- [40] M. Mori, Y. Uchino, J. Sakano, and H. Kobayashi, "A novel high-conductivity IGBT (HiGT) with a short circuit capability," in *Power Semiconductor Devices and ICs, 1998. ISPSD 98. Proceedings of the 10th International Symposium on*, 1998, pp. 429-432.
- [41] Mohan, Undeland, and Robbins, *Power Electronics: WILEY*, 2003.
- [42] P. Leturq, "Semi-conducteurs de puissance unipolaires et mixtes (partie 2)," in *Techniques de l'ingénieur*. vol. D3 108.
- [43] J. Yamashita, A. Uenishi, Y. Tomomatsu, H. Haruguchi, H. Takahashi, I. Takata, and H. Hagino, "A study on the short circuit destruction of IGBTs," in *Power Semiconductor Devices and ICs, 1993. ISPSD '93. Proceedings of the 5th International Symposium on*, 1993, pp. 35-40.
- [44] M. Trivedi and K. Shenai, "Investigation of the short-circuit performance of an IGBT," *Electron Devices, IEEE Transactions on*, vol. 45, pp. 313-320, 1998.
- [45] A. Benmansour, S. Azzopardi, J. Martin, and E. Woïrgard, "Mécanisme de défaillance de l'IGBT Trench en mode de court-circuit après ouverture," in *Electronique de Puissance du Futur 2006*, Grenoble, France, 2006.
- [46] T. Laska, G. Miller, M. Pfaffenlehner, P. Turkes, D. Berger, B. Gutschmann, P. Kanschatsch, and M. Munzer, "Short circuit properties of Trench-/Field-Stop-IGBTs-design aspects for a superior robustness," in *Power Semiconductor Devices and ICs, 2003. Proceedings. ISPSD '03. 2003 IEEE 15th International Symposium on*, 2003, pp. 152-155.
- [47] R. S. Chokhawala, J. Catt, and L. Kiraly, "A discussion on IGBT short-circuit behavior and fault protection schemes," *Industry Applications, IEEE Transactions on*, vol. 31, pp. 256-263, 1995.
- [48] J. Mavier, F. Richardeau, and H. Piquet, "Onduleur à tolérance de pannes dédié à l'alimentation d'un actionneur électrohydrostatique pour réseau avion," in *Electronique de Puissance du Futur 2006*, Grenoble, France, 2006.
- [49] V. von Tils, "Trends and Challenges in Automotive Electronics," in *Power Semiconductor Devices and IC's, 2006 IEEE International Symposium on*, Naples, Italy, 2006, pp. 1-3.
- [50] G. Ash, "Les capteurs en instrumentation industrielle," 5ème ed: DUNOD, pp. 289-290.
- [51] Z. Shen, K. C. So, and T. P. Chow, "Comparative study of integrated current sensors in n-channel IGBTs," in *Power Semiconductor Devices and ICs, 1994. ISPSD '94. Proceedings of the 6th International Symposium on*, Davos, Switzerland, 1994, pp. 75-80.
- [52] S. P. Robb, A. A. Taomoto, and S. L. Tu, "Current sensing in IGBTs for short-circuit protection," in *Power Semiconductor Devices and ICs, 1994. ISPSD '94. Proceedings of the 6th International Symposium on*, Davos, Switzerland, 1994, pp. 81-85.
- [53] M. Kudoh, M. Otsuki, S. Obinata, S. Momota, T. Yamazaki, T. Fujihira, and K. Sakurai, "Current sensing IGBT structure with improved accuracy," in *Power Semiconductor Devices and ICs, 1995. ISPSD '95. Proceedings of the 7th International Symposium on*, Yokohama, Japan, 1995, pp. 119-122.
- [54] L. M. Selgi, L. Arcuri, and L. Fragapane, "High voltage monolithic P-MOS with integrated Start-up Structure," in *4th International Conference on Integrated Power Systems*, Naples, Italy, 2006.

- [55] M. Shiraishi, T. Iwasaki, N. Akiyama, T. Kawashima, N. Matsuura, and S. Chiba, "Low loss and small SiP for DC-DC converters," in *Power Semiconductor Devices and ICs, 2005. Proceedings. ISPSD '05. The 17th International Symposium on*, Santa Barbara, CA, 2005, pp. 175-178.
- [56] "System Management Interface Forum: PMBus. Power System Management Protocol Specification. Part I and II, <http://www.pmbus.org>."
- [57] C. Codrea, N. s. Lucas, and J. Gutierrez, "Implementation and Evaluation of Digital Power Management in a Medium Power Conversion Module," in *4th International Conference on Integrated Power Systems*, Naples, Italy, 2006.
- [58] A. La Barbera, V. Randazzo, S. Sueri, A. Russo, and G. Distefano, "A monolithic electronic driver for fluorescent lamps," in *Power Semiconductor Devices and ICs, 2004. Proceedings. ISPSD '04. The 16th International Symposium on*, Kitakyushu International Conference Center, Japan, 2004, pp. 329-331.
- [59] B. Smith, J. Xu, J. Devore, A. Chellamuthu, B. Amey, S. Pendharkar, and T. Efland, "Peripheral motor drive PIC concerns for integrated LDMOS technologies," in *Power Semiconductor Devices and ICs, 2004. Proceedings. ISPSD '04. The 16th International Symposium on*, 2004, pp. 159-162.
- [60] J. P. Lainé, "Mécanismes d'injection de porteurs minoritaires dans les circuits integrateurs de puissance et structures de protections associées," Thèse de doctorat, LAAS-CNRS, Toulouse, 2003.
- [61] N. Rouger, J. C. Crebier, R. Mitova, L. Aubard, and C. Schaeffer, "Fully integrated driver power supply for insulated gate transistors," in *Power Semiconductor Devices and IC's, 2006 IEEE International Symposium on*, Naples, Italy, 2006, pp. 1-4.
- [62] Y. Onozawa, M. Otsuki, and Y. Seki, "Great improvement in turn-on power dissipation of IGBTs with an extra gate charging function," in *Power Semiconductor Devices and ICs, 2005. Proceedings. ISPSD '05. The 17th International Symposium on*, 2005, pp. 207-210.
- [63] G. Bonnet, "Approche distribuée des structures de type bipolaire adaptée à la conception des systèmes de l'électronique de puissance," Toulouse: Paul Sabatier, 2003.
- [64] K. F. Hoffmann and J. P. Karst, "High frequency power switch - improved performance by MOSFETs and IGBTs connected in parallel," in *Power Electronics and Applications, 2005 European Conference on*, 2005, p. 11 pp.
- [65] L. Mussard, P. Tounsi, P. Austin, G. Bonnet, J.-M. Dorkel, and J. Saiz, "Power component models with thermally dependent parameters for circuit simulator," in *10th European Conference on Power Electronics and Applications (EPE'2003)*, Toulouse, France, 2003.
- [66] G. Bonnet, P. Austin, and J.-L. Sanchez, "New distributed model of IGBT NPT dedicated to power circuits design," *Microelectronics reliability*, vol. 44, pp. 79-88, 2004.
- [67] R. De Maglie, P. Austin, L. Mussard, J. L. Sanchez, M. Elghazouani, F. Richardeau, and J. L. Schanen, "A trench IGBT distributed model with thermo-sensible parameters," in *Power Electronics and Applications, 2005 European Conference on*, 2005, p. 12 pp.
- [68] P. Leturcq, "Physique des semi-conducteurs de puissance," in *Les techniques de l'ingénieur*. vol. D3 102, pp. 15-16.

- [69] J. P. Kaerst and K. F. Hoffmann, "High speed complementary drive of a hybrid MOSFET and IGBT power switch," in *Power Electronics and Applications, 2005 European Conference on*, 2005, p. 9 pp.
- [70] S. Musumeci, R. Pagano, A. Raciti, G. Belverde, and A. Melito, "A new gate circuit performing fault protections of IGBTs during short circuit transients," in *Industry Applications Conference, 2002. 37th IAS Annual Meeting. Conference Record of the*, 2002, pp. 2614-2621 vol.4.
- [71] M. N. Nguyen, "Short circuit protection of high speed, high power IGBT modules," in *Pulsed Power Conference, 2003. Digest of Technical Papers. PPC-2003. 14th IEEE International*, 2003, pp. 815-818 Vol.2.
- [72] IR2125, "Datasheet No. PD-6.017D, International Rectifier™."
- [73] V. John, S. Bum-Seok, and T. A. Lipo, "Fast clamped short circuit protection of IGBTs," in *Applied Power Electronics Conference and Exposition, 1998. APEC '98. Conference Proceedings 1998., Thirteenth Annual*, 1998, pp. 724-730 vol.2.
- [74] L. Junyang, Y. C. Liang, and C. byung Jin, "Design of IGBT protection circuit for smart power integration," *Industrial Electronics, IEEE Transactions on*, vol. 47, pp. 744-750, 2000.
- [75] A. Perez-Tomas, X. Jorda, P. Godignon, J. L. Galvez, and J. Millan, "Integrated IGBT gate driver with single floating voltage supply and short-circuit protections," in *EPF/SAAEI 2004*, Toulouse, France, 2004.
- [76] K. Ishikawa, K. Suda, M. Sasaki, and H. Miyazaki, "A 600V driver IC with new short protection in hybrid electric vehicle IGBT inverter system," in *Power Semiconductor Devices and ICs, 2005. Proceedings. ISPSD '05. The 17th International Symposium on*, 2005, pp. 59-62.
- [77] Y. Seki, Y. Harada, N. Iwamuro, and N. Kumagai, "A new IGBT with a monolithic over-current protection circuit," in *Power Semiconductor Devices and ICs, 1994. ISPSD '94. Proceedings of the 6th International Symposium on*, 1994, pp. 31-35.
- [78] N. Iwamuro, Y. Harada, T. Yamazaki, N. Kumagai, and Y. Seki, "A new vertical IGBT structure with a monolithic over-current, over-voltage, and over-temperature sensing and protecting circuit," *Electron Device Letters, IEEE*, vol. 16, pp. 399-401, 1995.
- [79] Z. J. Shen and S. P. Robb, "Monolithic integration of the vertical IGBT and intelligent protection circuits," in *Power Semiconductor Devices and ICs, 1996. ISPSD '96 Proceedings., 8th International Symposium on*, 1996, pp. 295-298.
- [80] R. Pagano and A. Raciti, "Evolution in IGBT's protection against short circuit behaviors by gate-side circuitry," in *Industrial Electronics, 2002. ISIE 2002. Proceedings of the 2002 IEEE International Symposium on*, 2002, pp. 913-918 vol.3.
- [81] J. In-Hwan, H. Min-Woo, C. Young-Hwan, L. Seung-Chul, Y. Chong-Man, and H. Min-Koo, "A New Fault Sensing Scheme for Fast Fault Protection of the Insulated Gate Bipolar Transistor," in *8th International seminar on power semiconductors, ISPS'06*, Prague, République Tchèque, 2006.
- [82] J. In-Hwan, C. Young-Hwan, K. Soo-Seong, O. Kwang-Hoon, and H. Min-Koo, "The Optimized Monolithic Fault Protection Circuit for the Soft-shutdown behavior of 600V PT-IGBT by employing a New Blanking Filter," in *Power Semiconductor Devices and IC's, 2006 IEEE International Symposium on*, 2006, pp. 1-4.

- [83] P. Austin, J.-L. Sanchez, and O. Causse, "Capteur de tension d'anode d'un composant de puissance vertical. Utilisation en protection de court-circuit," 2000.
- [84] L. Der-Gao, S. L. Tu, S. Yee-Chaung, and T. Pak, "A novel LDMOS structure with a step gate oxide," in *Electron Devices Meeting, 1995., International*, 1995, pp. 963-966.
- [85] O. Causse, "Contribution à l'amélioration de la fonctionnalité et des performances de l'IGBT," Toulouse: Paul Sabatier, 2001.
- [86] J. L. Sanchez, E. Scheid, P. Austin, M. Breil, H. Carriere, P. Dubreuil, E. Imbernon, F. Rossel, and B. Rousset, "Realization of vertical P/sup +/- walls through-wafer for bi-directional current and voltage power integrated devices," in *Power Semiconductor Devices and ICs, 2003. Proceedings. ISPSD '03. 2003 IEEE 15th International Symposium on*, 2003, pp. 195-198.
- [87] I. Bertrand, "Recristallisation en phase liquide de films épais de poly-silicium pour la réalisation à faible coût de circuits de puissance sur SOI partiel." vol. These de doctorat Toulouse: INSA, 2006.
- [88] I. Bertrand, V. Pathirana, E. Imbernon, F. Udrea, M. Bafleur, R. Ng, H. Granier, B. Rousset, and J. M. Dilhac, "New lateral DMOS and IGBT structures realized on a partial SOI substrate based on LEGO process," in *Bipolar/BiCMOS Circuits and Technology Meeting, 2005. Proceedings of the*, 2005, pp. 74-77.
- [89] F. Udrea, T. Trajkovic, C. Lee, D. Garner, X. Yuan, J. Joyce, N. Udugampola, G. Bonnet, D. Coulson, R. Jacques, M. Izmajlowicz, N. van der Duijn Schouten, Z. Ansari, P. Moyse, and G. A. J. Amaratunga, "Ultra-fast LIGBTs and superjunction devices in membrane technology," in *Power Semiconductor Devices and ICs, 2005. Proceedings. ISPSD '05. The 17th International Symposium on*, 2005, pp. 267-270.
- [90] C. Martin, L. Ménager, and B. Allard, "Importance of interconnect in integrated power systems," in *4th International Conference on Integrated Power Systems*, Naples, Italy, 2006.
- [91] K. H. Hussein, G. Majurndar, S. Yoshida, and H. Maekawa, "IPMs solving major reliability issues in automotive applications [intelligent power module]," in *Power Semiconductor Devices and ICs, 2004. Proceedings. ISPSD '04. The 16th International Symposium on*, Kitakyushu International Conference Center, Japan, 2004, pp. 89-92.
- [92] A. Narazaki, T. Shirasawa, T. Takayama, S. Sudo, S. Hirakawa, N. Asano, K. Ogata, H. Takahashi, and T. Minato, "Direct beam lead bonding for trench MOSFET & CSTBT," in *Power Semiconductor Devices and ICs, 2005. Proceedings. ISPSD '05. The 17th International Symposium on*, Santa Barbara, CA, 2005, pp. 75-78.
- [93] M. Mermet-Guyennet, "New structure of power integrated module," in *4th International Conference on Integrated Power Systems*, Naples, Italy, 2006.
- [94] Y. Avenas, N. Ce'zac, and C. Schaeffer, "Thermal study of a silicon 2D grooved Heat pipe for cooling of electronic components," in *European Power Electronics and drives*, Toulouse, France, 2003.
- [95] M. Vassilev, Y. Avenas, and C. Schaeffer, "Etude expérimentale d'un caloduc oscillant à boucle unique," in *Electronique de Puissance du Futur 2006*, Grenoble, France, 2006.

- [96] J. r. Schulz-Harder, K. Exel, and A. Meyer, "Direct liquid cooling of power electronics devices," in *4th International Conference on Integrated Power Systems*, Naples, Italy, 2006.
- [97] T. Aoki, Y. Tsuzuki, S. Miura, Y. Okabe, M. Suzuki, and A. Kuroyanagi, "High Performance and Reliability Trench Gate Power MOSFET With Partially Thick Gate Oxide Film Structure (PTOx-TMOS)," in *Power Semiconductor Devices and IC's, 2006 IEEE International Symposium on*, Naples, Italy, 2006, pp. 1-4.
- [98] S. Matsunaga, M. Sawada, A. Sugi, K. Takagiwa, and N. Fujishima, "Low Gate Charge 20V Class Trench-aligning Lateral Power MOSFET," in *Power Semiconductor Devices and IC's, 2006 IEEE International Symposium on*, Naples, Italy, 2006, pp. 1-4.

Liste des publications

1 revue internationale :

[1] **C.Caramel**, P.Austin, J-L.Sanchez, E.Imbernon, M.Breil : “Integrated IGBT short-circuit protection structure: design and optimization”, *Microelectronics Journal*, Volume 37, Issue 3, Pages 189-274 (March 2006). <http://www.sciencedirect.com/science/journal/00262692>

7 Congres internationaux avec comité de lecture et actes publiés :

[2] **C.Caramel**, P.Austin, J-L.Sanchez, G.Bonnet, M.Breil, E.Imbernon, J.Jalade, JP.Laur, O.Causse : “ Voltage sensing in IGBT’s for short-circuit protection”, *EPE 2003*, 2-4 Sept 2003, Toulouse, France

[3] **C.Caramel**, P.Austin, J-L.Sanchez, E.Imbernon, M.Breil : “Integrated IGBT short-circuit protection structure: design and optimization”, *ISPS’04*, 31 August – 3 September 2004, Prague, République Tchèque.

[4] **C.Caramel**, P.Austin, J-L.Sanchez, E.Imbernon, M.Breil : “Short-circuit protection structure for insulated gate power devices”, *BCTM’04*, 13-14 September 2004, Montreal, Canada.

[5] **C.Caramel**, P.Austin, J-L.Sanchez, E.Imbernon, M.Breil : « Conception et optimisation d’une structure intégrée de protection des IGBT contre les court-circuits », *SAAEI-EPF’04*, 15-17 septembre 2004, Toulouse, France.

[6] **C.Caramel** : “Integrated IGBT short-circuit protection structure: design and optimization”, *ECMS’05*, 17-20 mai 2005, Toulouse, France.

[7] **C.Caramel**, P.Austin, J-L. Sanchez, E. Imbernon, B. Rousset : “Interaction analysis and insulation techniques for short-circuit integrated protection structure”, *ISPSD’06*, June 4-8 2006, Naples, Italy.

[8] **C. Carame1**, R. De Maglie, P. Austin, J.-L. Sanchez, E. Imbernon, J.-P. Laur, D. Flores, J. Millan, J. Rebollo : “Low losses structure by IGBT parallel association”, *ISPS’06*, 29 August – 1 September 2006, Prague, République Tchèque.

3 Congres nationaux:

- [9] **C.Caramel**, P.Austin : « Capteur de tension intégré pour la protection des IGBTs contre les courts-circuits », JNRDM'03, 14-16 Mai 2003, Toulouse, France.
- [10] **C.Caramel**, P.Austin, J-L.Sanchez, E.Imbernon : « Techniques d'isolations applicables à une structure intégrée de protection des IGBT contre les courts-circuits », JNRDM'06, 12-14 mai 2006, Rennes, France.
- [11] **C.Caramel**, P.Austin, J-L. Sanchez, E.Imbernon, B.Rousset : « Analyse des interactions et techniques d'isolation applicables à une structure de protection contre les courts-circuits intégrée », Electronique de Puissance du Futur (EPF'06), Grenoble, 4-6 Juillet 2006.

2 Seminaires avec comité de lecture et actes :

- [12] **C.Caramel**, P.Austin, J-L.Sanchez, E.Imbernon, M.Breil : « Conception et optimisation d'une structure intégrée de protection des IGBT contre les court-circuits », GDR Puissance, 12-13 Mai 2004, Montpellier, France.
- [13] **Christian Caramel** : « Conception et optimisation d'une structure intégrée de protection des IGBT contre les court-circuits », Séminaire annuel GEET, 16-17 Mai 2005, Toulouse, France.

1 Rapport de contrat :

- [14] **C.Caramel**, P.Austin, J.L.Sanchez, E.Imbernon, M.Breil, R.Mitova, J.C.Crebier, L.Aubard, C.Schaeffer, E.Sarraute, D.Vasic, F.Costa : « Intégration », Contrat GIRCEP, Juin 2004.

1 Revue internationale à paraître :

- [15] **C.Caramel**, P.Austin, J-L. Sanchez, E.Imbernon, B.Rousset : « Analyse des interactions et techniques d'isolation applicables à une structure de protection contre les courts-circuits intégrée », Revue Internationale de Génie Electrique (R.I.G.E), à paraître.

Nouvelles fonctions interrupteur intégrées pour la conversion d'énergie

Résumé

Les systèmes de conversion de l'énergie électrique sont présents dans beaucoup de domaines de la vie quotidienne. On peut citer le secteur du transport, l'électronique grand public, la médecine, et la distribution de l'énergie. Une défaillance dans une application est le plus souvent ressentie comme étant liée à l'électronique. Adjoignons à cela des besoins en énergie grandissants et une évolution vers une plus grande mobilité, il devient aisé de déduire que les systèmes de conversion de l'énergie modernes doivent être plus compacts, plus fiables et plus performants. L'intégration en électronique de puissance est une réponse adéquate à ces problématiques tant elle vise à fiabiliser, à miniaturiser et à améliorer les performances des fonctions de conversion de l'énergie. Les travaux de recherche présentés dans cette thèse traitent de ma contribution à l'amélioration de la fiabilité et des performances d'un composant de puissance largement usité : l'Insulated Gate Bipolar Transistor. Pour cela l'association de deux IGBT aux caractéristiques différentes pour réaliser une architecture dite « faibles pertes » est présentée. Son concept est explicité, son intérêt exposé et son intégration monolithique détaillée. Dans un deuxième temps, une structure de protection monolithiquement intégrable contre les courts-circuits est dévoilée. Son fonctionnement et sa conception en vue de son intégration monolithique sont exposés.

Mots clés:

IGBT, court-circuit, protection, intégration de puissance, fiabilité, performances, faibles pertes.

New switch integrated functions for power conversion

Summary :

Electrical power conversion systems are used in a wide range of common applications like public transport, general electronic, medicine or power distribution. A failure in common application is more often allotted to a failure in electronic devices. In addition, if we consider a power needs that grows dramatically, and an evolution in the way of mobility, we could say that modern power conversion system should have to be smaller, more reliable, and more powerful. Integration in power electronics is a good answer to these problems because its main goals are to build smaller, more reliable and more powerful power conversion functions. This thesis deals with my contribution on the improvement of the reliability and the performance of a widely used power component: the IGBT. Firstly, an association of two different IGBT is presented. The goal of this association is to build a "low losses" architecture. Its concept and interest are exposed, and then its monolithic integration and technological realization are detailed. In a second part, a structure devoted to protect IGBT against short-circuit conditions is described. Its operation is explained and its design for monolithic integration is optimized and detailed.

Key words:

IGBT, short-circuit, protection, power integration, reliability, performance, low losses.