



Le transistor MOS de puissance à tranchées : modélisation et limites de performances

Frédéric Morancho

► To cite this version:

Frédéric Morancho. Le transistor MOS de puissance à tranchées : modélisation et limites de performances. Micro et nanotechnologies/Microélectronique. Université Paul Sabatier - Toulouse III, 1996. Français. NNT : . tel-00165581

HAL Id: tel-00165581

<https://theses.hal.science/tel-00165581>

Submitted on 26 Jul 2007

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

Année 1996

THESE

*présentée au Laboratoire d'Analyse et
d'Architecture des Systèmes du C.N.R.S.
en vue de l'obtention du grade de DOCTEUR de
l'Université Paul Sabatier de Toulouse*

Spécialité : Electronique

par **Frédéric MORANCHO**
Maître ès-Sciences

LE TRANSISTOR MOS DE PUISSANCE A TRANCHEES : MODELISATION ET LIMITES DE PERFORMANCES

soutenue le 20 décembre 1996 devant le jury composé de :

MM.	J. JALADE	<i>Président</i>
	P. ROSSEL	<i>Directeur de Thèse</i>
	J.P. CHANTE	<i>Rapporteur</i>
	G. MERCKEL	<i>Rapporteur</i>
	J.M. DORKEL	<i>Examineur</i>
	I. PAGES	<i>Examineur</i>
	H. TRANDUC	<i>Examineur</i>

Rapport LAAS N° : 96482

Thèse préparée au Laboratoire d'Analyse et d'Architecture des Systèmes du CNRS
7, Avenue du Colonel Roche
31 077 TOULOUSE Cedex 4, France

AVANT-PROPOS

Le travail présenté dans ce mémoire a été effectué au sein du groupe "Composants et Intégration de Puissance" (C.I.P.) du Laboratoire d'Analyse et d'Architecture des Systèmes (L.A.A.S.) du Centre National de la Recherche Scientifique (C.N.R.S.).

Nous remercions Monsieur A. COSTES, Directeur du L.A.A.S., pour nous avoir accueilli au sein de son laboratoire et Monsieur G. CHARITAT, Responsable du groupe "Composants et Intégration de Puissance", pour son dynamisme et l'agréable contact manifestés lors de nos discussions.

Nous tenons particulièrement à remercier Monsieur P. ROSSEL, Directeur de Recherches au C.N.R.S., pour la confiance qu'il nous a témoignée en acceptant la direction scientifique de nos travaux. Nous lui sommes reconnaissants de nous avoir fait bénéficier tout au long de ce travail de sa grande compétence, de sa rigueur scientifique et de son dynamisme.

Nous sommes très honorés de la présence à notre jury de thèse et nous tenons à remercier :

Monsieur J. JALADE, Professeur à l'Université Paul Sabatier de Toulouse, pour l'honneur qu'il nous a fait en acceptant de présider notre jury de thèse,

Monsieur J.P. CHANTE, Professeur à l'Institut National des Sciences Appliquées de Lyon pour sa participation à notre jury de thèse en qualité de rapporteur de notre travail et pour toutes les remarques judicieuses qu'il nous a faites,

Monsieur G. MERCKEL, Ingénieur-Expert en Dispositifs au C.N.E.T./C.N.S. de Grenoble pour l'honneur qu'il nous a fait en participant à notre jury de thèse en tant que rapporteur et pour ses nombreuses suggestions intéressantes,

Monsieur I. PAGES, Ingénieur à Motorola Semiconducteurs Toulouse, pour l'intérêt qu'il a porté à nos travaux et pour sa présence à notre jury de thèse.

Monsieur J.M. DORKEL, Professeur à l'Institut National des Sciences Appliquées de Toulouse, pour sa participation à notre jury de thèse et pour les corrections qu'il nous a proposées.

Monsieur H. TRANDUC, Chargé de Recherche au C.N.R.S. qui a largement contribué au déroulement de ces travaux. Nous vous remercions plus particulièrement pour votre participation à notre jury de thèse et pour la compétence et la rigueur que vous nous avez apportées dans votre collaboration. Soyez assuré de notre profonde reconnaissance.

Nous tenons également à remercier Monsieur A. WILD, Ingénieur-Manager à Motorola Semiconducteurs Phoenix (USA) qui n'a pas pu participer à notre jury de thèse mais qui nous a fait l'honneur d'être rapporteur de nos travaux.

Je tiens également à exprimer ma reconnaissance aux membres permanents du groupe C.I.P. :

Messieurs J. CAMINADE, Professeur à l'Université Paul Sabatier de Toulouse, P. LETURCQ et J.M. DILHAC, respectivement Professeur et Maître de Conférences à

l'I.N.S.A. de Toulouse, pour leur soutien,

Monsieur J.L. SANCHEZ, Chargé de Recherche au C.N.R.S., pour son intérêt permanent à mon égard et pour son amitié,

Messieurs P. TOUNSI, Maître de Conférences à l'I.N.S.A. de Toulouse, J.P. LAUR et J.L. MASSOL, Maîtres de Conférences à l'Université Paul Sabatier de Toulouse, pour leur soutien et leur amitié.

Monsieur P. AUSTIN, Maître de Conférences à l'Université Paul Sabatier de Toulouse, pour son amitié et son aide précieuse qui m'a permis de m'intégrer facilement, en tant qu'A.T.E.R., au sein d'une des équipes pédagogiques de la licence E.E.A.

Monsieur N. NOLHIER, Maître de Conférences à l'Université Paul Sabatier de Toulouse, pour son amitié, son soutien permanent (du premier jour de la thèse jusqu'à la veille de la soutenance à 22 heures!) aussi bien pour mes travaux de recherche que pour mes enseignements.

Je n'oublie pas de remercier Madame F. ROSSEL qui m'a grandement aidé pour les microsections et l'utilisation du M.E.B.

En tant qu'enseignant (certes provisoire!), je remercie également Messieurs A. CAZARRE et T. CAMPS, et Madame F. OMS-ELISABELAR, Maîtres de Conférences à l'Université Paul Sabatier de Toulouse, qui m'ont grandement soutenu et conseillé pour faciliter ma tâche.

A titre plus personnel, je remercie toutes les personnes que j'ai eu le plaisir de cotoyer durant ces trois années de thèse, en particulier les amis Daniel ALQUIER, compagnon des pauses-café, Didier FARENC, compagnon de longue date, et Cyril FURIO, compagnon de bureau, qui m'a fait l'honneur d'être témoin de son mariage, Djamil ZERROUK, la fidèle compagne de la pièce 85, qui est en train de commencer de finir (ou le contraire, je ne sais plus très bien!) la rédaction de sa thèse, E. STEFANOV, D. MONCOQUT, J.L. DEBRIE (Lulu le Marcassin), O. GUILLEMET (le Gatien du LAAS), P. VALES (Valou, le Raymond Devos du laboratoire), P. GILLET, Y. PATEL, E. TOURNIER, J. RIOS, R. BERRIANE, O. BERRAIES, K. BELLIL (le Ronaldo du FC LAAS), C. MINGUES, L. CORNIBERT, M. BREIL, P. DUPUY, A. BOUANANE, K. KASSMI, A. KALLALA, L. ANDRIEUX, C. BERGAUD, E. DEHAN, P. DUBREUIL, H. GRANIER, J.C. MARROT, A. HAIT, J.P. ROUX, J. TASSELLI, B. VAN HAAREN, F. VIADER, sans oublier la future maman Patricia PRESUTTO et les joueurs des équipes de football et de rugby du LAAS... Cette liste n'est bien sûr pas exhaustive : que les personnes non mentionnées veuillent bien m'excuser.

Merci enfin à nos secrétaires dévouées, D. DAURAT et B. RADIGOIS-DUCROCQ et à tout le personnel technique et du service édition-documentation : A. BERGEZ, M. POWELL, J. CATALA, A. EVRARD, D. DAURAT et C. BERTY, pour la réalisation matérielle de ce mémoire, sans oublier le personnel du magasin : C. MARROT, J. LAJOINIE et C. LAJOINIE pour leur constante disponibilité.

LISTE DES SYMBOLES

Liste des symboles

C_{dgd}	Capacité dynamique associée à la zone de charge d'espace
C_{ds}	Capacité inter-électrodes drain-source
C_{gdmax}	Valeur asymptotique de la capacité grille-drain en régime d'accumulation
C_{gd}	Capacité inter-électrodes grille-drain
C_{gs}	Capacité inter-électrodes grille-source
C_{gs1}	Capacité parasite due au débordement de la grille sur la source
C_{gs2}	Capacité parasite due à la présence d'oxyde épais entre grille et source
C_{gsb}	Capacité d'oxyde mince de la zone du canal
C_{iss}	Capacité d'entrée avec sortie en court-circuit
C_{j0}	Capacité de transition de la diode PN ⁻ dans SPICE
C_{ox}	Capacité d'oxyde par unité de surface
C_{oss}	Capacité de sortie avec entrée en court-circuit
C_{rss}	Capacité de transfert grille-drain
C_S	Capacité de stockage de la diode PN ⁻ dans SPICE
C_T	Capacité de transition de la jonction PN ⁻
D_{DS}	Diode de la jonction PN ⁻ dans SPICE
D_n, D_p	Constantes de diffusion des électrons et des trous
$E_{\perp}$	Composante transversale du champ électrique dans le canal
$E_{\parallel}$	Composante longitudinale du champ électrique dans le canal
E_0	Valeur du champ critique longitudinal
E_c	Valeur du champ critique transversal
E_D	Tension d'alimentation du drain
e_{ox}	Epaisseur de l'oxyde mince de canal
E_{sub}	Epaisseur du substrat
H	Hauteur de la couche épitaxiée
h_2	Profondeur de la diffusion P
h_{N+}	Profondeur de la diffusion N ⁺ de source
I_d	Courant de drain
I_g	Courant d'attaque de la grille
I_s	Courant de saturation d'une diode
J_n, J_p	Densités de courant des électrons et des trous
K_P	Facteur de pente (ou paramètre de transconductance)
l	Largeur d'un caisson P
L	Longueur du canal
l_g	Longueur du polysilicium de grille
L_{rec}	Débordement de l'oxyde mince de grille sur la diffusion N ⁺ de source
l_{N+}	Largeur de la diffusion N ⁺ de source
L_s	Inductance de source
m	Facteur de gradualité de la jonction PN ⁻ (noté M dans SPICE)

Liste des symboles

N^+	Zone de type N fortement dopée (contact de drain)
N^-	Zone de type N faiblement dopée (zone de "drift")
n	Coefficient d'idéalité de la diode
N_A	Densité de dopage de la zone du canal
N_{Amax}	Valeur maximale du dopage de la zone du canal
N_D	Densité de dopage de la couche épitaxiée
N_d	Valeur minimale du dopage dans le canal extrapolée au droit du drain
n_i	Densité intrinsèque des porteurs à l'équilibre thermodynamique
N_{N^+}	Densité de dopage de la région N^+ de source
N_{sub}	Densité de dopage de la région de substrat
q	Charge électrique élémentaire
Q_{ss}	Charge d'oxyde ramenée à l'interface Si-SiO ₂
r	Distance intercellulaire
R_a	Résistance de la zone d'accès au drain
$R_{a,sp}$	Résistance spécifique de la zone d'accès au drain
R_{acc}	Résistance de la couche accumulée sous la grille
$R_{acc,sp}$	Résistance spécifique de la couche accumulée sous la grille
R_{bulk}	Résistance série représentant la contribution résistive de la zone volumique
R_{cs}, R_{cd}	Résistances des contacts de drain et de source
R_{ch}	Résistance de canal
$R_{ch,sp}$	Résistance spécifique de canal
R_D	Résistance de charge du transistor MOS de puissance
R_d	Résistance de la zone de "drift"
$R_{d,sp}$	Résistance spécifique de la zone de "drift"
R_{fs}, R_{fd}	Résistances des fils d'interconnexion entre le boîtier et la puce
R_g	Résistance intrinsèque de grille
R_G	Résistance interne du générateur d'attaque de grille
R_{JFET}	Résistance de volume de la zone d'accès au drain
$R_{JFET,sp}$	Résistance spécifique de volume de la zone d'accès au drain
R_s	Résistance de source (notation SPICE)
R_{ms}, R_{md}	Résistances des métallisations de drain et de source
R_{N^+}	Résistance de la diffusion N^+ de source
R_{ON}	Résistance à l'état passant du transistor MOS de puissance
$R_{ON,sp}$	Résistance spécifique à l'état passant du transistor MOS de puissance
R_{ps}, R_{pd}	Résistances des "pattes" de drain et de source
R_{sub}	Résistance du substrat N^+ relié au drain
$R_{sub,sp}$	Résistance spécifique de substrat
S	Surface active de la puce d'un transistor MOS de puissance
T	Température (en K)
T_i	Epaisseur de l'oxyde épais entre la grille et la métallisation de source
T_0	Température initiale (300 K sauf indication contraire)
t_{on}	Temps de réponse à la fermeture

t_{off}	Temps de réponse à l'ouverture
t_f	Temps de descente
t_r	Temps de montée
τ_T	Temps de transit des porteurs minoritaires (notation SPICE)
U_T	Unité thermodynamique
v	Vitesse moyenne de dérive des porteurs
V_{ds}	Tension drain-source
V_{DS}	Potentiel interne de drain
V_{gs}	Tension grille-source
V_{GS}	Potentiel interne de grille
V_p	Valeur de la tension de drain au début du pincement du canal
V_{DBR}	Tension de claquage drain-source du transistor MOS
V'_{gs}	Tension effective de grille
V_j	Tension de diffusion d'une diode (notation SPICE)
V_{max}	Vitesse limite des porteurs dans le canal (notation SPICE)
V_R	Potentiel interne du substrat
v_{sat}	Vitesse limite des porteurs dans le canal
V_T	Tension de seuil
Z	"Périmètre" total du canal
μ_n, μ_p	Mobilité des électrons et des trous
μ_{nacc}	Mobilité des électrons dans la couche accumulée
μ_0	Mobilité des porteurs dans le volume du semiconducteur à champ faible
μ_{0acc}	Mobilité des porteurs majoritaires dans la couche accumulée à champ faible
μ_{nsub}	Mobilité des porteurs dans la région de substrat
μ_s	Mobilité de porteurs en surface dans canal d'inversion
μ_{eff}	Mobilité effective des porteurs dans le canal
ϕ_{ms}	Différence des travaux de sortie métal-semiconducteur
Φ_{DB}	Tension de diffusion d'une diode (notée V_j dans SPICE)
Φ_B	Potentiel interne du substrat
Φ_F	Potentiel de Fermi
Ψ	Potentiel transverse de réduction de la mobilité (couche inversée)
Λ	Potentiel transverse de réduction de la mobilité (couche accumulée)
Θ	Coefficient de dégradation de la mobilité ($\Theta = 1/\Psi$)
α_Θ	Constante de scattering
ϵ_0	Permittivité absolue du vide
ϵ_{si}	Permittivité relative du silicium

<i>TABLE DES MATIERES</i>

Table des matières

INTRODUCTION GENERALE	7
Les composants discrets en électronique de puissance.....	9
Diminution de la résistance passante spécifique	10
Objectifs et plan du mémoire.....	12
 CHAPITRE I :	
Evolution des structures des transistors MOS de puissance “basse tension”	15
I.1. Introduction.....	17
I.2. Principe de fonctionnement d’un transistor MOS de puissance	17
I.2.1. Fonctionnement à l’état passant	18
I.2.2. Fonctionnement à l’état bloqué.....	18
I.3. Les différentes structures MOS de puissance.....	19
I.3.1. Le transistor VMOS	19
I.3.2. Les transistors double-diffusés DMOS.....	20
I.3.2.1. Avantages des transistors DMOS.....	20
I.3.2.2. Le transistor VDMOS.....	21
I.3.2.3. Le transistor LDMOS	24
I.4. Le transistor MOS de puissance à tranchées	24
I.4.1. Une nouvelle structure MOS de puissance.....	24
I.4.2. Caractéristiques principales.....	25
I.4.3. Technologie du transistor MOS à tranchées	26
I.4.4. Les différents résultats de la littérature	27
I.4.4.1. Diminution de la résistance passante spécifique	27
I.4.4.2. Problèmes de tenue en tension.....	30
I.4.4.3. Autres résultats	31
I.5. Intérêt et objectifs de l’étude	33
I.6. Les transistors support de notre étude	33
I.6.1. Extraction de données d’après les mesures sur microsection.....	34
I.6.2. Extraction de données d’après les données du constructeur et la bibliographie.....	36
I.6.3. Structure implantée dans PISCES	36
I.7. Conclusion.....	37
 CHAPITRE II :	
Analyse statique du transistor MOS de puissance à tranchées	39
II.1. Introduction.....	41
II.2. Etude en régime de conduction	42
II.2.1. Analyse numérique bidimensionnelle.....	42
II.2.1.1. Modèles de mobilité dans les transistors MOS.....	42
II.2.1.1.1. Mobilités dans une zone volumique.....	43
II.2.1.1.1.1. Modèles de mobilité dépendant de la concentration en impuretés.....	43
II.2.1.1.1.2. Modèles de mobilité dépendant de la température	45
II.2.1.1.1.3. Modèles de mobilité dépendant du champ électrique.....	45
II.2.1.1.2. Mobilités des électrons libres dans une couche inversée	47
II.2.1.1.2.1. Modèle de Yamaguchi.....	48
II.2.1.1.2.2. Modèle de Tasch (TASCH)	49
II.2.1.1.2.3. Modèle de Lombardi (CVT).....	49
a) Mobilité due au “Phonon Scattering”	50
b) Mobilité dans la zone volumique.....	50

c) Mobilité due au "Surface Roughness Scattering"	50
II.2.1.2. Résultats obtenus par une étude bidimensionnelle.....	52
II.2.1.2.1. Caractéristiques de sortie $I_d(V_{ds})$	52
II.2.1.2.2. Caractéristique de transfert $I_d(V_{gs})$	53
II.2.2. Approche analytique unidimensionnelle.....	55
II.2.2.1. Tension de seuil	55
II.2.2.2. Résistance à l'état passant.....	56
II.2.2.2.1. La résistance de canal.....	58
II.2.2.2.1.1. Dopage variable dans le canal.....	58
II.2.2.2.1.2. Approximation du dopage uniforme dans le canal.....	59
II.2.2.2.2. La résistance de la couche accumulée.....	61
II.2.2.2.3. La résistance de "drift"	62
II.2.2.2.4. Les résistances des couches N^+	63
II.2.2.2.5. Les autres résistances.....	64
II.2.2.3. La résistance spécifique ($R_{ON.S}$).....	64
II.3. Tenue en tension. Couple épaisseur / dopage.....	67
II.3.1. Approche générale : calcul bidimensionnel de la tension de claquage.....	67
II.3.1.1. Zones de claquage.....	67
II.3.1.2. Principe de détermination de la tension de claquage.....	68
II.3.1.3. Coefficients d'ionisation par impact de PISCES	69
II.3.1.3.1. Modèles s'appuyant sur la formule de Chynoweth	69
II.3.1.3.2. Modèle de Crowell et Sze	70
II.3.1.4. Exemple de résultat théorique.....	70
II.3.2. Simplification par approche unidimensionnelle. Optimisation du couple épaisseur / dopage. Solution analytique "exacte"	71
II.3.2.1. Cas d'une jonction plane en limitation de charge d'espace ou en perçage.....	74
II.3.2.2. Cas d'une jonction plane infinie en "non perçage".....	75
II.3.3. Conclusion.....	76
II.4. Modèle pour "circuits" du transistor MOS à tranchées	78
II.4.1. Le logiciel SPICE.....	78
II.4.2. Principe de la modélisation	78
II.4.3. Modèle électrique en régime statique de fonctionnement.....	79
II.4.3.1. Description simplifiée du transistor MOS selon le niveau 3 de SPICE.....	80
II.4.3.2. Extraction des paramètres statiques de SPICE.....	82
II.4.3.2.1. Tension de seuil et facteur de pente	82
II.4.3.2.2. Paramètre Θ et vitesse limite V_{max}	82
II.4.3.2.3. Résistance série.....	83
II.4.4. Prise en compte de l'effet de la température	83
II.4.4.1. Prise en compte de l'effet de la température sur le coefficient K_p	84
II.4.4.2. Prise en compte de l'effet de la température sur la tension de seuil.....	84
II.4.4.3. Prise en compte de l'effet de la température sur la résistance de "drift"	85
II.4.5. Validation du modèle	86
II.5. Conclusion.....	92

CHAPITRE III :**Analyse dynamique et modèle SPICE du transistor MOS de puissance à tranchées.....**

III.1. Introduction.....	93
III.2. Les capacités inter-électrodes.....	95
III.2.1. Capacité grille-source.....	96
III.2.2. La jonction PN drain-substrat.....	97
III.2.3. Etude dynamique de la zone intercellulaire.....	98
III.3. Modélisation dynamique SPICE.....	99
III.3.1. Topologies des modèles des transistors MOS de puissance.....	100
III.3.1.1. Les principales approches existantes.....	100
III.3.1.2. Nécessité d'une nouvelle approche.....	102
III.3.2. La capacité grille-drain C_{gd}	103
III.3.2.1. Les différents modèles.....	103
III.3.2.2. Un nouveau modèle pour C_{gd}	104
III.3.2.2.1. Principe de base.....	104
III.3.2.2.2. Comparaison des caractéristiques dynamiques avec les deux approches.....	106
III.3.3. La diode DDS.....	107
III.3.3.1. Capacité drain-source C_{ds}	107
III.3.3.2. Diode Dbody.....	108
III.3.3.3. Utilisation d'une seule diode entre drain et source.....	108
III.3.4. Autres éléments.....	110
III.3.5. Extraction des paramètres dynamiques.....	110
III.3.5.1. Mesures des capacités inter-électrodes.....	110
III.3.5.2. Détermination des paramètres C_{j0} , V_j et m	113
III.3.6. Validation du modèle.....	114
III.3.6.1. Régime de commutation "gate charge".....	115
III.3.6.2. Régime de commutation sur charge résistive.....	116
III.4. Conclusion.....	119

CHAPITRE IV :**Comparaison des limites de performances de deux familles de transistors : VDMOS et MOS à tranchées.....**

IV.1. Introduction.....	121
IV.2. Comparaison des composants existants.....	123
IV.2.1. Régime statique.....	124
IV.2.2. Régime dynamique.....	126
IV.2.3. Conclusions.....	129
IV.3. Limites de performances statiques des transistors MOS de puissance.....	131
IV.3.1. Limites de performances du transistor VDMOS.....	131
IV.3.1.1. La résistance de canal.....	132
IV.3.1.2. La résistance d'accès au drain.....	134
IV.3.1.2.1. Approche proposée par Sun et Plummer.....	134
IV.3.1.2.2. Approche proposée par Phan Pham et Sanchez.....	136
IV.3.1.2.3. Influence de la profondeur de la jonction PN.....	139
IV.3.1.3. La résistance de "drift" de la couche épitaxiée.....	140
IV.3.1.3.1. Approximation de Phan Pham.....	141
IV.3.1.3.2. Approximation de Ghandi.....	141
IV.3.1.3.3. Approximation de Gharbi.....	142
IV.3.1.3.4. Effet du couple "épaisseur-dopage" sur la résistance passante.....	143
IV.3.1.3.5. Influence des paramètres r et l	144

IV.3.1.4. La résistance de substrat.....	146
IV.3.1.5. Les limites de la résistance passante spécifique.....	146
IV.3.1.5.1. Limites déterminées à partir des expressions analytiques.....	146
IV.3.1.5.2. Limitation sur les valeurs de L due à l'effet de perçage entre source et drain	151
IV.3.1.5.3. Limitation sur la distance intercellulaire due à l'effet de quasi-saturation en courant par pincement du transistor JFET parasite.....	155
IV.3.1.5.4. Détermination du couple optimal (r, l) minimisant la résistance passante	156
IV.3.1.5.5. Conclusion.....	158
IV.3.2. Limites de performances du transistor MOS à tranchées.....	158
IV.3.2.1. La résistance de canal	159
IV.3.2.2. La résistance de la couche accumulée	159
IV.3.2.3. La résistance de "drift".....	160
IV.3.2.4. La résistance de substrat.....	162
IV.3.2.5. Les limites de la résistance passante spécifique.....	162
IV.3.2.5.1. Limitation sur L due à l'effet de perçage entre source et drain.....	162
IV.3.2.5.2. Limitation due à la résistance spécifique de "drift"	162
IV.3.2.5.3. Limitation sur l due à la jonction de deux zones dépeuplées adjacentes	163
IV.3.2.5.4. Détermination du couple optimal (r, l) minimisant la résistance passante	164
IV.3.3. Comparaison des limites de performance des deux types de composants	166
IV.3.3.1. Comparaison de transistors VDMOS et MOS à tranchées présentant les "mêmes caractéristiques".....	166
IV.3.3.2. Comparaison de transistors VDMOS et MOS à tranchées à partir d'une base de données industrielle.....	169
IV.3.3.3. Comparaison de transistors VDMOS et MOS à tranchées présentant des structures optimisées.....	170
IV.4. Conclusion.....	171
CONCLUSION GENERALE	173
BIBLIOGRAPHIE	179
ANNEXES	193
Annexe 1	195
Annexe 2	205
Annexe 3	208
Annexe 4	212
Annexe 5	214
Annexe 6	215

INTRODUCTION GENERALE

Introduction générale

LES COMPOSANTS DISCRETS EN ELECTRONIQUE DE PUISSANCE

Dans le domaine de l'électronique de puissance, les composants semi-conducteurs jouent le rôle d'interrupteurs fonctionnant entre deux états : l'état bloqué et l'état passant. Ainsi, les caractéristiques importantes de ces dispositifs sont : la tension blocable, le courant passant, la chute de tension à l'état passant, le temps et les pertes de commutation. Les applications de l'électronique de puissance imposent des besoins de composants dans une gamme de tensions blocables allant de 30 V à près de 10 000 V pour un calibre en courant jusqu'à 1 000 A.

Les transistors bipolaires ont été, pendant de nombreuses années, les principaux composants actifs utilisés en électronique de puissance. L'évolution des technologies des circuits intégrés MOS a permis, dans les années 70, le développement considérable des familles MOS de puissance. Par rapport aux transistors bipolaires, les transistors MOS présentent un certain nombre de propriétés intéressantes pour les applications de puissance :

- en l'absence de phénomènes de stockage liés à la diffusion de porteurs injectés, ils sont rapides — temps de commutation de l'ordre de la centaine de nanosecondes —,
- leur impédance d'entrée est très grande en basse fréquence et ils peuvent alors être commandés directement par des circuits intégrés de faible puissance — qui sont également beaucoup plus simples à concevoir —,
- ils sont très stables thermiquement car le coefficient de température du courant de drain, à tensions de grille et de drain imposées, notamment lié à celui de la mobilité des porteurs, est négatif.

Cette dernière propriété est très importante : c'est elle qui permet de réaliser des composants de fort calibre en courant, par la mise en parallèle d'un grand nombre de transistors MOS élémentaires — plusieurs centaines de milliers — intégrés dans un même cristal, sans que se posent de problèmes particuliers de répartition des courants ou d'instabilité thermique latérale.

Cependant, pour les applications haute-tension, les transistors MOS sont handicapés par une résistance à l'état passant — donc une chute de tension — importante par rapport au transistor bipolaire en raison de l'épaisseur de la zone volumique qui doit être suffisamment grande pour supporter la tension blocable. Le compromis entre la résistance à l'état passant R_{ON} et la tenue en tension V_{DBR} étant le problème le plus important pour un composant de puissance, il est apparu que, pour les applications haute-tension, le transistor MOS ne pouvait supplanter le transistor bipolaire. C'est pourquoi des recherches ont conduit, pour ces applications, à la naissance des familles MOS / bipolaires du type IGBT ou thyristor MOS.

C'est donc de préférence dans le domaine des basses ou moyennes tensions de claquage que les transistors MOS de puissance seront utilisés, puisqu'ils présentent alors une chute de tension à l'état passant relativement faible et une commutation rapide, ces deux facteurs minimisant, d'une part les pertes de puissance en conduction, et d'autre part, les pertes de puissance en commutation. En basse tension (30 V - 100 V), les deux applications principales sont l'alimentation de puissance pour les micro-ordinateurs et les systèmes multiplexés à bus pour l'électronique automobile — figure 1 —. Nous pouvons remarquer que les courants que les transistors doivent contrôler peuvent être relativement élevés — jusqu'à plus de 100 A —, ce qui explique la nécessité de réaliser des composants de fort calibre en courant.

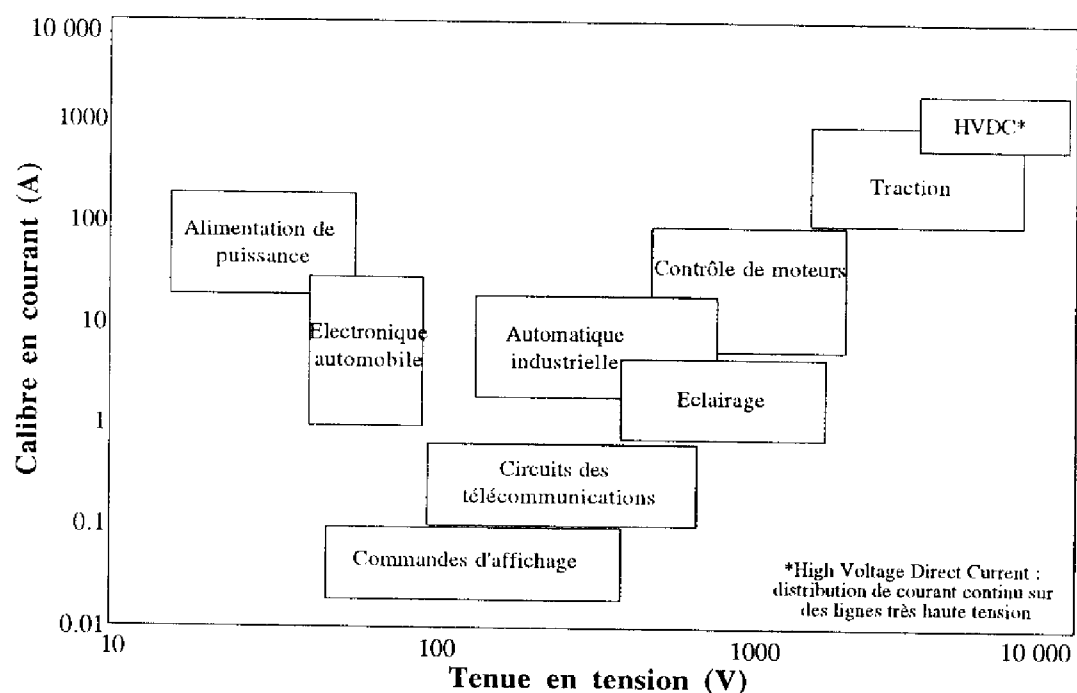


Figure 1 : Principales applications pour les composants en électronique de puissance, en fonction de la tenue en tension et du calibre en courant désirés [1].

DIMINUTION DE LA RESISTANCE PASSANTE SPECIFIQUE

La famille technologique MOS la plus utilisée jusqu'à ce jour est celle des transistors MOS de puissance à structure verticale, double-diffusés — VDMOS — multicellulaires. Pour réaliser de tels composants pouvant contrôler des courants élevés, l'effort d'amélioration consenti par les concepteurs s'est porté en priorité sur la réduction de la valeur du produit de la résistance à l'état passant (R_{ON}) par la surface active de la puce (S) du transistor MOS, produit que nous appellerons dans la suite de ce mémoire, par abus de langage et par analogie avec la littérature anglo-saxonne [2], "résistance passante spécifique".

Dans le passé, les constructeurs ont surtout recherché, dans la fabrication des transistors MOS, le type de configuration géométrique de la diffusion P de canal qui procurait la plus grande densité d'intégration — rapport Z/S du périmètre de canal à la surface de la puce — et, par suite, le plus fort courant par unité de surface.

Les acquis technologiques dans le domaine des circuits intégrés MOS conduisent actuellement à une réduction globale de la taille des cellules, c'est-à-dire à l'accroissement de la densité d'intégration dans les structures de puissance multicellulaires en technologie VDMOS. Des progrès sensibles ont ainsi été obtenus sur le produit ($R_{ON} \cdot S$) au cours des dernières années. Cependant, il est apparu récemment que cet accroissement de la "densification" de la cellule élémentaire VDMOS ne pouvait pas se poursuivre indéfiniment. C'est pour cette raison qu'une nouvelle structure a été proposée : il s'agit du transistor MOS de puissance à tranchées qui devrait permettre d'obtenir une plus grande densité d'intégration de cellules que le transistor VDMOS.

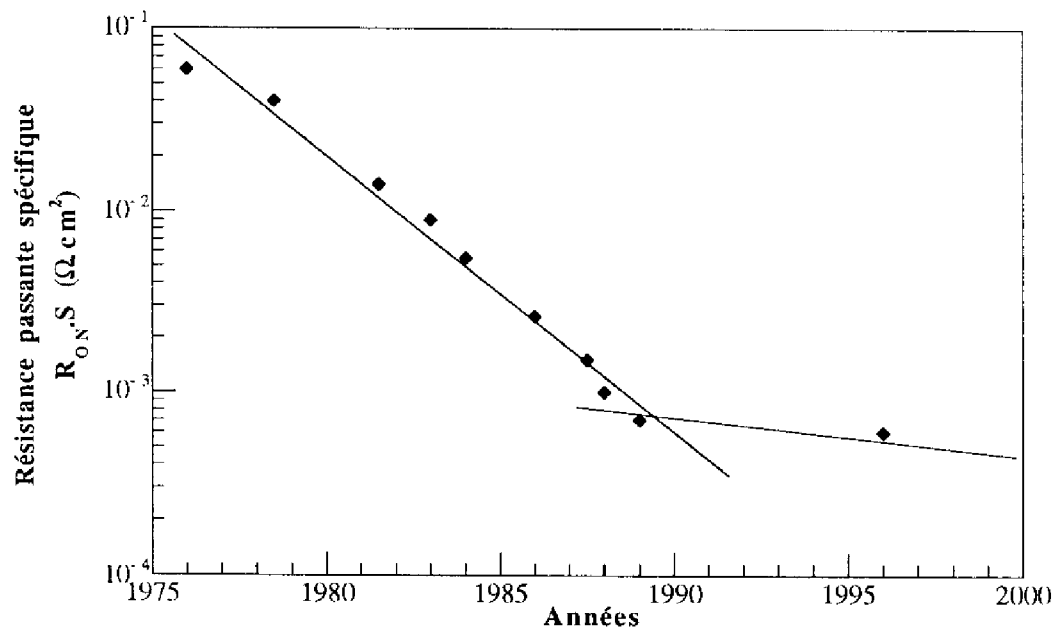


Figure 2 : Evolution du produit de la résistance à l'état passant (R_{ON}) par la surface active de la puce (S) — résistance passante spécifique — pour les transistors MOS de puissance 50 V entre 1976 et 1996.

La figure 2 illustre l'évolution de la résistance passante spécifique des transistors MOS de puissance basse tension (50 V) depuis 1976. A part le point relatif au transistor VMOS en 1976, les configurations utilisées sont de type VDMOS, ou MOS à tranchées pour les trois avant-derniers points (dispositifs Siliconix, Matsushita et General Electric). Le dernier point est un transistor VDMOS haute densité de deuxième génération — HDTMOS2 de Motorola [4]—. De 1977 à 1992, on aurait donc pratiquement gagné deux décades dans le produit $R_{ON} \cdot S$ puisqu'on est passé de 40 mΩ.cm² à 0,6 mΩ.cm². Pour des produits MOS à tranchées industrialisés, les valeurs les plus faibles obtenues sont, d'après nos propres mesures, de 0,4 mΩ.cm² pour un transistor 30 V et de 1 mΩ.cm²

pour un transistor 60 V. Quoiqu'il en soit, on comprend ici tout l'intérêt de la structure MOS à tranchées qui semble être prometteuse pour la réduction de la résistance passante spécifique, même si les nouvelles générations de transistors VDMOS haute densité semblent également très performantes.

OBJECTIFS ET PLAN DU MEMOIRE

Le but de ce mémoire est d'effectuer une étude de ce nouveau type de transistors, MOS à tranchées, dans l'optique d'une utilisation dans des applications d'électronique de puissance dans un futur proche. Cette étude complète comporte :

- d'une part, une approche physique, qui s'appuie sur les connaissances déjà acquises en matière de transistors MOS de puissance, ainsi que sur une étude numérique bidimensionnelle réalisée avec le logiciel de simulation PISCES [5],
- d'autre part, une approche "circuit", plus proche des préoccupations de l'utilisateur, qui, à partir de l'analyse physique du composant, permettra l'élaboration d'un modèle "circuit", suffisamment précis pour les applications auxquelles il est destiné — essentiellement la commutation —. Le logiciel de simulation de circuits électriques que nous avons choisi est le logiciel SPICE [6] ; ce choix nous est pratiquement guidé par le fait qu'il est largement diffusé et bien connu tant au niveau des laboratoires de recherche qu'au niveau de l'industrie.

Enfin, l'interconnexion entre ces deux types d'approche nous permettra d'évaluer les performances présentes et futures des transistors MOS de puissance à tranchées par rapport notamment au transistor VDMOS, ainsi que proposer des optimisations de cette nouvelle structure.

Le plan de ce mémoire est le suivant :

Le premier chapitre présente l'évolution dans le temps des structures MOS de puissance, évolution qui a abouti à ce jour au transistor MOS à tranchées. Un rappel sur le principe de fonctionnement en interrupteur d'un transistor MOS de puissance est fait. L'évolution chronologique des structures MOS depuis les années 70 est ensuite présentée. On reporte également les résultats majeurs rencontrés dans la littérature au sujet du transistor MOS de puissance à tranchées. Nous expliquons comment ce travail se place par rapport aux études déjà réalisées, et quels sont les résultats concrets qu'il peut apporter. Nous présentons enfin les transistors sur lesquels nous nous appuyons pour réaliser notre étude ; il s'agit des tous premiers transistors MOS de puissance à tranchées qui ont fait l'objet d'un développement industriel.

Le deuxième chapitre est consacré à l'analyse des propriétés, en régime statique, de la structure "MOS de puissance à tranchées". Ce chapitre est composé de deux parties principales qui traitent les deux états principaux de fonctionnement : l'état passant et l'état bloqué. Dans un premier temps, l'étude du composant en régime de conduction — état

passant — est donc effectuée. La deuxième partie est consacrée à l'étude de la tenue en tension du transistor MOS à tranchées à l'état bloqué. Enfin, l'établissement d'un modèle statique du transistor MOS à tranchées dans le logiciel de simulation "circuit" SPICE est réalisée. Une validation expérimentale de ce modèle est enfin effectuée.

Dans le troisième chapitre, l'analyse de la structure MOS à tranchées en régime dynamique est réalisée. Les expressions analytiques des capacités inter-électrodes C_{ds} , C_{gs} et C_{gd} , basées sur des propriétés physiques, géométriques et technologiques, sont tout d'abord déterminées. La deuxième partie de ce chapitre est consacrée à la modélisation de ces capacités avec le logiciel SPICE. Un modèle "complet", comprenant les éléments statiques et dynamiques, est alors établi. Ce modèle est enfin validé expérimentalement.

Le quatrième chapitre est consacré à une étude prospective : il s'agit de déterminer les limites de performances des deux familles principales de transistors MOS de puissance, les VDMOS et les MOS à tranchées. Dans un premier temps, les performances statiques et dynamiques actuelles sont comparées, puis, sur la base des travaux développés dans ce mémoire, on détermine l'évolution des performances — en particulier, en termes de résistance passante spécifique — que l'on est en droit d'attendre de la part de ces deux structures. La comparaison entre ces deux structures permet de mettre en évidence le "composant du futur" dans la gamme des basses tensions (30 V - 100 V).

CHAPITRE I :
**EVOLUTION DES STRUCTURES
DES TRANSISTORS MOS DE PUISSANCE
“BASSE TENSION”**

I. Evolution des structures des transistors MOS de puissance "basse tension"

I.1. INTRODUCTION

Dans ce chapitre, on décrit les différents composants MOS de puissance de basse tension de claquage qui ont existé ou qui existent encore ; les structures considérées sont celles qui ont fait l'objet de développements industriels. Ce chapitre propose d'expliquer les raisons de l'évolution dans le temps de ces structures MOS, notamment vers le transistor à tranchées.

Tout d'abord, un bref rappel sur le principe de fonctionnement en interrupteur d'un transistor MOS de puissance — état passant / état bloqué — est fait.

L'évolution chronologique des structures MOS est ensuite présentée, depuis le transistor VMOS jusqu'au transistor MOS à tranchées, en passant par les dispositifs les plus utilisés actuellement : les transistors DMOS. Nous nous attachons, en particulier, à décrire le caractère novateur ainsi que les principaux avantages et inconvénients de chaque structure.

Ensuite, on relate les résultats majeurs reportés dans la littérature au sujet du transistor MOS de puissance à tranchées. Nous montrons notamment pourquoi les composants de puissance à tranchées affichent déjà des performances prometteuses, en termes de densité d'intégration et de résistance à l'état passant, par rapport aux composants qui l'ont précédé.

Nous expliquons aussi quels sont les objectifs du travail que nous effectuons, comment il se place par rapport aux études déjà réalisées, et quels sont les résultats concrets qu'il peut apporter.

Enfin, nous présentons les transistors sur lesquels nous nous appuyons pour réaliser notre étude ; il s'agit des tous premiers transistors MOS de puissance à tranchées qui ont fait l'objet d'un développement industriel.

I.2. PRINCIPE DE FONCTIONNEMENT D'UN TRANSISTOR MOS DE PUISSANCE

Comme tous les composants de puissance, un transistor MOS de puissance joue en général le rôle d'un interrupteur présentant deux états de fonctionnement :

- le premier dit "**passant**" ou "de conduction" se caractérise par la formation d'un canal d'inversion sous l'effet de la tension positive grille-source et, par conséquent, par la circulation d'un courant de drain dont la valeur est fonction des éléments physiques, géométriques et technologiques de la structure, et des tensions appliquées,

- le deuxième dit “**bloqué**” à tension grille-source inférieure à une valeur dite de seuil et pour lequel le courant ne circule pas ; la quasi-totalité de la tension drain-source appliquée est alors supportée par la zone de “drift” du transistor.

I.2.1. Fonctionnement à l'état passant

Les transistors MOS de puissance sont utilisés, à l'état passant, dans le régime non pincé. Dans ce régime, le canal N formé en surface de la région P — pour un transistor NMOS — assure la continuité de la nature des porteurs entre source et drain. Lorsqu'un transistor fonctionne à l'état passant, il se comporte comme une résistance, notée R_{ON} , qui impose une chute de tension aux bornes du composant. Cette chute de tension V_{ds} a tout simplement pour expression :

$$V_{ds} = R_{ON} \cdot I_d \quad (I.1)$$

où I_d est la valeur efficace du courant de drain.

Un des soucis majeurs de l'électronicien de puissance est de minimiser les pertes en conduction des composants qui sont données par :

$$P_D = V_{ds} \cdot I_d = R_{ON} \cdot I_d^2 \quad (I.2)$$

Ainsi, il est clair que la résistance à l'état passant est un des paramètres les plus importants pour un composant de puissance : plus faible elle sera, plus faibles seront ces pertes.

Nous verrons, dans ce chapitre, que l'un des soucis constants du fabricant est de minimiser la valeur de cette résistance : nous proposons, dans le paragraphe (I.3), de faire un rapide “historique” des principales structures qui ont été développées industriellement dans ce but.

I.2.2. Fonctionnement à l'état bloqué

Pour qu'un transistor MOS puisse fonctionner sans dégradation, il est indispensable de définir quelles sont les tensions maximales que l'on peut appliquer entre grille et source, d'une part, et entre drain et source, d'autre part. Le cas le plus contraignant est celui du régime bloqué pour lequel la tension drain-source est maximale. La tenue en tension V_{DBR} — ou tension de claquage — d'un transistor MOS est par définition la tension maximale qui peut être appliquée entre drain et source à l'état bloqué. Lorsqu'un transistor MOS de puissance fonctionne à l'état bloqué, c'est la zone de transition de la jonction de drain qui supporte la tension. Par des dopages et des profondeurs convenablement choisis, le perçage de la région P est évité, et c'est principalement dans la région N⁻ que s'étend la zone ce charge d'espace. La limitation en tension provient donc essentiellement de l'effet d'avalanche à la jonction de drain.

Compte tenu de la configuration multicellulaire des structures MOS de puissance — carrés, triangles, hexagones, rectangles ou bandes parallèles —, c'est sur les bords, là où la courbure de jonction est maximale que pourrait s'effectuer la limitation en tension, par le phénomène de claquage par avalanche [1]. Plusieurs méthodes de garde latérale ont été

proposées pour éviter cet effet en tendant à minimiser "les effets de surface" et à "accroître le rayon de courbure" de la jonction pour essayer d'atteindre la tension de claquage théorique d'une jonction plane V_{bp} [1, 2, 3]. Dans la pratique, par la mise en oeuvre de terminaisons adéquates, le calibre en tension d'un composant MOS, représenté par la tension V_{DBR} , atteint environ 90 % de la tension de claquage d'une jonction plane V_{bp} [1].

Nous verrons, dans le deuxième chapitre, que la tension de claquage et la résistance à l'état passant sont étroitement liés : en effet, la zone de drain N^- faiblement dopée a un double effet : d'une part, elle supporte la quasi-totalité de la tension drain-source à l'état bloqué, et, d'autre part, elle a un effet résistif important à l'état passant. Le compromis entre R_{ON} et V_{DBR} est une des principales caractéristiques des transistors MOS de puissance.

I.3. LES DIFFÉRENTES STRUCTURES MOS DE PUISSANCE

I.3.1. Le transistor VMOS

Les premiers transistors MOS de puissance développés au début des années 70 étaient des VMOS — figure (I.1) — [4]. Ces transistors étaient élaborés à partir de sillons en forme de V gravés par attaque anisotrope du silicium. L'attaque anisotrope consiste à attaquer, perpendiculairement au plan $\langle 100 \rangle$ et suivant des plans $\langle 111 \rangle$, une couche N^- épitaxiée sur un substrat N^+ . La zone active est formée le long d'un sillon qui fait un angle de 54° avec la surface [5].

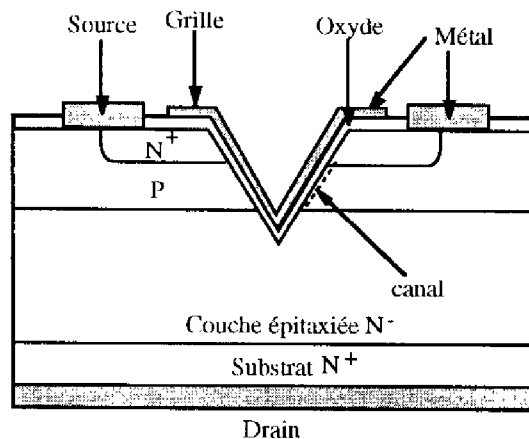


Figure I.1 : Coupe schématique d'un transistor VMOS de puissance.

Par rapport au transistor MOS plan "classique", le progrès essentiel de cette structure est l'utilisation du matériau volumique pour former l'électrode de drain. Le courant de drain circule donc verticalement dans ces dispositifs. Notons que ce concept fondamental de transistor vertical sera également utilisé par la suite dans les transistors VDMOS et MOS à tranchées. De plus, ce type de structures permet une plus grande densité d'intégration puisque seulement deux électrodes — les électrodes de grille et de

source — sont localisées sur la face supérieure de la puce, contrairement à un transistor MOS coplanaire.

Lorsque la tension de grille devient supérieure à la tension de seuil V_T , la région P s'inverse et le canal conducteur du transistor VMOS se forme le long du sillon. Le canal n'est donc ni latéral, ni vertical, contrairement aux autres types de transistors MOS existants ; il est formé le long de la surface gravée qui est orientée $\langle 111 \rangle$.

Le transistor VMOS présentait cependant quelques inconvénients qui ont conduit à la régression, voire à l'abandon, au début des années 80, de ce type de filières pour la production industrielle. En effet, la difficulté de contrôle du process d'attaque chimique rendait délicate la fabrication technologique de ces composants. D'autre part, des instabilités pouvaient apparaître ; elles étaient dues à une contamination par le potassium provenant de la solution d'hydroxyde de potassium utilisée pour graver les sillons [6]. Enfin, la "pointe" du sillon en V était le siège de forts champs électriques qui affectaient la fiabilité et la tension de claquage des composants. Enfin la configuration des électrodes de grille et de source était obligatoirement interdigitée.

Signalons qu'un transistor directement inspiré du VMOS a également été proposé dans les années 70 : il s'agit du transistor UMOS, réalisé selon le même principe que le VMOS, mais pour lequel le sillon gravé est à fond plat [7] ; le UMOS n'est, en fait, qu'un cas particulier du VMOS : le front de pénétration de l'attaque anisotrope est juste arrêté avant qu'il n'atteigne la pointe du "V". Les mêmes difficultés technologiques ayant été rencontrées pour ce composant, il n'eut pas un développement industriel significatif.

1.3.2. Les transistors double-diffusés DMOS

Les différents problèmes rencontrés avec le transistor VMOS ont été pratiquement résolus par le développement des processus de double-diffusion MOS (DMOS) [8] et la technique d'auto-alignement de ces diffusions par le polysilicium de grille pour déterminer la longueur du canal. Cette technique permet le contrôle de la longueur du canal jusqu'à des dimensions submicroniques grâce à l'utilisation, pendant la fabrication, de cycles thermiques soigneusement calibrés. Ces processus sont encore utilisés aujourd'hui pour fabriquer la plupart des transistors MOS de puissance — mais aussi des IGBT, MCT... — dont les configurations sont essentiellement de deux types : ce sont, d'une part, les structures verticales (VDMOS) où le drain est situé sur la face arrière de la puce — comme dans le cas du transistor VMOS — et, d'autre part, les structures horizontales (LDMOS) où les électrodes sont coplanaires et le flux de courant horizontal.

1.3.2.1. Avantages des transistors DMOS

Par rapport aux transistors VMOS, les avantages des transistors DMOS sont multiples. En voici quelques uns :

- ils peuvent être fabriqués aisément sur n'importe quelle orientation cristalline du silicium, alors que le VMOS est obligé d'avoir son canal le long d'une surface $\langle 111 \rangle$. Ainsi, le choix d'une surface orientée $\langle 100 \rangle$ pour un transistor DMOS permet une amélioration de 20% de la mobilité des électrons dans la couche inversée [9] et de 15% de la vitesse limite de saturation de ces électrons dans cette même couche inversée par rapport aux transistors VMOS équivalents. Il en résulte une plus faible résistance à l'état passant et une plus importante transconductance par unité de surface dans les structures DMOS.
- la densité Q_{ss} de charges fixes à l'interface silicium/oxyde est environ trois fois plus grande sur les plans $\langle 111 \rangle$ par rapport aux plans $\langle 100 \rangle$ [5]. Par conséquent, pour une tension de seuil donnée, le pic de dopage dans le canal doit être plus élevé dans une structure VMOS que dans une structure DMOS. Or, la mobilité des électrons dans une couche inversée diminue quand le dopage augmente [9], donc la mobilité dans la structure VMOS est à nouveau dégradée par rapport aux structures DMOS.
- les difficultés technologiques évoquées pour le transistor VMOS n'existent pas pour les transistors DMOS. Ces derniers font appel à une technologie plus simple à haut rendement. Par exemple, le procédé d'auto-alignement des diffusions par une grille en polysilicium est relativement simple à mettre en œuvre dans les transistors DMOS. Ce point évidemment essentiel explique le développement industriel considérable de ces composants.
- la densité d'intégration — rapport périmètre/surface — qu'il a été possible d'obtenir avec des transistors DMOS multicellulaires est rapidement devenue plus grande que celle des transistors VMOS.

1.3.2.2. Le transistor VDMOS

Le transistor à structure verticale VDMOS — Vertical Double diffusé MOS— est constitué par une association de cellules élémentaires MOS mises en parallèle. Une de ces cellules est reportée en coupe sur la figure (I.2). La grille en polysilicium est enterrée sous la métallisation de source. La zone N^- localisée sur la face supérieure du cristal constitue la région de source, les couches N^- et N^+ de la face inférieure constituent la région de drain. La zone P, réunie à la source, joue le même rôle que le substrat dans un transistor classique : pour une polarisation de grille suffisamment positive, la région P s'inverse sous l'oxyde et le canal conducteur horizontal N, ainsi formé en surface du cristal, réunit les régions de source et de drain ; les lignes de courant ne s'orientent verticalement que dans la région de drain. Les valeurs de dopage et d'épaisseur de la couche épitaxiée N^- doivent être soigneusement calibrées pour obtenir la tenue en tension désirée.

Le transistor VDMOS ne présente pas d'effet de focalisation de courant quelque soit le niveau de la tension de polarisation considérée, car le mécanisme de contrôle de courant est une fonction du champ électrique et de la mobilité. Par conséquent, une distribution

homogène de la température et du courant peut être assurée sur toute la puce. Etant donné cet effet stabilisant, la taille du transistor, qui dépend du nombre de cellules mises en parallèles, n'a pas, a priori, de limite fondamentale : le calibre en courant souhaité est ainsi simplement obtenu par cette mise en parallèle.

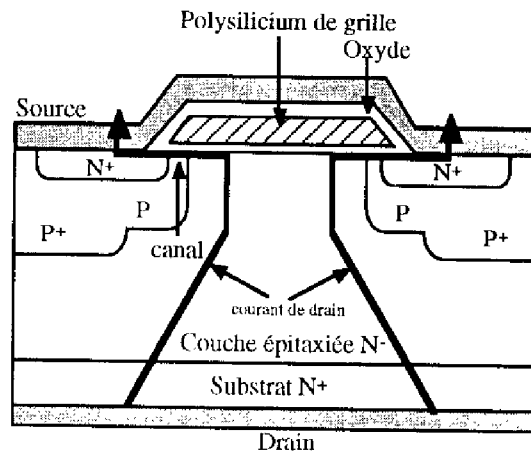


Figure 1.2 : Coupe schématique d'un transistor VDMOS à grille en polysilicium.

Ce transistor VDMOS a fait l'objet, depuis une quinzaine d'années, de nombreuses études approfondies qui ont abouti à une connaissance relativement précise de son fonctionnement.

Pour améliorer les performances en conduction — en particulier du point de vue “pertes en conduction” —, l'effort s'est porté en priorité sur la réduction de la valeur du produit de la résistance à l'état passant R_{ON} par la surface active de la puce S , que nous appellerons “résistance passante spécifique” [5]. Or, dans le cas des transistors VDMOS basse tension, il est apparu qu'en réduisant les règles de dessin associées à la fois à la largeur de la source et à la longueur du canal, c'est-à-dire, en augmentant la densité des composants élémentaires, la valeur de la résistance passante spécifique pouvait être fortement diminuée. Dans le passé, les constructeurs ont donc surtout recherché, dans la fabrication des VDMOS, le type de configuration géométrique de la diffusion P de substrat qui procurait la plus grande densité d'intégration — rapport Z/S du périmètre de canal à la surface de la puce — et, par suite, le plus fort courant par unité de surface. C'est ainsi que sont apparues les formes géométriques actuellement utilisées pour les dispositifs VDMOS [10] : hexagones, carrés (alignés ou non), triangles, bandes parallèles...

A l'heure actuelle, les acquis technologiques dans le domaine des circuits intégrés MOS conduisent à une réduction globale de la taille des motifs géométriques, ce qui peut s'appliquer à l'accroissement de la “densification” de la cellule élémentaire dans les structures de puissance multicellulaires en technologie MOS. Des progrès substantiels ont ainsi été obtenus sur le produit ($R_{ON}.S$) au cours des dernières années. Un transistor VDMOS commercialisé par Motorola en 1993 présentait ainsi, pour une tenue en tension

de 50 V, une résistance passante spécifique de $1,6 \text{ m}\Omega\cdot\text{cm}^2$ et une densité d'intégration de 6 millions de cellules par pouce carré [11]. Des valeurs plus faibles ont également été rencontrées, mais principalement dans la littérature, la plus "optimiste" étant celle affichée par Shenai [12] avec $0,7 \text{ m}\Omega\cdot\text{cm}^2$ — mais il s'agit de la résistance passante spécifique de la puce de silicium seule, c'est-à-dire sans tenir compte des résistances résultant des soudures, des fils de connexions de la puce au boîtier et des pattes externes à ce boîtier —. Cependant, cet accroissement de "densification" ne peut pas être infini : il est physiquement limité par l'effet résistif de "pincement JFET" qui apparaît entre deux caissons P adjacents et qui devient de plus en plus important au fur et à mesure que l'on augmente la densité d'intégration [13].

En régime de commutation, un des paramètres les plus importants est le temps de commutation du composant qui est lié aux capacités d'entrée et de sortie. L'amélioration de ce temps de commutation est obtenue principalement par la réduction de la capacité d'entrée du transistor. Pour cela, une solution consiste à réaliser une structure VDMOS à double niveau d'oxyde [14], c'est-à-dire ayant un oxyde mince sur la région de canal de conduction — pour ne pas être pénalisé du point de vue "résistance de canal" — et un oxyde plus épais sur la région d'accès, région située entre deux cellules — cet oxyde épais conduisant à minimiser la capacité de réaction grille-drain —.

En ce qui concerne l'intégration de ce type de composants avec d'autres composants de "signal" analogiques ou logiques, il semble être limité à la famille "Smart Power" à un seul interrupteur. Il est en effet impossible d'isoler les drains de deux VDMOS réalisés sur une même plaquette. Une des solutions à ce problème — c'est-à-dire l'intégration de composants multi-interrupteurs, ou la "co-planarisation" du VDMOS — consiste à ramener le courant en surface par une technique appelée "up-drain" — figure (I.3) —. Une telle solution dégrade cependant le calibre en courant et, par conséquent, la résistance passante spécifique, du composant par rapport à un VDMOS "classique" équivalent.

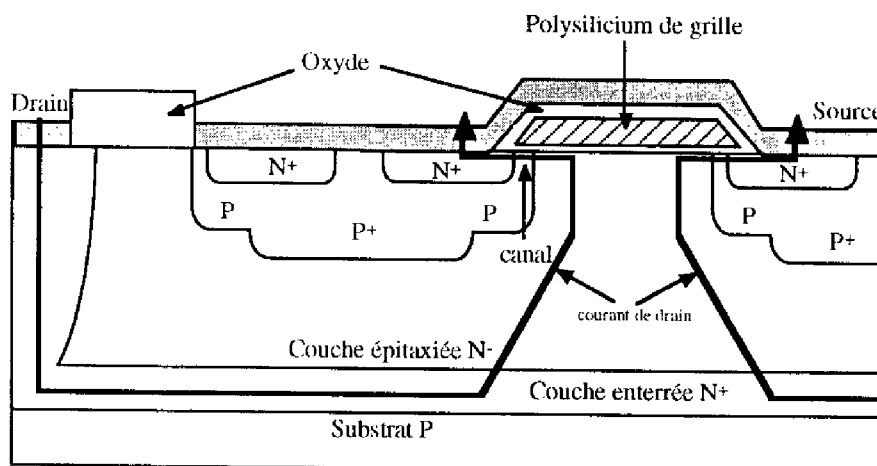


Figure I.3 : Coupe schématique d'un transistor VDMOS "up-drain".

1.3.2.3. Le transistor LDMOS

Si on désire mettre ensemble sur une même puce plusieurs interrupteurs indépendants, il faut choisir une technologie coplanaire où toutes les prises de contact sont en surface. Sur ce point, les transistors à structures horizontales — au même titre que les transistors VDMOS “up-drain” — sont plus intéressants que les transistors VDMOS. Ces structures sont principalement les transistors MOS latéraux double diffusés (LDMOS) ayant des géométries interdigitées — figure (I.4) —. Ce sont en principe des composants à faible calibre en courant qui peuvent, en général être isolés, ce qui permet leur intégration dans les circuits intégrés de puissance.

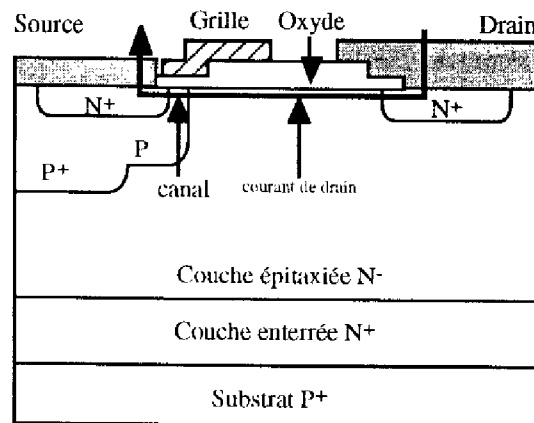


Figure I.4 : Coupe schématique d'un transistor LDMOS classique.

La structure d'un LDMOS à enrichissement, à canal N, se caractérise d'abord par un substrat P+, puis par une couche enterrée N+, enfin par une région de “drift” faiblement dopée N⁻ située entre la fin du canal et le drain N⁺. Le contact de drain se situe sur la face supérieure de la puce. Sa résistance à l'état passant est plus grande que dans les structures verticales et, de plus, la présence des trois contacts sur la face supérieure limite la densité d'intégration. La tenue en tension d'un tel dispositif est limitée par le claquage par avalanche qui se produit au droit de la jonction cylindrique P/N⁻ ou en surface du silicium à la fin de l'électrode de grille [15].

1.4. LE TRANSISTOR MOS DE PUISSANCE À TRANCHEES

1.4.1. Une nouvelle structure MOS de puissance

Comme cela a été évoqué au paragraphe précédent, la résistance à l'état passant d'un transistor VDMOS est limitée par l'effet résistif de pincement JFET — figure (I.5.a) —. Une solution à ce problème a été proposée par Ueda *et al.* [16] grâce à une innovation supplémentaire, l'utilisation de la technologie R.I.E. — “Reactive Ion Etching” — [17] sur le silicium, qui a permis la fabrication de transistors MOS de puissance à tranchées — figure (I.5.b) —. Ce nouveau type de composants présente, par rapport au transistor VDMOS, deux avantages :

- la résistance à l'état passant R_{ON} est réduite, grâce à l'élimination de la composante de résistance R_{JFET} ,
- la densité d'intégration est augmentée de façon sensible car la grille ainsi "enterrée" occupe moins de place. Les premiers transistors proposés industriellement en 1994 présentent ainsi une densité d'intégration de 8 millions de cellules par pouce carré.

Ces deux avantages ont permis la réalisation de transistors ayant des résistances passantes spécifiques faibles, inférieures à $1 \text{ m}\Omega\cdot\text{cm}^2$ à $V_{gs} = 10 \text{ V}$.

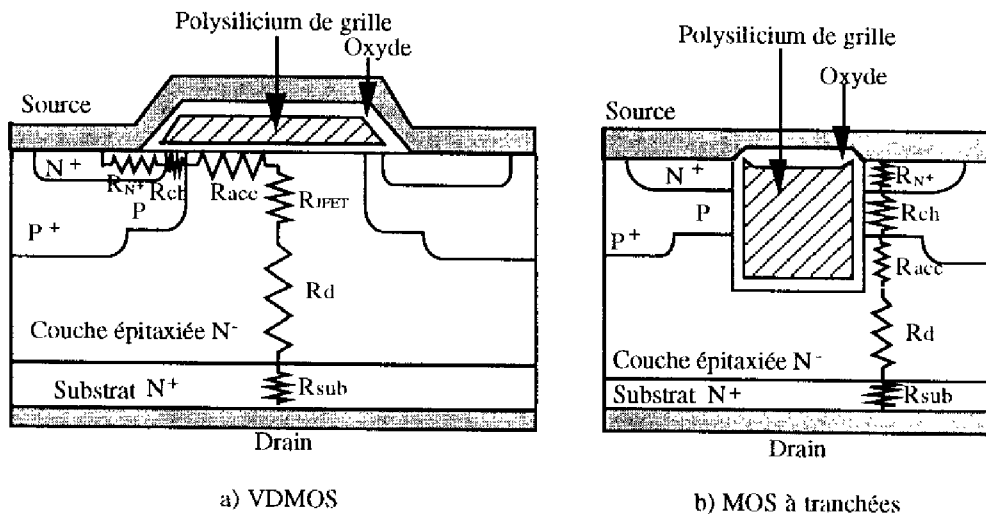


Figure 1.5 : Comparaison des structures VDMOS et MOS à tranchées avec localisation des composantes de leur résistance à l'état passant.

1.4.2. Caractéristiques principales

La figure (1.6) présente une coupe schématique de deux cellules élémentaires constitutives d'un transistor MOS de puissance à tranchées. Ce transistor a, comme le VMOS et le VDMOS, une configuration verticale : le drain est localisé sur la face arrière de la plaquette, la grille et la source étant sur la face supérieure. Le courant circule donc verticalement dans ce type de structures, comme dans un transistor VDMOS "classique". Les caractéristiques structurales d'un transistor MOS à tranchées sont : une grille en polysilicium en forme de "tranchée" — ou de U — enterrée sous la métallisation de source, une zone active — canal d'inversion vertical —, une zone d'accès au drain par la zone accumulée le long de la grille suivie d'une zone peu dopée communément appelée zone de "drift" — littéralement : zone de "dérive", mais le terme français est peu utilisé — qui supporte la quasi-totalité du potentiel appliqué entre source et drain à l'état bloqué. Comme pour les autres transistors MOS de puissance, un transistor MOS à tranchées est constitué par la mise en parallèle d'une multitude de transistors MOS de faible calibre en courant appelés "cellules", et le courant total du composant est égal à la somme des courants des transistors élémentaires.

Au niveau de la géométrie cellulaire, les structures des transistors MOS à tranchées diffèrent principalement d'une famille à l'autre, par la configuration géométrique de la

diffusion de la zone P. La forme des petites cellules élémentaires qui, une fois associées, constituent le transistor de puissance, varie suivant la technologie mise en oeuvre. L'évolution de la géométrie de ces structures est basée sur le concept d'obtention de la plus forte "densité d'intégration" de la zone P de source. Cette densité d'intégration doit se traduire par l'obtention d'un plus grand périmètre de canal et, par suite, d'une valeur du courant passant, par unité de surface de silicium, la plus élevée possible. En ce qui concerne les transistors MOS à tranchées, trois types de géométries sont décrits dans la littérature : hexagonales [18], carrées alignées [13] et bandes parallèles [16, 19, 22].

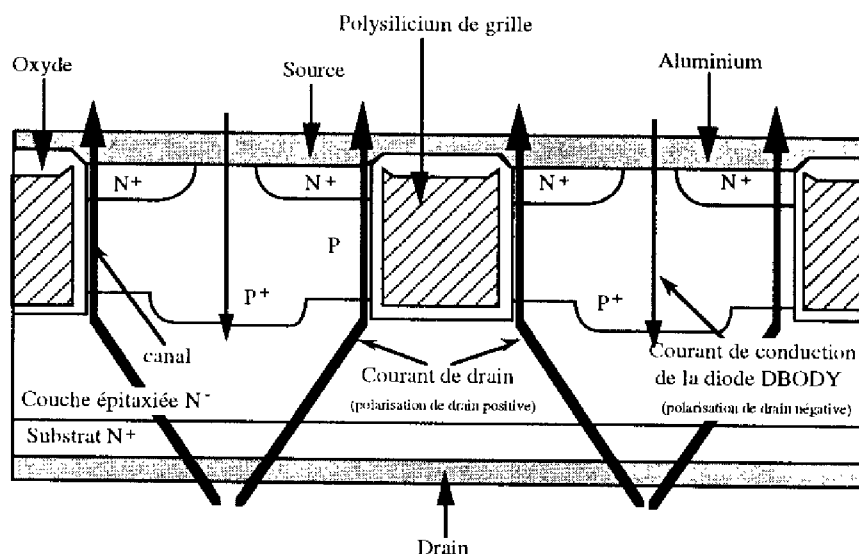


Figure I.6 : Coupe schématique de deux cellules consécutives d'un transistor MOS à tranchées.

I.4.3. Technologie du transistor MOS à tranchées

La réalisation technologique d'un transistor MOS à tranchées dépasse le cadre de cette étude. Toutefois, étant donné le caractère novateur d'une telle structure par rapport au transistor VDMOS, nous présenterons les principales étapes du processus de fabrication de ces transistors. La figure (I.7) décrit succinctement le principe de fabrication proposé par Shenai [19], mais d'autres processus sensiblement identiques à celui-ci ont été également réalisés [16, 20, 21]. Tous ces processus font appel, pour l'élaboration des tranchées, au procédé R.I.E. — "Reactive Ion-Etching" ou "décapage ionique réactif" — qui permet de réaliser des gravures dans le silicium [17].

Le matériau de départ est un substrat fortement dopé N^+ sur lequel une couche faiblement dopée N^- est épitaxiée. Sur cette couche N^- est effectuée une première diffusion P qui va former le canal (1).

On fait ensuite croître une couche épaisse d'oxyde (2) qui sert de masque à la gravure par R.I.E. du silicium (3). Après cette gravure R.I.E., le processus technologique se poursuit par la réalisation d'un oxyde mince, suivi d'un dépôt d'une couche de polysilicium qui constitue la grille, puis par une planarisation (4).

Après décapage de l'oxyde et masquage par laque (photoresist), les zones N⁺ de contacts de source et P⁺ sont diffusées en utilisant le motif de grille comme partie du masque (5). Par la suite, un dépôt d'oxyde basse température (silox) sur la surface de la plaquette suivi d'une gravure de ce silox permettent d'enterrer la grille et de l'isoler. Les zones de contacts sont ensuite gravées ; enfin les métallisations des zones de source et de drain sont réalisées et sont suivies d'un dépôt d'un matériau de passivation (6).

I.4.4. Les différents résultats de la littérature

I.4.4.1. Diminution de la résistance passante spécifique

Les principales publications concernant les transistors MOS de puissance à tranchées visent à proposer des structures toujours plus optimisées dans le but principal de réduire la valeur du produit de la résistance à l'état passant par la surface active de la puce.

Le tableau (I.1) présente ainsi, pour des transistors MOS de différentes tenues en tension — de 15 à 70 V —, les valeurs de résistance passante spécifique qui ont été avancées par les divers auteurs.

Références	Année	Tenue en tension V_{DBR} (V)	Résistance passante $R_{ON.S}$ (m Ω .cm ²)
Ueda [16]	1985	50	5,3
Ueda [23] ¹	1986	15	1,6
Ueda [21]	1987	30	1,37
Chang [22]	1987	30	1,0
Chang [24]	1989	60	0,36
Shenai [19]	1990	35	0,15
Shenai [20]	1990	55	0,2
Mukherjee [25]	1991	60	0,8
Matsumoto [26]	1994	70	0,9
Goodenough [13]	1995	30	0,4
Fletcher [27]	1996	55	1,1

Tableau I.1 : Résistance passante et tenue en tension pour divers transistors MOS de puissance à tranchées.

¹ ce transistor est particulier en ce sens que les tranchées sont très profondes et s'étendent jusque dans la région N⁺ de drain

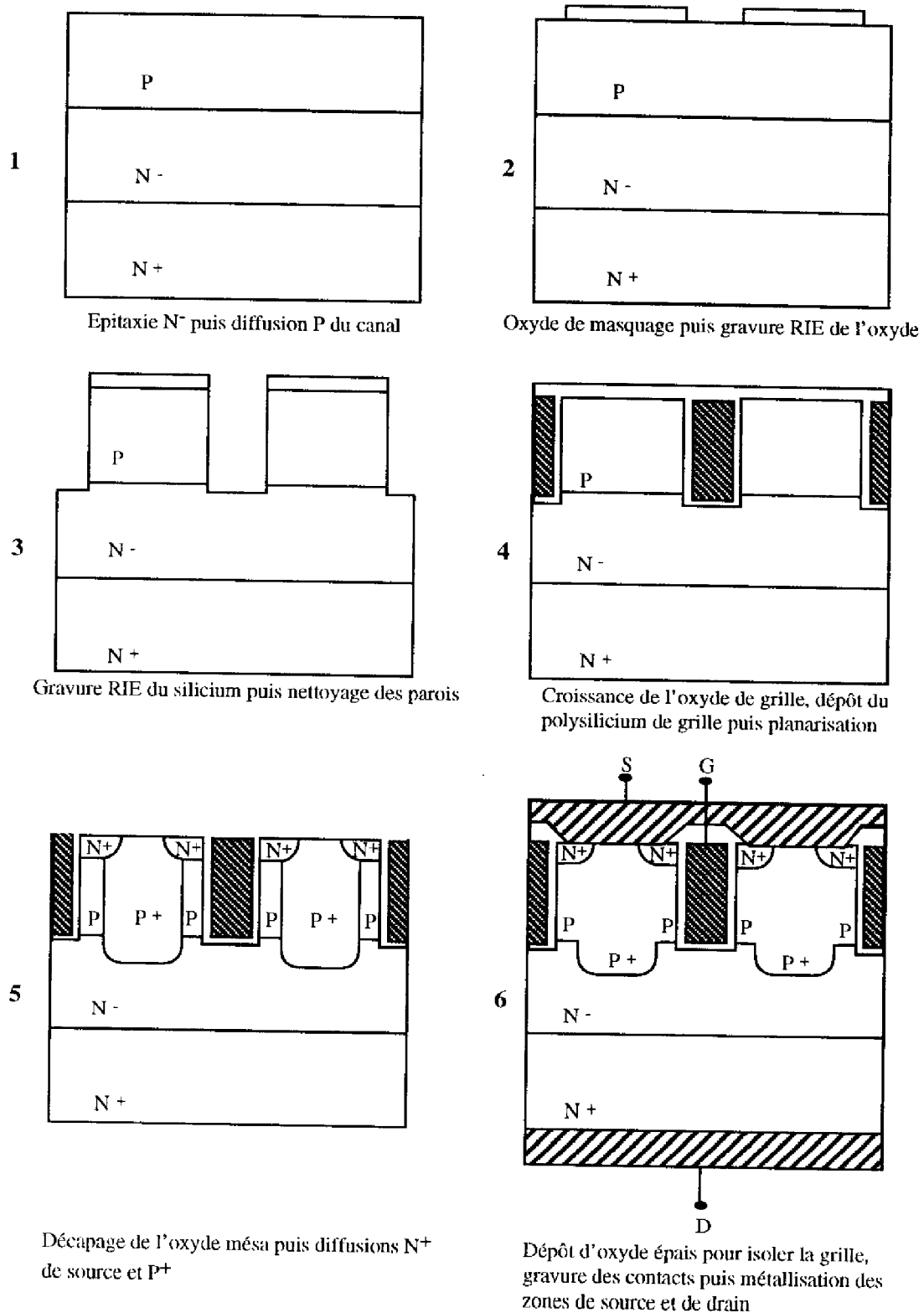


Figure 1.7 : Étapes principales d'un processus de réalisation d'un transistor MOS vertical à tranchées [30].

Plusieurs remarques s'imposent :

- les premiers transistors MOS de puissance à tranchées présentaient des résistances passantes spécifiques sensiblement égales à celles des transistors VDMOS équivalents. Ainsi, en 1985, Ueda a proposé un transistor MOS à tranchées ayant une résistance passante spécifique de $5,3 \text{ m}\Omega \cdot \text{cm}^2$ pour une tenue en tension de 50 V, alors qu'en 1984, un transistor VDMOS de même tenue en tension présentait déjà une résistance de $5,5 \text{ m}\Omega \cdot \text{cm}^2$.
- les valeurs les plus faibles reportées sur prototypes sont celles proposées par Shenai [20]. Par exemple, en comparant la valeur mesurée par Shenai, pour une tension de claquage de 35 V, avec la résistance passante spécifique affichée par un transistor 30 V industrialisé — $0,4 \text{ m}\Omega \cdot \text{cm}^2$ [13] —, nous pouvons remarquer un écart extrêmement important. Cet écart est vraisemblablement dû au fait que Shenai ne tient pas compte, dans ses mesures, des résistances externes à la puce ; or, à basse tension, ces résistances sont loin d'être négligeables, comme nous le verrons dans le deuxième chapitre. Il n'est donc pas toujours aisé de comparer les différents résultats proposés, car on rencontre souvent des imprécisions sur les conditions des mesures. C'est pour cette raison que, plus que les résultats chiffrés, ce sont les différentes démarches suivies par les équipes de recherche qui doivent attirer l'attention.
- pour une tension de claquage donnée, la résistance passante spécifique diminue en fonction des années. Cela est dû, d'une part, à l'accroissement de la densité d'intégration, et, d'autre part, à la réduction de la résistance de canal — longueur micronique, voire submicronique — et à l'élimination de la résistance R_{JFET} .

La recherche d'une plus grande densité d'intégration a conduit aux diverses géométries de cellules évoquées au paragraphe (I.4.2) ; Ueda [16], Shenai [19] et Chang [22] ont utilisé des bandes parallèles, tandis que Bulucea [18] a proposé des cellules hexagonales. Notons que les premiers transistors industrialisés en 1994 étaient, eux, à cellules carrées alignées [13]. L'influence des diverses géométries sur la résistance à l'état passant — mais aussi sur les valeurs des capacités inter-électrodes — a déjà été étudiée pour le transistor VDMOS [28]. Une étude semblable sera reportée dans ce mémoire pour le transistor MOS à tranchées.

Un effort particulier a également été fait pour minimiser la résistance de canal, d'une part, en réalisant des transistors dont la mobilité des électrons dans le canal n'est pas trop fortement dégradée, comme cela avait été le cas pour le transistor VMOS, et, d'autre part, en "jouant" sur des paramètres géométriques tels que la longueur du canal et l'épaisseur de l'oxyde de grille.

En ce qui concerne la mobilité, Ueda [16] a montré que l'utilisation de la technique de R.I.E. permettait de graver dans le silicium des tranchées dont les parois verticales, où se forme le canal, sont dans un plan orienté $\langle 100 \rangle$. Ceci est obtenu en orientant l'attaque

chimique selon un angle de 45° par rapport à l'axe $\langle 110 \rangle$ d'une plaquette $\langle 100 \rangle$. Ainsi, grâce à la technique de R.I.E., la mobilité des porteurs libres dans le canal — électrons pour un MOS canal N — est plus élevée dans un transistor MOS à tranchées que dans un transistor VMOS dont le canal est formé dans un plan orienté $\langle 111 \rangle$, car c'est l'orientation $\langle 100 \rangle$ qui fournit la plus haute mobilité des porteurs dans une couche inversée. Cependant, le phénomène de diffusion des porteurs due à la rugosité de surface — “Surface Roughness Scattering”, qui sera évoqué plus en détail dans le deuxième chapitre — traduisant la dispersion des porteurs due aux défauts de la surface du cristal, dégrade de manière sensible cette mobilité. En effet, avec les technologies de “gravure sèche” de tranchées, des défauts apparaissent dans le cristal, dus au bombardement ionique, aux résidus polymères et aux contaminants étrangers introduits par le plasma ionique réactif [22]. Ainsi, Petti [29] a montré que, pour une orientation de cristal donnée, la mobilité des électrons dans un canal MOS, formé le long d'une paroi de tranchée réalisée par R.I.E., était environ 20% plus faible que la mobilité dans un canal formé à la surface d'un transistor DMOS. Chang et Shenai, quant à eux, ont réalisé des transistors ayant des canaux formés dans le plan orienté $\langle 110 \rangle$ qui présentent, a priori, des mobilités plus faibles dans la couche inversée : Shenai [19] a cependant montré que, par des méthodes de “nettoyage” consistant à éliminer une grande partie des défauts apparaissant en surface, il pouvait obtenir, pour l'orientation $\langle 110 \rangle$, des mobilités dans le canal d'un transistor MOS à tranchées approchant les valeurs de mobilité rencontrées dans un canal en surface d'un transistor DMOS.

Enfin, concernant les paramètres géométriques influant sur la résistance de canal, nous avons pu noter les différentes valeurs d'épaisseurs d'oxyde utilisées — 2 000 Å [22], 1 000 Å [18], 800 Å [19], 500 Å [23] —, ainsi que les différentes longueurs de canal — 2 μm [18], 1,5 μm [22], 1 μm [16, 19, 23], — ; plus l'oxyde est mince et le canal court, plus la résistance de canal est faible. Mais ces diminutions sont limitées à la fois par les limites de la technologie et par des problèmes de tenue en tension que nous allons évoquer dans le paragraphe qui suit.

En résumé, les diverses recherches destinées à diminuer la résistance de canal permettent désormais d'affirmer que, en utilisant un oxyde relativement mince, un canal court réalisé dans un plan du cristal orienté $\langle 100 \rangle$ et en éliminant les défauts sur les parois de la tranchée, on peut obtenir des transistors dont la résistance de canal est réduite.

1.4.4.2. Problèmes de tenue en tension

Lors des mesures effectuées sur les premiers transistors MOS à tranchées, des auteurs se sont aperçus que ces composants affichaient un claquage prématuré par rapport à celui qu'ils avaient espéré compte tenu des valeurs du dopage et de l'épaisseur de la couche épitaxiée. Ce claquage prématuré a rapidement été expliqué par Chang [22], grâce

à une simulation numérique bidimensionnelle : le claquage par avalanche se produisait en fait à proximité du coin bas de la tranchée. Il s'agissait donc d'un claquage en surface dû, d'une part, au fait que le coin de la tranchée était trop "anguleux", et, d'autre part, au fait que l'épaisseur de l'oxyde de grille était insuffisamment grande. Ce résultat a été confirmé par Bulucea [18] et par Shenai [19] qui ont eux aussi remarqué que le champ électrique à proximité de la tranchée était maximal et entraînait un claquage prématuré.

Plusieurs solutions ont été proposées pour résoudre ce problème, dont les deux plus répandues sont les suivantes :

- Chang a proposé une solution technologique qui a le mérite d'avoir un double intérêt : après gravure par R.I.E. de la tranchée, on fait croître une fine couche d'oxyde sur les bords de la tranchée, qui est ensuite gravée, à la fois pour éliminer les défauts sur les parois dus au R.I.E. — voir paragraphe précédent — et pour "adoucir" les coins de cette tranchée; puis on fait croître l'oxyde de grille qui est un oxyde relativement épais — 2 000 Å —. Le fait d'avoir un coin de tranchée arrondi et un oxyde relativement épais permettent donc d'éviter le claquage prématuré du transistor ; ceci a été également confirmé par Shenai.
- Bulucea a remarqué que l'on pouvait éliminer le claquage en surface dans les transistors MOS à tranchées en modifiant la répartition du champ électrique de telle façon que le claquage de la jonction PN "diffusion P-drain N" ne se fasse plus à proximité du coin de la tranchée mais dans le volume, aux alentours du point le plus profond de la jonction P⁺/N⁻. Selon Bulucea, il suffit donc de réaliser des jonctions P⁺/N⁻ suffisamment profondes pour pouvoir écarter la zone de forts champs électriques du coin de la tranchée.

Le problème crucial du claquage prématuré dans les transistors MOS à tranchées semble donc être résolu grâce aux améliorations technologiques notamment apportées par Chang et Bulucea. Le principe de la tenue en tension dans un transistor MOS de puissance à tranchées est donc, a priori, le même que celui d'un transistor VDMOS, à savoir, comme nous le verrons au deuxième chapitre, que ce sont l'épaisseur et le dopage de la couche épitaxiée N⁻ qui fixent la tenue en tension du composant.

1.4.4.3. Autres résultats

Notons, par ailleurs, que d'autres auteurs se sont attachés à l'amélioration de la structure MOS à tranchées.

Ainsi, par exemple, Matsumoto [26] s'est attaché à réduire la valeur de la résistance de grille R_g pour obtenir un composant plus rapide en commutation ; pour cela, il a proposé un transistor MOS à tranchées présentant une électrode de grille à double couche obtenue par dépôt CVD sélectif de tungstène. Dans une autre optique [31], il a également proposé un transistor MOS à tranchées pour lequel le contact de source est également en forme de tranchée : cela entraîne une réduction de la résistance de contact de source ainsi

qu'une diminution de la résistance de la base du transistor bipolaire N^+PN^- parasite, donc une augmentation du courant critique d'avalanche [32].

Certains auteurs ont, pour leur part, étudié des transistors MOS à tranchées ayant des tranchées profondes s'étendant jusque dans la couche N^+ de drain ; il s'agit de Ueda [23], de Baba [33] et de Syau [34]. Les premiers transistors ainsi fabriqués présentaient de faibles tenues en tension — 15 à 25 V — principalement liées à la tenue en tension de l'oxyde de grille. Baba a résolu ce problème de limitation en tension en utilisant une tranchée à double niveau d'oxyde de grille : un oxyde mince au niveau du canal pour conserver une faible résistance de canal et un oxyde épais en profondeur pour soutenir une tension de 70 V.

Zeng [35] a, quant à lui, proposé un autre type de transistors MOS où la tranchée est réalisée dans la zone intercellulaire — comme pour un MOS à tranchées "traditionnel" tel que celui qui a été présenté ici —, mais où l'attaque par R.I.E. ne touche pas aux diffusions N^+ de source et P de canal — c'est-à-dire que le canal est ici horizontal —. La figure (I.7) montre une coupe de ce transistor qui est destiné, selon les auteurs, à éliminer les problèmes de quasi-saturation existant dans les transistors VDMOS [36].

Pour être complet, signalons qu'il existe également, dans la littérature, un transistor LDMOS à tranchées, où c'est l'électrode de drain qui est en forme de tranchée. Ce transistor proposé par Vera [37] présenterait une plus faible résistance à l'état passant qu'un transistor LDMOS classique, de même qu'une tenue en tension plus élevée.

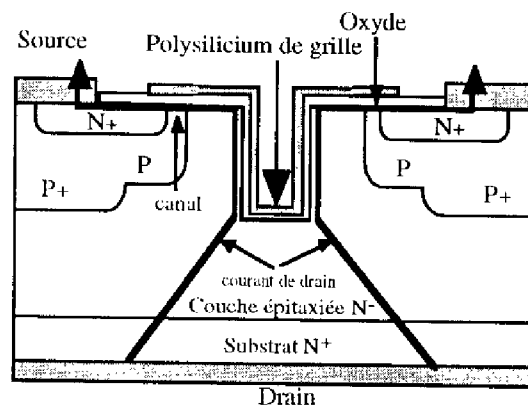


Figure I.7 : Structure d'un transistor MOS à tranchées proposé par Zeng [33].

Nous voyons donc que la technique de R.I.E. a permis le développement de nouvelles structures MOS de puissance dans le domaine des basses tensions de claquage. Notons qu'elle est également à l'origine du développement de composants haute tension performants tels que l'IGBT à tranchées, par exemple [38]. Pour notre part, nous nous intéresserons principalement aux transistors MOS de puissance à tranchées industriels en ce sens qu'ils sont les premiers composants MOS à tranchées à être disponibles sur le marché de l'électronique de puissance en 1994.

I.5. INTERET ET OBJECTIFS DE L'ETUDE

Les différents travaux de recherche réalisés jusqu'à présent sont cependant incomplets à plus d'un titre :

- l'étude analytique de la structure MOS à tranchées n'a pas été réalisée. Seules quelques études numériques bidimensionnelles ont été effectuées.
- d'un point de vue "circuit", il n'existe pas de modèle propre au transistor MOS à tranchées. La simulation unidimensionnelle par des logiciels de circuit tels que SPICE a donc été occultée jusqu'à ce jour.
- les diverses études menées ont surtout visé à améliorer les performances des transistors MOS à tranchées — essentiellement du point de vue "résistance à l'état passant" — en optimisant les technologies de fabrication de ces composants. Aucune réflexion prospective n'a été effectuée sur les probables limites de performances de ces transistors. En fait, le logiciel bidimensionnel a souvent été utilisé seulement comme un outil d'aide à la conception, et non comme un outil permettant une étude prospective sur ces limites de performances.

En résumé, la tendance a donc été, jusqu'ici, à la mise au point de la technologie de fabrication des transistors MOS à tranchées, mais de nombreux aspects plus théoriques — étude analytique, simulation circuit, limites de performances — ont été délaissées.

Pour notre part, nous nous proposons donc d'apporter une contribution pour tâcher de combler ces "lacunes" grâce, notamment, à :

- l'analyse physique de la structure MOS à tranchées, où les paramètres fondamentaux que sont, en statique, la résistance à l'état passant et la tenue en tension et, en dynamique, les capacités inter-électrodes, sont précisément étudiés,
- la modélisation circuit du transistor MOS à tranchées, s'appuyant sur les principaux résultats obtenus par l'analyse physique de la structure,
- l'étude des limites de performance basée sur des simulations numériques bidimensionnelles précises.

L'ensemble de ces travaux sera réalisé avec l'aide du logiciel numérique bidimensionnel PISCES qui sera utilisé ici comme un outil de calcul, et non pas comme un simple outil d'aide à la conception. C'est dans ce souci de rigueur que les principaux modèles disponibles dans ce logiciel seront présentés et étudiés précisément dans le prochain chapitre.

I.6. LES TRANSISTORS SUPPORT DE NOTRE ETUDE

Notre étude s'appuie sur des mesures et des simulations bidimensionnelles qui doivent permettre, d'une part, de réaliser un modèle circuit le plus précis possible, et, d'autre part, d'étudier les propriétés statiques et dynamiques de ces transistors.

Les mesures sont réalisées sur des composants MOS de puissance de tenue en tension 60 V et de calibre en courant 60 A, qui sont les premiers transistors MOS à tranchées industrialisés en 1994, c'est-à-dire presque dix années après les premières travaux de recherche sur le sujet ; c'est avec ces transistors que nous avons commencé nos travaux. Par la suite, on utilise une deuxième génération de transistors qui est apparue en 1995 dans la gamme de tenue en tension 30 V ; on trouve, parmi ces composants, les deux types, à canal N et à canal P.

Pour effectuer des simulations bidimensionnelles, il est évidemment nécessaire de connaître très précisément la structure de ces transistors :

- d'un point de vue géométrique : dimensions d'une cellule, profondeurs des jonctions, largeur et profondeur de la tranchée, épaisseurs d'oxyde...
- d'un point de vue technologique : dopages des différentes régions, densité de charges fixes à l'interface Si-SiO₂...

N'ayant eu à notre disposition qu'assez peu de données technologiques concernant ces composants au commencement de notre étude, deux possibilités s'offraient à nous pour en extraire le maximum d'informations :

- effectuer des mesures sur la coupe d'un transistor obtenue par microsection,
- utiliser les données (électriques) du constructeur et la bibliographie existant sur les transistors MOS à tranchées.

Nous allons présenter ici succinctement les procédures d'extraction des données utiles pour notre étude, dans le cas du transistor 60 V.

I.6.1. Extraction de données d'après les mesures sur microsection

Une microsection effectuée sur une puce nue permet de révéler les différentes jonctions PN d'une cellule. Une photo — figure (I.8) — est ensuite réalisée au microscope électronique à balayage (MEB) : elle nous renseigne notamment sur les profondeurs des jonctions, la longueur d'une cellule, la profondeur et la largeur d'une tranchée. A partir de ces renseignements, il est possible de "décrire" géométriquement une cellule du transistor pour pouvoir, par la suite, l'implanter dans le logiciel PISCES. Cette description est réalisée figure (I.9).

Pour la simulation, les principales dimensions intéressantes sont :

$$r = 1,5 \mu\text{m} \quad l/2 = 3,75 \mu\text{m} \quad \Rightarrow \quad r + l = 9 \mu\text{m} \quad \Rightarrow \quad \text{cellule carrée de } 9 \mu\text{m de côté}$$

$$l_{N+} = 2,5 \mu\text{m} \quad h_{N+} = 0,5 \mu\text{m} \quad L = 1 \mu\text{m} \text{ (longueur du canal)} \quad \Rightarrow \quad h_2 = 1,5 \mu\text{m}$$

$$H = 4,5 \mu\text{m} \quad \Rightarrow \quad H - h_2 = 3 \mu\text{m} \quad (\text{épaisseur de la couche épitaxiée})$$

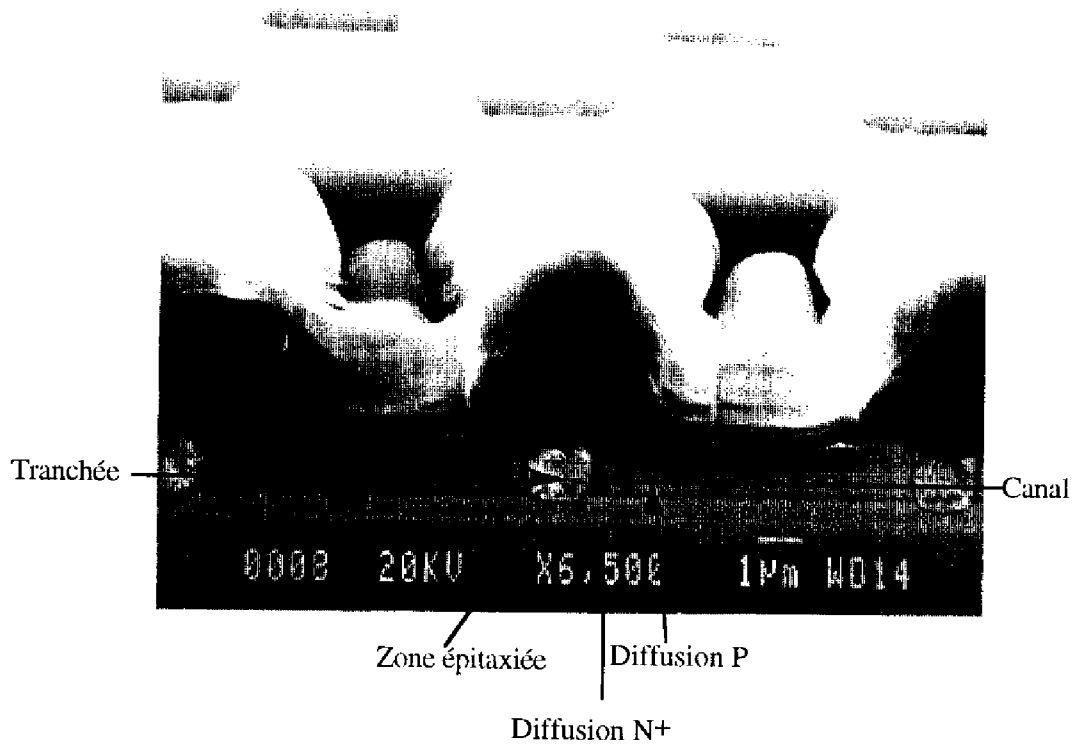


Figure 1.8 : Vue au Microscope Electronique à Balayage d'une microsection du transistor 60 V.

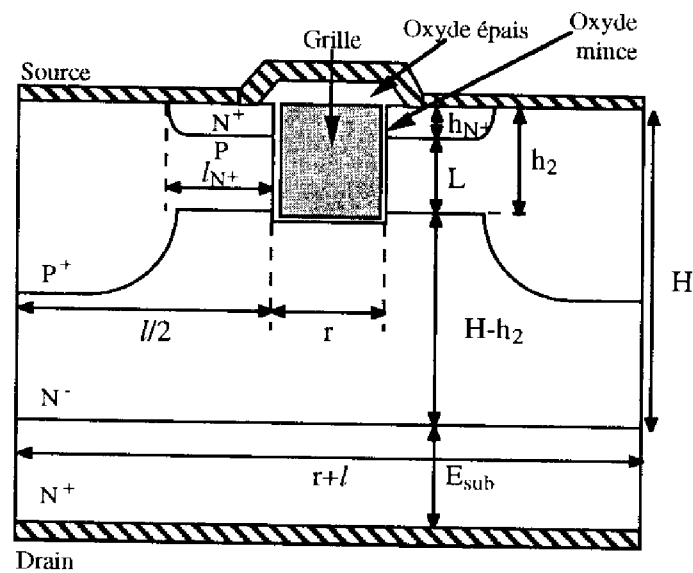


Figure 1.9 : Coupe schématique du transistor 60 V.

$E_{\text{sub}} = 400 \mu\text{m}$ (épaisseur du substrat).

La tranchée a donc une profondeur de $1,7 \mu\text{m}$ et une largeur r de $1,5 \mu\text{m}$.

L'épaisseur e_{ox} de l'oxyde mince est de $1\,000 \text{ \AA}$.

I.6.2. Extraction de données d'après les données du constructeur et la bibliographie

Les valeurs qui peuvent être déduites des données du constructeur et de la bibliographie sont principalement les valeurs des concentrations en électrons ou en trous dans les différentes zones du transistor, c'est-à-dire : les concentrations des zones N^+ de source et de drain, de la région P de canal, de la région P^+ et de la couche épitaxiée N^- .

Les valeurs de fort dopage dans les régions N^+ de drain et de source sont prises égales à $2,5 \cdot 10^{19} \text{ cm}^{-3}$. Le profil de diffusion N^+ de la région de source est un profil analytique gaussien. On suppose que la profondeur de la diffusion latérale est égale à 0,8 fois la profondeur de jonction. La concentration maximale dans la zone P^+ est de $2,5 \cdot 10^{18} \text{ cm}^{-3}$.

Nous allons voir, dans le deuxième chapitre — paragraphe (II.2.2.1) —, que le profil de dopage dans le canal n'est pas uniforme, mais gaussien, et que c'est la zone où la concentration en impuretés acceptrices est la plus élevée, $N_{A\text{max}}$, qui impose la tension de seuil V_T . Il est donc relativement aisé, d'après l'expression (II.15), de déterminer la valeur de cette concentration, connaissant la tension de seuil, l'épaisseur d'oxyde, la différence ϕ_{ms} des travaux de sortie entre métal et semiconducteur et les charges totales Q_{ss} d'oxyde de grille et d'interface ramenées à l'interface — cette valeur peut être déterminée à partir d'une abaque [10] —. Dans le cas du transistor 60 V que nous avons pris pour exemple, la valeur du pic de concentration dans le canal, qui a été choisie pour les simulations, est de $1,3 \cdot 10^{17} \text{ cm}^{-3}$.

Comme cela sera également évoqué dans le chapitre II — paragraphe (II.3) —, le dopage N_D de la couche épitaxiée N^- est lié à la tenue en tension du transistor. C'est en effet cette concentration et l'épaisseur de cette couche qui fixent la tension de claquage. D'après Gharbi [1], lorsque la jonction PN est considérée comme infinie, le dopage optimal dans la couche épitaxiée N_D , correspondant à une tenue en tension du transistor de 60 V, est de $9 \cdot 10^{15} \text{ cm}^{-3}$.

Les valeurs citées sont toutes des “pics” — ou maxima — de concentration, exception faite, évidemment, de la concentration de la couche épitaxiée, qui est uniforme ; les profils que nous implantons sont, en effet, gaussiens.

I.6.3. Structure implantée dans PISCES

Etant donné la symétrie de la cellule, nous étudions une demi-cellule qui aura donc $4,5 \mu\text{m}$ de largeur et $1 \mu\text{m}$ de “profondeur” — $1 \mu\text{m}$ est la valeur de la 3^{ème} dimension prise par défaut dans le logiciel de simulation utilisé, PISCES —. Le courant calculé lors d'une simulation sera donc exprimé en $\text{A}/\mu\text{m}$, et, connaissant la surface de cette demi-cellule — $4,5 \mu\text{m}^2$ — et la surface active totale de la puce — environ $0,2 \text{ cm}^2$ —, nous déduirons la valeur “réelle” du courant de drain en multipliant le courant de drain

élémentaire traversant une demi-cellule par le facteur $4,44 \cdot 10^6$ correspondant au rapport de ces surfaces. Le courant total qui traverse le transistor est en effet la somme des courants des transistors élémentaires, ces composants étant constitués par une association en parallèle d'une multitude de cellules, chacune traversée par un faible courant.

Il est important ici de rappeler que nos simulations sont bidimensionnelles, c'est-à-dire qu'elles ne tiennent pas compte, par exemple, du caractère tridimensionnel de la résistance de "drift" R_d , ni de la géométrie des cellules — carrées dans notre exemple —. Ceci pourra expliquer en partie les pourcentages d'erreur que nous trouverons entre simulations et mesures.

La figure (I.10) décrit la structure qui est utilisée pour les simulations avec ses dimensions et les valeurs de dopage dans les différentes zones du composant. Le substrat de drain N^+ , qui a un comportement uniquement résistif, d'épaisseur $400 \mu\text{m}$, est remplacé par une simple résistance, ce qui permet de "gagner" en temps de simulation.

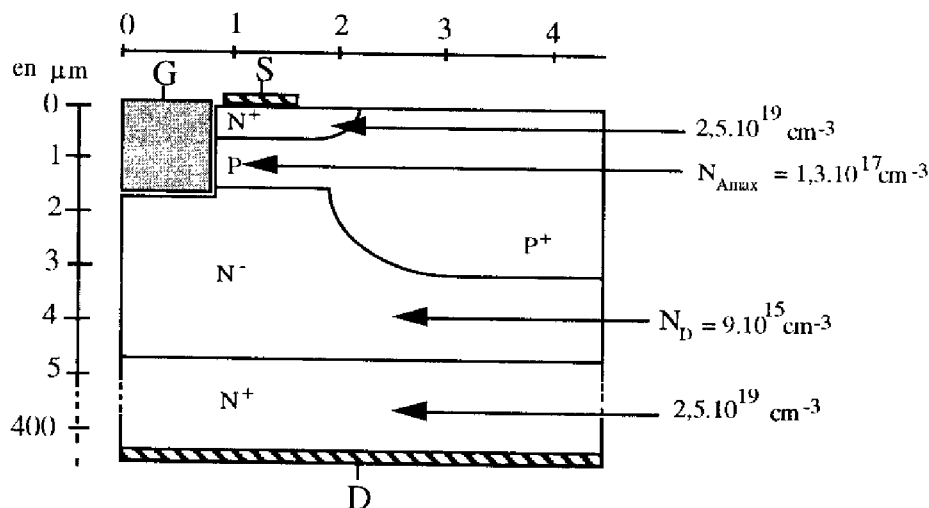


Figure I.10 : Structure d'une demi-cellule implantée dans le logiciel PISCES.

I.7. CONCLUSION

Dans ce chapitre, nous nous sommes attachés à retracer un historique des différentes structures MOS de puissance de basse tension de claquage, en nous basant sur des travaux précédemment effectués.

Nous avons tout d'abord rappelé des généralités sur le principe de fonctionnement d'un transistor MOS de puissance. Les fonctionnements à l'état passant et à l'état bloqué ont été succinctement évoqués.

Dans un second temps, nous avons présenté les principaux transistors MOS de puissance — VMOS, VDMOS, VDMOS "up-drain", LDMOS, MOS à tranchées — ainsi que leurs caractéristiques principales. Nous avons, en particulier, expliqué l'évolution de la structure MOS, du transistor VMOS au transistor MOS à tranchées.

Un troisième paragraphe a été consacré, plus précisément, au transistor MOS à tranchées. Ses caractéristiques principales, sa technologie de fabrication, les principaux résultats reportés dans la littérature — notamment en termes de résistance à l'état passant et de tenue en tension — y sont exposés. Nous avons également décrit les premiers transistors MOS à tranchées industriels qui sont le support de notre étude.

CHAPITRE II :

**ANALYSE STATIQUE DU TRANSISTOR MOS DE
PUISSANCE A TRANCHEES**

II. Analyse statique du transistor MOS de puissance à tranchées

II.1. INTRODUCTION

Dans ce chapitre, l'analyse des propriétés statiques du transistor MOS de puissance à tranchées est réalisée. Notre travail s'appuie ici sur des simulations numériques bidimensionnelles effectuées avec le logiciel PISCES et sur une étude physique de la structure. L'objectif final est de parvenir à une modélisation de type circuit, c'est-à-dire par schéma équivalent du composant.

Ce chapitre est composé de deux parties principales qui vont traiter des deux états principaux de fonctionnement d'un transistor MOS : l'état passant et l'état bloqué. Pour ce faire, un soin particulier sera apporté à l'étude des modèles de mobilité et d'ionisation par impact disponibles dans PISCES. En effet, pour les composants de puissance unipolaires, il est désormais clairement établi que :

- pour les simulations à l'état passant, les modèles de mobilité sont primordiaux,
- pour les simulations à l'état bloqué, ce sont les valeurs des coefficients d'ionisation qui importent pour déterminer la tension de claquage par avalanche.

Ainsi, et dans un premier temps, l'étude du composant en régime de conduction est effectuée. Nous nous appuyons en premier lieu sur les simulations numériques bidimensionnelles. Par la suite, une approche analytique unidimensionnelle, à bas niveau de tension de drain — état ON —, des paramètres statiques fondamentaux tels que la tension de seuil, le courant de drain et la résistance à l'état passant sont traités. En particulier, nous étudions dans le détail les différentes composantes de la résistance à l'état passant, ainsi que l'importance de la géométrie cellulaire sur la résistance passante spécifique.

Une deuxième partie est consacrée à l'étude de la tenue en tension du transistor MOS à tranchées à l'état bloqué — état OFF —. Les différents modèles d'ionisation par impact disponibles dans PISCES sont comparés, puis la tenue en tension est évaluée. Nous comparons également l'analyse bidimensionnelle aux diverses approches analytiques effectuées pour optimiser le compromis fondamental "résistance de drift - tenue en tension".

Enfin, la dernière partie de ce chapitre est consacrée à l'établissement du modèle statique du transistor MOS à tranchées dans le logiciel de simulation "circuit" SPICE. Cette modélisation s'appuie sur les calculs rigoureux et les approximations analytiques qui ont été effectués dans les paragraphes précédents. Ce modèle tient également compte de la température. Une validation expérimentale est enfin effectuée.

II.2. ETUDE EN REGIME DE CONDUCTION

L'étude du transistor MOS à tranchées en régime de conduction est divisée en deux grandes parties : d'une part, une approche numérique bidimensionnelle dont nous nous servirons comme référence, et d'autre part, une approche analytique à bas niveau de tension de drain, notamment pour étudier en détail les composantes et propriétés de la résistance à l'état passant.

II.2.1. Analyse numérique bidimensionnelle

La simulation numérique bidimensionnelle est réalisée avec l'environnement de la société SILVACO, ATLAS, et, plus spécifiquement, son module 2D pour les composants silicium, PISCES [1] — cf annexe 1 — : elle nous permet d'obtenir les caractéristiques électriques d'un composant semiconducteur par résolution des équations qui décrivent le comportement physique de ce composant.

Ce type de simulation bidimensionnelle est donc d'une aide capitale pour la compréhension du fonctionnement d'une structure nouvelle, telle que le transistor MOS à tranchées, ainsi que pour le développement de nouveaux procédés technologiques. L'influence des paramètres "internes" à la structure — géométriques et technologiques — peut également être étudiée.

La simulation bidimensionnelle présente l'avantage d'être rigoureuse, à condition que les modèles et paramètres choisis pour décrire les mécanismes le soient correctement. En particulier, l'influence des mobilités est primordiale sur les résultats de simulation en régime de conduction. Une présentation du logiciel PISCES est faite dans l'annexe 1 ; nous nous attacherons ici plus particulièrement à décrire les différents modèles de mobilité disponibles dans ce logiciel.

II.2.1.1. Modèles de mobilité dans les transistors MOS

La mobilité des porteurs est une grandeur physique définie comme étant le coefficient de proportionnalité entre la vitesse des porteurs et le champ électrique. Elle dépend de manière complexe de la nature et de la fréquence des collisions et interactions que subissent les porteurs durant leur déplacement dans le cristal.

A l'état passant, les mobilités sont des paramètres extrêmement importants dans les transistors MOS, car elles ont une influence de premier ordre sur les valeurs du courant de drain et, par conséquent, de la résistance à l'état passant.

Dans les transistors MOS de puissance verticaux basse-tension, tels que le MOS à tranchées, les deux régions les plus importantes pour le fonctionnement à l'état passant — notamment du point de vue "résistance passante" — sont la région du canal d'inversion et la zone volumique épitaxiée. C'est pour cette raison que nous faisons la distinction entre deux principaux types de mobilités dans ces transistors :

- les mobilités des porteurs (électrons ou trous) dans un cristal semiconducteur dopé (N ou P), que nous appellerons mobilités en volume,
- les mobilités des porteurs (électrons ou trous) dans une couche inversée.

Plusieurs auteurs ont montré que les lois de variation de ces deux types de mobilités, notamment en fonction du champ électrique et de la température, étaient différentes.

Pour traduire ces lois de variation, on peut utiliser, dans le logiciel bidimensionnel PISCES, plusieurs modèles de mobilité dont le plus simpliste utilise des valeurs de mobilité constantes pour les électrons et les trous, μ_{n0} et μ_{p0} , pour chaque matériau employé. Toutefois, utiliser des valeurs de mobilité constantes conduirait à des résultats non réalistes puisque cela reviendrait à négliger l'influence sur celles-ci de grandeurs telles que la concentration des porteurs, le champ électrique et la température. C'est donc pour tenir compte de tous ces paramètres que différents modèles de mobilité plus évolués sont proposés dans PISCES.

Une étude approfondie de ces modèles est nécessaire, afin d'évaluer l'impact des différents paramètres physiques de ces modèles sur nos simulations à l'état passant. Nous verrons notamment qu'il existe des modèles complets qui peuvent s'appliquer à tous les domaines du semiconducteur — couche inversée ou volume —. Les conclusions de cette étude permettront de dégager le modèle physique le plus approprié pour les simulations numériques du transistor MOS à tranchées.

II.2.1.1.1. Mobilités dans une zone volumique

II.2.1.1.1.1. Modèles de mobilité dépendant de la concentration en impuretés

La plupart des modèles s'appuient sur l'expression empirique établie par Caughey et Thomas [2] qui donne la mobilité des porteurs libres dans le silicium :

$$\mu = \mu_{\min} + \frac{\mu_{\max} - \mu_{\min}}{1 + \left(N / N_{\text{ref}}\right)^{\alpha}} \quad (\text{II.1})$$

où $\mu_{\max}$, $\mu_{\min}$, N_{ref} et α sont des coefficients qui peuvent varier légèrement selon les auteurs [2, 3, 4] et donc selon les modèles (CONMOB, ANALYTICAL, ARORA, CVT).

Par exemple, les valeurs proposées par Caughey et Thomas [2] pour ces coefficients sont: $\mu_{\max}=1330 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$, $\mu_{\min}=65 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$, $N_{\text{ref}}=8,5 \cdot 10^{16} \text{ cm}^{-3}$, $\alpha=0,72$ pour les électrons, $\mu_{\max}=495 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$, $\mu_{\min}=47,7 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$, $N_{\text{ref}}=6,3 \cdot 10^{16} \text{ cm}^{-3}$, $\alpha=0,76$ pour les trous.

Cette expression donne la valeur des mobilités à la température $T = 300 \text{ K}$ — c'est-à-dire la température "ambiante" — pour des porteurs majoritaires (électrons ou trous) en fonction du dopage en impuretés dans le matériau.

Pour des concentrations en impuretés faibles, la mobilité des porteurs ne dépend que du seul phénomène de “Lattice Scattering”, c’est-à-dire de “diffusion” des porteurs avec le réseau cristallin. Ainsi, la mobilité des électrons — et la mobilité des trous —, compte tenu de ce phénomène, correspond à la valeur limite de l’équation (II.1) lorsque la concentration en impuretés tend vers zéro : $\mu_{\text{lattice}} = \mu_{\text{max}}$.

Lorsque la concentration en impuretés augmente, c’est le phénomène d’ “Impurity Scattering”, c’est-à-dire de “diffusion” des porteurs par les impuretés ionisées, qui devient prépondérant : cela se traduit par une réduction importante de la mobilité à partir de la valeur N_{ref} .

Pour leur part, Masetti *et al.* [4] ont considéré que l’expression (II.1) n’était pas suffisante pour traduire les effets de “ultra-hautes” concentrations ; ils ont alors proposé une expression plus générale de la mobilité en fonction de la concentration :

$$\mu = \mu_{\min} + \frac{\mu_{\max} - \mu_{\min}}{1 + (N / N_{\text{ref},1})^{\alpha_1}} - \frac{\mu_1}{1 + (N_{\text{ref},2} / N)^{\alpha_2}} \quad (\text{II.2})$$

Les effets de “ultra-hautes” concentrations sur la mobilité sont représentés par le troisième terme de cette expression : au-dessous d’une concentration de 10^{20} cm^{-3} , on retrouve bien l’expression (II.1) de Caughey et Thomas, représentée par les deux premiers termes de l’expression (II.2).

A titre d’information, nous fournissons, dans le tableau (II.1), les valeurs des paramètres de l’expression (II.2) d’après Masetti [4].

Paramètres	Électrons (Phosphore)	Trous (Bore)
$\mu_{\max} (\text{cm}^2.\text{V}^{-1}.\text{s}^{-1})$	1414,0	470,5
$\mu_{\min} (\text{cm}^2.\text{V}^{-1}.\text{s}^{-1})$	68,5	44,9
$\mu_1 (\text{cm}^2.\text{V}^{-1}.\text{s}^{-1})$	56,1	29,0
$N_{\text{ref},1} (\text{cm}^{-3})$	$9,20.10^{16}$	$2,23.10^{17}$
$N_{\text{ref},2} (\text{cm}^{-3})$	$3,41.10^{20}$	$6,10.10^{20}$
α_1	0,711	0,719
α_2	1,98	2,0

Tableau II.1 : Valeurs des paramètres proposés par Masetti [4] pour l’équation (II.2).

La figure (II.1) montre les variations de la mobilité des électrons et des trous en fonction de la concentration N en impuretés selon Caughey et Thomas [2] et selon Masetti [4].

Yamaguchi [5] propose une autre expression empirique de la mobilité en fonction de la concentration en impuretés. Cette expression, que nous évoquons au paragraphe (II.2.1.1.2.1) consacré au modèle de Yamaguchi, est légèrement différente de celles proposées par les autres auteurs, mais les mécanismes mis en jeu sont basiquement les mêmes.

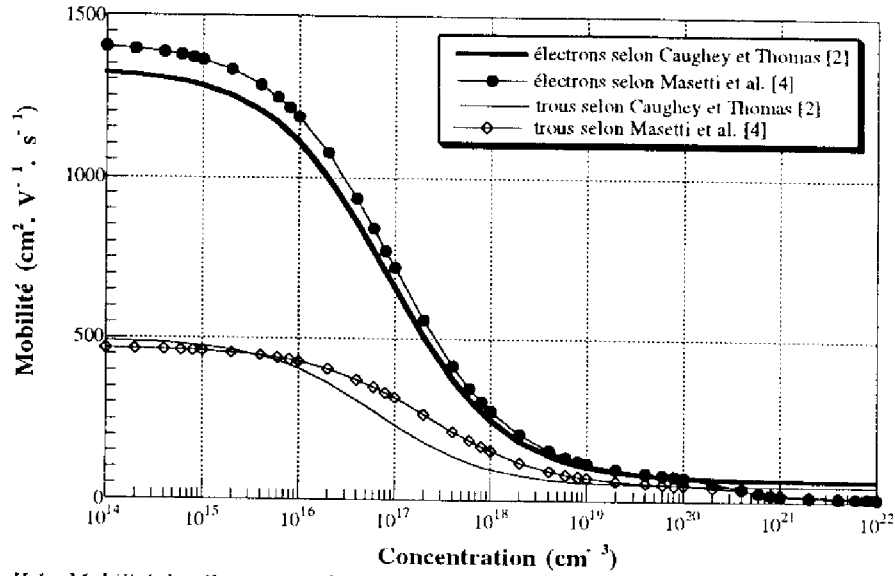


Figure II.1 : Mobilité des électrons et des trous en fonction de la concentration en impuretés à $T = 300$ K.

II.2.1.1.1.2. Modèles de mobilité dépendant de la température

Un autre phénomène de diffusion des porteurs libres qui est pris en compte dans certains modèles est celui relatif au cristal. Les interactions entre les charges mobiles et les atomes du réseau cristallin, ou, plus exactement, les vibrations thermiques de ceux-ci, dépendent de la température du cristal suivant les lois suivantes :

$$\mu_n = \mu_{n0} \left(\frac{T}{T_0} \right)^{-\alpha_n} \quad (\text{II.3})$$

$$\mu_p = \mu_{p0} \left(\frac{T}{T_0} \right)^{-\alpha_p} \quad (\text{II.4})$$

où $T_0 = 300$ K. Les valeurs des coefficients α_n , α_p , μ_{n0} et μ_{p0} varient selon les auteurs : α_n et α_p varient de 2,2 à 2,7, μ_{n0} de 1330 à 1600 $\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ et μ_{p0} de 465 à 600 $\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$. Bien que l'on relève une assez grande dispersion dans la littérature sur la mesure des mobilités [6, 7, 8], il est acquis, d'après les expressions (II.3) et (II.4), que la mobilité décroît sensiblement lorsque la température augmente.

Les modèles proposés pour PISCES prenant en compte les effets de la température sur la mobilité sont le modèle CONMOB associé à ANALYTICAL et le modèle CVT de Lombardi [9]. Si on utilise ces modèles à la température ambiante $T = 300$ K, on retrouve les valeurs du modèle de base établi par Caughey et Thomas.

II.2.1.1.1.3. Modèles de mobilité dépendant du champ électrique

Dans les deux paragraphes précédents, nous avons évoqué les modèles de mobilité dépendant de la concentration en impuretés et de la température. Ces modèles sont suffisants pour rendre compte de la valeur de la mobilité pour les porteurs majoritaires lorsque les champs électriques appliqués sont faibles. En fait, nous avons admis que,

dans cette gamme de champs faibles, la mobilité μ_0 était indépendante du champ électrique, c'est-à-dire que la vitesse moyenne de diffusion des porteurs était strictement proportionnelle à l'intensité du champ :

$$v = \mu_0 \cdot E \quad (\text{II.5})$$

Ceci n'est plus vrai pour les champs électriques intenses : pour des valeurs de champ supérieures à 10^3 V/cm, la mobilité n'est plus indépendante du champ électrique ; elle décroît lorsque l'intensité du champ croît. La vitesse de dérive des porteurs n'augmente alors plus de manière linéaire avec le champ électrique.

Enfin, au-delà d'un champ de 10^5 V/cm d'intensité, la mobilité moyenne des porteurs décroît selon une loi inversement proportionnelle au champ électrique, ce qui signifie que la vitesse de dérive des porteurs est constante : les porteurs libres ont alors atteint leur vitesse limite, ou vitesse de saturation. Pour les électrons, dans le silicium, cette vitesse dépend de la température selon la loi suivante [3] :

$$v_{sat} = \frac{v_1}{1 + C \cdot \exp\left(\frac{T}{T_0}\right)} \quad (\text{II.6})$$

où $v_1 = 2,4 \cdot 10^7$ cm/s, $C = 0,8$ et $T_0 = 600$ K.

A température ambiante, la vitesse de saturation des électrons vaut : $v_{sat} = 10^7$ cm/s.

Pour les trous, on a : $v_{sat} = 8 \cdot 10^6$ cm/s.

A ce concept de vitesse limite est associée la notion de champ électrique critique E_c défini comme étant le rapport de la vitesse de saturation v_{sat} sur la mobilité à champ faible μ_0 : $E_c = v_{sat}/\mu_0$. A température ambiante, ce paramètre, dépendant de la concentration en impuretés, varie entre $7 \cdot 10^3$ V/cm et $7 \cdot 10^4$ V/cm pour un semiconducteur de type N. Ce champ électrique critique varie également en fonction de la température suivant une loi proportionnelle à $(T/300)^\gamma$ où $\gamma = 1,55$ pour les électrons et $1,68$ pour les trous.

Les différents auteurs, dont les modèles sont inclus dans PISCES, proposent des équations empiriques permettant de tenir compte de l'effet du champ électrique. Nous retrouvons l'expression empirique (II.7) de Caughey et Thomas [2] dans les modèles FLDMOB et CVT :

$$\mu(E) = \frac{\mu_0}{\left[1 + \left(\frac{\mu_0 \cdot E}{v_{sat}}\right)^\beta\right]^{\frac{1}{\beta}}} \quad (\text{II.7})$$

Les équations empiriques des modèles FLDMOB, CVT et YAMAGUCHI ne présentent pas de différences majeures à température ambiante. Par contre, si on désire réaliser des simulations à d'autres températures, seuls les modèles FLDMOB et CVT le permettent car ce sont les seuls modèles qui peuvent rendre compte de l'effet de la température sur la vitesse de saturation suivant l'expression (II.6).

II.2.1.1.2. Mobilités des électrons libres dans une couche inversée

La mobilité des électrons dans une couche inversée a fait — et fait encore — l'objet de nombreux travaux [5, 9, 10, 11] : en effet, cette mobilité est un des paramètres les plus importants pour modéliser et prédire précisément le comportement et les performances des composants MOS à l'état passant. Une connaissance approfondie des mécanismes physiques mis en jeu dans cette région est donc nécessaire. Ces mécanismes physiques sont connus sous le nom de "Surface Scattering", ou diffusion des porteurs en surface.

Sun et Plummer [10] ont récapitulé les trois principaux types de mécanismes de diffusion qui rendent compte de l'évolution des mobilités dans une couche inversée quand la tension de grille est supérieure à la tension de seuil :

- le "Phonon Scattering" — diffusion des porteurs avec les phonons — dû aux différents modes de vibration du cristal : il est plus important à température ambiante qu'à basse température.
- le "Coulomb Scattering", ou "Impurity Scattering" — diffusion des porteurs avec les impuretés ionisées — qui résulte des interactions entre les porteurs de la couche inversée et les charges localisées dans l'oxyde, les charges d'interface et les impuretés ionisées dans le volume. Les effets de ce type de diffusion sont importants en régime de faible inversion. L'augmentation de la densité de charges en surface ou du dopage de la région P entraîne un phénomène de diffusion plus marqué. Par contre, il devient moins important en régime de forte inversion.
- le "Surface Roughness Scattering" — diffusion des porteurs due à la rugosité de surface — qui fait intervenir les défauts, ou irrégularités, de l'interface oxyde-semiconducteur. Ce type de diffusion apparaît en régime de forte inversion : en effet, il est d'autant plus important que les porteurs sont proches de la surface ; c'est le cas lorsque le champ électrique transverse — perpendiculaire à l'interface — augmente. Pour un transistor VDMOS, Sun et Plummer ont notamment montré, d'un point de vue technologique, qu'une vitesse d'oxydation plus lente — oxydation sèche au lieu d'une oxydation humide — conduisait à une meilleure qualité de l'interface oxyde-silicium — en termes de densité de charges à l'interface —, et par conséquent à une décroissance moins rapide de la mobilité sous un fort champ électrique transverse. Notons, par ailleurs que le phénomène de "Surface Roughness Scattering" était à l'origine de fortes dégradations de la mobilité dans les premiers transistors MOS à tranchées car la technique par R.I.E. entraînait l'apparition de défauts sur les parois de la tranchée. Ce problème a été résolu grâce à un nettoyage de ces parois — cf paragraphe (I.4.4.1) —.

L'importance relative de ces différents mécanismes de diffusion dépend en grande partie de la température et de la valeur du champ électrique transverse dans la couche inversée. A basse température, la mobilité est gouvernée par les effets de "Coulomb Scattering" qui dominent dans les régions à faible champ électrique, et par les effets de "Surface Roughness Scattering" qui dominent dans les régions à fort champ. A

température ambiante, la mobilité est dominée par les effets de “Coulomb Scattering” et de “Phonon Scattering” dans les régions à faible champ, et par les effets de “Surface Roughness Scattering” et de “Phonon Scattering” dans les régions à fort champ, c’est-à-dire en forte inversion.

La dépendance de la mobilité par rapport au champ électrique transverse est la plus importante pour les transistors MOS de puissance. Plusieurs modèles de mobilités dépendant du champ électrique transverse dans une couche inversée, sont utilisables dans PISCES : il s’agit des modèles YAMAGUCHI [5], TASCH [11] et CVT [9].

II.2.1.1.2.1. Modèle de Yamaguchi

Selon Yamaguchi [5], la mobilité effective des électrons dans une couche inversée en fonction du champ électrique transverse est empiriquement donnée par :

$$\mu = \mu(N) \cdot (1 + \alpha_s \cdot E_{\perp})^{-\frac{1}{2}} \quad (\text{II.8})$$

où $E_{\perp}$ est la composante transverse du champ électrique et α_s un coefficient qui vaut $1.54 \cdot 10^{-5}$ cm/V pour les électrons. Dans cette expression, la mobilité dans le volume, $\mu(N)$, est fonction de la concentration en impuretés N selon la relation suivante :

$$\mu(N) = \mu_0 \cdot \left[1 + \frac{N}{\left(\frac{N}{S} + N_{ref} \right)} \right]^{-\frac{1}{2}} \quad (\text{II.9})$$

où μ_0 est la mobilité constante à champ faible définie au paragraphe (II.2.1.1.1.3), S et N_{ref} étant des paramètres traduisant les effets de “Phonon” et “Impurity Scattering”. Pour les électrons, Yamaguchi utilise les valeurs suivantes :

$$\mu_0 = 1400 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}, S = 350 \text{ et } N_{ref} = 3 \cdot 10^{16} \text{ cm}^{-3}.$$

Notons que cette expression est légèrement différente des expressions proposées par Caughey et Thomas [2] ou Masetti *et al.* [4], mais que les mécanismes mis en jeu sont les mêmes.

La figure (II.2) donne, pour différents dopages de type P — correspondant donc à un transistor MOS à canal N —, la mobilité des électrons en fonction du champ transverse dans la zone inversée selon Yamaguchi.

L’utilisation de ce modèle n’est pas cependant pas des plus adéquates pour les transistors MOS car il est insuffisant pour décrire les trois principaux types de mécanismes de diffusion précédemment cités. Nous pouvons par exemple remarquer que, pour des forts champs électriques, c’est-à-dire en régime de forte inversion, la mobilité des électrons n’est pas indépendante du dopage, ce qui est en totale contradiction avec ce qui est admis dans la littérature : en effet, plusieurs auteurs ont montré que, en régime de forte inversion, le phénomène de “Surface Roughness Scattering” était le plus important ; or ce phénomène ne dépend que du champ électrique transverse.

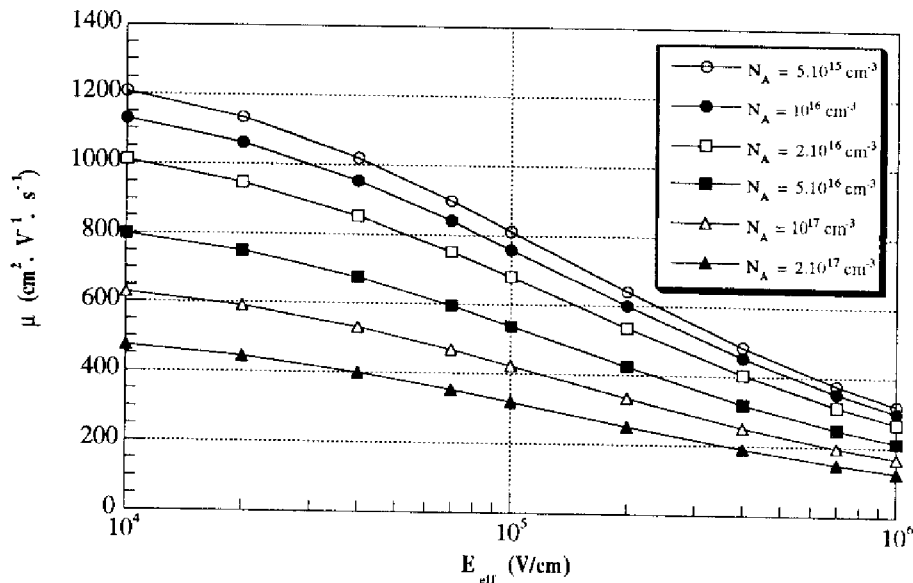


Figure II.2 : Mobilité dépendant du champ électrique transverse selon le modèle de Yamaguchi.

II.2.1.1.2.2. Modèle de Tasch (TASCH)

Le modèle de Tasch [11], disponible dans PISCES sous la dénomination TASCH, est un modèle complet et complexe qui prend en compte les différents mécanismes de diffusion avec la température. D'après leurs auteurs, qui l'ont comparé à l'expérience, ce modèle est valable pour des transistors MOS à canal N pour des longueurs effectives de canal de 0,5 à 1,2 μm et pour des dopages N_A dans le canal de $3,9 \cdot 10^{15}$ à $7,7 \cdot 10^{17} \text{ cm}^{-3}$.

Ce modèle peut donc être utilisé pour simuler un transistor MOS à tranchées tel que ceux que nous étudions : par exemple, nos structures ont une longueur de canal de 1 μm environ et un dopage maximal $N_{A\text{max}}$ de $1,3 \cdot 10^{17} \text{ cm}^{-3}$. Nous avons pu vérifier qu'il donnait, dans ce cas, des résultats satisfaisants. Notons, à ce propos, que le modèle de Tasch était, avant l'apparition de la nouvelle version d'ATLAS en juin 1995, le modèle pris par défaut dans le macromodèle MOS pour décrire le comportement des mobilités en fonction du champ électrique transverse. Ce n'est plus le cas désormais, car il s'avère de fait qu'il présente deux lacunes :

- ses différents paramètres d'entrée ne peuvent pas être modifiés par l'utilisateur,
- il ne permet pas de simuler correctement un transistor MOS à canal P car il a été établi uniquement pour une couche inversée d'électrons et n'est pas valable pour une couche inversée de trous.

II.2.1.1.2.3. Modèle de Lombardi (CVT)

Depuis l'apparition de la nouvelle version d'ATLAS en juin 1995, le modèle utilisé par défaut dans le macromodèle MOS est le modèle universel CVT proposé par Lombardi [9]. Il est basé sur des équations empiriques qui permettent la modélisation de couches inversées d'électrons et de trous.

L'avantage majeur de ce modèle est que les paramètres physiques d'entrée et les coefficients des équations sont accessibles pour l'utilisateur. Lombardi suppose que la mobilité des porteurs μ_T peut être considérée, en utilisant la règle de Mathiessen, comme étant la somme de trois termes :

$$\frac{1}{\mu_T(E_\perp)} = \frac{1}{\mu_{ac}(E_\perp, T)} + \frac{1}{\mu_b(N_A, T)} + \frac{1}{\mu_{sr}(E_\perp)} \quad (\text{II.10})$$

où μ_{ac} est la mobilité des porteurs due au phénomène de "Phonon Scattering", μ_b est la mobilité dans le volume dépendant principalement de l' "Impurity Scattering", et μ_{sr} est la mobilité introduite par le "Surface Roughness Scattering".

Les trois phénomènes de diffusion évoqués au début du paragraphe (II.2.2) sont donc bien pris en compte dans ce modèle.

a) Mobilité due au "Phonon Scattering" μ_{ac}

La mobilité μ_{ac} est littéralement, d'après Lombardi, "la mobilité des porteurs due à leur diffusion avec les phonons acoustiques". Cette mobilité est donnée empiriquement, en fonction de la température et du champ électrique transverse, par la relation suivante :

$$\mu_{ac}(E_\perp, T) = \left(B \cdot \frac{T}{E_\perp} + C \cdot \frac{N_A^\tau}{E_\perp^{\frac{1}{3}}} \right) \cdot T^{-1} \quad (\text{II.11})$$

où les coefficients B, C et τ sont des constantes qui, dans PISCES, valent par défaut :

$B = 4,75 \cdot 10^7$ cm/s, $C = 1,74 \cdot 10^5$ (MKSA) et $\tau = 0,125$ pour les électrons.

b) Mobilité dans la zone volumique μ_b

L'expression de la mobilité des électrons dans la zone volumique, en fonction de la concentration en impuretés N_A et de la température, découle de l'expression de Masetti — expression (II.2) — :

$$\mu_b(N_A, T) = \mu_{\min} + \frac{\mu_{\max}(T) - \mu_{\min}}{1 + (N_A / N_{ref,1})^{\alpha_1}} - \frac{\mu_1}{1 + (N_{ref,2} / N_A)^{\alpha_2}} \quad (\text{II.12})$$

où $\mu_{\max}(T)$ dépend de la température suivant la loi décrite par l'expression (II.3).

c) Mobilité due au "Surface Roughness Scattering" μ_{sr}

Le "Surface Roughness Scattering" est connu pour diminuer fortement la mobilité en surface à basse température et à fort champ électrique. Lombardi propose, pour μ_{sr} , l'expression suivante en fonction du champ électrique transverse :

$$\mu_{sr}(E_\perp) = \frac{\delta}{E_\perp^2} \quad (\text{II.13})$$

où δ est une constante dont plusieurs auteurs ont estimé la valeur. Par défaut, cette valeur est, dans PISCES : $\delta = 5,82 \cdot 10^{14}$ V²/cm².

La figure (II.3) donne, à température ambiante et pour différents dopages de type P — correspondant donc à un transistor MOS à canal N —, la mobilité des électrons en fonction du champ transverse dans la zone inversée selon le modèle proposé par Lombardi, et en utilisant les paramètres utilisés par défaut dans PISCES. Nous pouvons notamment remarquer que la mobilité est indépendante de la concentration en impuretés lorsque l'intensité du champ électrique est élevée, c'est-à-dire en régime de forte inversion. Ceci est tout à fait logique puisque c'est alors le phénomène de "Surface Roughness Scattering", indépendant de la concentration, qui domine en régime de forte inversion.

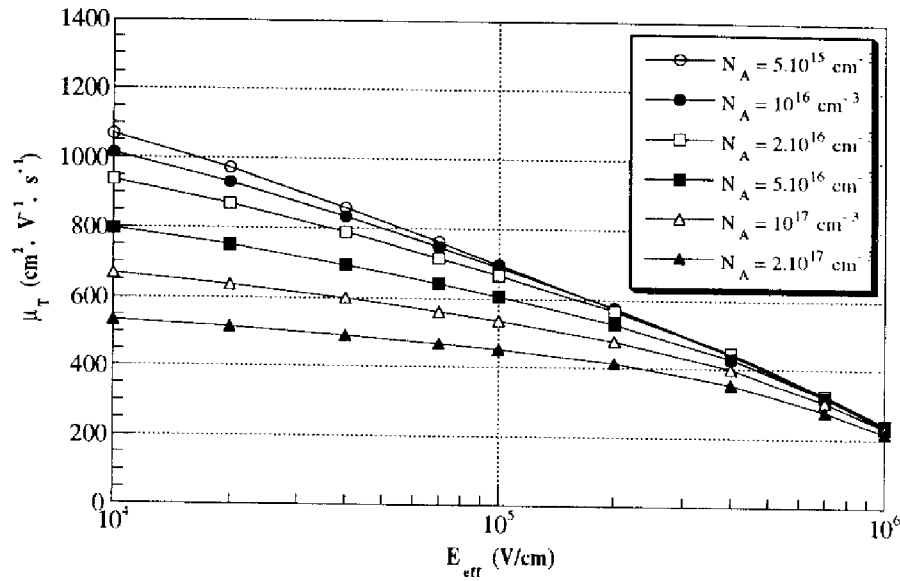


Figure II.3 : Mobilité dépendant du champ électrique transverse selon le modèle CVT de Lombardi.

Une fois la mobilité μ_T en fonction du champ transverse calculée en chaque point de maillage, PISCES en déduit la mobilité "finale" μ qui prend en compte la dépendance des mobilités par rapport au champ électrique longitudinal ; dans le modèle CVT, cette dépendance est donnée par l'expression (II.14) qui découle de la relation (II.7) :

$$\mu = \frac{\mu_T}{\left[1 + \left(\frac{\mu_T \cdot E_{\parallel}}{v_{sat} \cdot \left(\frac{T}{300} \right)^{\lambda}} \right)^{\beta} \right]^{\frac{1}{\beta}}} \quad (\text{II.14})$$

où $E_{\parallel}$ est le champ électrique longitudinal, c'est-à-dire le champ parallèle à la direction des lignes de courant dans le canal.

L'influence des mobilités, dans une couche inversée et dans le volume, sur le comportement à l'état passant des transistors MOS est prépondérante : c'est d'ailleurs pour cette raison que nous avons étudié précisément tous les modèles de mobilité disponibles dans PISCES. Le modèle de mobilité étant désormais choisi — nous utilisons

le modèle CVT de Lombardi —, il convient désormais de valider ce choix en simulant le comportement à l'état passant de transistors MOS à tranchées 30 V et 60 V.

II.2.1.2. Résultats obtenus par une étude bidimensionnelle

Les simulations sont obtenues par le logiciel PISCES dont les fonctionnalités sont rappelées dans l'annexe 1.

II.2.1.2.1. Caractéristiques de sortie $I_d(V_{ds})$

L'observation des caractéristiques de sorties $I_d(V_{ds})$, mesurées et simulées dans PISCES, pour un transistor 60 V- 60 A par exemple, permet à la fois de mettre en évidence les deux zones de fonctionnement — ohmique et saturée — du transistor à l'état passant et de valider la structure et le modèle de mobilité utilisé dans PISCES.

Nous savons que le mécanisme physique responsable du passage de la zone ohmique à la zone de saturation est le phénomène de saturation de la vitesse des porteurs dans le canal. Pour réaliser un bon accord entre les niveaux des courants de saturation des mesures et des simulations, pour les différentes tensions de grille, il a fallu ajuster la vitesse limite des électrons dans le canal v_{sat} : la valeur qui a été choisie est de 10^7 cm.s^{-1} .

La comparaison entre les caractéristiques de sortie $I_d(V_{ds})$ mesurées et simulées est présentée sur la figure (II.4). Pour faire coïncider mesures et simulations, les résistances "externes" à la puce de silicium ont été prises en compte dans les simulations.

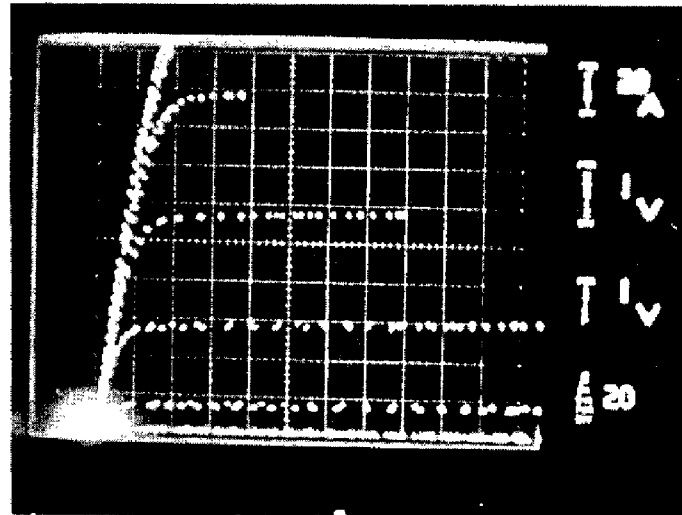
Nous pouvons noter un bon accord entre les mesures et les simulations, et cela dans les deux zones de fonctionnement :

- dans la zone ohmique, la résistance à l'état passant R_{ON} à $V_{gs} = 10 \text{ V}$ est de $6,66 \text{ m}\Omega$ d'après les mesures — 150 A pour $V_{ds} = 1 \text{ V}$ — et de $6,25 \text{ m}\Omega$ d'après les simulations — 160 A pour $V_{ds} = 1 \text{ V}$ —. On note donc un bon accord entre mesures et simulations dans cette zone, puisque l'erreur maximale trouvée est de 6 %.
- dans la zone de saturation, les niveaux de courant sont sensiblement les mêmes si on compare mesures et simulations, quelle que soit la polarisation V_{gs} . L'écart le plus important est observé pour la polarisation $V_{gs} = 5 \text{ V}$ (10 A pour la simulation, 15 A pour les mesures). Pour les autres polarisations, les écarts constatés sont très faibles, de l'ordre de 0 à 5 % maximum, ce qui justifie le bon choix effectué avec une vitesse limite des porteurs dans le canal de 10^7 cm.s^{-1} .

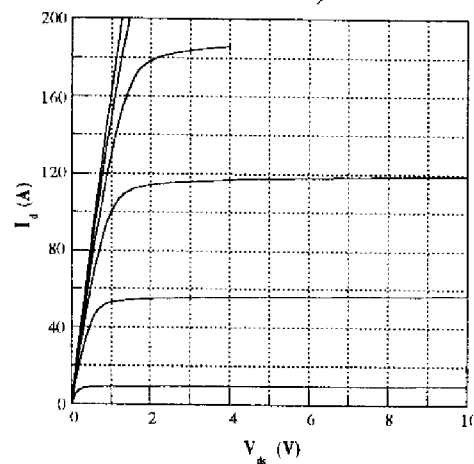
A partir de ces observations, quelques remarques s'imposent :

- le modèle de mobilité CVT semble correct puisque les erreurs trouvées entre simulation et mesures sont relativement faibles. Cela signifie que nous disposons, avec PISCES, d'un outil numérique bidimensionnel suffisamment fiable pour traduire précisément le comportement à l'état passant d'un transistor MOS à tranchées.
- le phénomène de quasi-saturation [12] présent dans les transistors VDMOS n'apparaît pas dans un transistor MOS à tranchées. Rappelons qu'il se traduit par une limitation en

courant à forte valeur de tension de grille. Ceci est dû au fait que l'effet de pincement JFET, qui apparaissait dans les transistors VDMOS entre deux caissons P adjacents, est éliminé ici par la présence de la tranchée.



a)



b)

Figure II.4 : Caractéristiques statiques $I_d(V_{ds})$ d'un transistor 60 V - 60 A :
a) mesurées b) simulées avec PISCES.

- le courant admissible par ce transistor est important — 240 A en impulsionnel pour une surface active de 20 mm² — et, par conséquent, sa résistance à l'état passant est faible — environ 6 mΩ —. Nous voyons apparaître ici une des propriétés principales du transistor MOS à tranchées qui est son importante densité d'intégration : celle-ci autorise un fort calibre en courant pour une surface active de puce relativement faible.

II.2.1.2.2. Caractéristique de transfert $I_d(V_{gs})$

La caractéristique de transfert à bas niveau — c'est-à-dire à $V_{ds} = 14$ mV dans le cadre de nos mesures — peut être décomposée en trois zones :

- lorsque $V_{gs} < V_T$, le transistor est bloqué et le courant de drain I_d est pratiquement nul.

- lorsque V_{gs} est légèrement supérieur à V_T , le transistor commence à conduire en régime linéaire car la tension de drain V_{ds} est faible. Or, dans ce régime, pour des tensions de grille V_{gs} suffisamment proches de V_T , le courant de drain varie linéairement en fonction de V_{gs} . La pente K_p de la caractéristique $I_d(V_{gs})$ est égale à $[(\mu_0 \cdot C_{ox} \cdot Z/L) \cdot V_{ds}]$ où μ_0 est la mobilité à champ faible, C_{ox} la capacité d'oxyde mince de grille par unité de surface, Z la "largeur du canal équivalent" — c'est-à-dire la somme des périmètres des canaux des cellules élémentaires : $Z = 4.l$ pour des cellules carrées, d'après la figure (II.8) — et L la longueur du canal d'inversion.
- lorsque V_{gs} augmente, le courant de drain croît de façon moins prononcée sous l'effet des autres résistances et tend vers une "saturation" lorsque l'effet de la résistance de canal — qui est la seule résistance importante dépendant de V_{gs} — devient "négligeable", c'est-à-dire lorsque le terme $(V_{gs} - V_T)$ devient important.

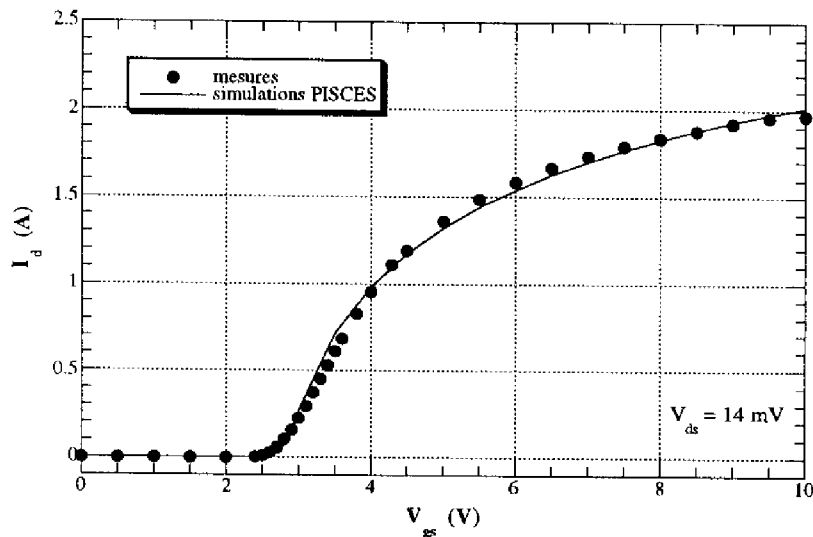


Figure II.5 : Caractéristiques de transfert $I_d(V_{gs})$ simulées et mesurées pour un transistor 30 V - 10 A.

L'analyse de la caractéristique de transfert d'un transistor MOS est donc intéressante à plusieurs égards : elle nous renseigne sur la tension de seuil du composant, elle nous fournit la valeur du paramètre de transconductance K_p , et, par conséquent, la valeur de la mobilité à champ faible μ_0 , ainsi que la valeur de la résistance de canal ; elle permet donc de vérifier, d'une part, les valeurs de dopage dans le canal, d'épaisseur d'oxyde et de densité de charges à l'interface, d'autre part, de valider le modèle de mobilité choisi pour les simulations numériques bidimensionnelles.

A titre d'exemple, les caractéristiques simulées et mesurées à bas niveau sont représentées figure (II.5) pour un transistor 30 V - 10 A.

Trois remarques s'imposent en comparant les deux courbes :

- la tension de seuil obtenue par la simulation est identique à la tension de seuil mesurée ; cela confirme les valeurs cohérentes choisies telles que l'épaisseur de l'oxyde de grille

e_{ox} , la différence des travaux de sortie entre la grille et le silicium ϕ_{ms} , le pic de concentration dans le canal N_{Amax} et les charges d'oxyde à l'interface Q_{ss} .

- quand V_{gs} est légèrement supérieur à V_T , le facteur de pente K_p obtenu par la simulation est proche de celui mesuré ; en effet : $K_{p,simulé} = 59,8 \text{ A/V}^2$ et $K_{p,mesuré} = 55,2 \text{ A/V}^2$, soit un écart de 7 %.
- au-delà de la tension de seuil, les allures des deux courbes sont sensiblement identiques : on note un écart maximal de 3 % entre elles.

II.2.2. Approche analytique unidimensionnelle

L'approche analytique que nous proposons à présent est réalisée à faible tension de drain, c'est-à-dire lorsque le transistor est dans l'état ON au sens de la commutation. Le problème est traité de manière unidimensionnelle. Cette étude, à bas niveau de drain, est suffisante pour étudier la résistance à l'état passant, qui traduit le comportement du transistor dans sa zone ohmique — c'est-à-dire à faible V_{ds} —. La comparaison entre les calculs analytiques et les simulations PISCES sera également réalisée en vue de comparer les deux types d'approche choisis.

L'objectif de cette partie est de montrer clairement l'influence de la géométrie, de la technologie et des tensions de polarisation sur la résistance à l'état passant d'un transistor MOS à tranchées.

II.2.2.1. Tension de seuil

La tension de seuil V_T correspond à une valeur particulière de la tension de grille à partir de laquelle le transistor commence à conduire (formation du canal d'inversion). Cette valeur dépend du dopage de la zone P, de l'épaisseur d'oxyde de grille, et de la présence de charges à l'interface Si-SiO₂. Le profil de dopage dans le canal n'est pas uniforme mais gaussien, comme le montre la figure (II.6) qui représente le profil — utilisé en simulation bidimensionnelle PISCES — du dopage dans la direction verticale source-drain d'un transistor MOS de puissance à tranchées (60 A - 60 V). C'est la zone où la concentration en impuretés acceptrices est la plus élevée, N_{Amax} , qui impose la tension de seuil V_T [13].

En prenant le substrat comme référence des potentiels, la tension de seuil V_T s'écrit :

$$V_T = -\frac{Q_{ss}}{C_{ox}} + \phi_{ms} + 2 \cdot \Phi_F + \sqrt{2 \cdot \Phi_F \cdot \Phi_B} \quad (\text{II.15})$$

où : Φ_B est le potentiel "interne" de la région P donné par : $\Phi_B = \frac{2 \cdot q \cdot N_{Amax} \cdot \epsilon_0 \cdot \epsilon_{Si}}{(C_{ox})^2}$ (II.16)

$$\Phi_F \text{ est le potentiel de Fermi : } \Phi_F = U_T \ln \left(\frac{N_{Amax}}{n_i} \right) \quad (\text{II.17})$$

Q_{ss} représente les charges totales d'oxyde de grille ramenées à l'interface, ϕ_{ms} la différence des travaux de sortie entre métal et semiconducteur et C_{ox} la capacité d'oxyde par unité de surface.

II.2.2.2. Résistance à l'état passant

La résistance à l'état passant du transistor MOS de puissance est la résistance totale qui apparaît entre la source et le drain lorsque le transistor conduit en régime linéaire (ou ohmique) — c'est-à-dire qu'on considère sa valeur à faible tension drain-source V_{ds} — :

$$R_{ON} = \left(\frac{V_{ds}}{I_d} \right)_{V_{ds} \rightarrow 0} \quad (II.18)$$

Cette valeur correspond en fait à l'inverse de la pente de la caractéristique de sortie $I_d(V_{ds})$, pour une tension V_{gs} donnée, lorsque la tension V_{ds} tend vers la valeur nulle. La résistance à l'état passant est un des paramètres les plus importants pour un composant de puissance car de sa valeur dépendent les pertes en conduction.

Dans le cas d'un transistor MOS à tranchées, cette résistance correspond à la mise en série de composantes que nous pouvons séparer en deux "familles" — figure (II.7) — : d'une part, les résistances que nous nommerons "internes" qui forment la résistance totale de la puce de silicium et, d'autre part, les résistances "externes" à cette puce.

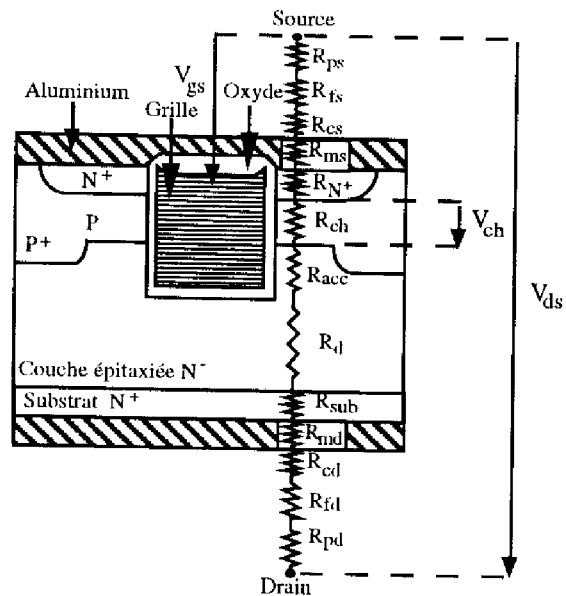
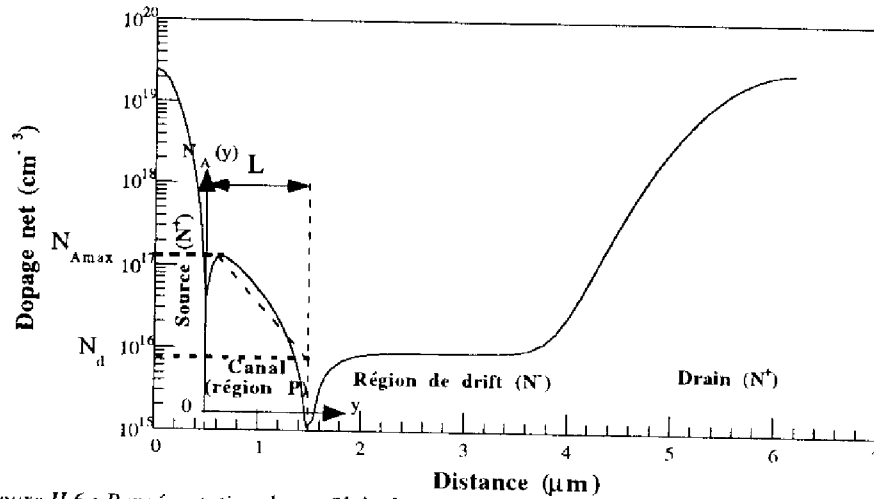
Les résistances internes sont, dans le cas du transistor MOS à tranchées :

- la résistance de la diffusion N^+ de source R_{N+} ,
- la résistance du canal d'inversion R_{ch} ,
- la résistance de la couche accumulée R_{acc} ,
- la résistance de drift de la couche épitaxiée N^- peu dopée R_d ,
- la résistance du substrat N^+ relié au drain R_{sub} .

Les résistances externes comprennent, quant à elles :

- les résistances des métallisations de drain et de source R_{ms} et R_{md} ,
- les résistances des contacts de drain et de source R_{cs} et R_{cd} ,
- les résistances des fils d'interconnexion entre le boîtier et la puce R_{fs} et R_{fd} ,
- les résistances des pattes de drain et de source R_{ps} et R_{pd} .

Nous allons, dans ce paragraphe, fournir les expressions de ces différentes résistances, qui se calculent, pour certaines, à partir de paramètres géométriques et technologiques ainsi que de différentes polarisations, et, pour les autres, plus simplement à partir de la formule classique de calcul de résistance d'un barreau ($R=(\rho.l)/S$). Les résultats seront donnés, dans un premier temps, pour une cellule élémentaire. Par la suite, nous déterminerons les valeurs des résistances spécifiques correspondantes. Pour mieux préciser la configuration cellulaire du dispositif considéré, nous dessinons sur la figure (II.8) une représentation tridimensionnelle d'une partie de la structure d'un transistor MOS à tranchées à cellules carrées alignées.



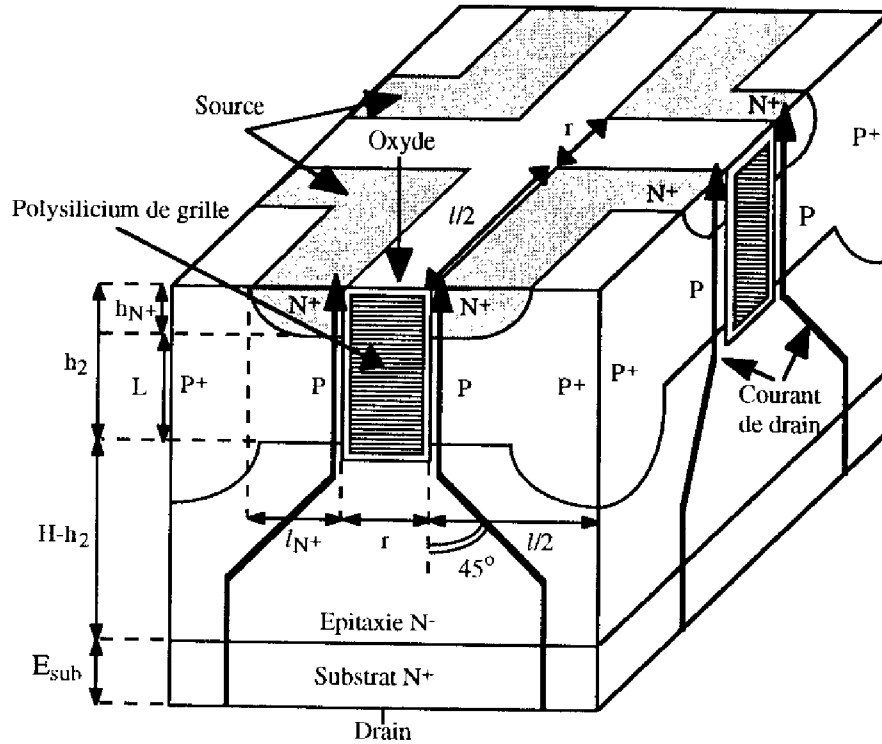


Figure II.8 : Représentation tridimensionnelle d'un transistor MOS à tranchées à cellules carrées alignées.

II.2.2.2.1. La résistance de canal

II.2.2.2.1.1. Dopage variable dans le canal

La détermination de l'expression du courant circulant entre source et drain suit un mode opératoire classique qui consiste en trois étapes :

- i) résolution de l'équation de neutralité dans la structure MOS
- ii) détermination du nombre total des porteurs minoritaires dans une tranche de canal
- iii) intégration de la charge et équation du courant.

Les phénomènes principaux à prendre en compte dans le cas du canal du transistor MOS à tranchées, sont :

- i) la non-uniformité du dopage dans le canal dans la direction source-drain. Ce profil peut être défini en première approximation par une dépendance exponentielle de la coordonnée y dans la direction drain-source — figure (II.6) — :

$$N_A(y) = N_{A \max} \cdot \exp \left[\frac{y}{L} \cdot \ln \left(\frac{N_d}{N_{A \max}} \right) \right] \quad (\text{II.19})$$

où $N_{A \max}$ et N_d représentent respectivement la valeur maximale du dopage dans le canal et la valeur minimale extrapolée au droit du drain.

- ii) la variation de la mobilité sous l'effet des champs électriques longitudinal et transversal.

En première approximation, nous décrirons les variations de mobilité par la relation [15] qui est admise pour traiter analytiquement les équations du transistor MOS :

$$\mu_{eff} = \frac{\mu_0}{\left[1 + \frac{d\phi_s}{dy} \cdot \frac{1}{E_0}\right] \cdot \left[1 + \frac{V'_{gs} - \phi_s}{\Psi}\right]} \quad (II.20)$$

où $V'_{gs} = V_{gs} + Q_{ss}/C_{ox} - \phi_{ms}$ est la tension effective appliquée sur la grille, E_0 est le champ critique longitudinal au-delà duquel la vitesse sature, ϕ_s le potentiel électrostatique à la surface du semiconducteur et Ψ un paramètre dépendant de l'épaisseur d'oxyde, du temps de relaxation et de la masse effective des porteurs à l'interface [15]. Ce paramètre Ψ traduit les effets du champ transversal : il est appelé "potentiel de réduction de la mobilité sous l'effet du champ électrique transversal".

La résistance de canal est, dans ce cas, calculée en déterminant le rapport $(V_{ch}/I_d)_{V_{ch} \rightarrow 0}$ où V_{ch} est la tension appliquée aux bornes du canal d'inversion. La détermination de cette résistance découle donc de l'expression du courant I_d circulant entre le drain et la source pour des valeurs de V_{ds} , et, par suite, de V_{ch} , faibles. Si nous considérons le profil de dopage réel dans le canal, alors on peut démontrer que cette expression s'écrit [15] :

$$I_d \Big|_{V_{ch} \rightarrow 0} = \mu_0 \cdot C_{ox} \cdot \frac{Z}{L} \cdot \frac{V_{ch}}{1 + \frac{V'_{gs} - 2 \cdot \Phi_F}{\Psi}} \cdot \frac{\ln \sqrt{\frac{N_d}{N_{Amax}}} \cdot (V'_{gs} - 2 \cdot \Phi_F)}{\ln \left[1 + \frac{(V'_{gs} - 2 \cdot \Phi_F) \cdot \left(\sqrt{\frac{N_d}{N_{Amax}}} - 1 \right)}{V'_{gs} - 2 \cdot \Phi_F - \sqrt{2 \cdot \Phi_F \cdot \Phi_B} \cdot \sqrt{\frac{N_d}{N_{Amax}}}} \right]} \quad (II.21)$$

Par suite, le rapport $(V_{ch}/I_d)_{V_{ch} \rightarrow 0}$ qui définit la résistance de canal a pour expression, en faisant intervenir la tension de seuil V_T :

$$R_{ch} = \left(\mu_0 \cdot C_{ox} \cdot \frac{Z}{L} \right)^{-1} \cdot \left(1 + \frac{V'_{gs} - 2 \cdot \Phi_F}{\Psi} \right) \cdot \frac{\ln \left[1 + \frac{(V'_{gs} - 2 \cdot \Phi_F) \cdot \left(\sqrt{\frac{N_d}{N_{Amax}}} - 1 \right)}{(V'_{gs} - V_T) \cdot \sqrt{\frac{N_d}{N_{Amax}}}} \right]}{\ln \sqrt{\frac{N_d}{N_{Amax}}} \cdot (V'_{gs} - 2 \cdot \Phi_F)} \quad (II.22)$$

II.2.2.2.1.2. Approximation du dopage uniforme dans le canal

Si on considère que le dopage est uniforme dans le canal et égal à N_{Amax} , alors le courant de drain présente, dans ces conditions, l'expression théorique suivante :

$$I_d \Big|_{V_{ch} \rightarrow 0} = \mu_0 \cdot C_{ox} \cdot \frac{Z}{L} \cdot \Psi \cdot \frac{V'_{gs} - 2 \cdot \Phi_F - \sqrt{2 \cdot \Phi_F \cdot \Phi_B}}{\Psi + V'_{gs} - 2 \cdot \Phi_F} \cdot V_{ch} \quad (II.23)$$

soit encore, en introduisant la tension de seuil V_T définie par la relation (II.15) :

$$I_d|_{V_{ch} \rightarrow 0} = \mu_0 \cdot C_{ox} \cdot \frac{Z}{L} \cdot \Psi \cdot \frac{V_{gs} - V_T}{\Psi + V'_{gs} - 2 \cdot \Phi_F} \cdot V_{ch} \quad (\text{II.24})$$

Par suite, le rapport $(V_{ch}/I_d)_{V_{ch} \rightarrow 0}$, qui définit la résistance de canal, vaut :

$$R_{ch} = \left(\mu_0 \cdot C_{ox} \cdot \Psi \cdot \frac{Z}{L} \right)^{-1} \cdot \frac{V'_{gs} + \Psi - 2 \cdot \Phi_F}{V_{gs} - V_T} \quad (\text{II.25})$$

Cette approximation du canal dopé uniformément est très utile car, en fait, l'erreur qui est faite par rapport au calcul rigoureux — relation (II.22) — n'est pas très importante. Cette erreur est évaluée à environ 10% pour les valeurs élevées de la tension de grille. Cette approximation est considérée comme suffisante et, surtout, est plus facile à utiliser à la fois dans des calculs et dans les applications expérimentales.

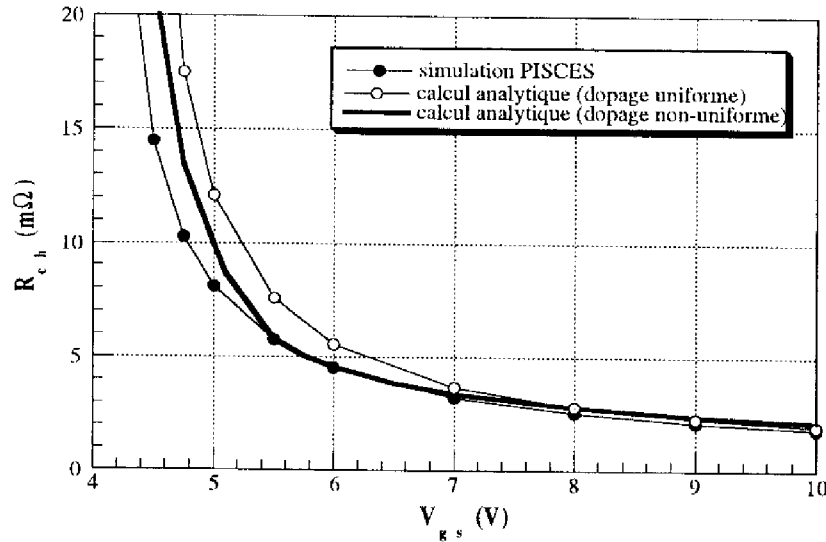


Figure II.9 : Variations de la résistance de canal en fonction de la tension grille-source.
 $e_{ox} = 1\,000\text{ \AA}$, $N_{Amax} = 1,3 \cdot 10^{17}\text{ cm}^{-3}$, $V_T = 4\text{ V}$, $\Psi = 25\text{ V}$.

Le poids de la résistance de canal est en général prépondérant dans la résistance passante totale pour les composants VDMOS de très basse valeur de tension de claquage — $< 50\text{ V}$ —. Nous verrons plus loin que ceci n'est plus tout à fait vérifié pour les transistors VDMOS à haute densité d'intégration ainsi que pour les transistors MOS à tranchées, objets de notre étude.

Quelle que soit l'approche utilisée, nous voyons que la résistance de canal dépend fortement de la tension grille-source, comme le montre la figure (II.9). Cela montre donc que donner des valeurs "absolues" de résistances à l'état passant n'a de sens que si la tension grille-source appliquée est précisée : c'est ainsi que, par convention, les valeurs de résistances nominales à l'état passant des composants est en général fixée pour $V_{gs} = 10\text{ V}$. En fait, il apparaît que la résistance R_{ON} diminue quand la tension grille-source

augmente. Pour des valeurs de V_{gs} supérieures environ à 8 V, cette résistance atteint un palier de saturation que nous appelons $R_{ON\infty}$. C'est parce que cette valeur varie peu au-dessus de 8 V que les constructeurs prennent la valeur arbitraire de 10 V comme "référence" ou valeur "nominale": nous sommes alors certains d'être dans la zone de "saturation" — palier quasi-horizontal en fonction de V_{gs} — de R_{ON} .

II.2.2.2. La résistance de la couche accumulée

Cette résistance est celle de la partie de la couche accumulée en surface sous l'effet de la tension de grille. Plusieurs approches ont été réalisées pour le calcul de la résistance de la couche d'accumulation R_{acc} dans le cas du transistor VDMOS. Sun et Plummer [16] ont proposé une expression de cette résistance, qui dépend aussi de la tension grille-source :

$$R_{acc} = \frac{1}{3} \left(\mu_{0acc} \cdot C_{ox} \cdot \Lambda \cdot \frac{Z}{r/2} \right)^{-1} \cdot \frac{V'_{gs} + \Lambda - 2 \cdot \Phi_F}{V_{gs} - V_T} \quad (II.26)$$

où r est la distance entre deux diffusions P et μ_{0acc} la mobilité des porteurs majoritaires (électrons) dans la couche accumulée. Le facteur $1/3$ traduit au premier ordre la nature bidimensionnelle du flux de courant de la couche accumulée vers la région volumique N-. Le coefficient Λ est un potentiel traduisant la réduction de la mobilité ; ce potentiel a été caractérisé par Sanchez [17].

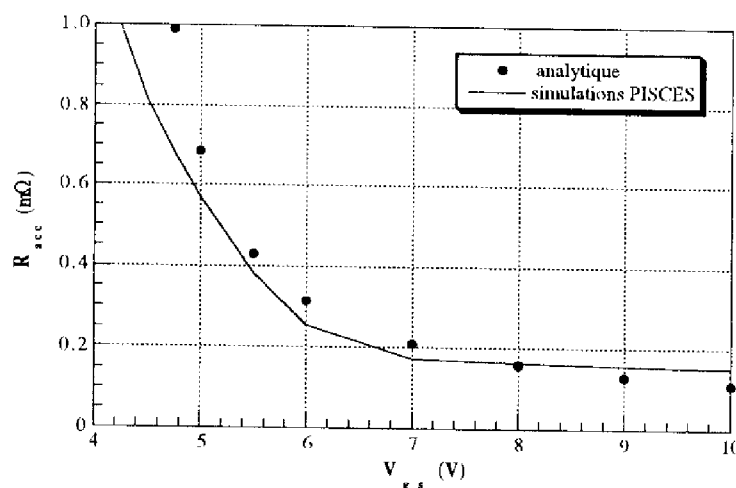


Figure II.10 : Variations de la résistance de canal en fonction de la tension grille-source.
 $e_{ox} = 1\,000\text{ \AA}$, $N_{Amax} = 1,3 \cdot 10^{17}\text{ cm}^{-3}$, $V_T = 4\text{ V}$, $\Lambda = 12\text{ V}$.

D'autres approches plus précises ont été proposées par T. Phan Pham en représentant la zone d'accès par un schéma distribué de résistances dans deux directions (x et y) [18] ; cette représentation, qui prend en compte la chute ohmique dans la couche accumulée sous la grille, est mieux adaptée au phénomène réel que l'hypothèse d'injection uniforme proposée par Sun et Plummer. Cependant, le facteur $(1/3)$ peut être considéré comme suffisant car il a été validé par un accord correct entre théorie et expérience [16] ; ceci est également confirmé par la figure (II.10) où la comparaison, en

fonction de V_{gs} , entre le modèle analytique de l'expression (II.26) et la simulation bidimensionnelle montre une concordance correcte.

Nous verrons plus loin dans ce chapitre que, aussi bien pour un transistor MOS à tranchées que pour un transistor VDMOS haute densité, cette résistance a un poids assez faible mais non négligeable par rapport aux résistances de canal et de "drift" dans sa contribution à la résistance à l'état passant totale R_{ON} — environ 15 % —. Cette remarque a été également faite par d'autres auteurs [19, 20].

II.2.2.2.3. La résistance de "drift"

La résistance R_d dite de "drift" — littéralement de "dérive" — traduit la contribution de la partie volumique de la zone épitaxiée N^- de drain à la résistance à l'état passant R_{ON} . L'épaisseur et le faible dopage de la couche N^- contribuent à accroître la valeur de la résistance totale à l'état passant du transistor. Cet effet est d'autant plus marqué que le transistor est prévu pour fonctionner en haute tension. Nous verrons à présent que cette résistance est également prépondérante pour des transistors "nouvelle génération" basse-tension tels que le MOS à tranchées et le VDMOS à haute densité d'intégration.

Divers travaux de recherche ont été menés afin de connaître la contribution de cette zone de "drift" et l'influence des paramètres physiques qui la contrôlent. Le caractère bidimensionnel du phénomène de défocalisation des lignes de courant dans le corps du matériau ne permet pas une approche analytique adaptée à l'étude de tous les cas de géométrie de surface et d'épaisseur de couche épitaxiale.

Des expressions analytiques de la résistance de "drift" R_d ont été établies pour le VDMOS [18, 21] en utilisant la méthode de la transformation conforme [22] et les propriétés de symétrie de la structure. Ces expressions ne constituent qu'une approximation de la solution exacte qui est basée sur des méthodes numériques permettant la résolution de l'équation de Laplace et faisant appel à des techniques mathématiques sophistiquées — méthode des éléments ou des différences finies —.

Pour le transistor MOS à tranchées, nous pouvons retenir, pour notre part et pour des structures basse tension, l'approche de premier ordre faite par Baliga [23] qui tient compte de la défocalisation des lignes de courant sous la zone diffusée P sous un angle de 45° — figures (II.8) et (II.11) —, comme l'avait proposé Hu [24]. Cette approche permet d'obtenir des expressions adaptées à chaque type de configurations géométriques que l'on peut rencontrer. Dans le cas de nos transistors d'étude à cellules carrées alignées, l'expression de R_d se met sous la forme :

$$R_d = \frac{(q \cdot \mu_n \cdot N_D)^{-1}}{(r+l)^2} \cdot \left\{ \left[\frac{(r+l)}{2} \cdot \ln\left(\frac{r+l}{r}\right) \right] + \left[(H-h_2) - \frac{l}{2} \right] \right\} \quad (II.27)$$

H et μ_n sont l'épaisseur et la mobilité de la couche volumique N^- , N_D son dopage, l la largeur de la diffusion P, h_2 la profondeur de la diffusion P, et r la distance intercellulaire, c'est-à-dire la largeur d'une tranchée — (figure (II.8)) —.

L'épaisseur, le dopage, et la mobilité de la couche épitaxiée N⁻ sont, comme nous le verrons plus loin, des paramètres dépendants du calibre en tension du composant.

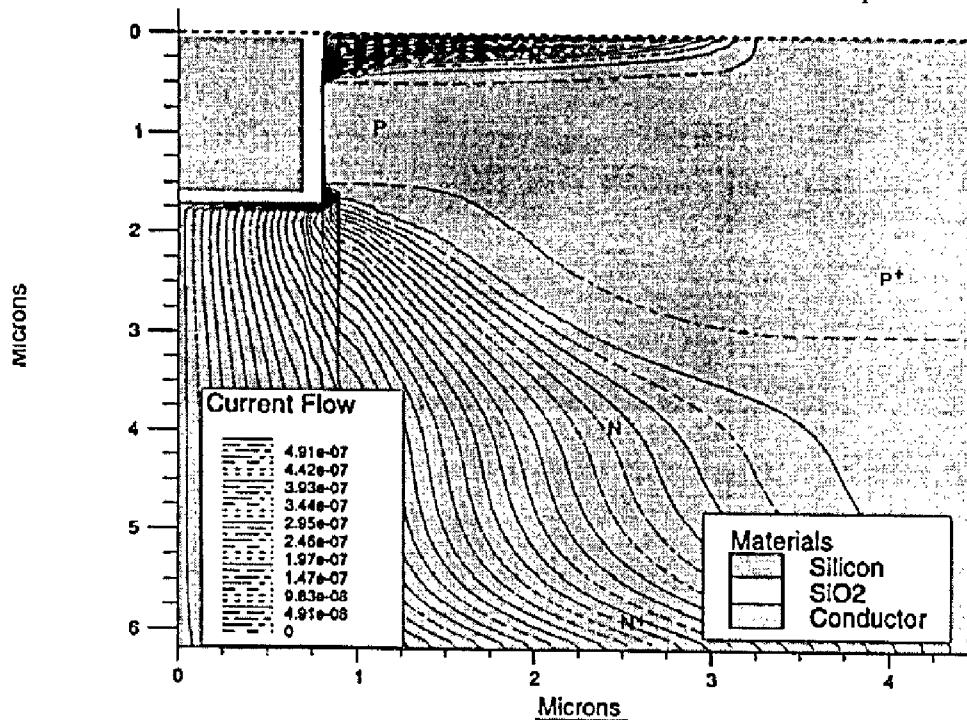


Figure II.11 : Tracé des lignes de courant d'un transistor MOS à tranchées par simulation bidimensionnelle. Mise en évidence de la défocalisation des lignes de courant, sous la zone diffusée P, sous un angle de 45°.

II.2.2.2.4. Les résistances des couches N⁺

Les contributions des régions N⁺ de source et de drain sont en général négligeables pour les transistors MOS de puissance haute-tension. En revanche, pour les composants basse-tension, ces régions peuvent contribuer de manière significative à la résistance à l'état passant totale R_{ON} . Ceci est particulièrement vrai pour la région N⁺ de substrat (drain) qui doit être relativement épaisse — 400 à 500 μm pour les transistors que nous avons étudiés — pour permettre aux plaquettes de rester robustes durant les étapes de fabrication, de coupe et de montage du composant. La résistance de la couche diffusée N⁺ de source est, quant à elle, pratiquement négligeable par rapport à celle du substrat car elle a une épaisseur bien plus faible (0,5 à 1 μm). Les résistances de ces régions N⁺ se calculent simplement à partir de la formule classique de calcul d'une résistance d'un barreau ($R=p.l/S$).

Ainsi, la résistance du substrat N⁺ de drain a pour expression :

$$R_{sub} = \frac{1}{q \cdot \mu_{sub} \cdot N_{sub}} \cdot \frac{E_{sub}}{S} \quad (\text{II.28})$$

où $\frac{1}{q \cdot \mu_{sub} \cdot N_{sub}}$ est la résistivité du substrat, qui est fonction de la mobilité et du dopage dans la couche N⁺, E_{sub} étant l'épaisseur de ce substrat et S la surface d'une cellule élémentaire.

En ce qui concerne la résistance de la couche diffusée N^+ de source, qui est très faible, nous pouvons cependant en donner une expression approchée :

$$R_{N^+} = \frac{1}{q \cdot \mu_n \cdot N_{N^+}} \cdot \frac{h_{N^+}}{4 \cdot (l - l_{N^+}) \cdot l_{N^+}} \quad (\text{II.29})$$

où $\frac{1}{q \cdot \mu_n \cdot N_{N^+}}$ est la résistivité de la couche N^+ , qui est fonction de la mobilité et du dopage dans cette couche ; le produit $[4 \cdot (l - l_{N^+}) \cdot l_{N^+}]$ est la section d'une cellule élémentaire, h_{N^+} étant la profondeur de la jonction P- N^+ .

II.2.2.2.5. Les autres résistances

Les autres résistances sont externes à la puce. Il s'agit des résistances des métallisations de drain et de source R_{ms} et R_{md} , des résistances des contacts de drain et de source R_{cs} et R_{cd} , des résistances des fils d'interconnexion entre le boîtier et la puce R_{fs} et R_{fd} , et des résistances des pattes de drain et de source R_{ps} et R_{pd} .

Ces résistances étaient souvent négligées par le passé non seulement pour les transistors MOS haute-tension, mais aussi pour les transistors MOS basse-tension, où les principales composantes de la résistance passante étaient la résistance de canal et la résistance de "drift". Désormais, avec l'avènement de transistors MOS haute-densité présentant de très faibles résistances à l'état passant, la somme de ces résistances prend une valeur non négligeable dans la contribution à R_{ON} .

En première approximation, les résistances de métallisation de source et de drain peuvent être considérées comme des couches résistives de résistivités, d'épaisseurs et de sections données ; on peut les calculer par la relation classique : $R = (\rho \cdot l / S)$.

Les expressions théoriques des autres résistances — R_{fs} , R_{fd} , R_{ps} et R_{pd} — peuvent également être obtenues en appliquant cette relation à partir de la résistivité, de la longueur et de la section des fils ou pattes qui les composent .

II.2.2.3. La résistance spécifique ($R_{ON.S}$)

Nous avons vu, au paragraphe (I.2.1), qu'un des soucis principaux du fabricant de composants de puissance était la réduction de la résistance passante. Or le paramètre le plus important en conduction n'est pas la résistance à l'état passant mais le produit de cette résistance par la surface active de la puce ($R_{ON.S}$). Ce produit est nommé facteur de mérite dans certains travaux [25]. Pour notre part, nous nous inspirerons de la littérature anglo-saxonne [26] qui l'a baptisé "specific on-resistance" : pendant la suite de ce mémoire, nous emploierons donc le terme de **résistance passante spécifique** (ou résistance à l'état passant spécifique).

Il apparaît donc plus intéressant d'exprimer les différentes résistances que nous venons d'étudier en termes de résistances passantes spécifiques, en calculant les produits

de chacune de ces résistances élémentaires par la surface active S d'une cellule élémentaire.

D'après la figure (II.8), la surface S d'une cellule carrée vaut : $S = (r + l)^2$ (II.30)

D'autre part, le périmètre Z d'une cellule a été calculé précédemment — $Z = 4.l$ —.

On trouvera, dans l'annexe 2, les valeurs des paramètres S et Z pour les autres types de géométrie rencontrés — bandes parallèles et hexagones —.

Les résistances spécifiques correspondantes s'écrivent alors sous les formes analytiques suivantes :

$$R_{ch,sp} = R_{ch} \cdot S = \frac{L \cdot (l + r)^2}{4 \cdot l \cdot \mu_0 \cdot C_{ox} \cdot \Psi} \cdot \frac{V'_{gs} + \Psi - 2 \cdot \Phi_F}{V_{gs} - V_T} \quad (II.31)$$

$$R_{acc,sp} = R_{acc} \cdot S = \frac{1}{24} \cdot \frac{r \cdot (r + l)^2}{l \cdot \mu_{0acc} \cdot C_{ox} \cdot A} \cdot \frac{V'_{gs} + A - 2 \cdot \Phi_F}{V_{gs} - V_T} \quad (II.32)$$

$$R_{d,sp} = (q \cdot \mu_n \cdot N_D)^{-1} \cdot \left\{ \left[\frac{(r + l)}{2} \cdot \ln \left(\frac{r + l}{r} \right) \right] + \left[(H - h_2) - \frac{l}{2} \right] \right\} \quad (II.33)$$

$$R_{sub,sp} = R_{sub} \cdot S = (q \cdot \mu_{nsub} \cdot N_{sub})^{-1} \cdot E_{sub} \quad (II.34)$$

$$R_{N^+,sp} = R_{N^+} \cdot S = \frac{(r + l)^2}{q \cdot \mu_n \cdot N_{N^+}} \cdot \frac{h_{N^+}}{4 \cdot (l - l_{N^+}) \cdot l_{N^+}} \quad (II.35)$$

Dans les expressions précédentes, les principaux paramètres d'origine géométrique, r et l , sont ceux sur lesquels l'action du concepteur est aisée. Toute diminution de r et l entraîne corrélativement une diminution de la résistance passante spécifique. Les progrès accomplis en photolithographie et gravure et dans les procédés d'élaboration technologique permettent en effet d'agir sur ces paramètres, notamment pour réduire, autant que faire se peut, leur taille de façon significative et ainsi obtenir une plus grande densité d'intégration, donc une résistance passante spécifique plus faible. C'est la voie qui a été choisie par la plupart des industriels dans le domaine des MOS basse tension, que ce soit en réalisant des VDMOS à haute densité d'intégration de cellules (HD) ou en fabricant des transistors MOS à tranchées à ultra haute densité d'intégration (UHD).

La figure (II.12) montre l'évolution de chacune de ces composantes en fonction de la tension grille-source, d'après une simulation bidimensionnelle, pour un transistor MOS à tranchées de tenue en tension 60 V. Cette figure confirme que la résistance de canal est fortement dépendante de V_{gs} , alors que la résistance de la couche accumulée l'est beaucoup moins et que les autres résistances sont indépendantes de V_{gs} . Cette figure montre également le poids relatif de chacune de ces composantes.

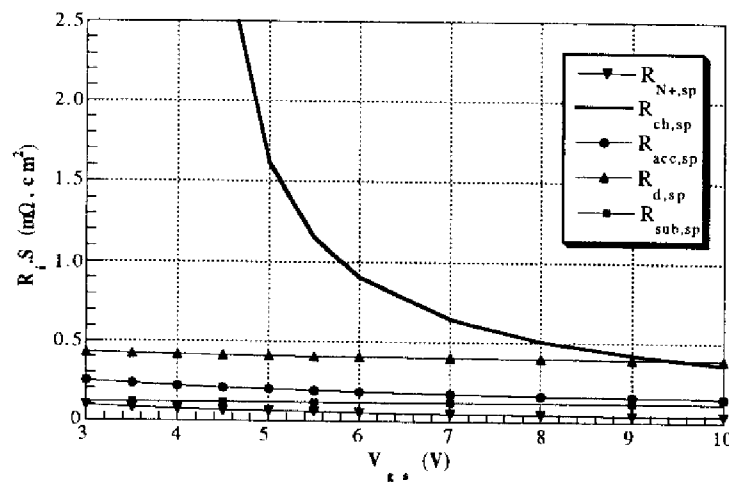


Figure II.12 : Evolution des composantes de la résistance passante spécifique en fonction de V_{gs} , pour un transistor MOS à tranchées de tenue en tension 60 V ($\tau = 1,5 \mu\text{m}$, $l = 7,5 \mu\text{m}$).

En se plaçant à $V_{gs} = 10 \text{ V}$ — valeur habituellement prise comme référence pour la mesure de R_{ON} —, on obtient le tableau (II.2) qui donne la valeur de chacune de ces composantes, pour 1 cm^2 de silicium, ainsi que leur importance relative, en pourcentage, dans la résistance spécifique totale ($R_{ON.S}$).

	$R_{N+,sp}$	$R_{ch,sp}$	$R_{acc,sp}$	$R_{d,sp}$	$R_{sub,sp}$	$R_{ext,sp}$
Résistance spécifique ($\text{m}\Omega.\text{cm}^2$)	0,04	0,36	0,15	0,40	0,12	0,20
Part relative (%)	3,29	28,46	11,90	30,94	9,59	15,81

Tableau II.2 : Valeur et importance relative de chacune des composantes de la résistance passante spécifique du transistor MOS 60 V à $V_{gs} = 10 \text{ V}$ et $V_{ds} = 0,015 \text{ V}$ (simulation PISCES).

Nous pouvons remarquer que les résistances qui ont le plus de poids sont les résistances de “drift” et de canal ; notons cependant que les résistances d’accumulation, de substrat ainsi que l’ensemble des résistance externes sont loin d’être négligeables. Ceci était prévisible car la résistance passante spécifique totale d’un transistor MOS à tranchées est plus faible que celle d’un transistor VDMOS “classique” équivalent ; par conséquent, des résistances telles que R_{sub} et R_{ext} , qui sont petites en valeur absolue, ne le sont par en valeur relative par rapport à ($R_{ON.S}$).

Par ailleurs, et contrairement aux idées jusqu’alors communément admises pour les transistors VDMOS basse tension “classiques”, la résistance de canal ne domine plus par rapport aux autres composantes, notamment par rapport à la résistance de “drift”. Cela est dû, d’une part à la densification des cellules qui a conduit à une diminution du produit ($R_{ch.S}$) ainsi que de la longueur L du canal, et, d’autre part, au fait que la résistance de “drift” est une résistance qu’il est difficile de diminuer sans dégrader la tenue en tension

du composant ; en effet résistance de “drift” et tenue en tension sont étroitement liées, comme nous le verrons au paragraphe (II.3).

D’autre part, une étude paramétrique de la résistance passante spécifique en fonction des paramètres r et l sera effectuée dans le chapitre IV pour le transistor MOS à tranchées. Les résultats obtenus seront comparés à ceux du transistor VDMOS et montreront l’intérêt fondamental de la structure à tranchées par rapport à la structure VDMOS “classique”.

II.3. TENUE EN TENSION, COUPLE EPAISSEUR / DOPAGE

On s’intéresse maintenant à l’état bloqué — OFF — du composant. La tenue en tension, ou tension de claquage V_{DBR} , d’un transistor MOS est, par définition, la tension maximale qui peut être soutenue entre drain et source à l’état bloqué — c’est-à-dire à courant de drain pratiquement nul : $V_{gs} < V_T$ —. Dans cet état, c’est la zone épitaxiée (région de “drift”) qui soutient pratiquement toute la tension appliquée entre source et drain. Dans ce paragraphe, nous analyserons cette tension de claquage et nous établirons les expressions qui lient cette tension aux deux paramètres, épaisseur et dopage, de la couche épitaxiée N^- .

II.3.1. Approche générale : calcul bidimensionnel de la tension de claquage

En régime bloqué, l’application d’une tension drain-source entraîne l’apparition, dans la région de “drift” N^- , d’une zone de charge d’espace dépeuplée aux bornes de laquelle se développe la tension appliquée entre drain et source. Le transistor MOS à tranchées peut alors être assimilé à une diode de type $PN-N^+$. De ce fait, le traitement de la tension de claquage V_{DBR} est effectué en fonction des propriétés physiques de la couche épitaxiée N^- de la jonction PN . On considérera que c’est une jonction plane dans le cas du transistor MOS à tranchées.

II.3.1.1. Zones de claquage

Afin d’analyser la tenue en tension du transistor, il convient de préciser les zones de claquage possibles dans sa structure — figure (II.13) —. Il s’agit des zones latérales des dispositifs (1) où les effets de courbure de jonction sont prépondérants, des zones frontales (2) où l’extension de la charge d’espace peut être ou ne pas être limitée, des zones de surface (3) de la région peu dopée recouverte d’oxyde de grille, ou bien de l’oxyde lui-même (4). Les problèmes liés à la tenue en tension de ces diverses zones ont été traités de manière relativement exhaustive par Gharbi [21]. Le problème des zones frontales sera évoqué ultérieurement dans ce mémoire.

En régime bloqué, le transistor peut soutenir une tension maximale, appelée tension de premier claquage [27]. Cette tension est appliquée, en inverse, à la diode planar

Pour le transistor MOS qui nous intéresse, et par utilisation d'un logiciel tel que PISCES, la détermination de la tension de claquage d'un composant est réalisée par le calcul de l'intégrale d'ionisation à partir des coefficients d'ionisation par impact α_n et α_p dont les valeurs sont différentes, selon le modèle qui est choisi.

II.3.1.3. Coefficients d'ionisation par impact de PISCES

Trois modèles d'ionisation par impact sont disponibles dans PISCES :

- les deux premiers, proposés par Selberherr [32] et Grant [33], utilisent la détermination des coefficients d'ionisation à partir de la forme générale proposée par Chynoweth [34] :

$$\alpha_i = \alpha_i^\infty \cdot \exp\left(-\frac{E_i^{crit}}{|E|}\right)_{i=n,p} \quad (II.38)$$

- le troisième est un modèle différent proposé par Crowell et Sze [35].

II.3.1.3.1. Modèles s'appuyant sur la formule de Chynoweth

Ces deux modèles diffèrent par les valeurs des coefficients α^∞ et E^{crit} . Ces coefficients ont été déterminés expérimentalement, pour le silicium, par plusieurs auteurs.

Selberherr [32] a développé un modèle d'ionisation par impact pour la simulation numérique s'appuyant sur les paramètres α^∞ et E^{crit} mesurés par Van Overstraeten [36]. Les valeurs de ces paramètres sont données dans l'annexe I. La dépendance de ces coefficients vis-à-vis de la température peut également être décrite par ce modèle. Grant [33] propose d'autres valeurs pour ces paramètres ; le modèle de Grant est celui qui est utilisé par défaut dans le simulateur.

Les figures (II.14) et (II.15) sont un récapitulatif des principaux résultats proposés dans la littérature : elles présentent les variations des coefficients d'ionisation des électrons et des trous en fonction du champ électrique.

Tous les résultats présentés ont été obtenus à partir de l'équation de base de Chynoweth, sauf les expressions $A' \cdot E^7$ et $A'' \cdot E^7$ qui sont explicitées au paragraphe (II.3.2).

Nous pouvons remarquer que le modèle de Selberherr utilise des valeurs moyennes de ces coefficients par rapport au "nuage" de valeurs présenté. De plus, il est le seul modèle, dans PISCES, dont la dépendance en température est parfaitement explicitée.

Signalons cependant que l'utilisateur peut modifier, s'il le désire, les coefficients implantés par défaut dans le modèle de Selberherr : nous voyons ici tout l'intérêt du logiciel PISCES, qui permet, en fait, à l'utilisateur de choisir les coefficients qu'il désire — et donc s'appuyer sur les résultats d'un auteur autre que Van Overstraeten —.

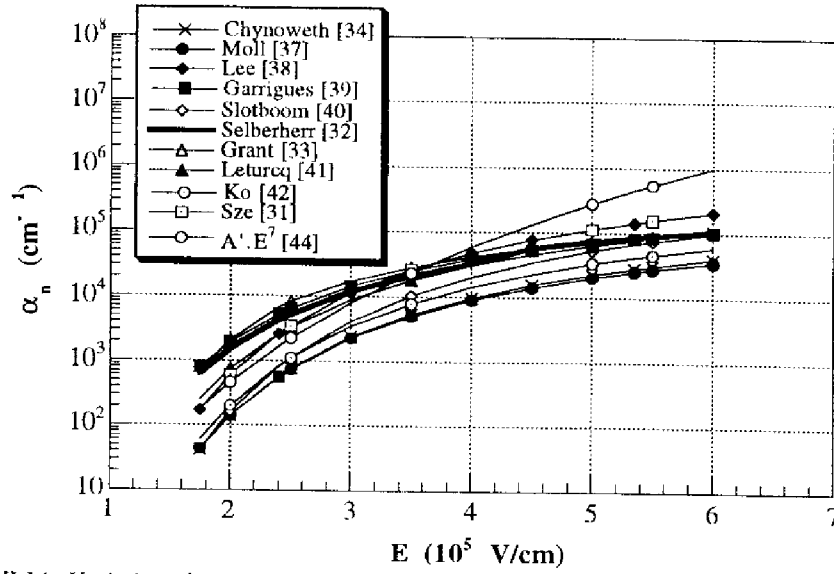


Figure II.14 : Variations du coefficient d'ionisation des électrons en fonction du champ électrique.

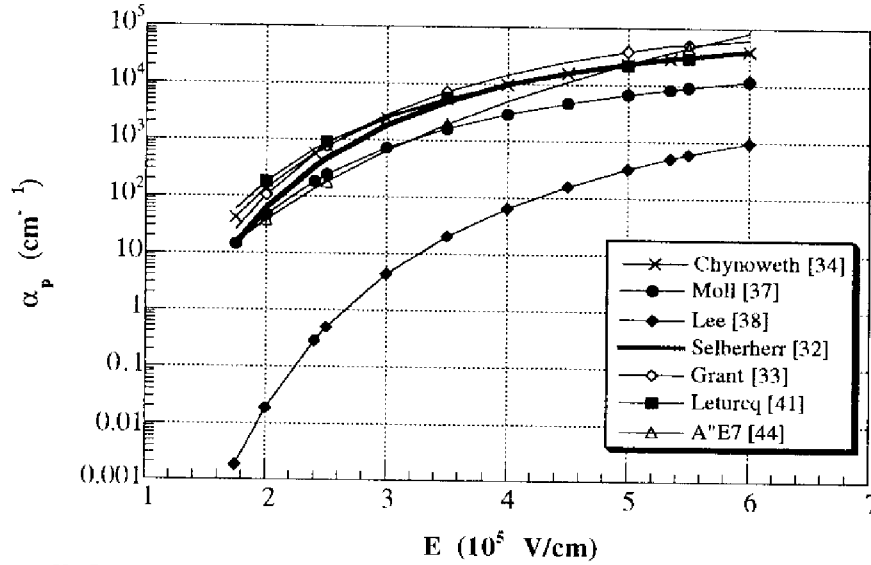


Figure II.15 : Variations du coefficient d'ionisation des trous en fonction du champ électrique.

II.3.1.3.2. Modèle de Crowell et Sze

Les valeurs proposées par Crowell et Sze [35] se situent, elles aussi, dans la moyenne du nuage de la figure (II.14) pour les électrons : l'inconvénient de ce modèle est que l'utilisateur ne peut modifier qu'un seul paramètre dans les équations proposées [35], celle de $\lambda_{n,p}^0$ — par défaut : $\lambda_n^0 = 6,2 \cdot 10^{-7}$ cm et $\lambda_p^0 = 3,8 \cdot 10^{-7}$ cm —.

II.3.1.4. Exemple de résultat théorique

Un exemple de simulation PISCES à l'état bloqué — figure (II.16) —, permettant de déterminer la tension de claquage d'un transistor MOS à tranchées 60 V, montre la validité de notre approche de simulation en ce qui concerne le choix du modèle de Selberherr, puisque la tension de claquage théorique obtenue — correspondant à la

tension de claquage de la jonction PN — est pratiquement égale à la tension de claquage mesurée sur le composant.

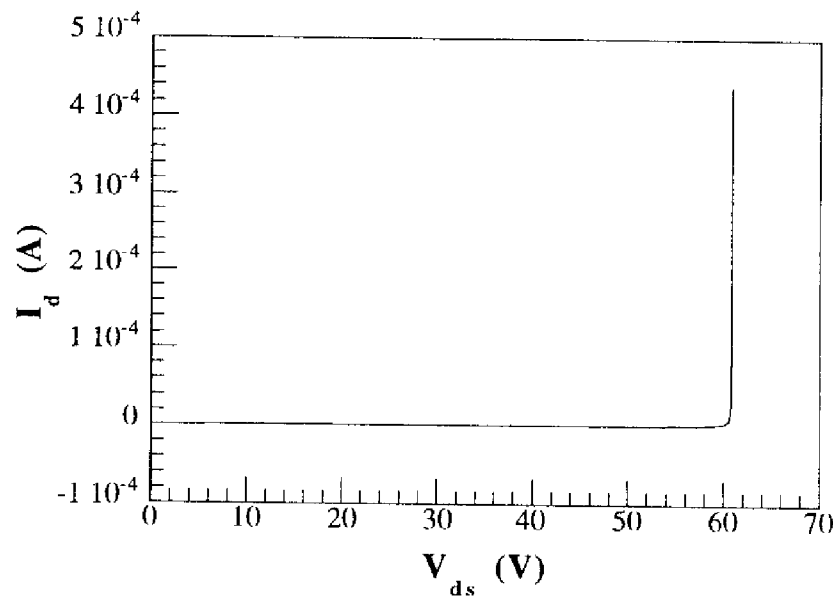


Figure II.16 : Tension de claquage simulée par PISCES du composant 60 V.

La figure (II.17) présente le tracé des lignes équipotentiellles et des lignes équichamps qui résultent de la simulation bidimensionnelle de la structure 60 V. La zone des champs maximaux montre que le claquage s'effectue au niveau de la zone frontale.

II.3.2. Simplification par approche unidimensionnelle. Optimisation du couple épaisseur / dopage. Solution analytique "exacte".

Lorsque la structure est correctement gardée et lorsque les diffusions P⁺ sont profondes, la structure au blocage est analogue à une diode P⁺-N⁻-N⁺ verticale. La tenue en tension peut être calculée analytiquement et le couple épaisseur / dopage déterminé.

D'autre part, nous avons vu, au paragraphe (II.2.2.2.3) que le couple [(H-h₂), N_D] — [extension de la charge d'espace, dopage de la couche épitaxiée N⁻] — agissait au premier ordre sur la résistance de "drift" de la couche N⁻ du composant. Il est donc de première importance de pouvoir préciser les expressions qui relient (H-h₂) et N_D à la tension de claquage V_{DBR}. Lorsque la condition de claquage est satisfaite, c'est-à-dire lorsque l'intégrale d'ionisation de l'expression (II.36) — ou (II.37) — devient égale à l'unité, on peut établir, en approximation unidimensionnelle, ces relations liant (H-h₂) et N_D à la tension de claquage V_{DBR}. Beydoun [43] a notamment proposé une solution analytique "exacte" de la tenue en tension en fonction du dopage et de l'épaisseur de la couche épitaxiée.

Deux cas de figures types de la jonction PN⁻ sont à considérer :

- i) le premier est celui d'une jonction plane infinie en "non perçage" : il correspond au cas où l'épaisseur (H-h₂) de la zone de "drift" N⁻ est plus grande que les extensions de charge d'espace — figure (II.18.a) —.

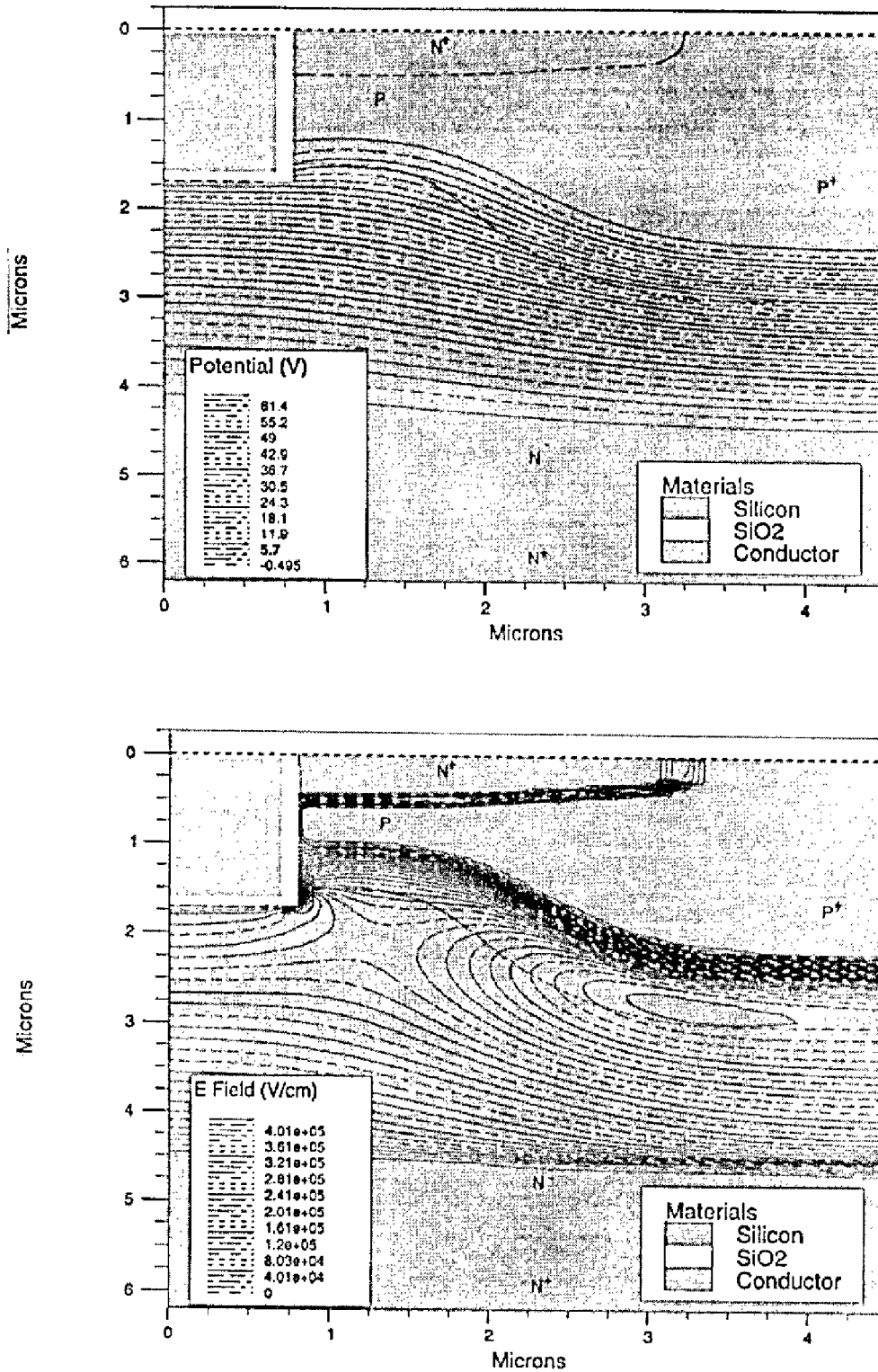


Figure II.17 : Tracé des courbes équipotentielles (a) et équichamps (b) pour une structure MOS à tranchées 60V au claquage effectif de la zone frontule — jonction PN —.

ii) le deuxième est celui d'une jonction plane en limitation de charge d'espace ou en perçage — "punch through" — : la zone de "drift" N^- est alors complètement dépeuplée au moment du claquage — figure (II.18.b) —.

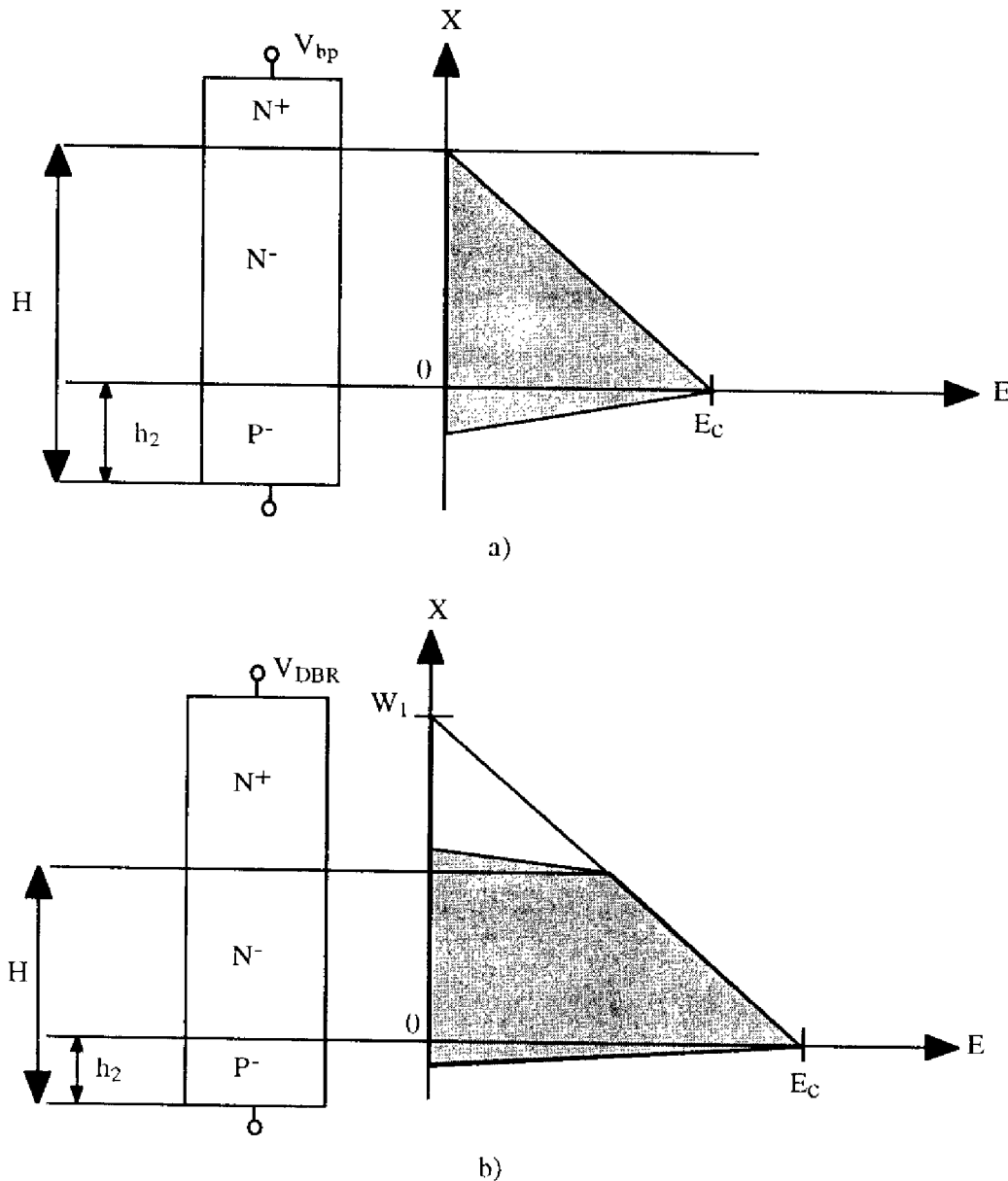


Figure II.18 : Répartition du champ électrique au claquage dans une diode $P-N-N^+$: a) jonction plane infinie en non perçage, b) jonction plane infinie en limitation de charge d'espace.

Pour les calculs analytiques, un des problèmes majeurs est celui de la formulation des coefficients d'ionisation. Pour faciliter cette tâche, Mac Kay [44] a montré que les coefficients d'ionisation pouvaient être approchés par des fonctions plus simples qui sont des expressions polynomiales du type :

$$\alpha_n(cm^{-1}) = A' \cdot E^7 \quad (II.39)$$

$$\alpha_p(cm^{-1}) = A'' \cdot E^7 \quad (II.40)$$

où A' et A'' sont deux constantes dont les valeurs ont été proposées respectivement par :

$$i) \text{ Fulop [45]} : \quad A' = A'' = A = 1,8 \cdot 10^{-35} \quad (II.41)$$

$$ii) \text{ Gharbi [21]} : \quad A' = 3,6 \cdot 10^{-35} \quad (II.42)$$

$$A'' = 0,3 \cdot 10^{-35} \quad (II.43)$$

Beydoun [43] a effectué le calcul de l'intégrale d'ionisation — expressions (II.36) et (II.37) — et de la tension de claquage, en utilisant les expressions (II.39) et (II.40) des coefficients d'ionisation, et ceci pour les deux cas de figure considérés précédemment.

II.3.2.1. Cas d'une jonction plane en limitation de charge d'espace ou en perçage

Compte tenu des relations (II.39) et (II.40), l'intégrale (II.37) peut s'écrire :

$$I_p = \int_0^W A'' \cdot E^7 \cdot \exp \left[- \int_0^x (A'' - A') \cdot E^7 \cdot dx' \right] \cdot dx \quad (II.44)$$

W' est l'extension de charge d'espace, elle est égale dans ce cas à $(H-h_2)$, d'après la figure (II.18.a).

Le champ électrique E est obtenu par l'intégration unidimensionnelle de l'équation de Poisson et s'écrit sous la forme :

$$E(x) = - \frac{q \cdot N_D}{\epsilon_0 \cdot \epsilon_{Si}} (W_1 - x) \quad (II.45)$$

W_1 est "l'extension maximale" de la charge d'espace définie sur la figure (II.18.a).

L'intégrale (II.44) étant égale à l'unité, sa résolution aboutit au critère de claquage suivant [43] :

$$W_1^8 - [W_1 - (H - h_2)]^8 = \frac{8 \cdot (\epsilon_0 \epsilon_{Si})^7}{(A' - A'')(q \cdot N_D)^7} \cdot \ln \left(\frac{A'}{A''} \right) \quad (II.46)$$

Pour des raisons de commodité d'écriture, on pose :

$$W' = H - h_2 \quad \text{et} \quad C = \frac{8 \cdot (\epsilon_0 \epsilon_{Si})^7}{(A' - A'')(q \cdot N_D)^7} \cdot \ln \left(\frac{A'}{A''} \right) \quad (II.47)$$

$$\text{L'équation (II.46) s'écrit sous la forme :} \quad W_1^8 - (W_1 - W')^8 = C \quad (II.48)$$

L'expression (II.48) n'admet pas une solution analytique "directe". Pour la résoudre, nous utilisons la procédure itérative suivante :

$$\text{Au premier ordre : pour } W_1 = W' \text{ on obtient la solution : } W_1^I = C^{\frac{1}{8}} \quad (II.49)$$

Au second ordre : on remplace la première solution dans l'équation (II.47), ce qui donne :

$$W_1|^2 = \left[C + \left(C^{\frac{1}{8}} - W' \right)^8 \right]^{\frac{1}{8}} \quad (\text{II.50})$$

Au troisième ordre, on remplace la deuxième relation dans l'équation (II.49). On obtient ainsi :

$$W_1|^3 = \left\{ C + \left[\left[C + \left(C^{\frac{1}{8}} - W' \right)^8 \right]^{\frac{1}{8}} - W' \right]^8 \right\}^{\frac{1}{8}} \quad (\text{II.51})$$

Ce qui donne à l'ordre n, la solution suivante :

$$W_1|^{n+1} = \left[C + \left(W_1|^n - W' \right)^8 \right]^{\frac{1}{8}} \quad (\text{II.52})$$

Pour étudier l'influence de cette méthode de résolution sur la tenue en tension V_{DBR} , nous calculons les courbes de la tenue en tension en fonction du dopage et ceci pour plusieurs valeurs de l'épaisseur d'épitaxie. La résolution unidimensionnelle de l'équation de Poisson permet d'aboutir à l'expression suivante :

$$V_{DBR} = \frac{q \cdot N_D}{\epsilon_0 \cdot \epsilon_{Si}} \cdot \frac{H - h_2}{2} \cdot \left[2 \cdot W_1 - (H - h_2) \right] \quad (\text{II.53})$$

La figure (II.19) représente les caractéristiques de la tension de claquage en fonction du dopage et de l'épaisseur d'épitaxie. Les courbes tracées pour $n=1$ présentent des maxima dont l'existence est liée à l'approximation faite sur l'ordre de la solution. Lorsque l'ordre n augmente, les courbes présentent une asymptote horizontale qui est la solution limite ($n \rightarrow \infty$), calculable aussi analytiquement en faisant tendre le terme du dopage N_D vers zéro :

$$V_{DBR} = \left[\frac{1}{A' - A''} \cdot \ln \left(\frac{A'}{A''} \right) \right]^{\frac{1}{7}} \cdot H^{\frac{6}{7}} \quad (\text{II.54})$$

II.3.2.2. Cas d'une jonction plane infinie en "non perçage"

Dans l'hypothèse d'une jonction plane abrupte P+N dissymétrique, l'intégration de l'équation de Poisson, permet de déterminer l'expression du champ électrique :

$$E(x) = \frac{q \cdot N_D}{\epsilon_0 \cdot \epsilon_{Si}} \left[x - (H - h_2) \right] \quad (\text{II.55})$$

($H-h_2$) est, dans ce cas, l'extension maximale de la charge d'espace d'une jonction plane infinie — figure (II.18.b) —.

En se basant sur cette expression, le calcul de l'intégrale d'ionisation permet d'exprimer la condition de claquage de la jonction PN en fonction des paramètres de la structure:

$$\ln \left(\frac{A'}{A''} \right) = \frac{A' - A''}{8} \cdot \left(\frac{q \cdot N_D}{\epsilon_0 \cdot \epsilon_{Si}} \right)^7 \cdot (H - h_2) \quad (\text{II.56})$$

D'autre part, l'extension maximale ($H-h_2$) de la charge d'espace d'une jonction PN plane abrupte, c'est - à - dire au moment du claquage, est donnée par [31] :

$$(H - h_2) = \left(\frac{2 \cdot \epsilon_a \cdot \epsilon_{si}}{q \cdot N_D} \cdot V_{bp} \right)^{\frac{1}{2}} \quad (\text{II.57})$$

En combinant l'expression (II.56) et l'expression (II.57), on obtient ainsi l'extension de la charge d'espace maximale ($H-h_2$) en fonction de la tension de claquage V_{bp} :

$$(H - h_2) = \left[16 \cdot \frac{A' - A''}{\ln\left(\frac{A'}{A''}\right)} \right]^{\frac{1}{6}} \cdot (V_{bp})^{\frac{2}{3}} \quad (\text{II.58})$$

puis la tension de claquage V_{bp} en fonction du dopage N_D :

$$V_{bp} = \left[\frac{1}{2 \cdot (A' - A'')} \cdot \left(\frac{\epsilon_a \cdot \epsilon_{si}}{q} \right)^3 \cdot \ln\left(\frac{A'}{A''}\right) \right]^{\frac{1}{4}} \cdot (N_D)^{-\frac{3}{4}} \quad (\text{II.59})$$

$$\text{soit encore : } V_{bp} (\text{Volts}) = 5,72 \cdot 10^{13} \cdot (N_D)^{-\frac{3}{4}} \quad (N_D \text{ en cm}^{-3}) \quad (\text{II.60})$$

II.3.3. Conclusion

Ce paragraphe était consacré à l'étude de la tenue en tension du transistor MOS à tranchées. Une approche générale du problème, puis une approche unidimensionnelle ont été menées en vue de calculer la tension de claquage et les épaisseur et dopage optimisés de la couche épitaxiée qui permettent au composant de soutenir la tension. A cet effet, un calcul exact a été présenté. Il en ressort notamment que la résistance de la couche épitaxiée et la tenue en tension sont étroitement liés, puisqu'elles dépendent toutes les deux de l'épaisseur et du dopage de cette couche épitaxiée : le compromis (R_d , V_{DBR}) est donc un des paramètres les plus importants pour un transistor MOS de puissance.

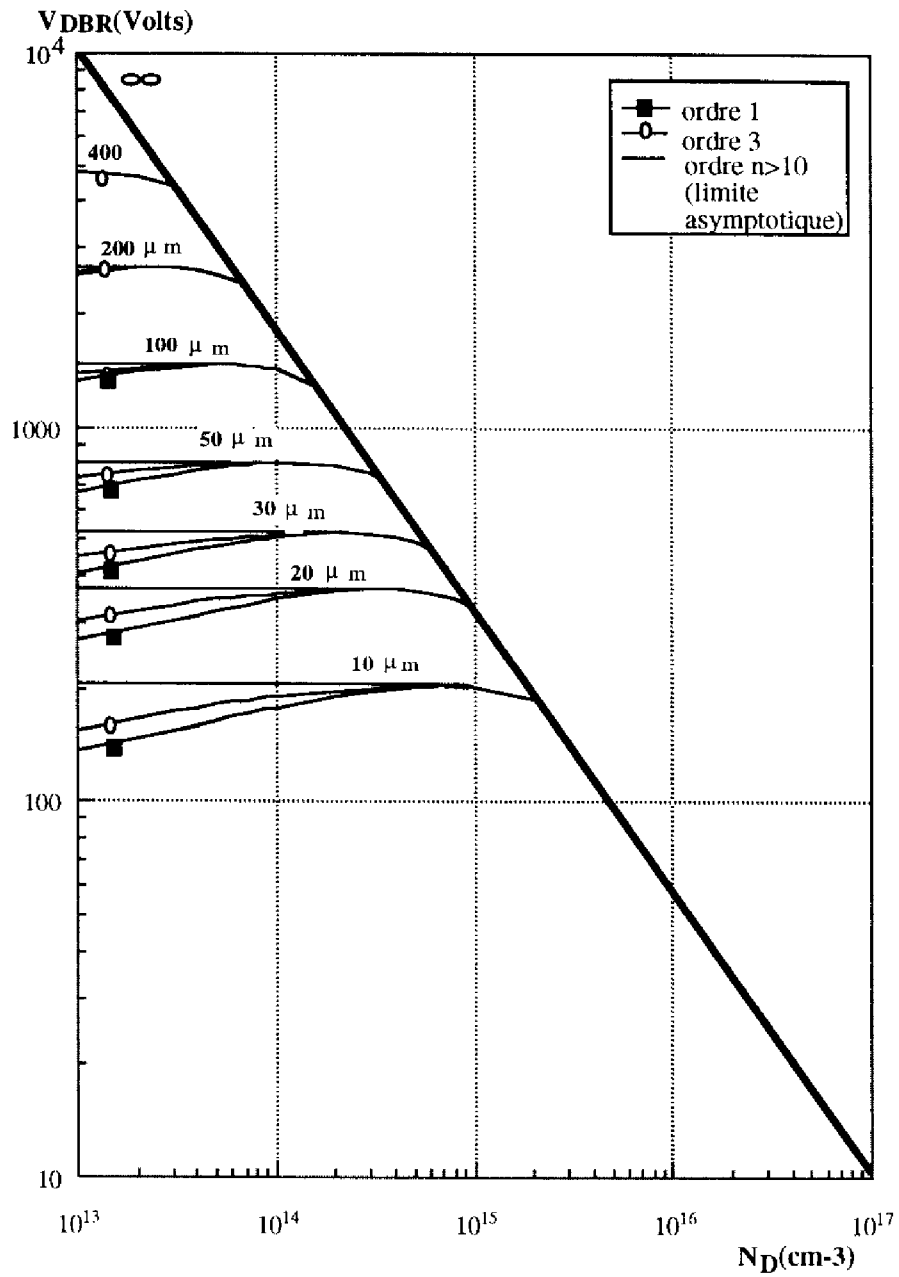


Figure II.19 : Caractéristiques de la tension de claquage en fonction du dopage et de l'épaisseur d'épitaxie — relation (II.53) —. Mise en évidence de l'ordre n choisi pour la solution.

II.4. MODELE POUR “CIRCUITS” DU TRANSISTOR MOS À TRANCHEES

Après avoir simulé par un logiciel bidimensionnel le composant, puis proposé des relations analytiques de premier ordre pour la résistance passante et la tenue en tension, nous poursuivons la phase de modélisation par le développement d'un schéma équivalent utilisable en électronique de puissance. Dans ce paragraphe, la partie statique de ce circuit est décrite.

II.4.1. Le logiciel SPICE

Dans de nombreux domaines d'applications, des performances électriques optimales ont été obtenues, depuis quelques années, en rendant les systèmes électroniques de plus en plus complexes. Le coût élevé, nécessaire à la réalisation de ces systèmes, a obligé les concepteurs de circuit à utiliser des moyens de prédiction basés sur le traitement numérique des équations électriques mises en jeu. Ces moyens sont appelés “les simulateurs électriques” tels que SPICE [46], ELDO (société ANACAD) ou ESACAP (société ELEKTRONIK-CENTRALEN) par exemple. Ils existent sous la forme d'un “exécutable” informatique composé essentiellement de deux parties : une partie “unité centrale” de traitement numérique et une partie “bibliothèque” décrivant les modèles électriques des composants utilisés dans les circuits. Ces bibliothèques n'ont cependant pas toujours les modèles nécessaires pour tous les composants existants ; c'est le cas des transistors MOS de puissance.

La structure verticale du transistor MOS présente un comportement que les modèles SPICE ne sont pas capables de rendre compte, en particulier : i) le couplage drain-grille se fait par une capacité fortement non-linéaire qui peut varier dans des proportions de 100 à 1 lorsque le composant passe de l'état bloqué à l'état conducteur, ii) la résistance de “drift” du transistor est également non linéaire à cause de la défocalisation des lignes de courant dans la couche épitaxiée N⁻.

Récemment, des propositions de modèles pour le transistor VDMOS de puissance compatibles avec le logiciel SPICE ont été faites [47]. Nous allons présenter quelques unes des plus récentes. L'approche choisie, presque dans tout les cas, consiste à modéliser le comportement d'un transistor MOS de puissance, tout particulièrement utilisable en régime de commutation, en ajoutant des éléments externes au modèle MOS existant par défaut. Nous allons proposer, pour notre part, un modèle SPICE pour le transistor MOS de puissance à tranchées pour utilisation en régime de commutation. L'aspect “statique” va être décrit ici.

II.4.2. Principe de la modélisation

Le principe de la modélisation d'un transistor MOS à tranchées en régime statique est simple : nous nous appuyons sur une approche “circuit équivalent” qui tient compte

des principales zones du composant qui sont — figure (II.20) — : la zone active de canal (1), la zone accumulée le long et sous la grille (2), la zone de “drift” (3) et la région de substrat (4). En régime statique, les régions 2, 3 et 4 sont représentées simplement par les résistances R_{acc} , R_d et R_{sub} , qui ont été explicitées précédemment. La région de canal est, quant à elle, représentée par un générateur de courant J_d traduisant l’expression du courant de drain.

D’autre part, la tenue en tension du composant est prise en compte par une diode, que nous nommons D_{DS} , symbolisant la jonction PN^- ; nous reviendrons en détail sur cette diode lors de la modélisation dynamique du composant, car, en plus du claquage, elle permet de représenter la capacité drain-source du transistor ainsi que son fonctionnement en inverse.

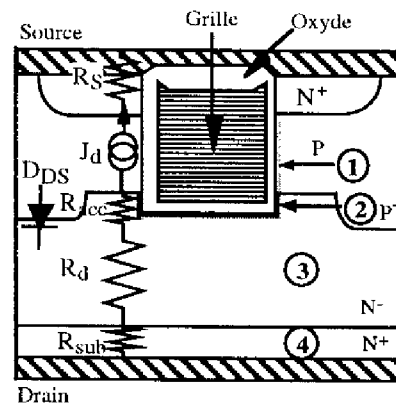


Figure II.20 : Localisation schématique des diverses zones traitées en régime de conduction statique (1. zone active, 2. zone d'accès, 3. zone de “drift” et 4. zone de substrat) et des éléments utilisés pour la modélisation.

Le fonctionnement du transistor dans ces régions ayant été expliqué précédemment, nous nous contenterons ici de présenter brièvement le modèle et les équations utilisées pour son implantation dans le simulateur SPICE [46].

II.4.3. Modèle électrique en régime statique de fonctionnement

Le modèle statique qui a été choisi pour décrire le transistor MOS à tranchées est présenté figure (II.21). C’est un modèle compatible avec le simulateur SPICE qui comporte un transistor MOS “niveau 3” (M_1) disponible dans la bibliothèque de ce logiciel [46] ; ce transistor n’intervient ici que par son générateur de courant de drain I_d .

Le régime de fonctionnement statique est donc représenté par ce transistor M_1 — les tensions internes aux bornes de ce composant étant notées V_{DS} et V_{GS} — en série avec les résistances R_{acc} et R_{bulk} , qui est la résistance du volume — $R_{bulk}=R_d+R_{sub}+R_{ext}$ — ; la diode D_{DS} est, quant à elle, placée entre source et drain . La résistance R_S représente la résistance externe au composant du côté de la source. La résistance externe du côté du drain est prise en compte dans la résistance R_{bulk} .

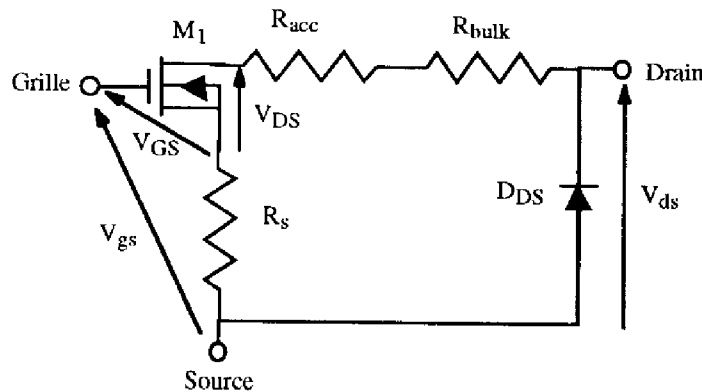


Figure II.21 : Modèle électrique SPICE du transistor MOS à tranchées en régime statique.

II.4.3.1. Description simplifiée du transistor MOS selon le niveau 3 de SPICE

Développer un modèle théorique pour la mobilité des électrons dans le canal n'est guère aisé à cause principalement des différents mécanismes de "scattering" qui entrent en jeu et qui ont été évoqués au paragraphe (II.2.1). Ces modèles théoriques, tels que celui de Lombardi, que nous avons utilisé dans le logiciel bidimensionnel de simulation de composants PISCES, sont cependant trop complexes pour être utilisables dans un logiciel de circuit. Donc, pour prédire dans SPICE la mobilité effective des électrons dans le canal, des modèles basés sur des équations empiriques ont été développés, à partir de l'observation de résultats expérimentaux. Même si ces modèles n'ont pas toujours une signification physique réelle, ils permettent de simuler les composants de puissance de manière tout à fait correcte.

Parmi ces modèles, nous avons utilisé le modèle de niveau 3 qui est un modèle semi-empirique décrit par une série de paramètres électriques, géométriques et physiques, définis pour la plupart à partir de données expérimentales. Ce modèle prévoit notamment, dans sa description du comportement du transistor, les effets de saturation de la vitesse des porteurs dans le canal ainsi que la modulation de la mobilité des porteurs minoritaires par les champs électriques transverse et longitudinal.

Le fichier typique SPICE utilisé pour nos simulations ne contient que certains des paramètres disponibles dans le modèle de niveau 3. Il s'agit des paramètres V_{T0} , K'_P , Γ , Φ , V_{max} , Θ , W , L et μ_0 . Cela a été rendu possible grâce à certaines simplifications effectuées sur les expressions analytiques complexes données dans le modèle niveau 3 [46].

Les paramètres électriques sont définis de la manière suivante :

- V_{T0} représente la tension de seuil à polarisation source-substrat nulle,
- K'_P est la paramètre de transconductance — ou facteur de pente —, avec $K_P = K'_P \cdot (Z/L)$,
- Γ est le paramètre d'effet "substrat" — le "substrat" étant ici la zone P de canal —,
- Φ est le potentiel en surface en forte inversion,

μ_0 est la mobilité des porteurs à champ faible,

$V_{\max}$ est la vitesse de saturation des porteurs dans le canal — elle est notée v_{sat} dans la syntaxe PISCES et dans notre manuscrit —,

Θ est le paramètre de modulation de la mobilité par le champ transverse.

Pour les paramètres géométriques, W est la largeur — sur masque — de la source et L est la longueur — toujours sur masque — du canal.

L'expression simplifiée de la tension de seuil est la suivante, en supposant que source et substrat sont reliés :

$$V_{T0} = V_{FB} + \Phi + \Gamma \cdot \sqrt{\Phi} \quad (\text{II.61})$$

où V_{FB} est la tension de bande plate : $V_{FB} = \phi_{\text{ms}} - Q_{\text{SS}}/C_{\text{ox}}$.

De même, l'expression simplifiée du courant de drain en régime ohmique s'écrit :

$$I_d = \mu_{\text{eff}} \cdot \frac{K'_P}{\mu_0} \cdot \frac{Z}{L} \cdot \left[(V_{gs} - V_T) - \frac{1}{2} \cdot \alpha \cdot V_{ds} \right] \cdot V_{ds} \quad (\text{II.62})$$

où α est un coefficient traduisant les effets de petites dimensions de Z et L . Cette relation a aussi été utilisée au L.A.A.S. pour les composants VDMOS [47] et LDMOS [48].

La mobilité μ_{eff} des porteurs dans la couche inversée du canal est affectée à la fois par la composante transversale et par la composante longitudinale du champ électrique ; elle est donnée par la relation (II.63) :

$$\mu_{\text{eff}} = \frac{\mu_s}{1 + \frac{\mu_s \cdot V_{ds}}{V_{\max} \cdot L}} \quad (\text{II.63})$$

dans laquelle μ_s est la mobilité en surface dans la couche inversée du canal.

Nous pouvons remarquer que l'expression (II.63) est analogue à la relation (II.14) présentée au paragraphe (II.2.1). Les deux approches sont donc identiques à ce niveau, mais elles diffèrent un peu par l'expression de la mobilité μ_s dépendant du champ électrique transverse qui a pour expression, pour le niveau 3 de SPICE :

$$\mu_s = \frac{\mu_0}{1 + \Theta(V_{gs} - V_T)} \quad (\text{II.64})$$

avec μ_0 , mobilité à champ faible.

Cette relation est la “traduction”, dans le simulateur SPICE, de l'équation analytique donnant la mobilité en surface μ_s en fonction du module du champ électrique transversal selon la relation [49] :

$$\mu_s = \frac{\mu_0}{1 + \alpha_\theta \cdot E_{\text{eff}}} \quad (\text{II.65})$$

Cette équation est une équation empirique obtenue d'après l'observation de résultats expérimentaux sur les mobilités à faible tension de drain. α_θ est appelée “constante de scattering”.

En régime "pincé", l'hypothèse de saturation parfaite, se traduisant par une caractéristique de sortie horizontale, est justifiée par le fait que notre structure a un drain beaucoup moins dopé que la diffusion du canal, c'est-à-dire que l'effet de modulation de longueur de canal est négligeable [50].

II.4.3.2. Extraction des paramètres statiques de SPICE

Les procédures expérimentales d'acquisition des paramètres intervenant dans les relations ci-dessus et celles de la résistance série sont détaillées dans les références [14, 47]. Nous allons ici montrer rapidement la procédure d'extraction de ces paramètres à partir du banc de mesures M.A.A.C.S.I.M [51].

II.4.3.2.1. Tension de seuil et facteur de pente

La tension de seuil V_{T0} et le facteur de pente K_P sont extraits expérimentalement de la caractéristique de transfert $I_d(V_{gs})$ mesurée à bas niveau de tension de drain. Nous avons montré dans le paragraphe (II.2.1.2.2) que c'est la pente de la courbe au voisinage de la tension de seuil qui donne le facteur de pente K_P , tandis que son intersection avec l'axe des abscisses détermine la valeur de la tension de seuil V_{T0} — figure (II.22) —.

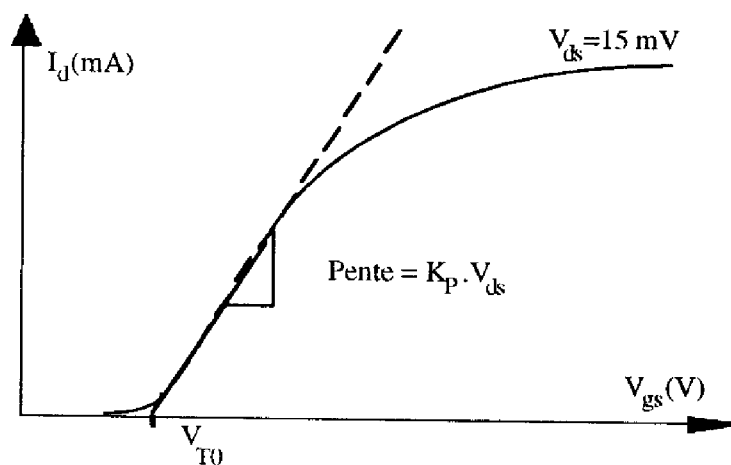


Figure II.22 : Détermination du facteur de pente K_P et de la tension de seuil V_{T0} .

II.4.3.2.2. Paramètre Θ et vitesse limite V_{max}

Θ est un paramètre électrique de SPICE. On utilise habituellement au L.A.A.S. son inverse, Ψ , qui représente un potentiel lié au phénomène de réduction de la mobilité due au champ électrique transversal. Ψ est un paramètre qui dépend principalement de l'épaisseur d'oxyde, comme l'a montré Bellaouar [14].

La vitesse limite des porteurs V_{max} est évaluée, de la même façon que pour les simulations PISCES, par ajustement de ce paramètre de telle sorte que les niveaux de

courant de saturation des caractéristiques $I_d(V_{ds})$, pour les différentes tensions de grille V_{gs} , obtenus par la simulation et l'expérience, soient identiques.

II.4.3.2.3. Résistance série

Nous entendons, par résistance série, la somme des résistances d'accumulation (R_{acc}) et de volume (R_{bulk}) qui modélisent en statique ces deux régions du transistor. La séparation entre l'effet de la résistance série et celui de la réduction de mobilité transverse [14] se fait en deux étapes :

- 1) la détermination globale de $R_{série} + \Theta/K_p$ selon le diagramme de l'évolution de la conductance de sortie S_0 — figure (II.23) —
- 2) la détermination de Θ par une méthode indirecte sur composants de test n'ayant pas de résistance de "drift".

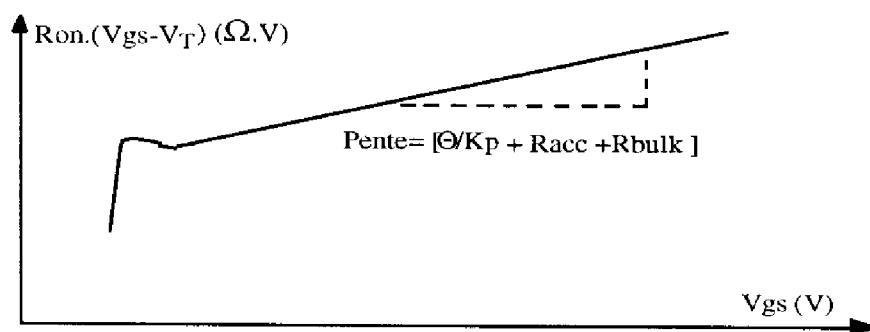


Figure II.23 : Détermination de la résistance série R_{bulk} .

Des exemples de caractérisation de composants MOS à tranchées sont présentés dans l'annexe 3.

II.4.4. Prise en compte de l'effet de la température

Les aspects thermiques dans la conception des circuits de puissance méritent souvent autant d'attention que les aspects purement électriques car la température de fonctionnement des composants a une influence directe sur leurs caractéristiques statiques et dynamiques.

Rappelons, d'autre part, que, d'un point de vue thermique, le transistor MOS de puissance présente deux propriétés essentielles : i) inexistence de points chauds et ii) quasi-uniformité de la température de cristal. Ceci est dû au fait que le courant est contrôlé par les porteurs majoritaires — en effet, le coefficient de température du courant de drain, lié notamment à celui de la mobilité des porteurs, est négatif —.

Le mode d'évolution avec la température des paramètres physiques des transistors MOS de puissance, a déjà décrit auparavant [26, 52]. Nous allons simplement rappeler ici ces lois et en déduire un modèle analytique applicable au cas des transistors MOS à tranchées. Nous allons aussi traduire ce modèle en langage "circuit", afin de compléter le modèle SPICE conçu précédemment qui ne tenait pas compte de la température.

II.4.4.1. Prise en compte de l'effet de la température sur le coefficient K_P

La plupart des auteurs s'accordent sur une évolution en température de la mobilité de surface en $T^{-\alpha}$ où α est voisin de 1,5. Dans SPICE, le modèle de la mobilité d'inversion dans le canal est déjà inclus dans les équations décrivant le fonctionnement du MOS niveau 3 vis-à-vis de la température. Par conséquent, la loi de variation en température de K_P est intrinsèquement contenue dans le modèle SPICE du générateur de courant.

II.4.4.2. Prise en compte de l'effet de la température sur la tension de seuil

La tension de seuil varie avec la température de la manière suivante [49, 52, 53] :

$$V_T = V_{T0} \cdot [1 - \gamma \cdot (T - T_0)] \quad (\text{II.66})$$

où T_0 est une température de référence, V_{T0} est la tension de seuil à cette température ambiante, V_T étant la tension de seuil à la température T et γ est un coefficient empirique. Cette relation montre que le décalage de la tension de seuil peut être considéré comme un décalage de la tension de grille.

Ce type de dépendance de la tension de seuil vis-à-vis de la température existe bien dans la définition SPICE du modèle du transistor MOS mais le coefficient γ déduit des simulations SPICE est trop faible : il est égal à 10^{-3} K^{-1} . Or, nous avons constaté d'après des études expérimentales précédentes [43] que ce coefficient, qui est une fonction croissante du dopage de zone P, était plutôt proche de 2 à $3 \cdot 10^{-3} \text{ K}^{-1}$. Ce paramètre a donc été artificiellement corrigé en ajoutant à la relation (II.66) la quantité $V_{T0} \cdot \gamma' \cdot (T - T_0)$ où γ' est le coefficient de correction, qui est de l'ordre de 1 à $2 \cdot 10^{-3} \text{ K}^{-1}$ selon les transistors.

Cet effet supplémentaire sera pris en compte, dans le modèle SPICE, par la mise en série, avec la grille du transistor MOS, d'un générateur de tension E_{TH} contrôlé par l'élévation de la température $(T - T_0)$ et décrit de la manière suivante :

$$E_{TH} = R_{TH} \cdot I_{TH} - V_{T0} \quad (\text{II.67})$$

$$\text{où} \quad R_{TH} = V_{T0} \cdot [1 - \gamma' \cdot (T - T_0)] \quad (\text{II.68})$$

et : $I_{TH} = 1 \text{ A}$.

Ce modèle est illustré sur la figure (II.24) .

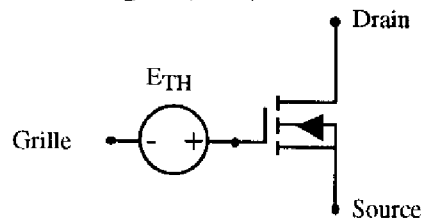


Figure II.24 : Macro-modèle représentant la variation de la tension de seuil en fonction de la température.

II.4.4.3. Prise en compte de l'effet de la température sur la résistance de "drift"

Nous négligeons, sur la base des résultats précédemment obtenus au paragraphe (II.2.2.2), la résistance de la couche accumulée qui a, pour les transistors considérés, un poids assez faible par rapport la résistance de la couche épitaxiée R_d . Par conséquent, nous ne tenons pas compte de l'effet de la température sur cette résistance et nous traitons uniquement le cas de la résistance de "drift" R_d .

Le logiciel SPICE permet de décrire l'évolution en température d'une résistance quelconque par la relation suivante :

$$R(T) = R(T_0) \cdot \left[1 + T_{C1} \cdot (T - T_0) + T_{C2} \cdot (T - T_0)^2 \right] \quad (\text{II.69})$$

Or, compte tenu de la loi de variation de la mobilité de volume avec la température en $T^{-2.5}$, l'évolution de la résistance de "drift" R_d peut être décrite par la relation (II.70) :

$$R_{ON} = R_{ON}(T_0) \cdot \left[1 + \frac{\alpha}{T_0} \cdot (T - T_0) \right] \quad (\text{II.70})$$

où $\alpha = 1,5$ pour les structures basse tension et $\alpha = 2,5$ pour les structures haute tension.

Par identification de la relation (II.69) avec la relation (II.70), on a donc :

$$T_{C1} = \alpha / T_0 \quad \text{et} \quad T_{C2} = 0 \quad (\text{II.71})$$

La relation (II.70) peut donc s'écrire, au premier ordre :

$$R_d = R_{d0} \cdot \left[1 + T_{C1} \cdot (T - T_0) \right] \quad (\text{II.72})$$

où R_{d0} représente la résistance de "drift" à la température de référence.

La chute de tension dans la résistance R_d s'écrit alors :

$$V_{R_d} = R_d \cdot I_d = R_{d0} \cdot I_d + R_{d0} \cdot T_{C1} \cdot (T - T_0) \cdot I_d \quad (\text{II.73})$$

Le terme correctif de tension — 2^{ème} terme — sera décrit par un générateur de tension G_{R_d} contrôlé par le courant égal à $T_{C1} \cdot (T - T_0) \cdot I_d$, c'est-à-dire par un courant traduisant l'élévation de température $(T - T_0)$, suivant le schéma de la figure (II.25).

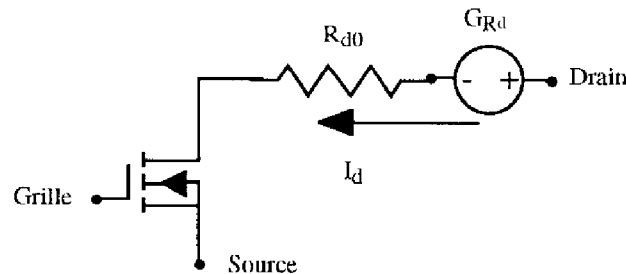


Figure II.25 : Modèle de la résistance de "drift" en température.

Les valeurs des différents paramètres statiques SPICE — en particulier les paramètres $V_{\max}$, K_P , V_{T0} , R_{bulk} et Θ — des transistors MOS à tranchées 60 V et 30 V sont rassemblées dans le tableau (II.3).

Type	$V_{\max}$ (m.s ⁻¹)	K_P (A.V ⁻²)	V_{T0} (V)	R_{bulk} (Ω)	Θ (V ⁻¹)
Transistor 60 V	10 ⁵	85,73	4,15	6.10 ⁻³	0,04
Transistor 30 V	9.10 ⁴	50,33	2,72	5,32.10 ⁻³	0,05

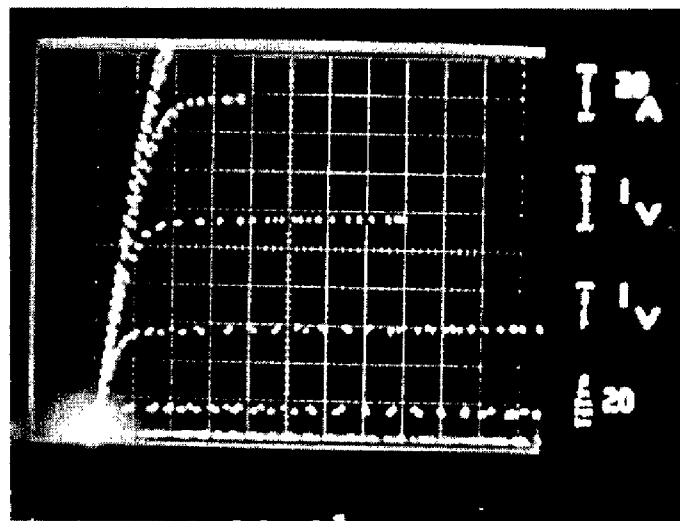
Tableau II.3 : Valeurs expérimentales K_P , V_T et R_{bulk} extraites à partir des mesures M.A.A.C.S.I.M.

II.4.5. Validation du modèle

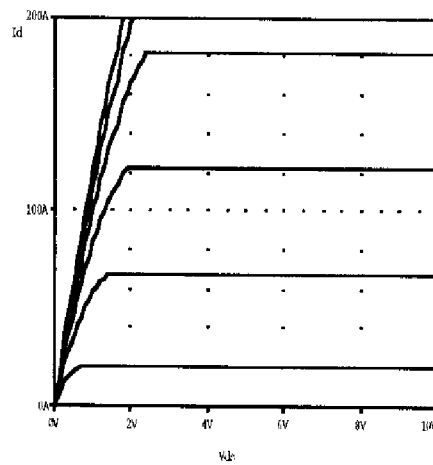
La validation du modèle a été effectuée en comparant les courbes simulées et les courbes mesurées sur plusieurs transistors [54].

La simulation des caractéristiques directes de sortie $I_D(V_{DS})$ permet notamment d'évaluer la valeur de $V_{\max}$, qui, au niveau de SPICE, doit plutôt être considéré comme un paramètre que comme une donnée physique. Une valeur de 10⁵ m.s⁻¹ a permis un bon accord entre expérience et simulation. Il est important de noter ici que cette valeur est la même que celle que nous avons utilisée lors de nos simulations PISCES — 10⁷ cm.s⁻¹, paragraphe (II.2.1.1.2.4.a) —, ce qui tendrait à “prouver” la validité de nos deux types de simulation, car $V_{\max}$ est un paramètre de “fit” qui présente habituellement, d’après les résultats présentés par certains auteurs, une forte dispersion. Ce n’est pas le cas ici, lorsque nous comparons les simulations PISCES et SPICE.

Les figures (II.26) et (II.27) présentent les comparaisons, entre l'expérience et la simulation, des caractéristiques statiques de sortie $I_D(V_{DS})$ des transistors MOS 30 V et 60 V. Ce bon accord permet de chiffrer le degré de précision de nos simulations, principalement obtenu par la prise en compte du phénomène de réduction de mobilité.

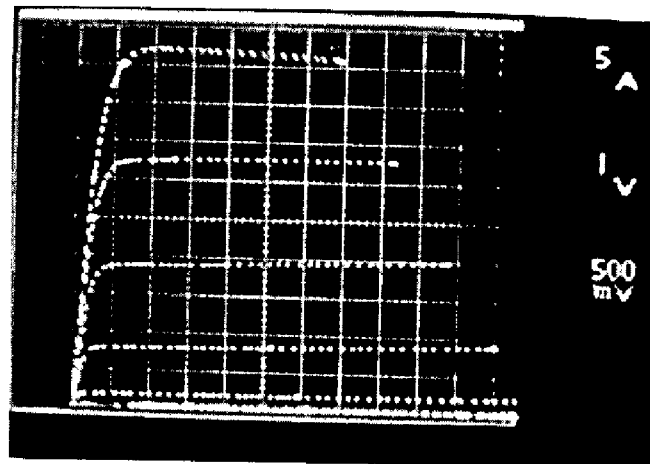


a)

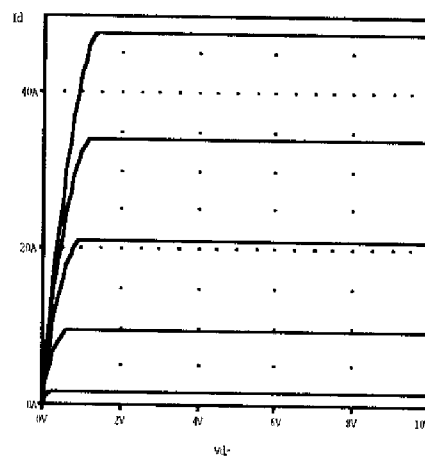


b)

Figure II.26 : Caractéristiques statiques $I_d(V_{ds})$ à température constante $T = 300\text{ K}$:
 a) mesurées, b) simulées SPICE. Transistor 60 V. $V_{gs\max} = 10\text{ V}$.



a)



b)

Figure II.27 : Caractéristiques statiques $I_d(V_{ds})$ à température constante $T = 300\text{ K}$:
 a) mesurées, b) simulées SPICE. Transistor 30 V. $V_{gsmax} = 5\text{ V}$.

Les comparaisons de caractéristiques statiques permettent aussi de vérifier si le facteur de pente K_p et la résistance série R_{bulk} ont été correctement déterminés. Ceci peut être fait en comparant les pentes des caractéristiques $I_d(V_{gs})$ lorsqu'on se place près de la tension de seuil, entre expérimentation et simulation.

Les figures (II.28) et (II.29) présentent les comparaisons, entre l'expérience et la simulation, de ces caractéristiques de transfert pour les transistors 60 V et 30 V. Le bon

accord obtenu permet également de confirmer la validité des valeurs implantées pour nos simulations, en particulier le facteur de pente K_p et la résistance série R_{bulk} .

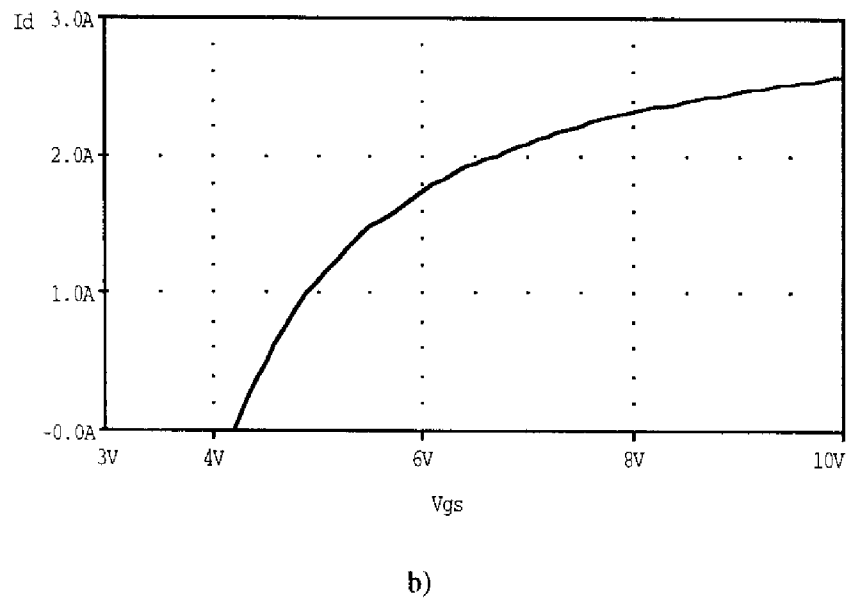
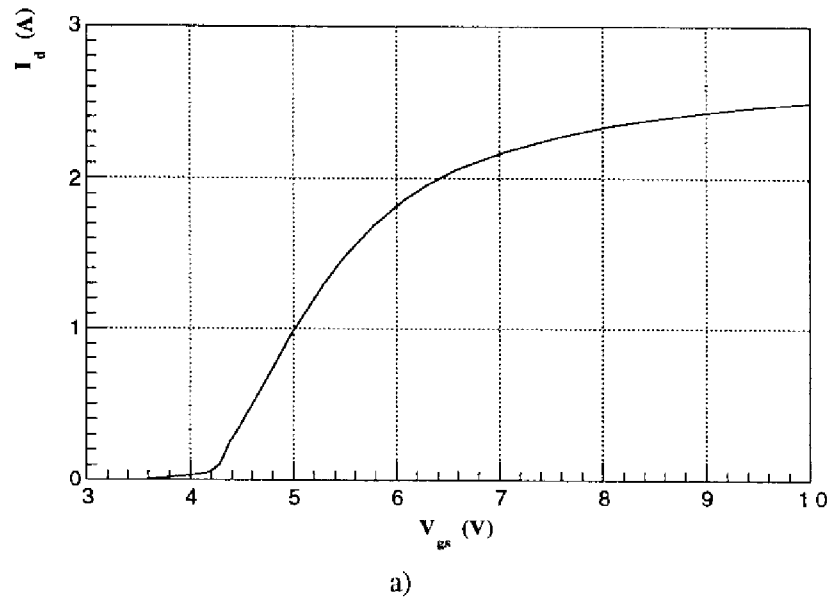
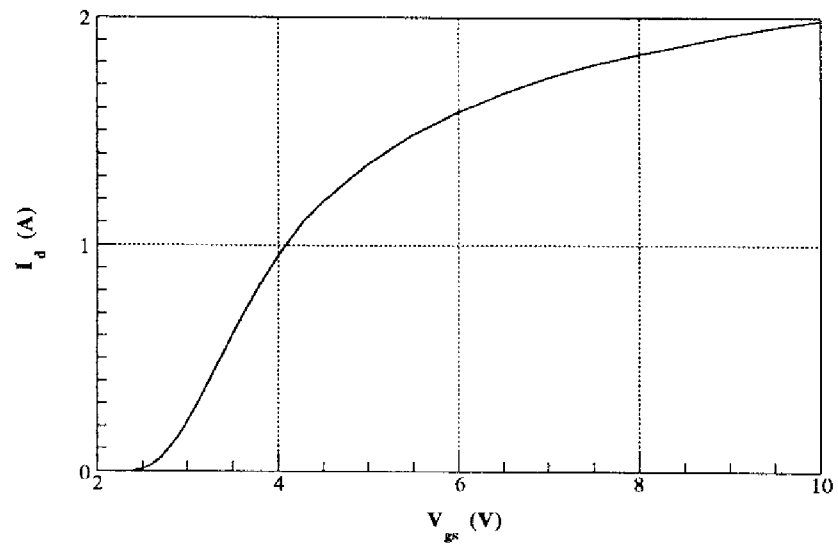
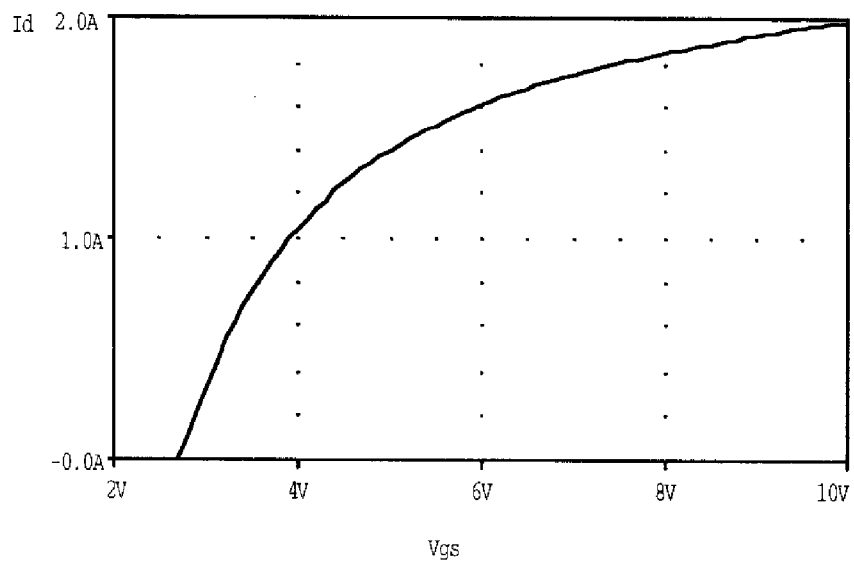


Figure II.28 : Caractéristiques de transfert $I_d(V_{gs})$: a) mesurées, b) simulées SPICE. Transistor 60 V.



a)



b)

Figure II.29 : Caractéristiques de transfert $I_d(V_{gs})$: a) mesurées, b) simulées SPICE. Transistor 30 V.

Enfin, l'effet de la température sur le modèle du transistor MOS à tranchées est également validé — figures (II.30) et (II.31) — par la comparaison, entre les données du constructeur et les simulations, des caractéristiques de transfert $I_d(V_{gs})$ à fort niveau de drain — $V_{ds} = 10\text{ V}$ — pour trois températures différentes, -55°C , 25°C et 125°C . Les valeurs numériques des différents coefficients intervenant dans les expressions des générateurs contrôlés G_{R_d} et E_{TH} sont respectivement :

$$T_{C1} = 5.10^{-3} \text{ K}^{-1}$$

$$\gamma' = 10^{-3} \text{ K}^{-1}$$

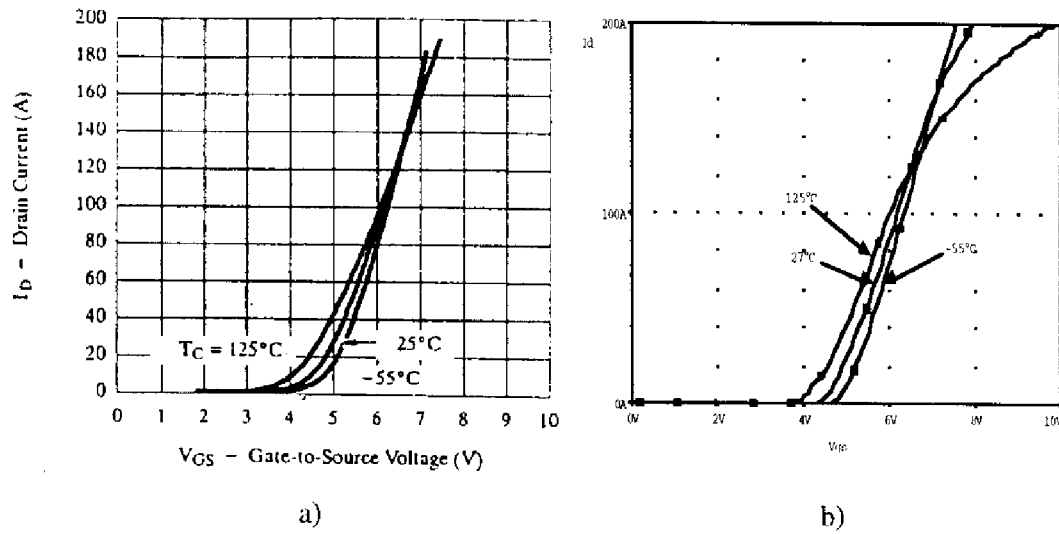


Figure II.30 : Allure des caractéristiques de transfert $I_d(V_{gs})$ à $V_{ds} = 10\text{ V}$ pour différentes températures : a) données expérimentales, b) simulation SPICE. Transistor 60 V.

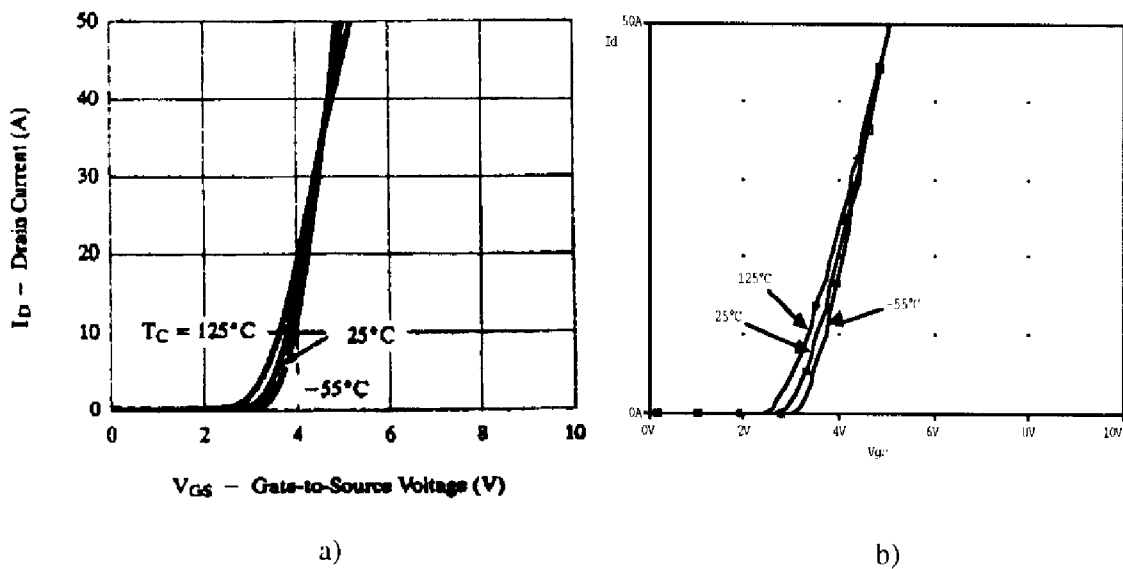


Figure II.31 : Allure des caractéristiques de transfert $I_d(V_{gs})$ à $V_{ds} = 10\text{ V}$ pour différentes températures : a) données expérimentales, b) simulation SPICE. Transistor 30 V.

II.5. CONCLUSION

Ce chapitre a été consacré à l'analyse hiérarchique de la modélisation de la structure du transistor MOS de puissance à tranchées en régime statique : étude numérique, étude analytique, schéma équivalent.

Dans un premier temps, nous avons étudié ce composant à l'état passant — régime de conduction —. Cette étude, basée sur des simulations numériques bidimensionnelles d'une part et sur une approche analytique unidimensionnelle à bas niveau de drain d'autre part, a permis d'analyser les paramètres que sont la tension de seuil, le courant de drain et la résistance à l'état passant qui sont des paramètres caractéristiques du régime de fonctionnement statique.

Dans un deuxième temps, nous avons étudié le transistor MOS de puissance à l'état bloqué. La notion de tenue en tension est rappelée de manière générale. D'un point de vue "approche unidimensionnelle", les différentes méthodes utilisées pour évaluer cette tenue en tension ont été relatées.

Enfin, la troisième partie a été consacrée à la modélisation "circuit" en régime statique du transistor MOS de puissance à tranchées. Un modèle simplifié, prenant en compte le paramètre température, compatible avec le logiciel SPICE a été présenté puis validé.

CHAPITRE III :

**ANALYSE DYNAMIQUE ET MODELE SPICE
DU TRANSISTOR MOS DE PUISSANCE
A TRANCHEES**

III. Analyse dynamique et modèle SPICE du transistor MOS de puissance à tranchées

III.1. INTRODUCTION

Ce chapitre est consacré à l'analyse de la structure MOS à tranchées en régime dynamique en vue d'une modélisation "circuit" de ce composant.

En régime de commutation, les performances du transistor MOS à tranchées sont principalement liées aux valeurs des temps de commutation qui dépendent des capacités d'entrée et de sortie du transistor.

Nous commençons l'analyse par le traitement des capacités inter-électrodes C_{ds} , C_{gs} et C_{gd} . Leurs expressions analytiques basées sur les paramètres physiques, géométriques et technologiques sont déterminées.

La deuxième partie de ce chapitre est consacrée à la modélisation pour le logiciel SPICE de ces capacités, notamment des capacités non-linéaires C_{ds} et C_{gd} . La structure verticale du transistor MOS à tranchées présente en effet un comportement que les modèles disponibles dans la bibliothèque interne de SPICE ne sont pas capables de rendre compte : en particulier, le couplage drain-grille se fait par une capacité fortement non-linéaire qui peut varier grandement lors du passage de l'état bloqué à l'état passant. A cet effet, un nouveau modèle SPICE, plus rapide et plus précis que les modèles précédemment développés au L.A.A.S. dans le cas du transistor VDMOS, est présenté. Ce modèle est également validé expérimentalement.

III.2. LES CAPACITES INTER-ELECTRODES

Les diverses capacités de la structure, représentées sur la figure (III.1), sont : les capacités d'oxyde grille-source (C_{gs1} , C_{gs2} , C_{gsb}) et grille-drain (C_{gdmax}), la capacité de "déplétion" de la zone intercellulaire (C_{dgd}) et la capacité de transition de la jonction PN (C_{ds}). Dans ce paragraphe, nous formulons les expressions de ces capacités en tenant compte de leurs aspects physique, technologique, et géométrique.

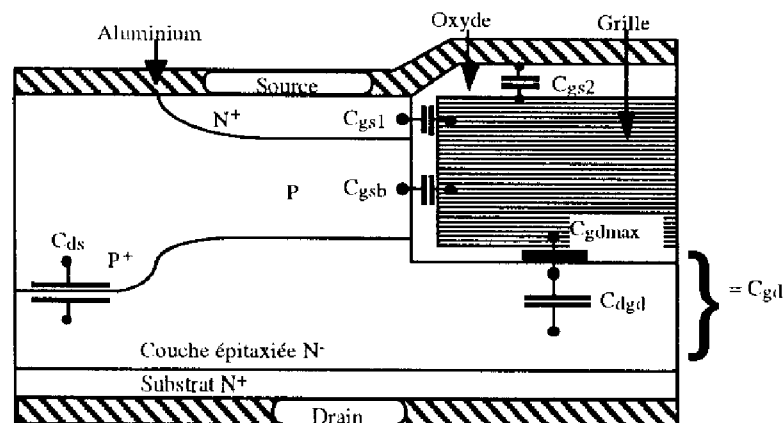


Figure III.1 : Localisation des capacités de la structure MOS à tranchées.

III.2.1. Capacité grille-source

La capacité entre grille et source, C_{gs} , d'une structure MOS à tranchées est la mise en parallèle de trois capacités : la capacité MOS à oxyde mince C_{gsb} localisée entre la diffusion P du canal et la grille, la capacité d'oxyde épais C_{gs2} entre la métallisation de la source et le polysilicium de grille, et la capacité MOS C_{gs1} due au débordement de l'oxyde mince de grille sur la diffusion N^+ de la source — figure (III.2) —.

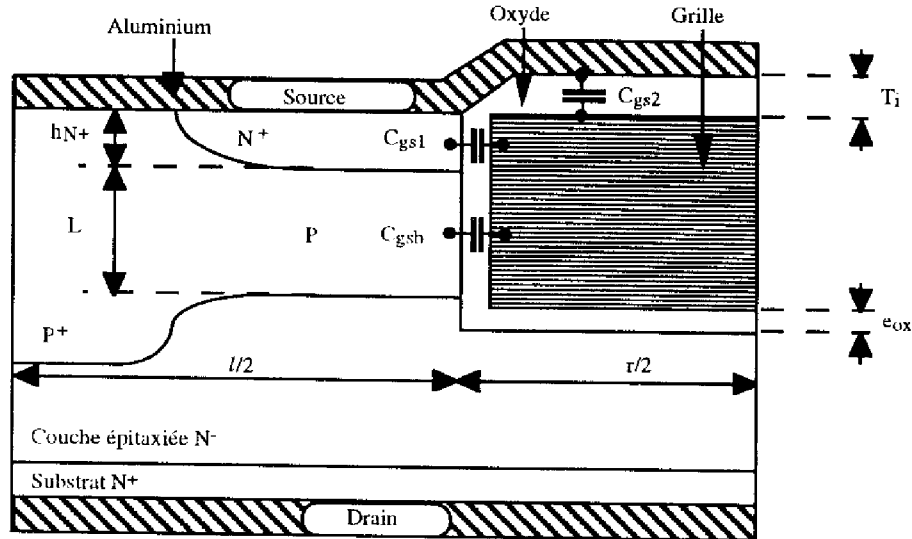


Figure III.2 : Localisation des composantes de la capacité grille-source.

Le calcul des différentes capacités d'oxyde nécessite, d'une part, l'utilisation de la formulation générale d'une capacité — $C = (\epsilon \cdot S)/e$ —, et, d'autre part, la prise en compte de la géométrie cellulaire et des règles de dessin imposées par les processus technologiques utilisés pour la réalisation des transistors. Afin d'établir les expressions analytiques de ces capacités, nous allons illustrer le détail du calcul effectué pour la configuration structurelle à cellules carrées alignées — figure (II.8) —, qui correspond en fait à la configuration des transistors de notre étude.

La capacité d'oxyde mince de C_{gsb} s'exprime par la relation suivante :

$$C_{gsb \max} = \frac{\epsilon_0 \cdot \epsilon_{ox}}{e_{ox}} \cdot S_b \quad (III.1)$$

où $\epsilon_0 \epsilon_{ox}$ est la permittivité de l'oxyde, e_{ox} est l'épaisseur de l'oxyde de grille, et S_b la surface de la zone de recouvrement entre la diffusion P du canal et le polysilicium de grille. Cette surface a pour expression, pour une cellule carrée élémentaire :

$$S_b = 4 \cdot L \cdot l \quad (III.2)$$

où l est la largeur de la diffusion P d'une cellule et L la longueur du canal.

De même, la capacité d'oxyde mince de C_{gs1} s'écrit :

$$C_{gs1 \max} = \frac{\epsilon_0 \cdot \epsilon_{ox}}{e_{ox}} \cdot S_1 \quad (III.3)$$

La surface S_1 , pour une cellule carrée, s'exprime par :

$$S_1 = 4 \cdot h_{N^+} \cdot l \quad (\text{III.4})$$

où h_{N^+} est la longueur due au débordement de l'oxyde mince de grille sur la diffusion N^+ de la source, soit encore la profondeur de diffusion de la source.

Quant à la capacité grille-source de l'oxyde épais, elle est donnée par :

$$C_{gs2} = \frac{\epsilon_0 \cdot \epsilon_{ox}}{T_i} \cdot S_2 \quad (\text{III.5})$$

T_i est l'épaisseur de l'oxyde épais, et S_2 la surface totale de cet oxyde pour une cellule élémentaire d'un MOS à tranchées :

$$S_2 = r^2 + 2 \cdot l \cdot r \quad (\text{III.6})$$

où r est la distance intercellulaire, c'est-à-dire, pour un transistor MOS à tranchées, la largeur d'une tranchée.

Notons que les capacités C_{gs1} et C_{gsb} sont dépendantes de la polarisation grille-source — capacités MOS —. En pratique, pour la structure MOS à tranchées, les variations de ces capacités sont très faibles, comparées aux dépendances en tension des capacités C_{ds} et C_{gd} — cf. figure (III.16) —. En conséquence, nous avons opté pour une capacité grille-source constante, égale à la somme des capacités d'oxyde. La représentation de cette capacité constante dans SPICE ne présente donc pas a priori de problèmes majeurs.

III.2.2. La jonction PN drain-substrat

La jonction PN^+ est une jonction plane formée par la zone diffusée P et la couche épitaxiée N^+ . Une analyse basée sur un schéma réparti résistance - capacité [1] permet de modéliser cette jonction selon le circuit équivalent à constantes localisées de la figure (III.3).

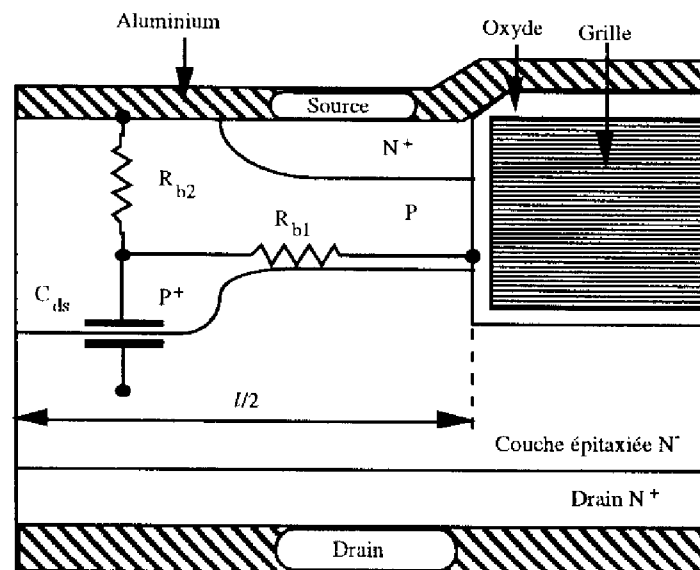


Figure III.3 : Modèle réparti de la jonction PN^+ .

R_{b1} et R_{b2} sont les résistances transverses de la diffusion P, qui peuvent se calculer comme étant des résistances de couche diffusée P — dans le schéma équivalent futur, ces résistances seront négligées —, C_{ds} étant la capacité d'une jonction plane abrupte [2] dont l'expression est :

$$C_{ds} = S_3 \cdot \sqrt{\frac{q \cdot N_D \cdot \epsilon_0 \cdot \epsilon_{Si}}{2 \cdot V_{ds}}} \quad (\text{III.7})$$

où $S_3 = l^2$ dans le cas des cellules carrées alignées ; $\epsilon_0 \epsilon_{Si}$ est la permittivité du silicium, N_D le dopage de la couche épitaxiée N⁻ et V_{ds} est la différence de potentiel aux bornes de la jonction.

III.2.3. Etude dynamique de la zone intercellulaire

Dans le cas d'un régime variable — ou dynamique —, il a été démontré par Tardivo [1] que la zone intercellulaire, qui peut être accumulée ou dépeuplée, selon la valeur de la différence de potentiel grille-drain, peut être représentée topologiquement par une ligne de transmission que l'on peut approximer — au 2^{ème} ordre en fréquence — par une capacité grille-drain C_{gd} et une résistance [1]. Cette dernière n'est autre que la résistance de la zone d'accès au drain — ou résistance de la couche accumulée —, définie dans le chapitre II.

La capacité grille-drain C_{gd} est physiquement une capacité MOS qui présente deux composantes en série :

- une capacité d'oxyde de valeur constante C_{gdmax} , qui est définit la valeur de C_{gd} lorsque le potentiel de drain V_{ds} est inférieur à celui de grille V_{gs} — régime d'accumulation —,
- la deuxième capacité en série est la capacité de déplétion C_{dgd} de la zone désertée sous la grille du semiconducteur lorsque V_{ds} est supérieur au potentiel de grille V_{gs} .

On obtient alors :

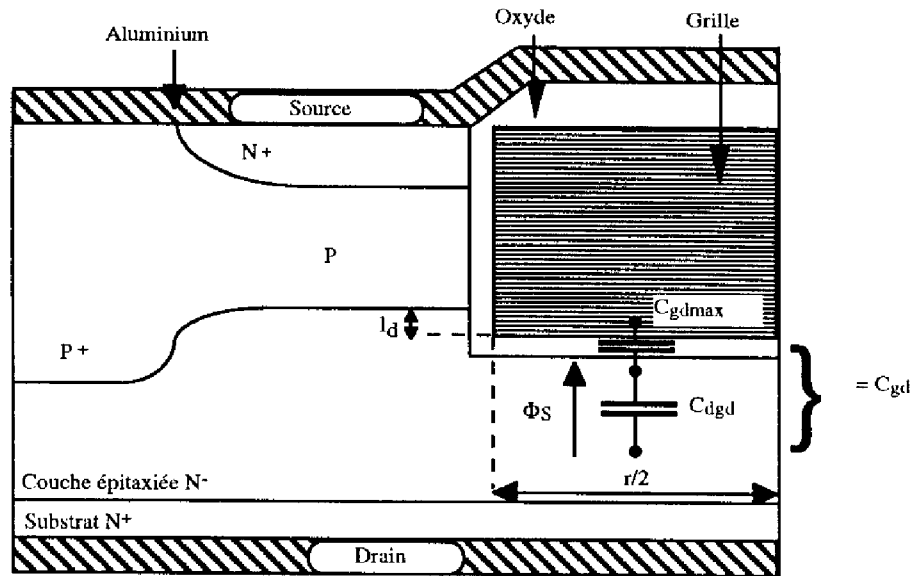
$$C_{gd} = C_{gdmax} \quad \text{si } V_{dg} < 0 \quad (\text{III.8})$$

$$C_{gd} = \frac{C_{gdmax} \cdot C_{dgd}}{C_{gdmax} + C_{dgd}} \quad \text{si } V_{dg} > 0 \quad (\text{III.9})$$

D'autre part, la capacité de déplétion C_{dgd} s'exprime en fonction de la différence de potentiel Φ_s qui existe aux bornes de la zone de charge d'espace dépeuplée [3] selon :

$$C_{dgd} = S_4 \cdot \sqrt{\frac{q \cdot N_D \cdot \epsilon_0 \cdot \epsilon_{Si}}{2 \cdot \Phi_s}} \quad (\text{III.10})$$

De la même manière que les capacités d'oxyde grille-source, la capacité C_{gdmax} se calcule en appliquant la formule générale classique d'un condensateur, en tenant compte de la géométrie cellulaire et des règles de dessin liées au processus technologique de fabrication.

Figure III.4 : Localisation de la capacité grille-drain C_{gd} .

Pour une structure MOS à tranchées et à cellules carrées alignées, l'oxyde est considéré uniforme et d'épaisseur T_{ox} dans la région intercellulaire du transistor. La capacité C_{gdmax} s'exprime par :

$$C_{gdmax} = \frac{\epsilon_0 \cdot \epsilon_{ox}}{e_{ox}} \cdot S_4 \quad (III.11)$$

S_4 est la surface totale intercellulaire (sur N^-) définissant la capacité MOS C_{gd} . Cette surface s'exprime par la relation suivante :

$$S_4 = r \cdot (r + 2 \cdot l) + 4 \cdot l_d \cdot l \quad (III.12)$$

où l_d est la longueur représentant le débordement du polysilicium de grille dans la couche épitaxiée N^- . Le calcul de cette surface par l'expression (III.11) ci-dessus est approximatif — environ 10 % d'erreur — en raison de la définition théorique donnée à l_d . En effet, dans la réalité, le coin de la tranchée n'est pas un angle droit mais plutôt arrondi; on prendra donc, pour avoir une expression de C_{gdmax} plus précis, une valeur de l_d correspondant à la longueur de l'arc de cercle qui forme ce coin.

III.3. MODELISATION DYNAMIQUE SPICE

Nous venons de voir que les paramètres qui gèrent le comportement dynamique du transistor MOS à tranchées sont la capacité drain-source C_{ds} , la capacité grille-source C_{gs} et la capacité grille-drain C_{gd} . Pour obtenir un modèle dynamique SPICE du transistor MOS à tranchées, il faut donc compléter le modèle statique présenté au paragraphe (II.4) par les éléments dynamiques du composant, c'est-à-dire les capacités inter-électrodes C_{gs} , C_{gd} , et C_{ds} ainsi que les éléments parasites liés aux électrodes de grille, de drain, et de source. Les résistances R_{b1} et R_{b2} associées à la capacité C_{ds} sont négligées.

Dans ce paragraphe, nous détaillons la procédure de modélisation dynamique et nous insistons sur le problème posé par la représentation SPICE des capacités non-linéaires C_{ds} et C_{gd} . Un nouveau modèle utilisé pour traduire le comportement de la capacité C_{gd} sera également présenté. Enfin, l'extraction des paramètres de ce modèle ainsi que la validation de celui-ci seront réalisées.

III.3.1. Topologies des modèles des transistors MOS de puissance

III.3.1.1. Les principales approches existantes

Plusieurs propositions de modèles pour le transistor MOS de puissance compatibles avec le logiciel SPICE ont été faites au cours de ces dernières années [4]. L'approche choisie, presque dans tous les cas, consiste à modéliser le comportement d'un transistor MOS, tout particulièrement pour le régime de commutation, en ajoutant des éléments externes au modèle MOS (M_1) de la bibliothèque interne. Le grand avantage de cette approche est qu'elle ne requiert aucune modification du modèle interne du logiciel.

D'autre part, jusqu'à présent, deux méthodes principales étaient connues pour représenter la non-linéarité de la capacité grille-drain C_{gd} :

- la première utilise l'approche polynomiale qui exclut, pour des raisons de précisions numériques liées au logiciel SPICE [5, 6], la possibilité de traiter le cas des structures haute-tension.
- la deuxième est plus élaborée et bien adaptée aux transistors MOS haute-tension : elle décrit la capacité grille-drain par deux capacités qui sont interchangeables par aiguillage lors du passage à zéro de la tension grille-drain sur un cycle de commutation [7]. Au LAAS, c'est cette dernière qui est développée.

Sur la base de l'analyse physique et électrique de la structure MOS à tranchées, trois modèles compacts ont été tout d'abord établis au L.A.A.S. [7, 8] pour traiter des régimes de commutation ; ils sont compatibles avec le simulateur des circuits électroniques SPICE, et sont différenciés par la représentation de la capacité C_{gd} .

Les trois formes du modèle sont représentées sur la figure (III.5). Elles correspondent respectivement au modèle "à initialisation", au modèle "à interrupteurs" et au modèle "à inverseur CMOS". Rappelons tout d'abord que le régime de fonctionnement statique est obtenu en représentant le canal de conduction par un transistor MOS (M_1) qui intervient uniquement par son générateur de courant J_d auquel se rajoutent de façon externe en série avec l'électrode de drain les résistances d'accumulation (R_{acc}) et de volume (R_{bulk}) [9].

D'après les expressions établies au paragraphe (III.2), on peut considérer, en première approximation, que la capacité grille-source C_{gs} est indépendante des tensions de polarisation.

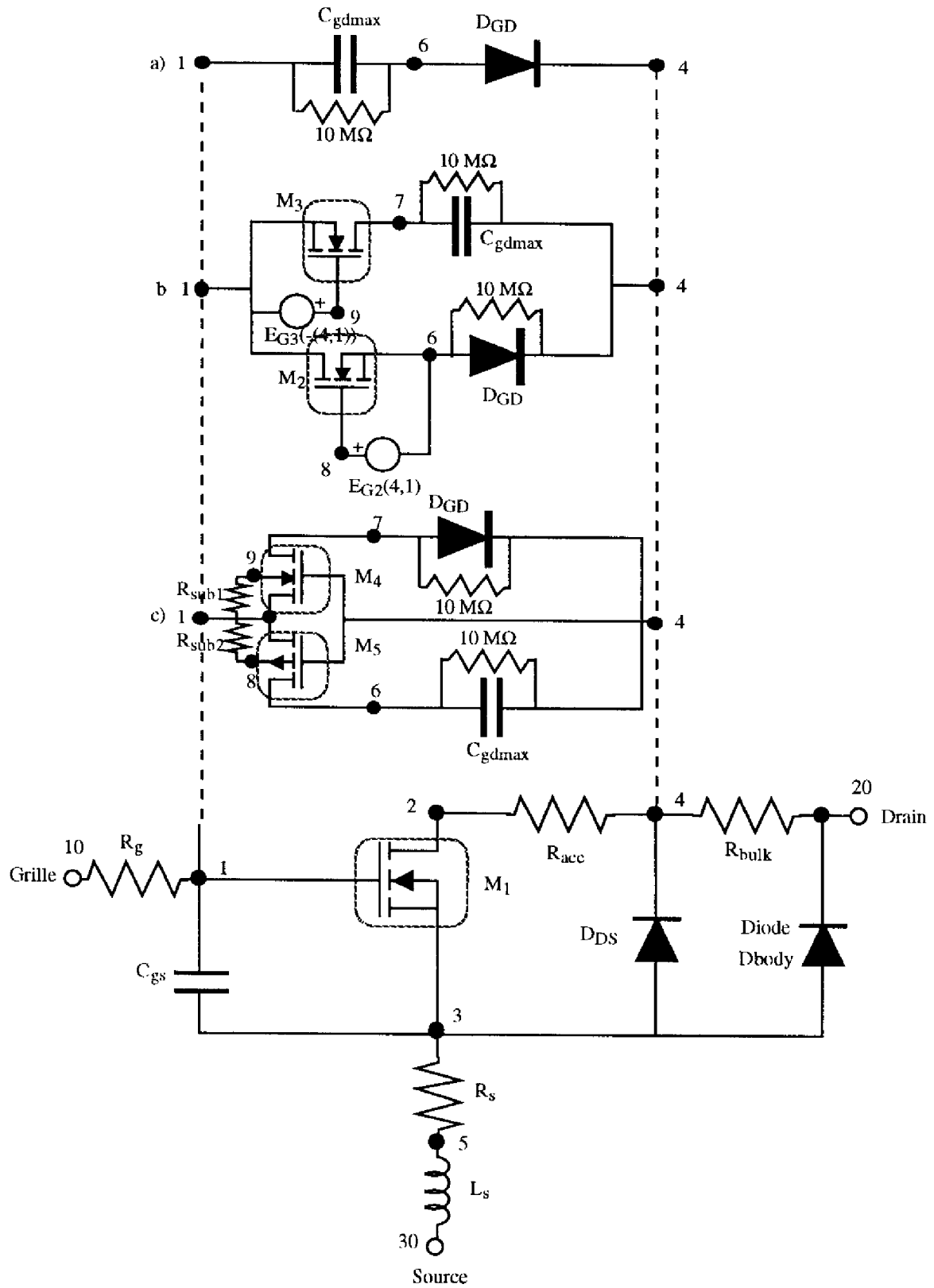


Figure III.5 : Modèles SPICE du transistor MOS de puissance à tranchées pour la commutation.
a) modèle "à initialisation", b) modèle "à interrupteurs", c) modèle "à inverseur CMOS".

La capacité drain-source C_{ds} est, quant à elle, une vraie capacité de transition de diode : elle est modélisée dans SPICE par la composante capacitive adéquate de la diode D_{DS} .

Enfin, la capacité grille-drain C_{gd} est modélisée par une configuration série ou parallèle d'une capacité d'oxyde C_{gdmax} et d'une diode D_{GD} — composante capacitive—.

Une diode dite D_{BODY} est rajoutée pour tenir compte de la conduction du MOS en polarisation inverse, et, au premier ordre, des effets de stockage de charge lors de sa mise en recouvrement.

Le schéma est complété par les éléments parasites (la résistance de la grille en polysilicium R_g , la résistance R_s et l'inductance L_s de source).

III.3.1.2. Nécessité d'une nouvelle approche

Les modèles SPICE initialement développés traduisent le comportement des transistors de puissance en régime de commutation, par le biais d'un circuit complexe — figure (III.5) —. Ces circuits permettent notamment de représenter le comportement de la capacité non-linéaire grille-drain C_{gd} . C'est un macro-modèle relativement encombrant pour les ordinateurs en temps de calcul et en place mémoire. De plus, ces modèles ne peuvent pas traduire directement [10] le comportement en température. D'où l'idée de bâtir un modèle SPICE simplifié pour ces transistors. Ce modèle utilise les possibilités du logiciel PSPICE de Microsim — option "Analog Behavioral Modeling" — et n'est donc pas "standardisé" par rapport au SPICE version IIG6. En outre, la prise en compte de la température n'y pose pas de problème majeur. Ceci constitue l'objet des paragraphes qui vont suivre.

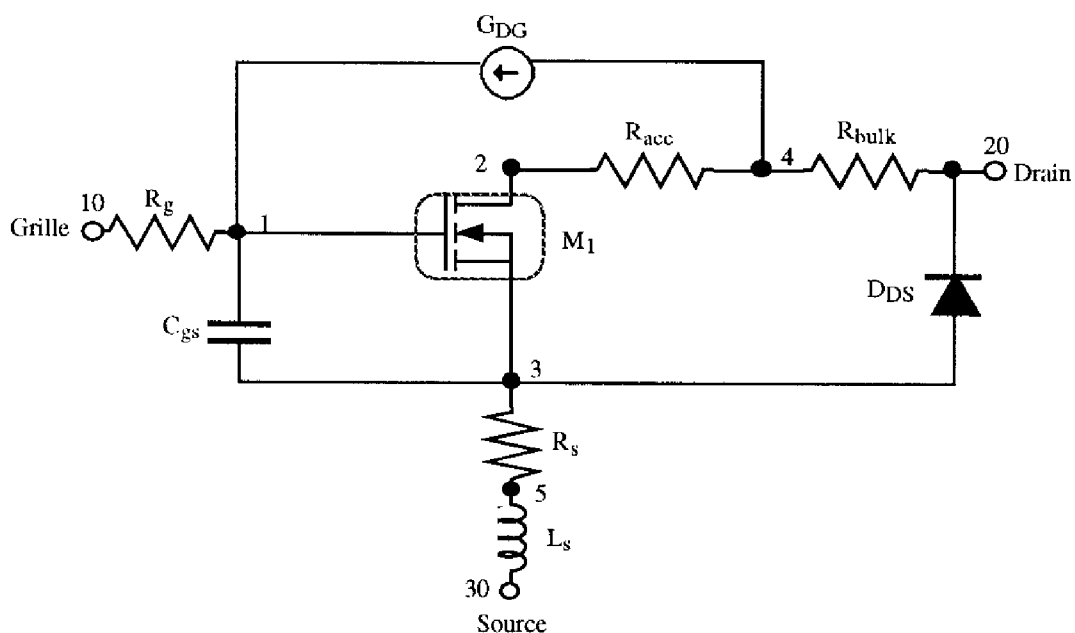


Figure III.6 : Proposition d'un nouveau modèle SPICE du transistor MOS de puissance à tranchées.

Nous allons proposer maintenant un nouveau modèle pour SPICE [11] qui diffère de ceux qui viennent d'être brièvement présentés, essentiellement par la représentation de la capacité C_{gd} mais aussi par l'utilisation d'une seule diode — D_{DS} — entre source et drain. Ce modèle est représenté sur la figure (III.6).

III.3.2. La capacité grille-drain C_{gd}

III.3.2.1. Les différents modèles

Dans le paragraphe (III.2.3), nous avons vu que la capacité C_{gd} est une capacité MOS. Elle résulte de l'association en série de deux capacités : la première est une capacité d'oxyde de valeur constante C_{gdmax} qui est prépondérante lorsque le potentiel du drain V_{ds} est inférieur à celui de grille V_{gs} , la deuxième en série est constituée par la capacité de déplétion C_{dgd} de la zone désertée sous la grille intercellulaire qui apparaît lorsque V_{ds} est supérieur à V_{gs} — figure (III.7) —. Cela se traduit par les relations suivantes :

$$C_{gd} = C_{gdmax} \quad \text{si } V_{dg} < 0 \quad (\text{III.13})$$

$$C_{gd} = \frac{C_{gdmax} \cdot C_{dgd}}{C_{gdmax} + C_{dgd}} \quad \text{si } V_{dg} > 0 \quad (\text{III.14})$$

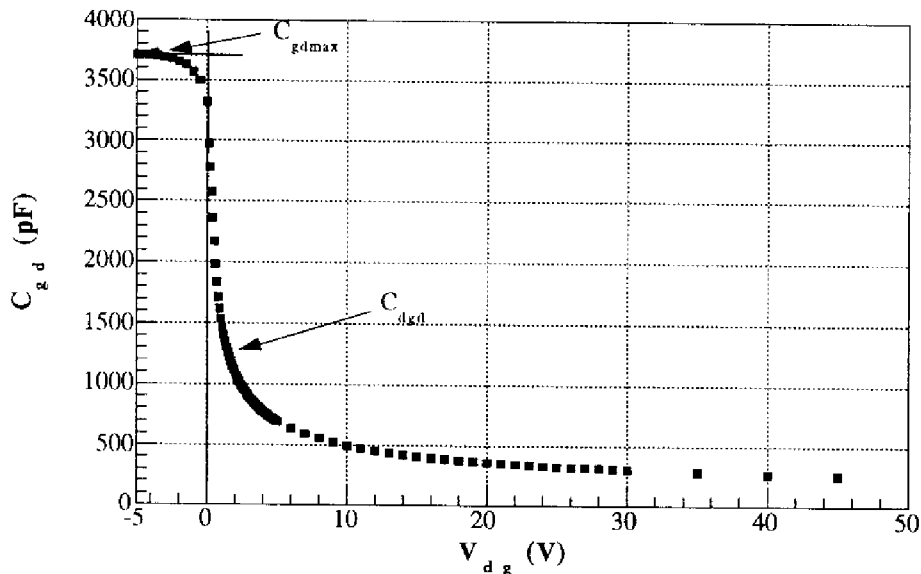


Figure III.7 : Evolution expérimentale de la capacité C_{gd} en fonction de la tension V_{dg} du transistor 60 V. Indications des zones d'influences des composantes de C_{gd} .

Pour représenter cette capacité C_{gd} , plusieurs schémas équivalents — figure (III.5) — ont été initialement proposés au LAAS sous la forme de trois représentations : soit série — modèle à initialisation noté (a) —, soit parallèle — modèle à interrupteurs noté (b) ou modèle à inverseur CMOS noté (c) —.

La première de celles-ci — figure (III.5.a) — peut être considérée comme une représentation topologique correcte puisqu'elle utilise en série les deux capacités C_{gdmax} et C_{dgd} précédentes ; elle pose toutefois un problème au sens des algorithmes de calcul

utilisés dans les logiciels de simulation des circuits, par la nécessité d'initialisation du potentiel du nœud 6 situé entre les deux capacités. L'utilisation de ce modèle nécessite en effet de donner la valeur initiale de la tension au nœud 6 appelé "nœud d'initialisation". Une valeur non appropriée de cette tension d'initialisation implique une erreur d'utilisation [11].

Il est possible de contourner ce problème de la détermination des conditions initiales en utilisant une configuration parallèle qui, par contre, n'a plus de signification physique directe — figures (III.5.b) ou (III.5.c) —. Elle utilise un aiguillage — interrupteurs NMOS M_2 et M_3 dans un cas, interrupteurs NMOS M_4 et PMOS M_5 dans l'autre cas — pour commuter la capacité C_{gd} soit sur une capacité constante C_{gdmax} soit sur une capacité variable C_{gdles} en fonction de la tension à ses bornes V_{dg} . Au niveau de SPICE, les interrupteurs en question sont des transistors MOS dont le seul rôle est d'assurer simplement cette fonction "interrupteur" sans introduire de perturbation dans le circuit. Ils sont décrits par le modèle "SPICE" niveau 1, et ont des résistances "série" faibles et des capacités de valeur nulle. Leur résistance à l'état passant est rendue négligeable par le choix d'un facteur de pente élevé, K_p égal à 10 A/V^2 . Ils ont une tension de seuil égale à zéro, puisque le passage de C_{gdmax} à C_{gdles} et inversement se fait à $V_{dg} = 0 \text{ V}$. Ces paramètres permettent à ces interrupteurs MOS d'assurer correctement leur fonction.

Dans chaque cas, les effets de dépendance non-linéaire entre capacité et tension sont phénoménologiquement traduits [10] en utilisant l'expression de la capacité de transition C_T de la diode D_{GD} . Cette dernière, polarisée en inverse, est caractérisée dans le circuit équivalent par une capacité à polarisation nulle notée C_{j0} , une tension de diffusion V_j et un coefficient de gradualité m suivant la relation :

$$C_T = \frac{C_{j0}}{\left[1 - \frac{V_a}{V_j}\right]^m} \quad (\text{III.15})$$

Toutes ces configurations présentent cependant un inconvénient majeur : elles ne permettent pas le fonctionnement du circuit en température car, pour certaines valeurs de la température, le paramètre V_j de la diode D_{GD} devient négatif. De plus, ce circuit occupe une place mémoire assez importante surtout lorsqu'il s'agit de l'utiliser pour des circuits ayant un nombre important de composants. Nous avons donc trouvé un moyen de réduire le circuit et de le simplifier, ce qui permettra par la suite d'effectuer des simulations en température sans problème majeur.

III.3.2.2. Un nouveau modèle pour C_{gd}

III.3.2.2.1. Principe de base

Le principe fondamental de ce nouveau modèle est qu'il utilise une des possibilités optionnelles du logiciel PSPICE qui est le module de modélisation comportementale "Analog Behavioral Modeling".

Une première approche — figure (III.8) — fait appel à un sous-circuit YX disponible dans la bibliothèque "misc.lib" de PSPICE [13]. La description détaillée de ce sous-circuit est donnée en annexe 4. A l'entrée, une tension V_{in} est appliquée, dont l'expression est la suivante :

$$V_{in} = \frac{C_{j0}}{\sqrt{1 + \frac{V_{dg}}{V_j}}} \quad (\text{III.16})$$

et, en sortie — entre les deux noeuds 1 et 4 —, on obtient alors une capacité non-linéaire dont l'expression est :

$$C_{out} = V_{in} \cdot C_{ref} \quad (\text{III.17})$$

Ainsi en donnant à C_{ref} la valeur de 1 pf, la capacité de sortie C_{out} est identifiable à la capacité C_{gd} .

Ce modèle a été encore simplifié en décrivant la relation (III.16) uniquement à l'aide d'une source de courant G_{DG} — figure (III.6) — qui se trouve en sortie du sous-circuit YX. La loi utilisée est alors la suivante :

$$I_{dg} = \frac{C_{j0}}{\sqrt{1 + \frac{V_{dg}}{V_j}}} \cdot \frac{dV_{dg}}{dt} \quad (\text{III.18})$$

Nous avons ainsi pu représenter la loi (III.16) grâce à la possibilité de modélisation comportementale qu'offre PSPICE (Analog Behavioral Modeling) [14]. Notons que le coefficient de gradualité m est donc égal à 0,5 dans tous les cas avec ce nouveau modèle. Le circuit complet est celui de la figure (III.6). La description de ce circuit dans PSPICE est détaillée dans l'annexe 4.

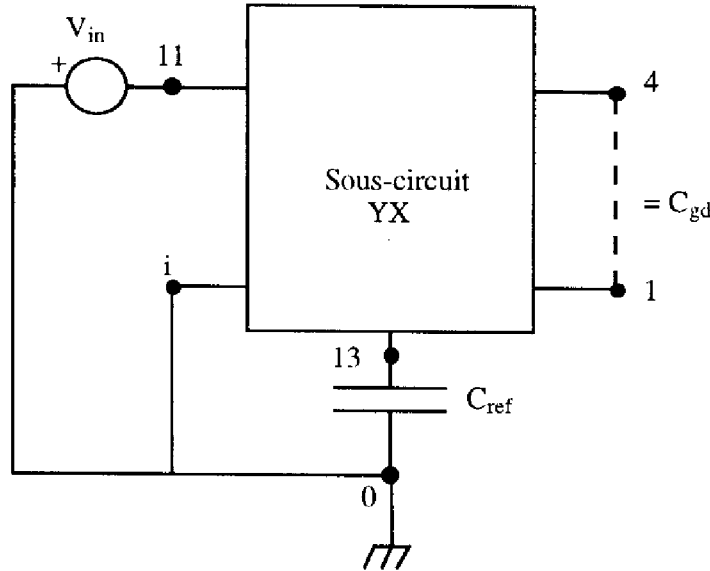


Figure III.8 : Sous-circuit proposé pour la modélisation de la capacité C_{gd} .

III.3.2.2.2. Comparaison des caractéristiques dynamiques avec les deux approches

Nous avons d'abord simulé, à l'aide de ce type de configuration, le comportement de la capacité C_{gd} en fonction de la tension de polarisation V_{dg} , en appliquant une rampe de tension $V_{dg}(t)$, dont la pente dV/dt est égale à $1V/\mu s$. Sachant que $I = C \cdot dV/dt$, la capacité C s'identifie donc au courant I — figure (III.9) —.

La comparaison des courbes simulées entre le modèle à interrupteurs et le nouveau modèle à source de courant donne des résultats équivalents en ce qui concerne la précision. La légère différence d'allure entre les deux courbes provient du fait que le coefficient de gradualité m est pris égal à 0,5 dans le cas du nouveau modèle alors qu'il est un peu plus faible dans le modèle à interrupteurs. Par contre, le nouveau modèle est plus rapide — environ 40 % de gain de temps de calcul par rapport au modèle à interrupteurs — et, de plus, il ne présente pas de discontinuité à $V_{dg} = 0V$. Cette discontinuité est due, dans le modèle à interrupteurs — figure (III.9.a) —, à la commutation d'une branche capacitive à l'autre, à $V_{dg} = 0V$: lors d'un temps infiniment court, les deux interrupteurs sont ouverts, ce qui explique que le courant est alors nul en ce point.

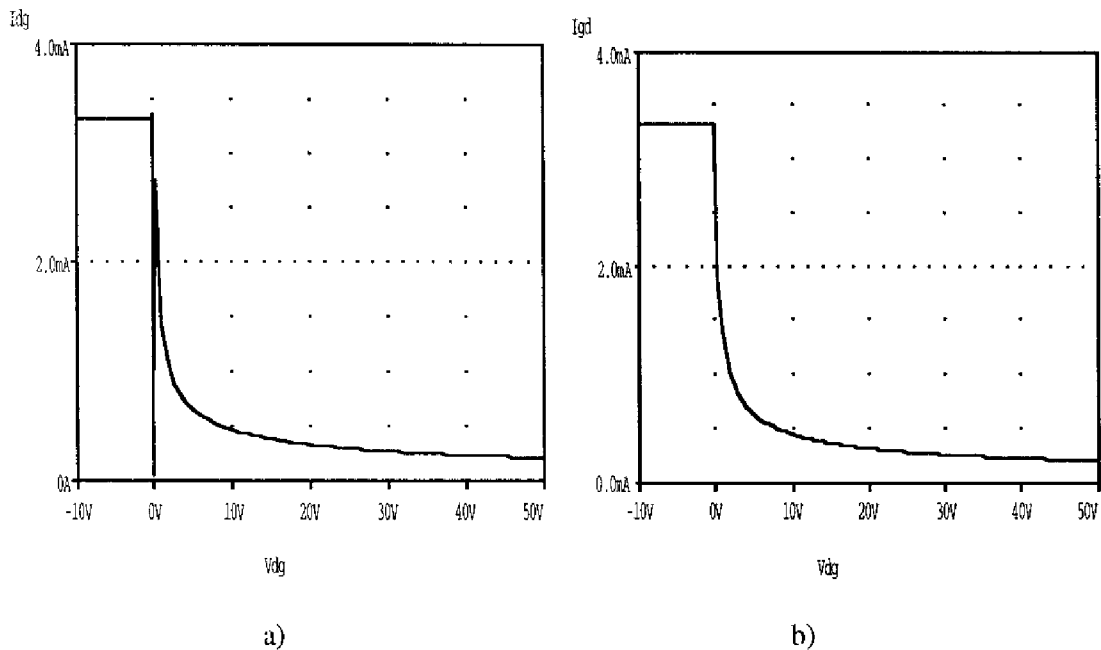


Figure III.9 : Comparaison des allures du courant dans la capacité C_{gd} en fonction de la tension drain-grille V_{dg} selon les modèles — a) à interrupteurs et b) simplifié — proposés pour le transistor 60 V.

D'autre part, les courbes simulées — figure (III.10) — de commutation du composant par la commande de la grille à courant constant sur la grille — dont le schéma de principe est rappelé au paragraphe (III.3.6.1) — sont sensiblement identiques avec les deux modèles. Là aussi, c'est le gain en temps qui est la propriété la plus intéressante du

nouveau modèle. De plus, ce modèle simplifié permettra d'effectuer des simulations en température ; il est donc d'un intérêt certain.

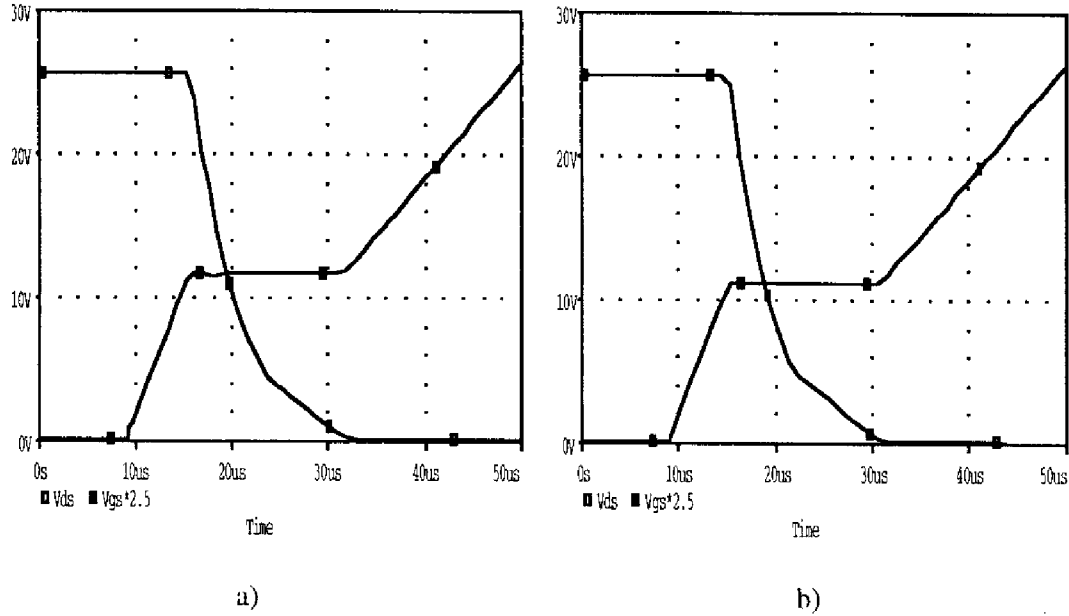


Figure III.10 : Comparaison, lors de l'attaque en courant sur la grille, des formes d'ondes des tensions grille-source et drain-source, entre les modèles : a) à interrupteurs et b) simplifié, pour le même transistor.index.html

$I_g = 2 \text{ mA}$, $V_{alim} = 25 \text{ V}$ et $R_D = 0,5 \Omega$.

III.3.3. La diode D_{Ds}

III.3.3.1. Capacité drain-source C_{ds}

La capacité drain-source C_{ds} est la capacité de transition de la jonction PN^- . Cette capacité varie non-linéairement avec la tension de polarisation entre drain et source. Pour la modéliser, nous utilisons naturellement le comportement dynamique de la diode implantée dans SPICE. En effet, lorsque la diode est polarisée en inverse ($V_a > 0$), sa capacité se réduit pratiquement à la capacité de transition C_T — relation (III.15) —.

Pour définir cette dernière, trois paramètres sont nécessaires : la capacité à polarisation nulle C_{j0} , la tension de diffusion V_j , et le coefficient de gradualité m de la jonction.

Pour déterminer ces trois grandeurs, nous identifions l'expression (III.15) à celle de la capacité de transition d'une jonction plane abrupte PN . Nous obtenons ainsi l'expression suivante pour la capacité C_{j0} par unité de surface :

$$C_{j0} = \sqrt{\frac{q \cdot \epsilon_0 \cdot \epsilon_{Si} \cdot N_A \cdot N_D}{2 \cdot (N_A + N_D) \cdot V_j}} \quad (\text{III.19})$$

N_A et N_D sont respectivement les dopages de la diffusion P et de l'épitaxie N^- , $\epsilon_0 \cdot \epsilon_{Si}$ la permittivité du silicium, V_j la tension de diffusion de la jonction décrite par la relation :

$$V_j = U_T \cdot \ln \left(\frac{N_A \cdot N_D}{n_i^2} \right) \quad (\text{III.20})$$

où n_i est la concentration intrinsèque des porteurs, $U_T = kT/q$ l'unité thermodynamique. Quant au coefficient de gradualité m , il est toujours compris entre 0 et 0,9.

III.3.3.2. Diode Dbody

En polarisation inverse du transistor — tension drain-source négative —, la jonction constituée par la diffusion de type P et l'épithaxie de type N⁻ peut être polarisée en direct et devient conductrice en provoquant l'injection de porteurs dans la région N⁻ dite de "drift" — figure (III.11) —. Ce régime n'est pas "normal" pour le composant MOS ; nous le modélisons par une diode appelée "diode DBody" et localisée entre le drain et la source. Dans SPICE, cette diode est décrite par les paramètres suivants : le courant inverse de saturation I_s , le coefficient d'idéalité n , la résistance série $R_{\text{série}}$ et le temps de transit TT des porteurs minoritaires [4].

Pour établir des expressions physiques de ces paramètres, il faudrait effectuer une étude "fine" de cette diode en utilisant une approche rigoureuse des phénomènes existants. Ceci n'est pas l'objet de notre étude.

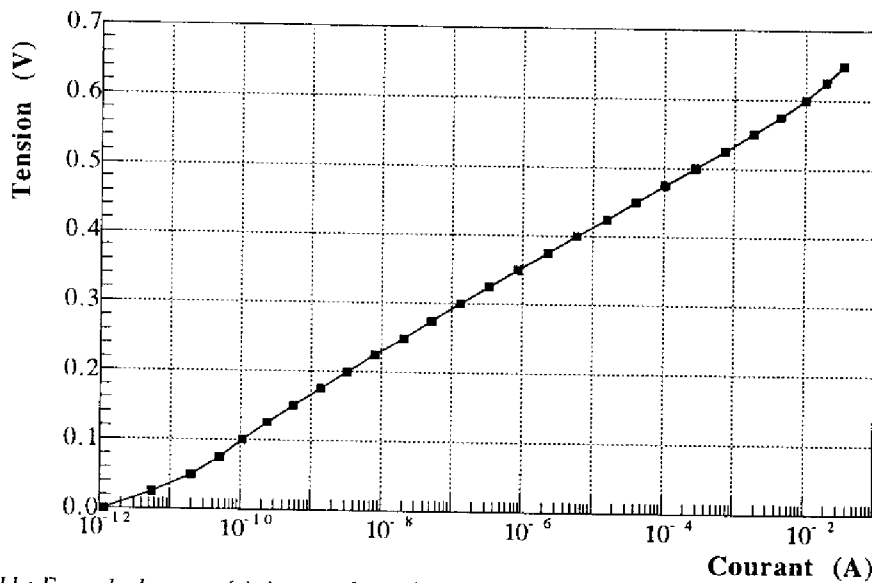


Figure III.11 : Exemple de caractéristique en direct de la diode intrinsèque d'un transistor MOS à tranchées.

III.3.3.3. Utilisation d'une seule diode entre drain et source

Dans les modèles de la figure (III.5), nous avons représenté les effets liés à la jonction PN⁻ par deux diodes : une traduit l'effet de polarisation directe — DBody —, et l'autre traduit l'effet capacitif — D_{DS} —. Or, dans le cas des transistors MOS à tranchées étudiés, la résistance R_{acc} est faible devant la résistance de volume R_{bulk} — paragraphe

(II.2.2.3) — Nous pouvons donc encore simplifier la topologie du modèle en unissant les deux diodes en une seule, D_{DS} , exprimée par ses paramètres statiques et dynamiques.

Les constantes de temps RC internes étant différentes pour les deux topologies, ceci pourrait induire des modifications des temps de montée et de descente lors d'une commutation sur charge résistive par exemple. Pour vérifier cela, deux simulations d'une telle commutation ont été réalisées : la première en gardant les deux diodes et la seconde en utilisant une seule diode.

D'après les comparaisons des temps de commutation — t_r , t_{on} , t_f et t_{off} —, la différence est de l'ordre de $0,1 \mu s$ dans le pire des cas. La figure (III.12) montre la comparaison entre les deux configurations dans le cas d'une commutation sur charge résistive. Le schéma de principe de la commutation d'un transistor MOS sur charge résistive est rappelé au paragraphe (III.3.6.2).

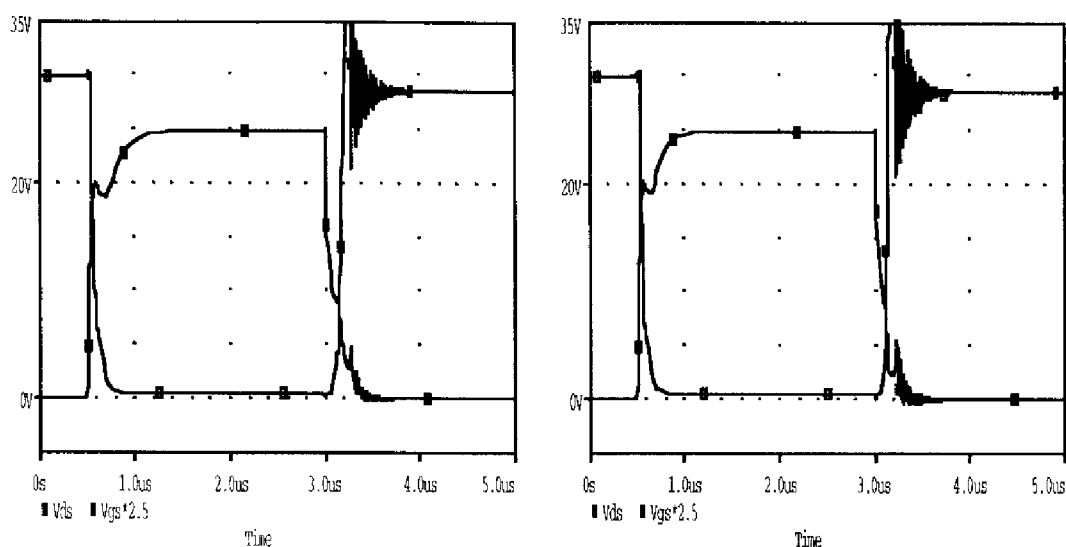


Figure III.12 : Comparaison des tensions de grille et de drain simulées en fonction du temps pour le transistor 60 V lors d'une commutation sur une charge résistive.
 $V_{alim} = 30 \text{ V}$, $R_{charge} = 0,5 \Omega$, $I_d = 60 \text{ A}$, $V_{g\acute{e}n} = 10 \text{ V}$, $R_G = 11 \Omega$.

Nous avons également comparé — figure (III.13) — les caractéristiques statiques $I_{ds}(V_{ds})$ simulées lors d'une polarisation inverse du transistor, en utilisant une seule diode ou deux : les courbes sont quasiment identiques.

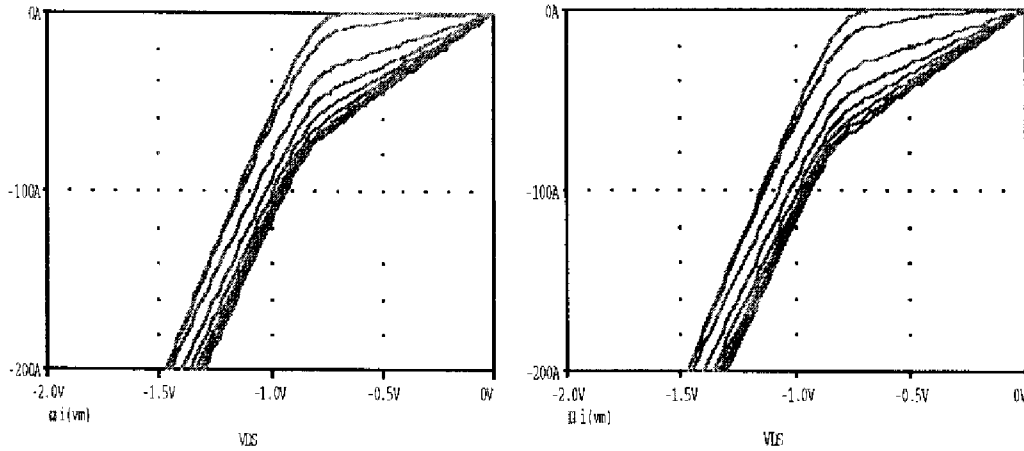


Figure III.13 : Comparaison des caractéristiques statiques en inverse pour le modèle :
a) avec deux diodes, b) avec une seule diode du transistor 60 V.

III.3.4. Autres éléments

Pour compléter le schéma équivalent du transistor MOS à tranchées, il faut rajouter à la structure intrinsèque, les éléments parasites dus à la technologie utilisée, au montage et au boîtier. Ces éléments parasites sont principalement la résistance du polysilicium de grille R_g , la résistance d'accès à la source R_s , et l'inductance parasite de source L_s liée aux interconnexions. La résistance R_s — comme la résistance R_g — n'est pas toujours calculable rigoureusement, car elle est trop dépendante d'éléments technologiques spécifiques tels que la "qualité" du contact entre métal et diffusion de source ou la résistance des fils de soudure coté source.

Cependant, lorsque la technologie est bien déterminée, la résistance R_s peut être évaluée par application de l'équation "classique" d'un barreau métallisé :

$$R = \frac{\rho \cdot L_c}{S_c} \quad (\text{III.21})$$

avec ρ la résistivité du métal, L_c et S_c respectivement la longueur et la surface.

Une évaluation de l'inductance de source L_s peut être faite par une formulation classique [12] qui tient compte des caractéristiques des fils de thermocompression.

$$L_c (nH) = 2 \cdot l_c \cdot \left[\ln \left(\frac{2 \cdot l_c}{r_c} \right) - \frac{3}{4} \right] \quad (\text{III.22})$$

l_c et r_c sont respectivement la longueur et le rayon du fil en centimètres .

III.3.5. Extraction des paramètres dynamiques

III.3.5.1. Mesures des capacités inter-électrodes

L'évolution des capacités C_{gs} , C_{gd} et C_{ds} en fonction de la tension de polarisation à leurs bornes est déterminée à partir des mesures des capacités inter-électrodes C_{oss} , C_{rss}

et C_{iss} . Nous utilisons, pour ces mesures, un capacimètre "tripôle" BOONTON — figures (III.14) et (III.15) —. Ceci permet notamment de déterminer les paramètres C_{j0} , V_j et m pour les capacités respectives de transition C_{gddes} et C_{ds} .

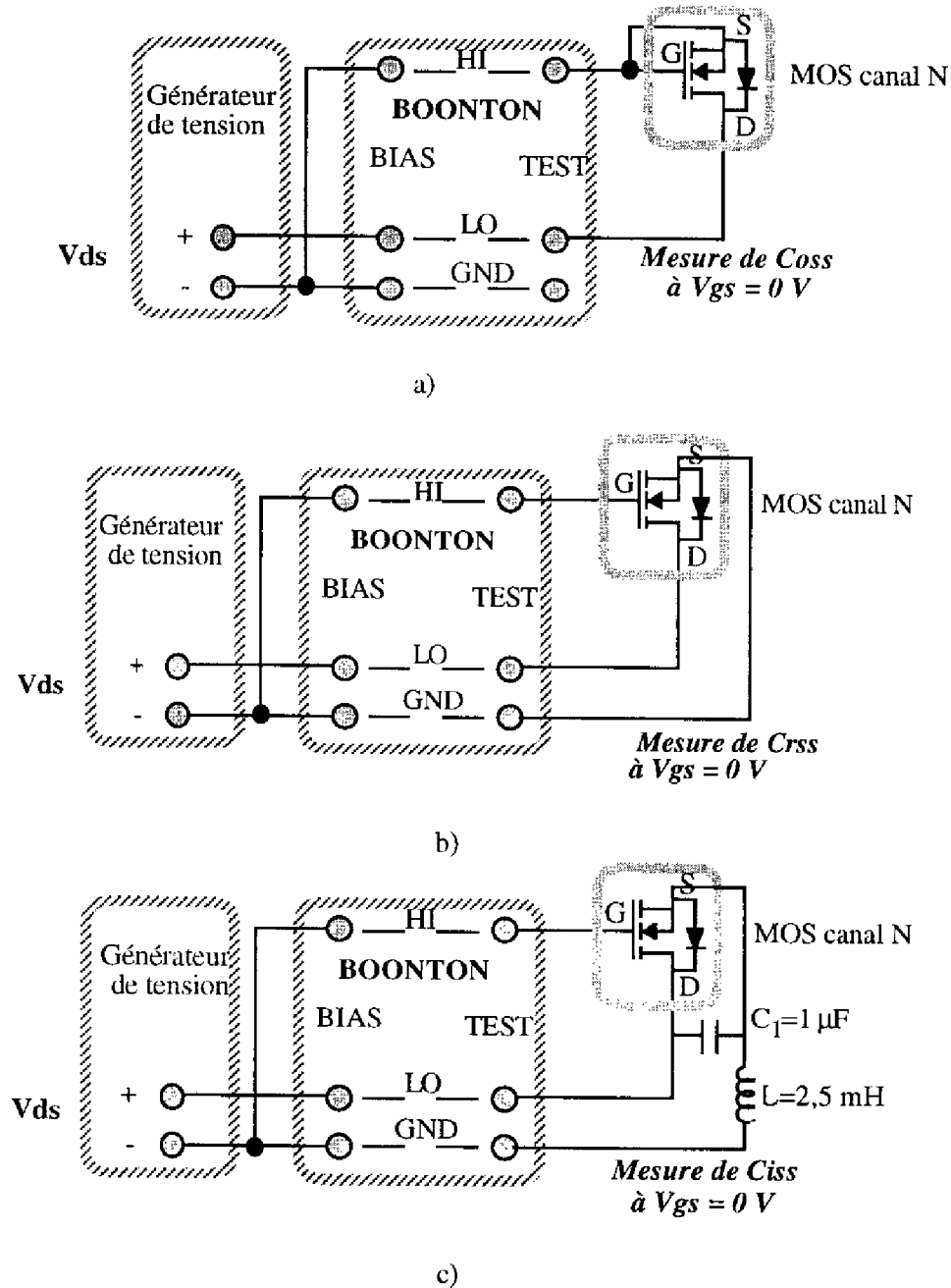


Figure III.14 : Montages de mesures des capacités inter-électrodes à $V_{gs} = 0\text{ V}$: a) C_{oss} b) C_{rss} c) C_{iss} .

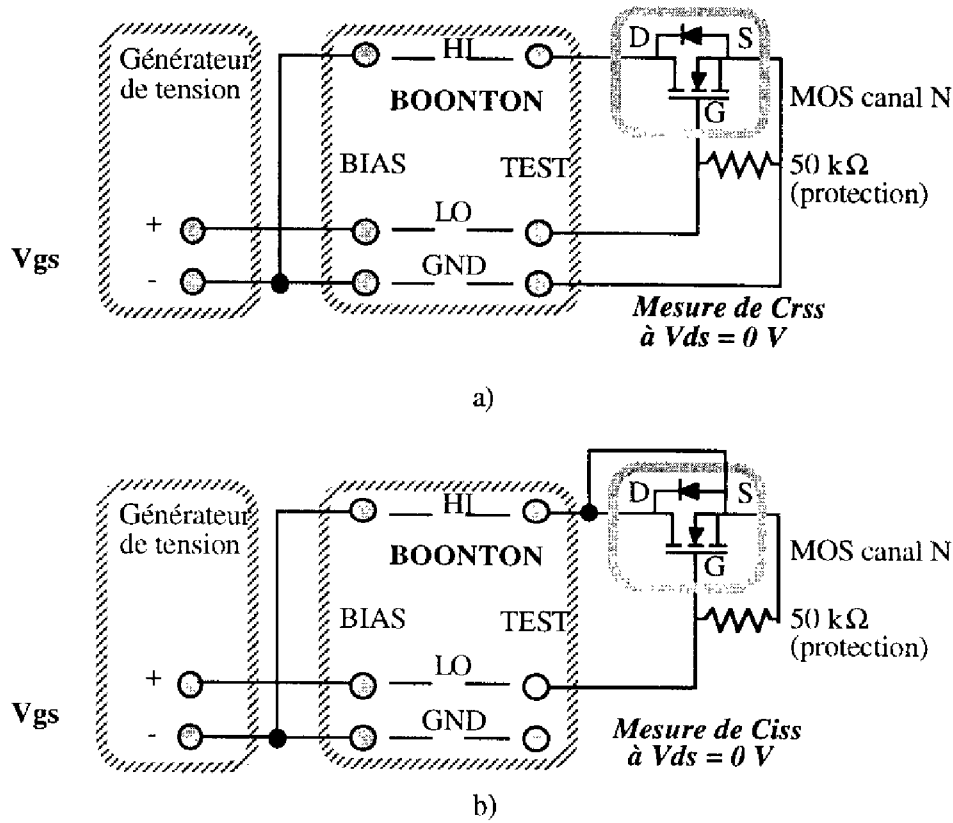


Figure III.15 : Montages de mesures des capacités inter-électrodes à $V_{ds} = 0$ V : a) C_{rss} b) C_{iss} .

Les capacités inter-électrodes C_{oss} , C_{rss} et C_{iss} sont définies par :

$$\begin{aligned} C_{iss} &= C_{gs} + C_{gd} \\ C_{oss} &= C_{gd} + C_{ds} \\ C_{rss} &= C_{gd} \end{aligned} \quad (III.23)$$

avec : C_{iss} = capacité d'entrée avec sortie en court-circuit,
 C_{oss} = capacité de sortie avec entrée en court-circuit,
 C_{rss} = capacité de transfert grille-drain C_{gd} .

A titre d'exemple, les évolutions des capacités C_{oss} , C_{rss} et C_{iss} en fonction des tensions de polarisation V_{ds} et V_{gs} sont représentées sur la figure (III.16) pour le transistor 60 V.

La mesure expérimentale de C_{rss} à tension grille-source V_{gs} nulle peut s'identifier à l'évolution de la capacité C_{gd} en fonction de sa tension aux bornes. Une fois que celle-ci est déterminée, la capacité C_{ds} se déduit directement de la mesure de la capacité de sortie C_{oss} suivant la relation :

$$C_{ds}(V_{ds}) = C_{oss}(V_{ds}) - C_{rss}(V_{ds}) = C_{oss}(V_{ds}) - C_{gd}(V_{ds}) \quad (III.24)$$

Nous pouvons aussi déterminer la valeur expérimentale de la capacité C_{gs} à partir des mesures de C_{iss} et C_{rss} . En effet, nous nous plaçons à des tensions de polarisation

V_{ds} suffisamment élevées — de l'ordre de 25 V — pour lesquelles la variation de la capacité C_{gs} devient très faible. La valeur de la capacité C_{gs} est alors donnée par la relation suivante :

$$C_{gs} = C_{iss}(V_{gs} = 0) - C_{rss}(V_{gs} = 0) \quad (III.25)$$

Les variations de la capacité C_{gs} sont également reportées sur la figure (III.16). On peut remarquer — paragraphe (III.2.1) — que ces variations sont faibles par rapport à celles de C_{gd} (C_{rss}) et de C_{ds} ($C_{oss} - C_{rss}$).

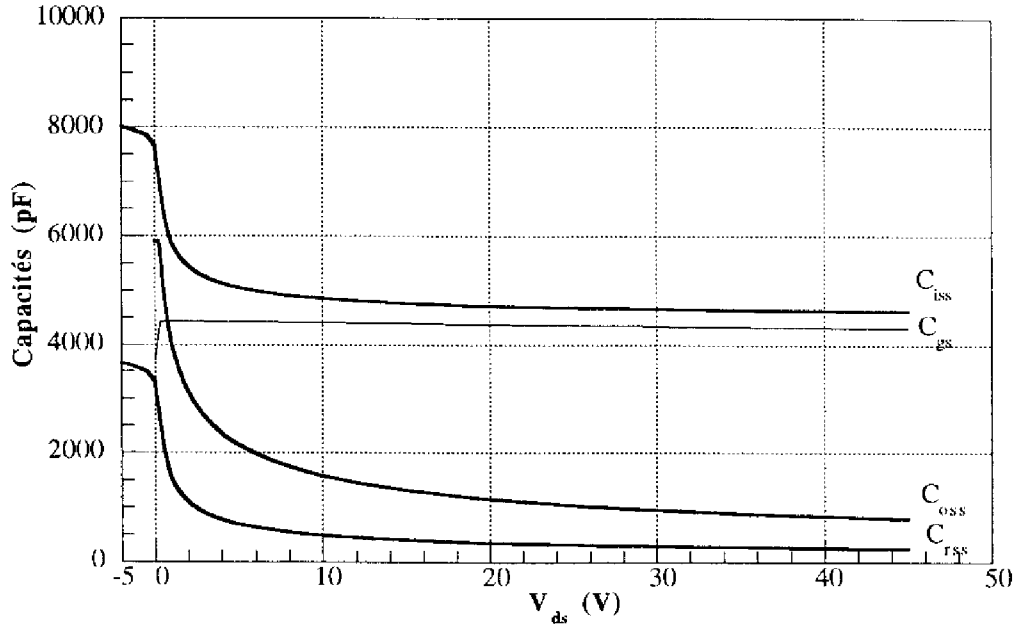


Figure III.16 : Evolution expérimentale des capacités C_{iss} , C_{rss} , C_{oss} et C_{gs} du transistor 60 V.

III.3.5.2. Détermination des paramètres C_{j0} , V_j et m

Le paramètre C_{j0} des capacités C_{gd} et C_{ds} se déduit directement lorsque leur tension aux bornes est nulle. Pour les deux capacités C_{gd} et C_{ds} , ce paramètre C_{j0} est égal à :

$$C_{j0} = C_{rss}(0) \quad \text{pour} \quad C_{gd} \quad (III.26)$$

$$C_{j0} = C_{oss}(0) - C_{rss}(0) \quad \text{pour} \quad C_{ds} \quad (III.27)$$

La détermination des paramètres V_j et m des capacités C_{gd} et C_{ds} se fait à partir de la relation (III.15). Le report des quantités $1/C_{gd}$ pour la capacité C_{gd} et $1/C_{ds}$ pour la capacité C_{ds} en fonction de leurs tensions aux bornes respectives en échelle logarithmique [10], détermine théoriquement une droite de pente m .

$$m \cdot \ln\left[1 + \frac{V_{gd}}{V_j}\right] = \ln\left[\frac{C_{j0}}{C_{gd}}\right] \quad \text{pour} \quad C_{gd} \quad (III.28)$$

$$m \cdot \ln\left[1 + \frac{V_{ds}}{V_j}\right] = \ln\left[\frac{C_{j0}}{C_{ds}}\right] \quad \text{pour} \quad C_{ds} \quad (III.29)$$

Connaissant à présent m et C_{j0} pour chaque capacité C_{gd} et C_{ds} , on en déduit la valeur du potentiel de diffusion V_j , pour une valeur arbitraire de leur tension aux bornes par application des relations suivantes :

$$V_j = \frac{V_{dg}}{\left[\frac{C_{j0}}{C_{gd}} \right]^{\frac{1}{m}} - 1} \quad \text{pour } C_{gd} \quad (\text{III.30})$$

$$V_j = \frac{V_{ds}}{\left[\frac{C_{j0}}{C_{ds}} \right]^{\frac{1}{m}} - 1} \quad \text{pour } C_{ds} \quad (\text{III.31})$$

Nous venons ainsi de déterminer expérimentalement les paramètres nécessaires à la modélisation des capacités non linéaires dans SPICE. A titre d'exemple, les valeurs de ces paramètres sont regroupés dans le tableau (III.1) pour les transistors 30 V et 60 V de notre étude.

	$\underline{C_{gs}}$ (pF)	$\underline{C_{gd}}$ C_{j0} (pF)	$\underline{C_{gd}}$ V_i (V)	$\underline{C_{gd}}$ m	$\underline{C_{ds}}$ C_{j0} (pF)	$\underline{C_{ds}}$ V_i (V)	$\underline{C_{ds}}$ m
Transistor 60 V	4350	3316	0,183	0,468	3250	0,442	0,66
Transistor 30 V	2650	551	0,043	0,287	2190	0,663	0,378

Tableau III.1 : Valeurs expérimentales des paramètres SPICE des capacités C_{gs} , C_{gd} et C_{ds} des transistors 30 V et 60 V.

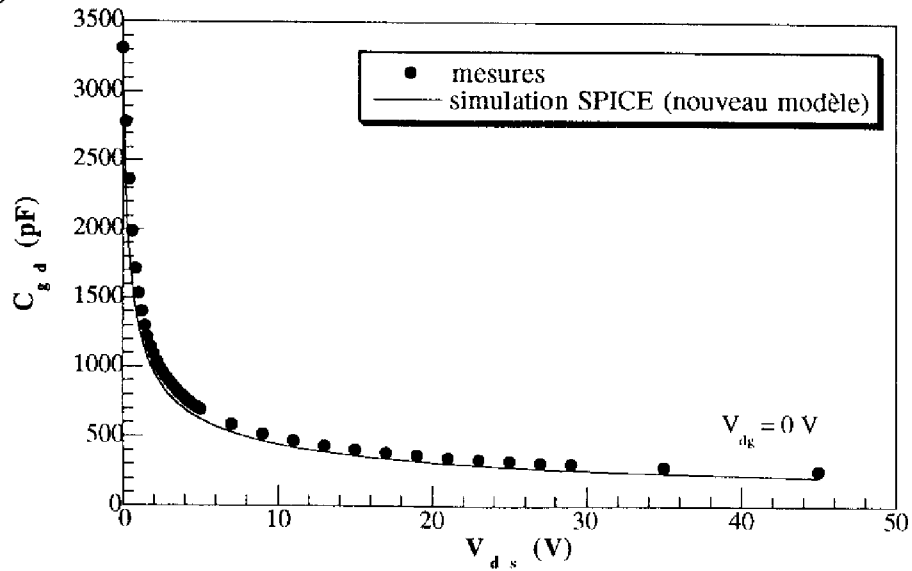
Sur la figure (III.17) sont représentées les variations simulées et mesurées des capacités inter-électrodes C_{gd} et C_{ds} du transistor 60 V. Pour la capacité C_{gd} , les deux courbes diffèrent par la valeur du coefficient de gradualité m , qui est de 0,5 dans le nouveau modèle et de 0,468, pour le transistor 60 V, dans la "réalité" — c'est-à-dire que, si le modèle à interrupteurs avait été utilisé, les courbes simulées et mesurées seraient confondues grâce à l'utilisation du facteur 0,468 dans ce modèle —. On peut noter le bon accord qui existe entre mesures et simulations, ainsi que le peu d'écart apparaissant entre les deux modèles.

III.3.6. Validation du modèle

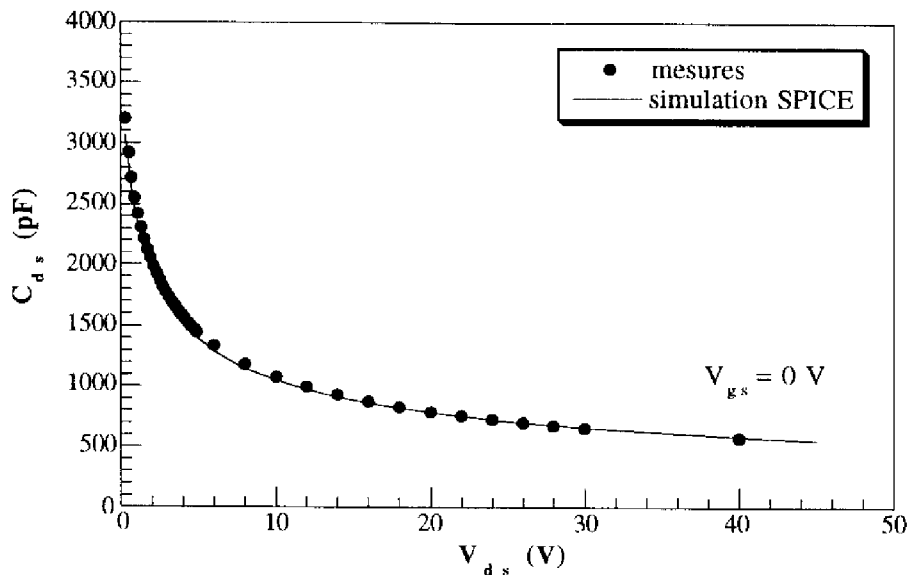
Le schéma électrique équivalent obtenu précédemment a été implanté dans le logiciel de simulation de circuits PSPICE. La validation proposée dans ce paragraphe porte, en tant qu'exemple, sur le transistor 60 V ; ce composant a été l'objet de divers tests et simulations en régimes de commutation [15] : attaque de la grille à courant constant — "gate charge" — et commutation sur une charge résistive.

III.3.6.1. Régime de commutation "gate charge"

Ce régime consiste à injecter à l'entrée du transistor, sur la grille, un courant constant I_g . Le drain est polarisé par un générateur de tension E_D à travers une résistance R_D .



a)



b)

Figure III.17 : Evolution des capacités non linéaires du transistor 60 V :
a) Capacité grille-drain C_{gd} , b) Capacité drain-source C_{ds} .

Ce test permet de valider principalement les modèles de capacités utilisés dans le schéma équivalent [5]. Sur une commutation — figure (III.19) —, la capacité d'entrée se charge et la tension de grille croît linéairement jusqu'à atteindre la tension de seuil V_T . Le

transistor se met alors à conduire en régime de pincement, et, tant que le composant reste dans ce régime, la tension de grille est caractérisée par une valeur pratiquement constante due à la valeur élevée de la capacité grille-drain effective — effet “Miller” —. Lorsque le transistor atteint, à la fin de la phase de commutation, le régime de fonctionnement ohmique, la tension de grille croît à nouveau linéairement.

Les pentes de la caractéristique de tension de grille en fonction du temps sont un reflet des valeurs des capacités inter-électrodes. De la bonne concordance observée entre relevé expérimental et courbes simulées, on peut conclure à une représentation correcte, dans le schéma équivalent, des capacités réelles.

III.3.6.2. Régime de commutation sur charge résistive

Le test en régime de commutation sur charge résistive — figure (III.20) — est mieux représentatif d’une utilisation normale du composant. Celui-ci est chargé sur son drain par une résistance R_D , la grille étant attaquée par un générateur d’impulsion de résistance interne “faible” R_G .

La figure (III.21) présente les formes d’onde typiques des tensions mesurées et celles obtenues par simulation SPICE. Les conditions expérimentales — tensions, courants, résistances — apparaissent dans la légende. Ces formes et les temps de commutation, définis classiquement t_{on} , t_r , t_{off} et t_f , mesurés sont en bon accord avec ceux obtenus en simulation — Tableau (III.2) — : une erreur inférieure à 11 % a été obtenue ; cette erreur est due non seulement au modèle mais aussi aux difficultés de la mesure qui nécessite un montage coaxial du composant. Les oscillations observées sont dues aux inductances parasites — fils de montage et d’interconnexion — inhérents au montage.

	t_{on} (ns)	t_r (ns)	t_{off} (ns)	t_f (ns)
Mesures	190	175	100	89
Simulations	195	170	96	80

Tableau (III.2) : Temps de commutation du transistor MOS à tranchées 60 V.

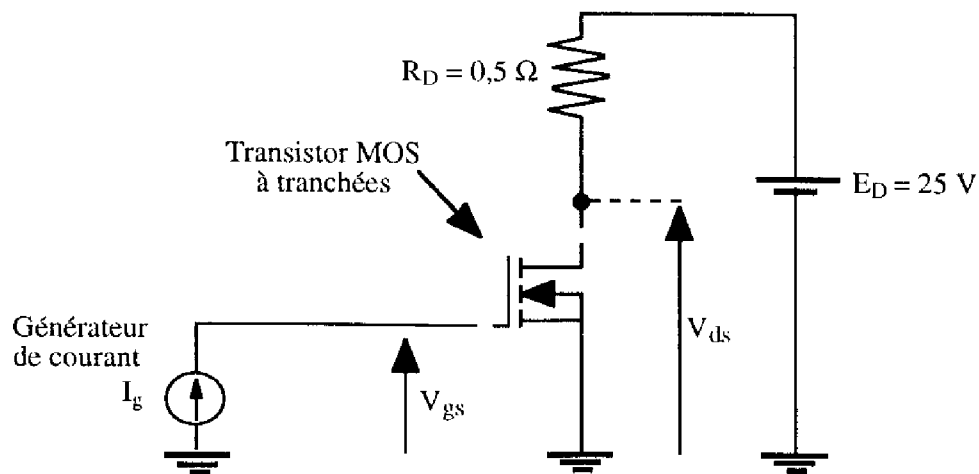
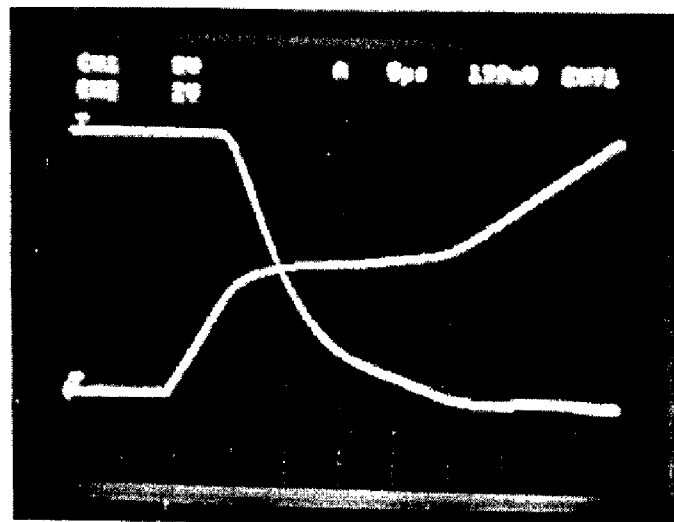
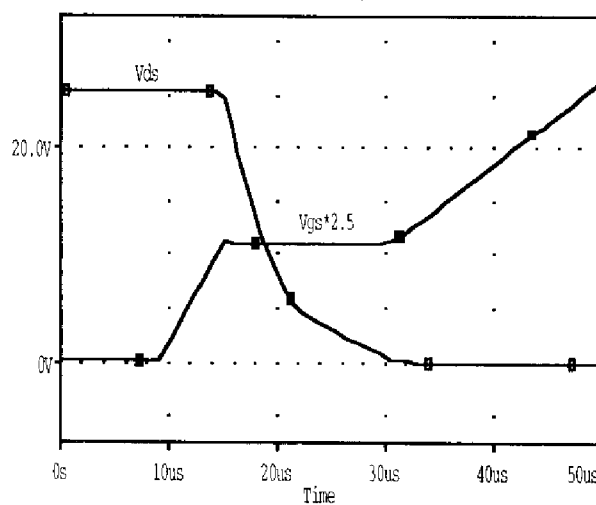


Figure III.18: Schéma de principe de la commutation "gate charge" pour le transistor 60 V.



a)



b)

Figure III.19 : Formes d'ondes lors de l'attaque en courant de la tension grille-source et drain-source.

$V_{alim} = 25 \text{ V}$, $R_D = 0,5 \Omega$, $I_g = 2 \text{ mA}$.

a) mesures, b) simulation SPICE.

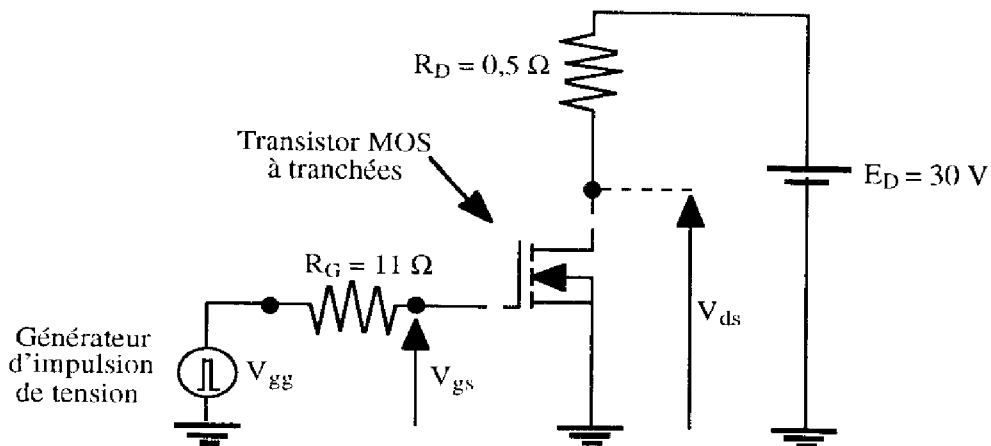
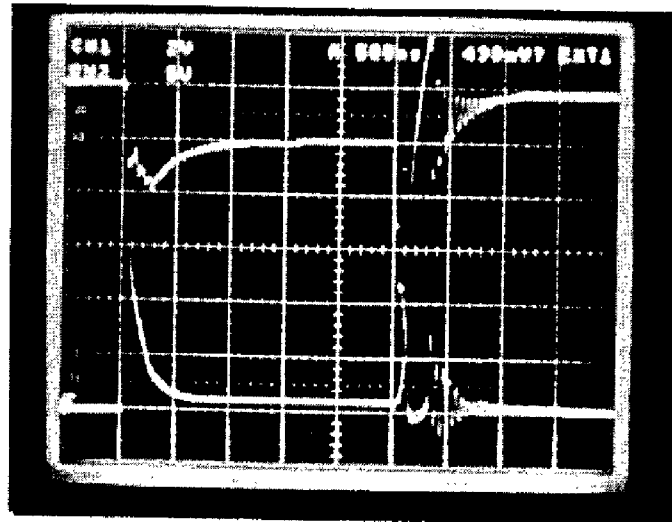
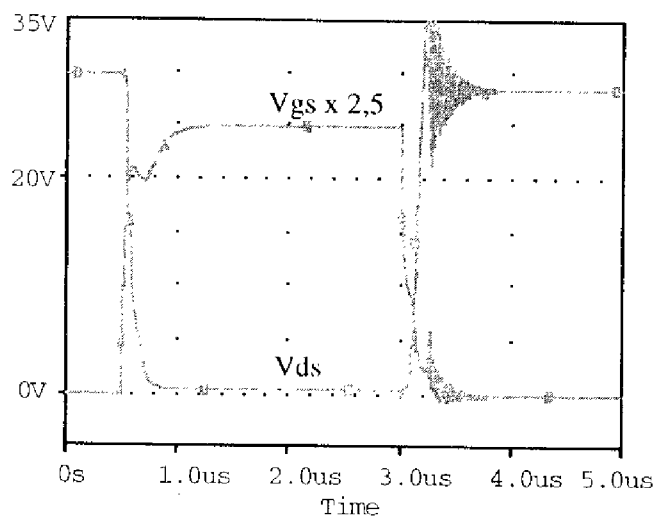


Figure III.20 : Schéma de principe de la commutation sur charge résistive pour le transistor 60 V.



a)



b)

Figure III.21 : Commutation sur charge résistive : allures de la tension grille-source et drain-source.

$V_{alim} = 30 \text{ V}$, $R_D = 0,5 \Omega$, $I_d = 60 \text{ A}$, $V_{g\text{en}} = 10 \text{ V}$, $R_G = 11 \Omega$.

a) Mesures, b) Simulation (SPICE).

III.4. CONCLUSION

Dans ce chapitre consacré à l'analyse de la structure du transistor MOS de puissance à tranchées en régime dynamique, nous avons donc principalement étudié les capacités inter-électrodes de la structure puis présenté un nouveau macro-modèle SPICE en vue de représenter le comportement des transistors MOS de puissance à tranchées en régime de commutation.

Dans un premier temps, nous avons calculé les expressions des capacités inter-électrodes en fonction des paramètres physiques, géométriques et technologiques de la structure MOS à tranchées. Cela a mis en évidence le comportement non-linéaire des capacités C_{ds} et C_{gd} en fonction des polarisations appliquées aux bornes du transistor.

Après un rappel des principaux modèles déjà existants, nous avons montré, dans un deuxième temps, la principale variante du nouveau modèle, c'est-à-dire les descriptions de la capacité C_{gd} par une simple source de courant et de la jonction PN⁻ par une seule diode. Le nouveau modèle est nettement moins encombrant en temps de calcul ainsi qu'en occupation de place mémoire. Il offre également la possibilité d'inclure l'action de la température au niveau de la capacité MOS. Enfin, la validation de ce nouveau modèle dynamique a été réalisée.

CHAPITRE IV :

**COMPARAISON DES LIMITES DE
PERFORMANCES DE DEUX FAMILLES DE
TRANSISTORS : VDMOS ET MOS A TRANCHEES**

IV. Comparaison des limites de performances de deux familles de transistors : VDMOS et MOS à tranchées

IV.1. INTRODUCTION

Dans ce chapitre, on va déterminer les limites de performances des deux familles de transistors de puissance, VDMOS et MOS à tranchées. On comparera les performances statiques et dynamiques actuelles des deux types de composants, puis on déterminera, à partir d'évaluations analytiques et de simulations bidimensionnelles, les performances futures que l'on est en droit d'attendre de la part de ces deux structures.

Ce chapitre est composé de deux paragraphes :

Dans un premier temps, la comparaison des performances en commutation sur les deux types de familles de composants existants à ce jour est effectuée. Nous nous appuyons notamment sur des simulations "circuit" par le logiciel SPICE et sur des simulations bidimensionnelles par PISCES. Cette comparaison est intéressante car elle met en évidence à la fois les pertes "statiques" pendant la phase établie de conduction et les pertes dynamiques pendant les phases transitoires de commutation.

La deuxième partie traite des possibilités plus théoriques d'optimisation des résistances passantes spécifiques des transistors VDMOS et MOS à tranchées. Les caractéristiques géométriques limites des deux types de composants sont déterminées afin d'obtenir des valeurs de résistances passantes spécifiques minimales. Pour ce faire, nous étudions dans le détail les différentes composantes de la résistance à l'état passant, ainsi que l'importance de la géométrie cellulaire sur la résistance passante spécifique. Pour terminer, la comparaison entre les performances limites du transistor VDMOS et du transistor MOS à tranchées est effectuée.

IV.2. COMPARAISON DES COMPOSANTS EXISTANTS

L'étude de la commutation sur charge résistive d'un transistor MOS de puissance est une application simple de l'électronique de puissance permettant de mettre en évidence les deux états de fonctionnement du composant — état bloqué et état conducteur ou passant, avec les phases de transition — ainsi que les pertes correspondantes — pertes "statiques" pendant la phase établie de conduction et pertes dynamiques pendant les commutations "état bloqué / état passant" et "état passant / état bloqué" —.

Le but de ce paragraphe est de comparer les performances en commutation des transistors VDMOS et MOS à tranchées existants en termes de pertes statiques et dynamiques. Dans cette optique, nous nous appuyons notamment sur les caractérisations de composants disponibles sur la marché qui nous ont permis, d'une part, d'extraire des

modèles “circuit” pour la simulation SPICE, et, d’autre part, d’effectuer des simulations bidimensionnelles les plus précises possibles.

IV.2.1. Régime statique

A l’aide de simulations bidimensionnelles, nous pouvons évaluer la résistance passante spécifique théorique — ou, ce qui revient au même, son inverse, que nous nommerons “facteur de mérite” — pour des dispositifs VDMOS et MOS à tranchées de technologies actuelles ayant des caractéristiques d’épithaxie permettant des tenues en tension variant de 30 à 10^3 V. Ces résultats sont tracés sur la figure (IV.1). Pour comparaison, la limite théorique relative à un barreau de silicium $(R_d.S)^{-1}$ est aussi reportée [1].

La référence des comparaisons est apportée par l’étude de composants 60 V existants actuellement sur le marché : un transistor MOS à tranchées dont le pas de répétition d’une cellule est égal à $9\text{ }\mu\text{m}$ — soit une densité d’intégration de 8 millions de cellules par pouce carré —, un transistor VDMOS de la génération haute-densité actuelle dont le pas est de $10,5\text{ }\mu\text{m}$ — soit une densité d’intégration de 6 millions de cellules par pouce carré — et un transistor VDMOS “standard” — c’est-à-dire de la génération précédente — dont le pas vaut $12,5\text{ }\mu\text{m}$ — soit une densité d’intégration de 4 millions de cellules par pouce carré —. La longueur de canal L est de $1\text{ }\mu\text{m}$ pour les trois composants, tandis que l’épaisseur de l’oxyde de grille est de $1\text{ }000\text{ }\text{\AA}$ pour le transistor MOS à tranchées et de $800\text{ }\text{\AA}$ pour les transistors VDMOS, étant entendu qu’à tenue en tension identique, l’oxyde d’un transistor MOS à tranchées est plus épais afin d’éviter le claquage de cet oxyde dans les coins de la tranchée.

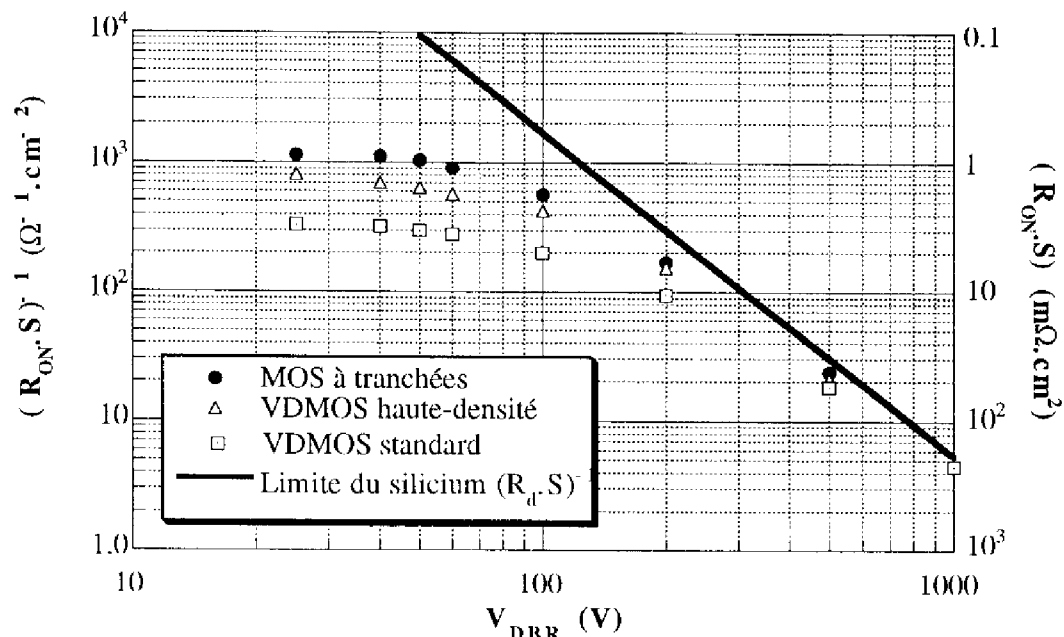


Figure IV. 1 : Comparaison des conductances théoriques à l’état passant par unité de surface — facteurs de mérite — des transistors MOS à tranchées et VDMOS en fonction de la tenue en tension. Composants actuels.

A l'observation de cette figure, quelques remarques s'imposent :

- quel que soit la structure considérée, plus la tenue en tension est élevée, plus la résistance passante spécifique l'est aussi. Ceci est évidemment lié au fait qu'en haute tension, la résistance du composant est pratiquement imposée par le matériau volumique — résistance R_d de la couche épitaxiée N^- —. Or, l'épaisseur et la résistivité de cette couche épitaxiée étant des fonctions croissantes de la tenue en tension — paragraphe (II.3.2) —, la résistance passante spécifique, qui dépend de la couche épitaxiée selon la relation (II.27), est également une fonction croissante de la tenue en tension..
- la conséquence de cette première remarque est qu'il n'y a aucun avantage réel à utiliser un transistor MOS à tranchées en haute tension : en effet, les résistances spécifiques de "drift" des trois structures étant équivalentes — pour une tenue en tension donnée —, alors les résistances passantes spécifiques le sont également.
- la supériorité du transistor MOS à tranchées sur les transistors VDMOS apparaît simplement dans le domaine des basses tensions (< 100 V). Plusieurs facteurs expliquent cette supériorité actuelle :
 - i) en basse tension, la taille cellulaire est un des facteurs déterminants sur la valeur de la résistance spécifique ; elle a en effet une influence directe sur la résistance spécifique du canal d'inversion $R_{ch,sp}$, qui est une des composantes prépondérantes dans cette gamme de tensions. Or, $R_{ch,sp}$ décroît quand le rapport Z/L augmente, c'est-à-dire quand on diminue la taille des cellules — relation (II.31) —. Ceci explique la supériorité du transistor MOS à tranchées qui présente actuellement — début 96 —, sur les produits industriels, des cellules plus petites que les transistors VDMOS, et ceci malgré un oxyde de grille plus épais qui pénalise la valeur de cette résistance de canal. Notons, pour être complet au sujet de ces tailles cellulaires, qu'actuellement, il est possible, grâce à l'auto-alignement des régions de tranchée et de contact de source et aux possibilités lithographiques de fabrication, de réaliser des composants MOS à tranchées dont le pas de répétition d'une cellule est inférieur à $6\ \mu m$ [2], ce qui correspond environ à une densité d'intégration de 18 millions de cellules par pouce carré. Par comparaison, les transistors VDMOS à géométrie cellulaire affichent des tailles de cellules de l'ordre de $10\ \mu m$ — soit une densité d'intégration d'environ 6 millions de cellules par pouce carré —, tandis qu'est apparu dernièrement — mi 96 — le transistor VDMOS le plus "performant" à ce niveau [3] : c'est un transistor à géométrie linéaire — bandes parallèles — qui correspondrait à une structure multicellulaire de densité d'intégration de 15 millions de cellules par pouce carré, soit un pas de répétition de $6,5\ \mu m$. Nous verrons, au paragraphe (IV.3), que cette supériorité du transistor MOS à tranchées, en termes de taille cellulaire, est appelée à s'accroître fortement dans les années à venir.
 - ii) comme la taille des cellules est de toute façon faible pour les deux types de transistors, il apparaît, pour le transistor VDMOS haute densité, un effet limitatif dû au

rapprochement des caissons P adjacents. Cet effet, appelé par certains auteurs “effet JFET” [4, 5, 6], entraîne une augmentation drastique de la résistance passante spécifique lorsque la distance intercellulaire séparant deux caissons P est trop faible. Ce problème sera évoqué plus en détail dans le paragraphe (IV.3).

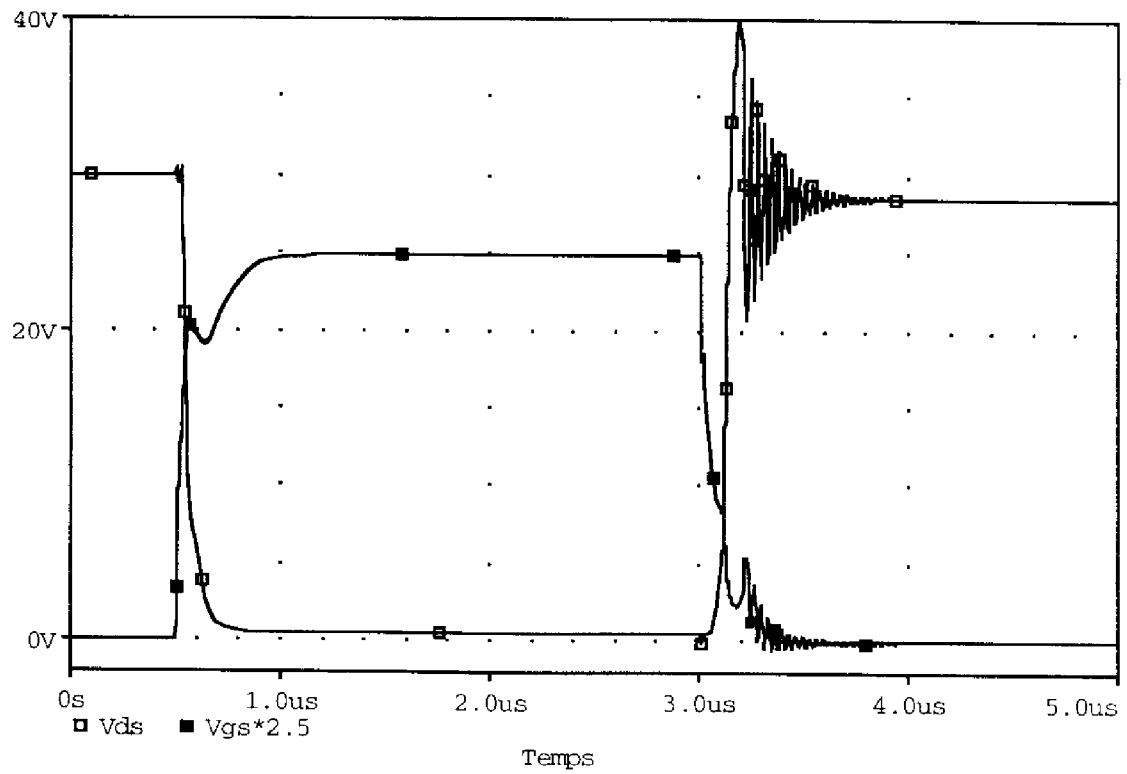
Il est donc clair, d’après cette première comparaison statique “MOS à tranchées - VDMOS”, que les transistors MOS à tranchées sont sensiblement meilleurs que les VDMOS pour des applications telles que la commutation de puissance en basse tension. En effet, à courant commuté égal, ses pertes de conduction seront réduites d’un facteur égal au rapport des résistances passantes.

IV.2.2. Régime dynamique

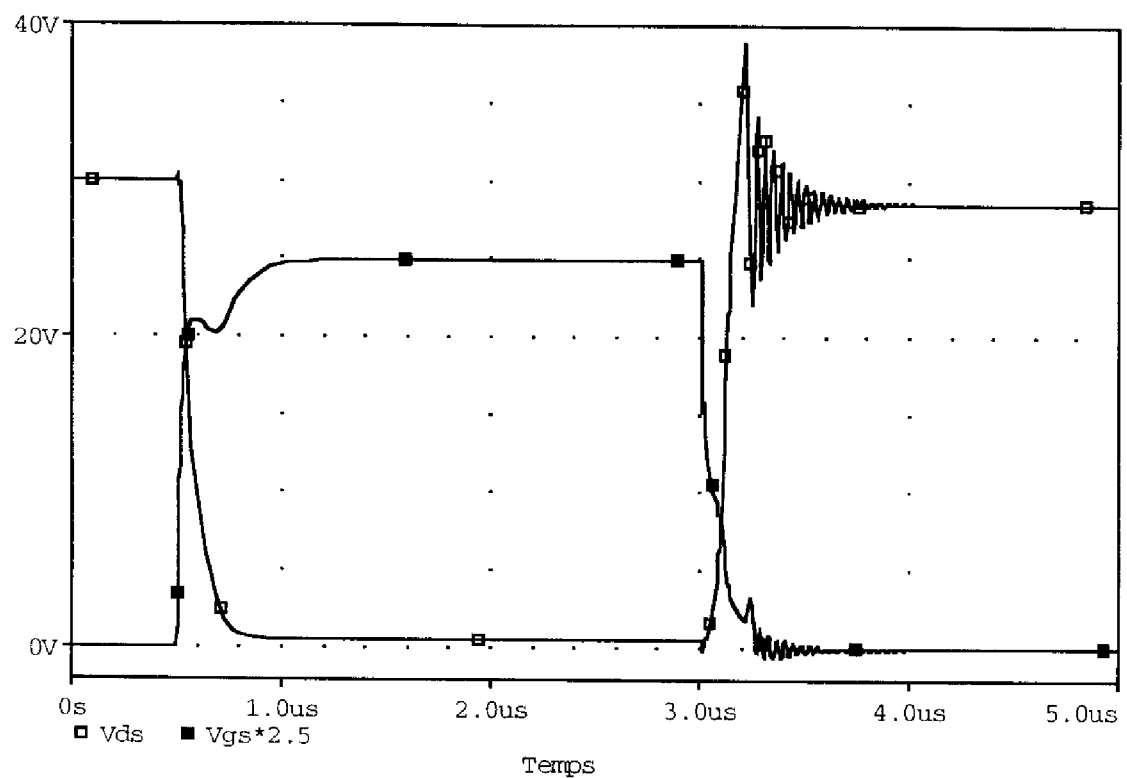
La comparaison entre un transistor VDMOS haute densité HD et un transistor MOS à tranchées est également réalisée dans le cas d’un cycle de commutation sur charge résistive. Le choix d’une telle commutation est justifié par le fait que, pour un transistor MOS, c’est un exemple simple d’application de l’électronique de puissance. De plus, cette application permet de mettre en évidence à la fois les pertes en commutation et les pertes en conduction ; or c’est la somme de ces deux valeurs qui va constituer les pertes totales dans le composant lors d’un cycle de commutation. Deux cas d’études peuvent être considérés :

i) Nous comparons tout d’abord **deux transistors MOS à tranchées et VDMOS de même tenue en tension — 60 V —, de même surface, commutant le même courant — 60 A — et contrôlant la même puissance commutée**. Le schéma retenu est celui de la figure (III.20), avec un transistor MOS de 20 mm² de surface attaqué sur la grille par un générateur de tension (0V-10V-0V), ayant une résistance interne de 11 Ω . Le drain est chargé par une simple résistance : cette résistance de charge vaut 0,5 Ω et la tension d’alimentation, prise égale à la moitié de la tenue en tension, vaut 30 V — la puissance commutée est donc égale à 1,8 kW —. La figure (IV.2) représente, sur un cycle de commutation “bloqué - conducteur - bloqué”, l’évolution, simulée par SPICE, des tensions de grille et de drain. Le schéma SPICE du transistor VDMOS est celui antérieurement développé au L.A.A.S. [7], alors que le schéma SPICE du transistor MOS à tranchées est celui élaboré à partir des chapitres II et III de ce mémoire.

Il s’avère que les temps de commutation sont plus longs pour le transistor MOS à tranchées que pour le transistor VDMOS — tableau (IV.1) —. Ces pertes en commutation sont sensiblement proportionnelles au temps de commutation [8] —. Or, ce temps est, quant à lui, principalement déterminé par l’effet Miller et est proportionnel, au premier ordre, à la capacité grille-drain C_{gd} .



a)



b)

Figure IV.2 : Commutation sur charge résistive pour les transistors : a) VDMOS, b) MOS à tranchées de mêmes calibres en courant et tension et de surface.
 $V_{lim} \approx 30 \text{ V}$, $R_{charge} = 0,5 \text{ } \Omega$, $I_d = 60 \text{ A}$, $V_{gén} = 10 \text{ V}$, $R_G = 11 \text{ } \Omega$). Rapport cyclique = $2,5\mu\text{s} / 5\mu\text{s}$.

	t_{on} (ns)	t_r (ns)	t_{off} (ns)	t_f (ns)
VDMOS	146	110	128	50
MOS à tranchées	195	170	96	80

Tableau III.1 : Temps de commutation des transistors VDMOS et MOS à tranchées 60 V.

On peut donc expliquer ces pertes plus importantes par une capacité d'entrée C_{iss} — $C_{iss} = C_{gs} + C_{gd}$ — dans le transistor MOS à tranchées plus élevée que dans le transistor VDMOS, et ceci pour deux raisons principales :

- la meilleure densité d'intégration du MOS à tranchées par rapport au VDMOS implique la mise en parallèle d'un plus grand nombre de capacités élémentaires C'_{iss} , augmentant de la sorte la valeur totale de la capacité du transistor C_{iss} — $C_{iss} = N.C'_{iss}$, N étant le nombre de cellules élémentaires du transistor MOS à tranchées —. Notons, à ce sujet, que le paramètre significatif, en régime dynamique, est la capacité d'entrée par unité de surface — exprimée généralement en pF/cm² —, qui est l' "équivalent", en dynamique, de la résistance passante spécifique — exprimée, elle, en mΩ.cm² — en statique.
- pour une cellule donnée, la capacité d'oxyde C_{gdmax} par cellule est de toute façon plus élevée dans le cas du transistor MOS à tranchées en raison d'une surface intercellulaire (sur N') plus grande que pour le VDMOS — relation (III.11) —.

Signalons cependant que les pertes totales dans le composant lors d'un cycle de commutation sont sensiblement identiques pour les deux transistors — 46 W pour le MOS à tranchées et 47 W pour le VDMOS — : en effet, les pertes en conduction plus faibles dans le transistor MOS à tranchées compensent les plus fortes pertes en commutation.

ii) Une deuxième étude consiste à effectuer la comparaison entre **deux transistors de même tenue en tension, dissipant les mêmes pertes de conduction, contrôlant le même courant avec la même puissance commutée** [8]. Les pertes à la conduction et le courant passant étant les mêmes, il en résulte que les résistances à l'état passant R_{ON} des deux composants doivent être égales. Etant données les valeurs respectives des résistances passantes spécifiques de chacun des transistors, la surface du dispositif VDMOS doit obligatoirement être plus importante que celle du dispositif MOS à tranchées. Connaissant les valeurs des capacités d'entrée par unité de surface, il en résulte que la valeur de la capacité d'entrée du transistor VDMOS est supérieure à celle du transistor MOS à tranchées — tableau (IV.2) —. Par conséquent, les pertes en commutation sont également plus importantes dans le transistor VDMOS. Ce point est confirmé par l'évaluation des pertes dans les deux composants ainsi considérés par simulations SPICE — figure (IV.3) — où les pertes totales du transistor MOS à tranchées sont meilleures de 13 % par rapport à celles du transistor VDMOS. Le

transistor MOS à tranchées est donc actuellement plus performant que le transistor VDMOS en termes de gain en surface — $0,20 \text{ cm}^2$ pour le MOS à tranchées, $0,25 \text{ cm}^2$ pour le VDMOS — ainsi qu'en termes de performances en commutation.

	MOS à tranchées	VDMOS	VDMOS ayant même R_{ON} que le MOS à tranchées
S (cm^2)	0,20	0,20	0,25
R_{ON} ($\text{m}\Omega$)	6,66	8,33	6,66
$R_{ON} \cdot S$ ($\text{m}\Omega \cdot \text{cm}^2$)	1,33	1,66	1,66
C_{iss} (pF) à $V_{ds}=1 \text{ V}$	6 000	4 900	6 125
C_{iss}/S (pF/ cm^2)	30 000	24 500	24 500

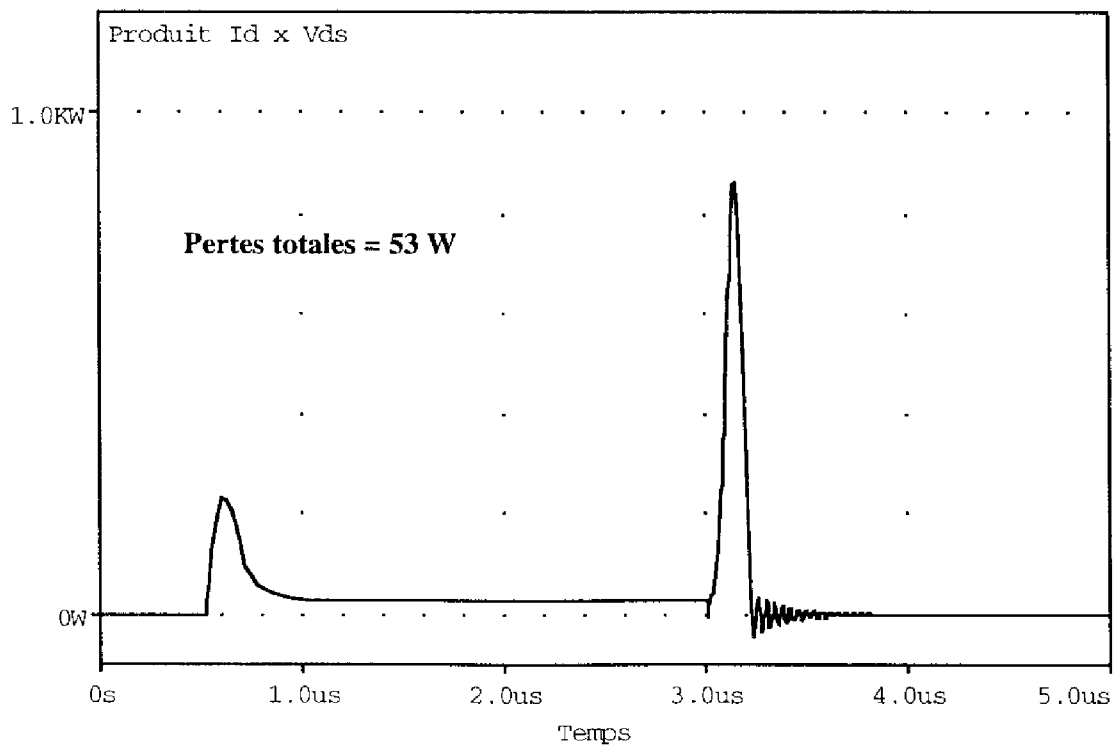
Tableau IV.2 : Comparaison des résistances à l'état passant et des capacités d'entrée des transistors MOS à tranchées et VDMOS Haute Densité.

IV.2.3. Conclusions

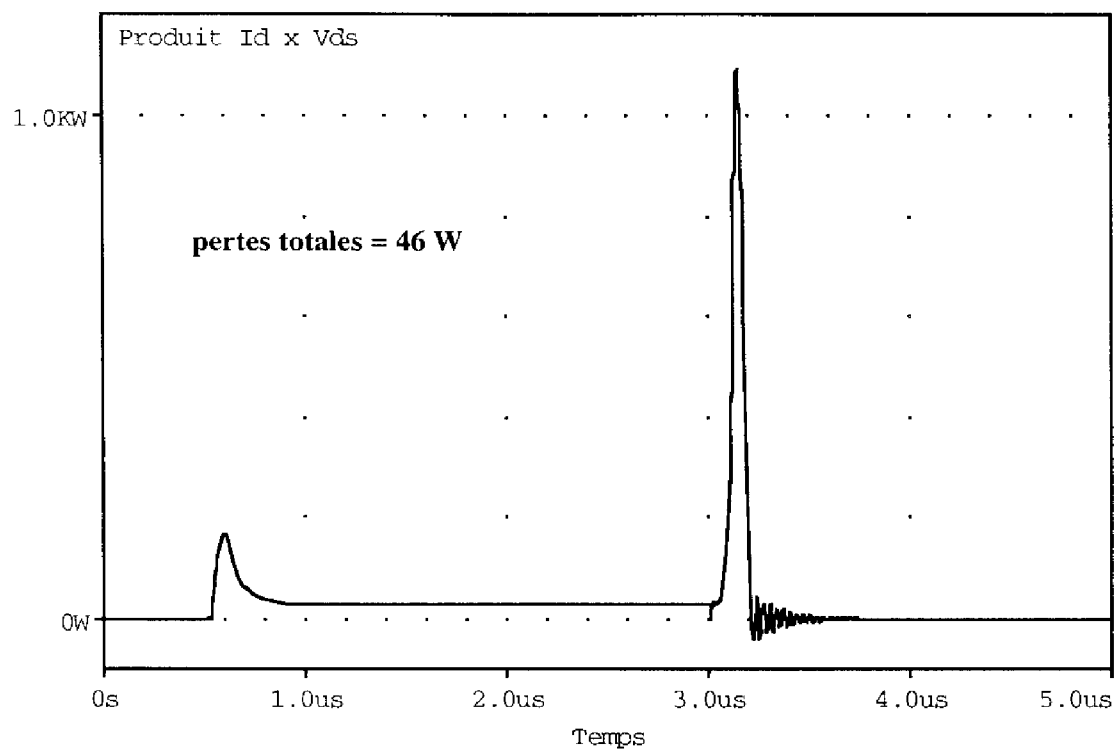
Il a donc été montré [9] sur la base de simulations PISCES et SPICE des deux types de composants MOS que :

- en termes de performances statiques — et par conséquent de pertes en conduction —, le transistor MOS de puissance à tranchées est actuellement supérieur au transistor VDMOS dans le domaine des basses tensions ($<100 \text{ V}$).
- à tenue en tension, surface, courant commuté et puissance contrôlée identiques, le temps de commutation du transistor MOS à tranchées est plus important que celui d'un transistor VDMOS. La valeur importante de la capacité grille-drain du transistor MOS à tranchées considéré en est la raison.
- enfin, pour obtenir des pertes de conduction égales, à courant commuté, puissance contrôlée et tenue en tension identiques, on doit augmenter de 25 % l'aire du composant VDMOS par rapport à son homologue à tranchées. Les pertes de commutation — et donc les pertes totales pendant un cycle de commutation — du transistor VDMOS sont alors plus importantes que celles du transistor MOS à tranchées (+13 %).

En conclusion, sur la base de technologies effectivement commercialisées, ces simulations confirment l'intérêt actuel apporté par le transistor MOS à tranchées, vis-à-vis du transistor VDMOS, sur les pertes statiques des composants unipolaires haute tension. Nous attirons toutefois l'attention sur le fait que ce nouveau composant peut être soit plus favorable soit plus défavorable en régime dynamique. Tout dépend des cas d'analyse considérés.



a)



b)

Figure IV.3 : Pertes totales simulées lors d'un cycle de commutation sur charge résistive pour les transistors : a) VDMOS HD (25 mm^2), b) MOS à tranchées (20 mm^2) du même calibre en tension (60 V) et présentant la même résistance à l'état passant ($6,66 \text{ m}\Omega$). $V_{\text{alim}} = 30 \text{ V}$, $R_{\text{charge}} = 0,5 \Omega$, $I_d = 60 \text{ A}$, $V_{\text{gén}} = 10 \text{ V}$, $R_G = 11 \Omega$. Rapport cyclique = $2,5\mu\text{s} / 5\mu\text{s}$.

IV.3. LIMITES DE PERFORMANCES STATIQUES DES TRANSISTORS MOS DE PUISSANCE

Nous venons de souligner la supériorité “actuelle” du transistor MOS à tranchées sur le transistor VDMOS en régime statique, et plus précisément en termes de résistance passante spécifique. Les progrès technologiques dans la lithographie des circuits intégrés MOS conduisent à une réduction globale de la taille des motifs géométriques et donc à un accroissement de la densité d’intégration. Cela a permis aussi de réduire les résistances passantes spécifiques des transistors VDMOS et MOS à tranchées lors de ces dernières années. Si on suppose que ces progrès vont se poursuivre, il est alors possible de prévoir une baisse régulière des valeurs de résistances passantes spécifiques dans les années à venir. Le problème est de savoir quel est, entre le VDMOS et le MOS à tranchées, le composant qui, dans l’avenir et indépendamment de toute limitation technologique, permettra d’obtenir, sur la base de la plus grande densité d’intégration possible, la résistance passante spécifique la plus faible.

IV.3.1. Limites de performances du transistor VDMOS

Le but de ce paragraphe est de mettre en évidence les limitations géométriques fondamentales dans le transistor VDMOS de puissance. Plus précisément, il s’agit d’analyser les effets géométriques de premier et de second ordre sur les caractéristiques électriques en termes de résistance passante spécifique. Le compromis à étudier sera géré par les contributions antagonistes de divers mécanismes physiques ou effets géométriques. On veut, en fait, dimensionner la cellule élémentaire pour que le composant soit optimisé, en termes de résistance passante spécifique, et ceci, indépendamment de toute considération de règle de dessin technologique.

Pour ce faire, on étudie une à une les principales composantes de la résistance spécifique passante et on essaie de montrer quels sont les paramètres qui permettent d’optimiser chacune de ces composantes. Les composantes de cette résistance à l’état passant du transistor VDMOS sont — figure (IV.4) — :

- la résistance de la diffusion N^+ de source R_{N^+} ,
- la résistance du canal d’inversion R_{ch} ,
- la résistance d’accès au drain R_a ,
- la résistance de “drift” de la couche épitaxiée N^- peu dopée R_d ,
- la résistance de substrat N^+ du drain R_{sub} ,
- les résistances des métallisations de drain et de source R_{ms} et R_{md} ,
- les résistances des contacts de drain et de source R_{cs} et R_{cd} ,
- les résistances des fils d’interconnexion entre le boîtier et la puce R_{fs} et R_{fd} ,
- les résistances des pattes de drain et de source R_{ps} et R_{pd} .

On s'intéresse ici uniquement aux résistances spécifiques constituant le "pavé" de silicium, c'est-à-dire aux résistances $R_{ch,sp}$, $R_{a,sp}$, $R_{d,sp}$ et $R_{sub,sp}$, la résistance $R_{N+,sp}$ étant considérée comme négligeable.

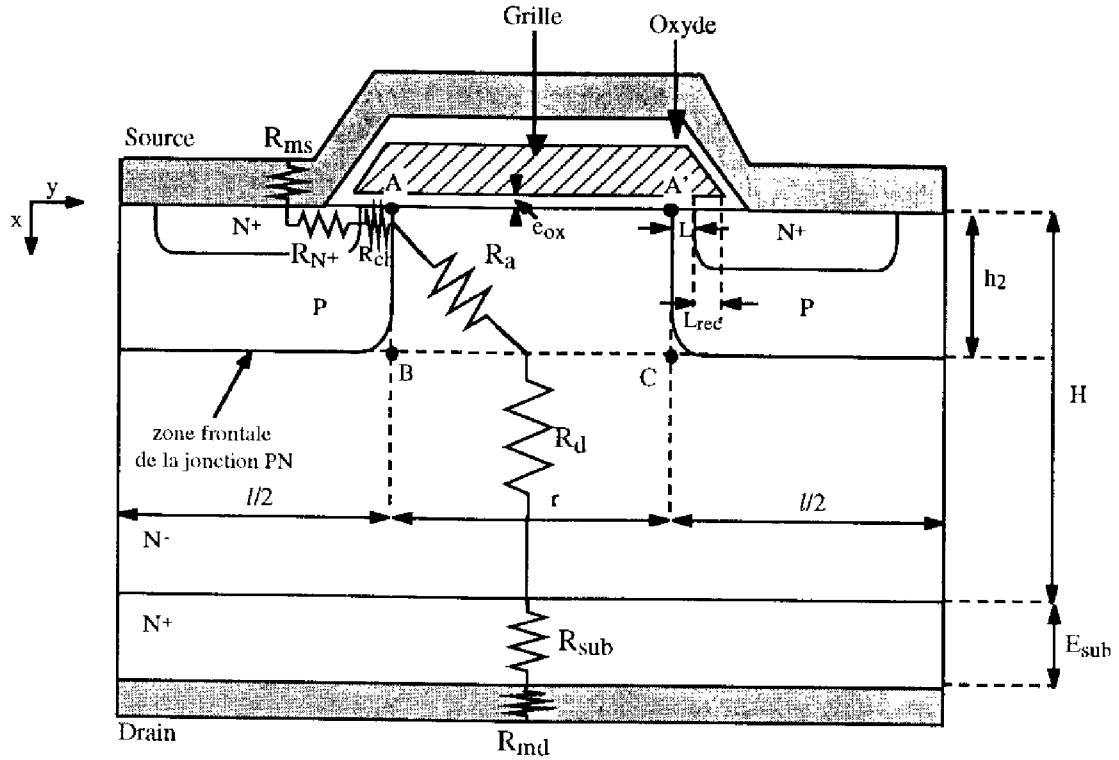


Figure IV.4 : Paramètres géométriques utilisés pour le calcul de la résistance passante spécifique d'un transistor VDMOS de puissance, et ses composantes.

IV.3.1.1. La résistance de canal

Dans le cas d'un transistor à cellules carrées alignées, la résistance spécifique de canal $R_{ch,sp}$ d'un transistor VDMOS s'exprime de la même manière que celle du transistor MOS à tranchées, dont l'expression est donnée au chapitre II par la relation (II.31) :

$$R_{ch,sp} = R_{ch} \cdot S = \frac{L \cdot (l + r)^2}{4 \cdot l \cdot \mu_0 \cdot C_{ox} \cdot \Psi} \cdot \frac{V'_{gs} + \Psi - 2 \cdot \Phi_F}{V_{gs} - V_T} \quad (IV.1)$$

D'après cette expression, il est clair que la diminution de la taille des cellules entraîne une diminution de la résistance spécifique de canal. Ainsi, en supposant que les progrès technologiques permettent une diminution constante de la taille des cellules, on aurait alors une diminution de la résistance de canal jusqu'à des valeurs infiniment faibles.

Si on suppose, par exemple, que, lorsqu'on augmente la densité d'intégration des cellules, les dimensions r , l et L sont diminuées proportionnellement par rapport aux valeurs de départ, alors le modèle analytique représenté par l'expression (IV.1) conduit à

la figure (IV.5) qui représente l'évolution de la résistance spécifique de canal en fonction de la dimension du côté d'une cellule carrée. Cette dimension représente en fait la somme $(r+l)$ définie sur la figure (IV.4). La résistance de canal dépendant fortement de l'épaisseur de l'oxyde de grille, il est apparu intéressant de montrer les résultats obtenus pour diverses épaisseurs d'oxyde. L'optimisation de la valeur de la résistance spécifique de canal consiste à développer des composants de plus en plus petits de manière à augmenter autant que possible la densité d'intégration et donc à diminuer la résistance spécifique de canal. Nous pouvons remarquer, d'après la figure (IV.5), que la diminution théorique de la taille des cellules pourrait permettre de réaliser des composants VDMOS dont la résistance spécifique de canal atteindrait moins de $10 \mu\Omega.\text{cm}^2$. Notons cependant que, pour atteindre cet ordre de grandeur, la longueur de canal devrait être de $0,1 \mu\text{m}$, ce qui n'est pas envisageable à ce jour d'un point de vue industriel et qui, de plus, poserait le problème du perçage du composant entre source et drain.

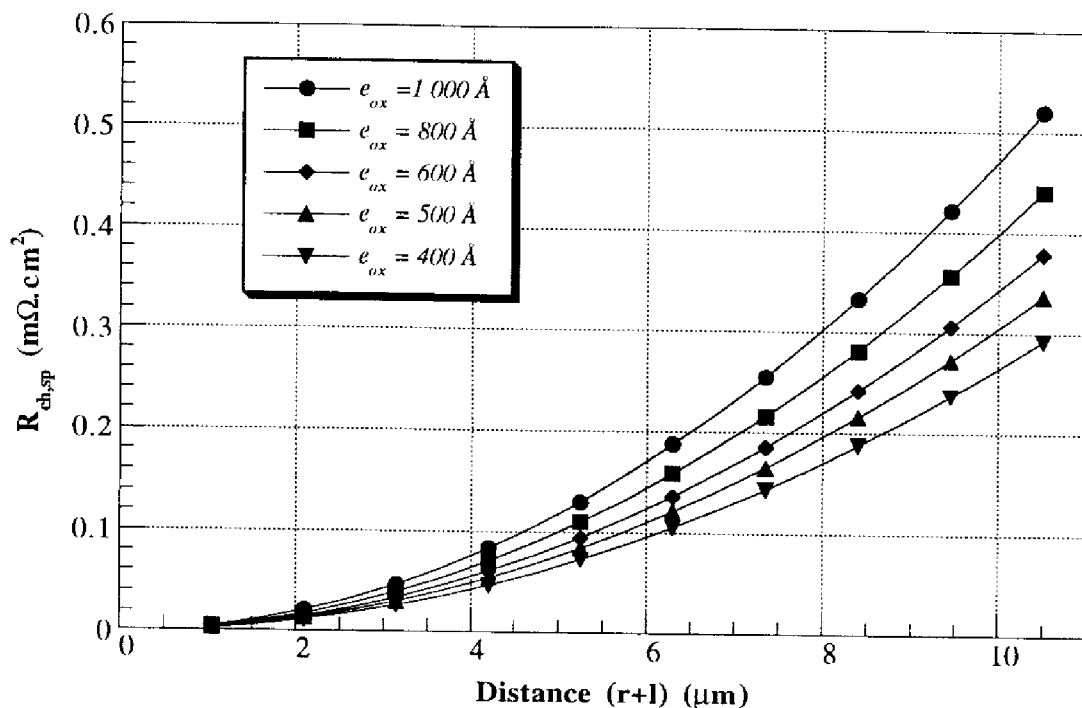


Figure IV.5 : Evolution de la résistance spécifique de canal $R_{ch,sp}$ d'un transistor VDMOS en fonction de la taille d'une cellule — cas des cellules carrées alignées —.

Un deuxième cas d'étude intéressant est celui où on fixe la largeur l du caisson P et où la variable est alors la distance intercellulaire r . L'évolution de la résistance spécifique de canal en fonction de la distance intercellulaire r est ainsi présentée figure (IV.6) pour différentes valeurs de l . L'épaisseur d'oxyde de grille a été fixée à 800 Å . Notons de plus que, pour chaque diminution de la valeur de l , la longueur de canal a été réduite proportionnellement à cette diminution. Par exemple, pour $l = 7,5 \mu\text{m}$, la longueur de canal L a été prise égale à $1 \mu\text{m}$, puis, pour $l = 6 \mu\text{m}$, L vaut $0,8 \mu\text{m}$. Les résultats obtenus pour $R_{ch,sp}$ n'ont donc pas tous une signification physique correcte, car nous

verrons plus loin que la longueur L du canal ne peut pas être réduite indéfiniment, à cause du perçage entre source et drain qui pourrait alors apparaître si le canal était trop court.

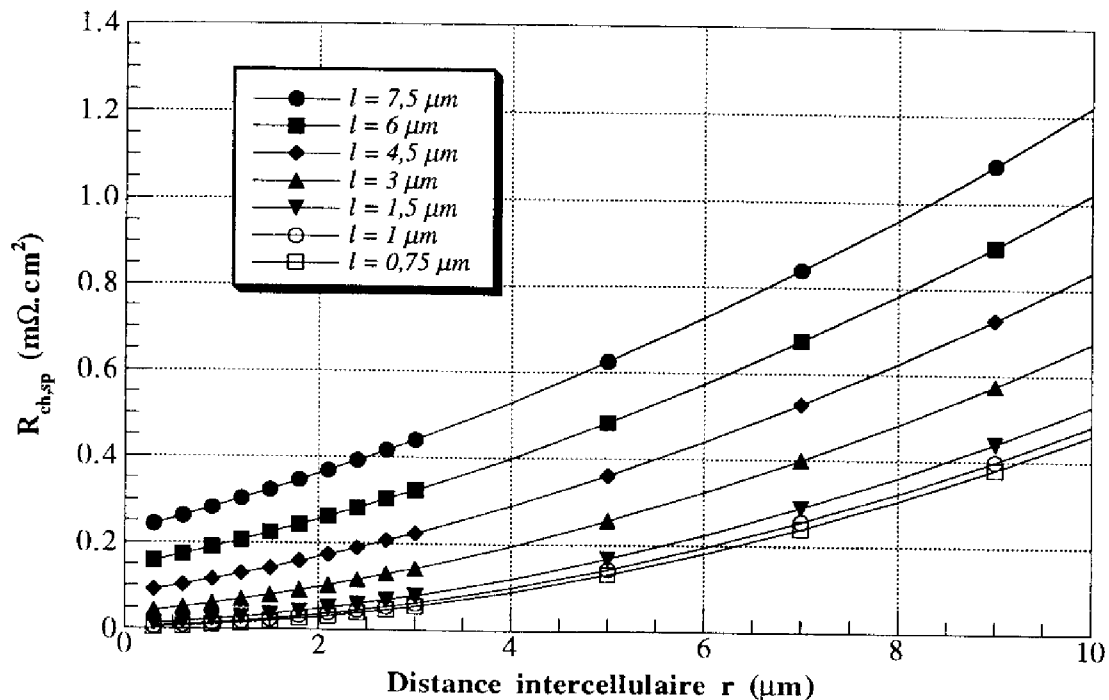


Figure IV.6 : Evolution de la résistance spécifique de canal $R_{ch,sp}$ d'un transistor VDMOS en fonction de la distance intercellulaire r — cas des cellules carrées alignées —.

IV.3.1.2. La résistance d'accès au drain

La résistance d'accès au drain R_a [10] est définie comme étant une résistance qui relie la fin du canal (point A) à la ligne BC — figure (IV.4) —, considérée comme l'équipotentielle délimitant la zone de défocalisation des lignes de courant dans le volume de la zone épitaxiée. Cette ligne BC est située à une distance h_2 de l'interface Si-SiO₂ égale à la profondeur de jonction de la diffusion P. La résistance d'accès au drain est contrôlée par deux mécanismes dont les effets sont répartis et qui sont liés à :

- la présence d'une couche accumulée induite par la polarisation positive de grille, à la surface de la zone N⁻ faiblement dopée situé sous l'oxyde de grille,
- la présence de la résistance du volume de la zone N⁻ située au-dessous de cette couche accumulée entre deux caissons P adjacents.

Plusieurs approches ont été proposées pour déterminer la résistance d'accès au drain d'un transistor VDMOS. Nous allons rappeler succinctement les deux approches principales, celle de Sun et Plummer [5] et celle de Phan Pham [10] et Sanchez [11].

IV.3.1.2.1. Approche proposée par Sun et Plummer

Sun et Plummer [5] ont simplement décomposé cette résistance d'accès R_a en la somme de deux résistances : une résistance d'accumulation R_{acc} , représentant la

contribution résistive de la couche accumulée sous la grille, et une résistance appelée R_{JFET} , traduisant la présence de la zone volumique N^- entre deux caissons P adjacents.

L'expression de la résistance de la couche d'accumulation R_{acc} est donnée dans le chapitre II — relation (II.26) —. Pour mémoire, elle est rappelée ici :

$$R_{acc} = \frac{1}{3} \left(\mu_{0acc} \cdot C_{ox} \cdot A \cdot \frac{Z}{r/2} \right)^{-1} \cdot \frac{V'_{gs} + A - 2 \cdot \Phi_F}{V_{gs} - V_T} \quad (IV.2)$$

Pour un transistor à cellules carrées alignées, la résistance spécifique de la couche accumulée $R_{acc,sp}$ s'écrit donc :

$$R_{acc,sp} = R_{acc} \cdot S = \frac{1}{24} \cdot \frac{r \cdot (r+l)^2}{l \cdot \mu_{0acc} \cdot C_{ox} \cdot A} \cdot \frac{V'_{gs} + A - 2 \cdot \Phi_F}{V_{gs} - V_T} \quad (IV.3)$$

L'expression de la résistance R_{JFET} proposée par Sun et Plummer est, quant à elle, plus complexe : l'intégration, sur toute la largeur r , d'une résistance élémentaire dR_{JFET} d'une tranche du semiconducteur de largeur dy permet d'obtenir une expression approchée de cette résistance :

$$R_{JFET} = \frac{2}{q \cdot \mu_n \cdot N_D \cdot Z} \cdot \left[\frac{1}{\sqrt{1 - \left(\frac{2 \cdot h_2}{L'} \right)^2}} \cdot \tan^{-1}(0,414) \cdot \sqrt{\frac{L' + 2 \cdot h_2}{L' - 2 \cdot h_2}} - \frac{\pi}{8} \right] \quad (IV.4)$$

où la longueur L' est définie ainsi : $L' = L_{ci} + 0,3 \cdot h_2 = [r + 2 \cdot L + 2 \cdot L_{rev}] + 0,3 \cdot h_2$

(IV.5)

La résistance spécifique $R_{JFET,sp}$ correspondant au cas d'un transistor à cellules carrées alignées a donc pour expression :

$$R_{JFET,sp} = \frac{(r+l)^2}{2 \cdot q \cdot \mu_n \cdot N_D \cdot l} \cdot \left[\frac{1}{\sqrt{1 - \left(\frac{2 \cdot h_2}{L'} \right)^2}} \cdot \tan^{-1}(0,414) \cdot \sqrt{\frac{L' + 2 \cdot h_2}{L' - 2 \cdot h_2}} - \frac{\pi}{8} \right] \quad (IV.6)$$

Pour différentes valeurs de l , les évolutions de la résistance spécifique d'accès $R_{a,sp}$ — somme des résistances $R_{acc,sp}$ et $R_{JFET,sp}$ — en fonction de la distance r séparant deux caissons adjacents P sont présentées figure (IV.7.a) : nous pouvons remarquer qu'il existe, pour une valeur l fixée, un optimum de la distance intercellulaire r qui permet d'avoir une résistance $R_{JFET,sp}$ — et, par conséquent, une résistance d'accès $R_{a,sp}$ — minimale. Cet optimum dépend de la largeur l d'un caisson P : en effet, plus l est petit, plus l'optimum est petit. Il ne sert donc à rien de réduire indéfiniment la distance intercellulaire r puisque, en-dessous d'une valeur optimale, la résistance spécifique d'accès augmente de façon sensible. Cependant, en réduisant également la distance l , on peut "déplacer" la valeur optimale de r et la résistance d'accès vers des valeurs plus faibles. Dans l'absolu, une résistance d'accès minimale peut donc être obtenue par le choix d'un couple (r, l) judicieux.

IV.3.1.2.2. Approche proposée par Phan Pham et Sanchez

Pour décrire les propriétés électriques de la zone d'accès au drain, Phan Pham [6] a proposé, pour les faibles tensions de drain, de représenter la zone de semiconducteur N^- , comprise entre les lignes AA' et BC par un schéma distribué selon les deux directions x et y — figure (IV.4) —. Suivant la direction y , est pris en compte l'effet de modification de la résistance superficielle de la couche accumulée par la tension grille-drain. Entre l'interface Si-SiO₂ et l'équipotentielle BC, est pris en compte l'effet de la résistance du volume.

En intégrant courant et tension, il a démontré que l'expression analytique de la résistance d'accès pouvait être considérée comme le produit de la résistance d'un barreau semiconducteur de section $Z \cdot (r/2)$, d'épaisseur h_2 et de dopage N_D , par un coefficient λ qui dépend des dimensions géométriques, du dopage et de la tension de grille V_{gs} . Cette résistance R_{a1} s'écrit [6] :

$$R_a = \frac{2 \cdot h_2}{q \cdot \mu_n \cdot N_D \cdot Z \cdot r} \cdot \lambda \quad (IV.7)$$

où le coefficient λ est défini par :

$$\lambda = \frac{r}{2} \cdot \sqrt{\frac{q \cdot \mu_n \cdot N_D}{\mu_{acc} \cdot C_{ox} \cdot h_2 \cdot f(V'_{gs})}} \cdot \frac{1}{th \left[\frac{r}{2} \cdot \sqrt{\frac{q \cdot \mu_n \cdot N_D}{\mu_{acc} \cdot C_{ox} \cdot h_2 \cdot f(V'_{gs})}} \right]} \quad (IV.8)$$

$$\text{avec :} \quad f(V'_{gs}) = V'_{gs} - \frac{k \cdot T}{q} \cdot \ln \left[1 + \frac{q}{k \cdot T} \cdot \frac{V'^2_{gs}}{\Phi_B(N^-)} \right] \quad (IV.9)$$

Pour la gamme des tensions étudiées, la fonction $f(V'_{gs})$ est de fait réduite à la tension V'_{gs} .

A partir de cette étude et afin d'être plus précis, Sanchez [11] a proposé un autre formalisme physiquement plus rigoureux de la résistance d'accès R_a , où il tient compte, par une loi de forme hyperbolique, de la réduction de la mobilité des électrons dans la couche accumulée sous l'action du champ électrique transverse selon la relation suivante :

$$\mu_{nacc} = \frac{\mu_{0acc}}{1 + \frac{V'_{gs}}{\Lambda}} \quad (IV.10)$$

Λ est le potentiel de réduction de la mobilité dans la couche accumulée — déjà évoqué au chapitre II — ; sa valeur est estimée à 12 V pour un oxyde de grille de 1 000 Å. μ_{0acc} est la mobilité à champ faible dans la couche accumulée [11].

En introduisant l'expression (IV.10) dans l'expression (IV.8), λ devient alors :

$$\lambda = \frac{r}{2} \cdot \sqrt{\frac{q \cdot a \cdot N_D \cdot (\Lambda + V'_{gs})}{C_{ox} \cdot h_2 \cdot \Lambda \cdot V'_{gs}}} \cdot \frac{1}{th \left[\frac{r}{2} \cdot \sqrt{\frac{q \cdot a \cdot N_D \cdot (\Lambda + V'_{gs})}{C_{ox} \cdot h_2 \cdot \Lambda \cdot V'_{gs}}} \right]} \quad (IV.11)$$

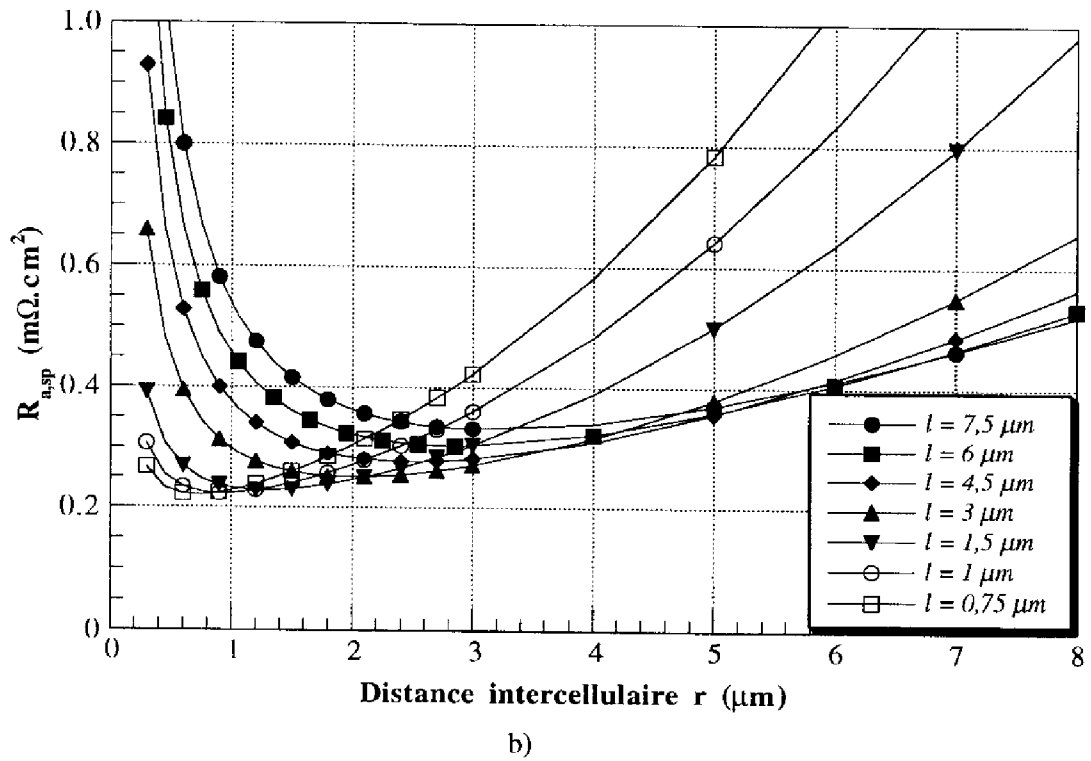
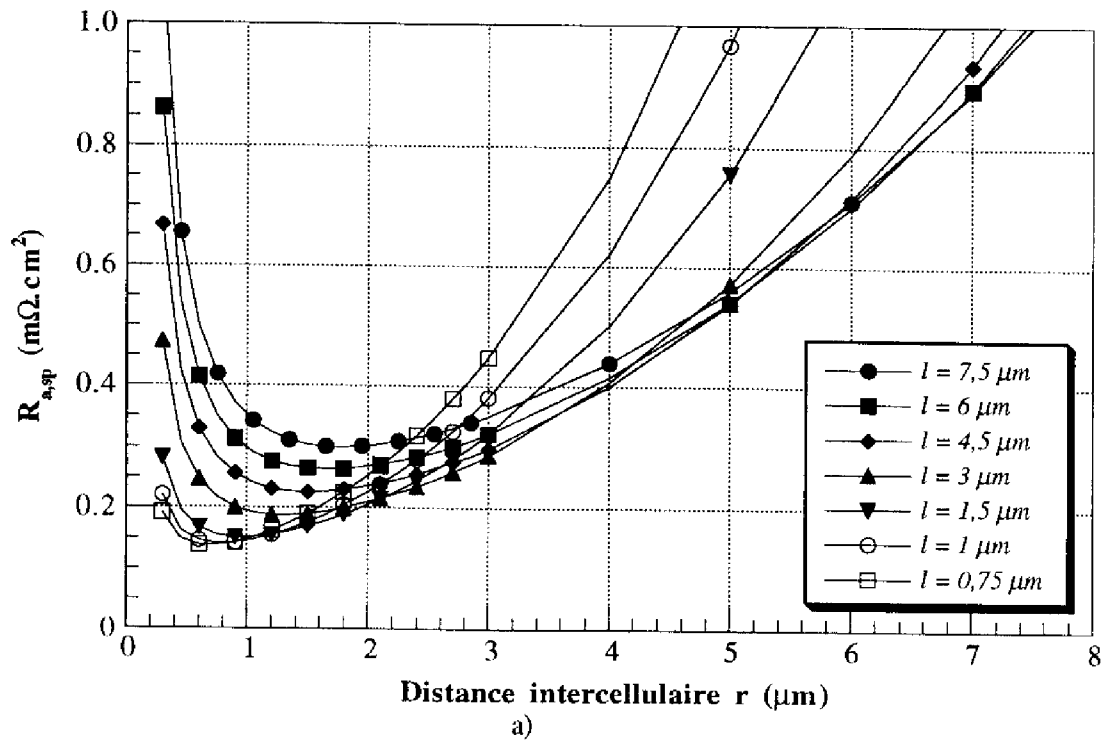


Figure IV.7 : Evolution de la résistance spécifique d'accès au drain $R_{a,sp}$ d'un transistor VDMOS en fonction de la distance intercellulaire r pour différentes largeurs de caissons P , selon :

a) Sun et Plummer [5],
b) Phan Pham [10] et Sanchez [11].

Le coefficient a représente le rapport (μ_n/μ_{0acc}) de la mobilité des porteurs dans le volume sur la mobilité à champ faible dans la couche accumulée. Les valeurs de μ_n et de μ_{0acc} étant du même ordre de grandeur, ce coefficient est en général pris égal à l'unité.

La résistance spécifique d'accès s'écrit donc, pour un transistor à cellules carrées :

$$R_{a,sp} = \frac{h_2 \cdot (r+l)^2}{q \cdot \mu_n \cdot N_D \cdot 2 \cdot l \cdot r} \cdot \lambda \quad (IV.12)$$

L'évolution de cette résistance spécifique d'accès, en fonction de la distance intercellulaire r est présentée figure (IV.7.b) pour différentes largeurs l de caissons P.

Les remarques faites dans le paragraphe précédent à propos du modèle de Sun et Plummer sont valables pour le modèle de Phan Pham et Sanchez, à savoir qu'il existe, pour une distance l donnée, une valeur de la distance intercellulaire r qui permet d'observer un minimum pour la résistance d'accès R_a . Cependant, si on compare plus en détail les deux types d'approches, on peut remarquer quelques différences significatives. En particulier, la valeur minimale de la résistance, pour une largeur l donnée, est sous-estimée dans le modèle de Sun et Plummer par rapport au modèle de Phan Pham et Sanchez — pour $l = 0,75 \mu\text{m}$ par exemple, $R_{a,sp} = 0,14 \text{ m}\Omega \cdot \text{cm}^2$ selon Sun et Plummer et $R_{a,sp} = 0,22 \text{ m}\Omega \cdot \text{cm}^2$ selon Phan Pham et Sanchez —.

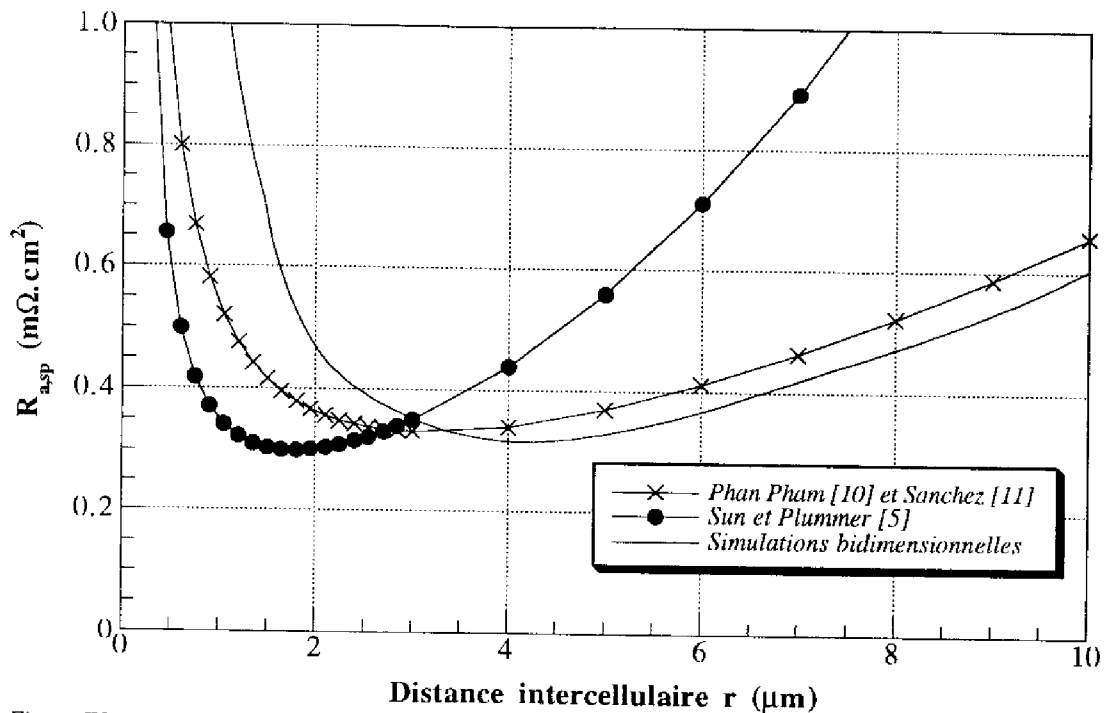


Figure IV.8 : Evolution de la résistance spécifique d'accès au drain $R_{a,sp}$ d'un transistor VDMOS en fonction de la distance intercellulaire r pour $l = 7,5 \mu\text{m}$. Comparaison des deux modèles avec l'approche bidimensionnelle — simulations PISCES —.

Par ailleurs, la distance intercellulaire optimale r diffère également selon le modèle. De tels écarts sont tout à fait normaux, étant donné que les méthodes utilisées de part et

d'autre font appel à des approximations dans les calculs. Toutefois, il nous semble que l'approche de Phan Pham et Sanchez soit plus rigoureuse que celle de Sun et Plummer, puisqu'elle utilise un schéma distribué ; la comparaison entre ces deux modèles et des simulations bidimensionnelles, réalisées pour une longueur de caisson l fixée à $7,5 \mu\text{m}$, montre d'ailleurs que le modèle de Phan Pham et Sanchez est plus proche des résultats de nos simulations que le modèle de Sun et Plummer — figure (IV.8) —. On remarque que les simulations donnent une distance intercellulaire optimale de $4 \mu\text{m}$ environ contre $3 \mu\text{m}$ pour le modèle de Phan Pham et Sanchez et $1,75 \mu\text{m}$ pour le modèle de Sun et Plummer, tandis que les valeurs des minima de résistances spécifiques d'accès sont respectivement de $0,32$, $0,33$ et $0,29 \text{ m}\Omega\cdot\text{cm}^2$. On peut considérer que l'approche bidimensionnelle réalisée avec le logiciel PISCES est la plus précise — 10 % d'erreur au maximum d'après les résultats du chapitre II —. Dans le reste de ce chapitre, les résultats simulés et ceux de Phan Pham et Sanchez seront utilisés, la relation de Sun et Plummer paraissant moins précise.

On remarque également — et cela pour les trois types d'approche — que, plus l est petit, plus la croissance de la courbe correspondante est rapide lorsque r croît après l'optimum.

IV.3.1.2.3. Influence de la profondeur de la jonction PN

La relation (IV.12) montre que la résistance spécifique d'accès dépend également de la profondeur h_2 de la jonction PN. La figure (IV.9) présente l'évolution de cette résistance en fonction de la distance intercellulaire r , pour différentes profondeurs de jonction.

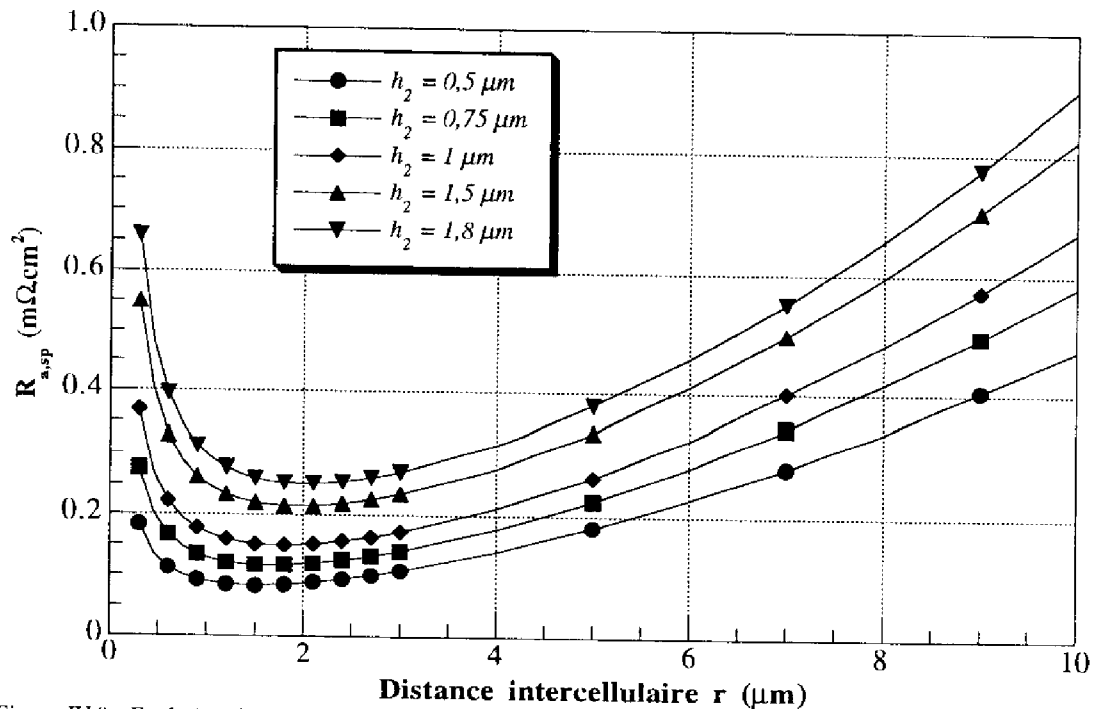


Figure IV.9 : Evolution de la résistance spécifique d'accès en fonction de la distance intercellulaire r , pour différentes profondeurs de jonction et pour $l = 3 \mu\text{m}$.

Lorsque la profondeur de jonction diminue, la résistance d'accès diminue également, de même que la distance intercellulaire optimale. Le paramètre h_2 est donc aussi un paramètre sur lequel le concepteur peut agir, dans la limite des possibilités technologiques, pour diminuer la résistance spécifique d'accès. Cette solution a déjà été utilisée par certains fabricants pour diminuer la résistance passante spécifique : on peut remarquer que le fait de réduire la profondeur h_2 de la jonction de $1\text{ }\mu\text{m}$ permet de "gagner" environ $0,13\text{ m}\Omega\cdot\text{cm}^2$.

IV.3.1.3. La résistance de "drift" de la couche épitaxiée

Plusieurs expressions analytiques de la résistance spécifique de "drift" R_d ont été établies dans le passé pour le VDMOS [12, 13]. Nous pouvons retenir, pour notre part et pour des structures basse tension, l'approche faite par Granadel [14] qui tient compte de la défocalisation des lignes de courant sous la zone diffusée P sous un angle de 45° — figure (IV.10) —, comme l'avait proposé Hu [13]. Cette approche permet d'obtenir des expressions adaptées à chaque type de configurations géométriques que l'on peut rencontrer. Dans le cas de nos transistors d'étude à cellules carrées alignées, l'expression de R_d se met sous la forme :

$$R_{d,sp} = R_d \cdot S = (q \cdot \mu_n \cdot N_D)^{-1} \cdot \left[(H - h_2) - \frac{l}{2} + \frac{r+l}{4} \cdot \ln\left(1 + \frac{2 \cdot l}{r}\right) \right] \quad \text{si } (H - h_2) > \frac{l}{2} \quad (\text{IV.13})$$

$$R_{d,sp} = R_d \cdot S = (r + l) \cdot [4 \cdot q \cdot \mu_n \cdot N_D]^{-1} \cdot \ln \left[\frac{[2 \cdot (H - h_2) + r] \cdot (2 \cdot l + r)}{r \cdot (2 \cdot l + r - 2 \cdot (H - h_2))} \right] \quad \text{si } (H - h_2) < \frac{l}{2} \quad (\text{IV.14})$$

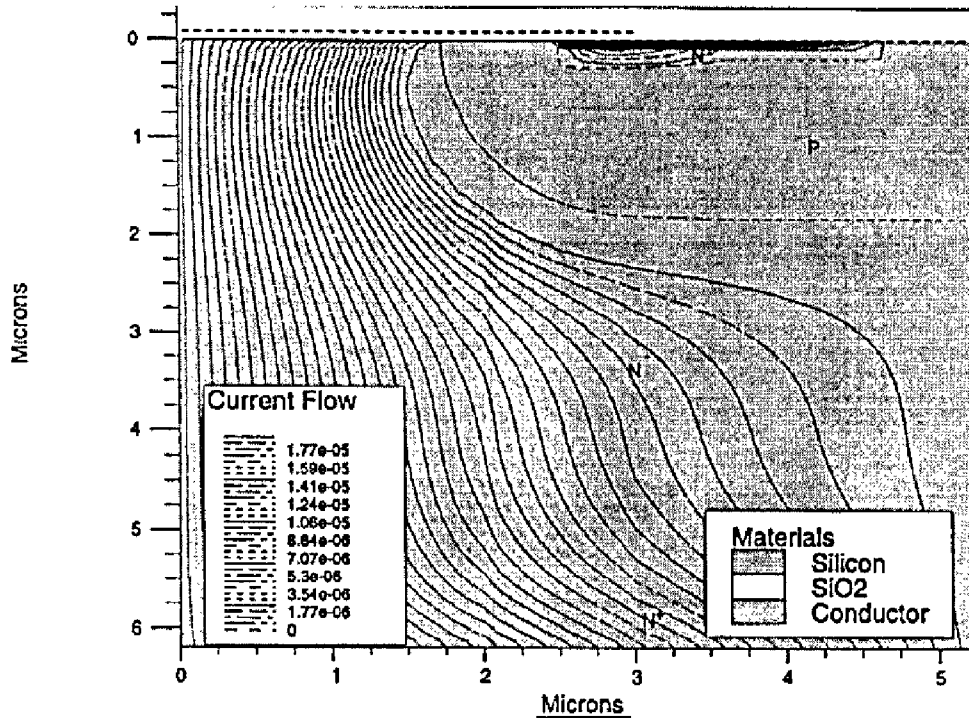


Figure IV.10 : Tracé des lignes de courant d'un transistor VDMOS par simulation bidimensionnelle. Mise en évidence de la défocalisation des lignes de courant, sous la zone diffusée P.

D'après ces relations, la résistance spécifique de "drift" dépend des dimensions r et l définies précédemment, mais aussi du dopage N_D et de l'épaisseur $(H-h_2)$ de la couche épitaxiée. Ces deux derniers paramètres, qui fixent également la tenue en tension du composant, doivent être optimisés afin de minimiser la résistance spécifique de "drift". Dans cette optique, plusieurs calculs approchés ainsi qu'une solution exacte — présentée au paragraphe (II.3.2) — ont été réalisés. On se propose ici de présenter les trois plus importantes approches.

IV.3.1.3.1. Approximation de Phan Pham

Dans le souci de traiter le cas d'un transistor MOS présentant une chute de tension à l'état passant la plus faible possible, Phan Pham [10] a cherché à minimiser la résistance par unité de surface de la zone N^- , par un choix judicieux du couple "épaisseur-dopage". Il a démontré que le couple "épaisseur - dopage" minimisant la résistance $R_{\text{épi}}$ pouvait s'exprimer suivant les relations suivantes :

$$(H - h_2) = 1,8 \cdot 10^{-6} \cdot (V_{\text{DBR}})^{\frac{7}{8}} \quad (\text{IV.15})$$

$$N_D = 1,94 \cdot 10^{18} \cdot (V_{\text{DBR}})^{-\frac{4}{8}} \quad (\text{IV.16})$$

IV.3.1.3.2. Approximation de Ghandi

Ghandi [15] a effectué le calcul de l'intégrale d'ionisation en considérant la jonction PN comme étant une jonction plane infinie — figure (II.18.b) —. Pour cela, il a utilisé l'approximation de Fulop [16] qui considère les coefficients d'ionisation α_n et α_p comme étant identiques. Dans ce cas, il a obtenu la condition de claquage en fonction de l'extension maximale de la charge d'espace $(H-h_2)$ et des paramètres de la structure :

$$(H - h_2) = \left[\frac{8}{A \cdot \left(\frac{q \cdot N_D}{\epsilon_0 \cdot \epsilon_{Si}} \right)^{\frac{7}{8}}} \right]^{\frac{1}{8}} \quad (\text{IV.17})$$

$$\text{Ce qui donne numériquement : } (H - h_2) = 2,64 \cdot 10^{10} \cdot (N_D)^{-\frac{7}{8}} \quad (\text{IV.18})$$

Or, l'extension maximale $(H-h_2)$ de la charge d'espace d'une jonction PN plane abrupte — c'est-à-dire au claquage — est donnée par [18] :

$$(H - h_2) = \sqrt{\frac{2 \cdot \epsilon_0 \cdot \epsilon_{Si}}{q \cdot N_D}} \cdot V_{bp} \quad (\text{IV.19})$$

En combinant les expressions (IV.18) et (IV.19), et après application numérique, le dopage N_D de la couche N^- en fonction de la tenue en tension V_{bp} est exprimé par la relation suivante :

$$N_D = 1,8 \cdot 10^{18} \cdot (V_{bp})^{-\frac{4}{8}} \quad (\text{IV.20})$$

IV.3.1.3.3. Approximation de Gharbi

Dans les deux calculs précédents, le choix des coefficients d'ionisation identiques ne reflétait pas la réalité physique du semiconducteur. C'est pour cette raison que Gharbi [12] a proposé un calcul différent utilisant des expressions des coefficients d'ionisation non égaux. Il a, de plus, traité les deux cas de la charge d'espace évoqués au paragraphe (II.3.2) .

Dans le cas d'une jonction infinie, il a obtenu les mêmes formes de relation que celles exposées dans les paragraphes précédents, du dopage et de l'épaisseur en fonction de la tenue en tension :

$$(H - h_2) = 2,44.10^{-6} \cdot (V_{DBR})^{\frac{7}{6}} \quad (IV.21)$$

$$N_D = 2,16.10^{18} \cdot (V_{DBR})^{-\frac{4}{3}} \quad (IV.22)$$

Dans le cas d'une jonction en limitation de charge, il a considéré que le champ critique E_c restait identique à celui d'une jonction infinie, puis a évalué le couple "épaisseur-dopage" minimisant la résistance par surface unitaire de la zone N-. Ce couple s'exprime, dans ce cas, en fonction de la tenue en tension V_{DBR} , par les relations suivantes :

$$(H - h_2) = 1,87.10^{-6} \cdot (V_{DBR})^{\frac{7}{6}} \quad (IV.23)$$

$$N_D = 1,85.10^{18} \cdot (V_{DBR})^{-\frac{4}{3}} \quad (IV.24)$$

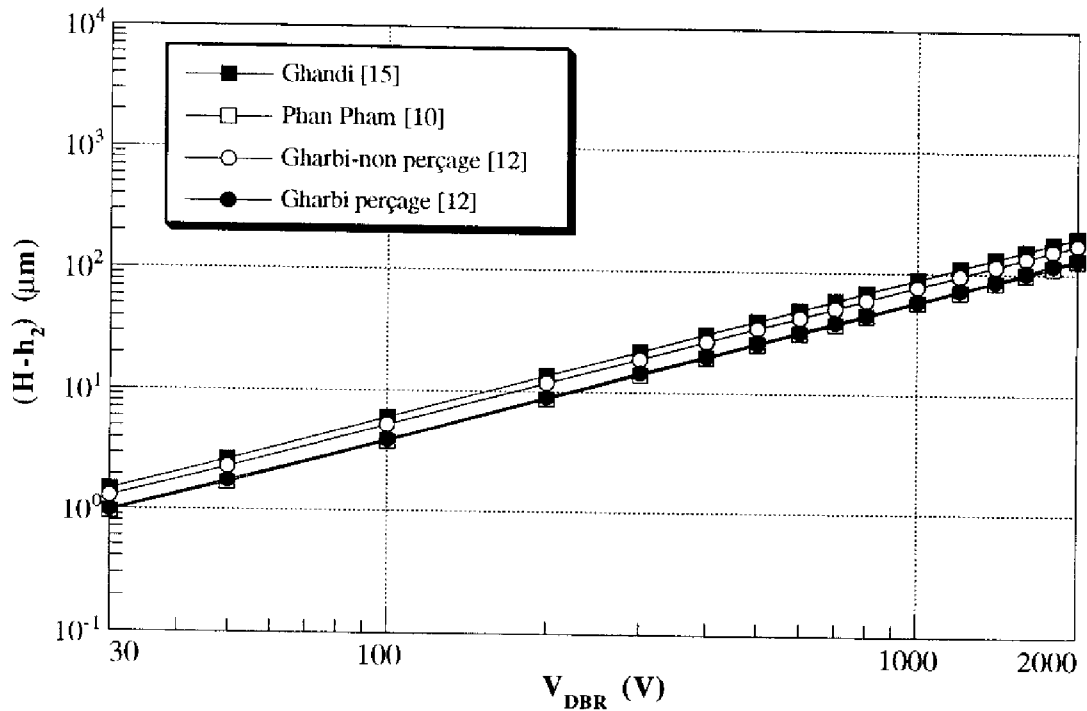


Figure IV.11 : Evolution de l'épaisseur de la couche épitaxiée en fonction de la tenue en tension V_{DBR} .

Les figures (IV.11) et (IV.12) montrent les comparaisons, entre ces différents auteurs, des évolutions de l'épaisseur et du dopage de la couche épitaxiée en fonction de

la tenue en tension. On note un écart sensible sur l'épaisseur d'épitaxie entre la solution relativement "rigoureuse" proposée par Gharbi et les approximations réalisées par Ghandi et Phan Pham.

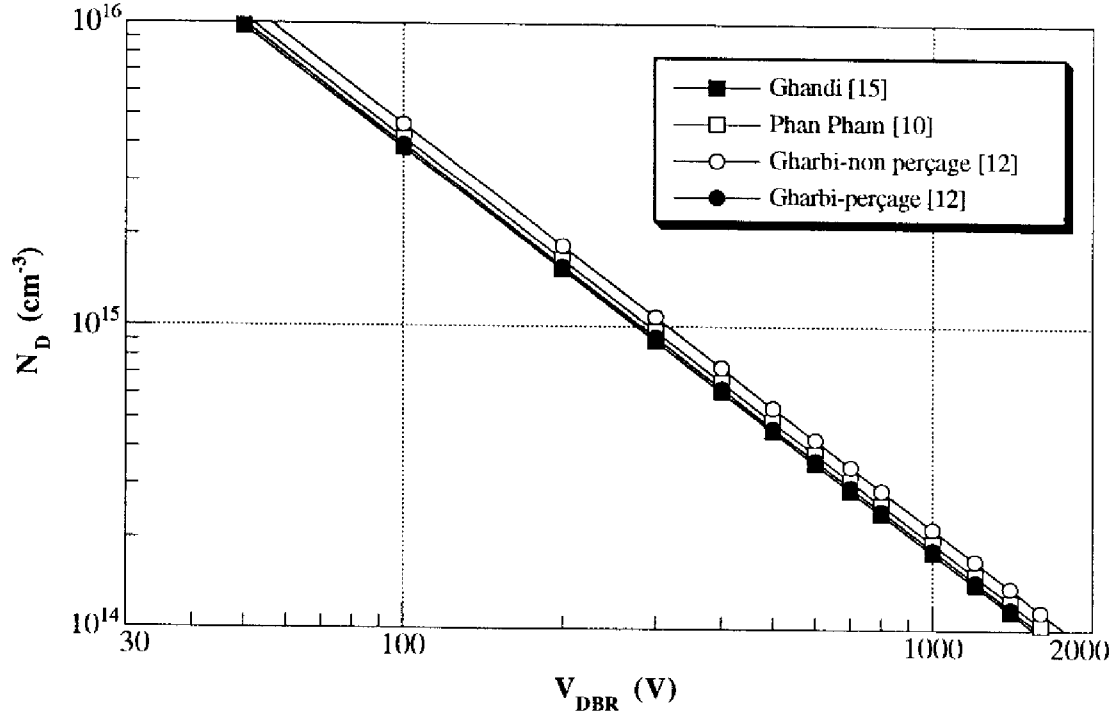


Figure IV.12 : Evolution du dopage de la couche épitaxiée en fonction de la tenue en tension V_{DBR} .

IV.3.1.3.4. Effet du couple "épaisseur-dopage" sur la résistance passante

A partir des trois méthodes de calcul du couple "épaisseur-dopage" de la couche épitaxiée N^- en fonction de la tenue en tension ainsi que de la solution "exacte" plus récemment proposée par Beydoun [17], il est possible de calculer la résistance passante de cette couche pour 1 cm^2 de silicium, ou, ce qui revient au même, sa conductance par unité de surface. La résistance par surface unitaire de la zone N^- s'exprime, d'après la formule classique de la résistance d'un barreau, par :

$$R_{épi} = \frac{(H-h_2)}{q \cdot \mu_n \cdot N_D} \quad (\text{IV.26})$$

La figure (IV.13) représente, pour les quatre méthodes utilisées, les variations de la conductance ($1/R_{épi}$) par unité de surface de la zone N^- , en fonction de la tenue en tension V_{DBR} .

En se basant sur la figure (IV.13), quelques remarques s'imposent :

- i) le cas d'une jonction plane en limitation de charge d'espace permet d'obtenir une résistance $R_{\square}$ plus faible que celle d'une jonction plane infinie.
- ii) la solution établie par Ghandi est la plus défavorable pour la résistance $R_{\square}$ — écart de l'ordre de 30 % environ par rapport aux autres —.

iii) les expressions de Phan Pham donnent une résistance $R_{\square}$ minimale (surestimation de la conductance de 5 à 10 % environ).

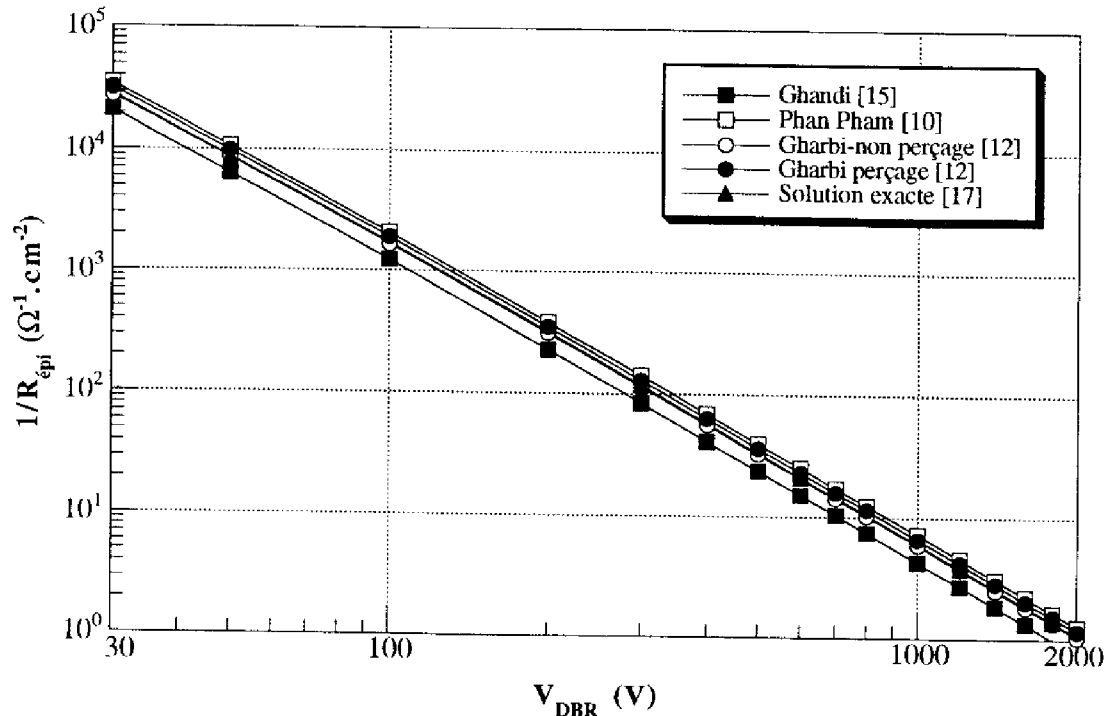


Figure IV.13 : Evolution de la conductance de la zone N^- en fonction de la tenue en tension V_{DBR} .

iv) les expressions établies par Gharbi représentent la solution la plus proche, à quelques % près, de la solution rigoureuse, ceci pour deux raisons : d'une part, Gharbi utilise des coefficients d'ionisation distincts pour les porteurs et, d'autre part, son approximation correspond mathématiquement à prendre la solution d'ordre 1 — paragraphe (II.3.2) —.

v) plus la tenue en tension désirée est importante, plus la résistance spécifique de la zone de "drift" est grande : cela signifie que, quelles que soient les optimisations futures réalisées pour diminuer la résistance passante spécifique d'un transistor MOS, cette dernière sera toujours au moins limitée par la résistance de la zone de "drift" qui supporte la tension.

IV.3.1.3.5. Influence des paramètres r et l

L'évolution de la résistance spécifique de "drift" en fonction de la distance intercellulaire r , paramétrée par la largeur l des caissons P, est donnée sur la figure (IV.14) pour des transistors VDMOS de 30 V et de 60 V de tenue en tension.

D'après cette figure, le fait de diminuer r entraîne une augmentation de la résistance spécifique de "drift". Cette augmentation est moins marquée pour les faibles valeurs de l . Cet état de fait montre qu'il n'est pas forcément avantageux de diminuer indéfiniment la taille des cellules, du moins en ce qui concerne la résistance spécifique de "drift".

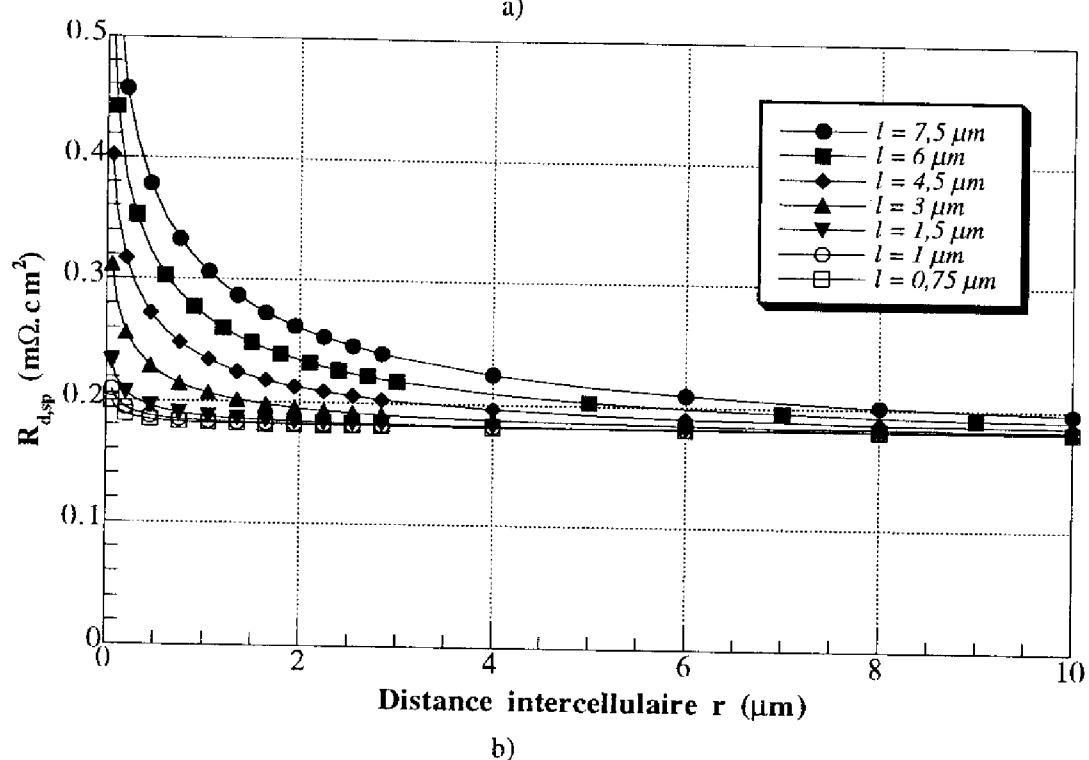
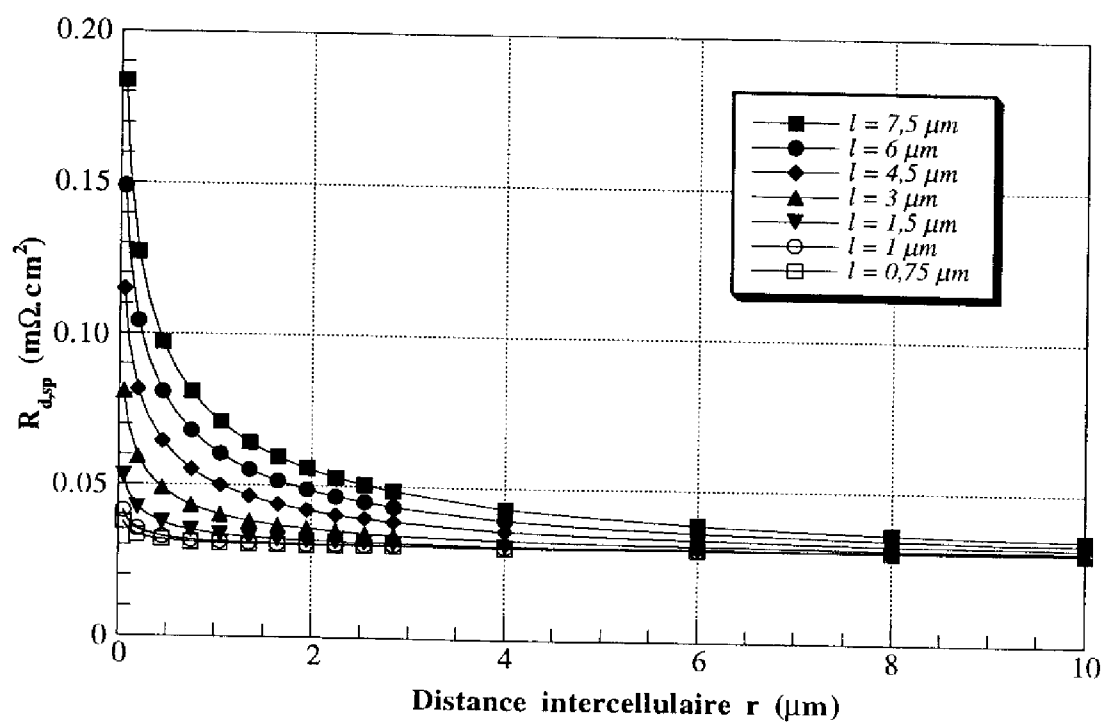


Figure IV.14 : Evolution de la résistance spécifique de "drift" $R_{d,sp}$ en fonction de la distance intercellulaire r — cas des cellules carrées alignées — pour des transistors VDMOS : a) 30 V, b) 60 V.

IV.3.1.4. La résistance de substrat

L'expression donnant la résistance spécifique de substrat $R_{sub,sp}$ a déjà été donnée dans le chapitre II. Elle a pour forme :

$$R_{sub,sp} = R_{sub} \cdot S = (q \cdot \mu_{nsub} \cdot N_{sub})^{-1} \cdot E_{sub} \quad (IV.27)$$

On peut remarquer que cette résistance spécifique est indépendante de la surface S , et donc des paramètres r et l , puisque elle est, en fait, le produit d'une résistance calculée par la relation classique d'un barreau semiconducteur ($R = \rho \cdot l / S$) par la surface S . Dans le cas d'un substrat dopé à l'arsenic ayant une résistivité de $2 \text{ m}\Omega \cdot \text{cm}$ et une épaisseur de $500 \text{ }\mu\text{m}$, la contribution théorique de cette résistance serait de $0,1 \text{ m}\Omega \cdot \text{cm}^2$. Les résultats des simulations bidimensionnelles donnent une valeur comparable.

Pour optimiser cette résistance de substrat, deux solutions s'offrent au concepteur : il peut soit réduire l'épaisseur E_{sub} du substrat — mais il doit quand même être relativement épais pour permettre à la plaquette de rester robuste durant les étapes de fabrication, de coupe et de montage du composant —, soit utiliser des substrats présentant la plus faible résistivité possible.

IV.3.1.5. Les limites de la résistance passante spécifique

IV.3.1.5.1. Limites déterminées à partir des expressions analytiques

Après l'étude de toutes ces résistances partielles, il suffit d'en faire la somme pour obtenir la résistance passante spécifique totale du transistor VDMOS. Une estimation sommaire, par simulation bidimensionnelle, de la résistance spécifique "externe", composée des résistances de métallisation, des résistances de contact, des résistances des fils d'interconnexion entre le boîtier et la puce, et des résistances des pattes de drain et de source, permet de ne pas sous-évaluer exagérément cette résistance passante spécifique totale mais aussi de comparer les résultats analytiques obtenus avec les valeurs expérimentales, quand cela est possible — figure (IV.15.b) —. Pour ne pas entrer dans le détail des calculs de cette résistance externe, elle sera artificiellement considérée comme une résistance spécifique de contact, si bien que, lorsque la surface de la cellule sera diminuée, la résistance spécifique externe sera diminuée proportionnellement. Cet artifice de calcul n'est bien sûr pas physiquement correct, puisqu'à très haute densité d'intégration, il est probable — cela est d'ailleurs déjà le cas — que cette résistance externe aura un poids important dans la résistance passante spécifique du transistor VDMOS. Simplement, un tel procédé permet de ne mettre en évidence que ce qui nous intéresse ici, c'est-à-dire l'influence des résistances constituant le pavé de silicium sur la résistance passante spécifique totale.

L'évolution de $R_{ON,sp}$ et de ses composantes en fonction de la distance intercellulaire r , et ceci pour différentes largeurs l de caisson P , est fournie sur les figures (IV.15) à (IV.17), pour des transistors VDMOS de 30 et 60 V de tenue en tension. Les calculs ont été effectués pour une profondeur de jonction h_2 de $1,8 \text{ }\mu\text{m}$. L'observation de

ces courbes montre clairement qu'il existe, pour une largeur l de caisson P donnée, une distance intercellulaire optimale r_{opt} qui minimise la résistance passante spécifique. Ceci est clairement dû à l'influence primordiale de la résistance d'accès sur la résistance spécifique passante lorsqu'on diminue la distance intercellulaire r . Les variations de la résistance de "drift" sont, quant à elles, moins importantes, et ont donc moins d'influence sur cette résistance passante spécifique.

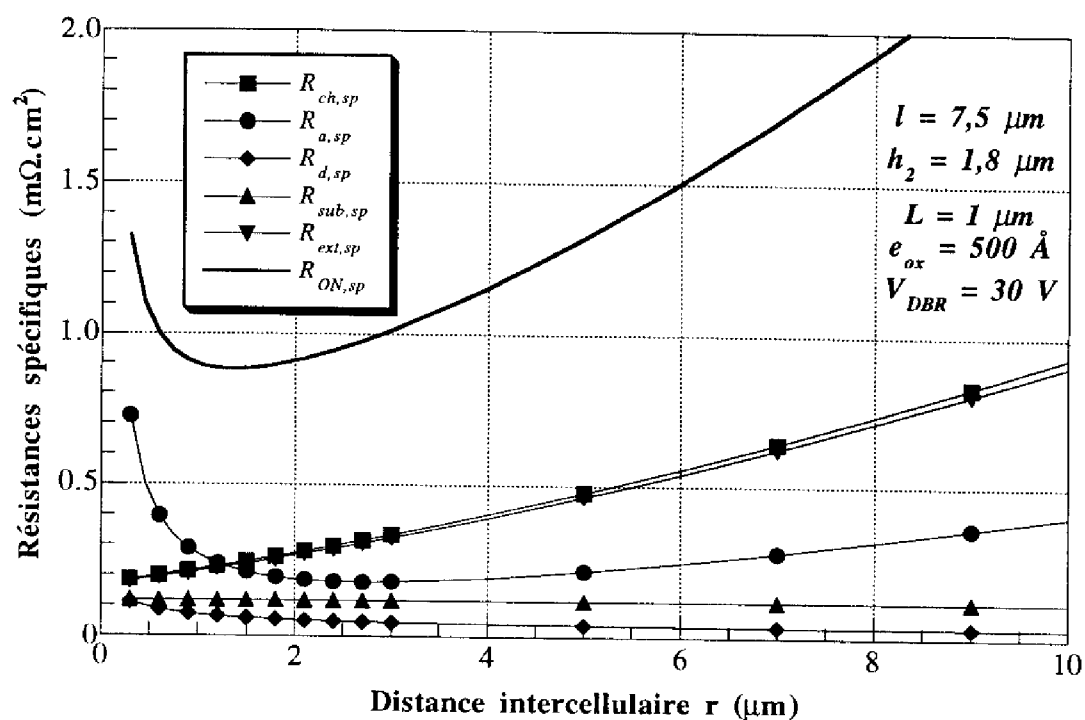
Tous les résultats exposés ici sont analytiques, la résistance spécifique d'accès étant calculée avec le modèle de Phan Pham et Sanchez. Les résultats de simulations bidimensionnelles ne sont pas reportés ici pour ne pas surcharger les figures. Seule la figure (IV.15.b) contient à la fois des résultats analytiques, des résultats de simulations bidimensionnelles et une donnée expérimentale. On peut remarquer, conformément au paragraphe (IV.3.1.2), que la valeur optimale de distance intercellulaire minimisant la résistance passante spécifique est déplacée d'environ $1\ \mu\text{m}$ vers la droite pour les simulations par rapport aux calculs analytiques. Ce "déplacement" a été observé pour tous les cas de figure ; ceci est dû au manque de précision de la méthode analytique utilisée par rapport aux simulations bidimensionnelles — notamment dans la prise en compte des valeurs de mobilités —. Cependant, l'essentiel, dans ce paragraphe, était de mettre en évidence les grandes tendances dans l'évolution des structures VDMOS :

- une diminution de la taille de la cellule élémentaire est bénéfique,
- pour une largeur l donnée, une valeur optimale de la distance intercellulaire, correspondant à un minimum de la résistance passante spécifique, est observée,
- plus on diminue l , plus cette résistance passante spécifique minimale et cette distance intercellulaire optimale sont faibles.

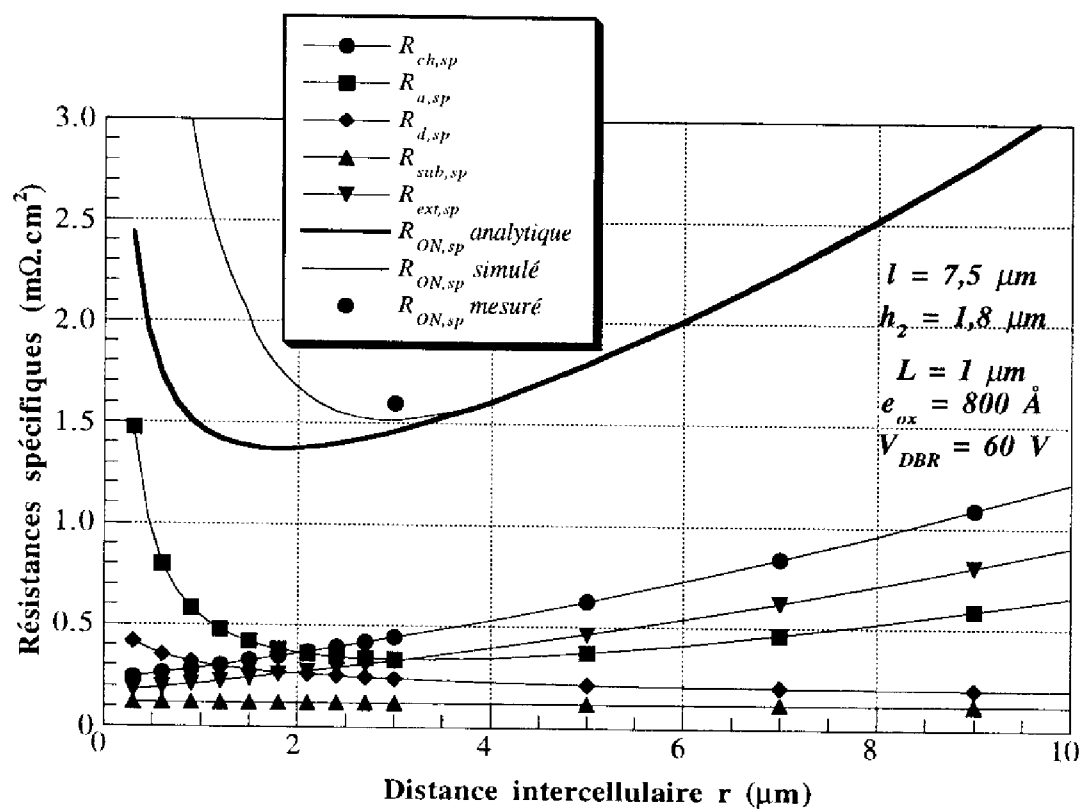
Notons par ailleurs que les simulations effectuées figure (IV.15.b) sont confirmées par la mesure, qui correspond à un transistor VDMOS 60 V ayant une densité d'intégration de 6 millions de cellules par pouce carré — avec $r = 3\ \mu\text{m}$ et $l = 7,5\ \mu\text{m}$ —. Ce point de mesure correspond même, d'après les simulations, à la distance intercellulaire r optimale. Cette remarque a également été faite par Goodenough [18] qui estime que la densité d'intégration maximale, qu'il est actuellement possible d'obtenir pour un transistor VDMOS, est de 6 millions de cellules par pouce carré, étant données les limites technologiques qui imposent une largeur l proche de $7,5\ \mu\text{m}$.

Pour être complet, les variations de $R_{ON,sp}$ en fonction de la profondeur de jonction h_2 sont exposées sur la figure (IV.18) pour un transistor VDMOS de 60 V de tenue en tension. Comme cela avait été montré précédemment, la diminution de la profondeur de jonction permet la baisse de la résistance d'accès et donc de la résistance passante spécifique totale, soit une baisse de $0,13\ \text{m}\Omega.\text{cm}^2$ — 20 % — pour une baisse de la profondeur de $1\ \mu\text{m}$ — mais on ne pourra pas diminuer indéfiniment la profondeur de la jonction, comme cela va être montré plus loin. Il semble qu'il n'y ait pas d'amélioration plus importante à attendre de ce côté-là.

Les paramètres utilisés pour ces calculs sont présentés dans l'annexe 6.

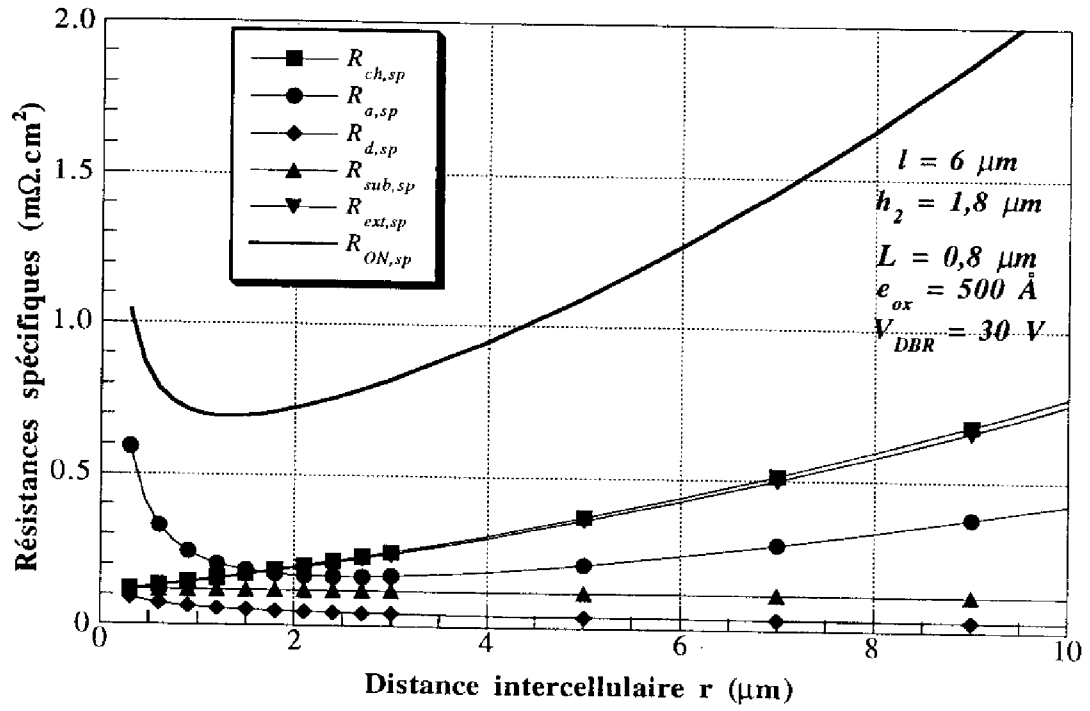


a)

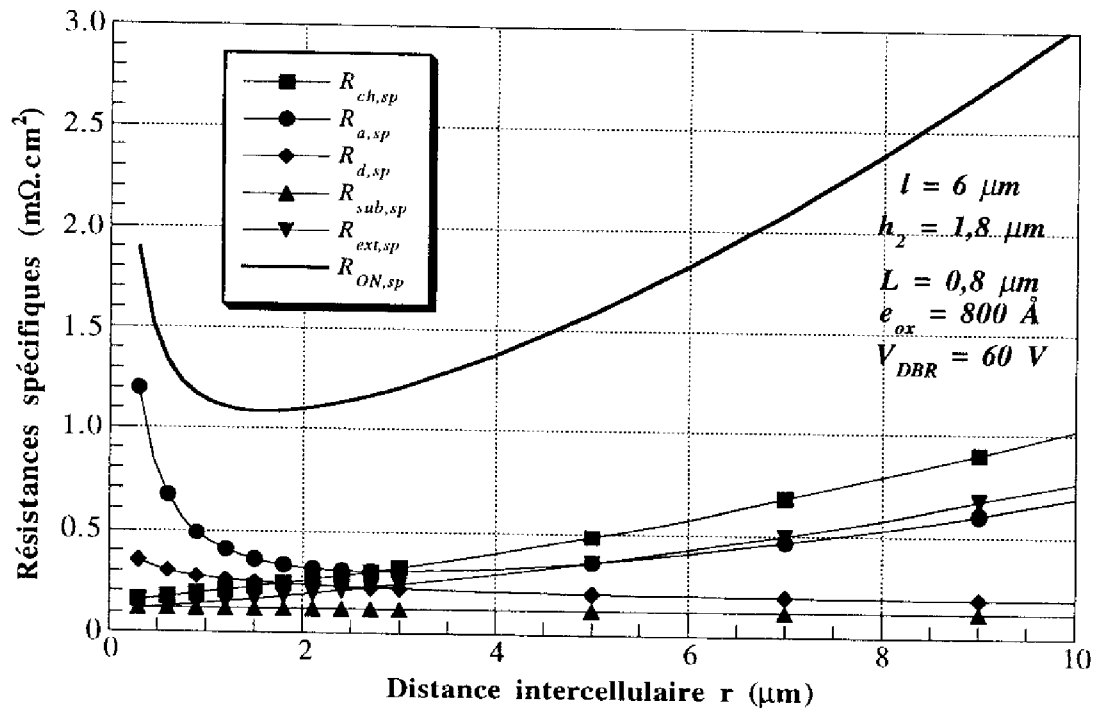


b)

Figure IV.15 : Evolution théorique de la résistance passante spécifique en fonction de la distance intercellulaire pour un transistor VDMOS : a) 30 V, b) 60 V — $l = 7.5\text{ }\mu\text{m}$ —.



a)



b)

Figure IV.16 : Evolution théorique de la résistance passante spécifique en fonction de la distance intercellulaire pour un transistor VDMOS : a) 30 V, b) 60 V — $l = 6\text{ }\mu\text{m}$ —.

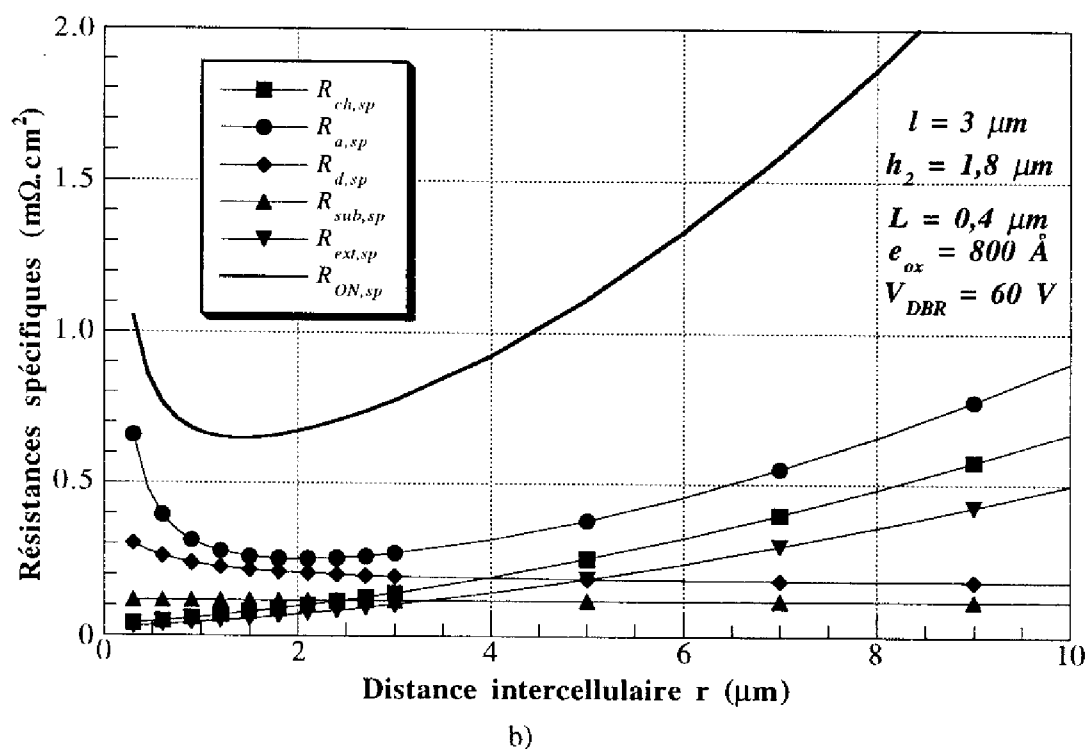
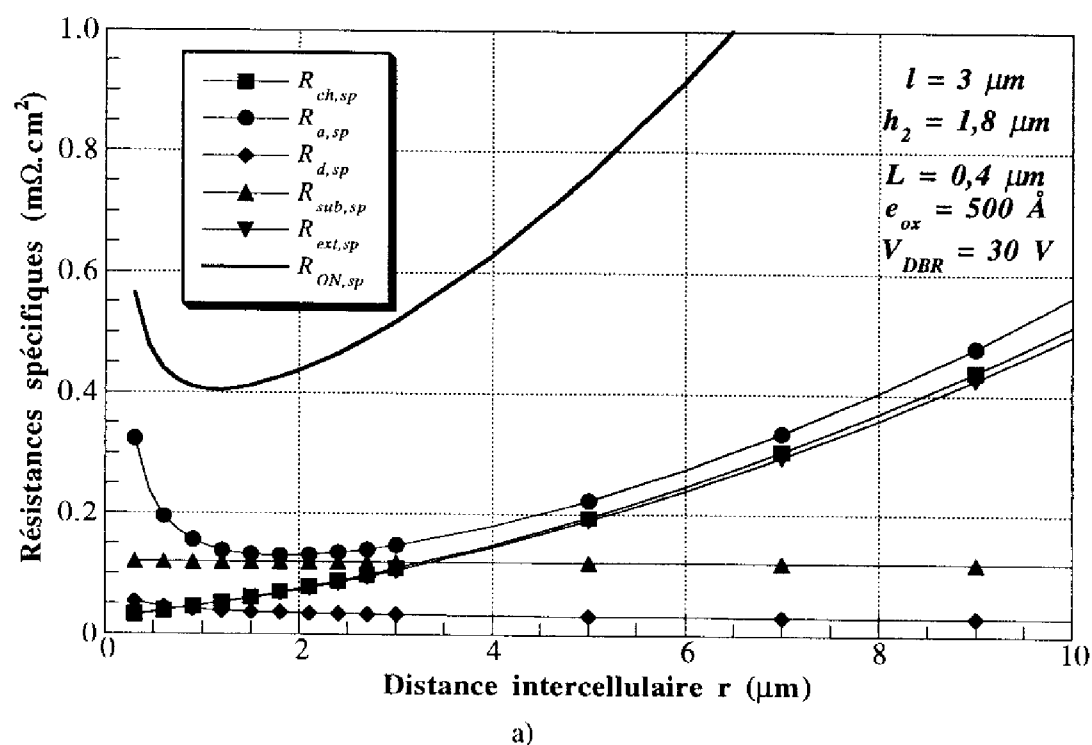


Figure IV.17 : Evolution théorique de la résistance passante spécifique en fonction de la distance intercellulaire pour un transistor VDMOS : a) 30 V, b) 60 V — $l = 3 \mu\text{m}$ —.

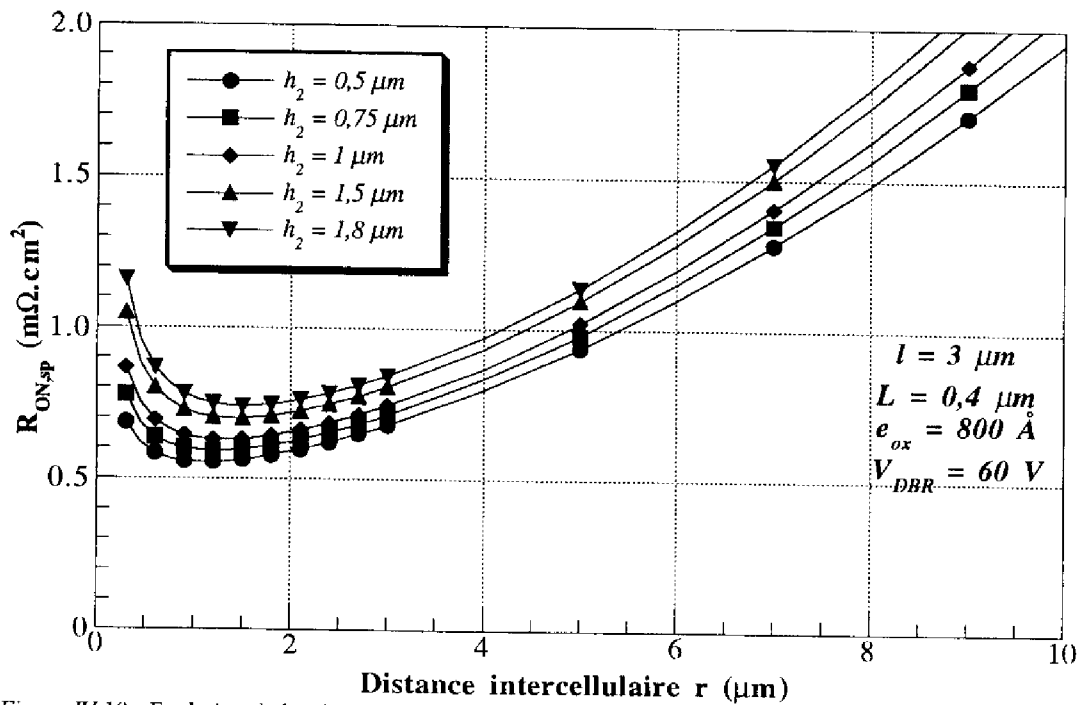


Figure IV.18 : Evolution de la résistance passante spécifique en fonction de la distance intercellulaire r , pour différentes profondeurs de jonction et pour $l = 3 \mu m$. Transistor VDMOS 60 V.

Les différentes courbes présentées permettent ainsi de se faire une idée sur les valeurs théoriques qui pourraient être atteintes en termes de résistance passante spécifique et de taille de cellule. Cependant, cette étude n'est pas tout à fait complète : en effet, des phénomènes physiques tels que la quasi-saturation du courant de drain [19] ou le phénomène de perçage entre drain et source ont été négligés. Nous allons en tenir compte dans ce qui suit.

Il reste maintenant à déterminer une structure optimale, ayant une largeur l minimisée selon ces considérations physiques et technologiques, à laquelle doit correspondre, comme dans les figures (IV.15) à (IV.17), une valeur optimale r_{opt} de la distance intercellulaire qui minimise la résistance passante spécifique. Cette étude est présentée dans les paragraphes qui suivent.

IV.3.1.5.2. Limitation sur les valeurs de L due à l'effet de perçage entre source et drain

Un phénomène limitatif est le perçage (punch-through) entre source et drain qui se produit lorsque la charge d'espace dépeuplée qui se développe, en régime bloqué, dans la zone diffusée de type P de canal, atteint la région N^+ de source. La source et le drain se trouvent alors "court-circuités" par la charge d'espace, ce qui entraîne une mise en conduction du composant non contrôlée par la grille ; celle-ci ne peut plus dès lors assurer le blocage. Dans les transistors VDMOS actuels, le canal est obtenu par le procédé de double diffusion avec auto-alignement sur la grille ; la longueur de canal L est donc

réduite, de l'ordre du micron — et même en-dessous —. Les zones latérales des caissons P sont relativement bien protégées contre ce perçage par l'effet d'écran électrostatique de la grille. Le problème se pose donc essentiellement pour les zones frontales indiquées sur la figure (IV.4).

Sachant que, en raison des coefficients de diffusion latérale du N+ et du P, il y a seulement un rapport de proportionnalité entre la couche pincée frontale ($X = h_2 - h_{N+}$) et latérale — soit L , le canal lui-même —, nous nous intéresserons, dans la suite du paragraphe, au canal lui-même. En ce qui concerne la zone frontale, il suffit de multiplier la longueur minimale de perçage $L_{\min}$ par un coefficient — par exemple, pour le transistor VDMOS haute-densité, il vaut $1,3 \mu\text{m}$ pour un canal de $1 \mu\text{m}$ —.

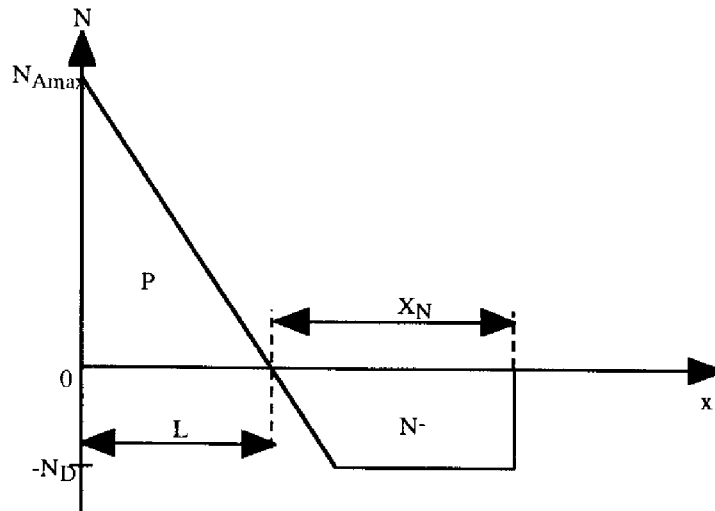


Figure IV.19 : Profils de dopage i) de la région P pincée sous la diffusion de source, ii) dans le canal, et de la zone N- de drain adjacente, dans le cadre de l'approximation linéaire entre les valeurs N_{Amax} et N_D .

Il s'agit donc de déterminer une longueur minimale pour la région P pincée entre la couche épitaxiée N- et la diffusion N+ de source. Granadel a proposé un calcul détaillé [14] de cette longueur minimale $L_{\min}$.

Ce calcul est basé sur les deux hypothèses et approximations suivantes :

- i) on suppose que le profil de la diffusion P est approximé par une relation linéaire qui évolue de la concentration maximale de la zone P, N_{Amax} , jusqu'à la concentration N_D de la couche épitaxiée — figure (IV.19) —,
- ii) on considère que la charge d'espace dépeuplée a entièrement envahi la région P pour une polarisation égale au claquage du transistor.

A partir de ces hypothèses, on aboutit à l'expression suivante :

$$L_{\min} = \left(\frac{\epsilon_v \cdot \epsilon_{Si} \cdot V_{DRR}}{q} \right)^{\frac{1}{2}} \cdot \left(\frac{(N_{Amax})^2}{8 \cdot N_D} + \frac{N_{Amax}}{3} + \frac{N_D}{4} - \frac{(N_D)^3}{24 \cdot (N_{Amax})^2} \right)^{-\frac{1}{2}} \quad (IV.28)$$

On peut remarquer que cette longueur minimale de canal dépend du pic de dopage N_{Amax} de la zone P de canal et du dopage N_D de la couche épitaxiée. Les variations de L_{min} en fonction de ces deux paramètres sont présentées sur la figure (IV.20).

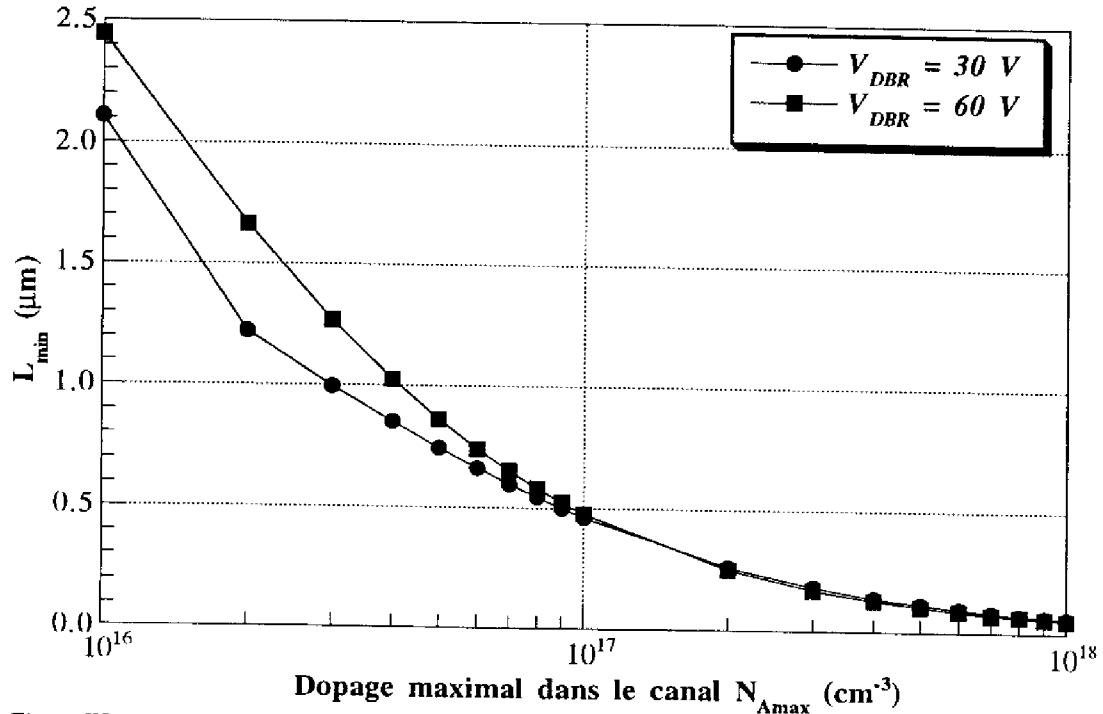
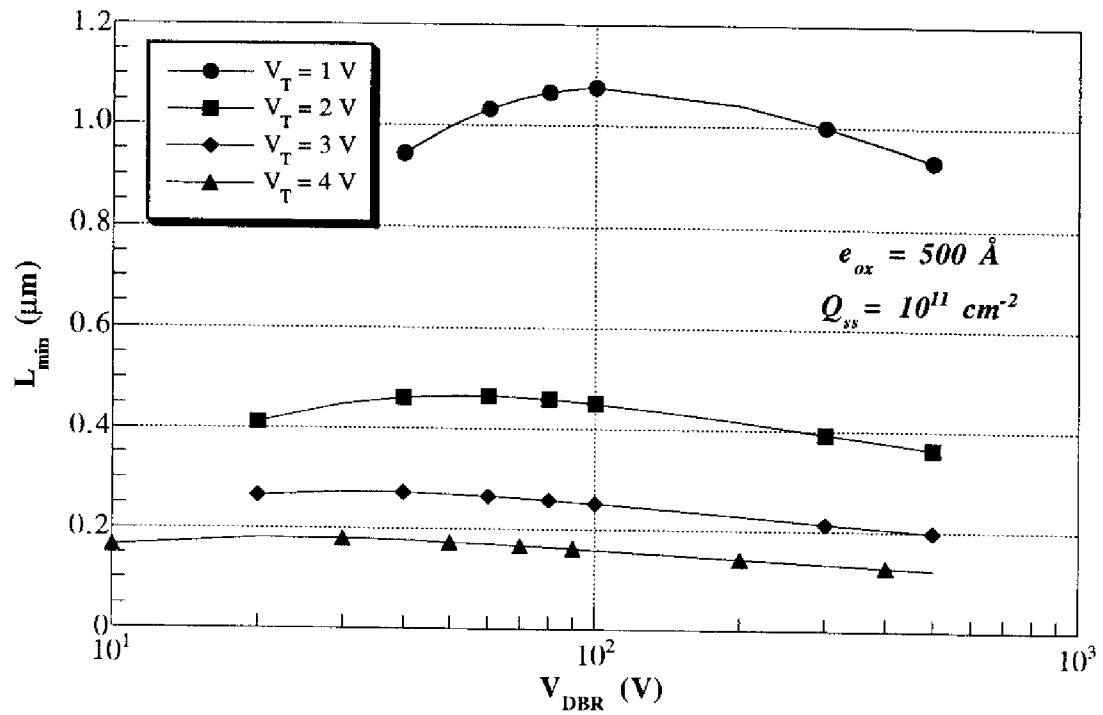


Figure IV.20 : Evolution de la longueur minimale de canal imposée par le phénomène de perçage entre source et drain, en fonction du pic de concentration N_{Amax} dans le canal pour des transistors VDMOS de 30 V ($N_D = 2,3 \cdot 10^{16} cm^{-3}$) et de 60 V ($9 \cdot 10^{15} cm^{-3}$) de tenue en tension.

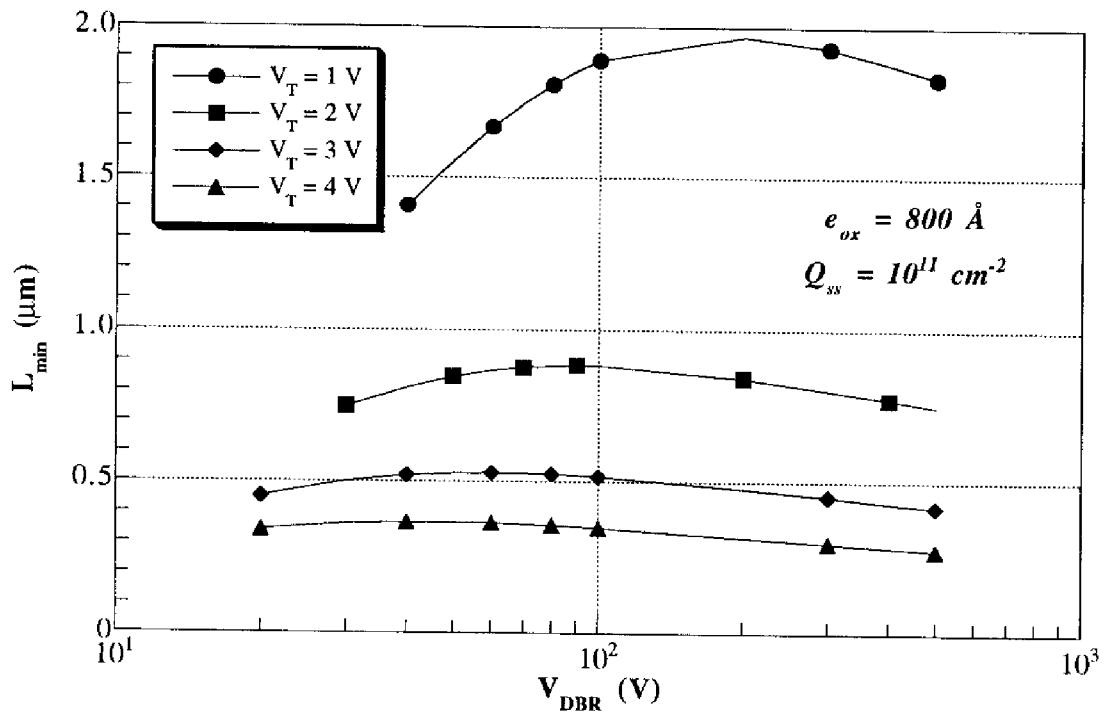
La relation (IV.28) montre que L_{min} dépend indirectement, en plus de la tenue en tension, de la tension de seuil du composant, puisque la tension de seuil est principalement fixée par le dopage N_{Amax} dans le canal et par l'épaisseur d'oxyde. On peut donc tracer les courbes donnant L_{min} en fonction de V_{DBR} pour différentes tensions de seuil — figure (IV.21) — et pour deux épaisseurs d'oxyde de grille — $e_{ox} = 500 \text{ \AA}$ et $e_{ox} = 800 \text{ \AA}$ —.

Ces courbes montrent que les variations de la longueur L_{min} en fonction de la tension V_{DBR} présentent un maximum pour une tension de claquage d'autant plus élevée que la tension de seuil est faible. Plus basse est la tension de seuil, plus élevée est la longueur de canal minimale à respecter. Il en est de même lorsque l'épaisseur d'oxyde est accrue. En outre, notons que la nécessité de soutenir des tensions élevées ne constitue pas un phénomène limitatif de la longueur de canal à respecter.

Notons que, d'après la relation (IV.28), L_{min} ne devrait pas normalement pas dépendre de e_{ox} , mais pour une tension de seuil désirée, le pic de concentration N_{Amax} nécessaire n'est pas le même selon qu'on ait un oxyde de 500 $\text{\AA}$ ou de 800 $\text{\AA}$.



a)



b)

Figure IV.21 : Evolution de la longueur minimale de canal imposée par le phénomène de perçage entre source et drain, en fonction de la tenue en tension, pour une épaisseur d'oxyde de : a) $500 \text{ \AA}$, b) $800 \text{ \AA}$.

IV.3.1.5.3. Limitation sur la distance intercellulaire due à l'effet de quasi-saturation en courant par pincement du transistor JFET parasite

Nous venons de montrer que la conception du composant basée sur l'optimisation de la résistance spécifique $R_{ON,sp}$ définie à faible tension de drain, consiste à déterminer une distance intercellulaire la plus proche possible d'une valeur optimale r_{opt} . En outre, il est aussi apparu qu'une diminution de la taille l du caisson P entraîne un déplacement de r_{opt} vers des valeurs de plus en plus faibles. Or, il a été montré par Sanchez [11] et Gharbi [12] que si l'on augmente la tension drain, les structures VDMOS à zone d'accès étroite peuvent présenter un effet de quasi-saturation du courant. Ce phénomène, qui est limitatif, n'a pas été pris en compte dans le paragraphe qui précède.

Lorsqu'on applique une tension entre drain et source du transistor VDMOS, il se produit une extension de la charge d'espace du côté N^+ , le moins dopé, de la jonction PN^- , formée par le caisson P et la couche épitaxiée N^+ , qui a tendance à pincer la zone intercellulaire de conduction de drain, modulant ainsi sa résistance.

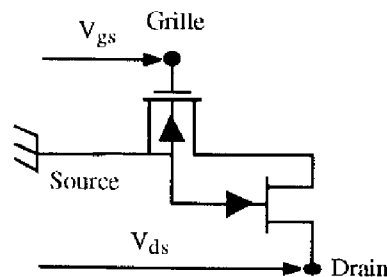


Figure IV.22 : Schéma symbolique du transistor JFET parasite en série avec la section MOS plan correspondant au canal d'inversion dans la structure VDMOS.

Cette action de striction du courant par effet électrostatique est souvent symbolisée par un transistor à effet de champ JFET à canal N en série avec le canal du transistor MOS, comme indiqué sur la figure (IV.22). La prévention de cet effet induit une valeur minimale $r_{min(JFET)}$ en-dessous de laquelle l'influence de ce phénomène est à prendre en compte. Pour y parvenir, Granadel [14] a proposé une approche pour le calcul de $r_{min(JFET)}$.

Nous n'entrerons pas dans le détail de cette approche relativement lourde. Notons simplement qu'il faudrait tenir compte du phénomène de quasi-saturation et que, en raison de ce phénomène, les distances intercellulaires optimales r_{opt} , que nous avons déterminées théoriquement, ne sont pas forcément acceptables lorsqu'on est à fort niveau de courant. Cependant, l'erreur est minime dans le cas de notre étude puisqu'elle porte sur des transistors de basse tension de claquage. Or, selon les calculs de Granadel [14], pour les transistors VDMOS de moins de 80 V de tenue en tension, la distance $r_{min(JFET)}$ est inférieure à l'optimum théorique r_{opt} calculé analytiquement. On considérera donc, dans ce qui suit, que la distance intercellulaire minimale "acceptable" correspond à r_{opt} .

IV.3.1.5.4. Détermination du couple optimal (r, l) minimisant la résistance passante

A partir des considérations précédentes, le problème se pose maintenant, pour une structure et une tension de claquage V_{DBR} données, de déterminer la taille l du caisson P et la distance intercellulaire r qui minimisent la résistance passante spécifique.

A l'observation des courbes (IV.15) à (IV.17), on constate que, plus on diminue la taille l du caisson P, plus la résistance passante spécifique et la distance intercellulaire optimale r_{opt} sont faibles. Il est donc tout d'abord nécessaire de déterminer la taille minimale que peut prendre la côte l qui permettrait de minimiser la résistance passante spécifique. Celle-ci dépend de la longueur de canal L ainsi que des possibilités technologiques pour la réalisation des caissons N^+ . Les dimensions précisées sur la figure (IV.23) représentent respectivement l'ouverture de la diffusion N^+ de source, la largeur du contact sur la diffusion P^+ (ou P) et l'extension latérale de la diffusion N^+ de source. La côte l a pour dimension :

$$l = 2 \cdot (L + o_{N^+} + 2 \cdot h_{N^+}) + c_{P^+} \quad (IV.29)$$

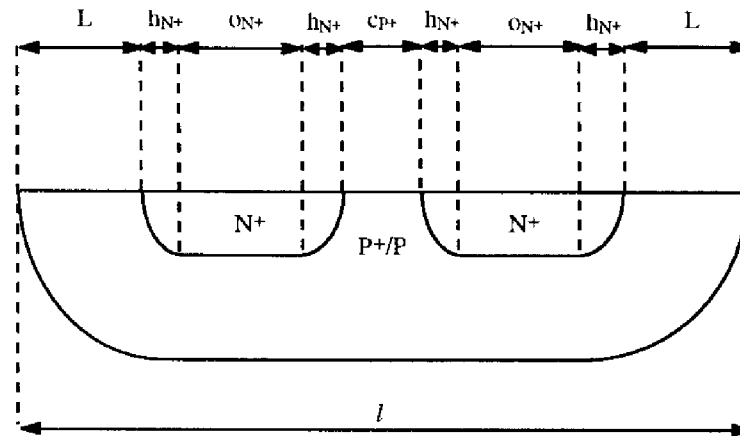


Figure IV.23 : Visualisation, dans une vue en coupe d'un caisson P d'une cellule de transistor VDMOS, des dimensions définissant la taille du caisson.

La valeur minimale l_{min} qu'il est possible d'obtenir est donc imposée, d'une part, par la longueur de canal minimale L_{min} qui est nécessaire pour éviter le perçage entre source et drain, et, d'autre part, par la limite technologique qui permet de réaliser des diffusions de profondeur et d'ouverture les plus faibles possibles.

D'autre part, on considère que la dimension optimale r_{opt} que peut prendre la distance intercellulaire est la valeur — déterminée analytiquement ou par simulations bidimensionnelles — qui minimise la résistance passante spécifique.

Rappelons également que l'observation des variations de $R_{ON,sp}(r)$ lorsque l varie a montré que la courbe $R_{ON,sp}(r)$ présente un minimum d'autant plus bas que la valeur de l

est faible et que, plus l est petit, plus la croissance de la courbe correspondante est rapide lorsque r croît après l'optimum.

La méthode proposée pour résoudre un tel problème est la suivante : on détermine la valeur minimale de l , que l'on note $l_{\min}$, et on recherche la distance optimale $r_{\text{opt}}(l_{\min})$ qui minimise la résistance passante spécifique d'après les calculs analytiques et d'après les simulations bidimensionnelles. Les deux méthodes de calcul seront comparées.

Par exemple, pour un transistor VDMOS de 60 V de tenue en tension, de 4 V de tension de seuil et de 800 Å d'épaisseur d'oxyde, on détermine tout d'abord la distance $l_{\min}$. Pour ce faire, on relève la longueur de canal minimale à respecter pour éviter le perçage. D'après la figure (IV.21.b) : $L_{\min} = 0,37 \mu\text{m}$. On prendra $L_{\min} = 0,4 \mu\text{m}$ pour plus de précautions et pour "arrondir" les calculs. Si on considère que l'on peut réaliser des profondeurs de diffusion N^+ de 0,1 μm , des ouvertures de diffusion N^+ de 0,5 μm et une largeur du contact sur la diffusion P^+ (ou P) de 0,5 μm , alors $l_{\min}$ est égale à 2,7 μm , d'après la relation (IV.29). Notons, de plus, que le fait de minimiser $l_{\min}$ et h_{N^+} permet d'obtenir une profondeur de jonction h_2 minimale égale à 0,6 μm , diminuant ainsi la résistance spécifique d'accès.

Le calcul analytique de la résistance passante spécifique et les simulations bidimensionnelles par PISCES sont ensuite effectuées en faisant varier la distance intercellulaire r pour cette valeur de $l_{\min}$ calculée. Les résultats obtenus sont reportés sur la figure (IV.24).

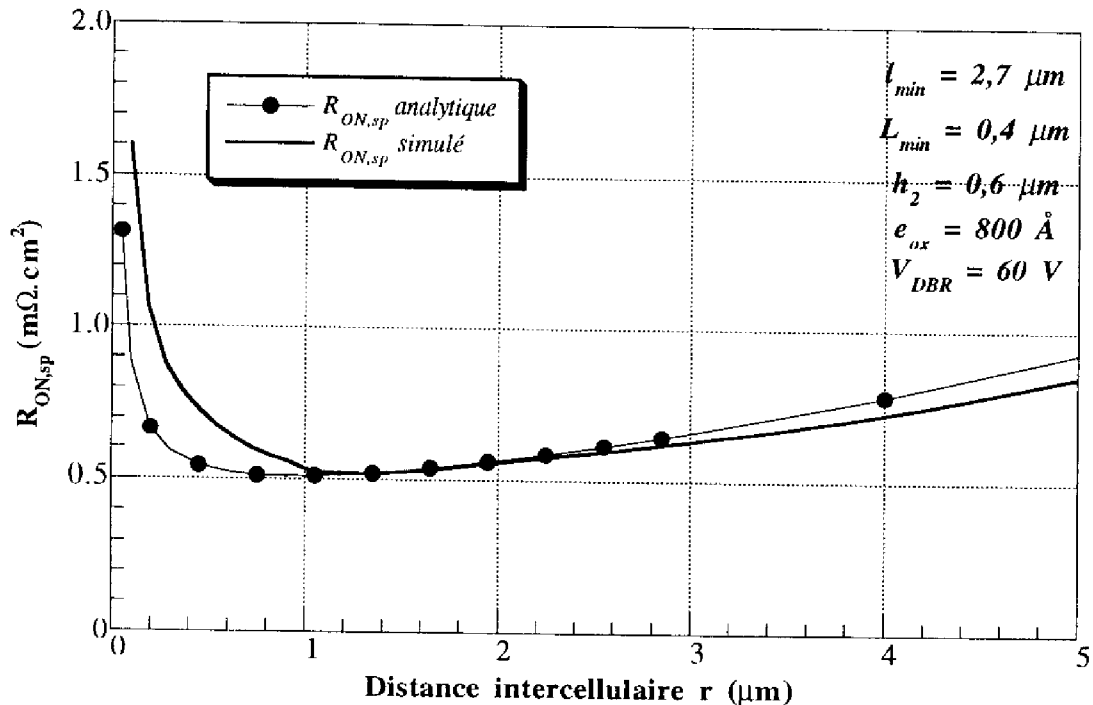


Figure IV.24 : Variations de la résistance passante spécifique d'un transistor VDMOS en fonction de la distance intercellulaire r dans le cas d'une structure optimisée— $l_{\min} = 2,7 \mu\text{m}$ —.

La distance optimale $r_{\text{opt}}(l_{\text{min}})$ qui minimise la résistance passante spécifique est donc égale, d'après l'étude analytique, à : $r_{\text{opt}}(l_{\text{min}}) = 0,9 \mu\text{m}$ et, d'après nos simulations, à : $r_{\text{opt}}(l_{\text{min}}) = 1,2 \mu\text{m}$. Il suffit alors de déterminer la valeur minimale de $R_{\text{ON,sp}}$ correspondant au couple choisi :

$$R_{\text{ON,sp}} (\text{calculé}) = 0,50 \text{ m}\Omega.\text{cm}^2$$

$$R_{\text{ON,sp}} (\text{simulé}) = 0,51 \text{ m}\Omega.\text{cm}^2$$

Les deux valeurs trouvées sont pratiquement identiques. Si on se fie aux simulations bidimensionnelles, la taille optimale d'une cellule élémentaire vaudrait donc environ $3,9 \mu\text{m}$, ce qui représente une densité d'intégration de 42 millions de cellules par pouce carré contre 49 millions d'après les calculs analytiques — $r+l = 3,6 \mu\text{m}$ —.

On peut remarquer que r et l dépendent, en outre, de la tenue en tension du composant. Il existe donc un couple optimal (r , l) pour chaque valeur de V_{DBR} . On a donc montré ici que, en basse tension, si la distance l reste imposée par la limite technologique, la distance r_{opt} peut, elle, atteindre des valeurs très faibles, de l'ordre du micron pour un composant 60 V. La même étude réalisée pour un composant 30 V montre que la distance r_{opt} serait, dans ce cas, de l'ordre du demi-micron.

IV.3.1.5.5. Conclusion

Cette étude sur les limites de la résistance passante spécifique $R_{\text{ON,sp}}$ a donc principalement montré qu'en diminuant la taille de la cellule, il existe un minimum pour $R_{\text{ON,sp}}$ correspondant à un couple optimal des dimensions r et l . Il est ainsi inutile et préjudiciable pour les performances statiques, de diminuer ces deux dimensions en-dessous des valeurs de ce couple optimal, par une densité d'intégration maximale.

IV.3.2. Limites de performances du transistor MOS à tranchées

De la même manière que pour le transistor VDMOS, le but de ce paragraphe est de mettre en évidence les limites géométriques fondamentales dans le transistor MOS de puissance à tranchées, et d'analyser les effets géométriques de premier et de second ordre sur les caractéristiques limites de ce transistor, afin de définir les valeurs des dimensions qu'il doit avoir pour minimiser sa résistance passante spécifique et ceci, toujours indépendamment de toute considération de règle de dessin technologique.

Comme dans le cas du transistor VDMOS, on s'intéresse ici uniquement aux résistances constituant le pavé de silicium, c'est-à-dire aux résistances $R_{\text{ch,sp}}$, $R_{\text{acc,sp}}$, $R_{\text{d,sp}}$ et $R_{\text{sub,sp}}$, dont les expressions sont fournies au paragraphe (II.2.2.3).

Les paramètres utilisés pour les calculs de résistance passante spécifique sont présentés dans l'annexe 6.

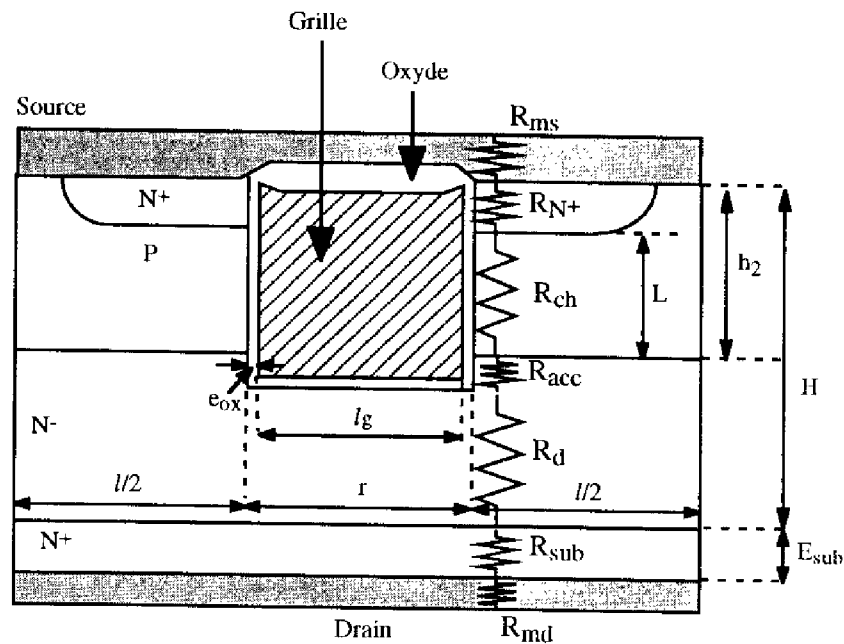


Figure IV.25 : Paramètres géométriques utilisés pour le calcul de la résistance passante spécifique d'un transistor MOS de puissance à tranchées.

IV.3.2.1. La résistance de canal

L'expression de la résistance de canal est analogue à celle donnée pour le transistor VDMOS ; ses variations en fonction du paramètre r sont donc identiques, de même que ses variations en fonction de l'épaisseur d'oxyde — figures (IV.5) et (IV.6) —. A ce niveau, la différence entre le transistor VDMOS et le transistor MOS à tranchées vient seulement du fait que, à tenue en tension identique, l'épaisseur de l'oxyde mince de grille du transistor MOS à tranchées doit être plus importante que celle du transistor VDMOS, de manière à éviter le claquage de l'oxyde dans l'angle de la tranchée. Ainsi, les transistors MOS à tranchées et VDMOS 60 V, qui ont été caractérisés dans notre étude, présentent des épaisseurs d'oxyde respectives de 1 000 Å et 800 Å. La comparaison entre les résistances spécifiques de canal des deux types de composants de même tenue en tension sera donc à l'avantage du transistor VDMOS.

IV.3.2.2. La résistance de la couche accumulée

La résistance d'accès au drain se réduit à la seule résistance de la couche accumulée sous la grille, puisque il n'y a pas de résistance de volume — R_{JFET} — entre deux caissons P consécutifs d'un transistor MOS à tranchées. Les variations de cette résistance en fonction de la largeur r de la tranchée — ou distance intercellulaire —, paramétrées par la largeur l du caisson P, sont calculées simplement à l'aide de la relation (II.33). Les résultats obtenus sont présentés sur la figure (IV.26) pour un transistor MOS de 60 V de tenue en tension et de 1 000 Å d'épaisseur d'oxyde, et cela pour différentes valeurs de l .

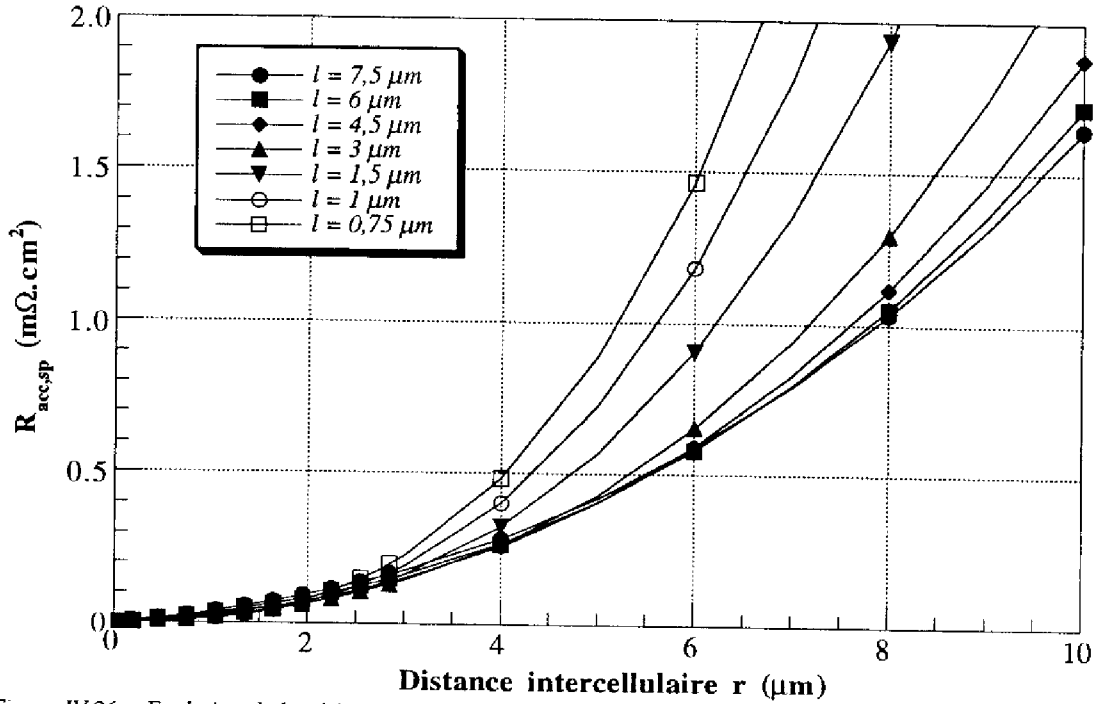


Figure IV.26 : Evolution de la résistance spécifique de la couche accumulée sous la grille en fonction de la distance intercellulaire r , pour différentes tailles l de caisson P .

On remarque que le fait de diminuer r entraîne une baisse sensible et continue de la résistance spécifique de la couche accumulée. Les valeurs obtenues sont faibles et auront donc peu d'influence sur la valeur totale de la résistance passante spécifique. Cette décroissance continue s'oppose à la brusque augmentation observée dans le cas de la résistance d'accès au drain du transistor VDMOS. La différence qui apparaît entre les deux courbes — figures (IV.7) et (IV.26) —, pour une valeur de l fixée, sera donc de plus en plus importante au fur et à mesure que l'on diminuera r , et ceci à l'avantage du transistor MOS à tranchées.

IV.3.2.3. La résistance de "drift"

L'expression de la résistance spécifique de "drift" du transistor MOS à tranchées est donnée au chapitre II par la relation (II.33) établie par Baliga [2] :

$$R_{d,sp} = (q \cdot \mu_n \cdot N_D)^{-1} \cdot \left\{ \left[\frac{(r+l)}{2} \cdot \ln \left(\frac{r+l}{r} \right) \right] + \left[(H-h_2) - \frac{l}{2} \right] \right\} \quad (IV.30)$$

On peut remarquer que cette relation, quoique différente de celles utilisées dans le cas du transistor VDMOS, présente des analogies avec la relation (IV.13). Par contre, Baliga considère cette expression valable dans les deux cas de figure qui sont : $H-h_2 < l/2$ et $H-h_2 > l/2$. La différence entre les deux approches vient du fait que, selon Baliga, contrairement au transistor VDMOS, les lignes de courant de deux cellules adjacentes se recouvrent en raison de la faible largeur des caissons P .

L'évolution de la résistance de "drift" en fonction de la distance intercellulaire r , pour différentes tailles l de caissons P , est représentée sur la figure (IV.27) pour des

transistors 30 V et 60 V. Il apparaît clairement que cette résistance spécifique augmente sensiblement quand on diminue la taille de r . Par conséquent, c'est un des facteurs limitant la résistance passante spécifique.

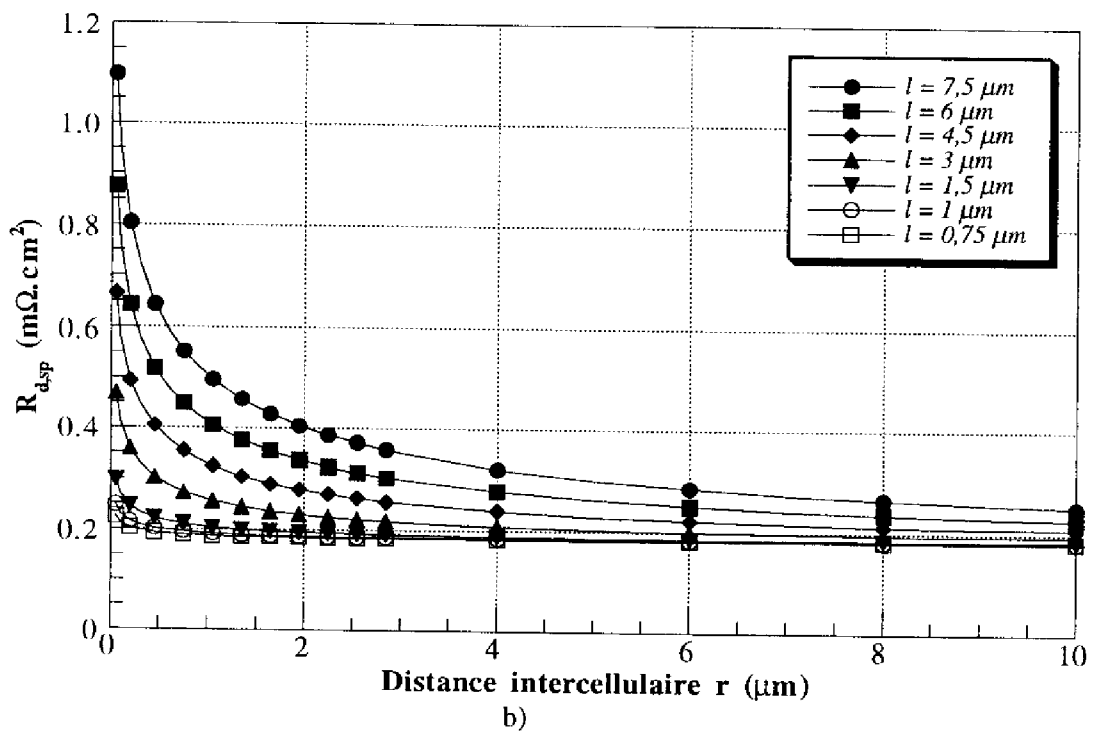
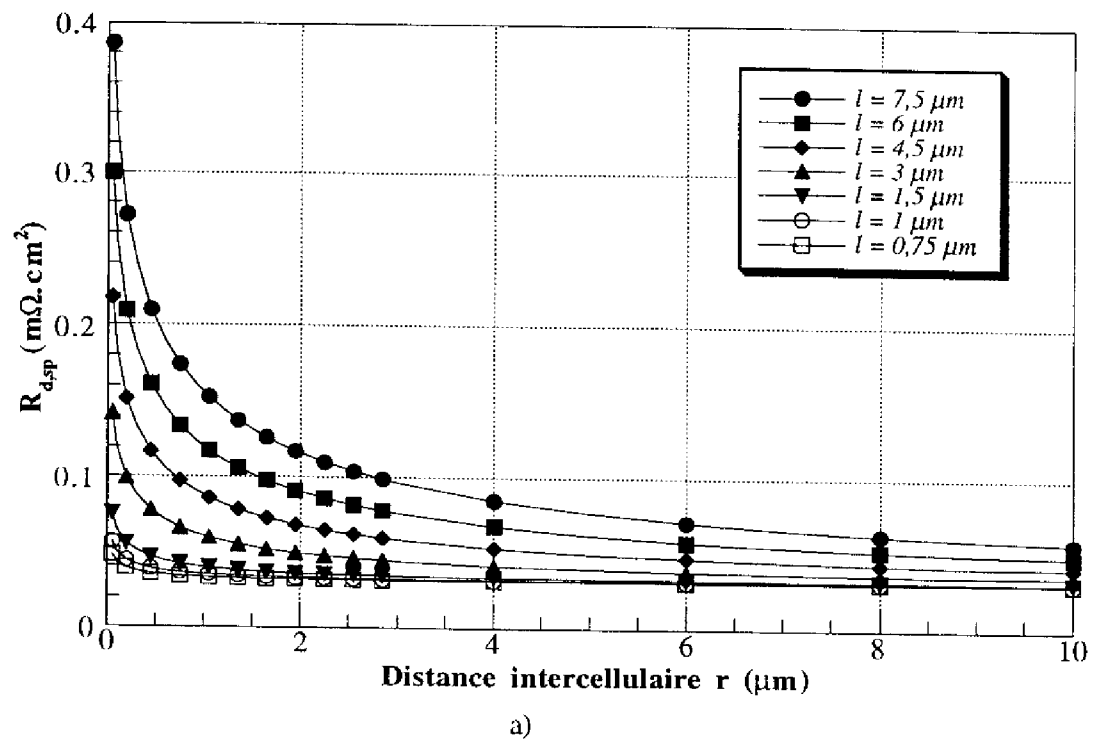


Figure IV.27 : Evolution de la résistance spécifique de "drift" $R_{d,sp}$ en fonction de la distance intercellulaire r — cas des cellules carrées alignées — pour des transistors MOS à tranchées : a) 30 V, b) 60 V.

IV.3.2.4. La résistance de substrat

L'expression de la résistance spécifique de substrat est identique pour les deux types de transistors, puisqu'il s'agit simplement d'une résistance de volume d'une couche N^+ fortement dopée. Elle se calcule donc de la même façon par l'expression (IV.27). Pour permettre une comparaison des deux familles de composants, leurs résistances de substrat seront prises égales toutes les deux à $0,12 \text{ m}\Omega.\text{cm}^2$, valeur déterminée par simulation bidimensionnelle.

IV.3.2.5. Les limites de la résistance passante spécifique

L'étude des limites de la résistance passante spécifique du transistor MOS de puissance à tranchées devient relativement simple : en effet, le transistor JFET parasite, qui limite fortement les performances statiques du transistor VDMOS, n'apparaît pas dans la structure à tranchées. Il n'y a donc pas, dans ce cas de figure, nécessité de déterminer une distance intercellulaire minimale : la largeur r de la tranchée apparaît donc ici comme un paramètre que l'on pourrait diminuer indéfiniment. Par conséquent, les principaux paramètres qui, a priori, peuvent limiter les dimensions du composant ainsi que les valeurs de résistances passantes spécifiques sont la longueur minimale de canal $L_{\min}$, la résistance spécifique de "drift" $R_{d,sp}$, et la distance minimale $l_{\min}$ entre deux tranchées adjacentes.

IV.3.2.5.1. Limitation sur L due à l'effet de perçage entre source et drain

Comme dans le cas du transistor VDMOS, il est impératif de considérer qu'il existe une longueur minimale de canal $L_{\min}$ à respecter pour éviter le perçage entre source et drain. Cette valeur minimale est déterminée selon la même méthode que dans le paragraphe (IV.3.1.5.1). Notons par ailleurs que, le canal étant vertical, $L_{\min}$ n'est pas limitative pour la largeur des caissons P , mais elle influe bien entendu sur la valeur optimale de la résistance spécifique de canal. Cela signifie que, de ce point de vue, on pourrait réduire la dimension des caissons P tout en gardant une longueur de canal par exemple égale à $0,5 \mu\text{m}$, longueur minimale qui éviterait le phénomène de perçage pour un transistor 60 V de $1\,000 \text{ \AA}$ d'épaisseur d'oxyde — figure (IV.28) — et qui permettrait d'avoir une résistance spécifique de canal optimisée.

IV.3.2.5.2. Limitation due à la résistance spécifique de "drift"

Les calculs analytiques ont montré — et cela est confirmé par simulation bidimensionnelle — que la résistance spécifique de "drift" augmente quand la distance intercellulaire r diminue. Cette augmentation n'est cependant pas trop importante pour les faibles valeurs de l , ce qui ne pénalisera donc pas de manière excessive la résistance passante spécifique.

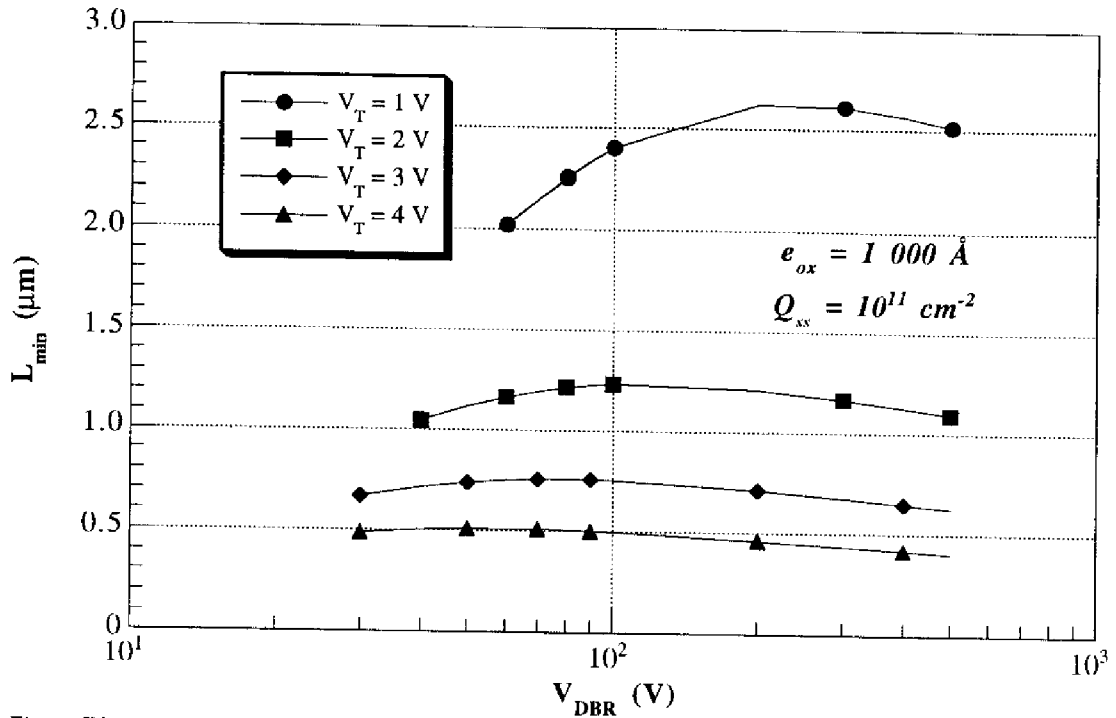


Figure IV. 28: Evolution de la longueur minimale de canal imposée par le phénomène de perçage entre source et drain pour une épaisseur d'oxyde de 1 000 Å.

IV.3.2.5.3. Limitation sur l due à la jonction de deux zones dépeuplées adjacentes

Une taille minimale $l_{\min}$ doit être maintenue pour que les zones de charge d'espace dépeuplées, se développant sous la couche d'inversion des canaux de conduction placés dos à dos, verticalement aux deux extrémités d'un caisson P — figure (I.6) — ne se chevauchent pas. Cette distance minimale $l_{\min}$ dépend notamment, du dopage N_A dans le canal — c'est-à-dire de la tension de seuil du composant —. La détermination de $l_{\min}$ peut se faire analytiquement à partir de l'expression qui donne l'extension maximale $X_{d\max}$ de la zone dépeuplée — atteinte lorsque la surface du canal devient fortement inversée — en fonction du dopage N_A dans la région P [20] :

$$X_{d\max} = \sqrt{\frac{2 \cdot \epsilon_0 \cdot \epsilon_{Si} \cdot \Phi_s(\text{inv})}{q \cdot N_A}} \quad (\text{IV.31})$$

La distance $l_{\min}$ doit donc être légèrement supérieure à $2 \cdot X_{d\max}$ pour éviter tout chevauchement des zones dépeuplées.

Cette distance minimale peut, bien sûr, être également déterminée pas à pas, à partir des résultats de simulations bidimensionnelles, en cherchant la distance optimale $l_{\min}$ qui minimise la résistance passante spécifique, mais cette dernière méthode reste lourde.

IV.3.2.5.4. Détermination du couple optimal (r, l) minimisant la résistance passante

Le principe de détermination du couple optimal (r, l) minimisant la résistance passante spécifique d'un transistor MOS à tranchées s'appuie sur la même approche que celle utilisée pour le transistor VDMOS. On détermine tout d'abord la distance $l_{\min}$ et la longueur minimale de canal $L_{\min}$. Pour ces valeurs fixées, on cherche la valeur optimale de r qui minimise la résistance passante spécifique totale du transistor MOS à tranchées.

A titre d'exemple, nous allons nous appuyer sur un exemple concret qui est celui d'un transistor MOS à tranchées 60 V dont les performances actuelles en termes de densité d'intégration — 8 millions de cellules par pouce carré — et de résistance passante spécifique — $1,16 \text{ m}\Omega\cdot\text{cm}^2$ — sont les meilleures parmi les composants à tranchées développés industriellement. On désire, d'une part, diminuer la taille de la cellule élémentaire de ce transistor 60 V, et, d'autre part, minimiser la résistance passante spécifique.

Pour ce faire, on détermine d'abord la longueur minimale de canal $L_{\min}$ à respecter pour éviter le perçage. Le composant ayant une tenue en tension de 60 V, une tension de seuil de 4 V et une épaisseur d'oxyde de $1\,000 \text{ \AA}$, la longueur $L_{\min}$ doit être prise égale à $0,5 \text{ }\mu\text{m}$ — figure (IV.28) —. La profondeur de la tranchée peut donc être approximativement égale à $1,2 \text{ }\mu\text{m}$ — $0,5 \text{ }\mu\text{m}$ pour la source + $0,5 \text{ }\mu\text{m}$ pour le canal + $0,2 \text{ }\mu\text{m}$ pour le “fond” de la tranchée —, mais cette dimension a peu d'influence sur la valeur de la résistance passante spécifique puisqu'elle n'agit que sur la valeur de la résistance de la couche accumulée qui est faible —.

L'épaisseur et le dopage de la couche épitaxiée minimisant la résistance de “drift” ont pour valeurs respectives : $(H-h_2) = 3 \text{ }\mu\text{m}$ et $N_D = 9 \cdot 10^{15} \text{ cm}^{-3}$.

La distance $l_{\min}$ qu'il est nécessaire de maintenir est égale à environ $0,2 \text{ }\mu\text{m}$ — $X_{d\max}$ est estimé égal à $0,09 \text{ }\mu\text{m}$ d'après l'expression (IV.31) —.

La détermination du couple optimal (r, l) se fait à partir de ces données : pour ces valeurs fixées, il reste à déterminer, par calculs analytiques et par simulations bidimensionnelles, la distance optimale r_{opt} qui minimise la résistance passante spécifique. La figure (IV.29) présente la variation de la résistance passante spécifique du transistor MOS à tranchées 60 V en fonction de la distance intercellulaire r — qui est aussi la largeur d'une tranchée — pour la valeur optimale $l_{\min}$ du caisson P.

La distance optimale $r_{\text{opt}}(l_{\min})$ qui minimise la résistance passante spécifique est donc égale, d'après l'étude analytique, à : $r_{\text{opt}}(l_{\min}) = 0,1 \text{ }\mu\text{m}$. Or, cette valeur est impossible à satisfaire puisque, d'après la figure (IV.25), r doit absolument être supérieure à $0,2 \text{ }\mu\text{m}$, c'est-à-dire à $2 \cdot e_{\text{ox}}$, valeur à laquelle il faut encore ajouter la largeur l_g de la couche du polysilicium de grille. Par conséquent, alors même que les calculs analytiques et les simulations ne montrent pas un minimum pour $R_{\text{on,sp}}$, la limitation

vient de la géométrie de la tranchée. Pour la simulation, on est donc, bien sûr, dans l'impossibilité de simuler une telle structure : on suppose qu'il sera possible de réaliser dans le futur une largeur l_g de $0,1 \mu\text{m}$; la dimension r minimale qu'il serait alors possible d'atteindre est de $0,3 \mu\text{m}$. Pour cette valeur, la simulation donne :

$$R_{\text{on},\text{sp}} (\text{simulé}) = 0,32 \text{ m}\Omega.\text{cm}^2$$

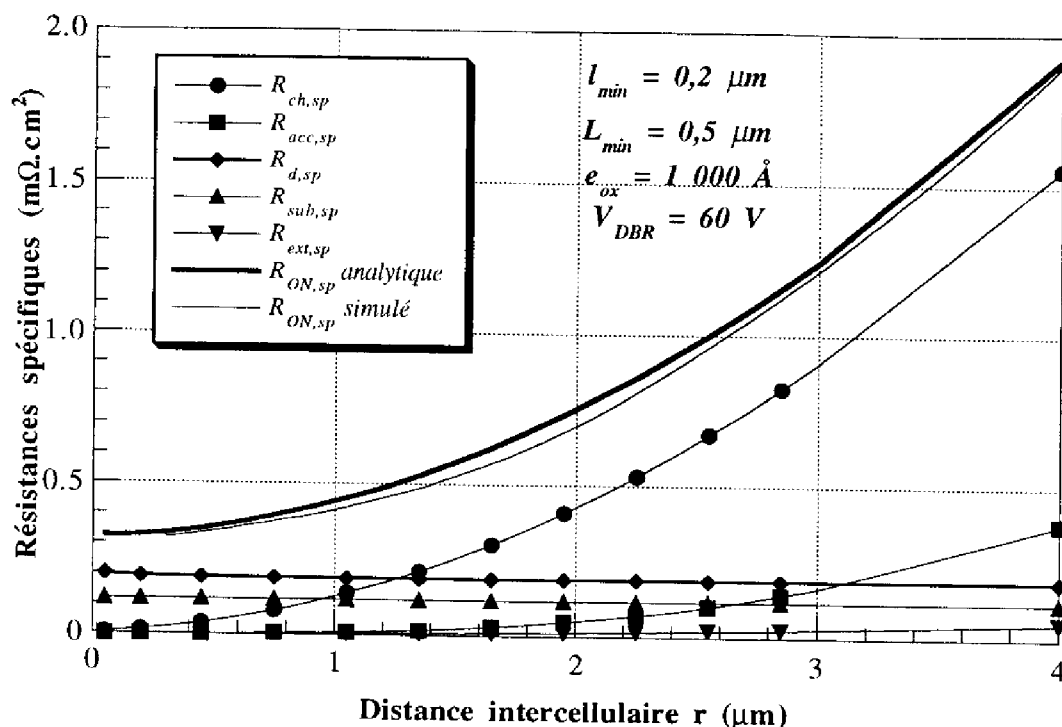


Figure IV.29 : Evolution de la résistance passante spécifique en fonction de la distance intercellulaire pour une structure optimisée du transistor MOS à tranchées 60 V — $V_T = 4 \text{ V}$, $e_{\text{ox}} = 1\,000 \text{ \AA}$ —.

La taille optimale d'une cellule élémentaire du transistor MOS à tranchées vaudrait donc environ $0,5 \mu\text{m}$, ce qui représente une densité d'intégration de 2580 millions de cellules par pouce carré. Cette valeur peut paraître extrêmement grande ; toutefois, il convient de signaler, à ce sujet, qu'Amaratunga [21] a déjà réalisé des transistors MOS à tranchées présentant une densité d'intégration de 540 millions de cellules par pouce carré — taille $(r+l)$ d'une cellule de $1,1 \mu\text{m}$ — ; cependant, aucune valeur de résistance passante spécifique n'a été fournie par cet auteur.

Une autre remarque importante s'impose à ce niveau : la résistance spécifique calculée ci-dessus est pratiquement imposée par la somme des résistances spécifiques de "drift" et de substrat — qui représentent $0,31 \text{ m}\Omega.\text{cm}^2$ dans ce cas —. Cela signifie que, une fois que les progrès technologiques auront permis de réaliser de tels composants optimisés, la limite théorique du silicium — qui correspond à la résistance du volume de silicium — sera pratiquement atteinte. Il n'y a alors aucune autre possibilité d'optimisation avec un tel matériau, pour une tenue en tension exigée. C'est pourquoi, même pour des composants basse tension, il sera alors temps d'envisager l'utilisation

d'un autre matériau dont les caractéristiques permettraient une baisse sensible de la résistance volumique : on pourrait songer tout particulièrement au carbure de silicium, matériau au sujet duquel il a été montré théoriquement [17] que, à tenue en tension identique, la résistance spécifique volumique était bien plus faible que celle de son homologue silicium. On attendra bien sûr que la technologie de ce matériau soit au point.

Ces figures montrent notamment que les dimensions "optimales", pour une cellule élémentaire d'un transistor MOS à tranchées, sont extrêmement faibles.

IV.3.3. Comparaison des limites de performances des deux types de composants

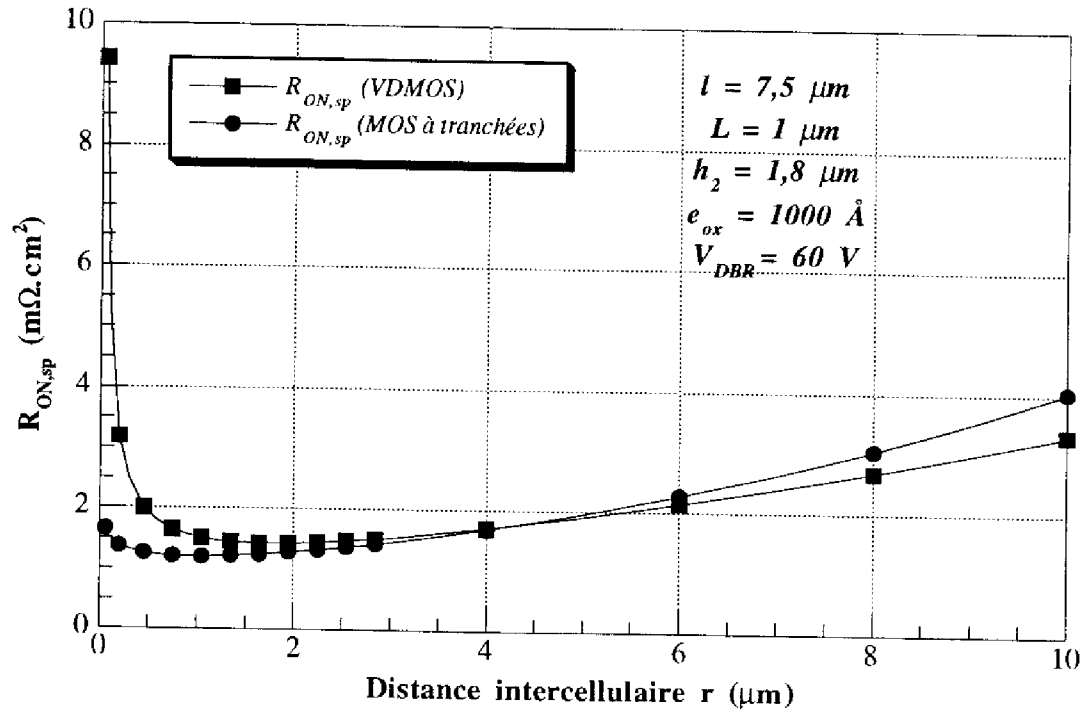
Les structures des deux familles de transistors considérées — VDMOS et MOS à tranchées — ont été étudiées et optimisées. Il reste maintenant à confronter les résultats obtenus pour ces deux composants. Plusieurs cas de comparaisons sont possibles :

- on peut tout d'abord comparer des transistors présentant les mêmes caractéristiques, c'est-à-dire : même tenue en tension — donc, mêmes épaisseur et concentration de la couche épitaxiée —, même longueur de canal, même épaisseur d'oxyde, même tension de seuil — et par conséquent même valeur de pic de concentration N_{Amax} dans le canal —, et même taille de caisson P. A caractéristiques identiques, la comparaison est ainsi "correcte", en ce sens qu'aucun artifice ne permet d'avantager, a priori, une des deux structures.
- on peut aussi comparer des transistors présentant des caractéristiques semblables à celles que l'on rencontre actuellement dans l'industrie. En particulier, l'épaisseur d'oxyde d'un transistor MOS à tranchées 60 V est en général plus épaisse — 1 000 Å — que son homologue VDMOS — 800 Å — de manière à éviter toute possibilité de claquage dans l'oxyde de grille, à l'angle de la tranchée — paragraphe (I.4.4.2) —.
- on peut enfin comparer les structures VDMOS et MOS à tranchées optimisées dans les paragraphes précédents afin de déterminer quelle est la structure qui, dans l'avenir — c'est-à-dire lorsque les progrès technologiques permettront la réalisation de tels composants —, présentera les meilleures performances en termes de gain en surface et de résistance passante spécifique.

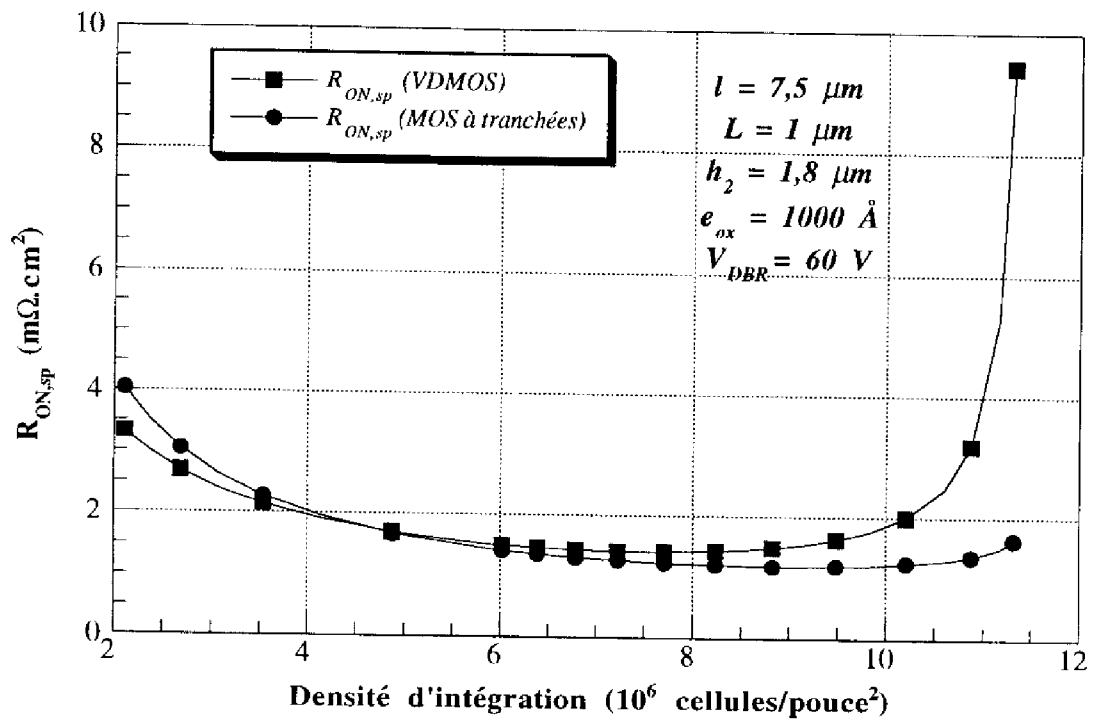
IV.3.3.1. Comparaison de transistors VDMOS et MOS à tranchées présentant les "mêmes caractéristiques"

On compare deux transistors de 60 V de tenue en tension — donc ayant des caractéristiques d'épitaxie identiques —, ayant une longueur de canal de 1 μm , un oxyde de grille de 1 000 Å d'épaisseur, une tension de seuil de 4 V et une taille de caisson P de 7,5 μm . La variable est toujours la distance intercellulaire r — figure (IV.30.a) —; toutefois, pour plus de clarté et pour avoir un ordre d'idée des densités d'intégration qui peuvent être obtenues, on reporte également en abscisse — figure (IV.30.b) — cette densité d'intégration exprimée en millions de cellules par pouce carré.

La même comparaison est faite pour des transistors de 30 V de tenue en tension, ayant une longueur de canal de 1 μm , un oxyde de 500 Å d'épaisseur, une tension de seuil de 4 V et une largeur de caisson P de 6 μm — figure (IV.31) —.



a)



b)

Figure IV.30 : Comparaison de l'évolution de la résistance passante spécifique des transistors VDMOS et MOS à tranchées de 60 V de tenue en tension, présentant les mêmes caractéristiques, en fonction de :
a) la distance intercellulaire, b) la densité d'intégration.

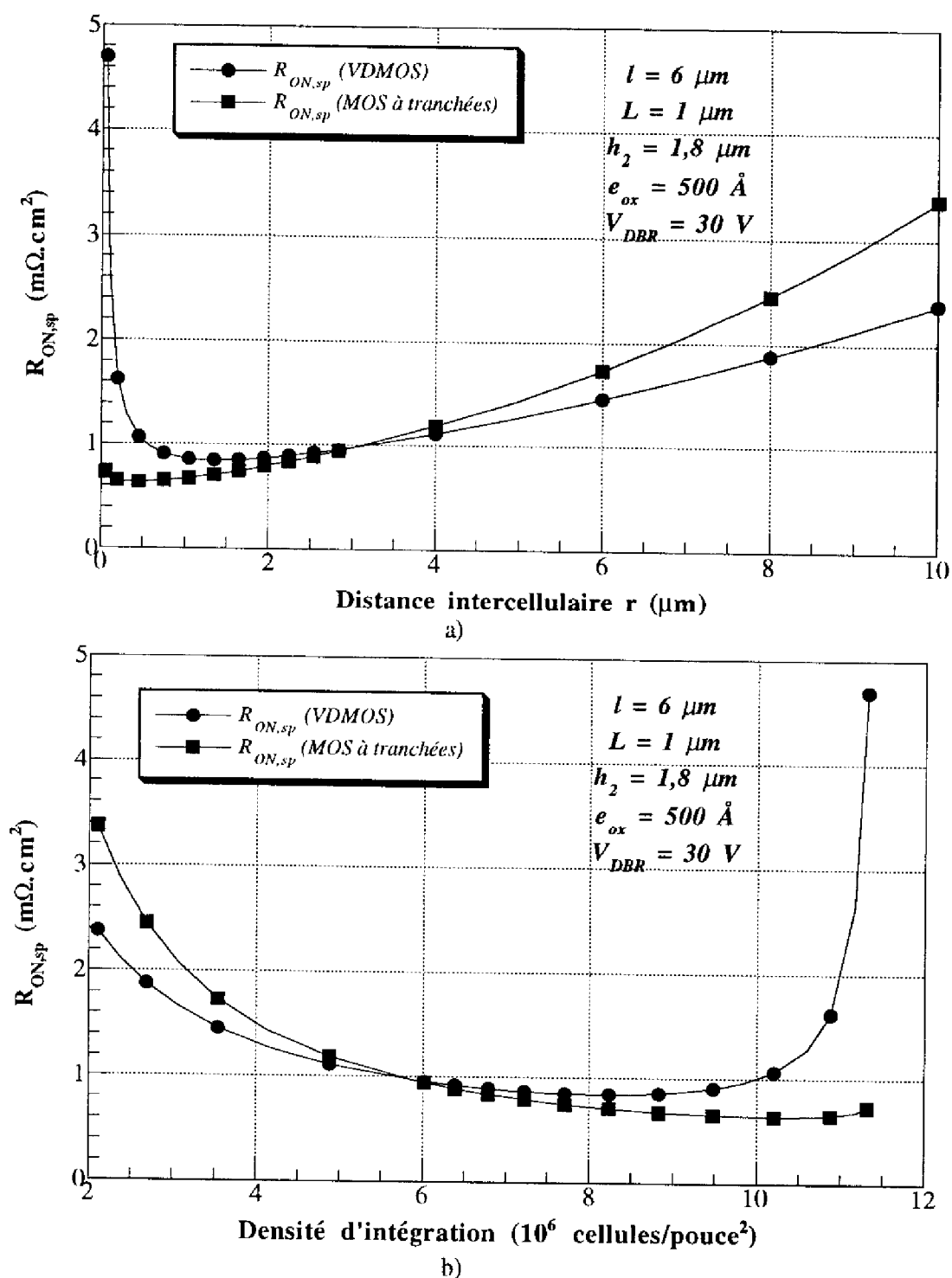


Figure IV.31 : Comparaison de l'évolution de la résistance passante spécifique des transistors VDMOS et MOS à tranchées de 30 V de tenue en tension, présentant les mêmes caractéristiques, en fonction de : a) la distance intercellulaire, b) la densité d'intégration.

Les figures (IV.30) et (IV.31) montrent clairement la supériorité de la structure MOS à tranchées : à résistance de canal, de "drift" et de substrat comparables, c'est l'absence de résistance R_{JFET} — ainsi qu'une faible valeur de la résistance

d'accumulation — dans cette structure qui fait la différence avec la structure VDMOS. Par exemple, pour une tenue en tension de 60 V, dès qu'une valeur de densité d'intégration de 6,5 millions de cellules par pouce carré est dépassée, la résistance spécifique du transistor VDMOS commence à augmenter alors que la résistance spécifique du transistor MOS à tranchées diminue encore jusqu'à une densité d'intégration de 10 millions de cellules par pouce carré.

A caractéristiques équivalentes, on a donc tout intérêt à utiliser, en basse tension, la structure MOS à tranchées de préférence à la structure VDMOS, puisqu'elle présente deux avantages qui sont un gain en surface, en raison d'une plus grande possibilité d'intégration, et une baisse sensible de la résistance passante spécifique

IV.3.3.2. Comparaison de transistors VDMOS et MOS à tranchées à partir d'une base de données industrielle

On compare à présent deux composants dont les caractéristiques se rapprochent de celles rencontrées dans l'industrie à l'heure actuelle. Les deux transistors font 60 V de tenue en tension — ils ont donc toujours des caractéristiques d'épitaxie identiques —, présentent une tension de seuil de 4 V, une longueur de canal de 1 μm , mais des oxydes de grille différents — 1 000 Å d'épaisseur pour le transistor MOS à tranchées, 800 Å pour le transistor VDMOS —, et des tailles de caisson P de 6 μm [22] pour le transistor VDMOS et de 2 μm pour le transistor MOS à tranchées [23]. La variable est la distance intercellulaire r .

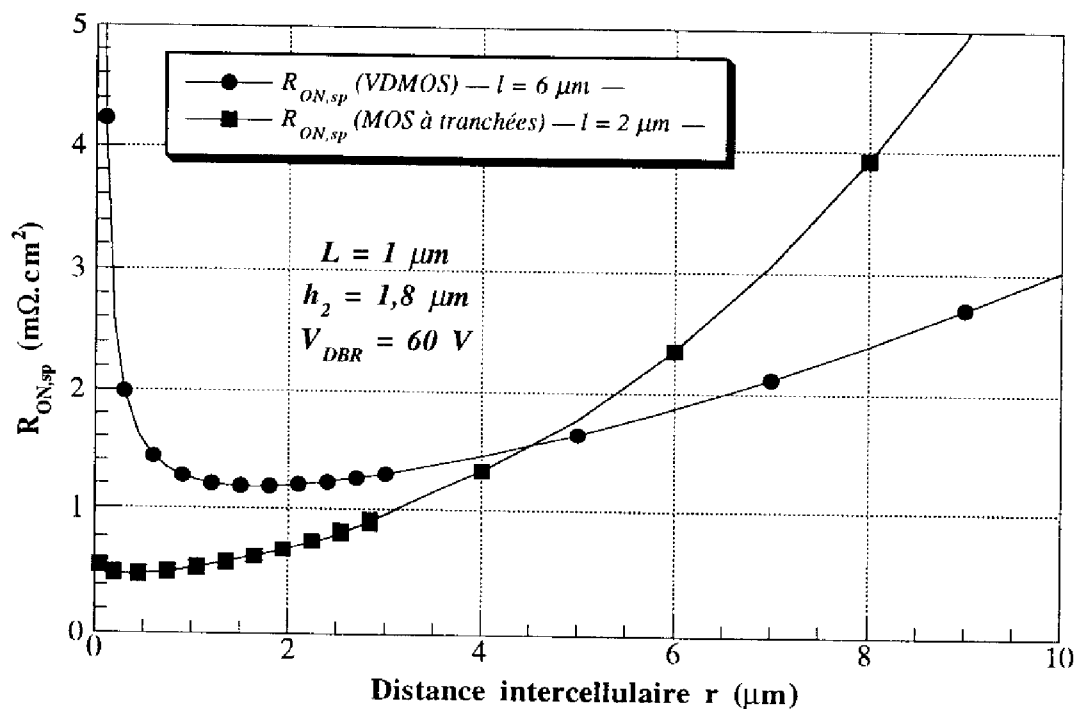


Figure IV.32 : Comparaison de l'évolution de la résistance passante spécifique des transistors VDMOS et MOS à tranchées, présentant des caractéristiques proches des produits industriels, en fonction de la distance intercellulaire.

A l'observation de cette figure, on peut remarquer que l'optimum de la distance intercellulaire est de $1,6\ \mu\text{m}$ pour le transistor VDMOS et de $0,5\ \mu\text{m}$ pour le transistor MOS à tranchées, soit des densités d'intégration respectives de 11 et 103 millions de cellules par pouce carré. D'autre part, la résistance passante spécifique minimale correspondant à l'optimum est de $1,2\ \text{m}\Omega\cdot\text{cm}^2$ pour le transistor VDMOS et de $0,5\ \text{m}\Omega\cdot\text{cm}^2$ pour le transistor MOS à tranchées. Enfin, on remarque que le transistor VDMOS est plus performant que le transistor MOS à tranchées tant que r est supérieur à $4,5\ \mu\text{m}$ — soit une densité d'intégration de 6 millions de cellules par pouce carré — ; ceci s'explique par une plus faible résistance spécifique de canal pour des grandes valeurs de r . Par contre, pour les faibles valeurs de r , une possibilité d'intégration plus élevée et une résistance d'accès au drain négligeables — alors que celle du VDMOS devient prépondérante et pénalisante pour la résistance passante spécifique totale — font du transistor MOS à tranchées un composant plus performant [24].

Une même étude pour des transistors de tenues en tension plus faibles — de 20 à 50 V — donnerait le même type de courbes, mais avec des valeurs de résistances passantes spécifiques plus faibles comprises entre $0,1$ et $0,5\ \text{m}\Omega\cdot\text{cm}^2$ pour le transistor MOS à tranchées. Quelle que soit la tenue en tension désirée — mais en restant cependant toujours en basse tension ($<100\ \text{V}$), comme démontré au paragraphe (IV.2.1) —, le transistor MOS à tranchées sera supérieur au transistor VDMOS en termes de densité d'intégration et de résistance passante spécifique.

IV.3.3.3. Comparaison de transistors VDMOS et MOS à tranchées présentant des structures optimisées

On compare enfin les deux structures qui ont été optimisées dans le cadre de ce mémoire. Les caractéristiques de ces transistors ont été énoncées précédemment. On se contente ici de reporter les résultats déjà obtenus aux paragraphes (IV.3.1.5.4) et (IV.3.2.5.4) sur une même courbe, la variable étant la distance intercellulaire r — la densité d'intégration ne peut pas être tracée ici de la même manière pour les deux composants puisque ils ne présentent pas les mêmes valeurs de $I_{\min}$ —.

L'observation de cette figure montre qu'en optimisant le transistor VDMOS de la manière précisée dans le paragraphe (IV.3.1.5.4), il est possible, jusqu'à une distance intercellulaire de $1,4\ \mu\text{m}$, d'avoir des performances statiques supérieures à celles du transistor MOS à tranchées. Ceci s'explique par le fait que le canal est plus court dans le cas de la structure VDMOS optimisé, de même que l'oxyde est plus mince. Comme, de plus, la résistance de "drift" du transistor VDMOS est également inférieure à celle du transistor MOS à tranchées, alors la résistance passante spécifique demeure inférieure jusqu'à $r = 1,2\ \mu\text{m}$. Par la suite, le transistor MOS à tranchées devient plus performant, en termes de résistance passante spécifique, grâce à la possibilité de diminuer la taille de la cellule r continuellement pendant que la diminution de la distance intercellulaire entraîne une augmentation sensible de la résistance d'accès au drain du VDMOS.

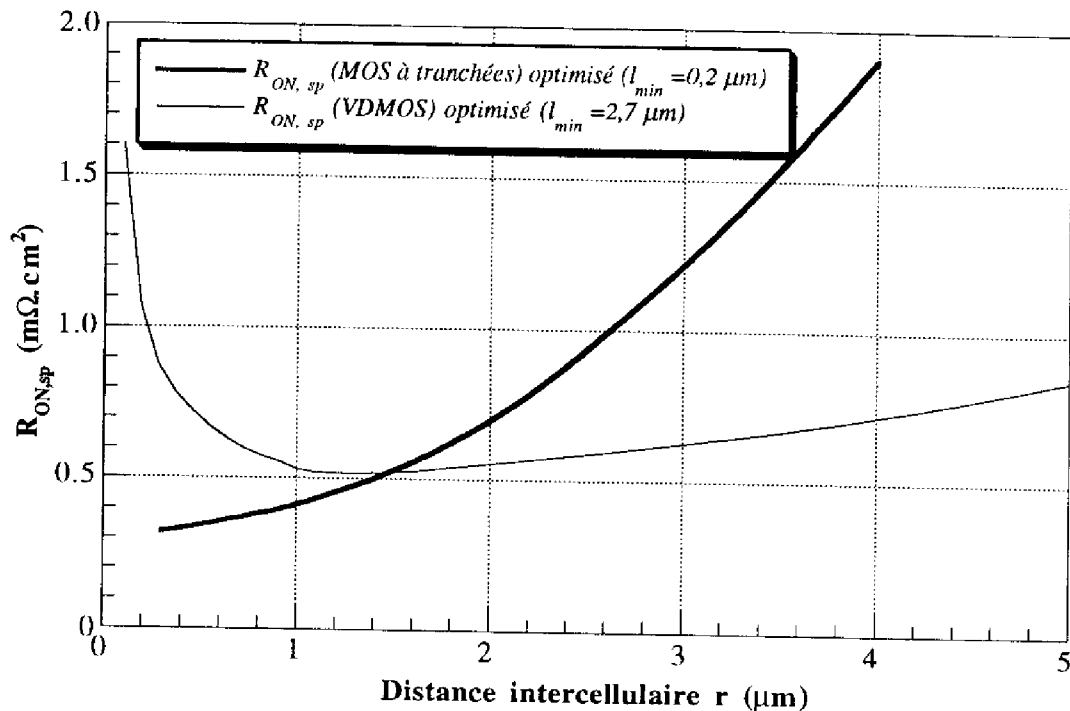


Figure IV.32 : Comparaison de l'évolution de la résistance passante spécifique des transistors VDMOS et MOS à tranchées optimisés selon les paragraphes (IV.3.1.5.4) et (IV.3.2.5.4) en fonction de la distance intercellulaire. $V_{DBR} = 60 V$.

Il apparaît donc clairement, d'après la figure (IV.32), que la structure du transistor MOS de puissance à tranchées est la structure du futur dans le domaine des basses tensions de claquage puisqu'une optimisation des deux types de composants est à l'avantage de cette nouvelle structure. Toutefois, on peut remarquer que les possibilités d'optimisation du transistor VDMOS sont encore conséquentes puisque, si les progrès technologiques le permettent à l'avenir, il existe des paramètres de la structure VDMOS qui peuvent être modifiés de façon sensible — L , r , l , h_2 , h_{N+} ,... — et peuvent permettre, par conséquent, l'obtention de structures VDMOS performantes en termes de résistance passante spécifique et de densité d'intégration.

Notons, en outre, que l'ensemble des résultats obtenus ne tient absolument pas compte des problèmes électro-thermiques d'échauffement de la puce qui dépassent le cadre de cette étude mais qui deviennent cruciaux lorsqu'on diminue la taille.

IV.4. CONCLUSION

Ce chapitre a été consacré à la comparaison des performances des transistors VDMOS et MOS de puissance à tranchées. Sur des composants actuels, la supériorité de la structure MOS à tranchées est démontrée en termes de résistance passante spécifique et de densité d'intégration, alors que les performances dynamiques sont soit meilleures, soit moins bonnes, selon le cas d'étude où on se place.

Par la suite, les paramètres géométriques et physiques qui limitent les performances statiques des deux types de transistors ont été étudiés. Cette étude a montré les effets négatifs de nombreux paramètres sur la résistance d'accès, et donc sur la résistance passante spécifique du transistor VDMOS. Ces limites n'apparaissent pas dans le cas du transistor MOS à tranchées, si bien que les possibilités d'optimisation de cette structure permettront de réaliser, dans le futur, des composants MOS à tranchées aux performances inégalables par des transistors VDMOS, même si ces derniers présentent encore des possibilités d'optimisation conséquentes.

Enfin, la comparaison, dans trois cas de figure distincts, des deux structures obtenues par densification de la cellule élémentaire, confirme la supériorité du transistor MOS à tranchées ; cette comparaison fait apparaître, en outre, que cette supériorité est appelée à s'accroître dans l'avenir. Le transistor MOS à tranchées est donc bien le composant du "futur" dans le domaine des basses tensions de claquage.

CONCLUSION GENERALE

Conclusion générale

Le travail que nous venons de présenter dans ce mémoire constitue une étude des propriétés statiques et dynamiques du transistor Métal-Oxyde-Semiconducteur de puissance à tranchées. Il s'est articulé autour de deux axes principaux qui sont :

- la modélisation physique et analytique de ce transistor afin de rendre compte de ses comportements statique et dynamique,
- l'application de ces modèles à l'analyse des performances actuelles et à la détermination des limites de performances de cette nouvelle génération de composants.

Le déroulement des étapes de notre travail et les résultats obtenus sont les suivants :

Dans le premier chapitre, l'évolution chronologique des structures MOS de puissance basse tension depuis les années 70 a été présentée. Cette évolution explique notamment le développement d'une nouvelle famille de composants afin de gagner encore plus sur les pertes en conduction de ce type de structures : ce nouveau composant est le transistor MOS de puissance à tranchées, dont la structure, la technologie de fabrication et les propriétés majeures relatées dans la littérature sont reportés. Cependant, certains points méritent d'être précisés : en particulier l'étude analytique et la modélisation de type "circuit" n'ont toujours pas été réalisées, de même qu'aucune étude prospective sur les limites de performances statiques n'a été effectuée. Il a été proposé ici de combler ces "lacunes" en s'appuyant, à partir des premiers transistors MOS à tranchées développés industriellement, sur une étude analytique et sur des simulations numériques bidimensionnelles. A cet effet, nous présentons les caractéristiques des transistors sur lesquels nous nous appuyons par la suite pour réaliser notre étude.

Le deuxième chapitre a été consacré à l'analyse des propriétés, en régime statique, de la structure "MOS de puissance à tranchées". Ce chapitre est d'abord composé de deux parties principales qui traitent les deux états principaux de fonctionnement d'un transistor MOS : l'état passant et l'état bloqué. Puis une troisième partie traite de la modélisation "circuit" de ce transistor.

Dans un premier temps, l'étude du composant en régime de conduction — état passant — est donc effectuée. Pour ce faire, une étude numérique, par simulation bidimensionnelle de la structure, a tout d'abord été réalisée dans ce régime de fonctionnement. Cette étude numérique s'est appuyée sur des modèles empiriques des mobilités dont la validité a été démontrée. Cette validation a permis d'utiliser ce type de simulation dans la suite de ce travail. La deuxième partie est consacrée à l'étude analytique du transistor MOS à tranchées à l'état passant pour des basses valeurs de polarisation du

drain. Les principales caractéristiques statiques du composant — tension de seuil, courant, résistance à l'état passant — sont "disséquées".

Dans un deuxième temps, l'étude de la tenue en tension du transistor MOS à tranchées est réalisée — état bloqué —. De la même manière que pour l'état passant, une étude numérique par simulation bidimensionnelle est tout d'abord effectuée, en s'appuyant sur des modèles de coefficients d'ionisation dont la validité a également été démontrée. Par la suite, une méthode rigoureuse de calcul de la tenue en tension en fonction de l'épaisseur et du dopage de la couche épitaxiée est présentée.

La troisième partie de ce chapitre est consacrée à l'établissement d'un modèle statique du transistor MOS à tranchées pour le logiciel de simulation de circuits électriques SPICE. Les principaux effets analysés dans les deux premières parties de ce chapitre sont pris en compte, de même que le paramètre "température". Une validation expérimentale de ce modèle statique est enfin effectuée. Avec ce modèle "circuit", la simulation bidimensionnelle et le modèle analytique, on dispose, à présent, de plusieurs outils permettant la prédiction, avec une certaine précision, du comportement statique de cette nouvelle structure.

Dans le troisième chapitre, l'analyse des propriétés de la structure MOS à tranchées en régime dynamique a été réalisée.

Les expressions analytiques des capacités inter-électrodes C_{ds} , C_{gs} et C_{gd} , basées sur des propriétés physiques, des paramètres géométriques et technologiques, sont tout d'abord déterminées. La non-linéarité des capacités grille-drain et drain-source est notamment prise en compte.

La deuxième partie de ce chapitre est consacrée à la modélisation, pour le logiciel SPICE, de ces capacités. Un nouveau modèle, plus rapide et aussi précis que les modèles précédemment développés, est présenté. Ce modèle "complet" comprend les éléments dynamiques, mais également les éléments statiques déterminées au chapitre précédent. Il tient compte de la non-linéarité des capacités C_{ds} et C_{gd} . L'extraction des paramètres de ce modèle est ensuite explicitée. Ce modèle est enfin validé expérimentalement. On dispose désormais d'un modèle capable de prédire le comportement du transistor MOS à tranchées dans les applications à la commutation en électronique de puissance, applications pour lesquelles ce composant est destiné.

Enfin, dans le quatrième chapitre, les limites de performances des deux familles principales de transistors MOS de puissance — les VDMOS et les MOS à tranchées — ont été déterminées.

On compare tout d'abord les performances statiques et dynamiques actuelles des deux types de composants : ces comparaisons montrent la supériorité actuelle de la structure MOS à tranchées en termes de résistance passante spécifique et de densité

d'intégration, tandis que les performances dynamiques sont soit plus favorables, soit plus défavorables, selon le cas d'étude.

Pour terminer, une étude prospective a été menée sur les performances — en particulier, en termes de résistance passante spécifique et de densité d'intégration — que l'on est en droit d'attendre de la part de ces deux structures. Cette partie traite en particulier des possibilités théoriques d'optimisation des résistances passantes spécifiques des transistors VDMOS et MOS à tranchées. Pour ce faire, nous étudions dans le détail les différentes composantes de la résistance à l'état passant, ainsi que l'importance de la géométrie cellulaire sur la résistance passante spécifique. Cette étude montre que de nombreux paramètres géométriques limitent les performances statiques du transistor VDMOS, en terme de résistance passante spécifique. Ces paramètres influent, en particulier, sur la résistance d'accès au drain — effet de pincement JFET —, empêchant, par suite, toute possibilité de réduction de la taille de la cellule au delà d'une certaine distance intercellulaire appelée distance optimale. Il est démontré que ces limitations n'apparaissent pas dans la structure MOS à tranchées, ce qui devrait permettre la recherche d'importantes densités d'intégration avec ce type de composants.

Les caractéristiques géométriques limites des deux types de composants sont également évaluées afin d'obtenir des valeurs de résistance passante spécifique minimales: un minimum de $0,5 \text{ m}\Omega\cdot\text{cm}^2$ pour une densité d'intégration de 42 millions de cellules par pouce carré pourrait être obtenu pour le transistor VDMOS si les progrès technologiques permettaient de réaliser une telle structure — tenue en tension de 60 V, épaisseur d'oxyde de 800 Å, profondeur de la jonction PN de $0,5 \mu\text{m}$ —. Ce résultat est à comparer avec ceux du transistor MOS à tranchées qui afficherait, lui, une résistance passante spécifique optimale de $0,32 \text{ m}\Omega\cdot\text{cm}^2$ pour une densité d'intégration de 2580 millions de cellules par pouce carré — tenue en tension de 60 V, épaisseur d'oxyde de 1 000 Å —. La comparaison entre les performances limites du transistor VDMOS et du transistor MOS à tranchées est donc fortement à l'avantage de cette dernière structure en termes de résistance passante spécifique et de densité d'intégration. On peut même d'ores et déjà affirmer que cette supériorité actuelle va s'accroître dans les années à venir.

Ces comparaisons ont donc permis de mettre en évidence le "composant du futur" dans la gamme des basses tensions de claquage (30 V - 60 V) : il s'agit du transistor MOS à tranchées dont les applications futures seront notamment l'alimentation de puissance dans les ordinateurs portables et l'électronique automobile. L'obtention de petites tailles de cellules nous pousse à penser également que l'intégration de ce composant dans les circuits intégrés de puissance — du type "Smart Power" — est fortement souhaitable puisque le gain en aire de silicium procuré par une telle structure est extrêmement intéressant.

BIBLIOGRAPHIE

Introduction

- [1] **B.J. BALIGA**
"Power Electronics in Action"
IEEE Spectrum, p. 33-49, Juillet 1995.
- [2] **S.C. SUN, J.D. PLUMMER**
"Modeling of the On-Resistance of LDMOS, VDMOS, and VMOS Power Transistors"
IEEE Transactions On Electron Devices, Vol. 27, N° 2, p. 356-367, 1980.
- [3] **B.J. BALIGA**
"Modern Power Devices"
Ed. J. Wiley & Sons, 1987.
- [4] **K. SHENAI**
"A 55 V, 0.2-m Ω .cm² Vertical Trench Power MOSFET"
IEEE Electron Device Letters, Vol. 12, N° 3, p. 108-110, 1991.
- [5] "ATLAS II, 2D Device Simulation Framework"
User Manual, Silvaco International, 1994.
- [6] "PSPICE Circuit Analysis"
Manual Installation and Utilisation, Microsim Corporation, 1991.

Chapitre I

- [1] **M. GHARBI**
"La Tenue en Tension et le Calibre en Courant du Transistor MOS Vertical dans la Gamme des Tensions (300 V à 1000 V)"
Thèse de 3^{ème} Cycle, Université Paul-Sabatier, Toulouse, 1985.
- [2] **V. BOISSON**
"Etude de la Géométrie Optimale des Périphéries des Jonctions Planar"
Thèse N° ECL 85-05, Ecole centrale de Lyon, 1985.
- [3] **S.C. SUN**
"Physics and Technology of Power MOSFET's"
Thesis Ph. D, Stanford University, 1982.
- [4] **B. FARZAN, C.A.T. SALAMA**
"Depletion V-Groove MOS (VMOS) Power Transistors"
Solid-State Electronics, Vol. 19, N°4, p. 297-306, 1976.
- [5] **S.C. SUN, J.D. PLUMMER**
"Modeling of the On-Resistance of LDMOS, VDMOS, and VMOS Power Transistors"
IEEE Transactions On Electron Devices, Vol. 27, N° 2, p. 356-367, 1980.
- [6] **B.J. BALIGA**
"Power Electronics in Action"
IEEE Spectrum, p. 33-49, Juillet 1995.
- [7] **A.T. TAMER, K. RAUCH, J.L. MOLL**
"Numerical Comparison of DMOS, VMOS and UMOS Power Transistors"
IEEE Transactions On Electron Devices, Vol. 30, N° 1, p. 73-76, 1983.

- [8] **H.J. SIGG, G.D. VENDELIN, T.P. CAUGE, J. KOCSIS**
 "D-MOS Transistor for Microwave Applications"
 IEEE Transactions On Electron Devices, Vol. 19, N° 2, p. 45-53, 1972.
- [9] **S.C. SUN, J.D. PLUMMER**
 "Electron Mobility in Inversion and Accumulation Layers on Thermally Oxidized Silicon Surfaces"
 IEEE Transactions On Electron Devices, Vol. 19, N° 2, p. 45-53, 1972.
- [10] **B.J. BALIGA**
 "Modern Power Devices"
 Ed. J. Wiley & Sons, 1987.
- [11] "SPICE Model Parameter set for MTP75N05HD",
 Model developped by Alliance Technologies, Motorola note, 1993.
- [12] **K. SHENAI, C.S. KORMAN, B.J. BALIGA, P.A. PIACENTE**
 "A 50-V, 0.7-m Ω .cm² Vertical-Power DMOSFET"
 IEEE Electron Device Letters, Vol. 10, N°3, p. 101-103, 1989.
- [13] **F. GOODENOUGH**
 "Trench-Gate DMOSFETs In SO-8 Switch 10 A at 30 V"
 Electronic Design, p. 65-72, Mars 1995.
- [14] **D. UEDA, H. TAKAGI, G. KANO**
 "A New Vertical Double diffused MOSFET — The Self-Aligned Terraced-Gate MOSFET"
 IEEE Transactions On Electron Devices, Vol. 31, N°4, p. 416-420, 1984.
- [15] **M.A. BOUANANE**
 "Conception et Optimisation des Composants DMOS Latéraux Haute Tension en technologie RESURF"
 Thèse de 3^{ème} Cycle, Université Paul-Sabatier, Toulouse, 1985.
- [16] **D. UEDA, H. TAKAGI, G. KANO**
 "A New Vertical Power MOSFET Structure with Extremely Reduced On-Resistance"
 IEEE Transactions On Electron Devices, Vol. 31, N°1, p. 2-6, 1984.
- [17] **D.M. BROWN, B.A. HEATH**
 "Reactive Ion Beam Etching of SiO₂ and Polycrystalline Silicon"
 Journal of Applied Physic Letters, Vol. 37, N°15, p. 159-161, 1980.
- [18] **C. BULUCEA, R. ROSSEN**
 "Trench DMOS Structure Technology for High-Current (100 A range) Switching"
 Solid-State Electronics, Vol. 34, N°5, p. 493-507, 1991.
- [19] **K. SHENAI**
 "Optimized Trench MOSFET Technologies for Power Devices"
 IEEE Transactions On Electron Devices, Vol. 39, N° 6, p. 1435-1443, 1992.
- [20] **K. SHENAI**
 "A 55-V, 0.2-m Ω .cm² Vertical Trench Power MOSFET"
 IEEE Electron Device Letters, Vol. 12, N°3, p. 108-110, 1991.
- [21] **D. UEDA, H. TAKAGI, G. KANO**
 "An Ultra-Low On-Resistance Power MOSFET Fabricated by Using a Fully Self-Aligned Process"
 IEEE Transactions On Electron Devices, Vol. 34, N°4, p. 926-930, 1987.
- [22] **H.R. CHANG, R.D. BLACK, V.A.K. TEMPLE, W. TANTAPORN,**

- B.J. BALIGA**
 "Self-Aligned UMOSFET's with a Specific On-Resistance of $1 \text{ m}\Omega\text{.cm}^2$ "
 IEEE Transactions On Electron Devices, Vol. 34, N°11, p. 2329-2333, 1987.
- [23] **D. UEDA, H. TAKAGI, G. KANO**
 "Deep-Trench MOSFET with an Area Product of $160 \text{ m}\Omega\text{.mm}^2$ "
 Proc. IEDM, p. 638-641, 1986.
- [24] **H.R. CHANG**
 "Numerical and Experimental Comparison of 60 V Vertical Double-Diffused MOSFETS with a Trench-Gate Structure"
 Solid-State Electronics, Vol. 32, N°3, p. 247-251, 1989.
- [25] **S. MUKHERJEE, M. KIM, L. TSOU, S. WONG, J.C. YOUNG**
 "A High Current Power IC Technology Using Trench DMOS Power Device"
 Proc. IEDM, p. 145-148, 1991.
- [26] **S. MATSUMOTO**
 "A 70-V, $90 \text{ m}\Omega\text{.mm}^2$, High-Speed Double-Layer Gate UMOSFET Realized by Selective CVD Tungsten"
 Proc. ISPSD, p. 365-369, 1994.
- [27] **P. FLETCHER**
 "Novel Silicon Trench Process Lowers MOSFET's Source-to-Drain On-Resistance"
 Electronic Design, p. 44-48, Juillet 1996.
- [28] **B. BEYDOUN**
 "Simulation et Conception des Transistor M.O.S. de Puissance"
 Thèse de 3ème Cycle, Université Paul-Sabatier, Toulouse, 1985.
- [29] **C.J. PETTI, J.P. MC VITTIE, J.D. PLUMMER**
 "Characterization of Surface Mobility on the Sidewalls of Dry-Etched Trenches"
 Proc. IEDM, p. 104-107, 1988.
- [30] **K. SHENAI, W. HENNESSY, C.S. HORMAN, H.R. CHANG, V.A.K. TEMPLE, M. ADLER**
 "Optimum Low-Voltage Silicon Power Switches Fabricated using Scaled Trench MOS Technologies"
 Proc. IEDM, p. 793-797, 1990.
- [31] **S. MATSUMOTO, T. OHNO, H. ISHII, H. YOSHINO**
 "A High-Performance Self-Aligned UMOSFET with a Vertical Trench Contact Structure"
 IEEE Transactions On Electron Devices, Vol. 41, N°5, p. 814-818, 1994.
- [32] **H. TRANDUC, P. ROSSEL, J.L. SANCHEZ**
 "Premier et Second Claquage dans les Transistors M.O.S."
 Revue Phys. Appl., Vol. 19, p. 859-878, 1984.
- [33] **Y. BABA, N. MATSUDA, S. YANAGIYA, S. HIRAKI, S. YASUDA**
 "A Study on a High Blocking Voltage UMOS-FET with a Double Gate Structure"
 Proc. ISPSD, p. 300-302, 1992.
- [34] **T. SYAU, P. VENTRAKAM, B.J. BALIGA**
 "Comparison of Ultralow Specific On-Resistance UMOSFET Structures : The ACCUFET, EXTFET, INVFET, and Conventional UMOSFET's"
 IEEE Transactions On Electron Devices, Vol. 41, N°5, p. 800-808, 1994.
- [35] **J. ZENG, P.A. MAWBY, M.S. TOWERS, K. BOARD**
 "Numerical Analysis of a Trench VDMOST Structure with no Quasi-Saturation"
 Solid-State Electronics, Vol. 38, N°4, p. 821-828, 1995.

- [36] **J.L. SANCHEZ, M. GHARBI, H. TRANDUC, P. ROSSEL**
 "Quasi-Saturation Effect in High-Voltage VDMOS Transistors"
 IEE Proc., Vol. 132, Part. 1, N° 1, p. 42, 1985.
- [37] **E.S. VERA, N. YAMASHITA, T. YACHI**
 "A Novel Power MOSFET Using Drain Trench Technology"
- [38] **H.R. CHANG, B.J. BALIGA**
 "500-V n-channel Insulated-Gate Bipolar Transistor with a Trench Gate Structure"
 IEEE Transactions On Electron Devices, Vol. 36, N°5, p. 1824-1828, 1989.

Chapitre II

- [1] "ATLAS II, 2D Device Simulation Framework"
 User Manual, Silvaco International, 1995.
- [2] **D.M. CAUGHEY, R.E. THOMAS**
 "Carrier Mobility in Silicon Empirically Related to Doping and Field"
 Proc. IEEE, Vol. 55, p. 2192-2193, 1967.
- [3] **C. JACOBINI, C. CANALI, G. OTTAVIANI, A. ALBERIGI QUARANTA**
 "A Review of some Charge Transport Properties of Silicon"
 Solid-State Electronics, Vol. 20, p. 77-89, 1977.
- [4] **G. MASETTI, M. SEVERI, S. SOLMI**
 "Modeling of Carrier Mobility against Carrier Concentration in Arsenic-,
 Phosphorus-, and Boron- Doped Silicon"
 IEEE Transactions On Electron Devices, Vol. 30, N° 6, p. 764-769, 1983.
- [5] **K. YAMAGUCHI**
 "A Mobility Model for Carriers in the MOS Inversion Layer"
 IEEE Transactions On Electron Devices, Vol. 30, N° 6, p. 658-663, 1983.
- [6] **N.D. ARORA, J.R. HAUSER, D.J. ROULSTON**
 "Electron and Hole Mobilities in Silicon as a Function of Concentration and
 Temperature"
 IEEE Transactions On Electron Devices, Vol. 30, N° 6, p. 658-663, 1983.
- [7] **D.B.M. KLAASSEN**
 "A Unified Mobility Model for Device Simulation : II. Temperature Dependence of
 Carrier Mobility and Lifetime"
 Solid-State Electronics, Vol. 35, p. 961-967, 1992.
- [8] **J.M. DORKEL, P. LETURCO**
 "Carrier Mobilities in Silicon Semi-Empirically Related to Temperature, Doping and
 Injection Level"
 Solid-State Electronics, Vol. 24, p. 821-824, 1981.
- [9] **C. LOMBARDI, S. MANZINI, A. SAPORITO, M. VANZI**
 "A Physically Based Mobility Model for Numerical Simulation of Nonplanar
 Devices"
 IEEE Transactions On Computer-Aided Design, Vol. 7, N° 11, p. 1164-1171,
 1988.
- [10] **S.C. SUN, J.D. PLUMMER**

- "Electron Mobility in Inversion and Accumulation Layers on Thermally Oxidized Silicon Surfaces"
IEEE Transactions On Electron Devices, Vol. 27, N° 6, p. 671-683, 1980.
- [11] **H. SOON, A.F. TASCH, C. MAZIAR, S.K. BANERJEE**
"A New Approach to Verify and Derive a Transverse-Field-Dependant Mobility Model for Electrons in MOS Inversion Layers"
IEEE Transactions On Electron Devices, Vol. 36, N° 6, p. 1117-1123, 1989.
- [12] **M.N. DARWISH**
"Study of Quasi-Saturation Behaviour in VDMOS Transistors"
IEEE Transactions On Electron Devices, Vol. 33, N°11, p. 1710-1716, 1986.
- [13] **J.G. MENA**
"High Frequency Performance of VDMOS Power Transistors"
M.A. Sc. Thesis, Canada, 1981.
- [14] **A. BELLAOUAR**
"Détection et dosimétrie des rayonnements ionisants par transistor MOS"
Thèse de 3^{ème} Cycle, Université Paul Sabatier, Toulouse, 1985.
- [15] **P. ROSSEL, H. MARTINOT, M. ZAMORANO**
"Propriétés Statiques des Transistors M.O.S. de Puissance à Canal Vertical. Cas du Régime de Pincement"
Revue Phys. Appl. Vol. 13, p. 23-28, 1978.
- [16] **S.C. SUN, J.D. PLUMMER**
"Modeling of the On-Resistance of LDMOS, VDMOS, and VMOS Power Transistors"
IEEE Transactions On Electron Devices, Vol. 27, N° 2, p. 356-367, 1980.
- [17] **J.L. SANCHEZ**
"Propriétés à l'Etat Passant des Transistors DMOS de Puissance Coplanaires et Verticaux"
Thèse de Docteur-Ingénieur, INSA Toulouse, 1984.
- [18] **T. PHAN PHAM**
"Le Compromis entre la Résistance à l'Etat Passant et la Tenue en Tension dans les Transistors MOS de Puissance"
Thèse de 3^{ème} Cycle, Université Paul Sabatier, Toulouse, 1982.
- [19] **C. BULUCEA, R. ROSSEN**
"Trench DMOS Structure Technology for High-Current (100 A range) Switching"
Solid-State Electronics, Vol. 34, N°5, p. 493-507, 1991.
- [20] **D. UEDA, H. TAKAGI, G. KANO**
"A New Vertical Power MOSFET Structure with Extremely Reduced On-Resistance"
IEEE Transactions On Electron Devices, Vol. 31, N°1, p. 2-6, 1984.
- [21] **M. GHARBI**
"La Tenue en Tension et le Calibre en Courant du Transistor MOS Vertical dans la Gamme des Moyennes Tensions"
Thèse de 3^{ème} Cycle, Université Paul Sabatier, Toulouse, 1985.
- [22] **E. DURAND**
"Electrostatique — tome I : Les Distributions"
Editions Masson & Cie, 1966.
- [23] **B.J. BALIGA**
"Power Semiconductor Devices"

Publishing Company Editions, 1996.

- [24] **C. HU**
"Optimum design of power MOSFET's"
IEEE Transaction on Electron Devices, Vol. 31, N° 12, p. 1693-1700, 1984.
- [25] **P. GRANADEL**
"Evolution des Structures des Transistors M.O.S. de Puissance vers le Domaine des Petites Dimensions"
Thèse de 3^{ème} Cycle, Université Paul Sabatier, Toulouse, 1987.
- [26] **B.J. BALIGA**
"Modern Power Devices"
Editions J. Wiley & Sons, 1987.
- [27] **H. TRANDUC, P. ROSSEL, J.L. SANCHEZ**
"Premier et second claquage dans les transistors MOS"
Revue Phys. Appl. Vol. 19, p. 859-878, 1984.
- [28] **V. BOISSON**
"Etude de la géométrie optimale des périphéries des jonctions planar"
Thèse N° ECL 85-05, Ecole centrale de Lyon, 1985.
- [29] **S.C. SUN**
"Physics and Technology of Power MOSFET's"
Thesis Ph. D, Stanford University, 1982.
- [30] **S.M. SZE, G. GIBBONS**
"Effect of Junction Curvature on Breakdown Voltage in Semiconductors"
Solid-State Electronics, Vol. 9, p. 831-845, 1966.
- [31] **S.M. SZE**
"Physics of Semiconductor Devices"
Editions J. Wiley & Sons, 1981.
- [32] **S. SELBERHERR**
"Analysis and Simulation of Semiconductor Devices"
Springer-Verlag, Wien-New York, 1984.
- [33] **D.A. GRANT, J. GOWAR**
"Power MOSFET's : Theory and Applications"
Ed. J. Wiley & Sons, 1989.
- [34] **A.G. CHYNOWETH**
"Ionisation Rates for Electrons and Holes in Silicon"
Physical review, Vol. 109, p. 1537-1540, 1958.
- [35] **C.R. CROWELL, S.M. SZE**
"Temperature Dependence of Avalanche Multiplication in Semiconductors"
Applied Physics Letters, Vol. 9, p. 242-244, 1966.
- [36] **R. VAN OVERSTRAETEN, H. DE MAN**
"Measurement of the Ionization Rates in Diffused Silicon PN Junction"
Solid-State Electronics, Vol. 13, p. 583-608, 1970.
- [37] **L. MOLL, R. VAN OVERSTRAETEN**
"Charge Multiplication in Silicon PN Junction"
Solid-State Electronics, Vol. 6, p. 147-157, 1963.
- [38] **A. LEE et al.**
"Ionization Rates of Holes and Electrons in Silicon"
Revue Phys. Appl. Vol. 134, 1964, p. 761-773

- [39] **GARRIGUES, P. ROJOS**
"Simulation Bidimensionnelle des Mécanismes d'Ionisation par choc dans les Transistors MOS
Marché d'étude n°843B046 CNS-ECL, 1985.
- [40] **J.W. SLOTBOOM**
"The PN Product in Silicon"
Solid-State Electronics, Vol. 20, p. 279-283, 1977.
- [41] **P. LETURCQ**
"Comportement Electrique et Thermique des Transistors Bipolaires aux Forts Niveaux de Tension ou de Courant : Application au Phénomène de Second Claquage"
Thèse n° 366, Université Paul Sabatier, Toulouse, 1969.
- [42] **KO et al.**
"An Unified Model for Hot-Electron Currents in MOSFET"
IEDM Tech. Digest, p. 600-603, 1981.
- [43] **B. BEYDOUN**
"Simulation et Conception des Transistors M.O.S. de Puissance"
IEEE Transactions On Electron Devices, Vol. 31, N°1, p. 2-6, 1984.
- [44] **K.G. MAC KAY**
"Avalanche Breakdown in Silicon"
Physical review, Vol. 94, n°4, p. 877, 1954.
- [45] **W. FULOP**
"Calculation of Avalanche Breakdown of Silicon PN Junction"
Solid-State Electronics, Vol. 10, N°1, p. 39-43, 1967.
- [46] "PSPICE Circuit Analysis"
Manual Installation and Utilisation, Microsim Corporation, 1991.
- [47] **M. NAPIERALSKA**
"Modélisation du Transistor VDMOS pour Simulation de Circuits en Electronique de Puissance"
Thèse de Doctorat, Université Paul Sabatier, Toulouse, 1991.
- [48] **D. MONCOQUT, P. ROSSEL, H. TRANDUC, G. CHARITAT, D. FARENC**
"Caractérisation des Composants LDMOS et Modélisations Statique et Dynamique SPICE"
Rapport LAAS N° 95109, 1995.
- [49] **N.D. ARORA**
"MOSFET Models for VLSI Circuit Simulation - Theory and Practice"
Editions Springer Verlag, 1993.
- [50] **M. GAMBOA, H. TRANDUC, T.P. PHAM, P. ROSSEL**
"L.E Dependence of the Output-Admittance in Short Channel N or P Power MOS Transistors"
IEEE Transaction on Electron Devices, Vol. 29, N°5, p. 838-841, 1982.
- [52] **H. TRANDUC, E. CAQUOT, G. GUEGAN, P. ROSSEL**
"M.A.A.C.S.I.M. : Méthodes Automatiques d'Acquisition des Caractéristiques Statiques et d'Identification des Paramètres des Transistors Métal-Oxyde-Semi-conducteur"
Note technique LAAS N° 80I21, 1980.
- [52] **B. FATEMIZADEH, D. SILBER**
"Modeling of LDMOST and LIGBT Structures at High Temperatures"
Proc. ISPSD & IC's, Suisse, 1994.

- [53] **Z. PAVLOVIC, Z. PRIJIC, S.DIMITRIJIEV, N. STOJADINOVIC**
 "Temperature Dependence of On-Resistance in Low-Voltage Power VDMOS Transistors"
 Microelectronics Journal, Vol. 24, p. 115-124, 1993.
- [54] **F. MORANCHO, P. ROSSEL, H. TRANDUC, N. NOLHIER**
 "Trench Power MOSFET Modeling for Simulation in Power Electronics"
 3rd Congress of the Brazilian Microelectronics Society, p. 663-670, Canela, 1995.

Chapitre III

- [1] **G. TARDIVO**
 "Le Transistor D.MOS Vertical en Amplification Haute-Fréquence de Puissance"
 Thèse de 3^{ème} Cycle, Université Paul-Sabatier, Toulouse, 1987.
- [2] **S.M. SZE**
 "Physics of Semiconductor Devices"
 Ed. J. Wiley & Sons, 1981.
- [3] **M. GAMBOA, H. TRANDUC, T.P. PHAM, P. ROSSEL**
 "L. E. Dependence of the Output-Admittance in Short Channel N or P Power MOS Transistors"
 IEEE Transactions On Electron Devices, Vol. 29, N° 5, p. 838-841, 1982.
- [4] **M. NAPIERALSKA**
 "Modélisation du Transistor VDMOS pour Simulation de Circuits en Electronique de Puissance"
 Thèse de 3^{ème} cycle, Université Paul Sabatier, Toulouse 1991.
- [5] **R.A. MINASIAN**
 "Power MOSFET Dynamic Large-Signal Model"
 IEE Proc., Vol. 130, N° 2, p. 73-79, 1983.
- [6] **J. M. HANCOCK**
 "Enhanced Techniques for SPICE Modeling of Power MOSFETs"
 PCI Proceedings, 1988.
- [7] **C.E. CORDONNIER, R. MAIMOUNI, H. TRANDUC, P. ROSSEL, D. ALLAIN, M. NAPIERALSKA**
 "SPICE Models for TMOS Power MOSFETs' Applications"
 Note Motorola Semiconductor AN1043, 1989.
- [8] "SPICE Model Parameter set for MTP75N05HD"
 Modèle développé par Alliance Technologies, Note Motorola, 1993.
- [9] **F. MORANCHO, H. TRANDUC, P. ROSSEL,**
 "Modeling Performance of Trench Power MOSFET's"
 Journal of Solid-State Devices and Circuits, Vol. 4, N°2, p. 12-17, Juillet 1996.
- [10] **R. MAIMOUNI**
 "Hiérarchie des Modèles du Transistor Métal Oxyde Semiconducteur de Puissance"
 Thèse d'Etat, Université d'Oujda, Maroc, 1989.
- [11] **F. MORANCHO, P. ROSSEL, H. TRANDUC, D. MONCOQUIT**
 "A New SPICE Model of the Vertical Trench Power MOSFET"

- Mixed Design of Integrated Circuits and Systems (MIXDES'96), p.519-524, 1996.
- [12] **W. GROVER**
 "Inductance calculation"
 Ed. Van Nostrand, 1946.
- [13] "The Design Center, Analysis- Reference Manual"
 Microsim Corporation , version 5.1, 1992.
- [14] **D. MONCOQUT, P. ROSSEL, H. TRANDUC, G. CHARITAT, D. FARENC**
 "Caractérisation des Composants LDMOS et Modélisation Statique et Dynamique SPICE"
 Rapport d'activité dans le cadre du laboratoire commun "LCIP" LAAS-MOTOROLA-Région Midi Pyrénées, N° 95109, 1995.
- [15] **F. MORANCHO, H. TRANDUC, P. ROSSEL, G. CHARITAT**
 "Modelling and Performance of Vertical Trench Power MOSFET in Power Electronics"
 IEEE International Semiconductor Conference (CAS'95), p. 53-56, Sinaia, 1995.

Chapitre IV

- [1] **B.J. BALIGA**
 "Modern Power Devices"
 Ed. J. Wiley & Sons, 1987.
- [2] **B.J. BALIGA**
 "Power Semiconductor Devices"
 Publishing Company Editions, 1996.
- [3] **F. GOODENOUGH**
 "Planar Vertical DMOS Process Cuts Power-MOSFET Specific On-Resistance"
 Electronic Design, p. 65-72, Juillet 1996.
- [4] **H.R. CHANG**
 "Numerical and Experimental Comparison of 60 V Vertical Double-Diffused MOSFETS with a Trench-Gate Structure"
 Solid-State Electronics, Vol. 32, N°3, p. 247-251, 1989.
- [5] **S.C. SUN, J.D. PLUMMER**
 "Modeling of the On-Resistance of LDMOS, VDMOS, and VMOS Power Transistors"
 IEEE Transactions On Electron Devices, Vol. 27, N° 2, p. 356-367, 1980.
- [6] **Y. FUKUMUCHOTI, I. SUGA, T. ONO**
 "Synchronous Rectifiers Using New Structure MOSFET"
 Proc. ISPSD, p. 252-255, 1995.
- [7] **M. NAPIERALSKA**
 "Modélisation du Transistor VDMOS pour Simulation de Circuits en Electronique de Puissance"
 Thèse de Doctorat, Université Paul Sabatier, Toulouse, 1991.
- [8] **D.A. GRANT, J. GOWAR**
 "Power MOSFET's : Theory an Applications"

- Ed. J. Wiley & Sons, 1989.
- [9] **F. MORANCHO, P. ROSSEL, H. TRANDUC**
 "Propriétés Statiques et Dynamiques des Transistors MOS de Puissance à Tranchées (UMOS) Basse-Tension"
 Journal de Physique III, Vol. 6, N°2, p. 301-322, Février 1996.
 - [10] **T. PHAN PHAM**
 "Le Compromis entre la Résistance à l'Etat Passant et la Tenue en Tension dans les Transistors MOS de Puissance"
 Thèse de 3^{ème} Cycle, Université Paul Sabatier, Toulouse, 1982.
 - [11] **J.L. SANCHEZ**
 "Propriétés à l'Etat Passant des Transistors DMOS de Puissance Coplanaires et Verticaux"
 Thèse de Docteur-Ingénieur, INSA Toulouse, 1984.
 - [12] **M. GHARBI**
 "La Tenue en Tension et le Calibre en Courant du Transistor MOS Vertical dans la Gamme des Tensions (300 V à 1000 V)"
 Thèse de 3^{ème} Cycle, Université Paul-Sabatier, Toulouse, 1985.
 - [13] **C. HU**
 "Optimum Design of Power MOSFET's"
 IEEE Transaction on Electron Devices, Vol. 31, N° 12, p. 1693-1700, 1984.
 - [14] **P. GRANADEL**
 "Evolution des Structures des Transistors M.O.S. de Puissance vers le Domaine des Petites Dimensions"
 Thèse de 3^{ème} Cycle, Université Paul Sabatier, Toulouse, 1987.
 - [15] **S.K. GHANDHI**
 "Semiconductor power devices"
 Editions J. Wiley & Sons, 1977.
 - [16] **W. FULOP**
 "Calculation of Avalanche Breakdown of Silicon PN Junction"
 Solid-State Electronics, Vol. 10, N°1, p. 39-43, 1967.
 - [17] **B. BEYDOUN**
 "Simulation et Conception des Transistor M.O.S. de Puissance"
 Thèse de 3^{ème} Cycle, Université Paul-Sabatier, Toulouse, 1985.
 - [18] **F. GOODENOUGH**
 "Trench-Gate DMOSFETs In SO-8 Switch 10 A at 30 V"
 Electronic Design, p. 65-72, Mars 1995.
 - [19] **M.N. DARWISH**
 "Study of Quasi-Saturation Behaviour in VDMOS Transistors"
 IEEE Transactions On Electron Devices, Vol. 33, N°11, p. 1710-1716, 1986.
 - [20] **A.S. GROVE**
 "Physics and Technology of Semiconductor Devices"
 Editions J. Wiley & Sons, 1967.
 - [21] **J. EVANS, G. AMARATUNGA**
 "The Behaviour of Very High Current Density Power MOSFETs"
 Proc. ISPSD, p. 157-160, 1996.
 - [22] **K. SHENAI, C.S. KORMAN, B.J. BALIGA, P.A. PIACENTE**
 "A 50-V, 0.7-mΩ.cm² Vertical-Power DMOSFET"
 IEEE Electron Device Letters, Vol. 10, N°3, p. 101-103, 1989.

- [23] K. SHENAI**
"A 55-V, 0.2-m Ω .cm² Vertical Trench Power MOSFET"
IEEE Electron Device Letters, Vol. 12, N°3, p. 108-110, 1991.
- [24] F. MORANCHO, H. TRANDUC, P. ROSSEL**
"Limit of D.C. Performance of Trench Power MOSFET's"
IEEE International Conference on Microelectronics (MIEL'95), p. 693-695, Nis, 1995.

<i>ANNEXES</i>

Annexe 1 : Le logiciel de simulation PISCES

A1.1. GENERALITES

Le logiciel de simulation ATLAS est un simulateur de modélisation bidimensionnelle de composants capable de prédire les caractéristiques électriques de la plupart des composants semiconducteurs en régime continu, transitoire ou fréquentiel. En plus du comportement électrique "externe", il fournit des informations sur la distribution interne de variables telles que les concentrations des porteurs, les lignes de courant, le champ électrique ou le potentiel, etc, autant de données importantes pour le design et l'optimisation des procédés technologiques. Ceci est réalisé en résolvant numériquement l'équation de Poisson et les équations de continuité des électrons et des trous en deux dimensions en un nombre fini de points formant le maillage de la structure défini par l'utilisateur ou par le programme.

Ce simulateur est composé de deux parties :

- une partie traitement numérique (méthode d'intégration, de discretisation...),
- une partie formée des modèles physiques des composants semiconducteurs les plus récents : modèles de recombinaisons, d'ionisation par impact, de mobilités, en température et statistiques de Fermi-Dirac et de Boltzmann notamment.

ATLAS a été conçu de façon à pouvoir utiliser d'autres outils qui facilitent son utilisation. Ces outils sont les suivants :

- DEVEDIT : environnement où est dessinée la structure (dimension, dopage, ...) et son maillage,
- DECKBUILD : environnement où est définie le programme de simulation. La structure et son maillage peuvent également être définis dans Deckbuild,
- TONYPLOT : environnement où sont visualisés les résultats des simulations (structure du composant, distributions de grandeurs diverses dans celui-ci, caractéristiques électriques...),
- MASKVIEW : éditeur de layout,
- OPTIMIZER : optimise les paramètres de la structure de façon à obtenir en final la valeur du paramètre que nous lui avons définie au préalable.

Dans le cadre de notre travail, les applications DECKBUILD et TONYPLOT ont été les plus utilisées. L'application DEVEDIT aurait pu l'être également, mais des problèmes de convergence, liés au maillage automatique qu'elle génère, ont été rencontrés. Ceci nous a conduits à utiliser DECKBUILD pour décrire la structure et pour effectuer un maillage "manuel".

Dans cette étude, nous utiliserons uniquement PISCES qui est l'application spécifique d'ATLAS aux composants Silicium.

A1.2. STRUCTURE ET MAILLAGE

Dans la définition de la structure sont essentiellement spécifiés des paramètres tels que les dimensions de la structure, la concentration des différentes couches dans le Silicium (N^+ , N^- , P^- et P^+) et les contacts (contacts ohmiques résistifs, contacts Schottky).

Un ordinateur n'a qu'une capacité mémoire finie et la simulation d'un modèle physique fait intervenir des équations différentielles partielles lourdes à gérer ; il ne peut donc calculer une solution en tout point de la structure. D'où la nécessité d'un maillage qui consiste à définir un nombre fini de points discrets dans la structure. La solution en chacun de ces points est obtenue en affinant une valeur initiale, jusqu'à ce que la différence entre deux solutions successives devienne suffisamment petite pour satisfaire le critère de convergence.

La définition du maillage est donc capitale pour une simulation car celle-ci est bien sûr d'autant plus précise que le nombre de points est important. Cela rallonge cependant le temps de simulation : il est donc nécessaire de trouver un bon compromis entre un maillage trop serré et une simulation trop longue d'une part, et un maillage trop lâche et une simulation peu précise d'autre part. C'est pour cette raison que les points du maillage (ou les nœuds) sont non-uniformément espacés : ils sont rapprochés dans les régions où un important gradient de potentiel est attendu et espacés dans les régions uniformes.

Ainsi, certaines zones critiques de la structure MOS doivent être suffisamment maillées :

- les jonctions, pour tenir compte avec précision du profil de dopage et des courbures éventuelles de ces jonctions,
- le canal, à cause de la couche inversée qui est extrêmement fine,
- l'interface Si-SiO₂, pour tenir compte de la discontinuité à cet endroit.

En revanche, le maillage peut être élargi dans les régions uniformes telles que le substrat et la zone épitaxiée.

A1.3. MODELES PHYSIQUES UTILISES DANS PISCES

A1.3.1. Equations fondamentales des semiconducteurs

Le simulateur PISCES résout les équations différentielles partielles de base qui régissent les composants semiconducteurs. Ce sont l'équation de Poisson (A1.1) et les équations de continuité des électrons et des trous, respectivement (A1.2) et (A1.3).

L'équation de Poisson décrit le comportement électrique du composant semiconducteur. Elle relie les variations du potentiel électrostatique à la densité de charge d'espace :

$$\Delta V(x,y) = - \frac{\rho(x,y)}{\epsilon_0 \epsilon_{si}} \quad (A1.1)$$

Les équations de continuité décrivent les effets des mécanismes de transport de courant et de génération-recombinaison sur la densité de charge :

$$\frac{\partial n}{\partial t} = \frac{1}{q} \cdot \text{div}(\bar{J}_n) - U_n \quad (\text{A1.2})$$

$$\frac{\partial p}{\partial t} = -\frac{1}{q} \cdot \text{div}(\bar{J}_p) - U_p \quad (\text{A1.3})$$

Alternativement, les densités de courant d'électrons et de trous $\bar{J}_n$ et $\bar{J}_p$ peuvent être écrites en fonction de n et de p comme étant la somme d'une composante de conduction et d'une composante de diffusion, lorsque, dans un cristal, s'exercent simultanément des gradients de potentiel et de concentration :

$$\bar{J}_n = q \cdot \mu_n \cdot n \cdot \bar{E} + q \cdot D_n \cdot \text{grad}(n) \quad (\text{A1.4})$$

$$\bar{J}_p = q \cdot \mu_p \cdot p \cdot \bar{E} - q \cdot D_p \cdot \text{grad}(p) \quad (\text{A1.5})$$

A1.3.2. Statistiques de distribution des porteurs

a) Statistique de Boltzmann

Dans la majorité des cas où le niveau de Fermi se situe dans la bande interdite et est distant d'au moins quelques kT des bandes de conduction et de valence, la statistique de distribution des porteurs se confond pratiquement avec celle de Boltzmann. On a alors :

$$n \approx N_C \cdot \exp\left[\frac{1}{k \cdot T}(E_{Fn} - E_C)\right] = n_i \cdot \exp\left[\frac{q}{k \cdot T}(\Psi_i - \phi_n)\right] \quad (\text{A1.6})$$

$$p \approx N_V \cdot \exp\left[\frac{1}{k \cdot T}(E_V - E_{Fp})\right] = n_i \cdot \exp\left[\frac{q}{k \cdot T}(\phi_p - \Psi_i)\right] \quad (\text{A1.7})$$

où N_C et N_V sont les densités effectives d'états dans les bandes de conduction et de valence, E_C (E_V) le niveau le plus bas (haut) de la bande de conduction (valence), E_{Fn} et E_{Fp} les pseudo-niveaux de Fermi pour les électrons et les trous.

PISCES prend également en compte le retrécissement de la bande interdite dans le cas de fort dopage et le répercute sur la concentration intrinsèque sous forme de variation spatiale.

b) Statistique de Fermi-Dirac

Dans le cas où l'on ne peut plus appliquer la statistique de Boltzmann, PISCES utilise la statistique de Fermi-Dirac sous une forme semblable à la précédente où l'on rajoute des facteurs de dégénérescence γ_n et γ_p inférieurs à l'unité :

$$n = N_C \cdot \gamma_n \exp\left[\frac{1}{k \cdot T}(E_{Fn} - E_C)\right] \quad (\text{A1.8})$$

$$p = N_V \cdot \gamma_p \exp\left[\frac{1}{k \cdot T}(E_V - E_{Fp})\right] \quad (\text{A1.9})$$

Il faut remarquer ici que la relation d'Einstein était utilisée de façon explicite avec la statistique de Boltzmann :

$$D_n = \frac{k.T}{q} \cdot \mu_n \quad (\text{A1.10})$$

$$D_p = \frac{k.T}{q} \cdot \mu_p \quad (\text{A1.11})$$

Ce n'est plus le cas avec la statistique de Fermi-Dirac. Les expressions des constantes de diffusion D_n et D_p deviennent alors plus complexes et dépendent notamment des niveaux d'énergie des bandes de valence et de conduction.

c) Ionisation partielle des impuretés

En général, on considère que toutes les impuretés présentes dans le silicium sont ionisées ($N_{D^+} = N_{D,\text{total}}$ et $N_{A^-} = N_{A,\text{total}}$), ce qui est vrai dans la mesure où le niveau de Fermi reste éloigné des niveaux donneurs et accepteurs de plusieurs kT . Si tel n'est pas le cas, PISCES traite ceci en utilisant la statistique de Fermi-Dirac avec les facteurs de dégénérescence appropriés pour les bandes de conduction et de valence g_D et g_A :

$$N_{D^+} = \frac{N_D}{1 + g_D \cdot \exp\left(\frac{E_{Fn} - E_D}{kT}\right)} \quad (\text{A1.12})$$

$$N_{A^-} = \frac{N_A}{1 + g_A \cdot \exp\left(\frac{E_A - E_{Fp}}{kT}\right)} \quad (\text{A1.13})$$

où E_D et E_A sont les niveaux d'énergie des atomes d'impuretés donatrices et acceptrices, N_D et N_A étant les dopages nets compensés de type N et P (si $N_{\text{total}} = N_{D,\text{total}} - N_{A,\text{total}} > 0$, alors $N_D = N_{\text{total}}$ et $N_A = 0$, sinon : $N_A = N_{\text{total}}$ et $N_D = 0$).

A1.3.3. Modèles d'ionisation par impact

Lorsque des porteurs sont suffisamment accélérés sous l'action d'un champ électrique, ils peuvent arracher des porteurs à un atome du réseau cristallin lors d'un impact et donc l'ioniser. PISCES comprend deux modèles d'ionisation par impact dont le plus utilisé est celui de Selberherr. Selon ce modèle, le taux de génération G de paires électron-trou vaut :

$$G = \alpha_n \cdot \frac{|J_n|}{q} + \alpha_p \cdot \frac{|J_p|}{q} \quad (\text{A1.14})$$

où α_n et α_p sont les coefficients d'ionisation des électrons et des trous.

Ces coefficients correspondent au nombre de paires électron-trou générées par porteur et par unité de longueur et ont pour expression générale :

$$\alpha_n = \alpha_n^\infty \cdot \exp\left[-\left(\frac{E_n^{crit}}{E}\right)^{\beta_n}\right] \quad (A1.15)$$

$$\alpha_p = \alpha_p^\infty \cdot \exp\left[-\left(\frac{E_p^{crit}}{E}\right)^{\beta_p}\right] \quad (A1.16)$$

où les valeurs des coefficients α^∞ , E^{crit} et β ont été déterminées expérimentalement par différents auteurs. Par défaut dans PISCES : $\beta_n = \beta_p = 1$.

Nous abordons plus en détail ce modèle lors de l'étude du claquage du transistor MOS à tranchées — paragraphe (II.3) —.

A1.3.4. Modèles de mobilité

La mobilité des porteurs est une grandeur physique définie comme étant la constante de proportionnalité entre la vitesse des porteurs et le champ électrique. Elle dépend de manière complexe de la nature et de la fréquence des collisions et interactions que subissent les porteurs durant leur déplacement dans le cristal.

PISCES contient plusieurs modèles de mobilité dont le plus simple utilise des valeurs de mobilité constantes pour les électrons et les trous, μ_{n0} et μ_{p0} , pour chaque matériau employé. Utiliser des valeurs de mobilité constantes conduirait à des résultats non réalistes puisque cela reviendrait à négliger des grandeurs telles que la concentration des porteurs, le champ électrique et la température notamment. C'est donc pour tenir compte de tous ces paramètres que différents modèles de mobilité sont proposés dans PISCES.

La mobilité étant un paramètre extrêmement important pour les transistors MOS, un paragraphe entier lui est consacré — paragraphe (II.2.1) —, où les principaux modèles de mobilité disponibles dans PISCES sont étudiés plus précisément.

A1.3.5. Conditions aux limites

PISCES comprend quatre types élémentaires de conditions aux limites entre matériaux qui sont : les contacts ohmiques, les contacts Schottky, les contacts Si-SiO₂ et les frontières de Neumann (réflectives). Des conditions supplémentaires ont été implémentées pour les besoins d'applications spécifiques. Des modèles d'éléments électriques (résistance, capacité, inductance), sous forme de blocs (un bloc est une partie indivisible), insérables entre les tensions appliquées et les contacts du composant, ont été inclus afin d'économiser des nœuds de maillage et donc du temps de calcul. Une vraie résistance de contact distribuée est aussi incluse pour pouvoir simuler la résistivité fine des contacts semiconducteurs.

a) Contacts ohmiques

Ils sont implémentés comme une simple condition de Dirichlet où le potentiel de surface, la concentration en électrons et en trous en surface (Ψ_s, n_s, p_s) sont fixés. Les potentiels des quasi-niveaux de Fermi pour les porteurs majoritaires et minoritaires sont égaux à la tension appliquée sur l'électrode correspondante : $\phi_n = \phi_p = V_{\text{appliquée}}$ (pas de chute de potentiel due aux contacts). Le potentiel Ψ_s est fixé à une valeur compatible avec une charge d'espace nulle, c'est-à-dire : $n_s + N_{A^-} = p_s + N_{D^+}$.

Dans la réalité, on obtient cela en surdopant la région semiconductrice adjacente au contact, afin de restreindre l'extension de la charge d'espace, et en introduisant dans cette région des centres recombinants qui rendent la durée de vie des porteurs très faible, de sorte que des excès ou des défauts de porteurs ne peuvent subsister au voisinage des contacts, et, ainsi, des courants très importants peuvent traverser le contact avec des variations de potentiel infimes.

En utilisant la statistique de Boltzmann pour les concentrations de porteurs et le potentiel en surface, on obtient :

$$n_s = \frac{1}{2} \cdot \left[(N_{D^+} - N_{A^-}) + \sqrt{(N_{D^+} - N_{A^-})^2 + 4 \cdot n_i^2} \right] \quad (\text{A1.17})$$

$$p_s = \frac{n_i^2}{n_s} \quad (\text{A1.18})$$

$$\Psi_s = \phi_n + \frac{k \cdot T}{q} \cdot \ln \frac{n_s}{n_i} = \phi_p - \frac{k \cdot T}{q} \cdot \ln \frac{p_s}{n_i} \quad (\text{A1.19})$$

b) Contacts Schottky

C'est un contact entre un semiconducteur et un métal dont le travail de sortie est tel qu'une situation de dépeuplement du semiconducteur est présente au voisinage de l'interface. Une variation de potentiel électrostatique ϕ_m préexiste, à l'équilibre dans le semiconducteur. Elle est supportée essentiellement par la zone dépeuplée de charge d'espace près de la jonction et joue le rôle de tension de diffusion. Dans PISCES, ces contacts sont définis par le potentiel ϕ_m et, éventuellement, par une vitesse de recombinaison en surface. Le potentiel en surface d'un contact Schottky est donné par :

$$\Psi_s = \chi + \frac{E_g}{2 \cdot q} + \frac{k \cdot T}{2 \cdot q} \cdot \ln \frac{N_c}{N_v} - \phi_m + V_{\text{appliquée}} \quad (\text{A1.20})$$

où χ est l'affinité électronique et E_g la largeur de la bande interdite.

c) Contacts isolants semi-conducteurs

Ces contacts ont généralement un travail de sortie qui implique une valeur de Ψ_s similaire à celle vue dans l'équation (A1.20). Les concentrations d'électrons et de trous dans l'isolant et à l'interface isolant semiconducteur sont fixés à une valeur nulle : $n_s = p_s = 0$.

d) Limites de Neumann

Le long des bords extérieurs (dépourvus de contacts) des composants, des conditions aux limites de Neumann homogènes (réflectives) sont imposées de sorte que le courant ne puisse sortir du composant qu'à travers les contacts. En l'absence de charge surfacique le long de ces bords, la composante normale du champ électrique est nulle, et PISCES ne peut donc permettre au courant de circuler d'un semiconducteur vers un isolant.

e) Éléments en blocs

Ces éléments ont été implémentés pour réduire le nombre de points de maillage utilisés pour discrétiser certaines structures ; ceci permet notamment d'économiser du temps de calcul. Ces éléments peuvent être des résistances, des capacités et des inductances. Ainsi, pour représenter le substrat de drain d'un transistor MOS à tranchées, il est plus avantageux de remplacer la zone de substrat, qui a une épaisseur réelle de 400 à 500 μm , par une simple résistance.

Quand un élément de ce type est attaché à un composant, une tension ϕ est créée sur l'électrode de contact du semiconducteur. Cette tension peut être définie en appliquant les lois de Kirchhoff. Si on relie, par exemple, une résistance et une capacité d'entrée à un composant — figure (A1.1) —, on a l'équation suivante :

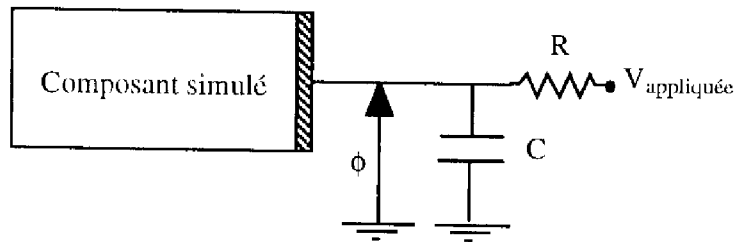


Figure A1.1 : Exemple d'éléments en blocs attachés à un composant.

$$\frac{V_{\text{appliquée}} - \phi}{R} + C \cdot \frac{d\phi}{dt} - \sum_{i=1}^{N_b} (J_n + J_p)_i = 0 \quad (\text{A1.21})$$

où N_b est le nombre de nœuds du maillage correspondant à l'électrode où sont appliqués ces éléments, $(J_n + J_p)_i$ étant le courant d'électrons et de trous transitant par le nœud i .

A1.4. METHODES NUMERIQUES UTILISEES DANS PISCES

La fonction essentielle de PISCES est de déterminer le potentiel électrostatique et les concentrations de porteurs mobiles en chaque point du semiconducteur. Pour cela, PISCES résout les trois équations différentielles (A1.1), (A1.2) et (A1.3) qui décrivent le comportement du composant semiconducteur.

Nous allons voir, brièvement, comment PISCES discrétise ces équations pour obtenir un système d'équations algébriques couplées non linéaire. Comme il n'existe aucune méthode permettant de résoudre directement ce système en une seule opération, des méthodes itératives non linéaires nécessitant une solution initiale sont utilisées.

A1.4.1. Discrétisation

Les équations du semiconducteur doivent être discrétisées sur un ensemble de nœuds formant le maillage de la structure avant de pouvoir être résolu. Les fonctions continues associées aux équations différentielles sont représentées par des vecteurs contenant les valeurs des fonctions pour chaque nœud et les opérateurs différentiels sont remplacés par des différences. Au lieu de résoudre un système à trois inconnues, PISCES résout un système à $3N$ valeurs inconnues, N étant le nombre de nœuds du maillage.

La méthode des boîtes finies — variante de la méthode des différences finies — est utilisée pour discrétiser les opérateurs différentiels sur un motif triangulaire. Chaque équation est intégrée sur un petit polygone qui inclut chaque nœud, conduisant ainsi à $3N$ équations algébriques non linéaires ayant pour inconnues les potentiels et les concentrations en chaque point du maillage. Cette intégration met en équation le flux circulant à travers le polygone ainsi que les sources et les puits qu'il renferme, de sorte que la conservation du courant et du flux électrique est respectée.

A1.4.2. Méthodes de résolution

La discrétisation des équations du semiconducteur donne naissance à un ensemble d'équations algébriques non linéaires couplées. Les deux méthodes de résolution les plus répandues sont celles de Gummel et de Newton. Dans ces deux méthodes, une solution est obtenue à chaque itération pour un grand système d'équations linéaires dont l'ordre varie de une à trois fois le nombre de nœuds du maillage si l'on résout les trois équations en même temps — pour un composant mettant en jeu des électrons et des trous —. L'objectif de ces méthodes, parallèlement à la résolution du système, est de minimiser le nombre de matrices solutions ou le "coût" de chacune d'elles.

Aucune méthode n'est optimale dans tous les cas. La méthode à choisir dépend du composant à simuler et du type de simulation à effectuer ; par exemple :

- i) la résolution de l'équation de Poisson est suffisante à courant nul,
- ii) pour les simulations de transistors unipolaires tels que le MOS, il suffit de résoudre l'équation pour un seul type de porteurs, contrairement aux transistors bipolaires.

A1.4.3. Contrôle de l'erreur

A chaque itération, on obtient une solution qui s'approche progressivement de la solution réelle. PISCES dispose de plusieurs méthodes de contrôle de l'erreur qui lui

permettent de savoir quand la solution est suffisamment précise pour arrêter les itérations.

Les itérations non linéaires convergent généralement de façon linéaire ou quadratique. Dans le cas linéaire — méthode de Gummel —, l'erreur décroît environ du même facteur à chaque itération. Dans le cas quadratique — méthode de Newton —, l'erreur diminue en racine carrée ce qui conduit à une convergence rapide. Pour cette raison, les méthodes quadratiques produisent une convergence plus rapide et des solutions plus précises.

A1.4.4. Solutions découplées (méthode de Gummel)

Dans cette méthode, les équations sont résolues séquentiellement. L'équation de Poisson est résolue en considérant des quasi-niveaux de Fermi fixes. Comme l'équation de Poisson est non-linéaire, elle est résolue dans une boucle interne par la méthode de Newton, puis le nouveau potentiel est porté dans les équations de continuité, qui, elles, sont linéaires, et qui peuvent être résolues directement. Les concentrations de porteurs trouvées sont reportées dans l'équation de Poisson et une autre itération commence.

Puisqu'une seule équation est résolue à la fois, la matrice a N lignes et N colonnes indépendamment du nombre de porteurs (0, 1 ou 2). C'est pour cette raison que l'on dit que les solutions sont découplées, une partie des variables étant fixée pendant que l'on calcule les autres. En conséquence, le succès de la méthode dépend du degré de couplage entre les équations ; le couplage le plus important dans les semiconducteurs provient du courant de conduction, qui est lié directement à la solution de l'équation de Poisson. En conclusion, cette méthode doit être utilisée quand ce courant de conduction n'est pas important, dans les structures d'isolation par exemple. Quand le courant de conduction est prédominant, la convergence est lente et on utilisera plutôt la méthode de Newton.

A1.4.5. Solutions couplées (méthode de Newton)

Dans cette méthode, toutes les variables peuvent varier à chaque itération et tous les couplages entre variables sont pris en compte. Pour cette raison, l'algorithme de Newton est très stable et le temps de calcul est indépendant des polarisations, même à fort niveau d'injection. l'algorithme de base peut s'exprimer ainsi :

$$\begin{aligned} F_p(\Psi, n, p) &= 0 \\ F_n(\Psi, n, p) &= 0 \\ F_p(\Psi, n, p) &= 0 \end{aligned} \tag{A1.22}$$

A partir d'une solution initiale pour chaque nœud (Ψ_0, n_0, p_0) , les variations $(\Delta\Psi, \Delta n, \Delta p)$ des inconnues (Ψ, n, p) sont calculées en résolvant le système linéaire suivant :

$$\begin{bmatrix} \frac{\partial F_{\Psi}}{\partial \Psi} & \frac{\partial F_{\Psi}}{\partial n} & \frac{\partial F_{\Psi}}{\partial p} \\ \frac{\partial F_n}{\partial \Psi} & \frac{\partial F_n}{\partial n} & \frac{\partial F_n}{\partial p} \\ \frac{\partial F_p}{\partial \Psi} & \frac{\partial F_p}{\partial n} & \frac{\partial F_p}{\partial p} \end{bmatrix} \cdot \begin{bmatrix} \Delta \Psi \\ \Delta n \\ \Delta p \end{bmatrix} = - \begin{bmatrix} F_{\Psi} \\ F_n \\ F_p \end{bmatrix} \quad (\text{A1.23})$$

Cette matrice Jacobienne a trois fois plus de lignes que de colonnes (ou deux fois si l'on simule un seul type de porteurs) que la matrice pour une seule variable. L'inconvénient de cette méthode est que, pour les maillages fins, la taille mémoire et le temps nécessaire pour inverser la matrice peuvent être excessifs ; par contre, le nombre d'itérations est petit, généralement compris entre trois et huit.

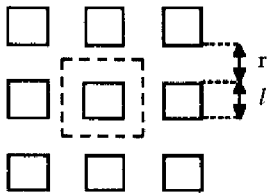
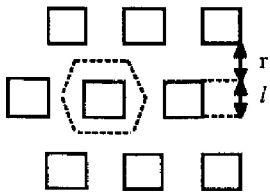
Annexe 2 : Influence de la géométrie cellulaire sur la résistance passante spécifique

Au niveau de la forme, les structures des transistors MOS de puissance diffèrent principalement, d'une famille à l'autre, par la configuration géométrique de la diffusion de la zone P du canal. La forme des petites cellules élémentaires qui, une fois associées, constituent le transistor MOS de puissance, varie suivant la technologie mise en oeuvre. Elles peuvent être, par exemple, des hexagones, des carrés, des cercles, des triangles ou des bandes parallèles.

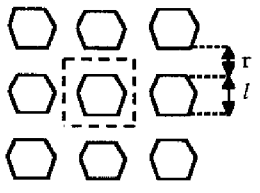
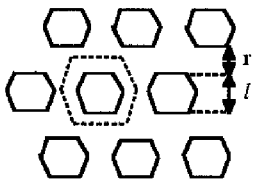
Les expressions analytiques des résistances spécifiques établies dans ce mémoire ont été obtenues à partir d'une géométrie cellulaire qui est celle des cellules carrées alignées. Nous allons donner ici les expressions analytiques des paramètres Z — périmètre de canal — et S — surface d'une cellule — pour les principales géométries rencontrées dans l'industrie afin de pouvoir calculer, selon la géométrie cellulaire, la résistance passante spécifique.

Connaissant les expressions des différentes composantes de la résistance passante — paragraphe (II.2.2.2) pour le transistor MOS à tranchées et (IV.3.1) pour le transistor VDMOS —, il suffit, d'une part, de multiplier les valeurs de ces résistances par la surface S calculée selon le tableau (A2.1) et, d'autre part, de remplacer Z — qui apparaît dans les expressions de la résistance de canal et de la résistance d'accès — par la valeur calculée dans le tableau (A2.1).

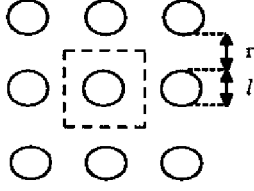
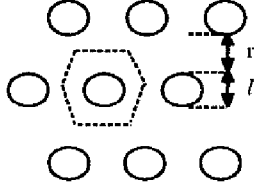
La seule difficulté provient de l'expression de la résistance de "drift" R_d qui dépend, d'après Hu [1], directement de la géométrie cellulaire, avant même de faire intervenir la surface élémentaire cellulaire S ; les expressions de la résistance de "drit" qui ont été présentées pour la géométrie à cellules carrées alignées ne sont en effet pas valables dans le cas des autres géométries. Hu [1] a établi des expressions de R_d identiques pour chaque géométrie, mais en introduisant dans ces expressions un facteur appelé g qui diffère suivant la géométrie. Pour plus de détails, on peut se reporter aux travaux de Hu [1]. D'autres auteurs [2, 3, 4] ont, quant à eux, noté peu de différences, en ce qui concerne les valeurs de R_d entre les différentes géométries ; ils se sont contentés de distinguer les géométries cellulaires — carrés, hexagones, cercles... — et les géométries linéaires — bandes parallèles —.

Paramètres calculés	Carrés alignés	Carrées non-alignés
		
Surface S d'une cellule	$(r + l)^2$	$\frac{\sqrt{3}}{2} \cdot (r + l)^2$
Périmètre Z	$4.l$	$4.l$

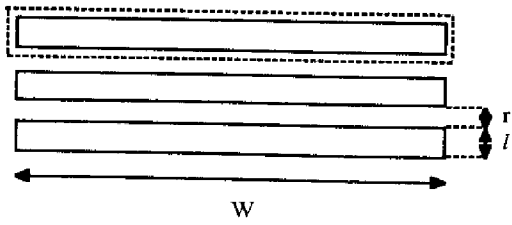
a)

Paramètres calculés	Hexagones alignés	Hexagones non-alignés
		
Surface S d'une cellule	$(r + l)^2$	$\frac{\sqrt{3}}{2} \cdot (r + l)^2$
Périmètre Z	$2 \cdot \sqrt{3} \cdot l$	$2 \cdot \sqrt{3} \cdot l$

b)

Paramètres calculés	Cercles alignés	Cercles non-alignés
		
Surface S d'une cellule	$(r + l)^2$	$\frac{\sqrt{3}}{2} \cdot (r + l)^2$
Périmètre Z	$\pi \cdot l$	$\pi \cdot l$

c)

Paramètres calculés	Bandes parallèles
	 The diagram shows three horizontal parallel bands. The top band is outlined with a dashed line. The middle and bottom bands are solid. A dimension line below the bands indicates a width W. To the right, a vertical dimension line indicates a thickness l for the solid bands and a radius r for the dashed band.
Surface S d'une cellule	$W.(r + l)$
Périmètre Z	$2.(W + l)$

d)

Tableau A2.1 : Expressions de la surface cellulaire S et du périmètre Z pour plusieurs configurations géométriques différentes : a) cellules carrées, b) cellules hexagonales, c) cellules circulaires, d) bandes parallèles.

Bibliographie

- [1] **C. HU**
"Optimum Design of Power MOSFET's"
IEEE Transaction on Electron Devices, Vol. 31, N° 12, p. 1693-1700, 1984.
- [2] **S.D. KIM, I.L. KIM, M.K. HAN, Y.I. CHOI**
"An Accurate On-Resistance Model for Low-Voltage VDMOS Devices"
Solid-State Electronics, Vol. 38, N°2, p. 345-350, 1995.
- [3] **J. FERNANDEZ, S. HIDALGO, J. PAREDES, J. REBELLO, J. MILLAN, F. SERRA-MESTRES**
"An On-Resistance Closed Form for VDMOS Devices"
IEEE Electron Device Letters, Vol. 10, N° 5, p. 212-215, 1989.
- [4] **S.C. SUN, J.D. PLUMMER**
"Modeling of the On-Resistance of LDMOS, VDMOS, and VMOS Power Transistors"
IEEE Transactions On Electron Devices, Vol. 27, N° 2, p. 356-367, 1980.

Annexe 3 : Méthode d'acquisition des paramètres statiques SPICE des modèles des transistors MOS de puissance.

Expérimentalement, une méthodologie d'acquisition automatique des paramètres statiques du transistor M.O.S. a été développée au L.A.A.S. Elle permet l'accès aux paramètres électriques de la relation courant - tension du transistor à l'aide d'un système appelé **M.A.A.C.S.I.M** — Méthodes Automatiques d'Acquisition des Caractéristiques Statiques et d'Identification des paramètres des transistors M.O.S —.

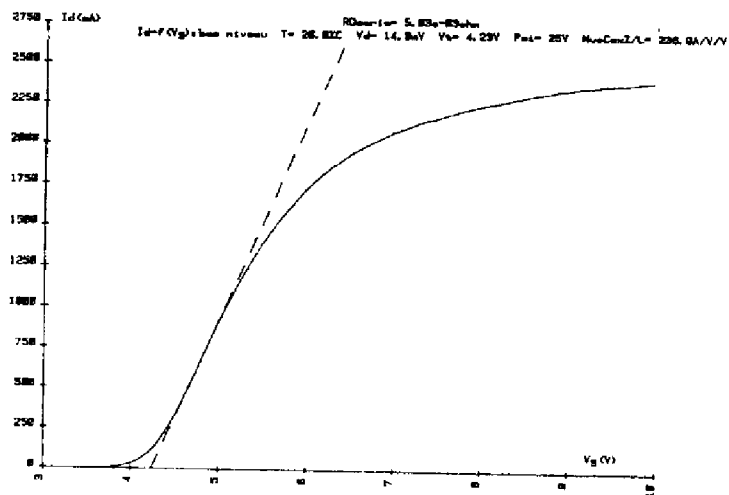
Il s'agit d'un système de mesure et de traitement numérique sous le contrôle d'un calculateur HP 9825. Les techniques et méthodes utilisées sont applicables des transistors de faible calibre en courant (I_{dmax} quelques 10 mA) aux composants de puissance ($I_{dmax} = 10A$), à canal N ou P.

Les figures ci-dessous illustrent la procédure d'extraction des paramètres statiques qui sont détaillés dans le chapitre II — à savoir, la tension de seuil V_T , le facteur de pente K'_P , la résistance à l'état passant R_{ON} et la résistance série ($R_{acc} + R_{bulk}$) — pour les trois séries de transistors MOS de puissance à tranchées que nous avons caractérisé.

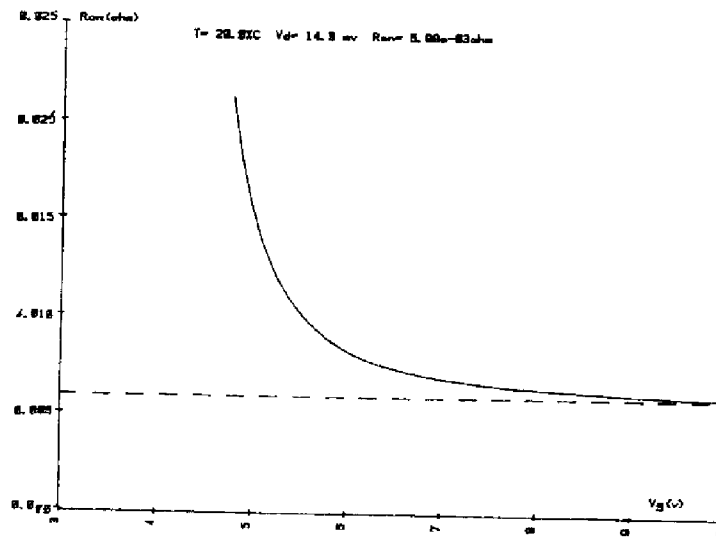
Ces transistors sont : un transistor MOS canal N de 60 V de tenue en tension et de 60 A de calibre en courant — $R_{ON,constructeur} = 8\text{ m}\Omega$ à $V_{gs}=10\text{ V}$ —, un transistor MOS canal N de 30 V de tenue en tension et de 10 A de calibre en courant — $R_{ON,constructeur} = 13,5\text{ m}\Omega$ à $V_{gs}=10\text{ V}$ — et un transistor MOS canal P de 30 V de tenue en tension et de 8 A de calibre en courant — $R_{ON,constructeur} = 20\text{ m}\Omega$ à $V_{gs}=10\text{ V}$ —.

En ce qui concerne les autres paramètres statiques, la valeur de la vitesse limite des porteurs V_{max} qui fixe, pour une tension de grille donnée, le niveau du courant de saturation, est ajustée en comparant les résultats obtenus en simulation avec ceux obtenus expérimentalement pour les caractéristiques statiques de sortie $I_d(V_{ds})$.

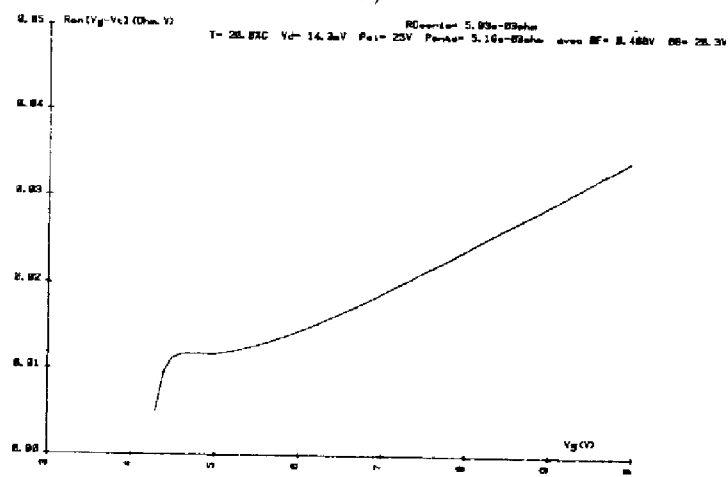
Enfin, une méthode approximative basée sur l'évaluation de Ψ , pour des transistors standards, a été déterminée en fonction de l'épaisseur d'oxyde. Il a été montré que ce potentiel Ψ varie linéairement en fonction de l'épaisseur d'oxyde. Il vaut environ 25 V pour des séries de transistors "standards" — $e_{ox} = 1\ 000\text{ \AA}$ — et 12 V pour les transistors VDMOS dits logiques dont l'épaisseur d'oxyde est de l'ordre de 500 Å. On a alors respectivement : $\Theta = 0,04$ et $\Theta = 0,08$. Ainsi, connaissant l'épaisseur d'oxyde, on connaît Ψ — cf chapitre II —.



a)

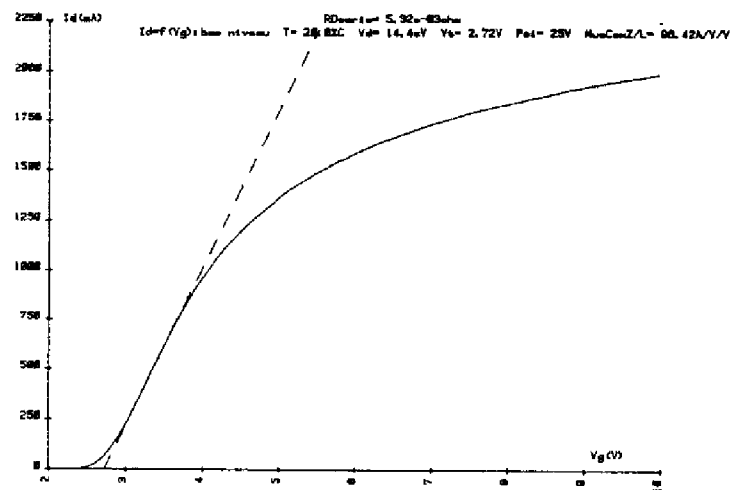


b)

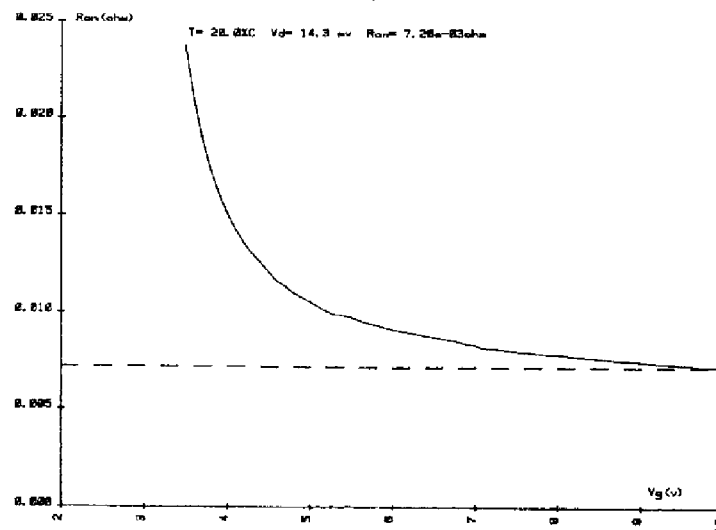


c)

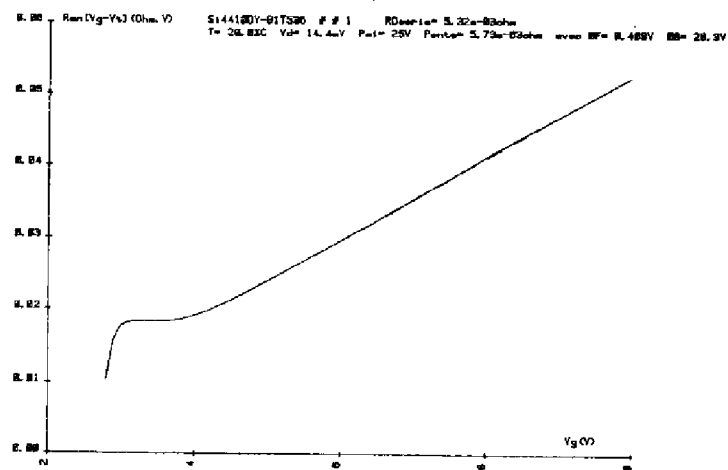
Figure A3.1 : Détermination des paramètres statiques par M.A.A.C.S.I.M. pour le transistor MOS canal N à tranchées 60 V. Caractéristiques :
 a) $I_d(V_{gs})$, b) $R_{ON}(V_{gs})$, c) $[R_{ON}(V_{gs} - V_T)](V_{gs})$.



a)

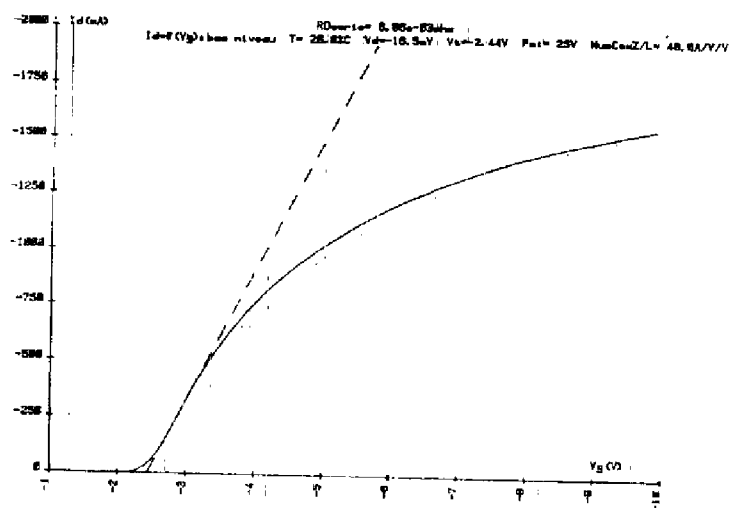


b)

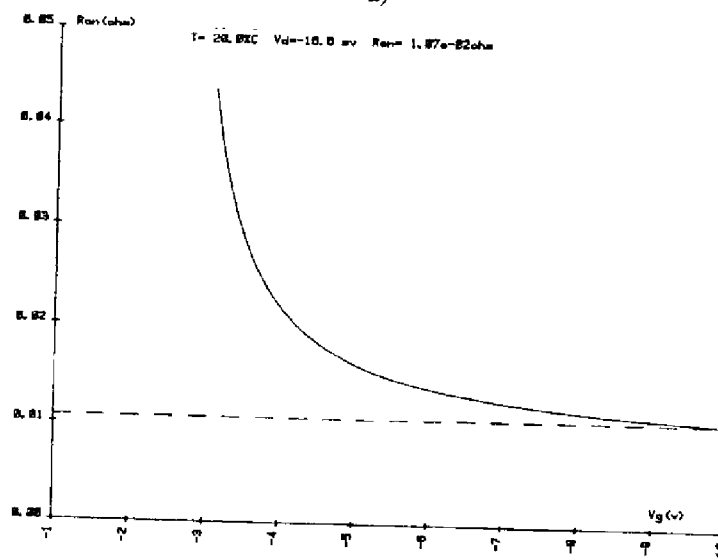


c)

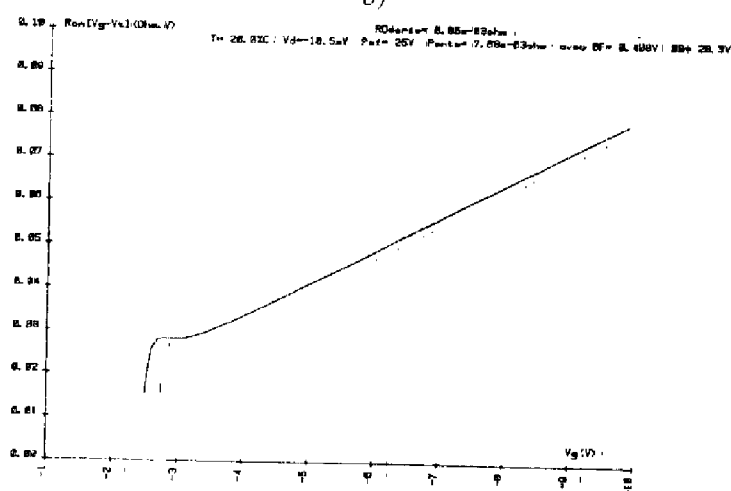
Figure A3.2 : Détermination des paramètres statiques par M.A.A.C.S.I.M. pour le transistor MOS canal N à tranchées 30 V. Caractéristiques :
 a) $I_d(V_{gs})$, b) $R_{ON}(V_{gs})$, c) $[R_{ON}(V_{gs} - V_T)](V_{gs})$.



a)



b)



c)

Figure A3.3 : Détermination des paramètres statiques par M.A.A.C.S.I.M. pour le transistor MOS canal P à tranchées 30 V. Caractéristiques :
a) $I_d(V_{gs})$, b) $R_{ON}(V_{gs})$, c) $[R_{ON}(V_{gs} - V_T)](V_{gs})$.

Annexe 4 : Description du nouveau modèle pour la capacité C_{gd} dans SPICE

Les expressions (III.16) à (III.18) sont représentées, dans SPICE, à l'aide de sources de tension — e_{copy} , V_{sense} , et E_T — et de courant — G_{DG} —, et d'une capacité de référence C_{ref} . Le circuit ainsi obtenu, représenté sur la figure (A4.1), est un circuit qui n'est pas relié électriquement au modèle du transistor MOS à tranchées. Par contre, les éléments qu'il contient contrôlent les variations de la capacité C_{gd} de ce modèle. On utilise ici, en fait, une des options du logiciel PSPICE qui est la modélisation comportementale — "Analog Behavioral Modeling" —.

Le principe de fonctionnement est le suivant : la source de tension e_{copy} prend la valeur de la tension V_{dg} entre drain et grille — littéralement, il "copie" cette valeur —. Le courant I_{sense} qui traverse la capacité de référence C_{ref} — $C_{ref} = 1$ pF — est mesuré dans la source de tension "fictive" V_{sense} prévue à cet effet — on dit qu'elle est "fictive" car $V_{sense} = 0$ V —. Le courant I_{sense} a donc pour expression :

$$I_{sense} = C_{ref} \cdot \frac{dV_{dg}}{dt} \quad (A4.1)$$

Le courant I_{dg} délivré par la source de courant G_{DG} est régi, quant à lui, par l'équation suivante :

$$I_{dg} = \frac{C_{j0}}{\sqrt{1 + \frac{V_{dg}}{V_j}}} \cdot I_{sense} \quad (A4.2)$$

Or, comme la capacité C_{ref} est égale à 1 pF et que l'on on désire exprimer C_{gd} également en pF, le courant I_{sense} vaut alors (dV_{dg}/dt) . I_{sense} est un "miroir" qui suit uniquement les variations de V_{dg} par rapport à la variable temps.

L'expression (A4.2) s'écrit alors :

$$I_{dg} = \frac{C_{j0}}{\sqrt{1 + \frac{V_{dg}}{V_j}}} \cdot \frac{dV_{dg}}{dt} \quad (A4.3)$$

On reconnait ici l'expression de la capacité non-linéaire C_{gd} — ayant un coefficient de gradualité m égal à 0,5 — qui est traversée par un courant I_{dg} .

Enfin, la source de tension E_T permet, grâce à l'instruction TABLE, de fixer les plages de variations de C_{gd} en fonction de V_{dg} :

- quand V_{dg} est positive — entre 0 et 50 V dans le fichier de simulation — le courant I_{dg} dans la capacité C_{gd} suit la loi (A4.3),
- quand V_{dg} est négatif, le courant prend la valeur constante de I_{dg} correspondant à $V_{dg}=0$ V. Cette valeur correspond tout simplement à la capacité C_{gdmax} .

Le sous-circuit utilisé est présenté sur la figure (A4.1). Un exemple de fichier de simulation SPICE pour un composant MOS à tranchées 60 V est également fourni figure (A4.2).

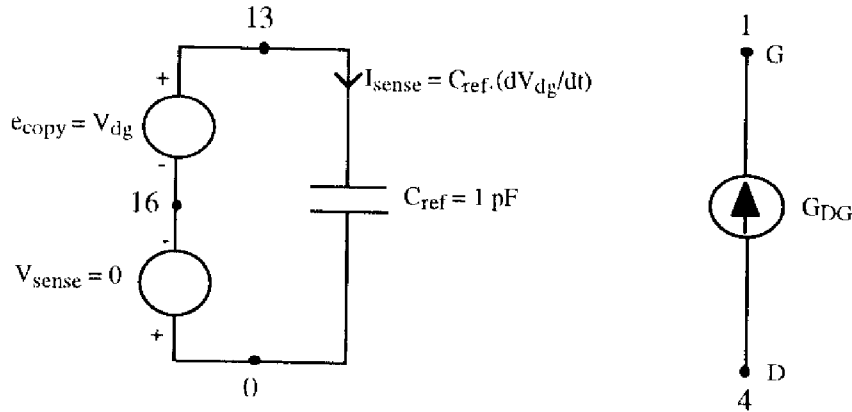


Figure A4.1 : Sous-circuit permettant la représentation de la capacité non-linéaire C_{gd} .

```
ID=f(VDS) POUR UN TRANSISTOR MOS A TRANCHEES 60 V
* Built on 20/07/94 at 11:00
VD 3 0
VM 3 2
VG 1 0
* Caractéristiques en direct
.DC VD 0 10 0.1 VG 4 10 1
.PROBE I(VM)
X1 2 1 0 TRENCHMOS60
*****
.SUBCKT TRENCHMOS60 20 10 30
* NEW MODEL LAAS CREATED ON: 15/11/95 AT 10:00
*TEMPERATURE=293°K, BVDSS=60V, S=1 cm2,
RG 10 1 4
M1 2 1 3 3 DMOS L=1U W=1U
.MODEL DMOS NMOS (VTO=4.15 KP=85.73 THETA=0.04 VMAX=1E5 Level=3)
CGS 1 3 4350P
RD 20 4 0.006
DBODY 3 20 DBODY
.MODEL DBODY D(IS=2.816P N=1.021 RS=0.003 TT=100N BV=60 CJO=3250P VJ=0.66
M=0.442)
RA 4 2 1U
RS 3 5 1M
LS 5 30 0.2N
ecopy 13 16 20 10 1
vsense 0 16 0
Cref 13 0 1P
G 4 1 VALUE={3316/(SQRT(1+V(51,0)/0.183))*I(Vsense)}
ET 51 0 TABLE {V(4,1)}=(0,0) (50,50)
RET 51 0 1K
.ENDS
.END
```

Figure A4.2 : Exemple de simulation SPICE du transistor MOS à tranchées avec le nouveau modèle représentant la capacité non-linéaire C_{gd} .

Annexe 5 : Exemple d'un fichier SPICE prenant compte l'effet de la température

```

ID(VGS) POUR UN TRANSISTOR MOS A TRANCHEES 30 V
VD 5 0 2
VM 5 2
VG 1 0
.IC V(1)=0
.DC VG 0 10 0.1
.temp -55 25 125
.PROBE V(2) I(VM)
.param THV=2.72 dr0=0.00532
X1 2 1 0 TRENCH MOS 30 V
*****
.SUBCKT TRENCH MOS 30 V 20 10 30
* MODEL LAAS CREATED ON:07/29/96 AT 15:00
* BVDSS=30V; S=0.2 cm2
RG 10 11 4
M1 2 1 3 3 DMOS L=1U W=1U
.MODEL DMOS NMOS (VTO={THV} KP=50.33 THETA=0.04 VMAX=9e4 Level=3)
ITHV 0 18 1
RITHV 18 0 {THV} TC=1.00e-3
ETHV 1 11 VALUE={V(18,0)-THV}
CGS 1 3 4111P
RD 50 4 {dr0} TC=3e-3
DBODY 3 20 DBODY
.MODEL DBODY D(BV=30 CJO=2190P VJ=0.663 M=0.378 IS=1.816P N=1.021 RS=0.002
TT=100N)
RA 4 2 1M
VN 20 50
RS 3 5 1M
LS 5 30 0.2N
ecopy 13 16 20 10 1
vsense 0 16 0
Cref 13 0 1P
G 4 1 VALUE={2650/(SQRT(1+V(51,0)/0.043))*I(vsense)}
ET 51 0 TABLE {V(4,1)}=(0,0) (50,50)
RET 51 0 1K
.ends
.end

```

Annexe 6 : Paramètres utilisés pour le calcul des résistances passantes spécifiques

	Transistor 60 V	Transistor 30 V
e_{ox} (Å)	800	500
Ψ (V)	20	12
Λ (V)	10	6
Φ_F (V)	0,43	0,45
Φ_B (V)	29,2	24,9
V_T (V)	4	4
N_{Amax} (cm ⁻³)	$1,6 \cdot 10^{17}$	$3,5 \cdot 10^{17}$
N_D (cm ⁻³)	$9 \cdot 10^{15}$	$2,3 \cdot 10^{16}$
μ_0 (cm ² .V ⁻¹ .s ⁻¹)	500	500
μ_{0acc} (cm ² .V ⁻¹ .s ⁻¹)	1050	1050
μ_n (cm ² .V ⁻¹ .s ⁻¹)	1150	1150

Tableau A6.1 : Paramètres utilisés pour le calcul de la résistance passante spécifique du transistor VDMOS.

	Transistor 60 V	Transistor 30 V
e_{ox} (Å)	1 000	800
Ψ (V)	25	20
Λ (V)	12	10
Φ_F (V)	0,42	0,43
Φ_B (V)	37,1	29,2
V_T (V)	4	4
N_{Amax} (cm ⁻³)	$1,3 \cdot 10^{17}$	$1,6 \cdot 10^{17}$
N_D (cm ⁻³)	$9 \cdot 10^{15}$	$2,3 \cdot 10^{16}$
μ_0 (cm ² .V ⁻¹ .s ⁻¹)	500	500
μ_{0acc} (cm ² .V ⁻¹ .s ⁻¹)	1050	1050
μ_n (cm ² .V ⁻¹ .s ⁻¹)	1150	1150

Tableau A6.2 : Paramètres utilisés pour le calcul de la résistance passante spécifique du transistor MOS à tranchées.

Thèse de Monsieur Frédéric MORANCHO

*"Le transistor MOS de puissance à tranchées :
modélisation et limites de performances"*

Résumé :

Ce mémoire traite de la modélisation et de l'évaluation des performances d'un nouveau composant de puissance, le transistor MOS à tranchées.

Plus précisément, on présente tout d'abord l'évolution des structures MOS de puissance basse tension depuis les années 70 jusqu'au transistor MOS à tranchées dont les principales propriétés sont énumérées. On réalise ensuite une étude des mécanismes — analyse statique à l'état passant et à l'état bloqué, analyse dynamique — intervenant dans les diverses zones du composant. Sur la base de cette étude, on établit un modèle de ce transistor pour le logiciel de simulation des circuits SPICE. Les procédures d'acquisition des paramètres de ce modèle sont précisées. Ce modèle ainsi obtenu est ensuite validé sur deux familles de divers composants MOS de puissance industriels.

Enfin, les limites de performances statiques et dynamiques des transistors VDMOS et MOS à tranchées sont étudiées et comparées. Il est principalement montré que, dans le domaine des basses tensions, le transistor MOS à tranchées affiche des performances supérieures au transistor VDMOS en termes de résistance passante spécifique et de densité d'intégration. Les études analytiques et les simulations bidimensionnelles des deux types de composants montrent également que cette supériorité est appelée à s'accroître dans les années à venir.

Mots-clés : Transistor MOS de puissance à tranchées
Transistor VDMOS de puissance
Simulation
Modélisation

"Trench power MOSFET modelling and performance limits"

Abstract :

This thesis deals with the modelling and evaluation of performance of a new power device, referred to as the trench MOS transistor.

More precisely, the development, as from the seventies onward, of the low voltage power MOS structures is first presented up to the advent of the trench MOSFET whose main properties are listed. Then, a study of mechanisms involved in the different zones of the device — i.e., static analysis under ON-state and OFF-state, dynamic analysis — is carried out. Based on this study, a model of this transistor is established for the electric circuit simulation software SPICE. Parameter acquisition procedures for this model are detailed. The model thus obtained is then validated on two families of various industrial power MOSFET's.

Finally, the static and dynamic performance limits of VDMOS and trench MOS structures are surveyed and compared. It is primarily shown that in the field of low voltages, the trench MOSFET exhibits higher performance standards than the VDMOS structure in terms of specific on-resistance and cell integration density. Analytical studies along with the 2D simulations of these types of devices equally show that this superiority is bound to increase in the years to come.

Key-words : Trench Power MOSFET
Power VDMOSFET
Simulation
Modelling