



**HAL**  
open science

## Contribution à l'analyse à l'aide d'ordinateur du comportement transitoire de circuits intégrés

Henri Jaladieu

► **To cite this version:**

Henri Jaladieu. Contribution à l'analyse à l'aide d'ordinateur du comportement transitoire de circuits intégrés. Automatique / Robotique. Université Paul Sabatier - Toulouse III, 1971. Français. NNT : . tel-00176336

**HAL Id: tel-00176336**

**<https://theses.hal.science/tel-00176336>**

Submitted on 3 Oct 2007

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

# THÈSE

présentée

A L'UNIVERSITÉ PAUL SABATIER DE TOULOUSE

en vue de l'obtention

du titre de Docteur de 3<sup>e</sup> Cycle

Spécialité : AUTOMATIQUE

par

**Henri JALADIEU**

Licencié ès Sciences

---

## CONTRIBUTION A L'ANALYSE A L'AIDE D'ORDINATEUR DU COMPORTEMENT TRANSITOIRE DE CIRCUITS LOGIQUES INTÉGRÉS

---

Soutenue le 30 Juin 1971 devant la Commission d'Examen

MM. J. LAGASSE                      Président

G. REY  
C. DURANTE  
G. GIRALT  
C. CHAPRON

} Examineurs

## AVANT - PROPOS

Nous ne saurions exposer les résultats de notre travail sans exprimer notre profonde gratitude à l'égard de tous ceux qui nous ont permis, par leurs enseignements, leur expérience, ou tout simplement leur amitié, de présenter ce mémoire.

Monsieur le Professeur J. LAGASSE, Directeur du Laboratoire d'Automatique et de ses Applications Spatiales du C. N. R. S. , a bien voulu nous accueillir dans son Etablissement. Nous sommes très heureux de lui témoigner ici notre profonde reconnaissance et notre respectueux dévouement pour la confiance qu'il a bien voulu nous accorder.

Nous remercions très vivement Monsieur GIRALT, Directeur de Recherche au C. N. R. S. , Sous-Directeur du L. A. A. S. , de l'intérêt qu'il a bien voulu accorder à nos travaux et des conseils qu'il nous a donnés.

Que Monsieur DURANTE, Maître de Conférences à l'Université de Montpellier trouve ici l'expression de notre reconnaissance pour l'attention avec laquelle il a dirigé nos travaux.

Monsieur REY, Maître de Conférences à l'Institut Universitaire de Technologie, a largement contribué à la rédaction de notre mémoire et sa critique constructive a été pour nous le plus énergique des stimulants. Qu'il veuille bien trouver ici l'expression de notre gratitude.

Monsieur C. CHAPRON, Ingénieur à la Radiotechnique, a bien voulu accepter de participer à notre jury. Les remarques qu'il nous a communiquées lors de l'examen du manuscrit nous ont été d'un grand secours. Il nous est agréable de lui exprimer notre reconnaissance pour l'attention qu'il a portée à notre travail.

Les nombreuses et parfois vives discussions que nous avons eues avec Monsieur DIAZ, attaché de Recherche au C. N. R. S. nous ont permis de mener à bien la tâche que nous nous étions imposée. Nous le remercions pour

---

## INTRODUCTION

sa contribution à nos travaux.

Nous voudrions souligner l'aide que nous avons reçue de G. HAMALAINEN, C. DOMENECH-PUIG-SERRA, R. GARCIA-ROSA et A. BARCO. Nous leur en sommes très reconnaissants.

Enfin, nous tenons à remercier tous ceux qui ont participé à la réalisation matérielle de ce mémoire.

La conception assistée par ordinateur - C. A. O. - occupe dans le domaine de la recherche industrielle et scientifique un champ très vaste puisqu'il s'étend de la physique du solide à l'informatique.

L'ordinateur a permis à l'ingénieur et au chercheur de résoudre certains problèmes qui leur paraissaient il y a quelques années inextricables. Cependant il ne faut pas perdre de vue qu'il ne fait que traiter les informations que nous lui communiquons. Cette constatation qui semble évidente a été longue à s'imposer dans le domaine qui fait l'objet des travaux présentés dans ce mémoire :

"L'analyse à l'aide d'ordinateur du comportement transitoire de circuits logiques intégrés".

Etudier un circuit nécessite les cinq opérations suivantes :

- Identification des différents éléments
- Mesures des paramètres
- Mise en équations
- Résolution du système
- Analyse des résultats

L'identification des différents éléments constituant le circuit consiste à remplacer un système réel par des équations. Dans les circuits intégrés, le point le plus délicat est la représentation des éléments actifs - diodes, transistors simples ou à multi émetteurs, transistors M. O. S. -

En effet, le choix du schéma équivalent conditionne à la fois la précision et le coût d'une étude au moyen d'ordinateur.

Pour la conception de nouveaux composants, nous devons utiliser des modèles proches de la physique établis par identification inductive.

Par contre, pour une étude de circuit comportant un très grand nombre d'éléments il est parfois préférable de simplifier ces schémas en sacrifiant éventuellement une part de la précision. C'est le problème de l'identification juste suffisante.



Les deux premiers problèmes correspondent aux informations fournies à l'ordinateur, le troisième et le quatrième forment la partie essentielle de tous les programmes de C.A.O. Le cinquième volet est le plus difficile à automatiser d'une manière générale, car il dépend avant tout du but recherché - problème du pire cas, optimisation, etc... -.

L'étude particulière entreprise conditionne à la fois le choix du modèle et celui de la méthode d'intégration numérique. En effet, il ne faut pas oublier qu'une bonne simulation par ordinateur tient compte des deux critères, précision des résultats et coût de ceux-ci.

De ce fait, pour un problème donné, le meilleur schéma équivalent et la méthode d'intégration la plus précise ne sont pas forcément les meilleures solutions.

Notre étude représentant l'analyse de circuits intégrés logiques de type T.T.L., nous nous sommes successivement penché sur ces différents problèmes. Le premier a donc été l'identification des éléments du circuit. Nous avons utilisé le schéma équivalent d'Ebers et Moll pour représenter les composants actifs. Nous avons ensuite déterminé la valeur de ses différents paramètres, puis simulé le circuit sur l'ordinateur IBM 7044 au moyen du programme L.A.A.S. I qui a été modifié de façon à permettre l'étude des transistors, des diodes et des transistors à multi-émetteurs de types différents.

Le schéma d'Ebers et Moll, trop éloigné de la physique, ne peut nous permettre de faire une analyse fine du comportement de chaque composant, cependant, il nous a permis de faire une analyse semi quantitative de ce circuit.

Pour nous permettre d'aller plus loin dans la compréhension de ce circuit, ce qui aurait pu déboucher sur l'optimisation de cette porte, il nous aurait fallu un modèle plus proche de la physique tel que le schéma BIRD. Mais celui-ci n'était pas opérationnel au début de nos travaux.

De plus, notre programme ainsi que les programmes classiques de C.A.O. tel qu'Imag II, ne permettaient pas de simuler un tel schéma.



La détermination des paramètres est un problème de mesures électriques. Il faut évaluer les paramètres qui figurent dans les équations du circuit. Nous devons les déterminer par des mesures effectuées aux bornes des composants. Elles varieront en nombre et en précision suivant le choix du modèle. Mais il faut toutefois noter que le schéma le plus complexe ne correspond pas forcément au plus grand nombre de mesures.

La mise en équations est un problème de programmation. Le circuit, maintenant représenté par un schéma équivalent, doit être traité de façon à trouver la solution du problème envisagé.

Le programme met en équations automatiquement le circuit considéré en utilisant à cet effet les lois de Kirchoff et la loi d'Ohm.

Tous les types de circuits doivent pouvoir être analysés. Ce n'est pas toujours le cas, car dans certains programmes, soit pour économiser des places en mémoire, soit pour diminuer le temps de calcul, certaines particularités comme les boucles de capacités variables ou les résistances variables ont été supprimées. On trouvait d'ailleurs assez rarement ces caractéristiques dans les modèles relativement simples permettant l'étude de circuits "à la main".

Par contre, aujourd'hui, l'ordinateur permet d'utiliser des schémas équivalents beaucoup plus complexes qui peuvent comporter ces particularités. La mise en équations doit donc les prévoir.

La résolution du système d'équations est un problème d'analyse numérique. Les équations comportant en général des éléments non linéaires, seul l'ordinateur peut résoudre ces systèmes avec plus ou moins de précision et de rapidité suivant la méthode d'intégration numérique employée. Cette précision doit évidemment être toujours supérieure à celle du schéma équivalent et de la mesure des paramètres.

L'analyse des résultats est un problème d'électronique. L'ordinateur nous donne une grande quantité de résultats parmi lesquels nous devons effectuer un choix qui doit nous permettre d'analyser le comportement du circuit et d'améliorer ses performances.

## CHAPITRE 1

---

### IDENTIFICATION DES ELEMENTS DE LA PORTE F8 ET MESURES DES PARAMETRES

- I-1 Identification du circuit d'entrée
  - I-2 Identification des diodes de protection
    - I-2-1 Mesure du courant de fuite
    - I-2-2 Détermination des paramètres de la capacité de transition
    - I-2-3 Détermination de la résistance R et de la constante d'émission M
    - I-2-4 Détermination du coefficient de la capacité de diffusion
  - I-3 Identification du multiémetteur
    - I-3-1 Détermination des courants de fuite
    - I-3-2 Détermination des paramètres des capacités de transition
    - I-3-3 Détermination des gains direct et inverse
    - I-3-4 Détermination des résistances  $R_{BB}$ ,  $R_{CC}$  et des constantes d'émission  $M_E$  et  $M_C$
    - I-3-5 Détermination des constantes des capacités de diffusions  $\tau_N$  et  $\tau_I$
  - I-4 Identification des transistors
  - I-5 Identification du circuit de sortie
- Conclusion
-

Afin de permettre, dans une étape ultérieure le passage sur ordinateur du schéma BIRD nous avons dû réécrire la mise en équations du programme L. A. A. S. I. Par la même occasion, nous avons augmenté ses possibilités pour lui permettre de traiter d'autres schémas équivalents susceptibles d'être utilisés ultérieurement. **Tout** ceci nous a conduit à la conception du programme L. A. A. S. II .

Dans le chapitre I nous présentons le circuit intégré étudié, les méthodes de mesures des paramètres du schéma équivalent d'Ebers Moll et les difficultés que nous avons eues pour l'identification des éléments.

Dans le chapitre II nous avons rassemblé les résultats déduits de l'analyse par ordinateur.

Dans le chapitre III, après avoir indiqué les particularités topologiques du schéma BIRD qui font que celui-ci ne peut être traité au moyen des programmes classiques de C. A. O. , nous présentons le programme que nous avons conçu à cet effet, L. A. A. S. II , ainsi que quelques exemples de simulation au moyen de celui-ci.

Enfin, comme le programme IMAG II, dans sa troisième génération qui sera opérationnelle prochainement, permet lui aussi de simuler le schéma BIRD, nous l'avons utilisé et nous comparons ces deux programmes.

Les contacts que nous avons eus avec des ingénieurs de la Radiotechnique de Caen, nous ont amené à analyser au moyen du programme L. A. A. S. I une porte logique intégrée du type T. T. L.

Le circuit intégré de la figure I-1 comprend quatre portes ET NON à deux entrées. Ces portes, que nous désignerons par F8, doivent être interchangeable avec celles existant déjà sur le marché telles que la porte Texas de la série SN 54 H et la porte Sylvania de la série SUHL II

Chaque porte F8 comporte cinq bornes. Si nous prenons comme exemple la première porte du circuit de la figure I-1, nous remarquons que deux de ces bornes correspondent au multiémetteur d'entrée - broches n°1 et n°2 -, une au collecteur du transistor de sortie - broche n°3. Les deux autres, communes aux quatre portes du circuit, correspondent à la tension d'alimentation - broche n°4 - et à la masse - broche n° 10 -.

Sur la figure I-2 nous avons représenté le schéma de cette porte tel que nous l'ont proposé les ingénieurs de la R. T. C.

Des études faites par ceux-ci sur ce circuit ayant décelé certaines anomalies de fonctionnement, nous avons été conduit à le simuler sur ordinateur ce qui devait nous permettre d'observer ces phénomènes, de vérifier les hypothèses avancées par les ingénieurs ou d'en proposer de plus satisfaisantes.

Nous nous sommes proposés :

- d'expliquer le fonctionnement interne du circuit
- d'analyser son comportement lorsque l'on change ses conditions d'utilisation
- de simuler des éléments parasites
- de comparer ce circuit à une autre porte du même type mais de configuration différente.



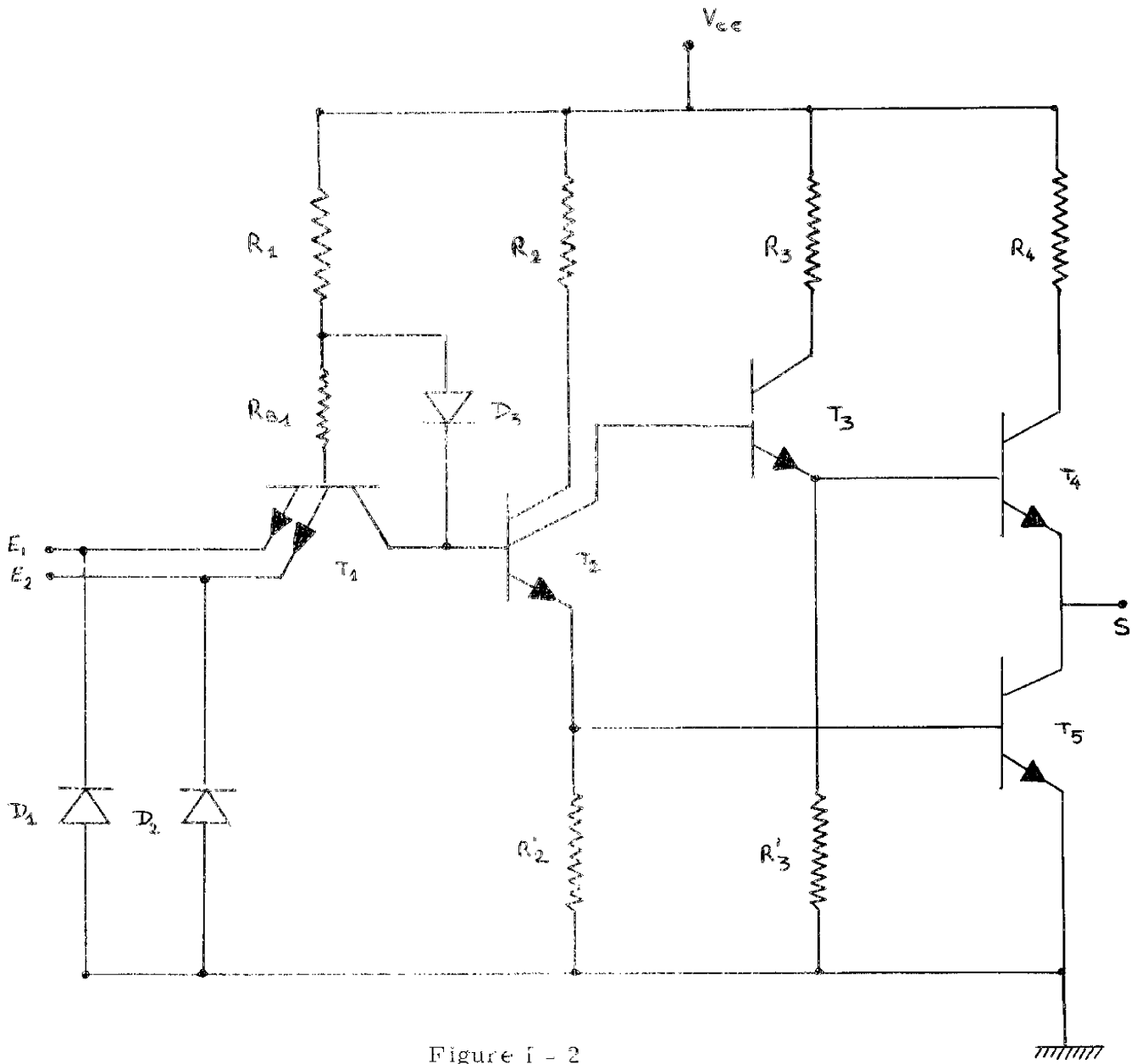


Figure 1 - 2

Schéma de la porte F 8 proposé par les ingénieurs de la R. T. C

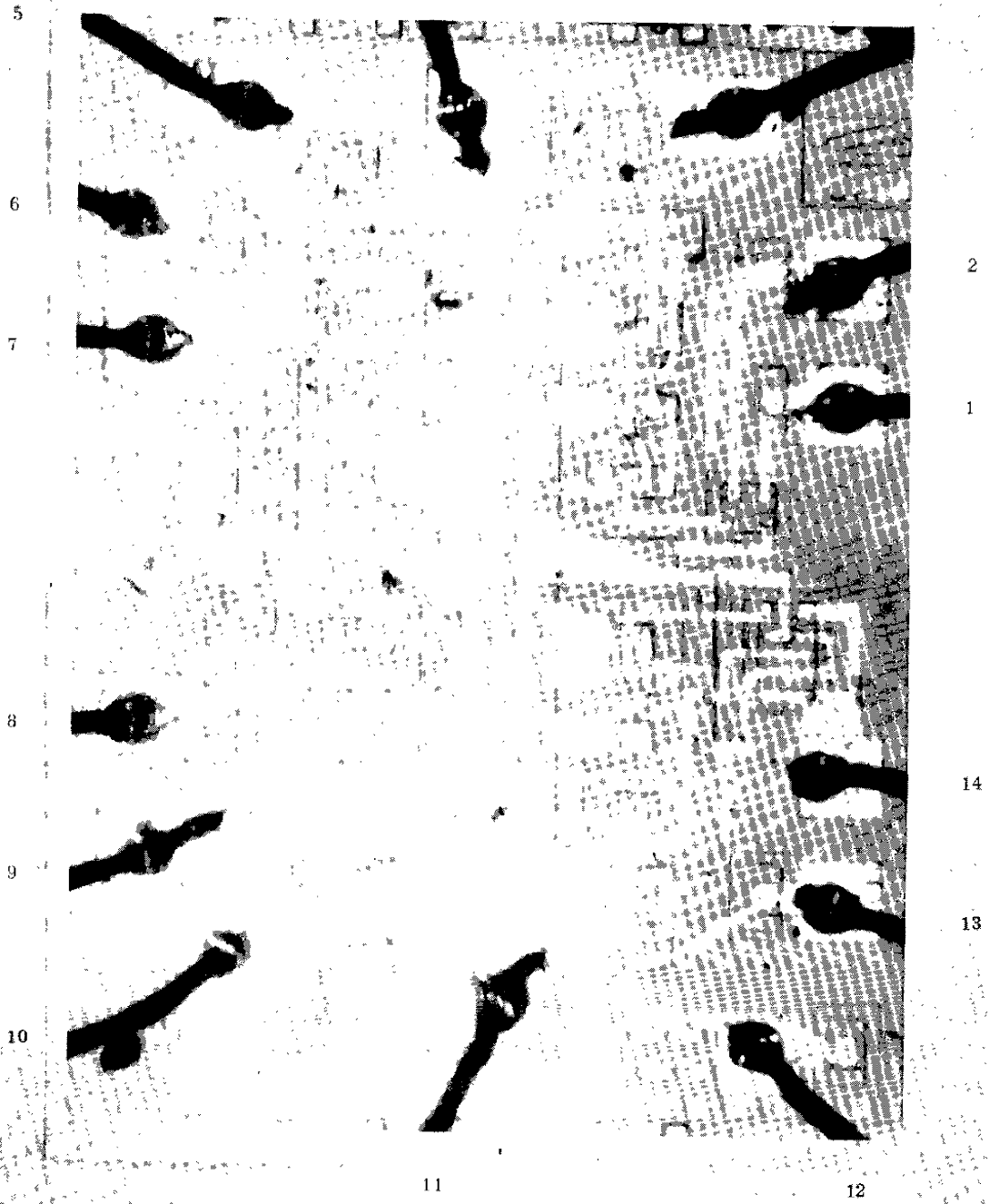


Figure I-1 - Porte F8 de la R. T. C.

les différents éléments ne peuvent être isolés et que toutes les bornes ne sont pas accessibles.

Pour nous permettre d'effectuer ces mesures, le Laboratoire de la Radio-technique nous a fourni des circuits réalisés sur la même plaquette que les portes mais dont la métallisation correspondant au tracé des connexions a été transformée de façon à séparer les divers composants et à sortir leurs bornes (figure I-3).

Nous avons pu ainsi déterminer les paramètres du multiémetteur (broches n° 2, 3, 4 et 5) d'une diode d'entrée (broches n° 14 et 15) et du transistor de sortie (broches n° 11, 12 et 13). Le nombre de broches étant limité nous n'avons pu mesurer tous les composants.

De ce fait les paramètres des autres composants de ce circuit doivent être déterminés à partir de mesures faites sur un seul. Le schéma d'Ebers-Moll ne permettant pas d'établir de corrélations entre les surfaces et les paramètres il nous est impossible de les déterminer. Nous devons les supposer identiques.

Nous allons maintenant étudier successivement les éléments du circuit F8, de son circuit d'entrée et de sa charge afin de les identifier et de permettre de les caractériser par des paramètres susceptibles d'être déduits de mesures faites sur le circuit de la figure I-3.

#### I-1 - IDENTIFICATION DU CIRCUIT D'ENTREE

Il est constitué par un générateur d'impulsion d'impédance de sortie :  $50 \Omega$ . L'amplitude de l'impulsion qu'il fournit est de 3 Volts, ses temps de montée et de descente sont commandés manuellement.



Les résultats de cette étude sont analysés dans le chapitre II. Nous allons montrer dans ce chapitre, comment nous avons identifié les différents éléments de ce circuit et déterminé leurs paramètres.

Avant de présenter les différentes mesures que nous avons utilisées, constatons deux faits importants qui vont nuire à la précision des résultats :

- l'identification au moyen du schéma d'Ebers-Moll
- les conditions particulières à cette étude.

Comme nous l'avons expliqué au début de ce mémoire le schéma BIRD n'étant pas opérationnel lorsque nous avons entrepris ces travaux, nous n'avons pu l'utiliser.

Nous avons donc identifié les composants actifs tels que les diodes, les transistors et les multiémetteurs à l'aide du schéma équivalent d'Ebers-Moll ; il s'agit essentiellement d'une identification déductive. Les paramètres sont déterminés pour des niveaux de courant correspondant à leur utilisation dans le circuit.

Il est bien établi maintenant que ce schéma ne représente pas parfaitement le comportement du circuit dans tous les régimes de fonctionnement. Cependant notre expérience des simulations au moyen de ce modèle nous autorise à penser que nos résultats resteront compris dans la fourchette de précision due à la dispersion des paramètres d'une même série industrielle de composants qui est d'environ 10 à 20%.

Par contre, les conditions particulières à cette étude, risquent de nuire plus fortement à la validité des résultats car la détermination des paramètres pose un problème. En effet, aucun modèle ne permet actuellement de déduire la valeur de ses paramètres des seules données technologiques du constructeur. Nous devons toujours effectuer des mesures électriques aux bornes même du composant. Ceci est impossible avec les circuits intégrés étant donné que

La simulation de ce circuit est représentée sur la figure I-4.

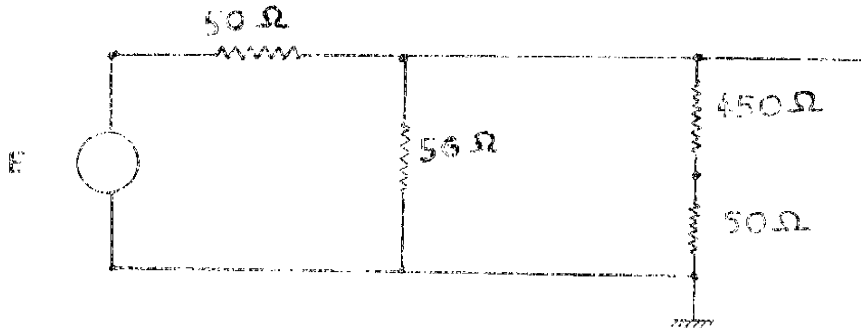


Figure I-4

Les deux résistances de 450 Ω et de 50 Ω représentent respectivement la sonde et l'impédance d'entrée de l'oscilloscope à échantillonnage qui nous permet de visualiser la tension d'entrée. Le générateur est représenté par la source de tension E variable de 0 à 6 Volts et la résistance série de 50 Ω. Il est adapté au moyen de la résistance de 56 Ω en parallèle sur la sonde.

Dans le calcul de cette résistance nous n'avons pas tenu compte de l'influence de l'impédance d'entrée de la porte. La tension d'entrée E est représentée dans le programme par un tableau indiquant son amplitude et la valeur de ses temps de montée et de descente.

## I-2 - IDENTIFICATION DES DIODES DE PROTECTION D1 ET D2 [18]

L'identification de ces diodes a été réalisée au moyen du schéma d'Ebers-Moll modifié d'une diode (figure I-5)

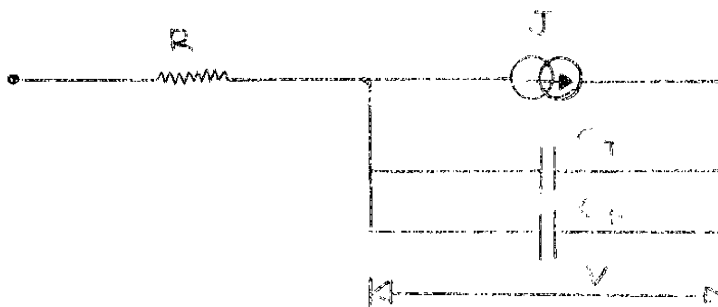


Figure I-5

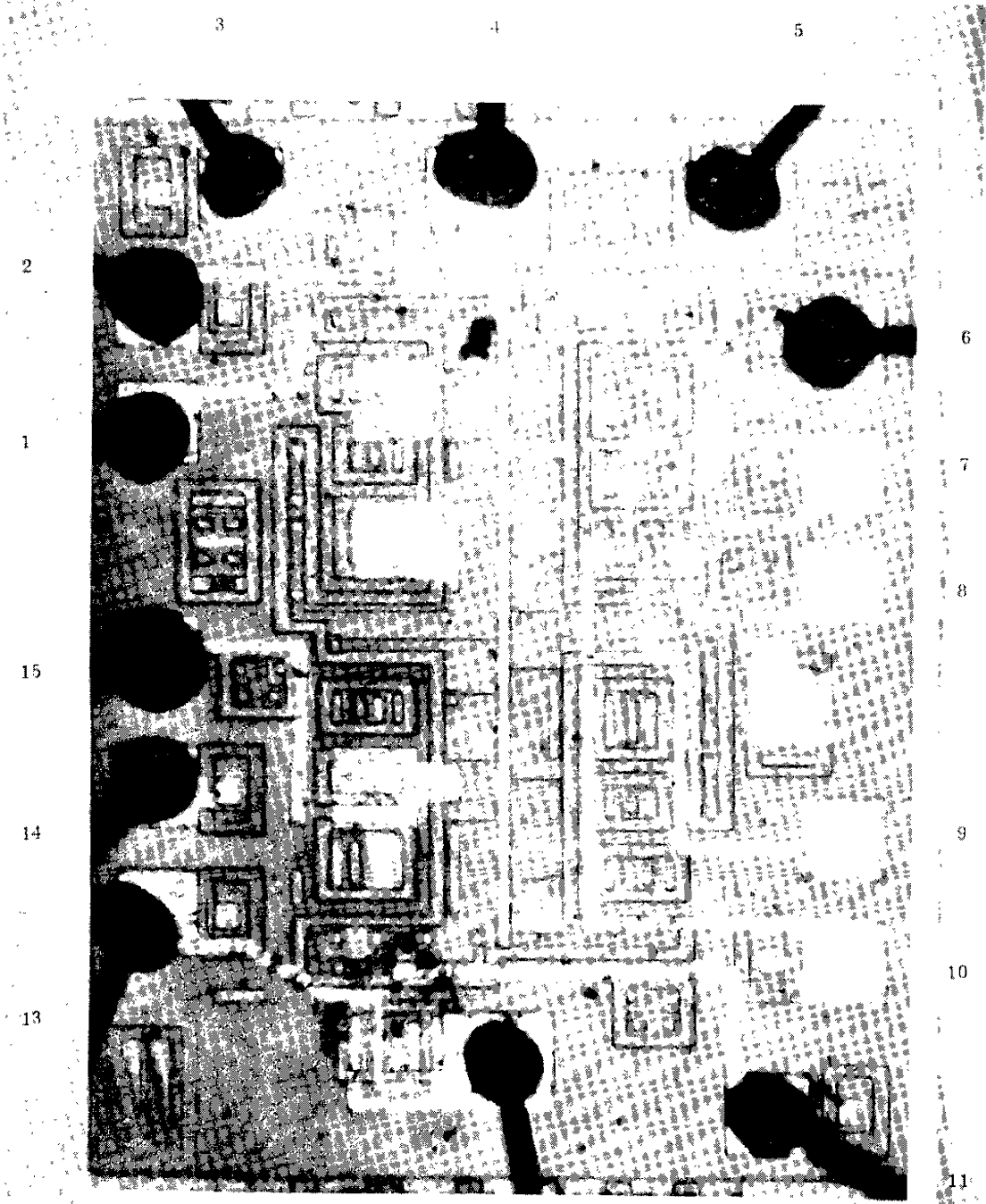


Figure I-3 - Circuit de Test

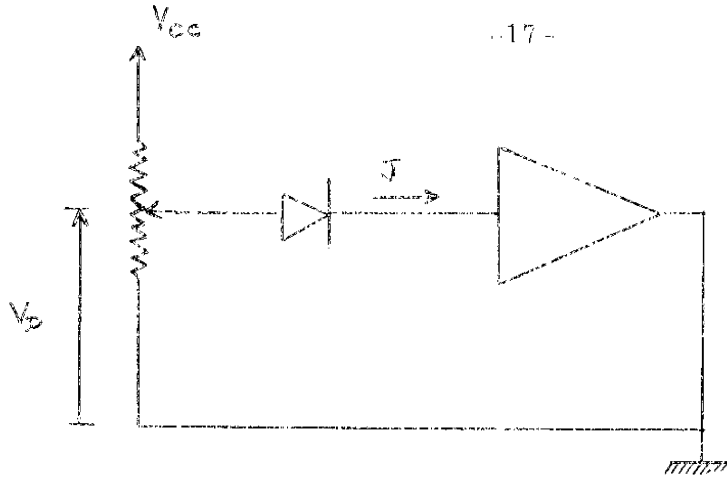


Figure 1-6

La tension aux bornes de la diode représentée par son schéma équivalent est décrite en statique par l'équation :

$$(1-4) \quad V_D = V + R.J = M.U_T \text{ Log} \left| \frac{J}{I_0} + 1 \right| + R.J$$

Dans la gamme de tension choisie le courant J est suffisamment faible pour que nous ayons :

$$(1-5) \quad R.J \ll V$$

Cependant il est tout de même très important devant le courant de fuite de la jonction polarisée en inverse

$$(1-6) \quad J \gg I_0$$

En tenant compte des conditions (1-5) et (1-6) l'équation (1-4) devient :

$$(1-7) \quad V_D = V = M.U_T \text{ Log} \left| \frac{J}{I_0} + 1 \right|$$

Donc dans l'intervalle choisi , la courbe donnant la tension aux bornes de la diode en fonction du courant passant dans celle-ci tracée sur du papier semi-logarithmique est une droite qui, lorsqu'on l'extrapole jusqu'à l'axe des abscisses, c'est-à-dire pour une valeur nulle de V, nous donne la valeur de \$I\_0\$.

Rappelons brièvement ses équations :

L'injecteur de courant J a pour équation :

$$(1-1) \quad J = I_0 \left( \exp\left(\frac{V}{M U_T}\right) - 1 \right)$$

la capacité de transition de la jonction  $C_T$  est de la forme :

$$(1-2) \quad C_T = \frac{C_0}{(V_Z - V)^N}$$

et la capacité de diffusion :

$$(1-3) \quad C_D = \tau \cdot \frac{dJ}{dV} = \tau \cdot \frac{I_0}{M U_T} \cdot \exp\left(\frac{V}{M U_T}\right)$$

Nous supposons que les deux diodes D1 et D2 sont identiques et qu'elles ont les mêmes paramètres que ceux qui sont déterminés sur la diode comprise entre les bornes 14 et 15 du circuit de la figure I-3.

Nous avons ainsi 7 paramètres à déterminer qui sont :

$$I_0, C_0, V_Z, N, R, M \text{ et } \tau$$

#### I-2-1 - Mesure du courant de fuite $I_0$ [1]

Afin de déterminer la valeur du paramètre  $I_0$ , nous réalisons le montage de la figure I-6. Nous plaçons en série avec la diode, un picoampèremètre et nous relevons les valeurs du courant J passant dans la diode pour une gamme de tension V comprise entre 50 mV et 500 mV.

Résultats des mesures sur la diode F8 :

-V (V)	0.1	0.5	0.9	1.5	2.	2.5	3.	3.5	4.	4.5
C (pF)	2.603	2.472	2.422	2.359	2.325	2.294	2.275	2.248	2.226	2.208

En utilisant les valeurs ci-dessus, la méthode des moindres carrés nous donne :

$$V_Z = 1 \text{ V}$$

$$C_0 = 2.75 \text{ pF}$$

$$N = 0.097$$

I-2-3 - Détermination de la résistance R et de la constante d'émission M

[1] [19]

Nous mesurons maintenant la tension  $V_D$  aux bornes de la diode pour une gamme de courant direct J correspondant à son domaine d'utilisation dans ce circuit ( $10 \mu\text{A}$  ; 2 mA). Nous obtenons ainsi une série de cinq points expérimentaux qui nous permettent de déterminer par la méthode de lissage cubique de CHEBYSHEV [19] les coefficients de :

$$V_D = A_0 + A_1 J + A_2 J^2 + A_3 J^3$$

Puis nous définissons la fonction d'erreur correspondant à l'équation (1-4)

$$E_R = \sum_{i=1}^m e_i^2$$

dans laquelle  $e_i$  représente l'erreur relative au courant  $J_i$  soit :

$$e_i = M V_T \text{Log} \left| \frac{J_i}{I_0} + 1 \right| + R J_i - (A_0 + A_1 J_i + A_2 J_i^2 + A_3 J_i^3)$$

Résultats des mesures sur la diode F8 (broches n° 14 et 15)

J (mA)	$10^{-5}$	$10^{-4}$	$10^{-3}$	$10^{-2}$	$10^{-1}$
$V_D$ (mA)	58	157	275	370	505

l'extrapolation de la droite donne :

$$I_0 = 0.5 \cdot 10^{-5} \text{ mA}$$

I-2-2 - Détermination des paramètres de la capacité de transition :  $C_0$ ;  $V_Z$ ;  $N$  [1]

Afin de déterminer ces 3 paramètres, nous avons mesuré la capacité de la jonction. Comme la capacité de diffusion est beaucoup plus importante que celle de transition, lorsque la diode conduit, nous effectuons nos mesures avec des tensions inverses. Elles doivent toutefois être inférieures à la tension d'avalanche.

Nous obtenons ainsi un certain nombre de points 10 en général, donnant la valeur de la capacité de transition seule en fonction de la tension appliquée. Puisque ces points doivent satisfaire l'équation 1-2 nous trouvons la valeur des coefficients,  $C_0$ ,  $V_Z$  et  $N$  soit par une méthode graphique en traçant la courbe expérimentale sur du papier logarithmique, soit par une méthode numérique, la méthode des moindres carrés, appliquée à l'équation ;

$$(1-8) \quad \text{Log } C_T = \text{Log } C_0 - N \cdot \text{Log} |V_Z - V|$$

Nous disposons pour effectuer cette mesure d'un générateur de signaux carrés et nous déterminons l'amplitude du courant au moyen d'une sonde.

Le temps de désaturation  $t_s$  est mesuré au moyen d'un oscilloscope à échantillonnage .

Nous avons obtenu les valeurs suivantes :

$I_F$ (mA)	$I_R$ (mA)	$t_s$ (ns)	$\tau$ (ns)
15	8.	6.7	6.32
30	9.4	9.7	6.75
45	10.	10.	5.94

Nous avons pris pour  $\tau$  une valeur moyenne 6 ns. Nous n'avons pas tenu compte de la capacité de transition car elle est ici faible devant celle de diffusion.

### I-3 - IDENTIFICATION DU MULTIMETTREUR

Le multimètre  $T_1$  est représenté sur la figure I-7.

En examinant sa géométrie nous constatons trois particularités :

- l'existence d'une diode parasite entre la base et le collecteur qui shunte fortement la jonction collecteur-base lorsque celle-ci est polarisée en direct. Elle a pour effet de diminuer le gain inverse du transistor, donc d'améliorer la sortance de la porte amont. De plus elle accélère la transition négative de la sortie car elle permet de fournir un courant de base du transistor  $T_2$  plus important.

- la forte résistance de base due à la grande distance entre les contacts de base et des émetteurs qui diminue le gain inverse et augmente l'impédance d'entrée de la porte au niveau bas.



R et M sont les paramètres qui minimisent la fonction ER, c'est-à-dire les solutions du système

$$\frac{\partial ER}{\partial R} = 0 \quad \text{et} \quad \frac{\partial ER}{\partial M} = 0$$

Le même programme réalise à la fois la recherche des coefficients de la cubique et la minimisation de la fonction ER

Valeur des cinq points de la courbe  $V_D(I_D)$  pour la diode F8 :

$V_D$ (V)	0.392	0.572	0.680	0.715	0.742
$I_D$ (mA)	0.010	0.5	1.	1.5	2.

Nous avons obtenu :      R = 77.9  
   M = 1.873

#### I-2-4 - Détermination du coefficient de la capacité de diffusion : $\tau$ [20]

Pour déterminer  $\tau$ , nous avons utilisé la formule classique reliant celui-ci au temps de désaturation de la diode  $t_s$

Soit :

$$(1-9) \quad t_s = \tau \cdot \text{Log} \left| 1 + \frac{I_F}{I_R} \right|$$

dans laquelle  $I_F$  est le courant direct traversant la diode,  $I_R$  le courant inverse passant dans celle-ci pendant le temps  $t_s$  lorsque l'on inverse la polarité à ses bornes.

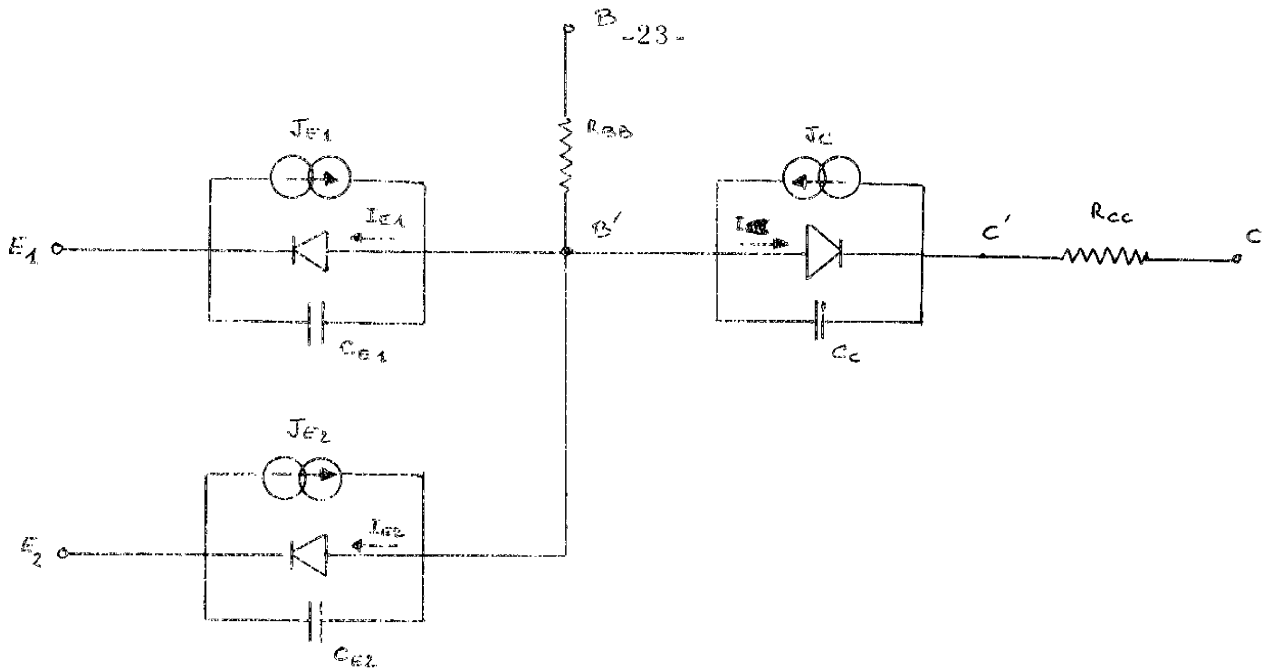


Figure I-8

Les injecteurs de courant ont pour équations :

$$(1-13) \quad J_{E1} = J_{E2} = \alpha_I I_C$$

$$(1-14) \quad J_C = \alpha_N (I_{E1} + I_{E2})$$

et les capacités :

$$(1-15) \quad C_{E1} = \frac{C_{OE}}{(V_{ZE} - V_{B'E1})^{NE}} + \frac{\zeta_N}{M_E U_T} \frac{I_{OE}}{(1 - \alpha_N \alpha_I)} \cdot \exp\left(\frac{V_{B'E1}}{M_E U_T}\right)$$

$$(1-16) \quad C_{E2} = \frac{C_{OE}}{(V_{ZE} - V_{B'E2})^{NE}} + \frac{\zeta_N}{M_E U_T} \frac{I_{OE}}{(1 - \alpha_N \alpha_I)} \cdot \exp\left(\frac{V_{B'E2}}{M_E U_T}\right)$$

$$(1-17) \quad C_C = \frac{C_{OC}}{(V_{ZC} - V_{B'C'})^{NC}} + \frac{\zeta_I}{M_C U_T} \frac{I_{OC}}{(1 - \alpha_N \alpha_I)} \cdot \exp\left(\frac{V_{B'C'}}{M_C U_T}\right)$$

- Enfin la séparation entre les deux émetteurs qui diminue l'influence du transistor parasite  $E_1 B E_2$ .

Sur cette même figure, nous avons représenté le schéma du multiémetteur avec sa diode parasite  $D_3$  et sa résistance de base  $R_{B1}$ , tel que nous l'ont proposé les ingénieurs de la R. T. C.

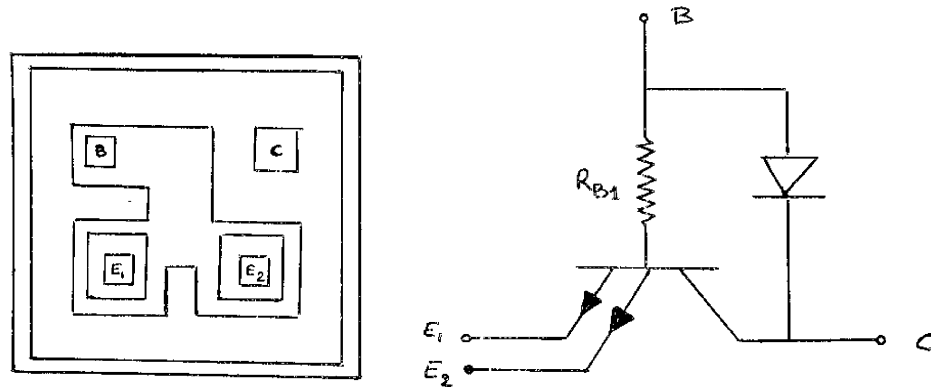


Figure I-7

Fidèle à notre choix initial, nous n'avons pas retenu le schéma de la figure I-7 ; nous avons, ici encore, pratiqué une identification déductive appuyée sur le modèle d'Ebers et Moll. Une telle démarche n'est pas plus imprécise ici qu'elle ne l'est pour un transistor simple.

Nous avons donc choisi comme schéma équivalent du multiémetteur, le modèle simplifié de la figure I-8.

Les diodes  $I_{E1}$  et  $I_{E2}$  sont identiques à celles d'un transistor :

$$(1-10) \quad I_{E1} = I_{0E} \cdot \left( \exp\left(\frac{V_{B'E1}}{M_E U_T}\right) - 1 \right)$$

$$(1-11) \quad I_{E2} = I_{0E} \left( \exp\left(\frac{V_{B'E2}}{M_E U_T}\right) - 1 \right)$$

$$(1-12) \quad I_C = I_{0C} \left( \exp\left(\frac{V_{B'C'}}{M_C U_T}\right) - 1 \right)$$

1-3-2 - Détermination des paramètres des capacités de transition [ 1 ]

Les paramètres  $C_{0E}$ ,  $V_{ZE}$ ,  $N_E$  et  $C_{0C}$ ,  $V_{ZC}$ ,  $N_C$  sont déterminés eux aussi comme ceux de la diode par un programme après avoir mesuré la capacité de chaque jonction.

Ces mesures s'effectuent après avoir déconnecté les bornes des deux autres jonctions.

Nous donnons ici simplement les résultats des mesures .

Pour la jonction base émetteur

$-V_{BE}$ (V)	0.1	0.5	0.9	1.5	2.	2.5	3.	3.5	4.	4.5
C (pF)	1.55	1.53	1.50	1.47	1.42	1.40	1.39	1.38	1.37	1.35

nous obtenons :  $C_{OE} = 1.57$        $V_{ZE} = 1.$        $N_E = 0.087$

Pour la jonction base collecteur :

$-V_{BE}$ (V)	0.1	0.3	0.5	0.9	+1.5	+2	+2.5	+3	3.5	4
C (pF)	1.57	1.54	1.52	1.48	1.45	1.43	1.42	1.39	1.38	1.37

nous obtenons :  $C_{OE} = 1.58$        $V_{ZC} = 1.$        $N_C = 0.092$

Ainsi le multiémetteur est représenté, comme le transistor par 16 paramètres qui sont :

$$I_{E0}, C_{0E}, V_{ZE}, N_E, R_{BB}, M_E, \zeta_N, \alpha_N \text{ et } I_{0C}, C_{0C}, V_{ZC}$$

$$N_C, R_{CC}, M_C, \zeta_I, \alpha_I$$

Nous allons présenter brièvement les méthodes qui nous ont permis de les déterminer.

### I-3-1 - Détermination des courants de fuite [ 1 ]

Pour mesurer les courants de fuite d'une jonction, nous procédons de la même manière que pour le courant  $I_0$  de la diode, après avoir déconnecté les deux autres bornes.

Nous donnons ici simplement le résultat des mesures :

Pour les émetteurs :

I (mA)	$10^{-9}$	$10^{-8}$	$10^{-7}$	$10^{-6}$	$10^{-5}$
$V_{BE}$ (mV)	155	250	809	373	435

d'où  $I_{E0} = 0.6 \cdot 10^{-11}$  mA

Pour le collecteur :

I (mA)	$10^{-6}$	$10^{-5}$	$10^{-4}$	$10^{-3}$	$10^{-2}$
$V_{BC}$ (mV)	92.	189	274	370	470

d'où  $I_{0C} = 0.1 \cdot 10^{-6}$  mA

Le transistor ne conduit que pendant 1/10 de la période du signal, ce qui élimine les causes de dérive thermique.

Les conditions de mesures sont telles que  $V_{CB} = 0$ , ce qui, compte tenu de la faible valeur de  $R_{CC} \cdot I_C$  entraîne pratiquement  $V_{C'B'} = 0$ .

Cette méthode nécessite toutefois beaucoup de précautions. Il faut en particulier, réduire au maximum la connexion collecteur base afin d'éliminer les oscillations parasites.

La mesure de  $\beta_I$  s'effectue de la même manière : il suffit d'inverser les bornes de collecteur et d'émetteur.

I-3-4 - Détermination des résistances  $R_{BB}$  et  $R_{CC}$  et des constantes d'émission  $M_E$  et  $M_C$  [1] [19]

Nous mesurons les tensions base émetteur et collecteur émetteur du multiémetteur pour des courants de saturation  $I_C$  correspondant à la gamme d'utilisation de celui-ci (100  $\mu$ A, 5 mA) pour une certaine valeur de  $\beta_F$

Rappelons que

$$(1-22) \quad \beta_F = \frac{I_{c_{sat}}}{I_{E_{sat}}}$$

Connaissant  $\beta_F$  nous pouvons déduire du schéma équivalent d'Ebers Moll, la valeur des tensions aux bornes des jonctions émetteur base et collecteur base du multiémetteur en fonction du courant collecteur, soit :

$$(1-23) \quad V_{BE} = \frac{R_{BB}}{\beta_F} \cdot I_C + M_E \cdot U_T \cdot V_{E1}(I_C)$$

avec

$$(1-24) \quad V_{E1}(I_C) = \text{Log} \left| 1 + \frac{I_C}{I_{OE}} \left( \frac{\beta_F + 1}{\beta_F} - \frac{\beta_I}{\beta_I + 1} \right) \right|$$

Ces deux capacités de transition sont pratiquement identiques.

I-3-3 - Détermination des gains direct et inverse

Les gains direct et inverse  $\alpha_N$  et  $\alpha_I$  sont déduits des mesures de  $\beta_N$  et de  $\beta_I$  par les équations classiques

$$(1-18) \quad \alpha_N = \frac{\beta_N}{\beta_N + 1}$$

$$(1-19) \quad \alpha_I = \frac{\beta_I}{\beta_I + 1}$$

Dans les équations d'Ebers-Moll  $\alpha_N$  et  $\alpha_I$  sont les valeurs du gain direct et inverse à la limite de saturation.

Nous devons donc mesurer :

$$(1-20) \quad \beta_N = \left( \frac{I_C}{I_B} \right)_{V_{C'B'}=0} \quad \text{et}$$

$$(1-21) \quad \beta_I = \left( \frac{I_E}{I_B} \right)_{V_{E'B'}=0}$$

Nous avons adopté une méthode de mesure impulsionnelle dont le montage est indiqué sur la figure (1-9)

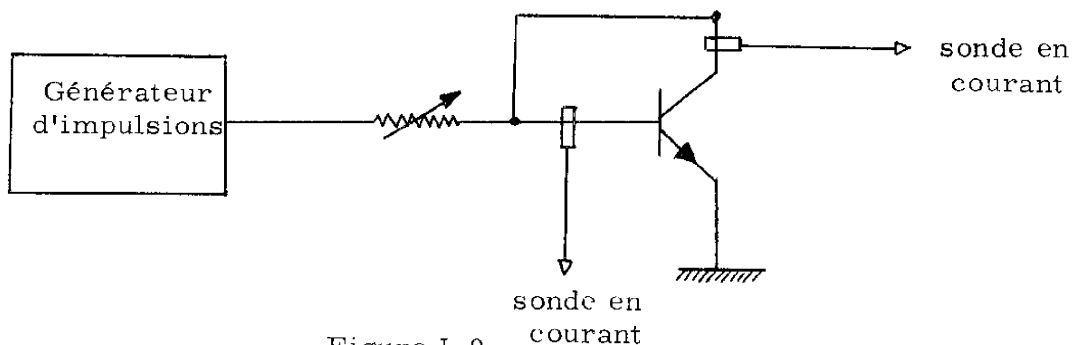


Figure I-9

Ces valeurs introduites dans le programme nous donnent :

$$R_{BB} = 115 \Omega, R_{CC} = 96 \Omega, M_E = 1.209, M_C = 1.755$$

I-3-5 - Détermination des constantes des capacités de diffusion

$$\tau_N \text{ et } \tau_I$$

La constante  $\tau_N$  est déduite de la mesure du temps de montée  $t_r$  du transistor par un programme utilisant la méthode de H. J. KUNO [27] [1]

Soit

$$(1-27) \quad \omega_N = \frac{1}{\tau_N} = \frac{0.9 I_{C \text{ sat}}}{t_r \left( I_{B \text{ sat}} - \frac{I_{C \text{ sat}}}{2 \beta_N} \right) - \Delta Q_c}$$

$I_{C \text{ sat}}$  est la valeur du courant dans le collecteur à la saturation

$I_{B \text{ sat}}$  est la valeur du courant dans la base à la saturation.

$$\Delta Q_c = \int_{V_{c1}}^{V_{c2}} C_{TC} dV_c \quad \text{représente la variation de la charge d'espace}$$

dans la jonction collecteur base

avec  $V_{c1} = V_{BE \text{ sat}} - V_{CC}$

et  $V_{c2} = V_{BE \text{ sat}} - \left( V_{CE \text{ sat}} + \frac{V_{CC} - V_{CE \text{ sat}}}{10} \right) - R_{BB} I_{B \text{ sat}} + 0.9 R_{CC} I_{C \text{ sat}}$

$V_{CC}$  est la tension d'alimentation



et

$$(1-25) \quad V_{BC} = \left( \frac{R_{BB}}{\beta_F} - R_{CC} \right) \cdot I_C + M_C \cdot U_T \cdot V_{C1}(I_C)$$

avec

$$(1-26) \quad V_{C1}(I_C) = \text{Log} \left| 1 + \frac{I_C}{I_{C0}} \left( \frac{\beta_N - \beta_F}{(1 + \beta_N) \cdot \beta_F} \right) \right|$$

Nous procédons alors de la même manière lors de la détermination des paramètres R et M de la diode. [19] Nous déduisons par programme les coefficients d'une cubique à partir des mesures de la tension base émetteur en fonction du courant.

Nous avons : 
$$V_{BE} = A_0 + A_1 \cdot I_C + A_2 \cdot I_C^2 + A_3 \cdot I_C^3$$

et nous élaborons ensuite la fonction erreur :  $E_R = \sum_{i=1}^n \epsilon_i^2$  dans laquelle :

$$\epsilon_i = \frac{R_{BB}}{\beta_F} \cdot I_{Ci} + M_E \cdot U_T \cdot V_{E1}(I_{Ci}) - (A_0 + A_1 \cdot I_{Ci} + A_2 \cdot I_{Ci}^2 + A_3 \cdot I_{Ci}^3)$$

$R_{BB}$  et  $M_E$  sont alors les solutions du système établi en minimisant la fonction  $E_R$  par rapport à  $R_{BB}$  et à  $M_E$ .

Soit :

$$\frac{\partial E_R}{\partial R_{BB}} = 0 \quad \text{et} \quad \frac{\partial E_R}{\partial M_E} = 0$$

Connaissant  $R_{BB}$  et en opérant de la même manière sur la jonction collecteur base nous déduisons  $R_{CC}$  et  $M_C$

Résultats des mesures :

$I_C$ (mA)	0.100	1.25	2.5	3.75	5
$V_{BEsat}$ (V)	0.715	0.810	0.858	0.895	0.922
$V_{CEsat}$ (V)	0.325	0.352	0.395	0.490	0.591

Nous avons pris pour  $\tau_f$  une valeur constante qui correspond à un courant  $I_C$  de 2 mA. Soit  $\tau_1 = 50$  ns.

#### 1.4 - IDENTIFICATION DES TRANSISTORS

Comme nous l'avons déjà constaté sur la figure 1-3, seul le transistor  $T_5$  est directement accessible.

Les quatre transistors  $T_2$ ,  $T_3$ ,  $T_4$  et  $T_5$  ont des géométries différentes, mais puisqu'ils font partie du même circuit intégré, ils ont des profils de diffusion identiques. Les écarts entre leurs paramètres sont donc dus principalement à des différences de dimensions et aux modifications des propriétés de surface du circuit intégré [30]

Cependant, comme le schéma d'Ebers-Moll ne permet pas d'établir des corrélations entre les paramètres et la géométrie des composants, nous avons dû supposer que ces quatre transistors étaient identiques.

Ceci est la limitation la plus importante à notre identification.

Le transistor  $T_2$  a deux contacts de collecteur dont la position n'est pas symétrique par rapport aux contacts de la base et de l'émetteur.

Cependant comme la zone de collecteur est fortement dopée, donc de faible résistivité, nous pouvons supposer dans notre simulation qu'il n'existe qu'un seul contact de collecteur.

Nous ne revenons pas sur les méthodes de détermination des paramètres du transistor  $T_5$  car elles sont identiques à celles du multiémetteur  $T_1$ .

Nous n'avons pas déterminé les valeurs des résistances. Nous avons pris les valeurs indiquées par le constructeur. Nous avons placé en annexe à ce chapitre, la liste de tous les paramètres introduits dans le programme pour la simulation de ce circuit.

Nous avons obtenu les valeurs

$t_r$ (ns)	7.3	6.4	6.2	6.
$I_{C_{sat}}$ (mA)	1.25	2.5	3.75	5.
$\tau_N$ (ns)	0.610	0.521	0.475	0.448

$\tau_N$  est pratiquement constant sur toute la gamme, nous le supposons égal à 0.5 ns

La constante  $\tau_I$  est déterminée elle aussi par programme à partir de la mesure du temps de stockage  $t_s$ , selon la méthode de J.L. Moll [15] [1]

$$(1-28) \quad \tau_I = \frac{I_{BI} \cdot t_s - \frac{I_{C_{sat}}}{\beta_N} \cdot t_s - I_{C_{sat}} \cdot \left( \frac{1}{\beta_F} - \frac{1}{\beta_N} \right) \cdot \frac{t_s}{2} - \Delta Q_c}{\frac{I_{oc}}{(1-\alpha_{NdI})} \cdot \left[ \exp\left(\frac{V_{B'C'}}{m_c U_T}\right) \right]_{V_{C1}}^{V_{C2}}}$$

$I_{BI}$  est le courant de base inverse

Nous obtenons les valeurs :

$t_s$ (ns)	1.1	3.7	4.6	5.1
$I_{C_{sat}}$ (mA)	1.25	2.5	3.75	5.
$I$ (ns)	64	42	23	12

Le nombre de portes connectées sur la sortie est représenté par le couple de valeur  $R_{ch}$  et  $C_{ch}$  de la manière suivante :

1 porte connectée à la sortie :	$R_{ch} = 2.5 \text{ k}\Omega$	$C_{ch} = 0 \text{ pF}$
5 portes connectées à la sortie :	$R_{ch} = 500 \Omega$	$C_{ch} = 7.5 \text{ pF}$
10 portes connectées à la sortie :	$R_{ch} = 250 \Omega$	$C_{ch} = 15 \text{ pF}$

$C_{ch}$  représente la capacité d'entrée de la charge due aux diodes de protection polarisées en inverse.

D'après des études faites à la Radiotechnique, nous avons estimé à 1,5 pF la capacité d'entrée d'une porte.

## CONCLUSION

Le circuit que nous allons étudier au cours du chapitre II est représenté sur la figure 1-11.

Nous avons, au cours de ce chapitre, présenté les différentes méthodes qui nous ont permis de déterminer les paramètres du schéma équivalent d'Ebers-Moll d'une diode, d'un transistor et d'un multiémetteur. Nous n'avons pas eu de difficultés particulières avec la diode, son modèle la simule parfaitement. Nous avons par contre remarqué que le schéma équivalent du transistor n'en permettait pas une bonne identification dans tous les domaines de fonctionnement. La valeur constante du gain  $\beta_N$  nous oblige à calculer de nouveaux paramètres pour chaque niveau de courant. Les paramètres  $\zeta_N$  et  $\zeta_I$  qui sont très influents sur le comportement transitoire de ce schéma sont déterminés en tenant compte de la valeur de  $\alpha_N$  et  $\alpha_I$ , donc eux aussi devront être réévalués à chaque niveau de courant si l'on veut avoir une très bonne précision.

Nous avons simulé le multiémetteur  $T_1$  et le transistor  $T_5$  pour des valeurs de  $I_C$  correspondant à leur utilisation dans le circuit et nous avons constaté que les résultats entre l'expérimentation et la simulation différaient toujours de

### I-5 - IDENTIFICATION DU CIRCUIT DE SORTIE

Ce circuit doit simuler selon les cas, la ou les portes identiques connectées à la sortie de la porte testée.

Nous aurions pu représenter le circuit de charge avec tous les transistors qui le constituent, mais nous aurions dans ce cas considérablement augmenté l'ordre du système d'équations différentielles à intégrer, donc le temps de calcul de la réponse impulsionnelle.

Nous avons préféré utiliser le schéma de la figure I-10.

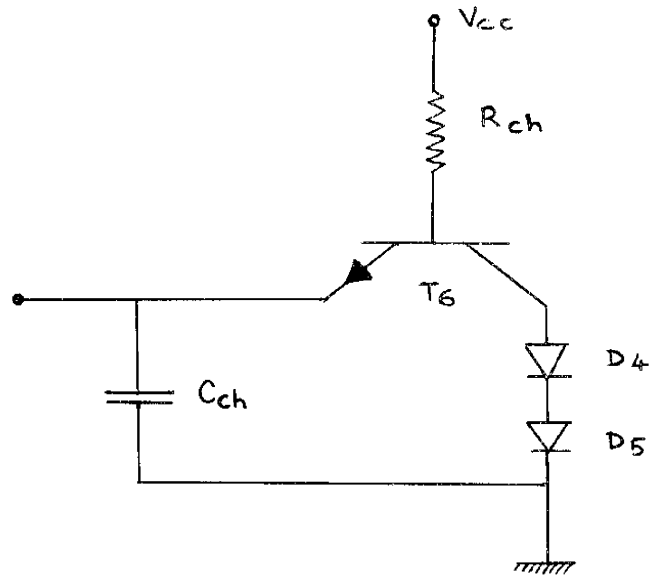


Figure I-10

Le transistor T<sub>6</sub> représente le multiémetteur et a les mêmes paramètres que le multiémetteur T<sub>1</sub>.

Les diodes D<sub>4</sub> et D<sub>5</sub> représentent les jonctions émetteur base des transistors T<sub>2</sub> et T<sub>5</sub>. Elles ont les mêmes paramètres que celles-ci

moins de 20%. Ceci est d'ailleurs normal car nous avons identifié ces éléments dans ce domaine particulier.

Donc malgré les imperfections dues à ce modèle, nous pouvons espérer faire une analyse quantitative de ce circuit. Mais l'impossibilité de mesurer les transistors  $T_2$ ,  $T_3$  et  $T_4$  est en fait la plus grosse limitation à cette analyse.

C'est dans ce domaine que le schéma BIRD doit être d'une grande utilité, car, comme nous le verrons au cours du chapitre III, ses paramètres se rattachent directement à la physique du composant et en particulier à sa géométrie.

Il sera possible après avoir déterminé les paramètres d'un composant d'une plaquette de déterminer un transistor unité dans lequel chaque paramètre du schéma sera donné par unité de surface ou de longueur. Il sera ainsi relativement facile de déduire les valeurs des paramètres de tous les composants de cette plaquette sans les mesurer.

Donc, compte tenu du fait que nous simulons les composants actifs avec le schéma d'Ebers-Moll et que nous n'avons eu accès à tous les transistors de ce circuit, que pouvons nous espérer de sa simulation sur ordinateur ? Tout d'abord l'utilisation d'un schéma déductif, tel que celui d'Ebers Moll, nous impose de limiter notre étude à l'analyse du circuit. En effet, les problèmes liés à la synthèse et à l'optimisation nécessitent le choix de schémas inductifs.

Si l'on se réfère aux problèmes que nous nous sommes posés au début de ce chapitre, nous constatons que nous devons, au moyen de la simulation, retrouver les anomalies qui ont été décelées dans le fonctionnement du circuit par les ingénieurs, puis, confirmer les hypothèses qu'ils ont émises ou en proposer de nouvelles.

Enfin, mais ici il faut être très prudent sur la validité des résultats, nous pouvons simuler des éléments parasites et comparer cette porte à une autre de configuration différente.

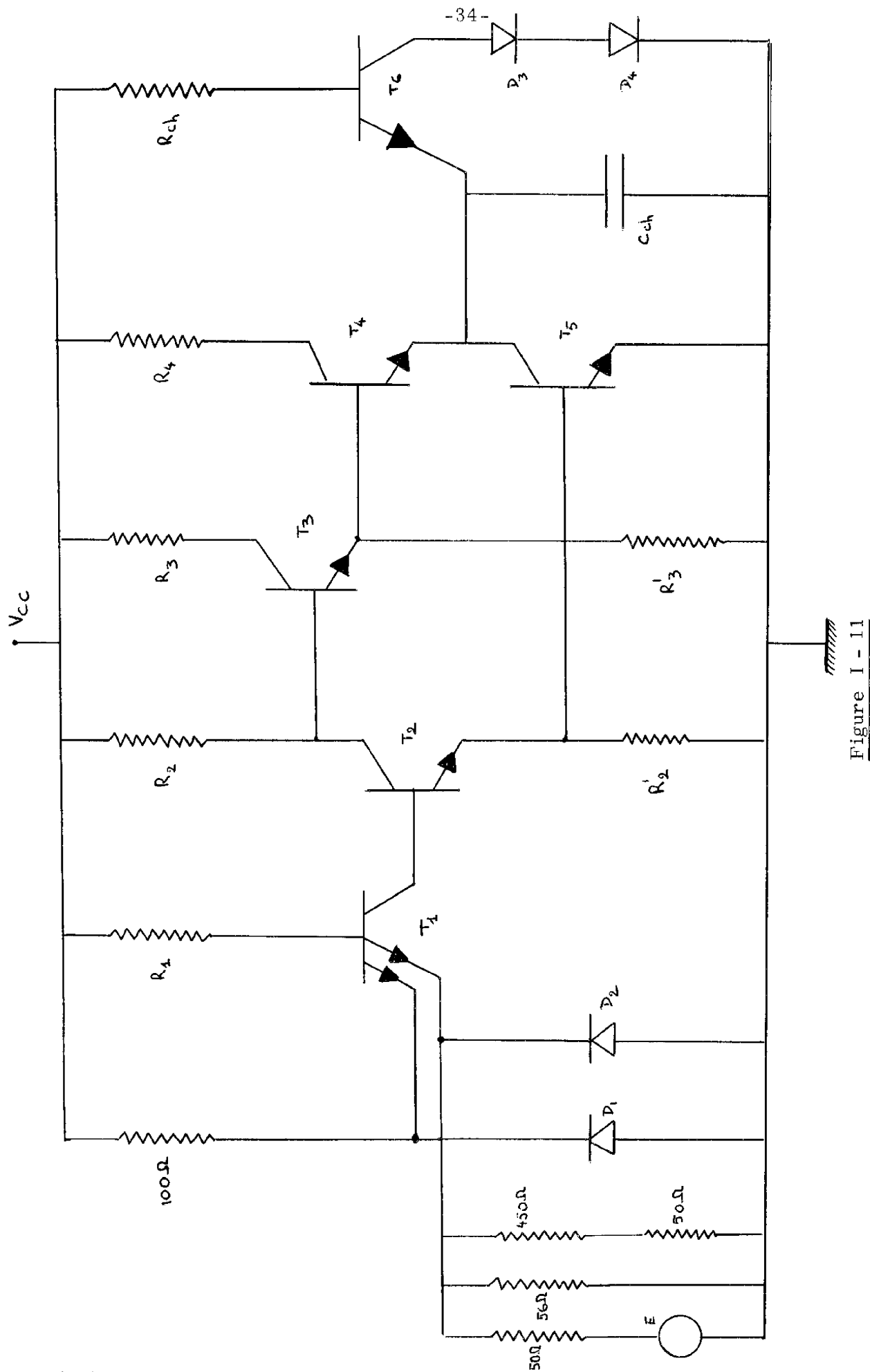


Figure I - 11

Schéma de la porte F 8 introduit dans le calculateur.

ANNEXE : VALEURS DES PARAMETRES DES COMPOSANTS ACTIFS  
ET DES RESISTANCES

Résistances

$$\begin{array}{ll} R_1 = 2.5 \text{ K}\Omega & R_3 = 180 \Omega \\ R_2 = 700 \Omega & R'_3 = 3.15 \text{ k}\Omega \\ R'_2 = 680 \Omega & R_4 = 80 \Omega \end{array}$$

Diodes D<sub>1</sub> et D<sub>2</sub>

I <sub>0</sub> (mA)	C <sub>0</sub> (pF)	V <sub>Z</sub> (V)	N	R (Ω)	M	τ (ns)
0.5 10 <sup>-5</sup>	2.74	1.	0.097	78.	1.873	6.

Multiémetteurs T<sub>1</sub> et T<sub>6</sub>

I <sub>E0</sub> (mA)	C <sub>0E</sub> (pF)	V <sub>ZE</sub> (V)	N <sub>E</sub>	R <sub>BB</sub> (Ω)	M <sub>E</sub>	τ <sub>N</sub> (ns)
0.6. 10 <sup>-11</sup>	1.57	1.	0.087	115.	1.2	0.5
I <sub>0C</sub> (mA)	C <sub>0C</sub> (pF)	V <sub>ZC</sub> (V)	N <sub>C</sub>	R <sub>CC</sub> (Ω)	M <sub>C</sub>	τ <sub>I</sub> (ns)
0.1 10 <sup>-6</sup>	1.58	1.	0.092	96.	1.76	50

$$\beta_N = 52 \quad \beta_I = 0.005$$



Nous disposons d'un outil qui doit nous permettre d'accéder à la compréhension détaillée du comportement de ce circuit. Cette étude doit être faite avec des contacts fréquents et des comparaisons entre les résultats des simulations et les mesures expérimentales effectuées sur table.

C'est donc sous cet aspect que doivent être examinés les résultats du chapitre II.

## CHAPITRE II

---

### ANALYSE DE CIRCUITS LOGIQUES INTEGRES DE TYPE T. T. L.

- II-1 Analyse du comportement interne de la porte F8
    - II-1-1 Analyse de la transition négative
    - II-1-2 Analyse de la transition positive
  - II-2 Etude du circuit en fonction des conditions d'utilisation
    - II-2-1 Influence de la valeur des fronts de l'impulsion d'entrée
    - II-2-2 Influence de la charge
    - II-2-3 Influence de la tension d'alimentation
  - II-3 Simulation des éléments parasites internes
    - II-3-1 Etude de la capacité parasite  $C_1$
    - II-3-2 Etude de la capacité parasite  $C_2$
  - II-4 Etude d'une autre configuration de ce circuit
  - II-5 Conclusion
-

Transistors T<sub>2</sub>, T<sub>3</sub>, T<sub>4</sub>, T<sub>5</sub>

I <sub>0E</sub> (mA)	C <sub>0E</sub> (pF)	V <sub>ZE</sub> (V)	N <sub>E</sub>	R <sub>BB</sub> (Ω)	M <sub>E</sub>	τ <sub>N</sub> (ns)
0.25 10 <sup>-9</sup>	2.61	1.	0.105	18.7	1.348	0.450

I <sub>0C</sub> (mA)	C <sub>0C</sub> (pF)	V <sub>ZC</sub> (V)	N <sub>C</sub>	R <sub>CC</sub> (Ω)	M <sub>C</sub>	τ <sub>I</sub> (ns)
0.100 10 <sup>-6</sup>	3.48	1.	0.224	13.5	1.808	7.5

$\beta_N = 42$

$\beta_I = 0.124$

Après avoir, dans le chapitre précédent, identifié et mesuré les paramètres de la porte F8 de la Radiotechnique, nous allons maintenant exposer le résultat de sa simulation au moyen du programme L. A. A. S. I.

Nous analyserons ensuite l'influence de quelques modifications simulées afin de mieux comprendre le comportement interne de cette porte et de préciser le rôle de certains éléments parasites.

Nous nous sommes surtout intéressé au régime transitoire. Le régime statique est en effet relativement simple à déterminer et ne nécessite pas l'utilisation d'un ordinateur.

Le premier problème qui est apparu est celui de la validité des résultats. Dans quelles mesures les équations et les paramètres que nous avons introduits dans le programme représentent bien le comportement physique de cette porte ?

Pour répondre à cette question et avant de procéder à la simulation, nous avons mesuré expérimentalement, sur des échantillons de circuits intégrés fournis par la Radiotechnique, des grandeurs accessibles telles que la tension de sortie lors de la commutation, en fonction de la charge et le courant débité par l'alimentation.

Ces manipulations avaient deux buts : d'une part observer les écarts entre plusieurs portes d'une même série, d'autre part, estimer la validité des résultats obtenus par la simulation.

Les comparaisons entre ces différentes grandeurs sont représentées sur le tableau ci-après.



Le  $T_{PHL}$  - temps de propagation de l'état haut à l'état bas-et  
le  $T_{PLH}$  - temps de propagation de l'état bas à l'état haut -

représentent les temps mesurés entre les instants où la tension d'entrée de la porte et la tension de sortie se trouvent à 50 % de leur valeur à l'état haut.

La plus mauvaise simulation correspond au  $T_{PHL}$ , c'est-à-dire à la transition négative de la sortie. En effet, c'est au cours de cette transition que le transistor inverseur de phase  $T_2$  est le plus influent. Or nous n'avons pu l'identifier et nous avons considéré que ses paramètres étaient identiques à ceux du transistor  $T_5$ . Par contre  $T_2$  n'a que peu d'influence sur la transition positive.

Nous avons représenté sur les figures 2-1, 2-2 et 2-3, l'enregistrement de la tension de sortie et du courant débité par l'alimentation au cours des transitions négative et positive. Ces grandeurs doivent être comparées à celles que nous donne la simulation, figures 2-4 et 2-5.

Nous remarquons sur la figure 2-1 que la tension de sortie dépasse sa valeur statique à l'état haut au début de sa transition négative. Ce phénomène se retrouve sur la figure 2-4 ; le programme nous en donnera l'explication.

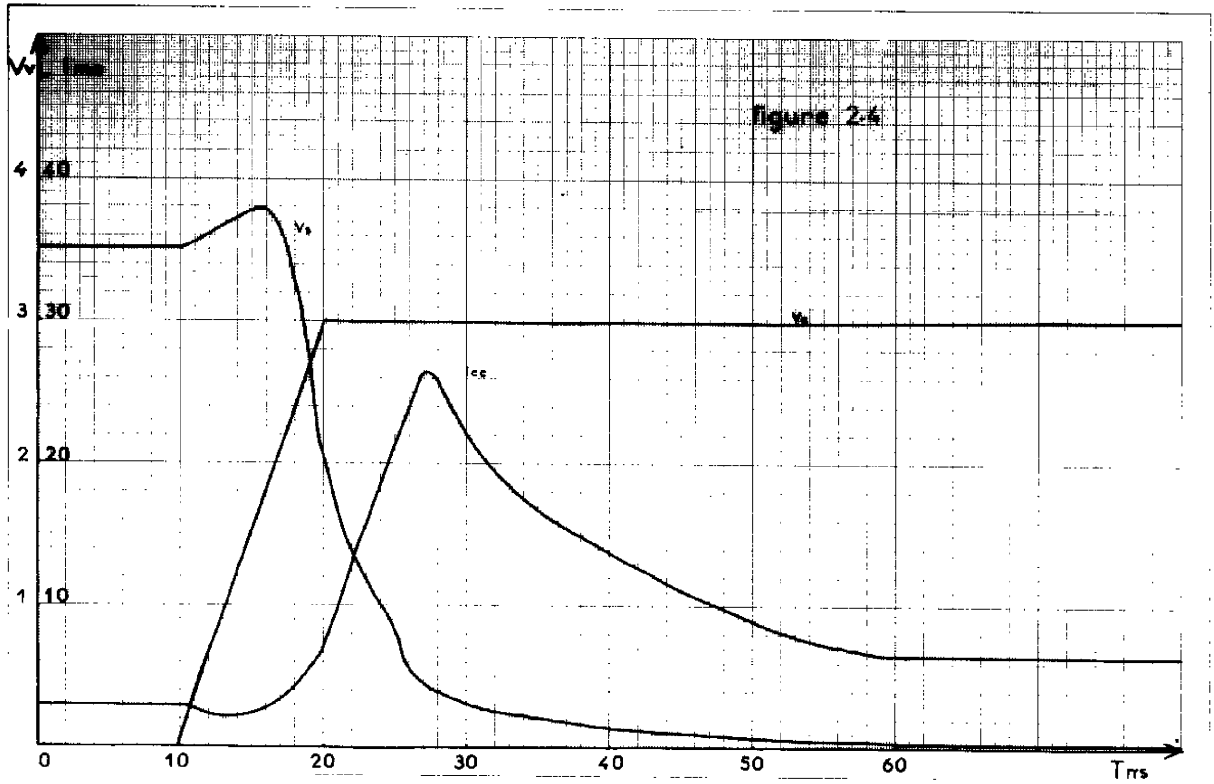
Sur les figures 2-1 et 2-2, nous observons des oscillations qui n'apparaissent pas sur les figures 2-4 et 2-5.

Ceci semble confirmer l'hypothèse selon laquelle ces oscillations sont dues à un effet selfique parasite dans le circuit de mesure, effet qui n'est pas pris en compte dans notre simulation.

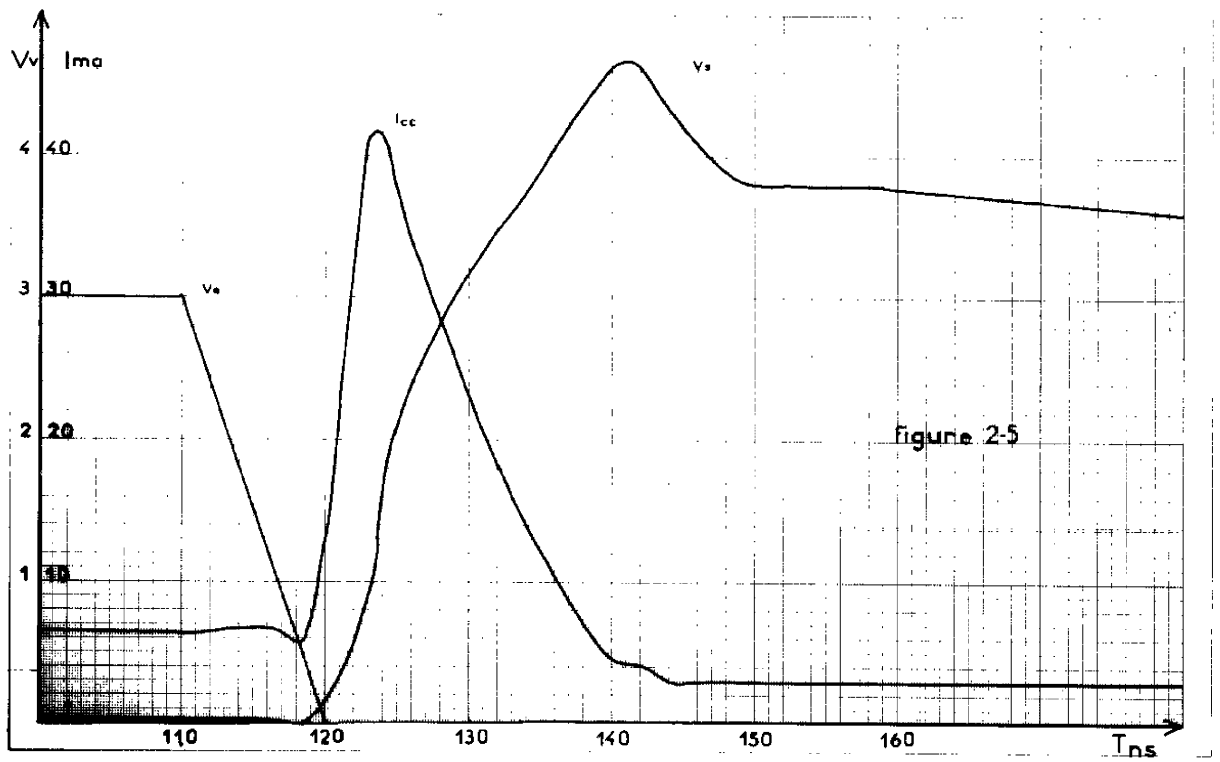
Un autre phénomène réactif apparaît sur la figure 2-2. La tension de sortie lors de sa transition positive dépasse son niveau statique de près de 500 mV.

Ce phénomène était lui aussi, attribué à un effet selfique or, il apparaît sur la simulation de la figure 2-5. Le programme nous permet d'en donner l'explication.

	Grandeurs mesurées	Grandeurs simulées	Ecart entre mesure et simulation	Ecart entre 10 mesures
Tension de sortie Etat Haut Fan out 1	3.5 V	3.5 V	-	-
Tension de sortie Etat bas Fan out 1	30 mV	30 mV	-	-
Courant débité par l'alimentation Etat haut	3.6 mA	3 mA	17%	20%
Courant débité par l'alimentation état bas	7.2 mA	6 mA	17%	20%
Pointe de courant $T_{PHL}$	18 mA	26 mA	-	12mA/48mA
Pointe de courant $T_{PLH}$	23 mA	42 mA	-	23mA/36mA
$T_{PHL}$	4 ns	7.5 ns	80%	25%
$T_{PLH}$	8.5 ns	9 ns	6%	25%

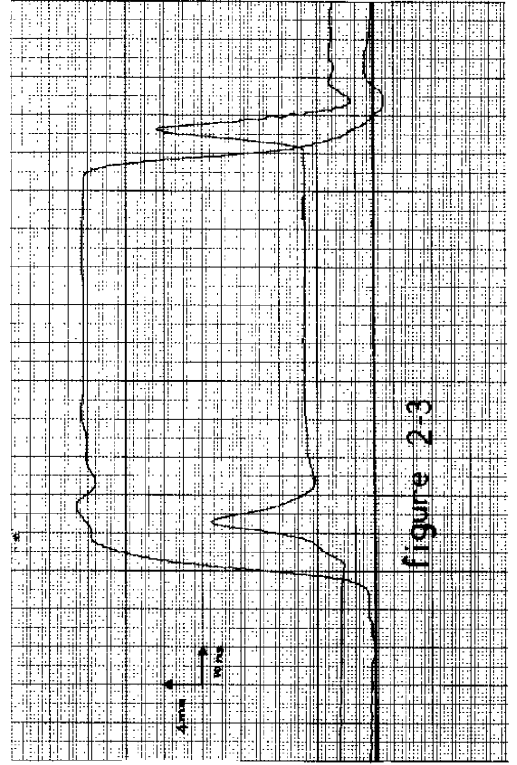
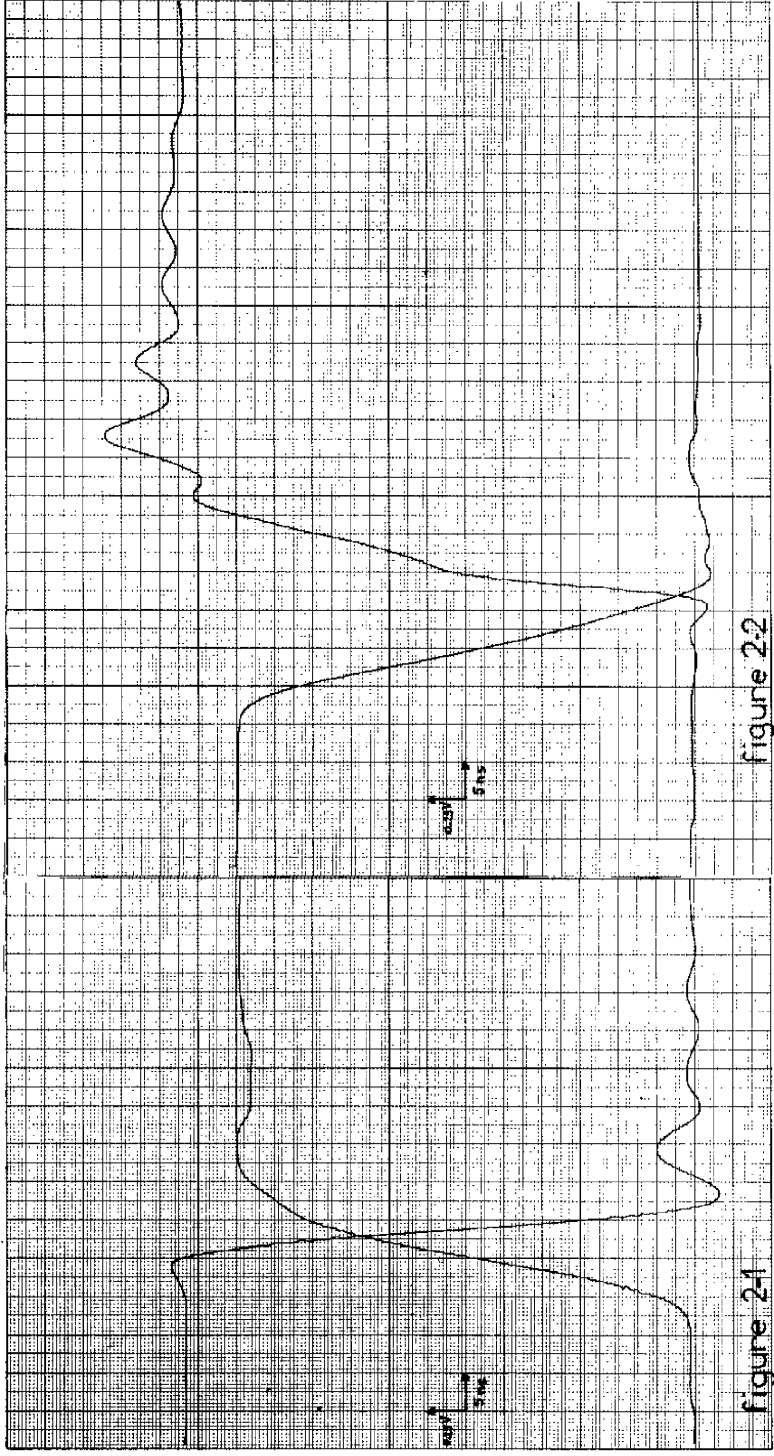


PORTE F8 . simulations





PORTE F8 : mesures



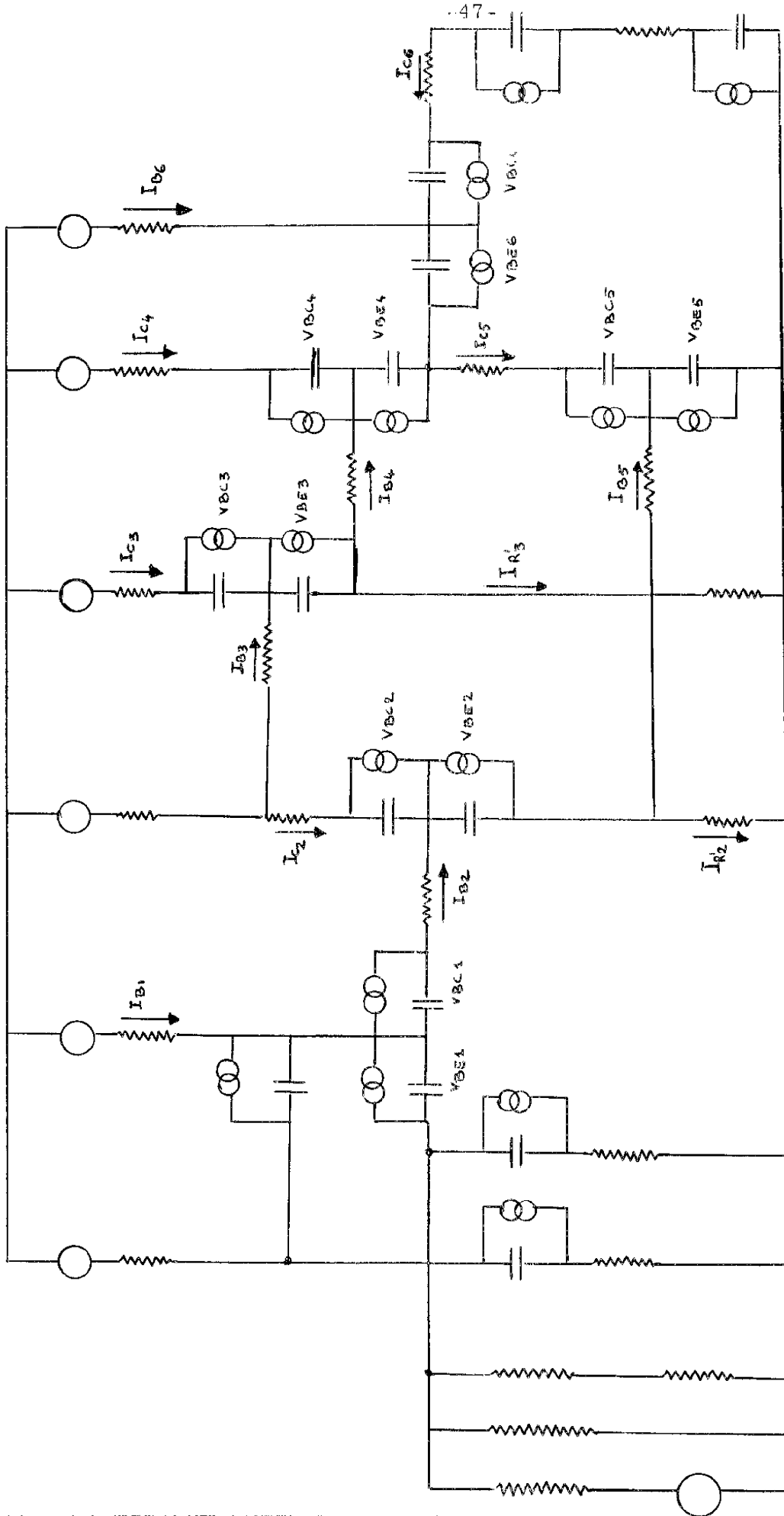


Figure II-6

Porte F 6 avec les schémas équivalents

Nous avons présenté l'étude de ce circuit de la manière suivante :

- examen de son fonctionnement interne
- observation de son comportement lorsque l'on fait varier ses conditions d'utilisation
- analyse de l'influence de certains éléments parasites
- comparaison de ce circuit à un autre du même type mais de configuration différente.

Enfin signalons que nous avons défini cette analyse comme semi-quantitative, c'est-à-dire que nous nous sommes plus intéressé aux variations des grandeurs intervenant dans ce circuit, plutôt qu'à leurs valeurs intrinsèques.

## II-1 - ANALYSE DU COMPORTEMENT INTERNE DE LA PORTE F8

Nous allons étudier le circuit de la figure 1-11, dans lequel la résistance  $R_{ch}$  est égale à  $2,5\text{ K}\Omega$  et la capacité  $C_{ch}$  est nulle, c'est-à-dire la porte F8 chargée par une seule porte.

Ce circuit dans lequel les composants actifs sont remplacés par leurs schémas équivalents, est représenté sur la figure 2-6. Le programme nous donne la valeur de tous les courants et de toutes les tensions de branches, ce qui fait environ 70 valeurs, toutes les nanosecondes.

Il faut donc sélectionner parmi toutes ces variables, celles qui sont caractéristiques du comportement du circuit.

Nous avons choisi les variables d'état du système, c'est-à-dire ici, les tensions aux bornes des capacités des schémas équivalents de chaque transistor, soit 10 variables pour une porte.

Le niveau de sortie de la porte à l'état bas est donc fixé par la résistance de saturation de  $T_5$ .

Nous allons maintenant étudier ce circuit en nous servant des résultats de la simulation.

### II-1-1 - Analyse de la transition négative de la sortie

L'examen des figures 2-7 et 2-8 où sont représentées les tensions aux bornes des capacités du schéma équivalent des transistors, lorsque la tension d'entrée du multiémetteur passe de la valeur 0 Volt au temps 10ns à la valeur 10 Volts au temps 20 ns, va nous permettre l'analyse du comportement interne de cette porte.

Nous appelons  $V_{BEi}$  et  $V_{BCi}$  respectivement les tensions aux bornes des capacités base émetteur et base collecteur du transistor  $T_i$ .

A l'instant initial, c'est-à-dire au temps 10 ns, le multiémetteur  $T_1$  est fortement saturé ( $V_{BE1} = 0.8$  V,  $V_{BC1} = 0.750$  V) les transistors  $T_2$  et  $T_5$  sont bloquées ( $V_{BE2} = 0.1$  V,  $V_{BC2} = -4.98$  V) ( $V_{BE5} = 0$  V,  $V_{BC5} = -3.5$  V) le transistor  $T_3$  est légèrement saturé ( $V_{BE3} = 0.780$  V,  $V_{BC3} = 0.200$  V) et le transistor  $T_4$  se trouve dans sa zone active ( $V_{BE4} = 0.700$  V,  $V_{BC4} = -0.800$  V).

Tant que la tension d'entrée n'est pas suffisante pour rendre passante la jonction émetteur base de  $T_2$ , le multiémetteur  $T_1$  reste saturé. Sa résistance de saturation restant faible, son collecteur suit la tension d'entrée.

Le transistor  $T_2$  qui est bloqué à cet instant, se comporte comme un pont capacitif, ce qui a pour effet d'élever la tension de son collecteur au-dessus de la tension d'alimentation.

Pour nous permettre l'étude du courant d'alimentation, nous avons aussi tracé les courbes donnant les courants dans les collecteurs de chaque transistor.

Enfin chaque fois que cela a été possible, nous avons comparé les résultats de la simulation à ceux de l'expérimentation.

Avant d'analyser les résultats que nous donne le programme, expliquons brièvement le fonctionnement de ce circuit.

Reprenons le schéma de la figure 1-11. Lorsque l'on porte à un potentiel voisin de zéro, l'un des émetteurs du multiémetteur  $T_1$ , celui-ci se sature et sa tension collecteur-émetteur étant faible, les deux transistors  $T_2$  et  $T_5$  se bloquent.

Le collecteur de  $T_2$  se trouve porté à la tension d'alimentation ce qui fait conduire les deux transistors  $T_3$  et  $T_4$ . Le multiémetteur  $T_6$  fonctionne alors en régime inverse et absorbe le courant d'émetteur du transistor  $T_4$ ,

$$\beta I_{BT_6}$$

Le niveau de la tension de sortie de la porte à l'état haut est donc surtout fixé par les tensions base émetteur des transistors  $T_3$  et  $T_4$  et a une valeur voisine de 3,5 Volts.

Examinons maintenant la porte lorsque l'entrée est haute. Dès que les tensions de ses deux émetteurs sont portées à la valeur de 3 Volts, le multiémetteur  $T_1$  fonctionne en régime inverse et son courant de collecteur sature le transistor  $T_2$  puis le transistor  $T_5$ . La tension de collecteur de  $T_2$  décroît et bloque les transistors  $T_3$  et  $T_4$ .

Le transistor  $T_5$  est alors saturé et traversé par le courant du transistor  $T_6$  qui est lui même fortement saturé.

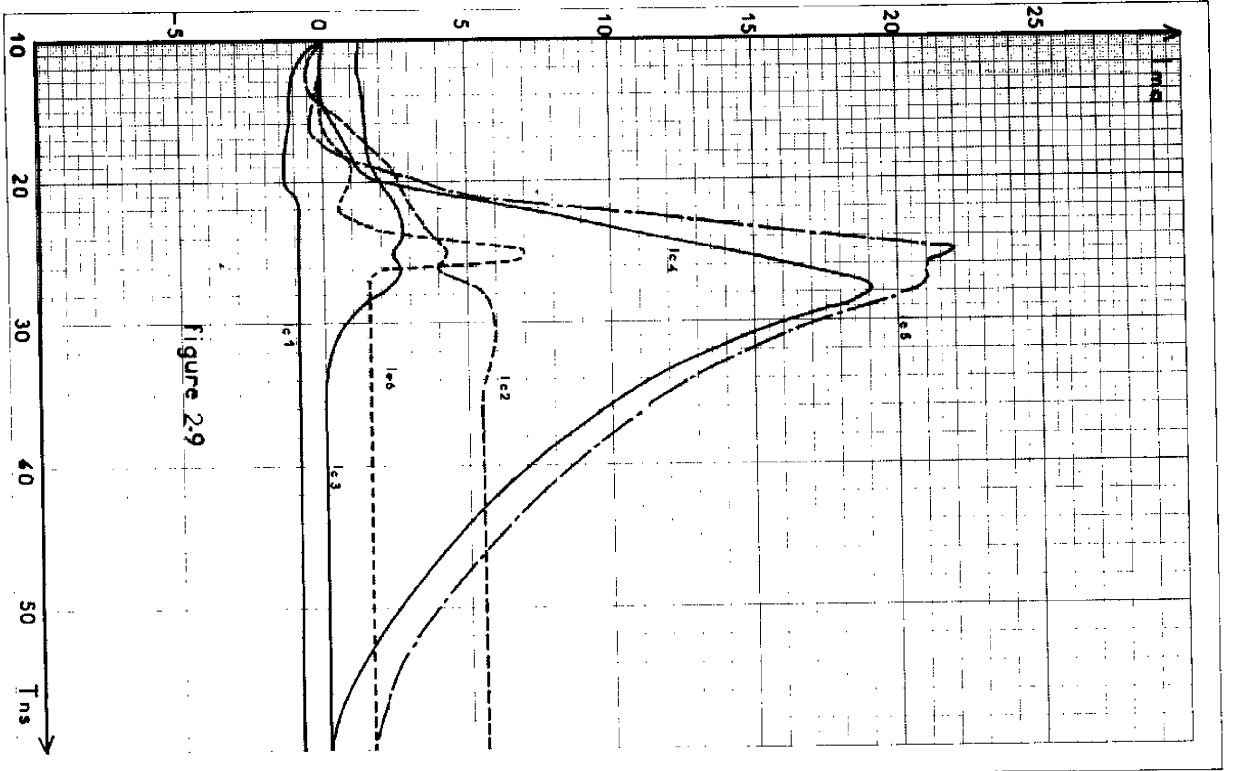
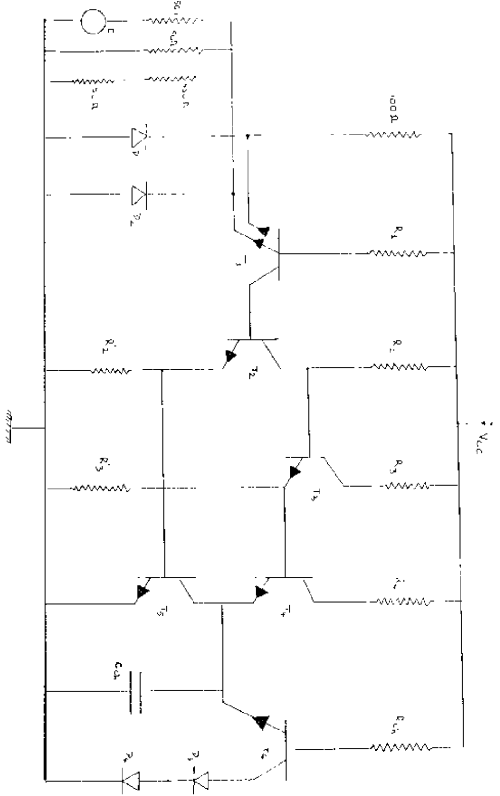


figure 29

TRANSITION NEGATIVE DE LA SORTIE  
DE LA PORTE F8



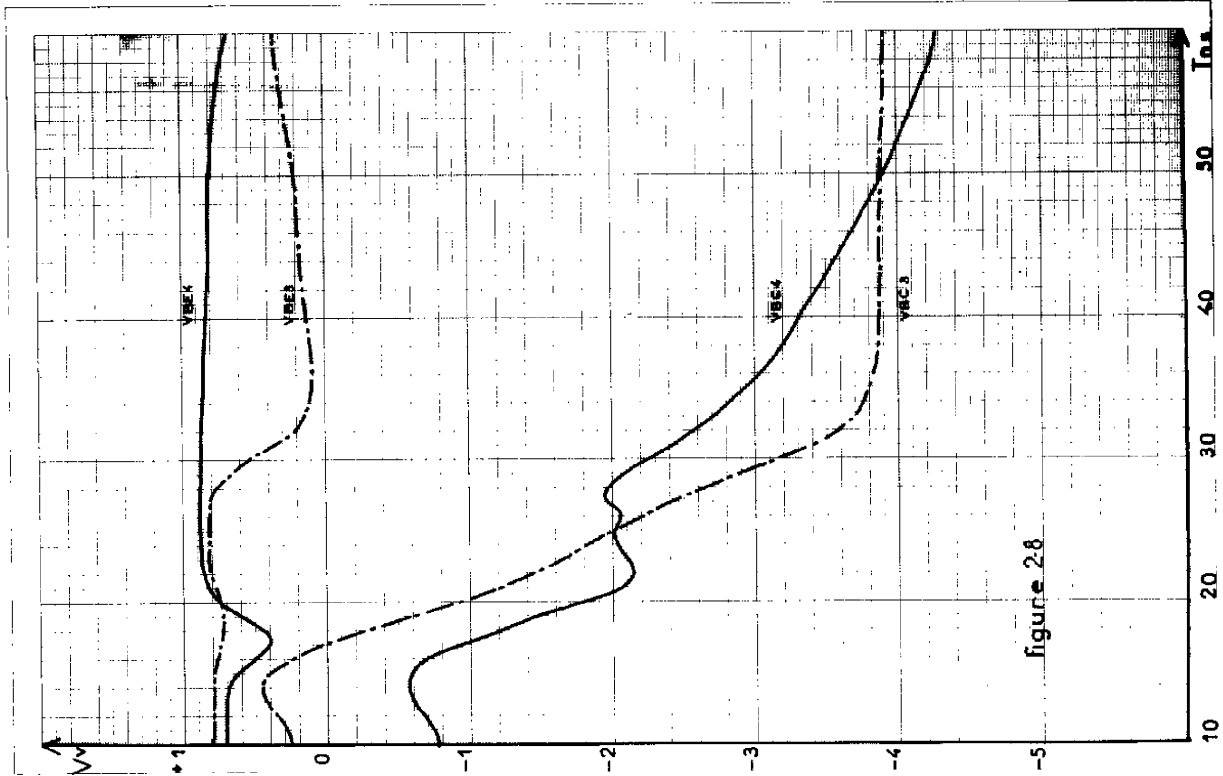


figure 26

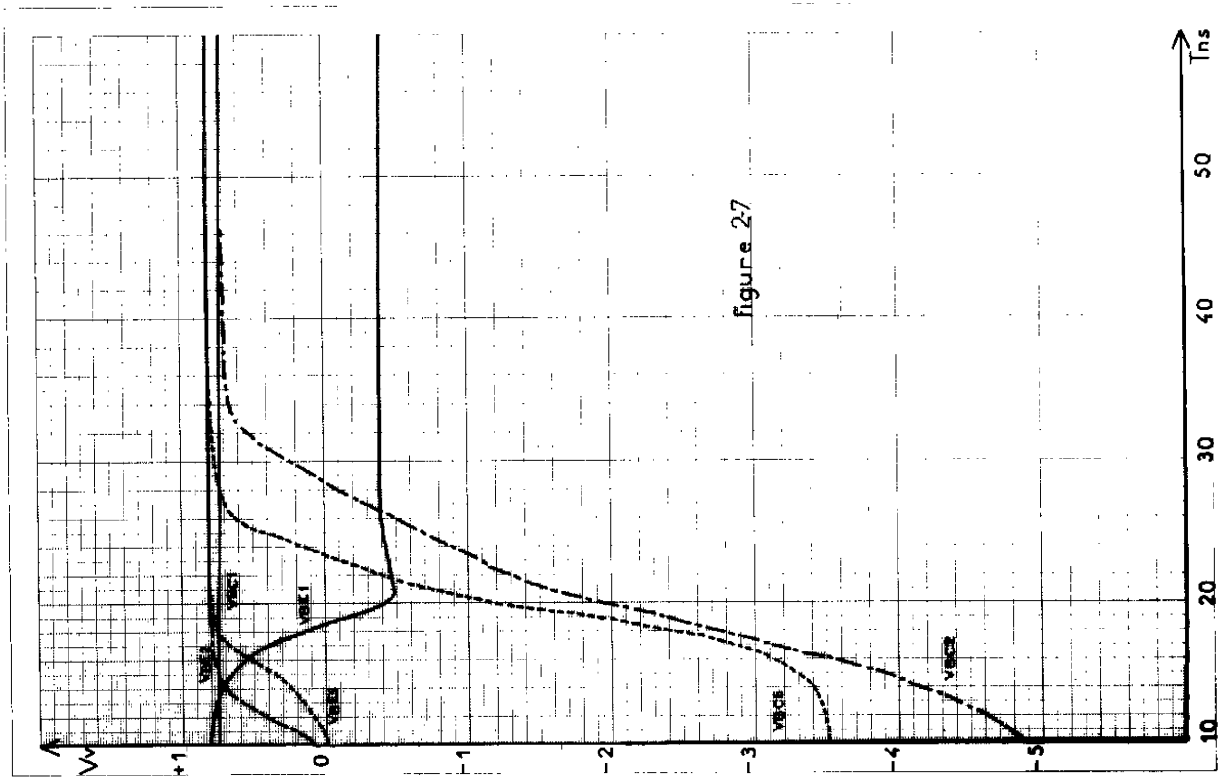


figure 27

Sur la figure 2-9, nous remarquons la forte pointe du courant collecteur de  $T_4$  et celle de  $T_5$ . La différence entre les deux est due au courant sortant du transistor de charge et au courant de base de  $T_4$ .

Le petit décrochage qui apparaît sur le courant du collecteur de  $T_5$  au voisinage de 25 ns est relatif à la pointe de courant produite par le transistor de charge lorsque celui-ci entre en conduction. En effet, il fonctionne alors, à ce moment là en émetteur commun, chargé par des capacités de fortes valeurs, il permet le passage d'un courant de collecteur égal à  $\beta_N \cdot I_{BT_6}$  qui désature très rapidement les deux diodes de charge.

Si nous regardons maintenant la tension de sortie de la figure 3-4, nous observons après le dépassement, deux constantes de temps distinctes. La première jusqu'à 26 ns, correspond au blocage de  $T_3$  et de  $T_4$  puis à la conduction simultanée de  $T_4$  et de  $T_5$ . C'est là qu'apparaît la forte pointe de courant. La seconde, après le blocage de  $T_3$  correspond à la décharge de  $T_4$  dans la résistance d'émetteur de  $T_3$ .

Cette dernière constante de temps est très élevée, mais elle n'a que peu d'influence sur la tension de sortie de la porte car celle-ci se trouve déjà comprise dans une zone qui correspond à son niveau bas.

Malgré les anomalies que nous avons décelées dans son fonctionnement, la porte F8 reste par sa transition négative comparable à celle des autres portes existant sur le marché actuel.

Son inconvénient majeur réside dans sa transition positive que nous allons étudier maintenant.



Les jonctions émetteur-base de  $T_3$  et de  $T_4$  étant polarisées en direct, cette élévation de tension se retrouve sur la sortie qui dépasse son niveau statique à l'état haut.

Sur la figure 2-4 ce dépassement a une amplitude de 140 mV et il est de 100 mV sur l'enregistrement de la figure 2-1.

Reprenons l'observation des courbes 2-7 et 2-8. Dès que la jonction émetteur base de  $T_2$  devient passante, le multiémetteur s'inverse ; le courant augmente dans la résistance d'émetteur de  $T_2$ , ce qui fait croître la tension  $V_{BE5}$  jusqu'à ce que le transistor  $T_5$  entre lui-même en conduction.

Celui-ci se sature alors plus rapidement que  $T_2$  car son courant de base est beaucoup plus important.

Examinons maintenant le comportement des transistors  $T_3$  et  $T_4$ .

Lorsque  $T_2$  entre en conduction,  $T_3$  et  $T_4$  commencent à se décharger.  $T_4$  se bloque le premier, mais la mise en conduction de  $T_5$  alors que  $T_2$  n'est pas encore saturé, donc que son potentiel de collecteur est encore haut, rend à nouveau passante la jonction émetteur base de  $T_4$  d'où l'apparition d'un fort courant à travers  $T_4$  et  $T_5$ .

$T_5$  se sature ensuite, ce qui augmente considérablement ce courant.

Le potentiel de collecteur de  $T_2$  diminuant, car celui-ci se sature, inverse alors le courant de base de  $T_3$  puis celui de  $T_4$  et la pointe de courant commence à décroître. Le transistor  $T_3$  se bloque et le courant de décharge de  $T_4$  passe dans la résistance  $R'_3$ .

Ce courant diminue, ce qui ralentit l'élimination des charges de la jonction émetteur base de  $T_4$ . La pointe de courant collecteur de  $T_4$  et le niveau de la tension de sortie de la porte dépendent de la tension aux bornes de cette jonction ; ils vont donc décroître avec une très forte constante de temps.

Pendant cet intervalle de temps, les tensions émetteur base de  $T_2$  et de  $T_5$  ont des valeurs opposées, ceci est dû au fait que le multiémetteur  $T_1$  est saturé, donc que son collecteur se trouve à  $V_{CEsat}$  près, à la masse.

Examinons maintenant le fonctionnement des transistors  $T_3$  et  $T_4$  (figure 2-11).

Nous avons constaté au début de ce chapitre que lors de sa transition positive, la tension de sortie de la porte F8 dépasse son niveau statique à l'état haut.

Pour expliquer ce phénomène, observons les tensions aux bornes des jonctions des transistors  $T_3$  et  $T_4$  sur la figure 2-11, les courants  $I_{C3}$  et  $I_{C4}$  sur la figure 2-12 et les tensions par rapport à la masse, du collecteur de  $T_2$ , de l'émetteur de  $T_3$  et de la sortie sur la figure 2-13.

Dès que  $T_2$  commence à se bloquer, le courant dans  $R_2$  diminue et ainsi rend passante la jonction émetteur base de  $T_3$ . La tension aux bornes de  $R'_3$  augmente et rend à son tour passante la jonction émetteur base de  $T_4$ . A ce moment le transistor  $T_5$  permet encore le passage d'un fort courant  $I_{C5}$ . Le courant à travers  $T_3$  et  $T_4$  n'est donc limité que par les résistances  $R_3$  et  $R_4$  et ces deux transistors se saturent très fortement.

Le courant inverse de base  $I_{B5}$  élimine toujours des charges dans la jonction émetteur base de  $T_5$  et ainsi limite le courant  $I_{C5}$  que celui-ci peut absorber.

Lorsque ce courant devient inférieur au courant limité par  $R_3$  et  $R_4$  la tension de sortie remonte, suivie à  $2 V_{BE}$  près par la tension de collecteur de  $T_2$ , car  $T_3$  et  $T_4$  sont encore saturés.

Nous observons ce phénomène sur la figure 2-13 jusqu'à 130 ns. A partir de cet instant la tension de collecteur de  $T_2$  dépasse la tension d'alimentation et le courant  $I_{B3}$  s'inverse et élimine des charges de la jonction émetteur base de  $T_3$ . Tant que cette jonction n'est pas bloquée, le transistor  $T_3$  permet

## II-1-2 - Analyse de la transition positive de la sortie

Sur les figures 2-10 et 2-11, nous avons représenté les tensions aux bornes des capacités des schémas équivalents des transistors lorsque la tension d'entrée passe de la valeur 3 V au temps 110 ns à la valeur 0 V au temps 120 ns.

Nous avons ensuite tracé sur la figure 2-12 les courbes représentant les courants de collecteur pendant cette même transition.

Nous allons nous servir de ces trois figures pour analyser le fonctionnement de la porte.

A l'instant initial, c'est-à-dire sur ces figures au temps noté 110 ns le transistor  $T_1$  fonctionne en régime inverse. ( $V_{BE1} = -0.422$  V,  $V_{BC1} = 0.780$  V) les transistors  $T_2$  et  $T_5$  sont fortement saturés ( $V_{BE2} = 0.827$  V,  $V_{BC2} = 0.737$  V) ( $V_{BE5} = 0.831$  V,  $V_{BC5} = 0.823$  V) et les transistors  $T_3$  et  $T_4$  sont bloqués ( $V_{BE3} = 0.690$  V,  $V_{BC3} = -3.88$  V) ( $V_{BE4} = 0.371$  V,  $V_{BC4} = -4.6$  V)

Dès que la jonction émetteur base du multiémetteur d'entrée se trouve polarisée en direct, ici vers 116 ns, celui-ci fonctionne en émetteur commun. Son circuit de charge, constitué par les jonctions émetteur base de  $T_2$  et de  $T_5$  qui sont saturés, se comporte comme une capacité de forte valeur, ce qui permet le passage d'un courant collecteur égal à  $\beta N^I_{BT1}$

Celui-ci correspond à un courant de base inverse pour les transistors  $T_2$  et  $T_5$  qui se déchargent donc très rapidement.

Nous observons ainsi une impulsion de courant qui sur la figure 2-12 a une amplitude de 4.8 mA.

Le transistor  $T_2$  se bloque le premier et de ce fait isole  $T_5$  dont le courant de désaturation diminue car il passe maintenant à travers la résistance d'émetteur de  $T_2$  :  $R'_2$

$T_5$  se décharge donc lentement et reste dans sa zone active jusqu'à ce qu'il atteigne le temps de 140 ns.

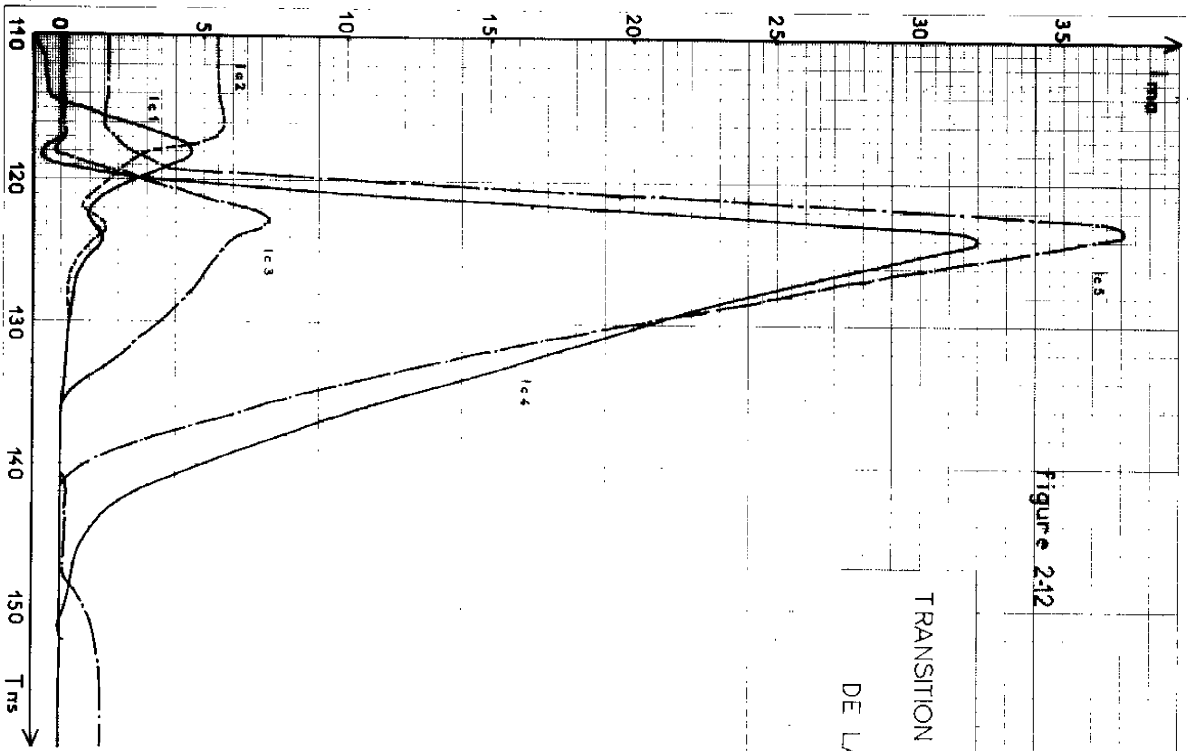


Figure 2.12

TRANSITION POSITIVE DE LA SORTIE  
DE LA PORTE F8

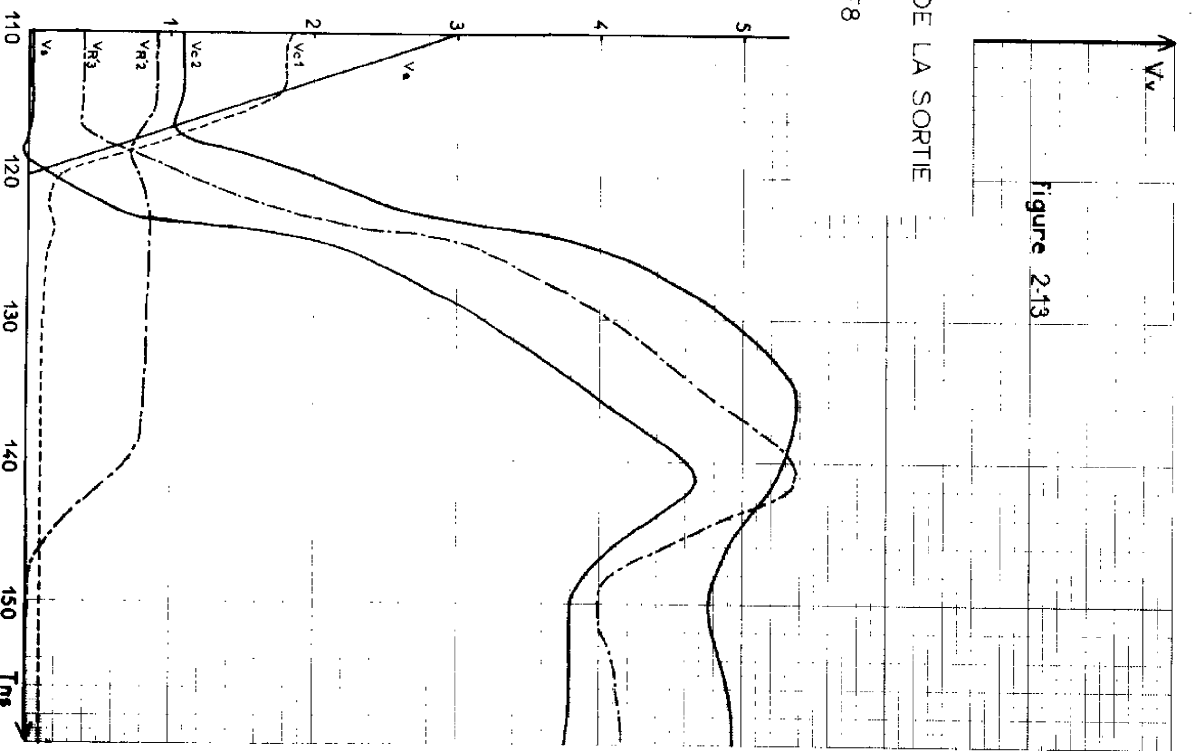


Figure 2.13

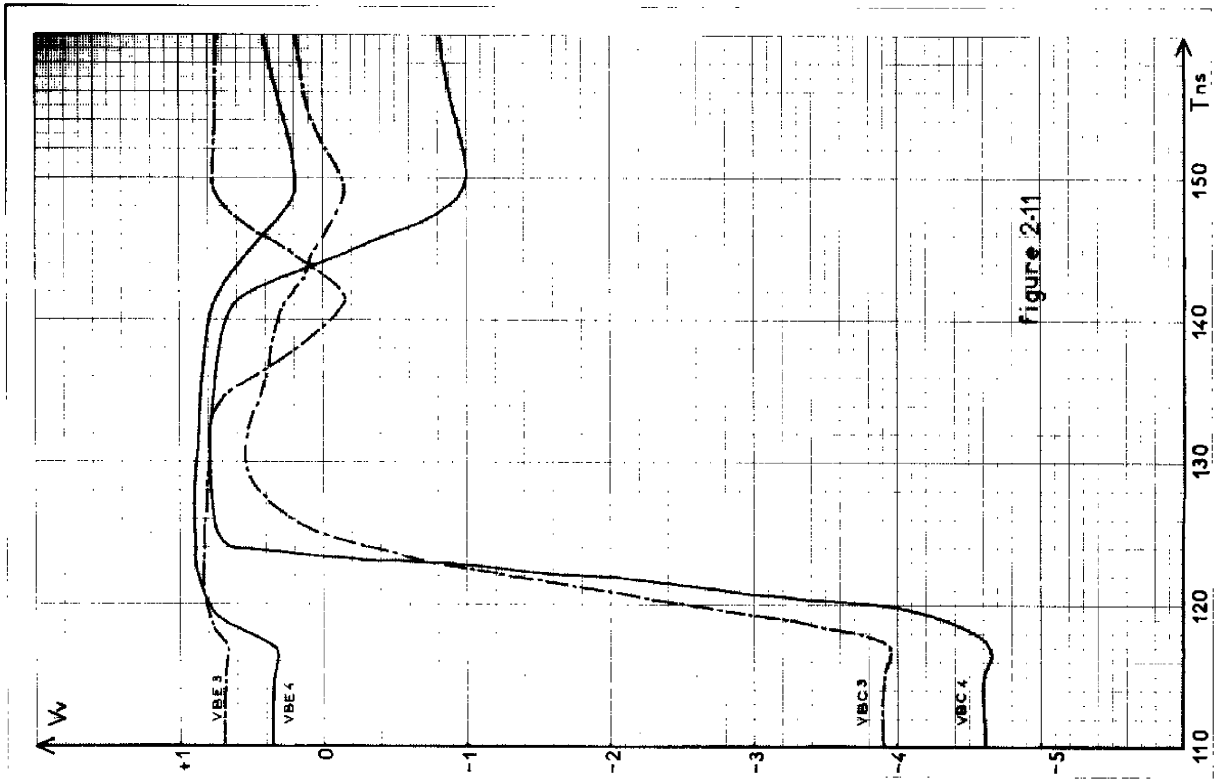


Figure 2-11

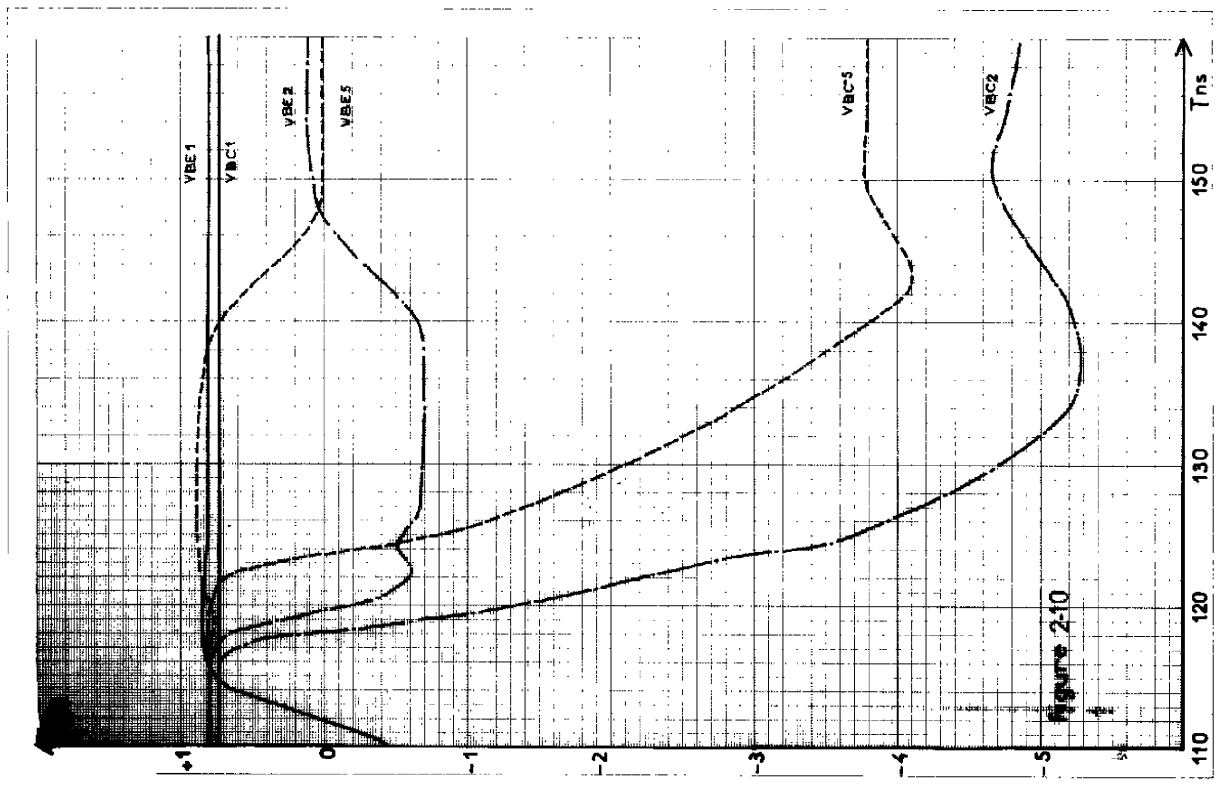


Figure 2-10

## II-2 - ETUDE DU CIRCUIT EN FONCTION DES CONDITIONS D'UTILISATION

Nous allons maintenant analyser la porte lorsqu'on fait varier ses conditions d'utilisation; c'est ainsi que nous étudierons successivement l'influence de la variation des temps de montée et de descente de l'impulsion d'entrée, l'influence de la charge, et celle de la variation de la tension d'alimentation.

### II-2-1 - Influence de la valeur des fronts de l'impulsion d'entrée

Nous avons tracé sur la figure 2-14 le courant dans le collecteur de  $T_4$  et la tension de sortie de la porte pour les deux fronts d'entrée de 2 ns et 10 ns.

Nous constatons plusieurs effets sur la transition négative de la sortie : Lorsque le temps de montée de l'impulsion diminue, l'amplitude du dépassement de la tension de sortie augmente. Il en est de même pour son temps de descente ainsi que pour l'amplitude de l'impulsion de courant dans le collecteur de  $T_4$ , donc du courant débité par l'alimentation car nous avons vu que lors d'une transition, le courant dans le collecteur de  $T_4$  constitue la part la plus importante du courant débité par l'alimentation.

L'explication de ces phénomènes se déduit très simplement de l'analyse que nous avons faite au paragraphe précédent.

Examinons tout d'abord l'augmentation du dépassement de la tension de sortie.

Nous avons vu que, tant que la jonction émetteur base du transistor  $T_2$  n'a pas reçu la charge susceptible de la rendre passante, celui-ci peut être considéré comme un pont capacitif qui laisse passer l'impulsion d'entrée.

toujours le passage d'un courant  $I_{E3}$  qui passe à travers  $T_4$  et  $T_5$ . C'est ainsi que, alors que la tension de collecteur de  $T_2$  décroît, la tension d'émetteur de  $T_3$  et celle de sortie continuent à croître.

Le courant  $I_{B3}$  bloque ensuite la jonction émetteur base de  $T_3$ , les charges stockées dans la jonction collecteur base de  $T_3$  s'écoulent alors à travers  $R_2$  et le courant base  $I_{B4}$  s'inverse et passe à travers  $R'_3$ .

Tant que ce courant n'a pas évacué toutes les charges de la jonction émetteur base de  $T_4$ , ce dernier reste saturé, et la tension de sortie croît toujours, suivie à  $V_{BE}$  près par la tension d'émetteur de  $T_3$  qui dépasse elle aussi la tension d'alimentation au temps 137 ns.

Le potentiel aux bornes de la jonction émetteur base de  $T_3$  s'inverse ; le phénomène s'accroît jusqu'à ce que la jonction émetteur base de  $T_4$  se bloque (140 ns).

A ce moment, le potentiel d'émetteur de  $T_3$  décroît, ainsi que la tension de sortie. La jonction émetteur base de  $T_3$  augmente, redevient passante, la tension aux bornes de  $R'_3$  polarise à nouveau la jonction émetteur base de  $T_4$ . Mais le transistor  $T_5$  étant maintenant bloqué,  $T_4$  débite un courant à travers le multiémetteur  $T_6$  qui fonctionne en inverse.

Le phénomène réactif que nous avons observé n'est donc pas dû à un effet selfique mais aux charges stockées dans les transistor  $T_3$  et  $T_4$ .

Nous verrons comment on peut limiter ce phénomène, et ainsi atténuer cette forte augmentation de la tension et du courant en sortie qui augmentent considérablement la puissance consommée par cette porte.

Cette charge est indépendante du temps de montée de la tension d'entrée, donc si le temps de montée diminue, l'amplitude du courant augmente. Nous avons vérifié ce résultat par l'expérimentation.

Lorsque  $T_2$  entre en conduction, son courant de base est plus important lorsque l'impulsion d'entrée a un temps de montée de 2 ns. Le rapport  $I_{B5}/I_{B2}$  est plus faible donc l'écart entre la mise en conduction de  $T_2$  et celle de  $T_5$  est ainsi plus faible. Le transistor  $T_4$  est moins bloqué lorsque  $T_5$  conduit et lorsque  $T_3$  bloque,  $T_4$  a un peu plus de charge à évacuer à travers la résistance  $R'_3$ .

Nous avons donc une augmentation de l'amplitude de l'impulsion de courant débité par l'alimentation et une augmentation du  $T_{PHL}$ .

Par contre l'influence du temps de descente de l'impulsion d'entrée est faible. En effet, dès que la tension d'entrée atteint la valeur qui rend passante la jonction émetteur base du multiémetteur  $T_1$ , celui-ci bloque le transistor  $T_2$  et la sortie de la porte ne dépend plus que des phénomènes internes à celle-ci.

### II-2-2 - Influence de la charge

Pour étudier la sortance de la porte F8, nous avons simulé les variations de la charge par une modification de la résistance  $R_{ch}$  et de la capacité  $C_{ch}$ .

Pour simuler dix portes identiques connectées sur la sortie de la porte testée, il suffit de diviser par dix la résistance  $R_{ch}$ . La modification de la capacité d'entrée causée en particulier par l'effet des diodes de protection est représentée par la capacité  $C_{ch}$ . Nous avons supposé que la valeur de cette capacité était d'environ 1,5 pF par porte.



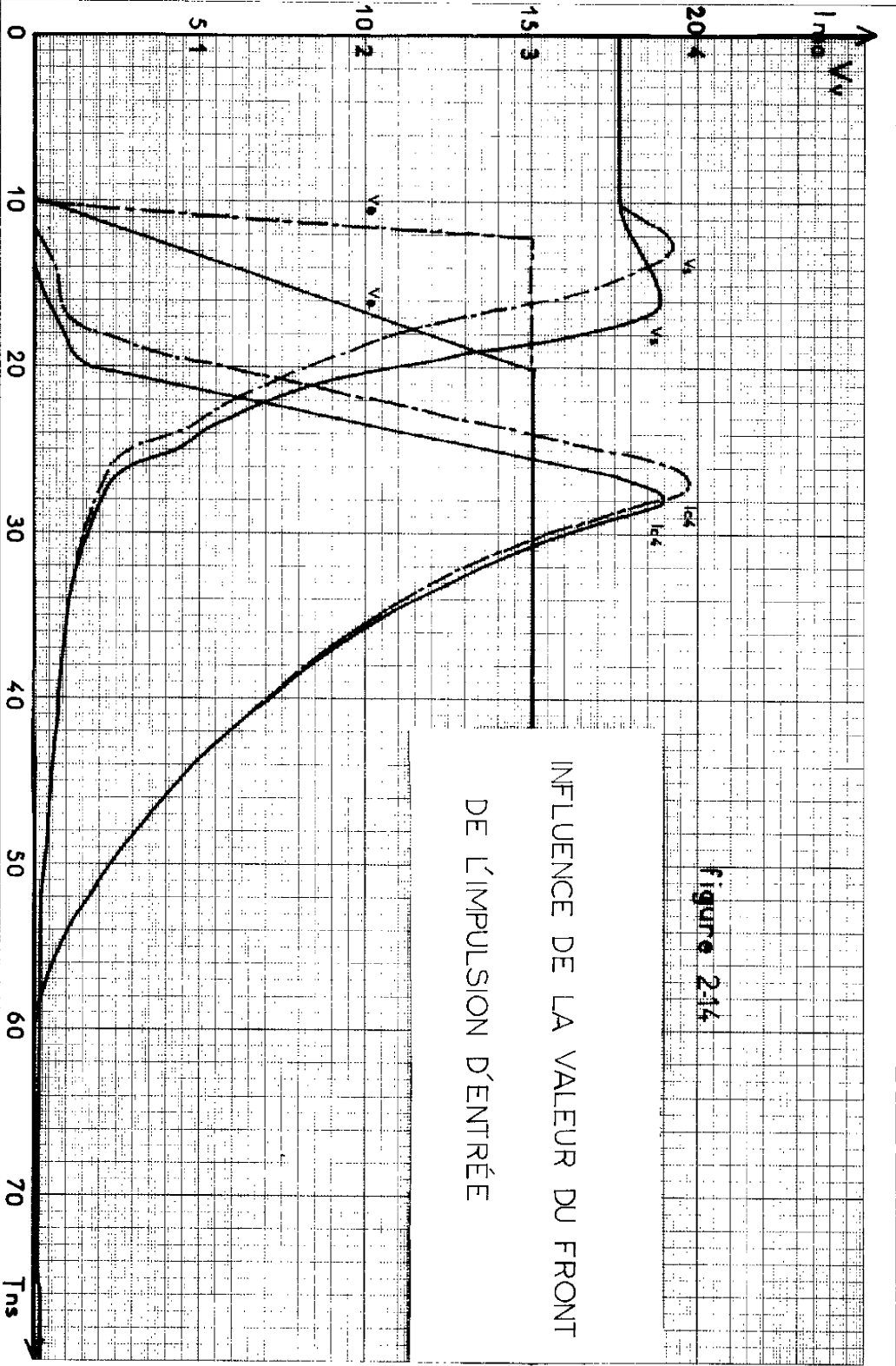
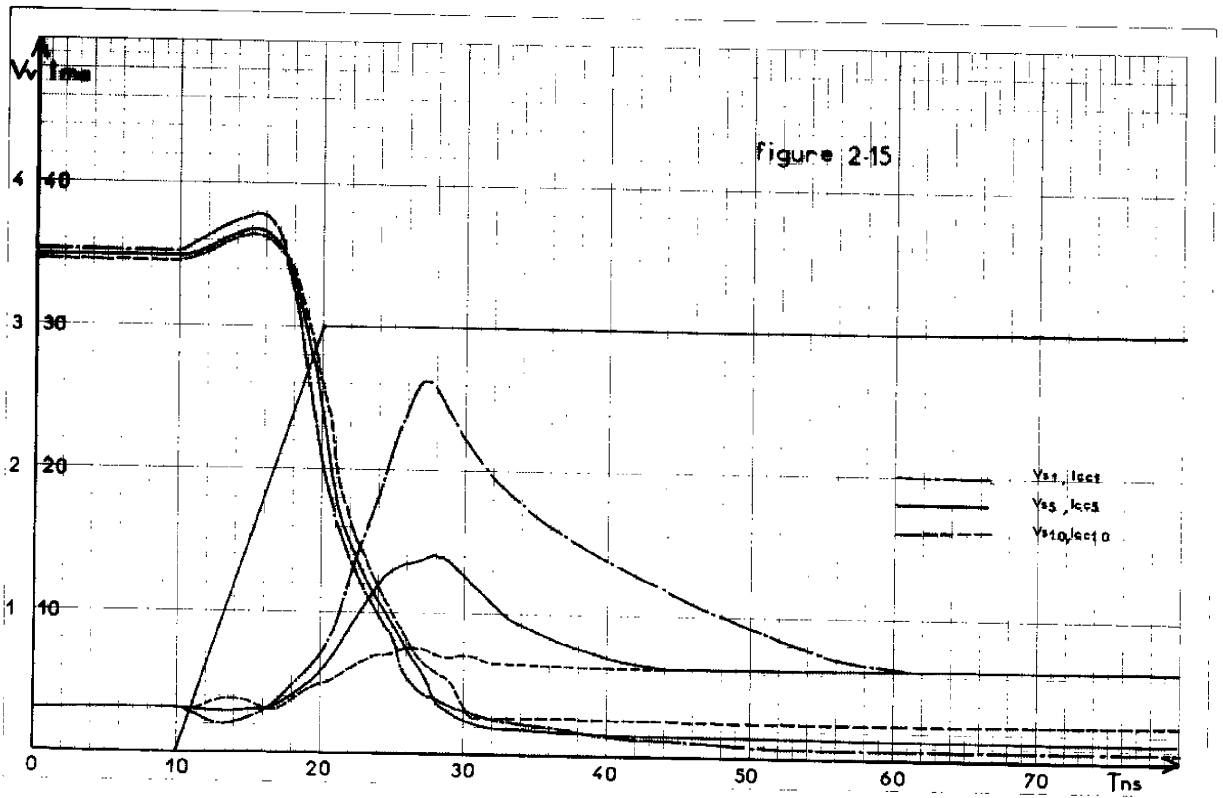
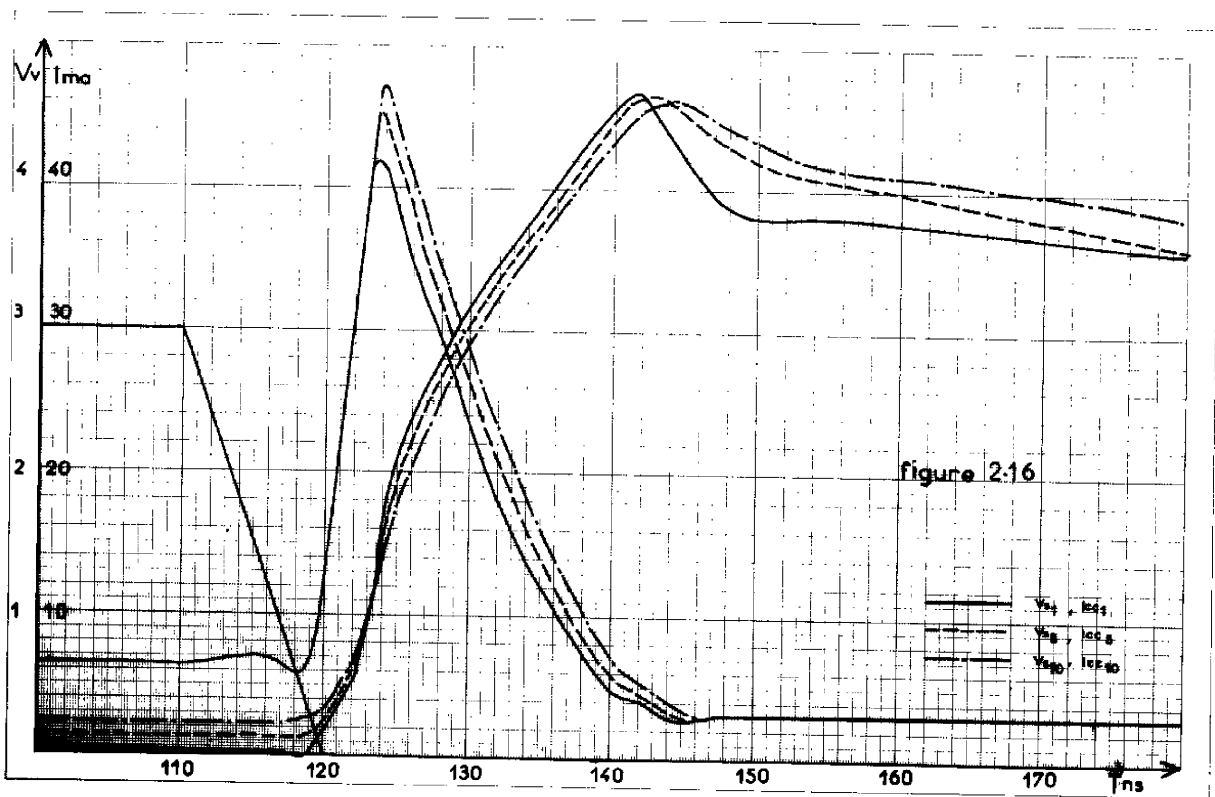


Figure 2.14

INFLUENCE DE LA VALEUR DU FRONT  
DE L'IMPULSION D'ENTRÉE



INFLUENCE DE LA CHARGE



L'avantage de cette représentation est évident. Elle n'augmente pas l'ordre de complexité du système à intégrer, donc le temps de calcul reste comparable à celui correspondant à une seule porte. Cette méthode est d'ailleurs utilisée lorsque l'on effectue des simulations "sur table".

Nous avons de cette manière étudié la porte F8 lorsqu'elle est chargée par une, cinq et dix portes identiques.

Sur les figures 2-15 et 2-16 sont représentés la tension de sortie et le courant débité par l'alimentation de la porte testée pour ces trois types de charge.

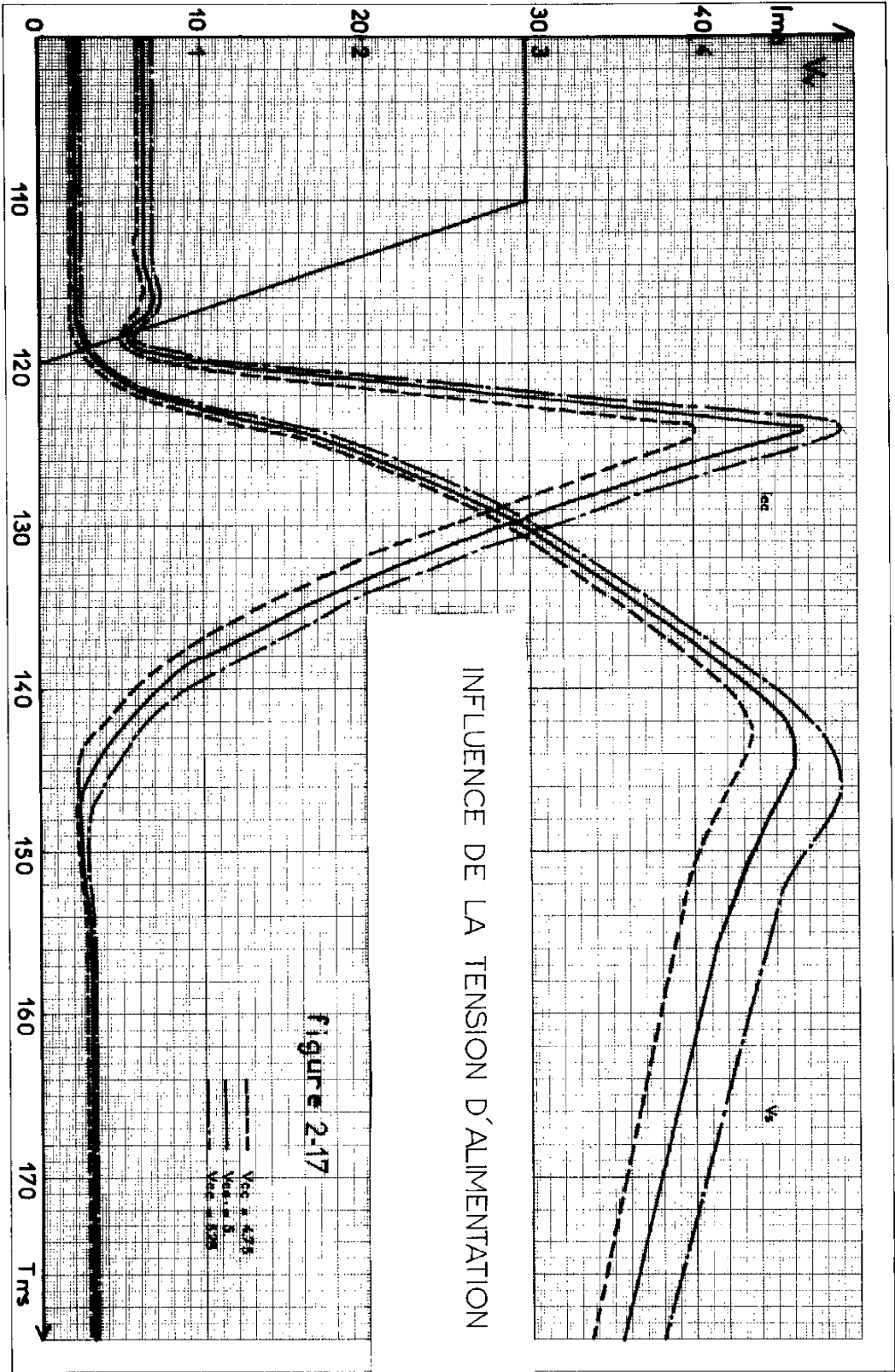
Examinons tout d'abord les niveaux statiques. Lorsque l'on augmente le nombre de portes le niveau statique de la sortie à l'état haut décroît, alors que le niveau bas augmente.

Nous avons vu que le niveau haut dépend en particulier des tensions base émetteur des transistors  $T_3$  et  $T_4$ .

Le transistor  $T_4$  fournit un courant égal à  $\beta_I I_{BT6}$  qui augmente avec le nombre de portes connectées à la sortie.

La tension base émetteur d'un transistor étant une fonction croissante du courant qui traverse celui-ci,  $V_{BE4}$  augmente et ainsi la tension de sortie diminue.

En ce qui concerne le niveau bas, nous avons vu qu'il dépend surtout de la tension collecteur émetteur du transistor  $T_5$  à la saturation qui est traversé par le courant de base du transistor de charge. Ce courant augmente avec le nombre de portes connectées à la sortie. La tension collecteur émetteur d'un transistor saturé est une fonction croissante du courant qui le traverse. Donc la tension de sortie de la porte s'élève.



Examinons maintenant sur les figures 2-15 et 2-16 les courants sortant de l'alimentation. Sur la figure 2-16 nous constatons que ce courant s'accroît avec le nombre de portes connectées. Ceci s'explique par le fait que la forte impulsion de courant débitée par l'alimentation, lors de la transition positive de la sortie, correspond au moment où le transistor  $T_4$  est saturé alors que  $T_5$  est encore dans sa zone active ce qui fait que l'alimentation se trouve fermée sur une faible impédance. Les charges capacitives qui vont s'ajouter lorsque l'on augmente le nombre de portes sur la sortie, vont faire diminuer cette impédance, donc accroître ce courant.

Par contre sur la figure 2-15, c'est-à-dire pendant la transition négative de la sortie, le courant débité par l'alimentation de la porte testée diminue lorsque le nombre de portes connectées à sa sortie augmente. La pointe de courant ici aussi, est due au fait que l'alimentation est fermée sur une faible impédance constituée par le transistor  $T_4$  qui redevient passant lorsque  $T_5$  entre en conduction. Mais lorsque le circuit est chargé par plusieurs portes, celles-ci vont shunter le transistor  $T_4$  qui continue à se bloquer lorsque  $T_5$  entre en conduction.

### II-2-3 - Influence de la tension d'alimentation

Nous avons étudié l'influence de la variation de la tension d'alimentation pour une gamme de valeur correspondant à un fonctionnement normal de cette porte.

Sur la figure 2-17 sont représentés la tension de sortie et le courant débité par l'alimentation de la porte F8 chargée par dix portes identiques, lors de la transition positive de la sortie, pour des tensions d'alimentation de 4,75 V, 5 V et 5,25 V.

Nous ne présentons pas ici l'étude de toutes ces capacités parasites car certaines n'ont que peu d'influence ; c'est en particulier le cas de toutes celles qui isolent les caissons des transistors de sortie. La sortie de la porte se trouve à basse impédance ; pour que ces capacités aient une influence il faudrait qu'elles atteignent des valeurs très importantes, ce qui n'est pas le cas.

Des études faites à la Radiotechnique ont montré qu'elles variaient entre 0 et 2 pF.

Nous avons volontairement augmenté ces valeurs (0 à 5 pF) afin de grossir leur influence et de faciliter ainsi notre analyse. Ces résultats n'ont bien sûr aucune valeur quantitative.

Nous avons représenté sur la figure 2-18 les deux capacités dont nous étudierons l'influence. Il s'agit des capacités correspondant aux diodes d'isolement des transistors  $T_1$  et  $T_2$ .

### II-3-1 - Etude de la capacité parasite $C_1$

Nous allons étudier l'influence de  $C_1$  qui représente la capacité de la diode d'isolement du multiémetteur  $T_1$ . Elle se trouve en parallèle sur la jonction émetteur base et la résistance d'émetteur du transistor  $T_2$ .

Examinons tout d'abord la transition négative de la sortie. Nous avons représenté sur la figure 2-19 la tension de sortie et le courant dans le collecteur du transistor  $T_4$  pendant cette transition pour des valeurs de capacité  $C_1$  de 1, 3 et 5 pF.

Il apparaît que cette capacité a une influence très importante puisqu'elle augmente approximativement le temps de retard de la transition négative d'une nanoseconde par picofarad.

Cette variation n'a que peu d'influence sur les temps de commutation de la sortie ; elle ne fait que déplacer globalement les courbes. Au niveau haut, la tension de sortie, suit la tension d'alimentation. Au niveau bas, la résistance de saturation de  $T_5$  étant faible, nous n'avons qu'une faible élévation de la tension de sortie. Enfin les pointes de courant qui correspondent à des transitions pendant lesquelles l'alimentation se trouve fermée sur une faible impédance, sont proportionnelles à la valeur de la tension d'alimentation.

### II-3 - SIMULATION DES ELEMENTS PARASITES INTERNES

Nous avons analysé le fonctionnement interne de la porte F8 , nous l'avons ensuite étudiée lorsque l'on fait varier ses conditions d'utilisation; maintenant, et c'est ici que l'ordinateur nous semble d'une grande utilité, nous allons simuler des comportements anormaux pouvant résulter de la présence d'éléments parasites liés à la topologie du circuit intégré.

Lors de la réalisation industrielle de ces circuits intégrés des éléments parasites s'ajoutent à ceux que nous avons identifiés sur cette porte. C'est en particulier le cas des résistances diffusées qui peuvent avoir de gros effets capacitifs et celui des diodes d'isolement : chaque transistor du circuit se trouve dans un caisson, isolé du substrat par une jonction PN polarisée en inverse.

Dans les conditions normales de fonctionnement, ces diodes peuvent être considérées comme des capacités parasites entre le collecteur de chaque transistor et le substrat qui se trouve à la masse. Suivant leurs valeurs, ces capacités perturbent le comportement transitoire de la porte.

La simulation nous permet de déterminer les éléments parasites dont l'influence est prépondérante sur le fonctionnement du circuit.

INFLUENCE DE LA CAPACITE PARASITE C1

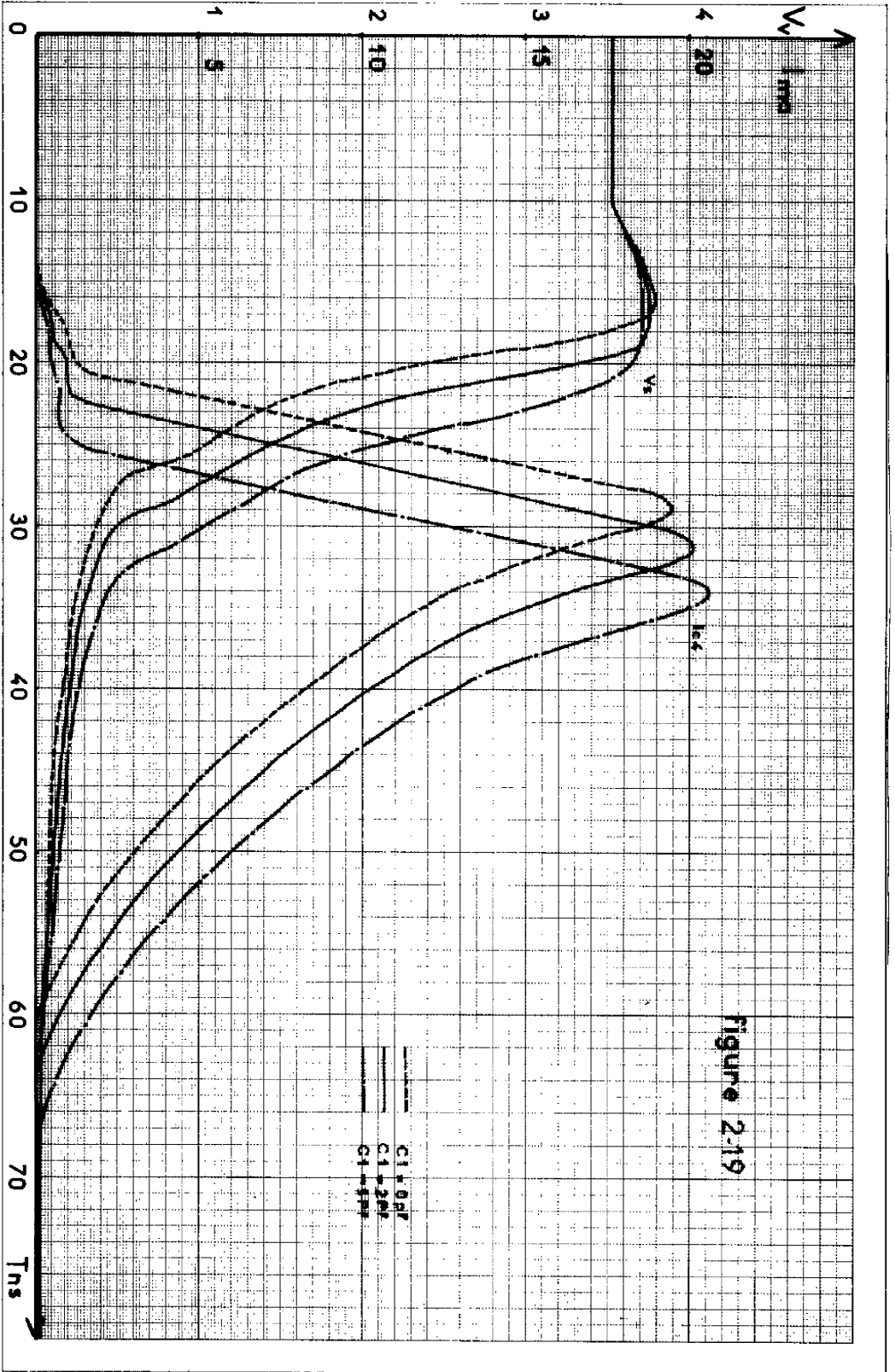


Figure 2-19



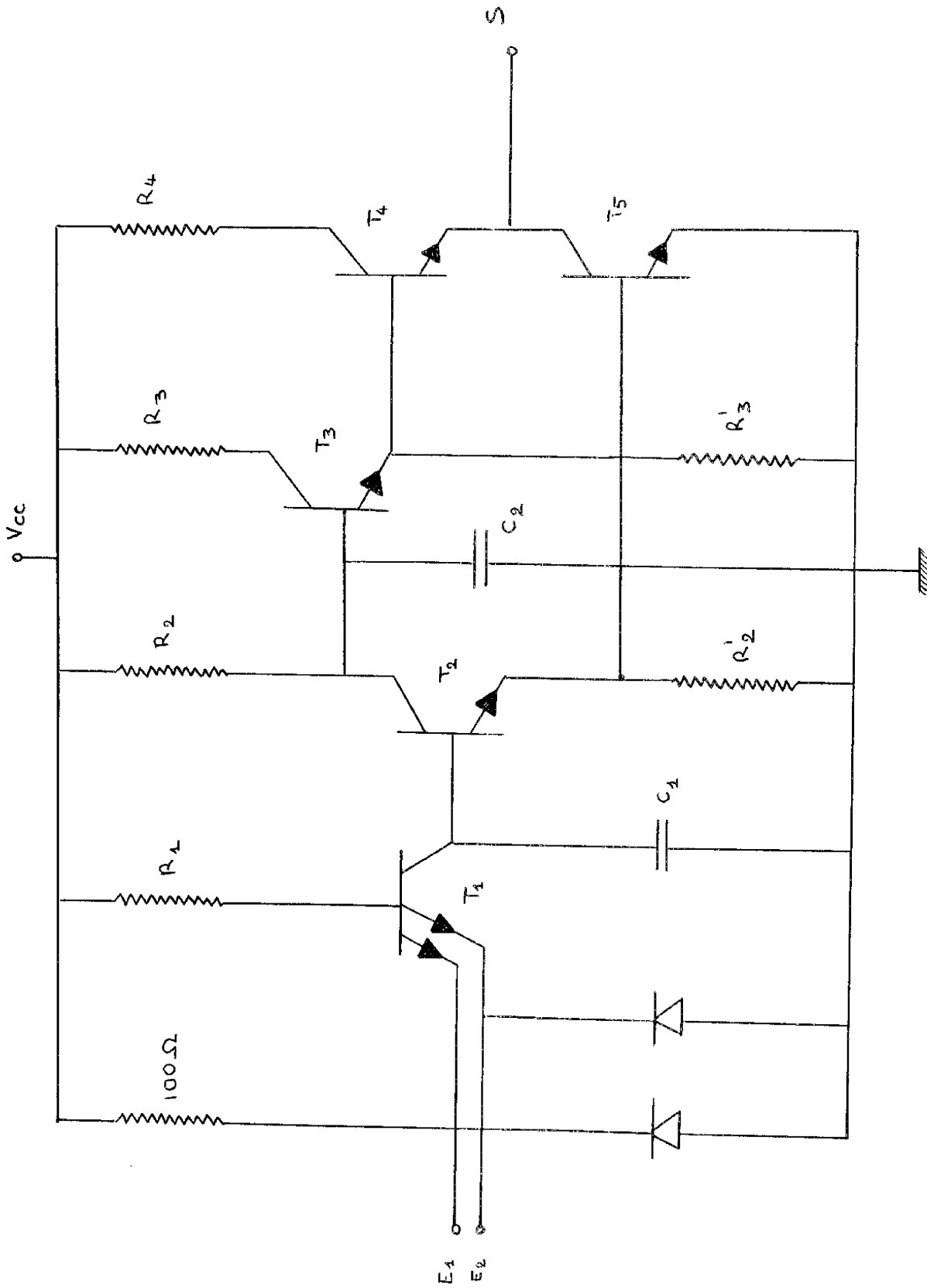
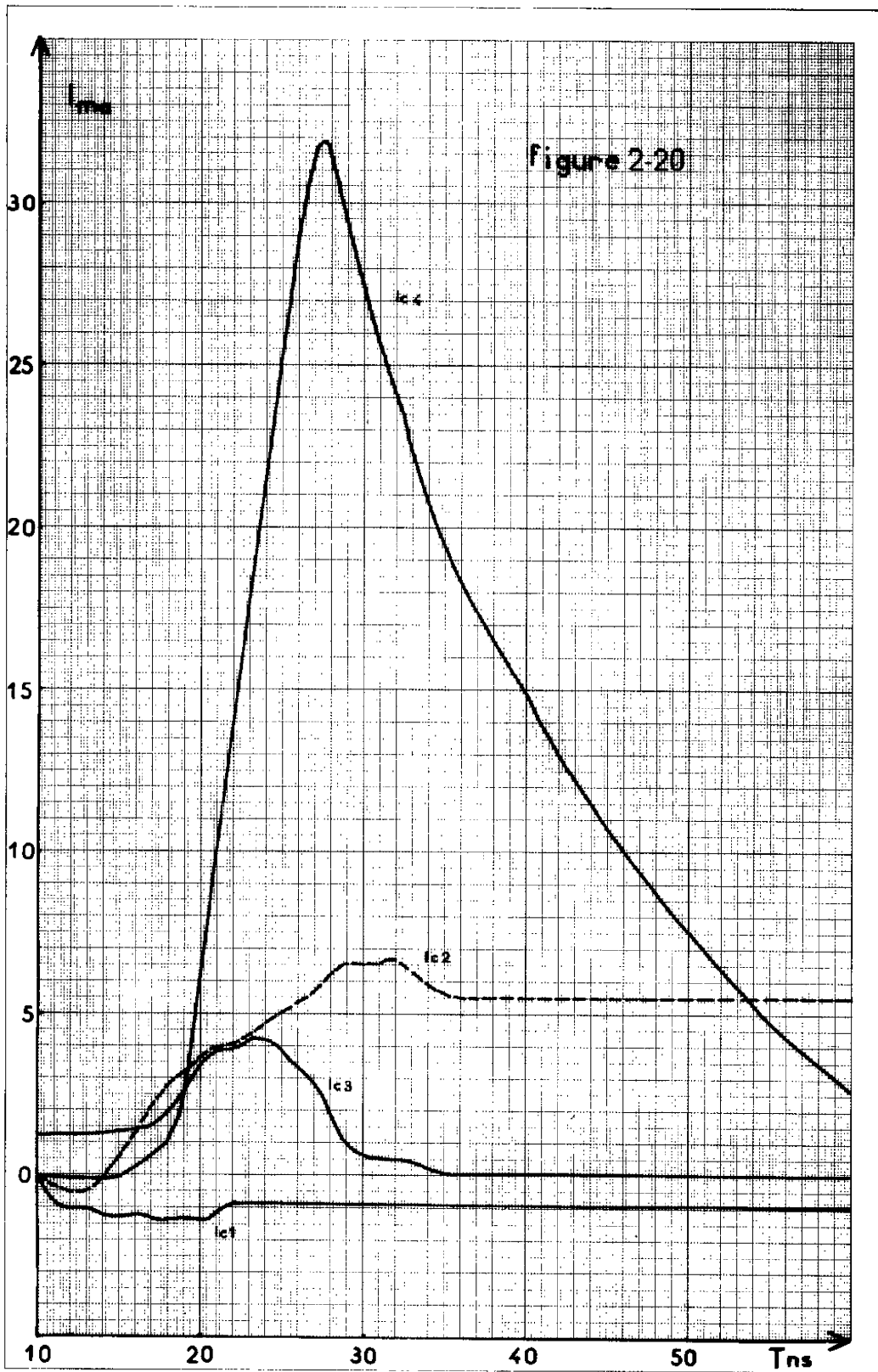


Figure II-18

Porte F 8 avec capacités parasites



De plus l'impulsion du courant dans le collecteur de  $T_4$  s'accroît ce qui augmente la consommation de la porte.

La capacité  $C_1$  dérive une partie du courant de base du transistor  $T_2$ . Elle retarde ainsi sa mise en conduction et celle de  $T_5$ . C'est ce que nous observons sur la tension de sortie.

De plus le courant dans la base de  $T_2$  diminuant, ce transistor se sature moins vite et retarde le blocage de  $T_3$ .

Donc comme nous l'avons noté au paragraphe II-1-1, l'impulsion de courant dans le collecteur de  $T_4$  augmente.

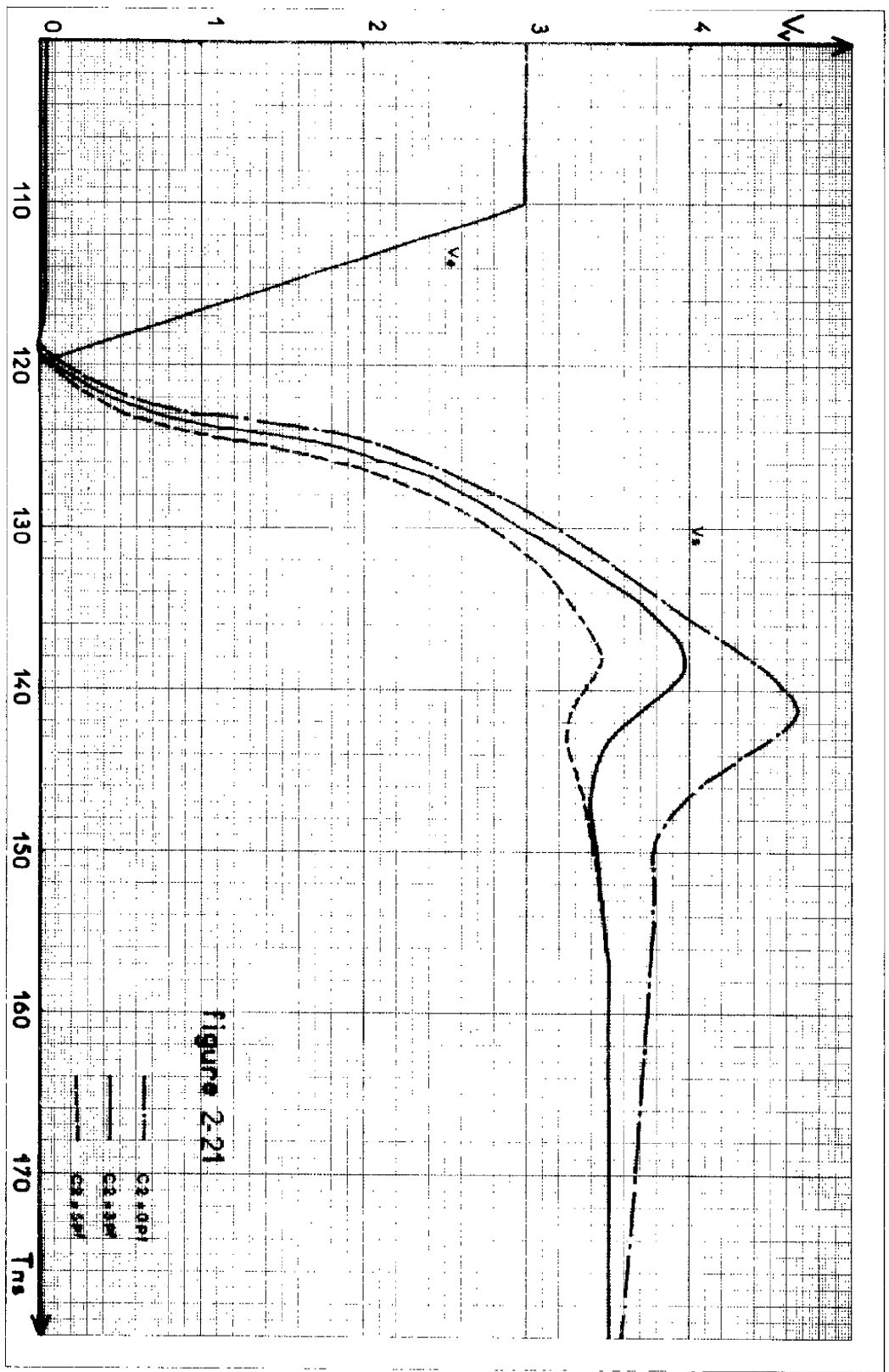
Cette capacité n'a par contre aucune influence sur la transition positive de la porte, excepté le fait que lorsque le multiémetteur entre en conduction, l'impulsion de courant qui passe dans son collecteur est plus importante. Elle est en effet la somme du courant inverse de base du transistor  $T_2$  et du courant de décharge de la capacité  $C_1$ .

### II-3-2 - Etude de la capacité parasite $C_2$

La capacité  $C_2$  représente la diode d'isolement du transistor  $T_2$ . Elle shunte à la fois le courant de base du transistor  $T_3$  et le courant de collecteur du transistor  $T_2$ . Elle a donc un effet très important sur les deux transitions.

Examinons tout d'abord son influence sur la transition négative de la sortie. Lorsque la sortie de la porte se trouve à son niveau statique haut, cette capacité est chargée par la tension d'alimentation. Dès que le transistor  $T_2$  entre en conduction, celle-ci se décharge très rapidement dans son collecteur et ainsi accélère la mise en conduction de  $T_5$ . Or, nous avons vu dans le paragraphe II-1-1 que le transistor  $T_4$  qui commençait à se bloquer, revient dans sa zone de fonctionnement active lorsque  $T_5$  devient passant. Donc ici,  $T_4$  revient plus tôt dans sa zone active : il a beaucoup plus de charge à éliminer lorsqu'il se décharge dans la résistance d'émetteur de  $T_3$ .

INFLUENCE DE LA CAPACITE PARASITE C2



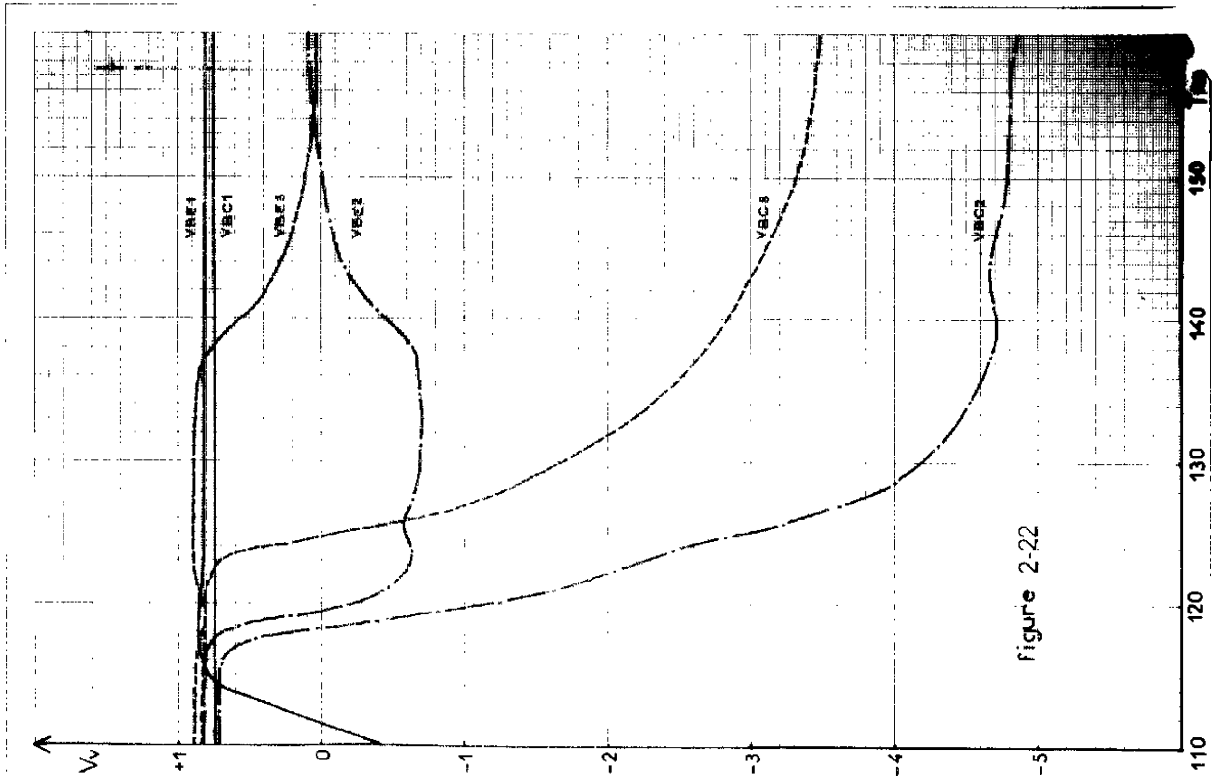


Figure 2-22

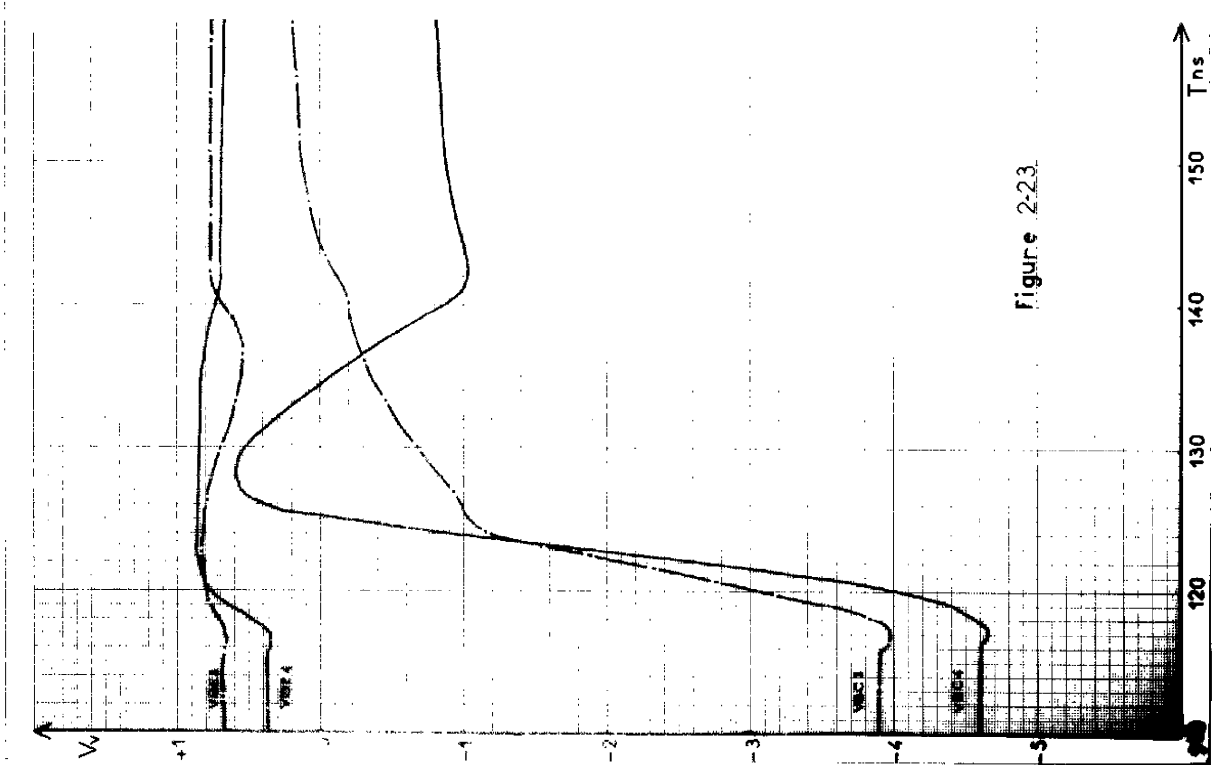


Figure 2-23

Nous avons vu sur la figure 2-11, que à partir de cet instant comme le transistor  $T_5$  est encore suffisamment passant, les deux transistors  $T_3$  et  $T_4$  se saturent très rapidement et les charges en excès stockées dans leur base déclanchent le phénomène réactif que nous avons analysé au paragraphe II-1-2.

Par contre sur la figure 2-23, la capacité  $C_2$  dérive une partie du courant de base du transistor  $T_3$  et ainsi retarde sa saturation.

En effet, le phénomène réactif est dû au fait que le transistor  $T_5$  ne se bloque pas instantanément. Donc le retard dans la mise en conduction de  $T_3$  et de  $T_4$  améliore le circuit.

Nous observons une diminution de la suroscillation et une baisse d'amplitude de la pointe de courant débité par l'alimentation.

La diminution d'amplitude de cette pointe de courant n'est cependant pas très importante (5 mA pour 5 pF) car, comme nous l'avons expliqué au paragraphe II-1-2, elle dépend surtout du fait que le transistor  $T_4$  se sature, ce qui est le cas dans les deux circuits.

#### II-4 - ETUDE D'UNE AUTRE CONFIGURATION DE CE CIRCUIT

Nous avons, au cours de ce chapitre, étudié le fonctionnement de la porte F8. Son principal inconvénient, pour un utilisateur, réside dans le phénomène réactif important qui apparaît au cours de sa transition positive.

Le programme nous a permis de l'analyser et nous avons conclu qu'il fallait :

- accélérer le blocage du transistor  $T_5$
- éviter que le transistor  $T_4$  ne se sature.

La porte du type Texas que nous avons représentée sur la figure 2-24 répond à ces deux impératifs. En effet, la résistance  $R'_2$  est ici de  $470\Omega$  alors qu'elle est de  $680\Omega$  sur la porte F8. Elle permet un courant inverse de base du transistor  $T_5$  plus important. Donc elle accélère le blocage de celui-ci.

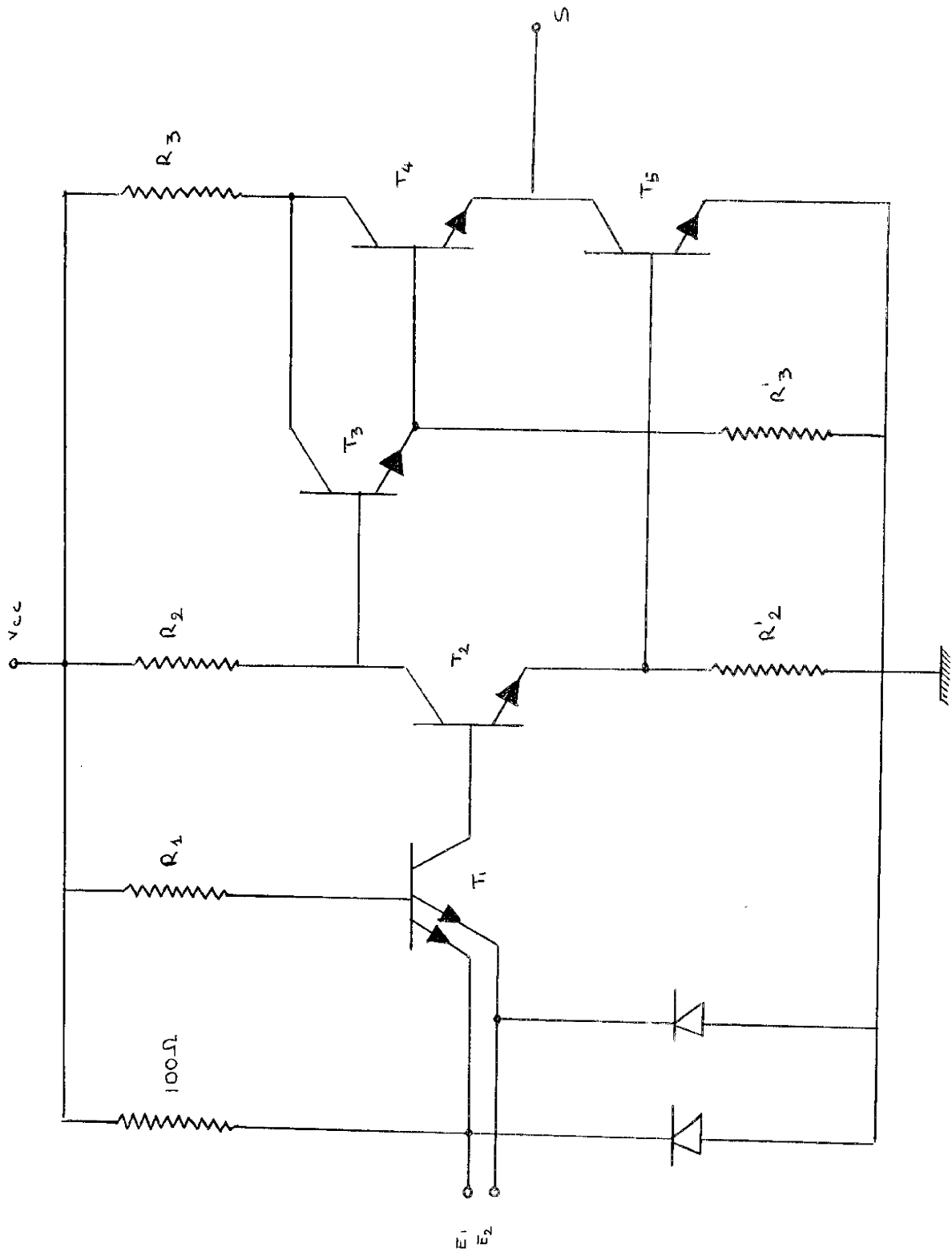


Figure II-24

Porte du type TEXAS

TRANSITION NEGATIVE DE LA SORTIE  
DE LA PORTE DE TYPE TEXAS

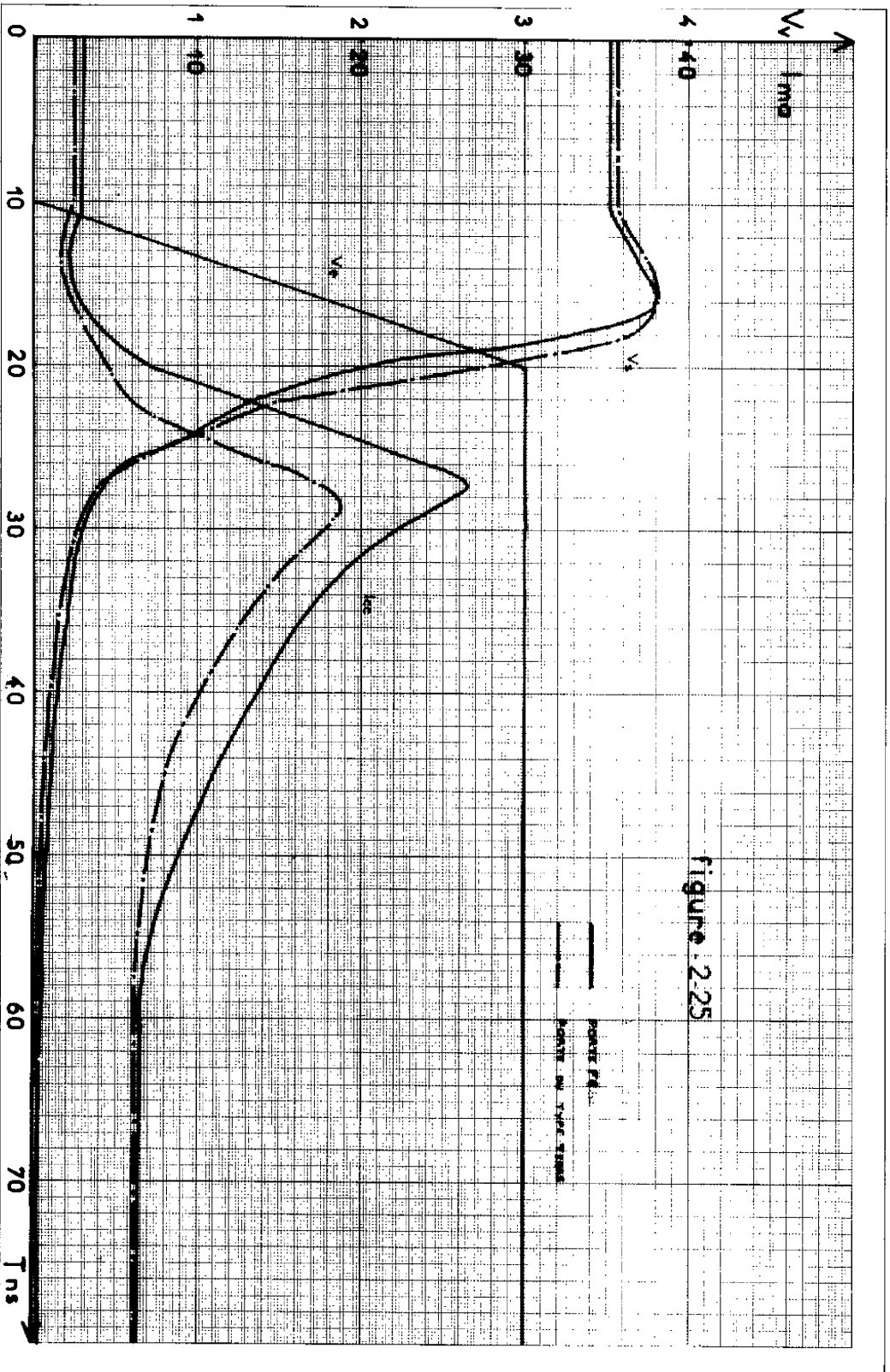


figure 2.25



D'autre part, les collecteurs des transistors  $T_3$  et  $T_4$  sont reliés et de ce fait le transistor  $T_4$  ne peut plus se saturer. Nous avons d'autre part, supposé que tous les composants actifs de ce circuit sont identiques à ceux de la porte F8.

Le programme nous a permis d'analyser ce circuit et de le comparer à la porte F8.

La différence entre les deux transitions négatives de sortie (figure 2-25) est peu importante. Elle résulte surtout, de la diminution de la résistance d'émetteur du transistor  $T_2$ .

Dans le circuit de type Texas, cette résistance est plus faible ; elle shunte une partie plus importante du courant de base du transistor  $T_5$  et ainsi retarde sa mise en conduction. La porte du type Texas est donc légèrement plus lente que la porte F8. Par contre l'impulsion de courant débité par l'alimentation est plus faible. Elle est limitée par le fait que le transistor  $T_5$  est retardé dans sa mise en conduction donc, le transistor  $T_4$  a évacué beaucoup plus de charge. D'autre part ce dernier ne peut se saturer.

Afin d'étudier le fonctionnement de cette nouvelle porte, lors de sa transition positive, nous avons tracé sur les figures 2-26 et 2-27 les tensions aux bornes des capacités des schémas équivalents des transistors ; comparons ces résultats à ceux des figures 2-10 et 2-11.

Le fonctionnement de ces deux circuits est le même jusqu'au moment où le transistor  $T_2$  se bloque. A partir de cet instant le courant de base inverse du transistor  $T_5$  se décharge dans la résistance  $R'_2$  qui est ici plus faible. Ce transistor se bloque donc plus rapidement.

Examinons maintenant sur la figure 2-27 le fonctionnement des transistors  $T_3$  et  $T_4$ .

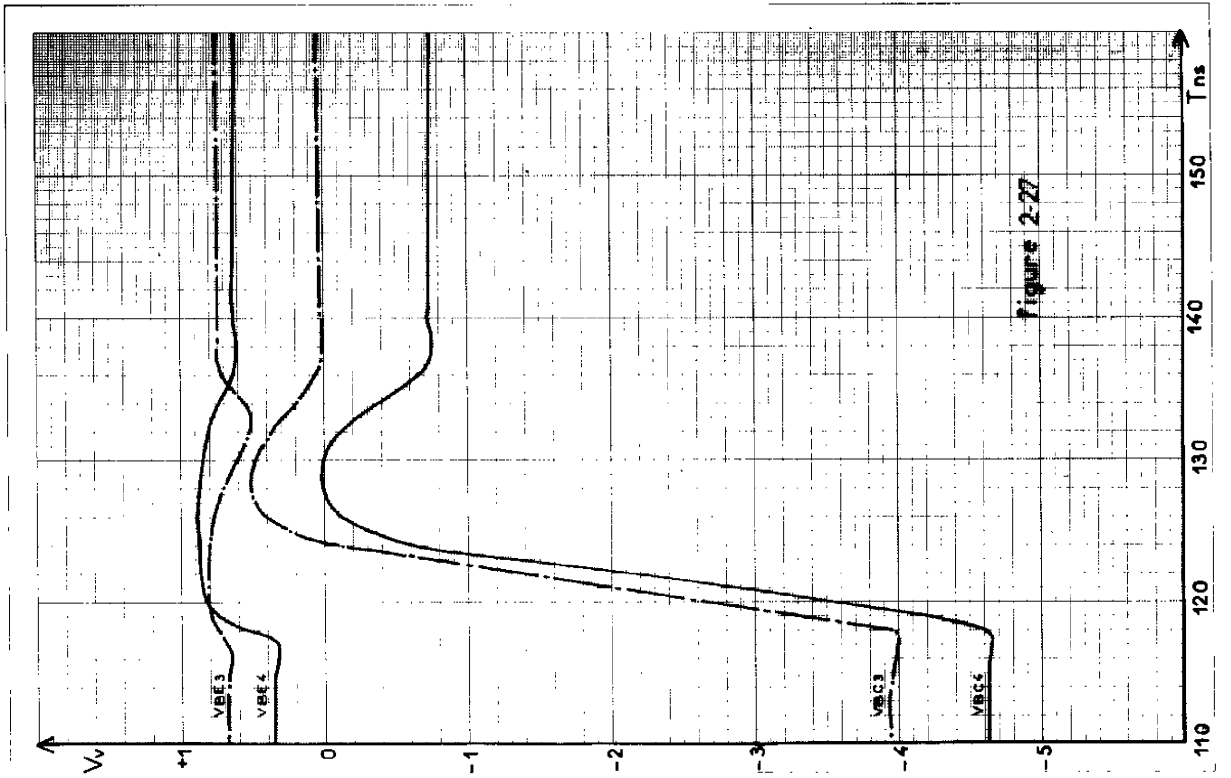


Figure 2-27

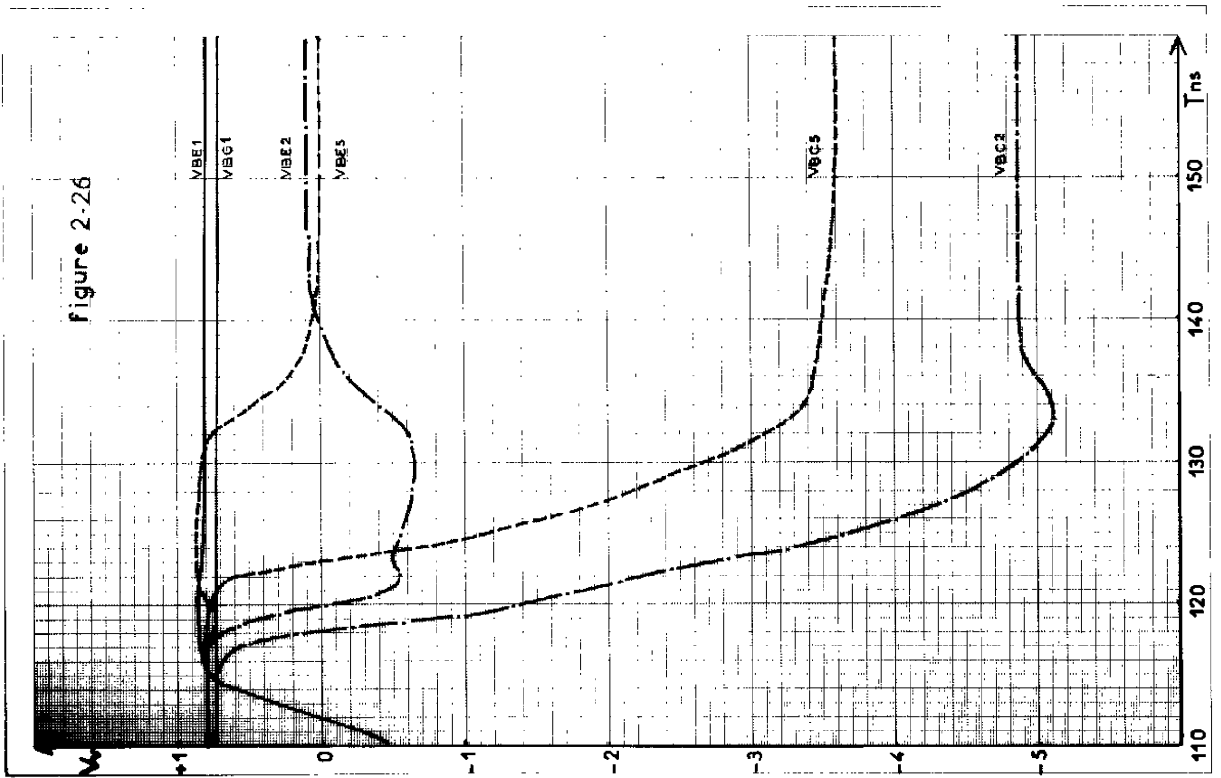
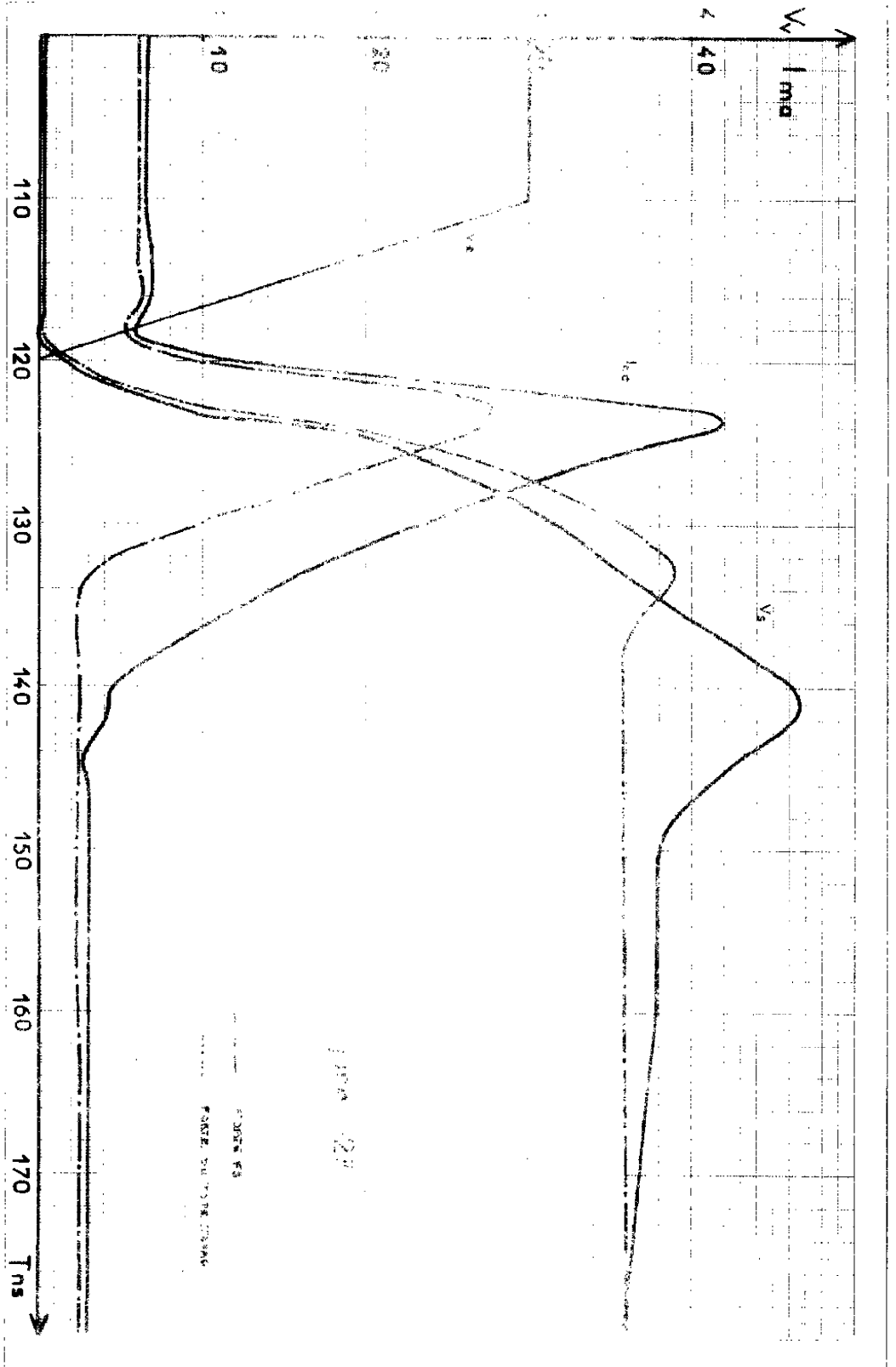


Figure 2-26



TRANSITION POSITIVE DE LA SORTIE

DE LA PORTE DE TYPE TEXAS

Dès que  $T_2$  se bloque, les transistors  $T_3$  et  $T_4$  commencent à conduire. Du fait de la configuration du schéma, la jonction émetteur base de  $T_3$  dépend des jonctions collecteur base de  $T_3$  et de  $T_4$ .

Les deux transistors  $T_3$  et  $T_4$  ont tendance à se saturer. Donc les potentiels aux bornes de leur jonction collecteur base augmentent. Le potentiel aux bornes de la jonction émetteur base de  $T_3$  diminue alors.

Le courant de base de  $T_4$  s'inverse, puis celui de  $T_3$ . Le transistor  $T_4$  n'étant pas saturé, élimine rapidement ses charges et le mécanisme est ensuite le même que pour la porte F8.

Nous avons représenté sur la figure 2-28, la tension de sortie et le courant débité par l'alimentation au cours de la transition positive de la sortie pour les deux types de circuit.

## CONCLUSION

Au cours de ce chapitre, nous avons présenté, une série d'études d'une porte logique intégrée de type T. T. L.

Le fonctionnement interne de ce circuit a été analysé, ainsi que l'influence des fronts de l'impulsion d'entrée, de la charge et de la tension d'alimentation.

Des comportements anormaux dus aux diodes d'isolement, ont été simulés.

Enfin, nous avons étudié une nouvelle configuration du circuit qui nous paraît meilleure, d'après les résultats de notre simulation.

Elle a été effectuée avec l'aide du programme de C. A. O., L. A. A. S. 1. Les composants actifs ont été représentés au moyen du schéma équivalent d'Ebers-Moll.

Une telle analyse ne se justifie que par une étroite collaboration entre électroniciens et utilisateurs de programme.

Les résultats des simulations doivent toujours être confirmés par des mesures expérimentales sur table.

Or ces mesures deviennent, chaque jour, plus délicates à effectuer du fait de la miniaturisation des circuits et de la diminution des temps de commutation.

La majeure partie de l'analyse d'un circuit devra se faire à l'aide d'un ordinateur. Le schéma équivalent doit donc être suffisamment proche de la physique, pour permettre une étude correcte.

Le schéma BIRD est à l'heure actuelle le modèle qui nous semble le mieux adapté aux problèmes de la conception assistée par ordinateur. Ce modèle représente parfaitement le comportement du transistor dans tous les régimes de fonctionnement. Ses paramètres s'expriment en particulier en fonction des dimensions géométriques des masques, ce qui en fait un outil remarquable de synthèse.

Cependant, comme nous le verrons au cours du chapitre III, ce modèle possède certaines particularités topologiques qui ne peuvent être traitées par les programmes classiques de C. A. O. Nous avons donc été amené à transformer notre programme en conséquence. Nous présentons ses principales caractéristiques au cours du chapitre III.

## CHAPITRE III

### SIMULATION DU SCHEMA BIRD LE PROGRAMME L.A.A.S. II

III-1 Le schéma BIRD

III-2 Le programme L.A.A.S. II

III-2-1 Généralités

III-2-2 Le système d'entrée sortie

III-2-3 Recherche de l'arbre propre capacitif

III-2-4 Elaboration des matrices topologiques

III-2-5 Formation des équations matricielles

III-2-5-1 Equations des résistances

III-2-5-2 Equations des capacités

III-2-5-3 Equations des inductances

III-2-6 L'intégration numérique

III-3 Remarques sur les schémas équivalents

III-4 Exemples de simulation à l'aide du programme L.A.A.S. II

III-4-1 Simulation d'un transformateur élévateur de tension

III-4-2 Simulation du transistor à l'aide du schéma BIRD

Conclusion



Dans les chapitres précédents, nous avons précisé l'aide que l'ordinateur peut apporter pour l'étude d'un circuit intégré. Nous avons montré que l'utilisation d'un schéma déductif pour simuler les composants actifs limite cette aide à une analyse du circuit.

Par contre, les problèmes de synthèse et d'optimisation nécessitent l'emploi d'un modèle inductif tel que le schéma BIRD.

Les méthodes de détermination des paramètres de BIRD n'étant pas toutes opérationnelles au début de notre travail, nous n'avons pas pu utiliser ce modèle pour la simulation de la porte F 8.

Ce schéma comporte certaines particularités topologiques qui font qu'il ne peut être traité ni par le programme L. A. A. S. I, ni par les programmes classiques de C. A. O. opérationnels à l'heure actuelle tel qu'IMAG II. Cela nous a conduit à transformer en conséquence notre programme. Nous avons saisi cette occasion pour augmenter ses possibilités afin de lui permettre de traiter d'autres problèmes et de simuler éventuellement d'autres modèles susceptibles d'être utilisés.

La nouvelle version du programme à laquelle nous avons abouti sera désignée sous le nom de L. A. A. S. II.

Le schéma BIRD est présenté dans ce chapitre où nous soulignons ses particularités topologiques.

Nous étudions ensuite le programme L. A. A. S. II et nous comparons sa mise en équations à celle des programmes L. A. A. S. I et IMAG II.

Enfin, nous avons pu utiliser une nouvelle version d'IMAG II, opérationnelle dans quelques mois, qui permet de simuler le schéma BIRD et nous discutons les résultats qu'elle nous a permis d'obtenir.



III - 1 - LE SCHEMA BIRD [2], [3], [4], [5].

Le schéma BIRD (BI dimensionnel en Régime Dynamique) représenté sur la figure III-1 est actuellement en étude dans l'équipe "Composants bipolaires" du Laboratoire d'Automatique et de ses Applications Spatiales du C. N. R. S. Il correspond à la version dynamique du schéma IBIS (Identification BI dimensionnelle Statique)

Comme ce dernier modèle, le schéma BIRD a été établi par identification inductive en prenant en considération, outre les phénomènes fondamentaux associés à l'effet transistor, les mécanismes suivants :

- Nature bidimensionnelle des phénomènes de conduction dans la zone active de base.
- Mécanismes de recombinaison superficiels
- Comportement des zones latérales passives de la structure.
- Comportement ohmique de la zone collecteur.

Tous les paramètres du schéma sont, soit des paramètres étroitement liés à la technologie, c'est en particulier le cas de tous ceux qui dépendent des phénomènes de surface, soit directement reliés aux caractéristiques physiques et géométriques de la structure.

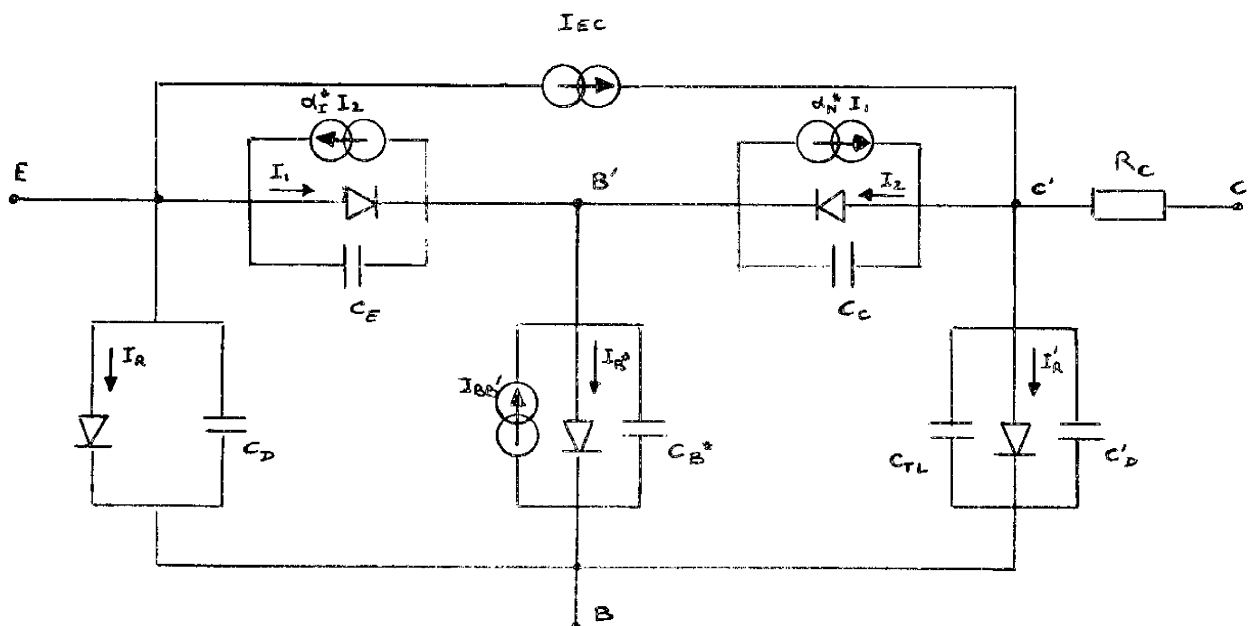


Figure III-1

Nous allons exposer brièvement les principales caractéristiques de ce modèle, dans le cas d'une structure P N P, en signalant les paramètres qui dépendent directement des dimensions du composant.

- Jonction émetteur base active :

$$I_1 = J_{S1} \cdot A_E \cdot \left( \exp\left(\frac{V_{EB'}}{U_T}\right) - 1 \right) \quad (\text{III-1})$$

$A_E$  est la surface de l'émetteur.

- Jonction collecteur base active :

$$I_2 = J_{S2} \cdot A_E \cdot \left( \exp\left(\frac{V_{C'B'}}{U_T}\right) - 1 \right) \quad (\text{III-2})$$

- Mécanismes de recombinaison superficiels émetteur base :

$$I_R = J_{SR} \cdot P_E \cdot \left( \exp\left(\frac{V_{EB}}{n_s U_T}\right) - 1 \right) \quad (\text{III-3})$$

$P_E$  est le périmètre de l'émetteur.

$J_{SR}$  et  $n_s$  dépendent de la variation des propriétés de surface. Sur une même plaquette, on obtient la relation :

$$J_{SR} = \gamma \exp\left(\frac{\xi}{n_s}\right)$$

$\gamma$  et  $\xi$  sont des constantes qui dépendent de cette plaquette.

- Mécanismes de recombinaison superficiels collecteur base :

$$I'_R = I'_{SR} \left( \exp\left(\frac{V_{B'C'}}{n'_s U_T}\right) - 1 \right) \quad (\text{III-4})$$

avec  $I'_{SR} = k_1 \cdot (A_C - A_E)$  si  $n'_s = 1$

et  $I'_{SR} = k_2 \cdot P_C$  si  $n'_s \neq 1$

$A_C$  et  $P_C$  sont respectivement la surface et le périmètre du collecteur.

- Mécanisme de focalisation délocalisation :

$$I_B^* = I_{SB} \left( \exp\left(\frac{V_{B'B}}{U_T}\right) - 1 \right) \quad (\text{III-5})$$

avec 
$$I_{SB} = \frac{8\pi W_B U_T}{\rho}$$

Pour une géométrie circulaire

et 
$$I_{SB} = \frac{12 W_B h U_T}{\rho l}$$

pour une géométrie rectangulaire

$W_B$  est l'épaisseur de la base active,  $\rho$  la résistivité moyenne de la base active.  $l$  et  $h$  sont les dimensions de la fenêtre de diffusion de l'émetteur.

- Effet transistor dans le sens normal de fonctionnement

$$\alpha_{NO}^* \cdot I_1 \quad (\text{III-6})$$

- Effet transistor dans le sens inverse de fonctionnement.

$$\alpha_{IO}^* \cdot I_2 \quad (\text{III-7})$$

- Effets liés à la modulation de la largeur de base par les tensions appliquées (effet Early).

Ils sont représentés par des sources de courant :

$$I_{EC} = I'_S \cdot \left( \exp\left(\frac{V_{EB}}{U_T}\right) - \exp\left(\frac{V_{CB}}{U_T}\right) \right) \quad (\text{III-8})$$

et 
$$I_{BB'} = I'_S \cdot \left( \frac{\exp\left(\frac{V_{EB'}}{U_T}\right) - 1}{\beta_{NO}^*} + \frac{\exp\left(\frac{V_{CB'}}{U_T}\right) - 1}{\beta_{IO}^*} \right) \quad (\text{III-9})$$

dans laquelle  $\beta_{NO}^* = \frac{\alpha_{NO}^*}{1 - \alpha_{NO}^*}$   $\beta_{EO}^* = \frac{\alpha_{EO}^*}{1 - \alpha_{EO}^*}$

et 
$$I'_S = A_E \cdot J'_S = A_E \cdot q \cdot n_i^2 \cdot D_p \left[ \frac{1}{\int_{w_1}^{w_2} N_D(w) dw} - \frac{1}{\int_{w_B(0)} N_D(w) dw} \right]$$

- comportement résistif de la zone de collecteur :

$$R_C = R_{CO} \cdot \frac{1 + \frac{I_B^*}{I_{SB}}}{1 + k \cdot \exp\left(\frac{V_{EC'}}{V_T}\right)} \quad (III-10)$$

avec  $R_{CO} = \rho_c \frac{W_C}{A_E}$

$W_C$  est l'épaisseur de la zone résistive du collecteur : dans le cas de transistor épitaxié  $W_C$  est l'épaisseur de la couche épitaxiale.

- Capacité de transition de la jonction émetteur base active

$$C_{TE} = \frac{C_{OE}}{\left(1 + \frac{V_{EB'}}{V_{OE}}\right)^{M_E}} \quad (III-11)$$

elle est proportionnelle à la surface de l'émetteur  $A_E$ .

- Capacité de stockage dans le régime normal de fonctionnement :

$$C_{DN} = \frac{I_1}{V_T} \cdot \tau_N \quad (III-12)$$

Sur le schéma de la figure III-1, nous avons :  $C_E = C_{TE} + C_{DN}$

- Capacité de transition de la jonction collecteur base active :

$$C_{TC} = \frac{C_{OC}}{\left(1 + \frac{V_{C'B'}}{V_{OC}}\right)^{M_C}} \quad (III-13)$$

elle est proportionnelle à la surface de l'émetteur  $A_E$ .

- Capacité de stockage dans le régime inverse de fonctionnement.

$$C_{DI} = \frac{I_2}{U_T} \cdot \zeta_I \quad (\text{III-14})$$

sur le schéma de la figure II-1, nous avons :  $C_C = C_{TC} + C_{DI}$

- Capacité de la jonction latérale émetteur base passive :

$$C_D = \frac{\zeta_P \cdot I_{SD} \cdot I_C}{2 \cdot U_T \cdot \alpha_N^* \cdot I_{SB}} \left( 1 + \frac{I_{B^*}}{I_{SB}} \right) \quad (\text{III-15})$$

- Capacité de la jonction latérale collecteur base passive :

$$C'_D = \frac{I_L}{U_T} \cdot \zeta_{I'} \quad (\text{III-16})$$

- Capacité de la zone de base :

$$C_{B^*} = \frac{C_E + C_C}{4} \quad (\text{III-17})$$

elle est proportionnelle à  $A_E$ .

- Capacité de transition de la zone collecteur base passive :

$$C_{TL} = \frac{(A_C - A_E)}{A_E} \cdot C_{TC} \quad (\text{III-18})$$

Afin de faciliter la programmation du schéma BIRD sur ordinateur, nous avons regroupé les capacités qui se trouvent en parallèle ; nous avons opéré de la même manière avec les diodes et les injecteurs de courant.

On obtient ainsi le modèle de la figure III-2 qui comprend :

- 6 sources de courant définies par des équations non linéaires.
- 5 capacités définies par des équations non linéaires et formant 2 boucles capacitives.
- 1 résistance variable.

Donc, pour qu'un programme de C.A.O. puisse simuler le schéma BIRD, il faut que son système de mise en équations permette de traiter ces particularités.

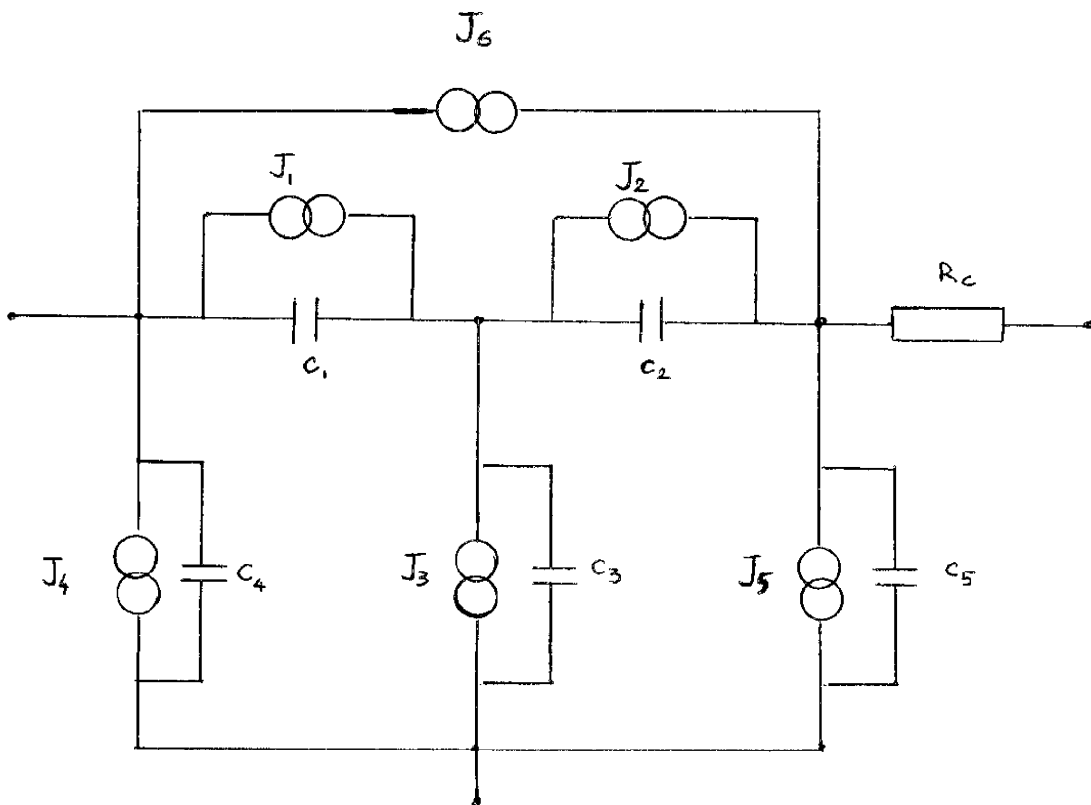


Figure III-2

Le programme IMAG II [10], [11], [12] analyse des circuits contenant :

- des résistances variables, mais celles-ci doivent comporter un chemin capacitif entre leurs bornes.
- des boucles capacitives, mais elles doivent être constituées uniquement de capacités de valeur constante.

Le programme L.A.A.S. I [1] ne traite ni les résistances variables, ni les boucles de capacités. De plus, les sources de courant introduites dans ce programme doivent toutes être placées en parallèle sur une capacité ; ce n'est pas le cas de la source de courant  $J_6$  du schéma de la figure III-2.

Nous avons donc transformé notre programme. Nous l'avons tout d'abord amélioré par rapport à IMAG II en lui permettant de simuler.

- toutes les résistances variables.
- les boucles de capacités variables.
- les coupures d'inductances variables.
- les boucles de capacités et de sources de tension variables.
- les coupures d'inductances et de sources de courant variables.

Nous l'avons amélioré par rapport à L.A.A.S. I en lui permettant de simuler, outre les particularités que nous venons de citer :

- les inductances
- toutes les sources de courant
- toutes les sources de tension.

Nous allons présenter maintenant ce nouveau programme L.A.A.S. II en comparant ses différentes parties au programmes L.A.A.S. I et IMAG II.

### III - 2 - LE PROGRAMME L.A.A.S. II [13]

#### III-2-1 Généralités.

A l'encontre de programmes généraux tel qu'IMAG II qui dispose en

particulier des options :

- analyse en continu.
- analyse en alternatif.
- analyse transitoire.
- sensibilité.

le programme L. A. A. S. II est un programme spécifique. Il ne traite que l'analyse transitoire des circuits électroniques et donne à chaque instant la valeur de tous les courants et de toutes les tensions de ceux-ci.

Ces circuits ne doivent comprendre que des éléments tels que résistances, capacités, inductances, sources de tension et sources de courant.

Il peuvent être soit des constantes, soit décrits par des équations linéaires ou non linéaires.

Les composants actifs - diode, transistor, multiémetteur, transistor M. O. S.- doivent être remplacés par un schéma équivalent formé des éléments ci-dessus.

La structure du programme est modulaire, ce qui n'est pas le cas de L. A. A. S. I :

Les différentes parties du programme sont disposées dans des sous programmes, ce qui favorise la transformation rapide du programme en fonction de besoins particuliers. Citons, à titre d'exemple, le sous programme contenant les équations du modèle d'Ebers Moll et celui du schéma BIRD.

La méthode d'analyse employée est la méthode mixte : la méthode des mailles pour les branches capacitives et la méthode des cut-sets pour les branches inductives.

Cette méthode a l'avantage de transformer les équations du circuit analysé en un système d'équations différentielles du premier ordre.

Ce système est décrit en fonction des variables d'état.



- tensions aux bornes des capacités de l'arbre et courants dans les maillons inductifs. -

Toutes les variables du circuit sont fonction, à un instant donné, du vecteur d'état et de la commande

Une méthode d'intégration numérique permet de calculer la valeur du vecteur d'état à l'instant suivant.

Le programme peut se décomposer en cinq parties fondamentales que nous allons exposer successivement :

- 1 - Le système d'entrée sortie.
- 2 - La recherche de l'arbre propre capacitif.
- 3 - L'élaboration des matrices topologiques.
- 4 - La formation des équations matricielles.
- 5 - L'intégration numérique.

### III-2-2 Le système d'entrée sortie.

Avec le système d'entrée sortie, apparaît un compromis classique en programmation qui est celui de la facilité de communication homme-machine et du nombre de places en mémoire.

Le système d'entrée sortie d'IMAG II est très facile à utiliser ; c'est d'ailleurs cette caractéristique qui fait de lui le meilleur programme de C.A.O. européen. Par contre coup, il emploie à cette fin un grand nombre de places en mémoire : ce système représente environ le tiers du programme total.

Le programme L.A.A.S. II n'emploie que peu de mémoire, ce qui lui permet d'être facilement adapté sur de petits ordinateurs.

Par contre, il nécessite beaucoup plus d'attention et une certaine expérience de la part de son utilisateur.

Le système d'entrée comprend des cartes indiquant la topologie du circuit, une par branche du réseau, sur lesquelles sont notés :

- la nature de l'élément.
- le numéro du noeud par lequel entre le courant fictif imposé à cette branche.
- le numéro du noeud par lequel sort ce courant.
- un numéro permettant l'identification de l'équation correspondant à cet élément si celui-ci est variable.
- la valeur de cet élément s'il est constant.

Il comprend en outre des cartes particulières donnant la valeur des paramètres des composants actifs (diodes, transistor) et la valeur des éléments variables avec le temps.

Le système de sortie se présente sous la forme d'une liste de toutes les tensions et de tous les courants à chaque intervalle de temps choisi.

Nous pouvons aussi obtenir une représentation sous forme de courbe d'un courant ou de la tension entre deux points quelconques du schéma en fonction du temps.

### III-2-3 Recherche de l'arbre propre capacitif.

Les variables d'état sont les tensions aux bornes des branches capacitives de l'arbre du graphe et les courants dans les maillons inductifs.

L'ordre de complexité d'un tel système, c'est-à-dire le nombre de variables d'état est égal au nombre total de branches capacitives et inductives, diminué du nombre de boucles capacitives et de coupures selfiques.

Nous appelons boucle capacitive une portion du circuit sur laquelle on peut appliquer la loi des mailles de Kirchoff et qui ne comprend que des branches capacitives ou sources de tension

Nous appelons coupure selfique une portion isolée de circuit sur laquelle on peut appliquer la loi des noeuds de Kirchoff et qui ne comprend que des branches inductives ou sources de courant

En raison de cette mise en équations particulière, il ne nous est pas permis de prendre n'importe quel arbre du graphe. Nous devons rechercher "l'arbre propre capacitif", c'est-à-dire celui qui contient :

- le plus de branches capacitives.
- le moins de branches inductives.
- toutes les branches sources de tension.
- aucune branche source de courant.

L'algorithme utilisé pour sa recherche consiste à former des "sous arbres" : chaque fois que l'on relie deux branches entre elles sans former une boucle on forme un sous arbre.

Si une branche relie deux noeuds de deux sous-arbres distincts, ceux-ci ne forment plus qu'un seul sous arbre.

Dès qu'une nouvelle branche a déjà ses deux noeuds qui appartiennent au même sous arbre, elle est écartée : c'est un maillon.

Comme nous le constatons sur l'organigramme de la figure III-3, si nous testons les branches dans le sens, source de tension, capacité, résistance, inductance, source de courant, nous aurons nécessairement trouvé l'arbre propre désiré, s'il existe.

Si cet arbre ne peut être trouvé, parcequ'il faudrait qu'il contienne par exemple, une source de courant, un message d'erreur nous informe aussitôt.

#### III-2-4 Elaboration des matrices topologiques [9].

Ces matrices sont déterminées à partir de la matrice des mailles  $[B]$  et de la matrice des cut-sets  $[Q]$ .

Associées au vecteur tension de branches  $|V|$  et courant de branches  $|I|$ , ces deux matrices nous donnent les lois de Kirchoff, soit :

$$[Q] \cdot |I| = 0 \quad (\text{III-19})$$

$$[B] \cdot |V| = 0 \quad (\text{III-20})$$

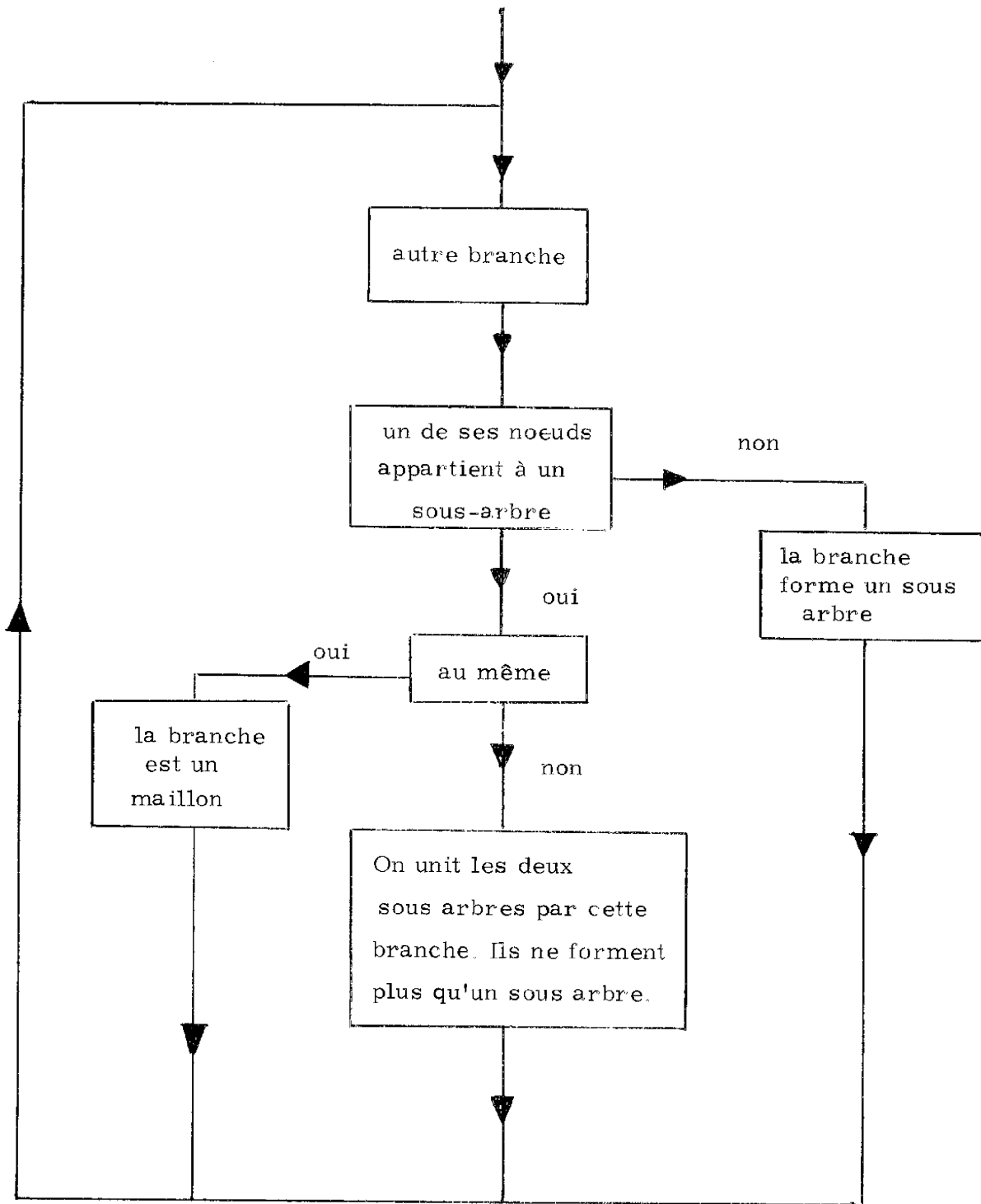


Figure III-3

Après avoir déterminé sur le graphe, l'arbre propre capacitif, nous pouvons écrire les lois des mailles de la manière suivante :

$$\begin{bmatrix} U & F \end{bmatrix} \cdot \begin{bmatrix} V_M \\ V_A \end{bmatrix} = 0 \quad (\text{III-21})$$

dans laquelle :

U représente la matrice unité.

$V_A$  le vecteur tension de branches de l'arbre.

$V_M$  le vecteur tension des maillons.

F est la matrice topologique que nous avons à déterminer.

En effet, d'après la relation

$$\begin{bmatrix} Q \end{bmatrix} \cdot \begin{bmatrix} B \end{bmatrix}^T = 0 \quad (\text{III-22})$$

l'équation (III-19) peut s'écrire au moyen de cette matrice  $[F]$ , soit :

$$\begin{bmatrix} -F^T & U \end{bmatrix} \cdot \begin{bmatrix} I_M \\ I_A \end{bmatrix} = 0 \quad (\text{III-23})$$

dans laquelle  $I_M$  est le vecteur courant dans les maillons.

$I_A$  est le vecteur courant dans les branches de l'arbre.

Nous devons donc déterminer la matrice F.

Le nombre de colonnes de cette matrice est égal à celui des branches de l'arbre, son nombre de lignes à celui des mailles indépendantes, c'est-à-dire à celui des maillons.

Il y a donc une colonne associée à chaque branche de l'arbre et une ligne associée à chaque maillon.

Un élément de la matrice F (i, j) prend la valeur 0, + 1 ou - 1, suivant que, en formant la maille correspondant au ième maillon, la jème branche n'appartient pas à cette maille, a le même sens de courant fictif que le ième maillon, a un sens opposé.

Cette matrice se forme ligne par ligne en ajoutant aux branches de l'arbre, le maillon correspondant à cette ligne. Nous éliminons les branches de l'arbre qui n'appartiennent pas à cette maille : elles donnent lieu à un élément nul dans la colonne correspondante. Il ne nous reste plus que les branches appartenant à la maille qui, suivant le sens de leur courant fictif par rapport à celui du maillon, nous donne la valeur + 1 ou - 1.

Après avoir obtenu la matrice  $F$ , nous écrivons respectivement les équations III-21 et III-23 de la manière suivante :

$$V_M = -F \cdot V_A \quad (\text{III-24})$$

et 
$$I_A = F^T \cdot I_M \quad (\text{III-25})$$

Ainsi connaissant toutes les tensions aux bornes des branches de l'arbre, nous en déduisons les tensions aux bornes des maillons et connaissant tous les courants de maillons, nous en déduisons tous les courants de branche de l'arbre : c'est la méthode mixte.

Afin de faciliter la programmation du système, nous décomposons la matrice  $F$  et les vecteur  $V_A$ ,  $V_M$ ,  $I_A$ , et  $I_M$  de la manière suivante :

L'indice 1 représente les capacités de maillons.

L'indice 2 représente les résistances de maillons.

L'indice 3 représente les inductances de maillons.

L'indice 4 représente les capacités de branches de l'arbre.

L'indice 5 représente les résistances de branches de l'arbre.

L'indice 6 représente les inductances de branches de l'arbre.

L'indice 7 représente les sources de tensions de l'arbre.

L'indice 8 représente les sources de courant de maillons.

Avec cette notation les variables d'état du système sont les vecteurs  $V_4$  et  $I_3$ .

La matrice  $F$  se décompose ainsi :

$$\begin{bmatrix} F_{17} & F_{14} & 0 & 0 \\ F_{27} & F_{24} & F_{25} & 0 \\ F_{37} & F_{34} & F_{35} & F_{36} \\ F_{87} & F_{84} & F_{85} & F_{86} \end{bmatrix}$$

Les sous matrices de la première ligne, correspondant à l'indice 1, représentent les capacités de maillons. Elles ne peuvent former de mailles, comme nous l'avons supposé, qu'avec des capacités ou des sources de tensions, donc nous avons toujours :

$$F_{15} = 0 \quad \text{et} \quad F_{16} = 0$$

Dans le programme IMAG II, nous aurions de plus  $F_{17} = 0$  : en effet; les boucles de capacités et de sources de tension ne sont pas traitées par ce programme.

Les sous matrices de la quatrième colonne correspondant à l'indice 6, représentent les inductances des branches de l'arbre. Elles ne peuvent former de coupures, comme nous l'avons supposé, qu'avec des inductances et des sources de courant, donc nous avons toujours :

$$F_{16} = 0 \quad \text{et} \quad F_{26} = 0$$

Dans le programme IMAG II, nous aurions de plus  $F_{86} = 0$  :

En effet, les coupures d'inductances et de sources de courant ne sont pas traitées par ce programme.

Le programme L. A. A. S. I lui, ne contient que les matrices

$$F_{24}, F_{25}, F_{27} \text{ et } F_{84}$$

L'équation (III-24) se décompose de la manière suivante :

$$\begin{aligned}
 \text{(III-26-C)} \quad V_1 &= -F_{17} \cdot V_7 - F_{14} \cdot V_4 \\
 \text{(III-26-R)} \quad V_2 &= -F_{27} \cdot V_7 - F_{24} \cdot V_4 - F_{25} \cdot V_5 \\
 \text{(III-26-L)} \quad V_3 &= -F_{37} \cdot V_7 - F_{34} \cdot V_4 - F_{35} \cdot V_5 - F_{36} \cdot V_6 \\
 \text{(III-26-J)} \quad V_8 &= -F_{87} \cdot V_7 - F_{84} \cdot V_4 - F_{85} \cdot V_5 - F_{86} \cdot V_6
 \end{aligned}$$

et l'équation (III-25) :

$$\begin{aligned}
 \text{(III-27-E)} \quad I_7 &= F_{17}^T \cdot I_1 + F_{27}^T \cdot I_2 + F_{37}^T \cdot I_3 + F_{87}^T \cdot I_8 \\
 \text{(III-27-C)} \quad I_4 &= F_{14}^T \cdot I_1 + F_{24}^T \cdot I_2 + F_{34}^T \cdot I_3 + F_{84}^T \cdot I_8 \\
 \text{(III-27-R)} \quad I_5 &= F_{25}^T \cdot I_2 + F_{35}^T \cdot I_3 + F_{85}^T \cdot I_8 \\
 \text{(III-27-L)} \quad I_6 &= F_{36}^T \cdot I_3 + F_{86}^T \cdot I_8
 \end{aligned}$$

### III - 2 - 5 Formation des équations matricielles [9]

Il faut maintenant déterminer les équations matricielles, c'est-à-dire en utilisant les équations (III-26), (III-27) et la loi d'Ohm, calculer la valeur de tous les courants et de toutes les tensions en fonction du vecteur d'état  $\begin{bmatrix} V_4 \\ I_3 \end{bmatrix}$  de la commande  $\begin{bmatrix} V_7 \\ I_8 \end{bmatrix}$  et de  $\begin{bmatrix} V_7 \\ I_8 \end{bmatrix}$  qui peut être soit fonction de la commande, soit fonction du vecteur d'état.

#### III - 2 - 5 - 1 Equations des Résistances.

Elles nous permettent de déterminer  $I_2, I_5, V_2, V_5$ .

Ecrivons la loi d'Ohm pour les résistances de branches de l'arbre et pour les résistances de maillons

$$\begin{bmatrix} V_5 \end{bmatrix} = [R_A] \cdot \begin{bmatrix} I_5 \end{bmatrix} \quad \text{(III-28)}$$

$$\begin{bmatrix} V_2 \end{bmatrix} = [R_M] \cdot \begin{bmatrix} I_2 \end{bmatrix} \quad \text{(III-29)}$$



$R_A$  et  $R_M$  sont des matrices diagonales (en l'absence de source contrôlée) qui ont pour valeurs celles des résistances de maillons et celles des branches de l'arbre.

En utilisant les équations (III-28), (III-29), (III-26-R) et (III-27-R) nous obtenons la valeur du vecteur  $I_2$  :

$$I_2 = R^{-1} \cdot \left[ -F_{24} \cdot V_4 - F_{25} \cdot R_A \cdot \left[ F_{35}^T \cdot I_3 + F_{85}^T \cdot I_8 \right] - F_{27} \cdot V_7 \right] \quad (\text{III-30})$$

dans laquelle :

$$R = R_M + F_{25} \cdot R_A \cdot F_{25}^T \quad (\text{III-31})$$

connaissant  $I_2$ , on calcule  $I_5$ ,  $V_5$  et  $V_2$  avec les équations (III-27-R), (III-28) et (III-29).

Si toutes les résistances du circuit ont des valeurs constantes, il suffit d'inverser une fois la matrice  $R$ .

Par contre, si cette matrice contient une seule résistance variable, nous devons inverser celle-ci à chaque itération.

Ceci augmente le temps de calcul de la simulation. C'est pour cette raison que de telles résistances ne sont pas traitées par le programme IMAG II.

Le programme L.A.A.S. II comporte une autre particularité, relative aux équations des résistances :

Les dimensions de la matrice  $R$  que nous avons à inverser ici sont égales au nombre de résistances de maillons.

Comme nous avons toujours intérêt à inverser des matrices de taille aussi réduite que possible, si le nombre de résistances des branches de l'arbre est inférieur à celui des résistances de maillons, les équations sont formulées de la façon suivante :

$$|I_2| = [G_M] \cdot |V_2| \quad (\text{III-32})$$

et  $|I_5| = [G_A] \cdot |V_5| \quad (\text{III-33})$

$G_M$  et  $G_A$  sont respectivement les matrices des conductances de maillons et de branches de l'arbre.

Nous calculons maintenant  $V_5$  :

$$V_5 = G^{-1} \cdot \left[ F_{25}^T \cdot G_M \cdot \left[ -F_{24} \cdot V_4 - F_{27} \cdot V_7 \right] + F_{35}^T I_3 + F_{65}^T I_6 \right] \quad (\text{III-34})$$

dans laquelle :

$$G = G_A + F_{25}^T \cdot G_M \cdot F_{25} \quad (\text{III-35})$$

Ainsi les dimensions de la matrice à inverser sont maintenant égales au nombre de résistances de branches de l'arbre. Un test à l'intérieur du programme aiguille la formulation vers les premières ou les secondes.

Remarquons que les matrices  $R_A$  et  $R_M$  étant diagonales, leur inversion est triviale.

#### III-2-5-2 Equations des capacités.

Le vecteur  $V_4$  est une variable d'état, il est connu à chaque pas d'intégration. Par contre, nous devons calculer les vecteurs  $V_1$ ,  $I_4$  et  $I_1$  en fonction des vecteurs  $V_4$ ,  $I_3$ ,  $V_7$ ,  $I_8$  et des vecteurs maintenant connus :  $V_5$ ,  $I_5$ ,  $V_2$  et  $I_2$ .

Enfin du vecteur  $I_4$ , nous tirons  $\dot{V}_4$  qui est intégré pour initialiser le nouveau passage dans la formulation.

Calculons  $I_1$  en fonction des relations courant-tension aux bornes des branches capacitives.

$$|I_4| = [C_A] \cdot |\dot{V}_4| \quad (\text{III-36})$$

$$|I_1| = [C_M] \cdot |\dot{V}_1| \quad (\text{III-37})$$

et de l'équation (III-26-C) dérivée par rapport au temps.

$C_A$  représente la matrice diagonale des capacités de branches de l'arbre.

$C_M$  représente la matrice diagonale des capacités de maillons.

Nous obtenons :

$$I_1 = S^{-1} \left[ -F_{14} \cdot C_A^{-1} \left[ F_{24}^T \cdot I_2 + F_{34}^T \cdot I_3 + F_{84}^T \cdot I_8 \right] - F_{17} \cdot \dot{V}_7 \right] \quad (\text{III-38})$$

dans laquelle :

$$S = C_M^{-1} + F_{14} \cdot C_A^{-1} \cdot F_{14}^T \quad (\text{III-39})$$

Nous tirons ensuite  $V_1$  de l'équation (III-26-C)

$I_4$  de l'équation (III-27-C) et  $\dot{V}_4$  de (III-36)

Remarques :

1 - Si le circuit ne contient pas de boucles de capacités, autrement dit, si les vecteurs  $I_1$  et  $V_1$  sont nuls, la matrice S n'intervient pas dans le calcul : elle n'est pas inversée. C'est l'hypothèse qui a été retenue lors de l'élaboration de L. A. A. S. I [1].

2 - Si le circuit à analyser ne contient pas de capacités variables dans ses boucles capacitatives,  $C_M$  est constituée uniquement de capacités de valeurs constantes et les capacités variables de la matrice  $C_A$ , si elles existent, correspondent à des éléments nuls de la matrice  $F_{14}$ . Donc il suffit d'inverser une seule fois la matrice S. C'est l'hypothèse qui a été retenue lors de l'élaboration du programme IMAG II [12].

3 - Si les boucles capacitatives du circuit à analyser contiennent au moins une capacité variable, comme c'est le cas dans le schéma BIRD, la matrice S doit être inversée à chaque pas.

Cette hypothèse a été prévue dans le programme L. A. A. S. II [13].

4 - Lorsqu'on calcule le vecteur  $I_1$ , on doit aussi connaître les dérivées des sources de tension,  $\dot{V}_7$ , à moins que la matrice  $F_{17}$  soit nulle, c'est-à-dire que les boucles capacitatives ne contiennent pas de sources de tension. Le programme L. A. A. S. II permet ces deux options.

Le programme IMAG II a pris par hypothèse  $F_{17} = 0$  ; en conséquence il ne traite pas ce problème.

### III -2-5-3 Equations des inductances.

Le vecteur  $I_3$  est une variable d'état, il est connu à chaque pas. Par contre, nous devons calculer  $I_6$ ,  $V_3$  et  $V_6$  puis le vecteur  $\dot{I}_3$  que nous devons intégrer.

Nous calculons  $V_6$  en fonction des relations courant-tension aux bornes des branches inductives.

$$\left| V_3 \right| = \left[ L_M \right] \cdot \left| \dot{I}_3 \right| \quad (\text{III-40})$$

$$\left| V_6 \right| = \left[ L_A \right] \cdot \left| \dot{I}_6 \right| \quad (\text{III-41})$$

et de l'équation (III-27-L) dérivée par rapport au temps.

$L_M$  représente la matrice des inductances de maillons.

$L_A$  représente la matrice des inductances de branches de l'arbre.

Nous obtenons :

$$V_6 = M_L^{-1} \left[ F_{36}^T \cdot L_M^{-1} \left[ -F_{34} V_4 - F_{35} V_5 - F_{37} V_7 \right] + F_{85}^T \dot{I}_8 \right] \quad (\text{III-42})$$

avec

$$M_L = L_A^{-1} + F_{36}^T \cdot L_M^{-1} \cdot F_{36} \quad (\text{III-43})$$

$V_3$  est ensuite déduit de l'équation (III-26-L),  $I_6$  de l'équation (III-27-L) et  $I_3$  de l'équation (III-40)

Remarques :

1 - Si le circuit à analyser ne contient pas de coupures d'inductances autrement dit, si les vecteurs  $I_6$  et  $V_6$  sont nuls, la matrice  $M_L$  n'intervient pas dans le calcul. Elle n'est pas inversée.

2 - Si le circuit à analyser ne contient pas d'inductances variables dans ses coupures d'inductances.  $L_A$  est constitué uniquement d'inductances de valeurs constante et les inductances variables de la matrice  $L_M$ ; si elles existent, correspondent à des éléments nuls de la matrice  $F_{36}$ . Il suffit donc d'inverser une seule fois la matrice  $M_L$ .

C'est l'hypothèse qui a été retenue lors de l'élaboration du programme IMAG II [12].

3 - Si les coupures selfiques du circuit à analyser contiennent au moins une inductance variable, la matrice  $M_L$  doit être inversée à chaque itération.

Cette hypothèse a été prévue dans le programme L.A.A.S. II [13].

4 - Lorsqu'on calcule le vecteur  $V_6$ , on doit aussi connaître les dérivées des sources de tension,  $\dot{I}_8$ , à moins que la matrice  $F_{86}$  soit nulle, c'est-à-dire que les coupures selfiques ne contiennent pas de sources de courant. Le programme L.A.A.S. II permet ces deux options. Le programme IMAG II a pris par hypothèse  $F_{86} = 0$  : il ne traite pas ce problème.

Il ne reste plus que les courants dans les branches sources de tension  $I_7$  et les tensions aux bornes des branches sources de courant  $V_8$  qui sont déterminés respectivement par les équations (III-27-E) et (III-26-J).

III - 2 - 6 L'intégration numérique.

Le programme calcule à chaque itération toutes les tensions et tous les courants du circuit à analyser, en fonction du vecteur d'état  $y(t) = \begin{vmatrix} V_7 \\ I_3 \end{vmatrix}$  et de la commande  $u(t) = \begin{vmatrix} V_7 \\ I_3 \end{vmatrix}$ .

Pour calculer la nouvelle valeur du vecteur état, il faut intégrer le système différentiel suivant

$$\dot{y}(t) = f(y(t), u(t))$$

avec

$$y(0) = y_0$$

Les méthodes d'intégration numérique pour résoudre ce système, consistent en une évaluation du développement limité du vecteur  $y(t+h)$  au pas suivant :

$h$  étant le pas d'intégration

Dès lors deux notions essentielles apparaissent :

- la stabilité d'une méthode
- la précision de cette méthode.

Les conditions de stabilité numérique fixent la valeur maximale du pas d'intégration  $h$  : c'est le rayon de stabilité. Au delà de cette valeur, les erreurs s'accroissent d'une itération à l'autre. Pour un système différentiel cette valeur maximale est liée, en général, à la plus petite de ses constantes de temps.

Pour garder cette stabilité, les programmes de C.A.O. utilisent des méthodes d'intégration numérique à pas autoadaptatif. Le pas est ainsi adapté en fonction de l'erreur et de la stabilité de la méthode.

Le pas maximum est, en général, le pas d'échantillonnage de sortie des résultats. Le pas minimum est limité lui aussi afin que le temps de calcul ne devienne pas prohibitif.

La précision est liée au nombre de termes du développement limité de  $y(t+h)$  pris en compte dans la méthode. On parlera ainsi de méthodes d'ordre 1, d'ordre 2, d'ordre 4 etc.

Approximativement, nous pouvons dire qu'une méthode d'ordre 2 nous donne le 3ème chiffre et une méthode d'ordre 4, le cinquième chiffre.

Le programme IMAG II possède à l'heure actuelle six méthodes d'intégration numérique que nous allons exposer brièvement :

- RK1P1 C'est une méthode de Runge Kutta du 1er ordre. Elle correspond à un développement en série de Taylor dans lequel on ne conserve que le terme d'ordre 1. Cette méthode est trop imprécise pour nos problèmes.

- RK4P4 et RK4P1 [31]

Ce sont deux méthodes de Runge Kutta du 4ème ordre : la première est la méthode classique ; dans la seconde, les coefficients ont été transformés de façon à augmenter le rayon de stabilité de celle-ci.

En fait, les méthodes d'ordre 4 sont peu utilisées, car elles reviennent trop cher dans le domaine de l'électronique.

- HAM. C'est la méthode de Hamming [32] . Elle est aussi d'ordre 4 et nécessite 4 évaluations du vecteur d'état et de sa dérivée comme conditions initiales.

En général, le programme IMAG II utilise une méthode de Runge Kutta pour déterminer ces points.

- TRAP . C'est une méthode trapézoïdale de type prédiction-corrrection implicite. Elle est très performante dans le cas de problèmes linéaires :

Elle possède alors un rayon de stabilité infini. Elle demande cependant à chaque pas une évaluation de jacobien et une inversion de matrice, problème particulièrement difficile lorsque des éléments non linéaires sont présents.

- EXPO. C'est la méthode bien connue de Fowler-Warten [33]. Elle est d'ordre 2, donc bien adaptée aux problèmes de l'analyse transitoire des circuits électroniques.

Dans le programme L. A. A. S. II, nous avons utilisé la méthode de Runge Kutta du 4ème ordre, mais nous l'avons rapidement abandonnée, toujours à cause du temps de calcul qui devenait prohibitif. Nous utilisons à l'heure actuelle, la méthode de la tangente améliorée qui, comme la méthode EXPO, est une méthode d'ordre 2.

Ces deux méthodes sont équivalentes pour des systèmes différentiels bien conditionnés. -Les constantes de temps sont du même ordre de grandeur-.

Pour des systèmes mal conditionnés, la méthode EXPO est légèrement plus rapide que la méthode de la tangente améliorée. Cependant, nous n'avons pas jugé utile de l'introduire dans notre programme. Par contre, à l'heure actuelle, une nouvelle méthode, la méthode GEAR [28] est testée sur IMAG II ; elle nous semble être beaucoup plus performante et mérite d'être utilisée dans le programme L. A. A. S. II

Nous reparlerons de cette méthode lorsque nous comparerons les résultats de la simulation du schéma BIRD en fin de chapitre.

Sur la figure III-4, nous avons représenté l'organigramme général de la mise en équations et de l'intégration. Nous pouvons constater en particulier, que certaines variables ( $V_1, I_7, I_6, V_8$ ) ne sont calculées, pour gagner du temps, que lorsque la valeur obtenue du vecteur d'état est correcte et que nous désirons imprimer toutes les valeurs à ce point précis. Ceci est possible parceque ces valeurs n'interviennent pas dans le calcul.

### III - 3 - REMARQUES SUR LES SCHEMAS EQUIVALENTS.

Le programme L. A. A. S. II analyse des circuits comprenant des éléments représentés par des équations linéaires ou non linéaires, qui doivent être soit fonction du vecteur d'état, soit de la commande.



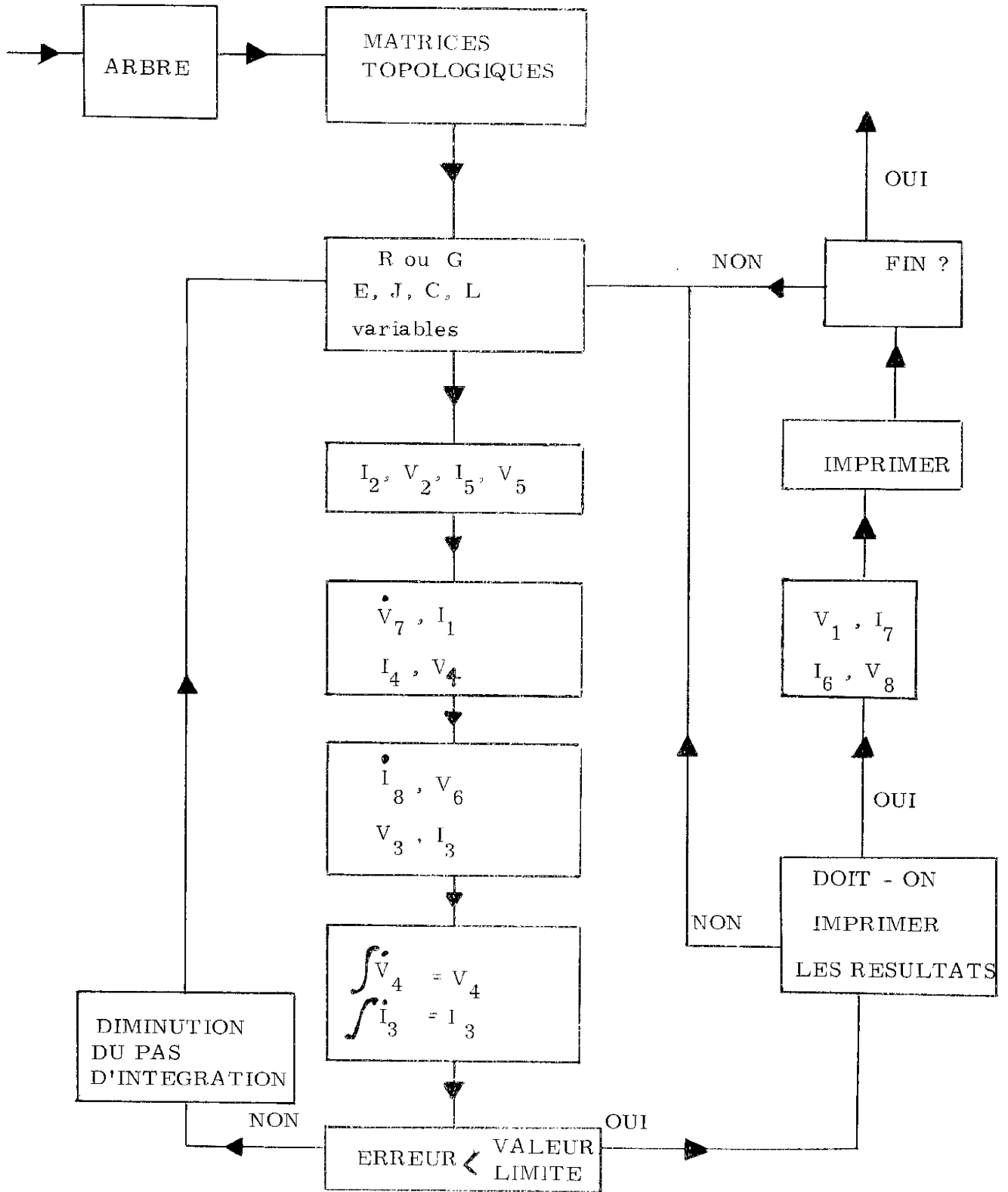


Figure III -4

Supposons que l'on veuille étudier le circuit de la figure III-5

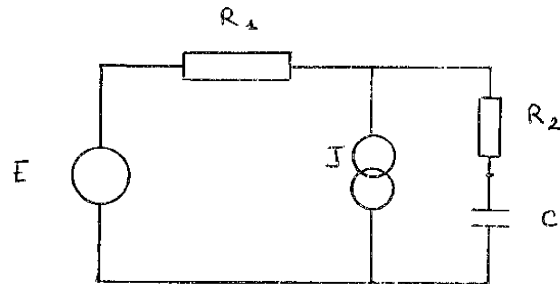


Figure III-5

Si le courant dans l'injecteur  $J$  est fonction de la tension à ses bornes, c'est-à-dire de la tension aux bornes de la capacité  $C$  et de la résistance  $R_2$ , nous ne pourrions pas calculer la réponse de ce circuit. En effet, à l'instant  $t_0$ , la tension aux bornes de  $R_2$  dépend de la variable d'état  $V_c(t_0)$ , de la commande  $E(t_0)$  et de la source de courant  $J(t_0)$ . Or, nous avons supposé ici que  $J(t_0)$  est fonction de  $V_c(t_0)$  et de  $V_{R_2}(t_0)$  qui est inconnue.

Il faut donc veiller à ce que les équations de n'importe quel élément constituant le circuit soient formulées en fonction du vecteur d'état et de la commande.

Lorsque le circuit à analyser contient au moins une résistance variable, la matrice  $R$  doit être inversée à chaque itération.

Cependant, si cette résistance comporte entre ses bornes un élément capacitif, on peut transformer celle-ci en un injecteur de courant.

En effet, soit  $V_c$  la tension aux bornes de la résistance et du chemin capacitif et  $R(V_c)$  l'équation de cette résistance ; celle-ci peut être remplacée par l'injecteur de courant  $J = \frac{V_c}{R(V_c)}$

### III - 4 - EXEMPLES DE SIMULATION A L'AIDE DU PROGRAMME L. A. A. S. II

Lorsqu'on le compare au programme L. A. A. S. I, le programme L. A. A. S. II possède deux améliorations importantes :

- Il peut analyser des circuits comportant des inductances.
- Il peut simuler des composants actifs à l'aide du schéma BIRD.

Nous avons donc sélectionné ici deux exemples de simulation effectuées à l'aide du programme L. A. A. S. II et concernant un circuit comportant des inductances et un transistor simulé au moyen du schéma BIRD.

Comme nous l'avons signalé au cours de ce chapitre, il existe une nouvelle version du programme IMAG II, non commercialisée à l'heure actuelle qui permet de simuler le schéma BIRD et qui effectue les intégrations numériques au moyen de la méthode de GEAR.

Nous avons pu utiliser cette version, ce qui nous a permis de la comparer à notre programme.

Nous allons tout d'abord présenter l'analyse du circuit comportant des inductances.

#### III-4-1 - Simulation d'un transformateur élévateur de tension.

Le programme L. A. A. S. II a été utilisé par l'équipe "Propulsion ionique et techniques numériques " du Laboratoire d'Automatique et de ses Applications Spatiales du C. N. R. S. , pour étudier le comportement transitoire d'un transformateur élévateur de tension

Le modèle mathématique retenu est représenté sur la figure III-6 où tous les éléments sont ramenés au primaire [36] .

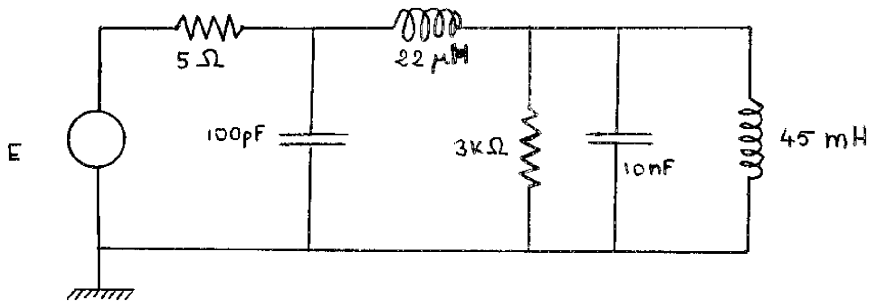


Figure III - 6

La résistance de  $5 \Omega$  représente l'enroulement du primaire.

La capacité de  $100 \text{ p F}$  représente la capacité parasite du primaire.

L'inductance de  $22 \mu \text{ H}$  représente l'inductance de fuite du primaire plus l'inductance de fuite du secondaire ramenée au primaire.

La résistance de  $3 \text{ K } \Omega$  simule les pertes par courants de foucault et par hystérésis dans le noyau magnétique.

Enfin l'inductance de  $45 \text{ m H}$  représente l'inductance propre du primaire.

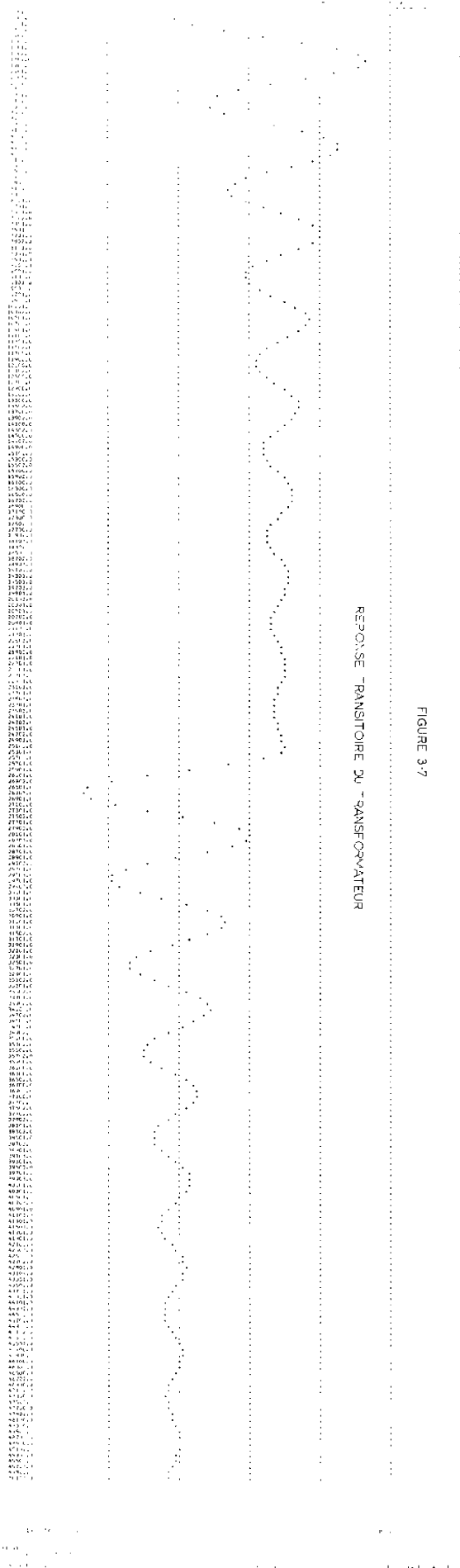
Sur la figure III-7, nous avons représenté la réponse du transformateur soumis à une variation de  $30 \text{ V}$  au primaire, telle que la décrit le programme L. A. A. S. II.

### III - 4 - 2 - Simulation du transistor à l'aide du schéma BIRD.

Comme nous l'avons signalé, le schéma BIRD fait à l'heure actuelle l'objet d'une série d'études dans l'équipe "Composants bipolaires " du Laboratoire d'Automatique et de ses Applications spatiales du C. N. R. S.

Le programme L. A. A. S. II permet de vérifier le comportement transitoire de ce modèle ainsi que la validité des mesures de ses paramètres.

Le but de notre simulation n'est pas d'exposer les avantages de ce schéma en le comparant par exemple au schéma d'Ebers Moll sur un exemple concret.



REPONSE TRANSISTORE DU TRANSFORMATEUR

FIGURE 3-7

Nous nous sommes attachés d'une part à vérifier que le programme répond bien au but que nous nous étions fixé, la simulation de ce modèle, d'autre part à comparer le temps de calcul à celui qu'aurait nécessité dans les mêmes conditions le schéma d'Ebers Moll

Sur la figure III-8, nous avons représenté la réponse transitoire d'un transistor monté en émetteur commun.

Cette simulation nous a permis de constater que le schéma BIRD nécessite, lorsqu'il est utilisé pour simuler un transistor, un temps de calcul qui est environ trois fois plus important que celui relatif au modèle d'Ebers Moll.

D'autre part, nous avons pu utiliser la nouvelle version du programme IMAG II qui elle aussi possède une matrice variable qui lui permet de simuler le schéma BIRD.

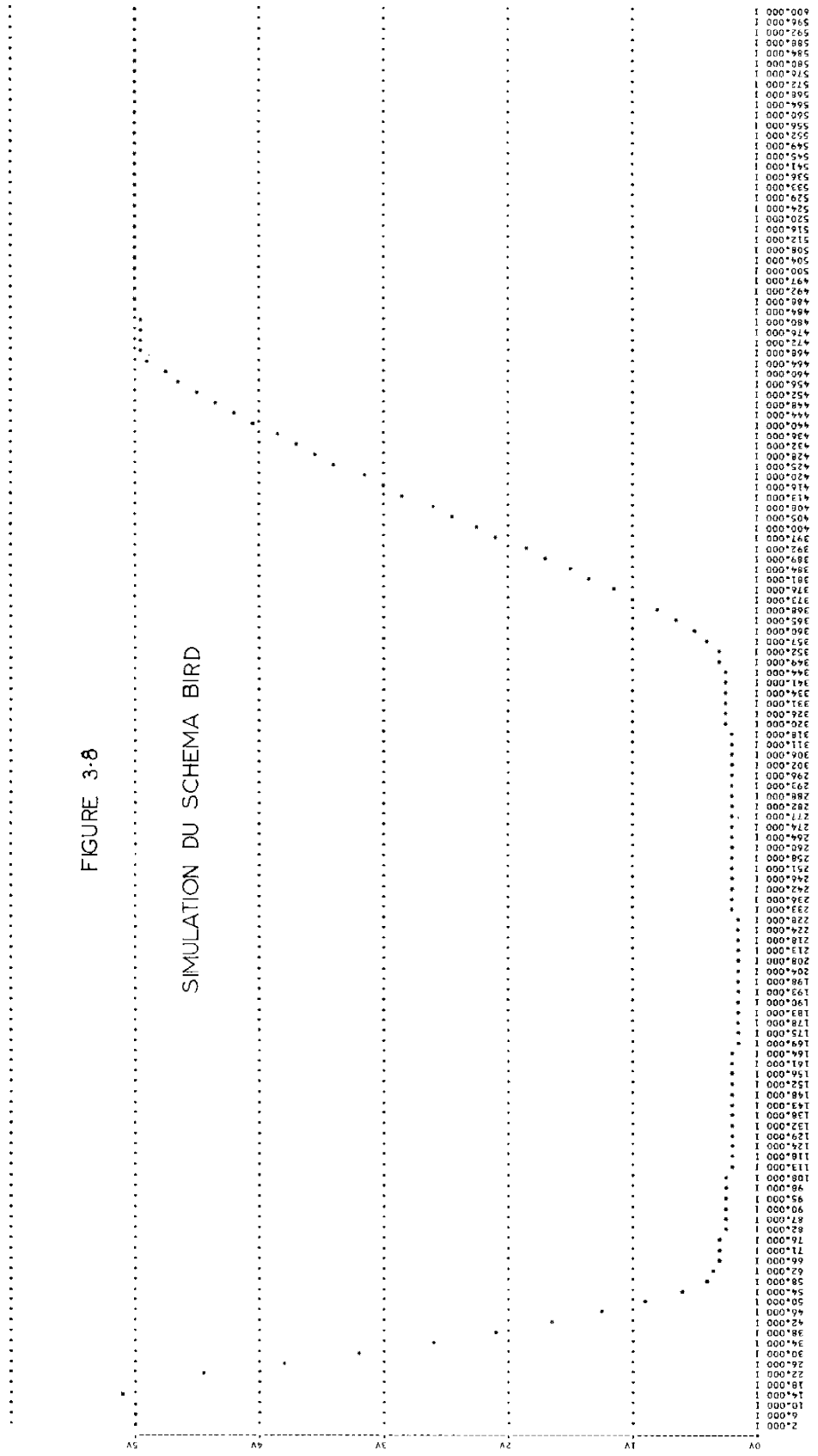
Nous présentons sur le tableau ci-dessous les résultats de la simulation de ce transistor, avec le programme L. A. A. S. II - méthode de la tangente améliorée - et avec le programme IMAG II - méthode EXPO et méthode de GEAR..

Comme nous avons utilisé ces programmes sur deux ordinateurs différents, nous n'avons pas comparé les temps de calcul, mais le nombre de passage dans la formulation.

Programme utilisé	Méthode d'intégration numérique	Nombre d'itérations
L. A. A. S. II	Tangente améliorée	928
IMAG II	EXPO	770
IMAG II	GEAR	136

FIGURE 3-8

SIMULATION DU SCHEMA BIRD



Nous constatons tout d'abord que la méthode EXPO est légèrement plus performante que la méthode de L. A. A. S. II.

La méthode de GEAR semble être la méthode d'avenir pour la résolution de systèmes différentiels non linéaires.

Il faut toutefois noter qu'une itération correspond dans cette méthode à une évaluation d'un jacobien et à une inversion de matrice. Donc cette méthode est légèrement plus lente que ce qui ressort de la lecture de ce tableau.

A titre indicatif, on peut dire que au point de vue temps de calcul, la simulation du schéma BIRD avec la méthode de GEAR correspondra à ce qu'était la simulation du modèle d'Ebers et Moll avec la méthode EXPO.

## CONCLUSION

Le programme IMAG II est un programme général qui comporte de nombreuses options alors que le programme L. A. A. S. II est un programme spécifique.

Le programme IMAG II nécessite l'emploi d'ordinateurs de taille importante et est apte à traiter des circuits complexes. La taille de ces ordinateurs est imposée d'une part par l'universalité de ce programme, d'autre part par un système d'entrée très élaboré qui représente environ le tiers du programme total.

Parmi les avantages de L. A. A. S. II, on peut citer d'une part la possibilité de l'adapter à de petits ordinateurs, type I. B. M. 1130, d'autre part de former rapidement des utilisateurs de ce programme qui peuvent très facilement le transformer à leur gré.

C'est ainsi qu'il existe à l'heure actuelle une version de L. A. A. S. II à la Faculté des Sciences de Madrid, une autre utilisant la méthode EXPO se trouve au Laboratoire de Caen de la R. T. C.

Enfin, signalons que la prochaine amélioration à apporter à L. A. A. S. II est bien sur la programmation de la méthode de GEAR.

---





## CONCLUSION



Nous avons exposé dans ce mémoire quelques aspects de l'analyse des circuits intégrés à l'aide d'ordinateur.

Dans la première partie, nous avons précisé les avantages et les inconvénients qui résultent du choix d'un modèle déductif, tel que celui d'Ebers et Moll, pour représenter les composants actifs. En particulier, un tel choix limite l'étude d'un circuit à une analyse semi quantitative. Nous avons également indiqué les techniques de mesure utilisées pour les caractériser.

Dans la seconde partie, nous avons simulé à l'aide du programme L. A. A. S. I le comportement d'une porte logique de type T. T. L. Nous avons ainsi observé quelques unes des anomalies déjà décelées par des mesures expérimentales, comme le phénomène réactif qui apparaît lors de la transition positive de la sortie. En utilisant les résultats de la simulation, nous avons pu interpréter ce comportement anormal, interprétation qui a été confirmée par l'étude d'un circuit de configuration différente.

Dans la troisième partie, nous avons cherché à représenter le transistor bipolaire par un modèle inductif ; notre choix s'est porté sur le schéma BIRD. Ce schéma, plus complexe, nous a obligé à transformer le système de mise en équations du programme L. A. A. S. I.

Nous avons saisi cette occasion pour augmenter les possibilités de ce programme en lui permettant de simuler des inductances ou d'autres schémas équivalents susceptibles d'être utilisés ultérieurement. Nous avons comparé notre nouveau programme, L. A. A. S. II, à sa première version L. A. A. S. I et à un programme plus général IMAG II. Des exemples d'utilisations ont été rapportés.

Dans la conception des circuits intégrés, le choix du schéma équivalent des composants actifs est primordial. Nous avons distingué deux grandes classes de modèles : ceux qui sont obtenus par identification déductive et ceux qui sont établis par identification inductive.

Dans le premier cas, il est difficile d'établir des liens directs et simples entre les paramètres caractéristiques du comportement électrique et les différentes phases des procédés de fabrication.

Un modèle déductif associé à un programme de C.A.O. même très perfectionné ne permet pas d'accéder aisément à l'optimisation voire même à la conception d'un circuit intégré ou d'un composant.

L'utilisation d'un schéma inductif rend possible la résolution de certains problèmes de synthèse et améliore l'analyse des circuits. Ses paramètres sont, soit étroitement liés à la technologie, soit directement reliés aux caractéristiques physiques et géométriques du composant. Cela permet de réduire le nombre de mesures à effectuer sur une même plaquette : Il suffit en effet de caractériser celle-ci par un transistor unité et de calculer les paramètres de tous ses composants par la seule examen de leurs dimensions. Cette application est très importante en ce qui concerne l'analyse des circuits intégrés à large échelle (L. S. I.)

Pour le programmeur, l'analyse de circuit au moyen du schéma BIRD présentait deux difficultés : d'une part, l'obligation de transformer la mise en équations des programmes existant déjà ; d'autre part, l'augmentation du temps nécessaire pour simuler ce modèle résultant de l'accroissement de la complexité de celui-ci.

La première difficulté a été résolue dans le programme L. A. A. S. II, puis dans le programme IMAG II.

Le temps de calcul a été nettement diminué dans le programme IMAG II avec l'utilisation de la méthode d'intégration numérique de GEAR. Nous comptons l'inclure prochainement dans notre programme.

Enfin, nous avons vu qu'un schéma inductif est un outil puissant de synthèse qui peut être adapté aux problèmes de conception, d'optimisation ou d'études de fiabilité.

Mais ici, les problèmes de programmation sont encore importants -  
diminution de l'encombrement en mémoire, diminution du temps de calcul. -

Ils nécessitent encore de nombreuses études théoriques afin d'assurer  
la réalisation d'algorithmes performants. Cet objectif n'est pas inaccessible et  
doit permettre, à moyen terme, une conception globale des structures logiques -  
électrique et technologique - assistée par ordinateur.



BIBLIOGRAPHIE

- [ 1 ] M. DIAZ - G. HAMALEINEN  
Thèses - Toulouse Octobre 1969.
- [ 2 ] G. REY - M. DIAZ  
"Identification physique des transistors bipolaires en régime statique  
Elaboration d'un programme de C.A.O. associé".  
L'onde électrique . Vol.49 - Janvier 1969.
- [ 3 ] J. P. BAILBE  
Thèse - Toulouse Décembre 1969
- [ 4 ] G. REY - K. LEMAIRE - J. P. BAILBE  
" Identification du comportement des transistors bipolaires en  
commutation".  
Colloque sur la microélectronique avancée. Paris 6-10 Avril 1970.
- [ 5 ] G. REY - PH. LETURCQ  
Théorie approfondie du transistor bipolaire.  
Ed. Masson et Cie - Paris 1971 (sous presse).
- [ 6 ] A.F. MALMBERG - F.L. CORNWELL - F.N. HOOPER.  
"Net 1. Network analysis program".  
Los Alamos scientific Lab. - Los Alamos N. Mex.  
REP LA 3119, 7090/94 Version. August 1964
-



- [ 7 ] "Automated digital computer program for determining reponses of electronic systems to transient nuclear radiations. (PREDICT)". I. B. M. space guidance Center, Oswego. N. Y. I. B. M. File 64-521-5 July 1964.
- [ 8 ] L. D. MILLIMAN, W. A. MASSENA, R. H. DICKHAUT.  
" Circus a digital computer program for transient anlysis of electronic circuits user's guide ".  
Boeing Co, Seattle, Wash, Harry Diamand Lab.  
Rep A D 346-1 January 1967
- [ 9 ] H. W. MATHERS - S. R. SEDORE - J. R. SEUTS  
" Automated digital computer program for determining reponses of electronic circuits to transient nuclear radiation. (SCEPTRE) " I. B. M. space guidance center.  
Oswego, N. Y. I. B. M. File 66 -928-611 Février 1967.
- [ 10 ] M. JACOLIN  
Les programmes IMAG I et IMAG II  
Onde électrique 49, 502 Janvier 1969.
- [ 11 ] M. JACOLIN  
Les programmes IMAG I et IMAG II  
Colloque international sur la microélectronique avancée  
Paris 6-10 Avril 1970.
- [ 12 ] JACOLIN - LE FAOU - PIMORT - VERAN  
"IMAG II un programme de simulation de circuits électriques ".  
Notice d'utilisation Mai 1970

- [13] M. DIAZ - R. GARCIA ROSA - G. HAMALAINEN - H. JALADIEU.  
"Simulation des circuits et des systèmes logiques au moyen d'un  
calculateur".  
Symposium I. F. A. C. , Sitges (Espagne) 5,7 Novembre 1969.
- [14] J. J. EBERS - J. L. MOLL.  
"Large signal behaviour of junction transistor"  
Proc I. R. E. Vol. 42 - december 1954.
- [15] J. L. MOLL  
"Large signal transient reponse of junction transistor".  
Proc. I. R. E. Vol. 42 - december 1954.
- [16] N. O. SOKAL - J. J. SIERAKOWSKI - J. J. SIROTA  
"Use a good switching transistor model".  
Electronic design Vol. 12 June 7 1967.
- [17] N. O. SOKAL - J. J. SIERAKOWSKI - J. J. SIROTA.  
"Diode model is analysed by computer as one junction of a transistor".  
Electronic Design Vol 14 - July 5 - 1967.
- [19] A. W. NUTBOURNE  
"Curve fitting by a sequence of cubic polynomials".  
Part 2 - appendices  
Computer aided design , Winter 1969.
- [20] P. E. GRAY - D. DE WITT - A. R. BOOTHROYD - J. F. GIBBONS.  
"Physical electronics and circuits models of transistors".  
John Wiley and Son
-

- [21] H. C. LIN  
"D C Analysis of multiple collector and multiple Emitter transistors  
in integrated structures",  
I. E. E. E. journal of Solid States Circuits - fébruary 1969.
- [22] LA RADIOTECHNIQUE (Rapports internes).
- [23] DAVID K. LYNN - CHARLES D. MEYER - DOUGLAS J. HAMILTON  
"Analysis and design of integrated circuits".  
MOTOROLA Series in Solid State Electronics.
- [24] M. DEPEY  
"Quelques aspects du fonctionnement des circuits intégrés logiques,  
T. T. L. ".  
L'onde électrique - mai 1968.
- [25] JOHN C. TIRRELL  
"Power considerations in high speed T. T. L. logic "  
Computer design - february 1969.
- [26] Sylvania electronic components group ( notes techniques).
- [27] H. J. KUNO  
"Rise and fall times calculations of junction transistors".  
I. E. E. E. transactions on electronic devices -April 1964.
- [28] C. W. GEAR  
"Simultaneous Numerical solution of differential-algebraic equations".  
I. E. E. E. Trans. on circuit theory - Vol. CT 18 - N° 1 janvier 1971.
-

- [29] Robert D. BERRY  
"An optimal ordering of electronic circuit equations for a sparse matrix solution".  
I. E. E. E. trans. on circuit theory -Vol. CT 18 N°1 January 1971.
- [30] J. P. DAUBONNE  
"Contribution à l'étude du comportement thermique et des dispersions de fabrication des transistors bipolaires".  
Thèse de 3ème cycle - Toulouse (Avril 1971).
- [31] METZGER  
Méthodes de Runge Kutta de rang supérieur à l'ordre (1967)  
Thèse de 3ème Cycle - Mathématiques Appliquées.  
Faculté des Sciences de Grenoble.
- [32] HENRICI  
Discrete variable methods in ordinary differential equations (1962)  
(John Wiley and Son).
- [33] FOWLER ET WARTEN  
"Numerical integration technique for ordinary differential equations with widely separated eigenvalues"(septembre 1967) I B M journal.
- [34] M. BRIOT  
"Contribution à l'étude des convertisseurs continu continu. Réalisation d'un convertisseur à tension de sortie commandable".  
Thèse de 3ème cycle - Décembre 1970.
-

## TABLE DES MATIERES

INTRODUCTION	3
CHAPITRE I - Identification des éléments de la porte F 8 et mesures des paramètres	9
I-1 Identification du circuit d'entrée	13
I-2 Identification des diodes de protection	15
I-2-1 Mesure du courant de fuite	16
I-2-2 Détermination des paramètres de la capacité de transition	18
I-2-3 Détermination de la résistance R et de la constante d'émission M	19
I-2-4 Détermination du coefficient de la capacité de diffusion $\tau$	20
I-3 Identification du multiémetteur	21
I-3-1 Détermination des courants de fuite	24
I-3-2 Détermination des paramètres des capacités de transition	25
I-3-3 Détermination des gains direct et inverse	26
I-3-4 Détermination des résistances $R_{BB'}$ , $R_{CC'}$ et des constantes d'émission $M_E$ et $M_C$	27
I-3-5 Détermination des constantes des capacités de diffusion $\tau_N$ et $\tau_I$	29
I-4 Identification des transistors	31
I-5 Identification du circuit de sortie	32
Conclusion	33
CHAPITRE II - Analyse de circuits logiques intégrés de type T. T. L.	41
II-1 Analyse du comportement interne de la porte F 8	46
II-1-1 Analyse de la transition négative	49
II-1-2 Analyse de la transition positive	54

---

II-2	Etude du cricuit en fonction des conditions d'utilisation	59
II-2-1	Influence de la valeur des fronts de l'impulsion d'entrée	59
II-2-2	Influence de la charge	61
II-2-3	Influence de la tension d'alimentation	64
II-3	Simulation des éléments parasites internes	66
II-3-1	Etude de la capacité parasite $C_1$	67
II-3-2	Etude de la capacité parasite $C_2$	70
II-4	Etude d'une autre configuration de ce circuit	75
II-5	Conclusion	81
CHAPITRE III - Simulation du schéma BIRD - Le programme L. A. A. S. II		85
III-1	Le schéma BIRD	86
III-2	Le programme L. A. A. S. II	92
III-2-1	Généralités	92
III-2-2	Le système d'entrée sortie	94
III-2-3	Recherche de l'arbre propre capacitif	95
III-2-4	Elaboration des matrices topologiques	96
III-2-5	Formation des équations matricielles	101
III-2-5-1	Equations des résistances	101
III-2-5-2	Equations des capacités	103
III-2-5-3	Equations des inductances	105
III-2-6	L'intégration numérique	107
III-3	Remarques sur les schémas équivalents	109
III-4	Exemples de simulation à l'aide du programme L. A. A. S. II	112
III-4-1	Simulation d'un transformateur élévateur de tension	112
III-4-2	Simulation du transistor à l'aide du schéma BIRD	113
	Conclusion	117
CONCLUSION		121
BIBLIOGRAPHIE		125