



HAL
open science

Simulation, conception et faisabilité des circuits logiques à seuil à transistors M.O.S.

Joaquin Lopez

► **To cite this version:**

Joaquin Lopez. Simulation, conception et faisabilité des circuits logiques à seuil à transistors M.O.S.. Automatique / Robotique. Université Paul Sabatier - Toulouse III, 1973. Français. NNT: . tel-00176572

HAL Id: tel-00176572

<https://theses.hal.science/tel-00176572>

Submitted on 4 Oct 2007

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

présentée

A L'UNIVERSITÉ PAUL SABATIER DE TOULOUSE

en vue de l'obtention

DU TITRE DE DOCTEUR DE 3^e CYCLE

Spécialité : E. E. A. Option : AUTOMATIQUE

Mention : Composants

par

Joaquin LOPEZ

Maître ès Sciences

**SIMULATION, CONCEPTION ET FAISABILITÉ
DES CIRCUITS DE LOGIQUE A SEUIL A TRANSISTORS M.O.S.**

Soutenu le 13 Juillet 1973 devant la Commission d'Examen :

MM. G. GRATELOUP Président

J.-C. MARTIN
H. MARTINOT
P. AZEMA
P. ROSSEL
J. BOREL

} Examineurs

A la mémoire de mon père

AVANT - PROPOS

Nous sommes très heureux de témoigner ici notre profonde reconnaissance à Monsieur le Professeur J. LAGASSE Directeur du Laboratoire d'Automatique et d'Analyse des Systèmes du Centre National de la Recherche Scientifique qui a bien voulu nous accueillir dans son Laboratoire pour préparer les travaux présentés dans ce mémoire.

Nous remercions Monsieur le Professeur GRATELOUP de l'honneur qu'il nous fait en présidant Le Jury de cette thèse.

Nous sommes très heureux de pouvoir remercier ici Messieurs H. MARTINOT, Maître de Recherche au C.N.R.S. et P. ROSSEL Attaché de Recherche au C.N.R.S qui ont suivi, guidé et permis de mener à bien notre travail, toujours prêts à discuter malgré leurs multiples activités.

Nous tenons à assurer de notre gratitude Messieurs

- J.C. MARTIN Professeur à l'Université Paul Sabatier,
- P. AZEMA Maître de recherche au C.N.R.S.
- J. BOREL Directeur de recherche au L.E.T.I. pour l'intérêt qu'ils ont bien voulu nous porter en acceptant de faire partie du Jury.

Nous ne saurions oublier tous les membres du Laboratoire Chercheurs et Personnel technique qui nous ont aidé dans ce travail, en particulier Messieurs :

- VASSILIEFF et DEQUIDT pour les nombreuses discussions que nous avons pu avoir ensemble et leur étroite collaboration.
- SOLANO, Mesdames F. ROSSEL et J. CHEVALIER ainsi que les membres du service des Fonctions Intégrées du L.A.A.S. pour la réalisation des échantillons d'étude.

Enfin pour le soin qu'il a apporté à la réalisation matérielle de ce mémoire, que tout le personnel du Service Documentation du L. A. A. S. veuille bien accepter mes remerciements.

CHAPITRE I

ELEMENTS DE LOGIQUE A SEUIL

1 - 1 - PRINCIPES DES MODULES LOGIQUES A SEUIL

Depuis 1950 un effort particulier a été porté sur l'étude des propriétés d'éléments logiques particuliers dits éléments de logique à seuil, qui se distinguent des portes "Booléennes" classiques par leur procédé de décision.

Les entrées et les sorties d'un tel élément sont binaires . La décision logique se fait par comparaison de la somme pondérée des entrées avec un seuil associé à la fonction à réaliser. Lorsque la somme est inférieure au seuil, la sortie est au niveau logique zéro ; lorsqu'elle est supérieure à celui-ci la sortie est au niveau logique "1". Ce qui s'exprime par la relation :

$$F = 1 \text{ si } \sum_{i=1}^n W_i x_i \geq T$$

$$F = 0 \text{ si } \sum_{i=1}^n W_i x_i < T$$

où F et $x_i \in \{0,1\}$, représentent respectivement la sortie et les entrées du système.

W_i et T sont des nombres réels positifs ou négatifs appelés poids et seuil.

Ces éléments de logique à seuil sont en fait une généralisation des portes conventionnelles. Si l'on affecte à chaque entrée le même poids W_i on réalisera directement la fonction majorité ; si les poids W_i ne sont pas identiques, la dissymétrie de la cellule conduira à un procédé logique beaucoup plus évolué.

Cette possibilité de décision logique complexe, constitue l'attrait majeur des éléments de logique à seuil :

- leur utilisation doit conduire, pour la réalisation d'une fonction logique donnée, à des réseaux plus compacts que les portes conventionnelles permettant à la fois une économie sur le nombre de modules élémentaires et sur le nombre d'interconnexions.

- La possibilité d'ajustement du poids et du seuil rend leur structure particulièrement intéressante lors de la réalisation de circuits logiques adaptatifs.

C'est évidemment la perspective de ces avantages qui a motivé les très nombreuses études [1] [2] portant sur les éléments de logique à seuil et les fonctions logiques qu'ils permettent de réaliser directement :

- propriétés des fonctions logiques à seuil (monotonie, assommabilité etc...),
- détermination des fonctions linéairement séparables dont la synthèse peut se faire directement à l'aide d'éléments à seuil,
- synthèse des fonctions logiques quelconques, linéairement séparables ou non à l'aide de réseaux d'éléments à seuil,
- meilleure configuration des poids et du seuil pour réaliser une fonction linéairement séparable à l'aide d'une seule porte,
- synthèse des fonctions pouvant être réalisées à partir de cellules ayant toutes le même seuil.

De ces études, nous retiendrons essentiellement pour la suite de notre mémoire le fait que la réalisation optimale des fonctions complètement spécifiées n'est unique que si le nombre de variables est inférieur à huit. Une configuration particulièrement simple et intéressante consistant en une cellule basculant entre le poids trois et quatre.

Les avantages théoriques que nous venons de rappeler brièvement ne présentent évidemment d'intérêt que dans la mesure où il est possible de réaliser directement un module élémentaire de logique à seuil. Compte tenu de l'état de l'art dans la réalisation des composants et circuits électroniques en général, ce module devra pouvoir être adapté aux techniques de réalisation des circuits intégrés à large échelle. Dans ce domaine les portes de logique à seuil font apparaître les difficultés et les contraintes de réalisation beaucoup plus importantes que les portes "Booléennes" classiques car en fait, elles présentent les mêmes exigences que les circuits analogiques. Afin de

mettre en évidence ces contraintes et difficultés nous décrirons brièvement dans le paragraphe suivant les différents essais de réalisation qui ont été tentés.

1 - 2 - LES MODULES DE LOGIQUE A SEUIL

De par leur principe même les éléments de logique à seuil comportent obligatoirement deux fonctions pouvant être séparées ou non :

- une fonction réalisant la sommation pondérée des entrées,
- un discriminateur qui bascule lorsque la somme des entrées est supérieure au seuil.

Parmi les méthodes utilisées pour réaliser la sommation des variables d'entrées citons :

- la sommation de flux magnétiques
- la sommation de courants ou de tensions.

1 - 2 - 1 - Modules à tores magnétiques

Les tores magnétiques sont à priori une solution élégante pour réaliser des modules de logique à seuil puisque (figure I - 1) les propriétés du flux magnétique permettent la sommation des entrées tandis que le cycle d'hystérésis de l'élément réalise le seuil. Le poids et le signe de chaque entrée sont donc déterminés par le sens et le nombre de spires des enroulements qui leur sont affectés. Lorsque la somme des ampères tours correspondant aux différentes entrées ainsi définies est supérieure au champ coercitif le tore bascule créant un signal sur l'enroulement de sortie.

A partir de ce principe plusieurs types de circuits ont été développés, citons par exemple le circuit statomagnétique Logimag. Cependant, outre le fait qu'il ne saurait évidemment être question d'intégration, à moins de faire appel aux techniques de circuits magnétiques à films minces, ces circuits se prêtent difficilement à la mise en oeuvre d'un grand nombre d'entrées

par suite de difficultés de bobinage et des imprécisions sur le seuil dues aux dispersions sur le cycle d'hystérésis entre plusieurs noyaux.

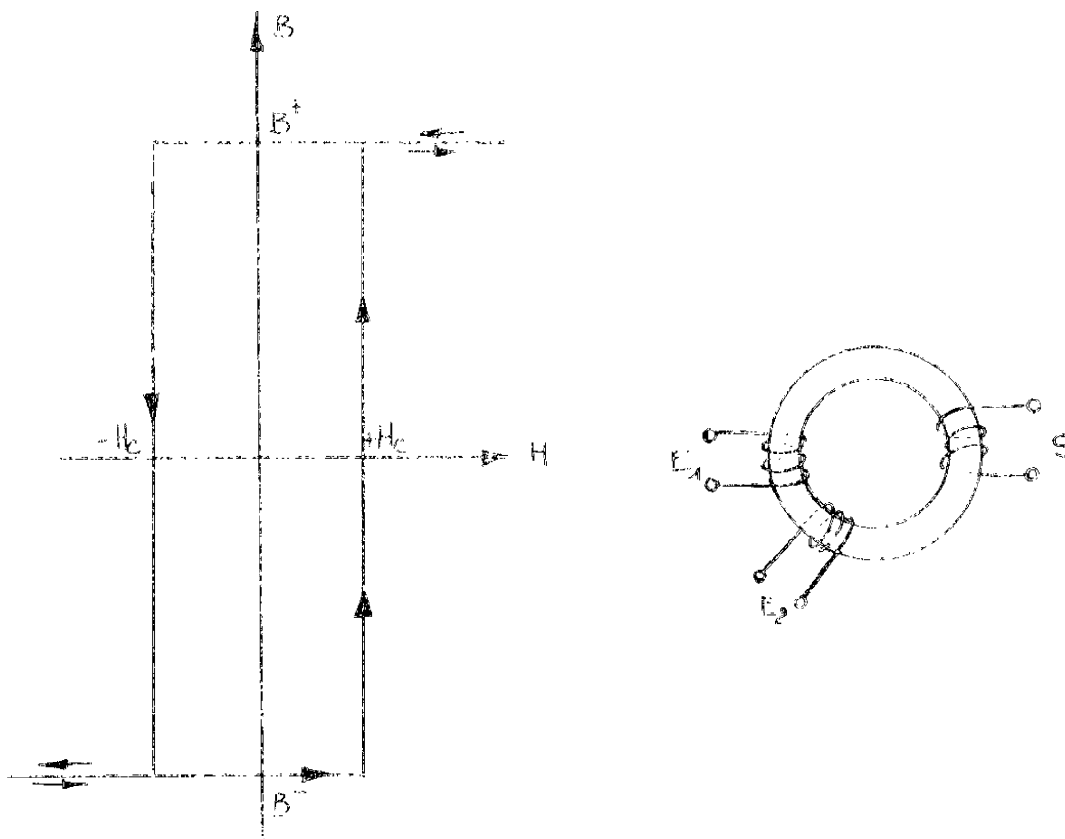


Figure 1-1 - Circuit à tore magnétique

1 - 2 - 2 - Circuits à éléments actifs discrets [3]

Bien que de nombreuses variantes aient été réalisées ce type de circuit peut toujours se ramener au schéma de principe de la figure 1 - 2 - 1. un réseau de résistances effectue la somme des courants associés aux diverses entrées tandis qu'un discriminateur régénère les signaux logiques convenables de sortie

Si l'on excite les différentes entrées par des signaux logiques, on fait varier le potentiel émetteur base du transistor T par l'intermédiaire du pont résistif R_1, R_T . Lorsque le nombre d'entrées mises au niveau logique "1" est suffisant le transistor conduit, faisant basculer le potentiel V_S .

La faiblesse évidente de ce type de circuit est le fait que les poids associés aux entrées, ainsi que le seuil sont respectivement fixés par les résistances R_i et R_T . Les dispersions sur les valeurs des résistances réalisées par les techniques de diffusions, et les tolérances communément admises pour les tensions de polarisation ne permettent pas d'envisager de réaliser de façon économique ce type de circuit par les techniques de circuit intégrés classiques. L'implantation ionique pourrait par contre constituer une nouvelle voie d'approche pour ce problème.

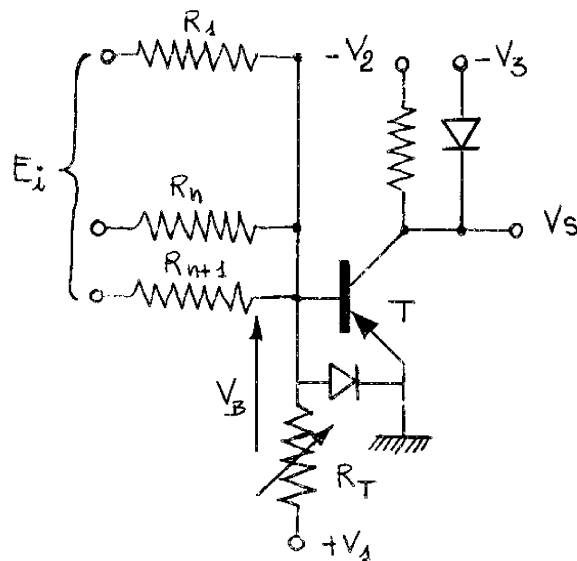


Figure I - 2 - Elément à seuil à transistor

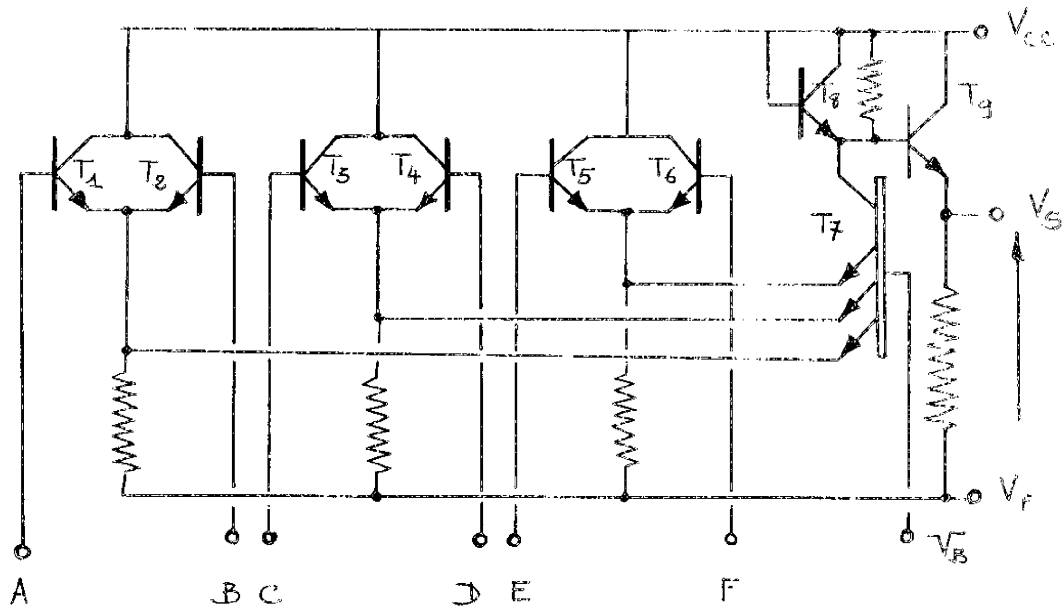


Figure I - 3 - Circuit intégré de MARETTE

Ce circuit figure I - 3 réalise la fonction logique $(A+B)(C+D)(E+F)$ et permet de réaliser la fonction majorité en réunissant les entrées A et F, B et C, D et E. Il se compose de deux parties : l'une constituée de paires de transistors montés en éléments différentiels avec une résistance commune d'émetteur, qui réalise le OU des entrées correspondantes, l'autre comportant le transistor multiémetteur T_7 qui conduit lorsqu'un de ses émetteurs est au potentiel V_E , c'est-à-dire si les deux transistors d'une même paire au moins sont bloqués. La sortie est alors au niveau logique "0".

Ce transistor est bloqué lorsqu'un des transistors au moins de chaque paire conduit, la sortie est alors au niveau logique "1".

Ce circuit n'est en fait que la réalisation de la fonction majorité à 3 entrées à l'aide d'éléments Booléens. Il présente donc tous les avantages des portes logiques conventionnelles (sortance élevé, grande rapidité, faible sensibilité aux dispersions des éléments constitutifs). Il ne saurait par contre constituer l'élément de base d'une famille de modules de logique à seuil puisqu'on ne saurait concevoir son extrapolation aux cas des fonctions majorité à 5, 7 ou 9 entrées ou encore moins à des fonctions présentant des lois

de pondération plus complexes.

1 - 2 - 4 - Circuit intégré : Circuit de Mayhew [5]

Ce circuit dont le schéma de principe est représenté à la figure 1 -5 se compose d'un amplificateur différentiel détecteur de seuil et d'un sommateur qui a pour effet de faire apparaître la somme des courants associés aux entrées sur deux lignes L_1 et L_2 . Les signaux d'entrée sont appliqués aux bornes A, B, C, D, E de différents étages différentiels, qui commutent une "unité de courant" sur l'une ou l'autre ligne, selon que le signal logique est haut, ou bas.

Si un signal apparaît sur l'entrée A, par exemple, le transistor T_1 conduit ; le courant d'émetteur traversant la résistance correspondante élève le potentiel de l'émetteur du transistor T_2 qui se bloque. Le courant I_1 commute sur la ligne L_1 . Inversement si la tension qui apparaît au point A devient inférieure à la tension de référence, le transistor T_1 se bloque, le transistor T_2 conduit drainant le courant I_1 dans la ligne L_2 . Le courant qui traverse chacun des transistors T_1 ou T_2 de chacun des étages est inversement proportionnel à la résistance d'émetteur R dont la valeur relative fixera le poids affecté à chaque entrée.

Le discriminateur est constitué par un étage différentiel qui compare la chute de tension dans les résistances r et r' et qui commute dans l'un ou l'autre état, selon que la somme des courants dans L_1 est supérieure à celle de L_2 , ou inversement. Les performances de ce circuit dépendent, par principe même, des dispersions dont sont affectées les différentes résistances de sommation. Il a été montré que l'on pouvait envisager la réalisation d'une porte à 9 entrées, à condition de disposer d'une technologie suffisamment évoluée pour que les écarts relatifs entre les différentes résistances restent inférieurs à 2 %. [1]

Notons qu'un circuit analogue [6] réalisé au moyen d'éléments discrets, a fait l'objet d'une étude au Laboratoire d'Automatique et d'Analyse des Systèmes, afin d'étudier la synthèse de systèmes logiques séquentiels

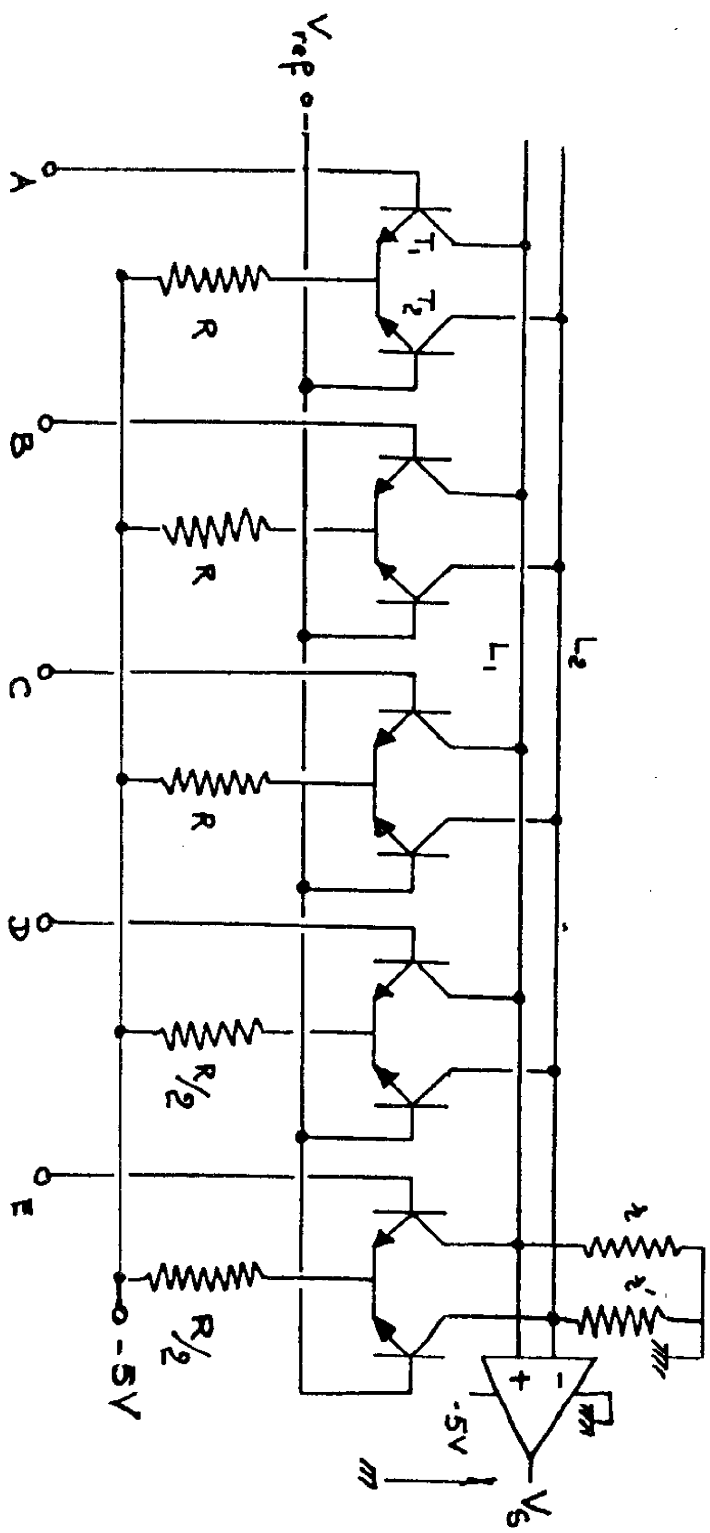


Schéma de principe de la cellule de logique à seuil de Mayne-Dreyfus

Figure I - 4

à l'aide d'éléments à seuil.

+

+

+

Des éléments que nous avons brièvement exposés ci-dessus, il ressort que les avantages de l'utilisation des éléments de logique à seuil, qui ont été mis en évidence par de nombreux travaux théoriques, n'ont pu encore être exploités car les essais de réalisation technologique qui ont été tentés jusqu'à ce jour n'ont pas permis d'aboutir à un circuit élémentaire présentant tous les avantages techniques et économiques qui sont le fait des portes logiques conventionnelles depuis le développement des circuits intégrés.

En vue d'essayer de combler cette carence, les travaux exposés dans ce mémoire ont trait à l'étude de la conception et de la réalisation d'une porte de logique à seuil au moyen de composants M. O. S. Ces travaux effectués au L. A. A. S., s'intègrent de ce fait dans les recherches poursuivies à la fois dans le cadre du groupe Systèmes Logiques et de la Division Composant Electroniques de ce laboratoire.

Les principaux avantages qui militent en faveur de l'utilisation des composants M. O. S et des technologies qui lui sont associées sont les suivants

- sur le plan de la conception du circuit, le transistor M. O. S présente une originalité intéressante par rapport au transistor bipolaire ou au tore magnétique puisqu'il permet de transformer directement les tensions d'entrées en courants.

De plus les circuits à transistors M. O. S peuvent être réalisés sans qu'il soit besoin d'utiliser des résistances.

- Du point de vue des dispersions les propriétés du composant ne sont fonction que de celles associées aux dimensions géométriques d'une part, aux charges parasites d'interface d'autre part. Etant donné les progrès

récents réalisés sur ce dernier point, on peut espérer obtenir des résultats meilleurs que dans le cas de composants dont les propriétés sont liées aux grandeurs relatives au processus de diffusion.

- Enfin, il sera possible de profiter des avantages classiques des circuits intégrés à transistor M.O.S: bonne immunité au bruit, densité d'intégration élevée, processus technologique ne comportant qu'un nombre réduit d'opérations.

Par contre, on se heurtera aussi à la limite classique de ce type de circuits, à savoir leur rapidité faible si l'on veut conserver une faible consommation.

Dans l'exposé qui va suivre :

- nous décrirons tout d'abord un circuit type de module logique à seuil et nous établirons l'ensemble des relations régissant son fonctionnement statique et dynamique,

- nous envisagerons ensuite l'influence des dispersions des divers paramètres des composants sur les performances du circuit et en déduirons les conditions qui doivent être satisfaites pour qu'un fonctionnement correct reste assuré malgré ces dispersions.

- à partir de ces résultats nous présenterons des méthodes de conception permettant de déterminer l'ensemble des grandeurs définissant un circuit logique à seuil à transistors M.O.S. répondant à un cahier des charges établi a priori.

- enfin nous présenterons les résultats expérimentaux obtenus sur une maquette semi-intégrée réalisée au L.A.A.S afin de vérifier la validité de l'analyse théorique précédente.

CHAPITRE II

PORTE ELEMENTAIRE A TRANSISTORS M. O. S.

2-1 - DEFINITION DU CIRCUIT

Une porte élémentaire de logique à seuil à transistor M.O.S. devra, tout comme les circuits que nous avons décrits au paragraphe précédent comporter une fonction sommation et une fonction détection de seuil. Cette exigence n'est évidemment pas suffisante pour définir une structure précise de circuit ; on possède en effet le choix entre plusieurs technologies : technologie classique N ou P à grille aluminium, technologie à transistor M.O.S. complémentaires, implantation ionique pour réaliser l'ensemble des composants ou pour simplement modifier la tension de seuil du transistor M.O.S. de charge de façon à obtenir des couples, transistor M.O.S. à enrichissement, transistor à déplétion. De plus, pour une même technologie, il est encore possible d'imaginer plusieurs types de circuits.

Le but de notre étude étant essentiellement d'établir une évaluation des possibilités de la technologie M.O.S. dans le domaine des portes logiques à seuil, de définir les contraintes et les limitations imposées par les dispersions technologiques et de dégager les principes généraux des circuits de ce type, nous avons choisi d'étudier dans cette première étape la structure de circuit la plus simple, réalisée au moyen de la technologie la plus classique : substrat N, grille aluminium. Le schéma de ce circuit est représenté sur la figure II-1.

Le sommateur se compose des transistors T_1 à T_8 , et réalise la sommation des variables d'entrées que l'on applique respectivement sur les grilles des transistors de commande T_1 à T_7 dont le rôle consiste à transformer les impulsions de tensions appliquées aux entrées en impulsions de courant. La somme des courants traverse le transistor T_8 élément de charge du circuit qui, polarisé par une tension de grille V_{G2} fixe, se comporte comme une résistance non linéaire.

La tension de sortie du sommateur V_{SS} prise au point commun entre la source du transistor T_8 et les drains des transistors de commande est directement appliquée à la grille du transistor de commande de module détecteur de seuil (transistor T_9). Ce module se compose de trois inverseurs en cascade, sa sortie est prise sur le drain du transistor T_{13} .

Le fonctionnement du circuit est basé sur les propriétés suivantes : le sommateur, inverseur à plusieurs transistors M.O.S. de commande se comporte comme un inverseur unique dont il est possible de faire varier le rapport α , entre le facteur de pente du transistor M.O.S. de commande et celui du transistor de charge. En fonction de ce paramètre, dont la valeur pourra être modifiée de façon discrète selon le nombre de transistors M.O.S. unitaires sur la grille desquels on appliquera un signal logique "1", la tension de sortie V_{SS} variera qualitativement comme indiqué sur la figure II-2. Notons que le poids associé à chacune des entrées logiques pourra être défini à partir des valeurs relatives du rapport de la longueur et de la largeur du canal de chacun des transistors M.O.S. de commande.

La fonction détection est évidemment et facilement réalisable à partir de la caractéristique de transfert $V_S (V_E)$ d'un inverseur élémentaire indiquée sur la figure II-3. La mise en cascade de trois étages, a uniquement pour but de rendre plus abrupte la transition entre les états hauts et bas autour d'une tension V_B (figure II-3).

Compte tenu des figures II-2 et II-3 la caractéristique de transfert de l'ensemble du circuit $V_S (\alpha)$ aura la forme indiquée à la figure II-2 c'est-à-dire que l'on obtiendra une brusque transition entre les niveaux hauts et bas pour une valeur particulière de α , α_B .

Dans ce chapitre nous établirons les relations qui décrivent le fonctionnement statique et dynamique de ce type de circuit, et préciserons en particulier les lois qui lient le seuil α_B aux conditions de polarisation et aux paramètres technologiques.

Pour terminer cette introduction, notons que si le principe indiqué dans la suite de ce mémoire est général, nous avons choisi pour toutes les applications numériques le cas d'un circuit réalisant la fonction majorité à 7 entrées, c'est-à-dire le cas où toutes les entrées sont affectées du même poids, le seuil de basculement se situant entre les poids trois et quatre.

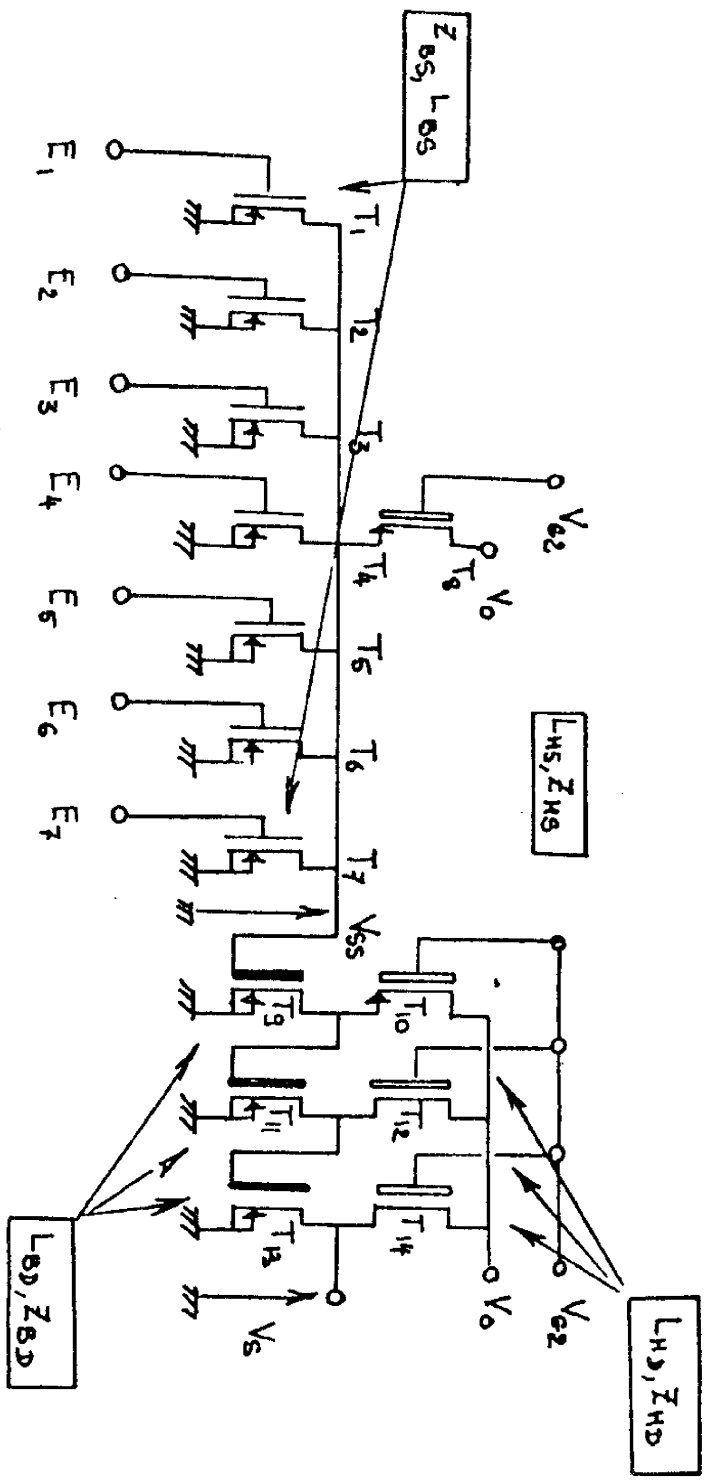


Figure II-1 - Schéma de principe d'un élément de logique à seuil à M. O. S. T.

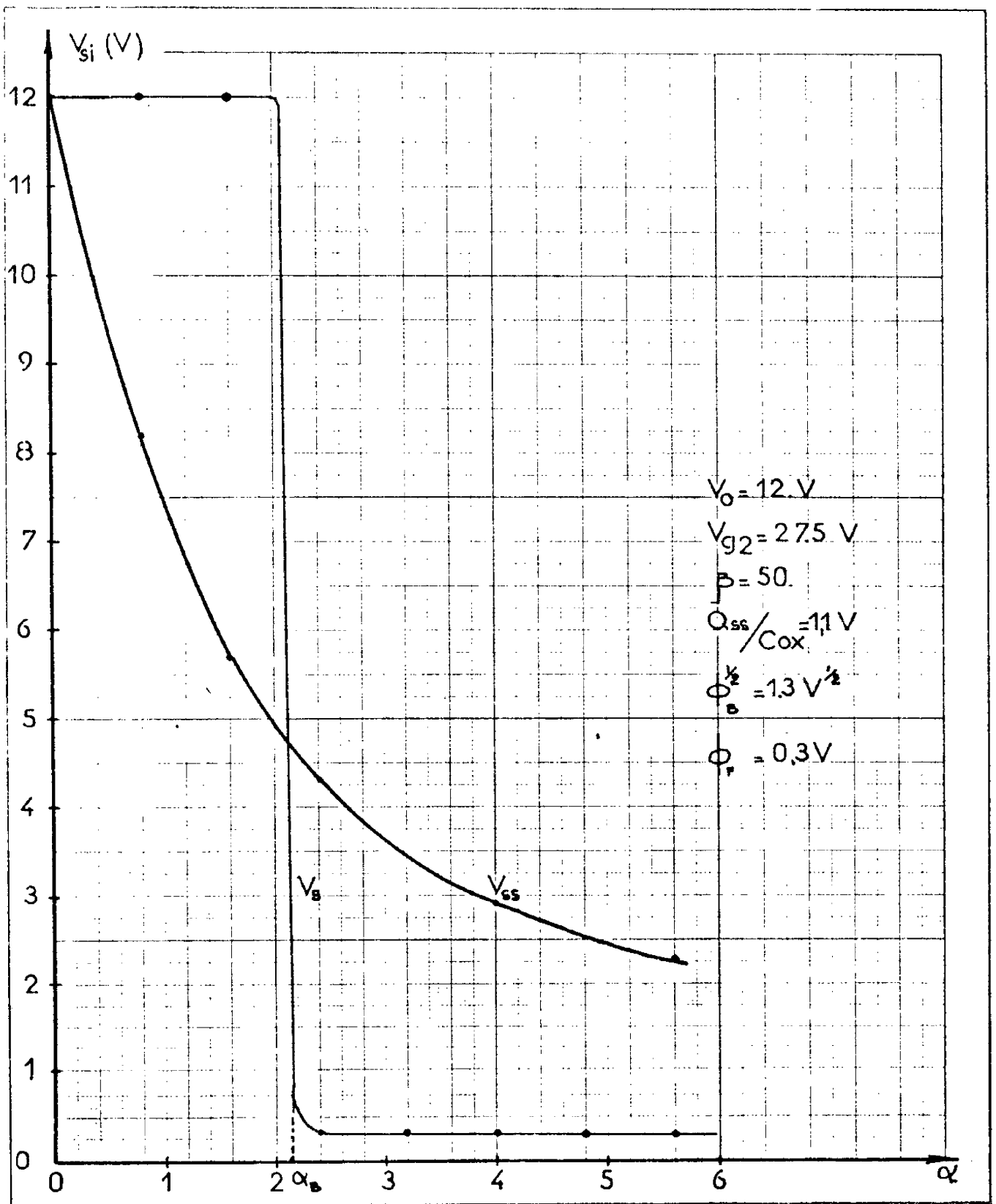


Figure II-2 - Variation de la tension de sortie du module sommateur et du module détecteur en fonction du rapport de pente

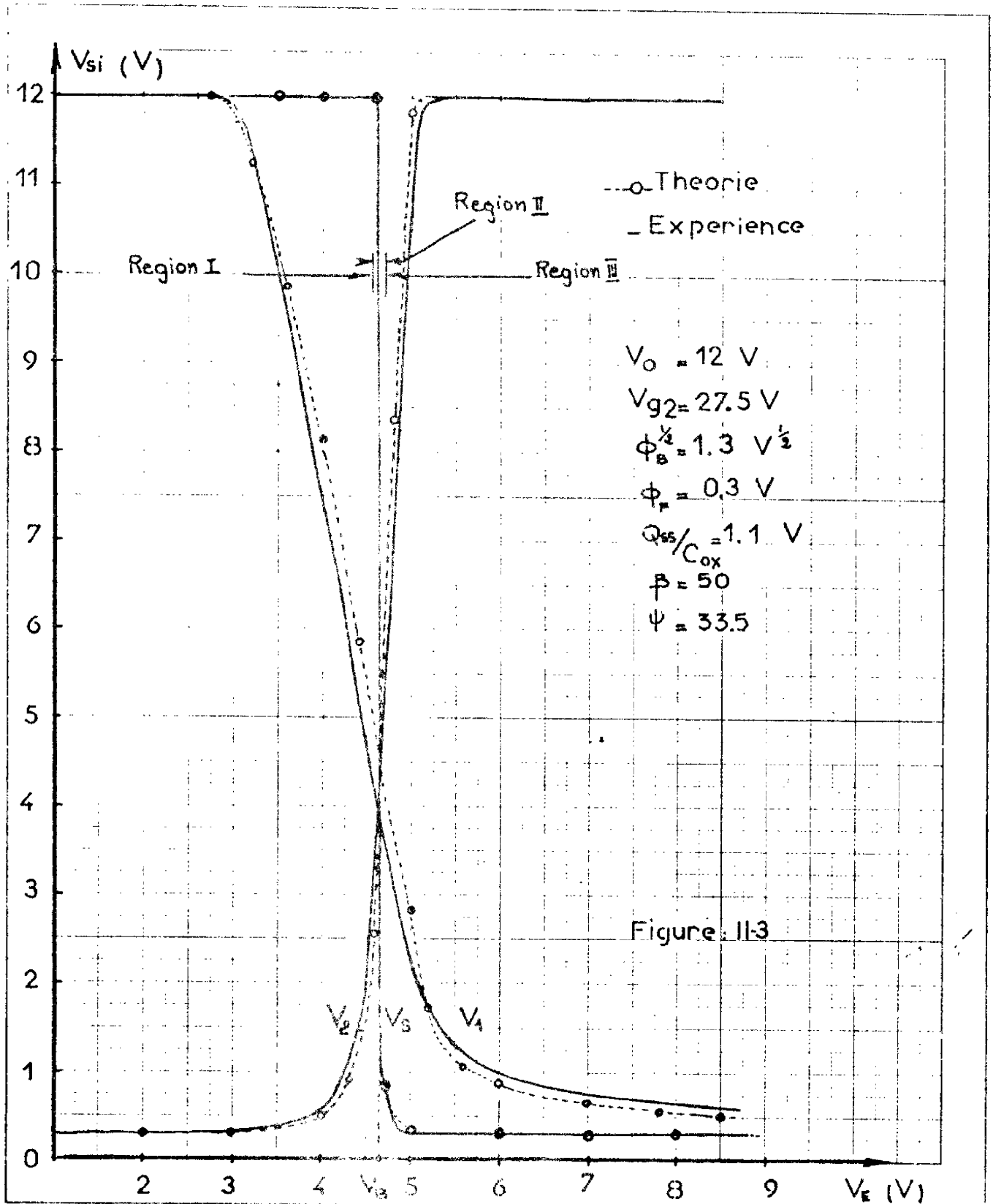


Figure II-3 - Fonction de transfert $V_S (V_E)$ du module détecteur de seuil

2.2 - MODELE DE LA PORIE LOGIQUE A SEUIL

2.2-1 - Caractérisation des éléments du circuit

Tous les transistors étant réalisés sur un même substrat de silicium, nous considérerons qu'ils présentent les mêmes caractéristiques technologiques suivantes :

- épaisseur d'oxyde x_0 et capacité d'oxyde par unité de surface C_{ox}

- paramètres de mobilité μ_0 et Ψ

- dopage du substrat N_D

- potentiel du substrat $\phi_B = \frac{2q \epsilon_0 \epsilon_{Si} N_D}{C_{ox}^2}$

- potentiel de Fermi du substrat $\phi_F = \frac{kT}{q} \text{Log} \frac{N_D}{n_i}$

- charges d'oxyde et d'interface par unité de surface, ramenées à l'interface silice-silicium Q_{SS}/C_{ox}

Par suite tous les transistors du circuit ont la même tension de seuil V_T .

Nous désignerons respectivement par (figure II-1)

- L_{HS} , Z_{HS} , L_{BS} , Z_{BS} la longueur et la largeur de canal des transistors M.O.S. de charge du sommateur d'une part et des transistors M.O.S. de commande de poids unitaire d'autre part.

- L_{HD} , Z_{HD} , L_{BD} , Z_{BD} les longueurs et largeurs des transistors M.O.S. de charge et de commande du détecteur dont nous supposerons que les trois étages sont identiques.

- De la même façon nous définirons les facteurs de pente k_{HS} , k_{BS} , k_{HD} , k_{BD} correspondant aux divers transistors M.O.S. désignés ci-dessus par les relations

$$(2-1) \quad k_i = \frac{\mu_0 Z_i C_{ox}}{L_i}$$

Dans ces conditions le détecteur sera caractérisé par un rapport de facteurs de pente β :

$$(2-2) \quad \beta = \frac{k_{BD}}{k_{HD}}$$

et le sommateur par un rapport variable α :

$$(2-3) \quad \alpha = \frac{n k_{BS}}{k_{HS}}$$

n représentant le nombre de transistors de commande dont la grille est soumise au niveau logique haut.

Enfin, nous appliquerons sur les transistors M.O.S. de charge une tension d'alimentation V_0 alors que leur grille sera soumise à une tension V_{G2} différente de V_0 . Nous supposerons que le niveau logique haut est égal à la tension d'alimentation et que le niveau logique bas correspond à une tension très inférieure à la tension de seuil V_T .

2-2-2 - Fonctionnement en régime statique

Nous supposerons dans ce paragraphe que chacun des transistors M.O.S. obéit à un régime statique décrit par la relation explicitée dans l'annexe I (A-9)

$$(2-4) \quad I_D = \frac{\mu_0 \frac{Z}{L} C_{OX}}{1 + \frac{V_G - V_T(V_R)}{\psi}} \left[(V_G - Q_{SS} / \frac{-2\phi_F}{C_{OX}})(V_D - V_R) - \frac{V_D^2 - V_R^2}{2} - \frac{2}{3} \phi_F^{1/2} \left[(V_D + 2\phi_F)^{3/2} - (V_R + 2\phi_F)^{3/2} \right] \right]$$

où V_D , V_G , V_R désignent respectivement les tensions drain substrat, grille substrat et source substrat.

2-2-2-1 - Fonctionnement du module détecteur

Puisqu'il est composé de trois étages inverseurs identiques en cascade, la caractéristique de transfert statique $V_S (V_{SS})$ du module détecteur sera solution du système de trois équations suivantes :

$$(2-8) \left\{ \begin{array}{l} (2-5) \quad V_{SS} = \frac{V_1}{2} \left(1 + \frac{C_1}{\beta}\right) + \left[\left(\frac{Q_{SS}}{C_{ox}} + 2\phi_F \right) \left(1 + \frac{C_1}{\beta}\right) - V_{G2} \frac{C_1}{\beta} \right] + \frac{2}{3} \frac{\phi_B^{1/2}}{V_1} \left[\left(V_1 + 2\phi_F \right)^{3/2} \left(1 + \frac{C_1}{\beta}\right) - \left(2\phi_F \right)^{3/2} \right] + \frac{C_1}{\beta} \frac{V_0}{V_1} \left[V_{G2} - \frac{Q_{SS}}{C_{ox}} - 2\phi_F - \frac{V_0}{2} - \frac{2}{3} \frac{\phi_B^{1/2}}{V_0} \left(V_0 + 2\phi_F \right)^{3/2} \right] \\ (2-6) \quad V_1 = \frac{V_2}{2} \left(1 + \frac{C_2}{\beta}\right) + \left[\left(\frac{Q_{SS}}{C_{ox}} + 2\phi_F \right) \left(1 + \frac{C_2}{\beta}\right) - V_{G2} \frac{C_2}{\beta} \right] + \frac{2}{3} \frac{\phi_B^{1/2}}{V_2} \left[\left(V_2 + 2\phi_F \right)^{3/2} \left(1 + \frac{C_2}{\beta}\right) - \left(2\phi_F \right)^{3/2} \right] + \frac{C_2}{\beta} \frac{V_0}{V_2} \left[V_{G2} - \frac{Q_{SS}}{C_{ox}} - 2\phi_F - \frac{V_0}{2} - \frac{2}{3} \frac{\phi_B^{1/2}}{V_0} \left(V_0 + 2\phi_F \right)^{3/2} \right] \\ (2-7) \quad V_2 = \frac{V_S}{2} \left(1 + \frac{C_3}{\beta}\right) + \left[\left(\frac{Q_{SS}}{C_{ox}} + 2\phi_F \right) \left(1 + \frac{C_3}{\beta}\right) - V_{G2} \frac{C_3}{\beta} \right] + \frac{2}{3} \frac{\phi_B^{1/2}}{V_S} \left[\left(V_S + 2\phi_F \right)^{3/2} \left(1 + \frac{C_3}{\beta}\right) - \left(2\phi_F \right)^{3/2} \right] + \frac{C_3}{\beta} \frac{V_0}{V_S} \left[V_{G2} - \frac{Q_{SS}}{C_{ox}} - 2\phi_F - \frac{V_0}{2} - \frac{2}{3} \frac{\phi_B^{1/2}}{V_0} \left(V_0 + 2\phi_F \right)^{3/2} \right] \end{array} \right.$$

avec $C_1 = C(V_{SS}, V_1)$, $C_2 = C(V_1, V_2)$, $C_3 = C(V_2, V_S)$, la fonction $C(X, Y)$ étant définie par :

$$C(X, Y) = \frac{X - V_T(0) - \Psi}{V_{G2} - V_T(Y) + \Psi}$$

V_1 , V_2 désignant respectivement les tensions de sortie du premier et du second étage inverseur du module détecteur de seuil.

Notons tout d'abord que compte tenu des niveaux logiques que nous avons définis au paragraphe précédent, il n'y aura conservation du niveau logique haut à travers une porte élémentaire de logique à seuil qu'à condition

que la tension de sortie du module puisse atteindre la tension d'alimentation V_0 . Comme l'a montré M. SALVIAC [7] [8] cette condition ne sera réalisée que si la tension de grille V_{G2} appliquée à chacun des étages du détecteur de seuil est suffisamment élevée pour que le transistor M.O.S. de charge de chacun de ces étages n'atteigne pas sa tension de seuil sous l'effet de sa tension source-substrat.

De façon plus précise cette condition impose que :

$$(2-9) \quad V_{G2} \gg V_0 + 2\phi_F + \frac{Q_{SS}}{C_{ox}} + \phi_B^{1/2} \sqrt{V_0 + 2\phi_F}$$

Par ailleurs, le niveau logique bas ne sera conservé que si la valeur de la tension de sortie la plus faible, sur la caractéristique de transfert de chacun des étages inverseurs est, si ce n'est rigoureusement nulle tout au moins inférieure à la tension de seuil du transistor M.O.S. de commande. Cette condition impose que le rapport des facteurs de pente β de chacun des étages du détecteur de seuil vérifie la relation (2-10).

$$(2-10) \quad \frac{C}{\beta} \ll \frac{V_0 - A + \frac{2}{3} \phi_B^{1/2} / V_{T(0)} \cdot (2\phi_F)^{3/2}}{A - V_{G2} + \frac{1}{V_{T(0)}} \left[V_0 \left(V_{G2} - \frac{Q_{SS}}{C_{ox}} - 2\phi_F - \frac{V_0}{2} \right) - \frac{2}{3} \phi_B^{1/2} (V_0 + 2\phi_F)^{3/2} \right]}$$

$$\text{avec : } A = \frac{1}{2} V_{T(0)} + \frac{Q_{SS}}{C_{ox}} + 2\phi_F + \frac{2}{3} \phi_B^{1/2} / V_{T(0)} (V_{T(0)} + 2\phi_F)^{3/2}$$

$$C = \frac{(V_0 - V_{T(0)} + \Psi)}{(V_{G2} - V_T(V_T) + \Psi)}$$

En pratique pour les tensions d'alimentation et les paramètres technologiques généralement utilisés, il apparaît que la valeur minimale β est de l'ordre de cinq.

Le système des trois équations (2-8) n'est soluble de façon commode qu'au moyen d'un ordinateur. Nous avons reporté sur la figure II-3 un exemple

de la fonction de transfert $V_S(V_E)$ du module détecteur et des variations des tensions intermédiaires V_1, V_2 . Cette fonction de transfert peut se décomposer en trois parties.

- La région I où le transistor de commande du dernier étage est bloqué. La sortie est au niveau logique "1".

- La région II, région de transition entre le niveau logique haut et le niveau logique bas.

- La région III où la tension de sortie V_S est très inférieure à la tension de seuil V_T ; ce qui correspond au niveau logique bas.

La région de transition II, qui correspond à la région "active" du module détecteur de seuil peut être caractérisée par deux propriétés :

- Il existe une tension V_B que nous appellerons tension de basculement, pour laquelle la tension d'entrée et de sortie du module détecteur ainsi que toutes les tensions intermédiaires, V_1, V_2 sont égales.

Compte tenu des relations (2-8) cette tension V_B sera solution de l'équation :

$$(2-11) \quad V_B = \frac{V_B}{2} \left(1 + \frac{C_B}{\beta}\right) + \left[\left(\frac{Q_{SS}}{C_{OX}} + 2\phi \right) \left(1 + \frac{C_B}{\beta}\right) - V_{G2} \frac{C_B}{\beta} \right] + \frac{2}{3} \frac{\phi_B^{1/2}}{V_B} \left[\left(V_B + 2\phi \right) \left(1 + \frac{C_B}{\beta}\right) - \left(2\phi \right)^{3/2} \right] + \frac{C_B}{\beta} \frac{V_0}{V_B} \left[V_{G2} - \frac{Q_{SS}}{C_{OX}} - 2\phi - \frac{V_0}{2} - \frac{2}{3} \frac{\phi_B^{1/2}}{V_0} \left(V_0 + 2\phi \right)^{3/2} \right]$$

avec : $C_B = C(V_B, V_B)$

La largeur de la zone de transition peut être définie par la grandeur ΔV_E :

$$(2-12) \quad \Delta V_E = 2 \left[V_B - (V_E) \quad \text{pour } V_S = V_T \right]$$

Remarquons que la figure (II-3) met bien en évidence le fait que les trois étages en cascade du module détecteur réduisent de façon notable la largeur de la zone de transition. Nous avons porté sur la figure II-4 un exemple des variations ΔV_E en fonction du rapport de pente β .

2-2-2-2 - Fonctionnement du module sommateur

Ainsi que nous l'avons indiqué le fonctionnement du module sommateur est identique à celui d'un simple inverseur, c'est-à-dire que sa fonction de transfert $V_{SS}(V_E)$ obéit à la relation :

$$(2-13) \quad V_E = \frac{V_{SS}}{2} \left(1 + \frac{C_4}{\alpha}\right) + \left[\left(\frac{Q_{SS}}{C_{OX}} + 2\phi_F \right) \left(1 + \frac{C_4}{\alpha}\right) - V_{G2} \frac{C_4}{\alpha} \right] + \frac{2}{3} \frac{\phi_B^{1/2}}{V_{SS}} \left[\left(V_{SS} + 2\phi_F \right)^{3/2} \left(1 + \frac{C_4}{\alpha}\right) - \left(2\phi_F \right)^{3/2} \right] + \frac{C_4}{\alpha} \frac{V_0}{V_{SS}} \left[V_{G2} - \frac{Q_{SS}}{C_{OX}} - 2\phi_F - \frac{V_0}{2} - \frac{2}{3} \frac{\phi_B^{1/2}}{V_0} \left(V_0 + 2\phi_F \right)^{3/2} \right]$$

avec : $C_4 = C(V_E, V_{SS})$

Etant donné le mode particulier de fonctionnement que nous utilisons, la grandeur réelle d'entrée sera le nombre de transistors de commande mis en fonctionnement par l'application d'une tension grille égale à la tension d'alimentation V_0 . Par suite la caractéristique à considérer sera la courbe $V_{SS}(\alpha)$, α étant le rapport de la pente équivalente aux différents transistors de commande en fonctionnement et de la pente du transistor M.O.S. de charge. Compte tenu de la relation (2-13) cette caractéristique $V_{SS}(\alpha)$ est définie par la relation :

$$(2-14) \quad V_E = V_0 = \frac{V_{SS}}{2} \left(1 + \frac{C_5}{\alpha}\right) + \left[\left(\frac{Q_{SS}}{C_{OX}} + 2\phi_F \right) \left(1 + \frac{C_5}{\alpha}\right) - V_{G2} \frac{C_5}{\alpha} \right] + \frac{2}{3} \frac{\phi_B^{1/2}}{V_{SS}} \left[\left(V_{SS} + 2\phi_F \right)^{3/2} \left(1 + \frac{C_5}{\alpha}\right) - \left(2\phi_F \right)^{3/2} + \frac{C_5}{\alpha} \frac{V_0}{V_{SS}} \left[V_{G2} - \frac{Q_{SS}}{C_{OX}} - 2\phi_F - \frac{V_0}{2} - \frac{2}{3} \frac{\phi_B^{1/2}}{V_0} \left(V_0 + 2\phi_F \right)^{3/2} \right] \right]$$

avec $C_5 = C(V_0, V_{SS})$

Nous en avons déjà donné un exemple à la figure II-2.

2-2-2-3 - Condition de basculement

La caractéristique fondamentale d'une porte logique à seuil est la valeur de la somme pondérée des entrées qui provoque la modification du niveau logique de sortie. Des paragraphes qui précèdent il ressort que pour le circuit que nous avons considéré, cette condition se ramène à la détermination du rapport de pente α_B tel que la tension de sortie V_{SS} du module sommateur soit égale à la tension de basculement V_B du module détecteur.

Si l'on se fixe, les tensions de polarisation, le rapport de pente du module détecteur, le rapport de pente α_B de basculement sera, compte tenu des relations (2-11), (2-14) solution du système:

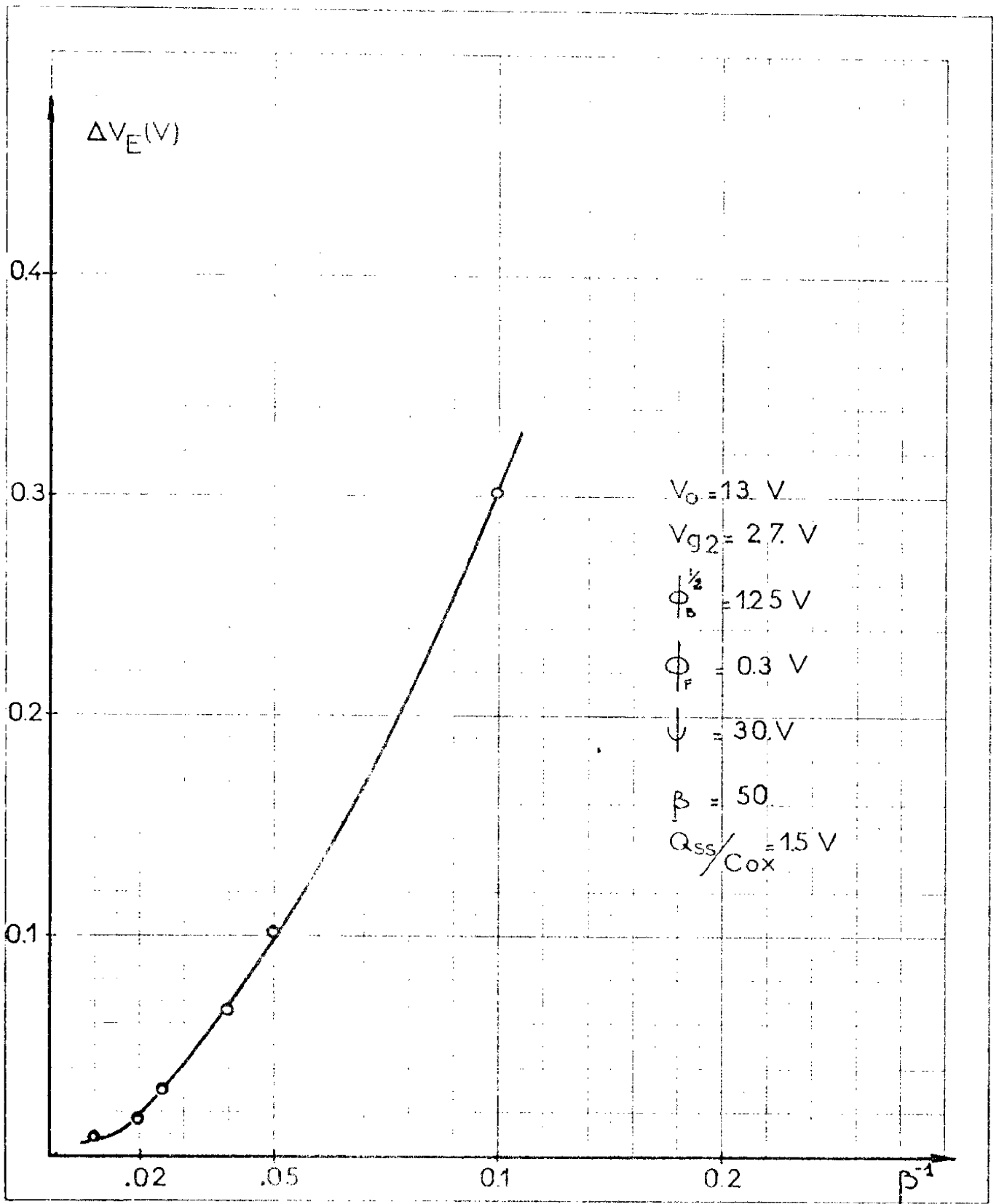


Figure II-4 - Variations de la largeur de la zone de transition en fonction du rapport des facteurs de pente

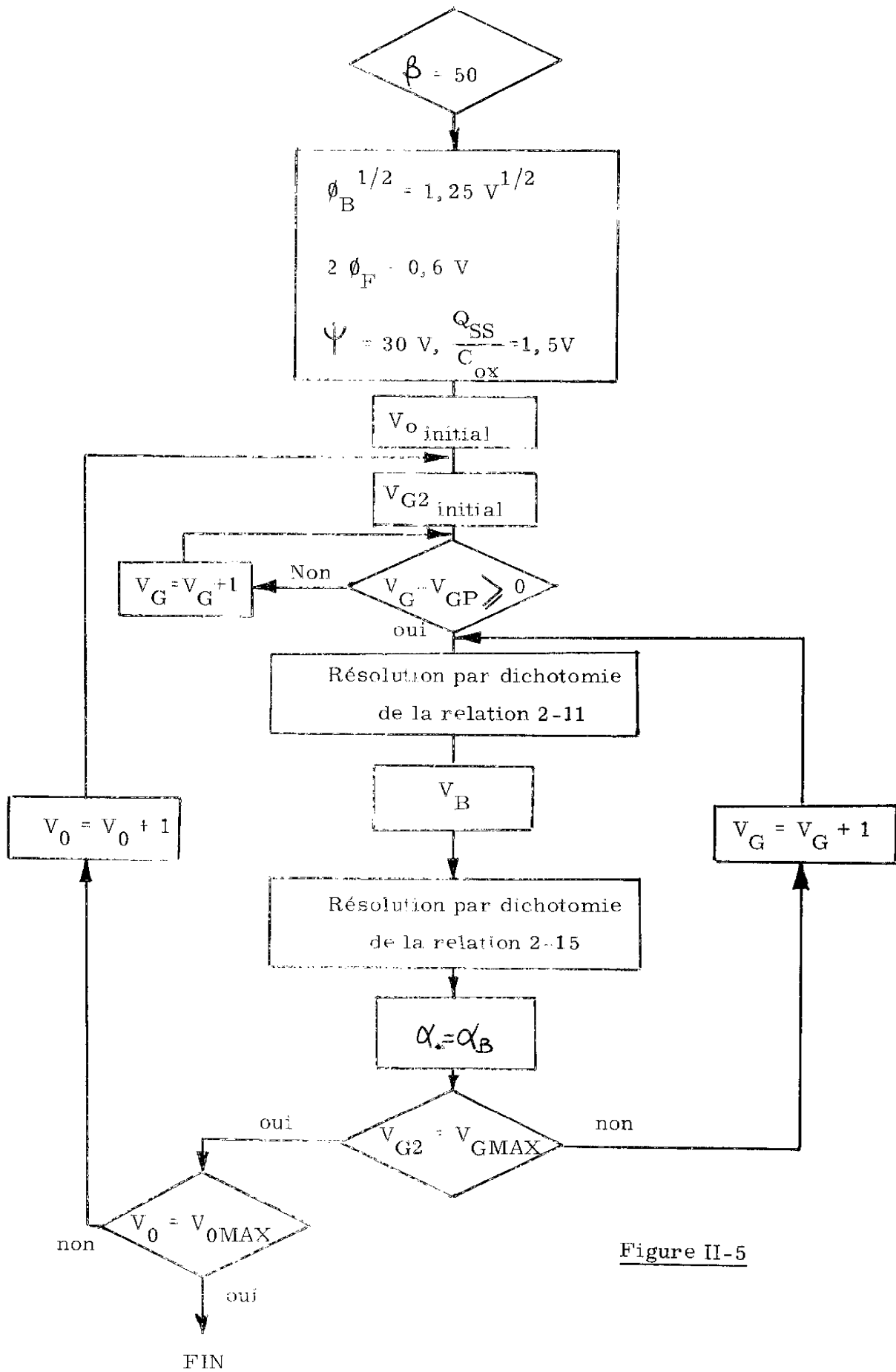


Figure II-5

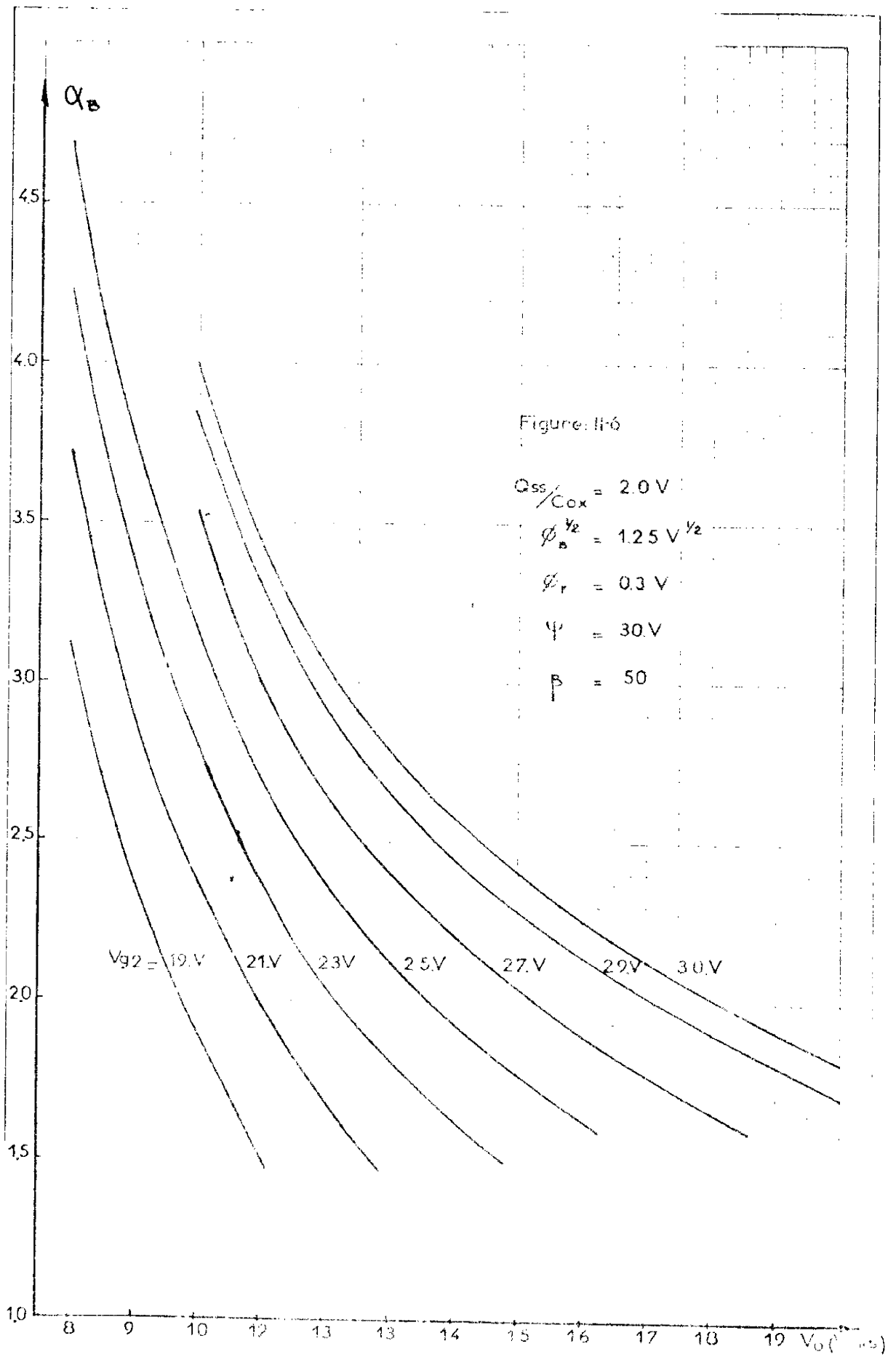


Figure II-6 - Variation du rapport de pente au basculement en fonction des tensions de polarisation

$$(2-15) \left\{ \begin{array}{l} V_D = \frac{V_B}{2} \left(1 + \frac{C_6}{\alpha}\right) + \left[\left(\frac{Q_{SS}}{C_{OX}} + 2\phi_F \right) \left(1 + \frac{C_6}{\alpha}\right) - V_{G2} \frac{C_6}{\alpha} \right] + \frac{2}{3} \frac{\phi_B^{1/2}}{V_B} \left[(V_D + 2\phi_F)^{3/2} \left(1 + \frac{C_6}{\alpha}\right) \right. \\ \left. - (2\phi_F)^{3/2} + \frac{C_6}{\alpha} \frac{V_0}{V_B} \left[V_{G2} - \frac{Q_{SS}}{C_{OX}} - 2\phi_F - \frac{V_0}{2} - \frac{2}{3} \frac{\phi_B^{1/2}}{V_0} (V_0 + 2\phi_F)^{3/2} \right] \right] \\ V_B = \frac{V_B}{2} \left(1 + \frac{C_B}{\beta}\right) + \left[\left(\frac{Q_{SS}}{C_{OX}} + 2\phi_F \right) \left(1 + \frac{C_B}{\beta}\right) - V_{G2} \frac{C_B}{\beta} \right] + \frac{2}{3} \frac{\phi_B^{1/2}}{V_B} \left[(V_B + 2\phi_F)^{3/2} \left(1 + \frac{C_B}{\beta}\right) \right. \\ \left. - (2\phi_F)^{3/2} + \frac{C_B}{\beta} \frac{V_0}{V_B} \left[V_{G2} - \frac{Q_{SS}}{C_{OX}} - 2\phi_F - \frac{V_0}{2} - \frac{2}{3} \frac{\phi_B^{1/2}}{V_0} (V_0 + 2\phi_F)^{3/2} \right] \right] \end{array} \right.$$

avec $C_6 = C(V_0, V_B)$

Nous avons résolu ce système par des méthodes numériques, l'organigramme du programme correspondant est représenté sur la figure II-5. Un exemple des variations de α_B en fonction de la tension d'alimentation V_0 et de la tension de polarisation V_{G2} est montré sur la figure II-6.

2-2-2-4 - Puissance consommée par la porte

La puissance consommée par un étage du module détecteur de seuil ou par le module sommateur s'exprime par : (Annexe I - relation A-10) :

$$(2-16) \quad P_i = V_0 k_{HD \text{ ou } S} \int (V_0, V_{G2}, V_{Si})$$

$k_{HD \text{ ou } S} \int$ étant le courant traversant le transistor M.O.S. de charge d'un de ces étages et V_{Si} la tension de sortie du dit étage.

Il suffit de connaître ces quatre grandeurs pour déterminer la puissance consommée par une porte de logique à seuil selon le processus suivant :

- détermination des tensions intermédiaires de chacun des étages en

utilisant pour chacun comme tension d'entrée la tension de sortie de celui qui le précède.

- calcul de la puissance par sommation

$$(2-17) \quad P = V_0 \cdot \sum_i k_{\text{HD ou S}} \mathcal{J}(V_0, V_{G2}, V_{Si})$$

Nous avons établi un sous programme permettant d'effectuer cette résolution. Cependant il faut noter que la puissance totale consommée par la porte de logique à seuil dépend du nombre total d'entrées excitées, et que ce nombre est arbitraire puisque seul le nombre de poids nécessaire à la transition logique est imposé par les différentes contraintes.

Dans un souci de simplification nous caractériserons dans la suite de cet exposé une porte de logique à seuil par la puissance P_0 :

$$(2-18) \quad P_0 = 2 V_0 k_{\text{HD}} \mathcal{J}(V_0, V_{G2}, V_{Si})$$

qui correspond à la puissance dissipée par l'ensemble de la cellule lorsque le sommateur est bloqué.

Cette puissance ne dépend que du facteur de pente k_{HD} des transistors de charge du module détecteur et du rapport β , au travers de la tension V_{Si} .

Comme nous le verrons au paragraphe 5-2 dans le cas où les transistors M.O.S. du module sommateur et du module détecteur ont même facteur de pente l'écart entre la puissance P_0 et la puissance maximale reste inférieur à 20%.

2-2-3 - Fonctionnement dynamique

L'étude de la réponse transitoire du circuit porte de logique à seuil que nous avons proposée n'est évidemment possible qu'au moyen d'un ordinateur. Nous avons, pour ce faire, utilisé le programme général de conception assistée par ordinateur, I. M. A. G. II, développé à l'Institut de Mathématiques

Appliquées de Grenoble [9] .

Pour cette étude nous avons simulé par une capacité placée en parallèle sur la sortie du module détecteur l'impédance d'entrée des circuits placés en aval de la porte élémentaire étudiée. Par ailleurs nous avons représenté chacun des transistors M.O.S. par le modèle décrit dans l'Annexe II qui constitue une simplification du schéma rigoureux proposé par P. ROSSEL [10] de façon à satisfaire au mieux le compromis précision complexité.

Notons cependant que la simulation du circuit étudié n'a pu se faire selon le processus opératoire le plus simple du programme I. M. A. G. II. Il est en effet apparu que le rapport des facteurs de pente élevé associé au module détecteur ($\beta > 15$) a provoqué une non convergence du programme lors de l'intégration qui permet de déterminer l'état initial du circuit. Nous avons contourné cette difficulté en affichant les valeurs exactes initiales des tensions aux bornes de toutes les capacités du réseau que nous avons déterminées à partir des programmes relatifs au fonctionnement statique décrit au paragraphe précédent. Compte tenu du nombre limité de capacités dont il est possible d'initialiser les tensions nous avons été obligés de scinder la simulation en deux parties : le comportement du module sommateur d'une part, d'autre part le comportement du module détecteur excité par le signal de sortie du module sommateur.

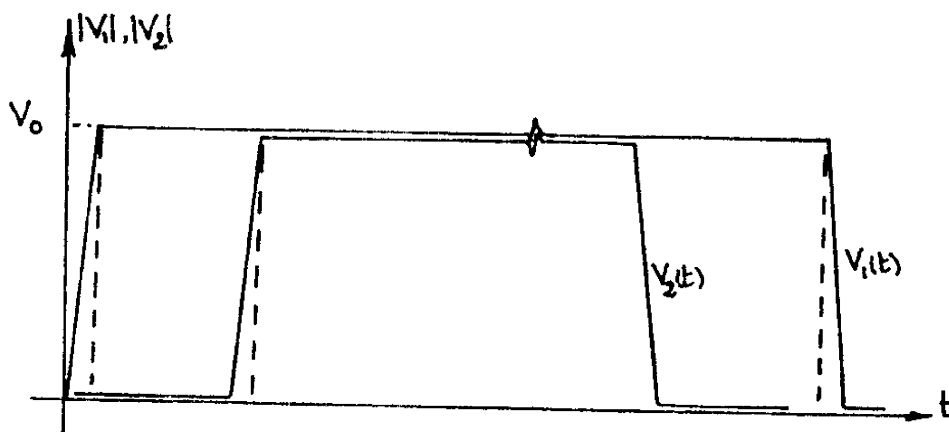
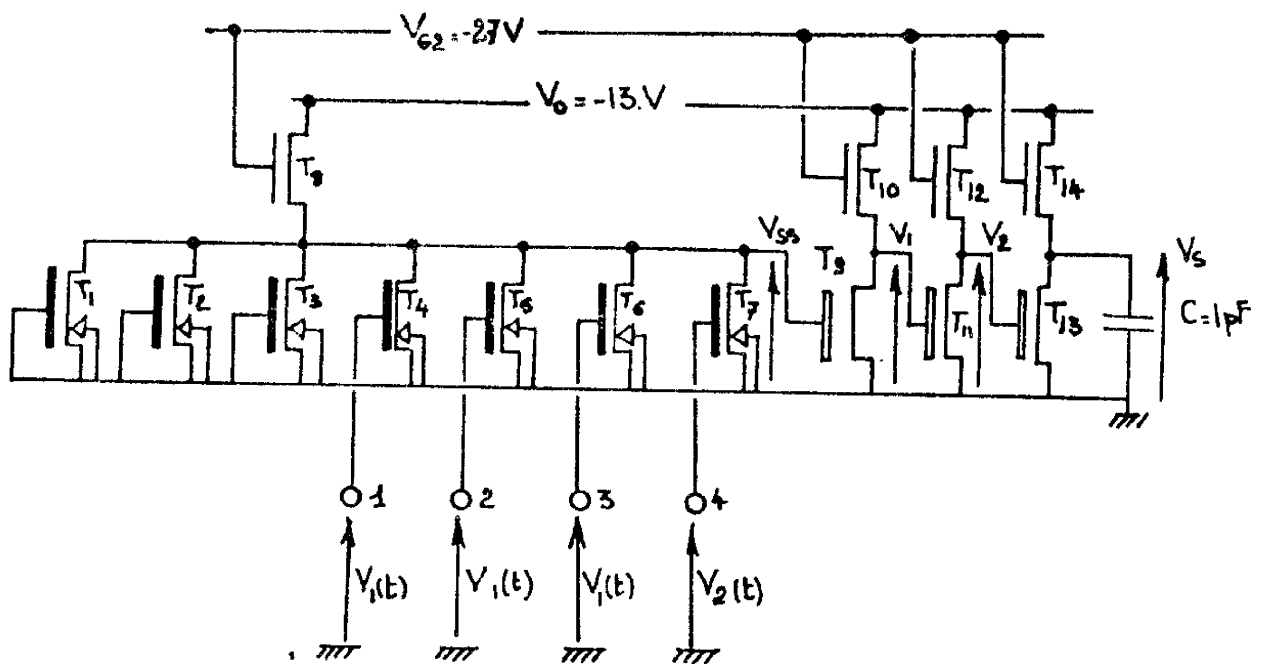
Remarquons enfin que pour l'étude générale présentée dans ce paragraphe nous n'avons pu évidemment tenir compte de l'influence des éléments parasites liés à l'implantation des interconnexions du circuit.

2-2-3-1 - Forme des régimes transitoires

Nous appellerons :

- temps de montée τ_m l'intervalle de temps qui sépare l'instant d'application de l'échelon de tension d'entrée et celui pour lequel la tension de sortie atteint la valeur $0,9 V_0$,

- temps de descente τ_D la durée qui sépare l'application du créneau inverse de l'instant où la tension de sortie V_S atteint la tension de



- Transistors T_1 à T_7 $L_{BS} = 20 \mu$; $Z_{BS} = 60 \mu$
- Transistor T_8 $L_{HS} = 20 \mu$; $Z_{HS} = 40 \mu$
- Transistors T_9 , T_{11} , T_{13} $L_{BD} = 10 \mu$; $Z_{BD} = 250$
- Transistors T_{10} , T_{12} , T_{14} $L_{HD} = 20 \mu$; $Z_{HD} = 10 \mu$

Figure II-7

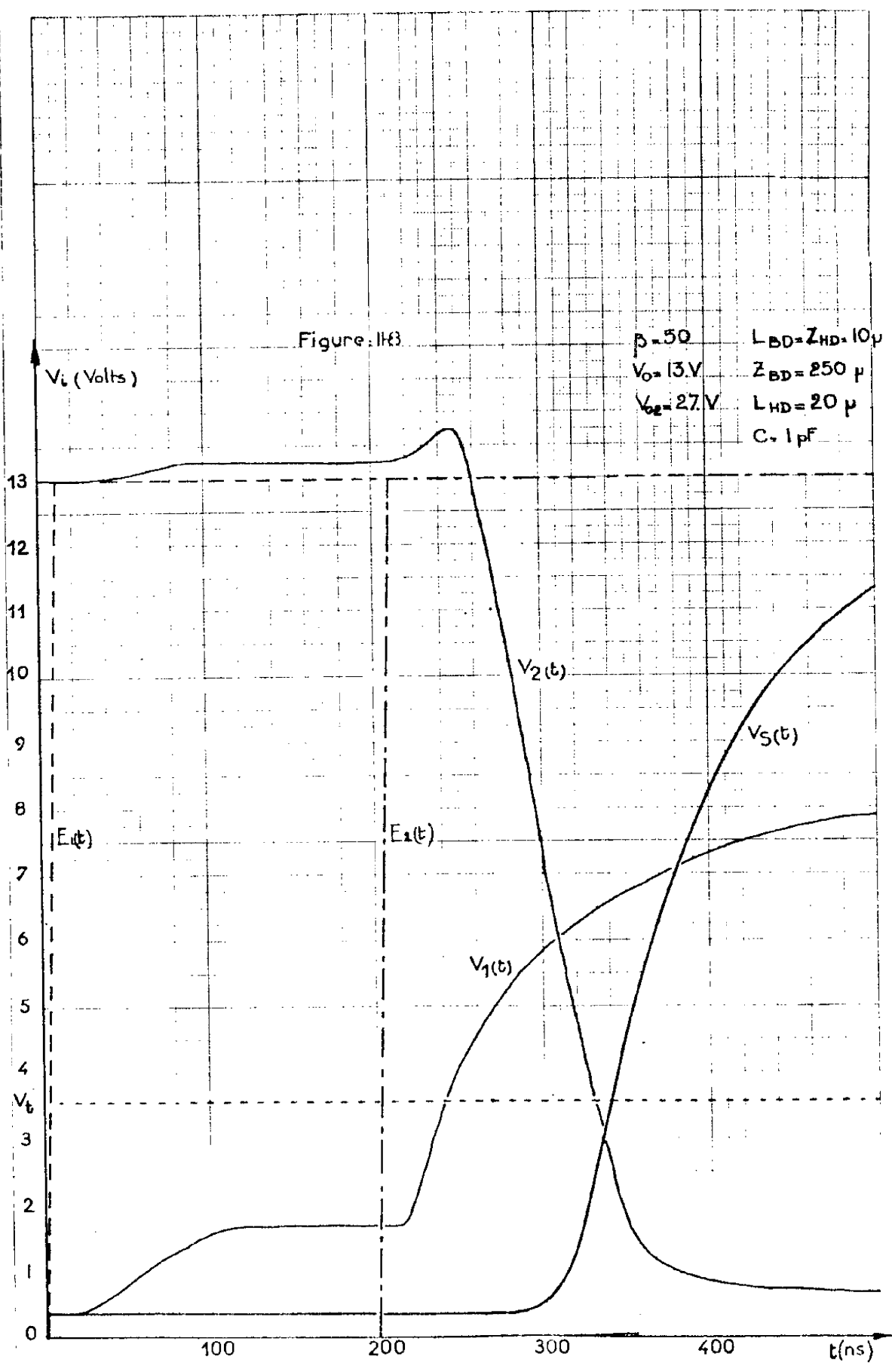


Figure II-8 - Réponse temporelle d'une porte logique à seuil à un échelon de tension $0 \rightarrow V_0$ appliqué sur une entrée de poids 1 au voisinage du seuil

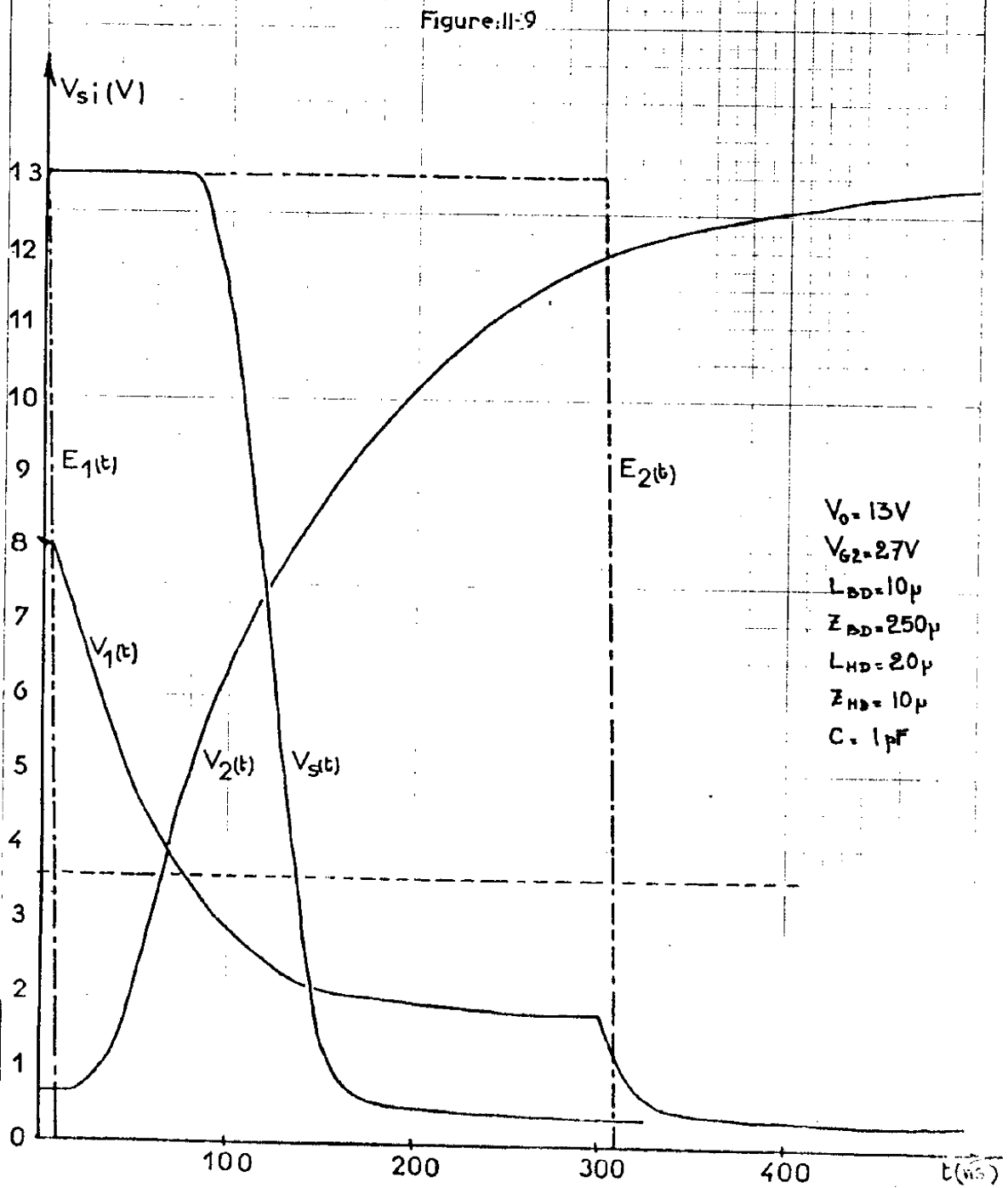


Figure II-9 - Réponse temporelle d'une porte de logique à seuil à un échelon $V_0 \rightarrow 0$ sur une entrée de poids 1 au voisinage du point de basculement.

seuil V_T .

Examinons à titre d'exemple les tensions V_{SS} , V_S , V_1 , V_2 qui apparaissent aux différents noeuds de la figure II-7 lorsque les entrées 1, 2, 3 sont excitées par le signal $V_{E1}(t)$ et son entrée 4 par le signal $V_{E2}(t)$ décalé dans le temps comme il est indiqué sur la figure II-7. Notons que les différents paramètres du circuit et les conditions de polarisation (2-2-2-3) sont telles que la transition de la tension logique de sortie s'effectue entre les poids 3 et 4.

On observe successivement : figure II-8

a) que l'application de la tension d'entrée $V_{E1}(t)$ d'amplitude égale à V_0 sur les entrées 1, 2, 3 provoque une évolution de la tension de sortie du sommateur entre V_0 et une valeur qui n'est pas suffisante pour provoquer la transition de la tension de sortie.

b) appliquant ensuite le signal $V_{E2}(t)$ d'amplitude V_0 sur l'entrée 4, on observe un rapide transitoire de V_{SS} qui passe le seuil de basculement V_B du détecteur de seuil. Le potentiel V_1 remonte, débloquant ainsi le transistor T_{11} ce qui a pour conséquence de faire évoluer rapidement le potentiel V_2 vers une tension inférieure au seuil V_T . Cette décroissance du potentiel V_2 a pour effet de faire basculer la tension de sortie V_S après un certain retard du niveau logique bas (V_S inférieur à la tension de seuil) au niveau logique haut (V_S égal à V_0).

Ce transitoire de la tension de sortie, que nous appellerons temps de montée, se compose donc d'un temps de retard et d'un temps de commutation.

c) l'application d'un échelon inverse sur l'entrée de poids quatre ($V_{E2}(t) : V_0 \longrightarrow 0$) entraîne un rapide transitoire de la tension V_{SS} qui repasse le seuil de basculement V_B figure II-9. Parallèlement la tension V_1 diminue atteint le seuil de conduction V_1 des transistors M.O.S. du circuit, provoquant le blocage du transistor T_{11} . La tension V_2 monte, provoquant la mise en conduction du transistor T_{13} et par suite fait apparaître le régime

transitoire du dernier étage qui se caractérise par une évolution de la tension de sortie entre la tension V_0 et le niveau logique bas. Comme précédemment le temps de descente global se compose d'un temps de retard et d'un temps de basculement.

d) enfin, l'application d'un échelon $V_0 \rightarrow 0$ sur les entrées 1, 2, 3, bien que faisant évoluer les tensions V_{SS} et V_1 n'entraîne aucune variation des tensions V_2 et V_S . Le potentiel V_{SS} présente seul un transitoire important entre une tension voisine du seuil de basculement et la tension V_0 .

2-2-3-1 - Influence des dimensions géométriques des transistors M.O.S. sur le temps de montée

Dans ce paragraphe nous nous proposons de définir quelles sont les dimensions géométriques dont les variations affectent de façon importante le temps de montée τ_m . Cette étude a été effectuée au moyen du programme de simulation I. M. A. G. II de la façon suivante :

- nous supposons que le temps de montée τ_m est toujours plus long que le temps de descente τ_d .

- nous n'avons fait varier que les dimensions géométriques du détecteur de seuil, la réponse du sommateur servant de signal d'excitation au module détecteur.

A - Influence du transistor M.O.S. de charge

Pour analyser l'influence des dimensions des transistors M.O.S de charge du module détecteur la simulation a été faite comme suit :

- nous avons maintenu constantes, la puissance dissipée en régime statique, ainsi que les dimensions géométriques de tous les transistors M.O.S. de commande du module détecteur de seuil

- nous avons fait varier les dimensions des transistors M.O.S. de charge Z_{HB} , L_{HB} en maintenant le rapport $k_2 = \frac{Z_{HD}}{L_{HD}}$ constant ; $k_2 = 0,5$.

On constate que lorsque le facteur de pente du transistor M. O. S. de charge du module détecteur de seuil est maintenu constant, le temps de montée est peu sensible aux variations des dimensions de ce composant puisque pour une variation de longueur comprise entre 20 et 80 microns, qui correspond à la "plage" couramment utilisée on n'observe qu'une variation de 10% de cette grandeur. Ce résultat est en accord avec l'analyse simplifiée faite par différents auteurs [7] [11] qui fait apparaître que le temps de montée est proportionnel au facteur $\frac{C}{k_{HD}}$.

Toutefois les variations que l'on observe peuvent être attribuées en grande partie aux éléments parasites capacitifs des composants élémentaires (capacité de source, de drain et de recouvrement) qui évoluent pendant cette simulation.

B - Influence des dimensions géométriques du transistor de commande du détecteur de seuil

Cette analyse menée d'une manière analogue à celle du paragraphe précédent a été effectuée dans les conditions suivantes :

- La puissance et par suite le rapport $\frac{Z_{HD}}{L_{HD}}$ ont été maintenus constants égal à 0,5 ; nous avons fait varier la longueur du canal du transistor M. O. S. de commande du module détecteur, le rapport de pente β restant constant, et relevé les évolutions consécutives du temps de montée.

Les résultats obtenus sont reportés sur les figures II-11, II-12.

On constate une diminution importante du temps de montée \hat{a}_m lorsqu'on réduit la longueur L_{BD} , essentiellement due au fait (figure II-11) que le temps de descente du second étage du détecteur de seuil décroît lorsque la longueur de canal diminue. Les évolutions du temps de montée \hat{a}_m sont donc essentiellement dues aux évolutions du temps de retard, t_{rd} , qui sépare l'instant d'application de l'échelon d'entrée du moment où la tension de sortie V_S passe le seuil V_T .

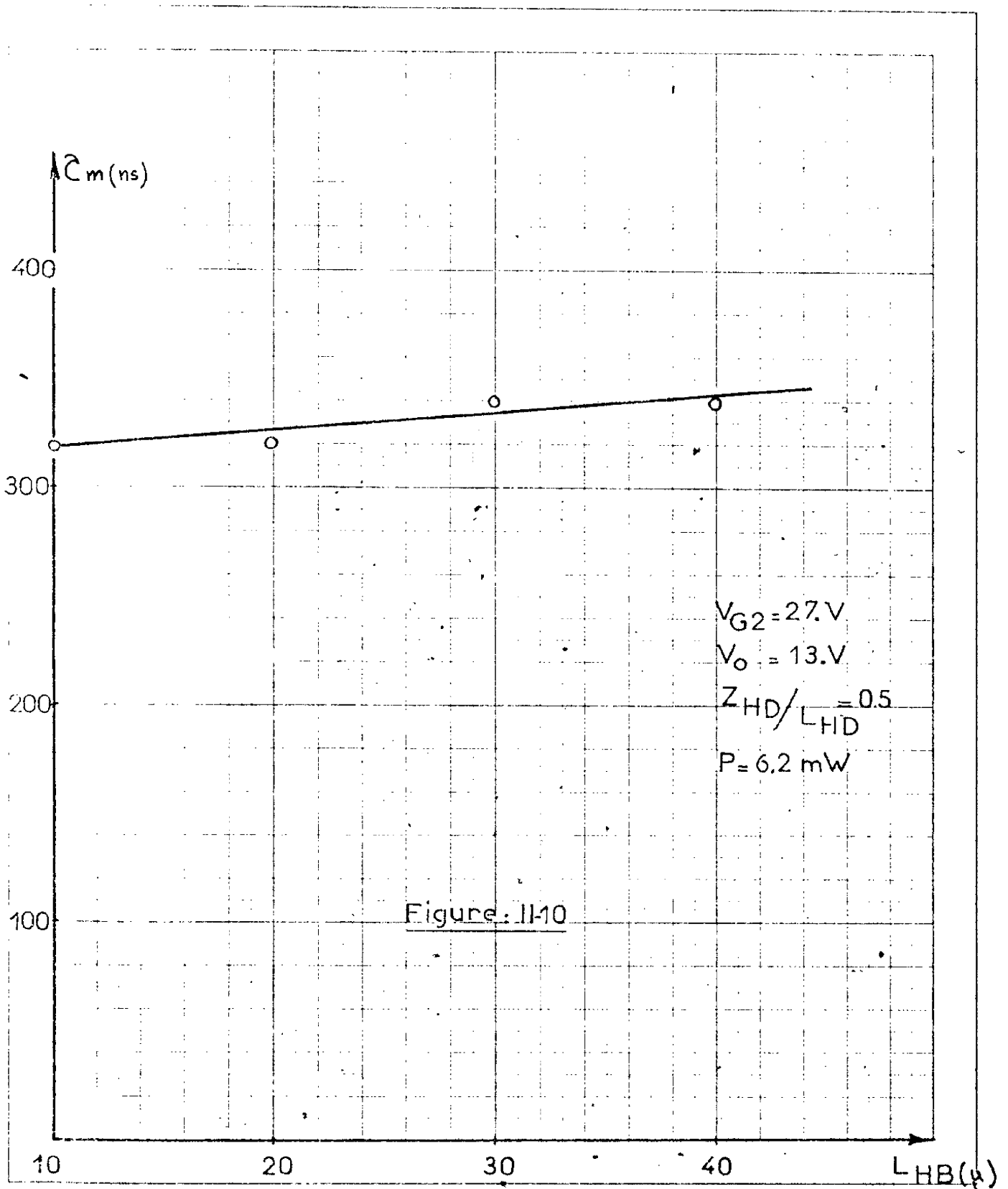
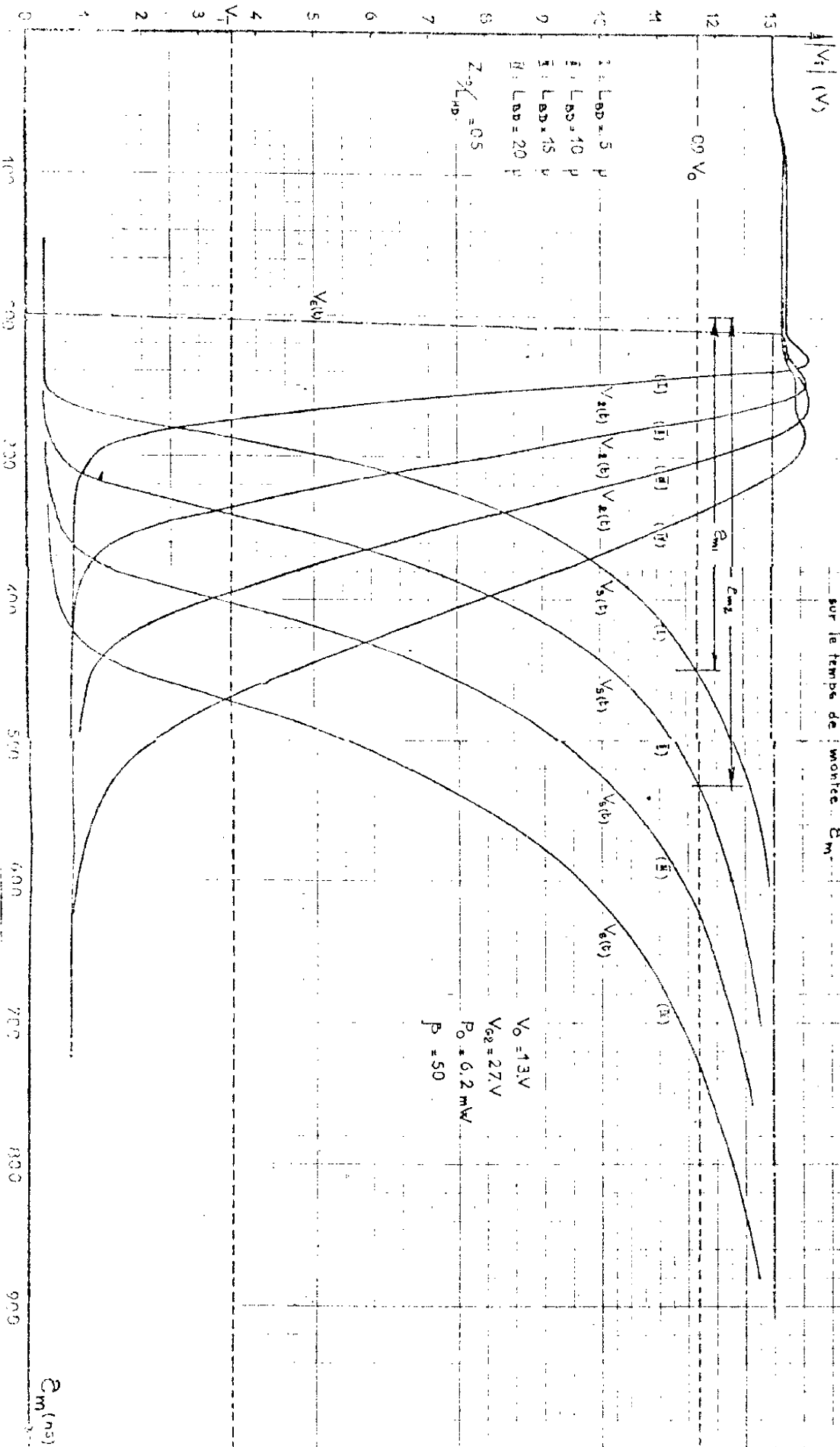


Figure II-10 - Variations du temps de montée t_m d'une porte logique à seuil en fonction des dimensions du canal du transistor M. O. S. de charge du module détecteur

FIGURE 11-11

Influence de la largeur du canal du MOSF de commande du détecteur de seuil sur le temps de montée E_m .



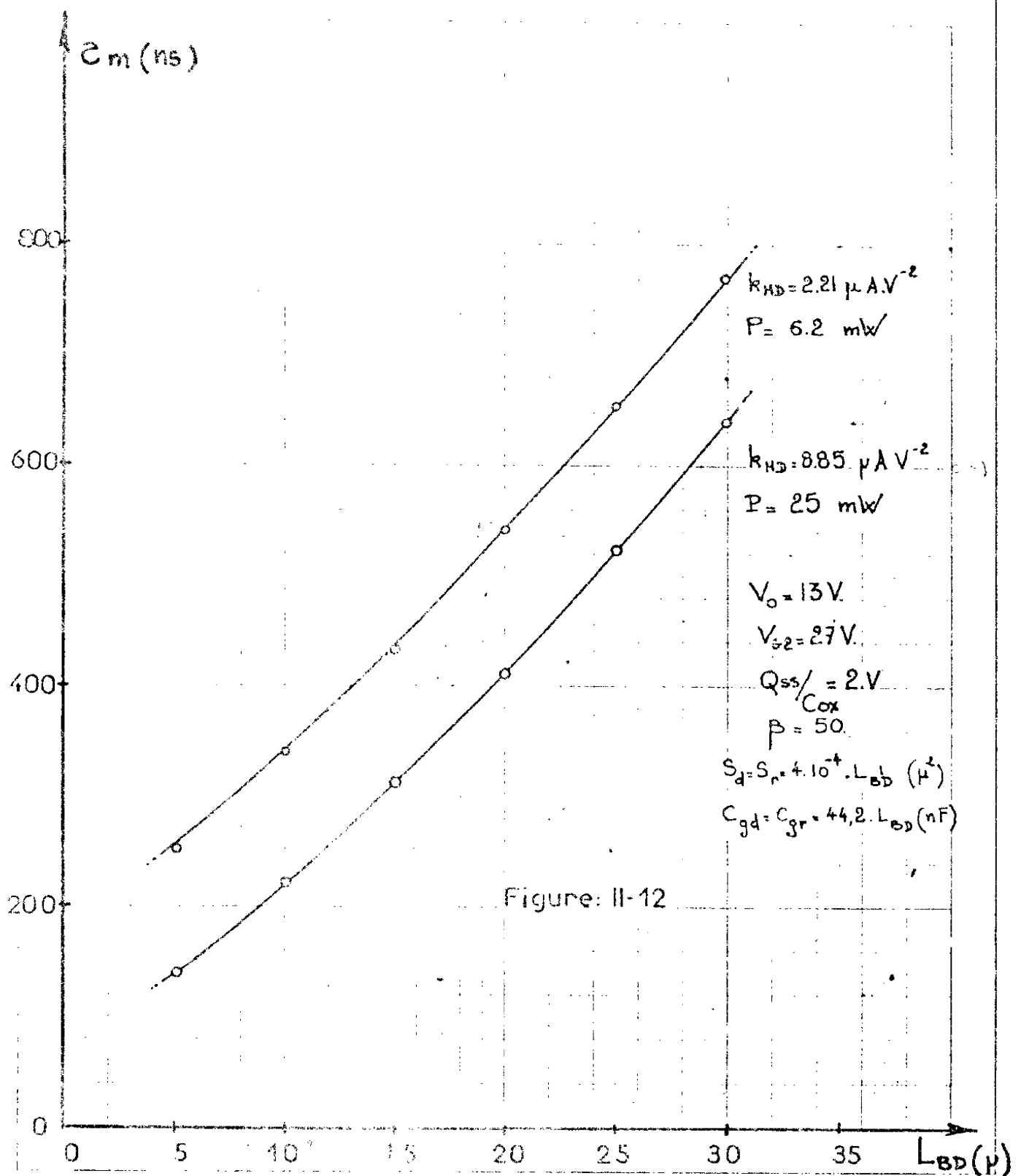


Figure II-12 - Evolution du temps de montée d'une porte de logique à seuil en fonction de la longueur du M.O.S.T. de commande du détecteur.

Il apparaît au vu de cette analyse que le temps de montée d'un circuit logique à seuil, qui a été seul pris en compte, est, à puissance dissipée en régime continu constante, peu sensible aux variations des dimensions du transistor M. O. S. de charge du module détecteur et dépend essentiellement du transistor M. O. S. de commande du dit module.

x
x x

Dans ce chapitre, après avoir analysé les propriétés générales d'une structure de porte élémentaire de logique à seuil à transistors M. O. S. nous avons explicité sur la base du modèle de ce composant les relations qui décrivent le fonctionnement statique et dynamique de ce dispositif.

Du point de vue statique nous avons en particulier mis en évidence les conditions pour que les niveaux logiques soient conservés et établi la relation qui lie les caractéristiques du module sommateur aux tensions de polarisation lors de la transition logique.

Pour le fonctionnement dynamique, nous avons analysé les différentes phases de la propagation du signal d'excitation et mis en évidence qu'à puissance continue dissipée constante, le paramètre qui influait de façon prépondérante sur les performances du système était la longueur du canal du transistor M. O. S. de commande du module détecteur.

C H A P I T R E I I I

INFLUENCE DES DISPERSIONS DES PARAMETRES

Comme tout circuit électronique, les performances d'une porte de logique à seuil seront sensibles aux dispersions des divers paramètres technologiques et électriques, et il sera nécessaire d'en tenir compte pour satisfaire à un cahier des charges fixé à priori.

Cependant dans le cas de circuits de logique à seuil ce problème présente une importance particulièrement grande. En effet ces dispersions peuvent non seulement entraîner une modification des valeurs des caractéristiques telles que le temps de montée, le temps de descente ou la puissance consommée, mais encore provoquer une modification du seuil de basculement entre les poids n et $n + 1$ de telle sorte que la fonction même pour laquelle le circuit a été prévu ne soit plus assurée. C'est ce dernier aspect que nous étudierons dans ce chapitre. Nous décrirons les différentes dispersions que l'on observe sur les paramètres du circuit, puis déterminerons les diverses conditions et relations pour que la propriété de seuil soit conservée malgré ces dispersions.

3-1 - BILAN DES DISPERSIONS

3-1-1 - Paramètres technologiques

Parmi les paramètres qui régissent les équations de fonctionnement statique du transistor M. O. S. et par suite le fonctionnement du circuit de logique à seuil :

- Q_{SS}/C_{ox} potentiel associé aux charges parasites d'interface
- μ_0 mobilité des porteurs
- Ψ facteur de réduction de mobilité dû au champ transversal
- N_A concentration du substrat
- ϕ_F potentiel du substrat
- x_0 épaisseur d'oxyde

nous ne retiendrons que les dispersions,

- du potentiel Q_{SS}/C_{ox} liées aux charges parasites de l'interface silice-silicium et de l'oxyde qui sont mal contrôlées technologiquement
- des dimensions géométriques Z et L des divers canaux, entachées d'une erreur absolue $\Delta\lambda$ due aux erreurs d'alignement de masque et aux mécanismes de diffusions latérales sous les oxydes.

Nous négligerons par contre l'influence des paramètres N_A , ϕ_F , x_0 bien contrôlés technologiquement, de la mobilité μ_0 qui n'intervient pas dans les équations de fonctionnement statique, du potentiel critique Ψ dont les variations restent du second ordre, étant donné qu'il est en général grand devant les tensions de polarisations.

3-1-2 - Contraintes extérieures

Nous n'envisagerons que l'effet d'éventuelles dispersions de la tension d'alimentation $V_0 \pm \Delta V_0$ et de la tension de polarisation des grilles des transistors de charge $V_{G2} \pm \Delta V_{G2}$. Les variations de ces tensions dans ces gammes de valeurs sont nécessaires pour permettre l'utilisation aisée du dispositif que nous proposons.

3-2 - EFFET DE CES DISPERSIONS

Le présent paragraphe a pour objet d'établir les relations et inégalités nécessaires pour que la condition de basculement entre les poids n et n + 1 soit satisfaite, compte tenu de toutes les dispersions que nous venons de préciser. Nous envisagerons successivement l'effet des variations ΔQ_{SS} de la charge d'interface, puis celui des modifications des tensions de polarisation, enfin nous introduirons les tolérances $\Delta\lambda$ sur les dimensions géométriques.

3-2-1 - Variations de la charge Q_{SS}

L'étude développée au paragraphe (2-2-2) a mis en évidence les variations du rapport des facteurs de pente du module sommateur $\alpha_B(V_0, V_{G2})$ au point de basculement V_B en fonction des tensions de polarisation. Il apparaît de plus sur le système d'équations (2-15) que α_B est aussi fonction du potentiel de la charge parasite Q_{SS}/C_{ox} . La figure III-1 montre un exemple des variations de ce rapport en fonction de Q_{SS}/C_{ox} pour différentes conditions de polarisations V_0, V_{G2} . Une telle courbe, limitée aux valeurs limites $Q_{SS}/C_{ox} + \Delta Q_{SS}/C_{ox}$ et $Q_{SS}/C_{ox} - \Delta Q_{SS}/C_{ox}$ permet de définir les deux grandeurs α_{MIN} , α_{MAX} comme la plus petite et la plus grande des valeurs de $\alpha(Q_{SS}/C_{ox})$ dans l'intervalle considéré

$$(3-1) \quad \alpha_{MIN} \leq \alpha \leq \alpha_{MAX}$$

Le basculement doit se produire pour toute valeur de α satisfaisant à l'inégalité précédente; nous définirons un poids élémentaire π comme étant le rapport du coefficient α_B au nombre de poids nécessaires pour assurer le basculement

$$(3-2) \quad \pi = \frac{\alpha}{m}$$

Par suite, si le nombre n est imposé, et compte tenu de la relation (3-1) le poids π doit assurer la double inégalité :

$$(3-3) \quad n\pi \leq \alpha_{MIN} < \alpha < \alpha_{MAX} \leq (n+1)\pi$$

De la même façon si le poids élémentaire π est donné, l'inégalité précédente se transforme en :

$$(3-4) \quad \frac{\alpha_{MAX}}{\pi} - 1 \leq n \leq \frac{\alpha_{MIN}}{\pi}$$

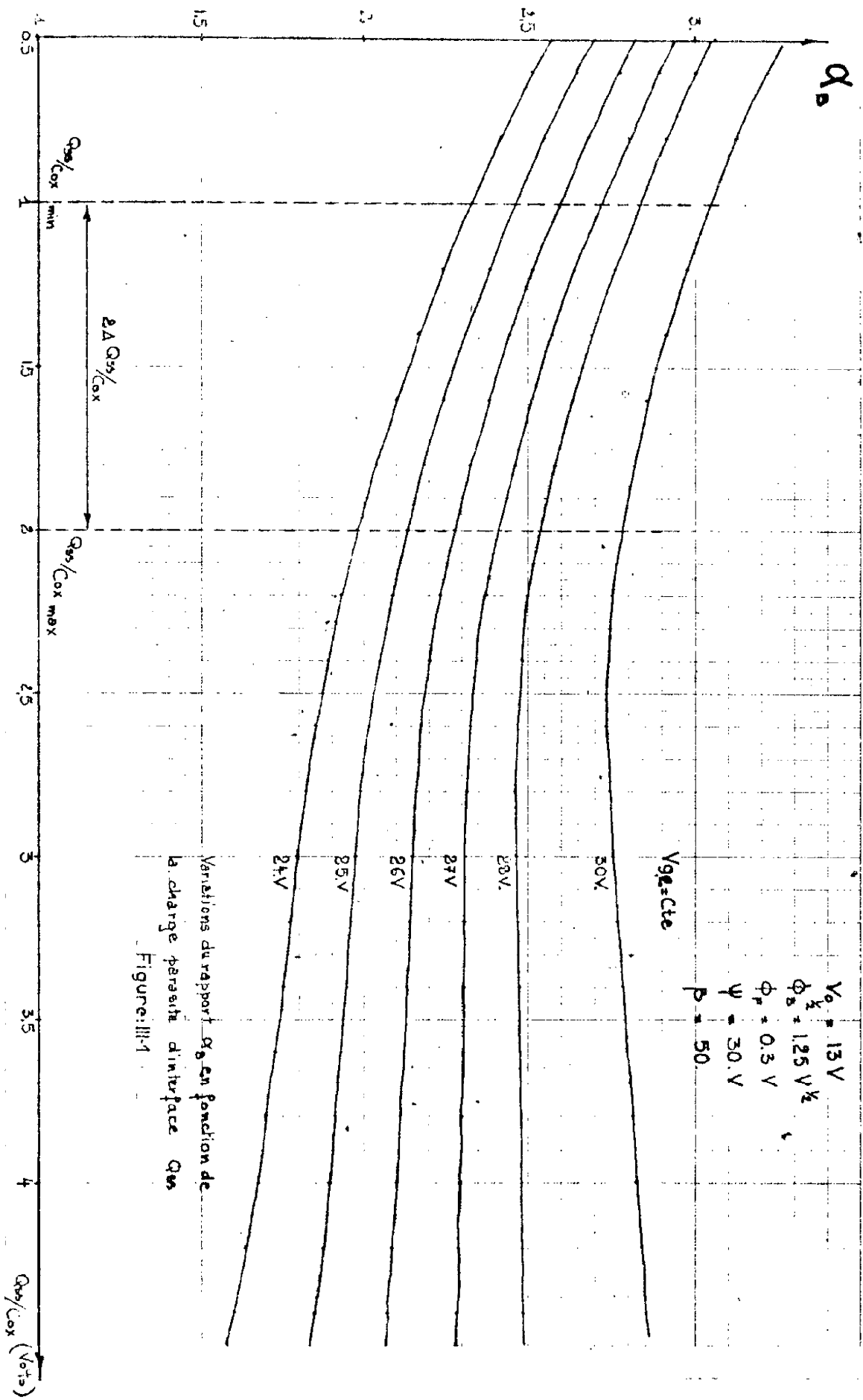


Figure III-1 - Variations du rapport α_B en fonction de la charge parasite d'interface Q_{SS}

De cette double inégalité on déduit la valeur minimale du poids élémentaire π :

$$(3-5) \quad \pi = \alpha_{\text{MAX}} - \alpha_{\text{MIN}}$$

ou inversement le nombre maximal de poids élémentaires n tel que le système puisse encore fonctionner malgré les dispersions

$$(3-6) \quad n = \frac{\alpha_{\text{MIN}}}{\alpha_{\text{MAX}} - \alpha_{\text{MIN}}}$$

3-2-2 - Variations des tensions de polarisation

En généralisant les résultats précédents on conçoit qu'il est possible de tracer les caractéristiques $\alpha_B(Q_{\text{SS}}/C_{\text{ox}}, V_U, V_{G2})$ pour toutes les valeurs de V_D, V_{G2} comprises dans l'intervalle,

$$V_{G0} - \Delta V_{G2} \leq V_{G2} \leq V_{G0} + \Delta V_{G2}$$

$$V_{D0} - \Delta V_0 \leq V_D \leq V_{D0} + \Delta V_0$$

et de déterminer ainsi les valeurs maximales et minimales de $\alpha(Q_{\text{SS}}/C_{\text{ox}}, V_U, V_{G2})$ dans l'intervalle $Q_{\text{SS}}/C_{\text{ox}} - \Delta Q_{\text{SS}}/C_{\text{ox}}, Q_{\text{SS}}/C_{\text{ox}} + \Delta Q_{\text{SS}}/C_{\text{ox}}$. La connaissance de ces deux nouvelles valeurs de α conduit d'une manière analogue à celle du paragraphe précédent à la détermination du poids élémentaire π et du nombre maximal de poids élémentaires n .

3-2-3 - Variation des dimensions géométriques

Toute tolérance $\Delta \lambda$ sur les dimensions géométriques, introduit une variation du facteur de pente des transistors M.O.S., et par suite une évolution relative $\frac{\Delta \pi}{\pi}$ du poids élémentaire .

$$(3-7) \quad \pi \left(1 - \frac{\Delta\pi}{\pi}\right) \leq \pi \leq \pi \left(1 + \frac{\Delta\pi}{\pi}\right)$$

Les inégalités précédentes (3-4) deviennent, compte tenu de la relation (3-7)

$$(3-8) \quad \frac{\alpha_{\text{MIN}}}{n} \geq \pi + \Delta\pi$$

$$(3-9) \quad \frac{\alpha_{\text{MAX}}}{n+1} \leq \pi - \Delta\pi$$

Compte tenu de la tolérance $\Delta\pi$ et des valeurs α_{MIN} et α_{MAX} déduites du réseau de courbes $\alpha_B(Q_{\text{SS}}/C_{\text{ox}}, V_0, V_{\text{G2}}, \Delta Q_{\text{SS}}/C_{\text{ox}}, \Delta V_0, \Delta V_{\text{G2}})$, la valeur maximale du nombre d'entrées n telle que le dispositif possède encore la propriété de seuil malgré les dispersions de l'ensemble des paramètres, sera définie par la condition :

$$(3-10) \quad n \leq \frac{\left(1 - \frac{\Delta\pi}{\pi}\right) \alpha_{\text{MIN}}}{\left(1 + \frac{\Delta\pi}{\pi}\right) \alpha_{\text{MAX}} - \left(1 - \frac{\Delta\pi}{\pi}\right) \alpha_{\text{MIN}}}$$

x
x

Il apparaît ainsi que le problème des dispersions a permis d'introduire les notions suivantes :

- La considération d'une tolérance ΔQ_{SS} sur la charge parasite d'interface a conduit à la définition des deux facteurs α_{MIN} et α_{MAX} , et a permis d'expliciter la valeur minimale du poids élémentaire π , ou le

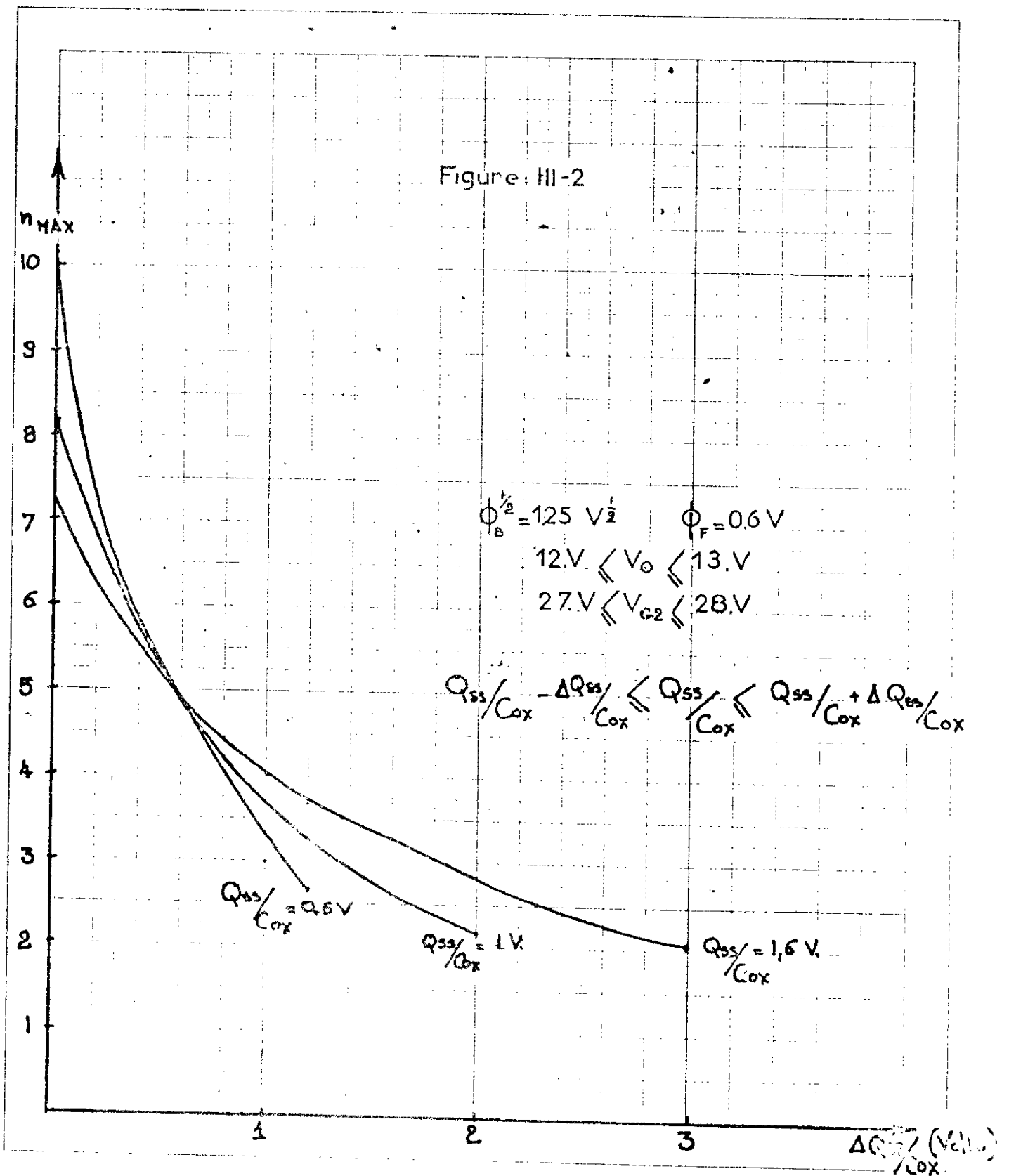


Figure III-2 - Nombre maximum de poids au basculement réalisables en fonction des contraintes technologiques

le nombre maximal n tel que le critère de basculement entre les poids n et $n + 1$ soit conservé.

Les tolérances sur les tensions de polarisation, n'ont fait que généraliser les mêmes notions, en restreignant la gamme d'évolution du facteur α .

Enfin, et pour être complet, la prise en compte des erreurs géométriques ou de la variation relative du poids élémentaire $\Delta\pi/\pi$ a permis de définir en toute généralité, la condition de faisabilité du système de logique à seuil compte tenu des tolérances sur les charges parasites et les tensions de polarisation.

Afin d'illustrer concrètement les résultats développés dans ce chapitre nous avons reporté sur la figure III-2 le nombre de poids maximum qu'il est possible de réaliser en fonction de la charge d'interface Q_{SS}/C_{ox} ; les valeurs des tensions d'alimentation et leurs tolérances correspondent aux valeurs généralement utilisées pour les transistors M.O.S. à grille aluminium. Nous nous sommes placés dans le cas idéal où l'influence des dispersions géométriques reste négligeable. On constate que, si la réalisation de portes logiques à seuil basculant pour une somme de poids supérieure à sept serait affectée par un rendement très faible, par contre la réalisation de la fonction majorité à sept entrées n'entraînerait pas d'exigences technologiques importantes.

CHAPITRE IV

METHODES DE CONCEPTION

Dans les chapitres précédents nous avons montré que les performances d'un circuit porte de logique à seuil (somme des poids provoquant la transition de la sortie logique, temps de montée temps de descente, puissance consommée) étaient fonction des conditions électriques de polarisation, des dimensions géométriques des divers composants élémentaires et des paramètres technologiques (dopage du substrat, densité de charge parasite à l'interface, épaisseur d'oxyde) ainsi que de leurs dispersions.

Dans ce chapitre nous nous proposons de résoudre les deux problèmes suivants :

- un circuit analogue à celui de la figure II - 1 a été réalisé dans une technologie donnée : les dimensions géométriques, Z_i et L_i et les paramètres technologiques N_A , Q_{SS}/C_{ox} , ϕ_B , x_o , ϕ_F sont donc fixés. Pour une puissance consommée donnée a priori nous déterminerons quelles sont les valeurs des tensions de polarisation à appliquer au circuit pour que la transition de la sortie logique se produise entre les valeurs n et $n + 1$ des poids d'entrée et quels sont dans ces conditions les temps de réponse du dispositif.

- A partir d'un certain cahier des charges qui définit les valeurs des tensions de polarisation et leurs dispersions, la consommation du circuit, ses performances dynamiques, ainsi que la somme des poids des entrées qui fixe le seuil de basculement, nous déterminerons les grandeurs géométriques des différents composants du dispositif pour qu'il puisse être réalisé dans le cadre d'une technologie donnée.

4 - 1 - CONDITIONS D'UTILISATION D'UN CIRCUIT DEJA REALISE

Le circuit étant réalisé, les grandeurs ϕ_B , ϕ_F , x_o , Q_{SS}/C_{ox} , L_i , Z_i sont connus ainsi que les dispersions sur la charge d'interface ΔQ_{SS} et sur les longueurs $\Delta \lambda$. Nous nous proposons de déterminer pour une puissance P_o imposée, les valeurs des tensions de polarisation V_o , V_{G2} et leurs tolérances ΔV_o et ΔV_{G2} , ainsi que les caractéristiques de la réponse dynamique d'un circuit basculant entre les poids

n et n + 1.

Nous avons indiqué sur la figure IV - 1 les différentes étapes de la méthode de résolution que nous indiquons ci-dessous

$$A - \text{Abaque } \alpha_{\text{MIN}} \cdot \alpha_{\text{MAX}}(V_0, V_{G2})$$

Pour caractériser les propriétés du dispositif, il est en premier lieu nécessaire de déterminer les évolutions des paramètres α_{MIN} et α_{MAX} dans toute la gamme de tensions de polarisation possibles compte tenu des dispersions de la tension Q_{SS}/C_{ox} . Ces évolutions pourront être déterminées à partir du programme de calcul permettant d'obtenir $\alpha_{\text{B}}(V_0, V_{G2}, Q_{SS}/C_{ox})$ que nous avons décrit au paragraphe 2 - 2 - 2 - 3. Un exemple des courbes ainsi obtenues est représenté sur les figures IV - 2 et IV - 3.

B - Des dimensions géométriques du transistor M.O.S de charge Z_{HS} , L_{HS} et des transistors M.O.S. de commande L_{BS} , Z_{BS} du module sommateur ainsi que de leurs dispersions, il est possible de déduire un poids unitaire tel qu'il a été défini au paragraphe 3 - 2 - 1.

$$\pi = \frac{Z_{BS}}{L_{BS}} \cdot \frac{L_{HS}}{Z_{HS}}$$

et la tolérance sur celui-ci :

$$(4 - 1) \quad \frac{\Delta\pi}{\pi} = \frac{\Delta Z_{HS}}{Z_{HS}} + \frac{\Delta Z_{BS}}{Z_{BS}} + \frac{\Delta L_{HS}}{L_{HS}} + \frac{\Delta L_{BS}}{L_{BS}}$$

Ainsi qu'il a été montré au paragraphe 3 - 2 - 3 la porte de logique à seuil ne pourra fonctionner qu'à condition que les grandeurs $\alpha_{\text{MAX}}(V_0, V_{G2})$, $\alpha_{\text{MIN}}(V_0, V_{G2})$ satisfassent les inégalités :

$$n(\pi + \Delta\pi) < \alpha_{\text{MIN}}(V_0, V_{G2}) \quad (4 - 2)$$

$$n+1(\pi - \Delta\pi) > \alpha_{\text{MAX}}(V_0, V_{G2}) \quad (4 - 3)$$

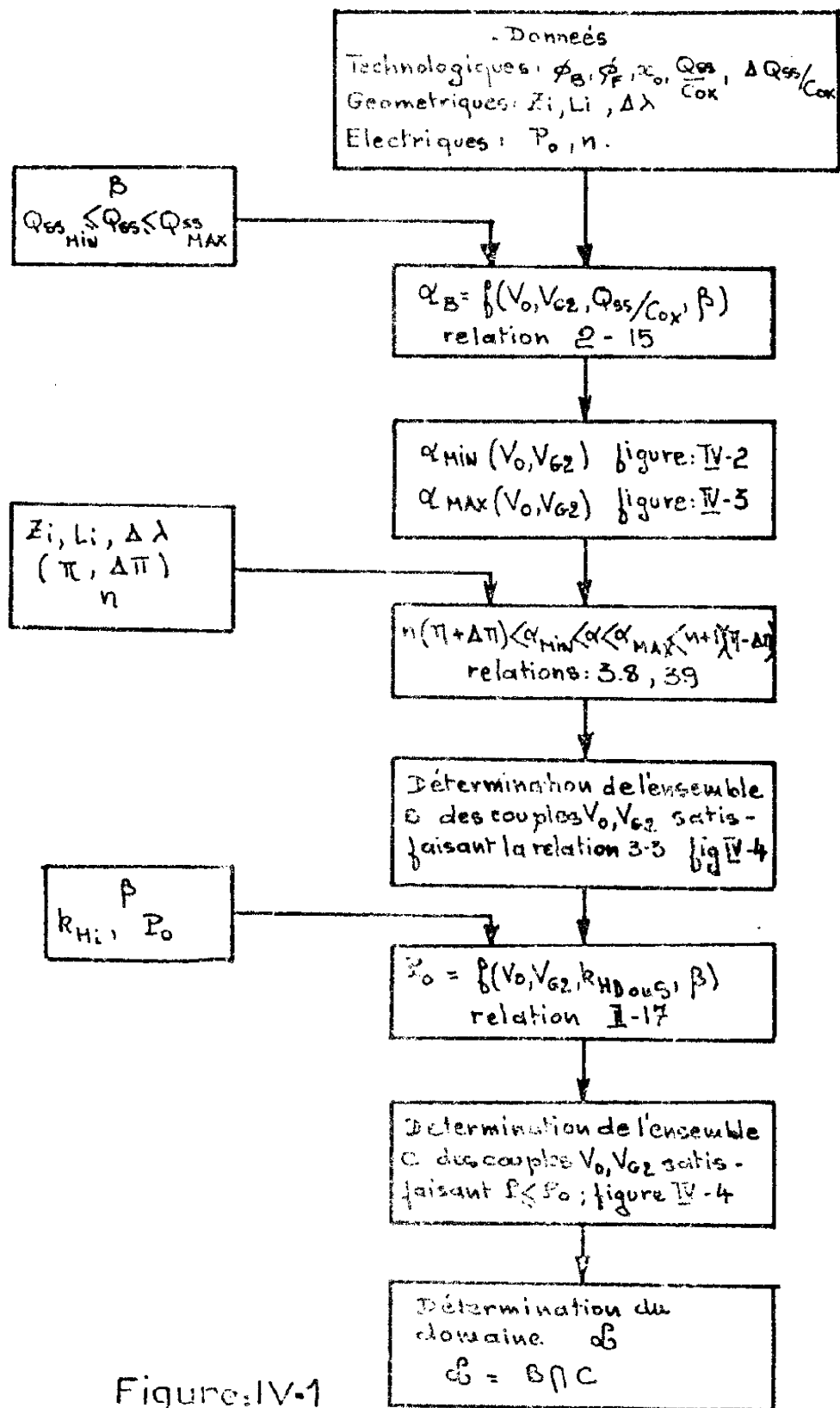


Figure: IV-1

Détermination des conditions d'utilisation d'un circuit de logique à seuil.

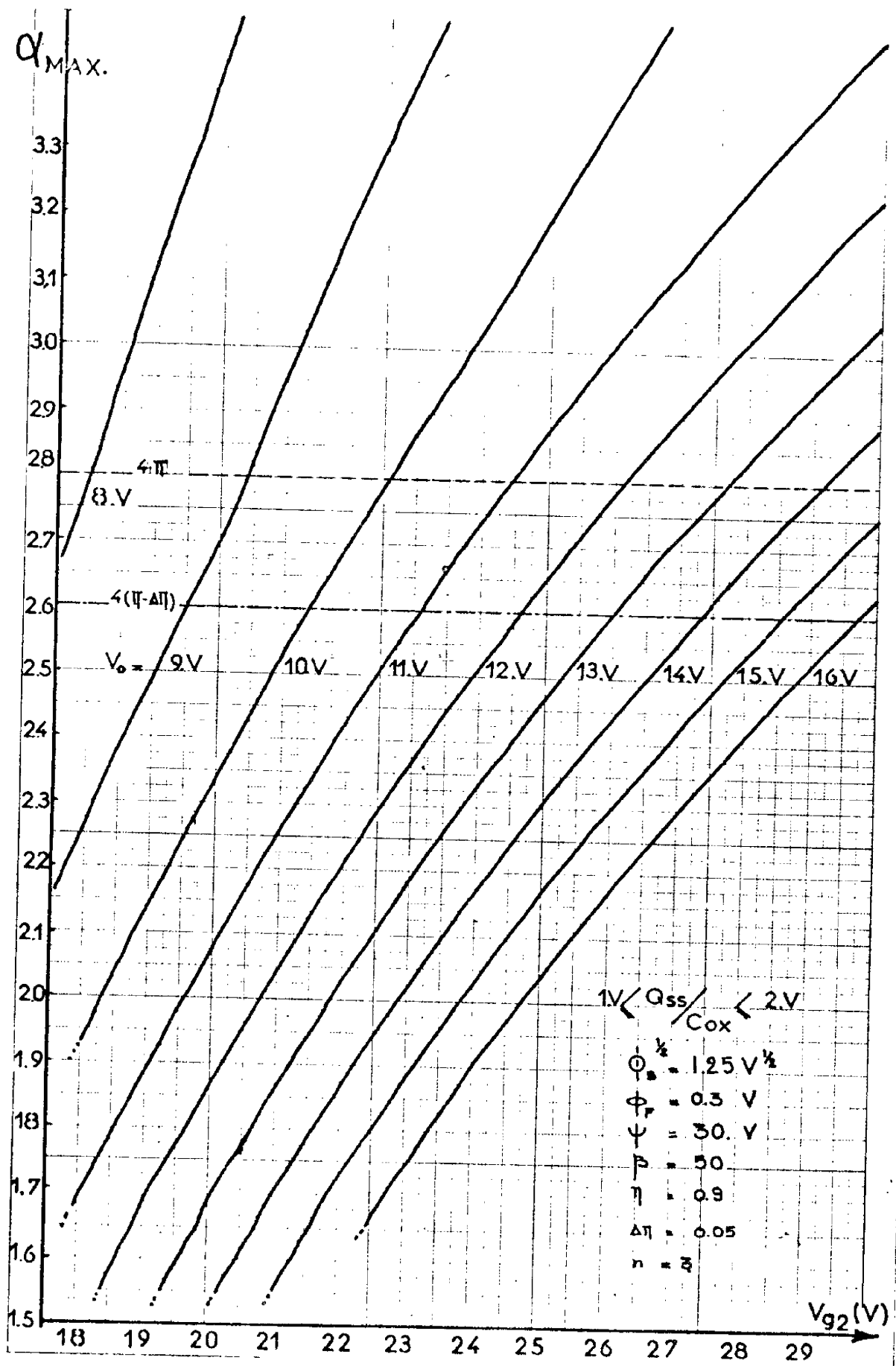


Figure IV.2 Variation du rapport maximum des facteurs de pente au point de basculement, en fonction des tensions de polarisation.

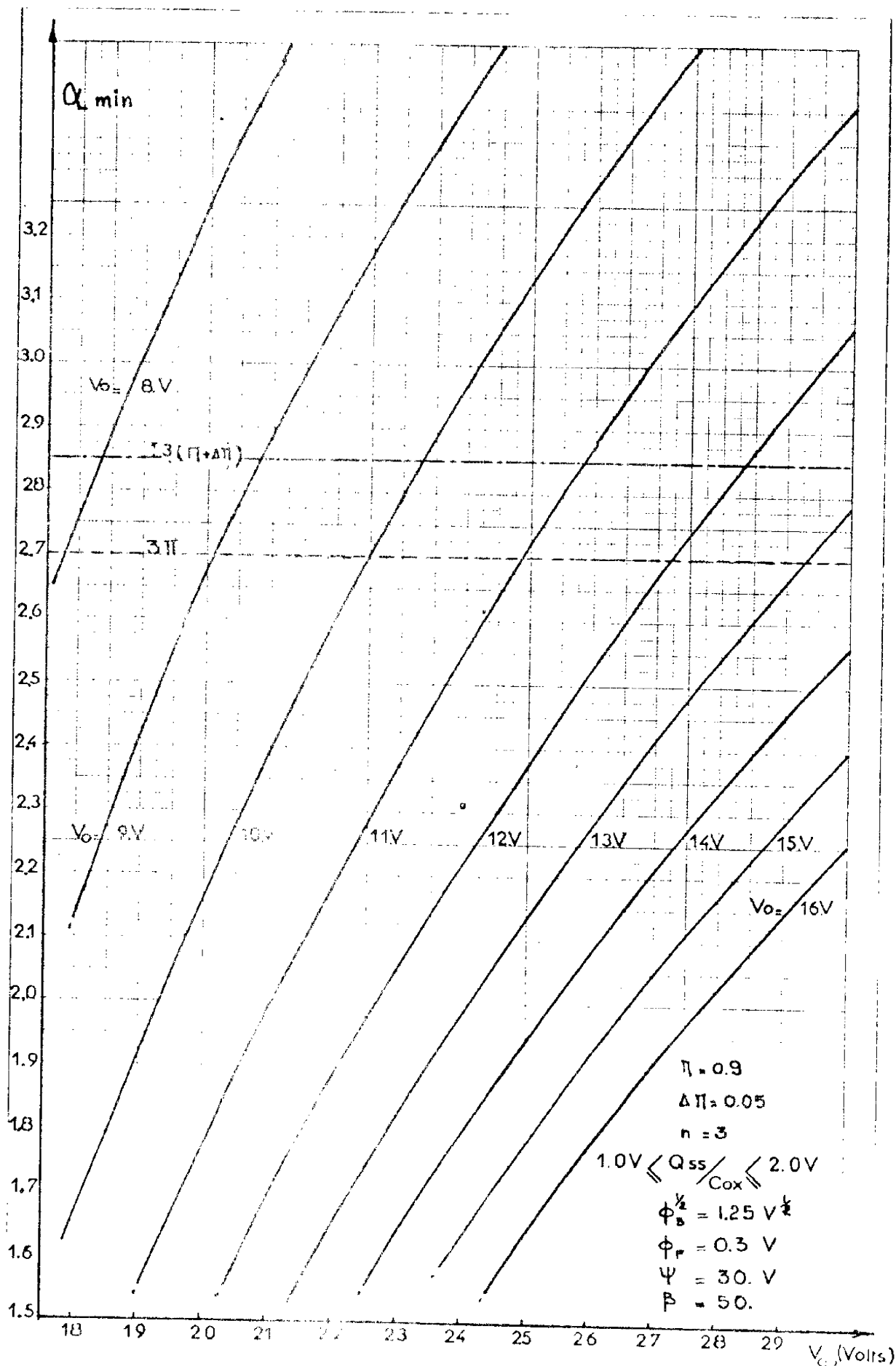


Figure: IV-3 Variation du rapport minimum des facteurs de pente au point de basculement en fonction des tensions de polarisation.

Comme indiqué sur les figures IV - 2 , IV - 3, il est possible de déduire des courbes $\alpha_{\text{MIN}}(V_o, V_{G2})$ et $\alpha_{\text{MAX}}(V_o, V_{G2})$ les valeurs des couples limites V_o, V_{G2} satisfaisant aux deux inégalités précédentes. L'ensemble de ces couples reportés dans le plan V_o, V_{G2} définit, comme le montre la figure IV - 4, le domaine de tensions de polarisation dans lequel le fonctionnement correct du dispositif peut être assuré.

Ce domaine est en outre limité, d'une part par la tension V_{G2} maximale applicable sur la grille des transistors M.O.S utilisés et d'autre part par la caractéristique $V_{GP}(V_o)$ prise pour la valeur $(Q_{SS}/C_{ox})_{\text{MAX}}$, condition de conservation du niveau logique haut (relation 2 - 9).

C - Si l'on s'impose la puissance maximale P_o , la résolution du système d'équations 2 - 18 permet de tracer une courbe correspondant à la valeur minimale du potentiel Q_{SS}/C_{ox} et des dispersions qui lui sont associées qui constituera une limite supplémentaire au domaine des tensions de polarisation possibles.

Compte tenu de toutes les contraintes indiquées ci-dessus, nous avons défini dans le plan V_o, V_{G2} , et dans la mesure où il existe, un domaine de tensions de polarisation où le circuit porte logique à seuil pourra fonctionner en satisfaisant à tous les critères qui lui ont été imposés. Dans ce domaine il sera facile de choisir les tensions de polarisation et les tolérances qui peuvent leur être associées. Notons qu'il reste un degré de liberté et que les tolérances possibles sont liées aux couples V_o, V_{G2} de consigne choisis.

D - Les tensions de polarisation ayant été définies et toutes les autres caractéristiques du circuit étant connues il suffira pour déterminer le temps de montée et de descente d'effectuer une simulation du circuit complet au moyen du programme I. M. A. G II par exemple.

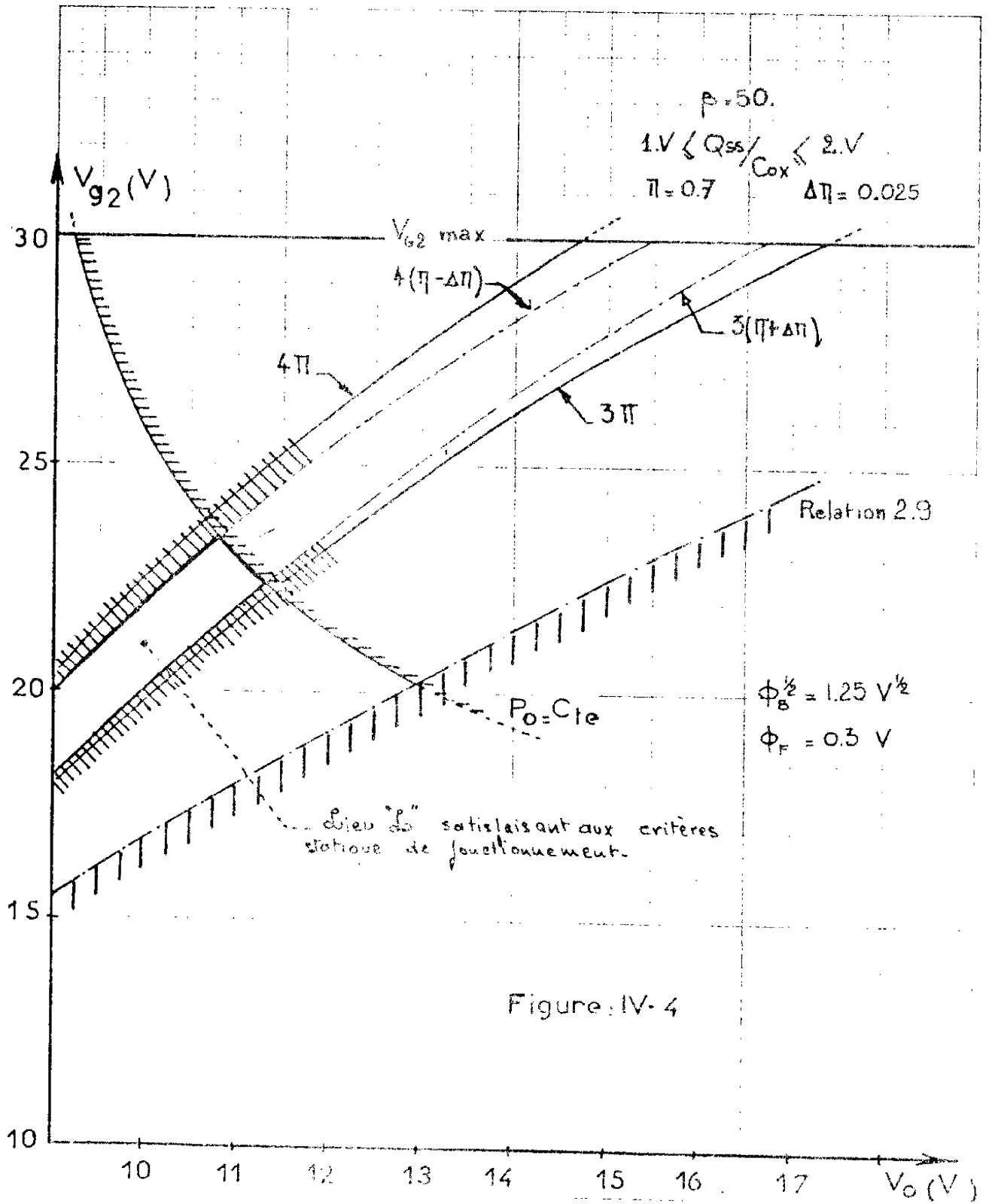


Figure-IV-4 : Determination graphique des tensions de polarisation d'un circuit de Logique MOS et du β realise.

4.2.2. CONCEPTION D'UN CIRCUIT DE LOGIQUE A SEUIL

Contrairement au cas précédent où nous avons déterminé les tensions de polarisation pour qu'un circuit réalise à priori bascule entre les poids n et $n+1$, nous allons nous intéresser maintenant à la conception proprement dite d'un circuit fonctionnant suivant le schéma de principe décrit au paragraphe II.1. Les tensions de polarisation, les tolérances sur ces tensions, la puissance maximale dissipée par le circuit, le nombre de poids nécessaire au basculement, ainsi que le temps de montée sont fixés par un cahier des charges. Nous voulons savoir si, compte tenu de ces paramètres et d'une technologie particulière, la réalisation d'un tel système est possible ou non.

Les paramètres caractérisant la technologie sont connus en particulier $\mu_0, \Psi, \phi_{Si}, \phi_F, N_A, \epsilon_0$, de plus nous connaissons la plage des variations de la charge d'interface Q_{SS} . Nous supposerons en outre, que la largeur des diffusions de source et de drain L_S, L_D ainsi que la largeur de la capacité de recouvrement L_P sont caractéristiques de la technologie choisie. Au pouvoir de résolution de photogravure correspondra une erreur absolue ΔA sur les dimensions géométriques ; il sera donc possible d'associer à celle-ci, la dimension d_{min} réalisable avec une erreur relative fixée. Enfin la valeur maximale d_{MAX} de l'une ou l'autre des dimensions du canal sera le dernier paramètre imposé par la technologie.

La valeur du rapport des facteurs de pente β des étages du module détecteur étant choisi à priori, nous aurons donc à déterminer les différentes dimensions géométriques :

$$Z_{HS}, L_{HS}, Z_{BS}, L_{BS}, Z_{BD}, L_{BD}, Z_{HD}, L_{HD}$$

permettant de définir le masque du circuit, ainsi que les tolérances sur ces dimensions.

Notre méthode de travail consistera à rechercher la solution mathématique de détermination des diverses inconnues que nous venons

de citer, puis de vérifier qu'il y a compatibilité entre ces inconnues et les tolérances que nous impose la technologie.

Principe de la méthode :

Les principales étapes de la méthode que nous proposons sont indiquées sous forme d'organigramme sur la figure IV - 5 . Les différentes phases se décomposent de la manière suivante :

A - Détermination du poids élémentaire π et de sa tolérance $\Delta\pi$

Connaissant les paramètres ϕ_B et x_0 il est possible d'engendrer les courbes $\alpha_B (Q_{SS}/C_{ox})$ pour les différents couples de tensions de polarisation $V_0 \pm \frac{\Delta V_0}{2}$, $V_{G2} \pm \frac{\Delta V_{G2}}{2}$ au moyen des relations indiquées au paragraphe 2 - 2 - 2. Compte tenu des valeurs de la tension Q_{SS}/C_{ox} on peut déterminer sur ces courbes les valeurs limites α_{MIN} α_{MAX} du rapport de pente au basculement dans le domaine des variations des charges parasites. L'analyse de ces grandeurs en fonction des tensions de polarisation (figure IV -6) conduira à définir deux valeurs particulières $\alpha_{MAX M}$, et $\alpha_{MIN m}$ correspondant aux domaines associés aux tolérances admises pour ces tensions de polarisation. Ainsi que nous l'avons montré au paragraphe 3 - 2 - 1, la porte logique à seuil ne saurait fonctionner qu'à la condition que soient vérifiées les relations :

$$(4 - 4) \quad \alpha_{MAX M} \frac{1}{n+1} \leq \pi \leq \alpha_{MIN m} \frac{1}{n}$$

Si les valeurs de $\alpha_{MIN m}$, $\alpha_{MAX M}$ et de n sont compatibles avec les inégalités ci-dessus nous pourrions déduire les valeurs du rapport π et sa tolérance $\Delta\pi$:

$$(4 - 5) \quad \pi = \frac{1}{2} \left(\frac{\alpha_{MIN m}}{n} + \frac{\alpha_{MAX M}}{n+1} \right)$$

$$(4 - 6) \quad \Delta\pi = \frac{1}{2} \left(\frac{\alpha_{MIN m}}{n} - \frac{\alpha_{MAX M}}{n+1} \right)$$

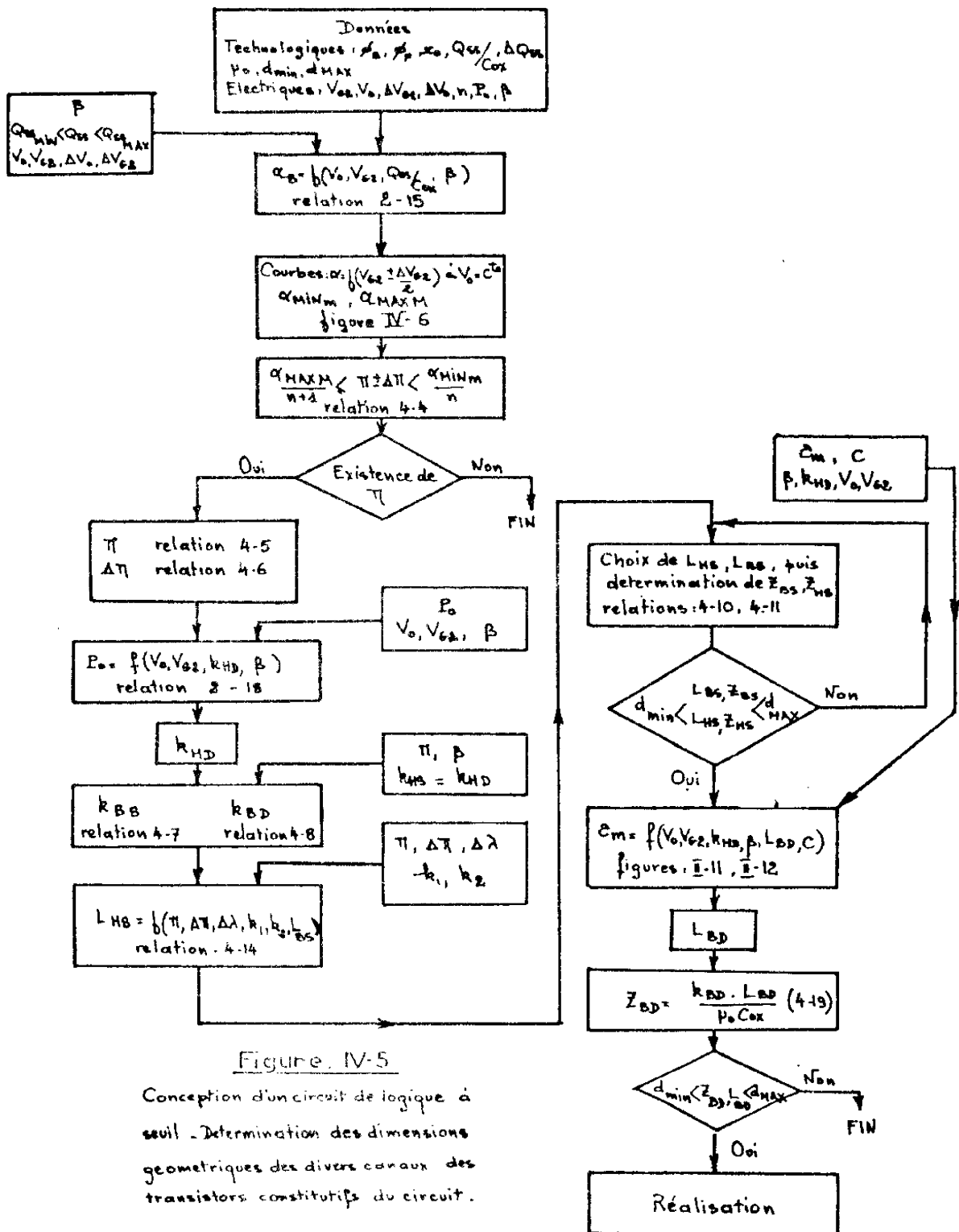
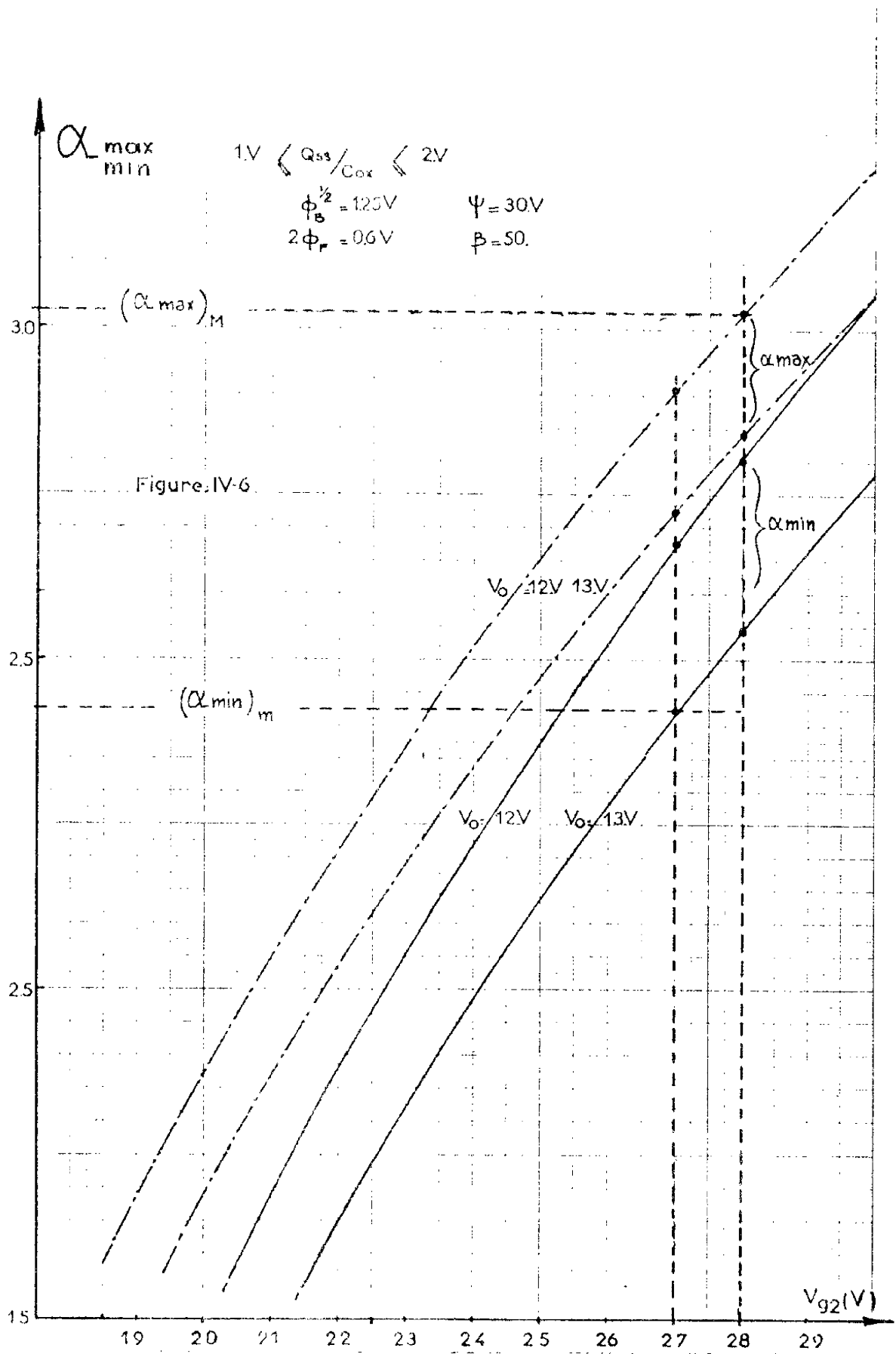


Figure IV-5

Conception d'un circuit de logique à seuil - Détermination des dimensions géométriques des divers canaux des transistors constitutifs du circuit.



Conception d'un circuit de Logique à Seuil.
 Determination du rapport elementaire

Figure-IV-6

B - Détermination des facteurs de pente k_{BD} , k_{BS} , k_{HD} , k_{HS}

La puissance dissipée par la porte logique à seuil telle que nous l'avons définie au paragraphe 2 - 2 - 2 - 4 n'est fonction, du point de vue des dimensions géométriques, que du rapport des facteurs de pente du module détecteur et du facteur de pente des transistors M.O.S de charge.

Cette dernière ayant été choisie, la résolution du système d'équations 2 - 18 par rapport aux facteurs de pente du transistor M.O.S de charge du module détecteur permettra de déterminer k_{HD} .

Il est facile de déduire le facteur de pente des transistors M.O.S de commande du module détecteur :

$$(4 - 7) \quad k_{BD} = \beta k_{HD}$$

Nous supposons de plus, pour des facilités de réalisation que cette valeur est aussi celle des facteurs de pente des transistors M.O.S de charge du module sommateur; dans ces conditions le facteur de pente du transistor M.O.S de commande de poids 1 aura pour valeur :

$$(4 - 8) \quad k_{BS} = \frac{1}{\beta} k_{HS} = \frac{1}{\beta} k_{HD}$$

C - Détermination des plages de variations des dimensions des transistors du sommateur :

La connaissance des divers facteurs de pente k_j , de la tolérance $\Delta\lambda$ sur les dimensions et la prise en compte de l'erreur maximale $\Delta\pi$ tolérable sur le rapport π vont faire apparaître certaines contraintes que devront satisfaire les dimensions géométriques des transistors du sommateur. L'introduction des cotés maximales et minimales d_{MAX} et d_{min} réalisables technologiquement conduira à préciser les limites possibles pour le choix de ces dimensions.

L'erreur relative sur le poids élémentaire déduite des relations (4 - 5), (4 - 6) doit vérifier l'inégalité :

$$(4-9) \quad \frac{\Delta\pi}{\pi} \gg \Delta\lambda \left(\frac{1}{L_{BS}} + \frac{1}{L_{HS}} + \frac{1}{Z_{BS}} + \frac{1}{Z_{HS}} \right)$$

où $\Delta\pi$ et π sont explicités en 4 - 5 , 4 - 6; en posant :

$$k_1 = \frac{k_{BS}}{\mu_0 \text{Cox}} = \frac{Z_{BS}}{L_{BS}} \quad ; \quad k_2 = \frac{k_{HS}}{\mu_0 \text{Cox}} = \frac{Z_{HS}}{L_{HS}} \quad ; \quad k_3 = \frac{k_{BD}}{\mu_0 \text{Cox}} = \frac{Z_{BD}}{L_{BD}}$$

(4 - 10)

(4 - 11)

(4 - 12)

on obtient :

$$(4 - 13) \quad \frac{\Delta\pi}{\pi} \gg \frac{\Delta\lambda}{L_{BS}} \left[1 + \frac{L_{BS}}{L_{HS}} \left(1 + \frac{1}{k_2} \right) + \frac{1}{k_1} \right]$$

soit encore :

$$(4 - 14) \quad L_{HS} \gg L_{BS} \frac{1 + k_2}{k_2 \left[\frac{\Delta\pi}{\pi} \frac{L_{BS}}{\Delta\lambda} - \left(1 + \frac{1}{k_1} \right) \right]}$$

qui n'est autre que la relation que doivent satisfaire les deux longueurs des transistors du sommateur pour que le critère de basculement statique soit conservé compte tenu des dispersions.

Prenant en compte à présent les valeurs limites d_{\min} et d_{\max} les deux longueurs L_{HS} et L_{BS} auront à vérifier :

$$(4 - 15) \quad \text{si } k_1 < 1 \quad , \quad \frac{d_{\min}}{k_1} \ll L_{BS} \ll d_{\max}$$

$$(4 - 16) \quad \text{si } k_1 > 1 \quad , \quad d_{\min} \ll L_{BS} \ll \frac{d_{\max}}{k_1}$$

$$(4 - 17) \quad \text{si } k_2 < 1 \quad , \quad \frac{d_{\min}}{k_2} \ll L_{HS} \ll d_{\max}$$

$$(4 - 18) \quad \text{si } k_2 > 1 \quad , \quad d_{\min} \ll L_{HS} \ll \frac{d_{\max}}{k_2}$$

Ainsi pour les différentes valeurs des rapports k_1 , k_2 inférieurs ou supérieurs à l'unité les contraintes imposées sur les longueurs L_{HS} et L_{BS} seront décrites par les trois relations (4 - 14), (4 - 15) ou (4 - 16), (4 - 17) ou (4 - 18) qui devront être vérifiées séparément

que le système soit réalisable, et par suite que le circuit puisse fonctionner dans les gammes de tolérances statiques du cahier des charges. Le choix de ces dimensions pourra se faire de façon graphique comme indiqué à la figure IV - 7 où les limites de la zone utile sont fixées par les relations précédentes.

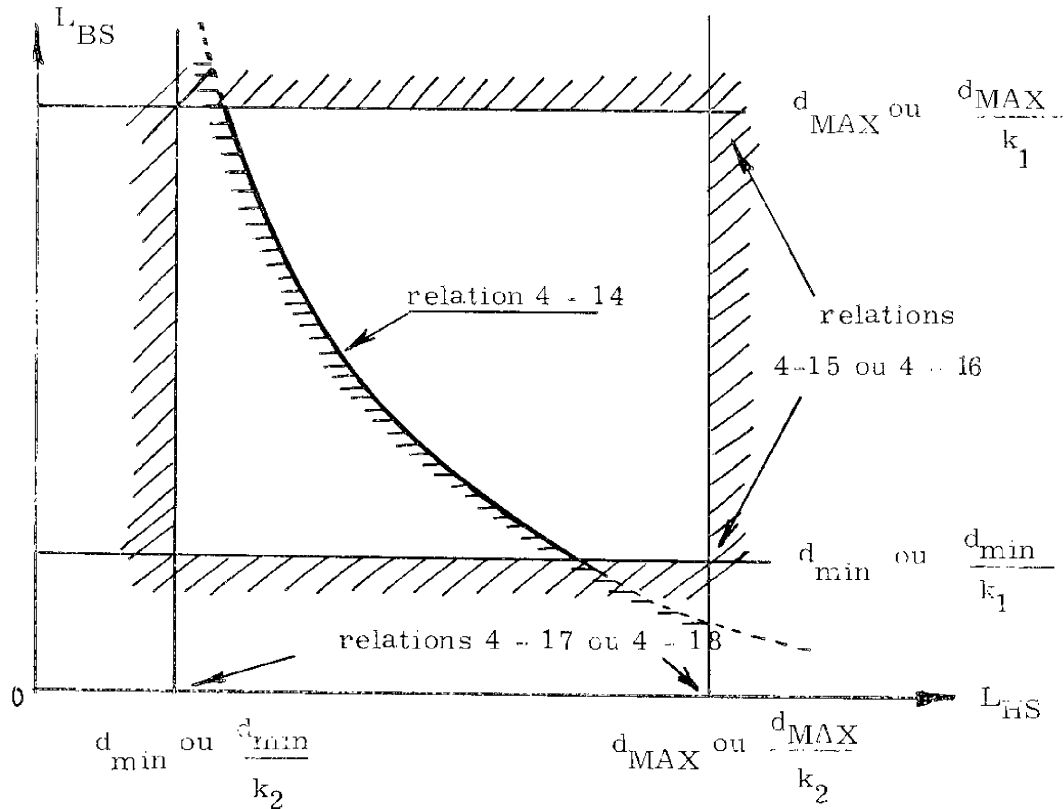


Figure IV - 7

Détermination expérimentale de la zone de choix des dimensions

L_{BS} et L_{HS}

L'existence ou la non existence d'une telle zone utile dépend des contraintes statiques imposées au système.

Les deux dimensions L_{HS} et L_{BS} ayant été choisies, les largeurs Z_{BS} , Z_{HS} sont évaluées au moyen des expressions (4 - 10) et (4 - 11).

D - Détermination des longueurs L_{BD} , L_{HD} et des largeurs

Z_{BD} , Z_{HD}

Du point de vue du circuit proprement dit, les deux seules grandeurs qui restent à fixer sont les longueurs L_{BD} et L_{HD} des transistors M.O.S de commande et de charge du détecteur. En réalité celles-ci ne sont pas suffisantes pour déterminer le temps de montée τ_m , puisque celui-ci, dans le cas d'un circuit intégré dépendra aussi des interconnexions entre les divers composants et par suite de l'implantation du circuit. Il sera donc nécessaire de définir à priori celle-ci et de déterminer les divers couples de longueurs L_{HD} , L_{BD} , assurant la réponse dynamique convenable par itérations successives au moyen du programme IMAG II.

Cette méthode peut se révéler particulièrement longue et fastidieuse en particulier à cause du fait que l'on ne possède aucune donnée pour initialiser la procédure d'itération.

Pour éviter cet inconvénient il paraît préférable d'effectuer une première évaluation de la longueur L_{BD} au moyen de la méthode ci-après.

Ainsi que nous l'avons indiqué au paragraphe 2 - 2 - 3 lorsque la puissance dissipée en régime continu P_o , le facteur de pente k_{HD} et les tensions de polarisation V_o et V_{G2} sont fixés, le temps de montée τ_m n'est sensible de façon prépondérante qu'à la longueur de canal L_{BD} .

Il est par la suite possible d'effectuer une première évaluation de la longueur L_{BS} compte non tenu des éléments parasites d'interconnexions.

On peut évaluer la longueur L_{BD} soit en traçant au moyen du programme I.M.A.G.II la courbe $\tau_m(L_{BD})$ à puissance constante, analogue à celle de la figure II - 12, soit par une procédure itérative.

Il est alors facile de déterminer la largeur Z_{BD} par la relation :

$$(4 - 19) \quad Z_{BD} = \frac{k_{BD} \cdot L_{BD}}{\mu_o C_{ox}}$$

Le transistor de commande du module détecteur est donc caractérisé mais n'est réalisable qu'à la condition :

$$d_{\min} \ll L_{BD} \ll \frac{d_{\max} \mu_o C_{ox}}{k_{BD}}$$

Les dimensions du transistor de charge du détecteur Z_{HD} , L_{HD} ne sont déterminées qu'à un facteur de proportionnalité près défini par les relations :

$$(4 - 20) \quad \frac{Z_{HB}}{L_{HD}} = \frac{Z_{HS}}{L_{HS}} = \frac{1}{\beta} \frac{Z_{BD}}{L_{BD}}$$

et dans un souci de simplicité peuvent être prises égales à celle du transistor de charge du module sommateur.

A partir de cette première évaluation il sera nécessaire de définir l'implantation de l'ensemble du circuit intégré et de vérifier par une simulation complète, tenant compte en particulier des éléments parasites, que les performances dynamiques probable du système satisfont bien aux conditions imposées.

+
+ +

La méthode de conception exposée ci-dessus, fait apparaître les points suivants :

- les diverses étapes sont faciles à mettre en oeuvre et consistent à déterminer successivement :

. les facteurs α_{Min} , α_{MAX} et le poids élémentaire π et sa tolérance $\Delta\pi$.

. les facteurs de pente k_{BD} , k_{BS} , k_{HD} , k_{HS}

. la plage de variation des dimensions géométriques du système sommateur

. les dimensions géométriques du détecteur de seuil.

- Les conditions de faisabilité apparaissent à chaque étape et doivent être vérifiées. Elles sont fonction du cahier des charges et des caractéristiques de la technologie. L'établissement des relations de compatibilité entraînerait une complication excessive, de peu d'intérêt puisque notre principal objectif est de montrer qu'un système de logique à seuil peut être conçu dans certaines conditions.

- Malgré les contraintes imposées et si le système est réalisable la solution n'est pas unique et l'on peut choisir, dans certaines limites que nous avons précisées une des dimensions géométriques du sommateur.

CHAPITRE V

- - - - -

RESULTATS EXPERIMENTAUX

Dans ce chapitre nous décrirons deux types de circuits de logique à seuil que nous avons conçus et réalisés :

- l'un composé d'éléments discrets,
- l'autre constitué par un circuit semi-intégré.

La conception de chaque maquette a été élaborée grâce aux résultats de l'analyse théorique précédemment développée. Le premier ne fait appel qu'aux conditions statiques, le second a été réalisé à partir d'un cahier des charges complet suivant la méthode développée au paragraphe 4 - 2.

Ce chapitre a un double but :

. d'une part il fera apparaître qu'il est relativement simple de concevoir des circuits de logique à seuil du type de celui proposé, et qu'avec une technologie classique la réalisation ne présente pas de difficultés majeures du moins pour un basculement entre les poids 3 et 4.

. D'autre part il nous permettra de vérifier expérimentalement les principales propriétés statiques et dynamiques du circuit que nous avons analysées théoriquement.

5 - 1 - CIRCUIT A ELEMENTS DISCRETS

Outre de montrer la faisabilité du dispositif cette réalisation a eu pour principal objectif la vérification expérimentale des critères statiques théoriques. Cette maquette a été conçue pour basculer entre les poids 3 et 4.

Les transistors composant la maquette ont tous été réalisés au Laboratoire d'Automatique et d'Analyse des Systèmes et sont caractérisés par les paramètres suivants : $\phi_B^{1/2} = 1,25 \text{ V}^{1/2}$, $\phi_F = 0,3 \text{ V}$, $x_0 = 2000 \text{ \AA}$, Q_{SS}/C_{ox} compris entre 1 et 2 Volts.

Le schéma de principe du montage utilisé est représenté sur la figure V - 1. Les transistors de commande du module sommateur T_1 à T_5 sont identiques, ainsi que ceux du module détecteur T_6 , T_7

T₈. Les transistors M.O.S de charge du circuit T_{H1}, T_{H2}, ..., T_{H5} ont été réalisés par la mise en parallèle de deux transistors de facteurs de pente différents ; cet artifice permet d'assurer un rapport des facteurs de pente β du module détecteur aussi voisin que possible de 50. Sur le tableau - I - ont été rassemblées les valeurs des divers paramètres spécifiques de chaque transistor. Cette caractérisation permet de déterminer les valeurs des rapports β et π .

$$\beta \approx 63 ; 0,83 \leq \pi \leq 0,91$$

Transistors	T ₁	T ₂	T ₃	T ₄	T ₅	T ₆	T ₇	T ₈
$\mu_0 \frac{Z}{L} C_{ox} (\mu A/V^2)$	33	32,4	30	32,8	32,5	$2,25 \cdot 10^3$	$2,15 \cdot 10^3$	$20 \cdot 10^3$
ψ (V)	28,9	29,4	37,9	31,7	27,4	26,6	27,7	27,9
$Q_{SS/cox}(V)$	0,95	1,6	0,9	1,0	1,2	1,3	1,35	1,9
Transistors	T ₉	T ₁₀	T ₁₁	T ₁₂	T ₁₃	T ₁₄	T ₁₅	T ₁₆
$\mu_0 C_{ox} (\frac{\mu A}{V^2})$	8,23	28,2	7,55	26,2	7,3	26,2	7,78	27,1
(V)	20,3	34,3	36,3	41,2	34,6	34,3	36,7	38,4
$Q_{SS/Cox}$ (V)	1,1	2,5	1,0	1,15	2,0	1,2	1,2	0,8

TABLEAU I

Compte tenu des valeurs de ces paramètres et de leurs dispersions l'application de la méthode théorique exposée au paragraphe 4 - 1, nous a conduit à tracer dans le plan V_{G2}, V_0 la plage des tensions de polarisation qui assurent le basculement entre les poids 3 et 4 (figure V - 2).

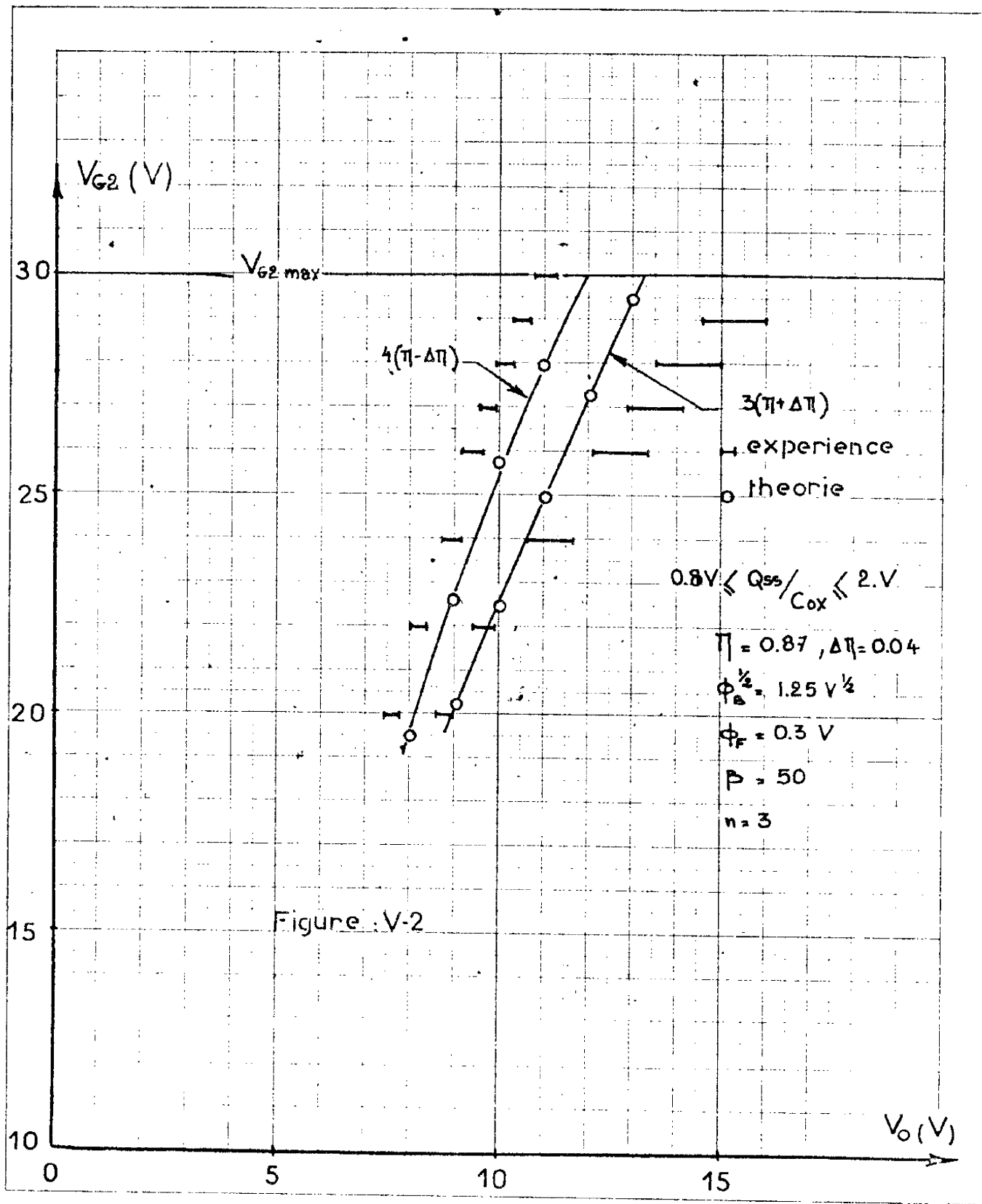


Figure :V-2

Verification du fonctionnement statique.

Figure-V-2

D'un point de vue expérimental, la tension V_{G2} étant maintenue constante, nous avons appliqué sur les grilles des transistors de commande du module sommateur des signaux d'amplitude égale à la tension d'alimentation V_o . Nous avons fait varier ensuite la tension V_o jusqu'à ce que la conservation des niveaux logiques ne soit plus assurée lorsqu'on soumet trois ou quatre entrées de poids unitaires au niveau logique "1". Les évolutions de cette tension V_o et les dispersions observées en fonction des divers transistors excités sont reportés sur la figure 5 - 2.

On constate que les résultats expérimentaux encadrent très bien la plage de variation théorique et que les tolérances observées expérimentalement sont plus grandes que celles prévues théoriquement. Ceci provient de la rigueur des hypothèses de calcul qui prévoit que les dispersions s'appliquent sur chacun des transistors M.O.S, alors qu'expérimentalement ces dispersions n'affectent que quelques uns des composants.

5 - 2 - CIRCUIT SEMI-INTEGRE

Cette maquette a été conçue à partir d'un cahier des charges imposé et suivant la méthode décrite au paragraphe 4 - 2. Elle se compose de deux "puces" de silicium interconnectées de façon à réaliser sur un même boîtier un circuit analogue à celui de la figure II - 1. Les interconnexions sont toutes réalisées au moyen de fils microsoudés.

Les contraintes que nous nous sommes imposées sont les suivantes :

- les tensions de polarisation sont comprises dans la gamme :

$$\begin{aligned} 12,5 \text{ V} &\leq V_o \leq 13 \text{ V} \\ 24 \text{ V} &\leq V_{G2} \leq 25 \text{ V} \end{aligned}$$

- La puissance dissipée est de 6,5 mW,
- Le temps de montée sur une charge de 1 pF est de 1 μ s,
- Le basculement se produit entre les poids 3 et 4.

Les paramètres de la technologie utilisée sont regroupés dans le tableau II.

$\phi_B^{1/2}$	ϕ_F	Q_{SS}/C_{ox}	x_o	$\frac{\Delta Q_{SS}}{C_{ox}}$	$\Delta \lambda$	I_{MIN}	L_{MAX}
$1.25 \text{ V}^{1/2}$	$0,3 \text{ V}$	$1,5 \text{ V}$	2000 \AA	$0,5 \text{ V}$	$0,2 \mu$	8μ	2000μ
μ_o	ψ						
$250 \text{ cm}^2/\text{V.S}$	30 V						

Tableau II

5 - 2 - 1 - Conception du circuit

La méthode de conception est l'application directe de l'exposé du paragraphe 4 - 2.

- Calcul du facteur de pente k_{HD} au moyen de l'expression approchée de la puissance (2 - 18), puis du rapport k_2

$$k_2 = 0,615$$

- Détermination de la plage de variations α_{MIN} , α_{MAX} en fonction des tensions d'alimentation et de leur tolérance, évaluation du poids élémentaire π et sa tolérance $\Delta\pi$, (figure V - 3)

$$\pi = 0,65 \quad \frac{\Delta\pi}{\pi} = 0,03$$

- Calcul des rapports k_3 au moyen de la relation (4 - 12) et de k_1 par l'expression (4 - 10)

$$k_3 = 31,25 \quad k_1 = 0,40$$

- Choix des longueurs des transistors M.O.S du sommateur dans le plan (L_{HS} , L_{BS}) figure V-4 en tenant compte des relations (4 - 14) à (4 - 18)

$$L_{HS} = 50 \mu \quad L_{BS} = 50 \mu$$

Calcul des largeurs Z_{BS} et Z_{HS} déduites des expressions (4 - 10) - (4 - 11)

$$Z_{BS} = 20 \mu \quad Z_{HS} = 31 \mu$$

- Détermination de la longueur L_{BD} au moyen des courbes déduites de l'analyse dynamique puis de la largeur Z_{BD} relation (4 - 12)

$$L_{BD} = 15 \mu \quad Z_{BD} = 460 \mu$$

- Choix des dimensions géométriques du transistor de charge du détecteur de seuil égales à celle du transistor de charge du module sommateur

$$L_{HB} = 50 \mu \quad Z_{HD} = 31 \mu$$

Les dimensions géométriques étant ainsi toutes déterminées, le circuit a été réalisé au moyen de deux jeux de masques qui contiennent respectivement :

- les transistors M.O.S de poids 1, 2, 2, 6... (figure V - 5 - a). Ce jeu, dans lequel le transistor de poids 1 n'a pas été utilisé nous a permis en fait de réaliser les poids 1, 1, 3...

- Les transistors de charge du sommateur et du détecteur et les transistors de commande du détecteur de seuil (figure V - 5 - b). Le dispositif complet est représenté sur la figure V - 5 - c.

5 - 2 - 2 - Propriétés statiques du circuit

Comme pour la maquette réalisée à l'aide de transistors discrets, nous avons vérifié que le basculement se produit entre les poids 3 et 4 pour la gamme de tensions prévues.

Un exemple des résultats expérimentaux est représenté sur la figure V - 6. Sur ce graphique ont été représentées les plages de variations des couples V_{G2} , V_0 assurant le basculement, déduites de l'analyse théorique. Il apparaît que les valeurs expérimentales encadrent bien la plage prévue, et par suite la maquette réalisée fonctionne pour les valeurs des tensions de polarisations que nous avons choisies. Ainsi que nous

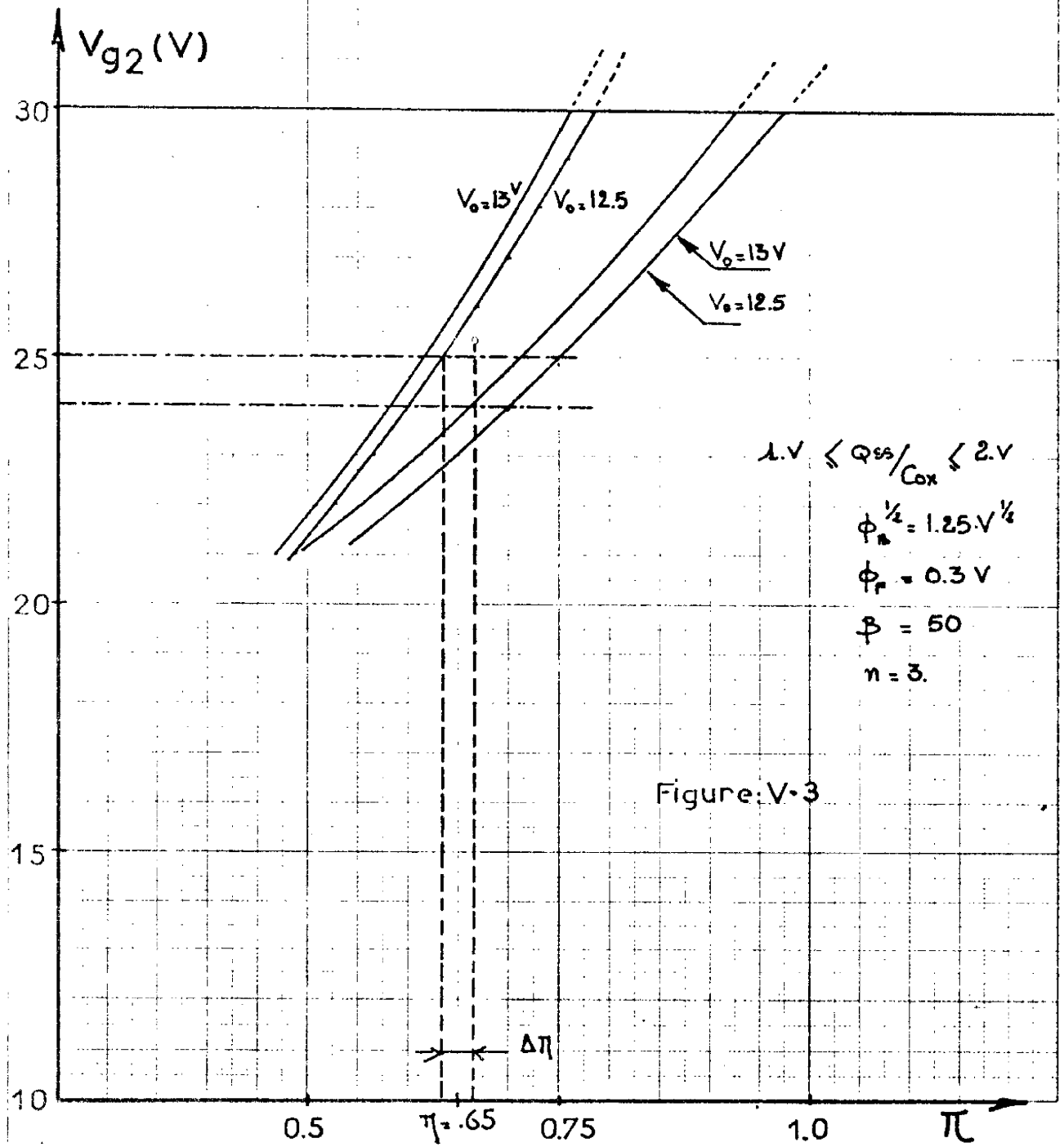
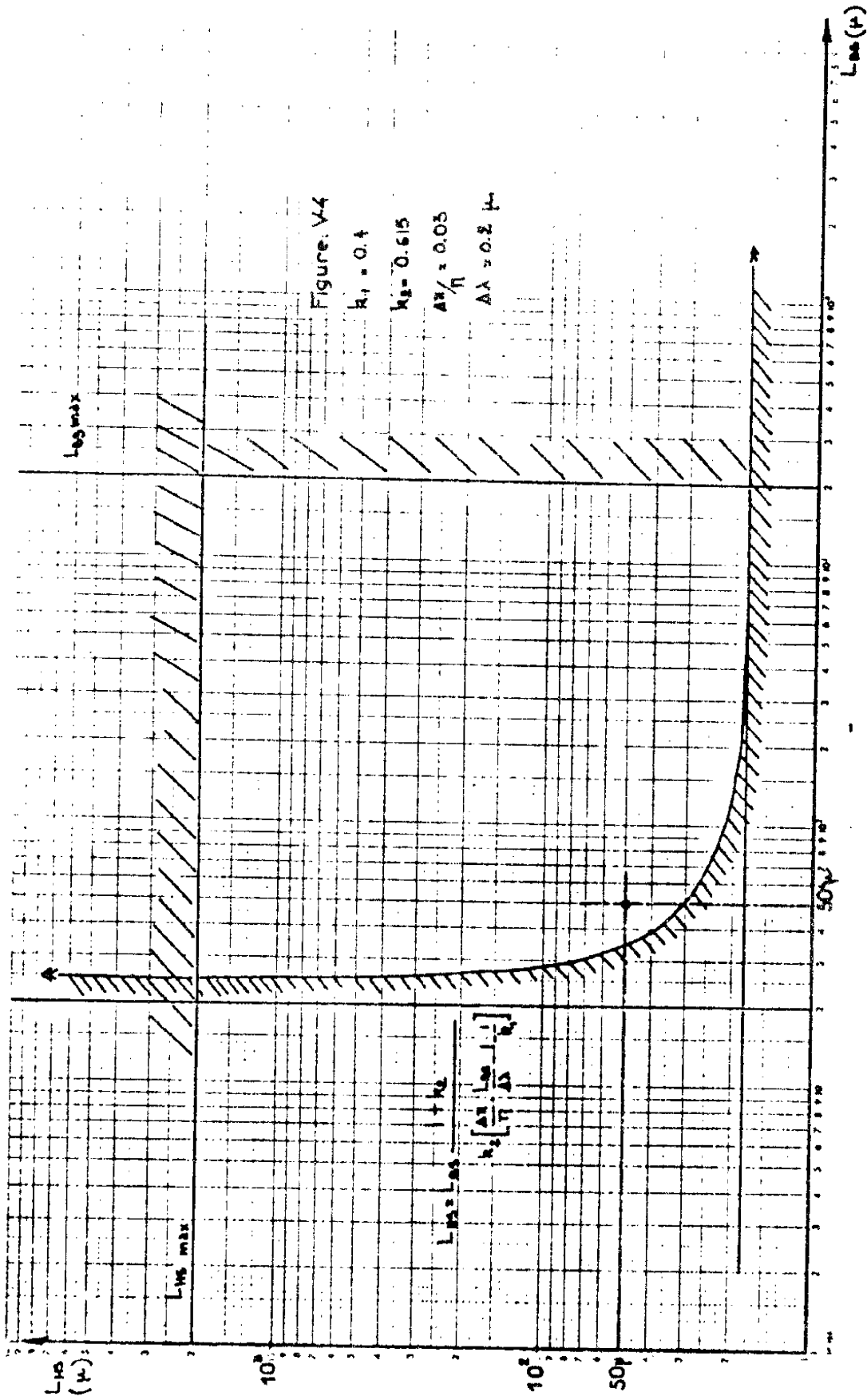


Figure-V-3 : Détermination graphique du poids élémentaire π et de sa tolérance $\Delta\pi$.



Determination des couples L_{BS} , L_{HS} satisfaisant au critère de fonctionnement statique sur le poids η .

Figure-V-4

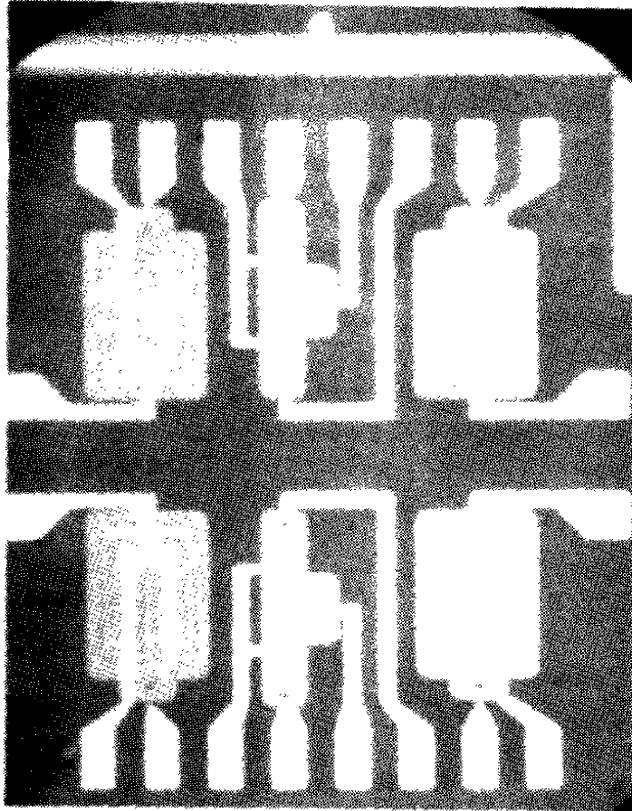


Figure V - 5 (a) Détecteur de seuil

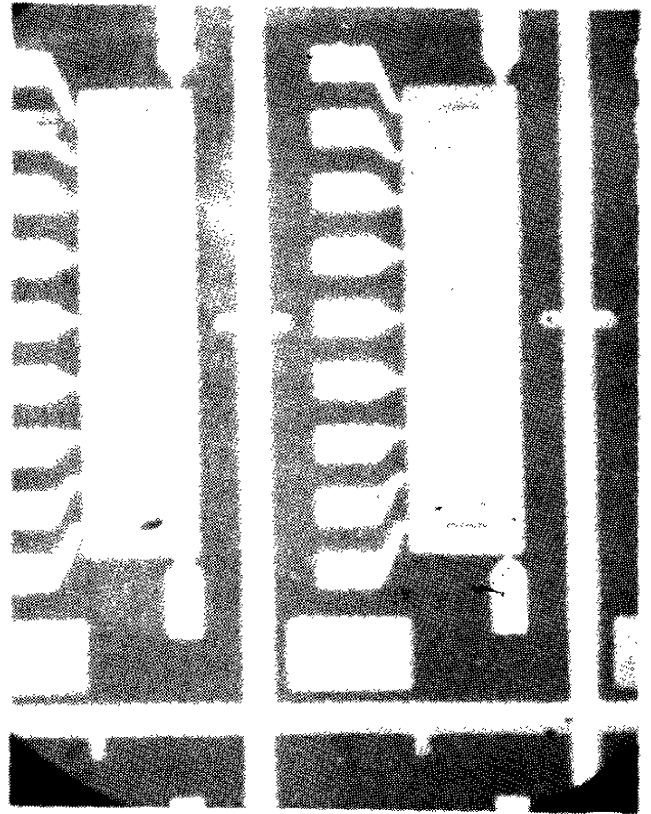
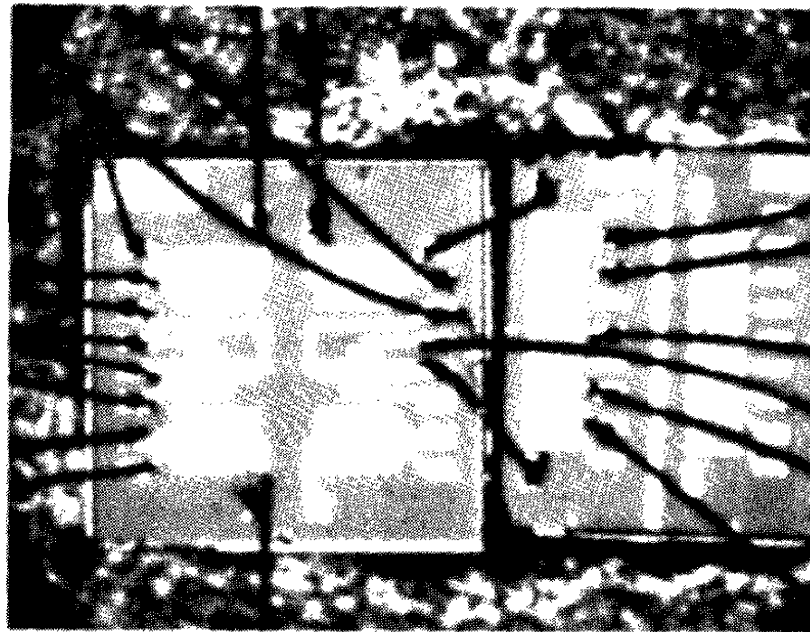


Figure V-5 (b) Sommateur
(MOST de commande)



Exemple de câblage
Figure V - 5 (c)

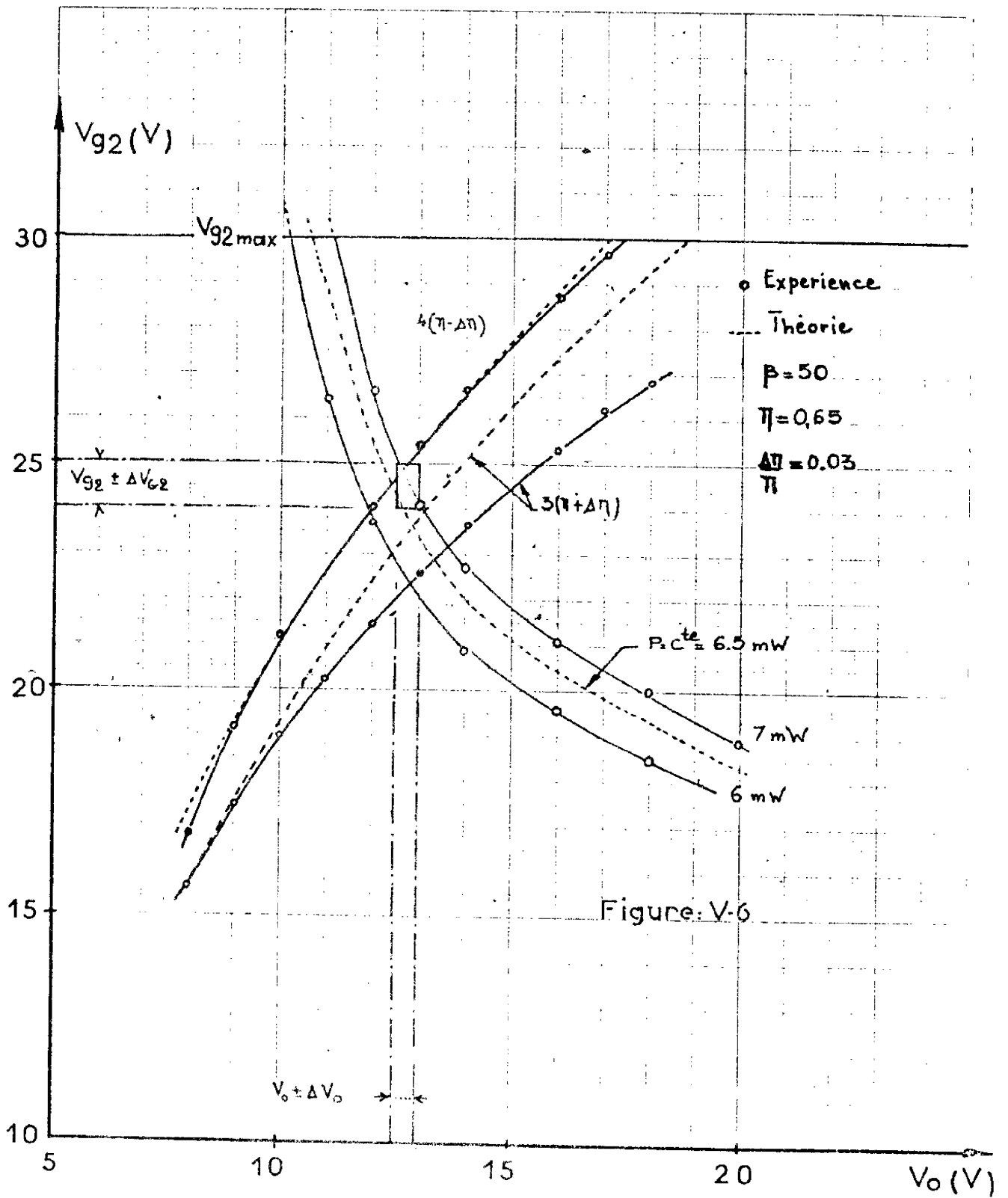


Figure: V-6

Determination du domaine de variation des tensions de polarisation et verification experimentale.

$n=3$; $P=6,5$ mW

Figure-V-6

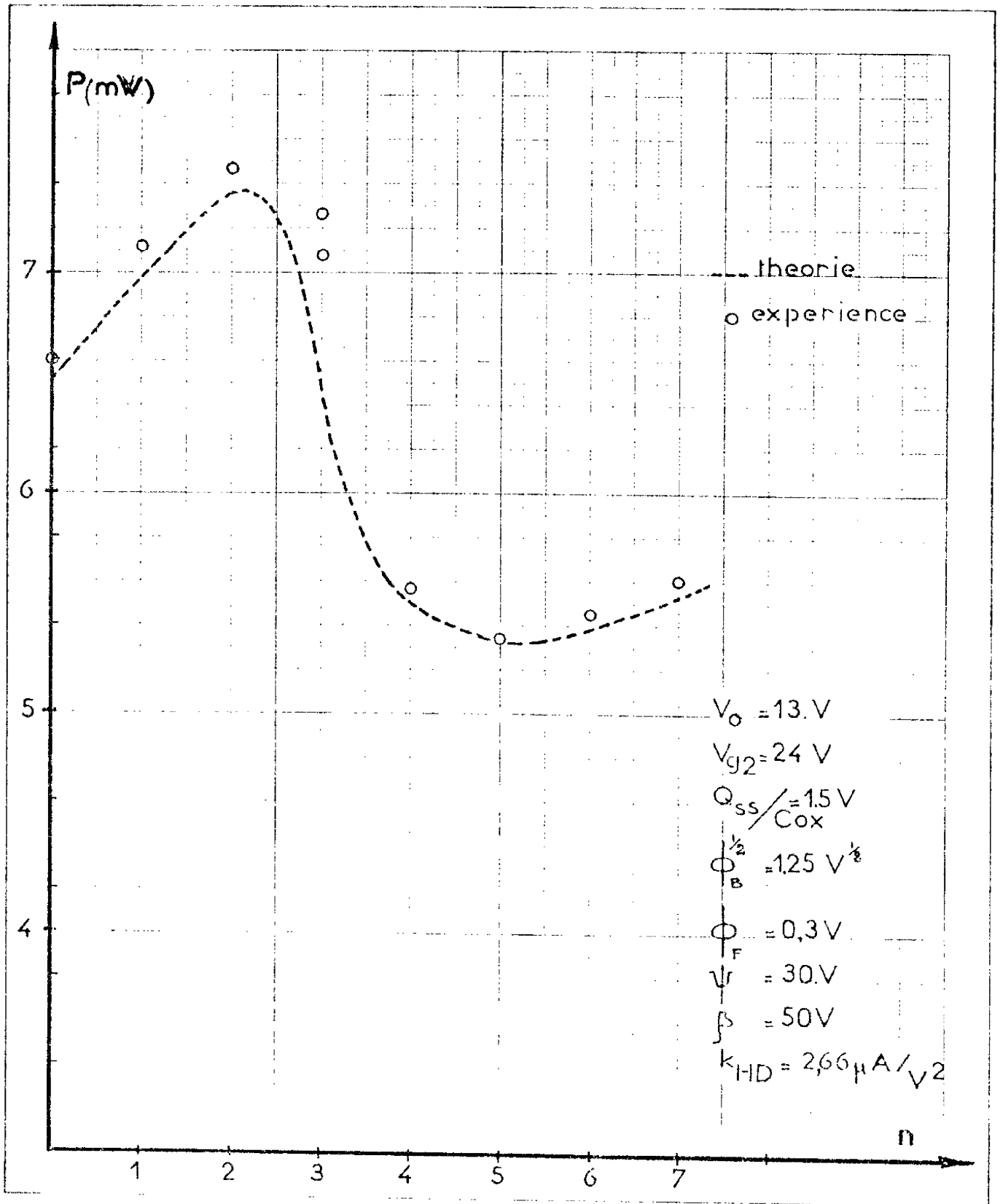


Figure: V-7

Variation de la puissance dissipée par une porte de Logique à Seuil en fonction du nombre d'entrées mises au niveau logique "1".

l'avons indiqué les tolérances observées expérimentalement sont plus grandes que celles prévues théoriquement.

Par ailleurs les caractéristiques à puissance constante ont été mesurées dans le plan V_{G1}, V_{G2} , le sommateur étant bloqué. Les évolutions obtenues sont proches des caractéristiques théoriques déduites de la relation 2 - 18. Pour les gammes de polarisation utiles la puissance mesurée est égale à 6,6 mW valeur voisine de la valeur imposée par le cahier de charges ($P_0 = 6,5$ mW).

Enfin pour montrer que cette puissance évolue peu lorsque varie le nombre d'entrées soumises au niveau logique "1" nous avons reporté les variations de celle-ci en fonction du nombre de poids n . La caractéristique relevée expérimentalement figure V - 7 est comparée aux valeurs déduite de la relation générale 2 - 17. On note, d'une part la bonne concordance des deux réseaux, et d'autre part que les valeurs de la puissance restent voisines de la valeur moyenne décrite par la relation 2 - 18.

5 - 2 - 3 - Propriétés dynamiques :

Pour être complet nous avons comparé les temps de réponse du circuit réalisé à ceux fournis par le programme de simulation I. M. A. G. II. L'objectif de cette étude ne saurait être que de vérifier la compatibilité des ordres de grandeur des temps de montée observés expérimentalement et obtenus par la simulation. La maquette semi intégrée ne constitue qu'un outil d'étude d'une porte élémentaire de logique à seuil: l'ensemble des connexions et la nécessité de réaliser des plots de contacts pour chacun des composants élémentaires introduisent des éléments parasites capacitifs qu'il est impossible de déterminer de façon simple, et dont nous n'avons pas tenu compte dans la simulation.

Le schéma de principe du dispositif de mesure du temps de réponse du circuit de logique à seuil est représenté sur la figure V - 8.

Il comprend :

- un générateur de créneaux du type Tektronics R- 116 d'amplitude 0 - 10V dont il est possible de faire varier les temps de montée et de descente,
- un oscilloscope à échantillonnage Tecktronics RM 567 équipé d'une sonde à haute résistance (10 M Ω) et faible capacité (1, 4 pF)
- une table traçante X, Y où sont relevées les réponses transitoires.

Le système de logique à seuil est alimenté par les tensions :

$$V_O = 10V, \quad V_{G2} = 20V$$

assurant le basculement entre les poids 3 et 4. Trois grilles des transistors de commande sont portées au potentiel continu V_O , une quatrième grille est excitée par les créneaux fournis par le générateur, de sorte que la sortie du dispositif bascule cycliquement entre la tension V_O et le potentiel logique bas.

L'enregistrement du régime transitoire est reporté sur la figure V -9. La comparaison avec les résultats de la simulation théorique montrent que :

- qualitativement les deux réponses ont même allure. Dans les deux cas l'on constate un temps de retard à la commutation, et des temps de montée plus longs que les temps de descente,
- quantitativement les réponses expérimentales sont plus lentes, d'un facteur deux, que celles prévues théoriquement. Le temps de montée mesuré est de 1,8 μ s.

Bien que cet écart soit important il reste cohérent avec le fait, comme nous avons indiqué, qu'il n'a pas été tenu compte des capacités parasites d'interconnexions dans la simulation, ainsi d'ailleurs que des capacités associées au dispositif de mesure.

+

+

+

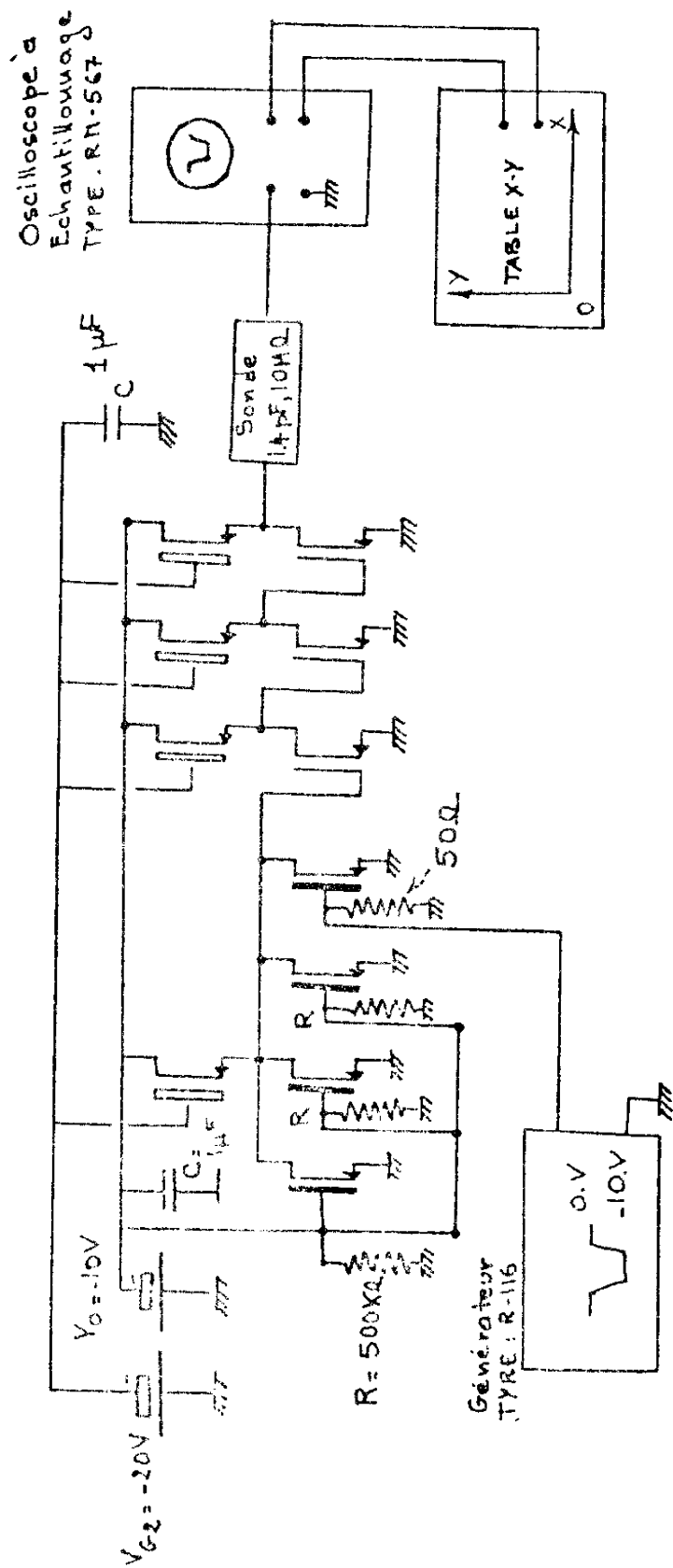
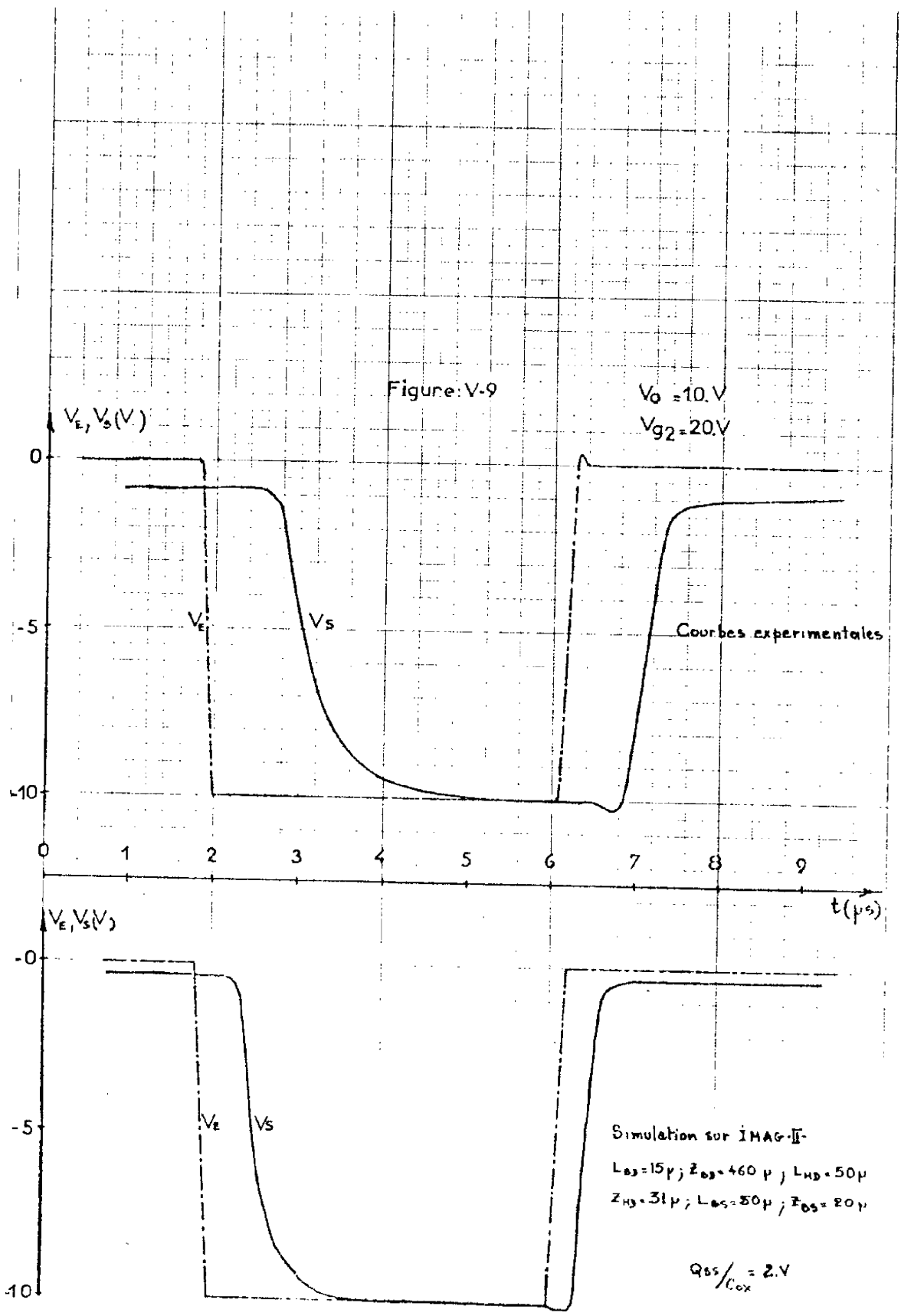


Schéma de principe du circuit de mesure du temps de réponse
du circuit de Logique à Seuil.

Figure-V-8



Reponse dynamique d'un circuit de Logique à seuil à transistors M.O.S.

Figure-V-9

En conclusion ce chapitre a permis de vérifier la plupart des résultats théoriques explicités dans les précédents. La réalisation de deux dispositifs, à éléments discrets ou semi-intégrés a permis de confirmer la validité des résultats de l'analyse statique, et a fait apparaître concrètement la sévérité des tolérances sur le choix des tensions de polarisation.

Nous avons montré que la méthode de conception exposée au paragraphe 4 - 2 permet de concevoir un circuit fonctionnant dans les gammes de contraintes imposées : le seul écart notable se situant au niveau des temps de réponse τ_m, τ_D , écart associé au fait que l'on a négligé les capacités parasites d'interconnexions.

CONCLUSION

Dans ce mémoire nous avons pour objectif de mettre en évidence la faisabilité d'un circuit 'porte logique à seuil' à l'aide de transistors M. O. S. et de définir les contraintes imposées par cette réalisation. Notre but principal a été atteint, puisque nous avons conçu et proposé deux exemples de circuits élaborés en technique planar classique au moyen d'éléments discrets ou sous forme de circuit semi-intégré, qui fonctionnent dans des conditions de polarisation normale pour les dispositifs à transistor M. O. S. dits à haut seuil, et qui basculent entre les poids trois et quatre. Plus que le résultat final, il nous semble important de souligner le déroulement de notre travail qui peut être généralisé pour envisager la conception de structures nouvelles au moyen de modèles mathématiques de composants et de programmes d'intégration numérique de simulation des régimes transitoires .

- Dans une première étape nous avons rappelé les principes de fonctionnement des modules de logique à seuil et indiqué quelques exemples de réalisations en précisant que les contraintes imposées à ces dispositifs ne permettent pas de prévoir leur développement.

- Après avoir rappelé les principaux avantages des circuits à transistors M. O. S. nous avons ensuite proposé un dispositif original n'utilisant qu'un seul type de composant ; le système se compose d'un sommateur analogique et d'un détecteur de seuil constitué de trois inverseurs en cascade. Les équations de fonctionnement statique et dynamique ont été décrites en utilisant le schéma du transistor M. O. S. , il est apparu que ce système permet de réaliser la fonction majorité à sept entrées.

- La généralisation de cette étude a été ensuite effectuée en incluant les contraintes imposées par la technologie. L'effet des dispersions des différents paramètres caractéristiques des composants sur le fonctionnement statique a permis de préciser la limitation du nombre d'entrées de poids "1", nécessaires au basculement en fonction des variations du potentiel Q_{SS}/C_{ox}

lié aux charges d'interface.

- Les méthodes de conception de ces dispositifs, la détermination des tensions de polarisation applicables sur un circuit réalisé, ou les dimensions des divers transistors d'un circuit ont été détaillées et appliquées à deux cas concrets :

- la vérification des résultats de l'analyse théorique sur un circuit à transistors discrets,
- la réalisation d'un circuit semi-intégré dont les caractéristiques étaient spécifiées a priori.

L'étude proposée peut être généralisée au cas de la conception et réalisation d'un dispositif analogue au moyen de technologies performantes, telles que celles d'auto-alignement à grille silicium ou implantation ionique qui devrait permettre d'obtenir un nombre de poids au basculement n supérieur à celui réalisable en technologie classique.

Toutefois il ressort de cette étude que si les critères statiques sont aisément réalisables, les réponses dynamiques de ce type de circuit logique à seuil ne sont guère performantes, comparables tout au plus à celles des dispositifs logiques à transistors M.O.S. à substrat commun qui allient une très faible consommation à des temps de basculement élevés.

Ainsi comme perspective d'avenir, tout en restant dans le cadre des dispositifs M.O.S., une solution plus performante semble résider dans l'utilisation de composants complémentaires. Les avantages que l'on peut attendre par rapport à la solution retenue pour ce mémoire sont :

- des contraintes moins sévères sur les tensions de polarisation et les charges parasites d'interface, dues à la forme de la caractéristique de commutation quasi verticale des inverseurs à transistors M.O.S. complémentaires.
- un nombre restreint de transistors pour réaliser le détecteur de seuil
- une grande rapidité alliée à une consommation d'énergie nulle dans les deux états stables.

A N N E X E 1

EQUATIONS DU TRANSISTOR M.O.S EN REGIME STATIQUE

La structure d'un transistor M.O.S en technique planar est représenté figure A-1-1. Ce composant est réalisé sur un substrat de silicium faiblement dopé dans lequel ont été diffusés deux îlots, la source et le drain fortement dopés de type opposé à celui du substrat. L'espace compris entre les deux îlots est recouvert d'une couche mince de silice d'environ 2000 Å dont on a métallisé la surface. Cette électrode permet de modifier la conductivité superficielle de la couche d'inversion qui apparaît dans certaines conditions de polarisation.

En régime de non pincement, la détermination du courant de drain comporte trois étapes

- Résolution de l'équation de neutralité dans la structure M.O.S
- Détermination du nombre total de porteurs minoritaires dans une tranche de canal.
- Intégration de la charge et équation du courant.

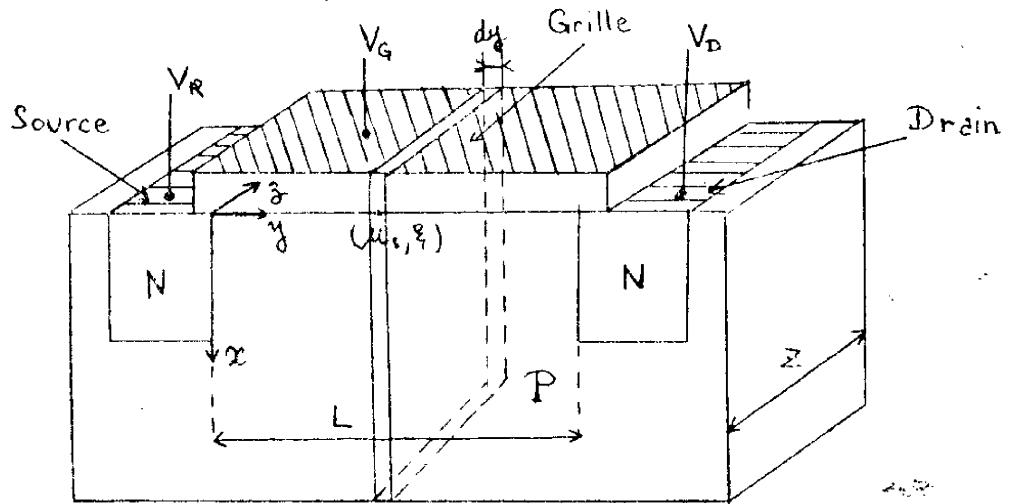
Ce mode opératoire est classique, nous expliciterons les résultats obtenus dans le cas du modèle à mobilité variable puis donnerons une forme approchée du courant adapté à la conception assistée par ordinateur.

EQUATION DE NEUTRALITE

L'application d'une tension sur l'électrode de grille entraîne l'apparition d'un potentiel électrostatique $\psi(x)$ entre la surface et la masse du semi conducteur resté neutre.

Le diagramme des bandes d'énergies de la figure A-1-2 montre la courbure des bandes dans le cas de l'existence d'une couche d'inversion suivie d'une région de charge d'espace.

La continuité de la composante normale du champ à l'interface



Transistor M.O.S. Coupe schematique.

Figure-A-I-1

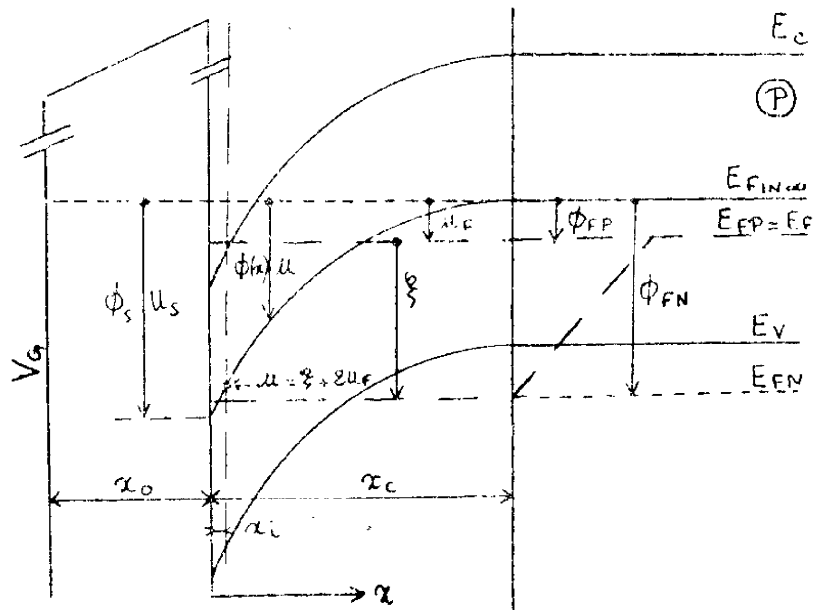


Diagramme energetique dans le cas d'une couche d'inversion suivie d'une zone d'appauvrissement.

Figure -A-I-2

silice-silicium conduit à l'expression suivante :

$$A - 1 \quad \epsilon_0 \cdot \epsilon_{Si} \left(\frac{d\phi}{dx} \right)_{x=0} = \epsilon_0 \cdot \epsilon_{Ox} \frac{V_G - \phi_S}{x_0} + Q_{SS}$$

avec $Q_{SS} = \sum_{SS} = \phi_{MS} C_{ox}$

expressions dans lesquelles :

- . ϵ_{Ox} représente le facteur de permittivité de l'oxyde
- . x_0 l'épaisseur d'oxyde
- . \sum_{SS} la charge dans les états de surface par unité de surface
- . ϕ_{MS} la différence des travaux de sortie du métal et du semiconducteur
- . C_{ox} la capacité par unité de surface de la couche d'oxyde.

Si l'on pose :

$$\alpha = \frac{\mu_S}{|\mu_S|} \cdot (\epsilon_{Si} \cdot x_0) (\epsilon_{Ox} \cdot L_D)^{-1}$$

l'expression A - 1 devient :

$$(A - 2) \quad u_G = u_S + \frac{q}{kT} \cdot \frac{Q_{SS}}{C_{ox}} + \alpha \mathcal{F}(u_S, \xi, u_F)$$

Equation qui traduit la neutralité de la structure M.O.S. La résolution de cette équation en fonction du potentiel de surface u_S n'est pas possible analytiquement. Cependant les approximations que l'on peut faire de la fonction $\mathcal{F}(u_S, \xi, u_F)$ dans les différents états du semiconducteur permettent d'en donner une solution.

Dans le cas d'une zone inversée on obtient la relation :

$$A-3 \quad u_S = \xi + 2 u_F + \text{Log} \left[\left(u_G - u_S + \frac{q}{kT} \cdot \frac{Q_{SS}}{C_{ox}} \right)^2 \frac{\exp(-u_F) - u_S}{\alpha^2} \right]$$

que l'on peut approximer par :

$$A - 4 \quad u_S = \xi + 2 u_F$$

Le potentiel en surface d'une zone inversée est pratiquement indépendant de u_G [12] [13].

Dans le cas d'une zone fortement accumulée

$$A - 5 \quad u_S = u_F - \text{Log} \left[\left(u_G + \frac{q}{kT} \cdot \frac{Q_{SS}}{C_{ox}} \right) / \alpha \right]^2$$

EXPRESSION DE LA CHARGE DE PORTEURS MINORITAIRES EN SURFACE

La charge totale des électrons présente dans la zone de charge d'espace est donnée par :

$$qN = q \int_0^{\infty} n(u, \xi) dx$$

Nous supposons :

- dans la zone inversée la totalité des charges est due aux électrons
- dans la zone d'appauvrissement adjacente la totalité des charges est constituée par des impuretés ionisées

- le potentiel en surface est égal à : $u_S = \xi + 2u_F$

- la largeur de la zone d'inversion est petite devant celle de la zone d'appauvrissement.

Dans ces conditions la charge des porteurs minoritaires s'exprime par : [14] [15] [16]

$$qN = C_{ox} \frac{kT}{q} (u_G - u_S) + Q_{SS} - \int_{u_S = \xi + 2u_F}^0 qN_A \left(\frac{dx}{du} \right) du$$

que l'on exprime par :

$$A - 6 \quad qN = C_{ox} \frac{kT}{q} (u_G - \xi - 2u_F) + Q_{SS} - \left[qN_A \epsilon_0 \epsilon_{Si} \frac{kT}{q} (\xi + 2u_F) \right]^{1/2}$$

EXPRESSION DU COURANT DE DRAIN

Le courant traversant la section droite d'un élément différentiel de canal de longueur dy perpendiculaire à l'interface Silice-Silicium est égal à :

$$I_D = Z \int_0^{\infty} J_M(x, y) dx$$

$J_m(x, y)$ est la densité de courant

$$J_n(x, y) = -n(x, y) q D_n \frac{d\xi}{dy}$$

Compte tenu de la variation de la mobilité sous l'effet d'un champ transversal [17][18][19][20]

$$A.7 \quad \mu = \mu_0 \frac{1}{1 + \frac{V'_G - \phi_S}{\psi}} \quad \text{avec } V'_G = V_G + \frac{Q_{SS}}{C_{ox}}$$

L'équation du courant doit satisfaire le système suivant :

$$\begin{cases} u_S = u_G + \frac{q}{kT} \left(\frac{Q_{SS}}{C_{ox}} - \alpha \mathcal{F}^p(u_S, \xi, u_F) \right) \\ I_D = \left(\frac{kT}{q} \right)^2 \frac{C_{ox}}{2} \frac{Z}{L} \alpha \mu_0 \int_{u_R}^{u_D} d\xi \int_0^{u_S} \frac{\exp(u - \xi - u_F) du}{\mathcal{F}^p(u, \xi, u_F) \cdot \left(1 + \frac{V'_G - \phi_S}{\psi} \right)} \end{cases}$$

L'intégration de ce système conduit, compte tenu de l'approximation du potentiel en surface (A - 4) à l'expression du courant de drain.

$$I_D = \mu_0 \frac{Z}{L} C_{ox} \psi \left\{ V_D - V_R + \psi \operatorname{Log} \frac{\psi + V'_G - 2\phi_F - V_D}{\psi + V'_G - 2\phi_F - V_R} + 2\phi_B^{1/2} \left[(V_D + 2\phi_F)^{1/2} - (V_R + 2\phi_F)^{1/2} - (V'_G + \psi) \left(A_{20} \operatorname{th} \sqrt{\frac{V_D + 2\phi_F}{V'_G + \psi}} - A_{02} \operatorname{th} \sqrt{\frac{V_R + 2\phi_F}{V'_G + \psi}} \right) \right] \right\}$$

Cette expression du courant extrêmement complexe est mal adaptée au calcul de circuits assistés par ordinateur. Par suite, l'on est conduit à utiliser la relation approchée qui consiste à prendre en compte la valeur moyenne de la mobilité dans le canal :

$$I_D = \mu_0 \frac{Z}{L} C_{ox} \cdot \frac{1}{1 + \frac{V'_G - V_T}{\psi}} \left[(V_G + Q_{SS} - 2\phi_F) (V_D - V_R) - \frac{V_D^2 - V_R^2}{2} - \frac{2}{3} \phi_B^{1/2} \left[(V_D + 2\phi_F)^{3/2} - (V_R + 2\phi_F)^{3/2} \right] \right]$$

expression dans laquelle la tension V_T , dite tension de seuil définie par :

$$V_T(V_R) = \frac{Q_{SS}}{C_{ox}} + 2\phi_F + V_R + \frac{\psi_B}{2} + \frac{\psi_B}{2} \sqrt{V_R + 2\phi_F}$$

représente la tension de grille en dessous de laquelle le courant de drain est nul.

Cette expression du courant déterminée dans le cas d'une structure NPN peut s'appliquer au cas d'un transistor M.O.S à canal P. Dans un but de commodité nous avons choisi de prendre toutes les tensions de polarisation en valeur absolue. Dans ces conditions l'expression A -8 devient :

$$I_D = \mu_0 \frac{Z_i}{L} C_{ox} \frac{1}{1 + \frac{V_G - V_T(V_R)}{\psi_B}} \left[(V_G - \frac{Q_{SS}}{C_{ox}} - 2\phi_F) (V_D - V_R) - \frac{V_D^2 - V_R^2}{2} - \frac{2}{3} \frac{\psi_B}{\phi_B} \left[(V_D + 2\phi_F)^{3/2} - (V_R + 2\phi_F)^{3/2} \right] \right]$$

que nous désignerons dans la suite de notre exposé par :

A - 10 $I_D = k_1 \mathcal{J}(V_D, V_G, V_R)$
 avec $k_1 = \mu_0 \frac{Z_i}{L_1} C_{ox}$

Les expressions théoriques déduites de ce modèle unidimensionnel passent par un maximum lorsque la charge dans la couche d'inversion devient nulle au droit du drain. Par ailleurs on constate expérimentalement que les caractéristiques $I_D(V_D)$ présentent au delà d'une certaine tension de drain V_P définie par :

A - 11 $V_P = V_G - \frac{Q_{SS}}{C_{ox}} - 2\phi_F + \frac{\psi_B}{2} + \frac{\psi_B}{2} \sqrt{4(V_G - \frac{Q_{SS}}{C_{ox}}) + \dots}$

un palier de saturation correspondant à une résistance dynamique très élevée. Comme l'on fait de nombreux auteurs nous admettrons que au delà du maximum théorique fourni par le modèle le courant drain reste constant indépendamment de la tension de drain. Sa valeur sera égale à celle du maximum. [25]

Cette approximation n'est pas justifiée sur le plan physique. Des modèles plus élaborés ont été mis au point [10] [21] [22] qui présen-

lent l'inconvénient d'être excessivement complexe et peu adapté au traitement par ordinateur.

ANNEXE 2

SCHEMA EQUIVALENT DYNAMIQUE DE TRANSISTOR M.O.S

A notre connaissance il n'existe pas de schéma dynamique large signaux du transistor M.O.S. Un schéma valable en régime de hautes fréquences a été proposé par P. ROSSEL [10] qui rend compte du comportement du transistor dans ce fonctionnement. Ce schéma global est extrêmement complexe et peu adapté à la conception de circuits au moyen d'un ordinateur.

Nous proposerons une méthode d'établissement d'un schéma dynamique simplifié utilisable dans un programme de conception tel qu'I.M.A.G. II.

Après avoir remarqué que, de part la technique d'intégration numérique, base du fonctionnement d'un tel programme, les éléments constitutifs du modèle seront :

- les sources de courant et de tensions relatives au fonctionnement large signaux
- les éléments passifs, résistances, capacités seront ceux d'un schéma petit signaux.

Notre méthode de recherche sera la suivante :

- explicitation de la valeur de la source de courant,
- détermination des éléments passifs intrinsèques,
- prise en compte des éléments parasites.

Afin de simplifier au maximum la présentation du transistor nous ferons les hypothèses :

- que le substrat est peu dopé lors de la détermination de la source de courant équivalente au canal,
- que la mobilité des porteurs est constante lors de la détermination des diverses impédances
- de plus nous ne déterminerons que la valeur au premier ordre

de ces impédances, soit en général leur valeur capacitive qui est la plus importante pour le fonctionnement en commutation du composant.

A - 1 - METHODE DE CALCUL DES ELEMENTS "INTRINSEQUES"

A - 1 - 1 - Générateur de courant

Dans le cas du faible dopage et de prise en compte d'une mobilité moyenne sur tout le canal le courant du drain s'approxime par :

$$I_D = \frac{\mu_0 Z/L C_{ox}}{1 + \frac{V_G - V_T}{\psi} (V_R)} \left[(V_G - V_D) (V_D - V_R) - \frac{(V_D - V_R)^2}{2} \right]$$

La référence des potentiels étant au substrat.

A - 1 - 2 - Capacités grille-drain grille-source :

Ces deux capacités se déduisent directement du schéma équivalent proposé par P. ROSSEL [10]

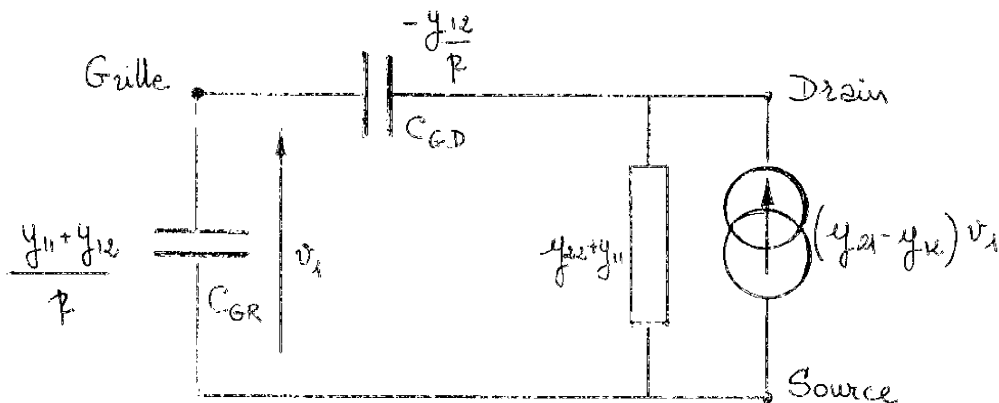


Figure : A - II - 1

Elles s'expriment en explicitant au premier ordre le formalisme de paramètres y_{ij} :

$$C_{GD} = \frac{y_{11} + y_{12}}{j\omega}$$

$$C_{GR} = - \frac{y_{12}}{j\omega}$$

soit, dans le cadre des hypothèses simplificatrices précédentes :

$$C_{GD} = \frac{2}{3} \frac{2n+1}{(1+n)^2} ZL Cox$$

$$C_{GR} = \frac{2}{3} \frac{n(2+n)}{(1+n)^2} ZI Cox$$

avec $n = (V_{G'} - V_D) (V_G - V_R)^{-1}$

et par suite

$$C_{GD} = \frac{2}{3} ZL Cox \frac{(V_G' - V_D) (3V_G' - 2V_R - V_D)}{(2V_G' - V_D - V_R)^2}$$

$$C_{GR} = \frac{2}{3} ZLCox \frac{(V_G' - V_R)(3V_G' - 2V_D - V_R)}{(2V_G' - V_D - V_R)^2}$$

A - 2 - SCHEMA EQUIVALENT GLOBAL

En ajoutant au schéma intrinsèque constitué des éléments précédemment décrits les diverses impédances parasites :

C_{gr} : capacité de recouvrement grille source

C_{gd} : capacité de recouvrement grille-drain

C_{tr} , C_{td} capacités de transition des diodes de source et de drain

qui s'expriment respectivement dans le cas d'une diode abrupte par :

$$C_{td(ou r)} = \frac{C_{To} S_d(ou s)}{(1 + \frac{V_D(ou R)}{V_p})^{1/2}} \text{ avec } C_{To} = \frac{\epsilon_o \epsilon_{si} q N_D}{2 V_p}$$

V_{ϕ} étant la tension de diffusion des diodes, S_d (ou r) leur surface.

• R_{ds} ou R_{rs} résistances réparties entre ces diffusions et le substrat que l'on peut approximer par : [23] [24]

$$R_{ds} = \frac{\rho e}{S_d}$$

• ρ et e étant respectivement la résistivité et l'épaisseur du substrat

• R_r et R_d les résistances d'accès à la source et au drain dont les expressions approchées sont : [23] [24]

$$R_{r, d} = \frac{R_{\square}}{2} \frac{Z}{L_{r, d}}$$

R_{\square} étant la résistance carré des diffusions $L_{r, d}$ les longueurs de ces diffusions.

On obtient le schéma global représenté sur la figure A - II - 2.

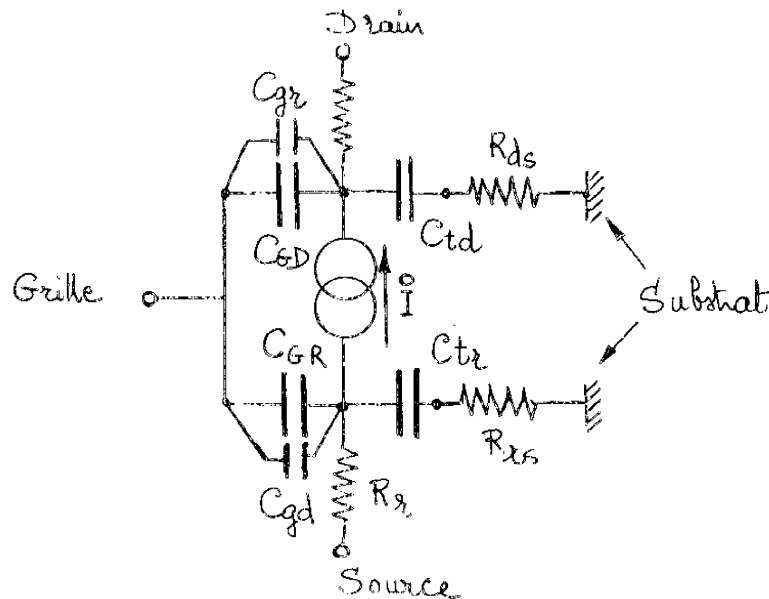


Figure A - II - 2

Notons enfin que pour des raisons de simplification et en vue de réduire le temps calcul, compte tenu du fait que les capacités C_{GR} , C_{GD} , C_{gd} , C_{gr} sont faibles devant les capacités de transition des jonctions de source et de drain, il est d'un usage courant de simplifier les relations A - 12 et A - 13 et d'adopter dans le cas de simulations numérique pour

expression de ces capacités :

$$\begin{aligned} \cdot C_{GD} &= \begin{cases} 0 & \text{lorsque le transistor est pincé} \\ 1/2 ZL Cox & \text{lorsque le transistor est non pincé} \end{cases} \\ \cdot C_{GR} &= 1/2 ZL Cox \text{ quelque soit la tension appliquée sur la} \\ &\quad \text{grille du transistor.} \end{aligned}$$

BIBLIOGRAPHIE

-:-:-:-:-:-:-:-:-

- [1] R. O. WINDER
The status of Threshold Logic
R.C.A. Review , March 1969, pp 62 - 84
- [2] P. AZEMA
Contribution à la Synthèse des Fonctions Logiques
à l'aide d'éléments à seuil.
Thèse n° 418, Université Paul Sabatier de Toulouse 1970
- [3] C.L. COATES, E. M. LEWIS II
DONUT : A threshold Gate Computer
IEEE , Juin 1964, p 240-247
- [4] G.F. MARETTE
Integrated Majority Logic Circuit Utilizing Connected
Parallel Transistors Pairs and Multiple Emitter Transistor
U.S Patent n° 3 - 378 - 695 Avril 1968.
- [5] R. O.WINDER
Threshold Logic will Cut Cost Especially with Boost
from L.S.I
Electronics, vol. 41 n° 11, May 27, 1968 p 94.
- [6] J.C. GEFFROY
Contribution à l'Etude des Machines Logiques Séquentielles
à l'aide d'éléments à seuil
Thèse 3ème Cycle n° 1066 Université de Toulouse 1971
- [7] M. SALVIAC
Caractérisation Physique des Circuits Logiques Elementaires
à Transistors M.O.S
Thèse 3ème Cycle n° 810 Université Toulouse 1969.
- [8] H. MARTINOT - P. ROSSEL - M. SALVIAC
Les inverseurs à transistors M. O. S
L'onde électrique - Vol. 50, Fasc. 9, Oct. 1970 pp 790-803
- [9] JACOLIN - LE FAOU - PIMORT - VERAN
IMAG II Un programme de simulation de circuits électriques
Notice d'Utilisation IMAG Mai 1970
- [10] P. ROSSEL
Propriétés Statiques et Dynamiques du Transistor à effet de
Champ à Grille isolée
thèse n° 529 Université Paul Sabatier Toulouse Mars 1973

- [11] G. GRINON
Programme d'étude de circuits logiques à transistors M.O.S
L'onde électrique Vol. 49 Fasc. 1, pp 80 Janv. 1969.
- [12] S.R. HOFFEIN
An analysis of deep depletion thin film M.O.S transistor
i. E. E. Trans. on Electron Dev., ed 13, n° 12 p 846
1966
- [13] W.G.K. REDDI-C.T. SAM
Source to Drain resistance beyon Pinch off in Metal
Oxyde Semiconductor
IEE Trans. on Electron Dev. p 139 - March 1965
- [14] C.T. SAH
Characteristics of the Metal Oxyde Semiconductor Transistor
IEEE Trans. on Electron Dev. p 324 July 1964
- [15] H.C. PAO - C.T. SAM
Effects of diffusion current on characteristics of M.O.S
Transistor
Solid State Electronics, Vol 9 p 927, 1966
- [16] P. ROSSEL
Etude des évolutions temporelles des caractéristiques des
transistors à effet de champ à grille isolée.
Thèse Docteur Ingénieur Faculté des Sciences de Toulouse
n° 188 - 1968.
- [17] J.C. SCHRIEFFER
Effective Carrier Mobility in Surface Space Layers
Physical Review p 641, Vol. 97 1955
- [18] P. ROSSEL
influence de la réduction de mobilité due au champ transversal
sur la caractéristique des M.O.S.T
Electronics letters n° 5 1969 p 604
- [19] G. VASSILIEFF
Modèle du transistor M.O.S Influence des variations de la
mobilité des porteurs
Thèse 3ème cycle Université Paul Sabatier Toulouse 1971
- [20] H. MARTINOT - P. ROSSEL - G. VASSILIEFF
Mobility parameters and M.OS transistors properties
Electronics-Letters Nov. 1972, Vol. 8 - 24, pp 599 -600

- [21] H. MARTINOT - P. ROSSEL
Un exemple d'utilisation des modèles des transistors M.O.S
Conférence ou Bipolar and M.O.S transistors Models for C.A.D
of integrated circuits.
Heverlee - Belgium 8 - 9 décembre 1971
- [22] G. MERCKEL - J. BOREL
Un modèle précis du transistor M.O.S utilisable en C.A.O
Journées D.G.R.S.T. Toulouse 29 - 30 mars 1971
- [23] G. MERCKEL - J. BOREL - E. MACKOWIAK
Schéma équivalent du transistor M.O.S utilisable dans le
programme I.M.A.G. I
L'Onde Electrique Vol. 49, Fasc. 1 pp 84 - 89 Janvier 1969
- [24] G. MERCKEL - N. CUPCEA
Note Technique LETI/ ME n° 633
Le transistor M.O.S (Canal P) - Théorie - Schéma Equivalent
Conception de circuits intégrés - Août 1970.
- [25] Physics and Technologies of Semiconductors devices - Wiley

CHAPITRE IV : METHODES DE CONCEPTION

IV - 1 - Conditions d'utilisation d'un circuit déjà réalisé	55
IV - 2 - Conception d'un circuit de logique à seuil	62

CHAPITRE V : RESULTATS EXPERIMENTAUX

V - 1 - Circuit à éléments discrets	75
V - 2 - Circuit semi-intégré	79
V - 2 - 1 Conception du circuit	80
V - 2 - 2 - Propriétés statiques du circuit	81
V - 2 - 3 - Propriétés dynamiques	87

CONCLUSION	93
------------	----

ANNEXE 1	95
----------	----

ANNEXE 2	105
----------	-----

BIBLIOGRAPHIE	113
---------------	-----