



Contribution à la conception de capteurs de vision CMOS à grande dynamique

Estelle Lauga-Larroze

► To cite this version:

Estelle Lauga-Larroze. Contribution à la conception de capteurs de vision CMOS à grande dynamique. Micro et nanotechnologies/Microélectronique. Institut National Polytechnique de Grenoble - INPG, 2007. Français. NNT : . tel-00178598

HAL Id: tel-00178598

<https://theses.hal.science/tel-00178598>

Submitted on 11 Oct 2007

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

INSTITUT NATIONAL POLYTECHNIQUE DE GRENOBLE

N° attribué par la bibliothèque
978-2-84813-104-7

THESE

pour obtenir le grade de

DOCTEUR DE L'INP Grenoble

Spécialité : Micro et Nanoélectronique

préparée au laboratoire TIMA

dans le cadre de l'**Ecole Doctorale** d'« Electronique, Electrotechnique, Automatique,

Télécommunications, Signal »

présentée et soutenue publiquement

par

Estelle LABONNE

Le 10 juillet 2007

TITRE :

**CONTRIBUTIONS A LA CONCEPTION DE
CAPTEURS DE VISION CMOS A GRANDE DYNAMIQUE**

Directeur de thèse : Marc RENAUDIN

Co-encadrant : Gilles SICARD

JURY

M. Gérard BOUVIER
M. Guy CATHEBRAS
M. Michel PAINDAVOINE
M. Marc RENAUDIN
M. Gilles SICARD
M. Patrick GARDA

, Président
, Rapporteur
, Rapporteur
, Directeur de thèse
, Co-encadrant
, Examinateur

TABLE DES MATIERES

TABLE DES MATIERES	3
REMERCIEMENTS.....	9
INTRODUCTION.....	11
CHAPITRE 1	13
PRESENTATION DES CAPTEURS D'IMAGE CMOS	13
1.1 La chaîne de l'image	13
1.1.1 La matrice d'éléments photosensibles	14
1.1.2 Les pixels.....	18
1.1.3 Le circuit de lecture colonne	20
1.1.4 Les décodeurs d'adresse	20
1.1.5 Conclusion.....	21
1.2 Les caractéristiques de la matrice d'éléments photosensible.....	21
1.2.1 La taille du pixel et le facteur de remplissage	21
1.2.2 Le nombre de pixels	21
1.2.3 La sensibilité.....	21
1.2.4 La vitesse de lecture	22
1.2.5 Le mode de capture	22
1.2.6 La dynamique de fonctionnement	23
1.2.7 Le bruit	23
1.2.8 Conclusion.....	27
1.3 La grande dynamique de fonctionnement.....	27
1.3.1 Les capteurs à temps d'intégration unique	28
1.3.2 Les capteurs à temps d'intégration multiples	29
1.3.3 Les capteurs à compresseur logarithmique	29
1.3.4 Les capteurs linéaires et logarithmiques.....	30
1.3.5 L'adaptation aux conditions lumineuses	31
1.3.6 Conclusion.....	31
1.4 Le mode de capture instantanée.....	32
1.4.1 Les pixels « global shutter » à quatre transistors	32

1.4.2	Les pixels « global shutter » à cinq transistors	33
1.4.3	Conclusion.....	34
1.5	La conversion analogique numérique.....	35
1.5.1	La conversion au niveau des amplificateurs colonnes.....	35
1.5.2	La conversion au sein des pixels	35
1.5.3	Conclusion.....	36
1.6	Conclusion.....	37
PARTIE 1		39
CONCEPTION DES CAPTEURS DE VISION.....		39
CHAPITRE 2.....		41
ETUDE ET CONCEPTION D'UN IMAGEUR GRANDE DYNAMIQUE UTILISANT L'ARCHITECTURE LOGARITHMIQUE		41
2.1	Présentation du projet PICS	41
2.1.1	Cahier des charges	42
2.2	Étude pour atteindre une grande dynamique de fonctionnement	43
2.2.1	Le mode de faible inversion	43
2.2.2	L'architecture en compresseur logarithmique	45
2.2.3	La sortie du pixel.....	45
2.3	Étude pour la diminution du bruit spatial fixe pixel à pixel.....	46
2.4	Étude pour l'insertion du mode de capture instantanée.....	48
2.5	Conception de la matrice	50
2.5.1	Architecture du pixel	50
2.5.2	Architecture de l'amplificateur colonne	51
2.5.3	Simulations et optimisation du pixel et de l'amplificateur colonne.....	52
2.5.4	Conception des masques.....	55
2.5.5	Conclusion.....	56
2.6	Étude pour l'amélioration de la méthode de calibration du pixel à compresseur logarithmique.	57
2.6.1	La méthode de calibration	57
2.6.2	Choix de la tension de référence.....	57

2.6.3	Conception de cette matrice IMAGYNE1	60
2.6.4	Conception des masques.....	61
2.6.5	Conclusion.....	61
2.7	Conclusion.....	62
CHAPITRE 3.....		65
ETUDE ET CONCEPTION D'UN IMAGEUR GRANDE DYNAMIQUE UTILISANT UN TEMPS D'INTEGRATION VARIABLE		65
3.1	Les capteurs de vision à intégration et à grande dynamique de fonctionnement	65
3.2	Principe de l'asservissement du temps d'intégration aux conditions lumineuses.....	66
3.2.1	L'extraction de l'information « illumination moyenne de la matrice »	66
3.2.2	Asservissement du temps d'intégration à l'illumination moyenne	69
3.3	Conception de la matrice IMAGYNE2.....	71
3.3.1	La chaîne de l'information	71
3.3.2	Les matrices imbriquées	72
3.3.3	Le convertisseur analogique numérique	76
3.3.4	Le décodeur ligne	76
3.3.5	Le circuit amplificateur colonne.....	77
3.4	Conclusion.....	78
CHAPITRE 4.....		81
ETUDE ET CONCEPTION D'UN IMAGEUR GRANDE DYNAMIQUE A SORTIES NUMERIQUES.....		81
4.1	Combinaison du montage à compresseur logarithmique et de l'adaptation aux conditions lumineuses	81
4.1.1	Les objectifs de ce capteur de vision	81
4.1.2	Principe de l'adaptation aux conditions lumineuses.....	82
4.2	L'implémentation de sorties numériques	84
4.2.1	Les objectifs de ce capteur de vision	84
4.2.2	La conversion à approximations successives.....	85
4.2.3	Génération des deux tensions binaires.....	85

4.2.4	Génération des deux signaux binaires en tenant compte de l'adaptation aux conditions lumineuses	86
4.3	Conception de la matrice IMAGYNE3.....	87
4.3.1	La chaîne de l'information	88
4.3.2	La matrice de pixel	88
4.3.3	L'amplificateur colonne	91
4.3.4	La séquence de lecture.....	92
4.4	Conclusion.....	93
PARTIE 2.....		100
CARACTÉRISATION DES CAPTEURS DE VISION		100
CHAPITRE 5.....		102
DESCRIPTION DES ENVIRONNEMENTS DE TEST		102
5.1	Environnement de test du circuit PICS.....	102
5.1.1	Architecture du circuit de test.....	102
5.1.2	L'environnement de test du circuit PICS.....	103
5.1.3	Conclusion sur l'environnement de test du circuit PICS	104
5.2	Environnement de test du circuit IMAGYNE	104
5.2.1	Architecture du circuit de test.....	104
5.2.2	Environnement de test du circuit IMAGYNE	110
5.2.3	Conclusion sur l'environnement de test du circuit IMAGYNE.....	115
5.3	Conclusion.....	115
CHAPITRE 6.....		118
RESULTATS DE TEST DES IMAGEURS		118
6.1	Résultats de test de l'imageur PICS.....	118
6.1.1	Dynamique de fonctionnement :	119
6.1.2	Fonction de transfert après application de la méthode NCDS	121
6.1.3	Test de l'efficacité de calibration pour supprimer le FPN :	121
6.1.4	Efficacité de la capacité dite de « Global Shutter »	123
6.1.5	Conclusion et perspectives	124

6.2	Résultats de test de l'imageur IMAGYNE1	125
6.2.1	Dynamique de fonctionnement :	126
6.2.2	Fonction de transfert après application de la méthode NCDS	128
6.2.3	Mesure du bruit temporel impactant le capteur IMAGYNE1	128
6.2.4	Mesure du bruit spatial fixe impactant le capteur IMAGYNE1	129
6.2.5	Conclusion.....	130
6.3	Résultats de test de l'imageur IMAGYNE2	131
6.4	Comparaison des résultats de mesure	133
CONCLUSION ET PERSPECTIVES		137
BIBLIOGRAPHIE.....		140
LISTE DES COMMUNICATIONS PUBLIEES DURANT CETTE THESE		146

REMERCIEMENTS

Ce mémoire de thèse est la synthèse de quatre années de recherches (dont une année d'ATER) effectuées au sein du groupe Concurrent Integrated Systems (CIS) du laboratoire TIMA (UJF-INPG-CNRS) à Grenoble.

Tout d'abord, je souhaite remercier Monsieur Bernard COURTOIS, directeur du laboratoire TIMA lorsque j'ai commencé ce travail, ainsi que Madame Dominique BORRIONE, actuelle directrice, de m'avoir accueillie au sein du laboratoire afin de me permettre de mener à bien cette thèse.

Ensuite, je souhaite exprimer ma reconnaissance à mon directeur de thèse, Monsieur Marc RENAUDIN, Professeur à l'INPG, pour son accueil au sein de son groupe, CIS, son soutien et ses conseils.

Je remercie aussi tout particulièrement Monsieur Gilles SICARD, Maître de Conférences à l'UJF, qui a encadré et dirigé cette étude. Son soutien, son aide ainsi que la confiance qu'il m'a accordés tout au long de ces quatre années ont permis la fructification de ces recherches, riches en expériences, connaissances et résultats.

Je tiens également à remercier Monsieur Gérard BOUVIER, Professeur à l'INPG, pour l'intérêt qu'il a accordé à ce travail en acceptant de le juger et de présider le jury. Je remercie Monsieur Michel PAINDAVOINE, Professeur à l'Université de Bourgogne et Monsieur Guy CATHEBRAS, Maître de Conférence au LIRMM à Montpellier, d'avoir accepté le rôle de rapporteurs. L'intérêt qu'ils ont manifesté à l'égard de mon travail a permis d'apporter un regard extérieur critique et enrichissant sur le sujet. Mes remerciements s'adressent aussi à Monsieur Patrick GARDA, Professeur à l'Université de Paris VI et Monsieur Patrick VILLARD, Ingénieur au CEA-Léti qui ont accepté le rôle d'examineurs.

Je remercie aussi vivement tous les partenaires du Projet Européen MEDEA+ nommé PICS, et tout particulièrement l'équipe de conception de capteurs CMOS de la société Atmel-Grenoble (E2V) pour leur accueil chaleureux au sein de leur équipe, pour toutes leurs remarques qui m'ont permis d'avancer dans cette étude, et leur gentillesse permanente.

Je n'oublie pas non plus l'équipe du CIME qui m'a apporté son aide précieuse pour la conception et la caractérisation des capteurs, et l'équipe du CMP qui a permis la fabrication de ces capteurs dans d'excellentes conditions. Au fil de notre collaboration durant cette thèse, ce sont devenus des amis, dont j'apprécie toujours les conseils et que j'essaierai d'associer le plus souvent possible à mes futures recherches.

Je remercie aussi tous mes collègues du TIMA-CMP, enseignants, chercheurs, doctorants... pour leur sympathie et convivialité au sein du laboratoire. Parmi eux, je souhaite saluer plus particulièrement Monsieur Laurent FESQUET Maître de Conférences à l'INPG pour son soutien, son aide et ses conseils. Un énorme merci à tous mes collègues du groupe CIS (présents, passés et affiliés) pour leur amitié, leur bonne humeur, leurs pauses cafés, leurs bonnes idées de sorties, de week-end et de cadeaux. Une pensée toute particulière pour les docteurs et ingénieurs issus du groupe CIS qui ont maintenant pris le large et qui continuent à venir voir et encourager les doctorants. Parmi eux, un merci chaleureux à Jean-Baptiste, Dhanistha, Fabien et Joao-Leonardo, pour leurs conseils et leur aide tout au long de ma thèse.

Une petite pensée à mes différents co-locataires de bureau, Bertrand, Vivian, Salim, Yann et Gregory, avec qui j'ai passé des très bons moments. Ces quelques années passées auprès d'eux ont largement suffi pour que de fort liens amicaux se tissent et que nous gardions contact malgré les divergences de nos carrières.

Pour finir, je tiens à remercier chaleureusement mon compagnon et ma famille pour leur confiance, leur présence à mes côtés et leur soutien tout au long de ces années.

INTRODUCTION

Par rapport aux imageurs CCD, technologie qui tient lieu de référence dans les capteurs de vision, les imageurs CMOS rattrapent leur retard en termes de sensibilité, dynamique de fonctionnement, qualité de l'image. Les capteurs de vision CMOS ont profité des progrès de la technologie CMOS du point de vue finesse d'intégration des composants, maturité des technologies, et baisse des coûts de production. Ils ont aussi profité de l'avantage de pouvoir intégrer des transistors au sein même des pixels et ainsi amener le traitement de l'information au plus près du capteur.

Un des buts du projet Européen MEDEA+, PICS est d'améliorer les imageurs CMOS destinés aux applications de sécurité automobile et de surveillance. Dans le cadre de ce projet, qui a initié cette thèse, les principales caractéristiques des capteurs de vision que l'on cherchera à améliorer concernent la dynamique de fonctionnement et le bruit impactant les images.

La dynamique de fonctionnement des capteurs de vision permet d'évaluer leur capacité à retransmettre des scènes incluant à la fois des parties obscures et des parties très lumineuses. La dynamique de fonctionnement classique des capteurs de vision CMOS vaut environ 60dB (80dB pour les capteurs de vision en technologie CCD). Dans le cadre de ce projet, les spécifications du capteur de vision CMOS à concevoir demandent une dynamique de fonctionnement supérieure à 100dB.

Pour atteindre cette grande dynamique de fonctionnement, plusieurs approches sont possibles. Toutes induisent des inconvénients différents tels qu'un bruit spatial fixe plus important, une surface de pixel plus grande ou un temps d'affichage plus lent. Le bruit spatial fixe cause des variations en sortie des pixels, observables sur les images prises sous illumination uniforme. Pour obtenir des images exploitables automatiquement, ce bruit ne doit pas excéder quelques pourcents du signal de sortie. De manière à limiter le coût de fabrication du capteur, la surface du capteur (et donc celle des pixels) doit être la plus petite possible. Dans le cadre des applications de surveillance, le capteur doit pouvoir soutenir une fréquence de rafraîchissement de l'image de l'ordre de 30 images par seconde.

La difficulté de ce travail de thèse est donc de concevoir un capteur de vision CMOS présentant une grande dynamique de fonctionnement, tout en conservant une bonne vitesse d'affichage et des valeurs de bruit spatial fixe, de consommation et de surface conformes à celles présentées dans l'état de l'art.

Ce manuscrit se compose de deux grandes parties précédées d'une introduction (Chapitre 1) présentant les capteurs de vision CMOS et leurs principales caractéristiques.

Dans la première partie (Chapitre 2 à 4), nous traitons de l'amélioration de la dynamique de fonctionnement et la réduction du bruit spatial fixe des imageurs. Pour atteindre une grande dynamique de fonctionnement, plusieurs solutions ont été explorées : les pixels à compresseur logarithmique, les pixels à temps d'intégration et les pixels intégrant une adaptation aux conditions lumineuses. Pour chacune de ces trois architectures, les études ont été menées afin de réduire l'influence du bruit spatial fixe. Ces trois travaux qui sont présentés dans les chapitres 2, 3 et 4, ont conduit à la conception et la fabrication de quatre imageurs CMOS.

La deuxième partie (Chapitre 5 et 6) présente le test de ces capteurs de vision. Dans le chapitre 5, les environnements de test et leur développement sont présentés. Les méthodes de calcul et les résultats de test sont ensuite décrits dans le chapitre 6. Deux des capteurs ont été testés et les résultats de ces tests ont permis de valider les approches de conception. Des améliorations sont proposées.

Chapitre 1

PRESENTATION DES CAPTEURS D'IMAGE CMOS

Ce chapitre présente dans une première partie les dispositifs d'acquisition d'image des capteurs CMOS, puis détaille leurs principales caractéristiques.

1.1 La chaîne de l'image

Les dispositifs d'acquisition d'images permettent de capturer une information lumineuse et de la convertir en un signal électrique, analogique ou numérique. Au sein du capteur d'images CMOS, les photons sont ainsi successivement convertis en charges photo générées, puis en photo courant, puis lus sous forme de tension analogique. Cette tension analogique est ensuite amplifiée, aiguillée vers la sortie du capteur et finalement convertie en signal numérique. La figure 1 illustre les différents blocs des capteurs d'image CMOS et leur rôle dans cette chaîne de conversion :

- la matrice d'éléments photosensibles qui fournit des tensions analogiques correspondant à l'information lumineuse respective de chaque pixel ;
- l'électronique de lecture qui permet d'amplifier ces tensions et de les acheminer vers la sortie du capteur ;
- un convertisseur analogique - numérique qui transforme ces tensions analogiques en signaux numériques.

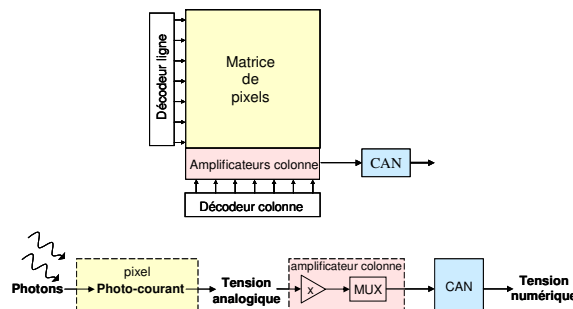


Figure 1 : Schéma bloc d'un capteur d'image CMOS et la chaîne de conversion des grandeurs mesurées

Les capteurs d'image CMOS fonctionnent à la manière d'une mémoire, avec des blocs d'adressage en X et en Y. Les pixels d'une même colonne partagent un même bus de sortie, multiplexé par le décodeur ligne. L'information sur le bus de sortie de chaque colonne est ensuite

échantillonnée, stockée et amplifiée dans les amplificateurs colonne. Tous ces amplificateurs partagent un bus de sortie, multiplexé par les décodeurs colonne, qui alimente le convertisseur analogique numérique. La figure 2 illustre ce principe de fonctionnement.

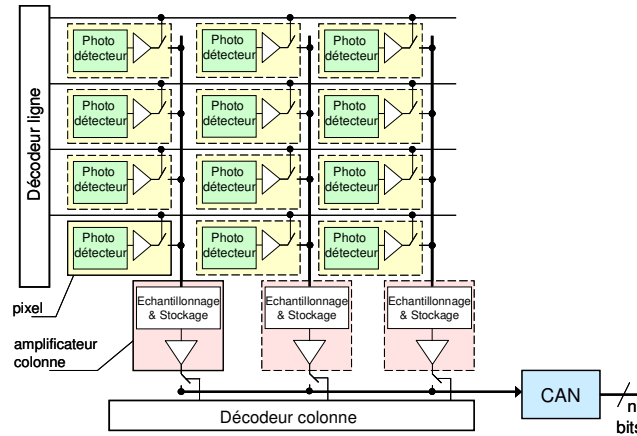


Figure 2 : Principe de fonctionnement des capteurs d'image CMOS

Nous allons maintenant présenter plus précisément chacun de ces blocs : la matrice d'éléments photosensibles, les amplificateurs colonne et la partie conversion analogique numérique.

1.1.1 La matrice d'éléments photosensibles

La matrice d'éléments photosensibles est la zone photosensible du capteur. Chaque élément de cette matrice porte le nom de pixel (« picture element »). Les pixels se composent d'un photo détecteurs, capteur élémentaire où a lieu la génération et la collecte des charges électriques photo générées et de plusieurs transistors MOS qui permettent leur conversion en tension, leur amplification ainsi que la sélection du pixel.

1.1.1.1 Les photo détecteurs

Le rôle du photo détecteur est de convertir l'énergie lumineuse en énergie électrique par l'effet photoélectrique.

L'énergie lumineuse s'exprime en watt (W). Elle est fonction du nombre de photons ainsi que de leur longueur d'onde. L'énergie des photons est définie par l'équation de Planck :

Équation 1
$$E = \frac{hc}{\lambda}$$

où E est l'énergie du photon (joules), h la constante de Planck ($6,623 \cdot 10^{-34}$ J.s), c la vitesse de la lumière ($2,998 \cdot 10^8$ m.s⁻¹) et λ la longueur d'onde (m).

L'effet photoélectrique consiste en la création de paires d'électron - trou dans un matériau lorsque celui-ci est exposé à la lumière. Cet effet se produit dans les matériaux métalliques ou semi-conducteurs dont la largeur de la bande interdite correspond à la gamme d'énergie des photons. Toute l'énergie des photons incidents se transmet aux électrons des atomes du matériau sous forme d'état d'excitation, leur permettant ainsi de passer dans la bande de conduction. En présence d'un champ électrique, il se crée alors un courant photoélectrique. Ce photo courant est fonction de la longueur d'onde, du flux de photons incidents mais aussi des coefficients de réflexion et d'absorption optique du matériau. La figure 3 illustre l'énergie des photons en fonction de la longueur d'onde, ainsi que la sensibilité spectrale de quelques matériaux utilisés dans la photo détection. Dans la gamme du rayonnement visible, plusieurs matériaux présentent une bonne largeur de bande interdite, dont le silicium et le germanium.

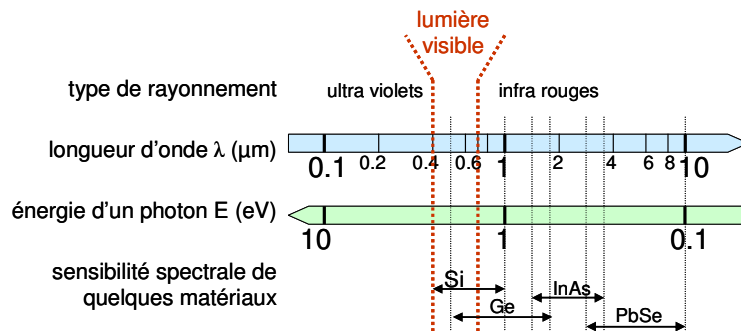


Figure 3 : Spectre électromagnétique, énergie des photons et sensibilité spectrale de quelques matériaux semi-conducteurs en fonction des longueurs d'onde

Pour concevoir un photo détecteur, le choix du matériau s'effectue en fonction des longueurs d'onde à détecter mais aussi du rendement quantique. Le rendement quantique est la grandeur définissant le nombre de paires électron - trou collectées par photon incident [Bhattacharya94].

Pour un photo détecteur travaillant dans les longueurs d'onde visibles, le silicium est un bon candidat, avec une bonne sensibilité et un bon rendement quantique. De plus, le silicium étant le matériau de base des circuits intégrés microélectroniques, la conception de photo détecteurs en silicium s'intègre parfaitement dans le flot de conception des circuits intégrés CMOS classiques (de la simulation, au dessin des masques et à la fabrication).

Nous allons maintenant présenter les trois principaux dispositifs en silicium permettant d'exploiter l'effet photoélectrique [Sommers63] [Weckler67] [Mendis94] : les photoconducteurs, les photodiodes et les phototransistors.

1.1.1.1.1 Les photoconducteurs

Les photoconducteurs sont des semi-conducteurs dopés dont la résistivité varie suivant l'éclairement (Figure 4). La résistance équivalente R_{eq} de ce dispositif est la résistance d'obscurité R_{obs} en parallèle avec la résistance sous éclairement R_{ecl} .

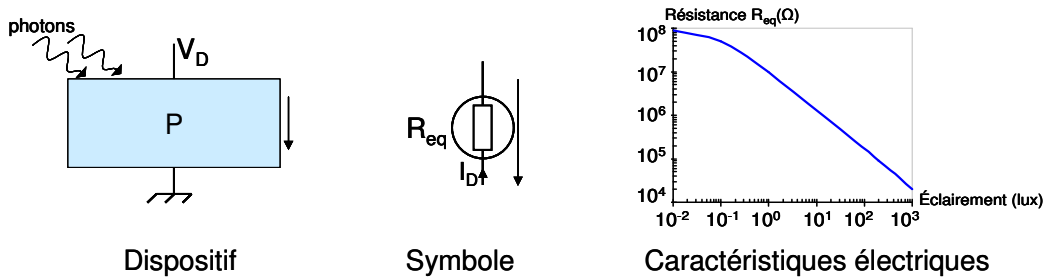


Figure 4 : Dispositif physique, symbole et caractéristiques électriques des photoconducteurs

L'avantage de ce type de photo détecteurs est d'avoir une sensibilité élevée. Mais ils présentent plusieurs inconvénients tels que la non-linéarité de la réponse en fonction du flux lumineux, un temps de réponse généralement élevé et une instabilité des caractéristiques (vieillessement, sensibilité thermique, etc). Ce type de photo détecteurs peut être utilisé par exemple pour la commande d'un dispositif ou le comptage d'objets.

1.1.1.1.2 Les photodiodes

Les photodiodes sont constituées par une jonction P-N. En mode photoconducteur (une source de tension polarise la photodiode en inverse), le courant inverse est fonction de l'éclairement : lorsque l'éclairement augmente, le courant inverse augmente (figure 5). En l'absence d'éclairement, le courant qui traverse la jonction est uniquement d'origine thermo-ionique. Il est appelé courant d'obscurité I_{obs} . Sous éclairement, le bombardement photonique provoque la génération de paires électron - trou qui conduisent à la création d'un photo courant I_{ph} . Dans le cas d'une photodiode N+-P, le courant photo généré s'exprime suivant la relation :

$$I = qA\phi_0 e^{-\alpha_j} (e^{\alpha_n} - \frac{e^{-\alpha_p}}{1 + \alpha L_n})$$

Équation 2

avec q la charge élémentaire, A la surface de la photodiode, Φ_0 le flux de photons incidents, α le coefficient d'absorption, L_n la longueur de diffusion des électrons.

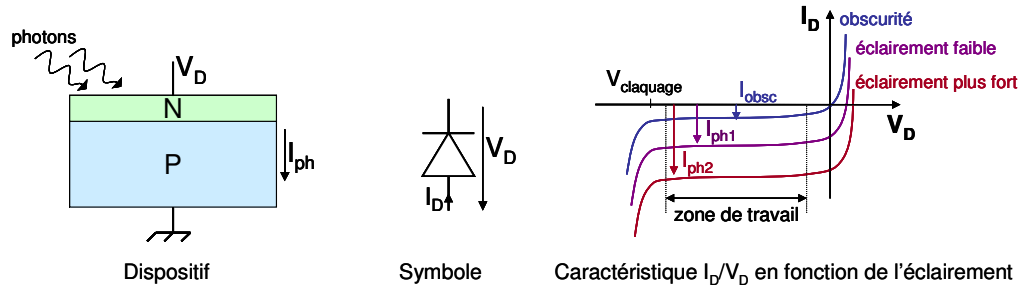


Figure 5 : Dispositif physique, symbole et caractéristiques électriques des photodiodes

Les avantages des photodiodes sont une sensibilité linéaire (pour de faibles variations de flux de photons), des temps de réponse courts et une grande bande passante. Les photodiodes ont de nombreuses applications telles que la photométrie et la mesure d'impulsions rapides de lumière.

1.1.1.1.3 Les phototransistors

Ce sont des transistors bipolaires, de type NPN ou PNP, dont la jonction collecteur-base polarisée en inverse se comporte comme une photodiode (figure 6). La base du transistor est alors dite flottante puisqu'elle est dépourvue de connexion. Lorsque la base n'est pas éclairée, le transistor est parcouru par le courant de fuite I_{obsc} . L'éclairement de la base conduit à un photo courant I_{ph} . Celui-ci apparaît dans la jonction collecteur-base sous la forme :

Équation 3
$$I_c = \beta I_{ph} + I_{obsc}$$

Le courant d'éclairement I_c du phototransistor est donc le photo courant de la photodiode collecteur-base multiplié par le gain β du transistor. La réaction photosensible est donc nettement plus élevée que celle d'une photodiode (de 100 à 400 fois plus). Toutefois selon l'implémentation du phototransistor (intégration d'un transistor bipolaire ou bien utilisation d'un bipolaire parasite), le gain peut être moindre.

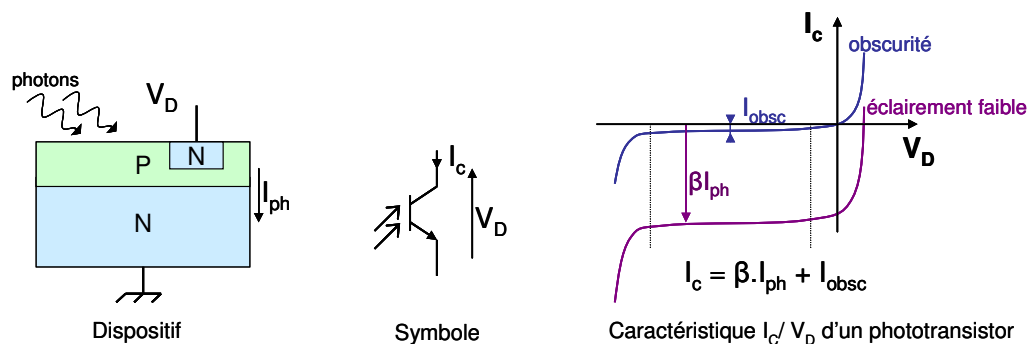


Figure 6 : physique, symbole et caractéristiques électriques des phototransistors

Ce dispositif présente des inconvénients tels qu'un fort courant d'obscurité, une mauvaise linéarité, une thermo sensibilité et une constante de temps très élevée. Les applications des phototransistors sont la commande de dispositifs (interrupteur) et la photométrie (détection de signaux faibles). Ils sont aussi utilisés dans des capteurs de vision du type rétine [Sicard98].

Nous venons de présenter les différents types de photo éléments qui permettent de générer des charges mobiles dont le nombre est fonction du flux lumineux. Pour les applications visées par notre travail, qui requièrent une bonne sensibilité et qui doivent fonctionner à des vitesses élevées, les photodiodes sont les dispositifs photosensibles qui présentent le meilleur compromis. Ensuite les charges photo générées sont recueillies grâce à des circuits dédiés au sein même du pixel. Nous allons maintenant présenter les pixels.

1.1.2 Les pixels

Les pixels, qui composent la matrice de pixels, répondent à plusieurs objectifs :

- convertir l'information lumineuse en information électrique ;
- être les plus petits possibles, afin de limiter la surface (et donc le coût) de la matrice.

On trouve deux grandes familles de pixels : les pixel à intégration et les pixels à fonctionnement continu.

1.1.2.1 Les pixels à intégration

Les pixels à intégration sont les pixels les plus courants. Ils sont présents sur de nombreux marchés grand public (appareil photo numérique, webcam, téléphonie), et sont industrialisés à grande échelle. Ces pixels sont appelés pixels « actifs » (APS, « Active Pixel Sensor »). Ils comportent un photo-site et plusieurs transistors. Les pixels standard, illustrés figure 7, comptent trois transistors : un transistor d'initialisation M1, un transistor M2 qui permet l'amplification du signal de sortie du pixel (première partie d'un suiveur) et un transistor de sélection M3 (qui permet de libérer l'information du pixel en la mettant sur le bus colonne).

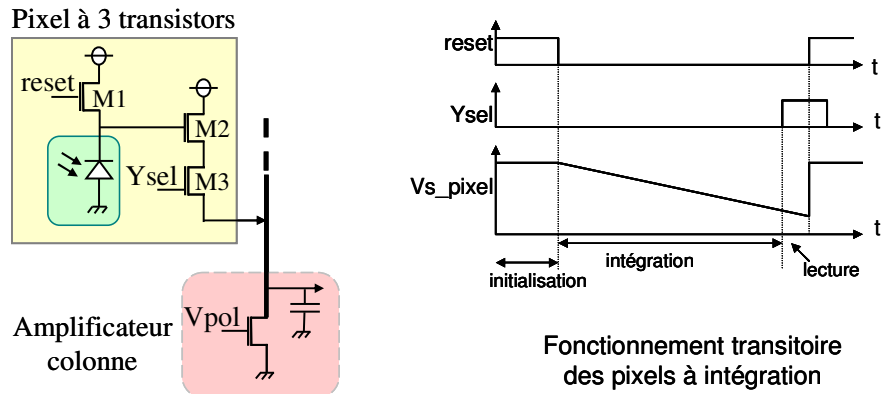


Figure 7 : Schématique d'un pixel standard à trois transistors et illustration de son fonctionnement

Le fonctionnement de ce type de pixel comprend une phase d'initialisation, une phase d'intégration et une phase de lecture.

1.1.2.2 Les pixels à fonctionnement continu

Les pixels à compression logarithmique se distinguent des pixels à intégration par leur mode de fonctionnement (Figure 8). D'une part, ils fonctionnent de manière continue (pas de phase de reset et d'intégration) et d'autre part leur sortie traduit la luminosité à travers une relation logarithmique :

Équation 4

$$V_{s_pixel} = V_{dd} - K \ln \left[\frac{I_{\text{photon}}}{I_o} \right]$$

Cette caractéristique permet de convertir plusieurs ordres de grandeur de courant photo généré en un seul ordre de grandeur de tension. Cette conversion logarithmique courant - tension permet d'obtenir des dynamiques de fonctionnement supérieures à 100dB tout en gardant une architecture de pixels simple (trois transistors).

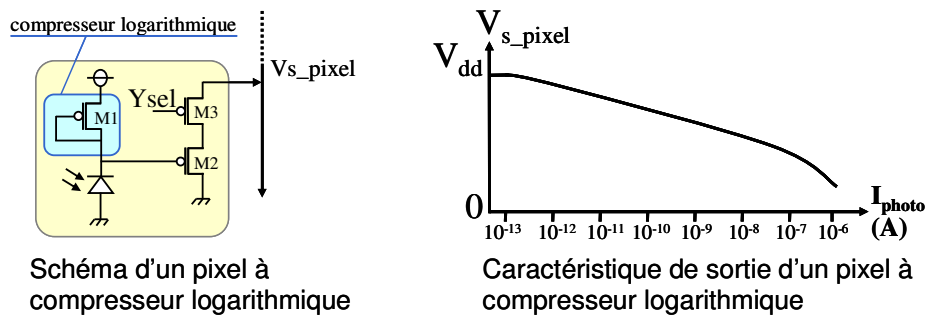


Figure 8 : Schéma d'un pixel à compresseur logarithmique et illustration de son fonctionnement

Nous venons de présenter les deux principaux types de pixels. Les caractéristiques de ces pixels peuvent être modifiées et améliorées par l'ajout de transistors au sein du pixel. Avec la miniaturisation des tailles des transistors, les pixels peuvent intégrer de plus en plus de transistors, et donc de fonctionnalités, tout en conservant une petite surface [ElGamal99]. Les pixels sont ensuite assemblés en matrice. Un signal permet de sélectionner successivement tous les pixels de la matrice et de balayer ainsi l'ensemble des éléments photosensibles. Nous allons maintenant présenter toute la chaîne d'électronique de lecture, des amplificateurs colonne aux circuits décodeurs d'adresses.

1.1.3 Le circuit de lecture colonne

Le circuit de lecture colonne est un circuit externe au pixel qui recueille l'information issue des pixels, la stocke et l'amplifie. Il y a un amplificateur par colonne de pixels, ce qui justifie son appellation d' « amplificateur colonne » (AC). Ils reçoivent tous en même temps les informations issues de la ligne active de pixels. Une fois les signaux échantillonnés et stockés, l'ensemble des amplificateurs colonne est parcouru séquentiellement afin de fournir les signaux amplifiés au convertisseur analogique numérique.

Pour les matrices de pixels à intégration, l'architecture standard des amplificateurs colonne, illustrée par la figure 9, a été initialement proposée par [Mendis97]. Ce circuit permet d'échantillonner et de stocker l'information relative à l'intensité lumineuse (C_{signal}) et celle relative à l'initialisation du pixel (C_{reset}). Pour les matrices de pixels à compresseur logarithmique, le circuit amplificateur colonne intègre seulement l'échantillonnage, le stockage et l'amplification du signal $V_{\text{s_signal}}$.

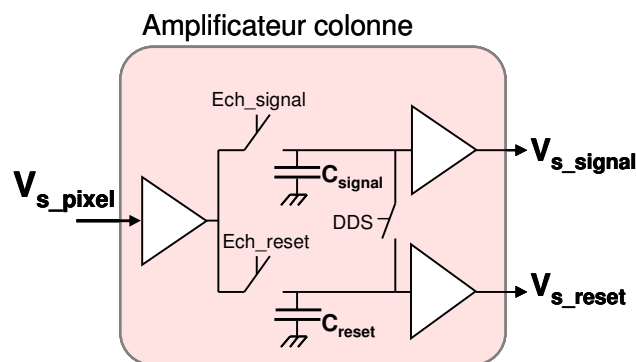


Figure 9 : Diagramme bloc d'un amplificateur colonne des matrices de pixels à intégration

1.1.4 Les décodeurs d'adresse

Les décodeurs d'adresse (décodeur de ligne et décodeur colonne) sont des blocs numériques qui permettent de sélectionner une seule adresse de pixel à la fois. Ils fournissent ainsi les signaux Y_{sel} aux

pixels et X_{sel} aux amplificateurs colonnes. Ils fournissent aussi le signal de reset des pixels et les sélections des capacités d'échantillonnage et stockage (E_{ch_signal} et E_{ch_reset}) des amplificateurs colonnes.

1.1.5 Conclusion

Nous venons de présenter les différents blocs qui composent un capteur de vision, la matrice de pixels, les amplificateurs colonnes et les décodeurs d'adresses. Nous allons maintenant présenter les principales caractéristiques de ces capteurs.

1.2 Les caractéristiques de la matrice d'éléments photosensible

1.2.1 La taille du pixel et le facteur de remplissage

La taille des pixels est fonction de la surface du photo détecteurs, de l'architecture du pixel (le nombre de transistors à intégrer au sein du pixel) et de la technologie employée. Le facteur de remplissage (« fill factor ») est le pourcentage de surface du pixel réellement photosensible (surface occupée par la photodiode). Le choix de la taille des pixels dépend principalement des objectifs du capteur [Chen00]. De manière générale, la taille des pixels tend vers la miniaturisation [OmniVision07] afin d'intégrer le plus grand nombre de pixels possible dans une matrice (grande résolution spatiale) en gardant un circuit de petite taille (faible coût de fabrication). Pour obtenir une grande dynamique de fonctionnement et un bon rapport signal - bruit, la surface du photo détecteurs doit être la plus grande possible, ce qui induit un pixel de grande taille. De plus, afin de limiter le traitement de signal en sortie du capteur, plus de fonctionnalités peuvent être intégrées au sein même du capteur [ElGamal99], telles que la conversion analogique numérique, l'adaptation aux conditions lumineuses, etc... faisant un pixel plus gros, mais une puce plus petite, moins complexe et qui consomme globalement moins. La surface du pixel dépend donc du compromis fonctionnalités/performances/coût. En fonction de l'architecture du capteur, le facteur de remplissage (rapport de la surface du photo détecteur à la surface du pixel) est compris entre 20 et 80 %.

1.2.2 Le nombre de pixels

La résolution maximale d'un capteur représente le nombre total de pixels. Plus ils sont nombreux, meilleure est la résolution spatiale et plus petits sont les détails qu'on pourra distinguer dans une image. Les capteurs de vision CMOS les plus performants comptent plusieurs millions de pixels.

1.2.3 La sensibilité

La sensibilité relative d'un capteur correspond au nombre de photons incidents nécessaires pour passer d'un niveau de gris au suivant. La sensibilité dépend de nombreux paramètres dont :

- La surface réellement active de chaque photoélément : plus le photosite a une taille importante, plus il collecte de photons par unité de temps et donc meilleure est la sensibilité ;
- L'efficacité quantique du photo détecteur lors de la conversion des photons en paires électron – trou : elle est définie par le rapport électrons produits par photons incidents [Rogalski_95] ;
- Le coefficient de réflexion du matériau : la lumière perdue par réflexion sur le capteur limite le nombre de photons incidents.

Les techniques d'amélioration de la sensibilité des photo détecteurs sont essentiellement technologiques [Lulé00] (pinned photodiodes, ou photo détecteurs intégrés verticalement).

1.2.4 La vitesse de lecture

La vitesse de lecture s'exprime en nombre d'images par seconde (« frames per seconde », fps). Pour des applications standard, (telles que la vidéo), elle varie de 25 à 60 images par seconde (taux de renouvellement de l'image suffisante pour créer l'effet visuel de continuité). Pour des applications spécifiques telles que la vidéo à très grande vitesse, certains capteurs peuvent fonctionner jusqu'à dix mille images par seconde.

1.2.5 Le mode de capture

Il existe deux modes d'acquisition d'images : la capture d'images progressive (« rolling shutter ») et la capture d'images instantanée (« global shutter »). Le principe de ces deux modes de captures est illustré figure 10. La capture progressive est le mode de capture le plus répandu. Il consiste à acquérir l'image ligne par ligne, induisant un petit décalage temporel entre chaque ligne. Pour des objets se déplaçant à grande vitesse, l'image acquise avec ce mode de capture présente des distorsions dues à ce décalage temporel. Le mode de capture d'image instantanée, qui consiste à capturer toute l'image en même temps, permet d'éviter ces distorsions. Cependant l'acquisition instantanée nécessite l'échantillonnage et le stockage des données au sein même du pixel. L'ajout d'une mémoire analogique au sein même du pixel est coûteux en surface. L'implémentation d'un mode ou de l'autre dépend donc des applications du capteur.

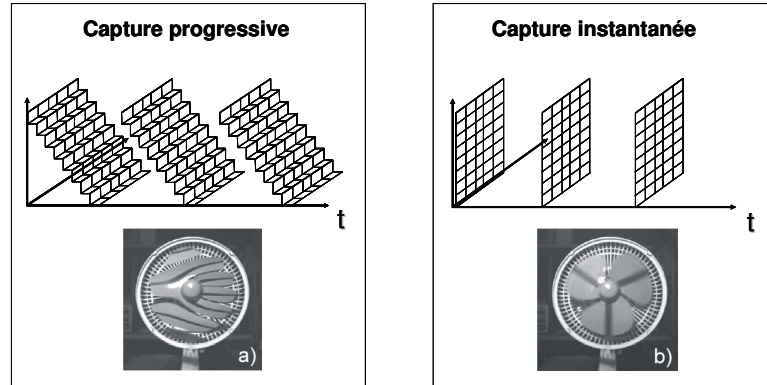


Figure 10 : Illustration du mode de capture progressif et instantané et de leurs effets sur l'image

1.2.6 La dynamique de fonctionnement

La dynamique de fonctionnement (« dynamic range », DR) d'un capteur permet d'évaluer sa capacité à retransmettre une image comportant à la fois des parties très éclairées et des parties très sombres. Elle s'exprime en décibel et se calcule comme étant le rapport entre le plus grand signal d'entrée non saturé sur le plus petit signal d'entrée détectable :

Équation 5
$$DR = 20 \log \left[\frac{I_{\max}}{I_{\min}} \right]$$

Plusieurs méthodes, qui sont détaillées dans les chapitres 2, 3 et 4, permettent l'optimisation de la dynamique de fonctionnement, la faisant passer de 60dB jusqu'à 130dB.

1.2.7 Le bruit

1.2.7.1 Les composantes du bruit

De multiples facteurs sont générateurs de bruits et dégradent le signal électrique de sortie. Des études [Cavadore_98] [Degerli_00] [Solhusvik_96] ont été menées pour étudier et modéliser le bruit temporel dégradant les signaux des capteurs de vision. On peut distinguer deux types de bruit : le bruit temporel et le bruit spatial.

Le bruit temporel représente tout signal indésirable et dont l'amplitude est aléatoire dans le temps. Il peut avoir plusieurs sources :

- le bruit thermique dû au mouvement aléatoire des charges sous l'effet de la température.
La densité de puissance en courant du bruit thermique est :

Équation 6
$$S(f) = \frac{4kT}{R}$$

où k est la constante de Boltzmann, T la température absolue, et R la partie résistive du composant. Elle s'exprime en A^2/Hz .

- le bruit de grenaille dû à la nature granulaire de l'électricité. Sa densité est directement proportionnelle au courant qui passe à travers le composant et s'exprime en A^2/Hz :

Équation 7

$$S(f) = 2qI$$

- le bruit de scintillement, également appelé bruit en $1/f$, a plusieurs origines, telles que des impuretés dans le matériau qui libèrent aléatoirement des porteurs de charge, ou bien des recombinaisons électron - trou parasites. Sa densité spectrale suit une loi en $1/f^\alpha$.

Dans les capteurs d'image le bruit temporel est majoritairement dû au bruit de grenaille au niveau du photo détecteurs et aux bruits impactant le suiveur du pixel et l'amplificateur colonne (le bruit de grenaille, le bruit thermique et le bruit en $1/f$).

Le bruit spatial fixe (Fixed Pattern Noise, FPN) représente la variation des valeurs de sortie des pixels sous illumination constante (figure 11). Il est essentiellement dû aux dispersions technologiques lors de la réalisation des plaquettes de silicium [Fry70]. On distingue deux composantes de ce bruit :

- le bruit spatial fixe pixel dû aux variations des courants d'obscurité dans la photodiode, ce qui engendre un offset différent pour chaque pixel. Aux variations du courant d'obscurité viennent s'ajouter la variation de l'aire de la photodiode (qui influe sur le gain) et la variation de la taille des transistors de lecture (qui affecte l'offset).
- le bruit spatial fixe colonne est dû principalement à la variation des courants de polarisation des amplificateurs de lecture. Comme ce bruit intervient pour tous les pixels de la même colonne, il se traduit par des rayures verticales.

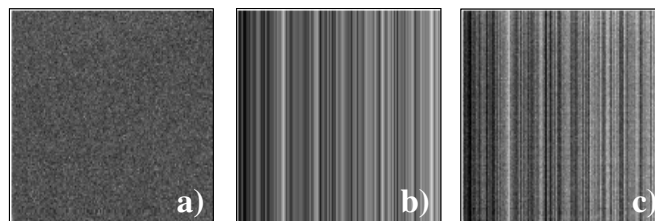


Figure 11 : Illustration du bruit spatial fixe a) composante pixel b) composante colonne, c) bruit spatial fixe total

Des techniques ont été mises en place pour réduire les effets de ces bruits.

1.2.7.2 La technique du Double Echantillonnage Corrélé

La technique du double échantillonnage corrélé (Correlated Double Sampling, CDS) consiste à réaliser deux lectures successives d'un même pixel pendant la lecture d'une trame (figure 12). La soustraction de ces deux niveaux permet de s'affranchir du bruit de remise à zéro du pixel, du bruit en $1/f$ et du bruit spatial fixe des pixels [Mendis97].

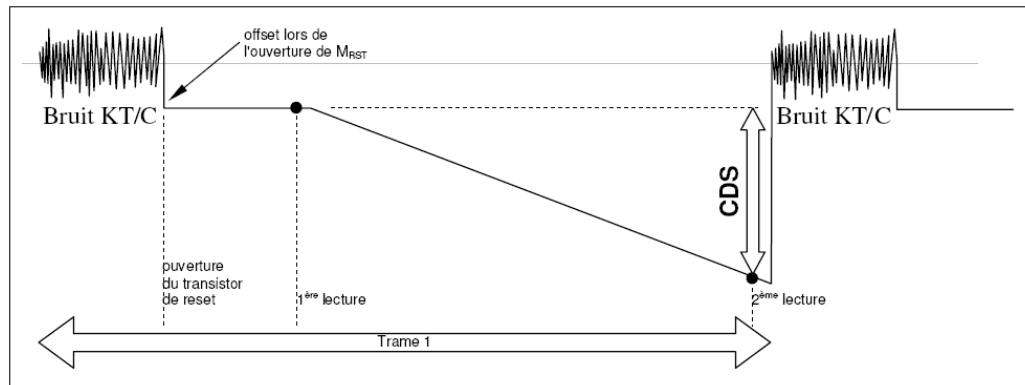


Figure 12 : Principe de la technique CDS de suppression de bruit

Bien que très efficace, cette technique n'est pas utilisée dans la majorité des cas, en raison de la complexité de sa mise en œuvre. En effet, cette technique requiert deux informations : la valeur d'initialisation avant intégration et la valeur en fin d'intégration afin de les soustraire. Or à la fin du temps d'intégration, le circuit de lecture a parcouru la matrice entière. Pour la deuxième lecture du pixel, après intégration, le circuit de lecture doit donc retrouver la valeur d'initialisation qu'avait ce pixel avant intégration, afin de faire la soustraction des niveaux. Cette technique nécessite donc la sauvegarde du niveau d'initialisation de chaque pixel dans une mémoire de même taille que la matrice de pixels (solution donc coûteuse en terme de surface et de mise en œuvre).

La technique du Double Echantillonnage Non Corrélé (Non-Correlated Double Sampling, NCDS) permet d'éviter cette mémorisation. Son principe est de faire la différence, pour un même pixel, entre le niveau du signal échantillonné et le niveau de remise à zéro de la trame suivante (figure 13). Cette technique permet une lecture successive des deux niveaux et donc ne requiert pas une matrice de mémoire. Par contre comme le bruit temporel n'est pas le même d'une trame à l'autre, la soustraction de ces deux niveaux induit l'addition de ces bruits : la puissance de bruit temporel en sortie est ainsi doublée. L'offset dû au couplage capacitif est lui éliminé.

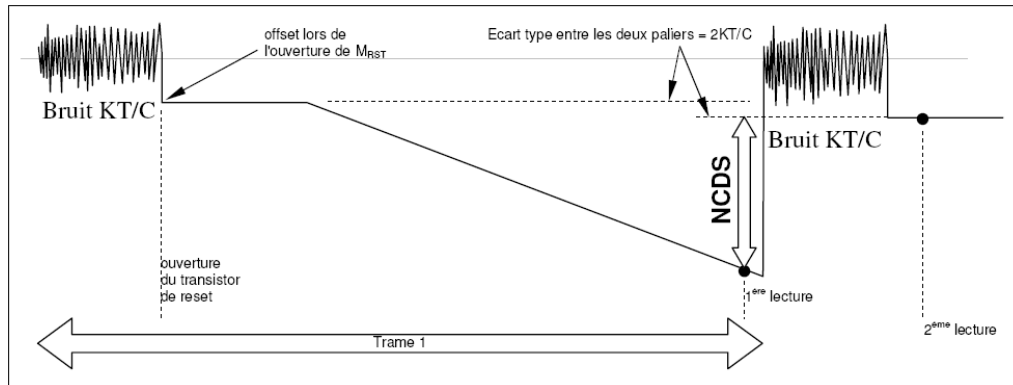


Figure 13 : Principe de la technique NCDS de suppression de bruit

Dans la littérature, cette technique est la plus souvent implémentée, sous le nom de technique CDS, car elle est beaucoup plus facile à mettre en œuvre.

1.2.7.2.1 La technique du Double Echantillonnage Delta

La technique du Double Echantillonnage Delta (Double Delta Sampling, DDS) permet de supprimer le bruit spatial fixe colonne. Ce bruit se traduit par un décalage en tension, fixe, en sortie de chaque colonne, dû à la différence de tension de repos des deux amplificateurs qui composent les branches différentielles des amplificateurs colonne, illustrés Figure 9. La technique DDS consiste à court-circuiter les entrées de ces deux amplificateurs grâce au signal DDS, puis à mesurer le décalage en tension à leurs sorties. Cette technique permet de corriger les variations de décalage en tension des amplificateurs, mais pas les différences de gain de ces amplificateurs. Cette méthode induit aussi la chute de la vitesse de lecture de la matrice, vitesse divisée par deux, étant donnée qu'elle nécessite deux lectures par pixel (la différence entre le signal et la remise à zéro du pixel, et la différence entre les sorties des deux amplificateurs une fois qu'ils sont court-circuités).

De nombreuses autres méthodes visant à réduire l'influence d'un ou plusieurs des bruits dégradant le signal des capteurs de vision ont été présentées. Une méthode de remise à zéro progressive a été présentée par [Kozlowski05] afin de supprimer le bruit kT/C . Une méthode visant à supprimer le bruit spatial fixe des pixels a été implémentée pour les flux vidéo [Lim02], consistant à utiliser une séquence vidéo pour estimer les différences de gain des pixels. Cette estimation est ensuite utilisée pour réduire le bruit spatial fixe des pixels.

1.2.8 Conclusion

Nous venons de voir les principales caractéristiques des capteurs de vision, à savoir les pixels (leur taille, leur nombre, leur sensibilité), le mode de capture des images et la vitesse de leur lecture, ainsi que la dynamique de fonctionnement et les bruits qui dégradent les signaux.

Nous allons maintenant approfondir trois caractéristiques des capteurs de vision qui ont été les différents axes de recherche de cette thèse :

- la dynamique de fonctionnement des capteurs et les différentes voies de recherche visant à augmenter cette dynamique ;
- le mode de capture instantanée et ses contraintes ;
- la conversion analogique numérique, en évoquant les différentes possibilités d'implémentation de cette étape à l'extérieur de la matrice, au sein des amplificateurs colonne ou au sein des pixels.

1.3 La grande dynamique de fonctionnement

Dans les photo détecteurs standard, l'acquisition d'images consiste à intégrer les charges photo générées durant un certain temps puis à venir lire ces charges accumulées. Le choix du temps d'intégration est primordial pour la dynamique de fonctionnement. Plus le temps est long, plus le capteur est sensible aux faibles luminosités mais il y a un plus fort risque de saturation (si la luminosité est trop importante). Pour éviter ces saturations, un remède simple est de réduire le temps d'intégration, au risque de ne pas collecter assez de charges photo générées pour les pixels moins illuminés. Ce problème illustre l'importance d'augmenter la dynamique de fonctionnement des pixels afin qu'ils soient en même temps sensibles aux faibles luminosités sans risque de saturation dans les grandes luminosités.

On distingue plusieurs techniques pour obtenir des capteurs de vision à grande dynamique de fonctionnement :

- les capteurs à temps d'intégration unique mais avec un codage particulier du signal de sortie ;
- les capteurs à temps d'intégration multiples ;
- les capteurs à architecture logarithmique ;

- les capteurs qui allient comportement logarithmique et intégration de charges ;
- les capteurs à adaptation aux conditions lumineuses.

1.3.1 Les capteurs à temps d'intégration unique

Pour augmenter la dynamique de fonctionnement, on peut soit augmenter la capacité d'intégration, augmentant ainsi le courant maximum intégrable, et donc augmenter le temps d'intégration, soit diminuer le bruit, afin de détecter le plus petit courant possible. Lorsque le temps d'intégration choisi est grand, le risque de saturation des pixels est lui aussi plus grand. Plusieurs techniques ont été présentées qui contournent ou bien exploitent le phénomène de saturation :

[Akahane06] propose l'ajout d'une capacité au sein du pixel, qui permet d'intégrer le surplus de charges photo générées lorsqu'un pixel est saturé.

[Miyagawa95] présente un pixel qui détecte la saturation. Ce pixel comporte deux photodiodes de tailles différentes, la plus petite détecte la saturation et déclenche ainsi la mémorisation du signal de la deuxième photodiode et du temps mis pour atteindre cette saturation. L'information d'illumination est ensuite reconstruite à partir du signal de sortie et du temps d'intégration.

[Stoppa02] propose un capteur qui retrouve la valeur du signal en codant le temps mis par le pixel pour être saturé. Le principe consiste à coder l'information d'illumination soit par le signal de sortie du pixel lorsqu'il n'est pas saturé, soit par le temps que le pixel a mis pour être saturé.

[Lui01] propose un système de lectures multiples non destructives des pixels durant le temps d'intégration. L'information d'illumination est codée soit par la sortie du pixel s'il n'est pas saturé, soit par une estimation grâce aux différentes lectures effectuées durant l'intégration.

Les pixels proposés par [Rhee03] et [McIlrath01] sont inspirés des pixels « oscillateurs ». A chaque fois que le pixel s'approche de la saturation, le pixel émet un bit provoquant l'initialisation de la photodiode. Un compteur compte tous les bits émis durant le temps d'intégration. L'information lumineuse est ensuite déduite à partir du nombre d'initialisation et de la dernière valeur du signal du pixel. [Acosta04] propose un algorithme qui permet d'initialiser la photodiode un nombre de fois optimum grâce à un seuil variable.

1.3.2 Les capteurs à temps d'intégration multiples

Le principe de la technique à temps d'intégration multiples (« multiple sampling ») est de lire les pixels plusieurs fois, de façon destructive, après des temps d'intégration différents, puis de reconstruire l'image à partir de ces informations. Cette technique impose toutefois plusieurs lectures de matrice pour obtenir une seule image, sacrifiant ainsi la vitesse d'affichage [Schrey02]. Afin de garder la même vitesse de lecture, [Yadid-Pecht97] implémente deux sorties par pixel et deux circuits d'amplification par colonne. Il peut ainsi lire la matrice deux fois durant une seule trame d'affichage. [Yang99] et [Mase05] conservent une vitesse de lecture classique en effectuant la conversion analogique - numérique au niveau des colonnes, permettant la conversion simultanée de toute une ligne de pixel. La lecture des données numérisées ainsi que leur traitement s'effectue à grande vitesse, permettant de maintenir une bonne vitesse d'affichage. [Schanz00] et [Hosticka03] présentent un capteur dont les pixels sont lus et initialisés plusieurs fois pour constituer une image. Le signal optimum est choisi, stocké et codé (en fonction de son temps d'intégration). Chaque signal, passant par l'amplificateur colonne est amplifié avec un gain optimum suivant la valeur du signal du pixel. Ce capteur nécessite toutefois une architecture complexe, avec une mémoire extérieure. Pour maintenir une vitesse d'affichage de 50Hz, les différents temps d'intégration doivent se répartir sur une fenêtre de 20ms.

1.3.3 Les capteurs à compresseur logarithmique

Les pixels à compression logarithmique permettent de convertir plusieurs ordres de grandeur de courant photo généré en un seul ordre de grandeur de tension, à travers une relation logarithmique. Ce type d'architecture permet d'obtenir des dynamiques de fonctionnement supérieures à 100dB tout en gardant une architecture de pixel simple (trois transistors).

Cependant la conversion logarithmique induit un écrasement des contrastes et ne présente pas une bonne sensibilité en très faible illumination. De plus cette structure logarithmique présente l'inconvénient d'un important bruit spatial fixe (de l'ordre de 50% du signal). Ce bruit est dû aux variations des paramètres physiques des transistors, introduites durant la phase de fabrication. Pour réduire ce bruit spatial fixe, la méthode du double échantillonnage non corrélé (NCDS), habituellement utilisée pour les pixels à intégration, n'est pas applicable à cause du mode de fonctionnement continu des pixels logarithmiques. Pour réduire ce bruit spatial fixe, plusieurs architectures de pixel ont été proposées.

[Kavadias00] présente une méthode de calibration des pixels, inspirée de la technique NCDS. Cette calibration consiste à extraire deux niveaux de sortie par pixel, un correspondant au signal photo généré et l'autre correspondant à une référence de courant fixe à la place de la photodiode. La

soustraction de ces deux niveaux permet d'éliminer une composante importante du bruit spatial fixe, le bruit dû aux variations de la tension seuil des transistors des pixels.

La calibration implémentée par [Loose01] se base elle aussi sur une phase de calibration et une phase de lecture. Mais l'information acquise durant la phase de calibration permet « d'autocalibrer » le pixel, permettant une lecture directe de pixel.

Parmi les capteurs à réponse logarithmique, le pixel publié par [Ni01] se distingue. Ce pixel utilise la photodiode en mode photovoltaïque. Ce mode permet d'obtenir sur la cathode de la photodiode une tension V_s logarithmiquement proportionnelle au courant photo généré :

Équation 8
$$V_s = -V_t \ln \left(\frac{I_s + I_{PH}}{I_s} \right)$$

Afin de limiter les effets du bruit spatial fixe, les auteurs ont aussi implémenté une calibration au sein du pixel : un transistor permet l'initialisation de la photodiode. Cette initialisation permet d'extraire du pixel une valeur de référence pour chaque pixel, permettant ainsi l'application de la méthode de réduction de bruit NCDS. Les inconvénients principaux de cette technique sont la gestion de la sortie négative du pixel, la faible variation du signal de sortie (0-160mV) ainsi que le temps de réaction de la photodiode (sous faible illumination, la sortie du pixel met un temps non négligeable pour atteindre une valeur stable).

1.3.4 Les capteurs linéaires et logarithmiques

Les capteurs linéaires et logarithmiques permettent de combiner réponse linéaire et réponse logarithmique. Le capteur « Lin-Log » breveté par Photonfocus a été implémenté grâce à un seul transistor additionnel par pixel. La fonction de ce transistor est de veiller sur le niveau d'illumination dans chaque pixel. Lorsque l'illumination locale est faible, la réponse du pixel reste linéaire, et la sensibilité du pixel reste inchangée. Par contre, au cas où ce niveau dépasse une certaine valeur, qui peut être programmable, la réponse devient doucement logarithmique, manifestant une sensibilité typique de 30-40 mV par décade de lumière incidente.

[Hara05] et [Storm06] proposent un pixel lin-log qui fournit deux informations, de manière successive : le signal issu de l'intégration et celui issu du mode logarithmique. L'architecture proposée par [Hara05] permet de recombinaison le signal final au sein même du pixel. Le capteur présenté par [Storm06] implémente un algorithme qui permet de choisir quel est le meilleur signal : si le signal linéaire est non saturé, il est utilisé ; sinon, c'est le signal logarithmique qui est exploité.

1.3.5 L'adaptation aux conditions lumineuses

L'adaptation aux conditions lumineuses est une méthode qui permet d'augmenter la dynamique de fonctionnement du capteur tout en conservant des pixels à dynamique de fonctionnement standard. Cette adaptation peut s'effectuer au niveau global (rétine) ou au niveau local, au sein même du pixel

Le principe des rétines silicium [Mead88], largement inspirées des rétines biologiques, est de relier chaque pixel à ses proches voisins, afin de constituer un réseau de pixels. Le réseau fournit ainsi à chaque pixel une information à propos de l'illumination, permettant au pixel d'être sensible à la bonne gamme de photo courants [Brajovic04]. Les rétines silicium adaptatives aux conditions lumineuses permettent ainsi d'obtenir des capteurs sensibles sur une grande gamme de photo courants (grande dynamique de fonctionnement), tout en conservant un pixel avec une dynamique de fonctionnement standard. En effet les pixels ne sont sensibles qu'à une petite gamme de photo courants, mais cette gamme se déplace en fonction de l'illumination. La plupart des rétines présentées [Sicard98] [Schechner03] permettent aussi de faire des extractions de contrastes et de mouvements.

L'adaptation aux conditions lumineuses au niveau local, au sein du pixel, se rapproche des méthodes à plusieurs intégrations. [Hamamoto01], [Yadid-pecht03] et [Fish05] proposent des capteurs dont les pixels adaptent leur temps d'intégration. Durant l'intégration, si l'illumination est trop importante, les pixels s'initialisent dès qu'ils franchissent un seuil de saturation, puis recommencent une autre intégration. Le capteur encode ensuite l'intensité lumineuse à partir des deux informations, du signal intégré et de l'initialisation ou non du pixel. Ce type de capteur nécessite une mémoire et un algorithme de reconstruction. [Delbruck04] propose une architecture de pixels logarithmiques dont le photo courant permet de polariser l'amplificateur suiveur. L'adaptation aux conditions lumineuses permet de réduire fortement la consommation du capteur sous faible illumination et l'architecture logarithmique permet d'obtenir un capteur à fonctionnement continu et à grande dynamique.

1.3.6 Conclusion

Nous venons de présenter les différentes techniques existantes pour augmenter la dynamique de fonctionnement des capteurs de vision. Le tableau 1 permet de récapituler ces travaux, précisant la technique employée ainsi que son impact sur différents critères du capteur (notamment la taille des pixels et la vitesse de lecture des capteurs).

Auteur	technique	dynamique	vitesse de lecture	bruit spatial fixe	nombre de transistors par pixel	taille du pixel	techno	facteur de remplissage
[Akahane06]	T_{int} fixe	100dB	30fps		5	$7,5\mu \times 7,5\mu$	$0,35\mu$	
[Stoppa02]	T_{int} fixe	130dB	25fps	1,50%	25	$25\mu \times 25\mu$	$0,35\mu$	11%
[Lui01]	T_{int} fixe	81dB	30fps		3			
[Rhee03]	T_{int} fixe	120dB	1k fps		43	$19\mu \times 19\mu$	$0,18\mu$	50%
[McIlrath01]	T_{int} fixe	100dB	1Hz	0,10%	19	$30\mu \times 30\mu$	$0,5\mu$	
[Acosta04]	T_{int} fixe	100dB	30fps		5	$7,5\mu \times 7,5\mu$	$0,18\mu$	49%
[Schrey02]	T_{int} multiples	90dB	15fps	0,10%	3	$10\mu \times 10\mu$	$0,5\mu$	41%
[Yadid-Pecht97]	T_{int} multiples	108dB	100kpix/s	2,80%	4	$20,4\mu \times 20,4\mu$	$1,2\mu$	15%
[Yang99]	T_{int} multiples		250fps		5,5	$10,5\mu \times 10,5\mu$	$0,35\mu$	29%
[Mase05]	T_{int} multiples	119dB	30fps	0,10%		$10\mu \times 10\mu$	$0,25\mu$	54,50%
[Schanz00]	T_{int} multiples	120dB	50fps		3	$26\mu \times 26\mu$	1μ	65%
[Loose01]	Log	120dB	50fps	3,80%		$24\mu \times 24\mu$	$0,6\mu$	30%
[Kavadias00]	Log	120dB	30fps	2,50%	6	$7,5\mu \times 7,5\mu$	$0,5\mu$	
[Storm06]	Lin-log	143dB		4%	7	$5,6\mu \times 5,6\mu$	$0,18\mu$	33%
[Hamamoto01]	adaptation	56dB	60fps	0,50%	17	$85\mu \times 85\mu$	1μ	14%
[Yadid-Pecht03]	adaptation	70dB		0,12%	4	$14,4\mu \times 14,4\mu$	$0,5\mu$	37%
[Fish05]	adaptation	105dB	30fps			$18\mu \times 18\mu$	$0,35\mu$	15%

Tableau 1 Récapitulatif des travaux menés pour augmenter la dynamique de fonctionnement des capteurs de vision

1.4 Le mode de capture instantanée

Le mode de capture d'image instantanée est aussi appelé mode « Electronic Shutter », ou « Global Shutter » ou « Snapshot » dans la littérature. Ce mode consiste à capturer toute l'image en même temps et à la mémoriser au sein des pixels en attendant leur lecture. Ce mode est implémenté lorsque le capteur doit pouvoir acquérir des images dans des conditions particulières, telles que :

- des objets en mouvement à grande vitesse,
- une acquisition synchrone,
- un temps d'acquisition très court, typiquement lors d'impulsions lumineuses.

1.4.1 Les pixels « global shutter » à quatre transistors

Les pixels les plus simples implémentant ce mode de capture présentent une architecture à 4 transistors [Aw96], [Hosticka03]. Le transistor M3 (figure 14) sert d'interrupteur et permet d'isoler le nœud de stockage. La capacité de stockage C_{GS} est en générale constituée par la capacité parasite C_{GD} du transistor M1. L'acquisition d'image se déroule en trois phases :

1. la phase d'initialisation : la photodiode et le nœud de stockage sont initialisés, les transistors M3 et M4 sont passants et le transistor M2 bloqué ;

2. la phase d'exposition : l'interrupteur GS (« global shutter ») est passant, le signal de la photodiode est commun avec le nœud de stockage, les transistors M4 et M2 sont bloqués ;
3. la phase de lecture : l'interrupteur « global shutter » s'ouvre, permettant d'isoler le nœud de stockage, les transistors M4 et M3 sont bloqués, le transistor M2 devient passant quand la ligne est sélectionnée ;

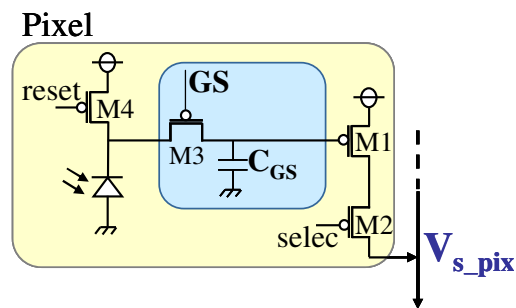


Figure 14 : Schéma du pixel à "global shutter" à quatre transistors

Mais cette architecture présente des limites. Le signal stocké dans la capacité C_{GS} est en effet dégradé par plusieurs phénomènes :

- un courant de fuite dans la source du transistor GS ;
- l'injection de charges lors des commutations du transistor GS, causant du bruit et des décalages en tension du signal stocké ;
- l'intégration de charges photo générées au sein de la capacité C_{GS} , dû à une protection insuffisante de ce nœud contre la lumière ;
- la collecte par ce nœud de stockage C_{GS} , via le substrat, de charges photo générées.

1.4.2 Les pixels « global shutter » à cinq transistors

D'autres architectures ont été présentées [Chapinal99] [Bloss00] [Morel04] [Tanner04] qui permettent notamment une initialisation du nœud de stockage (Figure 15).

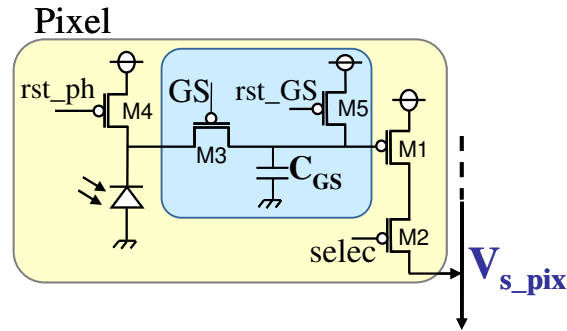


Figure 15 : Schématique d'un pixel à "global shutter" à cinq transistors

L'opération de lecture de ce type de pixel se décompose en cinq phases :

1. L'initialisation de la photodiode : la photodiode est préchargée à V_{dd} (signal rst_ph actif), les interrupteurs M3 et M5 sont ouverts ;
2. L'intégration : le transistor d'initialisation de la photodiode M4 devient bloqué, les interrupteurs M3 et M5 restent ouverts, le signal d'intégration est présent sur la cathode de la photodiode ;
3. L'initialisation du nœud de stockage : la capacité de stockage est préchargée à V_{dd} à travers le transistor M5, passant, les transistors M4 et M3 restent bloqués ;
4. L'échantillonnage du signal de la photodiode sur le nœud de stockage CGS : le transistor M5 est bloqué, l'interrupteur « global shutter » M3 devient passant ;
5. Le stockage et la lecture : le signal stocké dans la capacité C_{GS} est isolé (le transistor M3 est bloqué), le signal est lu quand la ligne est sélectionnée (signal « selec » actif).

1.4.3 Conclusion

De plus en plus d'applications, telles que les applications dans le milieu automobile (objets en mouvements, ou bien capture de scènes illuminées par des impulsions de diodes électroluminescentes infra-rouge), requièrent des pixels avec une architecture dite « Global Shutter ». De nombreux industriels se sont donc investis dans la recherche de nouvelles architectures de pixel « global shutter » et protègent leur travail par des brevets [Wany03]. L'implémentation de toute architecture non classique de pixel « global shutter » doit donc être soumise à une vérification préalable à la banque de brevets, publique (<http://ep.espacenet.com>), avant utilisation et publication.

1.5 La conversion analogique numérique

La conversion analogique numérique est en général effectuée sur la même puce que l'imageur afin de conserver l'intégrité du signal analogique entre le capteur et le CAN [Mendis93] [Fossum97]. Plusieurs solutions sont envisageables pour cette conversion [Pain94] :

- un convertisseur pour toute la matrice, ce qui implique un convertisseur rapide, et donc fortement consommant ;
- un convertisseur par colonne, qui permet de paralléliser les calculs, et donc de réduire la vitesse de conversion et la consommation, cependant, la réalisation d'un CAN par colonne peut s'avérer coûteuse en effort de conception (le CAN doit tenir dans une largeur de pixel) et en surface ;
- un convertisseur par pixel, qui présente l'avantage de fournir en sortie du pixel un signal numérique (et donc robuste) mais qui nécessite un certain nombre de transistors au sein du pixel, ce qui augmente la surface du pixel.

Pour des vitesses de lecture très élevées, un seul convertisseur pour toute la matrice doit pouvoir fonctionner très vite, et par conséquent il consomme plus de courant. L'étude menée par [Takayanagi05] permet de comparer deux architectures de capteurs (un CAN pour toute la matrice et un CAN par colonne) au niveau consommation et bruit. Pour une vitesse de lecture élevée, l'architecture avec un CAN par colonne s'avère être une solution beaucoup plus économe au niveau consommation et beaucoup moins bruitée. Effectuer la conversion au sein même du pixel permet aussi de gagner en consommation et en vitesse, mais au détriment d'une surface de pixel plus grande.

1.5.1 La conversion au niveau des amplificateurs colonnes

Pour permettre une lecture à grande vitesse des imageurs (une vitesse de lecture de l'ordre de 500 images par seconde), l'étape de conversion analogique numérique peut être effectuée en même temps, de manière parallèle, pour toutes les colonnes. [Takayanagi05] et [Zhou97] implémentent un CAN par colonne, à la suite du circuit amplificateur colonne. Une autre solution consiste à intégrer directement la conversion au sein du circuit colonne [Mase05], [Snoeijs06]. La lecture des pixels et leur conversion s'effectuent de manière massivement parallèle.

1.5.2 La conversion au sein des pixels

La conversion analogique numérique au sein même des pixels présente plusieurs avantages. Ces pixels à sortie numérique (DPS « digital pixel sensor ») profitent pleinement de la réduction de taille de la technologie CMOS, supprime la présence d'un convertisseur sur la puce, peuvent être lu à grande

vitesse de manière massivement parallèle et permettent la suppression du bruit spatial fixe apporté par les amplificateurs colonne. Un autre avantage est leur capacité à implémenter facilement la capture instantanée grâce à la présence de la mémoire au sein du pixel. La Figure 16 présente le diagramme bloc typique des pixels à sortie numérique : une photodiode, un CAN et une mémoire par pixel.

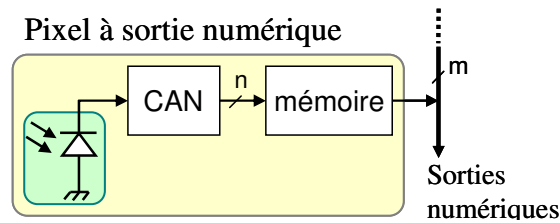


Figure 16 Diagramme bloc des pixels à sortie numérique.

La conversion même s'effectue soit suivant le principe des CAN à simple rampe [Kleinfelder01] [Yang99], soit suivant le principe des convertisseurs sigma-delta [McIlrath01] [Rhee03]. La Figure 17 illustre ces deux architectures et leur principe de fonctionnement.

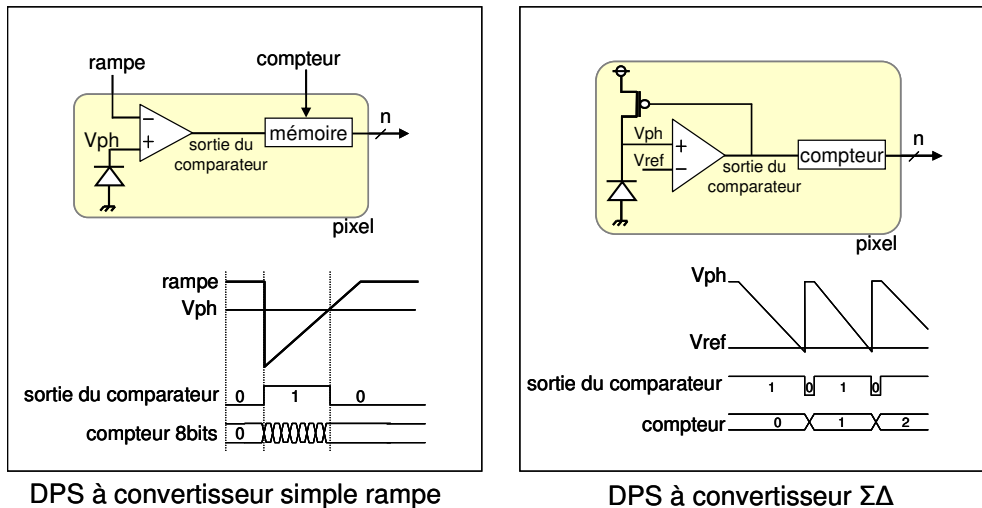


Figure 17 Diagrammes bloc et mode de fonctionnement des deux principales architectures des pixels à sorties numériques

Le principal défaut de cette approche, la conversion analogique numérique au sein du pixel, est l'intégration de beaucoup de transistors par pixel, induisant des pixels plus larges et un facteur de remplissage moins bon.

1.5.3 Conclusion

Nous venons de voir les différentes possibilités d'implémentation de l'étape de conversion analogique numérique dans les capteurs de vision, au niveau capteur, au niveau colonne et au niveau

pixel, ainsi que les différentes architectures possibles. Le tableau 2 ci-dessous permet de comparer les performances de ces différents capteurs.

Auteur	technique	précision	vitesse de lecture	bruit spatial fixe	nombre de transistors par pixel	taille du pixel	techno	facteur de remplissage
[Takayanagi05]	1 AC + 1 CAN/colonne	10 bits	500Mpixels/s	1,38rms	3	4,2μ x 4,2μ	0,25μm	40%
[Zhou97]	1 AC + 1 CAN/colonne	8 bits	4Mpixels/s			24μ x 24μ	1,2μm	29%
[Mase05]	1 CAN/colonne	12 bits	8,9Mpixels/s	0,10%		10μ x 10μ	0,25μm	54,50%
[Snoei06]	1 CAN simple rampe/colonne	10 bits	3,5Mpixels/s	0,67%	3	5,6μ x 5,6μ	0,18μm	47%
[Kleinfelder01]	1 CAN simple rampe/pixel	8 bits	1Gpixels/s	0,03%	37	9,4μ x 9,4μ	0,18μm	15%
[Yang99]	1 CAN simple rampe/4pixels	8 bits	81,9Mpixels/s		5,5	10,5μ x 10,5μ	0,35μm	29%
[McIlrath01]	1 CAN ΣΔ/pixel			0,10%	19	30μ x 30μ	0,5μm	
[Rhee03]	1 CAN ΣΔ/pixel	12 bits	81,9Mpixels/s		43	19μ x 19μ	0,18μm	50%

Tableau 2: Récapitulatif des différentes implémentations de CAN au sein des capteurs de vision

1.6 Conclusion

Dans ce chapitre, nous avons détaillé la chaîne de l'image dans les capteurs d'image CMOS, à savoir la photo détection et la conversion en tension, effectuées au sein des pixels, l'amplification et le multiplexage effectués au sein des circuits colonnes et la conversion analogique numérique.

Nous avons aussi présenté les différentes caractéristiques des capteurs d'images, telles que la taille des pixels, leur nombre au sein de la matrice, la sensibilité du capteur, le bruit, la vitesse de lecture et, le mode de capture des images.

Nous avons ensuite décrit un état de l'art sur l'amélioration de trois de ces caractéristiques, celles qui vont être traitées par cette thèse: l'augmentation de la dynamique de fonctionnement, l'implémentation du mode de capture instantanée et la conversion analogique numérique au sein du capteur.

Nous allons maintenant décrire la conception des capteurs implémentés durant cette thèse, leurs spécifications, l'étude de leurs architectures et les résultats de simulation.

PARTIE 1

CONCEPTION DES CAPTEURS DE VISION

L'étude et la conception d'imageurs grande dynamique durant cette thèse ont été initiées et financées par un projet européen MEDEA+, baptisé PICS : « Programmable Imaging with CMOS Sensors » (janvier 2003 – décembre 2006).

L'objectif de ce projet était de concevoir une plateforme programmable à base d'imageur CMOS, destinée aux applications sécurité, automobile et retransmission professionnelle. Ce projet a présenté deux principaux axes de recherche : le système incluant l'imageur, et le flot de traitement de données programmable.

Nous sommes intervenus dans ce projet, au niveau du système incluant l'imageur, en collaboration avec ATMEL-Grenoble (devenu e2v-Grenoble), ATMEL-Nantes, PHILIPS Hollande et PHILIPS France, DALSA, TBSN, CEA LIST, BLUE EYE VIDEO, T2S et les laboratoires CMM. La première phase du projet a été de définir les spécifications de l'imageur afin d'avoir une synergie optimale avec l'ensemble du système et répondant aux différentes applications. Ces spécifications ont induit la conception de nouvelles architectures de pixels et l'ajout d'électronique de traitement de signal sur la même puce.

Cette partie 1, intitulée « conception des capteurs de vision », se compose de trois chapitres qui décrivent l'étude et la conception de différents imageurs développés en vue de répondre au cahier des charges de ce projet Européen PICS. La principale contrainte de ce cahier des charges est d'obtenir un imageur à grande dynamique de fonctionnement. Pour obtenir cette grande dynamique, nous avons exploré trois voies : l'architecture logarithmique, les temps d'intégration variables et l'adaptation aux conditions lumineuses. Chacune de ces études est reportée dans les trois chapitres suivants.

Chapitre 2

ETUDE ET CONCEPTION D'UN IMAGEUR GRANDE DYNAMIQUE UTILISANT L'ARCHITECTURE LOGARITHMIQUE

2.1 Présentation du projet PICS

L'imagerie destinée aux applications de la sécurité automobile et de la surveillance a deux principales applications : la surveillance à l'intérieur d'un véhicule et celle à l'extérieur du véhicule.

La surveillance à l'intérieur d'un véhicule vise à observer le visage du conducteur (par exemple pour la détection d'un endormissement), ou bien à observer la position du conducteur et des passagers (par exemple pour le déclenchement sélectif et adapté des airbags). Cet environnement impose des fortes contraintes sur la conception du capteur : il doit être capable de détecter des scènes très faiblement éclairées en même temps que des parties très fortement illuminées (un exemple de scène très fortement contrastée est l'habitacle d'une voiture, de nuit, éclairé partiellement par les phares d'une autre voiture, qui éclairent seulement quelques zones de l'habitacle).

La surveillance à l'extérieur du véhicule comprend beaucoup d'applications : détection avant le choc, détection de sortie de trajectoire, mesure de distances, identification d'objets ou de plaques minéralogiques, détection d'obstacles (autres véhicules, piétons, cyclistes) notamment dans des zones à forts contrastes lumineux (entrée/sortie de tunnel). Ces applications impliquent que le capteur soit capable de travailler avec une très grande gamme de luminosité (grande dynamique d'entrée). De plus, cet environnement induisant souvent de grandes vitesses de déplacement (véhicule motorisé), le capteur doit aussi pouvoir acquérir les images de manière instantanée afin d'éviter les distorsions.

Pour répondre à ces attentes, un imageur a été conçu en collaboration avec Atmel-Grenoble (devenu e2v). Nous allons détailler cette conception dans les paragraphes suivants

2.1.1 Cahier des charges

Les spécifications de l'imageur ont été définies, en collaboration avec l'industriel ATMEL-Grenoble. Elles sont résumées ci-dessous.

Au niveau système :

- Traitement du signal sur la même puce que l'imageur : application de la technique CDS, et conversion analogique numérique avec une résolution de 10 bits ;
- Interface TWI (« Two Wire Interface ») pour une possibilité de configuration de lecture au vol ;

Au niveau imageur :

- Technologie CMOS avancée ($0.18\mu\text{m}$) ;
- Format VGA (600 x 800 pixels), noir et blanc ;
- Sensibilité au visible, au proche infrarouge et à l'infrarouge (possibilité d'illumination des scènes par des impulsions de $100\mu\text{s}$ de lumière proche infrarouge) ;
- Grande dynamique de fonctionnement supérieure à 100 dB ;
- Lecture de la matrice :
 - Vitesse de lecture de l'image de 60 images par seconde maximum ;
 - Possibilité d'accès aléatoire (définition de huit régions d'intérêt, « region of interest », ROI) ;

Au niveau du pixel

- Technologie CMOS standard $0.18\mu\text{m}$;
- Photodiode N+ - Pwell ;

- Taille des pixels : $10\mu\text{m} \times 10\mu\text{m}$;
- Implémentation du mode de capture d'image instantanée (mode « Global Shutter ») ;
- Grande dynamique de fonctionnement, de préférence supérieure à 120 dB.

La principale difficulté imposée par ce cahier des charges est la conception d'un pixel qui puisse fonctionner avec une grande dynamique tout en implémentant le mode « global shutter ». Ces deux objectifs font l'objet des deux paragraphes suivants.

2.2 Étude pour atteindre une grande dynamique de fonctionnement

Pour atteindre une grande dynamique de fonctionnement nous avons choisi l'approche des pixels dits à compresseur logarithmique. En effet cette architecture permet d'obtenir une grande dynamique de fonctionnement tout en conservant un pixel de petite taille (3 transistors) et une vitesse de lecture rapide. Le principal défaut de ce type de pixel est la présence d'un fort bruit spatial fixe (FPN) pixel à pixel.

Afin de concevoir un imageur présentant un faible FPN pixel à pixel, différentes techniques de réduction de ce bruit ont été étudiées. Nous allons donc rappeler le mode de fonctionnement du transistor connecté en diode, afin d'identifier la principale source de bruit FPN de ce type d'architecture. Puis nous expliquerons le principe de la méthode de calibration que nous avons implémentée pour réduire ce bruit spatial fixe pixel à pixel.

2.2.1 Le mode de faible inversion

L'architecture à compresseur logarithmique, qui consiste en un transistor MOS connecté en diode, exploite le mode de faible inversion des transistors MOS. Ce mode, aussi appelé mode de conduction sous le seuil, correspond à la zone de fonctionnement des transistors quand la tension V_{GS} est inférieure ou égale à la tension de seuil V_t (illustrée Figure 18).

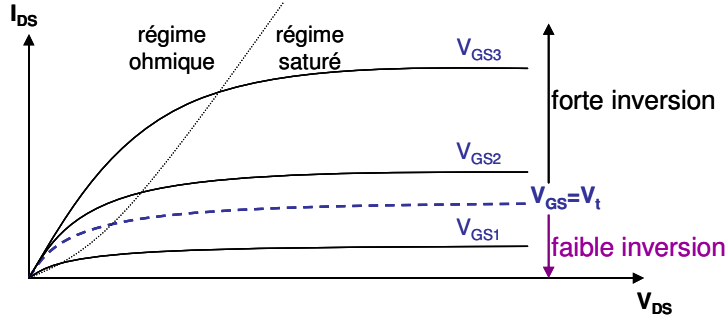


Figure 18 : Caractéristique de transfert I_{DS} en fonction de V_{DS} pour différentes valeurs de V_{GS} pour un transistor NMOS

En mode de faible inversion, le courant de drain I_D des transistors NMOS est décrit par l'Équation 9

$$\text{Équation 9} \quad I_D = n\mu C_{ox} \frac{W}{L} U_t^2 * e^{\frac{V_{GB}-V_t}{nU_t}} * \left(e^{\frac{-V_{SB}}{U_t}} - e^{\frac{-V_{DB}}{U_t}} \right)$$

où n est le facteur de correction qui permet de tenir compte des impuretés (compris entre 1,3 et 2), μ la mobilité des porteurs, C_{ox} la capacité d'oxyde de grille, W et L les dimensions du transistor, U_t , le potentiel thermique, V_t , la tension de seuil, V_{GB} , V_{SB} , V_{DB} les tensions de grille, source et drain du transistor, référencées par rapport au substrat. En posant:

$$\text{Équation 10} \quad I_{D0} = n\mu C_{ox} \frac{W}{L} U_t^2 * e^{\frac{-V_t}{nU_t}}$$

on obtient une nouvelle expression du courant I_D :

$$\text{Équation 11} \quad I_D = I_{D0} * e^{\frac{V_{GB}}{nU_t}} * \left(e^{\frac{-V_{SB}}{U_t}} - e^{\frac{-V_{DB}}{U_t}} \right)$$

Si on considère des transistors PMOS, cette relation devient :

$$\text{Équation 12} \quad I_D = I_{D0} * e^{\frac{-V_{GB}}{nU_t}} * \left(e^{\frac{V_{SB}}{U_t}} - e^{\frac{V_{DB}}{U_t}} \right)$$

2.2.2 L'architecture en compresseur logarithmique

En appliquant ces relations au montage en compresseur logarithmique utilisant un transistor PMOS connecté en diode, on peut simplifier l'Équation 12. En effet la tension V_{SB} est égale à 0V et la tension V_{GB} est égale à la tension V_{DB} . Le courant I_D peut alors s'exprimer:

Équation 13
$$I_D = I_{D0} * e^{\frac{-V_{GB}}{nU_t}}$$

A partir de cette équation, en décomposant la tension V_{GB} égale à $(V_G - V_{dd})$, on obtient V_{ph} , la tension aux bornes de la photodiode, en fonction du courant photo généré I_{ph} :

Équation 14
$$V_{ph} = V_G = V_{dd} - nU_t \ln \frac{I_D}{I_{D0}} = V_{dd} - nU_t \ln \frac{I_{ph}}{I_{D0}}$$

La tension V_{ph} suit une relation logarithmique, illustrée Figure 19

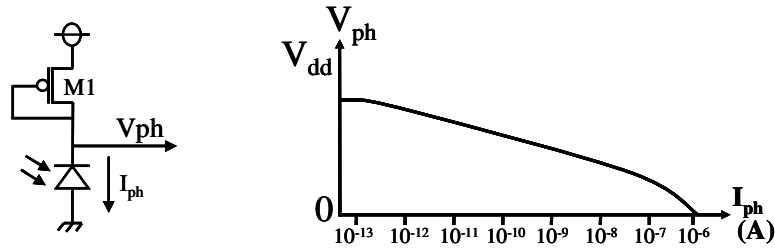


Figure 19: Schéma du compresseur logarithmique et caractéristique de tension V_{ph} en fonction de I_{ph}

2.2.3 La sortie du pixel

Cette tension V_{ph} est ensuite extraite du pixel grâce à un amplificateur suiveur formé du transistor M2 et d'un courant de polarisation I_{pol} , illustré Figure 20. Tous les pixels d'une colonne partagent le même bus de sortie, V_{s_pixel} . Le signal binaire Y_{sel} , qui pilote le transistor M3, permet de sélectionner le pixel à lire et de le connecter à la sortie V_{s_pixel} .

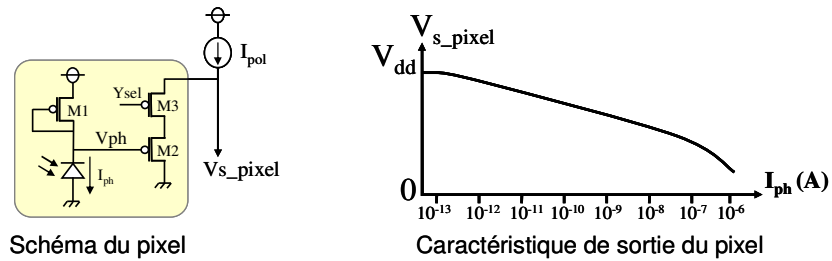


Figure 20 : Schéma du pixel à compresseur logarithmique et sa caractéristique de sortie V_{s_pixel}

Lorsque le pixel est sélectionné, la tension théorique de sortie V_{s_pixel} est décrite par l'Équation 15 (le transistor M3 rendu passant est négligé) :

Équation 15

$$V_{s_pixel} = V_{ph} + V_{t,M2} + \sqrt{\frac{I_{pol}}{\frac{\mu C_{ox}}{2} \frac{W}{L}}}_{M2}$$

Cette relation permet de remarquer que la sortie du pixel est sensible à la tension aux bornes de la photodiode mais aussi à des paramètres technologiques tels que la tension de seuil $V_{t,M2}$. Or la tension de seuil des transistors, V_t , est un paramètre très sensible aux variations technologiques introduites durant la phase de fabrication. Avec une tension de seuil $V_{t,M2}$ variable suivant les pixels, on obtient des sorties de pixel décalées. Les simulations Monte Carlo permettent d'observer ces variations. Les simulations Monte Carlo consistent à effectuer un grand nombre de simulations dans lesquelles les paramètres technologiques varient. En effectuant des simulations Monte Carlo de notre pixel, on observe les variations de la tension de sortie des pixels. Ces variations, illustrées Figure 21, atteignent 240mV, soit 60% de la dynamique de sortie du signal. Cette dispersion est la composante principale du bruit spatial fixe (FPN) pixel à pixel.

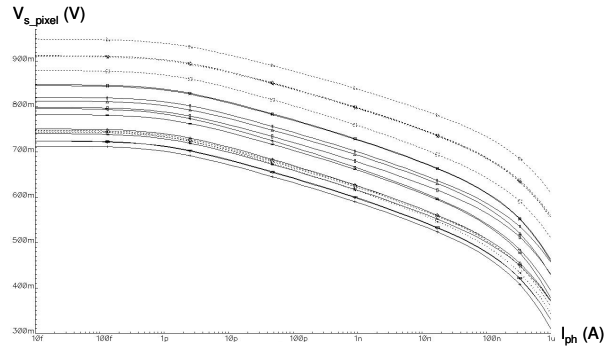


Figure 21 : Simulations Monte Carlo illustrant l'impact des variations de V_t sur la sortie des pixels

Pour exploiter les informations issues de ces pixels et continuer à bénéficier de la grande dynamique offerte par l'architecture à compresseur logarithmique, ce bruit spatial fixe (FPN) pixel à pixel doit être réduit le plus possible.

2.3 Étude pour la diminution du bruit spatial fixe pixel à pixel

Afin de limiter les effets des variations de la tension de seuil V_t du transistor M2, nous avons implémenté une méthode de calibration des pixels, inspirée de la méthode du double échantillonnage corrélé (CDS) ainsi que des travaux de [Kavadias00] [Loose01]. Cette méthode de calibration consiste

en une soustraction entre deux niveaux de sortie de pixels. Comme l'illustre l'équation suivante, cette soustraction permet d'éliminer la composante $V_{t,M2}$, la composante principale de bruit FPN pixel.

$$\begin{aligned} \text{Équation 16} \quad V_{s_pixel1} - V_{s_pixel2} &= \left(V_{ph1} + V_{t,M2} + \sqrt{\frac{I_{pol}}{\frac{\mu C_{ox}}{2} \frac{W}{L}}_{M2}} \right) - \left(V_{ph2} + V_{t,M2} + \sqrt{\frac{I_{pol}}{\frac{\mu C_{ox}}{2} \frac{W}{L}}_{M2}} \right) \\ V_{s_pixel1} - V_{s_pixel2} &= V_{ph1} - V_{ph2} \end{aligned}$$

Afin de rendre exploitable cette différence ($V_{ph1} - V_{ph2}$), la tension V_{ph2} qui sert de référence doit être constante quelle que soit l'illumination.

Pour générer cette tension de référence au sein du pixel, sans ajouter beaucoup de transistors (pour maintenir une petite taille de pixel), nous nous sommes inspirés de l'architecture des pixels à intégration standard. Nous avons implémenté au sein du pixel à compresseur logarithmique un transistor d'initialisation, le transistor M4. Cette nouvelle architecture du pixel est illustrée Figure 22. Afin de ne pas saturer la tension de sortie du pixel, la tension $V_{s,M4}$ a due être abaissée, et a été fixée inférieure à $(V_{dd} - V_{t,M2})$. Quand le transistor M4 est actif, le nœud V_{ph} rejoint la tension $V_{s,M4}$.

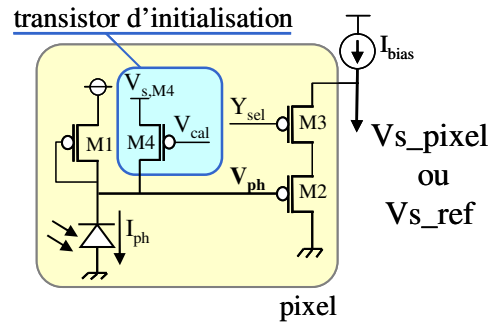


Figure 22 : Schéma du pixel à compresseur logarithmique implémentant un transistor d'initialisation

Avec l'implémentation de cette calibration, l'acquisition d'une image se rapproche du mode de fonctionnement des imageurs à intégration standard, à savoir une acquisition en deux phases :

1. une phase de lecture qui permet d'obtenir la valeur du signal photo généré aux bornes de la photodiode, V_{s_pixel} ;
2. une phase de calibration qui permet d'obtenir une tension de sortie de référence générée par le pixel, V_{s_ref} .

Puis la soustraction de ces deux niveaux de sortie de pixel permet d'obtenir une valeur différentielle ($V_{s_ref} - V_{s_pixel}$) et permet ainsi de s'affranchir en partie du décalage en tension due aux variations de tension seuil V_t . La Figure 23 illustre la sortie de deux pixels différents, avec des tensions de seuil V_{t_M2} différentes, soumis à une même illumination. Avec la calibration, la valeur différentielle ΔV_{s_pixel} devient similaire pour chacun des pixels

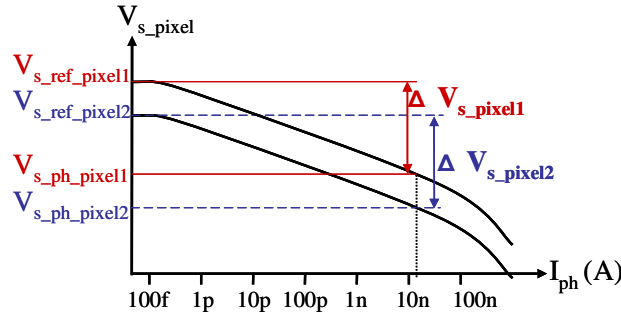


Figure 23 : Soustraction de deux niveaux de sortie de pixel illustré pour deux pixels différents

Tout comme pour la technique CDS, l'opération de soustraction est effectuée au niveau de l'amplificateur colonne.

Cette calibration permet ainsi de conserver toute la dynamique de fonctionnement offerte par l'architecture à compresseur logarithmique tout en réduisant fortement le bruit FPN pixel à pixel (les valeurs de FPN obtenues par simulation sont d'environ 7% par rapport à la dynamique total du signal).

La deuxième spécification du projet PICS impactant l'architecture du pixel est l'implémentation du mode de capture d'image instantanée (Global Shutter).

2.4 Étude pour l'insertion du mode de capture instantanée

Une des applications visées par le capteur d'image conçu dans le cadre de ce projet PICS est la surveillance à l'extérieur du véhicule, induisant la prise d'image d'objet en mouvement ou la prise d'image fixe avec la caméra en mouvement. Pour éviter la distorsion des images, due à la vitesse des objets, l'implémentation du mode de capture instantanée a été spécifiée.

Une deuxième application de ce capteur a nécessité ce mode de capture : la surveillance des personnes à l'intérieur de l'habitacle du véhicule. Afin d'illuminer l'habitacle de manière uniforme quelle que soit l'heure sans perturber la vision humaine, une illumination infrarouge pulsée (émise par quelques diodes infrarouge introduites dans l'habitacle) a été proposée. Ce mode d'illumination, une

lumière infrarouge émise pendant quelques microsecondes plusieurs fois par seconde, a imposé le mode de capture d'image instantanée.

Ce mode de capture d'image consiste à acquérir l'image en un temps donné très court (quelques microsecondes) et à stocker cette information au sein du pixel pour permettre une lecture de la matrice en un temps plus long (30 images par seconde). Ce mode impose donc l'implémentation d'un interrupteur et d'une capacité d'échantillonnage et de stockage au sein même du pixel. Le schéma bloc des pixels à capture instantanée est illustré Figure 24.

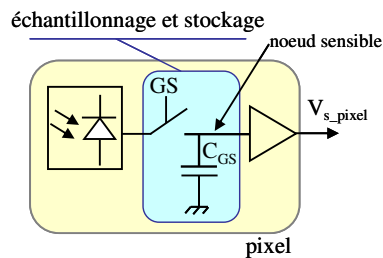


Figure 24 : Diagramme bloc d'un pixel implémentant le mode de capture instantanée

La performance des pixels implémentant le mode de capture instantanée s'exprime à travers le rendement du noeud sensible, à savoir sa capacité de stocker et de retransmettre l'information sans perte. Le rendement de ce noeud est détérioré par plusieurs phénomènes, notamment la fuite de courant à travers l'interrupteur GS, la collecte de charges via le substrat et l'apparition de charges photo générées au sein de la capacité C_{GS} .

Pour éviter la photogénération de charges au sein de la capacité C_{GS} , une protection du pixel par une couche métallique haut niveau (métal 4) permet de réduire l'accès des photons à la capacité C_{GS} et donc de réduire la photogénération au niveau du noeud sensible.

Pour limiter l'effet de collecte de charges sur le noeud sensible via le substrat, l'architecture de notre pixel, en transistors PMOS, est idéale. En effet le caisson N des transistors PMOS représente une barrière efficace, empêchant les charges photo générées dans la photodiode de se disperser dans le substrat des transistors PMOS.

Pour limiter l'effet du courant de fuite à travers le transistor GS, nous avons dû ajouter un amplificateur entre la photodiode et l'interrupteur GS (Figure 25).

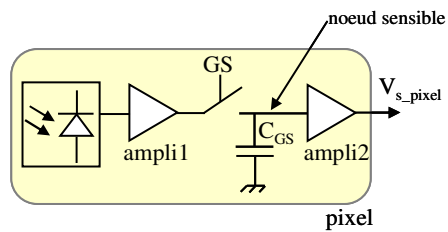


Figure 25 : Isolation du nœud sensible entre deux amplificateurs

Cet amplificateur, nommé « ampli1 » sur la Figure 25, isole le nœud sensible de la photodiode. Cette isolation permet de protéger la photodiode des effets d'ouverture – fermeture de l'interrupteur mais aussi de réduire le courant de fuite dans l'interrupteur GS. En phase d'acquisition de l'image, cet amplificateur se comporte comme un amplificateur suiveur, le transistor GS est ouvert, et le nœud sensible se charge avec la tension $V_{ph} + V_{t,M6}$. En phase d'attente de lecture du pixel, le transistor GS est bloqué, et l'amplificateur suiveur maintient une tension haute sur le drain du transistor GS, afin de limiter le courant de fuite.

Ces études menées ont permis d'identifier le principal défaut des pixels à compresseur logarithmique, le bruit spatial fixe pixel à pixel. Pour limiter l'influence de ce bruit, une méthode de calibration a été présentée et une nouvelle architecture de pixel a été conçue. L'étude sur l'intégration du mode de capture instantanée a donné lieu à l'implémentation d'un amplificateur supplémentaire au sein du pixel, permettant un meilleur rendement du nœud sensible et une protection de la photodiode des effets d'interruptions.

Une matrice a été conçue, dont nous allons présenter la conception, de l'architecture des pixels et des circuits amplificateurs colonne, à leur fonctionnement et au dessin des masques.

2.5 Conception de la matrice

Cette matrice a été conçue en collaboration avec la société Atmel-Grenoble. Elle a été intégrée à un de leur circuit de test en vue de comparer et améliorer différentes architectures de pixel. Pour réaliser ce circuit, nous avons été accueilli au sein de leur équipe de conception. Les architectures des pixels et de l'amplificateur colonne ont été conçues et optimisées par simulation avec la technologie CMOS standard 0.18 μ m, 3.3V fournie par Atmel-Grenoble.

2.5.1 Architecture du pixel

La matrice conçue implémente la nouvelle architecture de pixel présentée auparavant. Ce pixel est composé de plusieurs blocs :

3. Pourvoir court-circuiter ces deux branches afin d'effectuer une opération de DDS si besoin.

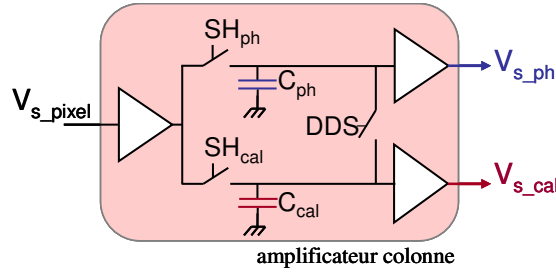


Figure 27 : Diagramme bloc du circuit amplificateur colonne

L'architecture de notre amplificateur colonne est inspirée des architectures présentées par [Mendis97] et [Renane02], transposées en dual afin de pouvoir traiter l'information issue de nos pixels PMOS.

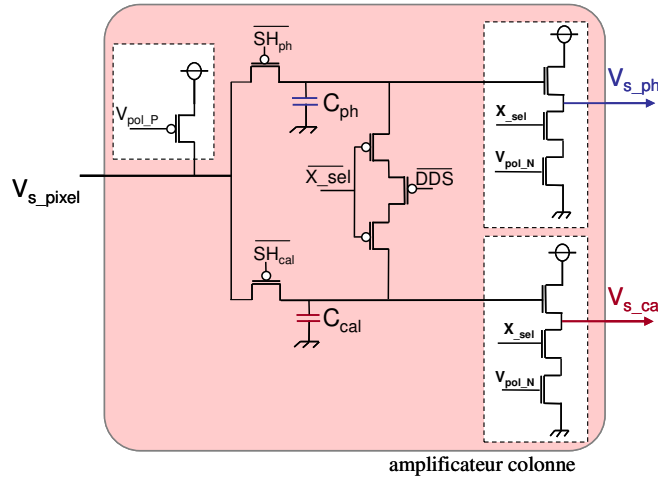


Figure 28 : Schéma transistor de notre circuit amplificateur colonne

Le Schéma transistor, illustré Figure 28, est composé de 12 transistors, deux capacités C_{ph} et C_{cal} . Ce circuit nécessite douze entrées sorties, dont deux polarisations (V_{pol_P} et V_{pol_N}) et cinq signaux de commande (SH_{ph} , SH_{cal} , X_{sel} , X_{sel} , DDS).

2.5.3 Simulations et optimisation du pixel et de l'amplificateur colonne

L'environnement de simulation est l'environnement Cadence, avec l'interface Analog Artist. Le simulateur utilisé est Spectre.

2.5.3.1 Optimisation du pixel, dimensionnement des transistors

Pour effectuer les simulations fonctionnelles, la photodiode a été modélisée par une source de courant idéale.

Les simulations DC ont permis de dimensionner les transistors et de fixer les tensions de polarisation $V_{s,M4}$ et V_{pol} .

La tension $V_{s,M4}$ a été fixée assez basse, à 1.5V pour éviter que la sortie du pixel ne sature. En effet, les deux amplificateurs suiveurs en PMOS provoquent un décalage en tension de la tension V_{ph} , vers la tension d'alimentation. La tension en sortie du pixel peut s'exprimer comme la tension aux bornes de la photodiode plus la tension de seuil du transistor du premier amplificateur, M6, plus la tension de seuil du transistor du deuxième amplificateur, M2 :

Équation 17
$$V_{s_pixel} \approx V_{ph} + V_{t,M4} + V_{t,M2}$$

Sous très faible illumination, le courant photo généré est infime, la tension V_{ph} est alors à son maximum. La tension $V_{s,M4}$ fixée à 1,5V permet de garantir que la sortie du pixel V_{s_pixel} ne sature pas pour cette tension V_{ph} maximum.

Par contre, en modifiant cette tension $V_{s,M4}$, on modifie aussi la tension de source du transistor M1, connecté en compresseur logarithmique. Par conséquent on modifie la relation logarithmique qui relie la tension de grille au courant photo généré. En reprenant l'Équation 12, la tension V_{SB} n'étant plus nulle, le terme exponentiel $\exp(V_{DB}/U_t)$ n'est plus négligeable devant $\exp(V_{SB}/U_t)$. Cette modification se traduit par une non-linéarité sur la pente logarithmique : une « vague » de la tension V_{ph} dans la zone où I_{ph} est compris entre 100fA et 10pA. Cette non linéarité présente l'avantage d'obtenir une meilleure sensibilité dans cette gamme de luminosité. Ce comportement du pixel est illustré sur la Figure 29.

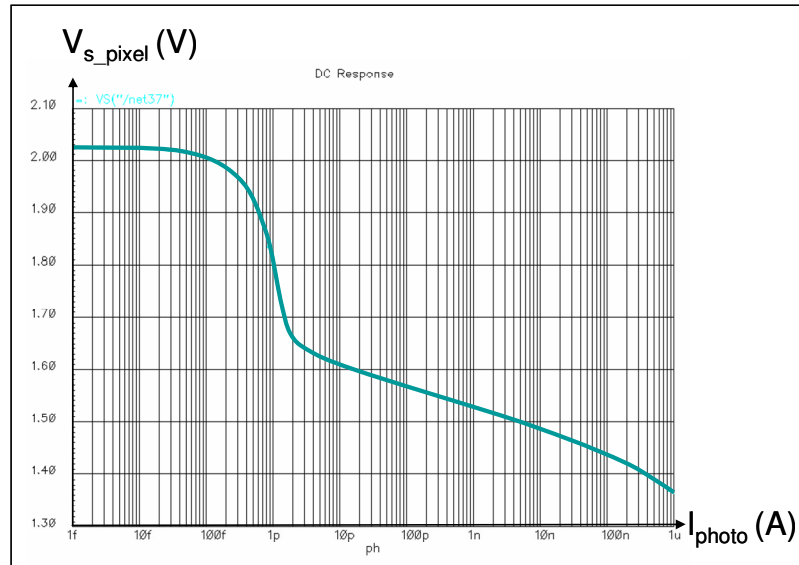


Figure 29 : Simulation DC illustrant la sortie du pixel en fonction du courant photo généré I_{photo}

Le transistor M1 a été dimensionné de manière à obtenir une courbe logarithmique la plus sensible possible pour des faibles courants photo générés. Les dimensions du transistor M4 sont identiques à celle du transistor M1, afin de pouvoir appairer ces deux transistors et limiter le plus possible les variations de paramètres technologiques entre les deux.

Les transistors composant le premier amplificateur suiveur, M6 et M7, ont été taillés de manière à optimiser le gain de cet amplificateur et limiter le courant. La tension de polarisation a été fixée assez haute, à 2,6V, tout en maintenant le transistor de polarisation saturé, afin d'obtenir un courant de polarisation le plus petit possible et d'ainsi limiter la consommation de la matrice.

La taille de la capacité C_{GS} devant être la plus grande possible pour conserver le mieux possible l'information, sa taille a été définie par la surface disponible dans le pixel.

Le transistor M2 de l'amplificateur suiveur de sortie et le transistor de polarisation (présent dans l'amplificateur colonne) ont été taillés de manière à optimiser le gain du pixel et à fournir un courant suffisant pour charger le bus de sortie ainsi que la capacité de stockage C_{ph} , ou C_{cal} de l'ordre des centaines de femtofarad. Pour obtenir un pixel assez rapide tout en limitant sa consommation, un courant de polarisation de l'ordre du microampère a été choisi. La valeur de ce courant a été optimisée par des simulations transitoires, et finalement atteint 2,6 μ A.

2.5.3.2 Optimisation du circuit amplificateur colonne

La conception du circuit amplificateur colonne a été facilitée par l'équipe de conception de Atmel-Grenoble, qui nous a fourni quelques briques de l'amplificateur, déjà conçues et dessinées, telles que les capacités de stockage C_{ph} et C_{cal} .

La taille de ces capacités influe sur le bruit en sortie de l'amplificateur. Afin de limiter le bruit en sortie, ces capacités doivent être les plus grandes possibles. Mais pour des raisons de surface, l'intégration de deux capacités de grandes valeurs au sein de chaque amplificateur colonne est coûteux. Un compromis bruit / surface a été fait par Atmel-Grenoble, établissant la valeur de ces capacités à 800fF.

Le suiveur NMOS a été dimensionné de manière à pouvoir charger un bus de sortie à une fréquence de 60MHz. La tension de polarisation V_{pol_N} a été choisie de manière à fournir ce courant de l'ordre de la centaine de microampère.

2.5.4 Conception des masques

Le dessin de ces cellules a été réalisé sous Cadence/Virtuoso. Le pixel a été dessiné de manière à respecter quelques spécifications, telles que :

- Matrice de test de 32 x 240 pixels ;
- Dessin d'un pixel carré, de $10\mu\text{m} \times 10\mu\text{m}$;
- Trois niveaux de métaux disponibles ;
- Limitation du nombre de contact sur la photodiode de manière à limiter le courant d'obscurité;
- Protection des points sensibles, tel que la partie « global shutter » par un métal de couche 4.

Le dessin final est donné Figure 30. Le pixel mesure $10\mu\text{m} \times 10\mu\text{m}$, avec une photodiode N+-P de surface totale de $19,59\mu\text{m}^2$, soit un facteur de remplissage de presque 20%. La capacité C_{Gs} implémentée par un transistor NMOS mesure $2\mu\text{m} \times 2,6\mu\text{m}$, soit une capacité totale d'environ 20fF.

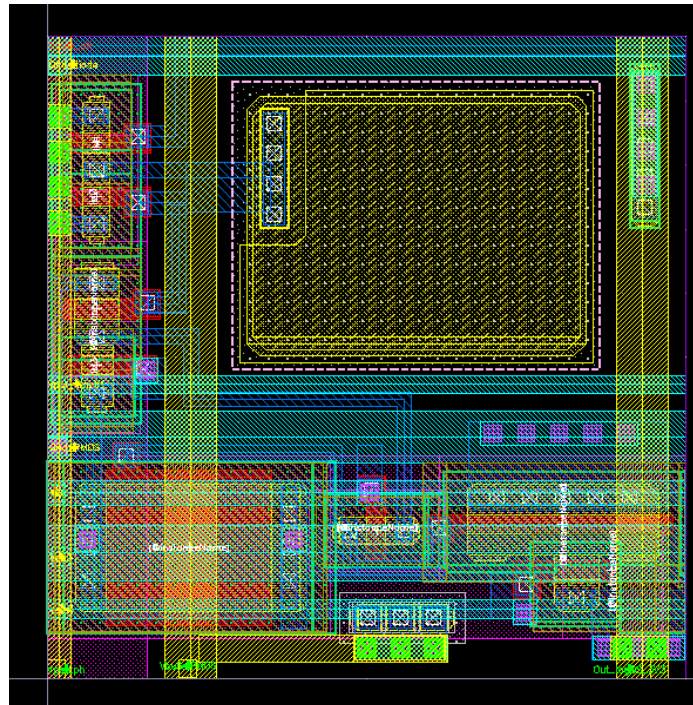


Figure 30 : Layout du pixel

A partir des layouts des pixels et des amplificateurs colonnes, des vues « extracted » ont été générées. Ces versions permettent d'extraire les caractéristiques physiques des cellules et d'améliorer les modèles de simulation. Les simulations, effectuées à partir des vues « extracted » des pixels et des amplificateurs, ont permis de valider leur fonctionnement.

2.5.5 Conclusion

Nous venons de présenter l'étude et la conception d'un pixel permettant d'obtenir une grande dynamique de fonctionnement, à mode de capture instantané et implémentant une méthode de calibration visant à réduire le bruit spatial fixe pixel à pixel.

Une matrice de 32 X 240 pixels et 32 circuits d'amplification colonne a été réalisée en technologie standard CMOS 0.18 μ m, technologie mise à notre disposition par Atmel-Grenoble.

Suite à la conception de ce circuit, une deuxième étude a été menée au sein du laboratoire TIMA, portant sur l'amélioration de la méthode de calibration du pixel à compresseur logarithmique. Cette étude fait l'objet du paragraphe suivant.

2.6 Étude pour l'amélioration de la méthode de calibration du pixel à compresseur logarithmique.

Afin de se concentrer sur les performances de la calibration du pixel, la partie « global shutter » du pixel, imposée par les spécifications du projet PICS, a été supprimée.

La fabrication du circuit a été confiée au CMP (Circuits Multi-Projets ®). Parmi les différentes technologies proposées par le CMP, la technologie standard CMOS 0.18µm fournie par STMicroelectronics n'était plus disponible. Une technologie standard plus mature, la technologie CMOS 0.35µm a été choisie. Cette technologie, moins avancée, permet de concevoir un nouveau circuit de test moins coûteux. Elle permet aussi d'être moins sensible aux effets liés à la miniaturisation, effets difficiles à modéliser et donc moins bien retranscrits par les outils de simulation.

2.6.1 La méthode de calibration

La méthode de calibration implémentée a pour but de réduire le bruit spatial fixe (FPN) pixel à pixel. Ce bruit est principalement dû aux variations de la tension de seuil du transistor M2 du pixel, $V_{t,M2}$. Afin de supprimer son influence sur la tension de sortie du pixel, une mesure différentielle est pratiquée : l'information issue de l'illumination est soustraite d'une tension de référence issue du pixel. La difficulté consiste à générer la tension de référence, tout en implémentant le moins possible de transistors au sein du pixel.

2.6.2 Choix de la tension de référence

Pour générer cette tension de référence au sein du pixel, deux architectures ont été étudiées et comparées. Elles sont présentées ci-dessous.

2.6.2.1 Tension de référence haute

La génération d'une tension de référence haute est la méthode de calibration implémentée dans l'imageur PICS conçu chez Atmel-Grenoble. On rappelle ici l'architecture du pixel, et son comportement (Figure 31).

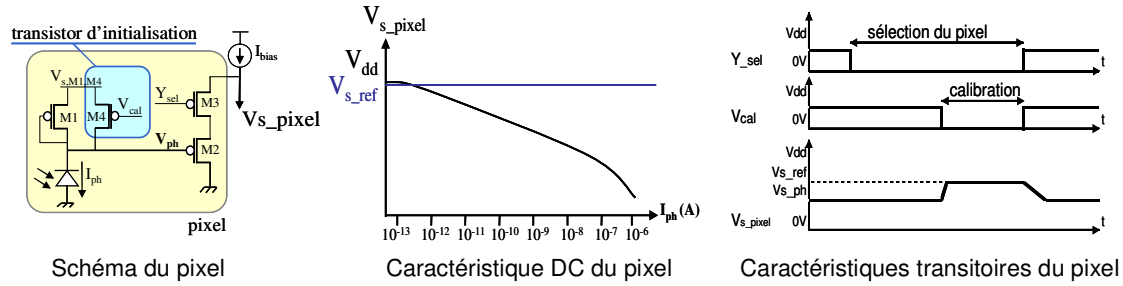


Figure 31 : Pixel implémentant une méthode de calibration avec une tension de référence haute

Durant la phase d'acquisition, la sortie du pixel suit une fonction logarithmique en fonction du courant photo généré. Durant la phase de calibration, le transistor M4, introduit entre le nœud V_{ph} et l'alimentation, permet de générer une tension de référence haute identique quelle que soit l'illumination. Le niveau de cette tension de référence V_{s_ref} est illustré sur la caractéristique DC de la sortie du pixel.

Cette version présente l'avantage d'initialiser le pixel à un niveau haut et donc d'optimiser le temps de réponse du pixel. En effet quand l'illumination passe brutalement d'un niveau de grande luminosité à l'obscurité, le courant I_{ph} devenant faible, le transistor M1 met plus de temps à établir le nœud V_{ph} à un niveau haut. En initialisant le nœud V_{ph} directement à un niveau haut, lorsque le courant I_{ph} est faible, le transistor met peu de temps à modifier la tension du nœud V_{ph} . Quand le courant I_{ph} est plus grand, le temps d'établissement est rapide, le transistor M1 fonctionnant plus vite.

Par contre, le principal inconvénient de cette structure est une tension de référence en sortie du pixel V_{s_ref} proche de la tension d'alimentation. En effet, le transistor d'initialisation M4 force la tension V_{ph} à une valeur proche de la tension de sa source, et l'amplificateur suiveur, en transistors PMOS, rehausse cette tension, ce qui conduit à une tension de sortie V_{s_ref} proche de la tension d'alimentation. Pour éviter la saturation de la sortie du pixel, la tension de source du transistor de calibration a été fixée inférieure à $V_{dd} - V_{t,M2}$. Malgré cette précaution, la tension de référence aux bornes de la photodiode, V_{ph_ref} , additionnée des décalages en tension (dus aux variations process) peut conduire à la saturation de la sortie du pixel. En faisant la soustraction entre cette valeur de référence, faussée car saturée, et la sortie du pixel V_{s_pixel} , la méthode de calibration engendre du bruit FPN au lieu de le réduire.

Afin de corriger ce défaut, nous avons étudié une deuxième architecture de pixel.

2.6.2.2 Tension de référence basse

Cette deuxième architecture permet de générer une tension de référence de niveau bas, afin d'éviter la saturation de la sortie du pixel. Suivant le même principe que le pixel précédent, la tension de référence est générée grâce à un transistor PMOS supplémentaire. Dans cette nouvelle architecture, ce transistor permet de court-circuiter la photodiode en forçant le nœud V_{ph} à une tension basse. La Figure 32 illustre cette nouvelle architecture de pixel et son comportement statique et transitoire.

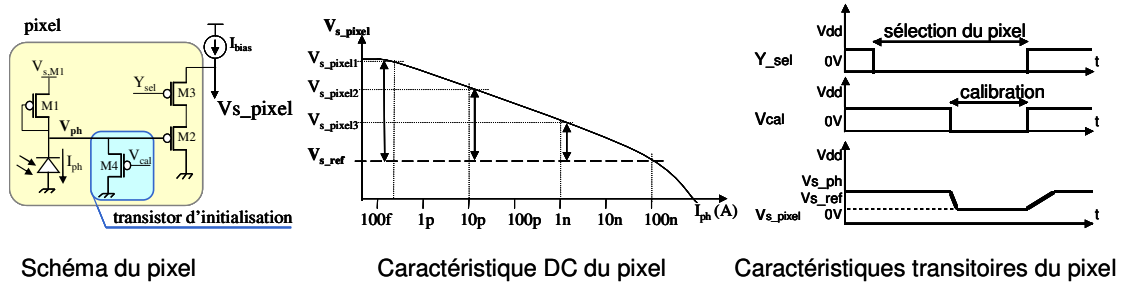


Figure 32 : Pixel implémentant une méthode de calibration avec une tension de référence basse

Le fait de générer une tension de référence basse permet d'obtenir une valeur de référence V_{s_ref} non-saturée et donc une valeur de soustraction non faussée.

Cette structure présente un autre avantage. Une tension de sortie V_{s_pixel} proche de la tension de référence est générée lorsque l'illumination est très grande, et donc quand le signal est fort, avec un bon rapport signal à bruit. Malgré une différence $V_{s_pixel} - V_{s_ref}$ petite, le résultat est peu bruité contrairement à celui obtenu par l'architecture précédente, où la valeur de référence correspondait au courant d'obscurité, valeur proche du bruit.

Des simulations Monte Carlo ont permis de comparer ces deux architectures, en termes de FPN pixel à pixel. La figure 33 illustre les variations des tensions obtenues en sortie du capteur après application des méthode de réduction de bruit. La calibration effectuée avec une tension de référence haute (architecture I) permet d'obtenir un FPN de 6.8% par rapport à la dynamique total du signal de sortie V_{s_pixel} . La calibration effectuée avec une tension de référence basse (l'architecture II), permet d'améliorer la réduction de FPN de 53% par rapport à l'architecture I, soit un FPN de 3.2%. Pour les deux architectures, on constate aussi par simulation que le transistor M4 contribue à ce FPN à hauteur de 0,6%.

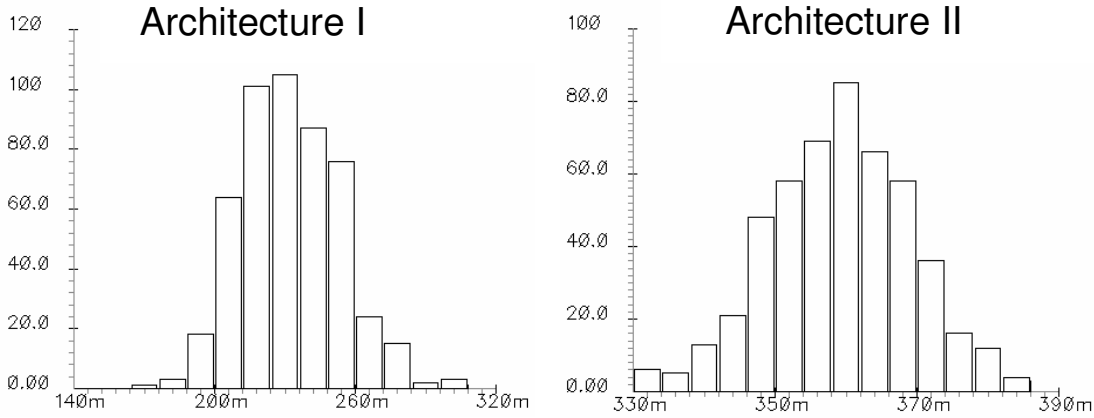


Figure 33 : Résultats de 500 simulations Monte Carlo illustrant la dispersion des sorties des pixels V_{s_pixel} pour les deux architectures étudiées

Suite à cette étude, nous avons conçu un circuit de test implémentant cette nouvelle méthode de la calibration, effectuée grâce à la génération d'une tension de référence basse. La conception de cette matrice est détaillée dans les paragraphes suivants.

2.6.3 Conception de cette matrice IMAGYNE1

La conception de cette matrice a été menée au sein du TIMA, avec la technologie CMOS standard $0.35\mu\text{m}$, 3.3V du fondeur Austriamicrosystems sous l'environnement de simulation Cadence, avec l'interface Analog Artist, et le simulateur Spectre.

Cette matrice de 128×128 pixels a été intégrée au circuit de test baptisé IMAGYNE, « IMAgeurs à Grande dYNamique de fonctionnement ». Ce capteur de vision a été nommé IMAGYNE1.

Le pixel conçu présente la même architecture que celle illustrée Figure 32, implémentant quatre transistors PMOS et une photodiode. Le circuit amplificateur colonne présente la même architecture que celui décrit précédemment, Figure 28, et génère les deux tensions analogiques V_{s_ph} et V_{s_cal} .

Les simulations DC ont permis de dimensionner les transistors, de fixer la tension $V_{s,M1}$ et de fixer les tensions et courants de polarisation des différents amplificateurs.

La tension $V_{s,M1}$ a été fixée à 2.5V de manière à ce que la sortie du pixel ne sature pas. L'amplificateur suiveur et sa tension de polarisation ont été optimisés afin que chaque pixel consomme moins de un microampère quand ils sont sélectionnés. Les amplificateurs de sortie du circuit colonne ont été dimensionnés de manière à fournir cinquante microampères chacun.

Les simulations transitoires ont permis de valider l'architecture du pixel, notamment le temps d'établissement du nœud V_{ph} sous faible illumination. Elles ont aussi permis de valider le choix de la taille des capacités de stockage de l'amplificateur colonne, soit 500fF chacune.

2.6.4 Conception des masques

Le dessin de ces cellules a été réalisé sous Cadence/Virtuoso, avec le DRM (« Design Rules Manual » fourni par AMS).

Le dessin final du pixel est illustré Figure 34. Le pixel mesure $10\mu\text{m} \times 10.6\mu\text{m}$, avec une photodiode de surface totale de $36\mu\text{m}^2$, soit un facteur de remplissage supérieur à 33%.

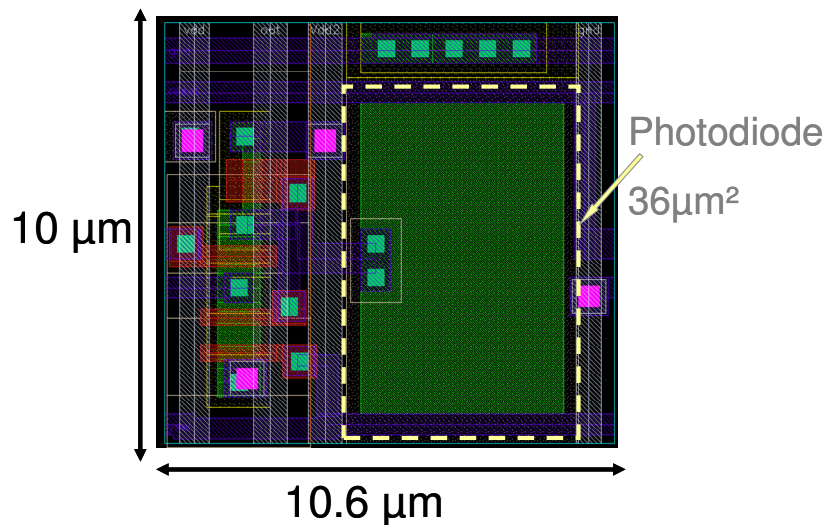


Figure 34 : Layout du pixel

Le dessin du circuit amplificateur colonne a été fortement inspiré par celui conçu et dessiné chez Atmel-Grenoble. La largeur de ce circuit correspond à la largeur des pixels, soit $10.6\mu\text{m}$, de manière à pouvoir être imbriqué au bas de chaque colonne de pixel. Le dessin final de ce circuit mesure $10.6\mu\text{m} \times 429\mu\text{m}$.

A partir des layouts des pixels et des amplificateurs colonnes, des vues « extracted » ont été générées. Les simulations de ces cellules ont permis de valider leur conception.

2.6.5 Conclusion

Nous venons de présenter l'étude que nous avons menée en vue d'améliorer les performances de notre méthode de calibration, à savoir une meilleure réduction du bruit spatial fixe pixel à pixel. Nous avons vu que cette méthode de calibration peut être réalisée de deux manières différentes : grâce à une

tension de référence haute ou grâce à une tension de référence basse. Deux architectures de pixels, implémentant chacune de ces méthodes de calibrations, ont été conçues et présentées. Une comparaison de leurs performances, en terme de réduction de FPN, a permis le choix de l'architecture qui implémente la génération d'une tension de référence basse. Ce pixel a donc été optimisé et dessiné. Un capteur intégrant une matrice de 128 x 128 pixels, et 128 circuits amplificateurs colonne a été conçu en technologie CMOS standard 0.35 μ m, 3.3V fournie par le fondeur Austriamicrosystems. Un circuit de test intégrant ce capteur a été fabriqué.

2.7 Conclusion

Ce chapitre a permis d'exposer l'étude et la conception de deux imageurs à grande dynamique de fonctionnement utilisant l'architecture à compresseur logarithmique.

Le premier imageur a été conçu au sein de la société Atmel-Grenoble, en vue de répondre à un cahier des charges précis imposé par le projet Européen PICS, à savoir une grande dynamique de fonctionnement et un mode de capture instantané.

Pour atteindre une grande dynamique de fonctionnement, une architecture d'un pixel à compresseur logarithmique a été choisie. Ce choix a induit une étude pour la réduction du bruit spatial fixe pixel à pixel, dont souffrent les pixels à compresseur logarithmique. Le résultat de cette étude a été la mise en place d'une méthode de calibration des pixels. Nous avons présenté le principe de cette méthode et nous avons conçu un pixel dont l'architecture permet cette calibration.

L'implémentation du mode de capture instantanée au sein d'un pixel à compresseur logarithmique a nécessité l'ajout de plusieurs transistors au sein du pixel, afin d'isoler la photodiode du transistor de « Global Shutter » et de la protéger des effets de cet interrupteur. Le noeud sensible a aussi fait l'objet d'une protection afin de limiter l'intégration de charges photo générées et limiter les courants de fuite.

Un circuit test a été conçu dans la technologie CMOS standard 0.18 μ m, 3.3V fournie par Atmel-Grenoble. Nous avons conçu et fabriqué un capteur de vision implémentant une matrice de 32 x 240 pixels et 32 amplificateurs colonnes, présentés dans ce chapitre.

Suite à ce projet, un deuxième imageur à grande dynamique de fonctionnement a été conçu, en vue d'améliorer les performances de la méthode de calibration. Une deuxième implémentation de la méthode de calibration a été explorée, conduisant à la conception d'une deuxième architecture de pixel. Une étude a permis de comparer les performances de deux implémentations différentes de cette

méthode de calibration. Les résultats de cette étude, qui sont présentés dans ce chapitre, ont permis de choisir l'architecture de pixel la plus performante. Nous avons conçu et dessiné une matrice de 128 x 128 pixels et 128 amplificateurs colonne. Ce deuxième circuit test a été réalisé en technologie CMOS standard 0.35 μ m, 3.3V fournie par AMS.

Le Tableau 3 permet de comparer les performances des capteurs PICS et IMAGYNE1 par rapport aux travaux effectués dans ce domaine.

Capteur	technique	dynamique	vitesse de lecture	bruit spatial fixe	transistors par pixel	taille du pixel (μ m ²)	techno	facteur de remplissage
[Loose01]	Log	120dB	50fps	3,80%		24 x 24	0,6 μ	30%
[Kavadias00]	Log	120dB	30fps	2,50%	6	7,5 x 7,5	0,5 μ	
PICS	Log + GS	120dB théorie	30fps	6,8% théo	7	10 x 10	0,18 μ	20%
IMAGYNE1	Log	120dB théorie	30fps (théorie)	3,2% théo	4	10,6 x 10	0,35 μ	33%

Tableau 3 Tableau récapitulatif des capteurs PICS et IMAGYNE et comparatif par rapport à l'état de l'art

Par rapport aux capteurs présentés, la dynamique de fonctionnement espérée des capteurs PICS et IMAGYNE1 est du même ordre de grandeur que celle présentée par [Loose01] et [Kavadias00]. Le bruit spatial fixe attendu du capteur PICS, bien que réduit par la méthode de calibration, est un peu supérieur à ceux mesurés par [Loose01] et [Kavadias00]. Par contre, la méthode implémentée dans le capteur IMAGYNE1 devrait permettre d'obtenir des valeurs de FPN inférieures, notamment par rapport à celle de [Loose01]. Les pixels implémentés dans PICS et IMAGYNE1 intègrent un nombre de transistors limités, du même ordre de grandeur que ceux des pixels présenté par [Kavadias00]. La surface de nos pixels reste petite (seul le pixel présenté par [Kavadias00] est plus petit) et le facteur de remplissage reste important. Ces études ont été mises en valeur dans une publication internationale [Labonne06_2].

Chapitre 3

ETUDE ET CONCEPTION D'UN IMAGEUR GRANDE DYNAMIQUE UTILISANT UN TEMPS D'INTEGRATION VARIABLE

Toujours dans le cadre du projet Européen PICS, dans le but de concevoir un imageur à grande dynamique de fonctionnement, nous avons exploré la voie des capteurs de vision à temps d'intégration. Ce type d'architecture permet d'offrir une réponse linéaire en fonction de l'éclairement (ce qui la rend moins exotique que les pixels à compresseur logarithmique du point de vue des industriels).

3.1 Les capteurs de vision à intégration et à grande dynamique de fonctionnement

Nous avons vu précédemment, dans le chapitre 1, paragraphe 1.3, que pour augmenter la dynamique de fonctionnement des pixels à temps d'intégration, deux approches se distinguent :

1. Les capteurs à temps d'intégration unique. Ils présentent l'avantage de fournir une image à chaque lecture de matrice et permettent ainsi une vitesse d'affichage assez rapide. Mais ils nécessitent l'implémentation de différentes techniques pour retrouver l'information lumineuse lorsque le pixel atteint la saturation avant la fin du temps d'intégration.
2. Les capteurs à temps d'intégration multiples, qui consistent à lire de manière destructive plusieurs fois la matrice, soumise à différents temps d'intégration. L'information lumineuse est ensuite reconstruite à partir des différents résultats. Le principal défaut de cette méthode est une vitesse d'affichage moins rapide, en raison des multiples lectures pour obtenir une image. Pour conserver une bonne vitesse d'affichage, différentes techniques ont été développées, coûteuses en surface (duplication des circuits de lectures et de CAN) ou en temps de conception (conversion analogique numérique au sein des circuits amplificateurs colonne).

Nous avons vu aussi, dans ce même paragraphe 1.3, le principe des rétines silicium. Les pixels connectés en réseau, recueillent de leurs voisins l'information à propos de l'illumination locale et arrivent ainsi à adapter leur sensibilité à la bonne gamme de luminosité [Sicard98] [Brajovic04]. Ils

arrivent ainsi à atteindre une grande dynamique de fonctionnement tout en gardant une sensibilité standard, de quelques décades de courant photo généré.

Pour concevoir un capteur de vision à temps d'intégration variable et à grande dynamique de fonctionnement, nous nous sommes inspirés du principe des rétines et l'avons appliqué aux pixels à temps d'intégration. Nous avons ainsi développé un capteur dont le temps d'intégration est asservi à la luminosité moyenne.

3.2 Principe de l'asservissement du temps d'intégration aux conditions lumineuses.

Le but de ce capteur est de conserver une vitesse d'affichage de 30 images par seconde et d'atteindre une grande dynamique de fonctionnement avec des pixels à intégration. Pour atteindre une grande dynamique de fonctionnement, le principe de cet imageur est d'adapter le temps d'intégration des pixels à l'illumination moyenne de la matrice. Si l'illumination moyenne de la matrice est grande, le temps d'intégration sera fixé assez court. Au contraire, si l'illumination moyenne est basse, le temps d'intégration sera alors plus long. La dynamique de fonctionnement du pixel reste de trois ou quatre décades mais se déplace en fonction de la luminosité, permettant ainsi d'obtenir un capteur à grande dynamique de fonctionnement. Cette technique d'adaptation aux conditions lumineuses nécessite donc l'extraction de l'information « illumination moyenne » de la matrice et consiste à asservir le temps d'intégration à cette information.

3.2.1 L'extraction de l'information « illumination moyenne de la matrice »

La technique d'extraction de l'information « illumination moyenne de la matrice » que nous avons implémentée est fortement inspirée de certaines rétines silicium [Sicard98]. Cette technique consiste à connecter tous les pixels de la matrice entre eux afin qu'ils génèrent l'information « illumination moyenne de la matrice ».

Par contre, le fait de connecter tous les pixels entre eux ne permet plus d'obtenir l'information sur l'illumination locale du pixel. Afin de pouvoir extraire les deux informations, illumination locale et illumination moyenne, nous avons alors distingué deux possibilités :

- une seule matrice qui fournit les informations de manière séquentielle : l'information sur l'illumination moyenne puis celle sur l'illumination locale;

- deux matrices imbriquées l'une dans l'autre, dont l'une fournit l'information sur l'illumination locale et l'autre l'information sur l'illumination moyenne.

Nous avons donc étudié et comparé ces deux techniques.

3.2.1.1 Une matrice unique qui génère les deux informations successivement

Grâce à un transistor supplémentaire, il est possible de choisir de relier le nœud V_{ph} à ses voisins, reliant ainsi toutes les photodiodes. Le nœud V_{ph} fournit alors l'information « illumination moyenne de la matrice ». Cette matrice est illustrée sur la figure 35.

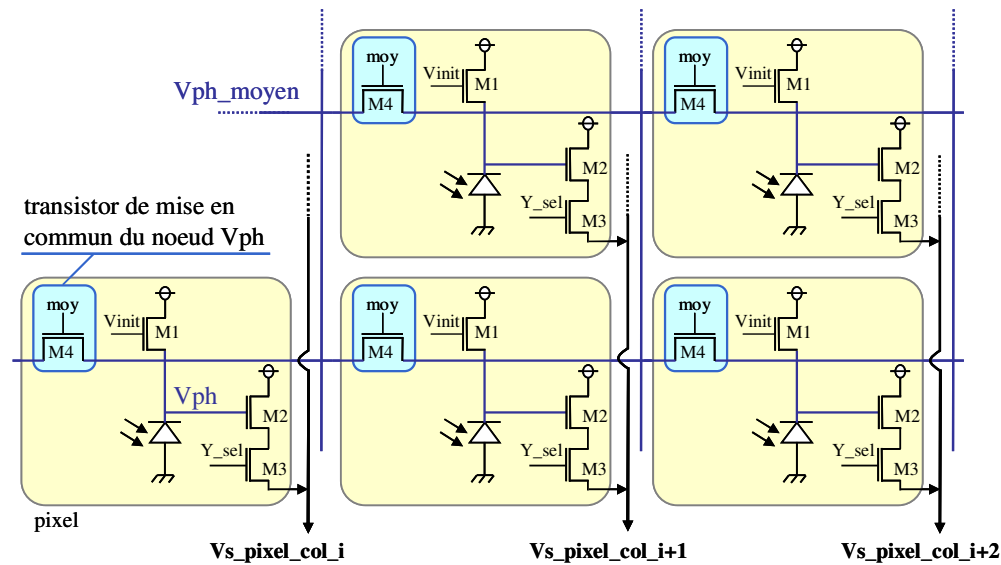


Figure 35 : Illustration d'une matrice permettant l'extraction des deux informations sur l'illumination moyenne et l'illumination locale

Pour extraire l'information sur l'illumination moyenne, il faut connecter le transistor M1 en diode ($V_{init}=V_{dd}$) et rendre le transistor M4 passant. Les transistors M1 de tous les pixels étant connectés en compresseur logarithmique, ils fonctionnent en continu. Grâce au transistor M4, les courants photo générés par chaque diode sont ensuite mis en commun par le nœud V_{ph_moyen} puis se répartissent dans chaque pixel. Un courant I_{ph_moyen} s'établit et circule dans les transistors M1 de chaque pixel. La tension obtenue, V_{ph_moyen} suit une relation logarithmique, proportionnelle au courant I_{ph_moyen} . A partir de cette information, le temps d'intégration est choisi, le transistor reliant les photodiodes est bloqué (le pixel redevient un pixel standard, sensible uniquement aux charges photo générées sur sa photodiode) et une séquence classique d'intégration peut commencer (initialisation du pixel et intégration des charges).

Cette technique présente l'avantage d'être peu coûteuse en surface (un transistor supplémentaire par pixel) mais sacrifie la vitesse d'affichage (deux temps d'intégration pour une image). De plus, le temps d'intégration permettant d'extraire l'information sur l'illumination moyenne doit être choisi, de manière à ce que la tension V_{ph_moyen} ne sature pas.

3.2.1.2 Deux matrices qui génèrent les deux informations en parallèle

Cette technique consiste à imbriquer l'une dans l'autre deux matrices de pixels. Une de ces deux matrices fournit l'information sur l'illumination locale des pixels. L'autre matrice génère l'information sur l'illumination moyenne de la matrice.

Bien que cette technique puisse sembler très coûteuse en surface, les deux matrices étant indépendantes, elles peuvent être conçues dédiées à leurs rôles respectifs et dessinées de manière optimisée en surface.

La matrice fournissant l'image est une matrice classique constituée de pixels à intégration standard. De manière à obtenir une bonne résolution, elle doit contenir un grand nombre de pixels.

Par contre la matrice fournissant l'information sur l'illumination moyenne de la matrice ne nécessite pas forcément un grand nombre de pixels. L'extraction de l'information « illumination moyenne » peut être réalisée avec une bonne précision et avec peu de pixels insérés au sein de la matrice classique. De plus, comme cette deuxième matrice est indépendante de la matrice « utile », l'architecture des pixels peut être différente. Ainsi une matrice de pixels à compresseur logarithmique reliés entre eux, inspirée des rétines, permet d'obtenir l'information sur les conditions lumineuses moyennes de manière continue et avec un surcoût en surface limité (une petite photodiode et deux transistors par pixel).

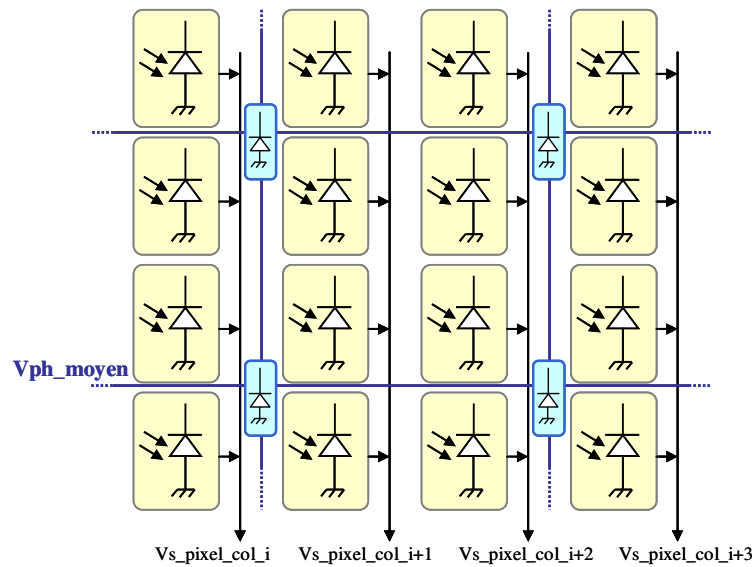


Figure 36 : Illustration de deux matrices imbriquées

La figure 36 illustre ce principe, avec un pixel dédié à l'extraction de l'illumination moyenne de la matrice pour quatre pixels standard permettant de fournir l'image. Le nœud V_{ph_moyen} est connecté à tous les pixels à compresseur logarithmique. Cette information est ensuite exploitée pour définir le temps d'intégration des pixels standard.

Cette technique présente l'avantage de fournir en permanence l'information sur l'illumination moyenne et de pouvoir fonctionner avec une grande vitesse d'affichage, tout en gardant une surface silicium raisonnable.

3.2.2 Asservissement du temps d'intégration à l'illumination moyenne

La tension correspondant à l'information sur l'illumination moyenne de la matrice est ensuite utilisée pour définir le temps d'intégration. Le temps d'intégration, codé en binaire, est utilisé par le décodeur ligne, qui commande le transistor d'initialisation M1 des pixels à intégration.

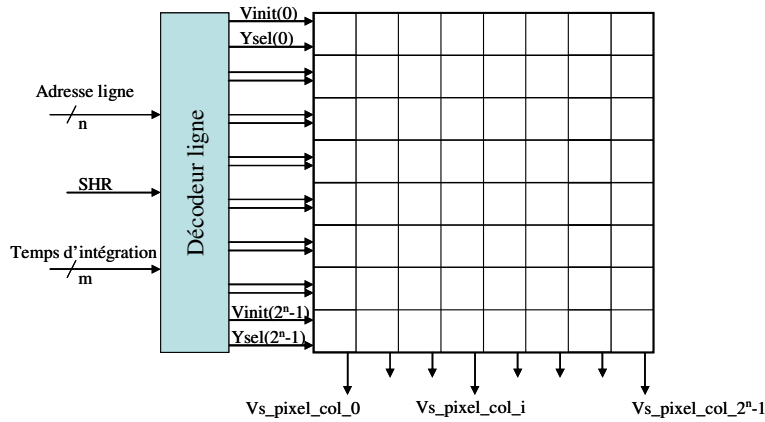


Figure 37: Entrées et sorties du décodeur ligne

Le décodeur ligne, illustré figure 37, reçoit en binaire les adresses de pixels (sur n bits), le temps d'intégration (sur m bits) et le signal d'initialisation des pixels (SHR « Sample and Hold Reset »). A partir de ces informations, il génère les signaux Y_{sel} et V_{init} pour chaque ligne.

La tension correspondant à l'information « illumination moyenne de la matrice », une fois convertie en binaire, devient donc une entrée du décodeur ligne, et définit le temps d'intégration des pixels. Cet asservissement est illustré Figure 38. La précision de la conversion analogique numérique dépend du nombre de temps d'intégration possibles. Une conversion sur deux bits permet d'implémenter des combinaisons avec quatre temps différents d'intégration, sur trois bits, huit temps d'intégration différents, etc...

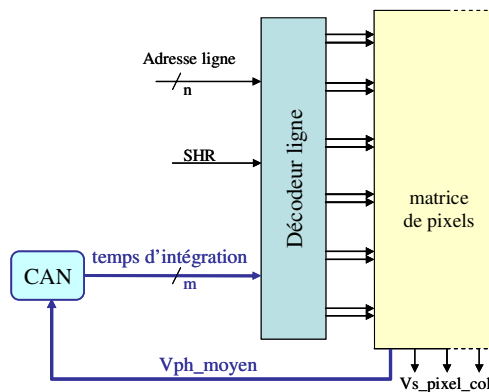


Figure 38 Asservissement du temps d'intégration à la tension correspondant à l'information sur l'illumination moyenne de la matrice

Nous venons de présenter le principe d'asservissement du temps d'intégration à l'illumination moyenne de la matrice. Deux méthodes d'extraction de l'information sur l'illumination moyenne de la matrice ont été distinguées : une matrice unique qui fournit des informations séquentiellement, ou deux matrices qui fournissent des informations en parallèle. De manière à pouvoir conserver une vitesse d'affichage de 30 images par seconde, nous avons choisi d'implémenter la technique des matrices imbriquées qui présente l'avantage de fournir une image par lecture de matrice. La conception de cet imageur est présentée ci-dessous.

3.3 Conception de la matrice IMAGYNE2

La conception de la matrice IMAGYNE2 a été menée au sein du laboratoire TIMA, avec la technologie CMOS standard 0.35 μ m, 3.3V du fondeur Austriamicrosystems sous l'environnement de simulation Cadence, avec l'interface Analog Artist, et le simulateur Spectre. Cette matrice s'intègre dans le circuit de test nommé IMAGYNE.

3.3.1 La chaîne de l'information

Ce capteur est composé de plusieurs blocs, illustrés figure 39, à savoir :

- une matrice de pixels connectés entre eux, qui permet de fournir l'information sur l'illumination moyenne V_{ph_moyen} ;
- un convertisseur analogique numérique qui permet de convertir la tension V_{ph_moyen} en un vecteur de bits « temps d'intégration », destinés au décodeur ligne ;
- un décodeur ligne, qui gère l'initialisation et le temps d'intégration des pixels standard ;
- une matrice de pixels standard à intégration ;
- un circuit amplificateur colonne qui permet d'échantillonner, de stocker et d'amplifier l'information issue des pixels à intégration standard ;
- un décodeur colonne qui multiplexe les sorties des amplificateurs colonne.

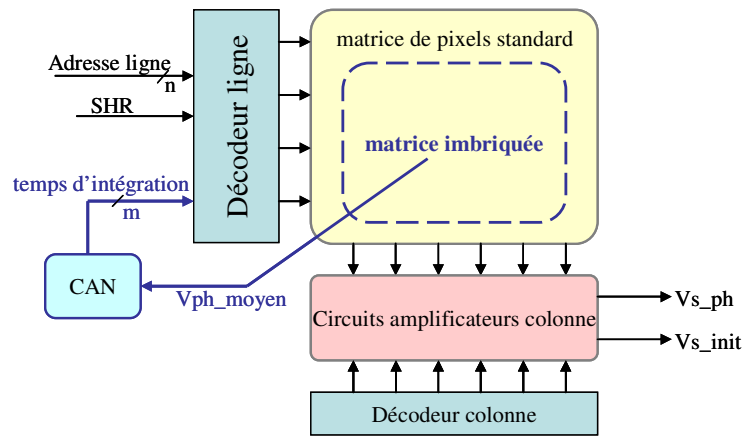


Figure 39 : Diagramme bloc du capteur à adaptation aux conditions lumineuse implémenté

De manière à fournir des images les moins bruitées possibles, ce capteur intègre les éléments nécessaires aux techniques de réduction de bruit NCDS et DDS (détaillées dans le paragraphe 1.2.7.2). Cet imageur génère deux signaux, correspondant à la sortie des pixels (V_{s_ph}) et à la valeur d'initialisation des pixels (V_{s_init}).

Nous allons maintenant détailler chaque bloc, sa conception et son dessin.

3.3.2 Les matrices imbriquées

3.3.2.1 La matrice de pixel à intégration standard

Les pixels composant cette matrice sont des pixels à intégration standard (Figure 40), avec une photodiode, un transistor M1 d'initialisation, un transistor d'amplification M2 et un transistor de sélection M3. Ces trois transistors sont de type NMOS, ce qui permet une implantation rapprochée de la photodiode (contrairement aux transistors PMOS dont l'implantation nécessite un caisson N, et donc induit un espacement important entre la photodiode et les transistors PMOS, et donc un pixel de surface plus importante).

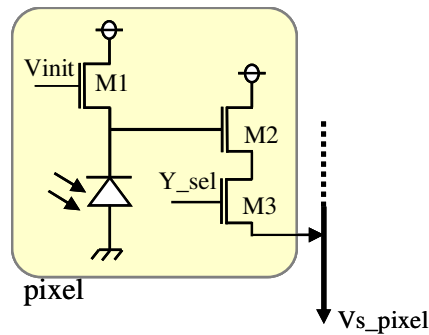


Figure 40 Schéma des pixels à intégration composant la matrice de pixels standard

Afin de pouvoir comparer ce capteur avec ceux intégrés au sein du circuit IMAGYNE, la photodiode intégrée à ce pixel est la même que celle des autres capteurs, à savoir une photodiode de type N+ - Pwell de $36\mu\text{m}^2$.

La Figure 41 illustre le dessin des masques d'un pixel à intégration implémenté dans notre matrice. On y distingue les trois transistors NMOS et la photodiode N+ - Pwell. Trois des côtés de la photodiode sont protégés par une zone de diffusion, connectée à la masse, dans le but de limiter la dispersion de charges photo générées dans le substrat.

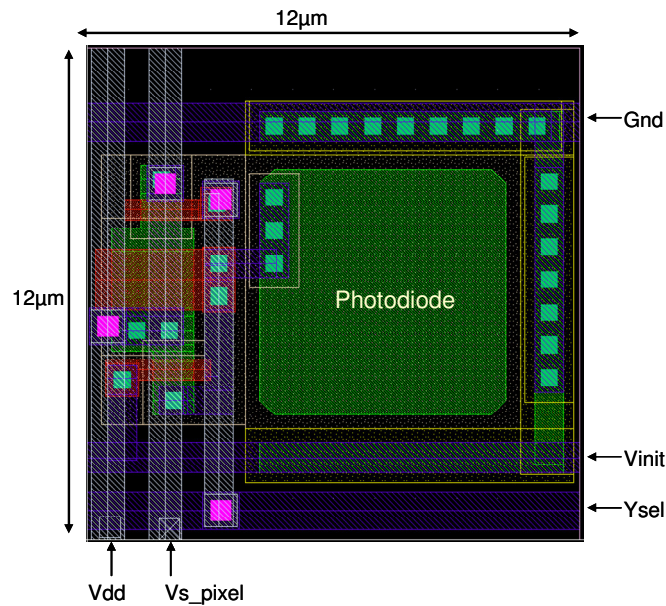


Figure 41 : Dessin des masques du pixel à intégration implémenté dans le capteur IMAGYNE2

Ce pixel mesure $12\mu\text{m} \times 12\mu\text{m}$, et présente un facteur de remplissage de 25%. Si on considère uniquement le pixel, on peut remarquer que le layout n'est pas optimisé (un layout optimum

mesurerait $9\mu\text{m} \times 9\mu\text{m}$). En effet ce pixel a été dessiné de manière à pouvoir insérer les pixels à compresseur logarithmique. Le layout de ce pixel est donc optimisé pour permettre l'imbrication.

3.3.2.2 La matrice de pixels connectés entre eux

Le rôle de cette matrice est de générer l'information sur l'illumination moyenne de la matrice de manière continue, sans saturer et en ayant des pixels les plus petits possibles. Nous avons réalisé cette matrice avec des pixels à compresseur logarithmique, qui fonctionnent de manière continue, sans saturation et qui se prêtent bien à l'interconnexion des pixels entre eux (réтины). Afin d'intégrer ces pixels au plus proche des pixels de la matrice standard, les transistors sont de type NMOS.

La Figure 42 illustre l'architecture du pixel que nous avons conçu. Il comporte une photodiode et deux transistors NMOS connectés en compresseur logarithmique.

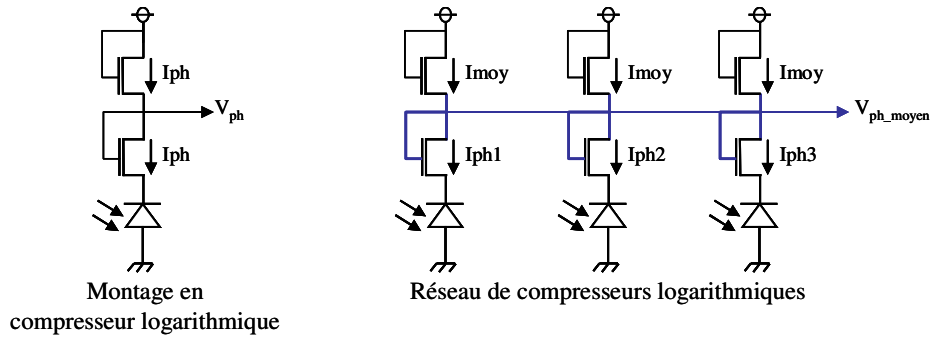


Figure 42 : Schéma d'un pixel à compresseur logarithmique, en transistors NMOS, et Schéma d'un réseau de ces pixels

La tension V_{ph} générée par ce pixel suit la relation théorique suivante, issue de l'équation 10 du paragraphe 2.2.1 :

Équation 18
$$V_{ph} = V_{dd} - nU_t \ln\left(\frac{I_{ph}}{I_{D0}}\right)$$

Lorsque les pixels sont connectés entre eux, le noeud V_{ph} devient la tension V_{ph_moyen} , exprimée par la relation suivante :

Équation 19
$$V_{ph_moyen} = V_{dd} - nU_t \ln\left(\frac{I_{moy}}{I_{D0}}\right)$$

Ces pixels présentent l'avantage de fonctionner de manière continue et d'être simple (deux transistors NMOS). Un autre avantage de ce montage est la non saturation de la photodiode. En effet,

cette spécificité permet d'implémenter une petite photodiode sans risque de saturation même sous forte illumination. Dans notre cas, la taille de la photodiode a donc été définie par la surface disponible entre les pixels standard.

3.3.2.3 L'imbrication

Pour concevoir ces matrices imbriquées tout en limitant la surface silicium, nous avons choisi d'intégrer un pixel à compresseur logarithmique pour quatre pixels à intégration standard. Une des difficultés dans la conception de ces matrices imbriquées a été le dessin au niveau des masques de cette brique de base, illustrée Figure 43. Pour pouvoir insérer le pixel à compresseur logarithmique, les deux pixels à intégration du bas sont placés en miroir par rapport aux deux du haut. Le dessin final de cette brique de cinq pixels mesure $24\mu\text{m} \times 24\mu\text{m}$ (la taille de quatre pixels à intégration). Le pixel à compresseur logarithmique comprend une photodiode de $17\mu\text{m}^2$ et mesure $6.9\mu\text{m} \times 26\mu\text{m}$ (dépassement autorisé par la répétition et l'aboutement de ce motif).

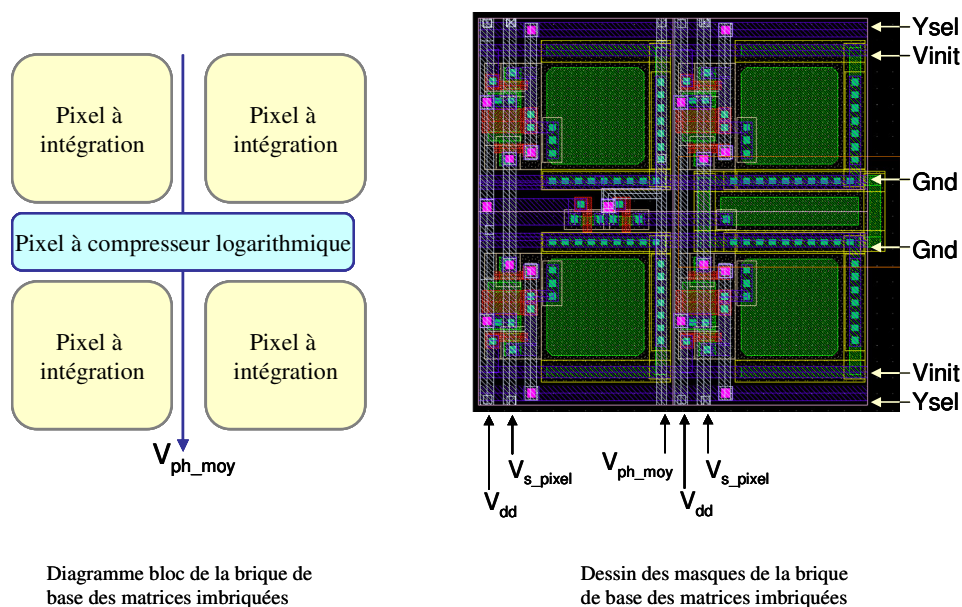


Figure 43 : Diagramme bloc et dessin des masques de la brique de base des matrices imbriquées du capteur IMAGYNE2

Ce motif de base, comprenant quatre pixel à intégration et un pixel à compresseur logarithmique, a été répété 64 fois, de manière à assembler une matrice de 128×128 pixels opérationnels, plus 64 pixels à compresseur logarithmiques. Ces 64 pixels insérés au sein de la matrice sont connectés entre eux afin de fournir l'information sur l'illumination moyenne de la matrice.

3.3.3 Le convertisseur analogique numérique

Ce convertisseur analogique numérique permet de convertir la tension $V_{ph_moyenne}$ sur trois bits, utilisables par le décodeur ligne. Ce nombre de trois bits a été choisi de manière à pouvoir profiter d'un panel important de temps d'intégration (huit différents temps d'intégration possible) sans trop complexifier le décodeur ligne.

D'après les simulations, illustrées Figure 44, le signal V_{ph_moyen} varie de 1.2V à 2.1V. Afin de coder uniquement cette variation utile de 0.9V, et non toute la dynamique du signal (de 0V à 2.1V), nous avons préféré implémenter le convertisseur à l'extérieur du circuit, sur un FPGA, ce qui permet une plus grande flexibilité et une meilleur adaptation aux variations du signal V_{ph_moyen} . Le buffer, qui permet de donner plus de puissance au signal V_{ph_moyen} pour sortir du circuit, induit un décalage en tension.

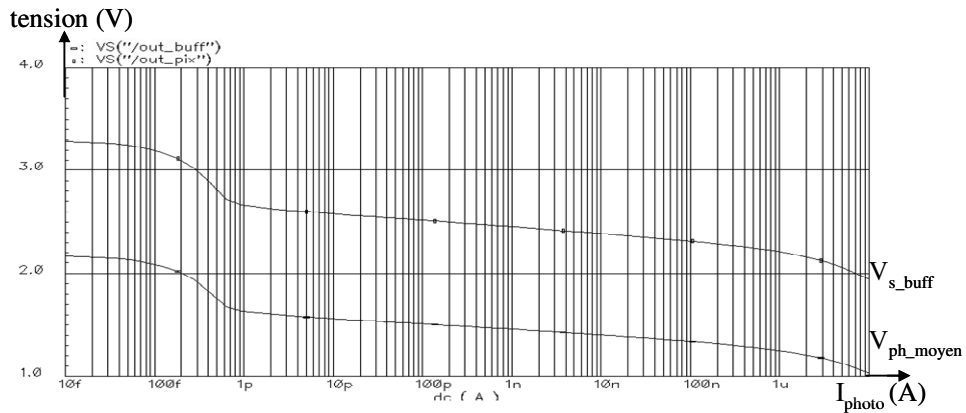


Figure 44 : Évolution de V_{ph_moyen} (entrée du buffer) et V_{s_buff} (sortie du buffer) en fonction du courant photo généré I_{photo}

Le FPGA reçoit le signal V_{s_buff} , code la variation utile sur trois bits et renvoie au décodeur ligne trois signaux binaires, t_2 t_1 t_0 , correspondant au temps d'intégration.

3.3.4 Le décodeur ligne

Le décodeur ligne a été décrit en VHDL, synthétisé avec l'outil Leonardo de chez Mentor Graphics, puis placé-routé de manière automatique avec SocENcounter de Cadence.

Les signaux générés par ce décodeur correspondent aux signaux de sélection de la ligne de pixel à lire et aux signaux d'initialisation des lignes de pixel. Ces signaux sont décrits par les équations génériques suivantes, avec i le numéro de la ligne :

Équation 20

$$Y_{sel_i} = adress_i$$

Équation 21

$$\begin{aligned} Vinit(i) = & (adress(i) \cdot SHR) + \\ & (\overline{t2} \overline{t1} \overline{t0} \cdot adress(i+1)) + \\ & (\overline{t2} \overline{t1} \overline{t0} \cdot adress(i+15)) + \\ & (\overline{t2} \overline{t1} \overline{t0} \cdot (adress(i+31))) + \\ & (\overline{t2} \overline{t1} \overline{t0} \cdot (adress(i+47))) + \\ & (\overline{t2} \overline{t1} \overline{t0} \cdot (adress(i+63))) + \\ & (\overline{t2} \overline{t1} \overline{t0} \cdot (adress(i+79))) + \\ & (\overline{t2} \overline{t1} \overline{t0} \cdot (adress(i+95))) + \\ & (\overline{t2} \overline{t1} \overline{t0} \cdot (adress(i+111))) \end{aligned}$$

L'Équation 20 décrit le comportement des signaux de sélection des lignes. L'Équation 21 correspond à la fonction booléenne des signaux d'initialisation. Le signal $Vinit(i)$ remplit deux fonctions : initialiser les pixels et gérer le temps d'intégration. Le Tableau 4 ci-dessous établit la correspondance entre les signaux binaires $t2 \ t1 \ t0$ et le temps d'intégration alloué aux pixels.

$t2 \ t1 \ t0$	temps d'intégration équivalent au temps de lecture de	soit
0 0 0	126 lignes	16 632 périodes
0 0 1	112 lignes	14 784 périodes
0 1 0	96 lignes	12 672 périodes
0 1 1	80 lignes	10 560 périodes
1 0 0	64 lignes	8 448 périodes
1 0 1	48 lignes	6 336 périodes
1 1 0	32 lignes	4 224 périodes
1 1 1	16 lignes	2 112 périodes

Tableau 4 : Correspondance entre les trois bits $t2 \ t1 \ t0$ et les temps d'intégration alloués aux pixels

3.3.5 Le circuit amplificateur colonne

Le circuit amplificateur colonne permet l'échantillonnage, le stockage et l'amplification des signaux de sortie des pixels. L'architecture du circuit colonne conçu pour le capteur IMAGYNE2 correspond à l'architecture présentée par [Mendis97] et décrite précédemment au paragraphe 1.1.3. Cette architecture permet l'implémentation des techniques standard de réduction de bruit, les techniques NCDS et DDS. Le layout de ce circuit, qui est abouté à la matrice, mesure $12\mu\text{m} \times 445\mu\text{m}$.

3.4 Conclusion

Ce chapitre a permis d'exposer l'étude et la conception d'un imageur à grande dynamique de fonctionnement utilisant une adaptation aux conditions lumineuses.

Cette étude, menée sur l'implémentation d'un imageur à pixels à intégration à grande dynamique de fonctionnement, nous a permis de présenter un système d'adaptation aux conditions lumineuses. La solution consiste à choisir le temps d'intégration optimum des pixels suivant l'illumination moyenne de la matrice. Afin de générer les deux informations, «illumination moyenne de la matrice » et « illumination locale des pixels », deux techniques ont été décrites :

- une seule matrice qui génère de façon séquentielle l'information sur l'illumination moyenne puis sur l'illumination locale ;
- deux matrices imbriquées qui fonctionnent en parallèle, dont l'une fournit l'information moyenne et l'autre locale.

Une fois l'information « illumination moyenne » extraite, elle est numérisée et fournie au décodeur ligne qui gère ainsi le temps d'intégration des pixels.

De manière à conserver une bonne vitesse d'affichage, nous avons choisi d'implémenter un capteur de vision avec deux matrices imbriquées. La matrice qui fournit l'image est composée de pixels à intégration. La matrice qui fournit l'information sur l'illumination moyenne est composée de pixel à compresseur logarithmique, connectés les uns aux autres. Cette information, sur l'illumination moyenne est ensuite convertie sur trois bits, fournis au décodeur colonne.

Le capteur IMAGYNE2 a été implémenté en technologie CMOS standard 0.35 μ m, 3.3V fournie par AMS. Le dessin des masques des matrices imbriquées a été détaillé, et une brique de base de quatre pixels à intégration et un pixel à compresseur logarithmique a été présentée. Le capteur intègre une matrice de 128 x128 pixels à intégration et 64 pixels à compresseur logarithmique, ainsi que 128 circuits amplificateurs colonne et un décodeur ligne dédié, qui gère le temps d'intégration des pixels en fonction des trois bits codant l'illumination moyenne.

Auteur	technique	dynamique	vitesse de lecture	FPN	transistors par pixel	taille du pixel (μm^2)	techno	facteur de remplissage
[Akahane06]	T_{int} fixe	100dB	30fps		5	7,5 x 7,5	0,35 μ	
[Stoppa02]	T_{int} fixe	130dB	25fps	1,50%	25	25 x 25	0,35 μ	11%
[Rhee03]	T_{int} fixe	120dB	1k fps		43	19 x 19	0,18 μ	50%
[McIlrath01]	T_{int} fixe	100dB		0,10%	19	30 x 30	0,5 μ	
[Acosta04]	T_{int} fixe	100dB	30fps		5	7,5 x 7,5	0,18 μ	49%
[Schrey02]	T_{int} multiples	90dB	15fps	0,10%	3	10 x 10	0,5 μ	41%
Yadid-Pecht97	T_{int} multiples	108dB	100kpix/s	2,80%	4	20,4 x 20,4	1,2 μ	15%
[Yang99]	T_{int} multiples		250fps		5,5	10,5 x 10,5	0,35 μ	29%
[Mase05]	T_{int} multiples	119dB	30fps	0,10%		10 x 10	0,25 μ	54,50%
[Schanz00]	T_{int} multiples	120dB	50fps		3	26 x 26	1 μ	65%
IMAGYNE2	T_{int} adapté	120dB (théorie)	30fps (théorie)		3,5	12 x 12	0,35 μ	25%

Tableau 5 Tableau récapitulatif et comparatif

Par rapport aux travaux présentés pour augmenter la dynamique de fonctionnement des capteurs de vision avec des pixels dits à intégration, résumés dans le Tableau 5, le capteur IMAGYNE2 combine deux techniques : les pixels à intégration unique et l'adaptation aux conditions lumineuses. Ce capteur présente l'avantage de ne conserver qu'un seul temps d'intégration mais ce temps est variable suivant l'illumination moyenne de la matrice. La dynamique de fonctionnement globale espérée, 120dB, est du même ordre de grandeur que celles présentées par la plupart des travaux référencés dans le tableau ci-dessus. Les pixels du capteur IMAGYNE2 intègrent un petit nombre de transistors, 3 transistors par pixel à intégration, plus deux transistors par pixel à compresseur logarithmique, ce qui fait 3,5 transistors par pixel effectif. Seuls [Schrey02] et [Schanz00] présentent un pixel avec moins de transistors. Du fait de ce petit nombre de transistor, la surface de notre pixel reste parmi les plus petites tout en présentant un facteur de remplissage correct (25%).

Chapitre 4

ETUDE ET CONCEPTION D'UN IMAGEUR GRANDE DYNAMIQUE A SORTIES NUMERIQUES

Dans les chapitres précédents nous avons présenté des études ayant pour but de concevoir un imageur à grande dynamique de fonctionnement. Nous avons ainsi exploré la voie des capteurs à compresseur logarithmique et celle des capteurs de vision à temps d'intégration à adaptation aux conditions lumineuses. Nous avons mené une troisième étude, qui allie les deux approches précédentes, à savoir la conception d'un capteur de vision à grande dynamique grâce à une architecture à compresseur logarithmique et à adaptation aux conditions lumineuses. Une autre spécification que celle de la grande dynamique s'est greffée à la conception de ce capteur: l'implémentation de sorties numériques.

4.1 Combinaison du montage à compresseur logarithmique et de l'adaptation aux conditions lumineuses

4.1.1 Les objectifs de ce capteur de vision

Le but de cette étude, initiée lors de mon stage de DEA [Labonne03], est de concevoir un capteur qui puisse détecter des scènes fortement contrastées (avec des parties fortement illuminées et d'autres en pleine obscurité), et qui fournisse une même image d'une scène, qu'elle soit pleinement illuminée ou en pleine obscurité. C'est à dire un capteur avec une grande dynamique de fonctionnement et une retranscription en noir et blanc avec les mêmes niveaux de gris quelles que soient les conditions lumineuses.

Nous avons vu que les pixels avec une architecture à compresseur logarithmique permettent d'obtenir une grande dynamique de fonctionnement, avec une sensibilité de l'ordre de 120dB, soit six décades de courant photo généré. Nous avons aussi présenté le principe de l'adaptation aux conditions lumineuses qui consiste à extraire l'information sur l'illumination moyenne de la matrice afin de rendre les pixels sensibles à la bonne gamme de luminosité.

La combinaison de ces deux méthodes a pour but d'obtenir :

- un capteur avec une grande dynamique d'entrée grâce à l'architecture à compresseur logarithmique ;

- un capteur dont les niveaux de tension de sortie sont régulés grâce à la propriété d'adaptation aux conditions lumineuses.

4.1.2 Principe de l'adaptation aux conditions lumineuses

L'architecture à compresseur logarithmique permet déjà d'obtenir un capteur à grande dynamique. Le but de l'adaptation aux conditions lumineuses n'est donc plus d'augmenter la dynamique, mais d'extraire du capteur la différence entre l'illumination moyenne et l'illumination locale. Le fait d'extraire et de coder uniquement cette différence permet de limiter l'influence de l'illumination sur l'image finale transmise, tout en restant sensible à une grande gamme de luminosité.

Le diagramme bloc du capteur est illustré Figure 45.

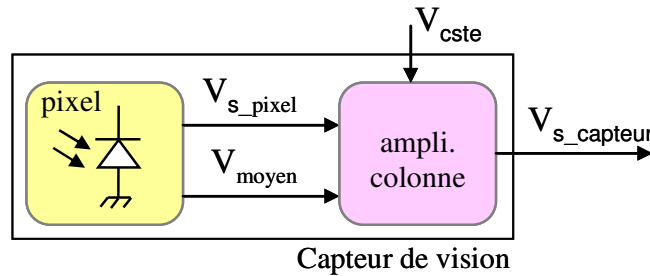


Figure 45 : Diagramme bloc du capteur à compresseur logarithmique et adaptation aux conditions lumineuses

Chaque pixel fournit les deux informations, V_{s_pixel} et V_{moyen} , et le circuit amplificateur colonne calcule ensuite la différence entre ces deux tensions. Pour rendre des différences négatives, (un pixel plus illuminé que la matrice), une tension constante est ajoutée. La sortie du capteur peut donc se traduire par la relation :

$$\text{Équation 22} \quad V_{s_capteur} = (V_{s_pixel} - V_{moyen}) + V_{cste}$$

Le principe de cette adaptation aux conditions lumineuses est illustré sur les figures suivantes. Sur la Figure 46.1, le pixel A reçoit moins de lumière que la moyenne de la matrice, la tension V_{s_pixelA} est donc supérieure à la tension V_{moyen} . Le circuit d'amplification colonne va extraire cette différence, positive, et y rajouter la tension V_{cste} . En sortie du capteur, on obtient la tension V_{ph_A} . Pour le pixel B, qui reçoit plus de lumière que la moyenne de la matrice, la tension V_{s_pixelB} est inférieure à la tension V_{moyen} . La tension en sortie du capteur V_{ph_B} est donc inférieure à V_{cste} .

Pour la même scène, mais soumise à une illumination plus importante, Figure 46.2, les tensions en sortie du pixel sont différentes, elles sont plus basses. Par contre, les différences entre les sorties des pixels et la tension moyenne de la matrice, ΔV_A et ΔV_B restent similaires. Le fait d'extraire

uniquement cette différence permet d'obtenir, en sortie du capteur, des tensions V_{ph_A} et V_{ph_B} similaires à celles obtenues pour une luminosité inférieure.

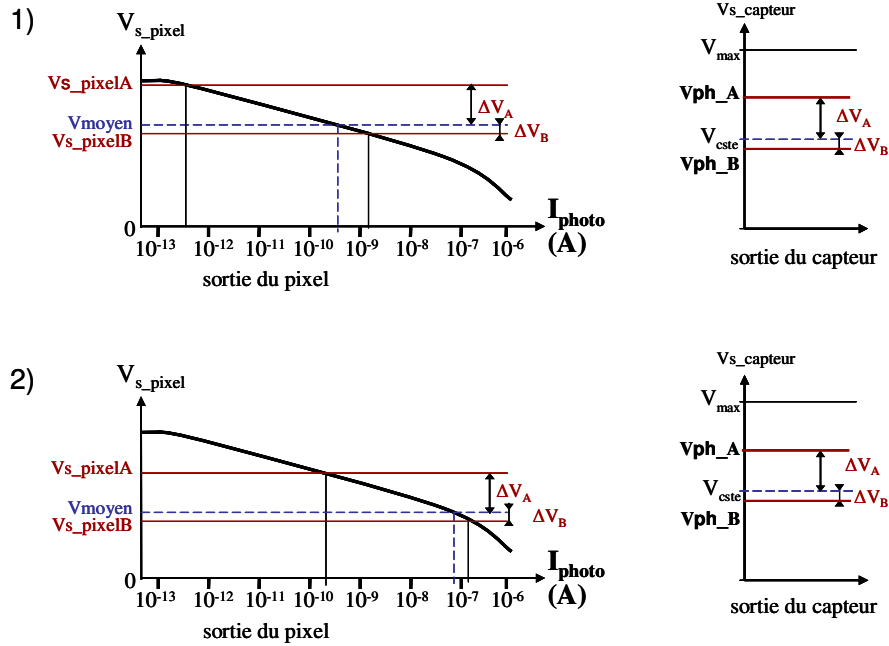


Figure 46 : Illustration de la sortie du pixel et celle du capteur pour deux pixels A et B, 1) pour une matrice faiblement éclairée, 2) pour une matrice fortement éclairée.

La dynamique d'entrée et de sortie du circuit amplificateur colonne, ainsi que la tension V_{cste} sont choisies de manière à conserver toute la dynamique de fonctionnement du pixel à compresseur logarithmique (Figure 47).

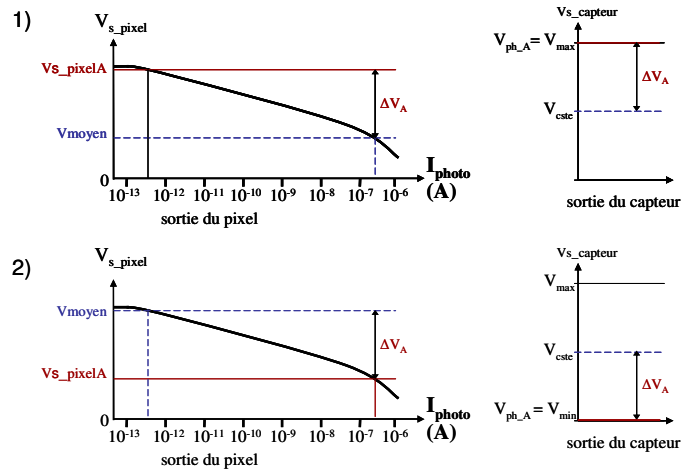


Figure 47 : Illustration de la dynamique de sortie du capteur

Avec ce système d'extraction des informations, pour une même scène, quelles que soient les conditions d'illumination, on obtient en sortie du capteur des tensions qui ne varient pas avec l'illumination. Ce système d'adaptation aux conditions lumineuses permet aussi de conserver toute la dynamique de fonctionnement offerte par l'architecture à compresseur logarithmique.

4.2 L'implémentation de sorties numériques

4.2.1 Les objectifs de ce capteur de vision

La chaîne de l'information est composée de trois étapes principales, illustrées Figure 48, à savoir la détection, effectuée grâce à la matrice de pixel, la conversion analogique numérique, effectuée par un convertisseur analogique numérique, puis le traitement du signal numérique, effectué en général par un processeur.

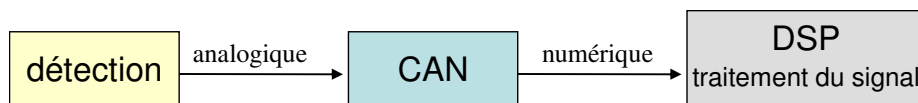


Figure 48 : Illustration de la chaîne du traitement de signal

Nous avons vu précédemment, dans le paragraphe 1.5, que la conversion analogique numérique peut s'effectuer au niveau du pixel, au niveau du circuit amplificateur colonne, ou en sortie du capteur [Pain94]. La plupart des capteurs de vision utilisent un seul convertisseur, intégré sur la même puce. Cette approche présente l'avantage d'être simple et de pouvoir intégrer un convertisseur standard. Mais avec l'accroissement du nombre de pixels, pour maintenir une même vitesse d'affichage, le CAN doit convertir plus rapidement, ce qui induit une plus grande consommation et une plus grande surface. L'implémentation du convertisseur au niveau du circuit amplificateur colonne permet d'atteindre des grandes vitesses d'affichage avec une faible consommation, toutes les colonnes effectuant la conversion de manière parallèle et peu rapide. Le principal défaut de cette approche est un fort bruit spatial fixe colonne à colonne, du fait de la non corrélation des convertisseurs de chaque colonne entre eux. L'implémentation de la conversion analogique numérique au sein des pixels permet de gagner en robustesse (avec des sorties numériques), en consommation et en vitesse mais au prix d'un pixel plus complexe et beaucoup plus large [Peizerat06].

L'approche que nous avons choisie consiste à intégrer une partie de la conversion au sein du circuit amplificateur colonne [Labonne05]. Cette approche permet de conserver un pixel de petite surface, d'implémenter un circuit colonne assez simple et peu consommant, et surtout de fournir des sorties numériques, donc robustes.

4.2.2 La conversion à approximations successives

Le convertisseur que nous avons choisi d'implémenter et d'intégrer en partie dans l'amplificateur colonne est un convertisseur de type à approximations successives. La partie intégrée au sein du circuit amplificateur colonne permet de générer deux signaux binaires. Cette nouvelle distribution de la conversion est illustrée Figure 49.

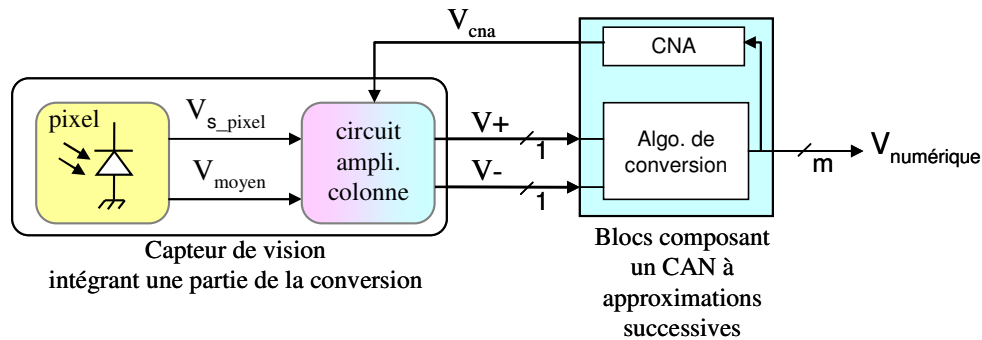


Figure 49 : Diagramme bloc de la chaîne de conversion implémentée dans notre capteur de vision et permettant de fournir deux sorties numériques.

Le circuit amplificateur colonne effectue une comparaison entre les informations fournies par le pixel et celles fournies par le CNA. A partir de cette comparaison, il génère deux signaux binaires, $V+$ et $V-$, codé chacun sur un bit. Ces deux signaux indiquent au bloc qui implémente l'algorithme de conversion à approximations successives comment faire évoluer la sortie numérique $V_{numérique}$. Cette sortie numérique $V_{numérique}$ est ensuite convertie en une tension analogique et renvoyée aux circuits amplificateurs colonne. Pour fournir une sortie numérique sur 8 bits, il faudra huit approximations successives.

Les deux signaux binaires générés par le circuit amplificateur colonne guident l'évolution de la sortie numérisée $V_{numérique}$:

- Lorsque $V+ = 1$ et $V- = 0$, la sortie $V_{numérique}$ augmente;
- Lorsque $V+ = 0$ et $V- = 1$, la sortie $V_{numérique}$ diminue;
- Lorsque $V+ = 0$ et $V- = 0$, la sortie $V_{numérique}$ reste stable;

4.2.3 Génération des deux tensions binaires

Le circuit amplificateur colonne a pour rôle de comparer la valeur $V_{numérique}$ reconvertie en tension analogique, à savoir la tension V_{cna} , à la tension à convertir, à savoir la sortie du pixel. Cette comparaison peut être menée par une paire différentielle. Des comparateurs à seuil permettent ensuite

de générer les signaux binaires à partir de la valeur de la sortie de la paire différentielle. Le diagramme bloc de circuit amplificateur colonne est illustré Figure 50

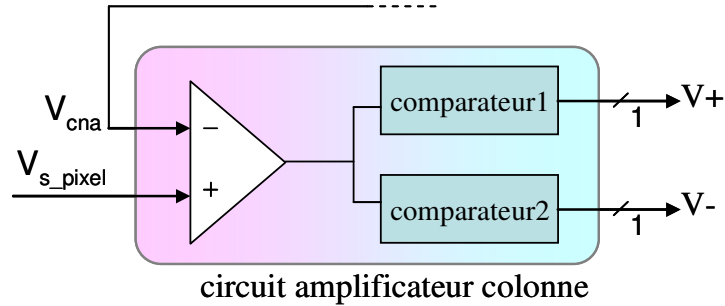


Figure 50 : Diagramme bloc du circuit amplificateur colonne

4.2.4 Génération des deux signaux binaires en tenant compte de l'adaptation aux conditions lumineuses

L'adaptation aux conditions lumineuses consiste à mesurer et coder non plus la sortie du pixel, mais la différence entre la sortie du pixel et la tension correspondant à l'illumination moyenne de la matrice. Pour obtenir cette différence, le circuit amplificateur colonne effectue l'opération décrite dans Équation 22. Puis pour convertir cette différence, il doit la comparer à la tension de sortie du CNA. L'opération finale effectuée par le circuit amplificateur colonne correspond donc à l'équation 23:

$$\text{Équation 23} \quad V_{s_AC} = [(V_{s_pixel} - V_{moyen}) + V_{cste}] - V_{cna}$$

Cette Équation 23, reformulée différemment, Équation 24, correspond à la sortie d'une double paire différentielle :

$$\text{Équation 24} \quad V_{s_AC} = (V_{s_pixel} + V_{cste}) - (V_{moyen} + V_{cna})$$

Cette double paire différentielle compare les quatre entrées à l'aide de 8 transistors (Figure 51).

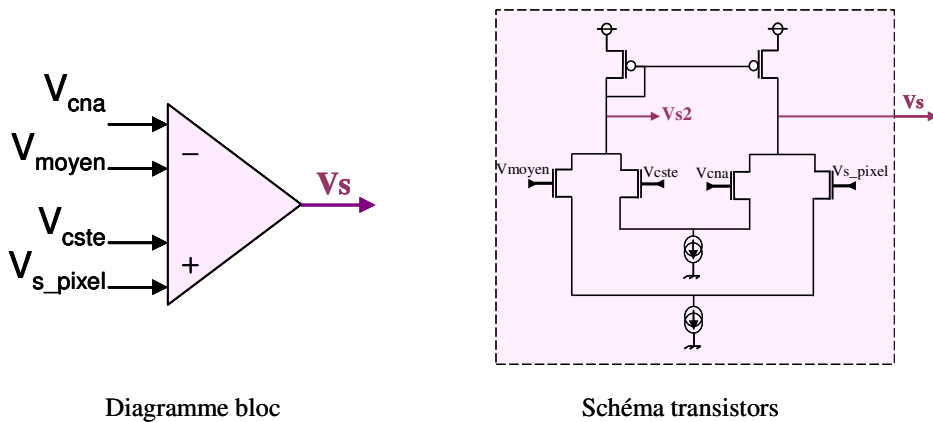


Figure 51 : Diagramme bloc et schéma transistors d'une double paire différentielle

De plus, afin de limiter le bruit spatial fixe colonne à colonne et pour être moins sensible aux variations de paramètres technologique, les comparateurs qui génèrent les deux signaux binaires vont exploiter les sorties différentielles de cette double paire différentielle (V_s et V_{s2}). Les comparaisons s'effectuant sur les sorties différentielles V_s et V_{s2} , elles ne sont pas sensibles aux décalages en tension induits par l'amplificateur différentiel (l'offset). Les sorties $V+$ et $V-$, de par leur nature binaire, ne souffrent pas de décalage en tension. Toutefois, ce montage est impacté par du bruit spatial fixe colonne à colonne induit par les dispersions de gain de l'amplificateur différentiel et des deux comparateurs.

Le diagramme bloc du circuit amplificateur colonne intégrant cette double paire différentielle est illustré Figure 52.

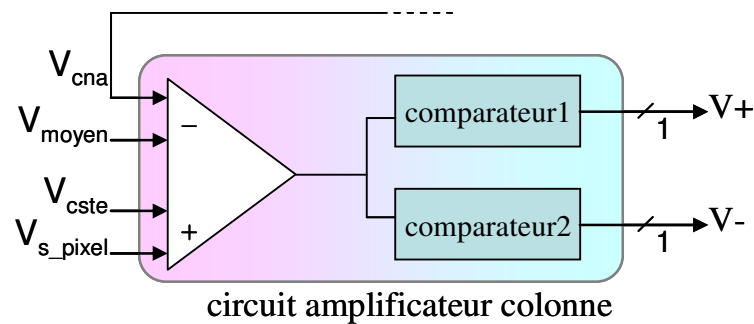


Figure 52: Diagramme bloc du circuit amplificateur colonne prenant en compte l'adaptation aux conditions lumineuses

La conversion analogique numérique que nous avons choisie est de type conversion par approximations successives. Ces approximations sont menées par des boucles successives, qui consistent à comparer les entrées, générer les deux signaux binaires et faire évoluer les huit bits de la sortie numériques. La nouvelle répartition géographique que nous avons implémentée consiste à effectuer une partie de la conversion au sein du circuit colonne. Cette répartition permet d'obtenir des tensions numériques en sortie du circuit colonne sans induire de surface ni de consommation supplémentaires par rapport à un CAN à approximation successive. Le circuit amplificateur colonne à sortie numérique permet aussi de mettre en œuvre l'adaptation aux conditions lumineuses présentée.

4.3 Conception de la matrice IMAGYNE3

La conception de cette matrice IMAGYNE3 a été menée au sein du laboratoire TIMA, avec la technologie CMOS standard $0.35\mu\text{m}$, 3.3V du fondeur Austriamicrosystems sous l'environnement de

simulation Cadence, avec l'interface Analog Artist, et le simulateur Spectre. Cette matrice, de 128 x 128 pixels et 128 amplificateurs colonne, s'intègre dans le circuit de test nommé IMAGYNE.

4.3.1 La chaîne de l'information

Ce capteur IMAGYNE3 est composé des différents blocs illustrés figure 39, à savoir :

- une matrice de pixels qui fournissent deux signaux : l'information sur l'illumination locale de chaque pixel V_{s_pixel} , et l'information sur l'illumination moyenne V_{ph_moyen} ;
- un circuit amplificateur colonne qui intègre une partie de la conversion analogique numérique et génère deux signaux numériques $V+$ et $V-$;
- un bloc qui exploite ces deux signaux numériques, génère le signal numérique sur huit bits et envoie au circuit amplificateur colonne la valeur analogique de ce signal final $V_{numérique}$.

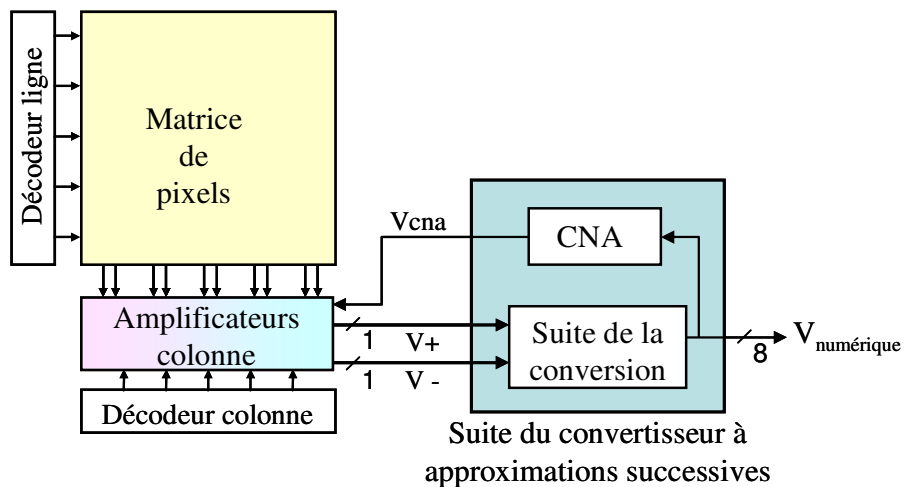


Figure 53 : Diagramme bloc du capteur à grande dynamique et à sortie numérique

Nous présentons maintenant leur conception de chaque bloc, des schémas transistors jusqu'au dessin des masques.

4.3.2 La matrice de pixel

4.3.2.1 Schéma

Pour atteindre une grande dynamique de fonctionnement, les pixels intègrent une architecture à compresseur logarithmique. Dans le but d'extraire l'information sur l'illumination moyenne, le compresseur logarithmique est divisé en deux branches, dont l'une est connectée à tous les autres

pixels, via le nœud commun V_{ph_moyen} (Figure 54). Les deux amplificateurs suiveurs composés par les transistors M5, M6 et M7, M8 ont dû être ajoutés pour isoler les nœuds V_{ph_moyen} et V_{ph_local} des perturbations dues à l'ouverture-fermeture des interrupteurs M10 et M12. Ces amplificateurs sont composés de deux transistors PMOS. Cette structure permet d'obtenir un bon gain, une consommation limitée et une bonne linéarité. Elle présente aussi l'avantage de ne pas nécessiter de tension de polarisation, ce qui permet d'économiser une entrée supplémentaire dans le pixel. Cette structure permet donc d'économiser un réseau de fils métalliques dans la matrice et ainsi de limiter la surface du pixel.

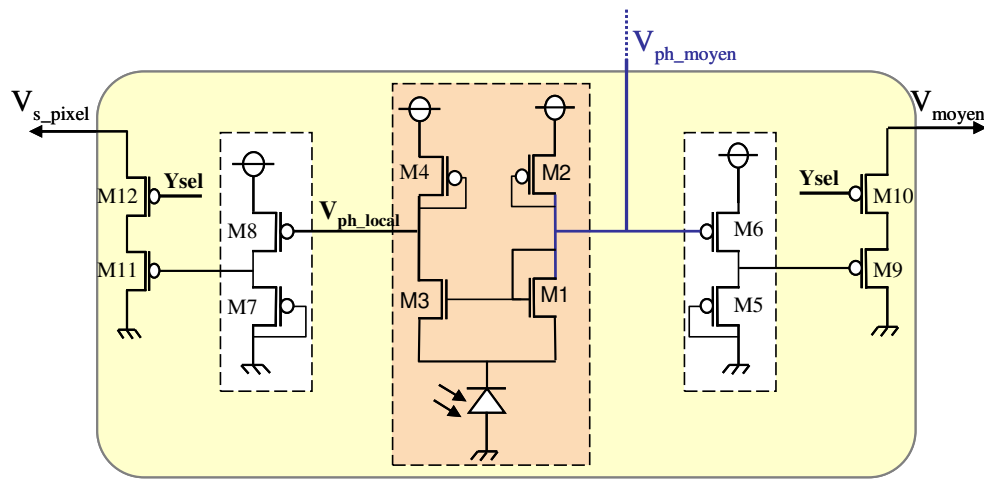


Figure 54 : Schéma du pixel à compresseur logarithmique et fournissant les informations relatives à l'illumination locale et moyenne

Le pixel compte une photodiode N+ - P et douze transistors. Il fournit deux sorties V_{s_pixel} et V_{moyen} , et un nœud commun à tous les pixels de la matrice V_{ph_moyen} .

La dynamique de fonctionnement obtenue par simulation est supérieure à 120dB, avec une dynamique de fonctionnement allant de 100fA à 400nA. Les sorties des pixels évoluent entre 1.9V et 2,3V suivant la valeur du courant photo généré I_{ph} , soit une dynamique de sortie supérieure à 400mV.

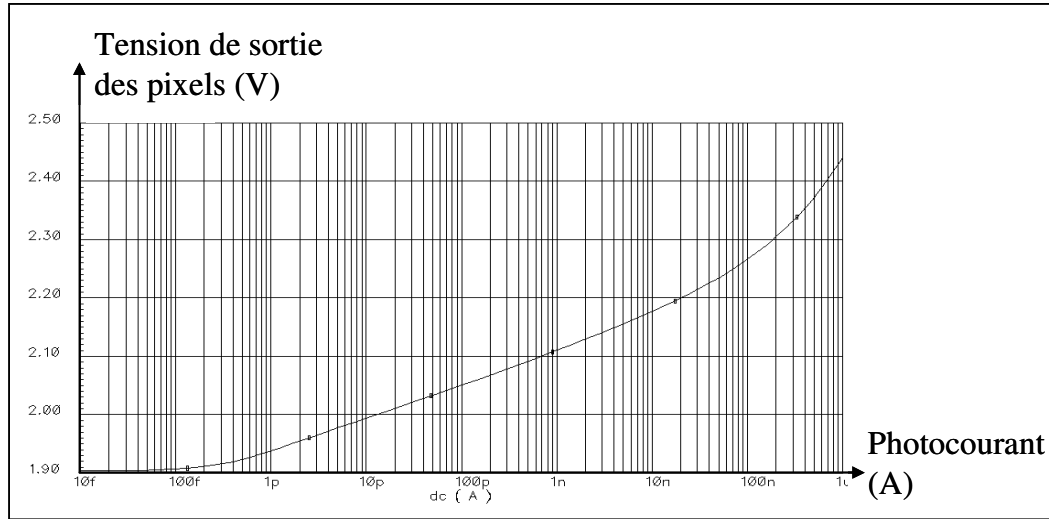


Figure 55 : Illustration de la dynamique de fonctionnement des pixels

La consommation des pixels varie avec la luminosité et correspond à $3 \times I_{ph}$. Lorsque les pixels sont sélectionnés, la consommation du pixel augmente de $3\mu A$.

4.3.2.2 Dessin des masques de ce pixel

Afin de pouvoir comparer ce capteur avec ceux intégrés au sein du circuit IMAGYNE, la photodiode intégrée à ce pixel est la même que celle des autres capteurs, à savoir une photodiode de type N+-P de $36\mu m^2$. Le dessin du pixel, illustré Figure 56, mesure $15\mu m \times 15\mu m$. Le facteur de remplissage est de 16%.

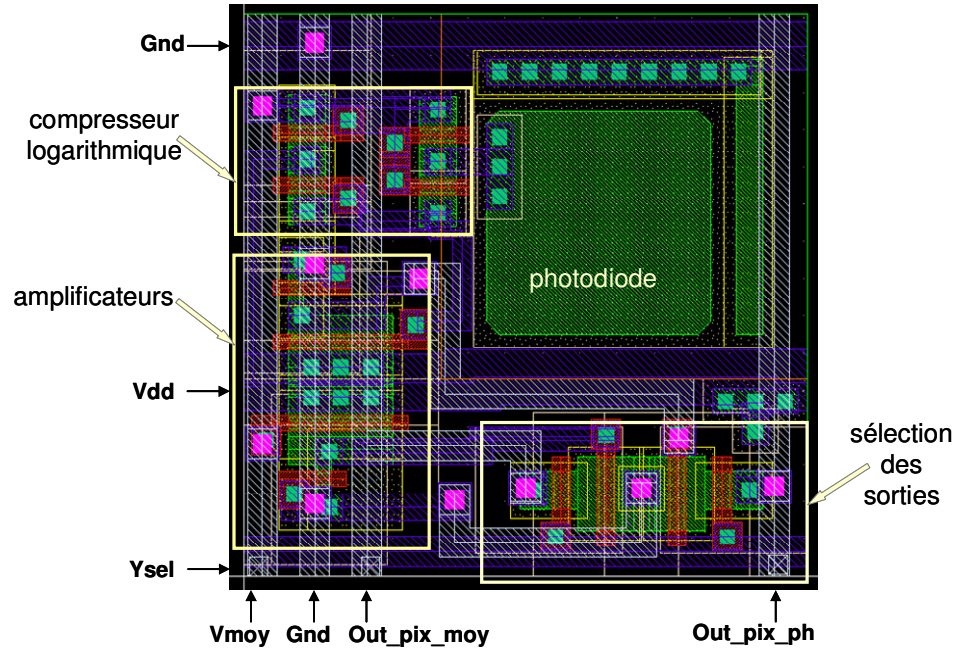


Figure 56 : Dessin des masques du pixel à compresseur logarithmique et à adaptation aux conditions lumineuses

4.3.3 L'amplificateur colonne

La spécificité de ce circuit amplificateur colonne est qu'il intègre une partie de la conversion analogique numérique. Il génère deux tensions numériques en sortie.

La Figure 57 illustre le schéma transistors du circuit amplificateur colonne implémenté. L'amplificateur colonne reçoit les signaux V_{s_pixel} et V_{moyen} fournis par les pixels, ainsi qu'une tension constante V_{cste} et la tension V_{cna} , tension fournie par le bloc de conversion. Au moyen d'une double paire différentielle, l'amplificateur effectue la comparaison décrite par l'Équation 24. Les sorties V_{s_1} et V_{s_2} de cette double paires différentielles sont ensuite exploitées par deux amplificateurs différentiels qui génèrent les deux sorties binaires $V+$ et $V-$.

Ce circuit amplificateur colonne compte vingt quatre transistors

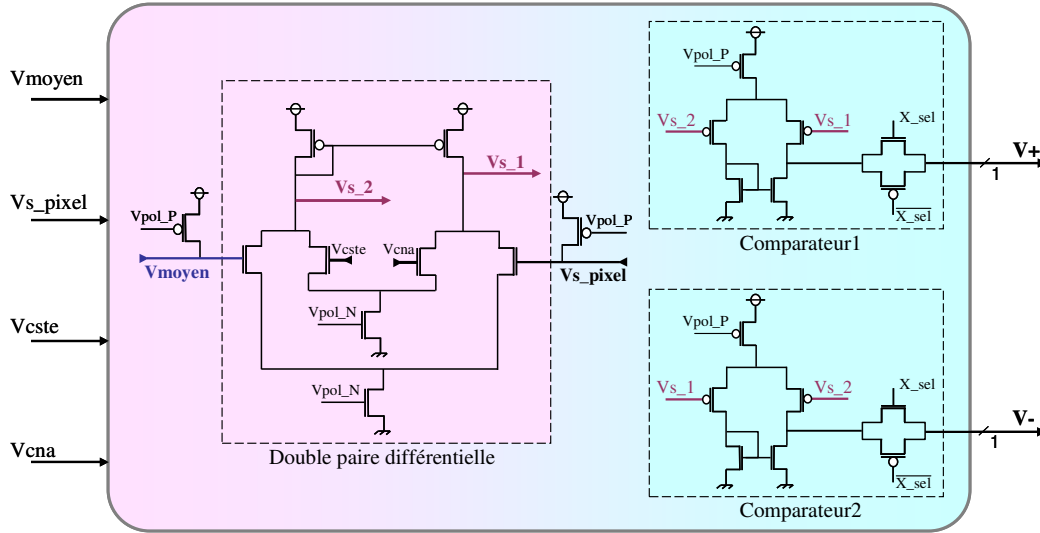


Figure 57 : Schéma transistors du circuit amplificateur colonne intégrant une partie de la conversion numérique

La consommation de ce circuit est de $60 \mu\text{A}$. L'amplificateur colonne fournit le courant de polarisation des sorties des pixels. La double paire différentielle fonctionne avec deux courants de polarisation de $15 \mu\text{A}$. Chacun des comparateurs fonctionne avec un courant de polarisation de $10 \mu\text{A}$.

Le dessin des masques de ce circuit mesure $15 \mu\text{m} \times 63 \mu\text{m}$. Malgré un nombre plus important de transistors que les amplificateurs colonne standard, le circuit amplificateur colonne que nous avons implémenté présente une petite surface. En effet, la méthode de réduction de bruit NCDS n'étant pas implémentée au sein de ce circuit, il n'intègre pas les capacités d'échantillonnage et stockage, ce qui permet d'économiser de la surface.

4.3.4 La séquence de lecture

Les simulations transitoires (Figure 58 et Figure 59) illustrent le comportement des deux sorties numériques du capteur, avec les huit approximations successives de la conversion. Ces deux sorties binaires, $V+$ et $V-$ définissent l'évolution de la sortie du CAN. Pour la première approximation, la tension renvoyée par le CNA, V_{cna} , est fixée égale à la tension V_{cste} . Dès la deuxième approximation, la sortie numérique $V_{numérique}$ va évoluer, en augmentant ou diminuant de 250mV (la moitié de la dynamique de sortie de V_{s_pixel}). Avec la troisième approximation, $V_{numérique}$ évolue de 125mV , etc... Les huit approximations successives permettent d'atteindre une précision de 2mV . Les Figure 58 et Figure 59 illustrent le résultat du système d'adaptation aux conditions lumineuses de ce capteur. Dans les deux cas, les pixels reçoivent une illumination plus sombre que l'illumination moyenne de la matrice ($V_{s_pixel} < V_{moyen}$). Par contre, le cas illustré Figure 59 retranscrit une scène plus lumineuse, les deux tensions V_{s_pixel} et V_{moyen} sont plus hautes. Dans les deux cas, les approximations successives permettent de générer des sorties $V+$ et $V-$ identiques et donc une sortie $V_{numérique}$ identique.

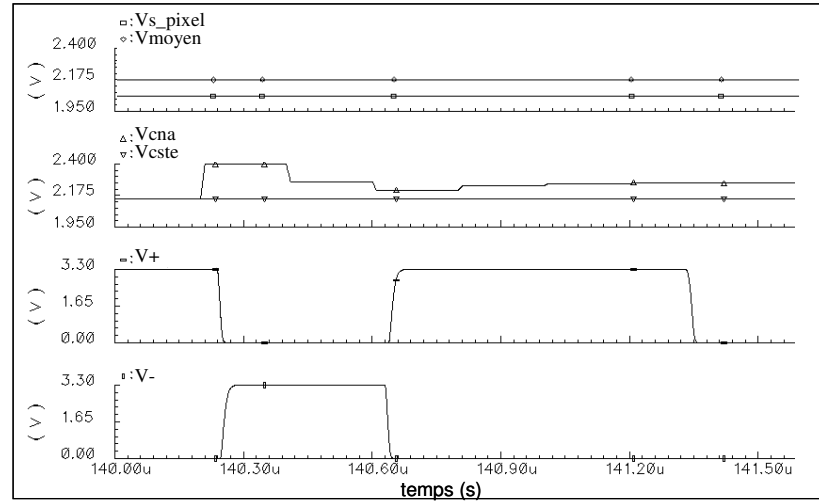


Figure 58 : Illustration du comportement des sorties $V+$ et $V-$ durant les huit approximations successives, permettant de calculer $(V_{s_pixel} - V_{moyen})$ dans le cas d'une scène peu lumineuse.

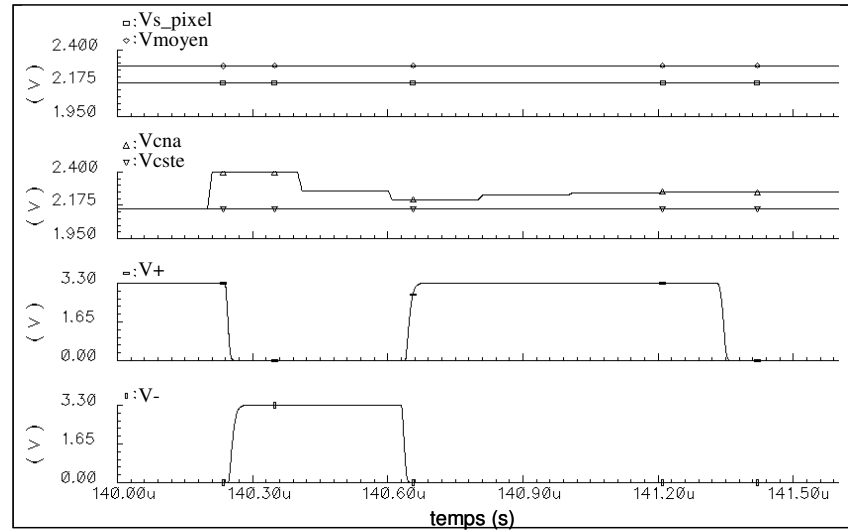


Figure 59 : Illustration du comportement des sorties $V+$ et $V-$ durant les huit approximations successives, permettant de calculer $(V_{s_pixel} - V_{moyen})$ dans le cas d'une scène plus lumineuse

4.4 Conclusion

Ce chapitre nous a permis de présenter la conception d'un capteur de vision à grande dynamique, implémentant une adaptation aux conditions lumineuses et deux sorties numériques.

L'architecture à compresseur logarithmique du pixel permet d'atteindre une grande dynamique de fonctionnement.

L'adaptation aux conditions lumineuses permet d'obtenir des images similaires d'une scène soumise à des illuminations différentes. Cette adaptation consiste à mesurer la différence entre l'illumination locale de chaque pixel et l'illumination moyenne de la matrice. Chaque pixel fournit donc ces deux informations, qui sont ensuite soustraites au sein du circuit amplificateur colonne. L'information en sortie des amplificateurs colonnes n'est donc plus sensible à l'influence de l'illumination moyenne de la matrice.

Cette information est ensuite convertie en numérique. La conversion est effectuée grâce à un CAN à approximations successives, dont une partie est intégrée au sein même de l'amplificateur colonne. Cette nouvelle répartition géographique de la conversion permet d'obtenir deux sorties binaires en sortie du circuit amplificateur colonne.

Un capteur, IMAGYNE3, a été conçu en technologie CMOS standard 0.35 μm , 3.3V fournie par AMS. La matrice compte 128 x 128 pixels et 128 amplificateurs colonne. Les pixels implémentés comptent 12 transistors, mesurent 15 μm x 15 μm et présentent un facteur de remplissage de 16%. Le circuit amplificateur colonne compte 24 transistors et mesure 15 μm x 64 μm .

Le Tableau 6 permet de comparer les performances du capteur IMAGYNE3 par rapport aux travaux effectués dans ce domaine.

Auteur	technique	dynamique	vitesse de lecture	bruit spatial fixe	transistors par pixel	taille du pixel (μm^2)	techno	facteur de remplissage
[Loose01]	Log	120dB	50fps	3,80%		24 x 24	0,6 μ	30%
[Kavadias00]	Log	120dB	30fps	2,50%	6	7,5 x 10	0,5 μ	
[Hamamoto01]	adaptation	56dB	60fps	0,50%	17	85 x 85	1 μ	14%
[Yadid-Pecht03]	adaptation	70dB		0,12%	4	14,4 x 14,4	0,5 μ	37%
[Fish05]	adaptation	105dB	30fps			18 x 18	0,35 μ	15%
IMAGYNE3	log + adaptation	120dB (théorie)	30fps (théorie)		12	15 x 15	0,35 μ	16%

Tableau 6 Tableau comparatif

Par rapport aux travaux présentés pour augmenter la dynamique de fonctionnement des capteurs de vision, le capteur IMAGYNE3 combine deux techniques, les pixels dits à compresseur logarithmique et l'adaptation aux conditions lumineuses. La dynamique de fonctionnement espérée est du même ordre de grandeur que celles présentées par [Loose01] et [Kavadias00]. Le pixel implémenté intègre un nombre assez important de transistors par rapport aux pixels présentés par [Kavadias00] et [Yadid-Pecht03], mais moins que [Hamamoto01]. Malgré ce nombre important de transistors, la surface de notre pixel reste petite (seul le pixel présenté par [Kavadias00] est plus petit) et le facteur de remplissage standard (seuls les pixels de [Loose01] et [Yadid-Pecht03] présentent un meilleur facteur de remplissage). Cette étude a été mise en valeur dans deux publications, une nationale, [Labonne05] et une internationale [Labonne06_1].

CONCLUSION DE CETTE PARTIE 1

Cette partie intitulée « Conception des capteurs de vision » nous a permis de présenter le projet européen PICS dans lequel nous nous sommes impliqués. Ce projet européen avait pour objectif la conception d'une plateforme programmable à base d'imageur CMOS, destiné aux applications de sécurité automobile et de surveillance. Nous sommes intervenus dans ce projet au niveau de la conception de l'imageur CMOS, en collaboration avec la société Atmel-Grenoble (devenu e2v). La principale spécification de cet imageur était d'obtenir un imageur présentant une grande dynamique de fonctionnement, supérieure à 100dB.

Dans le but d'obtenir cette grande dynamique de fonctionnement, nous avons exploré trois axes de recherche, et conçus différents imageurs.

Le premier axe de recherche a été l'exploitation de l'architecture logarithmique. Cette architecture permet d'obtenir une grande dynamique de fonctionnement mais présente un fort bruit spatial fixe. Un premier imageur a été conçu, en collaboration avec Atmel-Grenoble, implémentant une méthode de réduction de bruit et un mode de capture instantanée. La méthode de réduction de bruit consiste à calibrer chaque pixel grâce à une tension de référence interne au pixel. Une soustraction entre ce niveau de référence et le niveau correspondant à l'illumination du pixel permet de s'affranchir en partie du bruit spatial fixe pixel à pixel. Le mode de capture instantané consiste en un interrupteur et une mémoire analogique au sein du pixel. Un circuit de 240×32 pixels a été fabriqué au sein de la société Atmel-Grenoble, en technologie CMOS standard $0.18\mu\text{m}$. Le pixel mesure $10\mu\text{m} \times 10\mu\text{m}$ et présente un facteur de remplissage de 20%.

Une étude sur la méthode de réduction de bruit a ensuite été menée au sein du laboratoire TIMA. Cette étude a permis la mise en place d'une nouvelle implémentation de cette méthode de calibration et de comparer leurs performances respectives en terme de réduction de FPN pixel. Un deuxième circuit implémentant la nouvelle méthode de calibration a été fabriqué en technologie CMOS standard $0.35\mu\text{m}$ de AMS, intégrant une matrice de 128×128 pixels à compresseur logarithmique. Ce circuit, baptisé IMAGYNE1, comprend des pixels de $10\mu\text{m} \times 10.6\mu\text{m}$, qui présentent un facteur de remplissage 34%.

Un deuxième axe de recherche pour obtenir un capteur à grande dynamique de fonctionnement a concerné les imageurs à temps d'intégration. Le principe d'adaptation aux conditions lumineuses a été exploité et a permis la mise en place d'un capteur dont le temps d'intégration dépend de l'illumination moyenne de la matrice. Lorsque l'illumination moyenne de la matrice est élevée, le temps d'intégration est choisi court, et inversement, quand l'illumination moyenne est faible, le temps d'intégration est choisi plus long. La mise en œuvre de cet asservissement nécessite l'extraction de l'information « illumination moyenne de la matrice » afin de fixer le temps d'intégration. Une étude a

été menée pour définir l'implémentation optimum de cette méthode. L'implémentation de deux matrices imbriquées, l'une fournissant l'information sur l'illumination locale et l'autre sur l'illumination moyenne a été préférée à l'implémentation d'une matrice unique fournissant les deux informations. Un circuit a été conçu en technologie CMOS standard 0.35 μ m fourni par AMS. Ce circuit, baptisé IMAGYNE2, intègre les deux matrices imbriquées, une matrice de 128 x 128 pixels à intégration, et une matrice de 64 x 64 pixels à compresseur logarithmique. Ces pixels sont dessinés de manière à s'imbriquer, ce qui permet d'obtenir des pixels à intégration de 12 μ m x 12 μ m, avec un facteur de remplissage de 25%.

Le troisième axe de recherche que nous avons exploré a été la combinaison de deux précédentes études, à savoir la combinaison des pixels à compresseur logarithmique avec la méthode de l'adaptation aux conditions lumineuses. L'architecture à compresseur logarithmique permet d'obtenir une grande dynamique de fonctionnement, et l'adaptation aux conditions lumineuses permet aux pixels de s'affranchir des variations de luminosité. Ce capteur de vision présente aussi des sorties binaires. Cette caractéristique, garantissant des sorties robustes et moins sensibles aux bruits, est obtenue grâce à une répartition originale du convertisseur analogique numérique à approximations successives, au sein du circuit amplificateur colonne. Un circuit, baptisé IMAGYNE3, a été fabriqué en technologie CMOS standard 0.35 μ m de AMS. Une matrice 128 x 128 pixels ainsi que leur amplificateurs colonne a été implémenté. Les pixels mesurent 15 μ m x 15 μ m et présentent un facteur de remplissage de 16%.

Un tableau récapitulatif des capteurs de vision fabriqués est présenté ci-dessous et résume leurs caractéristiques respectives tels que leurs architectures, la technologie employée, la taille des matrices, les caractéristiques des pixels et la taille des circuits amplificateurs colonne.

Capteur	Spécificités du capteur pour obtenir une grande dynamique	Techno CMOS	Matrice (pixels)	Pixel	AC (μ m ²)
PICS	Pixels dit à compresseur logarithmique Réduction du FPN pixel par une méthode de calibration (référence haute) Implémentation d'un mode de capture instantanée	0,18 μ m 3,3V	32 x 240	7 PMOS + 1 capa photodiode N+ - P, 19,6 μ m ² 10 μ m x 10 μ m FF = 20%	
IMAGYNE1	Pixels dit à compresseur logarithmique Réduction du FPN pixel par une méthode de calibration (référence basse)	0,35 μ m 3,3V	128 x 128	4 PMOS photodiode N+ - P, 36 μ m ² 10 μ m x 10,6 μ m FF = 33%	10,6 x 429
IMAGYNE2	Pixels à temps d'intégration variable Asservissement du temps d'intégration aux conditions lumineuses Extraction des conditions lumineuses via une 2ème matrice imbriquée	0,35 μ m 3,3V	128 x 128 + 64 x 64	3 PMOS photodiode N+ - P, 36 μ m ² 12 μ m x 12 μ m FF = 25%	12 x 445
IMAGYNE3	Pixels dit à compresseur logarithmique Adaptation aux conditions lumineuses Sorties de l'AC numériques	0,35 μ m 3,3V	128 x 128	12 MOS photodiode N+ - P, 36 μ m ² 15 μ m x 15 μ m FF = 16%	15 x 63

Tableau 7 Récapitulatif des capteurs de vision fabriqués

PARTIE 2

CARACTÉRISATION DES CAPTEURS DE VISION

Les études menées au sein du projet européen PICS ont conduit à la conception de quatre capteurs de vision à grande dynamique et à la fabrication de deux circuits de test.

Le premier circuit intègre le capteur baptisé PICS, à base de pixel à compresseur logarithmique et à mode de capture instantané. Il a été fabriqué en collaboration avec Atmel-Grenoble, intégré à un de leur circuit de test, en technologie CMOS standard 0.18 μ m. Il a été testé au sein de leur laboratoire de test et a ainsi bénéficié de leur environnement de test.

Le deuxième circuit, baptisé IMAGYNE, intègre le capteur IMAGYNE1, à base de pixel à compresseur logarithmique, le capteur IMAGYNE2, à base de capteur à intégration, et le capteur IMAGYNE3, à base de pixels à compresseur logarithmique et à sorties binaires. Il a été fabriqué en technologie CMOS standard 0.35 μ m d'AMS. Le test de ce circuit a nécessité la mise en place d'un environnement de test au sein du laboratoire TIMA.

Cette partie permet de décrire l'architecture de chacun de ces circuits de test, leurs environnements de test respectifs, puis de présenter et commenter les résultats des tests.

Chapitre 5

DESCRIPTION DES ENVIRONNEMENTS DE TEST

Ce chapitre a pour but de présenter les deux circuits de test, le circuit PICS et le circuit IMAGYNE, ainsi que leurs environnements de test.

5.1 Environnement de test du circuit PICS

5.1.1 Architecture du circuit de test

Le capteur de vision réalisé au sein de la société Atmel-Grenoble a été intégré à l'un de leur circuit de test. Ce circuit a été réalisé en technologie CMOS standard 0.18 μ m, 3,3V et a été fabriqué. Le circuit PICS intègre une matrice de 240 x 32 pixels et un circuit d'amplification par colonne.

L'architecture du circuit de test ainsi que la liste de toutes les entrées/sorties de ce capteur sont illustrées sur la Figure 60.

Les signaux de commande des pixels sont générés par le décodeur ligne. Les circuits amplificateurs colonne sont pilotés par le décodeur colonne. Les signaux de commandes des décodeurs, qui permettent de piloter la lecture de la matrice de pixels, sont générés à l'extérieur du circuit de test. Toutes les tensions de polarisation sont elles aussi générées à l'extérieur du circuit de test. Les deux sorties V_{s_ph} et V_{s_cal} sont ensuite extraites du capteur pour être mises en forme, enregistrées et affichées.

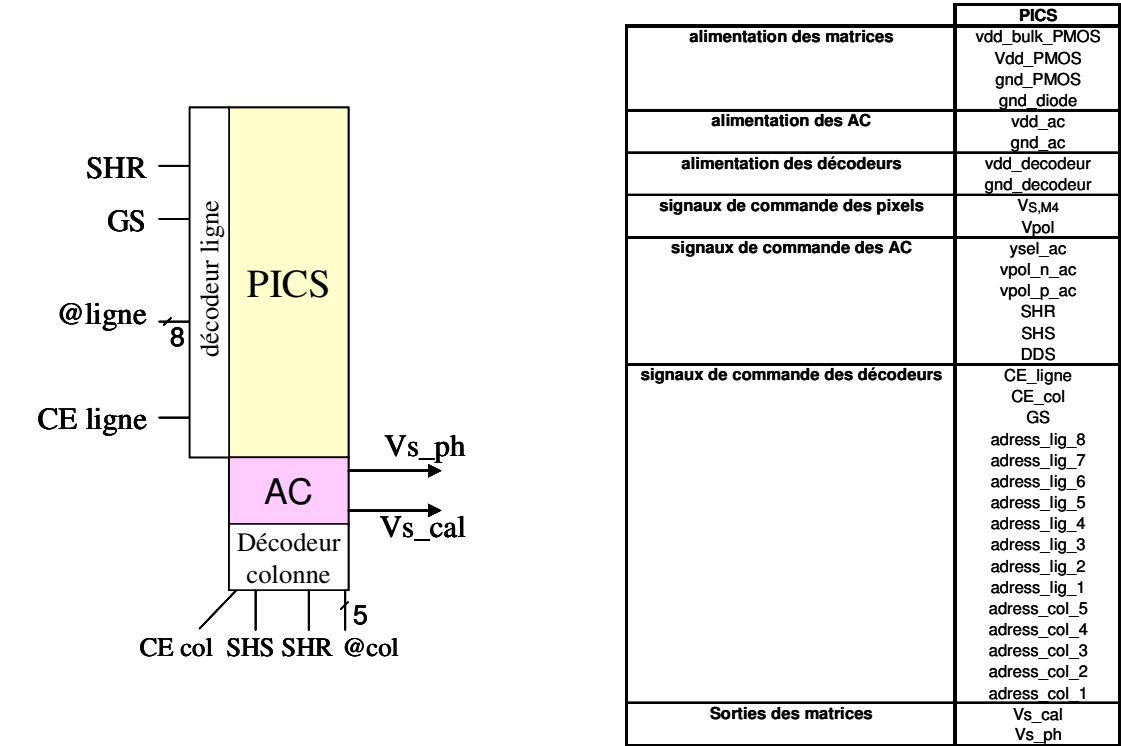


diagramme bloc du circuit de test

Liste des entrées / sorties du circuit de test

Figure 60 : Diagramme bloc du circuit de test PICS et ses entrées/sorties

5.1.2 L’environnement de test du circuit PICS

Pour tester le capteur de vision, la société Atmel-Grenoble a mis à notre disposition un banc de test pour effectuer la caractérisation du capteur PICS. Ce banc de test est composé de plusieurs éléments :

- Un banc optique;
- Une carte analogique qui accueille le circuit de test et génère les tensions de polarisation,
- Un carte numérique qui s’interface avec la carte analogique;
- Une alimentation;
- Un PC, qui via le logiciel Labview, automatise les mesures en pilotant la carte numérique, centralise les données et permet leur exploitation;

Ces différents éléments sont illustrés Schémament Figure 61.

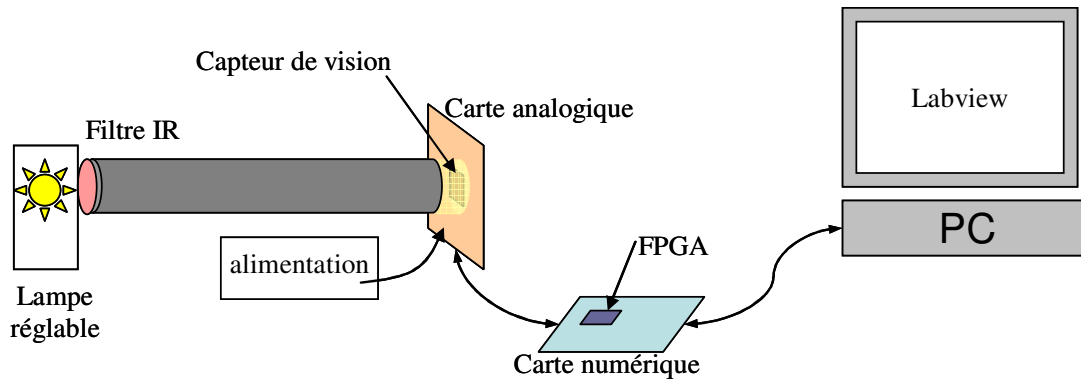


Figure 61 : Représentation Schéma de l'environnement de test

Pour tester le capteur PICS, nous avons eu accès au réglage manuel des tensions de polarisation sur la carte analogique ainsi qu'au choix de quelques paramètres accessibles via le logiciel Labview, tels que la vitesse d'acquisition des données, la gestion des temps d'intégration, etc.

5.1.3 Conclusion sur l'environnement de test du circuit PICS

Nous venons de voir la mise en œuvre du circuit PICS, dont nous avons détaillé l'architecture ainsi que les différents signaux d'entrée/sortie. Nous avons aussi présenté l'environnement de test de ce circuit, mis à disposition par Atmel-Grenoble. Le circuit de test, intégré au sein d'une carte analogique, est piloté par différents signaux générés par une carte numérique. Les données issues du capteur sont ensuite exploitées et rendues accessibles par le logiciel Labview. La caractérisation de ce circuit et les résultats de test sont présentés dans le chapitre suivant, le chapitre 6.

5.2 Environnement de test du circuit IMAGYNE

5.2.1 Architecture du circuit de test

Le capteur de vision IMAGYNE conçu au sein du TIMA a été réalisé en technologie CMOS standard 0.35 μ m, 3,3V, et fabriqué par le fondeur AMS, via le CMP.

Ce capteur intègre quatre capteurs de vision, à savoir :

- une matrice de pixels à intégration standard, qui va servir de matrice étalon afin de pouvoir comparer les performances des capteurs implémentés (les photodiodes des quatre capteurs ont la même surface afin de pouvoir comparer les performances des architectures de pixels) ;
- le capteur IMAGYNE1, qui intègre une matrice de pixels à compresseur logarithmique ;

- le capteur IMAGYNE2, composé de deux matrices imbriquées, l'une de 128 x 128 pixels à intégration et l'autre de 64 x 64 pixels à compresseur logarithmique ;
- le capteur IMAGYNE3, qui intègre une matrice de pixels à compresseur logarithmique et à adaptation aux conditions lumineuses, et dont les amplificateurs colonne fournissent des tensions binaires.

Ces capteurs sont composés de leur matrice, leurs circuits amplificateur colonne (nommés AC sur la figure) ainsi que de leur décodeurs colonne et des décodeurs ligne qui génèrent les signaux de commande des matrices. Le diagramme bloc de ce circuit de test IMAGYNE est illustré Figure 62.

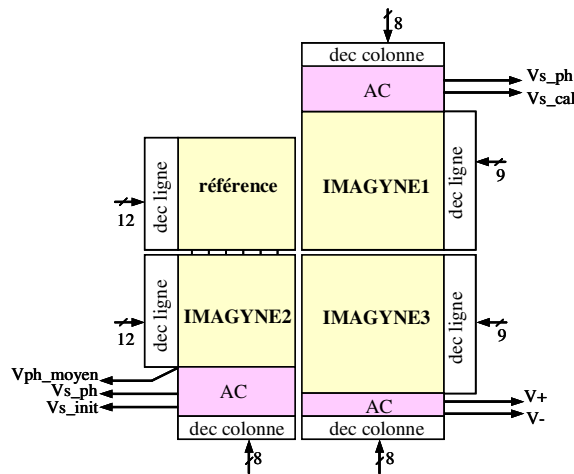


Figure 62 : Diagramme bloc du cœur du circuit de test

5.2.1.1 Le capteur « référence » :

L'objectif de ce capteur est de fournir une image de référence, afin de pouvoir comparer les performances des différents capteurs à cette matrice.

Cette matrice est composée de 128 x 128 pixels à intégration standard. Ces pixels à intégration présentent la même architecture et le même fonctionnement que les pixels à intégration de la matrice « IMAGYNE2 ». Ils sont composés de trois transistors NMOS et d'une photodiode N+-P de 36 μ m².

Afin d'économiser de la surface silicium, les deux matrices, « référence » et « IMAGYNE2 », se partagent les circuits amplificateurs colonne. Ces circuits amplificateurs colonne nécessitent plusieurs signaux pour fonctionner, notamment les polarisations des amplificateurs PMOS et NMOS, et les signaux de commande d'échantillonnage stockage SHS et SHR, et de commande de court-circuit des amplificateurs pour effectuer la méthode de réduction de bruit DDS.

Le décodeur ligne de cette matrice reçoit un bit de mise en service CE (« Chip Enable »), le signal d'initialisation des pixels (SHR), trois bits qui encodent le temps d'intégration à appliquer aux pixels et les sept bits d'adresse permettant d'adresser les 128 lignes de pixels. Il génère ensuite le signal de sélection de ligne de pixels, $Y_{sel}(i)$ et le signal d'initialisation des pixels $V_{init}(i)$ pour chaque ligne de pixel.

Le décodeur colonne reçoit un bit de mise en service, ainsi que les sept bits d'adresse permettant d'adresser les 128 colonnes. Il génère les signaux de commande $X_{sel}(j)$, ce qui permet de multiplexer les sorties des amplificateurs colonne vers deux bus de sortie V_{s_ph} et V_{s_init} .

5.2.1.2 Le capteur « IMAGYNE1 » :

Le capteur IMAGYNE1 a pour but d'atteindre une grande dynamique de fonctionnement grâce à des pixels à compresseur logarithmique, et de générer une image dont le FPN est réduit grâce à une méthode de calibration améliorée. Ce capteur est composé d'une matrice de 128 x 128 pixels à compresseur logarithmique, dont la conception est présentée dans le chapitre 2.7. Ces pixels intègrent quatre transistors PMOS et une photodiode N+P de $36\mu\text{m}^2$.

Les amplificateurs colonnes de cette matrice sont deux des amplificateurs colonne des matrices « référence » et « IMAGYNE2 ». Ils reçoivent les sorties des pixels V_{s_pixel} et échantillonnent et stockent successivement la valeur correspondant à l'illumination et celle correspondant à la calibration. Après amplification, ces circuits amplificateurs colonne fournissent les deux sorties V_{s_ph} et V_{s_cal} . Pour fonctionner, ces circuits reçoivent les signaux de commande SHR, SHS et DDS, et les amplificateurs sont polarisés par les tensions V_{pol_N} et V_{pol_P} .

Le décodeur ligne de ce circuit génère les signaux de commande $Y_{sel}(i)$ et $V_{cal}(i)$ pour chaque ligne de pixel. Le décodeur colonne multiplexe les sorties des amplificateurs colonne vers les bus de sortie. Il génère les signaux de commande $X_{sel}(j)$.

5.2.1.3 Le capteur « IMAGYNE2 » :

Le capteur IMAGYNE2 est l'imageur dont la conception est présentée dans le chapitre 3. Le but de ce capteur est d'atteindre une grande dynamique de fonctionnement en utilisant un système d'adaptation aux conditions lumineuses. Il est composé de deux matrices imbriquées l'une dans l'autre. L'une de ces matrices fournit en permanence la tension V_{ph_moyen} correspondant à l'illumination moyenne de la matrice. Cette information, une fois numérisée, est utilisée par le décodeur ligne pour délimiter le temps d'intégration des pixels de la deuxième matrice, correspondant à des pixels à intégration standard. Ces pixels à intégration sont composés de trois transistors NMOS et d'une photodiode N+P de $36\mu\text{m}^2$. La sortie de ces pixels est ensuite

échantillonnée, stockée et amplifiée par les circuits amplificateurs colonne. Ces circuits sont les mêmes que ceux de la matrice REFERENCE.

Les décodeurs ligne permettent de sélectionner la matrice opérationnelle. Si le décodeur ligne de la matrice REFERENCE est mis en service ($CE = 1$), alors seule la matrice REFERENCE est opérationnelle et fournit ses sorties aux amplificateurs colonne. Inversement, si le décodeur ligne de la matrice IMAGYNE2 est sélectionné, les amplificateurs colonne reçoivent les signaux de cette matrice IMAGYNE2. Les deux décodeurs ligne ne peuvent pas être sélectionnés en même temps.

Ces deux matrices se partagent les circuits amplificateurs colonne ainsi que le décodeur colonne. Quelle que soit la matrice opérationnelle, le décodeur colonne fonctionne de la même manière.

5.2.1.4 Le capteur « IMAGYNE3 » :

Le capteur IMAGYNE3, dont la conception est détaillée dans le chapitre 4, a pour but de présenter une grande dynamique de fonctionnement, une adaptation aux conditions lumineuses et d'intégrer une partie de la conversion analogique numérique. Le capteur est composé d'une matrice de 128×128 pixels, de 128 circuits amplificateurs colonne qui génèrent des tensions binaires, ainsi que d'un décodeur ligne et un décodeur colonne. La suite de la conversion analogique numérique est implémentée dans un FPGA, à l'extérieur du circuit de test.

L'architecture des pixels de cette matrice, présentée dans le chapitre 4, comprend 12 transistors et une photodiode N+-P de $36\mu\text{m}^2$. Ils fournissent deux signaux analogiques, V_{s_pixel} et V_{moyen} aux circuits amplificateurs colonne. Ces circuits permettent d'effectuer l'adaptation aux conditions lumineuses en effectuant la différence de ces tensions. Ils intègrent aussi une partie d'un convertisseur analogique numérique à approximations successives. Ils fournissent ainsi deux tensions binaires $V+$ et $V-$, générées à partir de la comparaison entre le signal à coder et le signal fourni par le CNA.

Les décodeurs ligne et colonne permettent de sélectionner ce capteur ainsi que de cadencer la lecture de la matrice de pixel. Tous les décodeurs de ce circuit de test ont été décrits en VHDL, puis synthétisés, placés et routés grâce au logiciel SocEncounter, de la suite Cadence.

5.2.1.5 Les buffers de sortie :

Toutes les sorties des capteurs sont ensuite amplifiées par des buffers. Ils permettent de fournir un courant important nécessaire pour charger les plots de sortie du circuit.

5.2.1.6 La couronne de plots

Les différentes entrées/sorties de ce circuit de test sont détaillées dans le tableau suivant, classées par capteurs, et par bloc (matrice, amplificateur, décodeur).

	REFERENCE		IMAGYNE2	IMAGYNE1	IMAGYNE3	Décodeur et buffer	
alimentation des matrices	vdd_référence	gnd_référence	vdd_imagyne2	gnd_imagyne2	vdd_bulk_imagyne1 vdiode_imagyne1 gnd_imagyne1 gnd_diode_imagyne1	vdd_imagyne3 gnd_imagyne3	vdd_dec_bloc1 vdd_dec_bloc2 gnd_dec_bloc1 gnd_dec_bloc2
alimentation des AC	vdd_ac_imagyne2 gnd_ac_imagyne2		vdd_ac_imagyne1 gnd_ac_imagyne1	vdd_ac_imagyne3 gnd_ac_imagyne3	vpol_buff vdd_buff gnd_buff		
signaux de commande des AC	Ysel_ac_imagyne2 vpol_n_ac_imagyne2 vpol_p_ac_imagyne2 shr_ac_imagyne2 shs_ac_imagyne2 dds_ac_imagyne2		ysel_ac_imagyne1 vpol_n_ac_imagyne1 vpol_p_ac_imagyne1 shr_ac_imagyne1 shs_ac_imagyne1 dds_ac_imagyne1	vpol_n_ac_imagyne3 vpol_p_ac_imagyne3 Vcste Vcna			
Sélection des décodeurs	CE_ligne_imagyne2		CE_ligne_imagyne1 CE_col_imagyne1	CE_ligne_imagyne3 CE_col_imagyne3	address_lig_7 address_lig_6 address_lig_5 address_lig_4 address_lig_3 address_lig_2 address_lig_1		
	CE_col_référence	CE_ligne_imagyne2					
	t0						
	t1						
Sorties des matrices	Vs_cal Vs_ph Vs_moyen		Vs_cal_imagyne1 Vs_ph_imagyne1	V+ V-	address_col_7 address_col_6 address_col_5 address_col_4 address_col_3 address_col_2 address_col_1		

Tableau 8 : Liste des entrées/soties du circuit de test IMAGYNE

Le circuit de test nécessite ainsi au minimum 70 entrées sorties, plus les plots d'alimentation des plots eux mêmes. Nous avons choisi un boîtier de type JLCC de 84 pattes. La répartition des signaux au sein de la couronne de plots est illustrée Figure 63.

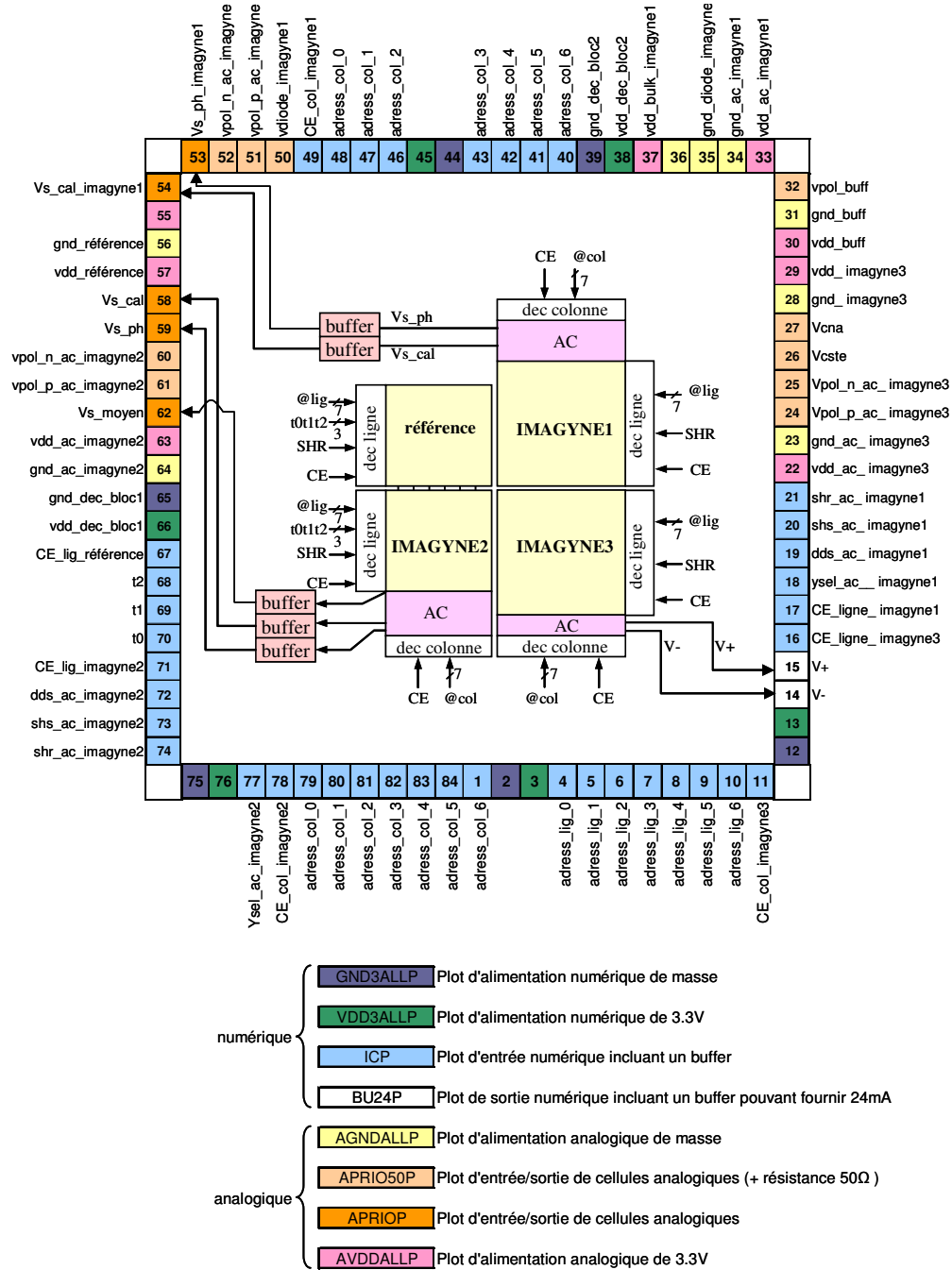


Figure 63 : Répartition des signaux sur la couronne de plots

Les signaux numériques, tels que les adresses et les signaux de commande sont situés sur la partie SUD du boîtier. Les adresses des colonnes ont été dupliquées sur la partie NORD du circuit, de manière à pouvoir les router plus facilement jusqu'au décodeur colonne de la matrice IMAGYNE1. Ces entrées numériques ont des plots dédiés, nommés ICP, qui intègrent un buffer. Les plots des sorties numériques, nommés BU24P, intègrent eux aussi un buffer capable de fournir un courant de

24mA. Les alimentations numériques passent par les plots nommés GND3ALLP et VDD3ALLP, conçus pour gérer l'alimentation en 3.3V de circuits numériques.

Les entrées sorties de tensions analogiques passent par les plots APRIO et APRIO50P. Les alimentations des parties analogiques passent par les plots AVDD3ALLP et AGND3ALLP.

Tous les plots bénéficient de circuits de protection contre les décharges électrostatiques.

5.2.1.7 Le circuit final

Le circuit final comprend les quatre capteurs de vision, ainsi que les buffers de sortie et la couronne de plots. La surface totale du circuit est mm². Le circuit fabriqué est illustré ci-dessous.

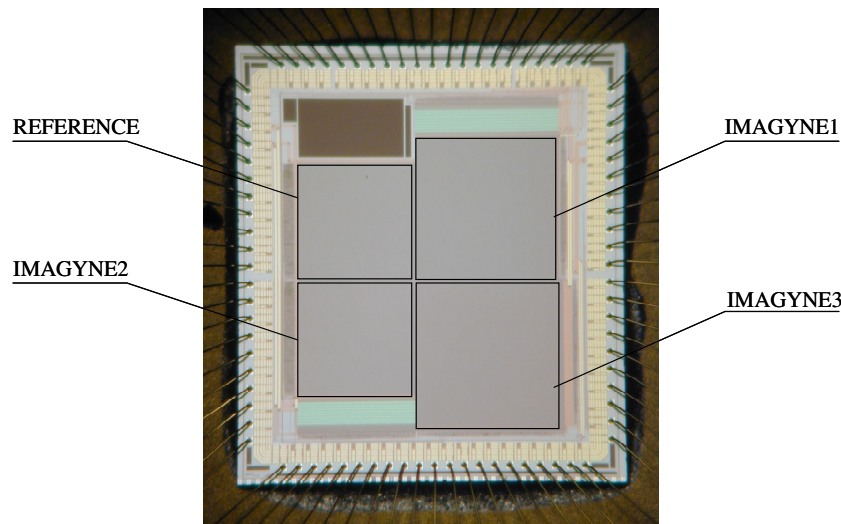


Figure 64 : Photographie du circuit IMAGYNE

Pour tester les différents capteurs de ce circuit de test, un environnement de test a été mis en place. Les différentes parties de cet environnement sont présentées et détaillées dans les paragraphes suivants.

5.2.2 Environnement de test du circuit IMAGYNE

Cet environnement de test se compose de plusieurs parties:

- une carte analogique dédiée, qui accueille le circuit, effectue les premiers traitements de signaux et communique avec la carte numérique ;
- une carte numérique Altera Stratix, qui comporte un FPGA et qui permet de communiquer avec le PC via un port série ;

- un environnement visuel développé sur le PC pour acquérir les données issues des capteurs ;
- un banc optique, réalisé par un microscope.

Ces différents éléments sont représentés de manière schématique Figure 65.

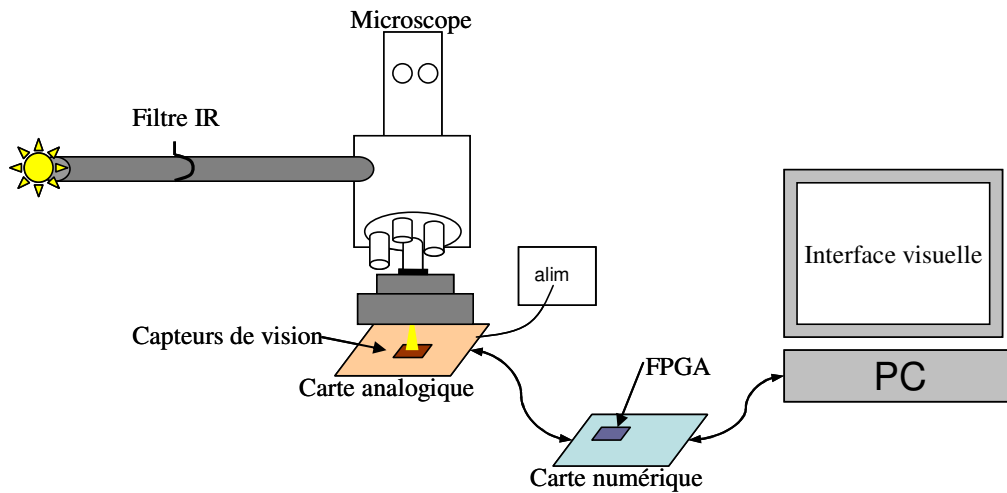


Figure 65 : Représentation Schéma de l'environnement de test du circuit IMAGYNE

Les fonctions de chacune des cartes sont détaillées ci dessous.

5.2.2.1 La carte analogique

La carte analogique remplit plusieurs fonctions : elle accueille le circuit IMAGYNE, elle fournit les différentes tensions de polarisation au circuit et elle effectue les premiers traitement de signal en sortie de la matrice et communique avec la carte numérique.

Les traitements de signaux sont différents suivant les matrices.

Pour les capteurs REFERENCE, IMAGYNE1 et IMAGYNE2, elle effectue les soustractions des deux signaux de sortie, V_{s_ph} et V_{s_cal} , puis elle convertit ces nouvelles valeurs en tension numérique sur 8 bits.

Pour le capteur IMAGYNE2, elle convertit la tension correspondant à l'illumination moyenne de la matrice en une tension numérique sur 9bits, grâce à un convertisseur thermomètre. Ces tensions numériques t_{int} sont destinées au FPGA, qui va les encoder sur 3 bits : $t_0t_1t_2$ définissant le temps d'intégration des pixels.

Pour le capteur IMAGYNE3, les tensions numériques V_+ et V_- permettent au FPGA de faire évoluer la tension de sortie $V_{s_numérique}$, sur 8bits. Ce signal de sortie est aussi fourni à la carte analogique, qui la convertit en tension analogique, V_{cna} , destinée capteur IMAGYNE3. Cette boucle, présentée dans le chapitre 4, permet de mener à bien la conversion analogique numérique sur 8 bits

Ces différentes chaînes de traitement de signal ainsi que les interactions entre la carte analogique et la carte numérique sont illustrées Figure 66.

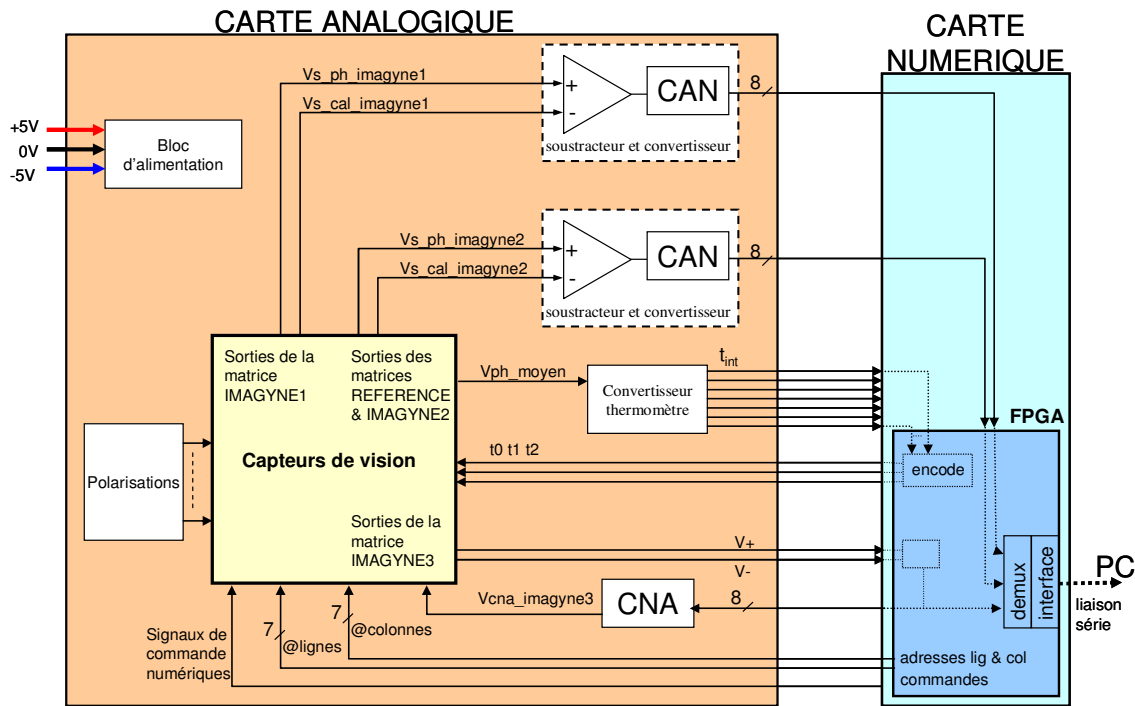


Figure 66 : Diagramme bloc des fonctions de la carte analogique et de la carte numérique

5.2.2.2 La carte numérique

La carte numérique est une carte Stratix fournie par Altéra qui comprend un FPGA. Ce FPGA permet de :

- commander le circuit IMAGYNE : il gère le balayage des matrices, en fournissant les adresses lignes et colonne et les signaux de commandes nécessaires au fonctionnement des capteurs ;
- effectuer les conversions de signaux (t_{int} convertis sur 3 bits, et V_+ V_- convertis sur 8bits) et communiquer avec les matrices ;

- faire l'interface avec le PC : le FPGA reçoit les signaux de la carte analogique et gère leur émission vers le PC.

Pour effectuer ces fonctions, différents composants, dont une machine à état ainsi qu'un microprocesseur, ont été synthétisés et implantés dans le FPGA. La Figure 67 représente les différentes entités implantées sur le FPGA et qui permettent de générer les signaux de commande de la carte analogique, de recevoir les données issues des capteurs et de les envoyer au PC

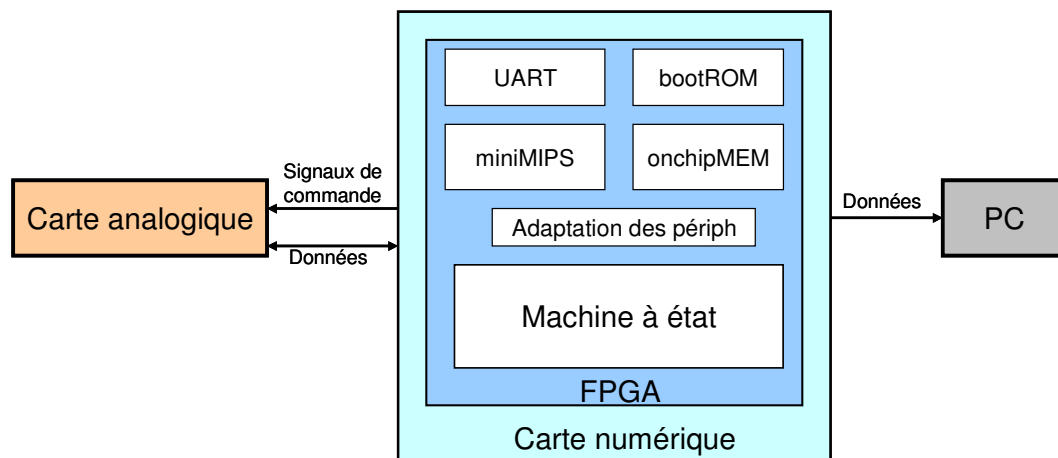


Figure 67 : Diagramme bloc des entités composant le FPGA

Cette carte numérique communique avec le PC, via une liaison série. Les données issues du capteur de vision sont ensuite exploitées par une interface visuelle spécialement développée pour cette application.

5.2.2.3 L'interface visuelle

L'interface visuelle a été programmée en Java. Ces programmes remplissent plusieurs fonctionnalités :

1. la gestion de la communication avec le port série ;
2. la mise en place d'un environnement graphique ;
3. la gestion de la succession des données reçues pour tous les types d'affichage.

L'interface visuelle permet ainsi d'afficher plusieurs informations :

- les données reçues en valeur hexadécimales : les valeurs des pixels envoyées par le capteur sont codées sur 8 bits ;

- Une image de 128x128 pixels, issue de ces données, la valeur 0 correspondant au noir et 255 au blanc ;
- le tracé d'un histogramme de l'image du capteur (avec possibilité d'arrêt sur image et sauvegarde de données sous forme de tableau Excel) ;
- la possibilité de modifier la luminosité de l'image ;
- l'affichage d'éventuels messages d'information pour l'utilisateur.

Ces différentes fonctionnalités sont illustrées Figure 68.

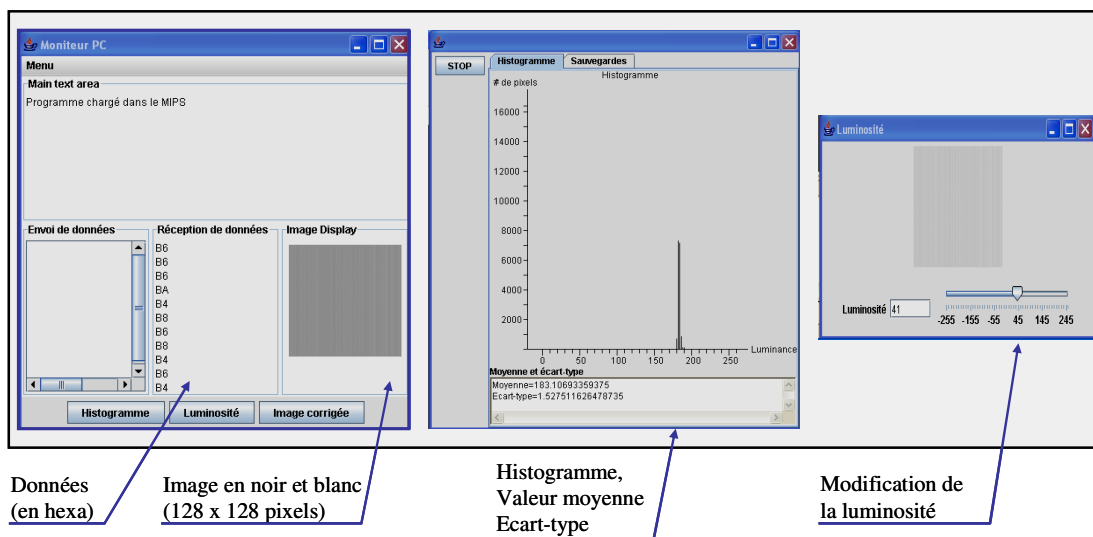


Figure 68: Interface visuelle développée pour exploiter les données du capteur IMAGYNE

A partir de cette interface, toutes les valeurs numériques des pixels peuvent aussi être enregistrées sous forme de tableau Excel, ce qui rend possible tout type de calcul.

La globalité de cet environnement de test est illustrée ci-dessous.

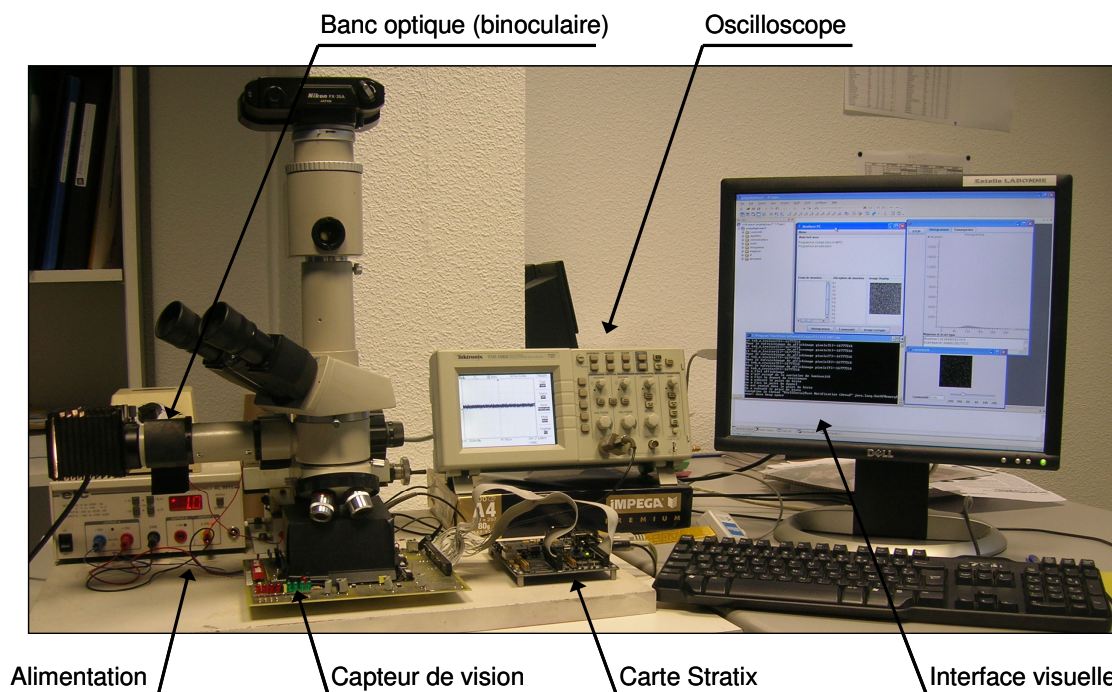


Figure 69 : Photographie de l'environnement de test du circuit IMAGYNE

5.2.3 Conclusion sur l'environnement de test du circuit IMAGYNE

Nous avons présenté le circuit de test, baptisé IMAGYNE, son architecture ainsi que sa mise en boîtier. Nous avons aussi présenté la mise en place de l'environnement de test de ce circuit. Le banc optique est obtenu grâce à un microscope, qui concentre la lumière sur le capteur. Une carte analogique a été spécialement développée. Elle accueille le circuit de test et permet d'assurer différents traitements de signal et de communiquer avec la carte numérique. Cette carte numérique, issue du commerce, accueille un FPGA, programmé pour commander la lecture des matrices et pour transmettre les données au PC. L'interface visuelle, spécialement développée pour ce circuit, gère le flot des données, leur visualisation et leur exploitation. Cet environnement de test a permis la caractérisation du circuit IMAGYNE dont les résultats font l'objet du chapitre suivant.

5.3 Conclusion

Dans ce chapitre nous avons présenté l'architecture des deux circuits de test, PICS et IMAGYNE, ainsi que leur environnement de test.

L'architecture du circuit PICS a été détaillée, et comprend une matrice de 240 x 32 pixels, et une matrice de 32 circuits amplificateurs colonne, un décodeur ligne et un décodeur colonne. Les entrées / sorties de ce capteur ont été listées. La description de l'environnement de test a permis de

présenter le banc de test mis à disposition par Atmel-Grenoble. Les paramètres réglables de ce banc de test sont les tensions de polarisation du capteur, générées par la carte analogique, et les paramètres de lecture de la matrice, accessible via le logiciel Labview. Ce logiciel permet d'automatiser les tests et mettre en forme directement les résultats des tests.

L'architecture du circuit IMAGYNE, plus complexe, a été plus longuement présentée. Ce circuit intègre quatre capteurs de vision, un capteur étalon (la matrice « REFERENCE »), et les trois capteurs présentés dans les chapitres précédents, IMAGYNE1, IMAGYNE2 et IMAGYNE3. Les différentes entrées/sorties de ce circuit de test ont été listées et leur distribution sur la couronne de plots a été présentée. La mise en place de l'environnement de test a été détaillée. Cet environnement, spécialement développé pour ce circuit, est composé d'une carte analogique, une carte numérique et une interface visuelle. Les fonctions de chacun de ces éléments, ainsi que leur conception ont été présentées. La conception de cet environnement de test permet une grande flexibilité des paramètres de lecture et de réglage des matrices. Par contre le développement d'une interface visuelle dédiée ne permet pas une automatisation des mesures.

Ces deux circuits ont ensuite été caractérisés et les résultats de test sont présentés dans le chapitre suivant.

Chapitre 6

RESULTATS DE TEST DES IMAGEURS

Ce chapitre va nous permettre de présenter les résultats de test des différents imageurs dont nous avons détaillé le fonctionnement théorique et la conception.

6.1 Résultats de test de l'imageur PICS

Le test de ce capteur, dont la conception a été présentée au chapitre 2, a pour but de mesurer les trois principales caractéristiques de cette matrice, à savoir :

1. une grande dynamique de fonctionnement ;
2. un bruit spatial fixe réduit grâce au système de calibration ;
3. un bon rendement du nœud de stockage au sein du pixel, induit par l'implémentation du mode de capture instantanée.

Ce capteur, testé dans le laboratoire de test de Atmel-Grenoble a bénéficié de l'automatisation des mesures grâce au logiciel Labview. Ce logiciel, configuré par l'équipe de test de Atmel, permet d'obtenir pour chaque image :

- la valeur minimum ;
- la valeur maximum ;
- la valeur moyenne de tous les pixels de l'image ;
- l'écart type ;
- la valeur du bruit spatial fixe colonne à colonne ;
- la valeur du bruit spatial fixe pixel à pixel.

Les courbes présentées dans ce chapitre sont obtenues à partir de la valeur moyenne des pixels de la matrice.

6.1.1 Dynamique de fonctionnement :

Ce test est destiné à évaluer la dynamique de fonctionnement du capteur. Les tensions de polarisation des pixels et des amplificateurs colonne ont été adaptées manuellement pour optimiser cette fonction de transfert.

Dans un premier temps, afin de comparer les résultats théoriques et les résultats expérimentaux, seule la sortie du pixel V_{s_ph} est considérée. Les deux fonctions de transfert sont illustrées Figure 70. La courbe théorique étant tracée en fonction de courant photo généré et celle expérimentale exprimée en fonction d'illumination, ces deux fonctions ne peuvent être exactement situées l'une par rapport à l'autre.

Sur la courbe expérimentale, on observe une dynamique de fonctionnement d'environ 100 dB, un peu moindre que celle attendue théoriquement. Par contre, sous forte illumination, la pente de la courbe semble bien établie et la dynamique pourrait sûrement être étendue vers les plus fortes illuminations (les mesures ont été limitées expérimentalement par la source lumineuse, au maximum de ses capacités).

Sur les cinq ordres de grandeur de lumière mesurés, la tension de sortie des pixels varie de 530mV. Par contre cette variation n'est pas linéaire. Comme observé par simulation, trois phases de variations peuvent être distinguées sur la fonction de transfert :

1. sous faible illumination, la sortie des pixels est haute et assez peu sensible (expérimentalement, entre 0.02lux et 0.2lux, la sortie varie de 6mV) ;
2. sous moyenne illumination, la sortie des pixels est très sensible à l'illumination, (expérimentalement, dans la décade allant de 1lux à 10 lux, la sortie du pixel varie de plus de 400mV) ;
3. sous forte illumination, la sortie des pixels adopte une pente « linéaire » sur l'échelle logarithmique (expérimentalement, la pente sur cette partie de la courbe est d'environ 40mV par décade).

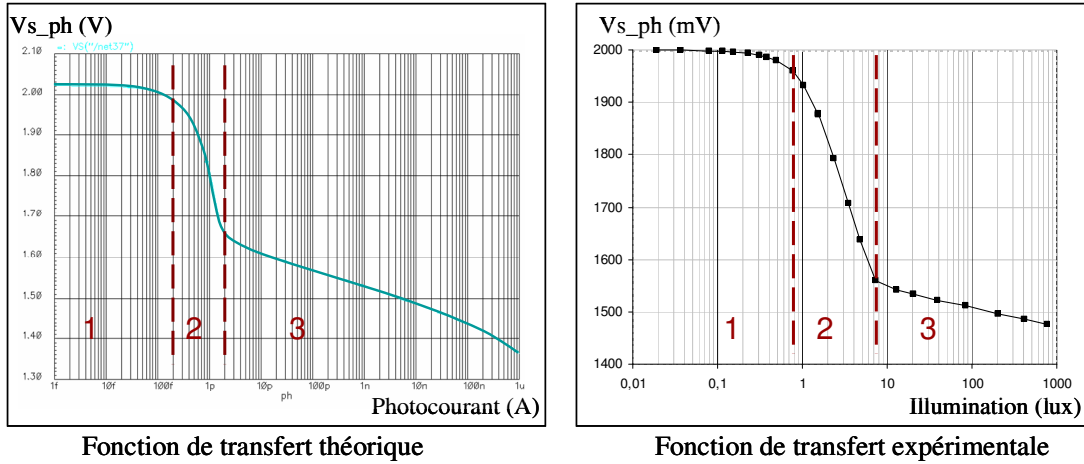


Figure 70 : Comparaison des fonctions de transfert théorique et expérimentale

Pour comparer les pentes des deux courbes et essayer d'établir une équivalence courant/luminosité, les deux graphes ont été superposés, en se basant sur les échelles de tension et les échelles logarithmiques. Cette superposition, illustrée Figure 71, permet d'observer que les pentes dans les zones « 2 » et « 3 » sont similaires, en théorie et en pratique. Dans la zone « 2 », cette pente vaut $\sim 450\text{mV/décade}$ et dans la zone « 3 », $\sim 40\text{mV/décade}$. Par ailleurs, on observe dans la zone 3 un écart entre les deux courbes, théorique et expérimentale. Cet écart se justifie par un changement des tensions de polarisation du circuit, par rapport à celles nominales définies par simulation.

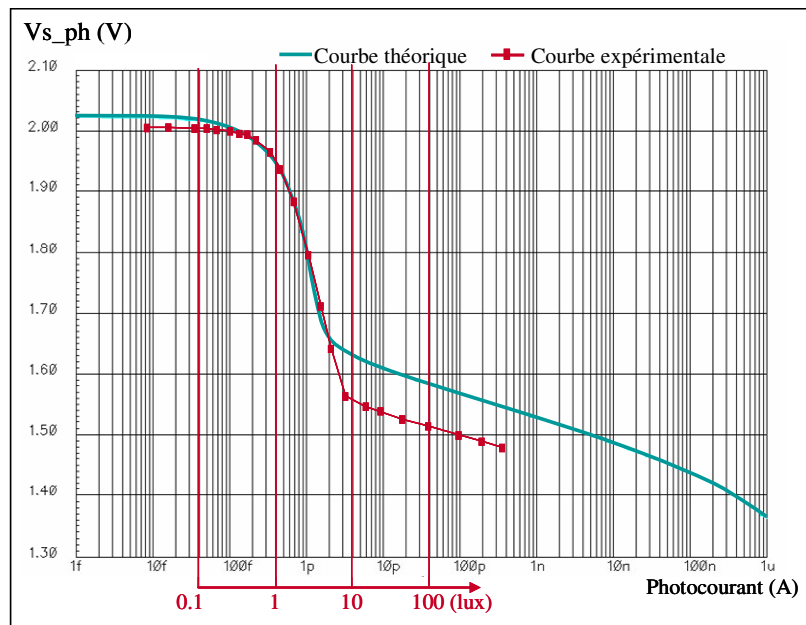


Figure 71 : Superposition des courbes théorique et expérimentale

6.1.2 Fonction de transfert après application de la méthode NCDS

Sur cette nouvelle fonction de transfert, la valeur exprimée en millivolt correspond à la sortie des pixels après l'application de la technique NCDS, à savoir la valeur ($V_{s_cal} - V_{s_ph}$). Sur la courbe présentée Figure 72, on retrouve le profil en trois phases de variation, la dynamique de fonctionnement de cinq ordres de grandeur et une variation totale de 540mV.

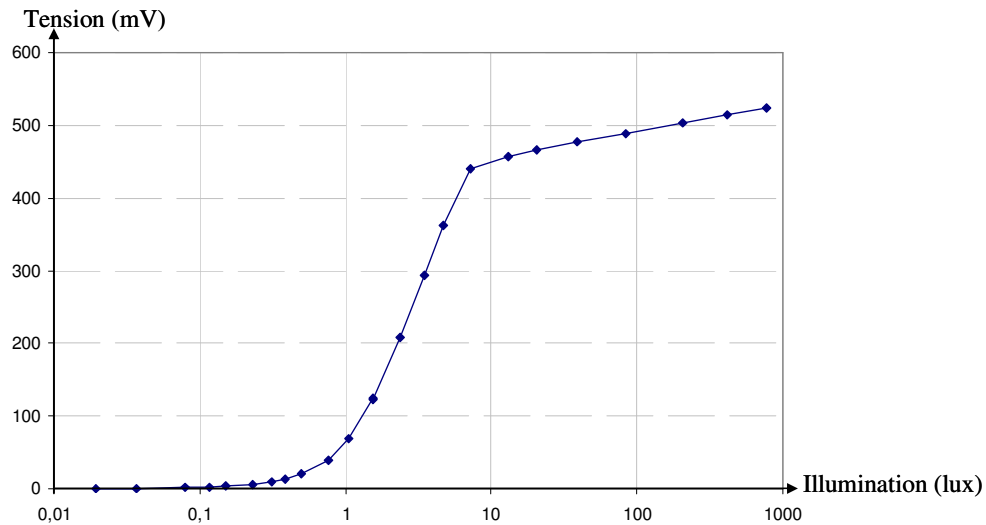


Figure 72: Illustration de la dynamique de fonctionnement du capteur de vision PICS, la tension ($V_{s_cal} - V_{s_ph}$) exprimée en millivolt, en fonction de l'illumination, exprimée en lux.

Une fois la fonction de transfert optimisée, l'impact du bruit spatial fixe pixel à pixel peut être mesuré

6.1.3 Test de l'efficacité de calibration pour supprimer le FPN :

Ce test est destiné à observer l'impact du bruit spatial fixe pixel à pixel sur la sortie des pixels. Le capteur soumis à un éclairage uniforme fournit une image bruitée. On peut distinguer trois composantes principales de ce bruit :

- Le bruit temporel ;
- Le bruit spatial fixe colonne à colonne ;
- Le bruit spatial fixe pixel à pixel.

Pour quantifier le bruit fixe pixel à pixel, il faut donc obtenir une image débarrassée du bruit temporel et du bruit spatial fixe colonne à colonne. Le bruit fixe a été étudié et analysé par [Caruel06] et les méthodes appliquées sur notre capteur pour calculer le bruit en sont fortement inspirées.

Pour réduire l'influence du bruit temporel, le logiciel Labview acquiert n images, et reforme une image égale à la moyenne de ces images. L'influence du bruit temporel est ainsi divisée par $\sqrt{n}$ [Caruel06].

L'image obtenue est toujours dégradée par les deux bruits spatiaux fixes, l'un à répartition corrélé par colonne et l'autre aléatoire. L'écart –type des pixels de cette image, σ vérifie la relation:

$$\text{Équation 25} \quad \sigma^2 = \sigma_c^2 + \sigma_a^2$$

Pour obtenir du bruit spatial fixe colonne à colonne, on calcule la moyenne de chaque colonne, générant ainsi une ligne moyenne. L'écart type de cette ligne moyenne σ_{moy} vérifie la relation suivante, avec l , le nombre de lignes :

$$\text{Équation 26} \quad \sigma_{\text{moy}}^2 = \sigma_c^2 + \frac{\sigma_a^2}{l}$$

A partir de ces deux valeurs, on calcule l'écart type de l'image σ et l'écart type de la ligne moyenne σ_{moy} , les valeurs du bruit spatial fixe pixel à pixel ainsi que le bruit spatial fixe colonne à colonnes. Elles sont calculées pour toute la gamme d'illumination disponible. Ces deux courbes sont illustrées Figure 73. L'influence du FPN colonne, toujours inférieur à 3mV, soit 0.55% de la variation totale du signal, reste comme attendu, faible, devant celle du FPN pixel. Le FPN pixel, excepté dans la zone 2, atteint environ 10mV, soit 1.85% de la variation totale du signal. Dans la zone 2, déjà distinguée sur la courbe de la dynamique de fonctionnement, les pixels sont très sensibles à la luminosité, mais ils sont aussi plus sensibles au bruit. Dans cette zone, le FPN pixel atteint 25mV, soit 4.6% de la variation totale du signal.

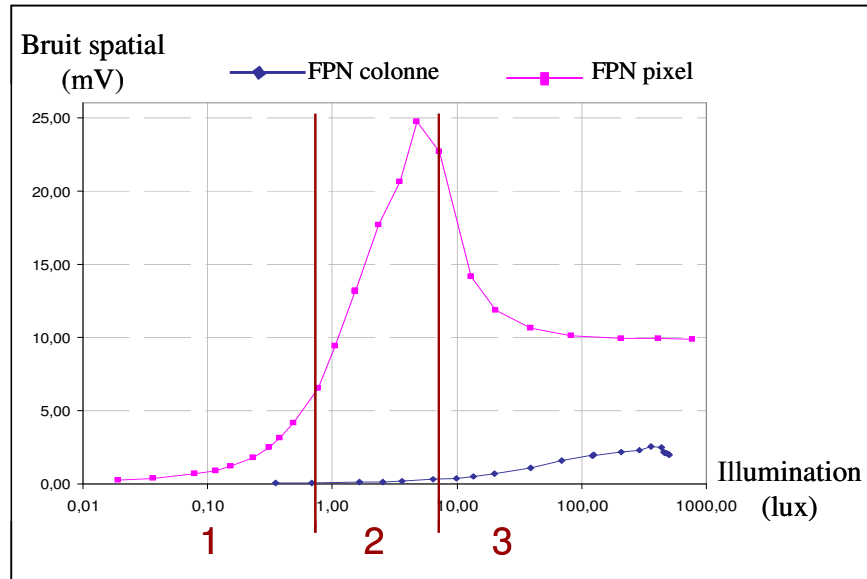


Figure 73 : Évaluation du bruit spatial fixe corrélé par colonne et par pixel

6.1.4 Efficacité de la capacité dite de « Global Shutter ».

Ce test est destiné à observer l'efficacité de stockage de la capacité dite de « Global Shutter ». Cette mémoire analogique implantée au sein du pixel subit des fuites de courant. Le test du rendement de cette capacité consiste à observer la dérive des tensions en sortie avec le temps. Les dérives les plus importantes sont observées lors de la lecture des dernières lignes de pixels. Ce sont effectivement les pixels dont la capacité a eu le plus le temps de fuir.

A 7Mhz, le temps de lecture d'une matrice de 240lignes et 32 colonnes est d'environ ~1ms. Les dernières lignes de pixels ont donc eu le temps de fuir pendant ~1 ms. Pour évaluer les dérives de ces capacités lors d'une lecture d'une matrice VGA à 60Mhz, il faut faire en sorte que l'image acquise en mode GS attende plus longtemps avant la lecture. A 60MHz, le temps de lecture d'une matrice VGA (640*480) atteint ~5ms

Pour simuler cette attente, on a introduit un temps d'attente avant le commencement de la lecture de la matrice. L'image acquise permet ensuite de calculer la valeur moyenne de chaque ligne. Cette valeur moyenne est représentée Figure 74 pour deux illuminations différentes et pour chaque ligne, la ligne 1 étant la première à être lue, et la ligne n° 200 étant une des dernières

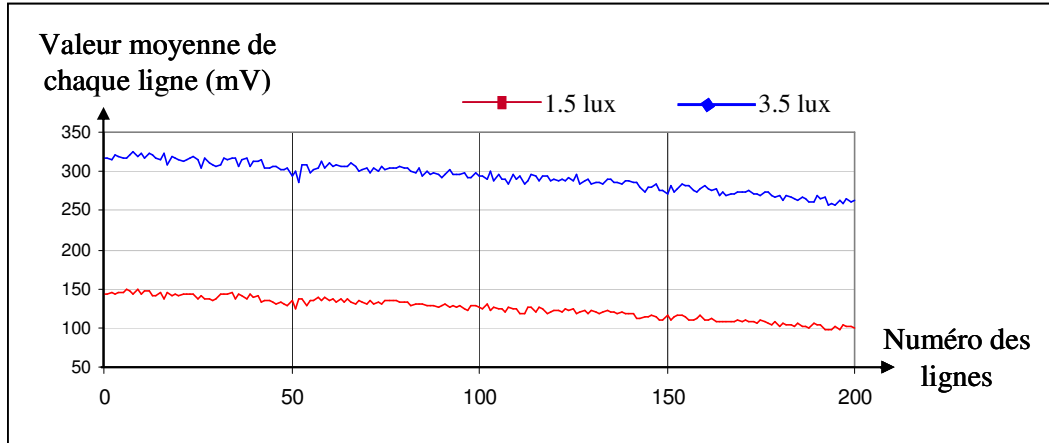


Figure 74: Rendement de noeud sensible du global shutter.

On observe bien une dérive en tension de la valeur moyenne de chaque ligne, induit par le temps d'attente de lecture. Pour l'illumination de 1.5 lux, on observe une dérive de 44.1mV, soit 31% du signal initial. Pour l'illumination de 3.5lux, la dérive est de 52.4mV, soit 16.5% du signal initial. Cette dérive est donc dépendante du temps d'attente et de la valeur initiale de départ.

6.1.5 Conclusion et perspectives

Le test de ce capteur a permis de se familiariser avec l'environnement de test, les mesures et les méthodes de calcul et de caractériser le capteur PICS.

La dynamique de fonctionnement observée est conforme aux attentes, autour de 100 dB, avec une possibilité d'expansion vers les plus fortes luminosités.

La fonction de transfert permet d'observer une variation totale du signal de 540mV. Cette courbe présente une irrégularité, une vague, définie dans ce chapitre sous le nom de zone « 2 ». Cette non linéarité, appréciable en terme de dynamique, présente un défaut : elle provoque une grande sensibilité du pixel aux variations technologiques et donc provoque un fort FPN. La cause de cette sensibilité a été identifiée : le transistor M1 ne respecte plus une relation logarithmique. Pour éviter cette irrégularité, on peut envisager l'isolement de ce transistor dans un caisson séparé, afin d'harmoniser la tension de polarisation du substrat et celle de la source de transistor, au détriment de la surface du pixel.

Le bruit spatial fixe impactant les images a été mesuré. Le FPN corrélé en colonne représente 0.55% de la variation total du signal. Cette valeur est conforme aux mesures rapportées dans les autres travaux. Le FPN pixel a été mesuré afin d'évaluer les performance de la méthode de calibration des

pixels. Les images obtenues présentent un FPN autour de 1.85% de la variation totale du signal, excepté dans la zone « 2 » où on observe un fort FPN (autour de 4.5%).

L'efficacité de la mémoire analogique intégrée au sein du pixel a aussi été testée. Malgré une capacité assez élevée, 20fF, on observe une fuite de courant, se traduisant par une dérive en tension du nœud de mémoire. Cette dérive dépend de la valeur d'origine ainsi que du temps d'attente de lecture. Ces mesures ont été prises pour deux luminosités assez proches, d'autres mesures, prises pour des illuminations plus extrêmes permettraient de modéliser cette fuite. Cette modélisation, à défaut d'empêcher la fuite, permettrait de retrouver, grâce à un algorithme de calcul, la valeur de la tension d'origine en fonction de la valeur mesurée et du temps d'attente avant la lecture du pixel.

La Figure 75 présente des images prises avec ce capteur PICS. Sur ces images, on observe un écrasement des contrastes, dû à la conversion logarithmique du courant photo généré. On peut aussi observer des « points noirs », qui illustrent le bruit spatial fixe. Le grand contraste de ces points avec le reste de l'image tend à montrer un fort écart type dans le bruit spatial fixe.

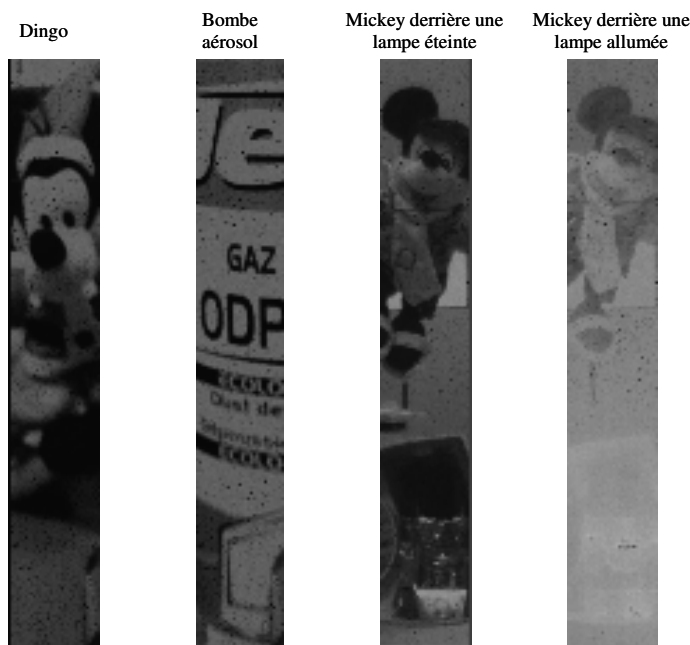


Figure 75 : Images prises par le capteur PICS

6.2 Résultats de test de l'imageur IMAGYNE1

Cet imageur, dont la conception a été présentée au chapitre 2, a pour objectif de présenter une grande dynamique de fonctionnement et un faible FPN. Il intègre des pixels du même type que ceux du capteur PICS, mais cet imageur implémente une méthode de calibration plus performante en

théorie. Une autre différence est qu'il ne permet pas le mode de capture instantanée. La caractérisation de ce capteur va permettre d'observer sa dynamique de fonctionnement et de vérifier l'efficacité de la nouvelle méthode de calibration, à savoir un plus faible bruit spatial fixe pixel à pixel.

Ce capteur a été testé au laboratoire TIMA, sans automatisation des mesures. Les calculs de valeurs moyennes et d'écart type ont été effectués à partir de chaque image, enregistrée sous forme de matrice 128 x 128 valeurs de tension. Les courbes présentées dans ce chapitre sont obtenues à partir de la valeur moyenne des pixels de la matrice.

6.2.1 Dynamique de fonctionnement :

Ce test est destiné à évaluer la dynamique de fonctionnement du capteur. Les tensions de polarisation des pixels et des amplificateurs colonne ont été adaptées manuellement pour optimiser cette fonction de transfert.

Dans un premier temps, afin de comparer les résultats théoriques et les résultats expérimentaux, seule la sortie du pixel V_{s_ph} est considérée. Les deux fonctions de transfert sont illustrées Figure 76. La courbe théorique étant tracée en fonction de courant photo généré et celle expérimentale exprimée en fonction d'illumination.

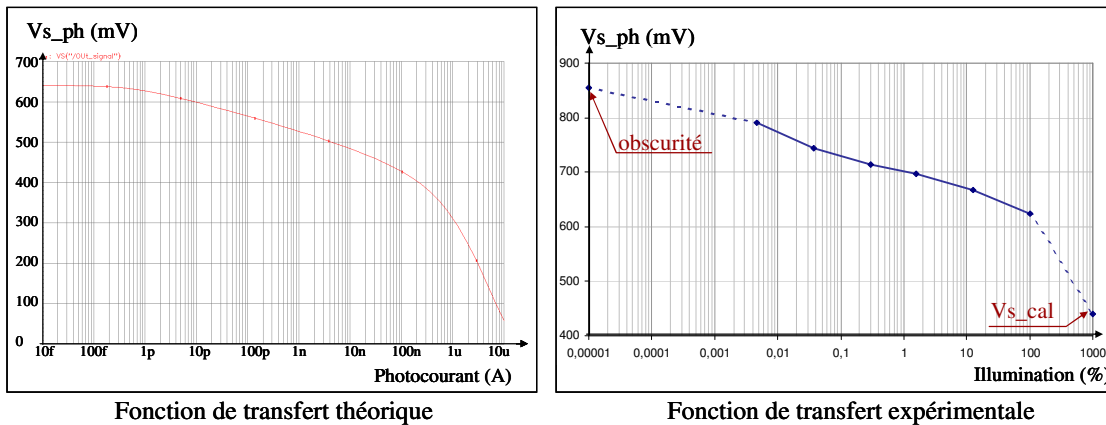


Figure 76 : Comparaison des fonctions de transfert théorique et expérimentale

La fonction de transfert expérimentale représente la sortie des pixels V_{s_ph} , exprimée en millivolts, en fonction de l'illumination, en pourcentage. La valeur 100% représente l'illumination maximum fournie par la lampe. Elle est ensuite atténuée par différents filtres. Les deux valeurs extrêmes représentent la valeur en obscurité, le capteur étant protégé par un capot métallique, et la valeur de sortie fournie par la méthode de calibration V_{s_cal} . Leurs emplacements respectifs sur la courbe n'étant pas quantifiables, ces valeurs ont été placées par extrapolation avec la courbe obtenue en simulation. Les valeurs mesurées sous éclairage, limitées d'une part par la puissance

d'éclairement de la lampe et d'autre part par le filtrage de la lumière, nous permettent d'observer une dynamique de fonctionnement de cinq ordres de grandeur. La courbe théorique, ainsi que les mesures sous obscurité et sous calibration nous permettent de penser que la dynamique de fonctionnement peut être étendue sous plus faible luminosité et sous plus forte illumination.

Sur les 100dB de dynamique mesurés sous éclairage, la courbe varie linéairement de 167mV, soit 33mV par décade. Cette pente est plus faible que celle observée théoriquement, de 40mV/décade. Cette atténuation peut être expliquée par les modifications de tensions de polarisation, abaissées par rapport aux simulations. Ces tensions de polarisation impactent le gain des circuits de lecture, et donc impactent la dynamique de sortie.

Par rapport à la fonction de transfert obtenue avec le capteur PICS, on note l'absence de la vague (zone « 2 »). En effet, comme la tension de substrat est très proche de la tension de source du transistor M1 connecté en diode, la fonction de transfert du capteur IMAGYNE1 respecte une relation logarithmique.

Pour comparer les pentes des deux courbes et essayer d'établir une équivalence courant/luminosité, les deux graphes ont été superposés, en se basant sur les échelles de tension et les échelles logarithmiques. Les deux courbes étant décalées en tension, la superposition s'est basée sur la valeur d'obscurité ($V_{\text{obs}_\text{théorique}} = 638\text{mV}$, $V_{\text{obs}_\text{expérimental}} = 856\text{mV}$), ce qui implique un décalage en tension de la superposition de 220mV. Cette différence de tension semble due aux modifications des tensions de polarisation du pixel, à savoir la modification de $V_{\text{s,M1}}$

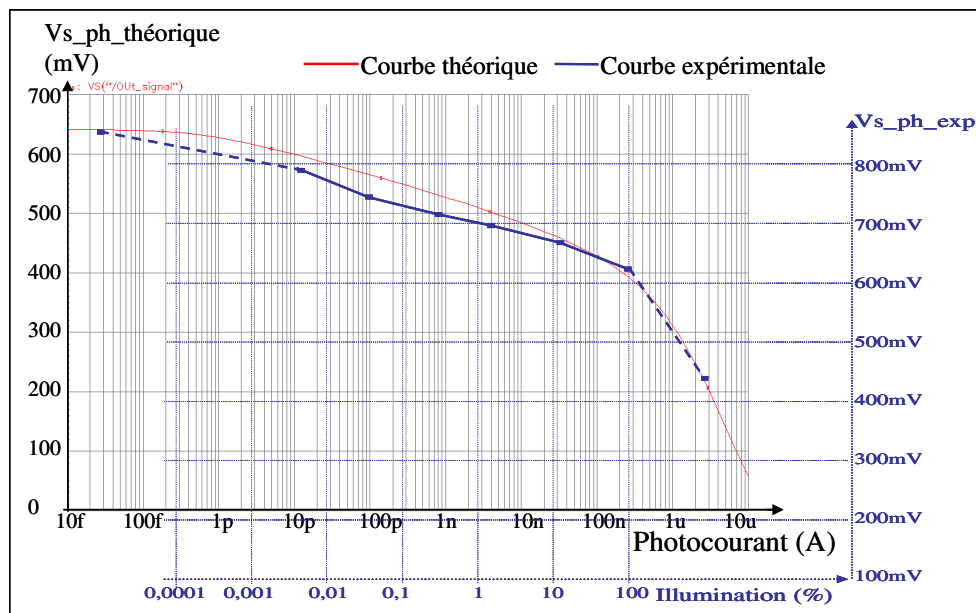


Figure 77 : Superposition des courbes théorique et expérimentale

Cette superposition, illustrée Figure 77, permet d'observer la légère différence de pente des deux fonctions de transfert. Elle permet aussi de supposer que la puissance lumineuse maximum génère un photo courant d'environ 300nA.

6.2.2 Fonction de transfert après application de la méthode NCDS

La fonction de transfert illustrée Figure 78 correspond à la sortie des pixels après application de la technique NCDS, à savoir la valeur $(V_{s_ph} - V_{s_cal})$. Cette courbe représente la fonction de transfert abaissée de la valeur de calibration. On retrouve la dynamique de fonctionnement de cinq ordres de grandeur. La variation totale du signal est de 415mV, dont 231mV de variation mesurée (variation de tension entre l'obscurité et la puissance lumineuse maximum fournie par la lampe).

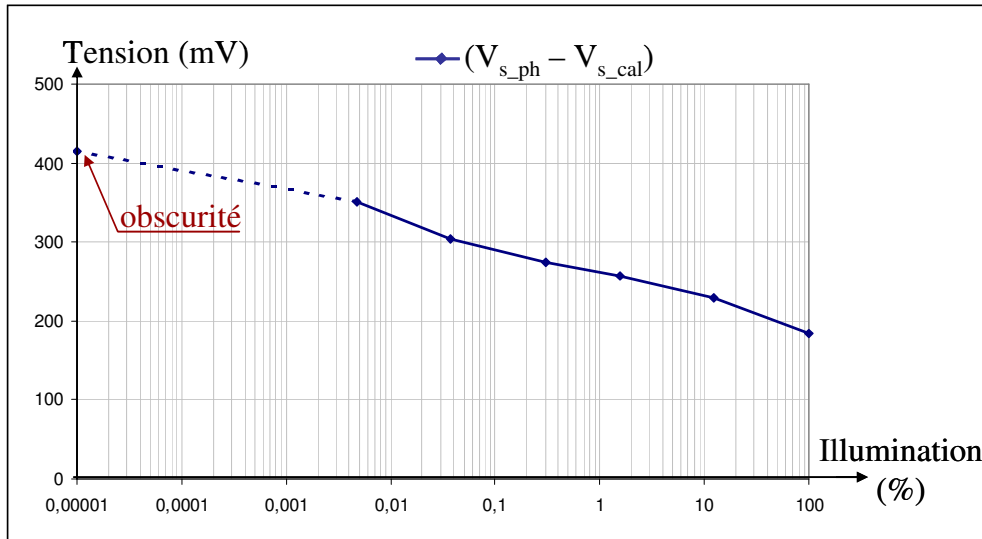


Figure 78: Illustration de la dynamique de fonctionnement du capteur de vision IMAGYNE1, la tension $(V_{s_ph} - V_{s_cal})$ exprimée en millivolt, en fonction de l'illumination, exprimée en pourcentage.

Une fois la fonction de transfert optimisée, l'impact du bruit sur les images peut être évalué.

6.2.3 Mesure du bruit temporel impactant le capteur IMAGYNE1

Comme expliqué par [Caruel06], la mesure du bruit temporel se base sur l'hypothèse d'ergodicité du bruit temporel. Cette hypothèse consiste à admettre que le bruit temporel qui impacte un pixel au cours du temps peut se calculer comme étant le bruit impactant n pixels à l'instant t . La mesure du bruit temporel s'effectue sur une image obtenue en soustrayant deux images pixel à pixel. Cette soustraction permet d'éliminer les bruits spatiaux fixes. Les résultats de mesures de bruit temporel pour ce capteur IMAGYNE1 sont illustrés Figure 79.

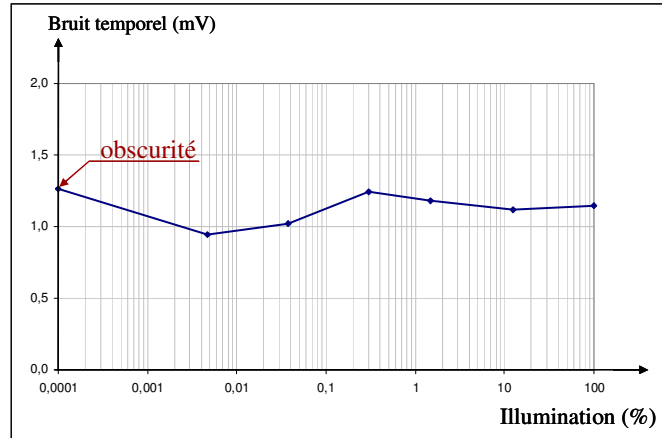


Figure 79 Résultats de mesures du bruit temporel impactant IMAGYNE1

Le bruit temporel reste toujours inférieur à 1,2mV, soit 0,28% de la variation totale du signal. Le ratio signal sur bruit (SNR) atteint donc 50,7dB.

6.2.4 Mesure du bruit spatial fixe impactant le capteur IMAGYNE1

Tout comme pour le capteur PICS, l'analyse du bruit FPN impactant les images fournies par le capteur IMAGYNE1 nécessite de travailler sur des images débarrassées du bruit temporel

Pour réduire l'influence du bruit temporel, une image moyenne est calculée à partir de n images, pour chaque point de mesure, de façon à diviser l'influence du bruit temporel par $\sqrt{n}$ [Caruel06]. Dans notre cas, l'image moyenne est calculée à partir de quatre images, ce qui divise l'influence du bruit temporel par deux. La moyenne sur quatre images peut paraître insuffisante pour limiter l'influence du bruit temporel mais ce choix a été fait en raison du manque d'automatisation des mesures et de la manipulation fastidieuse des données.

A partir de cette image moyenne, on extrait l'écart type de l'image σ et l'écart type de la ligne moyenne σ_{moy} . Ces deux valeurs nous permettent d'évaluer le FPN corrélé en colonne et le FPN pixel à pixel.

Ces deux bruits spatiaux fixes sont calculés pour toute la gamme d'illumination disponible. Ces deux courbes sont illustrées Figure 80.

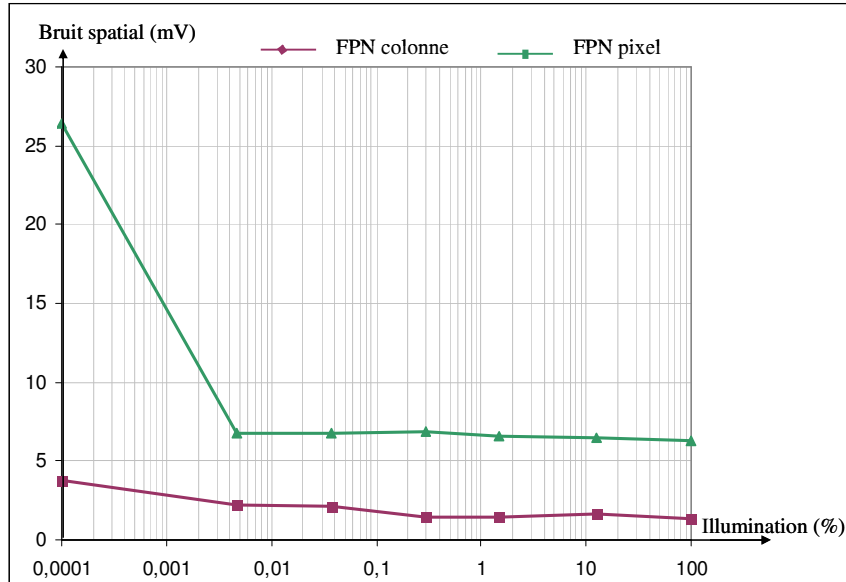


Figure 80 : Valeur des bruits spatiaux fixes en fonction de l'illumination

Si on excepte la valeur en obscurité, le bruit spatial fixe corrélé par colonne reste toujours inférieur à 2,2mV, soit 0.53% de la variation totale du signal.

Le FPN pixel, excepté la valeur en obscurité, reste inférieur à 6,9mV, soit 1.66% de la variation totale du signal.

6.2.5 Conclusion

La caractérisation de ce capteur a permis de mesurer une dynamique de fonctionnement supérieure à 100 dB. Ces mesures sont limitées en faible luminosité par le filtrage de la luminosité et en haute luminosité par la puissance lumineuse maximum fournie par la lampe. Sur ces 100dB de dynamique, la sortie des pixels évolue de manière logarithmique, en suivant une pente de -33mV par décade, pente légèrement inférieure par rapport à celle théorique (40mV/décade).

La fonction de transfert du capteur, qui correspond à la sortie du capteur après application de la méthode NCDS présente une variation totale du signal de 415mV.

Les mesures de bruit ont permis de tracer l'influence du bruit temporel, du bruit spatial fixe corrélé en colonne et du bruit spatial fixe pixel à pixel. Le bruit temporel mesuré reste toujours inférieur à 1.2mV quelle que soit l'illumination, soit au maximum 0.28% de la variation totale du signal. Le FPN colonne a été tracé en fonction de l'illumination et reste inférieur à 2.2mV, soit 0.53% de la variation totale du signal. Les calculs du FPN pixel ont permis de relever des valeurs inférieures à 6.9mV soit 1.66% de la variation totale du signal.

La Figure 81 présente des images prises avec ce capteur IMAGYNE1. Sur chacune des séries, les scènes sont soumises à la lumière ambiante, à laquelle une source lumineuse plus puissante est rajoutée pour illustrer la grande dynamique. Les images 1a et 2a sont issues du capteur sans la correction de bruit spatial fixe. On y distingue les raies caractéristiques du bruit FPN colonne ainsi que le moucheté dû au bruit FPN pixel à pixel. Les images b et c permettent de comparer la réponse du capteur lorsqu'il capture une scène sous illumination moyenne puis, la même scène, avec une forte source lumineuse incluse dans la scène. Ces images nous permettent d'apprécier la grande dynamique du capteur. Du point de vue du bruit spatial, on remarque que même après la correction FPN, le bruit spatial fixe pixel à pixel est visible. Ce niveau de bruit est toutefois nettement réduit par rapport aux niveaux observés avant la correction. Par rapport aux images obtenues avec le capteur PICS, on note une augmentation visuelle du bruit FPN pixel, malgré des résultats de mesure meilleurs. Des recherches sont en cours afin d'identifier la source de ce bruit (électronique de lecture). Bien que gênant pour l'œil, le niveau de bruit de ces images est tout à fait acceptable pour du traitement d'image et donc, adapté aux applications visées par le projet.

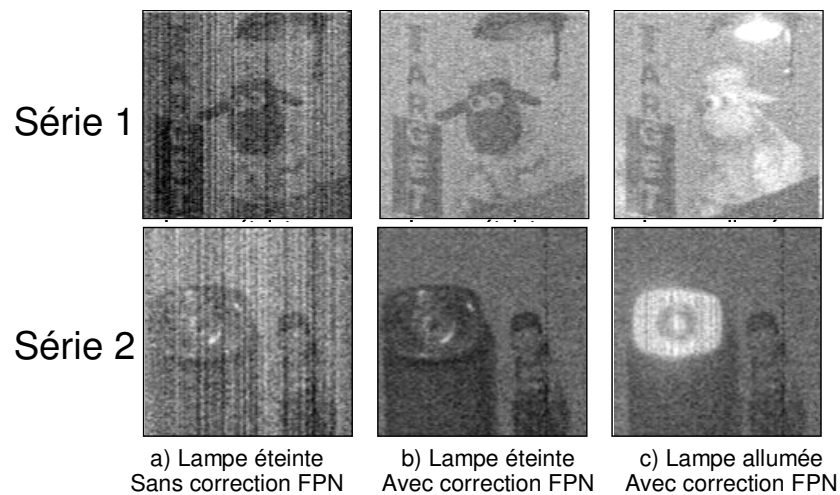


Figure 81 : Images prises par le capteur IMAGYNE1

6.3 Résultats de test de l'imageur IMAGYNE2

Le test de ce capteur, dont la conception a été présentée au chapitre 3, a pour but d'observer l'efficacité de l'adaptation aux conditions lumineuses implémentée. Pour réaliser ce test, nous avons filmé une scène soumise à la lumière ambiante avec le capteur IMAGYNE2 puis avec un capteur de référence. Ce capteur de référence est composé de 128 x 128 pixels à intégration standard, intégrant trois transistors NMOS et la même photodiode que le capteur IMAGYNE2 (photodiode n+-pwell de 36 μm^2 de surface).

Dans chacune des séquences vidéo, illustrées Figure 82, la scène est soumise à une lumière moyenne (images a). Puis durant la séquence, une source lumineuse puissante éclaire la scène puis cette source lumineuse est ensuite éteinte permettant de revenir aux conditions initiales d'éclairement. Sur les images a, les scènes sont donc soumises à un éclairage moyen. Chacun des capteurs permettent d'obtenir des images ayant les mêmes niveaux de gris. Puis la scène est fortement illuminée (images b). On remarque que le capteur IMAGYNE2 s'adapte de suite à ce changement d'illumination, alors que le capteur standard présente une image saturée. Afin de continuer le test, le temps d'intégration du capteur standard est adapté manuellement (avec un temps d'intégration plus court), permettant d'obtenir une image similaire à celle obtenue par capteur IMAGYNE2 (images c). Puis la source lumineuse puissante est éteinte permettant de revenir aux conditions initiales d'éclairement. Le capteur IMAGYNE2 adaptant automatiquement son temps d'intégration permet l'affichage d'une image similaire à celle du début de la séquence. Par contre, le capteur standard ayant un temps d'intégration trop court, l'image obtenue est obscure. L'adaptation manuelle du temps d'intégration de ce capteur permet de revenir à un temps d'intégration plus long et d'ainsi obtenir une image plus claire.

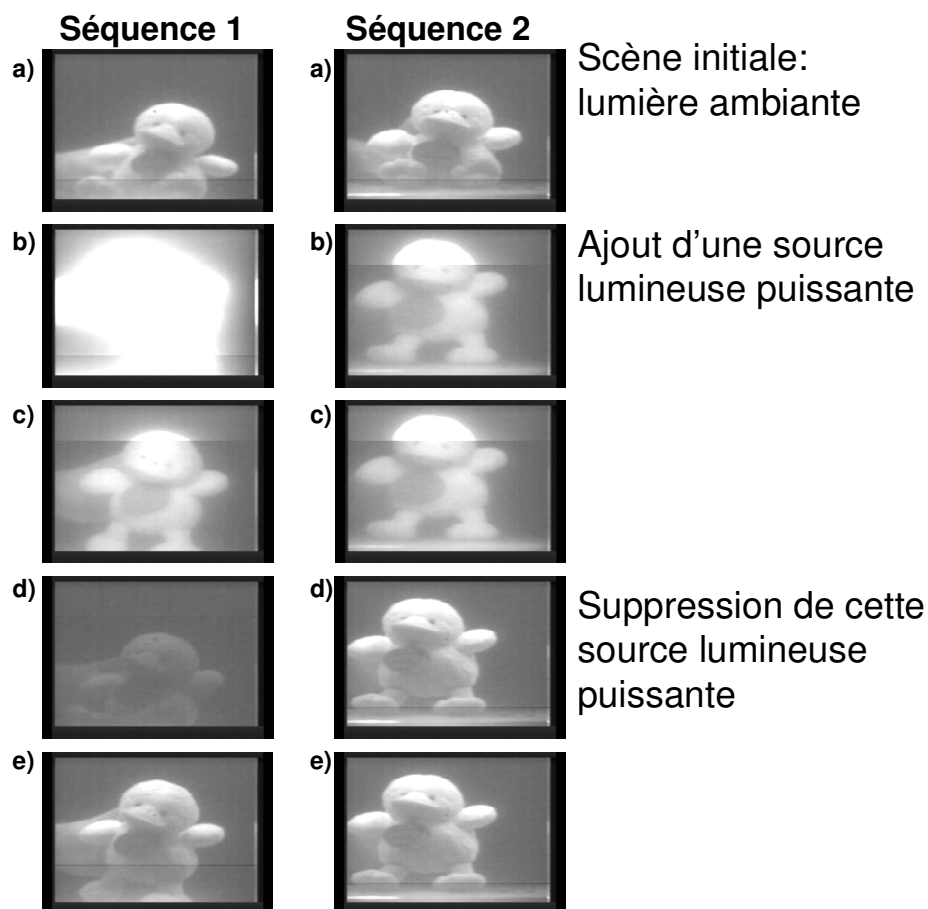


Figure 82 : Images prises par le capteur IMAGYNE1

Cette séquence vidéo nous permet donc de valider notre approche et d'obtenir un capteur ayant une adaptation aux conditions lumineuses efficace et peu gourmande en silicium.

Les mesures électro – optiques n'ayant pas encore été effectuée, l'architecture des pixels à intégration ainsi que l'architecture classique de l'électronique de lecture nous permettent d'espérer des résultats de mesures standard, obtenus par les capteurs à intégration et à trois transistors.

6.4 Comparaison des résultats de mesure

Un tableau récapitulatif des tests est présenté ci-dessous. Il intègre des résultats de mesures des capteurs PICS et IMAGYNE1 ainsi que ceux des travaux rapportés dans ce domaine est illustré ci-dessous.

	[Loose01]	[Kavadias00]	PICS	IMAGYNE1
Techno	0,6 μ m ; 5V	0,5 μ m	0,18 μ m ; 3,3V	0,35 μ m ; 3,3V
Pixel (μm²)	24 x 24	7,5 x 10	10 x 10	10 x 10,6
Facteur de remplissage	30%		20%	33%
Dynamique	120dB	120dB	>100dB	>100dB
Variation maximum (Vtot)	1500mV	300mV	540mV	415mV
Mode global shutter	non	non	oui	non
FPN	9,5mV 0,63% / Vtot	7,5mV 2,5% / Vtot	25,1mV 4,6% / Vtot	7,2mV
FPN colonne	8mV 0,53% / Vtot		3mV 0,55% / Vtot	2,2mV 0,53% / Vtot
FPN pixel	5,25mV 0,35% / Vtot		10mV - 25mV 1,85% - 4,6%	6,9mV 1,66% / Vtot
Bruit temporel	5,75mV 0,38% / Vtot	2,3mV 0,76% / Vtot		1,2mV 0,28% / Vtot
SNR	48,3dB	42,3dB		50,7dB

Tableau 9 Récapitulatifs des performances mesurées de capteurs de vision

Les fonctions de transfert mesurées des capteurs sont de l'ordre de 100 dB avec des possibilités d'expansion, soit en forte luminosité pour le capteur PICS, soit en faible luminosité pour le capteur IMAGYNE1.

Pour le capteur PICS, la variation maximum du signal est très bonne, de 540mV. Par contre cette variation est obtenue au prix d'une non linéarité, due à la différence entre la tension de polarisation du transistor connecté en diode et la polarisation du substrat.

Pour la capteur IMAGYNE1, par rapport à la fonction de transfert obtenue avec le capteur PICS, on note l'absence de cette non linéarité (la zone « 2 »). En effet, comme la tension de substrat est très proche de la tension de source du transistor M1 connecté en diode, la fonction de transfert du capteur IMAGYNE1 respecte une relation logarithmique. La variation du signal de sortie atteint 415mV en suivant une pente de 33mV par décade.

Les mesures de FPN colonne sont très similaires entre les capteurs PICS et IMAGYNE1, soit respectivement 0.55% et 0.53% de la variation totale du signal. Comme ces deux capteurs intègrent exactement les mêmes circuits amplificateurs colonne, ils sont impactés par les mêmes bruits spatiaux fixes. La légère amélioration de cette valeur pour le capteur IMAGYNE1 peut être due à la technologie utilisée. Étant une technologie plus mature que celle du capteur PICS, les déviations en gain des amplificateurs sont amoindries, ce qui réduit le bruit spatial fixe colonne à colonne.

Les mesures de FPN pixel sont de 1.66% de la variation totale du signal pour IMAGYNE1 et de 1.85% dans la partie logarithmique et 4.6% dans la zone « 2 » pour le capteur PICS. Le capteur IMAGYNE1 présente donc une amélioration par rapport aux mesures du capteur PICS. L'avantage de l'architecture implémentée dans le capteur IMAGYNE1, par rapport à celle implémentée dans le capteur PICS, est de conserver une courbe logarithmique sur toute la dynamique de fonctionnement (au détriment de la présence du mode de capture instantanée). Cette courbe permet de conserver une valeur de bruit spatial fixe pixel à pixel faible sur toute la dynamique (1.66% au lieu de 4.6%), au

détriment de la dynamique de sortie. Cependant les mesures expérimentales n'ont pas permis de montrer l'efficacité théorique de la nouvelle méthode de calibration, à savoir une amélioration de 53% du FPN par rapport à la méthode implémentée dans le capteur PICS. Plusieurs explications peuvent être avancées :

- Les technologies, ainsi que les tensions de polarisation ne sont pas les mêmes ;
- Les images ayant servi aux calculs n'ont pas été assez débarrassées de l'influence du bruit temporel (seulement quatre images pour effectuer une moyenne, et donc une influence du bruit temporel divisé seulement par deux au lieu de dix, obtenu en moyennant 100 images). L'influence du bruit temporel pourrait donc augmenter la valeur de bruit FPN calculé.

Par rapport aux travaux présentés par [Loose01], les pixels que nous avons implémentés présentent une surface plus petite avec un facteur de remplissage similaire. L'avantage du capteur de [Loose01] est l'obtention d'une très grande variation du signal de sortie, de 1500mV, soit une variation 3 à 4 fois plus grande que celles des capteurs PICS et IMAGYNE1. On peut tout de même souligner que cette variation de 1500mV est obtenue sous une alimentation de 5V. Les valeurs de FPN obtenue par [Loose01] présentées en fonction de cette variation maximum sont nettement meilleures que celles que nous avons mesurées (soit 0.63% comparé à 1.85% et 1.63%). Mais lorsque on considère les valeurs en millivolt, les valeurs de FPN de ces trois capteurs sont du même ordre de grandeur (soit 9.5mV comparé à 10.4mV et 7.2mV). On remarque aussi que le capteur IMAGYNE1 est moins sensible au bruit temporel que celui présenté par [Loose01] (1.2mV comparé à 5.75mV).

Par rapport aux travaux présentés par [Kavadias00], les tailles des pixels implémentés sont similaires. Notons quand même que [Kavadias00] présente des pixels plus petits et dans une technologie moins fine. Les deux capteurs que nous avons conçus présentent une sortie avec une grande variation (415mV, pour IMAGNE1, 540mV pour PICS, comparé à 300mV pour [Kavadias00]) et des valeurs de bruits fixes similaires (7.5mV comparé à 10.9mV et 7.2mV). Par rapport aux mesures de bruits temporels, le capteur IMAGYNE1 présente les meilleures performances. Cette faible sensibilité aux bruits temporels s'explique par le choix d'une architecture en transistors PMOS, moins sensibles au bruit que les transistors NMOS.

De manière générale, le capteur IMAGYNE1 présentent des performances similaires voire meilleures que celles publiées par [Loose01] et [Kavadias00] en terme de surface de pixel, de dynamique de fonctionnement, de variation maximum et de bruits.

Les performances du capteur PICS, sont elles aussi similaires en terme de surface de pixel, de dynamique de fonctionnement et de variation totale du signal de sortie. Par contre en terme de FPN, elles sont amoindries principalement à cause de la non linéarité. Notons que le capteur PICS est le seul de tous ces capteurs à implémenter un mode de capture instantanée.

CONCLUSION ET PERSPECTIVES

Cette thèse s'est intéressée aux capteurs de vision CMOS destinés aux applications sécurité automobile et surveillance. Les études menées dans le cadre de ces applications ont visées à améliorer la dynamique de fonctionnement des imageurs CMOS tout en conservant le bruit spatial fixe à l'état de l'art et une surface de pixel la plus petite possible.

Le premier chapitre présente les imageurs CMOS et leurs principales caractéristiques, notamment la dynamique de fonctionnement, les modes de capture des images, ainsi que la conversion analogique numérique des données issues des pixels. Les différents travaux existant dans ces domaines y sont introduits.

La partie 1 de ce manuscrit intègre la partie conception de cette thèse. Elle décrit les trois études que nous avons menées dans le but d'augmenter la dynamique de fonctionnement des imageurs CMOS, de la recherche de nouvelles architectures de pixels à la conception de circuits prototypes.

La première étude détaillée concerne les pixels à compresseur logarithmique. Cette architecture de pixel présente l'avantage d'offrir une grande dynamique de fonctionnement, mais au prix d'un fort bruit spatial fixe. La réduction de ce bruit a représenté le principal effort de conception. Une première architecture de pixel est présentée, intégrant un moyen de calibration du pixel ainsi qu'un mode de capture instantané. Ce capteur a été conçu, fabriqué et testé en collaboration avec la société Atmel-Grenoble (devenu e2v). Une deuxième étude, menée dans le but d'améliorer la méthode de calibration des pixels est décrite. Une architecture de pixel plus performante en termes de réduction de bruit spatial fixe est présentée. Un capteur de vision intégrant ces nouveaux pixels a été conçu, fabriqué et testé.

Une deuxième voie a été explorée en vue d'augmenter la dynamique de fonctionnement des imageurs CMOS, la voie des pixels à intégration. Contrairement aux pixels à compresseur logarithmique, cette architecture offre une dynamique de fonctionnement plus réduite mais linéaire en fonction de l'éclairement. Pour augmenter leur dynamique, une étude a été menée en vue d'asservir le temps d'intégration aux conditions lumineuses. Deux architectures de capteurs effectuant cet asservissement sont présentées et comparées. L'architecture choisie, qui permet un temps de lecture plus performant, a été implémentée et fabriquée.

La troisième étude présentée consiste à combiner l'approche des pixels à compresseur logarithmique et celle de l'adaptation aux conditions lumineuses. L'architecture logarithmique permet d'atteindre une grande dynamique de fonctionnement, et l'adaptation aux conditions lumineuses permet d'obtenir des images similaires quelle que soit l'illumination. La combinaison de ces deux techniques a mené à la conception d'un pixel à sorties différentielles. Cette caractéristique est ensuite

exploitée par le circuit amplificateur colonne. Intégrant une partie de la conversion analogique numérique, il génère deux sorties binaires. Le principe de fonctionnement, l'architecture et la conception de ce capteur sont présentés. Un capteur de vision intégrant ces nouveaux pixels et ces nouveaux amplificateurs a été conçu et fabriqué.

La partie 2 de ce manuscrit intègre toute la partie test des capteurs conçus, du développement de l'environnement de test aux résultats de test.

Le chapitre 5 a permis de décrire l'environnement de test d'Atmel-Grenoble et de présenter celui du TIMA. Puis les résultats de test de deux capteurs, PICS et IMAGYNE1, sont décrits et commentés.

Suite à ces résultats, plusieurs perspectives peuvent être évoquées pour chacun des capteurs conçus.

Dans le cas du capteur PICS, conçu, développé et testé chez Atmel-Grenoble, nous avons observé une non linéarité dans la fonction de transfert. Cette caractéristique permet d'obtenir une grande variation de signal mais elle induit aussi un fort bruit spatial fixe. Cette non linéarité a été induite par l'implémentation du mode de capture instantané, qui a nécessité l'ajout d'un étage amplificateur supplémentaire pour isoler la photodiode de la mémoire analogique. Afin de ne pas saturer le signal en sortie, la tension de source du transistor connecté en compresseur logarithmique a dû être abaissée, ce qui provoque cette non linéarité. Afin d'éviter cette baisse de tension de source, plusieurs solutions peuvent être étudiées, soit l'isolation du transistor connecté en diode, soit l'implémentation d'un amplificateur en transistor NMOS afin d'éviter le décalage en tension vers le haut.

Dans le cas du capteur IMAGYNE1, le mode de capture instantané n'ayant pas été implémenté, la fonction de transfert du capteur n'a pas été impactée par cette non linéarité ni par le fort bruit spatial fixe qu'elle induit. Par contre, le signal de sortie présente une variation plus faible. Le fait de doubler les transistors connectés en diode permettrait de gagner en dynamique de sortie, tout en conservant une surface de pixel petite. Le fait d'implémenter des amplificateurs ayant des gains supérieurs à un pourrait aussi permettre de maintenir une bonne dynamique tout au long de la chaîne de traitement, de la sortie du pixel au convertisseur analogique numérique, mais au détriment du nombre de transistors dans l'amplificateur colonne.

Dans le cas du capteur IMAGYNE2, la solution de deux matrices imbriquées a été exploitée. Les premières caractérisations de ce capteur ont déjà permis d'observer l'évolution du signal « illumination moyenne ». L'asservissement du temps d'intégration à ce signal devrait permettre

d'augmenter la dynamique de fonctionnement. La caractérisation de ce capteur permettra aussi de mieux appréhender la résolution optimum de la matrice qui génère l'information « illumination moyenne », à savoir si un pixel de cette matrice pour quatre pixels utiles est un bon compromis ou bien si un pixel pour seize ou trente six pixels utiles serait suffisant. La diminution de la résolution de cette matrice permettrait ainsi de limiter l'impact de cette méthode sur la surface silicium.

Dans le cas du capteur IMAGYNE3, le début de la conversion analogique numérique est intégré au sein des amplificateurs colonnes. L'architecture de ce capteur devrait permettre d'obtenir une image à grande dynamique, adaptée aux conditions lumineuses et à sorties binaires. La précision de la conversion, initialement prévue sur 8 bits pourra être améliorée suivant la qualité du signal de sortie et notamment suivant l'impact du bruit spatial fixe l'affectant car le système NCDS n'a pas été implémenté dans ce capteur.

Pour ces quatre matrices, la résolution de conversion a été fixée à 8 bits. Pour atteindre une meilleure précision de conversion, de 10 bits, 12 bits voire même 14 bits, le signal en sortie des capteurs nécessite un meilleur rapport signal sur bruit. Une étude du bruit temporel impactant chacun de ces capteurs serait donc à envisager afin de le réduire et d'obtenir en sortie un bon rapport signal à bruit.

BIBLIOGRAPHIE

- [Acosta04] P. M. Acosta-Serafini, I. Masaki, C. G. Sodini, "A 1/3 VGA linear wide dynamic range CMOS image sensor implementing a predictive multiple sampling algorithm with overlapping integration intervals", IEEE Journal of Solid-State Circuits, Vol. 39, No. 9, septembre 2004.
- [Akahane06] N. Akahane, S. Sugawa, S. Adachi, K. Mori, T. Ishiuchi, K. Mizobuchi, "A sensitivity and linearity improvement of a 100-dB dynamic range CMOS image sensor using a lateral overflow integration capacitor", IEEE Journal of Solid-State Circuits, Vol. 41, No. 4, avril 2006.
- [Aw96] C. H. Aw, B. A. Wooley, "A 128 x 128 pixel standard CMOS image sensor with electronic shutter", IEEE Journal of Solid-State Circuits, Vol. 31, No. 12, décembre 1996.
- [Bhattacharya94] P. Bhattacharya, "Semiconductor Optoelectronic Devices" Prentice Hall International Editions, 1994.
- [Bloss00] H. S. Bloss, J. D. Ernst, H. Fir1a, S. C. Schmoelz, S. K. Gick, S. Lauxtermann, "High-speed-camera based on a CMOS active pixel sensor", Proceedings of SPIE, Vol. 3968, High-Speed Imaging and Sequence Analysis II, 2000.
- [Brajovic98] V. Brajovic, R. Miyagawa, T. Kanade "Photoreception for adaptive dynamic range image sensing and encoding", Neural Networks 1998 Special Issue, Vol. 11, No. 7-8, pp. 1149-1158, octobre 1998.
- [Brajovic04] V. Brajovic, "Brightness perception, dynamic range and noise: a unifying model for adaptive image sensors", Proceedings of the 2004 IEEE Computer Society Conference on Computer Vision and Pattern Recognition (CVPR '04), Vol. 2, pp. 189 – 196, juin 2004.
- [Caruel06] S. Caruel, "Etude du bruit fixe dans les imageurs CMOS: origines, modélisation et réduction", Thèse de doctorat, effectuée au laboratoire IMEP et la société Atmel à Grenoble, juillet 2006.
- [Cavadore_98] C. Cavadore, "Conception et caractérisation de capteurs d'images à pixels actifs CMOS-APS », thèse de doctorat, SUPAERO, Toulouse, Juin 1998.
- [Chapinal99] G. Chapinal, M. Moreno, S. Bota, G. Hornero, A. Herms "Design and test of a CMOS camera with analog memory for synchronous image capture", Proceedings of SPIE, Vol. 3649, Sensors, Cameras, and Systems for Scientific and Industrial Applications, janvier 1999.
- [Chen00] T. Chen, P. Cartyse, A. El Gamal, B. Wandell, "How small should pixel size be", Proceedings of SPIE Vol. 3965, p.451-459, Sensors and Camera systems for Scientific, Industrial and Digital Photography Applications, mai 2000.
- [Degerli_00] Y. Degerli, "Etude, modélisation des bruits et conception de circuits de lecture dans les capteurs d'image à pixels actifs CMOS", Thèse de doctorat, SUPAERO, Toulouse, octobre 2000.
- [Delbruck04] T. Delbruck, D. Oberhoff, "Self-biasing low power adaptive photoreceptor", IEEE International Symposium on Circuits and Systems ISCAS 2004, pp. 844-847, mai 2004.

- [ElGamal99] A. El Gamal, D. X. Yang, B. A. Fowler, "Pixel-level processing: why, what, and how?", Proceedings of SPIE Vol. 3650, p. 2-13, Sensors, Cameras, and Applications for Digital Photography, mars 1999.
- [Fish05] A. Fish, A. Belenky, O. Yadid-Pecht, "Wide dynamic range snapshot APS for ultra low-power applications", IEEE Transactions on Circuits and Systems, Vol. 52, No. 11, novembre 2005.
- [Fossum97] E.R. Fossum, "CMOS image sensors: electronic camera-on-chip", IEEE Transactions on Electron Devices, Vol. 44, No. 10, octobre 1997.
- [Fry70] P.Fry, P.Noble, R.Rycroft, "Fixed pattern noise in photomatrices", IEEE Journal of Solid-State Circuits, Vol. 5, pp. 250-254, octobre 1970.
- [Hamamoto01] T. Hamamoto, K. Aizawa "A computational image sensor with adaptive pixel based integration time", IEEE Journal of Solid-State Circuits, Vol. 36, No. 4, avril 2001.
- [Hara05] K. Hara, H. Kubo, Masatoshi, F. Murao, S. Komori, "A linear-logarithmic CMOS sensor with offset calibration using an injected charge signal," IEEE International Solid-State Circuits Conference ISSCC 2005, pp. 354-355, 2005.
- [Hosticka03] B. J. Hosticka, W. Brockherde, A. Bussmann, T. Heimann, R. Jeremias, A. Kemma, C. Nitta, O. Schrey "CMOS imaging for automotive applications", IEEE Transactions on Electron Devices, Vol. 50, No. 1, janvier 2003.
- [Kavadias00] S. Kavadias, B. Dierickx, D. Scheffer, A. Alaerts, D. Uwaerts, J. Bogaerts, "A logarithmic response CMOS image sensor with on-chip calibration", IEEE Journal of Solid-State Circuits, Vol. 35, No. 8, aout 2000.
- [Kleinfelder01] S. Kleinfelder, S. Lim, X. Liu, A. El Gamal, "A 10 000 frames/s CMOS digital pixel sensor", IEEE Journal of Solid-State Circuits, Vol. 36, No. 12, décembre 2001.
- [Kozlowski05] L. J. Kozlowski, G. Rossi, L. Blanquart, R. Marchesini, Y. Huang, G. Chow, J. Richardson, D. Standley, "Pixel noise suppression via SoC management of tapered reset in a 1920 x 1080 CMOS image sensor", IEEE Journal of Solid-State Circuits, Vol. 40, No. 12, décembre 2005.
- [Labonne03] E. Labonne, "Conception d'un capteur de vision à grande dynamique de fonctionnement et à sorties différentielles binaires", Rapport de stage de DEA effectué au laboratoire TIMA, Grenoble, septembre 2003.
- [Labonne05] E. Labonne, G. Sicard, M. Renaudin, "Capteur de vision CMOS à grande dynamique et adapté aux conditions lumineuses", READ 2005, pp 9-14, juin 2005.
- [Labonne06_1] E. Labonne, G. Sicard, M. Renaudin, "A 120dB CMOS Imager with a Light Adaptive System and Digital Outputs", IEEE PRIME 2006, pp 269-272, juin 2006.
- [Labonne06_2] E. Labonne, G. Sicard, M. Renaudin, "A 120dB dynamic range CMOS image sensor with on chip FPN reduction method" DCIS 2006, novembre 2006.
- [Labonne06_3] E. Labonne, G. Sicard, M. Renaudin, "A 100dB dynamic range CMOS image sensor with global shutter" IEEE ICECS 06, pp 1133-1136, décembre 2006.

- [Lai02] L. Lai, "A novel logarithmic response CMOS image sensor with high output voltage swing and in-pixel fixed pattern noise reduction", ASIC proceedings 2002.
- [Lichtsteiner06] P. Lichtsteiner, C. Posch, T. Delbruck, "A 128×128 120dB 30mW asynchronous vision sensor that responds to relative intensity change", IEEE International Solid-State Circuits Conference ISSCC 2006, pp. 25-27, février 2006.
- [Lim02] S. Lim, A. El Gamal, "Gain fixed pattern noise correction via optical flow", Proceedings of SPIE Vol. 4669, Sensors and Camera Systems for Scientific, Industrial, and Digital Photography Applications III, 2002.
- [Loose01] M. Loose, K. Meier, J. Schemmel, "A Self-Calibrating Single-Chip CMOS Camera with Logarithmic Response", IEEE Journal of Solid-State Circuits, Vol. 36, No. 4, avril 2001.
- [Lulé00] T. Lulé, S. Benthien, H. Keller, F. Mütze, P. Rieve, K. Seibel, M. Sommer, M. Böhm, "Sensitivity of CMOS based imagers and scaling perspectives", IEEE Transactions on Electron Devices, Vol. 47, No. 11, novembre 2000.
- [Lui03] X. Liu, A. El Gamal, "Photocurrent Estimation from Multiple Non-destructive Samples in a CMOS Image Sensor", Sensors and Camera Systems for Scientific, Industrial, and Digital Photography Applications II, Proceedings of SPIE, Vol. 4308, 2003.
- [Mase05] M. Mase, S. Kawahito, M. Sasaki, Y. Wakamori, M. Furuta, "A wide dynamic range CMOS image sensor with multiple exposure-time signal outputs and 12-bit column-parallel cyclic A/D converters", IEEE Journal of Solid-State Circuits, Vol. 40, No. 12, décembre 2005.
- [McIlrath01] L.G. McIlrath, "A low-power low-noise ultrawide-dynamic-range CMOS imager with pixel-parallel A/D conversion", IEEE Journal of Solid-State Circuits, Vol. 36, No. 5, mai 2001.
- [Mead88] C.A. Mead, M.A. Mahowald, "A silicon model of early visual processing", Neural Networks, vol. 1, pp. 91-97, 1988.
- [Mendis93] S. Mendis, B. Pain, R. Nixon, and E. R. Fossum, "Design of a low-light-level image sensor with an on-chip sigma-delta analog-to-digital conversion," Charge-Coupled Devices and Optical Sensors III, Proceedings of SPIE, Vol. 1900, pp. 31-39, 1993.
- [Mendis94] S. K. Mendis, S. E. Kemeny, R. C. Gee, B. Pain, Q. Kim, E. R. Fossum, "Progress in CMOS active pixel image sensors", Proceedings of SPIE Vol. 2172, p. 19-29, Charge-Coupled Devices and Solid State Optical Sensors IV, mai 1994.
- [Mendis97] S. K. Mendis, S. E. Kemeny, R. C. Gee, B. Pain, C. O. Staller, Q. Kim, E. R. Fossum, "CMOS Active pixel image sensors for highly integrated imaging systems", IEEE Journal of Solid-State Circuits, vol. 32, No. 2, pp 187-197, février 1997.
- [Miyagawa95] R. Miyagawa T. Kanade, "Integration-time based computational image sensors", ITE Technical Report, Vol. 19, No. 65, pp. 37 – 41, novembre 1995.
- [Morel04] F. Morel, J-P. Le Normand, C-V. Zint, W. Uhring, Y. Hu, D. Mathiot, "A fast, high resolution CMOS imager for nanosecond light pulse detection", Proceedings of SPIE Vol. 5451, Integrated Optics and Photonics Integrated Circuits, 2004.

- [Ni01] Y. Ni, K. Matou, "A CMOS log image sensor with on-chip FPN compensation", ESSCIRC 2001, pp. 128-131, 18-20 Septembre 2001, Villach, Australie.
- [OmniVision07] Annonce d'un capteur intégrant des pixels de $2.2\mu\text{m}$ de coté, faite le 22 février 2007 sur le site ThomasNet <http://news.thomasnet.com/fullstory/508921/rss/2399> et fiche technique du capteur sur le site internet de la compagnie Omnivision Technologies, Inc, http://www.ovt.com/products/part_detail.asp?id=123
- [Pain94] B. Pain, E. R. Fossum, "Approaches and analysis for on-focal-plane analog-to-digital conversion", Proceedings of SPIE Vol. 2226, p. 208-218, Infrared Readout Electronics II, juin 1994.
- [Peizerat06] A. Peizerat, "Architecture de lecture pour détecteur de radiology médicale numérisée", Thèse de doctorat effectuée au laboratoire CEA/LETI de Grenoble, octobre 2006.
- [Renane02] S. Renane, "Conception d'un processeur colonne analogique à grande dynamique pour capteurs de vision CMOS", stage effectué au TIMA, septembre 2002.
- [Rhee03] J. Rhee, Y. Joo, "Wide dynamic range CMOS image sensor with pixel level ADC", Electronics Letters, Vol. 39, No. 4, pp. 360-361, février 2003.
- [Schanz00] M. Schanz, C. Nitta, A. Bußmann, B. J. Hosticka, R. K. Wertheimer, "A high-dynamic-range CMOS image sensor for automotive applications", IEEE Journal of Solid-State Circuits, Vol. 35, No. 7, juillet 2000.
- [Rogalski_95] A. Rogalski – Infrared photon detectors, SPIE, ISBN 0-8194-1798-X, 1995
- [Schechner03] Y. Schechner, S.K. Nayar, "Generalized mosaicing: high dynamic range in a wide field of view" International Journal of Computer Vision, Vol. 53, No. 3, juillet 2003.
- [Schrey02] O. Schrey, J. Huppertz, W. Brockherde, B. Hosticka, "A high DR CMOS image sensor with on chip programmable region-of-interest readout", IEEE Journal of Solid-State Circuits, Vol. 37, No. 7, juillet 2002
- [Sicard98] G. Sicard, G. Bouvier, A. Lelah, V. Fristot, "A light adaptive 4000 pixels analog silicon retina for edge extraction and motion detection", Workshop on Machine Vision Applications (MVA'98) pp. 392-395, novembre 1998.
- [Snoei06] M. F. Snoei, A. J. P. Theuwissen, K. A. A. Makinwa, J. H. Huijsing, "A CMOS imager with column-level ADC using dynamic column fixed-pattern noise reduction", IEEE Journal of Solid-State Circuits, Vol. 41, No. 12, décembre 2006.
- [Solhusvik_96] J. Solhusvik, "Etude et conception de capteurs d'images à pixels actifs et de l'électronique de traitement associée en vue d'applications faible flux », Thèse de doctorat, SUPAERO, Toulouse, novembre 1996.
- [Sommers63] H. S. Sommers, "Response of photoconducting imaging devices with floating electrodes", Journal of Applied Physics, Vol. 34, No. 10, pp. 2923-2934, octobre 1963.
- [Stoppa02] D. Stoppa, A. Simoni, L. Gonzo, M. Gottardi, G-F. Dalla Betta, "Novel CMOS image sensor with a 132-dB dynamic range", IEEE Journal of Solid-State Circuits, Vol. 37, No. 12, décembre 2002.

- [Storm06] G. Storm, R. Henderson, J.E.D. Hurwitz, D. Renshaw, K. Findlater, M. Purcell, "Extended dynamic range from a combined linear-logarithmic CMOS image sensor", IEEE Journal of Solid-State Circuits, Vol. 41, No. 9, septembre 2006.
- [Takayanagi05] I. Takayanagi, M. Shirakawa, K. Mitani, M. Sugawara, S. Iversen, J. Moholt, J. Nakamura, E. R. Fossum, "A 1.25-inch 60-frames/s 8.3Mpixel digital-output CMOS image sensor", IEEE Journal of Solid-State Circuits, Vol. 40, No. 11, novembre 2005
- [Tanner04] S. Tanner, S. Lauxtermann, M. Waeny, M. Willemin, N. Blanc, J. Grupp, R. Dinger, E. Doering, M. Ansorge, P. Seitz, F. Pellandini, "Low-power digital image sensor for still picture image acquisition", Proceedings of SPIE, Vol. 4306, Sensors, and Camera Systems for Scientific Industrial and Digital Photography Applications, 2001.
- [Wany03] M. Wäny, G. P. Israel, "CMOS image sensor with NMOS-only global shutter and enhanced responsivity", IEEE Transactions on Electron Devices, Vol. 50, No. 1, pp 57-62, janvier 2003.
- [Weckler67] G. P. Weckler, «Operation of p-n junction photodetectors in a photon flux integrating mode», IEEE Journal of Solid-State Circuits, Vol. 2, pp. 65-73, septembre 1967.
- [Yadid-Pecht97] O. Yadid-Pecht, E.R. Fossum, "Wide intrascene dynamic range CMOS APS using dual sampling", IEEE Transactions on Electron Devices, Vol. 44, No. 10, octobre 1997.
- [Yadid-Pecht03] O. Yadid-Pecht, A. Belenky, "In-pixel exposure CMOS APS", IEEE Journal of Solid-State Circuits, Vol. 38, No. 8, aout 2003.
- [Yang99] D. X. D; Yang, A. El Gamal, B. Fowler, H. Tian, "A 640 x 512 CMOS image sensor with ultrawide dynamic range floating-point pixel-level ADC", IEEE Journal of Solid-State Circuits, Vol. 34, No. 12, décembre 1999.
- [Zhou97] Z. Zhou, B. Pain, E. R. Fossum, "CMOS active pixel sensor with on-chip successive approximation analog to digital converter", IEEE Transactions on Electron Devices, Vol.44, No; 10, octobre 1997.

LISTE DES COMMUNICATIONS PUBLIEES DURANT CETTE THESE

- E. Labonne, G. Sicard, M. Renaudin

« **An on-pixel FPN reduction method for a high dynamic range CMOS imager** »

soumis à ESCCIRC 2007, Munich, Allemagne, septembre 2007.

- E. Labonne, G. Sicard, M. Renaudin

« **A 100dB dynamic range CMOS image sensor with global shutter** »

IEEE ICECS 06, Nice, France, décembre 2006, pp 1133-1136.

- E. Labonne, G. Sicard, M. Renaudin

« **A 120dB dynamic range CMOS image sensor with onchip FPN reduction method** »

DCIS 2006, Barcelona, Espagne, novembre 2006, ISBN : 978-84-690-4144-4.

- E. Labonne, G. Sicard, M. Renaudin

« **A 120dB CMOS Imager with a Light Adaptive System and Digital Outputs** »

IEEE PRIME 2006, Otranto, Italie, juin, 2006, pp 269-272

- E. Labonne, G. Sicard, M. Renaudin

« **Capteur de vision CMOS à grande dynamique et adapté aux conditions lumineuses** »

Proceedings READ 2005, Evry, France, juin 2005, pp 9-14

- E. Labonne, G. Sicard, M. Renaudin

« **Un capteur de vision CMOS pour la sécurité automobile** »

Proceedings JNRDM 2005, Paris, France, mai 2005, pp 58-60

- E. Labonne, G. Sicard, M. Renaudin

« **Dynamic Voltage Scaling and Adaptive Body Biasing Study for Asynchronous Design** »

Rapport de recherche TIMA, ISBN: TIMA-RR--04/06-01—FR, 2004

TITRE

CONTRIBUTION A LA CONCEPTION DE CAPTEURS DE VISION CMOS A GRANDE DYNAMIQUE

RESUME

Cette thèse, effectuée dans le cadre du projet Européen MEDEA+, PICS, porte sur la conception d'imageurs CMOS destinés aux applications de sécurité automobile et de surveillance. Le travail s'est focalisé sur l'amélioration de la dynamique de fonctionnement des imageurs CMOS tout en conservant des valeurs de bruit spatial fixe, une consommation et une surface de pixel minimales. Plusieurs solutions ont été explorées, les pixels à compresseur logarithmique, les pixels à temps d'intégration et les pixels intégrant une adaptation aux conditions lumineuses. Ces études ont abouties à la conception et la fabrication de quatre imageurs CMOS. Ces capteurs ont été testés et ont permis de valider les approches choisies.

MOTS-CLE

Capteur de vision CMOS, grande dynamique, compensation du bruit spatial fixe, compresseur logarithmique, temps d'intégration adapté, adaptation aux conditions lumineuses.

TITLE

HIGH DYNAMIC RANGE CMOS IMAGE SENSORS CONCEPTION

ABSTRACT

This thesis, carried out within the MEDEA + European project PICS, dealt with the design of CMOS imagers for automotive safety, security and professional broadcast applications. During this thesis, work was focused on improving the CMOS imager dynamic range while keeping minimal values for the fixed spatial noise, the power consumption and the pixel area. Several pixel architectures were investigated such as logarithmic architecture pixels, integration pixels and integration with light adaptive system. These studies resulted in the design of four CMOS imagers. Two circuits have been prototyped. The sensors performances obtained by test validate the proposed pixel architectures.

KEY-WORDS

CMOS imagers, high dynamic range, Fixed Pattern Noise calibration, logarithmic pixel, adaptive integration time, light adaptive system