



HAL
open science

Contribution à l'étude des propriétés dynamiques du transistor métal-oxyde-semiconducteur à canal vertical (V-MOS)

Georges Guegan

► **To cite this version:**

Georges Guegan. Contribution à l'étude des propriétés dynamiques du transistor métal-oxyde-semiconducteur à canal vertical (V-MOS). Micro et nanotechnologies/Microélectronique. Université Paul Sabatier - Toulouse III, 1979. Français. NNT: . tel-00178831

HAL Id: tel-00178831

<https://theses.hal.science/tel-00178831>

Submitted on 24 Oct 2007

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

présentée

DEVANT L'UNIVERSITÉ PAUL SABATIER DE TOULOUSE

en vue de l'obtention

du Diplôme de DOCTEUR INGENIEUR

par

Georges GUEGAN

Ingénieur E.N.S.E.R.G.

CONTRIBUTION A L'ETUDE DES PROPRIETES DYNAMIQUES DU TRANSISTOR METAL-OXYDE-SEMICONDUCTEUR A CANAL VERTICAL (V-MOS)

Soutenue le 25 Octobre 1979, devant la Commission d'Examen :

MM. G. REY

Président

Ph. LETURCQ

M. CAMUS

J. LEBAILLY

H. MARTINOT

P. ROSSEL

Examineurs

A mes parents

aux amis

A Pierre ROSSEL

en témoignage d'amitié et de reconnaissance

AVANT - PROPOS

Le travail que nous présentons dans ce mémoire, a été effectué dans le cadre de la Division "Composants Electroniques" du Laboratoire d'Automatique et d'Analyse des Systèmes (L.A.A.S.) du Centre National de la Recherche Scientifique de Toulouse. Nous exprimons, en premier lieu, toute notre reconnaissance à Monsieur D. ESTEVE, Directeur de Recherche au C.N.R.S., Directeur-Adjoint du L.A.A.S., et à Monsieur G. GRATELOUP, Directeur du L.A.A.S. pour la confiance qu'ils nous ont accordée en nous accueillant dans ce laboratoire.

Nous remercions Monsieur le Professeur G. REY, de l'Université Paul Sabatier de Toulouse, pour l'honneur qu'il nous fait en acceptant de présider notre jury de thèse.

Nous sommes très honorés de la présence à notre jury de thèse et nous tenons à remercier :

- Monsieur le Professeur Ph. LETURCQ, Directeur du Département de Génie Electrique de l'Institut National des Sciences Appliquées de Toulouse, pour l'honneur qu'il nous fait en s'intéressant à notre travail.

- Monsieur CAMUS, Ingénieur en Chef, chargé du Secteur Composants et Recherche Physique du Centre National d'Etudes des Télécommunications de Meylan, pour l'honneur qu'il nous fait en acceptant, malgré ses multiples occupations, de siéger à notre jury de thèse.

- Monsieur J. LEBAILLY, responsable des Etudes Avancées des Eléments Discrets à la Radiotechnique Compelec (Caen) pour l'intérêt qu'il a bien voulu porter à notre travail et pour la fourniture de composants de test.

Nous remercions vivement Monsieur H. MARTINOT, Directeur de Recherche au C.N.R.S. pour ses conseils et suggestions.

Monsieur P. ROSSEL, Chargé de Recherche au C.N.R.S. a bien voulu assurer la direction scientifique de nos travaux et contribuer pour une très large part à leur aboutissement. Nous tenons à lui témoigner notre profonde gratitude.

Nos remerciements vont aussi :

- à Monsieur H. TRANDUC pour les nombreuses discussions très fructueuses que nous avons eues ensemble, pour son aide efficace et son amitié.

- à Monsieur G. SARRABAYROUSE pour sa collaboration.

- à Monsieur BOUYSSOU du Service Informatique et Simulation.

- aux membres de la Centrale de Technologie du L.A.A.S. et plus particulièrement à Mme F. ROSSEL.

- aux membres du Service de Documentation du L.A.A.S. qui ont mené à bien la réalisation matérielle de ce mémoire :
Mademoiselle M. FOURMENT pour la dactylographie du manuscrit,
Messieurs ZITTEL, DAURAT et LORTAL pour l'impression de cet ouvrage.

Enfin, nous remercions tous les membres du Laboratoire pour le soutien amical qu'ils nous ont manifesté, plus particulièrement Mesdemoiselles C. AZIZI, A. BAILHE, M. BAFLEUR, Messieurs K. ATALLAH H. EMTYAZI, D. FOLLEA, M. GAMBOA, J. KANDEM.

LISTE DES SYMBOLES

C_{DS}	: capacité de transition de la diode de drain
C_{GD}	: capacité de recouvrement grille-drain
C_{GR}	: capacité de recouvrement grille-source
C_{GS}	: capacité d'oxyde épais entre le plot de métallisation de grille et le substrat
C_{TO}	: capacité de transition de la diode de drain à tension drain-substrat nulle
C_D	: capacité dynamique de drain
C_G	: capacité dynamique de grille
C_{gd}	: capacité dynamique grille-drain
C_{gr}	: capacité dynamique grille-source
C_{ox}	: capacité par unité de surface de la couche d'oxyde
E_c	= $\frac{\Psi}{x_o}$ champ critique transversal
E_o	: champ critique longitudinal
E_x, E_y	: champs électriques dans les directions x,y
F	: Fréquence
G_T	: gain d'insertion
I_D	: courant drain du transistor MOS
$\mathcal{I}m (Y_{ij}, Y'_{ij}, \hat{Y}_{ij})$: partie imaginaire des admittances
K	= $\frac{M}{o} \frac{Z}{L} Cox$
L	: longueur du canal du transistor MOS
L_D	: inductance de drain
L_G	: inductance de grille
L_S	: inductance de source
MAG	: gain en puissance maximal
MUG	: gain en puissance maximal unilatéralisé

$N_{A,D}$: concentration en impuretés acceptrices, donatrices
Q_{SS}	: charge ramenée à l'interface des charges d'oxyde et des états de surface
R_D	: résistance d'accès de drain
R_G	: résistance d'accès de grille
R_S	: résistance d'accès de source
R_{dr}	: résistance parasite associée à la région N^-
R_{DS}	: somme des résistances, entre les contacts de drain et de substrat, des matériaux semiconducteurs constituant le drain et le substrat.
R_{GS}	: résistance du substrat sous la capacité C_{GS}
R_{ON}	: résistance statique drain-source à l'état passant
R_{out}	: résistance de sortie du transistor MOS liée à l'effet électrostatique de la diode de drain
$Re (Y_{ij}, Y'_{ij}, \hat{Y}_{ij})$: partie réelle des admittances
S	: surface de la jonction de drain
S_{ij}	: facteurs de la matrice d'onde
T	: Température absolue
V_D	: différence de potentiel drain-substrat
V_G	: différence de potentiel grille-substrat
V'_G	: tension "effective" de grille
V_P	: tension drain de pincement
V_R	: différence de potentiel source-substrat
V_T	: tension de seuil
Y_{ij}	: facteurs de la matrice admittance du transistor MOS
Z	: largeur du canal
g_m	: transconductance

$g_{m\max}$: transconductance maximale
k	: constante de Boltzmann
$n(x,y)$: concentration volumique des électrons
n_i	: concentration intrinsèque
p	: variable symbolique de Laplace
p'	$= \frac{p}{\omega_0}$ variable réduite de Laplace
q	: charge de l'électron
t	: temps
t_r	: temps de montée
t_f	: temps de descente
$t_d(\text{ON}), t_d(\text{OFF})$: temps de réponse
u	: potentiel normalisé en tout point du semiconducteur
u_D	: potentiel normalisé drain-substrat
u_F	: potentiel de Fermi normalisé
u_G	: potentiel normalisé grille-substrat
v_{sat}	: vitesse de saturation des porteurs
x, y, z	: coordonnées dans l'espace
x_o	: épaisseur de la couche d'oxyde de grille
x_c	: épaisseur de la zone d'appauvrissement
x_i	: épaisseur de la zone d'inversion
α	$= \sqrt{\frac{q \epsilon_o \epsilon_{\text{si}} N_A}{2}}$ S
$\epsilon_o \epsilon_{\text{si}}$: permittivité du silicium
$\epsilon_o \epsilon_{\text{ox}}$: permittivité de la silice
Υ	: potentiel lié à la réduction de mobilité due au champ transversal

ϕ_B	$= \frac{2qN_A \epsilon_{si} \epsilon_0}{C_{ox}^2}$
ϕ_F	: potentiel de Fermi
ϕ_{DIFF}	: tension de diffusion de la diode de drain
ϕ_{MS}	: différence des travaux de sortie entre métal et semiconducteur
$\phi(x,y)$: potentiel électrostatique en un point du semi-conducteur
ϕ_S	: potentiel électrostatique à la surface du semiconducteur
ϕ	: différence des potentiels de Fermi normalisés
$\mu, \mu_N, \mu_P, \mu_{eff}$: mobilités effectives des porteurs
μ_B	: mobilité des porteurs en volume du silicium
μ_0	: mobilité en surface à champ faible
ω	: pulsation
ω_0	: facteur de normalisation
$\hat{\omega}$: pulsation réduite

INTRODUCTION

L'idée de réaliser des structures M.O.S. pour l'amplification de puissance, notamment dans le domaine des hautes fréquences, date de 1968 [1]. Depuis cette date, on a qualifié du terme "M.O.S. de puissance", tous les transistors M.O.S. prévus pour être utilisés dans le domaine de l'amplification non linéaire, en classe B ou C, et ceci bien que les valeurs des puissances commandées par la structure restent faibles, de l'ordre du watt ou de la dizaine de watts.

Les principales tentatives pour réaliser de tels transistors M.O.S. ne sont restées jusqu'en 1974, qu'au stade expérimental de laboratoire : les premières structures, de type horizontal, essentiellement calquées sur les transistors M.O.S. plans classiques, se prêtaient mal d'une part, à l'obtention d'une tension de claquage élevée et d'autre part, à l'interconnexion des drains de plusieurs transistors élémentaires par des métallisations interdigitées ; par ailleurs, du fait des longueurs élevées de canal, les performances fréquentielles restaient médiocres.

Depuis 1974, de nouvelles structures sont apparues ; elles offrent les qualités requises pour les applications dans lesquelles les puissances à contrôler vont de quelques dizaines de watts jusqu'au kilowatt. Ces dispositifs ont pu être développés en bénéficiant des avantages liés à la mise au point de technologies sophistiquées d'une part, dans le domaine des circuits intégrés à large échelle de type M.O.S.—définition de gravures microniques, réalisation des auto-alignements par implantation ionique, rendement élevé dans les oxydes de grille de grande surface, fabrication de grilles en silicium polycristallin— d'autre part, dans la réalisation de transistors bipolaires —processus de double diffusion dans la même fenêtre d'oxyde— et enfin dans les méthodes d'attaque chimique, isotrope ou anisotrope, ou par plasma du silicium.

La plupart de ces composants M.O.S. dits "de puissance" présente des qualités potentielles qui les font apparaître, d'ores et

déjà, comme les concurrents sérieux du transistor bipolaire. Parmi les plus importantes citées dans la littérature, on peut relever :

- la linéarité de la caractéristique de transfert
- la valeur négative du coefficient thermique
- l'inexistence de mécanismes de focalisation de courant
- la valeur élevée des fréquences d'utilisation

Jusqu'à ce jour, ces propriétés n'ont pas fait l'objet d'étude rigoureuse, et si elles existent qualitativement dans certaines structures, il n'est pas évident que ce soient des caractéristiques spécifiques à tous les transistors MOS de puissance. D'autre part, les phénomènes physiques qui sont à l'origine de telles propriétés, n'ont pas été analysés rigoureusement.

Dans ce mémoire, notre objectif sera d'apporter une contribution à l'analyse des mécanismes qui régissent le fonctionnement, statique et dynamique, du transistor MOS à canal vertical qui appartient à la famille des transistors MOS de puissance. Ce dispositif semblait être, jusqu'à ce jour, l'un des plus prometteurs pour l'amplification en basses et hautes fréquences et pour la commutation rapide.

Dans le premier chapitre, nous décrirons les principales structures MOS de puissance réalisées dans le monde, leurs particularités technologiques, géométriques, et leurs principales caractéristiques électriques.

Ceci permettra de situer le V.MOS, dans cette famille, comme étant le composant à canal le plus court présentant les meilleures performances en régimes de commutation et d'amplification hautes fréquences.

Dans le deuxième chapitre, nous établirons les équations de fonctionnement de ce type de transistor en régime statique et proposerons un modèle dynamique, basé sur la théorie des charges sur les électrodes, qui sera adapté à l'étude du régime de commutation. Lors de cette analyse, nous ferons apparaître l'origine physique de la linéarité de la caractéristique de transfert et de la saturation de la transconductance.

L'étude théorique et expérimentale des propriétés fréquentielles du transistor V.MOS sera effectuée dans le dernier chapitre. Les résultats seront appliqués à la caractérisation d'un amplificateur large bande utilisant ce composant. Par ailleurs, on déterminera les causes fondamentales de limitation des performances en fréquence et on suggèrera des modifications de structure propres à améliorer les performances de ces dispositifs.

CHAPITRE I

LES DIVERSES STRUCTURES DE TRANSISTORS M.O.S. DE PUISSANCE

I. 1 - INTRODUCTION

Depuis 1960, année correspondant à la réalisation [2] grâce à la technique planar du premier transistor M.O.S, réellement fiable, le développement de ce type de dispositif n'a cessé de se poursuivre. La figure I. 1 représente la structure d'un MOS plan obtenu par les processus de diffusion et d'oxydation standards utilisés dans la technologie planar.

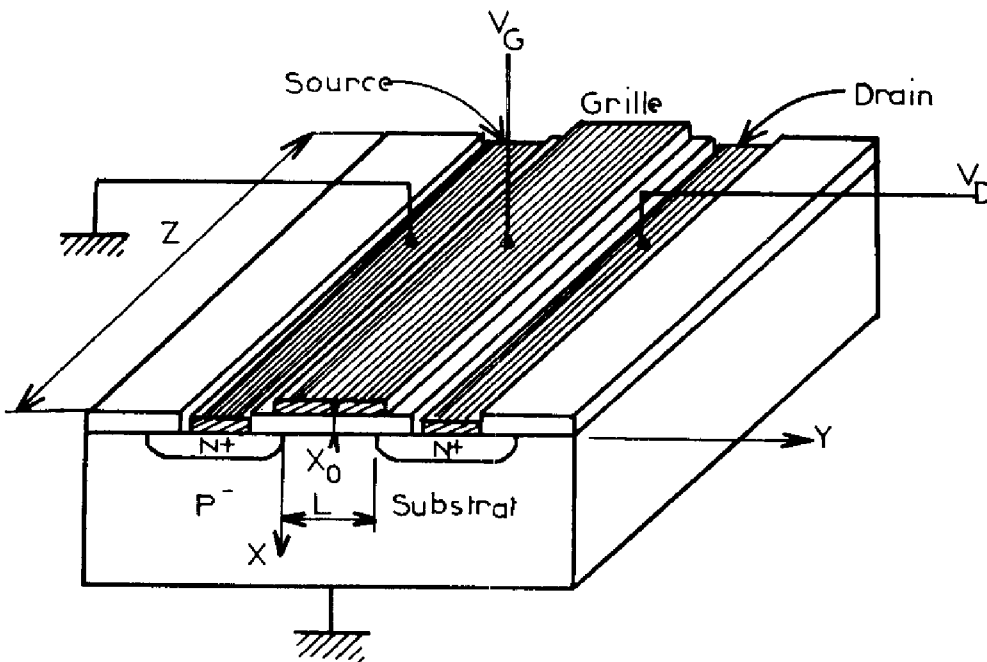


Figure I. 1 : Structure du transistor M.O.S. (Métal-Oxyde-Semiconducteur) conventionnel.

Le domaine des applications d'un tel dispositif peut se diviser en trois parties :

- les circuits intégrés à large échelle pour lesquels la relative simplicité d'élaboration permet d'obtenir une grande complexité avec un bon rendement technologique.

- les circuits d'amplification analogique à très grande impédance d'entrée.

- les circuits d'amplification hautes fréquences.

Cependant, les domaines de l'amplification de puissance en moyennes et hautes fréquences et de la commutation rapide étaient encore récemment réservés aux transistors bipolaires. Les transistors M.O.S., réalisés suivant la technologie classique ne pouvaient pas répondre simultanément aux deux contraintes : être capable de supporter des tensions élevées et transiter des courants importants. Ce fait était d'autant plus regrettable que les transistors M.O.S. présentent les avantages potentiels suivants par rapport aux transistors bipolaires :

- un coefficient de température négatif à haut niveau de courant : ces dispositifs tendent à être thermiquement stables, même si leur surface est grande. Les conséquences de cette propriété sont d'une part, une distribution plus uniforme de la température et d'autre part, une relative liberté vis à vis de l'emballage thermique. Un regroupement des dispositifs par une mise en parallèle doit permettre de multiplier le courant produit par un seul canal.

- les transistors M.O.S. sont des dispositifs qui ne souffrent pas des effets de stockage de charges dans les zones actives. Ainsi des fréquences de coupure plus élevées et des vitesses de commutation plus grandes doivent être obtenues.

- Les M.O.S.T. ont une grande impédance d'entrée, plus grande que celle des transistors bipolaires opérant à des niveaux semblables de courant. Ceci doit permettre par l'association de cellules élémentaires d'obtenir des dispositifs de puissance dont l'impédance d'entrée en hautes fréquences est voisine de 50Ω .

- Enfin rappelons que les distorsions d'intermodulation en hautes fréquences des transistors M.O.S. sont plus faibles que celles obtenues avec des tubes ou des transistors bipolaires.

Toutefois, un inconvénient majeur, pour les applications à la commutation de ce type de transistor, est lié aux valeurs élevées des tensions de saturation, point sur lequel il n'arrive pas encore à concurrencer les transistors bipolaires.

Malgré ces avantages potentiels, l'idée de réaliser des structures M.O.S. pour l'amplification de puissance, notamment dans le domaine des hautes fréquences, ne date que de 1968 [1] . En fait, les M.O.S. de puissance ne sont apparus sur le marché qu'en 1975. Il a fallu attendre la conception de nouveaux types de structures (V.MOS et D.MOS) pour qu'il soit possible d'envisager des valeurs de tensions et de courants compatibles avec les applications de puissance.

Bien que dans "l'état de l'art actuel", ces nouvelles structures n'aient pas encore atteint toutes les performances des composants bipolaires (thyristors, transistors de puissance), elles ne présentent pas les inconvénients suivants : emballement thermique, second claquage, stockage des porteurs minoritaires, nécessité de concevoir des circuits complexes de stabilisation en hautes fréquences. D'ailleurs ces structures sont souvent supérieures pour les vitesses de commutation et les fréquences d'utilisation.

Après l'étude des principaux facteurs de limitation en puissance, nous décrirons ces nouvelles structures M.O.S. de puissance en nous limitant aux dispositifs au silicium et en insistant sur les structures non planaires qui sont les plus prometteuses.

I. 2 - PRINCIPAUX FACTEURS DE LIMITATION EN PUISSANCE

Les trois mécanismes physiques qui peuvent limiter les performances d'un transistor M.O.S. lorsqu'on désire obtenir les caractéristiques d'un dispositif de puissance sont :

- le claquage de la diode de drain.
- le perçage entre drain et source.
- la densité de courant admissible.

Les deux premiers points concernent essentiellement les performances en tension et déterminent la quantité BV_{DS} (tension maximale entre le drain et la source), tandis que les performances en courant ne sont fonction que des deux derniers points.

I. 2. 1 - Claquage de la diode-drain

La diode-drain dans les M.O.S.T. "classiques" est une zone de diffusion profonde dans un substrat faiblement dopé. Les principaux facteurs déterminant le claquage de celle-ci sont : le dopage du substrat d'une part, le rayon de courbure et la profondeur de la zone de diffusion d'autre part.

La figure I. 2 indique les variations de cette tension de claquage en fonction du dopage N_A du substrat et de la profondeur x_j de la jonction [3] .

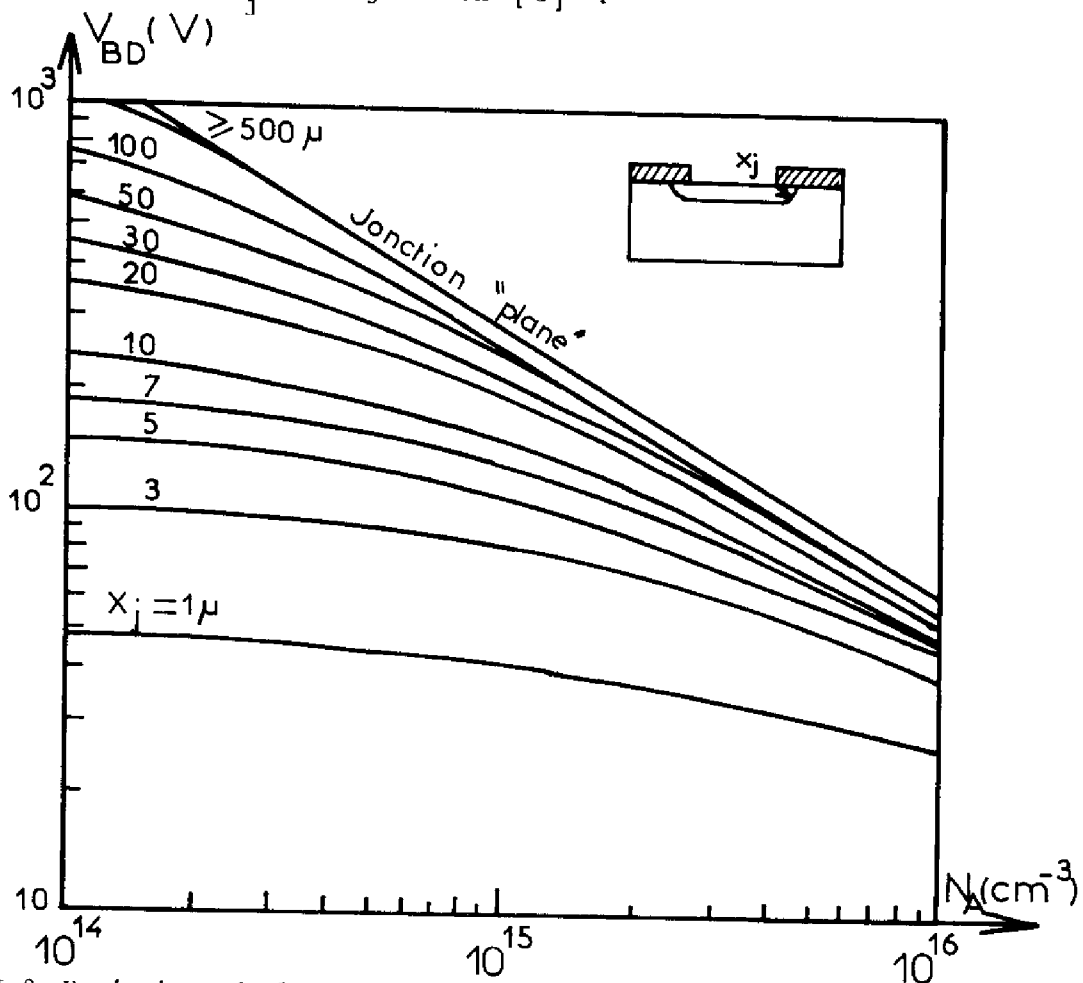


Figure I.2: Variations de la tension de claquage en fonction du dopage N_A du substrat et de la profondeur x_j de la jonction d'après LEISTIKO et col. [3] .

Dans le cas des transistors M.O.S, la présence de la grille en métal près du bord du canal provoque une concentration du champ à la surface de la diode-drain (figure I. 3). Ce champ entraîne une diminution notable de la tension de claquage.

La tension grille, l'épaisseur de la couche d'oxyde, la concentration du dopage à la surface de la diode-drain et la longueur du canal sont les facteurs qui déterminent le phénomène de claquage.

Dans le cas d'une simple diode planar profondément diffusée, recouverte par une grille, il a été montré ("GROVE et col. 1967") [4] que la tension de claquage V_{DB} est donnée par :

$$V_{DB} \approx \frac{V_G}{1 + 3 \frac{x_o}{W}} + \frac{W \cdot E'_c}{1 + \frac{W}{3x_o}} \quad (1-1)$$

où x_o représente l'épaisseur d'oxyde, E'_c le champ critique de claquage, V_G la tension de grille, W la profondeur de la région dépeuplée.

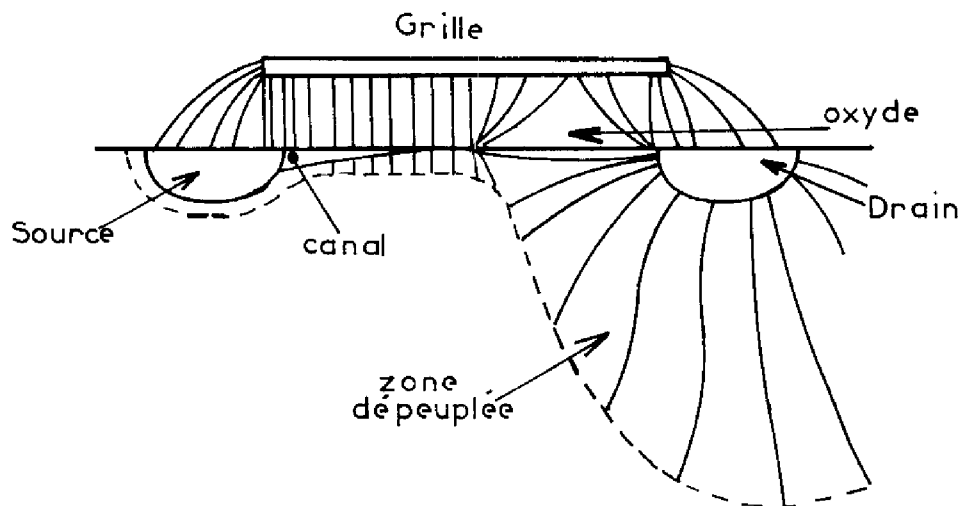


Figure I. 3 : répartition du champ électrique dans une structure M.O.S.

Fort heureusement, dans le cas du transistor M.O.S., la distribution du champ est altérée par le champ latéral régnant dans le canal et la tension de claquage n'est pas aussi réduite que dans le cas d'une simple diode planar recouverte par une grille, et est plus élevée que la valeur donnée par la relation 1-1.

Pour permettre au composant de présenter des tensions de claquage supérieures, nous verrons plus loin qu'une solution consiste à réaliser des structures à grille partielle de telle façon que celle-ci ne recouvre pas le drain : une augmentation de la tenue en tension d'un facteur deux ou trois peut ainsi être obtenue.

I. 2. 2 - Perçage source-drain

Quand la tension drain d'un transistor M.O.S. augmente, la zone de charge d'espace associée à la diode de drain s'élargit et, lorsque celle-ci rejoint la source, le perçage se produit. Une valeur très approchée de cette tension de perçage est donnée par la théorie classique de la jonction $N^+ - P$ (drain-substrat).

$$V_{PT} = L^2 \cdot \frac{qN_A}{2\epsilon_0\epsilon_{si}} \quad (1-2)$$

où L représente la longueur du canal, N_A le dopage du substrat et ϵ_{si} le facteur de permittivité du silicium.

La présence du canal, dans ce cas aussi, modifie de façon sensible la distribution du champ. Par suite, il est possible de travailler avec des longueurs de canal plus réduites que la profondeur dépeuplée théorique sans pour autant être gêné par ce phénomène de perçage. Cependant, avec des longueurs de canal de 3 à 6 microns et un dopage (N_A) du substrat compris entre 10^{14} cm^{-3} et 10^{15} cm^{-3} , les tensions maximales de drain ne peuvent pas dépasser 50 volts environ.

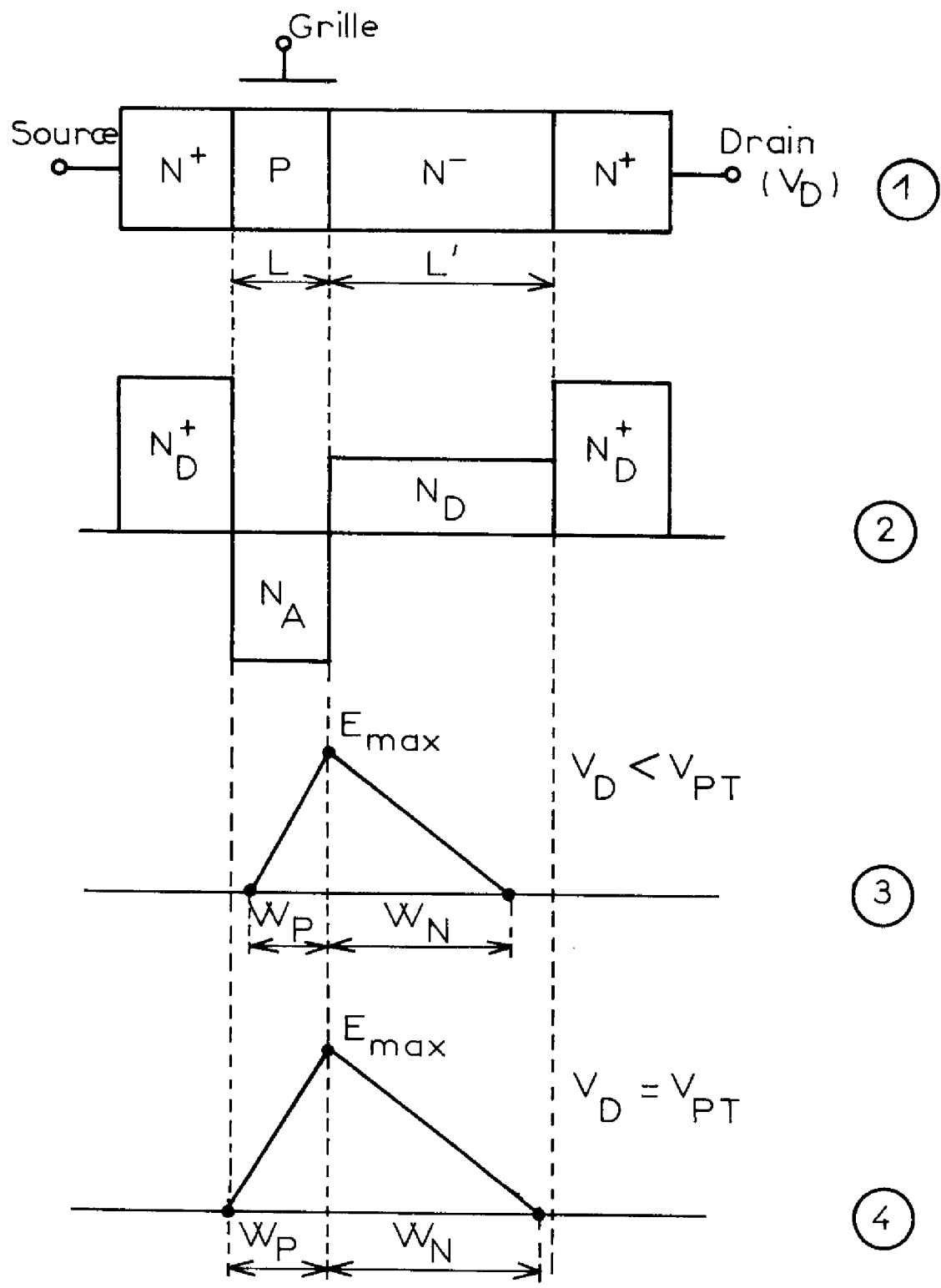


Figure I. 4 : Profils de dopage (2) et répartition du champ électrique dans les conditions de fonctionnement normal (3) et de perçage (4) dans une structure idéalisée $N^+PN^-N^+$.

Pour améliorer les performances de "tenue au perçage", il a été nécessaire de concevoir de nouvelles structures $N^+ PN^- N^+$ ou $P^+ NP^- P^+$ dont la représentation idéalisée est donnée sur la figure I. 4, ①. Dans cette structure, le dopage du drain est plus faible que le dopage du substrat où le canal est réalisé : figure I. 4, ②. La charge d'espace associée à la tension drain s'étend surtout à travers la région N^- (ou P^-) : figure I. 4, ③. Ainsi, le phénomène de perçage, qui se produit quand la profondeur de la zone d'appauvrissement dans la région P (ou N) du canal atteint la source, figure I. 4, ④, a lieu pour des tensions drain-source plus grandes. La tension maximale dépend de l'épaisseur et du dopage de la zone N^- (ou P^-) et le courant est lié essentiellement à la longueur L et au dopage de la région P (ou N). Ce genre de structure dite à zone de "drift" N^- (ou P^-) permet donc d'obtenir simultanément des tensions et des courants élevés.

I. 2. 3 - Densité de courant

Les transistors M.O.S. ne présentent pas d'effet de focalisation du courant quel que soit le niveau de polarisation à cause d'une part, de la disposition géométrique des électrodes et d'autre part, du mécanisme de contrôle de ce courant par le champ électrique et non par injection de courant. Donc pour un transistor M.O.S. de puissance, la génération de chaleur et le flux de courant seront répartis de façon homogène, du moins théoriquement. En plus, la réduction de la vitesse des porteurs en surface avec la température se traduit par un coefficient de température négatif. A cause des effets stabilisateurs, il n'y a pas de limite fondamentale à la taille d'un transistor M.O.S. de puissance. Ainsi, la technique de réalisation d'un dispositif M.O.S. de puissance consiste à interconnecter en parallèle plusieurs cellules élémentaires sans prendre de précautions particulières, ceci est le contraire du cas du transistor bipolaire, qui est affecté par le phénomène de second claquage. De façon plus détaillée, le courant d'un transistor M.O.S. obéit à une relation théorique

qui se présente sous la forme suivante :

$$I_D = \mu_{\text{eff}} \cdot C_{\text{ox}} \cdot \frac{Z}{L} \cdot f(V_D, V_G, L) \quad (1-3)$$

où μ_{eff} représente la mobilité effective des porteurs, C_{ox} la capacité d'oxyde par unité de surface, Z la largeur et L la longueur du canal. $f(V_D, V_G, L)$ est une fonction plus ou moins compliquée des tensions de polarisation suivant que l'on prenne en compte, ou non, les effets de dopage non uniforme, les effets thermiques, les effets de réduction de mobilité, etc... Pour obtenir des courants de drain élevés, il est donc nécessaire soit d'augmenter C_{ox} et Z , soit de diminuer L .

En pratique, la quantité C_{ox} est déterminée par l'épaisseur d'oxyde qui est fixée par la tension de claquage grille-drain (1500 Å pour 100 volts environ). Quant à la longueur L de canal, des valeurs comprises entre 2 et 6 microns peuvent être considérées comme typiques actuellement. Par suite, la caractéristique géométrique principale des transistors M.O.S. de puissance sera de présenter des valeurs élevées de largeur totale Z de canal. A titre d'exemple, on obtient un courant drain de l'ordre de 15 Ampères pour une largeur de canal d'environ 20 cm. Cette condition impose aux transistors M.O.S. de puissance de présenter en général une structure interdigitée horizontale ou verticale pour permettre une connexion plus aisée des électrodes. Dans tous les cas, la surface de la puce devra être importante et cette dernière ne sera réalisable que si le processus technologique permet d'obtenir des rendements de fabrication élevés.

I. 2. 4 - Limitation thermique

La dissipation de puissance dans le transistor produit un accroissement de la température de cristal T_c selon la relation classique :

$$T_c - T_{\text{ambiante}} = R_{\text{TH}} \cdot V_D \cdot I_D \quad (\text{I-4})$$

où R_{TH} représente la résistance thermique entre le cristal et l'atmosphère ambiante.

Cette température du cristal dépend d'une part, des caractéristiques géométriques du dispositif — dimensions de la puce, disposition des électrodes — d'autre part, de son pouvoir à dissiper de la chaleur — choix de l'embase, aménagement des radiateurs. On admet généralement que la température du cristal ne doit pas dépasser 150° C. Cette dernière est choisie pour des considérations générales de fiabilité plutôt que pour des considérations propres au fonctionnement du transistor M.O.S.

I. 3 - LES STRUCTURES DE PUISSANCE

Le principe de base de conception de M.O.S.T. de puissance est le même que celui de réalisation des transistors M.O.S. classiques. Il faut obtenir d'une part, deux zones de même type P ou N séparées par une région de type opposé N ou P. Les deux premières constituent la source et le drain, l'autre région constitue le substrat et est en général connectée à la source. D'autre part, la région médiane entre la source et le drain est recouverte par une mince couche d'oxyde de silicium sur laquelle on déposera la métallisation de grille. Les caractéristiques électriques :— tension, débit en courant, puissance dissipée— seront déterminées par le choix de la configuration géométrique et le dopage des différentes régions.

Les transistors M.O.S. de puissance peuvent être classés en trois grandes familles :

- les structures dont le canal est horizontal et le dopage dans la région du canal uniforme.

- les structures ayant un canal horizontal diffusé,
- les structures dont le canal est vertical.

Dans le prochain paragraphe, nous décrirons ces diverses structures [5], nous discuterons de leurs avantages et inconvénients respectifs et présenterons leurs principales caractéristiques électriques.

I. 3. 1 - Structures ayant un canal horizontal et un dopage du substrat uniforme.

Elles correspondent aux structures les plus anciennes et sont directement calquées sur les géométries des transistors M.O.S. classiques. Elles peuvent être divisées en deux familles suivant que les électrodes de source et de drain sont ou ne sont pas coplanaires.

I. 3. 1. a - Les électrodes de source et de drain sont coplanaires.

La figure I. 5 représente une coupe du premier M.O.S. de puissance réalisé sur ce principe [6] . Cette structure est obtenue en interconnectant en parallèle un certain nombre de cellules interdigitées élémentaires au moyen de métallisations et de fils thermocompressés : ceci permet d'augmenter la largeur de la grille.

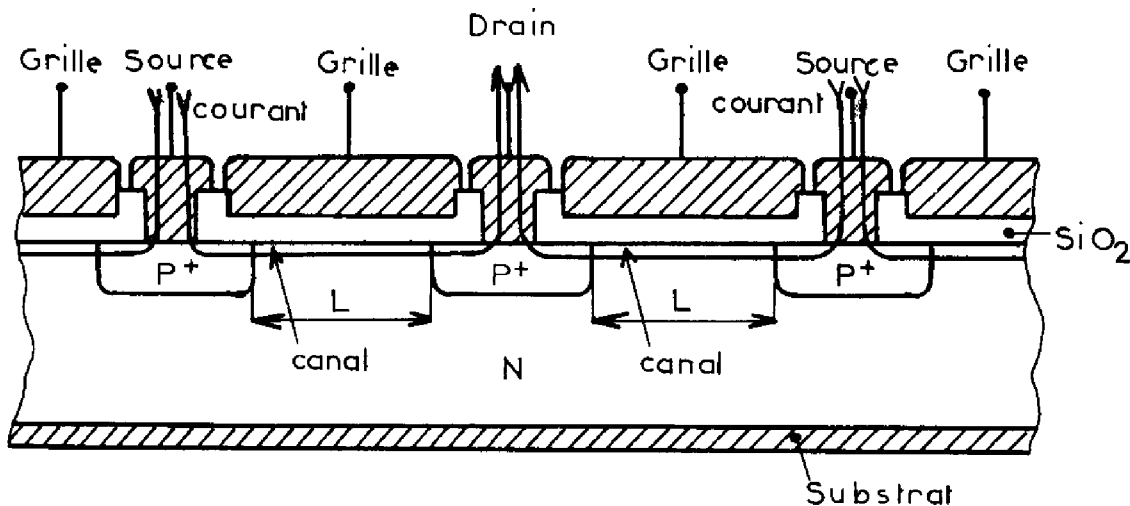


Figure I. 5 : coupe d'un M.O.S.T. de puissance à électrodes de drain et de source coplanaires et à configuration géométrique "classique"[6]

Par ailleurs, les doigts élémentaires de diffusion sont très courts et non métallisés. Les résistances d'accès sont ainsi réduites et la structure reste simple. La tenue en tension de drain est limitée par le fait que la grille recouvre ce drain. Dans cette technologie qui n'existe qu'en canal P, la distance source-drain est grande, de l'ordre de 16 microns. Aussi, l'utilisation de ces structures est limitée à des fréquences faibles.

La structure à canal N proposée par DAWSON [1] , représentée sur la figure I. 6, constitue une amélioration de la précédente. En effet, elle comporte une région faiblement dopée côté drain qui a été obtenue à partir d'oxydes dopés au phosphore.

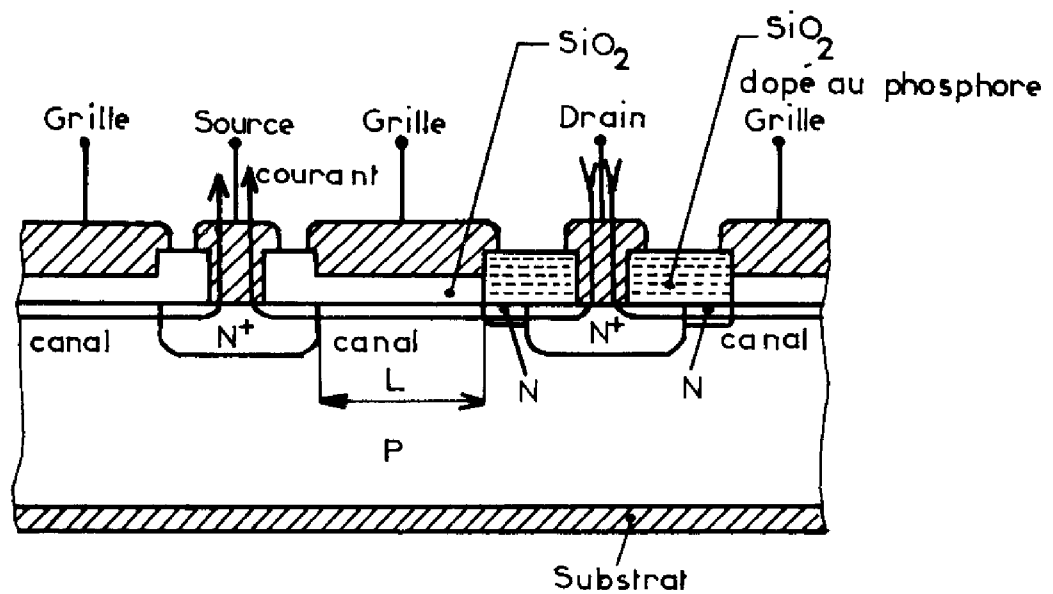


Figure I. 6 : coupe d'un M.O.S.T. de puissance à électrodes de drain et de source coplanaires ; la zone N de drain est obtenue à partir d'oxydes dopés au phosphore (d'après DAWSON et col. [1]).

Ainsi, la métallisation de grille ne recouvre pas la région de drain fortement dopée N^+ . Les longueurs de canal sont inférieures à 8 microns. Seules, des structures à canal N sont réalisables par ce processus. Ces dispositifs sont utilisables en hautes fréquences mais sont limités en tension malgré la configuration de la diode de drain.

Plus récemment, une paire de transistors complémentaires de puissance à canal horizontal a été fabriquée par HITACHI [7] . Ce type de structure, représenté sur la figure I. 7, possède un canal rapporté par implantation ionique, ce qui permet d'augmenter la tenue en tension. Cette dernière est encore améliorée grâce à une couche P faiblement dopée et profondément diffusée, située près du drain. L'électrode de source placée à environ 1 micron au-dessus du silicium joue le rôle de plaque de champ, diminue l'amplitude du champ électrique en surface du silicium et augmente à la fois la tension de claquage et l'intensité du courant. La grille en silicium polycristallin est recouverte d'oxyde de silicium de façon à être isolée de la métallisation de source. Ainsi, avec un bon rendement technologique, des courants de l'ordre de 10 ampères sont obtenus sur une puce de 4,5 mm de côté pour le canal N et 5 mm de côté pour le canal P. Ce type de structure est essentiellement utilisé dans des amplificateurs audio-fréquences.

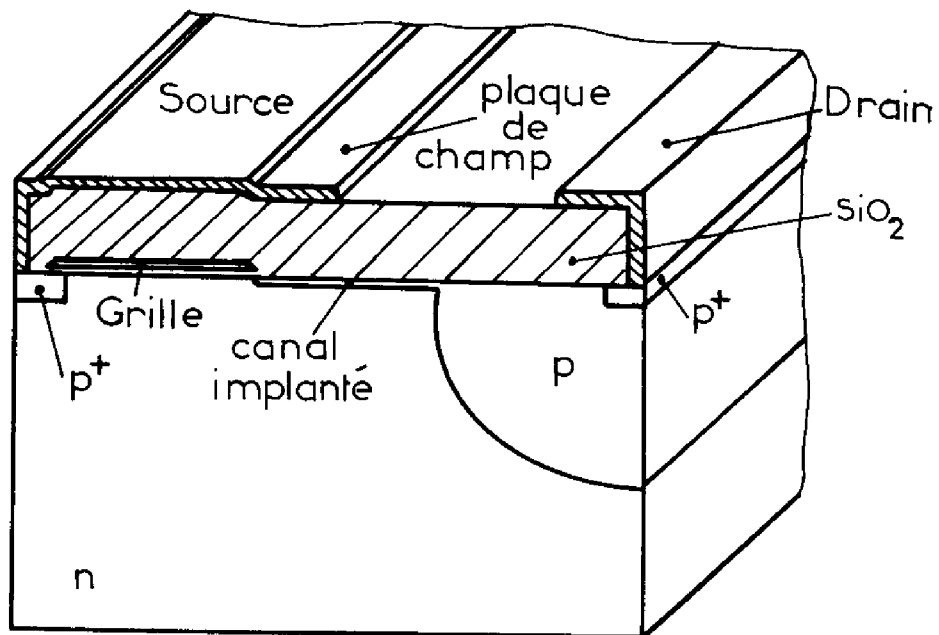


Figure I. 7 : coupe d'un M.O.S.T. de puissance à électrodes de drain et de source coplanaires et à plaque de champ (d'après OKABE et col. [7])

I. 3. 1. b - Structures dont les électrodes de drain et de source ne sont pas coplanaires.

Ces structures sont caractérisées par une métallisation sur le bas de la puce servant de connexion de drain ou de source. Cette configuration permet d'éliminer une métallisation interdiguée sur le haut de la structure.

Ainsi, le transistor à canal N représenté sur la figure I. 8 présente un contact de source situé sur la partie inférieure de la puce [8].

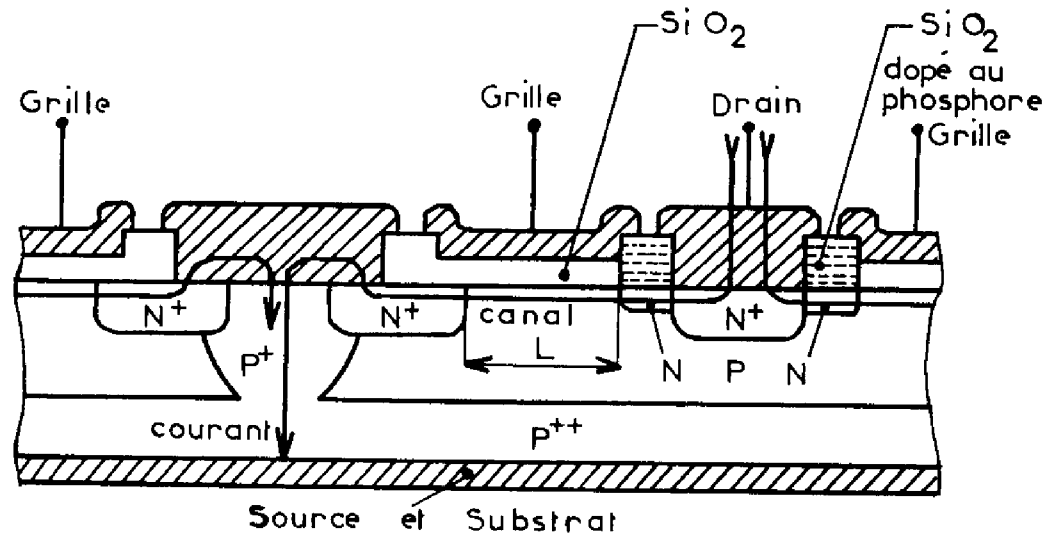


Figure I. 8 : coupe d'un M.O.S.T. de puissance à électrodes de drain et de source non coplanaires et à configuration interdiguée (d'après MORITA et col [8]).

Il est réalisé sur une couche P épitaxiée sur un substrat P⁺⁺, sur laquelle sont déposés par diffusion des îlots N⁺ constituant la source et le drain. Une zone N faiblement dopée est réalisée, du côté du drain, sur le substrat par diffusion à partir d'un oxyde dopé au phosphore. Le contact de source est formé par des pénétrations P⁺ qui sont des zones de diffusion

profonde rejoignant la zone P^{++} du support épitaxial. Une métallisation d'aluminium court-circuite la source N^+ et chaque pénétration P^+ et, assure ainsi la conduction. La grille en aluminium ne recouvre pas la région du drain fortement dopée.

Ces structures assez complexes ont des tensions de fonctionnement assez limitées. La faible longueur du canal, de l'ordre de 5 microns, et la faible surface de la diode de drain rendent leur utilisation possible en U.H.F..

La figure I. 9 représente une structure inverse de la précédente : la source est située en haut de la puce et le drain commun se trouve sur la partie inférieure [9]. C'est un transistor à canal P fabriqué sur un substrat P^+ épitaxié en surface par une couche N^- . Sur la partie supérieure, ont été réalisées des diffusions P^+ de la source et des diffusions P^+ plus profondes du drain qui rejoignent le substrat P^+ .

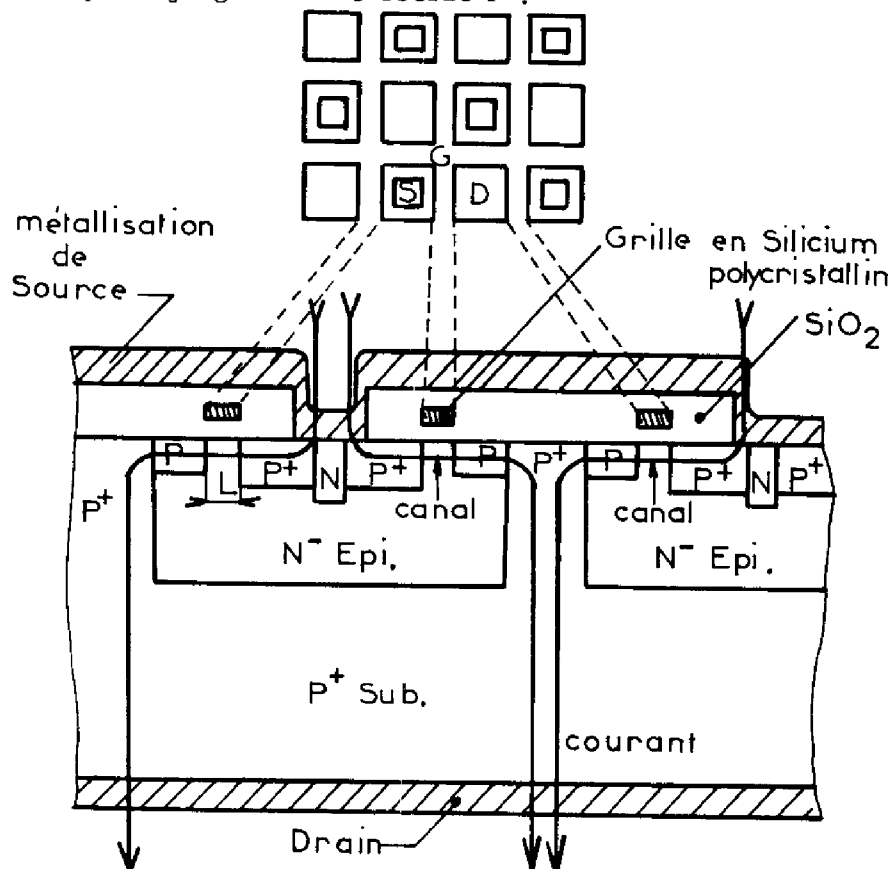


Figure I. 9 : vue de dessus et coupe d'un M.O.S.T. de puissance à électrodes de drain et de source non coplanaires - structure de grille en forme de réseau maillé (d'après YOSHIDA et col. [9])

La configuration de la diode de drain PP^+ est obtenue par implantation ionique de la région P. Par ailleurs, le contact électrique entre la source P^+ et le substrat N^- du transistor est réalisé d'abord, par une diffusion N rejoignant la région N^- , et ensuite, par un court-circuit entre les diffusions N et P^+ à l'aide d'une métallisation d'aluminium. La grille en silicium polycristallin ne recouvre pas la région de drain fortement dopée et a une structure en forme de réseau maillé. Ainsi, chaque élément de source et de drain est constitué de petits carrés alternés d'environ 20 microns de côté. Ce dispositif offre un excellent rapport densité de courant - dimension, mais son inconvénient majeur reste malgré tout sa limitation en fréquence due à la résistance de la grille en silicium et surtout à la grande surface de la région P^+ de drain, responsable de la forte valeur de la capacité de sortie.

Une structure plus récente [10] de transistors M.O.S. de puissance utilisant les caractéristiques géométriques de la structure précédente, à savoir un canal horizontal, des électrodes de source et de grille situées sur le haut de la puce et un drain commun sur la partie inférieure, est représentée sur la figure I. 10. Ce transistor M.O.S. à canal N est appelé "HEXFET". La différence principale par rapport à la structure précédente est liée à la structure de grille, qui se présente sous la forme d'un réseau maillé hexagonal à la place d'un réseau carré. Le transistor est réalisé à partir d'une plaquette épitaxiée NN^+ . Une première diffusion de type P permet de réaliser le substrat. Elle est suivie d'une implantation de type N^+ qui constitue la source. La grille en silicium polycristallin se présente sous la forme d'un réseau maillé hexagonal entourant les régions de source. La partie active est constituée par les bords de la diffusion P situés sous la grille.

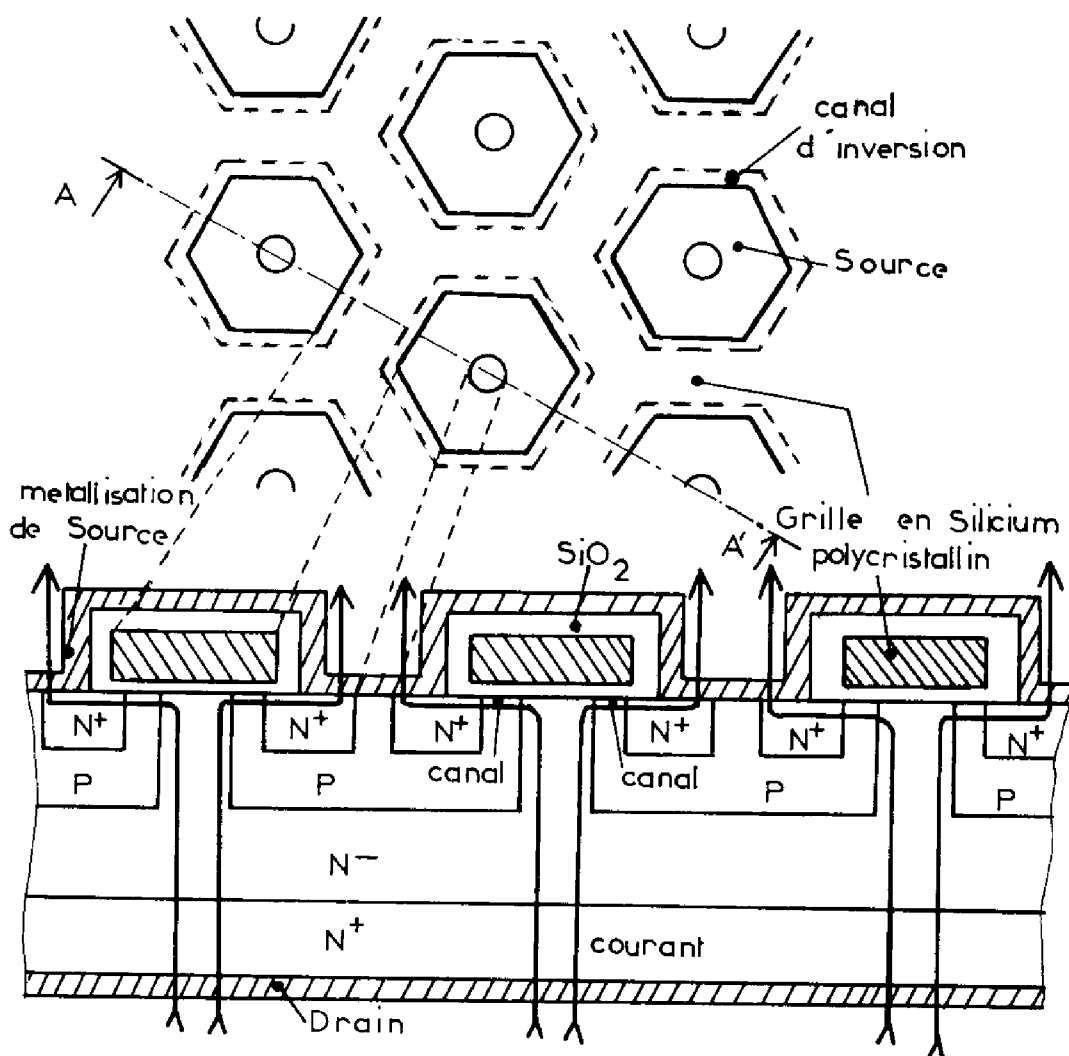


Figure I. 10 : vue de dessus et coupe AA' d'un M.O.S.T. de puissance à électrodes de drain et de source non coplanaires. Structure de grille en forme de réseau maillé hexagonal.

Ce type de maillage permet d'obtenir la plus grande densité de canal pour une surface donnée, et présente par suite un rapport densité de courant - dimension, supérieur à celui de la structure précédente. Ces dispositifs ont des tensions

de saturation comparables à celles des meilleurs transistors bipolaires. Les valeurs relativement élevées des temps de commutation, inférieures cependant à celles des transistors bipolaires de puissance, peuvent constituer un inconvénient : les valeurs élevées de la capacité de sortie et de la capacité de réaction entre l'entrée et la sortie, liées au recouvrement grille-drain, sont responsables de ces limitations.

I. 3. 2 - Les structures à canal horizontal diffusé : D.MOS :

Le principe fondamental de réalisation de ces structures est basé sur le contrôle du processus de diffusion mis au point dans les technologies avancées des transistors bipolaires [1] .

Ce transistor est constitué par un substrat N^- faiblement dopé dans lequel a été effectuée une première diffusion de type P suivie d'une seconde diffusion de type N^+ à travers la même fenêtre d'oxyde (figure I. 11). Pendant cette deuxième étape, la région N^+ de drain est réalisée par diffusion à travers une autre fenêtre d'oxyde. La diffusion latérale P au voisinage de la surface définit le canal. Dans le but de minimiser les résistances d'accès, un îlot P^+ reliant la région de canal P à la source N^+ a été diffusé. Une métallisation d'aluminium court-circuitant les régions N^+ et P^+ constitue le contact de source.

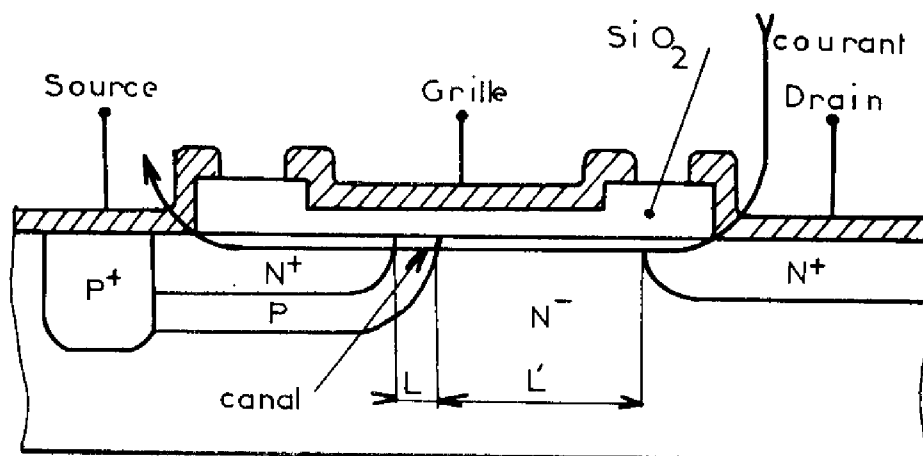


Figure I. 11 : coupe d'un transistor D.MOS (d'après SIGG et col. [1])

Ce type de transistor possède une tension de claquage entre drain et source élevée [12] due, d'une part, à la présence de la région N^- faiblement dopée et, d'autre part, au non recouvrement de la zone de drain N^+ par la métallisation de grille.

Il possède de bonnes performances fréquentielles, mais est mal adapté à la commande de courants importants car la réalisation sous forme de structures interdigitées est complexe.

I. 3. 3 - Les structures à canal vertical

Elles constituent la famille la plus récente des transistors M.O.S. de puissance. Elles associent à la fois les résultats technologiques obtenus pour la réalisation des bases et des émetteurs des transistors bipolaires, et les processus d'attaque chimique du silicium. Les sillons ainsi créés servent à définir la région du canal de ces structures non coplanaires. Ces dernières peuvent être divisées en deux familles en distinguant le cas où l'attaque est anisotrope, du cas où elle ne l'est pas.

I. 3. 3. a - Transistor V.MOS obtenu par attaque isotrope

Ces transistors sont réalisés à partir d'une plaquette épitaxiée PN^-N^+ dans laquelle ont été diffusées en surface des régions P^+ et N^+ [13] (figure I. 12). Ensuite, cette plaquette multicouche est attaquée isotropiquement à travers une ouverture d'oxyde épais. Cette cavité est ensuite oxydée. L'avancée de l'attaque en méso, sous l'oxyde épais en surface, est mise à profit pour contrôler avec précision la métallisation de grille. Celle-ci est réalisée par évaporation de métal sous un angle particulier : les bords restants de l'oxyde épais servent alors de masque et fixent cet angle d'évaporation.

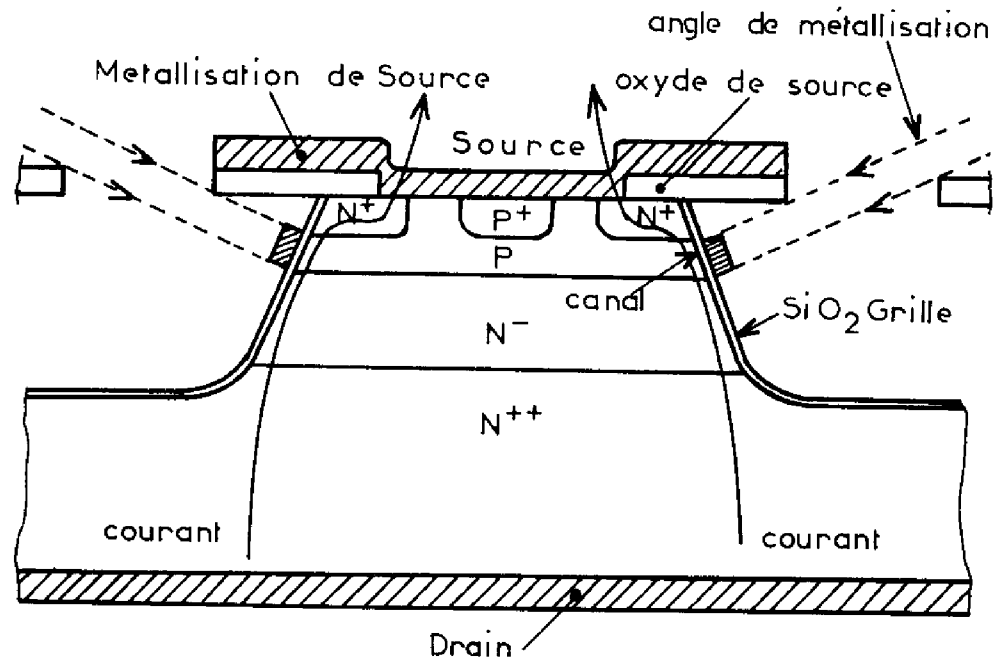


Figure I. 12 : Coupe d'un transistor V.MOS de puissance, à canal vertical, obtenu par attaque isotrope. (d'après HENG et col. [13]).

Cette technique présente les avantages suivants :

- facilité d'obtenir des canaux de faible longueur .
- réduction des capacités parasites dues au recouvrement de la source par la métallisation de grille .
- grande densité d'intégration .
- pas d'étape de photogravure pour définir les contacts de source et de grille .

Le principal inconvénient est lié à la complexité des processus de réalisation de la grille.

I. 3. 3. b - Transistors V.MOS obtenus par attaque anisotrope

Le développement de ce type de transistor repose sur la maîtrise des attaques préférentielles du silicium. Compte tenu de l'importance de ces techniques pour la réalisation des composants, nous décrivons dans l'annexe I, les principales propriétés et caractéristiques de l'attaque anisotrope en V ou en U du silicium.

Le V.MOS à appauvrissement

Contrairement aux structures décrites précédemment dans lesquelles la zone de conduction du canal est une zone d'inversion superficielle, le courant dans un V.MOS à appauvrissement circule dans une zone volumique dont l'épaisseur est modulée par la tension de grille (figure I. 13) [14] . Ce dispositif qui présente des analogies avec les transistors à effet de champ, est réalisé à partir d'une couche de silicium de type P sur laquelle on a fait croître par épitaxie une couche N. Des zones N⁺ ont été diffusées pour assurer les contacts de source et de drain et ainsi diminuer les résistances d'accès. La région N du canal, sous la zone d'attaque anisotrope en V, voit son épaisseur, et donc sa conductance, modulées par la tension de l'électrode de grille.

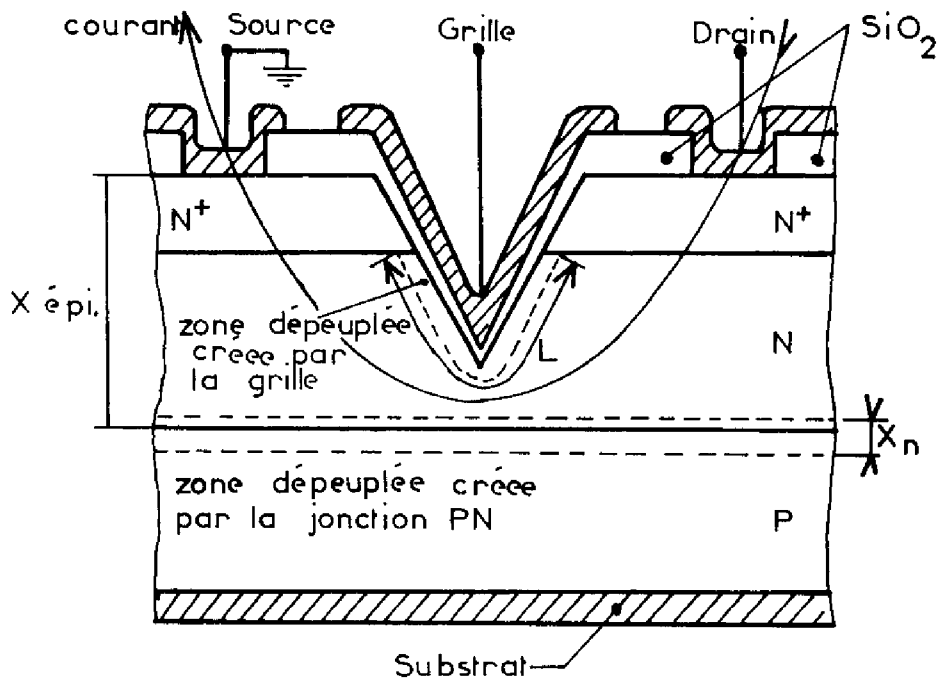


Figure I. 13 : Coupe d'un transistor V.MOS de puissance à appauvrissement (d'après FARZAN [14]).

Ce transistor présente les avantages suivants :

- cette conduction par porteurs majoritaires entraîne des courants plus élevés, la mobilité en volume étant supérieure à la mobilité en surface des porteurs minoritaires.

- le dispositif peut fonctionner en mode enrichi et en mode appauvri.

- sa fabrication est simple, elle fait appel à trois masques et des transistors à canal court peuvent être obtenus.

- cette structure est compatible avec la technologie bipolaire. Par contre, la disposition des trois électrodes sur le haut de la puce ne facilite pas l'optimisation vis à vis de la densité d'intégration : la configuration de la métallisation est interdigitée. La tenue en tension est médiocre et les performances en fréquence moyennes.

Le U.MOS de puissance

Ce transistor représenté sur la figure I. 14, peut être à canal N ou à canal P [15]. Bien que son canal ne soit pas vertical, ce transistor est présenté dans ce paragraphe, car il peut être assimilé aux transistors M.O.S, dont la longueur du canal est déterminée par une attaque chimique préférentielle. Dans le cas du canal N, les différentes étapes technologiques sont :

- la diffusion des régions N^+ de source et de drain dans un substrat de type P à travers une fenêtre d'oxyde correspondant à un premier masque.

- l'ouverture d'une fenêtre d'oxyde à travers un deuxième masque pour séparer les régions de source et de drain, suivie de l'attaque anisotrope. Ensuite, une méthode de dissolution anodique dans un bain d'acide fluorhydrique peut être utilisée pour attaquer préférentiellement la région N^+ par rapport à la région P [16].

- après oxydation thermique des parois de la rainure trapézoïdale, deux autres masques servent à ouvrir les contacts de source, de drain et à définir les doigts de métallisation.

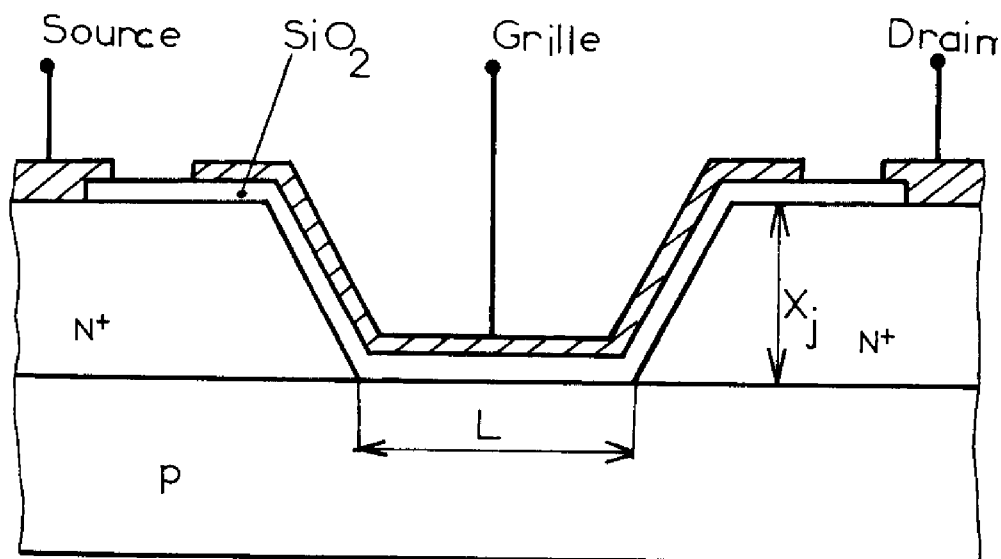


Figure I. 14 : coupe du transistor U.MOS de puissance (d'après SALAMA [15]).

Cette structure présente les avantages suivants :

- des longueurs de canal de l'ordre du micron peuvent être réalisées sans emploi de photogravure sub-micronique.

- l'extension des charges d'espace des jonctions-source, drain- se faisant surtout verticalement, les effets de raccourcissement du canal peuvent être négligés. Aussi, cette structure peut être utilisée en vue d'étudier la conduction dans les M.O.S.T. à canal court.

- les capacités parasites dues au recouvrement des régions N^+ par l'oxyde de la grille sont relativement faibles, car la croissance de cet oxyde est beaucoup plus rapide au-dessus des régions N^+ qu'au dessus des régions P.

- la résistance statique drain-source (R_{ON}) est minimisée à cause des diffusions N^+ de source et de drain.

La disposition des trois électrodes sur un même côté de la puce, la faible tenue en tension sont les principaux défauts du transistor U.MOS.

Le MOS Vertical à électrodes non coplanaires (V.MOS)

Il peut être considéré comme étant le transistor MOS de puissance le plus répandu depuis 1976 (figure I. 15) [17] . Les zones de canal et de source sont réalisées par une double diffusion de type P et N^+ sur une couche épitaxiée N^- sur un substrat N^{++} . Cette technique est analogue à celle de la diffusion de la base et de l'émetteur en technologie bipolaire. Ensuite une gravure chimique des V est effectuée à travers la source, la région P et la couche épitaxiée N^- . Enfin, la croissance thermique de l'oxyde de grille puis les métallisations sont réalisées, le drain se trouvant sur la face inférieure du dispositif. L'attaque anisotrope rend possible la mise en parallèle d'un grand nombre de canaux par utilisation d'un drain commun. La région de type N^- entre le canal et la zone N^{++} permet d'une part, d'augmenter la tenue en tension du dispositif et d'autre part, de réduire la capacité de transition de la diode de drain.

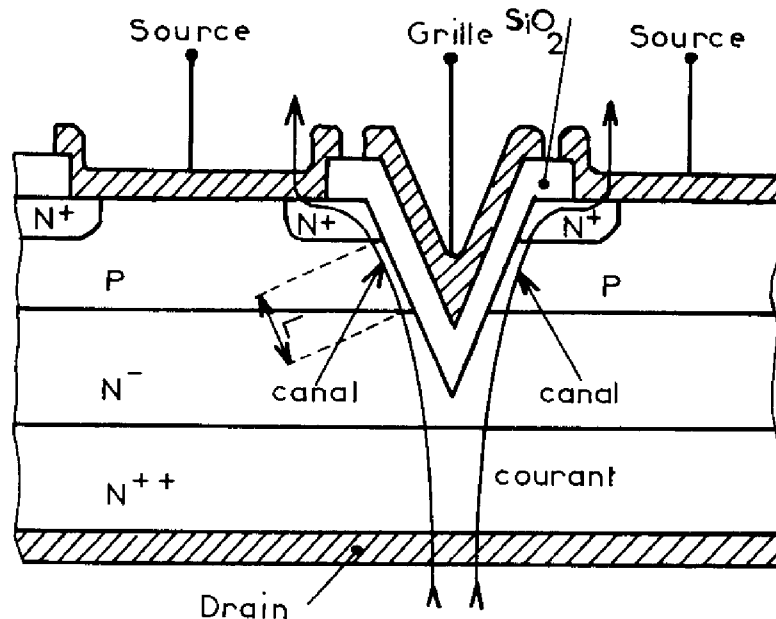


Figure I. 15 : coupe du transistor V.MOS de puissance réalisé par attaque anisotrope (d'après SILICONIX [17]).

Les avantages de ce type de transistor sont liés à la simplicité du contrôle des dimensions géométriques, notamment de la longueur du canal. Chaque gravure en V permet d'obtenir

deux canaux, ce qui double l'intensité du courant tout en diminuant la surface utile de la puce par rapport à une structure plane. Ce transistor fonctionne en mode enrichi ; il présente de grandes vitesses de commutation et peut être utilisé dans le domaine des V.H.F. La relative complexité des différentes étapes technologiques, nécessitant cinq masques, peut être considérée comme l'inconvénient majeur.

Les propriétés de ce transistor seront l'objet des études de modélisation développées dans les chapitres suivants.

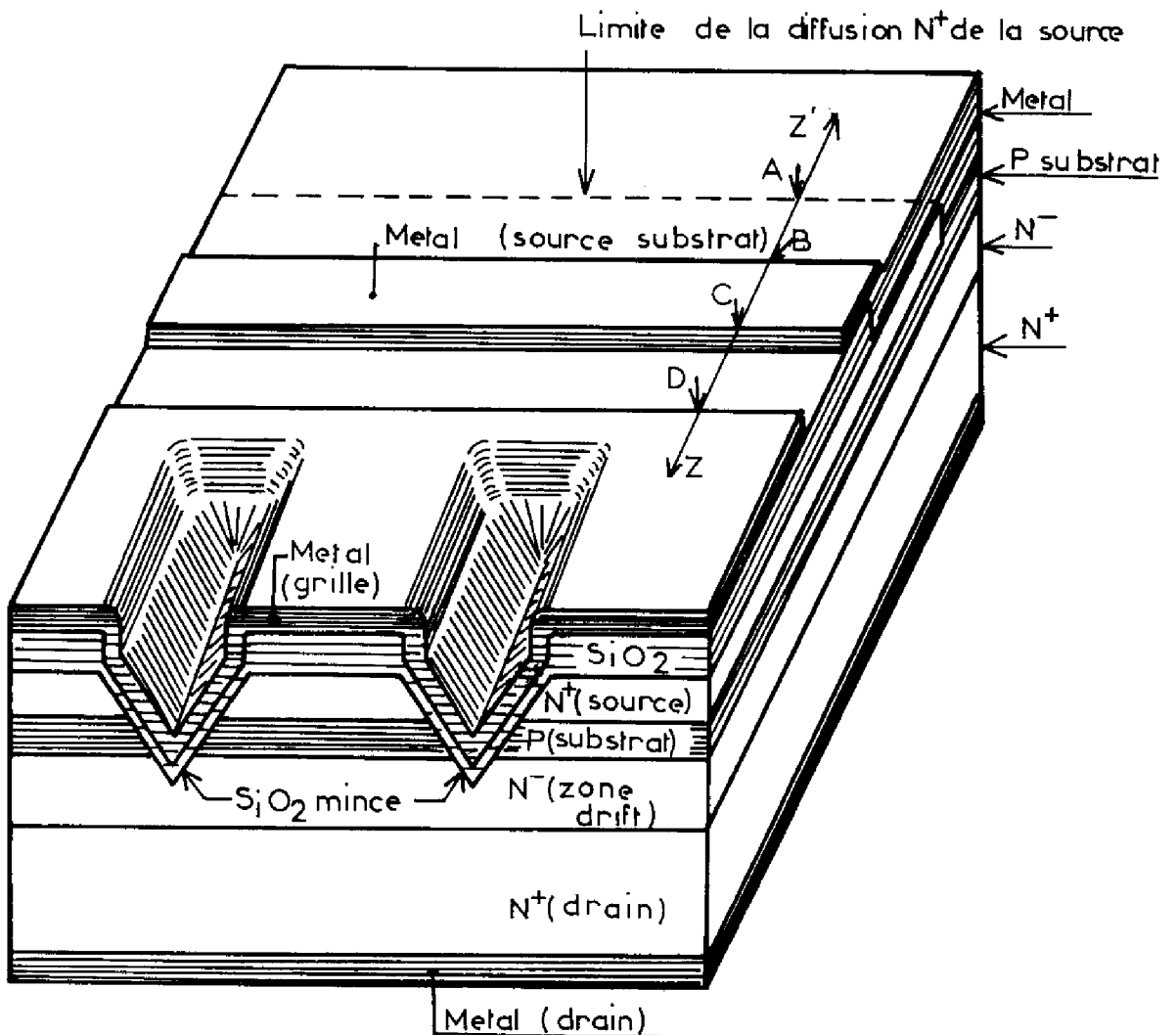


Figure I. 16 : coupe d'un transistor V.MOS de puissance à électrodes de source et de grille non interdigitées.

Une autre structure de transistor V.MOS est représentée sur la figure I. 16. Sa réalisation repose sur les mêmes principes de l'attaque anisotrope et de la mise en parallèle des canaux verticaux à l'aide d'un drain commun. Le procédé utilisé pour connecter les sources par métallisation latérale permet d'éliminer les doigts de métallisation de source et de grille. Cette disposition non interdigitée résoud les difficultés posées dans la structure précédente par l'alignement des divers masques. Ceci doit permettre d'augmenter le rendement technologique. Ces transistors V.MOS peuvent délivrer des courants élevés de l'ordre de la dizaine d'ampères, mais ont l'inconvénient par rapport aux autres V.MOS de présenter des valeurs élevées, d'une part, des résistances d'accès à la source et au substrat, et d'autre part, des capacités intrinsèques et parasites. Les temps de commutation sont nettement supérieurs à ceux de la structure interdigitée.

I. 3. 4 - Comparaison

Le tableau I regroupe les principales caractéristiques des premiers prototypes de transistors M.O.S. de puissance décrits précédemment. Seuls certains transistors sont fabriqués industriellement et disponibles commercialement. Dans ce tableau, les paramètres relatifs à la tenue en tension et au courant maximal délivrable, ne prêtent pas à polémique. Par contre, ceux ayant trait aux puissances de sortie et fréquences maximales de fonctionnement peuvent prêter à confusion : ainsi, les valeurs numériques qui correspondent d'une part, à P_o (puissance maximale délivrable en sortie d'un amplificateur de classe B) et d'autre part, à F_o (fréquence de coupure de la transconductance), ne sont pas, à proprement parler, suffisantes pour permettre la caractérisation complète du composant.

0

0

0

Structures	Canal	Première année	Fabrication industrielle	Procédure de fabrication	Canal		Surface active (mm ²)	I _{DMAX} (A)	V _{DSMAX} (V)	Performances en puissance et en fréquence	R _{on} en Ω	Temps de commutation (ns)
					Long M	Zenca						
Coplanaire	P	Josephy 1970	NON	Faible rendement	16	4,2	5,88	0,7	90	P _o = 6 Watts ; F _o = 30MHz *	10	-
Interdigitée	N	Dawson 1968	NON	Faible rendement	7,62	3,05	3,09	2	100	P _{out} = 5 Watts à 10 MHz	-	-
Coplanaire à plaque de champ	N et P complémentaires	T. OKABE et YOSHIDA 1976	OUI	Assez facile	8	-	N:20,25 P:25	10	200	100 Watts à 100 MHz	1,2	-
Non coplanaire interdigitée	N	Morita 1974	-	Complexe	5	2	1,4	2,2	55	à 700MHz; P _{IN} =40; P _{out} =10,5W à 1GHz ; P _{IN} =1W; P _{out} =4,5W	-	-
Non coplanaire Structure à maille carrée	P	YOSHIDA 1976	-	Complexe	8	94	25	20	85	F _o = 1,5 MHz	0,5	-
Non coplanaire Structure à maille hexagonale "HEXFE"	N	International Rectifier 1979	OUI	Complexe au niveau des masques	99 M	55	8,6 pour I _{DMAX} =12A	28	100	Inconnues	0,55 0,25	t _r = 150 t _f = 150 pour I=1,5 A
D.MOS	N	Sigg 1972	OUI	Facile	1	0,07	-	~0,1	300	10 dB de gain à 1GHz ou P _{out} = 95 mW à 1 GHz	-	t _r = 0,2 t _f = 0,3
V.MOS attaque isotrope	N	Heng 1974	NON	Complexe	1	1,3	0,432	2	28	P _{out} = 3 W à 1,5 GHz	2	0,5
V.MOS à appauvrissement	N	Farzan 1975	-	Facile	12	1,25	1,21	1,4	55	P _o = 12W ; F _o = 80 MHz *	2	-
U.MOS	N	Salama 1976	NON	Facile	1,8	0,55	0,25	1	35	P _o = 5W ; F _o = 800 MHz *	4	4
V.MOS anisotrope interdigité	N	Siliconix 1975	OUI	Nécessaire 5 masques	2	2,8	1,5	2	90	P _{out} = 29W à 185 MHz	2	t _r = 2 pour I=2 A
V.MOS anisotrope non interdigité	N	Siliconix 1978	OUI	5 masques	2	~16	~15	12,5	80	G=10dB à 30 MHz F _o coupure du gain = 50 MHz	0,3	t _r = 50 pour I=10 A

* P_o = puissance maximale délivrable en sortie
 $P_o = \frac{1}{4} I_{DSMAX} (V_{Dc} - V'_{Dc})$
 F_o : Fréquence de coupure de la transconductance

TABLEAU I : Performances des premiers prototypes des transistors MOS de puissance

Dans ce chapitre, nous avons analysé qualitativement les principaux mécanismes physiques qui peuvent limiter les performances des transistors M.O.S. lorsqu'on désire obtenir les caractéristiques d'un dispositif de puissance, à savoir : le claquage de la diode de drain, le perçage entre drain et source, et la limitation du niveau de courant.

Ensuite, nous avons décrit les principales structures que l'on peut qualifier de "transistors M.O.S. de puissance", en montrant que les améliorations successives, observées au cours des dix dernières années sur les divers composants, ont été rendues possibles non seulement, par une meilleure connaissance du comportement électrique du transistor M.O.S. mais surtout, par la mise au point de nouvelles techniques. C'est grâce, en particulier, aux processus de double diffusion, mis au point pour les technologies bipolaires, associés aux méthodes de gravure anisotrope du silicium qu'ont pu être réalisés les transistors V.MOS qui apparaissent, à ce jour, comme faisant partie des composants à effet de champ les plus prometteurs et qui sont, par ailleurs, les plus étudiés dans divers laboratoires.

Les deux chapitres qui vont suivre, seront consacrés à l'étude des propriétés en régimes statique et dynamique des transistors V.MOS.

CHAPITRE II

MODELES DU TRANSISTOR MOS A
CANAL VERTICAL : REGIME STATIQUE
ET FONCTIONNEMENT EN COMMUTATION



Dans ce chapitre, nous établirons tout d'abord, les équations de fonctionnement en régime statique du transistor M.O.S. à canal vertical dont la structure a été décrite au chapitre précédent. En particulier, nous insisterons sur les effets de la réduction de mobilité en fonction des champs électriques longitudinal et transversal, qui sont des phénomènes du premier ordre, pour décrire les propriétés électriques des transistors dits à "canal court", dont la longueur du canal est inférieure à cinq microns. Nous expliciterons l'expression de la caractéristique courant-tension et proposerons les méthodes expérimentales de détermination des paramètres qui y figurent.

Ensuite, nous établirons théoriquement les expressions des charges stockées sur les électrodes du transistor et des capacités dynamiques. Un modèle utilisable pour la description des régimes de commutation sera alors proposé. Il sera utilisé pour déterminer les temps de commutation des V.MOS sur charge résistive.

II. 1 - ETUDE DES PROPRIETES DES ZONES ACTIVES DU CANAL

Nous analyserons théoriquement les propriétés de la région active du transistor, c'est-à-dire du canal d'inversion qui apparaît en surface de la diffusion P. Nous rappellerons tout d'abord les principaux modèles proposés dans la littérature en vue de décrire le comportement électrique du transistor à canal court du type V.MOS ou D.MOS, et ferons apparaître leurs insuffisances. Nous proposerons ensuite une étude théorique pour expliciter les relations courant-tension et charges-tension.

II. 1. 1 - Propriétés statiques du canal d'inversion du transistor V.MOS

Les principaux modèles établis pour décrire les propriétés statiques des transistors à canal court V.MOS ou D.MOS à canal N ou P [11],[12],[18], ont visé principalement à rendre compte qualitativement des propriétés expérimentales les plus importantes que présente ce type de structure, à savoir :

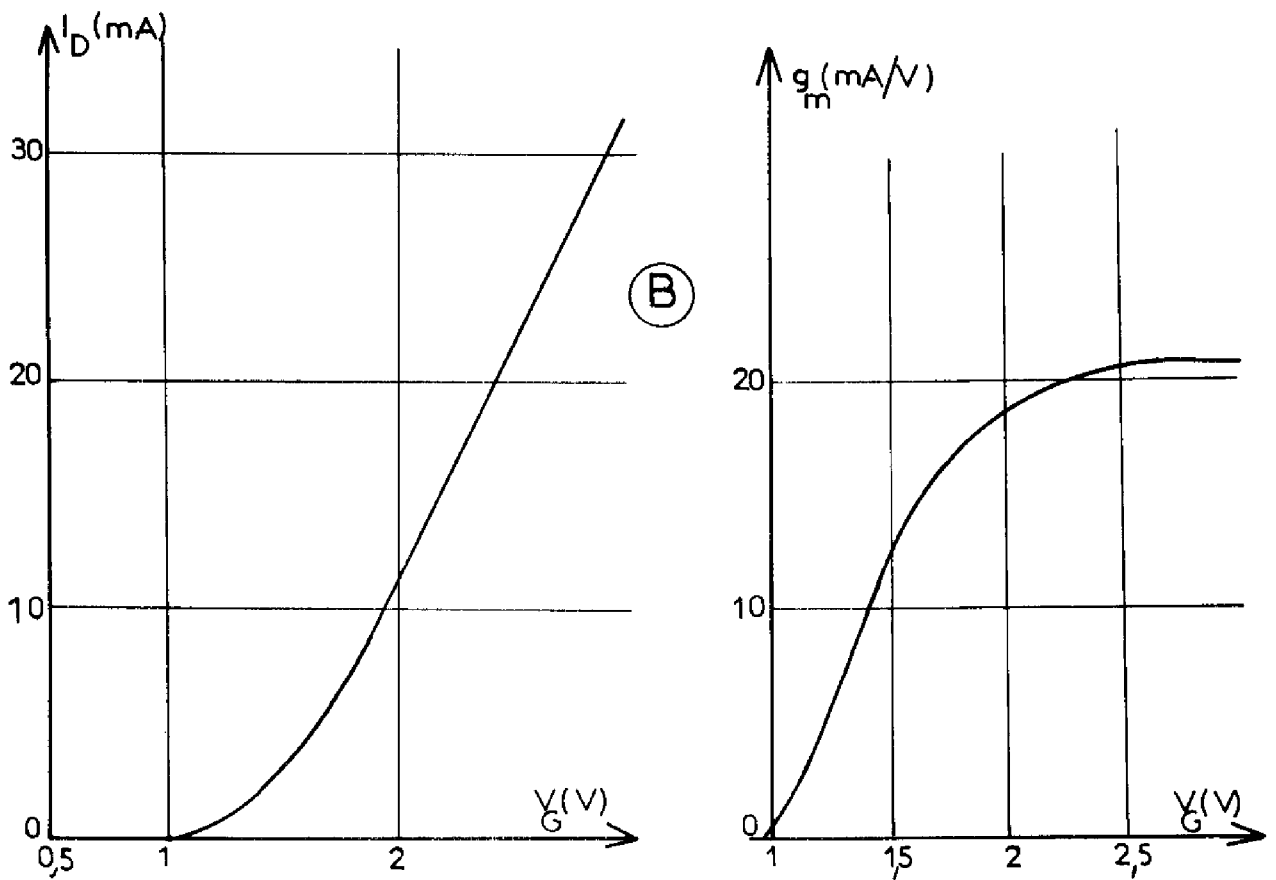
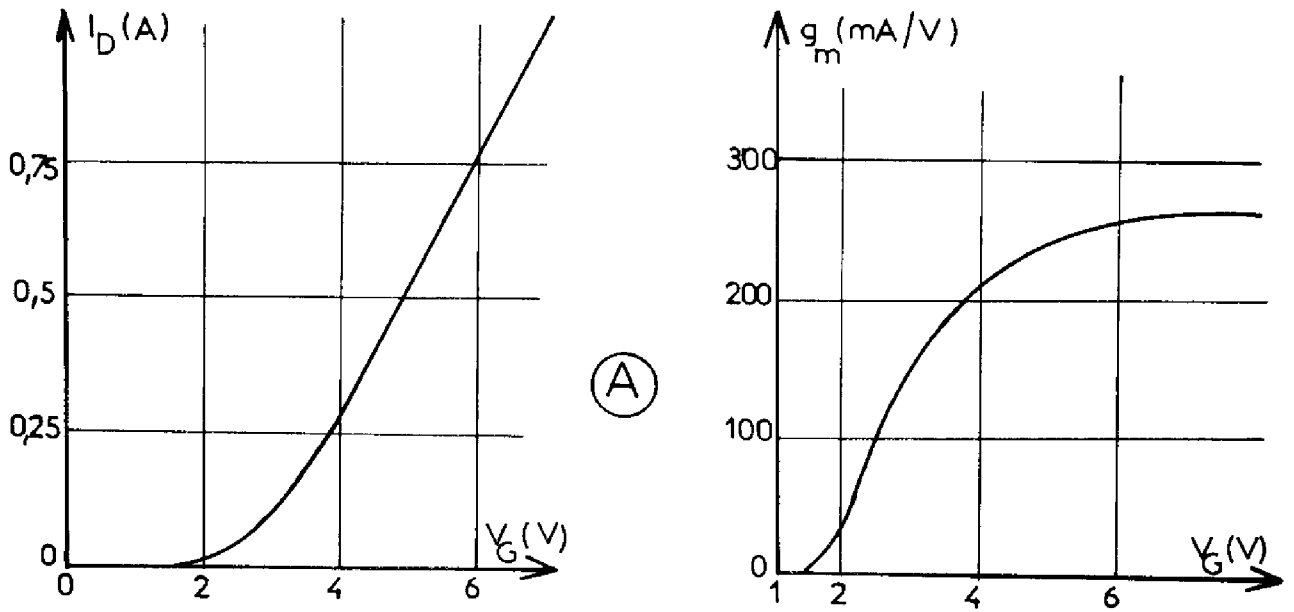


Figure II. 1 : Caractéristiques statiques I_D (V_G) et g_m (V_G) pour $V_D=10$ Volts

(A) : transistor V.MOS siliconix 2N6657 (B) transistor D.MOS SD 203

- la linéarité de la caractéristique de transfert $I_D(V_G)$, courant drain-tension grille, en régime de saturation ou de pincement que l'on observe pour un courant supérieur à une valeur critique.

- ou encore l'existence de deux parties linéaires de la caractéristique $g_m(V_G)$, transconductance - tension de grille. La première partie relevée à faibles tensions de grille est croissante, la deuxième est horizontale et constante.

Ces propriétés expérimentales sont représentées sur les figures II. 1. A (cas d'un V.MOS de 2 microns de canal) et II. 1. B (cas d'un D.MOS de 1 micron de canal)

II. 1. 1. 1 - le modèle classique

Il est basé sur la prise en compte de la réduction de mobilité des porteurs sous l'effet du champ longitudinal et de l'existence d'une vitesse limite dans la couche d'inversion.

a - la loi vitesse-champ électrique

Les études expérimentales effectuées par FANG et FOWLER [19] reposent sur la mesure de la conductance G d'un transistor M.O.S. dont la longueur L du canal et l'épaisseur d'oxyde x_o sont respectivement égales à 10 microns et 1 micron. Ces dimensions géométriques permettent d'atteindre des champs électriques longitudinaux élevés (de l'ordre de 3×10^4 V/cm) tout en évitant les effets de raccourcissement du canal. La vitesse v des porteurs en fonction du champ électrique est obtenue à partir de l'expression suivante :

$$v = \frac{G \cdot E_y \cdot L}{Z \cdot q \cdot N_{inv}} \quad (2-1)$$

où E_y est la valeur moyenne du champ longitudinal dans la direction source-drain, Z la largeur du canal, qN_{inv} la densité de charge totale des porteurs minoritaires de la couche d'inversion.

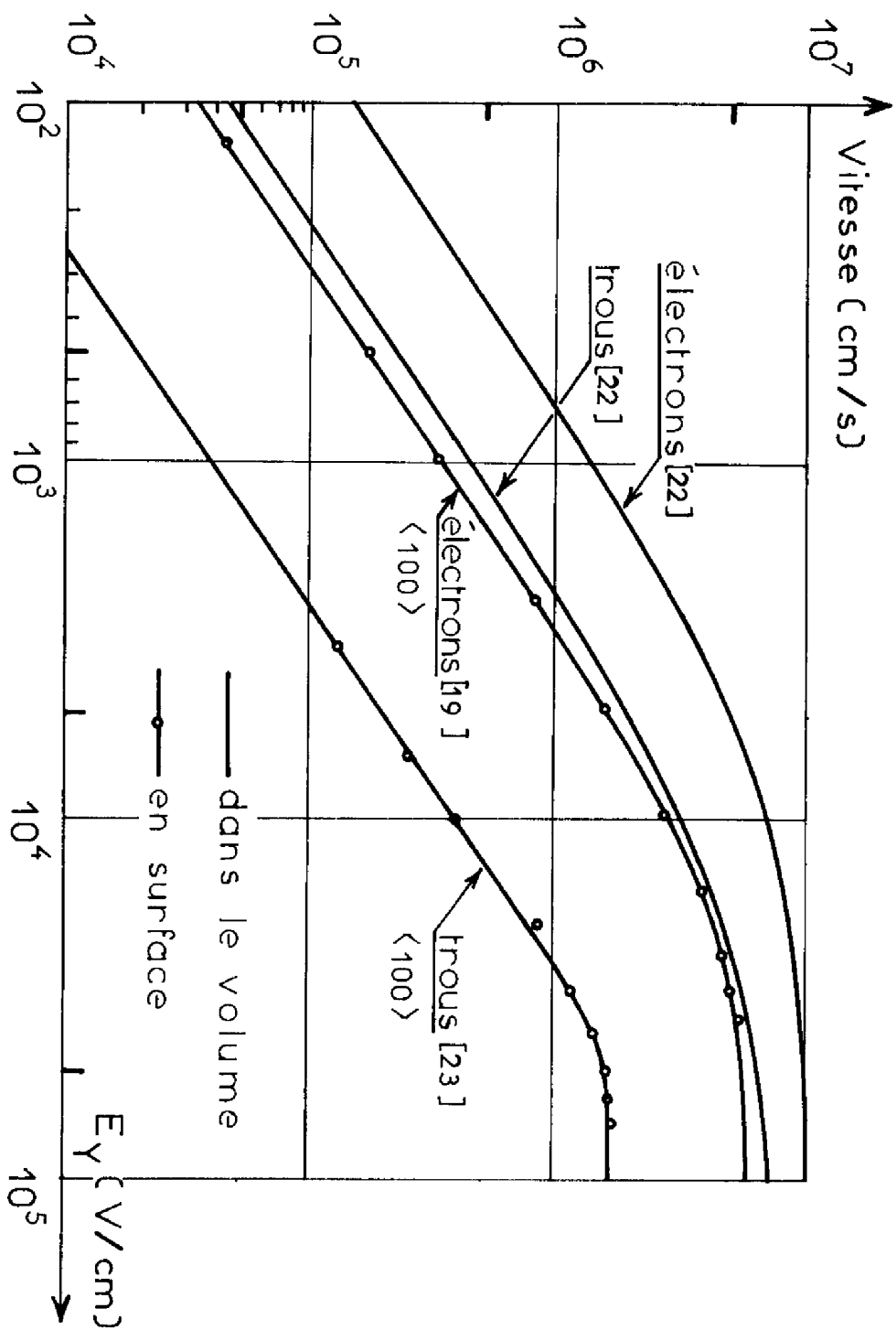


Figure II. 2 : Variations de la vitesse des porteurs en fonction du champ électrique longitudinal (d'après COEN et MULLER [24])

Pour obtenir un canal uniforme, c'est à dire une charge par unité de surface et un champ électrique constants le long du canal, il a été nécessaire de porter la grille à une tension élevée - 300 volts - très supérieure à la tension drain. Aussi, le champ transversal au canal est élevé, de l'ordre de 10^6 V/cm. Les résultats ainsi obtenus sont représentés sur la figure II.2. Il apparait que la vitesse limite correspondant à la saturation de la courbe $v(E_y)$ est inférieure à la vitesse limite de déplacement des électrons dans le volume. Par suite, compte tenu de ces résultats, il a été proposé d'utiliser la forme suivante [20] [21] pour décrire les lois de variation de la mobilité des électrons et de celle des trous dans un canal d'inversion d'un transistor M.O.S. :

$$\mu = \frac{\mu_0}{\left[1 + \left(\frac{dV/dy}{E_0} \right)^B \right]^{1/B}} \quad (2-2)$$

B étant un coefficient d'ajustement pris en général égal à un pour les M.O.S. à canal P et égal à deux pour les M.O.S. à canal N, μ_0 la valeur de la mobilité à champ faible, y la coordonnée source-drain, V le potentiel électrostatique à l'interface Si - SiO₂ repéré par rapport à l'électrode de substrat et E₀ un champ critique. Les ordres de grandeur des divers paramètres sont les suivants :

- μ_0 , mobilité à champ faible pour les électrons, comprise entre 300 cm²/V.s et 620 cm²/V.s correspondant aux valeurs extrêmes dans le plan <111> fournies respectivement par ARNOLLD et col. [25] et par COEN [24] .

- v_L, vitesse limite égale au produit $\mu_0 E_0$, a été mesurée par FANG et FOWLER. Ces auteurs donnent respectivement

- d'une part, dans la direction <100> :

$$6,5 \pm 0,5 \cdot 10^6 \text{ cm/s.}$$

- d'autre part, dans la direction <111> :

$$5,5 \pm 0,5 \cdot 10^6 \text{ cm/s.}$$

valeurs plus faibles que celle obtenue dans le volume : 10^7 cm/s.

b - les variations de la transconductance en fonction de la tension de grille.

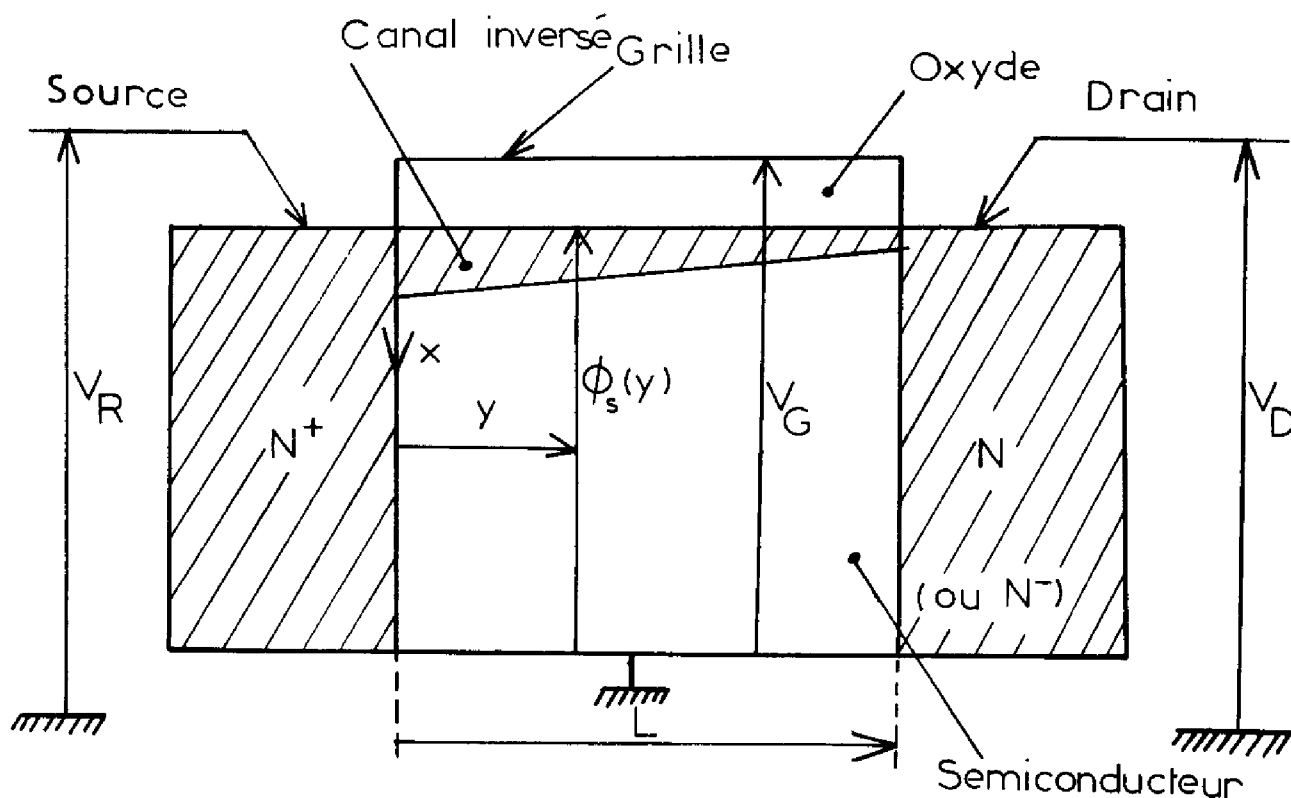


Figure II. 3 : Définition des variables électriques.

Compte tenu de la relation vitesse-champ précédente, l'analyse théorique généralement proposée pour expliquer la saturation de la transconductance est la suivante.

Les charges de la région dépeuplée étant négligées devant celles de la région inversée, le courant traversant la section droite d'un élément différentiel du canal de longueur dy est égal à :

$$I_D = \mu Z C_{ox} (V_G - \phi_s) \frac{d\phi_s}{dy} \quad (2-3)$$

où Cox est la capacité d'oxyde par unité de surface et V_G la tension appliquée entre grille et substrat. (figure II. 3).

Cette équation différentielle est à variables séparables et, pour y variant entre 0 et L, ϕ_s entre 0 et V_D , le courant drain, dans le cas du canal P ($B = 1$), s'identifie à :

$$I_D = \mu_0 \frac{Z}{L} \text{Cox} \frac{V_G V_D - V_D^2/2}{1 + \frac{V_D}{LE_0}} \quad (2-4)$$

La tension de pincement, prise égale à la tension de drain telle que $\frac{dI_D}{dV_D} = 0$, est :

$$V_p = LE_0 \left(-1 + \sqrt{1 + \frac{2V_G}{LE_0}} \right) \quad (2-5)$$

En remplaçant V_D par cette tension de pincement, le courant drain en régime saturé s'exprime par :

$$\begin{aligned} I_D &= \mu_0 \frac{Z}{L} \text{Cox} E_0 \frac{-2V_G - LE_0 + (V_G + LE_0) \sqrt{1 + \frac{2V_G}{LE_0}}}{\sqrt{1 + \frac{2V_G}{LE_0}}} \\ &= \mu_0 \frac{Z}{L} \text{Cox} E_0 (V_G - V_p) \end{aligned} \quad (2-6)$$

La transconductance en régime saturé devient :

$$g_m = \frac{dI_D}{dV_G} = \frac{\mu_0 Z \text{Cox} E_0}{1 + \frac{2V_G}{LE_0}} \left[1 + \frac{2V_G}{LE_0} - \sqrt{1 + \frac{2V_G}{LE_0}} \right] \quad (2-7)$$

La pente à l'origine de la courbe $g_m(V_G)$ obtenue par cette expression est égale à $\mu_0 \frac{Z}{L} \text{Cox}$ et la limite théorique

de la transconductance pour une tension de grille tendant vers l'infini est égale à :

$$g_{m \max} = Z C_{ox} v_{sat} \quad (2-8)$$

avec

$$v_{sat} = \mu_o E_o \quad (2-9)$$

Dans le cas d'un transistor M.O.S. à canal N ($B = 2$), l'équation différentielle (2-3) est aussi à variables séparables et, après intégration, la relation suivante est obtenue :

$$LE_o = -\frac{1}{2} \left\{ (V_G - V_o) \sqrt{\alpha^2 (V_G - V_o)^2 - 1} - V_G \sqrt{\alpha^2 V_G^2 - 1} - \frac{1}{\alpha} \operatorname{Log}(\alpha (V_G - V_o) + \sqrt{\alpha^2 (V_G - V_o)^2 - 1}) + \frac{1}{\alpha} \operatorname{Log}(\alpha V_G + \sqrt{\alpha^2 V_G^2 - 1}) \right\} \quad (2-10)$$

avec

$$\alpha = \frac{\mu_o E_o Z C_{ox}}{I_D}$$

Cette expression ne peut être résolue analytiquement mais numériquement. Un programme de recherche dichotomique de solutions conduit à déterminer dans un premier temps $I_D = f(V_D)$ pour différentes valeurs de la tension de grille, puis la valeur maximale du courant et enfin le rapport $\frac{\Delta I_{D \max}}{\Delta V_G}$. Les résultats obtenus, concernant les variations de la transconductance g_m en fonction de la tension de grille en régime de pincement, sont identiques à ceux obtenus pour $B = 1$, à savoir :

- une pente à l'origine égale à $\mu_o \frac{Z}{L} C_{ox}$
- une valeur limite de g_m égale à $Z C_{ox} v_{sat}$ avec $v_{sat} = \mu_o E_o$

Ainsi, dans les deux cas (B=1,2), la valeur théorique de saturation de la transconductance est donnée par la relation (2-8)

c - insuffisances du modèle classique

En utilisant les relations précédentes, il apparaît que le modèle classique fournit une explication qualitative de l'existence de deux portions linéaires de la caractéristique $g_m(V_G)$. Néanmoins, les ordres de grandeur des paramètres physiques que l'on pourrait déduire des expressions des portions linéaires à bas niveau de tension ($g_m = \mu_0 \frac{Z}{L} \text{Cox } V_G$) et à fort niveau ($g_m = Z \text{Cox } v_{\text{sat}}$) sont erronés et mettent en cause la validité de ces expressions.

- tout d'abord, les expressions théoriques des portions linéaires montrent que l'intersection de la tangente à l'origine et de la transconductance maximale de la caractéristique $g_m(V_G)$ doit se produire pour une valeur de la tension de grille définie théoriquement par :

$$V_G - V_T = LE_0 \quad (2-11)$$

Or les mesures de ce point d'intersection, relevées expérimentalement sur des D.MOS et des V.MOS, conduisent à des valeurs du champ critique E_0 inférieures à 1 volt par micron, alors qu'il a été prouvé qu'il est toujours supérieur à cette valeur ($E_0 \simeq 2,4 \text{ V}/\mu\text{m}$ [11]).

- d'autre part, le calcul de la transconductance maximale par l'expression (2-8), compte tenu des valeurs de la vitesse limite v_{sat} qui ont été données précédemment, conduit à des valeurs numériques très supérieures, d'un facteur 2 ou 3, aux valeurs expérimentales.

- Enfin, nous avons regroupé sur la figure II. 4 les quantités $\frac{g_m \text{ max}}{Z}$ en fonction de l'inverse de l'épaisseur d'oxyde $1/x_0$ pour

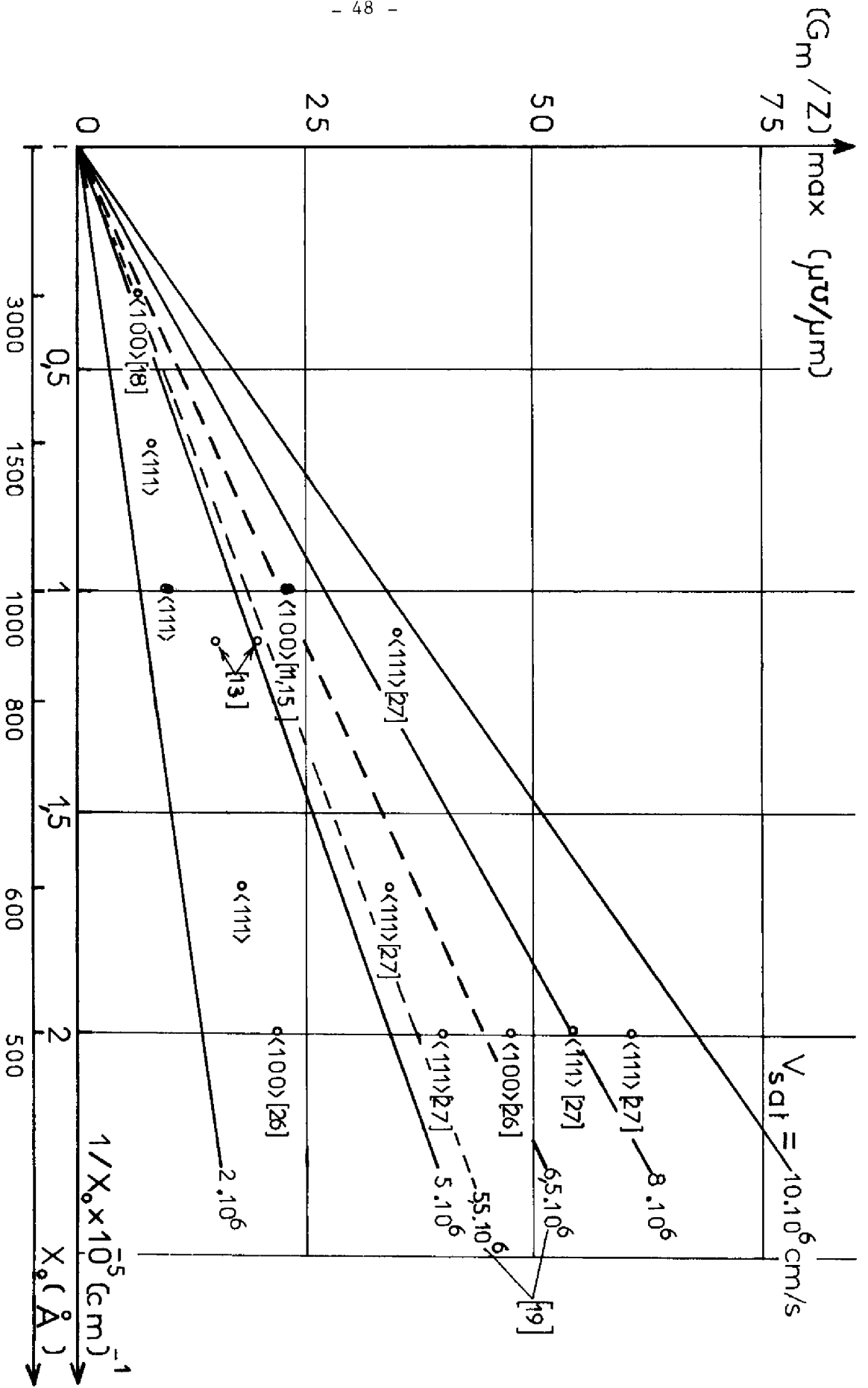


Figure II. 4 : Variations de la transconductance maximale rapportée à la largeur du canal en fonction de l'inverse de l'épaisseur d'oxyde.

toutes les structures à canal court D.MOS et V.MOS que nous avons pu mesurer nous-même, ou dont les caractéristiques électriques ont été publiées dans la littérature. Contrairement à l'analyse théorique qui montre que tous les points devraient être alignés sur deux droites de pentes égales à $\xi_o \xi_{ox} v_{sat}$ (où ξ_{ox} est le facteur de permittivité de l'oxyde) correspondant aux orientations $\langle 100 \rangle$ et $\langle 111 \rangle$, il apparaît un nuage de points dispersés dans tout le plan et ne présentant aucune corrélation. Ainsi, la notion d'une vitesse limite constante ne dépendant que de l'orientation du cristal n'est pas justifiée.

- Pour terminer nous avons pu observer sur des transistors V.MOS de même technologie et de même géométrie, différenciés uniquement par la valeur de la longueur L du canal ($0,5^{\mu} < L < 2^{\mu}$), que plus la longueur est faible, plus la transconductance est élevée (fig II. 19). Ce fait est infirmé par la relation (2-8) qui aurait tendance à montrer que la transconductance $g_{m_{max}}$ est indépendante de cette longueur.

II. 1. 1. 2 - Expression du courant de drain

L'analyse précédente était basée sur l'utilisation d'une relation vitesse-champ électrique indépendante de la composante transversale de ce champ. Or, il est bien connu [28] que dans les transistors M.O.S. de technologie classique, dont la longueur de canal est supérieure à 5 microns, l'effet de réduction de mobilité sous l'action du champ transversal est un phénomène de premier ordre qui régit le comportement électrique de ces transistors.

Très récemment, une étude conduite par R.W.COEN et RS. MULLER [24] a permis de mesurer les caractéristiques vitesse-champ électrique d'électrons ou de trous dans un canal d'inversion de direction $\langle 100 \rangle$ ou $\langle 111 \rangle$. La structure utilisée est un transistor M.O.S. à grille résistive en Nichrome dans lequel le canal est maintenu uniforme en valeurs de densité de charge et de champ électrique par l'application de deux tensions de polarisation sur deux doigts de métallisation, reliés à cette grille résistive respective-

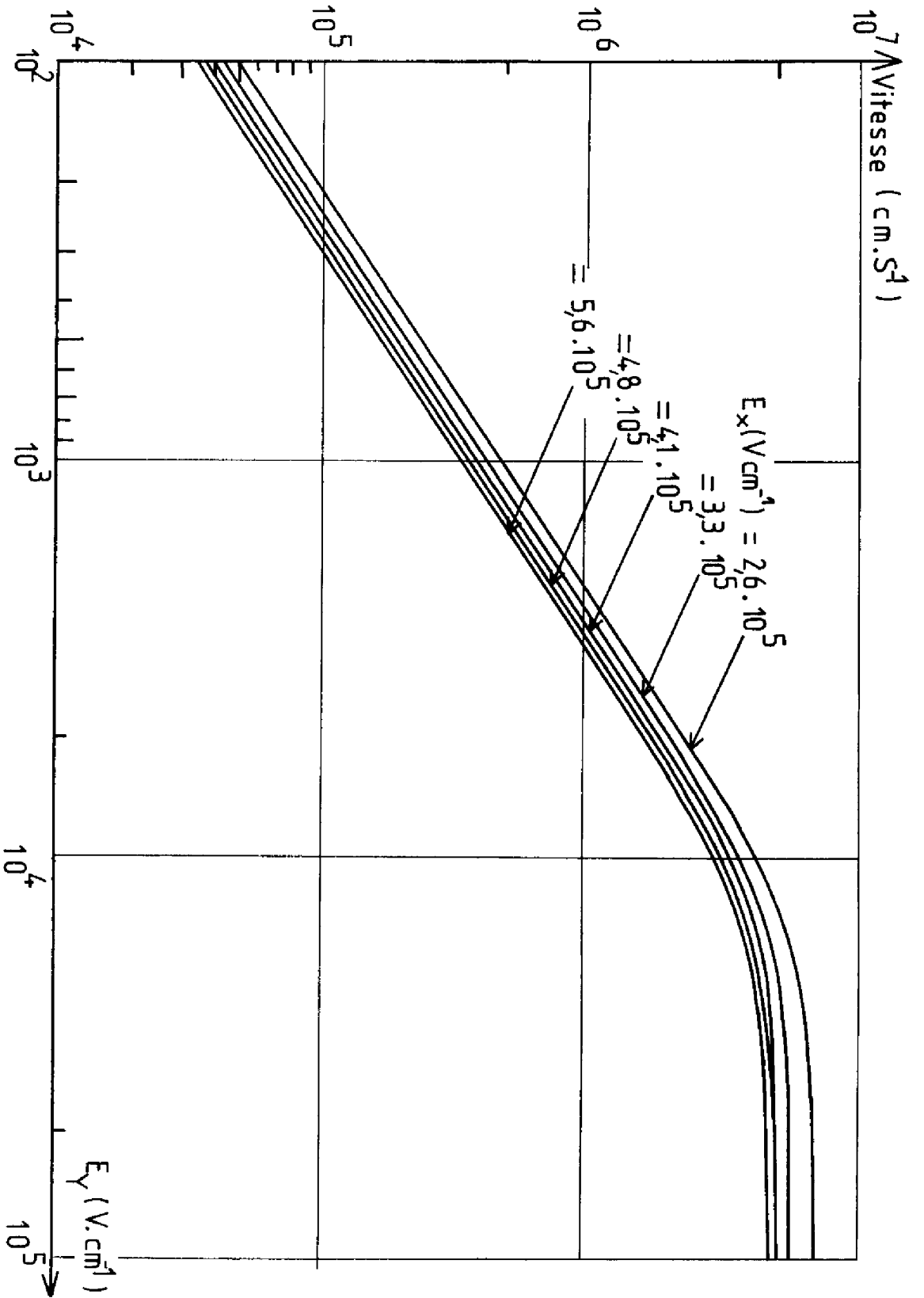


Figure II. 5 : Variations de la vitesse des électrons en fonction du champ électrique longitudinal dans une couche inversée de direction $\langle 11 \rangle$ (d'après COEN et MULLER [24])

ment du côté de la source et du côté du drain.

Les différentes caractéristiques expérimentales vitesse-champ électrique longitudinal de la figure II. 5 montrent l'influence du champ électrique transversal non seulement à faible niveau de vitesse mais aussi dans la région où les caractéristiques saturent : les vitesses limites augmentent quand le champ transversal diminue. Par la suite, nous utiliserons une relation analytique qui prendra en compte d'une part, l'effet de réduction de mobilité en fonction du champ transversal à faible tension drain-source et d'autre part, la variation de vitesse limite avec le champ transversal, lorsque le champ longitudinal sera supérieur au champ critique.

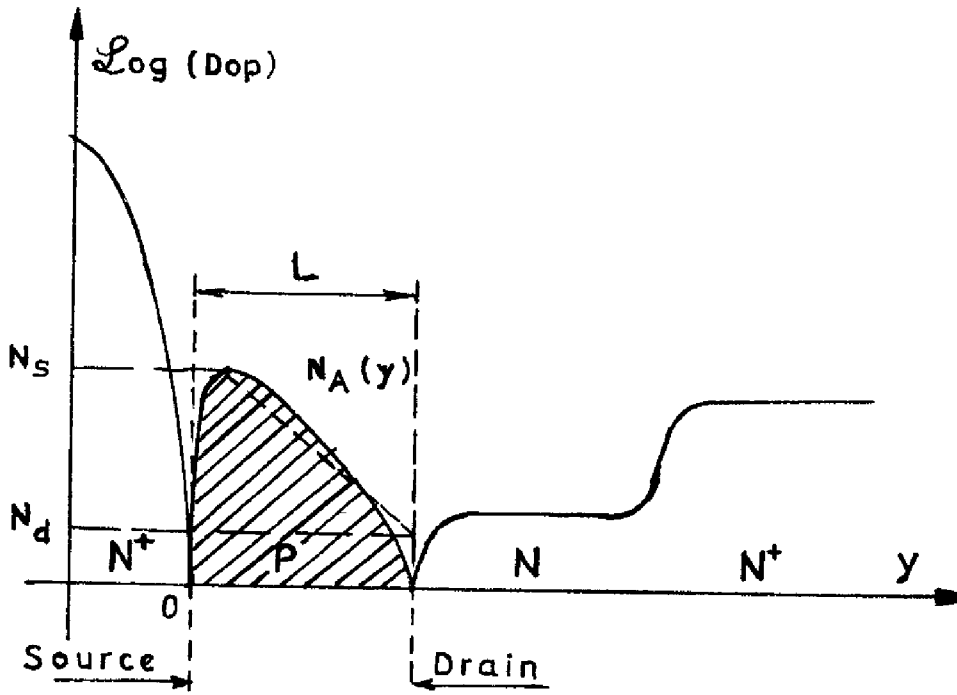
a - Courant de drain

La détermination de l'expression du courant circulant entre source et drain suit un mode opératoire classique qui consiste en trois étapes [29] .

- résolution de l'équation de neutralité dans la structure MOS
- détermination du nombre total des porteurs minoritaires dans une tranche du canal.
- intégration de la charge et équation du courant.

Par rapport au transistor M.O.S, dit classique, les phénomènes à prendre en compte, en toute rigueur, dans le cas du canal du V.MOS sont :

- la non uniformité du dopage dans la direction source-drain [12] . La figure II. 6. a. représente la coupe schématique d'un élément du V.MOS. Le profil de dopage dans la direction OY est imposé par les étapes technologiques suivantes :
 - diffusion de la zone P
 - diffusion de la zone de source N^+ .
 - redistribution lors de la croissance thermique de l'oxyde de grille [30]



PROFIL DE DOPAGE D'UN
TRANSISTOR V-M.O.S.

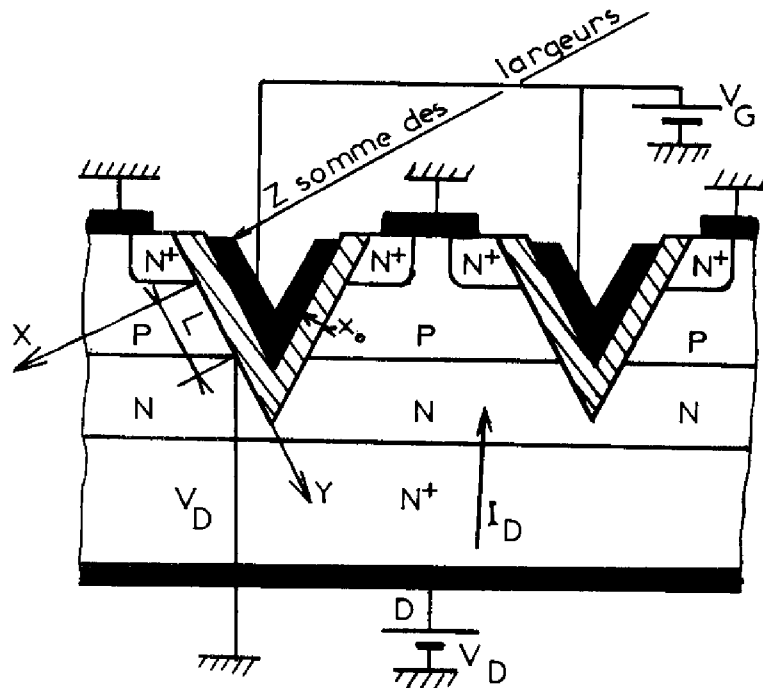


Figure II. 6 a : Coupe schématique d'un transistor M.O.S a canal vertical.
Définition des variables géométriques et électriques.

Il peut être défini en première approximation par la relation :

$$N_A(y) = N_s \cdot \exp \left[\frac{y}{L} \cdot \text{Log} \left(\frac{N_d}{N_s} \right) \right] \quad (2-12)$$

où N_s et N_d représentent respectivement la valeur maximale du dopage au voisinage de la source et la valeur minimale extrapolée au droit du drain.

- la saturation de la vitesse des porteurs sous l'effet du champ longitudinal et la variation de la vitesse limite sous l'effet du champ transversal. En première approximation, nous décrirons les variations de mobilité par la relation :

$$M_{\text{eff}} = \frac{M_o}{\left[1 + \frac{d\phi_s}{dy} / E_o \right] \left[1 + \frac{V_G - \phi_s}{\Upsilon} \right]} \quad (2-13)$$

M_o représente la mobilité à champ faible, E_o le champ critique longitudinal au delà duquel la vitesse sature, et Υ un paramètre dépendant de l'épaisseur d'oxyde, du temps de relaxation et de la masse effective des porteurs à l'interface [28]. Ce paramètre Υ traduit les effets du champ transversal.

- l'échauffement du canal dû à la puissance dissipée.

Pour notre part, nous ne tiendrons pas compte de ce phénomène qui est étudié par ailleurs par M. GAMBOA [31] ; en réalité, notre analyse ne s'applique qu'au cas du régime impulsionnel.

- le mécanisme de raccourcissement de canal dû à l'action électrostatique de la tension drain lorsque le transistor fonctionne en régime de saturation [32]. Nous négligerons également cet effet en admettant que la zone de charge d'espace de la diode PN^- de drain s'étend uniquement dans la région N^- en régime de saturation.

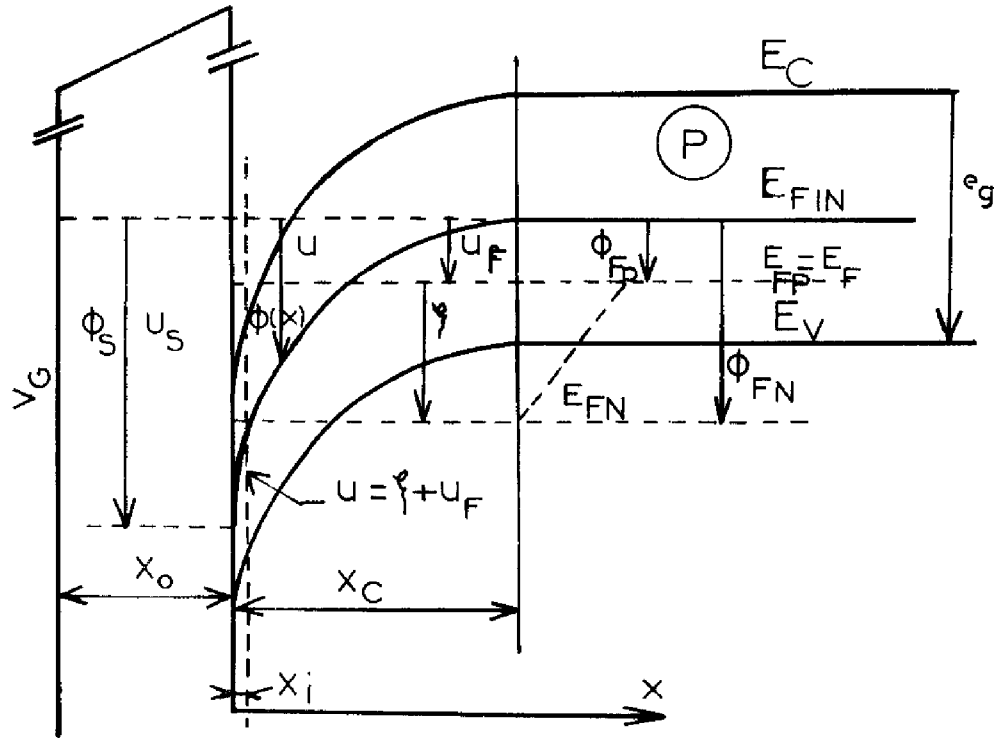


Figure II. 6. b : diagramme d'énergie d'une couche d'inversion suivie d'une couche d'appauvrissement

Equation de neutralité - charge totale des porteurs mineurs

Lorsqu'on applique une d.d.p. entre la grille et le substrat, la continuité de la composante normale du champ à l'interface Si - SiO₂ conduit à l'expression du potentiel de surface $\phi_s(y)$. Dans le cas de la zone inversée, on obtient la relation [33].

$$\phi_s(y) = \theta(y) + 2\phi_F(y) + \frac{kT}{q} \text{Log} \left[\frac{q}{kT} \frac{(V_G - \theta(y) - 2\phi_F(y))^2}{\phi_B(y)} - \frac{q}{kT} (\theta(y) + 2\phi_F(y)) + 1 \right] \quad (2-14)$$

avec :

$$\phi_B(y) = \frac{2qN_A(y)\epsilon_s\epsilon_0}{C_{ox}^2} \quad (2-15)$$

$$V'_G = V_G + \frac{Q_{ss}}{C_{ox}} - \phi_{MS} \quad (2-16)$$

$$\phi_F(y) = \frac{kT}{q} \text{Log} \frac{N_A(y)}{n_i} \quad (2-17)$$

où $\bar{\phi}(y)$ représente la différence des potentiels de Fermi, $N_A(y)$ le dopage au point d'abscisse considéré, C_{ox} la capacité d'oxyde par unité de surface, Q_{ss} les charges totales d'oxyde de grille et d'interface ramenées à l'interface et ϕ_{MS} la différence des travaux de sortie entre métal et semiconducteur. (fig. II. 6. b). L'électrode de substrat est prise comme origine des potentiels. Cette expression peut être simplifiée en régime d'inversion par [34] :

$$\phi_s(y) = \bar{\phi}(y) + 2 \phi_F(y) \quad (2-18)$$

La charge totale des porteurs dans la zone de charge d'espace superficielle est définie par :

$$q N(y) = q \int_0^{x_c} n(\phi) dx \quad (2-19)$$

où x_c représente la largeur de la charge d'espace, n la densité électronique et ϕ le potentiel électrostatique.

Si nous supposons que :

- dans la zone inversée, la totalité des charges est due aux électrons.

- dans la zone d'appauvrissement adjacente, la totalité des charges est constituée par des impuretés ionisées.

- le potentiel de surface est régi par la relation (2-18)

- la largeur de la zone d'inversion x_i est petite devant celle de la zone d'appauvrissement x_c .

En utilisant les potentiels normalisés définis par :

$$\mu = \frac{q}{kT} \phi \quad \psi = \frac{q}{kT} \Theta \quad \mu_F = \frac{q}{kT} \phi_F$$

la charge des porteurs minoritaires en surface, déduite de l'équation de neutralité suivante

$$Q_{SS} - \phi_{MS} C_{ox} + \frac{kT}{q} C_{ox} (\mu_G - \mu_S) - \int_{x_i}^{x_c} q N_A(y) dx - \int_0^{x_i} q n dx = 0 \quad (2-20)$$

s'exprime par :

$$\int_0^{x_i} q n dx = C_{ox} (V_G' - \phi_S) - \int_{\psi_S = \psi + 2\psi_F}^0 q N_A(y) \left(\frac{dx}{du} \right) du \quad (2-21)$$

L'intégrale de l'équation de Poisson fournit l'expression de $\frac{du}{dx}$:

$$\frac{du}{dx} = - \frac{1}{L_D} \frac{\mu}{|\mu|} \mathcal{F}(u, \psi, \psi_F) \quad (2-22)$$

où L_D représente la longueur de Debye.

Or dans la région où le potentiel en surface est compris entre zéro et $\psi + 2\psi_F$, la fonction \mathcal{F} peut être approchée par :

$$\mathcal{F}(u, \psi, \psi_F) = \left[\exp \frac{\psi_F}{2} \right] u^{1/2} \quad (2-23)$$

et dans ces conditions :

$$\int_0^{x_i} q n dx = C_{ox} [V_G' - \phi_S(y)] - q N_A(y) \left(\frac{\epsilon_0 \epsilon_i kT}{2 q^2 m_i} \right)^{1/2} \exp\left(-\frac{\psi_F}{2}\right) \int_{\psi+2\psi_F}^0 u^{-1/2} du \quad (2-24)$$

$$\int_0^{x_i} q n dx = C_{ox} \left[(V_G' - \Theta(y) - 2\phi_F(y)) - \phi_B^{1/2}(y) (\Theta(y) + 2\phi_F(y))^{1/2} \right] \quad (2-25)$$

Cette expression de la charge totale des porteurs minoritaires dans la couche inversée est fonction de l'abscisse y du canal par l'intermédiaire, non seulement du terme Φ , mais aussi des termes ϕ_F et ϕ_B qui dépendent du dopage N_A (y).

Expression du courant de drain

Le courant qui traverse la section droite d'un élément différentiel de canal de longueur dy perpendiculaire à l'interface $Si - SiO_2$ est égal à [35] :

$$I_D = Z \mu_{eff} q \frac{d\Phi}{dy} \int_0^{x_i} n(x,y) dx \quad (2-26)$$

où Z est la largeur totale de tous les canaux mis en parallèle. Pour des valeurs de tension drain V_D comparables au potentiel thermodynamique, l'intégration de cette relation entre source et drain ($y = 0$ et $y = L$), compte tenu de (2-25), (2-17), (2-13) et (2-15) conduit à :

$$I_D = \mu_0 \frac{Z}{L} C_{ox} \frac{V_D}{1 + \frac{V_G - 2\phi_F}{\psi}} \frac{\text{Log} \sqrt{\frac{N_D}{N_S}} (V_G - 2\phi_F)}{\text{Log} \left[1 + \frac{(V_G - 2\phi_F)(\sqrt{N_D/N_S} - 1)}{V_G - 2\phi_F - 2\phi_F^{1/2} \phi_{B_s}^{1/2} \sqrt{\frac{N_D}{N_S}}} \right]} \quad (2-27)$$

avec :

$$\phi_{BS} = \frac{2q N_S \epsilon_{Si} \epsilon_0}{C_{ox}^2} \quad (2-28)$$

et

$$\phi_F = \frac{\phi_F(y=0) + \phi_F(y=L)}{2} \quad (2-29)$$

Lorsque la tension de drain du transistor V.MOS augmente, tout en restant inférieure à la valeur de la tension de pincement au drain, le courant de drain du transistor, dans le cadre de l'hypothèse du canal graduel — les composantes du champ électrique satisfont à

la condition d'unidimensionnalité : $\frac{\partial E_x}{\partial x} \gg \frac{\partial E_y}{\partial y}$ —, est solution de l'équation différentielle :

$$I_D = \frac{M_0 Z C_{ox}}{1 + \frac{d\theta}{dy} / E_0} \frac{1}{1 + \frac{V_G - \theta - 2\phi_F}{\psi}} \left[V_G - \theta - 2\phi_F - \phi_B^{1/2}(y) (\theta + 2\phi_F)^{1/2} \right] \frac{d\theta}{dy} \quad (2-30)$$

soit encore :

$$I_D = \frac{M_0 Z C_{ox}}{L (1 + V_D / LE_0)} \int_0^{V_D} \frac{\psi [V_G - \theta(y) - 2\phi_F(y) - \phi_B^{1/2}(y) (\theta(y) + 2\phi_F(y))^{1/2}] d\theta}{\psi + V_G - \theta(y) - 2\phi_F(y)} \quad (2-31)$$

Pour les valeurs de la tension de grille supérieures à la tension de drain, la quantité $\phi_B^{1/2}(y) [\theta(y) + 2\phi_F(y)]^{1/2}$ au voisinage de la source est négligeable devant le potentiel $V_G - \theta - 2\phi_F$ puisque les pseudo-niveaux de Fermi sont confondus en ce voisinage [29]. Par ailleurs, ce même terme ne prend de l'importance que près du drain. Par suite, dans le terme sous l'intégrale figurant dans la relation (2-31), on peut remplacer le potentiel $\phi_B(y)$ par sa valeur au drain :

$$\phi_{BD} = \frac{2q N_D \epsilon_s \epsilon_0}{C_{ox}^2} \quad (2-32)$$

et obtenir ainsi l'expression approchée du courant de drain .

$$I_D \sim \frac{M_0 Z / L C_{ox}}{1 + \frac{V_D}{LE_0}} \left\{ V_D + \psi \text{Log} \frac{\psi + V_G - 2\phi_F - V_D}{\psi + V_G - 2\phi_F} + 2\phi_{BD}^{1/2} \left[\sqrt{V_D + 2\phi_F} - \sqrt{2\phi_F} - \sqrt{V_G + \psi} \left[\text{Arctgth} \frac{\sqrt{V_D + 2\phi_F}}{\sqrt{V_G + \psi}} - \text{Arctgth} \frac{\sqrt{2\phi_F}}{\sqrt{V_G + \psi}} \right] \right] \right\} \quad (2-33)$$

b - Tension de seuil et tension de pincement

La tension de seuil : La tension de seuil V_T du transistor en dessous de laquelle le courant de drain s'annule, est définie par H.C. PAO [29] comme étant la valeur de la tension de grille qui annule la conductance de sortie à faible tension drain-source.

Elle s'exprime par la relation

$$\frac{\partial I_D}{\partial V_D} \Big|_{\substack{V_D \rightarrow 0 \\ V_G = V_T}} = 0 \quad (2-34)$$

L'annulation de la dérivée par rapport à V_D de l'expression (2-27) correspond à :

$$V_T = -\frac{Q_{ss}}{C_{ox}} + \phi_{ms} + 2\phi_F + \sqrt{2\phi_F} \sqrt{\phi_{Bs}} \quad (2-35)$$

Cette expression, qui traduit physiquement l'annulation de la charge totale des porteurs minoritaires au droit de la source, montre que la tension de seuil est essentiellement contrôlée par la valeur du dopage N_s et, est indépendante du profil de dopage dans le reste du canal. La valeur élevée de N_s conduit à une tension généralement positive.

La tension de pincement : Les caractéristiques théoriques $I_D(V_D)$ déduites de la relation (2-33) passent par un maximum pour une tension de drain V_p , appelée tension de pincement, qui obéit à la relation implicite suivante [28] :

$$\frac{ZM_0C_{ox}}{L} \frac{1}{1 + \frac{V_G - V_p - 2\phi_F}{\phi_{BD}}} \left[V_G - V_p - 2\phi_F - \phi_{BD}^{1/2} \sqrt{V_p + 2\phi_F} \right] - \frac{I_0}{LE_0} = 0 \quad (2-36)$$

Une approximation au premier ordre de la valeur de V_{p1} déduite de cette relation est :

$$V_{p1} = -2\phi_F + V_G - \frac{\phi_{BD}}{2} \left[\left(1 + 4 \frac{V_G}{\phi_{BD}} \right)^{1/2} - 1 \right] \quad (2-37)$$

On admettra que l'hypothèse de saturation parfaite est vérifiée lorsque la tension de drain est supérieure à la tension V_p et, par ailleurs, comme nous l'avons déjà indiqué, nous supposons que le mécanisme de réduction de la longueur du canal [36] [37] n'apparaît pas. Ainsi le courant de drain sera défini en résolvant le système d'équations (2-33) - (2-36) dans lequel la tension V_D de la relation (2-33) sera remplacée par la tension V_p .

c - la transconductance

En régime de saturation, la transconductance g_m représente la dérivée de la relation (2-33) (dans laquelle le potentiel V_D est remplacé par V_p déduit de (2-36)) par rapport à la tension de grille V_G . Il n'est possible de déterminer cette transconductance que par voie numérique. Cependant, la forme des relations utilisées montre que la transconductance ne dépend que des quantités suivantes :

- le facteur de pente $\mu_o \cdot \frac{Z}{L} \cdot Cox$.
- le potentiel de réduction de mobilité longitudinal LE_o .
- le potentiel de réduction de mobilité transversal Υ .
- la tension effective de grille V'_G .
- le potentiel ϕ_{BD} .

Compte tenu de la valeur généralement faible du potentiel ϕ_{BD} devant la tension de grille, on peut considérer que l'influence de ϕ_{BD} est négligeable sur la valeur de la transconductance g_m . Par suite, la quantité $\frac{g_m}{\mu_o \frac{Z}{L} Cox}$ ne dépend que de trois paramètres :

LE_o, Υ, V'_G . En général, on considèrera que l'on peut confondre la tension effective de grille avec la quantité $V_G - V_T$. En conséquence, on peut montrer, par analyse numérique, que la caractéristique

$\frac{g_m}{\mu_o \frac{Z}{L} Cox}$, fonction de la tension $V_G - V_T$, (figure II. 7)

est une courbe qui présente une partie linéaire croissante de pente unité, puis passe par un maximum et reste très plate autour de ce

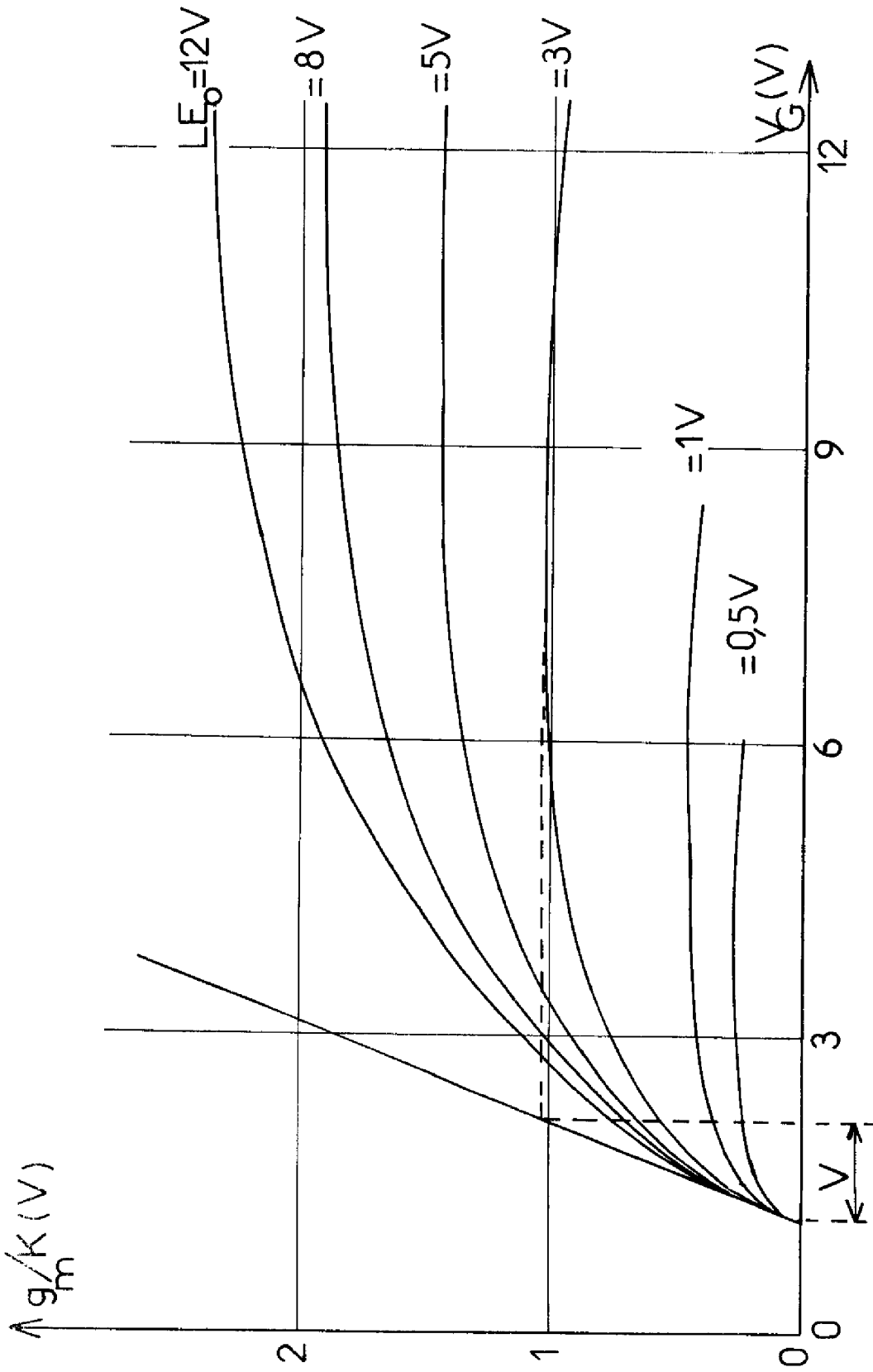


Figure II. 7 : Variations théoriques de la transconductance rapportée au paramètre K ($K = \frac{M}{o} \frac{Z}{I} C_{ox}$) en fonction de la tension grille pour différentes valeurs de LE_0 avec $\Upsilon = 20$ v

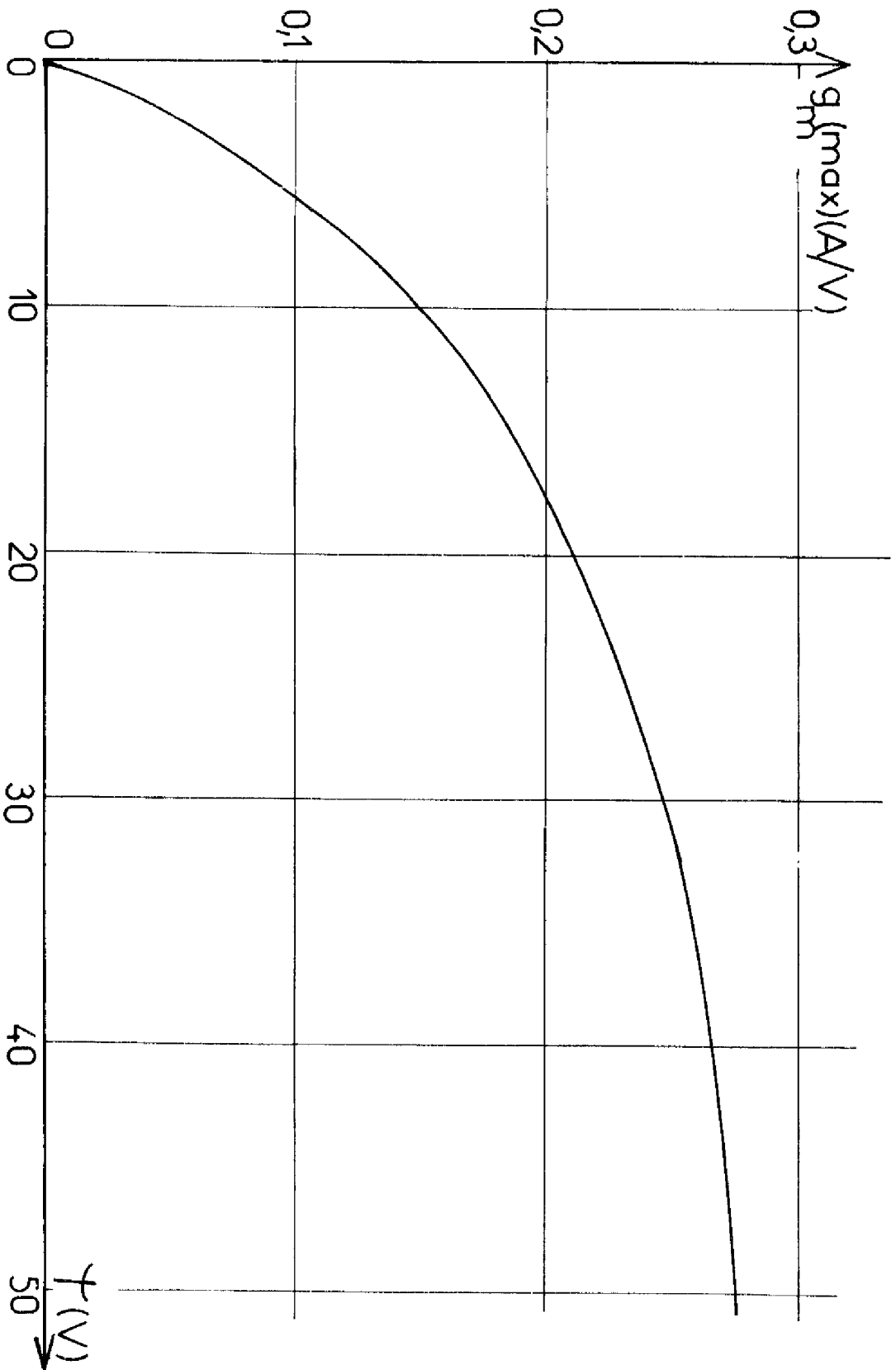


Figure II. 8 : Variations théoriques de la transconductance maximale en

fonction du paramètre $T = \frac{M}{L} C_{ox} = 0,14 \text{ A/V}^2$; $\phi_{BD} = 0,65 \text{ V}$;

$U_{E_0} = 5 \text{ V}$

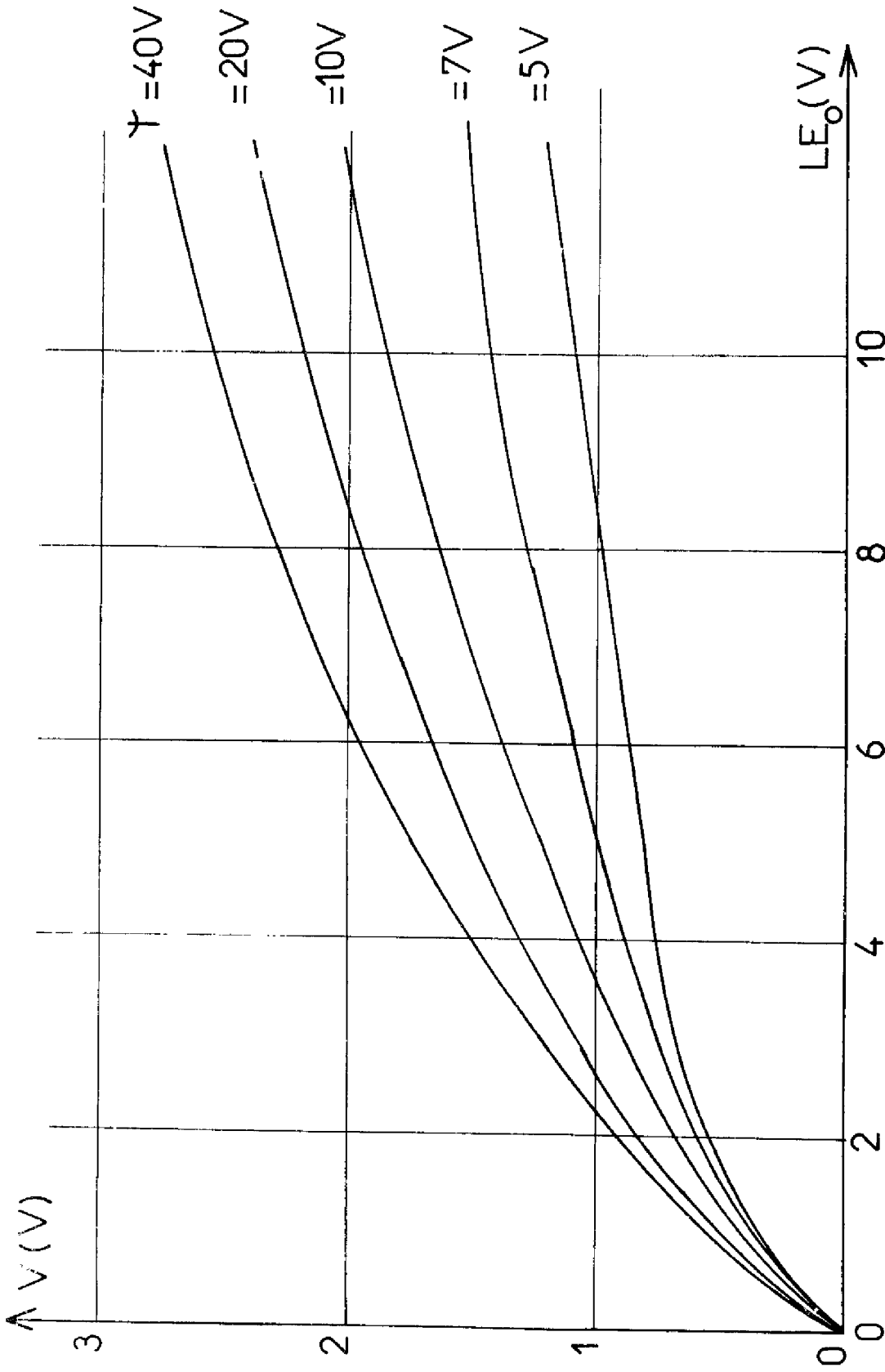


Figure II. 9 : Variations théoriques du paramètre V en fonction de LE_0 pour différentes valeurs du paramètre γ

maximum. Ce maximum évolue en fonction, non seulement du paramètre LE_0 (figure II. 7) mais aussi, et c'est là la différence fondamentale avec les modèles classiques, avec le potentiel Ψ (figure II. 8).

Par la suite, nous utiliserons sur la caractéristique $g_m(V_G)$, le potentiel V qui est défini comme l'écart de tension de grille compris entre la tension de seuil et le point d'abscisse correspondant à l'intersection de la tangente au point $V_G = V_T$ et de la tangente horizontale au maximum de la transconductance (figure II.7). Ce potentiel V n'est fonction que des potentiels Ψ et LE_0 . L'abaque théorique des évolutions de V en fonction de ces quantités (figure II. 9) sera utilisé ultérieurement pour déterminer expérimentalement le potentiel LE_0 .

II. 1. 2 - Expressions théoriques des charges sur les électrodes : capacités dynamiques de la zone active

Afin d'établir le schéma équivalent du transistor V.MOS, utilisable pour décrire le régime de commutation, il est nécessaire de connaître les expressions des capacités dynamiques entre les électrodes. Les deux méthodes mathématiques de détermination de ces expressions sont basées sur :

- la théorie de la charge d'électrode de grille [38].
- l'intégration des équations de propagation dans le canal [33].

La deuxième méthode est plus délicate à mettre en oeuvre que la première, mais elle fournit non seulement les valeurs des capacités, mais aussi des éléments résistifs qui leurs sont associés. Dans le troisième chapitre, nous développerons de manière rigoureuse le traitement mathématique qui permet d'obtenir les éléments du schéma équivalent du transistor, et nous prendrons en compte les effets de réduction de mobilité transversal et longitudinal.

Dans ce chapitre, nous effectuerons une analyse plus approchée, qui négligera d'une part, ces effets de réduction de

mobilité et d'autre part, les effets de non-uniformité de dopage. Cette analyse permettra cependant de fournir des expressions analytiques des capacités dynamiques, pouvant être traitées dans les programmes d'analyse de circuits. Ces expressions seront utilisées dans l'établissement du schéma équivalent destiné à l'étude des temps de commutation.

$$\begin{matrix} 0 \\ 0 & 0 \end{matrix}$$

Les formulations intégrales des capacités dynamiques de grille et de drain sont :

$$C_G = \left. \frac{\partial Q_G}{\partial V_G} \right|_{V_D} \quad (2-38)$$

et

$$C_D = - \left. \frac{\partial Q_G}{\partial V_D} \right|_{V_G} \quad (2-39)$$

Q_G étant la charge stockée sur la grille.

II. 1. 2. 1 - Charge de l'électrode de grille.

Dans le cas général, l'expression de la charge totale de l'électrode de grille est définie par la relation suivante :

$$Q_G = Z.L.Q. = Z. C_{ox} \int_0^L (V'_G - \phi_s) dy \quad (2-40)$$

où Q est la charge par unité de surface de la grille.

Le potentiel ϕ_s est déterminé par la résolution en chaque point du canal de l'équation de neutralité [35] écrite sous la forme :

$$V'_G - \phi_s = \frac{kT}{q} \frac{u_s}{|u_s|} \frac{\epsilon_{si}}{\epsilon_{ox}} \frac{x_0}{L_D} \mathcal{F}(u_s, \eta, u_F) \quad (2-41)$$

où la fonction \mathcal{F} déduite de l'intégration de l'équation de Poisson

est définie par

$$\mathcal{F}(u, \varphi, u_F) = \left[e^{u-\varphi-u_F} + e^{u_F-u} + (u-1)e^{u_F} - (u+e^{-\varphi})e^{-u_F} \right]^{1/2} \quad (2-42)$$

u_s, φ, u_F étant les valeurs normalisées par $\frac{kT}{q}$ de ϕ_s, ψ, ϕ_F .

Cette équation ne peut être résolue analytiquement et elle possède différentes solutions approchées suivant la nature des charges dominantes à la surface du silicium.

a) La surface est accumulée

La tension de grille satisfait à la condition :

$$V_G + \frac{Q_{ss}}{Cox} - \phi_{MS} < 0 \quad (2-43)$$

La fonction \mathcal{F} peut être approchée par :

$$\mathcal{F} = \exp\left(\frac{u_F}{2}\right) \left[u - 1 + \exp(-u) \right]^{1/2} \quad (2-44)$$

et le potentiel de surface est constant entre source et drain :

$$\phi_s \simeq -\frac{kT}{q} \text{Log} \left[1 + \frac{q}{kT} \frac{V'_G{}^2}{\phi_B} \right] \quad (2-45)$$

Par suite, l'expression de la charge devient :

$$Q_s \simeq Cox \left\{ V'_G + \frac{kT}{q} \text{Log} \left[1 + \frac{q}{kT} \frac{V'_G{}^2}{\phi_B} \right] \right\} \quad (2-46)$$

b) La surface est dépeuplée

La tension de grille satisfait à la double inégalité :

$$-\frac{Q_{ss}}{Cox} + \phi_{MS} < V_G < V_T \quad (2-47)$$

et la fonction \mathcal{F} peut être approchée par :

$$\mathcal{F} \simeq u^{1/2} \cdot \exp\left(\frac{u_F}{2}\right) \quad (2-48)$$

Le potentiel en surface est encore constant tout le long du canal et a pour valeur :

$$\phi_s = V'_G + \frac{\phi_B}{2} \left[1 - \left(1 + 4 \frac{V'_G}{\phi_B} \right)^{1/2} \right] \quad (2-49)$$

et dans ce cas, la charge de l'électrode de grille s'exprime par :

$$Q_G = \frac{1}{2} C_{ox} \phi_B \left[\left(1 + 4 \frac{V'_G}{\phi_B} \right)^{1/2} - 1 \right] \quad (2-50)$$

c) La surface est inversée :

Ce cas correspond aux valeurs de tensions de grille supérieures à la tension de seuil V_T . Il y a passage de courant entre drain et source. La fonction \mathcal{F} est déterminée en envisageant la contribution des porteurs minoritaires et des impuretés ionisées :

$$\mathcal{F} \simeq \left(\exp(u - \psi - u_F) + u \exp(u_F) \right)^{1/2} \quad (2-51)$$

quant au potentiel de surface, il est voisin de la valeur :

$$\phi_s \simeq \psi + 2 \phi_F \quad (2-52)$$

Il dépend de l'écart des pseudo-niveaux de Fermi en tout point du substrat et la dérivée de cet écart par rapport à y s'écrit [29] :

$$\frac{d\psi}{dy} = \frac{I_D}{z M_o k T \int_0^\infty n(u, \psi) dx} \quad (2-53)$$

I_D étant le courant de drain et n la densité de porteurs minoritaires. Par suite, la relation (2-40) se transforme en tenant compte de (2-52) et (2-53) en :

$$Q_G = \frac{q Z M_o C_{ox}}{L I_D} \int_0^{V_D} (V_G - \psi - 2\phi_F) \left[\int_0^\infty n(u, \psi, u_F) dx \right] d\psi \quad (2-54)$$

En remplaçant le courant I_D et la charge des porteurs minoritaires par leurs expressions approchées :

$$q \int_0^{\infty} n(u, \xi) dx = C_{ox} \left[V_G' - \Phi - 2\phi_F - \phi_B^{1/2} (\Phi + 2\phi_F)^{1/2} \right] \quad (2-55)$$

on obtient :

$$Q_G = C_{ox} \left\{ (V_G' - 2\phi_F) - \frac{[(V_G' - 2\phi_F - \frac{2}{3}\Phi) \frac{\Phi^2}{2} + \frac{2}{15} \phi_B^{1/2} (4\phi_F - 3\Phi)(\Phi + 2\phi_F)^{3/2}]_0^{V_D}}{(V_G' - \frac{V_D}{2} - 2\phi_F) V_D - \frac{2}{3} \phi_B^{1/2} [(V_D + 2\phi_F)^{3/2} - (2\phi_F)^{3/2}]} \right\} \quad (2-56)$$

L'asymptote de la courbe $Q(V_G')$ a pour équation :

$$Q_G = C_{ox} \left(V_G' - 2\phi_F - \frac{V_D}{2} \right) \quad (2-57)$$

Si le canal est pincé, la charge Q est donnée par la même relation dans laquelle la tension de drain V_D est remplacée par la tension de pincement V_p qui a été calculée au paragraphe II. 1. 1. 2. b.

II. 1. 2. 2 - Capacités dynamiques grille-source et grille-drain.

Les capacités dynamiques C_G et C_D sont évaluées au moyen des relations (2-38) et (2-39) par dérivation des diverses expressions de la charge Q_G . Dans les cas des régimes accumulés et dépeuplés, on obtient :

. accumulation : $C_G \simeq ZL C_{ox}$; $C_D \simeq 0$ (2-58)

. dépeuplement : $C_G \simeq ZL C_{ox} \left(1 + 4 \frac{V_G'}{\phi_B} \right)^{-1/2}$; $C_D \simeq 0$ (2-59)

En régime d'inversion, lorsque le transistor n'est pas saturé, les expressions des capacités dynamiques sont :

— pour la capacité dynamique de grille :

$$C_G = \frac{\partial Q_G}{\partial V_G} = Z.L.C_{ox} \left[1 - \frac{V_D \left[\frac{1}{12} V_D^3 + \frac{1}{15} \phi_B^{1/2} \left[(V_D + 2\phi_F)^{3/2} (V_D - 8\phi_F) + (2\phi_F)^{3/2} (8\phi_F + 5V_D) \right] \right]}{\left\{ (V_G' - \frac{V_D}{2} - 2\phi_F) V_D - \frac{2}{3} \phi_B^{1/2} \left[(V_D + 2\phi_F)^{3/2} - (2\phi_F)^{3/2} \right] \right\}^2} \right] \quad (2-60)$$

Cette capacité dynamique de grille tend vers la capacité d'oxyde C_{ox} dans le cas où ϕ_B augmente, ou bien dans le cas où la tension de grille devient très supérieure aux autres tensions. Dans le cas de transistors très peu dopés, une approximation en premier ordre s'écrit :

$$C_G = ZL C_{ox} \left[1 - \frac{V_D^2}{3(2V'_G - V_D)^2} \right] \quad (2-61)$$

- Pour la capacité dynamique de drain :

$$C_D = ZL C_{ox} \frac{\left[V'_G - 2\phi_F - V_D - \phi_B^{1/2} (V_D + 2\phi_F)^{1/2} \right] \left\{ \frac{V_D^2 (V'_G - 2\phi_F - V_D) - \frac{2}{3} \phi_B^{1/2} \left[\frac{2}{5} (V_D + 2\phi_F)^{5/2} - \frac{2}{5} (2\phi_F)^{5/2} - (2\phi_F)^{3/2} V_D \right] \right\}}{\left\{ (V'_G - \frac{V_D}{2} - 2\phi_F) V_D - \frac{2}{3} \phi_B^{1/2} \left[(V_D + 2\phi_F)^{3/2} - (2\phi_F)^{3/2} \right] \right\}^2} \quad (2-62)$$

Dans l'hypothèse de faible dopage, cette expression se simplifie et la capacité dynamique de drain devient :

$$C_D = \frac{2}{3} ZL C_{ox} \frac{(V'_G - V_D) (3V'_G - V_D)}{(2V'_G - V_D)^2} \quad (2-63)$$

En régime de pincement, la tension V_D doit être remplacée par la tension V_p .

II. 2 - MODELE DU TRANSISTOR V.MOS EN REGIME DE COMMUTATION

Nous nous proposons d'établir un modèle du transistor V.MOS qui permet de simuler d'une part, le réseau des caractéristiques statiques et d'autre part, le comportement en régime de commutation. On utilisera les principaux résultats théoriques développés précédemment et on ajoutera l'effet des éléments extérieurs à la partie active du transistor. Par ailleurs, la structure du schéma équivalent et les formulations mathématiques utilisées devront être compatibles avec les contraintes imposées par les programmes d'intégration numérique des équations des circuits électriques ; dans notre cas, il s'agira du programme IMAG III.

II. 2. 1 - La partie active du V.MOS

La partie active du transistor est représentée par une source de courant, qui sera notée J_1 , reliée à la source et au drain et, par deux capacités C_{gr} et C_{gd} connectées respectivement entre grille et source et, grille et drain.

II. 2. 1. 1 - Le courant généré par la source

Ce courant est calculé lorsque le transistor est non pincé, par la relation (2.33). Par ailleurs, en régime de saturation ou de pincement, comme le programme de simulation de circuits ne permet pas de résoudre la relation implicite (2.36), nous utiliserons la procédure suivante pour calculer le courant :

- premièrement, la tension de pincement est déterminée par la relation (2.37)

- ensuite, nous déterminons le courant drain I_{D1} correspondant, à l'aide de la relation (2.33) en remplaçant V_D par V_{p1} .

- la connaissance du courant drain I_{D1} nous permet alors de déterminer de façon plus précise la tension de pincement V_{p2} à l'aide de la relation (2.36) en résolvant une équation du second degré en V_D .

Cette méthode de calcul, utilisant deux itérations, évite d'obtenir une tension de pincement supérieure à la tension V_{DS} correspondant au maximum de la relation (2.33) ; ainsi les caractéristiques électriques calculées, $I_D(V_D)$, ne présenteront jamais de pentes négatives.

II. 2. 1. 2 - Les capacités inter-électrodes

Ces capacités grille-source C_{gr} et grille-drain C_{gd} s'identifient respectivement à :

$$C_{gr} = C_G - C_D \quad (2-64)$$

$$C_{gd} = C_D \quad (2-65)$$

Leurs valeurs sont calculées compte tenu de l'état - bloqué accumulé, bloqué dépeuplé, conduction en zone ohmique, conduction en zone saturée -

du composant au moyen des expressions théoriques (2-58, 2-59, 2-61, 2-63).

II. 2. 2 - Les éléments parasites

Le transistor V.MOS comporte un certain nombre d'éléments parasites inhérents à sa structure géométrique et aux contraintes technologiques de réalisation. Ces éléments parasites peuvent agir sur les caractéristiques statiques $I_D (V_D, V_G)$ ou sur les propriétés dynamiques, temps de commutation ou réponse fréquentielle. Dans le premier cas, on distingue les résistances en série avec les électrodes et, dans le deuxième, les capacités inter-électrodes, les résistances qui leurs sont associées et les inductances de connexions.

II. 2. 2. 1 - les résistances en série avec les électrodes

La plus importante est celle qui est due à la présence de la région N^- qui constitue le drain. Son effet est sensible lorsque le transistor fonctionne à faible tension drain-source et à forte tension grille-source car, dans ce cas, la valeur de cette résistance peut être comparée à celle du canal inversé. Cet effet est particulièrement sensible dans le cas des structures à drain très peu dopé destinées à fonctionner en hautes tensions. Physiquement, cette résistance R_{dr} est constituée par le semiconducteur N^- entre la zone de recouvrement grille-drain qui est accumulée et le corps N^+ du semiconducteur (figure II. 10). Un ordre de grandeur de cette résistance a été évalué par POCHA [12] dans le cas de la structure D.MOS. Pour la structure V.MOS, la relation suivante :

$$R_{dr} = \rho_{N^-} \frac{d}{\sqrt{S_1 \cdot S_2}} \quad (2-66)$$

permet de calculer sa valeur. d est l'épaisseur de la région N^- entre le front de diffusion P et le corps N^+ , ρ_{N^-} la résistivité de cette région, S_1 l'aire des divers V relative à la portion qui pénètre dans la zone N^- et S_2 la surface du drain entre les zones N^- et N^+ .

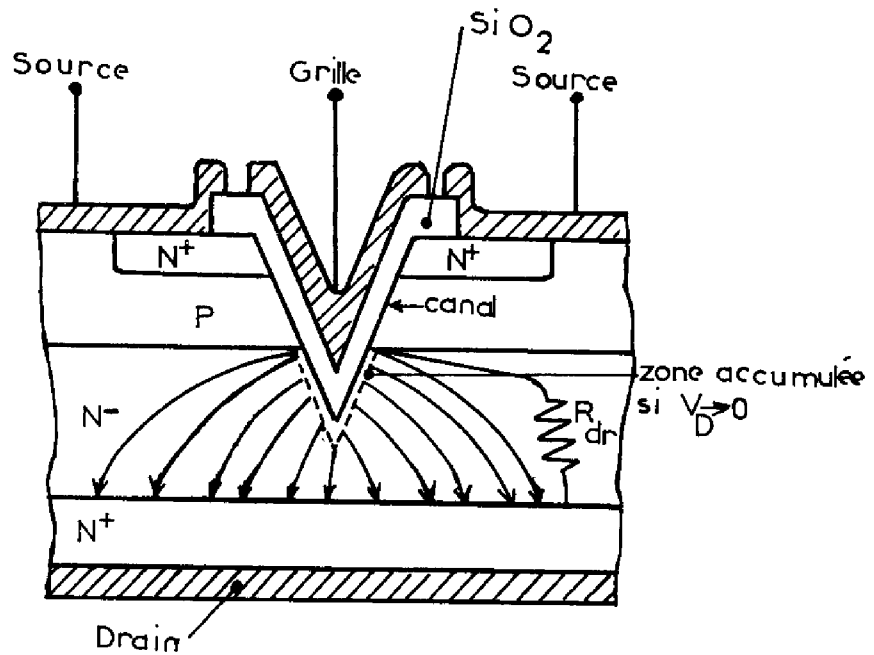


Figure II. 10 : Définition de la résistance associée à la région N^-

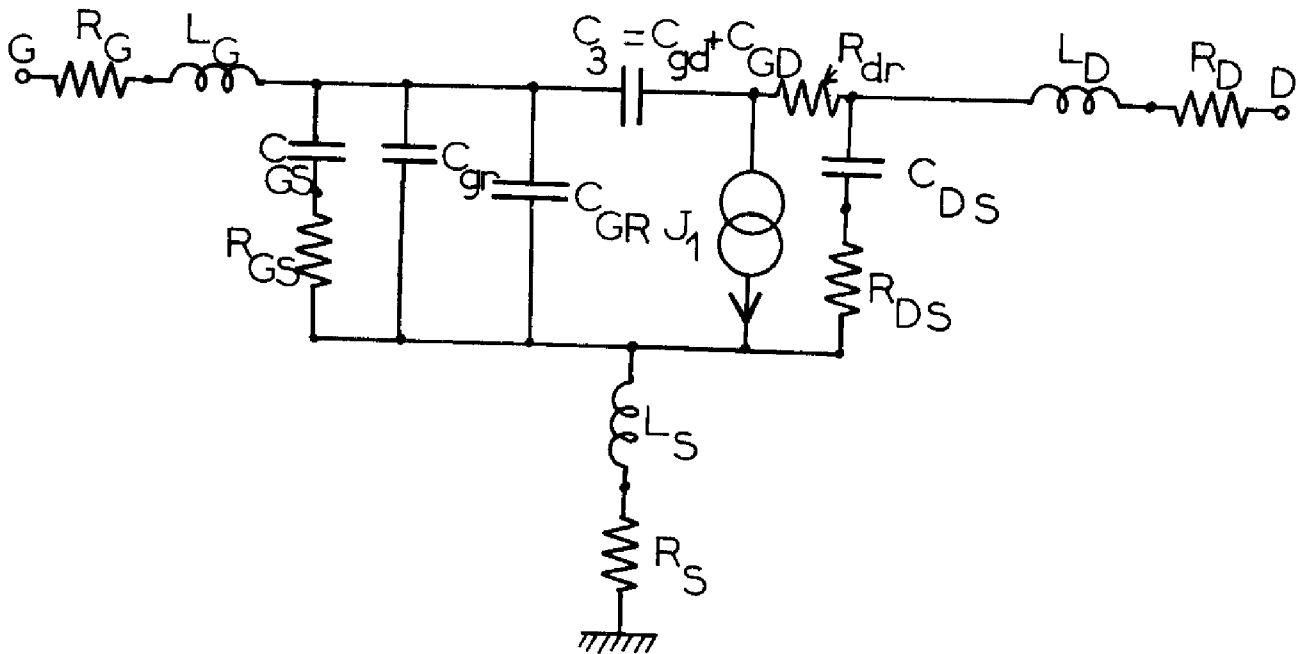


Figure II. 12 : Schéma électrique équivalent du transistor V.MOS en régime de commutation

Par ailleurs, les autres résistances en série avec les électrodes sont notées R_G , R_D , R_S . Elles sont constituées par les résistances des fils de métallisation et par les résistances des zones d'accès lorsque ces dernières sont réalisées en silicium ce qui est le cas, par exemple, des grilles en silicium polycristallin ou de zone d'accès de source diffusée relative à la structure de la figure (I. 16).

II. 2. 2. 2 - Les éléments parasites inter-électrodes

Les éléments parasites qui agissent sur les caractéristiques dynamiques, sont représentés sur la figure II. 11. Il s'agit des capacités inter-électrodes et des éléments résistifs qui leurs sont associés. Leur liste est la suivante :

- C_{GD} et C_{GR} : capacités de recouvrement grille-drain et grille-source.
- C_{GS} : capacité d'oxyde épais liée au plot de prise de contact de grille.
- C_{DS} : capacité de transition de jonction entre la zone diffusée P et la zone de drain N^- .
- R_{DS} : la résistance du substrat P et du drain N^- sous la capacité C_{DS} .
- R_{GS} : la résistance du substrat sous la métallisation de grille sur l'oxyde épais.

Les capacités C_{GD} , C_{GR} , C_{GS} , capacités d'oxyde sur des zones fortement dopées ou capacités élaborées sur des oxydes épais, sont en première approximation, indépendantes des tensions appliquées [39] .

Les résistances R_{DS} et R_{GS} peuvent également être considérées comme indépendantes des tensions appliquées, à condition que les extensions de charges d'espace restent faibles devant les dimensions du semiconducteur dans lequel elles se développent.

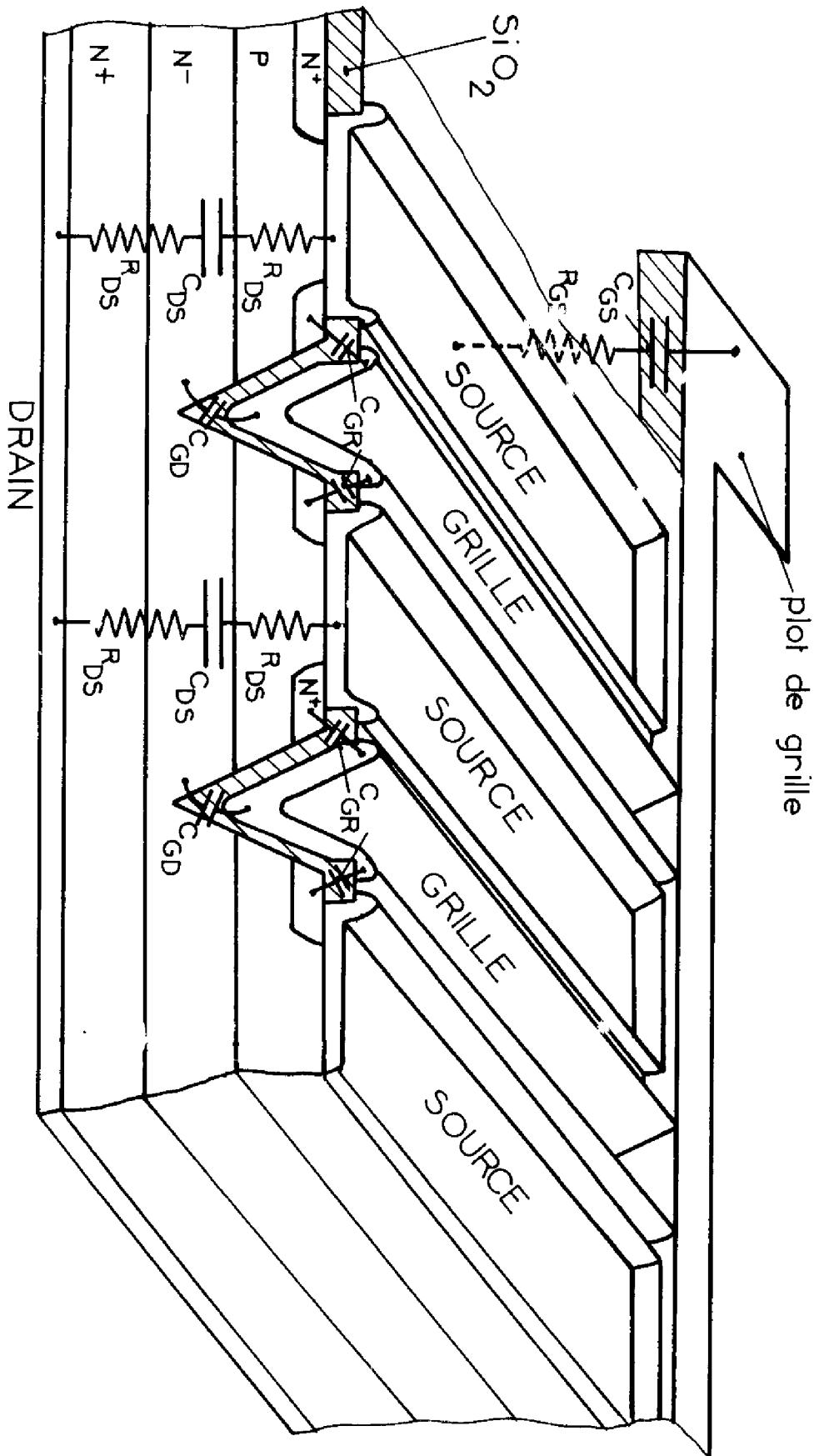


Figure II. 11 : Représentation des éléments parasites du V.MOS

La capacité de transition C_{DS} de jonction abrupte dépend des conditions de polarisation et peut être identifiée en première approximation par la relation suivante [34] :

$$C_{DS} = \frac{C_{T0}}{\left(1 + \frac{V_D}{\phi_{DIFF}}\right)^{1/2}} = \frac{\alpha}{\left(V_D + \phi_{DIFF}\right)^{1/2}} \quad (2-67)$$

où ϕ_{DIFF} représente la tension de diffusion de la diode de drain P-N⁻.

II. 2. 2. 3 - les inductances d'accès

Pour être complet, le schéma du composant prend en compte les effets des inductances d'accès à la grille L_G , au drain L_D et à la source L_S . Elles s'expriment par la relation approchée [40]

$$L_i = 0,002.1' \left[\text{Log} \left(\frac{4l'}{d'} \right) - 1 \right] \quad (2-68)$$

où d' représente le diamètre du fil en cm et l' sa longueur en cm.

Le schéma complet pour la commutation de la structure V.MOS est représenté sur la figure II. 12. Il est caractérisé par 8 paramètres intrinsèques :

$$\frac{M}{L} C_{ox}, \tau, \phi_{BD}, \phi_{BS}, \phi_F, \frac{Q_{ss}}{C_{ox}} - \phi_{MS}, LE_o, ZL C_{ox}$$

et par 10 éléments parasites :

$$C_{GD}, C_{GR}, C_{GS}, C_{DS}, R_{dr}, R_{DS}, R_{GS}, L_G, L_S, L_D$$

Ce circuit électrique est introduit sous la forme de sous-programme-figurant en annexe- dans le programme de calcul de circuits IMAG III. L'organigramme de ce sous-programme est représenté sur la figure II. 13.

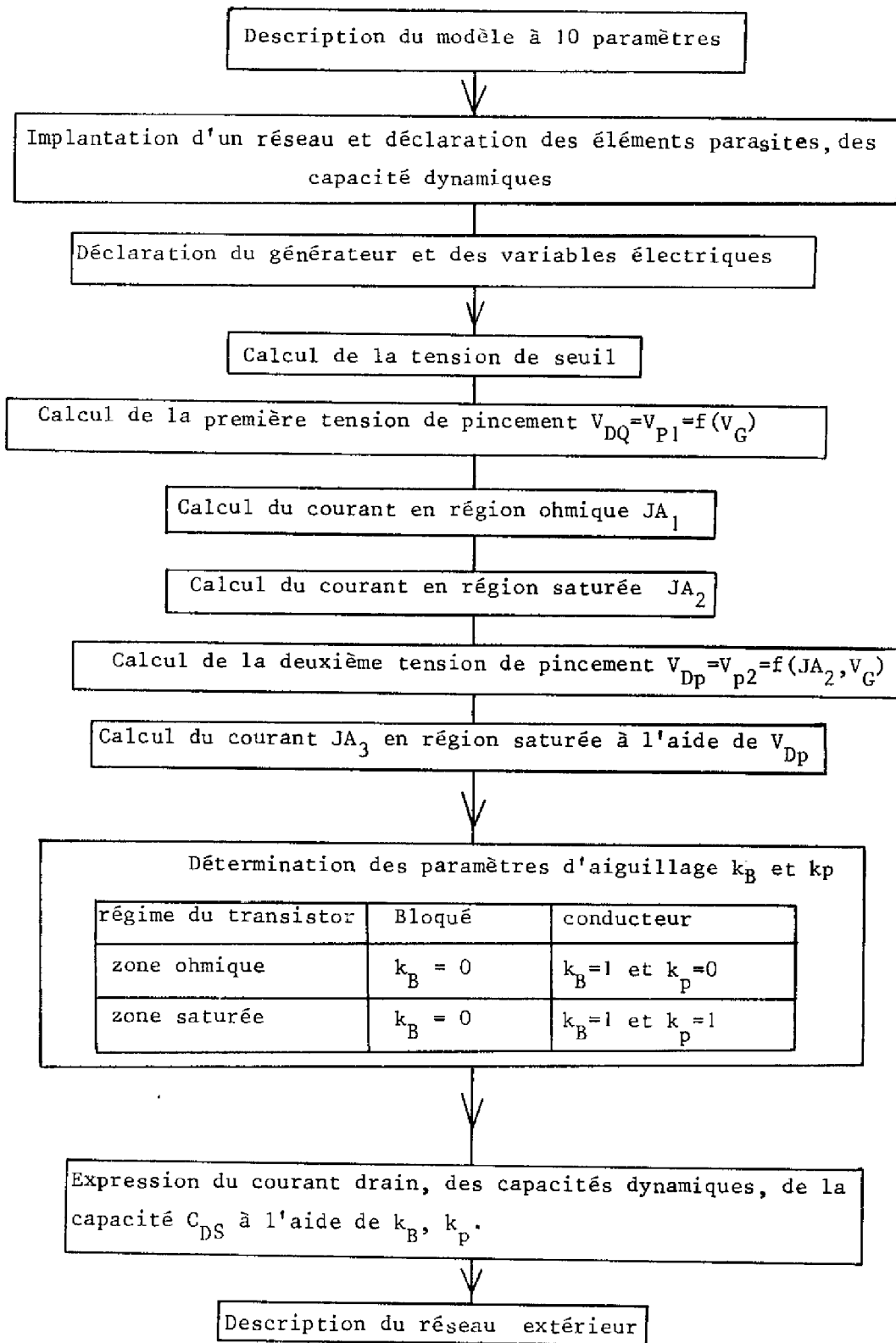


Figure II. 13 : Organigramme du modèle de fonctionnement du V.MOS en régime de larges signaux avec IMAG III

II. 2. 3 - Détermination des paramètres

Certains des paramètres précédents peuvent être mesurés directement sur le transistor, d'autres doivent être calculés compte tenu des valeurs des dimensions géométriques et des dopages. Des méthodes de mesures automatiques de ces paramètres ont été mises au point [41] ; elles sont basées sur les principes suivants :

II. 2. 3. 1 - Détermination de $\frac{M}{L} \frac{Z}{L} C_{ox}$

a) La limite de l'expression (2-33) lorsque V_D tend vers zéro conduit à écrire :

$$I_D = \frac{M}{L} \frac{Z}{L} C_{ox} \psi \frac{V_G - V_T}{\psi + V_G - 2\phi_F} V_D \quad (2-69)$$

$V_D \rightarrow 0$

ou encore :

$$I_D = \frac{M}{L} \frac{Z}{L} C_{ox} \psi \frac{(V_G - V_T) V_D}{\psi + V_G - V_T + \sqrt{2\phi_F \phi_{BS}}} \quad (2-70)$$

$V_D \rightarrow 0$

Pour des tensions de grille suffisamment proches de la tension V_T , cette expression peut se mettre sous la forme :

$$I_D = \frac{M}{L} \frac{Z}{L} C_{ox} \frac{(V_G - V_T) V_D}{1 + \frac{\sqrt{2\phi_F \phi_{BS}}}{\psi}} \quad (2-71)$$

$V_D \rightarrow 0$
 $V_G \rightarrow V_T$

Le courant devient fonction linéaire de la tension grille et la pente de la courbe $I_D (V_G)$ est égale à $\frac{M}{L} \frac{Z}{L} C_{ox} V_D$ si l'inégalité suivante est vérifiée :

$$\sqrt{2\phi_F} \sqrt{\phi_{BS}} \ll \psi \quad (2-72)$$

c'est-à-dire si le dopage de la région du canal reste faible. Cette propriété reste également vraie si l'on prend en compte la résistance en série R_{dr} . La figure II. 14 montre un exemple de détermination du coefficient $K = \frac{M}{L} \frac{Z}{L} C_{ox}$ par mesure de la pente au voisinage du seuil de la caractéristique $R_{ON} (V_G)$, la résistance

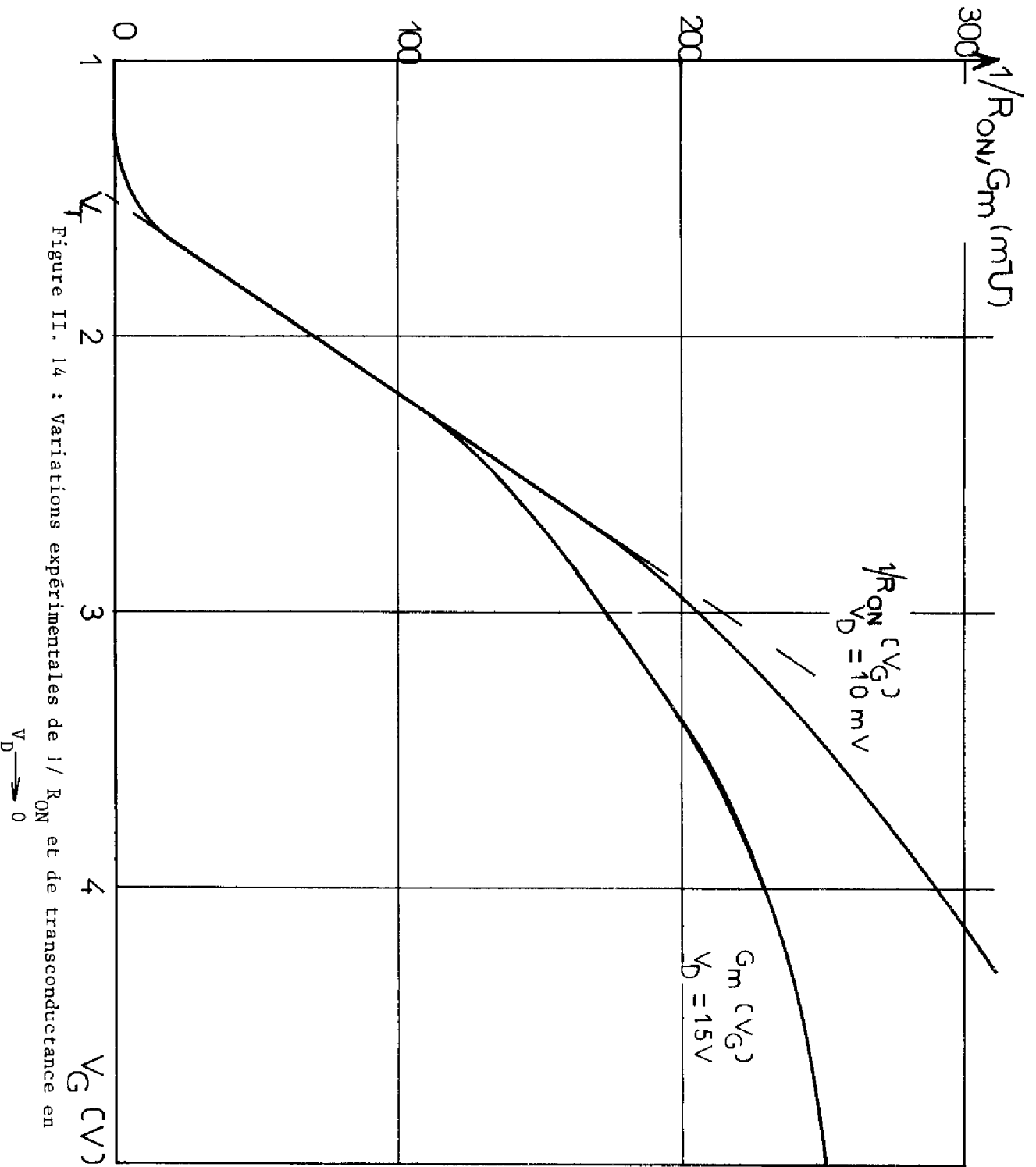


Figure II. 14 : Variations expérimentales de $1/R_{ON}$ et de transconductance en

en fonction de la tension de grille à faible et fort niveau de la tension drain.

R_{ON} étant définie par :

$$R_{ON} = \frac{V_D}{I_D} \left| V_D \rightarrow 0 \right. \quad (2-73)$$

b) Par ailleurs, le paramètre $\frac{\mu}{o} \frac{Z}{L} C_{ox}$ peut également être déterminé par l'étude des variations de la transconductance en fonction de la tension de grille appliquée dans le cas du régime saturé.

En effet, en négligeant dans les expressions (2-33) et (2-37) les termes dûs à ϕ_{BD} , le courant drain en régime saturé s'écrit sous la forme :

$$I_D = \frac{\mu}{o} \frac{Z}{L} C_{ox} \frac{1}{1 + \frac{V_G - V_T}{L E_o}} \left(V_G - V_T + 1 \text{Log} \frac{1 + (V_G - V_T) - (V_G - V_T)}{1 + V_G - V_T} \right) \quad (2-74)$$

Pour des tensions de grille suffisamment proches de la tension V_T , cette expression devient :

$$I_D = \frac{\mu}{o} \frac{Z C_{ox}}{2 L} (V_G - V_T)^2 \quad (2-75)$$

Dans ce cas, la transconductance qui correspond à la dérivée du courant drain par rapport à la tension grille, est une fonction linéaire de $(V_G - V_T)$, le coefficient de proportionnalité étant égal à $\frac{\mu}{o} \frac{Z}{L} C_{ox}$ (figure II. 14).

Les deux méthodes proposées pour déterminer $\frac{\mu}{o} \frac{Z}{L} C_{ox}$ conduisent aux mêmes valeurs.

II. 2. 3. 2 - Détermination de ϕ_{BD} , ϕ_{BS} , ϕ_F , $\frac{Q_{ss}}{C_{ox}} - \phi_{MS}$

En toute rigueur, compte tenu de la configuration géométrique du transistor, où la source N^+ et le substrat P sont court-

circuités par une métallisation, la méthode de détermination classique du potentiel ϕ_{BS} par étude de la variation de la tension de seuil en fonction de la tension source-substrat [33] n'est pas possible. Toutefois il est possible, au moyen de structures de test dans lesquelles source et substrat sont déconnectés, de déterminer les deux quantités ϕ_{BD} et ϕ_{BS} . Il suffit de mesurer les variations de la tension de seuil V_T pour diverses valeurs de la tension appliquée entre source et substrat (V_R). On obtient ainsi deux portions linéaires en traçant la quantité $V_T - V_R$ en fonction de la racine carrée de V_R . Les pentes sont respectivement égales à ϕ_{BS} et ϕ_{BD} puisque :

- lorsque la tension source-substrat est nulle, c'est la zone de source qui contrôle le seuil.
- lorsque le substrat est faiblement polarisé, l'extension de la zone de charge d'espace de la diode source-substrat se produit à proximité de la diffusion de source N^+ , c'est-à-dire du côté de la région du canal la plus dopée : la pente de la courbe $V_T - V_R = f(\sqrt{V_R})$ donne la valeur du dopage au droit de la source dans le canal comme dans un transistor M.O.S. classique.
- lorsque la tension V_R croît, l'extension de la zone de charge d'espace de la diode source-substrat augmente et se rapproche du drain. C'est alors le dopage à cette limite de charge d'espace qui contrôle la tension de seuil.

La figure II. 15 représente un exemple expérimental de détermination des paramètres ϕ_{BS} et ϕ_{BD} .

Dans le cas où l'on ne possède pas de structure de test, les quantités ϕ_{BS} et ϕ_{BD} doivent être calculées, compte tenu des ordres de grandeur des dopages à la source et au drain par la relation (2-15)

Par ailleurs, la détermination du paramètre ϕ_{Fmoyen} s'obtient à partir des valeurs de ϕ_{BD} et ϕ_{BS} par la relation :

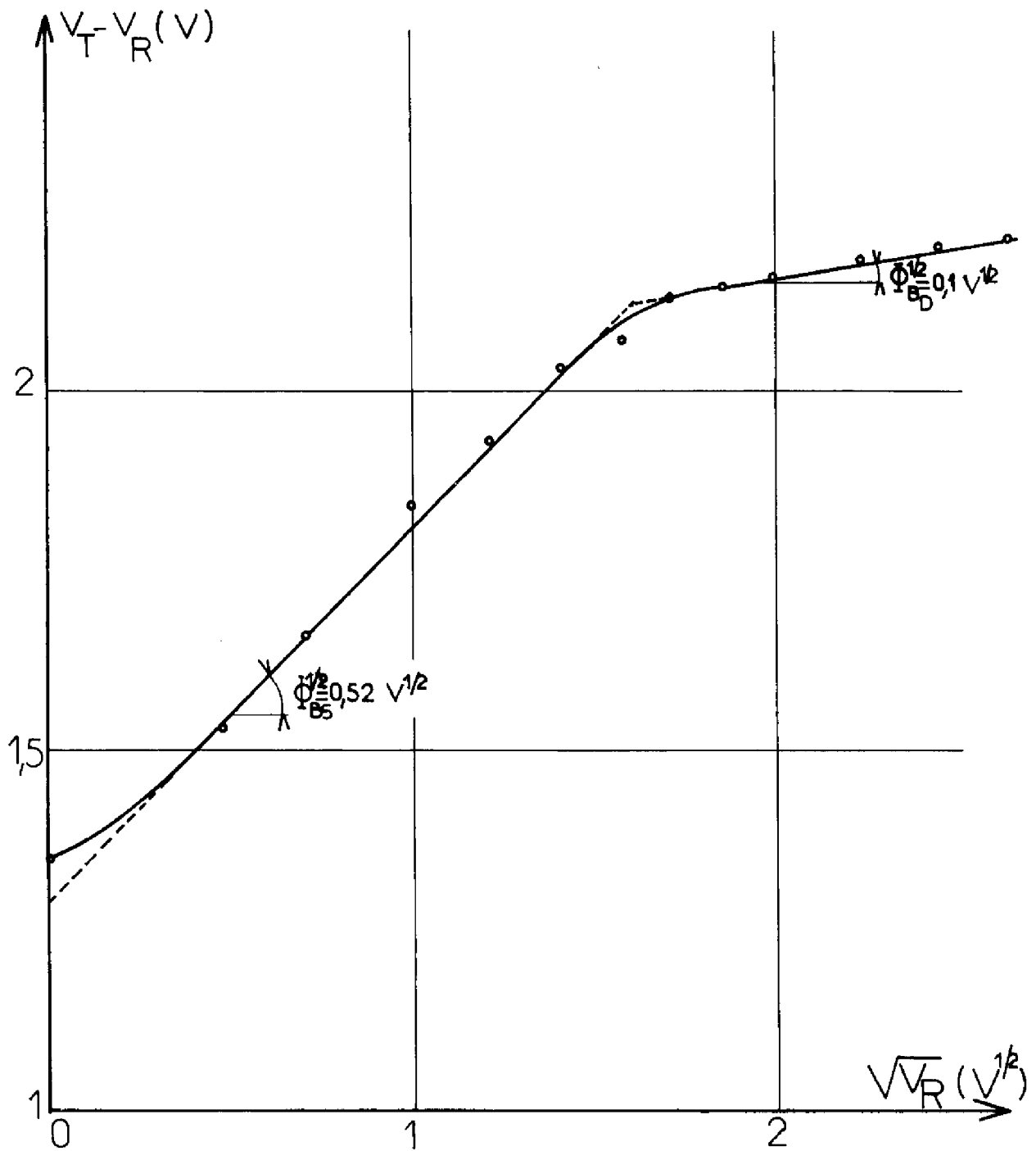


Figure II. 15 : Variations de la tension de seuil V_T en fonction de la tension source-substrat V_R . Transistor D.MOS SD 203.

$$\phi_F = \frac{kT}{q} \left[\text{Log} \frac{(\phi_{BD} + \phi_{BS}) \epsilon_0 \epsilon_{si}^2}{4 q \epsilon_{si} n_i} - 2 \text{Log} x_0 \right] \quad (2-76)$$

Enfin, de la mesure de la tension de seuil V_T , on déduit en utilisant la relation théorique suivante :

$$\frac{Q_{ss}}{C_{ox}} - \phi_{MS} - 2 \phi_F = -V_T + \sqrt{\phi_{BS}} \sqrt{2 \phi_F} \quad (2-77)$$

la valeur de la quantité $\frac{Q_{ss}}{C_{ox}} - \phi_{MS}$.

La tension de seuil V_T est déterminée par extrapolation des courbes $I_D (V_G)$ à bas niveau (figure II. 14) de façon à s'affranchir des composantes de courant dites "sous le seuil".

II. 2. 3. 3 - Détermination de R_{dr} et de Υ

La résistance R_{dr} est évaluée au moyen de la relation théorique (2-66) compte tenu de la géométrie du transistor et de la valeur de la résistivité de la zone N^- . Dans les cas des transistors que nous avons étudiés, il est apparu que les valeurs de cette résistance sont en général faibles devant celles que présente le canal de conduction ; cette propriété est une caractéristique des transistors dits de "basse tension". Pour les structures prévues pour fonctionner à des tensions élevées, cette résistance peut être très supérieure à celle du canal car, dans ce cas, le drain est à haute résistivité, et est très épais.

Par ailleurs, et comme l'a montré J. SIMONNE [42], la pente de la caractéristique $\frac{V_G - V_T}{S_o} - S_o$ étant la conductance de sortie à faible tension drain-source — en fonction de la tension de grille V_G , est égale à $\frac{1}{\frac{M_o}{L} \frac{Z}{L} C_{ox}} \frac{1}{\Upsilon} + R_{dr}$. Par suite, du

tracé expérimental (figure II. 16) de cette caractéristique, de la connaissance de $\frac{M_o}{L} \frac{Z}{L} C_{ox}$ et de R_{dr} , on déduit la valeur de Υ .

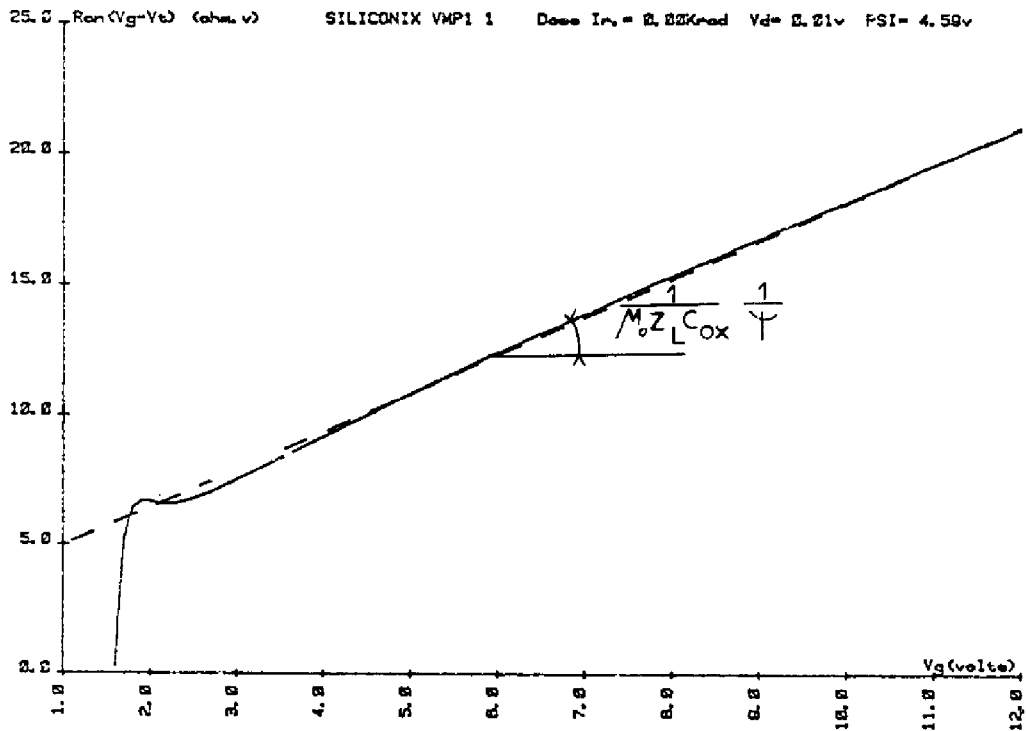


Figure II. 16 : Caractéristique expérimentales $(V_G - V_T) R_{ON}$ en fonction de la tension de grille.
 $V_D \rightarrow 0$

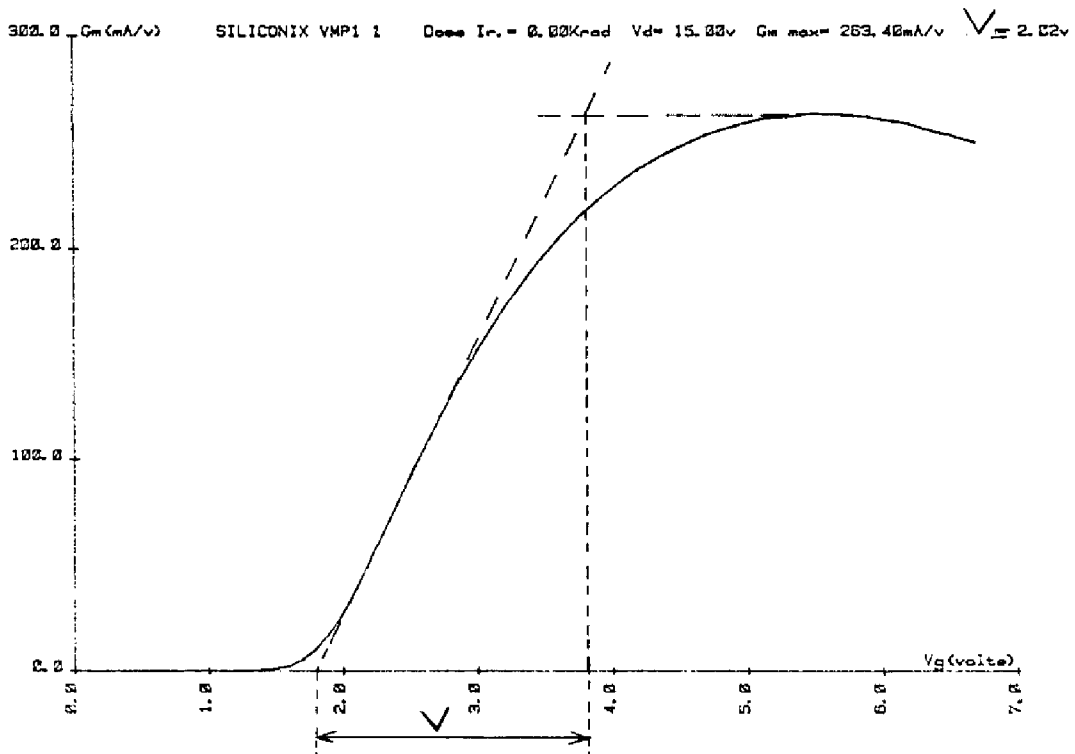


Figure II. 17 : Caractéristique expérimentale g_m en fonction de la tension de grille. Détermination de la quantité V .

On notera que sur les transistors testés, on peut assimiler la pente au produit

$$\frac{1}{\mu_o \frac{Z}{L} C_{ox}} \frac{1}{\gamma}$$

II. 2. 3. 4 - Détermination de LE_o

La détermination de ce potentiel LE_o est basée sur le tracé de la transconductance en fonction de la tension de grille en régime de saturation et, sur la mesure du potentiel V que nous avons défini au paragraphe II. 1. 1. 2 c comme étant la différence entre les valeurs de la tension de grille comprises entre la tension de seuil V_T et le point d'abscisse correspondant à l'intersection de la tangente au point $V_G = V_T$ et de la tangente horizontale au maximum de la transconductance. La figure (II. 17) est un exemple qui illustre la méthode de détermination du potentiel V . Puis compte tenu de la connaissance de ce potentiel V et du potentiel γ précédemment déterminés, on obtient le potentiel LE_o en utilisant l'abaque de la figure II. 9.

II. 2. 3. 5 - Détermination de C_{DS}, C_{GD}, R_{DS}

Les capacités C_{DS} et C_{GD} sont obtenues par la méthode proposée par M. ZAMORANO [43] à savoir l'étude des variations de la partie imaginaire de l'admittance de sortie Y_{22} et de l'admittance de transfert inverse Y_{12} en fonction de la quantité $(V_D + \phi_{DIFF})^{-1/2}$, le transistor étant bloqué (figure II. 18). Les mesures expérimentales des variations de $\frac{\Im_m(Y_{22})}{\omega}$ pour $V_G < V_T$ en fonction de la quantité $(V_D + \phi_{DIFF})^{-1/2}$ donnent une droite de pente α , $\Im_m(Y_{22})$ étant la partie imaginaire de l'admittance de sortie. Cette quantité α caractérise complètement la capacité C_{TO} (relation 2-67) et par suite la capacité C_{DS} . Par ailleurs, l'ordonnée à l'origine de cette droite donne la valeur de la capacité C_{GD} .

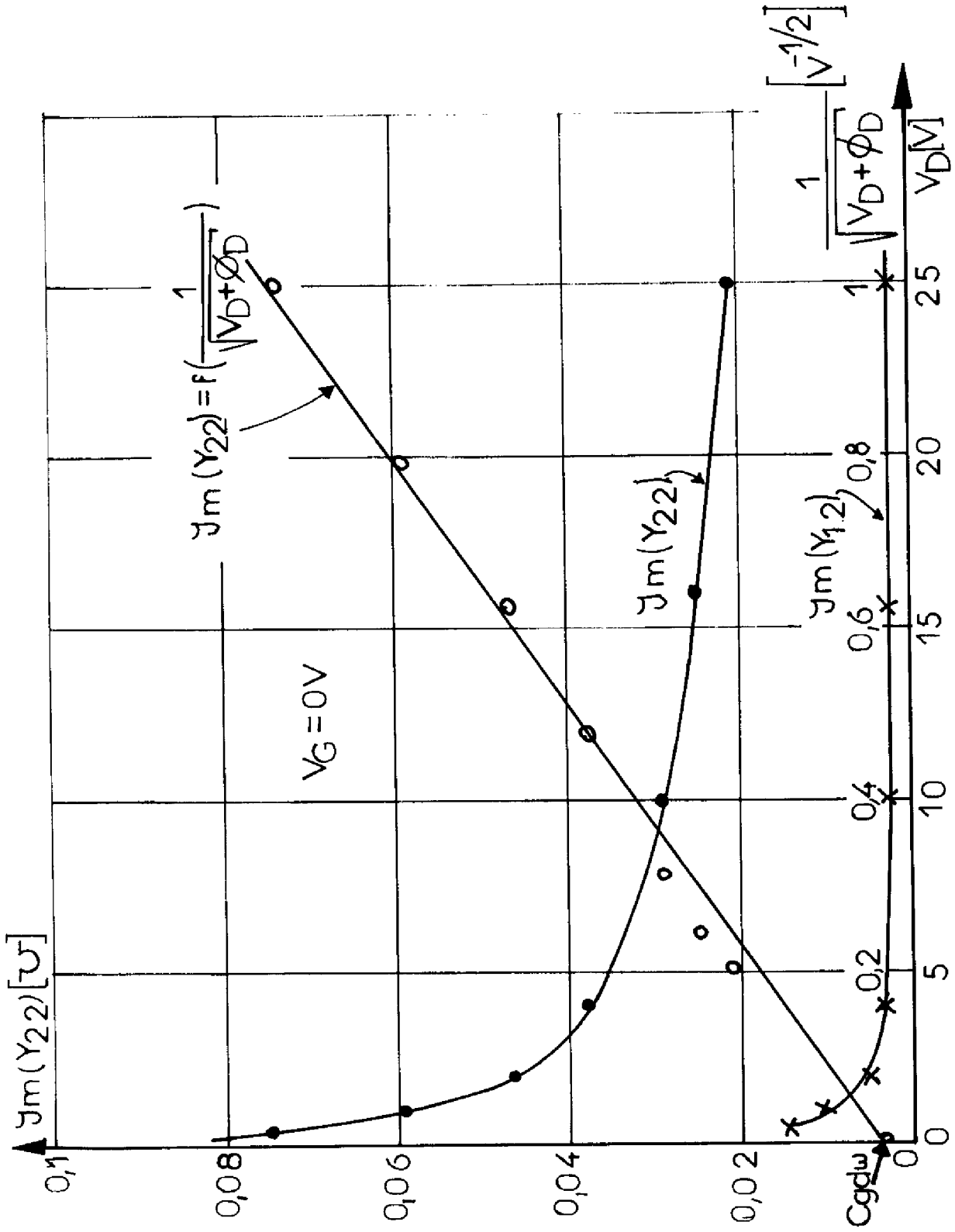


Figure II. 18 : Détermination des capacités C_{GD}, C_{DS} . Transistor Bloqué.
 Transistor VMP, $F = 100$ MHz.

Pour être complet, la résistance R_{DS} est déduite des variations en très hautes fréquences de la partie réelle de l'admittance de sortie qui s'identifie au produit $R_{DS} C_{DS}^2 \omega^2$ [32]. La connaissance de C_{DS} permet de calculer R_{DS} .

II. 2. 3. 6 - Détermination de $L_S, L_D, L_R, C_{GR}, C_{GS}, ZLC_{ox}$

Les capacités C_{GR} et C_{GS} sont calculées compte tenu des surfaces des métallisations sur les oxydes épais. Par ailleurs, la capacité de la zone active peut être déterminée par une mesure de la capacité d'entrée du transistor à tension drain-source nulle lorsque la structure est en régime d'accumulation. Cette capacité d'entrée est la somme des capacités $C_{GR}, C_{GS}, C_{GD}, ZLC_{ox}$; connaissant les trois premières, on en déduit la valeur de ZLC_{ox} .

La mesure optique du diamètre et de la longueur des fils d'interconnexion permet de déterminer les valeurs des inductances d'accès L_G, L_D, L_S au moyen de la relation approchée (2-68) et des résistances d'accès R_G, R_D, R_S qui leurs sont associées.

II. 3 - VERIFICATIONS EXPERIMENTALES DU MODELE

Le modèle présenté dans les paragraphes précédents, est utilisé dans le programme d'intégration numérique IMAG III. Dans les paragraphes qui suivent, il sera tout d'abord utilisé pour rendre compte du comportement en régime statique du transistor V.MOS. Ensuite, les caractéristiques de circuits de commutation sur charge résistive, utilisant le V.MOS, seront analysées.

II. 3. 1 - Caractéristiques statiques

Avant d'effectuer les simulations des caractéristiques des transistors que nous caractérisons par les méthodes décrites précédemment, nous vérifierons que l'analyse théorique proposée

permet d'expliquer que, dans le cas des transistors à canaux courts, la valeur de la transconductance par unité de largeur est fonction de la longueur du canal ; ce résultat est contraire aux affirmations des théories classiques.

II. 3. 1. 1 - Effet de la longueur du canal sur la transconductance

La dépendance de la transconductance avec la longueur du canal peut être étudiée à l'aide du modèle proposé. En effet, les variations du rapport $\frac{g_m \text{ max}}{Z}$ en fonction de la longueur L du canal peuvent être calculées à partir des courbes simulant les valeurs prises par la quantité $\frac{g_m}{M_o Z / L C_{ox}}$ en fonction de la tension de grille, pour différentes valeurs des paramètres de réduction de mobilité Υ et LE_o , c'est-à-dire différentes épaisseurs d'oxyde et différentes longueurs du canal.

D'une part, en choisissant arbitrairement comme mobilité à champ faible les valeurs $M_o = 400 \text{ cm}^2/\text{V.s}$ et $M_o = 700 \text{ cm}^2/\text{V.s}$, et d'autre part, en associant aux épaisseurs d'oxyde x_o de 600 Å, 1000 Å, 1500 Å les valeurs correspondantes du paramètre Υ de 5, 10, 20 volts, nous avons calculé le rapport $\frac{g_m \text{ max}}{Z}$ en fonction de la longueur L du canal pour une valeur moyenne du paramètre E_o de 2 volts par micron [11] .

Les valeurs que nous avons pu relever expérimentalement et celles fournies dans la littérature pour différentes structures M.O.S. à canal court (D.MOS - V.MOS) ont été reportées sur la figure II. 19 qui représente les variations théoriques de $\frac{g_m \text{ max}}{Z}$ en fonction de la longueur L.

Malgré les dispersions technologiques, les erreurs de mesure—notamment sur les longueurs de canal—et les différentes orientations du cristal $\langle 11 \rangle$ ou $\langle 100 \rangle$, on peut observer la

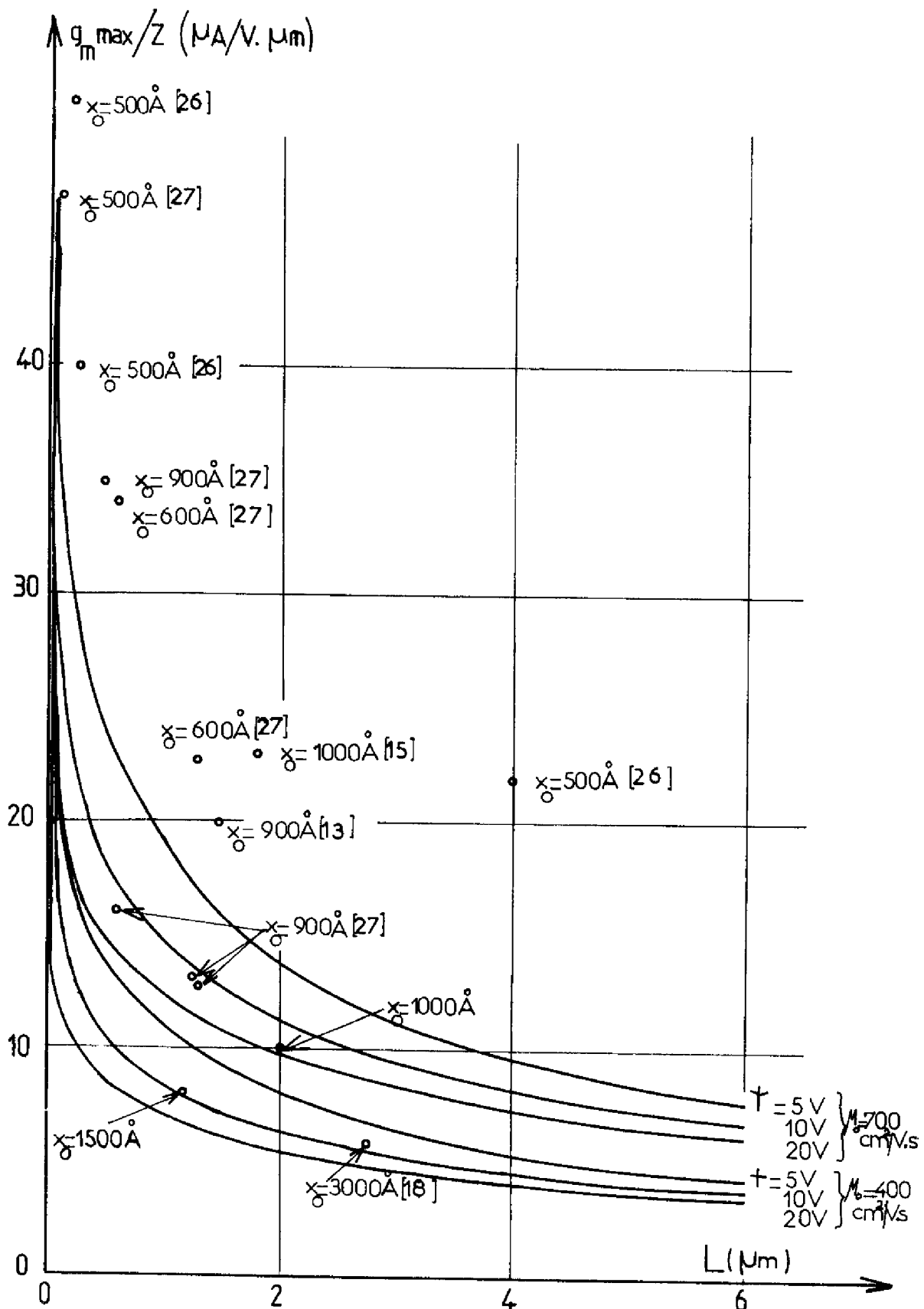


Figure II. 19 : Variations de la transconductance maximale rapportée à la largeur du canal en fonction de la longueur du canal

— courbes théoriques ○ points expérimentaux; $E_0 = 2 V / \mu m$

2ème évolution entre les points expérimentaux et les courbes déduites du modèle théorique, à savoir :

- une augmentation de la quantité $\frac{g_m \max}{Z}$ si l'épaisseur d'oxyde diminue, augmentation d'autant plus élevée que l'oxyde est mince.

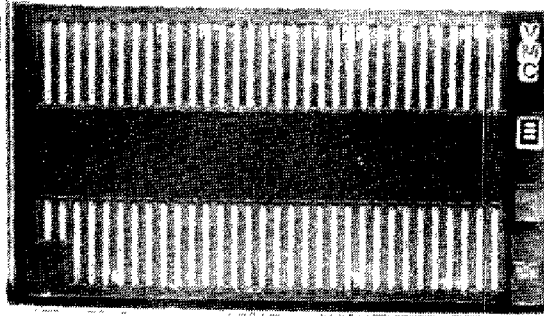
- une augmentation de la quantité $\frac{g_m \max}{Z}$ quand la longueur du canal diminue, augmentation d'autant plus grande que le canal est court ($L < 1$ micron).

Ainsi le modèle proposé montre clairement que les théories classiques sont insuffisantes pour décrire l'effet de la longueur du canal sur les valeurs de la transconductance ; il permet de rendre compte, certes avec un degré de précision discutable, des propriétés expérimentales.

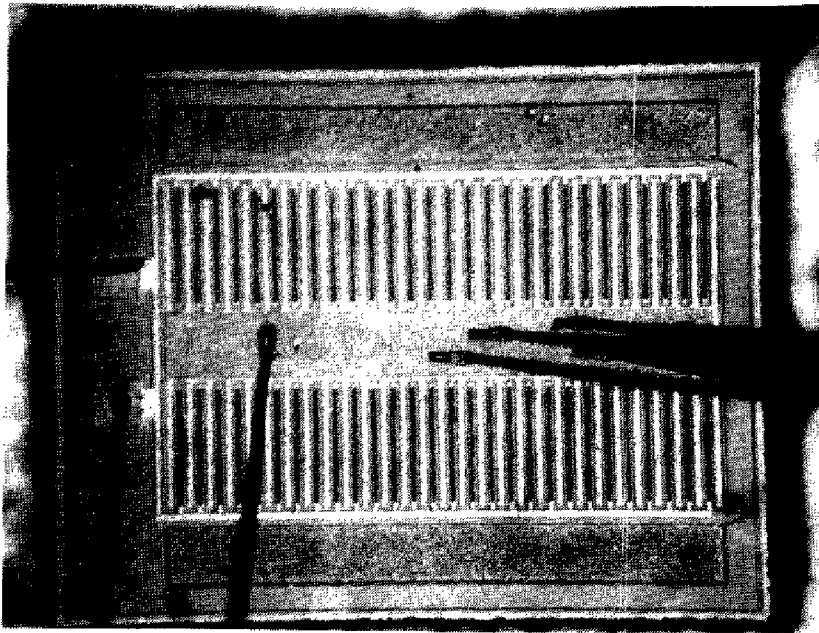
II. 3. 1. 2 - Simulation des caractéristiques statiques

Les familles de transistors que nous avons testées sont caractérisées dans le tableau ci-dessous, où sont indiquées les dimensions géométriques et la valeur moyenne des paramètres physiques.

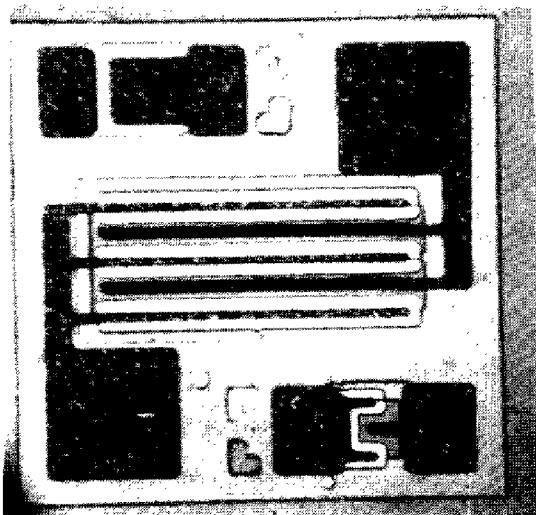
	L (μ m)	Z (cm)	x_o (A)	$\mu_o \frac{Z}{L} C_{ox}$ (A/V ²)	ψ (V)	LE_o (V)	$\sqrt{\phi_{BD}}$ (V ^{1/2})	$\sqrt{\phi_b}$	ϕ_F (V)	$\frac{-Q_{ss} + \phi_{MS}}{C_{ox}}$ (V)
Siliconix 2N6000	2,5	2,81	1000	0,14	10	7	0,65	1,2	,35	- 0,3
RTC (2ème série)	1,40	2,81	500	0,165	5	12	-	-	,35	-
RTC (1ère série)	0,55	0,088	600	0,0194	2	-	-	-	0,35	-
Sescosem vierge	~1,5	3,53	1500	0,15	7,53	17	0,8	1,2	0,35	0,42
Sescosem irradié	~1,5	3,53	1500	0,10	9	17	0,8	1,2	0,35	- 5,33



Structure Siliconix
type V.M.P.
grossissement : 45



Structure : prototype SESCOSEM
grossissement : 45



Structure V.MOS LAAS
réalisée à l'aide de masques R.T.C.
grossissement : 200

Figure II. 20 : Photographies de puces de transistors V.MOS de puissance

Par ailleurs, les valeurs de la résistance R_{dr} sont inférieures à $0,2 \Omega$.

Sur la figure II. 20 sont représentées les photographies des puces des transistors correspondants.

Les simulations ont été effectuées par utilisation du modèle pour IMAG III :

- premièrement, dans le plan $I_D(V_D)$. La figure II. 21 fait apparaître d'une part, la bonne concordance à bas niveau de tension drain et d'autre part, que l'hypothèse de saturation parfaite est suffisante pour décrire la caractéristique en zone saturée ; la recherche par deux itérations du point de transition entre les régimes pincé et non pincé, n'entraîne pas l'existence de caractéristiques théoriques à pente négative.

- deuxièmement, dans le plan $I_D(V_G)$. Les caractéristiques théoriques et expérimentales présentent une partie linéaire en régime de saturation, pour les valeurs élevées de la tension grille où la simulation est correcte. Par contre, au voisinage du seuil, il existe des écarts importants dus au fait que l'on ne tient pas compte rigoureusement des variations du dopage dans le canal. On notera que la simulation est correcte non seulement sur des transistors vierges (figure II. 22 et II. 23. (A)), mais aussi sur des composants soumis à une irradiation aux rayons X et dont les caractéristiques ont été dégradées (figure II. 23. (B)).

- troisièmement, dans le plan $g_m(V_G)$. La caractéristique théorique a été obtenue par incrémentation de la tension de grille et calcul de l'écart des courants de drain entre les deux valeurs de tension grille. La figure II. 24 représente la comparaison théorie-expérience : on note, comme précédemment, le problème posé par la précision de la simulation au voisinage du seuil V_T .

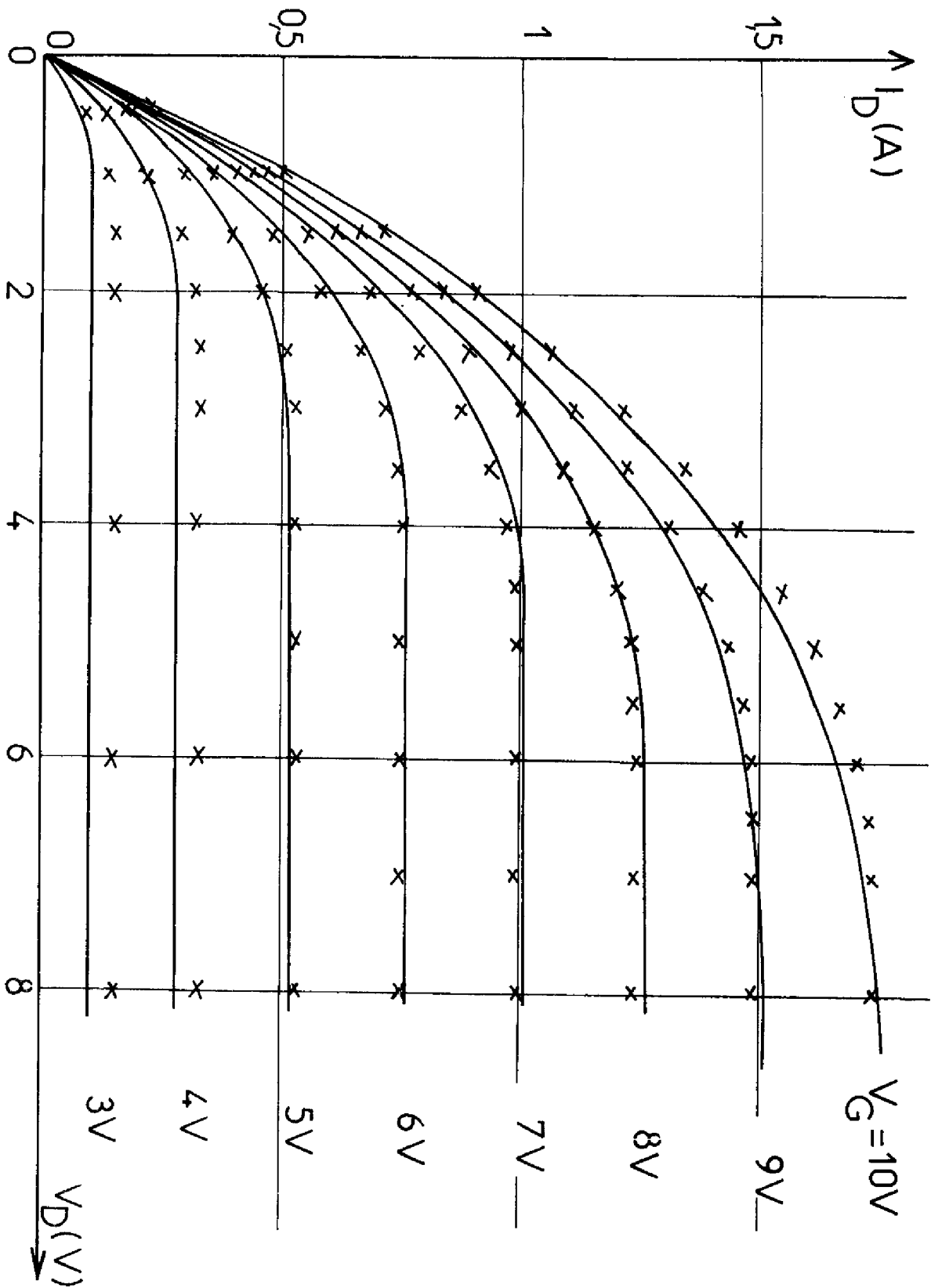


Figure II. 21 : Caractéristiques statiques $I_D(V_{D'})$ type siliconix 2N6657
x théorie — expérience

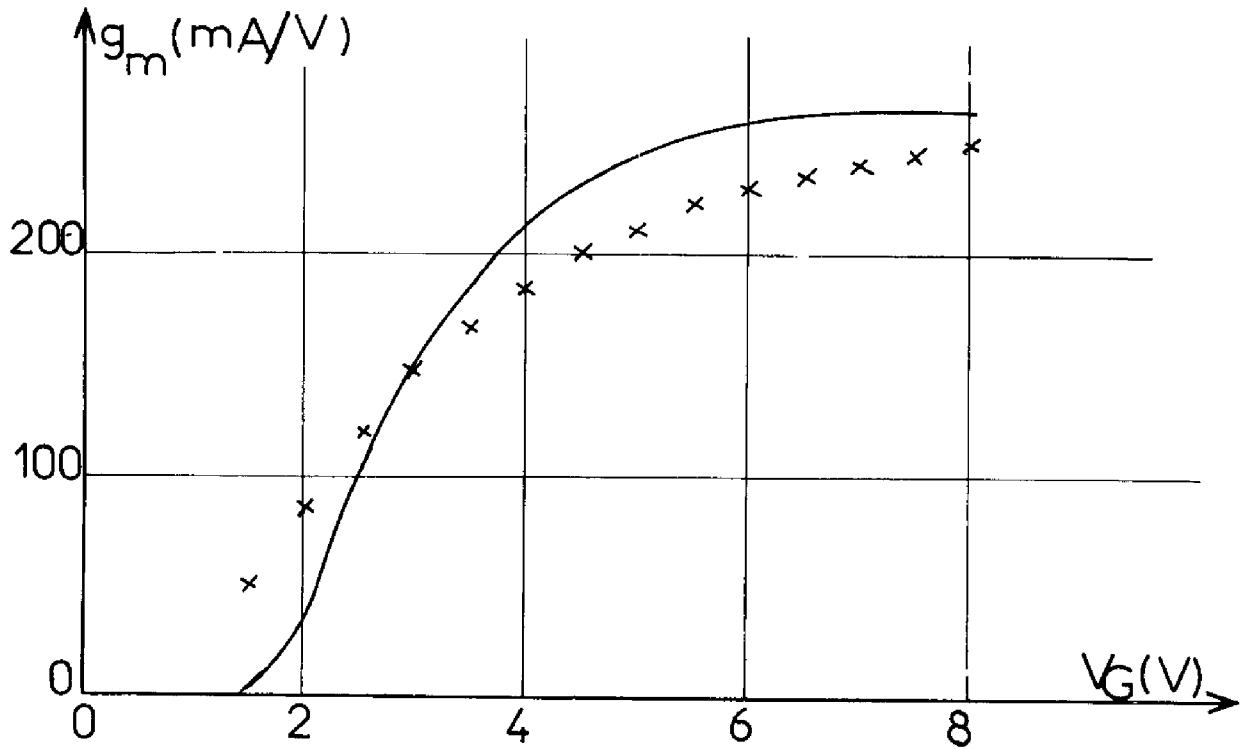


Figure II. 24 : Variations de la transconductance en fonction de la tension grille pour $V_D = 15$ V d'un V.MOS type Siliconix 2N6657
x théorie — expérience

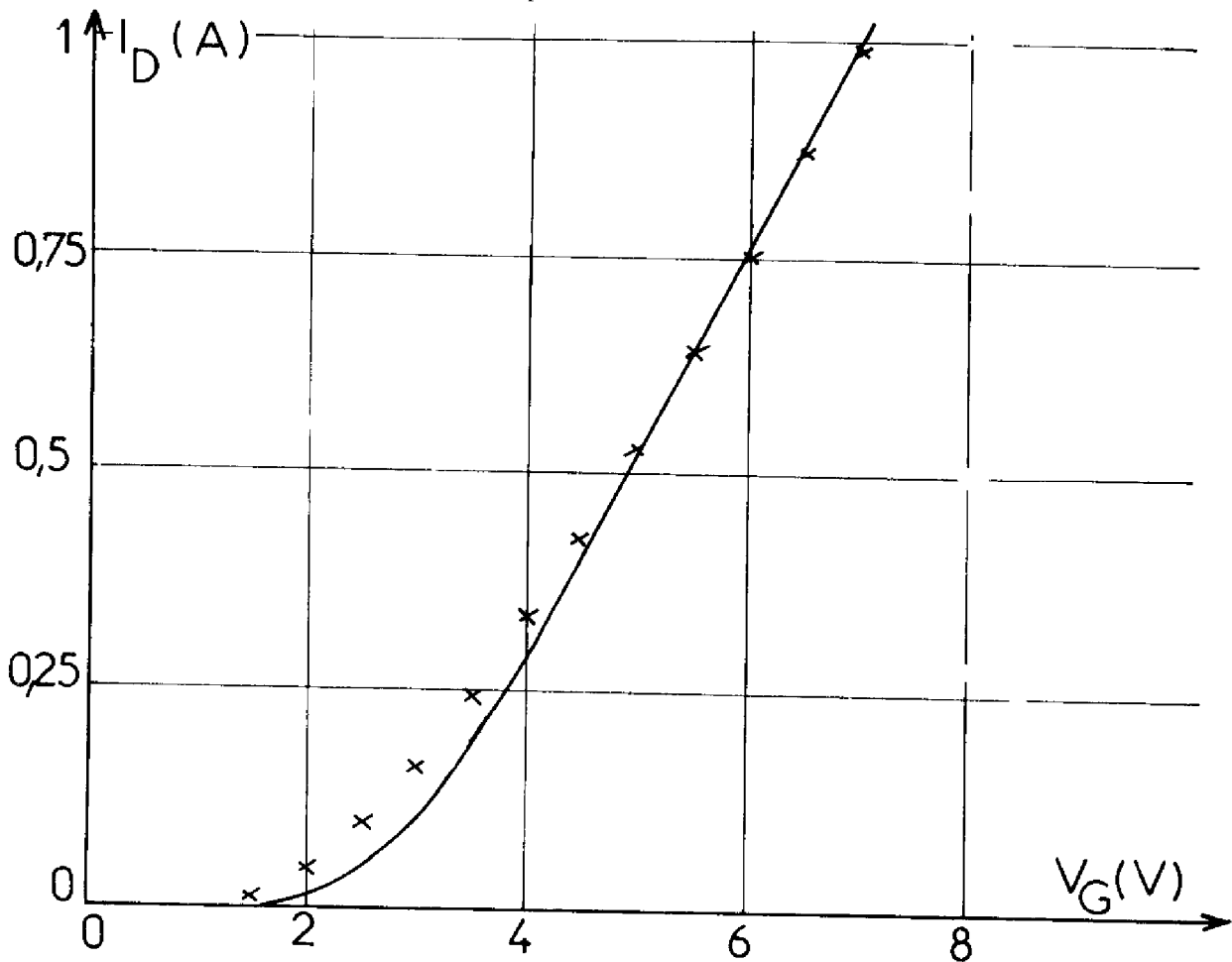


Figure II. 22 : Caractéristique statique $I_D(V_G)$ pour $V_D = 15$ V d'un V.MOS type Siliconix 2N6657 x théorie — expérience

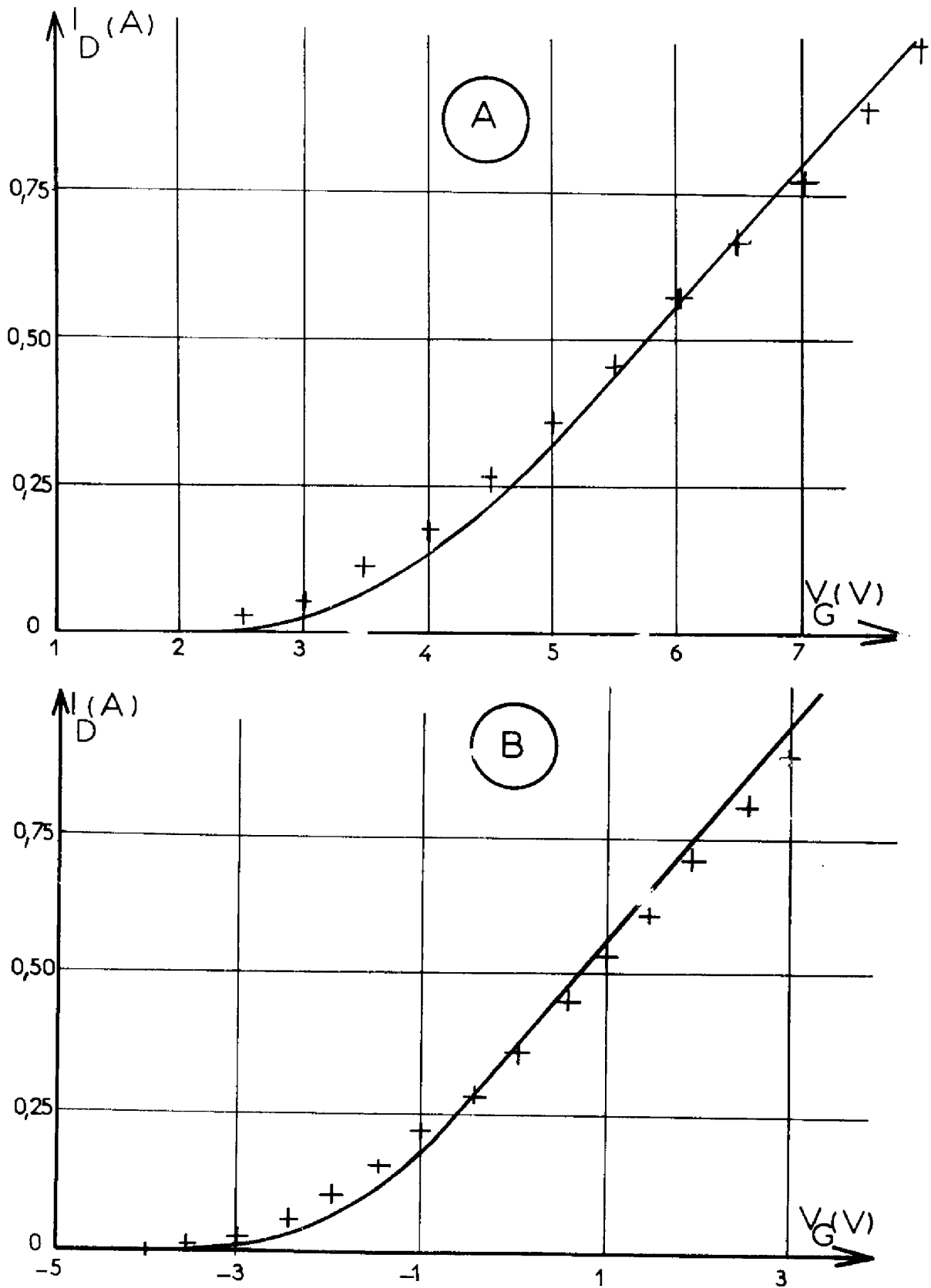


Figure II. 23 : Caractéristique statique $I_D(V_G)$ d'un transistor prototype V.MOS SESCOSEM $V_D = 15$ Volts non irradié (A), irradié (5Krad) (B) — expérience + théorie

II. 3. 2 - Caractéristiques dynamiques

Nous nous proposons, dans un premier temps, de vérifier l'aspect dynamique du modèle en mettant en évidence expérimentalement et théoriquement les effets liés à la non-linéarité de la capacité dynamique d'entrée. Un circuit d'attaque présentant une forte résistance en sortie permettra de vérifier ce comportement. Dans un deuxième temps, le transistor sera attaqué directement sur la grille et les performances en régime de commutation rapide seront étudiées.

Les transistors qui ont été utilisés dans cette étude, sont caractérisés par les paramètres suivants :

- . longueur du canal $1,5 \mu \leq L \leq 2,5 \mu$
- . épaisseur d'oxyde : $600 \text{ \AA} \leq x_o \leq 1000 \text{ \AA}$
- . largeur du canal : $Z = 2,81 \text{ cm}$
- . dopage moyen dans la région du canal : $1 \times 10^{15} \leq N_{AD} \leq 5 \times 10^{15} \frac{\text{atomes}}{\text{cm}^3}$

et dopage dans la région du canal au droit de la source :

$$10^{16} \leq N_{AS} \leq 5 \times 10^{16} \text{ atomes cm}^{-3}$$

Pour les simulations, les valeurs du tableau suivant ont été utilisées :

$\frac{\mu_z}{L} C_{ox} (\text{A/V}^2)$	$\gamma (\text{V})$	$\sqrt{\phi_{BD}} (\text{V}^{1/2})$	$\sqrt{\phi_{BS}} (\text{V}^{1/2})$	$\phi_F (\text{V})$	$-\frac{Q_{SS}}{C_{ox}} + \phi_{MS} (\text{V})$	$LE_o (\text{V})$	$ZLC_{ox} (\text{pF})$
0,14	10	0,65	1,2	0,35	- 0,3	7	39

$C_{GD} (\text{pF})$	$C_{To} (\text{pF})$	$C_{GS} (\text{pF})$	$C_{GR} (\text{pF})$	$R_{GS} (\Omega)$	$R_{DS} (\Omega)$	$L_S (\text{nH})$	$L_D (\text{nH})$	$L_G (\text{nH})$	$R_S (\Omega)$
5	137	4	4	7	3	0,1	0,01	0,6	0,04

$R_D (\Omega)$	$R_G (\Omega)$	$R_{dr} (\Omega)$
0,001	0,04	0,2

II. 3. 2. 1 - Mise en évidence de la non-linéarité de la capacité dynamique d'entrée :

Afin de mettre en évidence les effets dynamiques liés à la dépendance des éléments capacitifs de notre modèle avec les tensions appliquées, nous avons réalisé un circuit de commutation avec une forte valeur de la résistance du générateur de grille. Le circuit d'attaque du transistor V.MOS, représenté sur la figure II. 25, comprend un générateur d'impulsions en série avec une résistance de 2700Ω . Un relevé photographique (figure II. 26) obtenu sur l'écran d'un oscilloscope à échantillonnage montre les variations temporelles de la tension drain et de la tension grille, lorsqu'un signal d'amplitude de 10 volts et de temps de montée de deux nanosecondes est appliqué à l'entrée du circuit par le générateur. La tension continue d'alimentation constitue le paramètre d'étude et la résistance de charge dans le drain est de 25Ω . Les régimes transitoires $V_G(t)$ et $V_D(t)$ ont été relevés pour trois valeurs de la tension d'alimentation 0., 10. et 30.volts . Par ailleurs, par simulation numérique, les formes d'onde $V_G(t)$ et $V_D(t)$ ont été calculées dans les mêmes conditions de tension d'alimentation.

Les variations expérimentales et simulées (figure II.26 et II. 28) de ces caractéristiques montrent qu'il est possible de séparer les réponses dynamiques en 3 régions de fonctionnement :

- une première région correspondant à une tension grille inférieure à la tension seuil ; le transistor ne conduit pas : la tension drain reste constante et la variation de la tension grille correspond à la charge de la capacité due à la couche d'oxyde et des capacités parasites d'entrée à travers la résistance de 2700Ω .

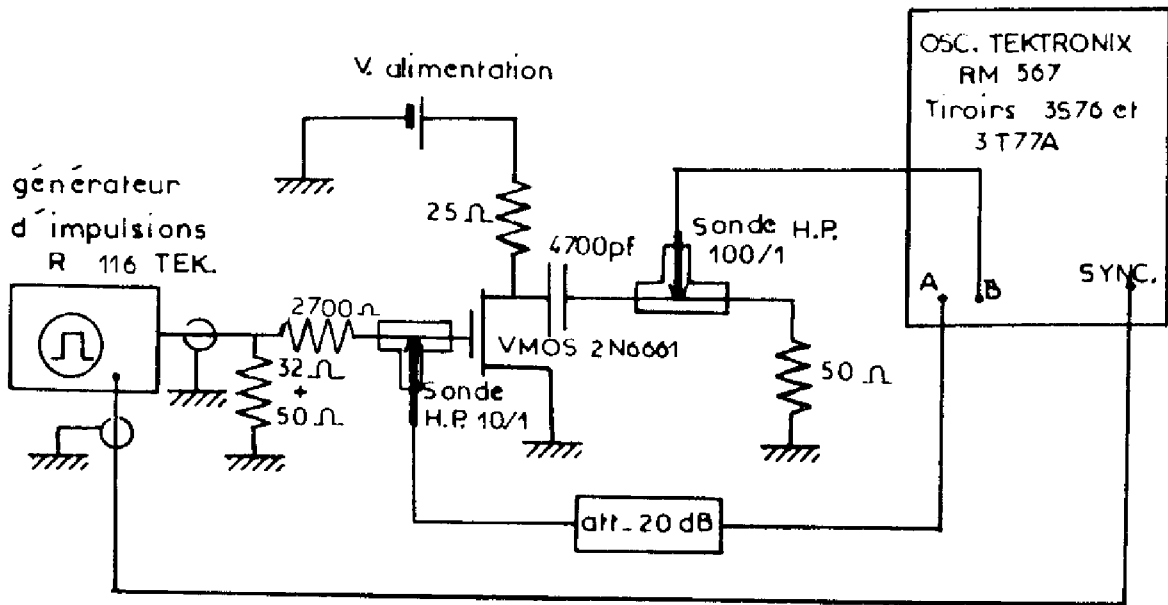
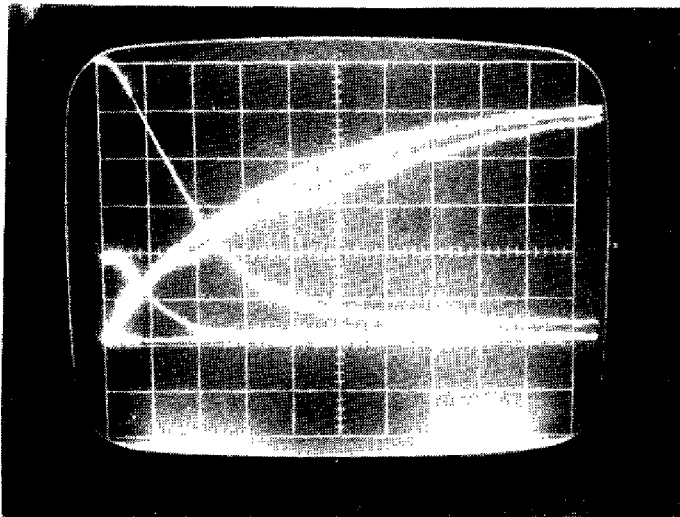
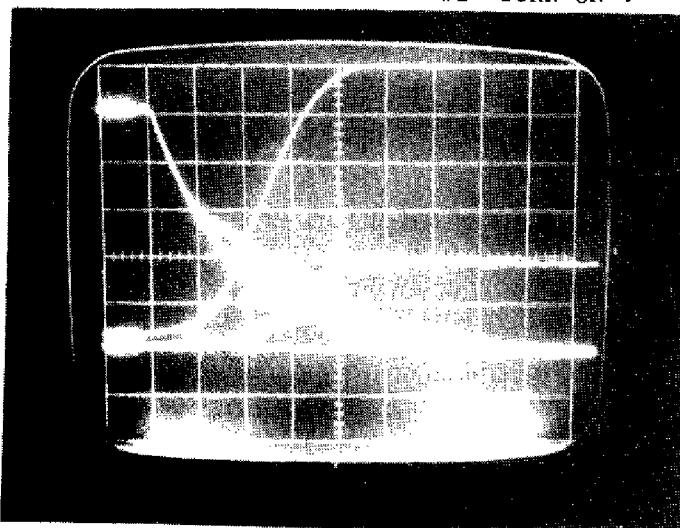


Figure II. 25 : Etude expérimentale de la non-linéarité de la capacité dynamique d'entrée.



V_1 (grille) 2 Volts / division
 V_2 (drain) 5 Volts / Division
 50 ns / division

Figure II. 26 : Relevé photographique des signaux V_1 (grille) et V_2 (drain) lors du "TURN ON".



V_1 2 Volts/division
 V_2 5 Volts/division
 100 ns/division

Figure II. 27 : Relevé photographique des signaux V_1 (grille) et V_2 (drain) lors du "TURN OFF".

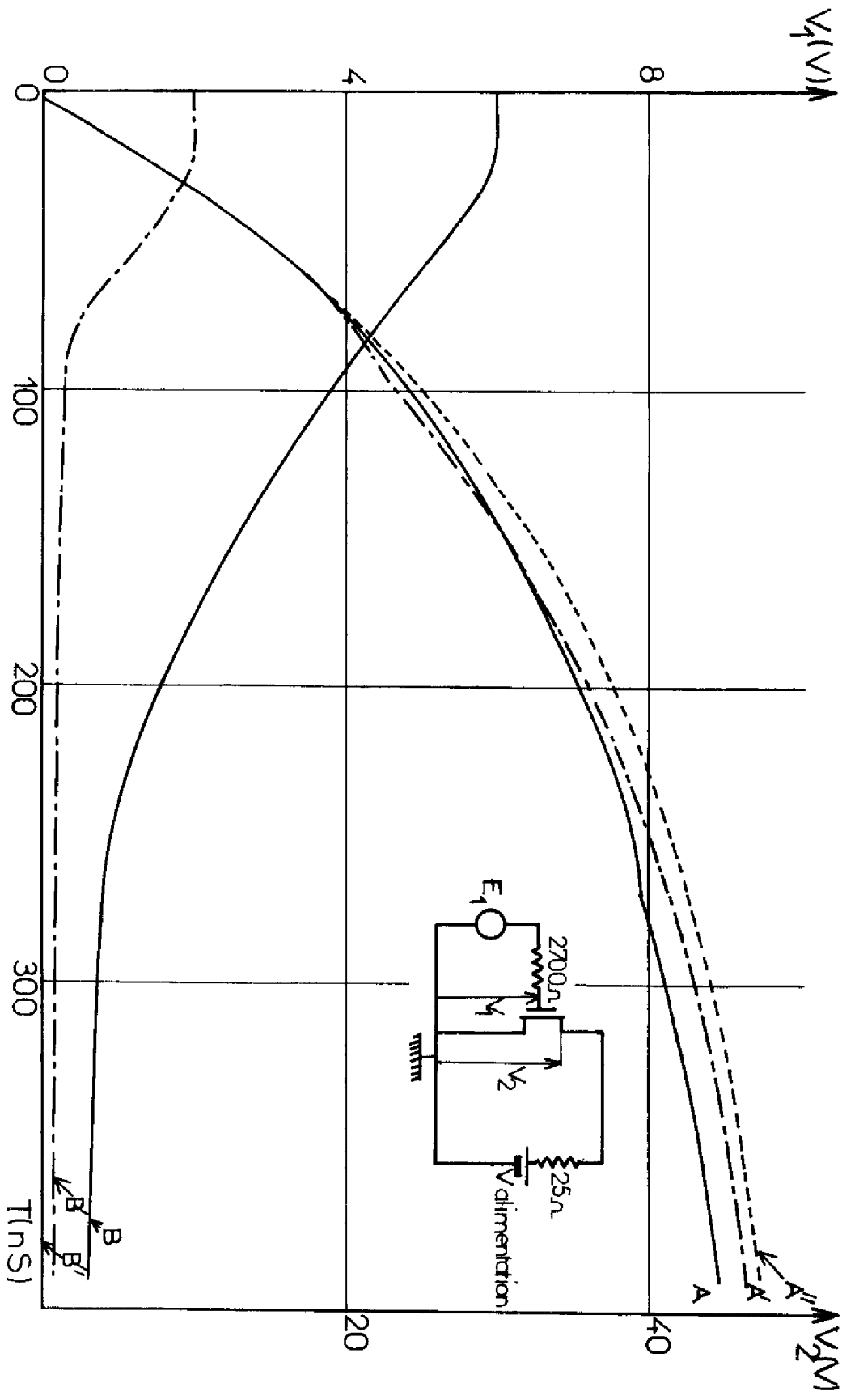


Figure II. 28 : Caractéristiques dynamiques simulées d'entrée et de sortie du V.MOS pour différentes tensions d'alimentation (V_{a1}) lors du "TURN ON".
 A, A', A'' : V_1 pour $V_{a1} = 30$ V, 10 V, 0 V
 B, B', B'' : V_2 pour $V_{a1} = 30$ V, 10 V, 0 V

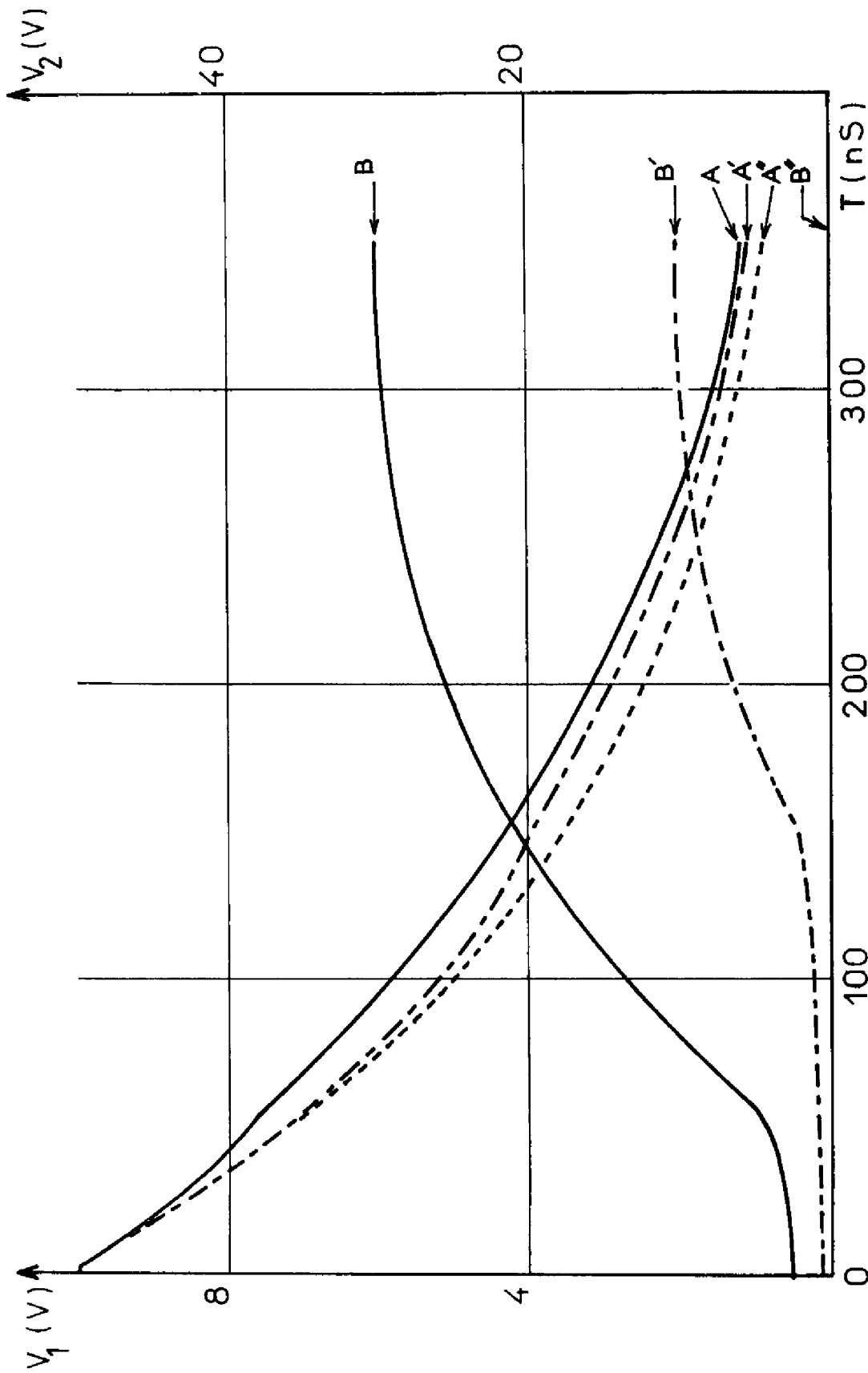


Figure II. 29 : caractéristiques dynamiques simulées d'entrée et de sortie du

V.MOS pour différentes tensions d'alimentation (V_{al}) lors du "TURN OFF".

A, A', A'' : V_1 pour $V_{al} = 30V, 10V, 0V$

B, B', B'' : V_2 pour $V_{al} = 30V, 10V, 0V$

- une deuxième région correspondant au fonctionnement du transistor en régime de pincement dès que la tension grille devient supérieure à la tension seuil ; la tension drain chute rapidement et la constante de temps liée à la montée de la tension grille est associée à la charge d'une capacité d'entrée qui est due non seulement à la capacité dynamique du transistor ajoutée aux capacités parasites mais surtout à la capacité de réaction grille-drain amplifiée par l'effet MILLER. C'est dans cette région que la constante de temps du régime transitoire est la plus élevée.

- une troisième région correspondant au fonctionnement du transistor dans la zone ohmique ; V_D décroît très lentement et la tension grille augmente avec une constante de temps différente de celle de la région 2 puisque dans ce cas, les capacités d'entrée, de réaction grille-drain et la résistance dynamique drain-source sont différentes de celles du régime de pincement.

De la même façon, nous pouvons analyser l'allure des caractéristiques d'entrée et de sortie lorsqu'un signal à l'entrée du circuit est ramené de 10 volts à zéro en 2 nanosecondes (TURN OFF) (figure II. 27). Trois constantes de temps associées à trois régions de fonctionnement caractérisent les variations de la tension aux bornes de la grille en fonction du temps (figure II. 29).

De la comparaison entre les courbes expérimentales et celles simulées, on retiendra l'excellente concordance des formes d'ondes, des valeurs des niveaux atteints dans les états de régime permanent et des valeurs des temps de commutation. Le modèle utilisé permet donc de rendre compte des non-linéarités des capacités et de la modification des formes des régimes transitoires avec la valeur de la tension d'alimentation.

II. 3. 2. 2 - Temps de montée et de descente

Les relevés expérimentaux des temps de réponse et une étude théorique réalisée à l'aide du programme IMAG III nous permettront de caractériser le transistor V.MOS en régime de commutation

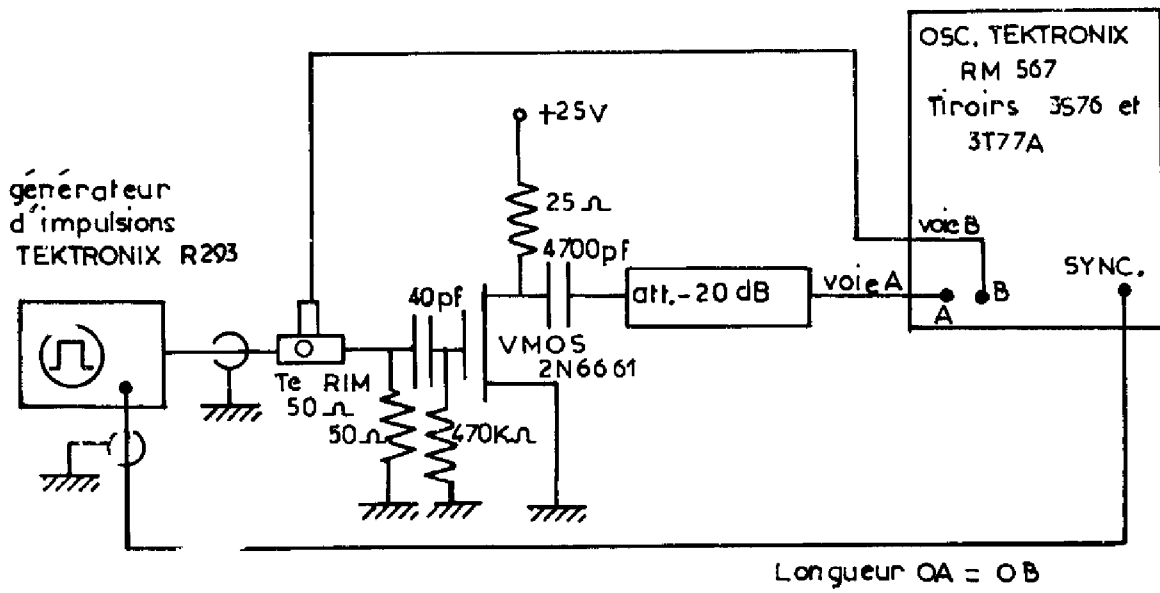


Figure II. 31 : dispositif expérimental de mesure de temps de commutation

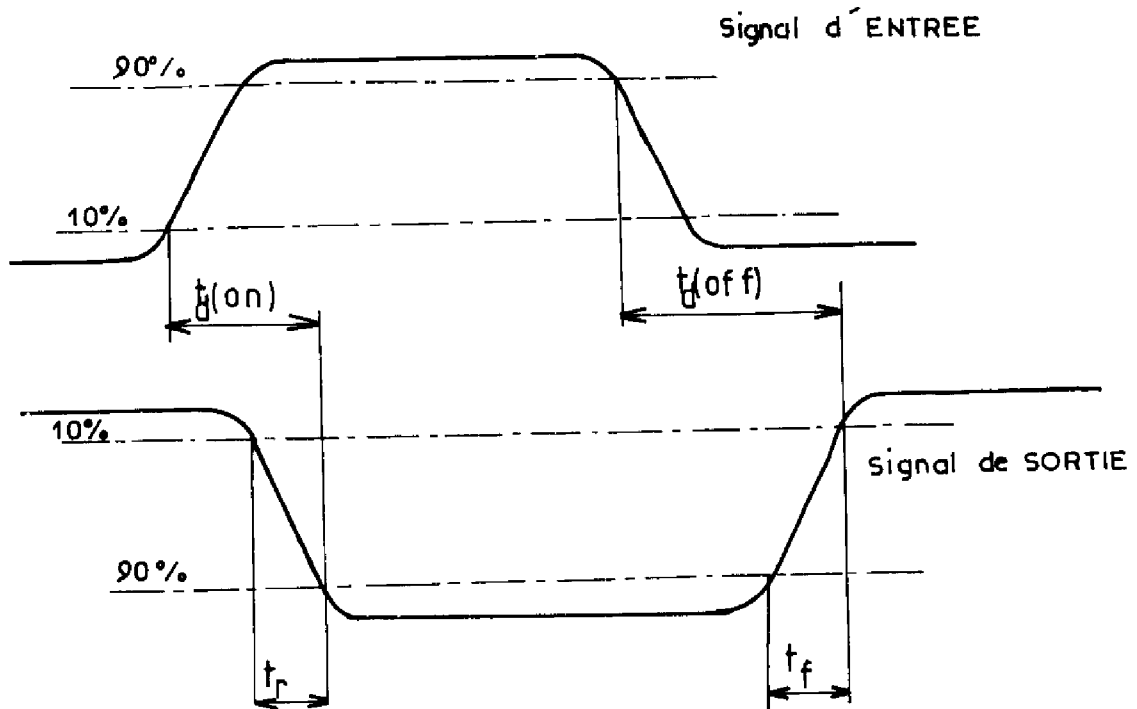


Figure II. 30 : définition des temps de commutation

rapide et d'évaluer l'influence de la tension de polarisation sur l'amplitude du signal de sortie et sur les temps de montée et de descente.

Rappelons tout d'abord que lorsqu'une porte est attaquée par un signal transitoire qui décrit la séquence logique 0-1-0, la sortie suivra en délivrant la séquence 1-0-1. Le signal de sortie présentera un certain retard et une distorsion. Pour caractériser les performances en vitesse de la porte, on introduit à partir de la forme temporelle des deux signaux, divers temps (figure II. 30) :

— temps de montée (ou rise time) noté t_r : c'est le temps nécessaire au signal pour passer en sortie de 10 % à 90 %.

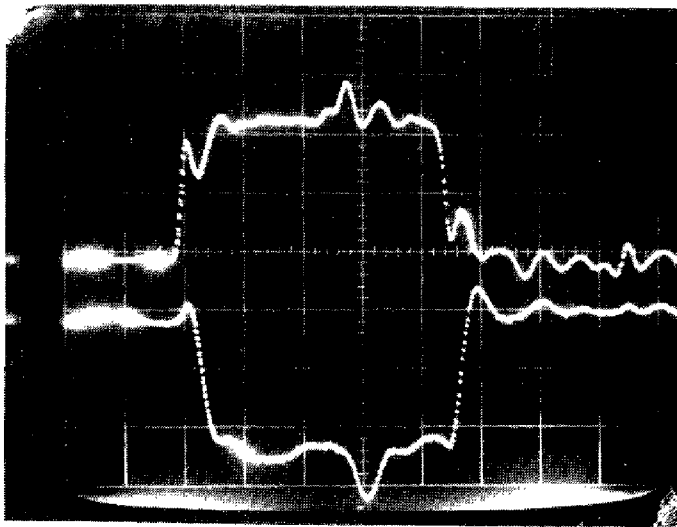
— temps de descente (ou fall-time) noté t_f : c'est le temps nécessaire au signal pour passer en sortie de 90 % à 10 % de l'excursion logique.

— temps de réponse (ou delay-time) : c'est le temps qui sépare le début de l'excursion logique (10 %) en entrée de la fin de l'excursion logique (90 %) en sortie. Il y a deux temps de réponse suivant que le front est montant en entrée, celui-ci est noté $t_{d(ON)}$, ou descendant $t_{d(OFF)}$

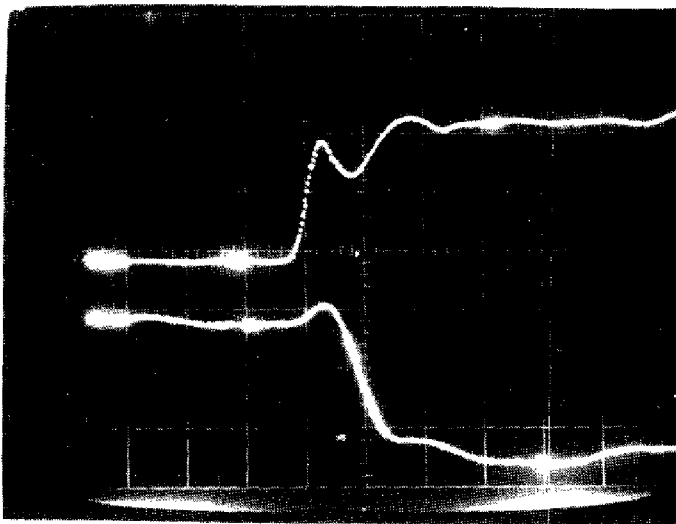
a - circuit de commutation normalisée

Ce circuit est représenté sur la figure II. 31. Il correspond au circuit de test des composants V.MOS des séries "2 ampères". L'impédance interne du générateur est de 50Ω , la grille est attaquée à travers une capacité de 40 pF et le drain est chargé par une résistance de 25Ω et un réseau RC de 4700 pF 50Ω .

Nous avons représenté sur la figure II. 32 les relevés expérimentaux des signaux en entrée et en sortie. Les mesures des temps de montée et de descente de l'impulsion d'attaque voisins de 1,5 nanoseconde, de l'amplitude de l'ordre de 12 volts, nous ont permis de décrire, en langage IMAG III, l'impulsion envoyée sur la



(A)



(B)

Figure II. 32 : (A) signaux relevés à l'oscilloscope à l'aide du montage de la figure II. 31. (B) mesure du temps de montée t_r et du décalage en entrée $t_d(ON)$

grille par les tables suivantes où le premier nombre représente le temps en nanoseconde et le deuxième l'ordonnée correspondante du point en volt.

TABLE : 'PULSE' 2N/0, 3.5N/12, 24N/12, 25.5N/0

A l'aide de la commande transitoire (TRAN) et de la description du réseau extérieur au transistor en langage IMAG (figure II. 33), réseau correspondant au circuit de mesure, nous avons obtenu la réponse du V.MOS en régime de commutation. La figure II. 34 représente ce signal de sortie.

Le tableau suivant résume les résultats de mesure pour 2 séries différentes de transistors et les résultats obtenus par simulation.

	t_r (ns)	t_f (ns)	$t_{d(ON)}$ (ns)	$t_{d(OFF)}$ (ns)
Expérience Série 1 2N6661	1,55 ⁺ _{-0,2}	1,35	3,17	3,05
Expérience Série 2 2N6660	3,10	2,17	5	3,73
Valeurs théoriques	3,2	2	4,4	2,7

La bonne concordance entre les mesures expérimentales et les résultats de simulation en régime transitoire au moyen du programme IMAG III, montre que le schéma utilisé est valable pour décrire le comportement du transistor en régime de commutation rapide.

b - circuit inverseur

Une tension d'alimentation de l'électrode de drain plus élevée que celle choisie dans le paragraphe précédent, permet d'obtenir un gain en amplitude du signal de sortie par rapport au signal d'entrée. Dans le montage reporté sur la figure II. 35, un signal impulsionnel, d'amplitude 12 volts et présentant des temps

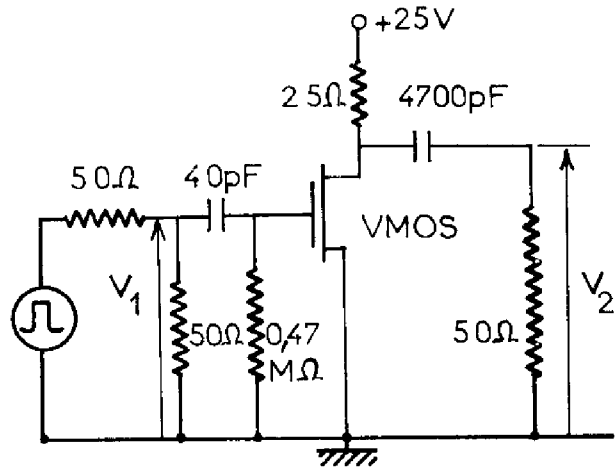


Figure II. 33 : Circuit d'étude de la commutation (IMAG III)

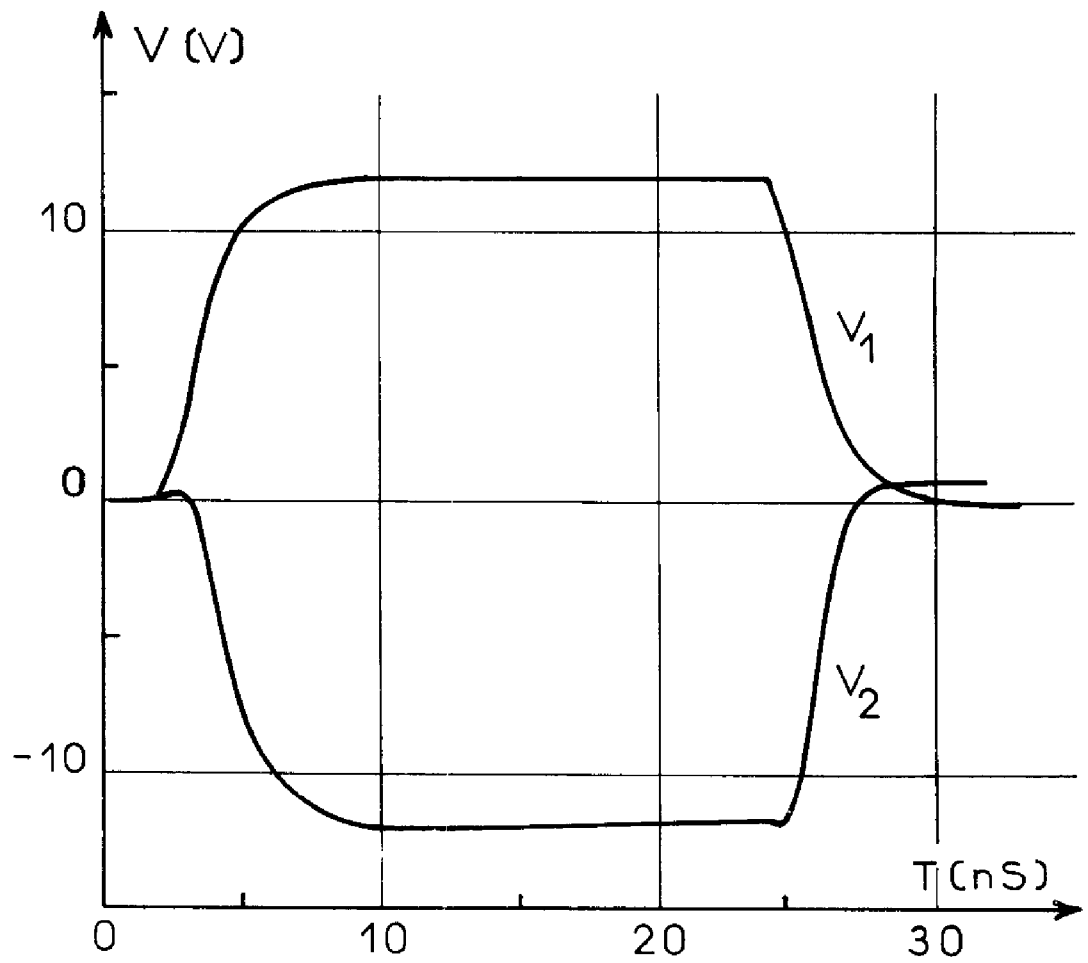


Figure II. 34 : signaux relevés à l'aide du programme IMAG III en entrée et en sortie du V.MOS

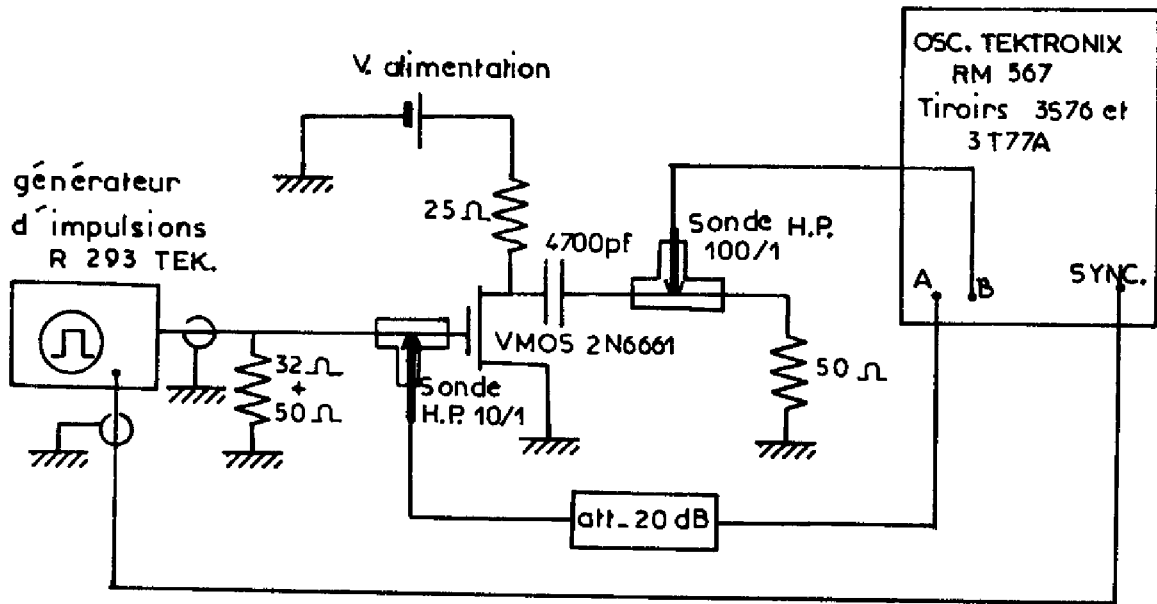


Figure II. 35 : dispositif expérimental de mesure de l'influence de la tension d'alimentation sur l'amplitude du signal de sortie et sur les temps de montée et de descente.

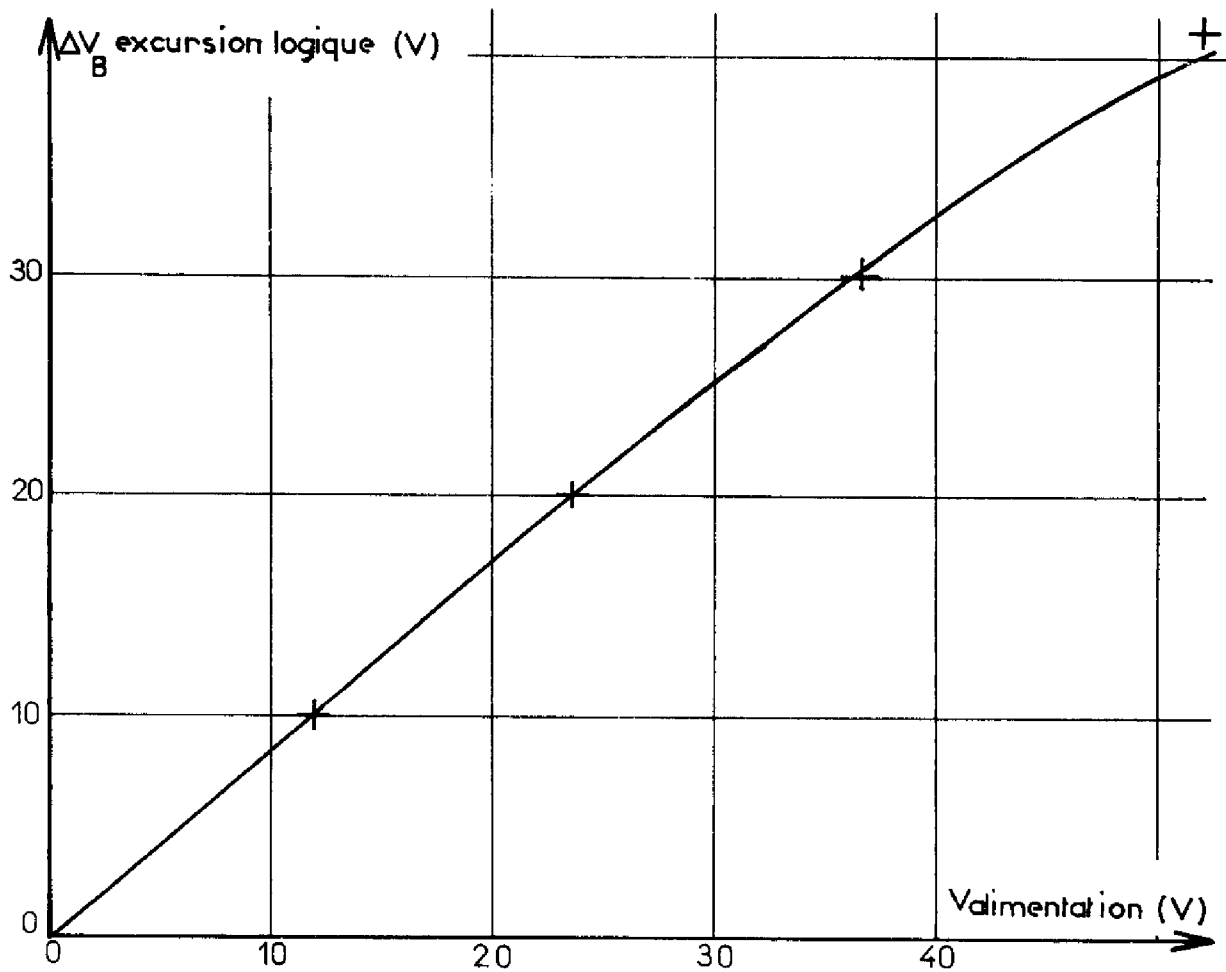


Figure II. 37 : excursion logique du signal de sortie en fonction de la tension d'alimentation — expérience x théorie

de montée et de descente de l'ordre de la nanoseconde, attaque directement la grille du transistor.

Une adaptation correcte en entrée, conduisant à des formes d'onde "propres", représentées sur la figure II. 36, est obtenue en mettant une résistance convenable en parallèle sur la grille.

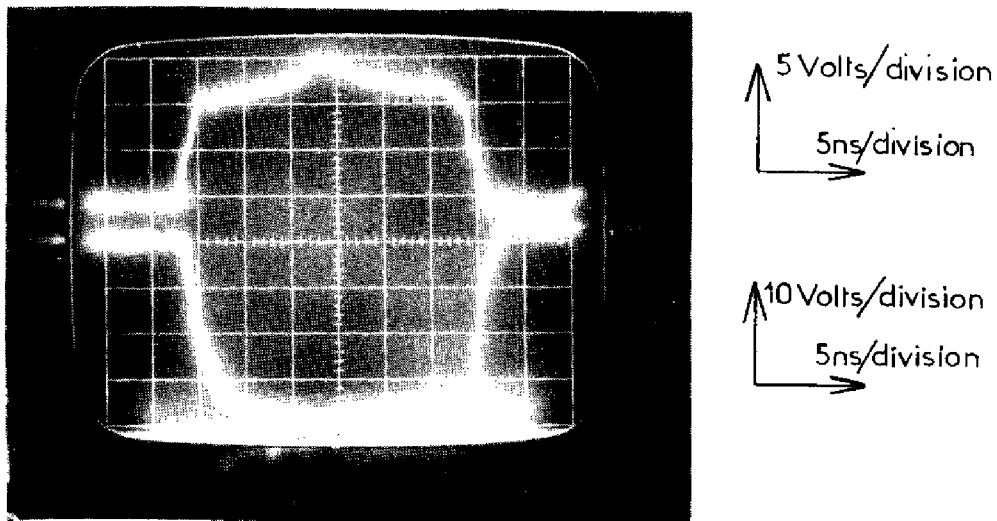


figure II. 36 : relevé photographique des signaux d'entrée et de sortie avec le montage de la figure II. 35

A l'aide de ce montage, l'amplitude de l'excursion logique du signal de sortie a été mesurée en fonction de la tension d'alimentation et, a été comparée ensuite aux valeurs théoriques calculées à l'aide du programme de simulation. La figure II. 37 montre que la concordance est excellente entre les valeurs expérimentales et théoriques. Ce résultat est lié à la bonne représentation des propriétés statiques du composant.

Dans un deuxième temps, les temps de montée et de descente, notés respectivement t_r et t_f , ont été mesurés pour

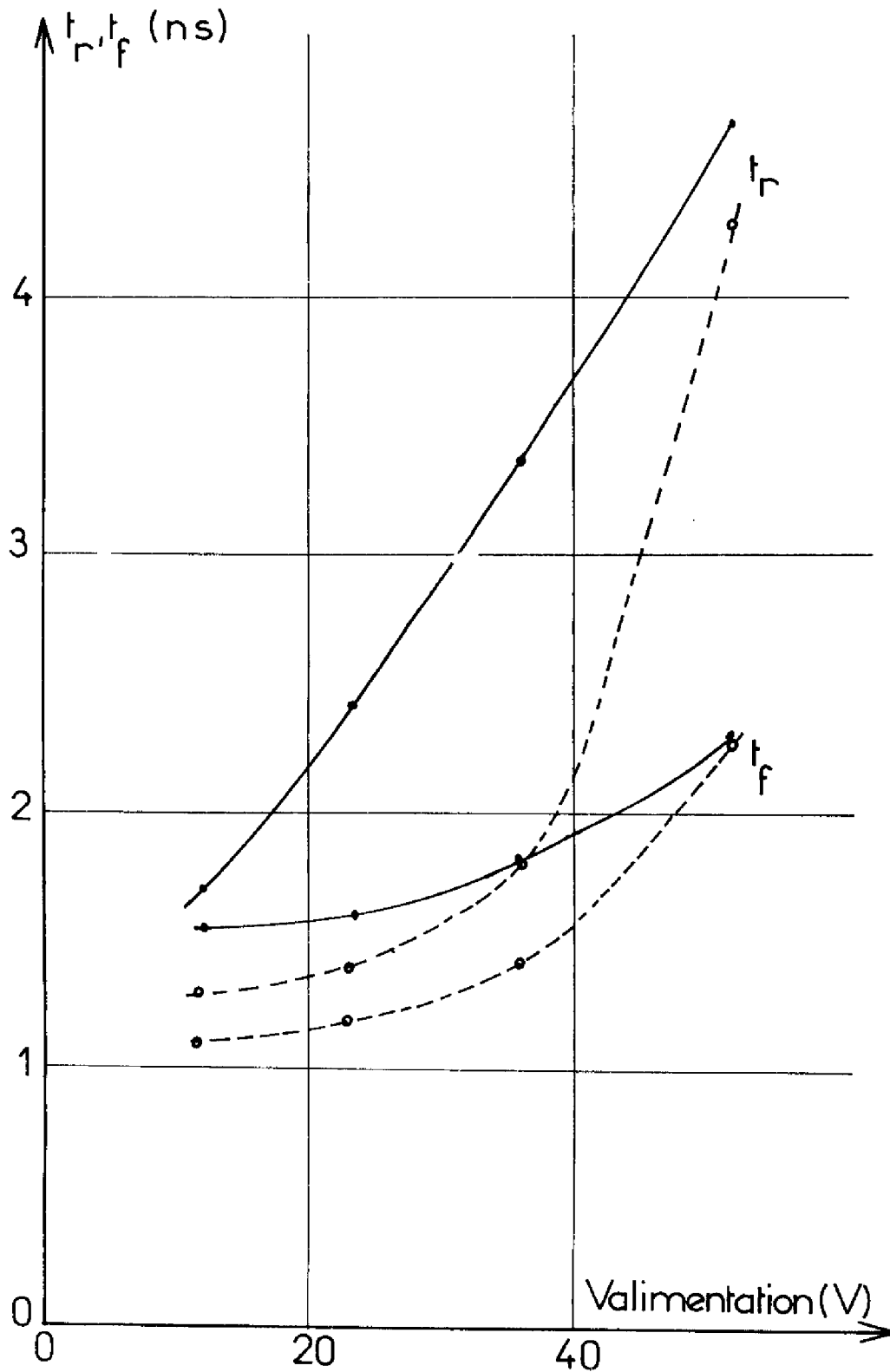


Figure II. 38 : courbes expérimentales et théoriques des temps de montée et de descente d'un V.MOS en fonction de la tension d'alimentation
— courbes expérimentales ---- courbes théoriques

diverses valeurs de la tension d'alimentation. La figure II. 38 représente les variations expérimentales et théoriques de ces temps t_r et t_f en fonction de la tension d'alimentation. Nous observons sur ces courbes d'une part, une augmentation des durées t_r et t_f avec la tension d'alimentation et d'autre part, des temps de montée toujours supérieurs aux temps de descente. Par ailleurs, les valeurs mesurées sont légèrement supérieures aux résultats théoriques. Cet écart est dû probablement à la précision des mesures liée à la difficulté expérimentale de relever des signaux transitoires très rapides

II. 4. - CONCLUSION

Dans ce deuxième chapitre, nous avons comme premier objectif de caractériser le comportement statique du V.MOS. Nous avons tout d'abord montré que les propriétés spécifiques à cette structure, à savoir la linéarité de la caractéristique de transfert et la saturation de la transconductance, n'étaient pas correctement expliquées par les théories antérieures. Par suite, nous avons proposé une équation de fonctionnement, qui prend en compte l'effet du champ transversal sur la vitesse limite des porteurs, pour décrire le réseau des caractéristiques courant-tension. Nous avons pu ainsi mettre en évidence l'effet de la longueur de canal sur la valeur de la transconductance lorsque ce canal devient très court.

En régime dynamique, par une formulation des charges sur les électrodes, le schéma équivalent utilisable en commutation a été établi. La non-linéarité des capacités inter-électrodes a été mise en évidence expérimentalement et théoriquement. Il a été montré ensuite que les temps de commutation sur charge résistive sont de l'ordre de quelques nanosecondes par ampère. Ces valeurs sont les plus rapides, obtenues au moyen de transistors MOS, quelle que soit la famille du composant.



CHAPITRE III

MODELE EN REGIME DE HAUTES
FREQUENCES DU TRANSISTOR
M.O.S A CANAL VERTICAL



III. 1 - INTRODUCTION - POSITION DU PROBLEME

III. 1. 1 - Les diverses familles de transistors M.O.S. pour hautes fréquences

Dès 1966, le transistor à effet de champ à grille isolée est apparu comme pouvant avoir de bonnes caractéristiques pour l'amplification [44, 45, 46] dans la gamme des hautes fréquences. Depuis cette date, de nombreux travaux ont été effectués pour mettre au point des processus d'élaboration permettant de réaliser des composants de plus en plus performants, utilisables dans une première étape dans la gamme VHF, puis celle des UHF [47] et enfin plus récemment dans celle des hyperfréquences [11] . Les caractéristiques les plus intéressantes que présente le transistor M.O.S. sont : un grand gain en puissance, une faible capacité de réaction entrée-sortie et une distorsion d'intermodulation extrêmement réduite, plus faible que celle que l'on obtient avec les tubes ou les transistors bipolaires. Par ailleurs, la mise au point de technologies dites à canal vertical a ouvert la voie au domaine de l'amplification de puissance, pour lequel le transistor M.O.S. paraît être le concurrent sérieux du transistor bipolaire. L'évolution des processus s'est faite dans deux directions :

(i) la première est celle de la définition de dispositifs à double grille, l'une jouant le rôle d'électrode de commande et l'autre le rôle d'écran ; la stabilité du gain peut ainsi être assurée même si celui-ci est supérieur à 30 décibels.

(ii) la deuxième est celle de la réduction du canal par les processus d'implantation ionique [48, 49] , de double diffusion verticale [11] ou horizontale [8] . Ainsi on peut distinguer deux grandes familles de dispositifs utilisables en hautes fréquences :

- les M.O.S à double grille sur silicium massif [43] ou sur silicium sur isolant [51, 52, 53] particulièrement bien adaptés à l'amplification faible signal, à très grand gain, à

bande étroite et bien résistants à la transmodulation. La gamme de fréquences d'utilisation va de quelques mégahertz (structures classiques) à deux gigahertz (structures implantées sur silicium sur isolant ou à double diffusion - D.MOS).

- les M.O.S à canal vertical (V.MOS) épitaxié [13] ou diffusé, réalisés par attaque isotrope [54] ou anisotrope [17] du silicium dont la particularité est de présenter une configuration $N^- N^+$ de la diode de drain. Ces structures, plus adaptées à l'amplification large bande, sont utilisables en tant qu'éléments de puissance et leur limite maximale d'utilisation, dépendant de la configuration géométrique et technologique, peut dépasser le gigahertz.

III. 1. 2 - Les schémas équivalents et les paramètres hautes fréquences

Corrélativement aux travaux technologiques, plusieurs méthodes de calcul ont été décrites dans la littérature durant ces dernières années, en vue de proposer les expressions mathématiques des paramètres hautes fréquences petits signaux des transistors M.O.S..Elles sont principalement basées sur des approximations de développements en série [55, 56] , des méthodes numériques de résolution des équations différentielles dynamiques [57, 58] ou sur la méthode matricielle de recherche des solutions de la ligne de transmission analogue au transistor [59] . Les principaux résultats ne sont applicables qu'aux transistors M.O.S. à canal long, supérieur à 5 microns, élaborés sur un substrat de forte résistivité. Les effets particuliers du dopage de substrat sur la zone active ont été analysés par DAS [60] d'une part et par MARTINOT et ROSSEL [33 - 61] d'autre part. De plus, l'action de la réduction de mobilité sous l'action du champ transversal au canal, très sensible dans les dispositifs à faible épaisseur d'oxyde, a été prise en compte par ces derniers auteurs. Toutefois, l'effet du champ longitudinal, dans la direction source-drain, sur la réduction de mobilité et la saturation de vitesse, d'autant plus important que le composant est prévu pour pouvoir monter en fréquence et que son canal est court, n'a jusqu'à ce jour jamais été considéré. Ceci est dû principalement à la complexité mathématique du problème.

Ainsi, aussi bien dans le cas du D.MOS [11] que celui du V.MOS [54], la connaissance du fonctionnement de la structure se réduit à l'établissement d'un schéma équivalent synthétisé à partir de mesures expérimentales des paramètres (S) ou (Y) du transistor. Les éléments de ce schéma ne peuvent être corrélés aux paramètres technologiques et géométriques et par suite, il est impossible de préciser les limitations fréquentielles et les performances limites potentielles de ces transistors.

III. 1. 3 - Buts de l'étude

L'objectif de l'étude développée dans ce chapitre est quadruple : d'une part, une analyse théorique de l'effet complet de la réduction de mobilité des porteurs du canal sous l'action du champ électrique sera effectuée dans un premier paragraphe. D'autre part, et dans le deuxième paragraphe, les résultats seront appliqués à la structure V.MOS : établissement du schéma équivalent de cette structure, caractérisation au moyen des paramètres admittances Y_{ij} ou d'onde S_{ij} , analyse des propriétés du gain en puissance.

Dans le troisième paragraphe, on montrera comment les résultats de l'analyse théorique précédente peuvent être utilisés dans les techniques de simulation d'amplificateurs à partir des données de la technologie des transistors. L'exemple qui sera proposé sera celui de l'amplificateur à large bande.

Dans le quatrième paragraphe, on déterminera les mécanismes qui limitent la montée en fréquence dans les structures actuelles et on visera à définir les limites de performances fréquentielles de structures optimisées.

III. 2 - ANALYSE THEORIQUE DES PROPRIETES DE LA ZONE ACTIVE EN REGIME DE HAUTES FREQUENCES

Nous proposons dans ce paragraphe, une méthode de détermination des facteurs de la matrice admittance (Y_{ij}) en petits signaux et en hautes fréquences de la région active, c'est-à-dire du canal d'inversion du transistor MOS.

III. 2. 1 - Equations régissant le comportement dynamique du canal

La figure III. 1 représente une coupe idéalisée de la structure étudiée dans laquelle apparaissent les diverses électrodes que sont la grille, le substrat, la source et le drain. Ces deux dernières sont considérées comme constituant les limites, dans la direction horizontale, du canal d'inversion. En régime variable les tensions de polarisation de grille, source et drain sont notées $V_G(t)$, $V_R(t)$, $V_D(t)$; le substrat constitue la référence des potentiels. Il en résulte en tout point du canal de coordonnée y , l'existence d'une différence de potentiel $\phi(y,t)$ entre l'interface et le substrat, et dans une tranche de canal circule un courant $I(y,t)$. En introduisant les changements de variable suivants :

$$V'_G(t) = V_G(t) + \frac{Q_{ss}}{C_{ox}} - \phi_{MS} \quad (3-1)$$

$$V(y,t) = V'_G(t) - \phi_S(y,t) \quad (3-2)$$

où t est le temps, et en prenant en compte la réduction de mobilité des porteurs dans la couche d'inversion par la relation [28] que nous avons déjà utilisée lors de l'étude des propriétés du transistor en régime statique :

$$M_{eff} = \frac{M_0}{\left(1 + \frac{|E_x|}{E_c}\right) \cdot \left(1 + \frac{|E_y|}{E_0}\right)} \quad (3-3)$$

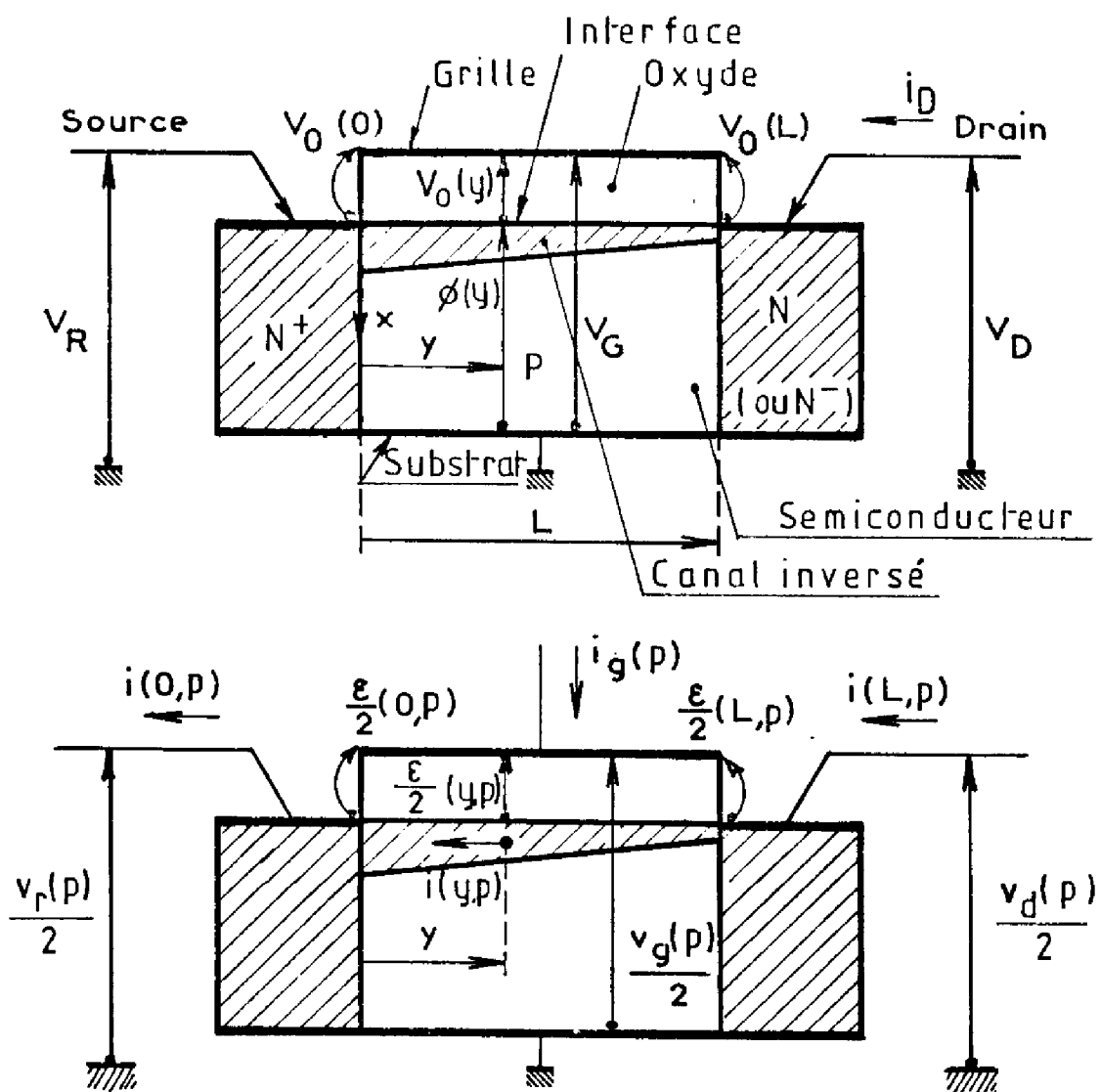


Figure III. 1 : Coupe schématique du transistor, définition des variables en régime statique et en régime dynamique petits signaux.

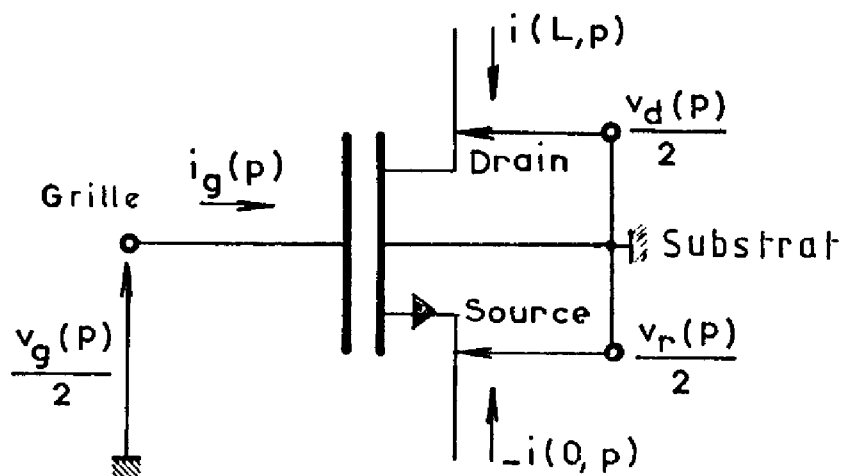


Figure III. 2 : Symboles de définition de la matrice admittance

où $E_x(y,t)$ et $E_y(y,t)$ sont les composantes transversales et longitudinales du champ électrique et, E_c et E_o les champs critiques transversal et longitudinal, on obtient l'équation différentielle du courant en régime variable :

$$I(y,t) = -\mu_o Z C_{ox} \frac{1}{\left[1 - \frac{\partial V(y,t)}{\partial y} \right] \left[\frac{1}{E_o} + \frac{V(y,t)}{\Upsilon} \right]} \cdot V(y,t) \cdot \frac{\partial V(y,t)}{\partial y} \quad (3-4)$$

Dans cette relation, les effets dus au dopage du substrat ont été négligés. Dans le cadre de l'hypothèse de petits signaux, par linéarisation, on peut écrire :

$$I(y,t) = I_D + i(y,t) \quad (3-5)$$

$$V(y,t) = V_o(y) + \frac{\xi}{2}(y,t) \quad (3-6)$$

La relation (3-4) devient en négligeant les termes du 2^è ordre :

$$i(y,t) = I_D \left[\frac{\Upsilon + V_o(y)}{V_o(y)} \right] \cdot \frac{\partial}{\partial V_o(y)} \left[\left(\frac{V_o(y)}{\Upsilon + V_o(y)} - \frac{I_D}{\mu_o Z C_{ox} \Upsilon E_o} \right) \cdot \frac{\xi(y,t)}{2} \right] \quad (3-7)$$

Par ailleurs, dans une tranche différentielle de canal de largeur dy , la perte de courant s'effectue à travers la capacité d'oxyde de grille suivant la loi :

$$\frac{\partial i(y,t)}{\partial y} = -Z \cdot C_{ox} \cdot \frac{\partial}{\partial t} \frac{\xi}{2}(y,t) \quad (3-8)$$

En se plaçant en régime alternatif sinusoïdal de pulsation ω ($p = j\omega$), les expressions (3-7) et (3-8) fournissent, en introduisant les variables réduites suivantes :

$$\omega_0 = \frac{I_0^2}{M_0 (Z C_{ox})^2 V_0^3(0)} \quad (3-9)$$

et

$$p' = \frac{j\omega}{\omega_0} = \frac{p}{\omega_0} \quad (3-10)$$

le système définissant le régime dynamique du transistor :

$$\frac{\partial^2 i(y,p)}{\partial V_0(y)^2} - p' \left[\frac{V_0(y)/V_0^3(0)}{1 + V_0(y)/\Upsilon} \right] \cdot i(y,p) = 0 \quad (3-11)$$

$$\frac{\xi}{2}(y,p) = \frac{1}{p'} \cdot B(V_0(y)) \frac{di(y,p)}{dV_0(y)} \quad (3-12)$$

avec

$$B(V_0(y)) = \frac{V_0^3(0)}{I_0 \Upsilon} \left[\frac{V_0(y)}{\Upsilon + V_0(y)} - \frac{I_0}{M_0 Z C_{ox} \Upsilon E_0} \right]^{-1} \quad (3-13)$$

$V_0(0)$ et $V_0(L)$ sont les valeurs de $V_0(y)$ aux droites de la source ($y = 0$) et du drain ($y = L$).

III. 2. 2 - Méthodes de résolution des équations différentielles régissant le comportement dynamique

Le système non linéaire (3-11) (3-12) n'admet pas de solution explicite simple. Nous proposons deux méthodes de résolution qui consistent à rechercher le développement en série des solutions et les fonctions asymptotiques aux solutions en hautes fréquences.

III. 2. 2. a - Recherche des solutions sous forme de développements en série

Cette méthode constitue une généralisation des calculs effectués par A. VAN DER ZIEL et J.W. ERO [55] pour la détermination des paramètres fréquentiels des transistors à effet de champ à jonctions

et des travaux effectués par E. N. PRONONTARIOS [62, 63] relatifs au calcul des paramètres caractéristiques des simples lignes à constantes réparties non uniformes. Elle consiste à rechercher une solution à priori de la forme :

$$i(y,p) = a_0 + a_1 V_0(y) + \dots + a_n V_0^n(y) + \dots \quad (3-14)$$

et à déterminer les coefficients a_n par double dérivation de (3-14) puis report des quantités $i(y,p)$ et $\frac{\partial^2 i(y,p)}{\partial V_0(y)^2}$ dans l'équation (3-11).

Par identification on obtient la relation de récurrence :

$$a_{n+3} = \frac{P' a_n / V_0^3(0) - (n+1)(n+2) \cdot a_{n+2} / \gamma}{(n+2)(n+3)} \quad (3-15)$$

avec :

$$a_2 = 0 \quad (3-16)$$

Cette série est convergente. Compte tenu de (3-15), on peut exprimer le coefficient a_n en fonction des deux coefficients a_0 et a_1 .

$$a_n = a_0 \left\{ \frac{(-1)^{n-1} P'}{V_0^3(0) \cdot n \cdot (n-1) \cdot \gamma^{n-3}} + \left[\sum_{k=2}^m \frac{(-1)^{n-k} \cdot P' \cdot k}{V_0^{3k}(0) \cdot \gamma^{n-3k} \cdot n \cdot (n-1)} S_0(k,m) \right] \right\} + a_1 \left\{ \frac{(-1)^n P'}{V_0^3(0) \cdot n \cdot (n-1) \cdot \gamma^{n-4}} + \left[\sum_{k=2}^{m'} \frac{(-1)^{n-k+1} P' \cdot k}{V_0^{3k}(0) \cdot \gamma^{(n-3k-1)} \cdot n \cdot (n-1)} S_1(k,m) \right] \right\} \quad (3-17)$$

avec :

$$m = \text{partie entière de } \frac{n}{3} \quad (3-18)$$

$$m' = \text{partie entière de } (n-1)/3 \quad (3-19)$$

Les quantités S_0 et S_1 sont définies par l'expression :

$$S_i(k, m) = \left[\sum_{i_1=n-3}^{i_1=3(k-1)+i} \frac{1}{i_1(i_1-1)} \right] \times \left[\sum_{i_2=i_1-3}^{i_2=3(k-2)+i} \frac{1}{i_2(i_2-1)} \right] \times \left[\sum_{i_3=i_2-3}^{i_3=3(k-3)+i} \frac{1}{i_3(i_3-1)} \right] \times \dots$$

$$\times \dots \times \left[\sum_{i_j=i_{j-1}-3}^{i_j=3[k-(j-1)]+i} \frac{1}{i_j(i_j-1)} \right] \times \left[\dots \times \left[\sum_{i_{k-1}=i_{k-2}-3}^{i_{k-1}=3+i} \frac{1}{i_{k-1}(i_{k-1}-1)} \right] \dots \right] \quad (3-20)$$

k-1 crochets

Compte tenu de la formulation (3-17) du coefficient a_n , le courant $i(y, p)$ peut être écrit sous la forme :

$$i(y, p) = a_0 P(V_0(y), p') + a_1 Q(V_0(y), p') \quad (3-21)$$

avec :

$$P(V_0(y), p') = 1 + \sum_{n=3}^{\infty} \left[\frac{(-1)^{n-1} p'}{V_0^3(0) \cdot \Gamma^{n-3} \cdot n \cdot (n-1)} + \sum_{k=2}^m \frac{(-1)^{n-k} p^k}{V_0^{3k}(0) \cdot \Gamma^{n-3k} \cdot n \cdot (n-1)} \cdot S_0(k, m) \cdot V_0^n(y) \right] \quad (3-22)$$

$$Q(V_0(y), p') = V_0(y) + \sum_{n=4}^{\infty} \left[\frac{(-1)^n p'}{V_0^3(0) \cdot \Gamma^{n-4} \cdot n \cdot (n-1)} + \sum_{k=2}^{m'} \frac{(-1)^{n-k-1} p^k}{V_0^{3k}(0) \cdot \Gamma^{n-3k-1} \cdot n \cdot (n-1)} \cdot S_1(k, m) \cdot V_0^n(y) \right] \quad (3-23)$$

Par ailleurs, la relation (3-12) conduit à écrire le potentiel $\frac{\xi}{2}(y, p')$:

$$\frac{\xi}{2}(y, p') = a_0 R(V_0(y), p') + a_1 S(V_0(y), p') \quad (3-24)$$

où l'on a posé :

$$R(V_0(y), p') = \frac{1}{p'} \cdot B(V_0(y)) \cdot R'(V_0(y), p') \quad (3-25)$$

$$S(V_0(y), p') = \frac{1}{p'} \cdot B(V_0(y)) \cdot S'(V_0(y), p') \quad (3-26)$$

$$R'(V_0(y), p') = \sum_{n=3}^{n=\infty} \left[\left(\frac{(-1)^{n-1} p'}{V_0^3(o) \cdot \Upsilon^{n-3} \cdot (n-1)} + \sum_{k=2}^m \frac{(-1)^{n-k} p'^k}{V_0^{3k}(o) \cdot \Upsilon^{n-3k} \cdot (n-1)} \right) \cdot S_0(k, m) \cdot V_0^{n-1}(y) \right] \quad (3-27)$$

$$S'(V_0(y), p') = 1 + \sum_{n=4}^{n=\infty} \left[\left(\frac{(-1)^n p'}{V_0^3(o) \cdot \Upsilon^{n-4} \cdot (n-1)} + \sum_{k=2}^{m'} \frac{(-1)^{n-k-1} p'^k}{V_0^{3k}(o) \cdot \Upsilon^{n-3k-1} \cdot (n-1)} \right) \cdot S_1(k, m) \cdot V_0^{n-1}(y) \right] \quad (3-28)$$

III. 2. 2. b - Approximations asymptotiques des solutions

Pour obtenir les solutions asymptotiques, valables en hautes fréquences, du système (3-11, 3-12) on transforme celui-ci selon la méthode indiquée par LIOUVILLE et SCHELKUNOFF [64 - 65] par les changements de variable suivants:

$$K(V_0(y)) = \sqrt{\frac{\Upsilon \cdot V_0(y)}{[\Upsilon + V_0(y)] \cdot V_0^3(o) \cdot p'}} \quad (3-29)$$

$$u = \int_{V_0(y)} p' \cdot K(V_0(y)) \cdot dV_0(y) \quad (3-30)$$

$$\hat{X}(V_0(y)) = \frac{\xi}{2}(y, p) \cdot [B(V_0(y)) \cdot \sqrt{K(V_0(y))}]^{-1} \quad (3-31)$$

$$\hat{\tau} = i \cdot \sqrt{K(V_0(y))} \quad (3-32)$$

afin d'obtenir le système homogène de type STURM LIOUVILLE

$$\frac{d^2 \hat{X}}{du^2} - \left[1 + \frac{3K'(u)^2}{4K^2} - \frac{K''(u^2)}{2K} \right] \cdot \hat{X} = 0 \quad (3-33)$$

$$\frac{d^2 \hat{\tau}}{du^2} - \left[1 - \frac{K'(u)^2}{4K^2} + \frac{K''(u)}{2K} \right] \cdot \hat{\tau} = 0 \quad (3-34)$$

Le système (3-33, 3-34) devient à coefficients constants et est résolvable par l'approximation WKB [66] lorsque les termes entre crochets sont voisins de l'unité ; cette condition impose que soit respectée en tout point du canal, l'inégalité :

$$\left| \frac{I_D}{P Z C_{ox}} \left\{ \frac{5}{16} \frac{\left[\frac{d^2 V_0(y)}{dy^2} \right]^2}{\left[\frac{dV_0(y)}{dy} \right]^3} - \frac{1}{4} \frac{\left[\frac{d^3 V_0(y)}{dy^3} \right]}{\left[\frac{dV_0(y)}{dy} \right]^2} \right\} \right| \ll 1 \quad (3-35)$$

Cette situation sera réalisée si la fréquence et les conditions de polarisation, sont telles que :

$$|P| \gg \frac{7}{64} \frac{\tau}{\tau + V_0(0)} \frac{M_0 \cdot V_0(0)}{L^2} \left[\frac{V_0(0)}{V_0(L)} \right]^3 \left\{ 1 - \left[\frac{V_0(L)}{V_0(0)} \right]^2 \right\} \quad (3-36)$$

On obtient, compte tenu des conditions au drain ($y = L$) :

$$i(y,p) = \frac{1}{\sqrt{K(V_0(y)) \cdot K(V_0(L))}} \left\{ K(V_0(L)) \cdot i(L,p) \cdot \text{ch} \int_{V_0(L)}^{V_0(y)} p \cdot K(V_0(y)) dV_0(y) + \frac{\mathcal{E}(L,p)}{B(V_0(L))} \cdot \text{sh} \int_{V_0(L)}^{V_0(y)} p \cdot K(V_0(y)) \cdot dV_0(y) \right\} \quad (3-37)$$

$$\frac{\mathcal{E}(y,p)}{2} = B(V_0(y)) \sqrt{\frac{K(V_0(y))}{K(V_0(L))}} \left\{ K(V_0(L)) \cdot i(L,p) \cdot \text{sh} \int_{V_0(L)}^{V_0(y)} p \cdot K(V_0(y)) dV_0(y) + \frac{\mathcal{E}(L,p)}{B(V_0(L))} \cdot \text{ch} \int_{V_0(L)}^{V_0(y)} p \cdot K(V_0(y)) \cdot dV_0(y) \right\} \quad (3-38)$$

III. 2. 3 - Expression des facteurs de la matrice admittance

Y_{ij} "Intrinsèque"

III. 2. 3. a - Définition de la matrice " Y_{ij} "

Le transistor M.O.S. doit être considéré comme un dispositif à trois électrodes de commande (figure III.2). Lorsqu'on applique sur la grille, le drain et la source des tensions $\frac{v_g(p)}{2}$, $\frac{v_d(p)}{2}$,

$\frac{v_r(p)}{2}$, qui, dans notre formalisme, s'identifient à :

$$\frac{v_d(p)}{2} = -\frac{\xi}{2}(L,p) + \frac{v_g(p)}{2} \quad (3-39)$$

$$\frac{v_r(p)}{2} = -\frac{\xi}{2}(o,p) + \frac{v_g(p)}{2} \quad (3-40)$$

et d'amplitudes suffisamment faibles pour pouvoir appliquer le principe de superposition, on définit une matrice admittance par l'égalité :

$$\begin{bmatrix} i_g(p) \\ i(L,p) \\ -i(o,p) \end{bmatrix} = \begin{bmatrix} y_{11} & y_{12} & y_{13} \\ y_{21} & y_{22} & y_{23} \\ y_{31} & y_{32} & y_{33} \end{bmatrix} \begin{bmatrix} v_g(p)/2 \\ -\frac{\xi}{2}(L,p) + v_g(p)/2 \\ -\frac{\xi}{2}(o,p) + v_g(p)/2 \end{bmatrix} \quad (3-41)$$

Le régime de fonctionnement est complètement déterminé en associant à cette relation matricielle, la loi de conservation du courant qui s'exprime par :

$$i(o,p) - i(L,p) - i_g(p) = 0 \quad (3-42)$$

puisque l'on néglige le courant de substrat d'après l'hypothèse du faible dopage de ce dernier.

La méthode de détermination des facteurs Y_{ij} est basée sur l'utilisation de la relation matricielle (3-41) et des expressions de la tension $\frac{\xi}{2}(y,p)$ et du courant $i(y,p)$. Chaque admittance est calculée en tenant compte des conditions aux limites sur les électrodes que nous introduisons sous forme de l'identité :

$$\begin{bmatrix} y_{11} & y_{12} & y_{13} \\ y_{21} & y_{22} & y_{23} \\ y_{31} & y_{32} & y_{33} \end{bmatrix} \equiv \begin{bmatrix} \frac{i_g(p)}{V_g(p)/2} & -\frac{i_g(p)}{\frac{\epsilon(L,p)}{2}} & -\frac{i_g(p)}{\frac{\epsilon(o,p)}{2}} \\ \frac{i(L,p)}{V_g(p)/2} & -\frac{i(L,p)}{\frac{\epsilon(L,p)}{2}} & -\frac{i(L,p)}{\frac{\epsilon(o,p)}{2}} \\ -\frac{i(o,p)}{V_g(p)/2} & \frac{i(o,p)}{\frac{\epsilon(L,p)}{2}} & \frac{i(o,p)}{\frac{\epsilon(o,p)}{2}} \end{bmatrix}$$

$\frac{\epsilon(L,p)}{2} - \frac{\epsilon(o,p)}{2} = \frac{V_g(p)}{2}$
 $\frac{\epsilon(L,p)}{2} = \frac{V_g(p)}{2} = 0$
 $\frac{\epsilon(L,p)}{2} = \frac{V_g(p)}{2} = 0$

(3-43)

III. 2. 3. b - Expression des Facteurs Y_{ij} au moyen de séries

Chaque colonne de (3-43) conduit à une relation de liaison entre a_0 et a_1 .

1ere colonne : $a_1 = a_0 \cdot \frac{R(V_0(o), p') - R(V_0(L), p')}{S(V_0(L), p') - S(V_0(o), p')}$ (3-44)

2ème colonne : $a_1 = a_0 \cdot \frac{R(V_0(o), p')}{S(V_0(o), p')}$ (3-45)

3ème colonne : $a_1 = a_0 \cdot \frac{R(V_0(L), p')}{S(V_0(L), p')}$ (3-46)

Compte tenu des expressions $i(L,p)$, $i(o,p)$, $\frac{\epsilon}{2}(L,p)$, $\frac{\epsilon}{2}(o,p)$ déduites de (3-21) et (3-24), des conditions de liaison (3-44) à (3-46), et de la possibilité de normalisation par introduction des variables suivantes :

$$\hat{Y}_{ij} = \frac{y_{ij}}{M_0 \sum_L C_{ox} V_0(o)} \quad (3-47)$$

$$\eta = \frac{V_0(L)}{V_0(o)} \quad (3-48)$$

$$\pi = \frac{V_0(L)}{\varphi} \quad (3-49)$$

$$\lambda = \frac{V_0(v)}{LE_0} \quad (3-50)$$

et des quantités :

$$\hat{P}_0(\eta, \pi, p) = 1 + \sum_{n=3}^{\infty} \left[\frac{(-1)^{n-1} p'}{n(n-1)} \frac{\pi^{n-3}}{\eta^{n-3}} + \sum_{k=2}^m \frac{(-1)^{n-k} p'^k}{n(n-1)} S_0(k, n) \frac{\pi^{n-3k}}{\eta^{n-3k}} \right] \quad (3-51)$$

$$\hat{P}_L(\eta, \pi, p) = 1 + \sum_{n=3}^{\infty} \left[\frac{(-1)^{n-1} p'}{n(n-1)} \cdot \eta \cdot \pi^{n-3} + \sum_{k=2}^m \frac{(-1)^{n-k} p'^k}{n(n-1)} S_0(k, n) \eta^n \pi^{n-3k} \right] \quad (3-52)$$

$$\hat{Q}_0(\eta, \pi, p) = 1 + \sum_{n=4}^{\infty} \left[\frac{(-1)^n p'}{n(n-1)} \frac{\pi^{n-4}}{\eta^{n-4}} + \sum_{k=2}^{m'} \frac{(-1)^{n-k-1} p'^k}{n(n-1)} S_1(k, n) \frac{\pi^{n-3k-1}}{\eta^{n-3k-1}} \right] \quad (3-53)$$

$$\hat{Q}_L(\eta, \pi, p) = 1 + \sum_{n=4}^{\infty} \left[\frac{(-1)^n p'}{n(n-1)} \eta^{n-1} \pi^{n-4} + \sum_{k=2}^{m'} \frac{(-1)^{n-k-1} p'^k}{n(n-1)} S_1(k, n) \eta^{n-1} \pi^{n-3k-1} \right] \quad (3-54)$$

$$\hat{R}_L(\eta, \pi, p) = \sum_{n=3}^{\infty} \left[\frac{(-1)^{n-1} p'}{n-1} \eta^n \pi^{n-3} + \sum_{k=2}^m \frac{(-1)^{n-k} p'^k}{n-1} S_0(k, n) \cdot \eta^n \pi^{n-3k} \right] \quad (3-55)$$

$$\hat{R}_0(\eta, \pi, p) = \sum_{n=3}^{\infty} \left[\frac{(-1)^{n-1} p'}{n-1} \frac{\pi^{n-3}}{\eta^{n-4}} + \sum_{k=2}^m \frac{(-1)^{n-k} p'^k}{n-1} S_0(k, n) \cdot \frac{\pi^{n-3k}}{\eta^{n-3k-1}} \right] \quad (3-56)$$

$$\hat{S}_0(\eta, \pi, p) = 1 + \sum_{n=4}^{\infty} \left[\frac{(-1)^n p'}{n-1} \frac{\pi^{n-4}}{\eta^{n-4}} + \sum_{k=2}^{m'} \frac{(-1)^{n-k-1} p'^k}{n-1} S_1(k, n) \frac{\pi^{n-3k-1}}{\eta^{n-3k-1}} \right] \quad (3-57)$$

$$\hat{S}_L(\eta, \pi, p) = 1 + \sum_{n=4}^{\infty} \left[\frac{(-1)^n p'}{n-1} \eta^{n-1} \pi^{n-4} + \sum_{k=2}^{m'} \frac{(-1)^{n-k-1} p'^k}{n-1} S_1(k, n) \eta^{n-1} \pi^{n-3k-1} \right] \quad (3-58)$$

$$\hat{B}_0(\eta, \pi, \lambda) = \frac{(\pi/\eta)^2}{A(\eta, \pi, \lambda)} \left[\frac{1}{1 + \eta/\pi} - \lambda \cdot A(\eta, \pi, \lambda) \right]^{-1} \quad (3-59)$$

$$\hat{B}_L(\eta, \pi, \lambda) = \frac{(\pi/\eta)^2}{A(\eta, \pi, \lambda)} \left[\frac{1}{1 + 1/\pi} - \lambda \cdot A(\eta, \pi, \lambda) \right]^{-1} \quad (3-60)$$

avec :

$$A(\eta, \pi, \lambda) = \left[1 - \eta + \frac{\eta}{\pi} \log \frac{1 + \pi}{1 + \pi/\eta} \right] \left[(1 - \eta) \lambda + 1 \right]^{-1} \quad (3-61)$$

Les expressions des paramètres \widehat{Y}_{ij} sont :

$$\widehat{Y}_{22}(P) = \frac{\eta \cdot P [\widehat{Q}_0(\eta, \pi, P) \cdot \widehat{R}'_0(\eta, \pi, P) - \widehat{P}_0(\eta, \pi, P) \cdot \widehat{S}'_0(\eta, \pi, P)]}{\widehat{B}_L(\eta, \pi, \lambda) [\widehat{R}'_L(\eta, \pi, P) \cdot \widehat{S}'_0(\eta, \pi, P) - \widehat{S}'_L(\eta, \pi, P) \cdot \widehat{R}'_0(\eta, \pi, P)]} \quad (3-62)$$

$$\widehat{Y}_{23}(P) = \frac{P [\eta \cdot \widehat{S}'_L(\eta, \pi, P) \cdot \widehat{P}'_L(\eta, \pi, P) - \widehat{Q}'_L(\eta, \pi, P) \cdot \widehat{R}'_L(\eta, \pi, P)]}{\widehat{B}_0(\eta, \pi, \lambda) [\widehat{R}'_L(\eta, \pi, P) \cdot \widehat{S}'_0(\eta, \pi, P) - \widehat{S}'_L(\eta, \pi, P) \cdot \widehat{R}'_0(\eta, \pi, P)]} \quad (3-63)$$

$$\widehat{Y}_{32}(P) = \frac{P [\eta \cdot \widehat{P}'_0(\eta, \pi, P) \cdot \widehat{S}'_0(\eta, \pi, P) - \widehat{Q}'_0(\eta, \pi, P) \cdot \widehat{R}'_0(\eta, \pi, P)]}{\widehat{B}_L(\eta, \pi, \lambda) [\widehat{R}'_L(\eta, \pi, P) \cdot \widehat{S}'_0(\eta, \pi, P) - \widehat{S}'_L(\eta, \pi, P) \cdot \widehat{R}'_0(\eta, \pi, P)]} \quad (3-64)$$

$$\widehat{Y}_{33}(P) = \frac{\eta \cdot P [\widehat{R}'_L(\eta, \pi, P) \cdot \widehat{Q}'_0(\eta, \pi, P) - \widehat{P}'_0(\eta, \pi, P) \cdot \widehat{S}'_L(\eta, \pi, P)]}{\widehat{B}_0(\eta, \pi, \lambda) [\widehat{R}'_L(\eta, \pi, P) \cdot \widehat{S}'_0(\eta, \pi, P) - \widehat{S}'_L(\eta, \pi, P) \cdot \widehat{R}'_0(\eta, \pi, P)]} \quad (3-65)$$

$$\widehat{Y}_{11} = -\widehat{Y}_{21} + \widehat{Y}_{32} + \widehat{Y}_{33} \quad (3-66)$$

$$\widehat{Y}_{21} = -\widehat{Y}_{22} - \widehat{Y}_{23} \quad (3-67)$$

$$\widehat{Y}_{13} = -\widehat{Y}_{23} - \widehat{Y}_{33} \quad (3-68)$$

$$\widehat{Y}_{12} = -\widehat{Y}_{22} - \widehat{Y}_{32} \quad (3-69)$$

$$\widehat{Y}_{31} = -\widehat{Y}_{33} - \widehat{Y}_{32} \quad (3-70)$$

III. 2. 3. c - Expressions asymptotiques des Facteurs Y_{ij}

La méthode de détermination des expressions asymptotiques, dans la gamme des fréquences satisfaisant l'inégalité (3-36), des facteurs de la matrice Y_{ij} consiste à utiliser d'une part, l'identité matricielle (3-43) et les conditions aux limites au drain et à la source, d'autre part, les expressions (3-37) et (3-38) du courant et de la tension.

On obtient sous forme normalisée les paramètres du montage à source commune :

$$\widehat{Y}_{22}(p') = -E(\eta, \pi, \lambda, p') \cdot \frac{1}{\text{ch}[\mathcal{F}(\eta, \pi, \lambda, p')]} \quad (3-71)$$

$$\widehat{Y}_{21}(p') = -\left[\widehat{Y}_{22}(p') - \frac{H(\eta, \pi, \lambda, p')}{\text{sh}[\mathcal{F}(\eta, \pi, \lambda, p')]} \right] \quad (3-72)$$

$$\widehat{Y}_{12}(p') = \widehat{Y}_{22}(p') \left\{ D(\eta, \pi, \lambda, p') \cdot \text{ch}[\mathcal{F}(\eta, \pi, \lambda, p')] - 1 \right\} + C(\eta, \pi, \lambda, p') \cdot \text{sh}[\mathcal{F}(\eta, \pi, \lambda, p')] \quad (3-73)$$

$$\widehat{Y}_{11}(p') = \widehat{Y}_{21}(p') \left\{ D(\eta, \pi, \lambda, p') \cdot \text{ch}[\mathcal{F}(\eta, \pi, \lambda, p')] - 1 \right\} - C(\eta, \pi, \lambda, p') \cdot \text{sh}[\mathcal{F}(\eta, \pi, \lambda, p')] \quad (3-74)$$

avec :

$$E(\eta, \pi, \lambda, p') = A(\eta, \pi, \lambda) \cdot \left(\frac{\eta}{\pi}\right)^{3/2} \sqrt{p'(1+\frac{1}{\pi})} \left[\frac{1}{1+1/\pi} - \lambda \cdot A(\eta, \pi, \lambda) \right] \quad (3-75)$$

$$D(\eta, \pi, \lambda, p') = \left(\frac{\eta + \pi}{1 + \pi}\right)^{1/4} \quad (3-76)$$

$$H(\eta, \pi, \lambda, p') = E(\eta, \pi, \lambda, p') \cdot D(\eta, \pi, \lambda, p') \left[\frac{\frac{1}{1+\eta/\pi} - \lambda \cdot A(\eta, \pi, \lambda)}{\frac{1}{1+1/\pi} - \lambda \cdot A(\eta, \pi, \lambda)} \right] \quad (3-77)$$

$$C(\eta, \pi, \lambda, p') = E(\eta, \pi, \lambda, p') \cdot D(\eta, \pi, \lambda, p') \quad (3-78)$$

$$\mathcal{F}(\eta, \pi, \lambda, p') = \sqrt{p' \frac{\eta}{\pi}} \left[\eta \sqrt{1+\frac{1}{\pi}} - \sqrt{1+\frac{\eta}{\pi}} - \frac{\eta}{\pi} \text{Log} \left(\frac{1+\sqrt{1+\frac{1}{\pi}}}{\sqrt{\frac{\eta}{\pi}} + \sqrt{\frac{\eta}{\pi} + \frac{1}{\pi}}} \right) \right] \quad (3-79)$$

III. 2. 4 - Variations des paramètres normalisés

Les facteurs normalisés Y_{ij} ont été calculés premièrement par application des relations (3-71 à 3-74). La plage d'utilisation de ces relations, déduite de (3-35), a été limitée au cas où l'erreur sur les modules des Y_{ij} est inférieure à 5 %, condition qui se traduit par une limitation en valeur minimale d'une pulsation $\hat{\omega}$ en fonction des paramètres η, λ, π . Cette pulsation réduite $\hat{\omega}$ est définie par la relation :

$$\hat{\omega} = \frac{P'}{j} A^2(\eta, \pi, \lambda) \cdot \frac{\eta^2}{\pi^2} \quad (3-80)$$

Elle s'identifie à la pulsation normalisée utilisée de façon classique dans la littérature et qui a été introduite pour la première fois par GEURST et NUNNINK [58] :

$$\hat{\omega} = \omega \frac{L^2}{M_0 (V_G - V_R)} \quad (3-81)$$

Physiquement, dans le cadre de l'hypothèse de mobilité constante (Υ et LE_0 tendant vers l'infini), $\hat{\omega}$ représente le rapport entre la fréquence du signal d'excitation et la fréquence de coupure du gain en courant en hautes fréquences, cette dernière étant égale au rapport de la transconductance $\left[M_0 \frac{Z}{L} \text{Cox} (V'_G - V_R) \right]$ à 2π fois la capacité de l'oxyde de grille ($2\pi \cdot ZL \text{Cox}$).

La figure III. 3 représente la limite fréquentielle d'application des relations 3-71 à 3-76 . Par ailleurs, dans le domaine fréquentiel complémentaire du précédent, les paramètres \hat{Y}_{ij} sont calculés par détermination, au moyen de récurrences, des divers termes des séries intervenant dans les expressions 3-62 à 3-70. Les évolutions des facteurs \hat{Y}_{ij} , qui ne dépendent que des quantités $\eta, \pi, \lambda, \hat{\omega}$ dont les définitions sont rappelées dans le tableau I, sont représentées dans le plan complexe (figure III. 4 et III. 5). Les diverses courbes - relatives à chaque valeur de η - sont paramétrées par la pulsation réduite $\hat{\omega}$. D'autre part, pour traduire globalement les effets de réductions longitudinale et transversale de mobilité, les graphiques ont été tracés en conservant les

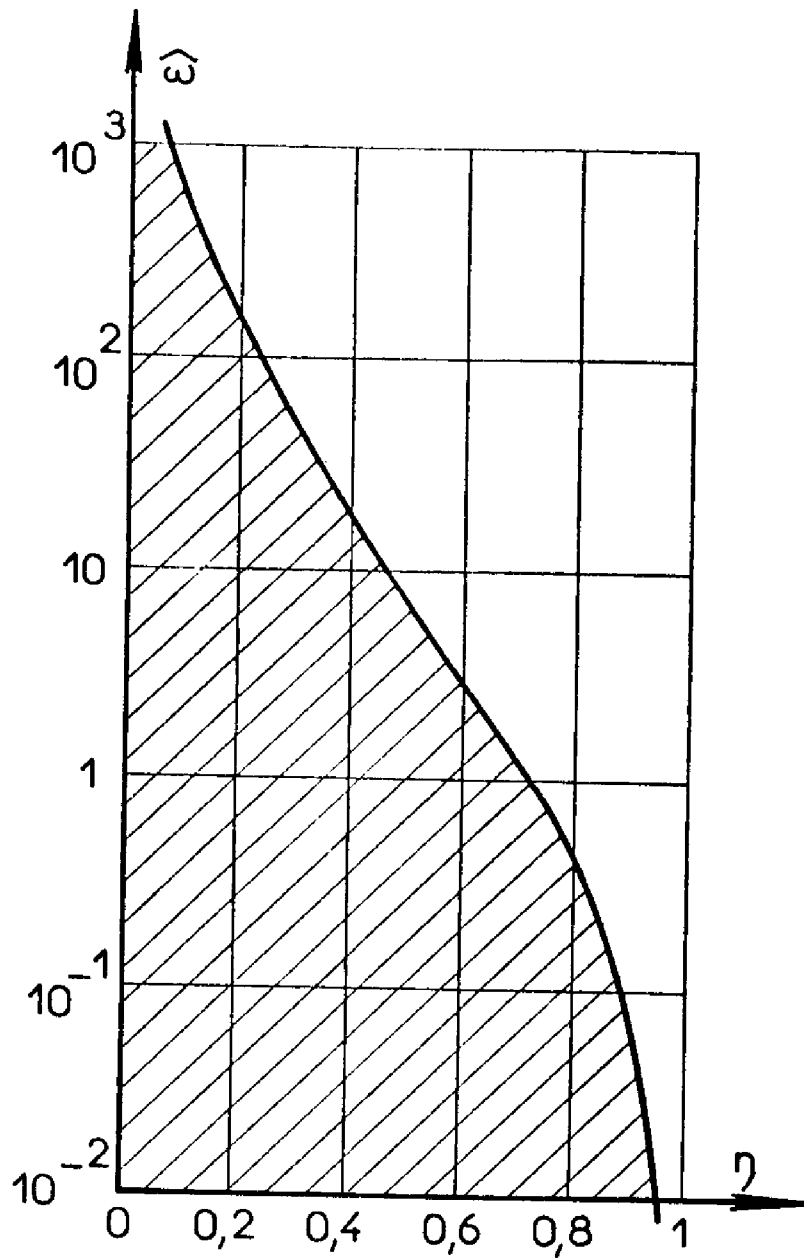


Figure III. 3 - Domaine de validité des relations 71 à 76
(Erreur sur $|\hat{y}_{ij}|$ inférieure à 5 %). Cas particuliers
où $\lambda = 0$. et $\pi = 0$.)

	Régime non saturé	Régime saturé
Tensions $\left\{ \begin{array}{l} \text{Grille substrat} \\ \text{(effective)} \\ \text{Source substrat} \\ \text{Continues} \\ \text{Drain substrat} \end{array} \right.$	V_D	V_P
Potentiel $V_o(y)$ $\left\{ \begin{array}{l} \text{Côté source} \\ \text{Côté drain} \end{array} \right.$	$V_o(o) = V'_G - V_R$ $V_o(L) = V'_G - V_D$	$V_o(L) = V'_G - V_P$
Variables de normalisation	$\eta = \frac{V'_G - V_D}{V'_G - V_R}$ $\pi = \frac{V'_G - V_D}{\psi}$	$\eta = \frac{V'_G - V_P}{V'_G - V_R}$ $\pi = \frac{V'_G - V_P}{\psi}$
	$\lambda = \frac{V'_G - V_R}{LE_o}$ $\hat{\omega} = \frac{\omega L^2}{M_o(V'_G - V_R)}$ $\hat{y}_{ij} = y_{ij} \frac{1}{M_o \frac{Z}{L} \text{Cox}(V'_G - V_R)}$	

Tableau 1 : DEFINITION DES PARAMETRES

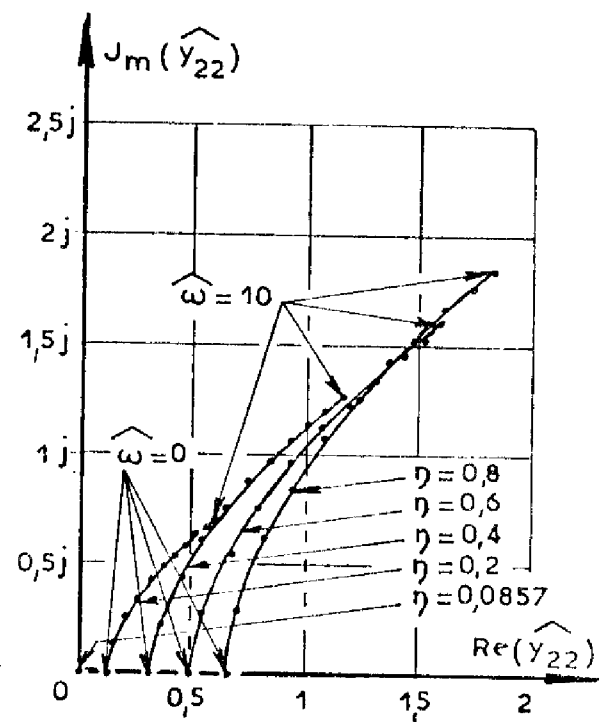
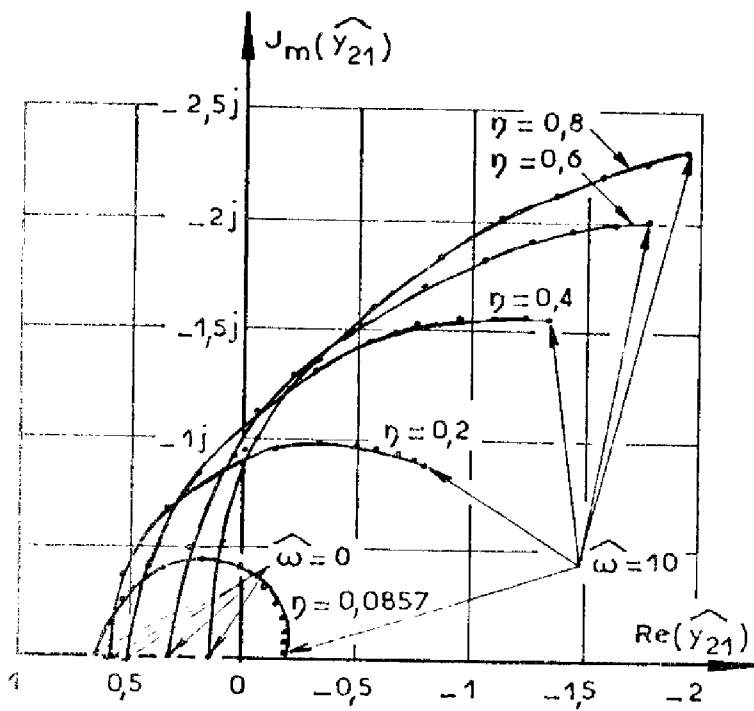
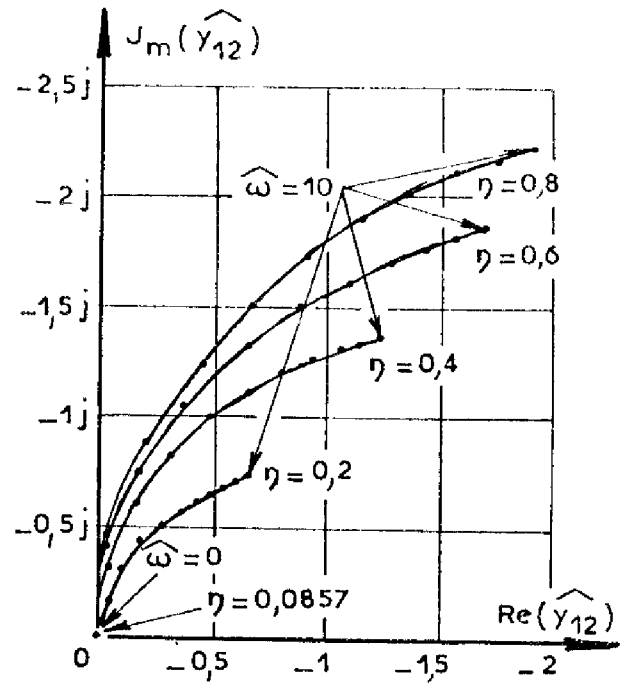
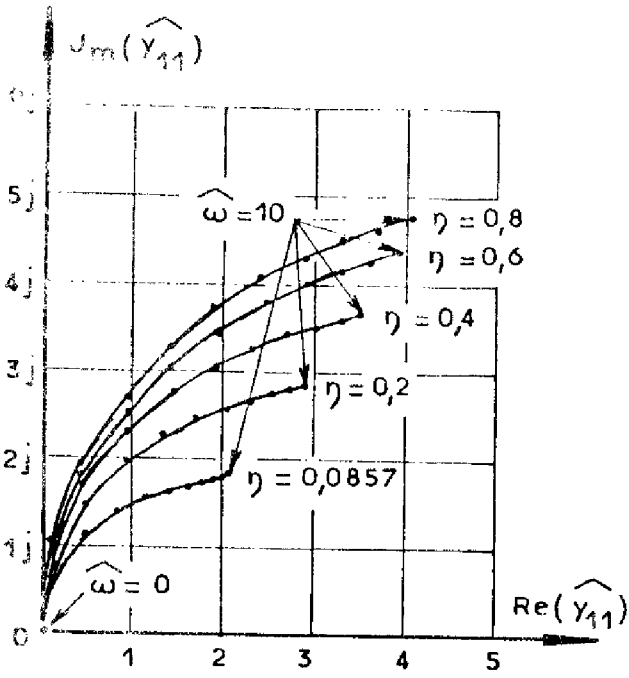


Figure III.4 - : Variations des paramètres normalisés \hat{y}_{ij}

$$\bar{\Gamma} = 0 ; \lambda = 0,$$

$\hat{\omega}$ varie de 0, à 10, avec un pas unitaire

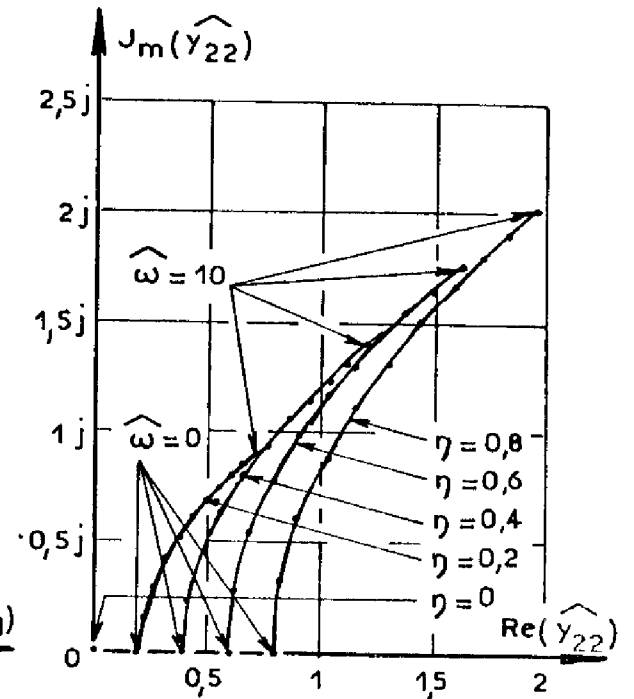
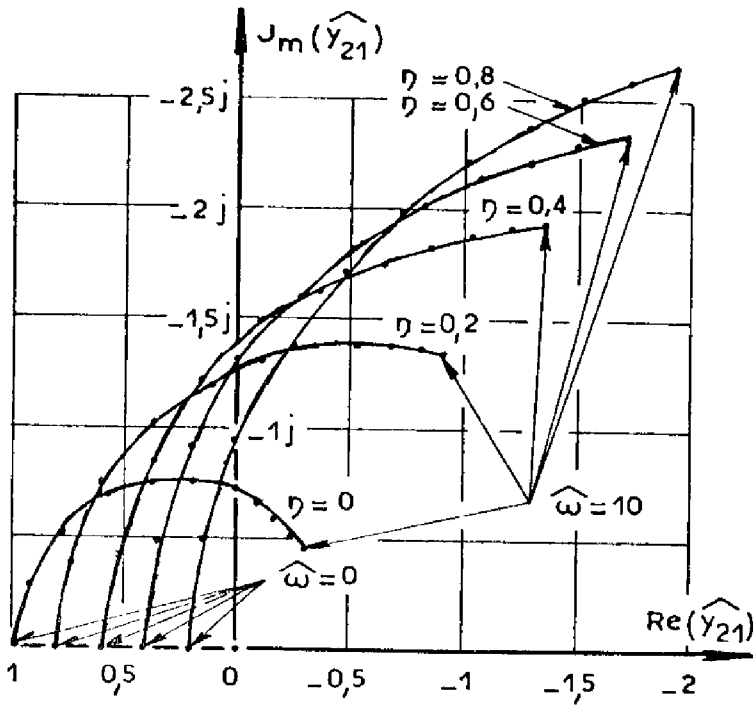
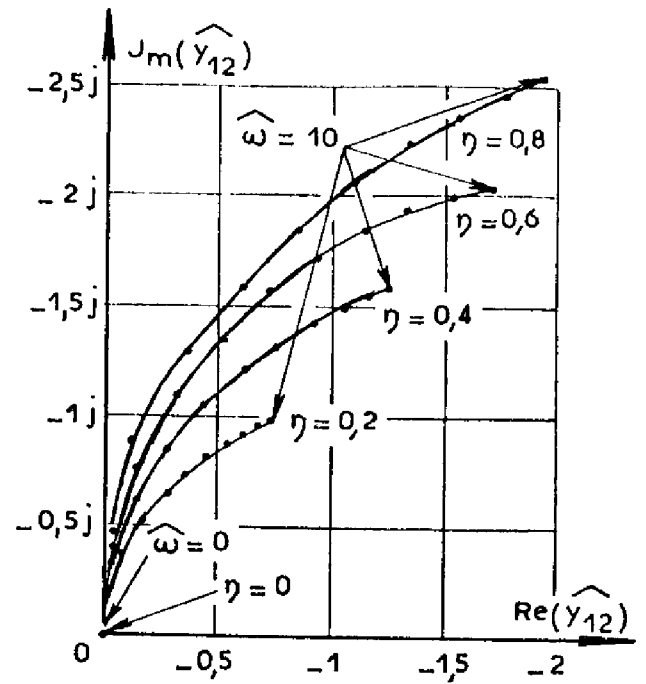
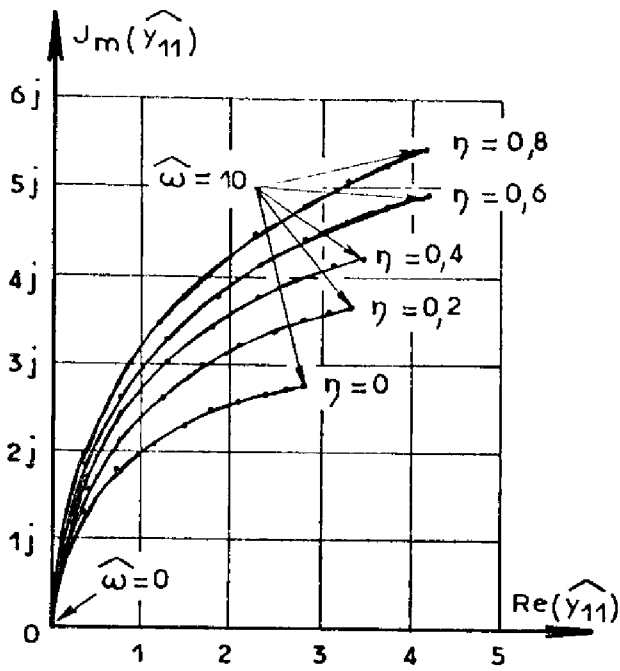


Figure III. 5 - Variations des paramètres normalisés \hat{y}_{ij}
 $\pi = 0,2 \eta$; $\lambda = 0,02 / \eta$
 $\hat{\omega}$ varie de 0. à 10. avec un pas unitaire

quantités $\frac{\pi}{\eta}$ et $\lambda \cdot \eta$, c'est-à-dire les rapports $(V'_G - V_R)/\psi$ et $(V'_G - V_D)/LE_0$ ou $(V'_G - V_P)/LE_c$ constants.

Enfin les réseaux relatifs au fonctionnement en régime pincé du transistor ont été calculés dans le cadre de l'hypothèse de saturation parfaite, conduisant à la valeur du paramètre η , et par suite du potentiel V_P , qui vérifie l'équation implicite :

$$A(\eta, \pi, \lambda) = \frac{\pi}{\lambda(\pi+1)} \quad (3-82)$$

Cette hypothèse revient à négliger les effets de modulation de la longueur "effective" du canal en régime saturé [37].

Afin de mettre en évidence les effets de réduction de mobilité, nous avons tout d'abord reporté sur la figure III. 4 les facteurs \hat{Y}_{ij} dans le cas de mobilité constante ; les résultats obtenus sont identiques à ceux proposés antérieurement par d'autres auteurs [58]. D'autre part, lorsque la mobilité est réduite sous l'action des coefficients λ et π (figure III. 5), on constate que l'amplitude des parties réelles et imaginaires est modifiée. En particulier, dans l'exemple traité, qui correspond à un transistor MOS, dans lequel la tension "effective" V_0 (o) reste inférieure au quart du produit de la longueur L par le champ critique E_0 , l'admittance de transfert directe Y_{21} est la plus affectée, surtout si le transistor est polarisé en régime de pincement. Cet effet, qui entraîne une dégradation notable du gain en puissance, montre que les théories classiques ne sont pas adaptées à l'analyse du comportement des transistors MOS, à canal court dans lesquels les porteurs peuvent atteindre la vitesse limite dans une fraction du canal.

0

0 0

L'analyse théorique qui vient d'être développée, a permis d'exprimer les facteurs de la matrice admittance intrinsèque $[Y_{ij}]$

du transistor M.O.S. lorsque les effets de la réduction de mobilité sous l'action des deux composantes du champ électrique sont pris en compte.

L'originalité du formalisme utilisé a permis de présenter les résultats sous forme normalisée par introduction de quatre variables réduites $\eta, \lambda, \pi, \hat{\omega}$ qui dépendent à la fois des conditions de polarisation - de grille V_G , de source V_R et de drain V_D - des dimensions géométriques - largeur Z , longueur L , épaisseur d'oxyde x_0 - des caractéristiques physiques - mobilité à champ faible μ_0 , champs critiques longitudinal E_0 et transversal E_c , charges parasites Q_{SS} et différence des travaux de sortie ϕ_{MS} - et de la pulsation des signaux d'excitation ω .

Dans les paragraphes qui vont suivre, nous l'utiliserons d'une part pour décrire les particularités de fonctionnement en hautes fréquences du transistor M.O.S. à canal vertical, et d'autre part pour concevoir des amplificateurs à large bande utilisant ce dispositif.

III. 3 - MODELE DYNAMIQUE DU V. MOS

Pour simuler le comportement réel du V. MOS, il est nécessaire de tenir compte, en plus des éléments "intrinsèques" liés à la partie active que nous avons étudiés au paragraphe précédent, des éléments parasites de la structure du composant.

Dans ce paragraphe nous établirons le schéma équivalent complet du transistor V. MOS. Nous comparerons les paramètres S_{ij} et Y_{ij} fournis par ce schéma à ceux déduits de la caractérisation expérimentale des structures. Enfin nous analyserons l'influence des conditions de polarisation continues sur les propriétés du gain en puissance.

III. 3. 1 - Quadripôle équivalent global

III. 3. 1. a - Prise en compte des éléments parasites

Compte tenu des éléments intrinsèques liés aux paramètres de la zone active du canal (admittances Y_{ij}) et des éléments parasites, le V. MOS peut être présenté sous la forme du schéma équivalent proposé sur la figure III. 6. Ces éléments parasites liés à la configuration géométrique de la structure sont :

L_G, L_D, L_S : les inductances d'accès à la grille, au drain et à la source.

C_{GS} : la capacité d'oxyde épais entre le plot de métallisation de grille et le substrat.

R_{GS} : la résistance du substrat sous cette métallisation.

C_{GR} : la capacité de recouvrement grille-source.

C_{GD} : la capacité de recouvrement grille-drain.

C_{DS} : la capacité de transition de la diode de drain (relation 2.67).

R_{DS} : la somme des résistances entre les contacts de drain et de substrat du matériau semiconducteur constituant le drain et le substrat.

Par rapport au schéma utilisé en commutation (figure II. 12), les principales différences résident dans la représentation par un quadripôle actif et dissipatif, de la région de canal et par le fait que l'on néglige les effets des résistances d'accès.

Par ailleurs, la résistance R_{out} ne doit être prise en compte qu'en régime de saturation : elle représente la résistance

de sortie du transistor MOS liée à l'effet électrostatique de la tension de drain [67]

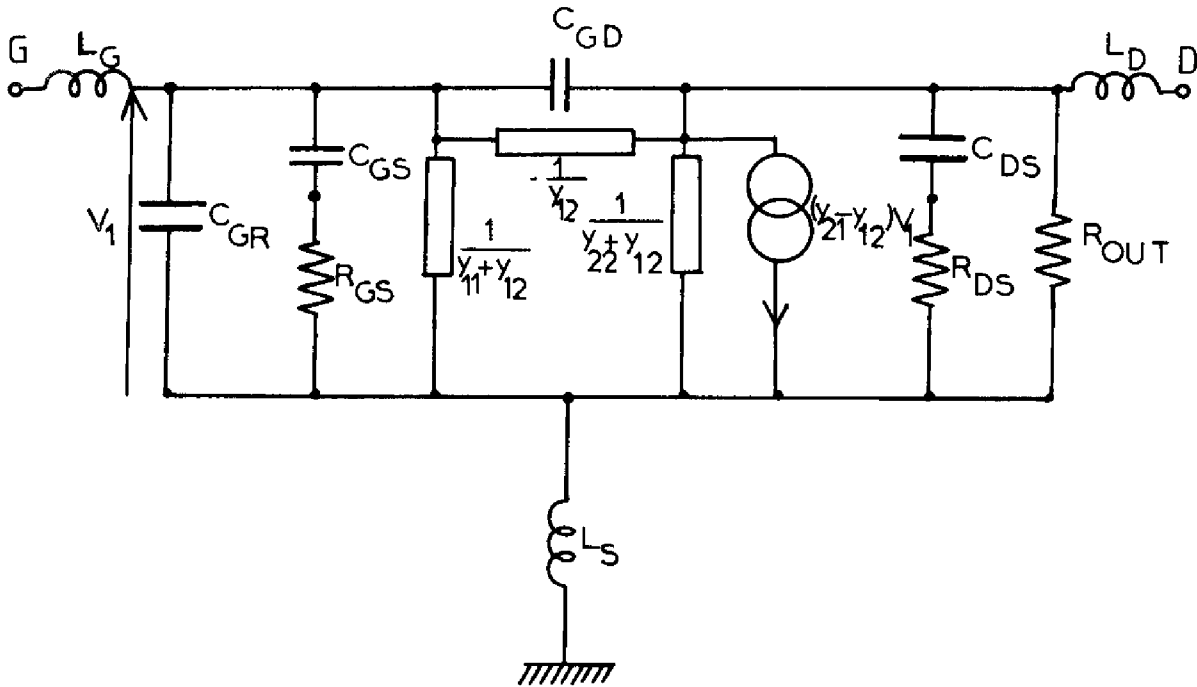


Figure III. 6 : Schéma équivalent du transistor V.MOS en régime de hautes fréquences

Tous les éléments capacitifs doivent être déterminés par les méthodes proposées au chapitre précédent. Les inductances L_G , L_S , L_D sont calculées par la relation 2.68. La résistance R_{GS} est évaluée par la méthode proposée par P. ROSSEL [33] qui consiste à caractériser l'admittance d'entrée du transistor à tension drain-source nulle.

Les résistances R_{DS} et R_{out} sont mesurées par la technique mise au point par M. CAMBOA [32] et qui est basée sur l'analyse des

propriétés fréquentielles de l'impédance de sortie entre le régime statique et la gamme U.H.F.. On notera que le seul paramètre qu'il est nécessaire de déterminer expérimentalement pour chaque valeur des conditions de polarisation est la résistance R_{out} .

III. 3. 1. b - Méthode de calcul des paramètres Y_{ij} ou S_{ij}

La connaissance de la topologie du quadripôle associé aux éléments parasites permet la détermination des facteurs Y_{ij} , S_{ij} du quadripôle global à l'aide d'un programme dont l'organigramme (figure III. 7) comprend deux parties :

- premièrement, le régime de fonctionnement du canal fixe, pour chaque valeur de la tension grille, la quantité η en régime de pincement, calculée à l'aide de l'équation implicite :

$$A(\eta, \pi, \lambda) = \frac{\pi}{\lambda(\pi+1)} \quad \text{par une méthode dichotomique.}$$

La détermination de η permet de calculer les quantités caractérisant le point de fonctionnement statique du V. MOS : $V_o(L)$, V_p , π , I_D à l'aide des relations 3-48 à 3-50 et de :

$$I_D = K \cdot \Psi \cdot V_o(o) \cdot A(\eta, \pi, \lambda) \quad (3-83)$$

avec :

$$K = \mu_o \cdot \frac{Z}{L} \cdot Cox \quad (3-84)$$

Avec les valeurs de la fréquence, les paramètres intrinsèques peuvent être déterminés par la méthode théorique des développements en série.

- Dans une seconde étape, par une méthode de transformation de matrice admittance en matrice impédance, nous superposons à l'action des paramètres "intrinsèques" l'effet des éléments parasites en introduisant successivement R_{GS} , C_{GS} , R_{DS} , C_{DS} , R_{out} puis C_{GD} et

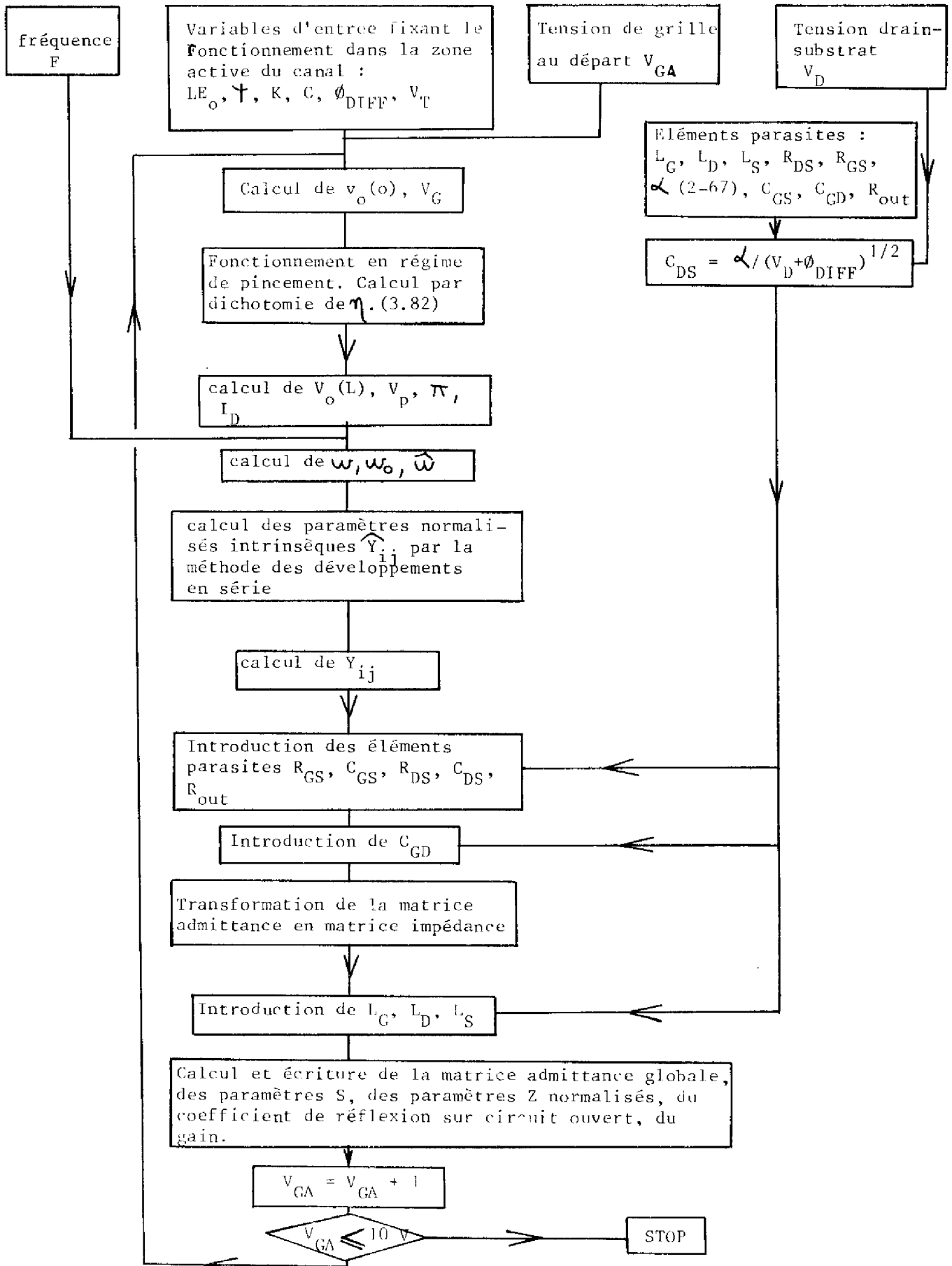


Figure III. 7 : Organigramme du fonctionnement en hautes fréquences du V.MOS

enfin les inductances d'accès L_S , L_G et L_D . Les matrices impédances globales $[Z_{ij}]$ et admittances globales $[Y_{ij}]$ peuvent être alors déterminées. La normalisation à une impédance de 50 ohms des paramètres admittances permet le passage aux paramètres S_{ij} à l'aide des relations suivantes :

$$S_{11} = \frac{(1 - Y'_{11})(1 + Y'_{22}) + Y'_{12} \cdot Y'_{21}}{(1 + Y'_{11})(1 + Y'_{22}) - Y'_{12} \cdot Y'_{21}} \quad (3-85)$$

$$S_{12} = \frac{-2 Y'_{12}}{(1 + Y'_{11})(1 + Y'_{22}) - Y'_{12} \cdot Y'_{21}} \quad (3-86)$$

$$S_{21} = \frac{-2 Y'_{21}}{(1 + Y'_{11})(1 + Y'_{22}) - Y'_{12} \cdot Y'_{21}} \quad (3-87)$$

$$S_{22} = \frac{(1 + Y'_{11})(1 - Y'_{22}) + Y'_{21} \cdot Y'_{12}}{(1 + Y'_{11})(1 + Y'_{22}) - Y'_{12} \cdot Y'_{21}} \quad (3-88)$$

avec :

$$Y'_{ij} = Y_{ij} \times 50 \quad (3-89)$$

De la même façon, le calcul des impédances normalisées $[Z'_{ij}]$ conduit aux valeurs des différents coefficients de réflexion sur circuit ouvert à l'aide de la relation :

$$\Gamma_{ij} = \frac{Z'_{ij} - 1}{Z'_{ij} + 1} \quad (3-90)$$

Pour être complet, le gain en puissance maximal unilatéralisé défini par l'expression :

$$MUG = \frac{|Y_{21} - Y_{12}|^2}{4 \operatorname{Re}(Y_{11} + Y_{12}) \cdot \operatorname{Re}(Y_{22} + Y_{12})} \quad (3-91)$$

est également déterminé.

L'organigramme de calcul des paramètres Y_{ij} , S_{ij} et MUG est représenté sur la figure III. 7. Le "listing" correspondant est reporté dans l'annexe III.

Les variables d'entrée sont respectivement :

- les paramètres qui fixent le fonctionnement dans la zone active du canal :

$$LE_0, \quad T = x_0 E_c, \quad K, \quad C = Z.L. Cox, \quad V_T.$$

- les valeurs des tensions de polarisation continues V_G , V_D et de la fréquence F

- les valeurs des éléments parasites :

$$L_G, \quad L_D, \quad L_S, \quad R_{DS}, \quad R_{GS}, \quad C_{GS}, \quad C_{GD}, \quad R_{out},$$

ou des quantités ϕ_{DIFF} , α , permettant de les évaluer.

Le modèle proposé est ainsi étroitement corrélé aux caractéristiques géométriques et technologiques de la structure. Il permet de considérer l'influence relative de chaque élément parasite ou des paramètres "intrinsèques" sur les propriétés en hautes fréquences du transistor V.MOS.

III. 3. 2 - Les paramètres Y_{ij} et S_{ij}

Dans ce paragraphe, les résultats théoriques fournis par l'analyse numérique précédente sont comparés à ceux de l'étude expérimentale. Cette comparaison porte sur les parties réelles et imaginaires des paramètres Y_{ij} et S_{ij} en régime saturé .

Les structures de test de type silicium VMP sont caractérisées par les paramètres "intrinsèques" ou "parasites" [68]

Le tableau 2 représente les méthodes de détermination et les valeurs de ces derniers.

III. 3. 2. a - Définition des régimes dits de "Faible" et "Fort" niveau

Dans le chapitre précédent, nous nous sommes déjà penchés sur une propriété importante des transistors à canal court à savoir la linéarité de la caractéristique $I_D(V_G)$ en régime de saturation. Nous avons montré que ce phénomène est associé à l'influence de la réduction de mobilité due à la fois aux champs électriques transversal et longitudinal. Ce résultat se retrouve dans l'analyse dynamique que nous proposons où l'expression de la mobilité (3.3) tient compte de la réduction précédente. En particulier, à la fréquence nulle, le programme numérique permet de calculer les variations du courant drain et de la transconductance g_m en fonction de la différence de tensions $V_G - V_T$ (figure III.8). Le fonctionnement du transistor en régime de saturation peut ainsi être divisé en deux modes selon que l'on se trouve sur la partie croissante ou sur le palier de saturation de la caractéristique $g_m(V_G)$ où g_m est déterminée par la limite en basses fréquences de la partie réelle du facteur admittance globale Y_{21} .

Dans la suite, nous qualifierons chacun de ces deux modes de polarisation de "faible" et "fort" niveau pour décrire les évolutions des paramètres Y_{ij} , S_{ij} ou G . La limite entre ces deux modes sera caractérisée par une valeur particulière de cette tension de grille correspondant à un courant de drain que nous appellerons I_{DL} .

III. 3. 2. b - Les paramètres Y_{ij} et S_{ij}

Les paramètres Y_{ij} et S_{ij} ont été mesurés à "faible" et "fort" niveau, pour différentes fréquences de la gamme 5 MHz - 400 MHz, au moyen de deux analyseurs de réseau Hewlett Packard (de type 8503A pour la bande 5 MHz - 100 MHz et de type 8745A pour la bande 100 MHz - 400 MHz).

PARAMETRES	METHODE DE DETERMINATION	VALEUR
$M_b \cdot \frac{Z}{L} \cdot Cox$	mesure de la conductance de sortie à Faible niveau	$0,20 \text{ A/V}^2$
Z.L. Cox	mesure de la capacité d'entrée ou de la profondeur L	$30\text{pF} < Z.L. Cox < 40\text{pF}$
LE_0	méthode statique	5 V
γ	mesure de la conductance de sortie à Faible niveau	10 V
V_T	mesure du courant en régime ohmique	1,1 V
C_{GD}	étude de $\frac{\mathcal{Y}_{m}(Y_{11})}{\omega} = f((V_D + \phi_{DIFF})^{-1/2})$ en régime bloqué [43]	$5\text{pF} < C_{GD} < 6\text{pF}$
C_{DS}	étude de $\frac{\mathcal{Y}_{m}(Y_{22})}{\omega} = f((V_D + \phi_{DIFF})^{-1/2})$ en régime bloqué [43]	$105 \text{ pF} < C_{DS} < 115 \text{ pF}$
R_{GS}, R_{DS}, C_{GS}	étude de $\mathcal{R}_e(Y_{11})$ pour $V_D=0$ [33], de Y_{22} [32] et $\mathcal{Y}_{m}(Y_{11})$	$R_{DS} = 2 \Omega, C_{GS} = 4\text{pF}$ $R_{GS} = 7 \Omega$
L_S, L_G, L_D	calculées à l'aide de la relation 2-68	$L_C = L_S = 2 \text{ nH}; L_D \approx 0$
R_{out}	étude de Y_{22} [32]	$R_{out} = 350 \Omega$
C_{GR}	étude de $\frac{\mathcal{Y}_{m}(Y_{12})}{\omega}$ avec source et drain inverses	$C_{GR} = 4\text{pF}$ (a été négligée)

TABEAU 2 : Méthodes de détermination et valeurs des paramètres (VMP)

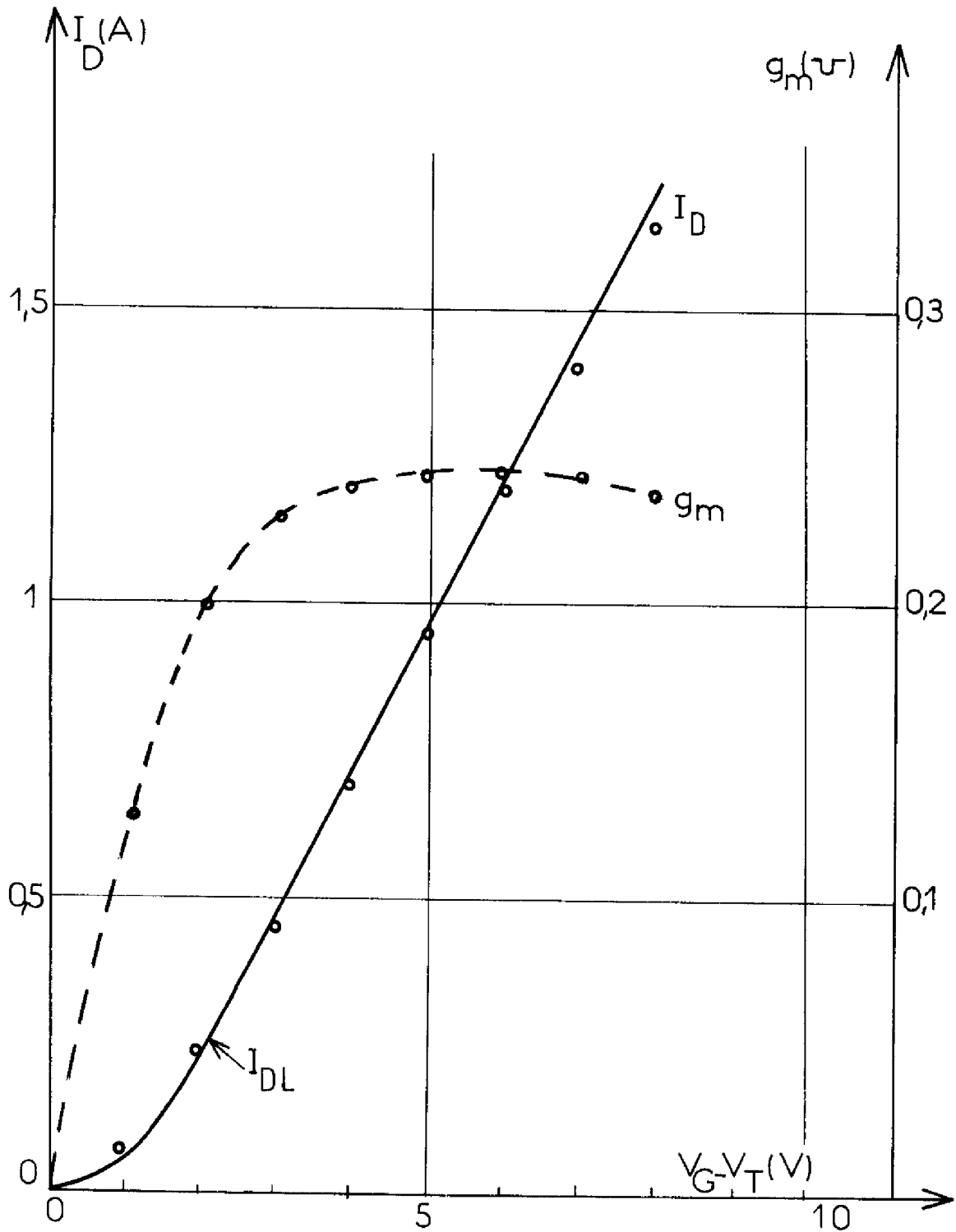


Figure III. 8 : variations du courant drain I_D et de la transconductance g_m en Fonction de la tension grille V_G pour $V_D = 25$ volts.

— valeurs expérimentales
o points théoriques

La figure III. 9 représente l'évolution des facteurs Y_{11} , Y_{22} et Y_{21} en fonction de la fréquence : il y apparaît la possibilité d'existence de parties réelles d'admittance négatives. Le programme de simulation a permis de montrer que cette existence doit être recherchée dans des phénomènes de mise en résonance des circuits inductance - capacité d'entrée ou de sortie, associés à un effet de contre-réaction interne par l'intermédiaire de l'impédance du circuit de source.

Bien que l'on observe des écarts significatifs entre les paramètres mesurés et ceux déduits de l'étude théorique, on a pu vérifier que lorsque la tension de polarisation de grille augmente, les variations théoriques et expérimentales des paramètres Y_{ij} évoluent dans le même sens et, en particulier, lorsque le point de fonctionnement se situe dans la partie linéaire de la caractéristique $I_D(V_G)$, c'est-à-dire que l'on se trouve en "fort" niveau, les différents paramètres ne varient plus avec V_G .

Sur les figures III. 10 et III. 11, les paramètres de la matrice d'onde S_{ij} mesurés et les paramètres calculés à faible et fort niveau de la tension de grille peuvent être comparés. Dans la gamme de fréquences 50 MHz - 400 MHz, on observe une bonne concordance théorie - expérience. Comme dans le cas précédent, les paramètres S_{ij} deviennent indépendants de la valeur de la tension de grille lorsque le courant est supérieur à la valeur I_{DL} . Pour la gamme inférieure de fréquences, 5 MHz - 50 MHz, la précision de la simulation est essentiellement liée à la prise en compte de la valeur exacte de la résistance R_{out} . En particulier, la figure III. 11 montre l'erreur que l'on peut commettre sur le paramètre S_{22} lorsqu'on néglige cette résistance : cette erreur diminue avec la fréquence et devient négligeable à partir de 50 MHz.

En conséquence, en régime V.H.F. ($F > 30$ MHz), le schéma équivalent du V.MOS peut être simplifié et, la résistance de saturation R_{out} qui est en parallèle sur les éléments R_{DS} et C_{DS} , peut être négligée.

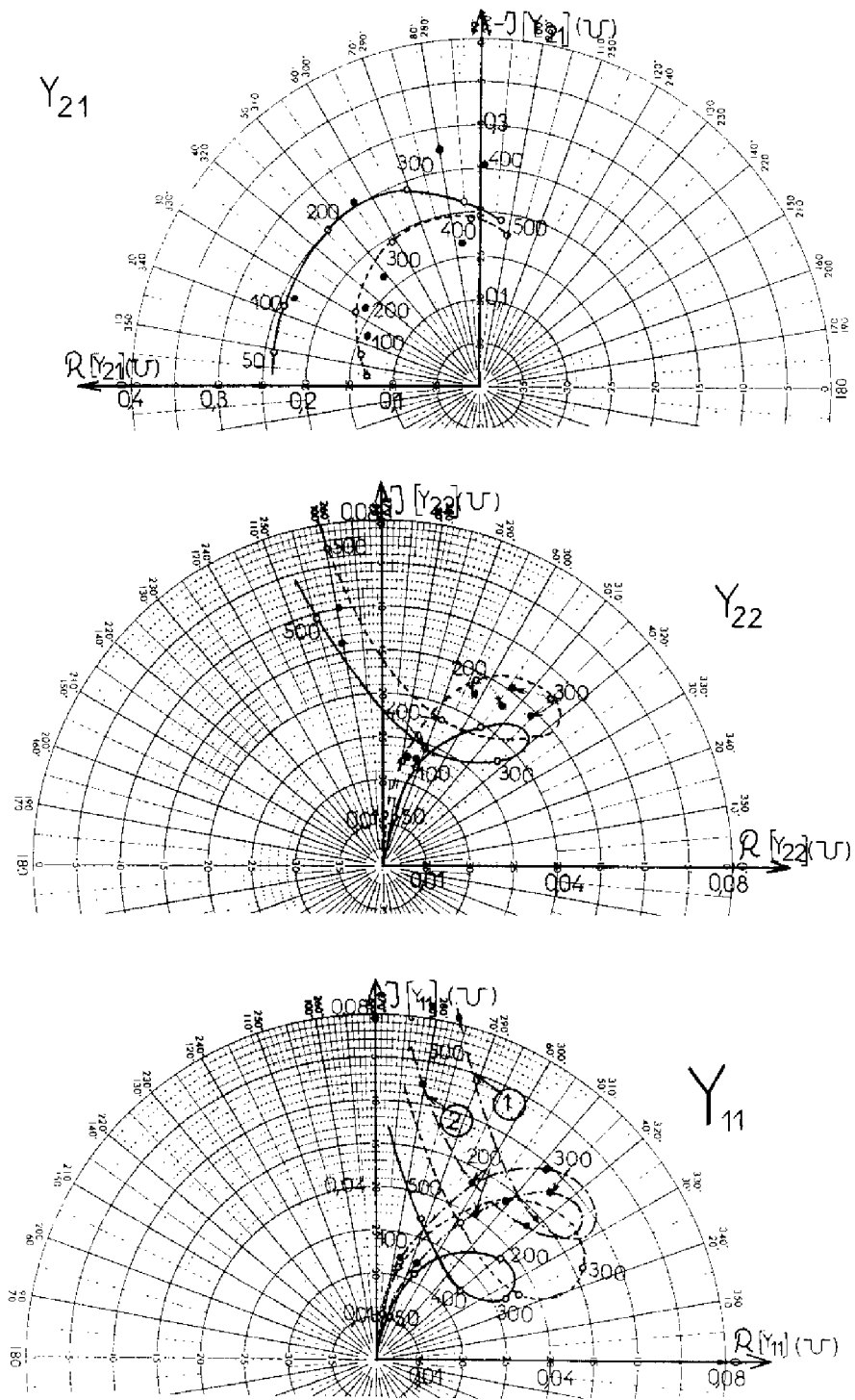


Figure III. 9 : variations expérimentales et théoriques des paramètres Y_{11} , Y_{22} , Y_{21} en fonction de la Fréquence pour $V_D = 10$ Volts.

- valeurs théoriques à "Fort" niveau $I_D > I_{DL}$
- valeurs théoriques à "Faible" niveau $I_D = 100 \text{ mA}$
- points expérimentaux ① à "Faible" niveau
② à "Fort" niveau

T

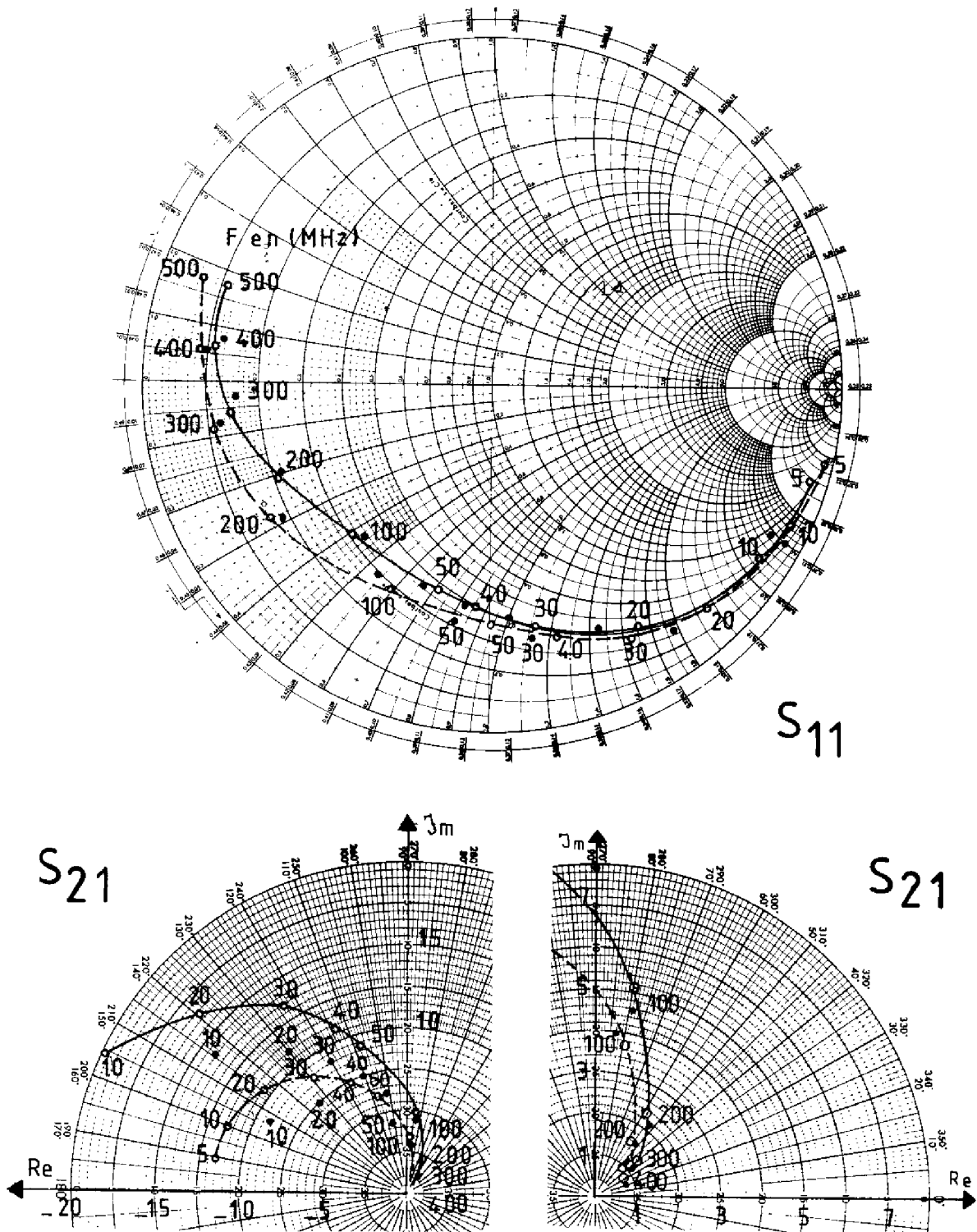


Figure III, 10 : Variations théoriques et expérimentales des paramètres S_{11} et S_{21} en fonction de la Fréquence pour $V_D = 10$ Volts

- : valeurs théoriques à "Fort" niveau : $I_D > I_{DL}$
- : valeurs théoriques à "Faible" niveau : $I_D = 100$ mA
- : points expérimentaux

T

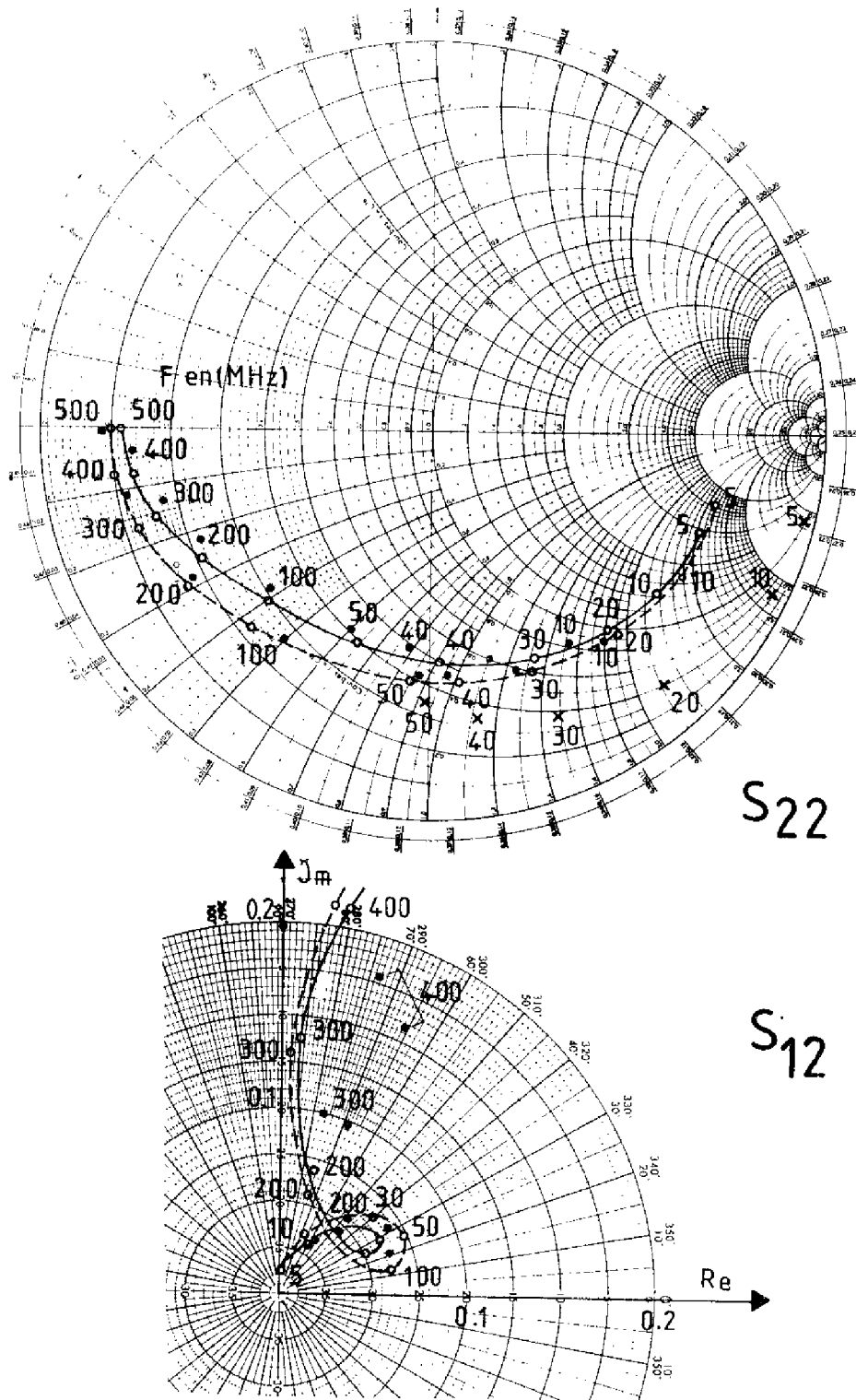


Figure III. 11 : Variations théoriques et expérimentales des paramètres S_{22} et S_{12} en Fonction de la Fréquence pour $V_D = 10$ Volts,

- : valeurs théoriques à "Fort" niveau : $I_D > I_{DL}$ avec $R_{out} = 350 \Omega$
- - -○- - : valeurs théoriques à "Faible" niveau : $I_D = 100\text{mA}$ avec $R_{out} = 350 \Omega$
- x : valeurs théoriques négligeant les effets de la résistance de saturation $R_{out} = \infty$
- : points expérimentaux

III. 3. 3 - Le gain en puissance

Un des critères importants de fonctionnement d'un composant en tant que dispositif d'amplification, est le gain en puissance unilatéralisé. Il est défini comme étant le gain en puissance du quadripôle constitué par la mise en parallèle du transistor et d'un quadripôle passif tel que d'une part, le quadripôle équivalent à l'ensemble ait un terme de réaction interne nul et que d'autre part, il y ait adaptation d'impédance entre la sortie du quadripôle équivalent et la charge. L'expression correspondante de ce gain (3-91) ne fait intervenir que les admittances Y_{ij} de l'élément actif, et sa valeur est déduite des valeurs théoriques et expérimentales de ces admittances.

La figure III. 12 représente les variations de ce gain en fonction de la fréquence en régime de "faible" et "fort" niveaux. Compte tenu des propriétés de l'impédance associée à la diode de drain, les courbes de gain relevées expérimentalement et calculées théoriquement, décroissent comme la puissance quatrième de la fréquence, propriété identique à celle des transistors à canal long.

En effet, et en première approximation, la relation 3-91 conduit en très hautes fréquences ($F > 30$ MHz) à :

$$MUG \simeq \frac{|Y_{21}|^2}{4 \operatorname{Re}(Y_{11}) \cdot R_{DS} \cdot C_{DS}^2 \cdot \omega^2} \quad (3-92)$$

Dans cette expression, tous les termes de réaction interne et l'effet des inductances sont négligés. Comme au premier ordre, $|Y_{21}|$ est indépendant de la fréquence et $\operatorname{Re}(Y_{11})$ est proportionnel au carré de la fréquence, le gain décroît comme la puissance quatrième de la fréquence.

Par ailleurs, en très hautes fréquences, pour une fréquence fixée et à courant de drain imposé, le seul élément qui dépend de la

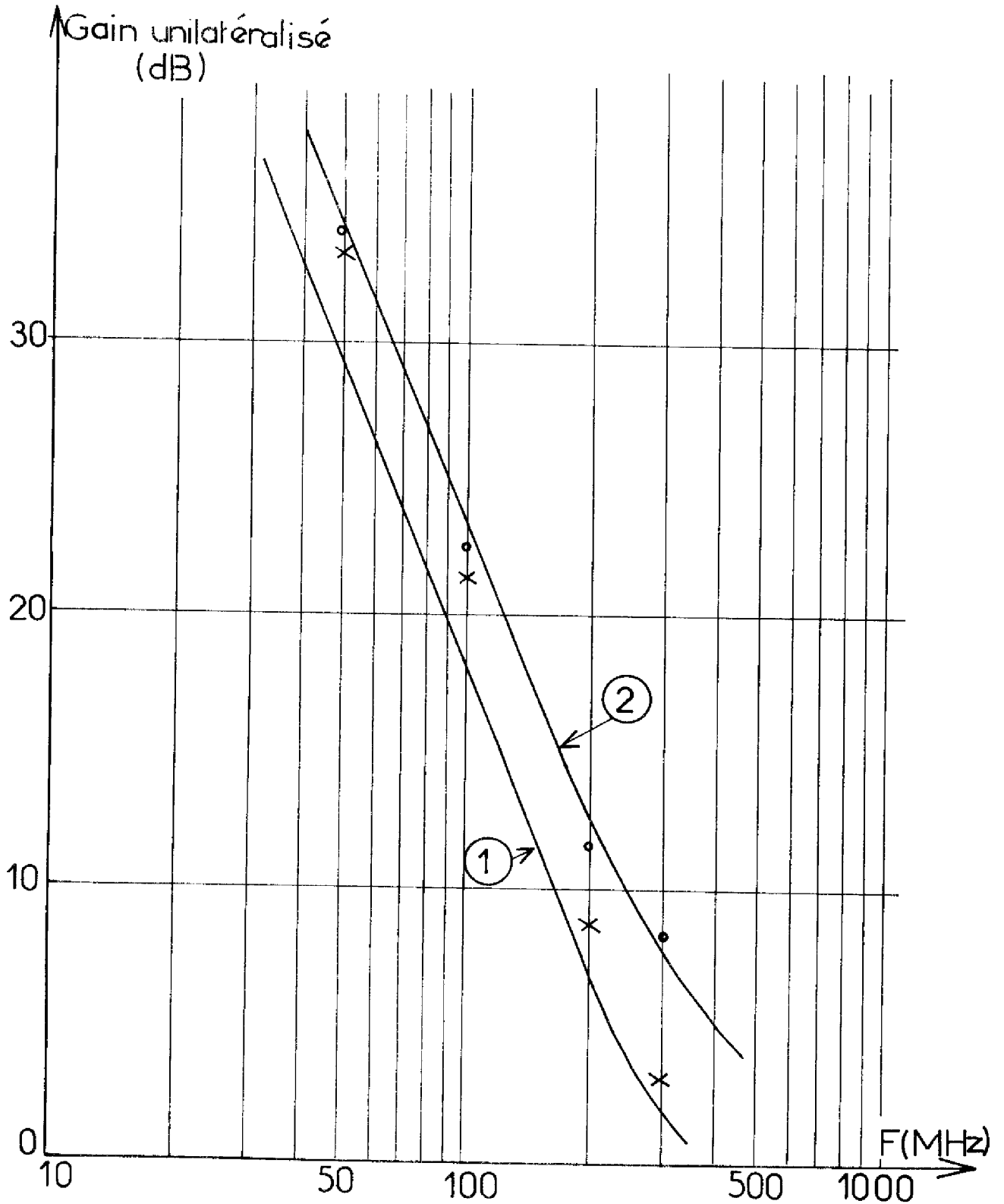


Figure III. 12 : Variations théoriques et expérimentales du gain unilatéralisé en fonction de la fréquence pour $V_D = 10$ Volts

- o : valeurs théoriques à "fort" niveau : $I_D > I_{DL}$
- x : valeurs théoriques à "faible" niveau : $I_D = 100$ mA
- ① et ② : courbes expérimentales à "faible" et à "fort" niveau.

tension de drain, est la capacité de transition C_{DS} . Compte tenu de sa loi de dépendance (relation 2-67), le gain en puissance varie linéairement avec la tension de drain V_D (figure III. 13).

Enfin, toujours à fréquence fixe, le mode d'évolution du gain en puissance en fonction du courant de drain est représenté sur la figure III. 14. Celui-ci en est une fonction croissante, liée à la fois à une diminution de $Re(Y_{11})$ et à une augmentation de $|Y_{21}|$, pour les valeurs de courant inférieures à I_{DL} ; il est constant dans le cas contraire. Cette propriété est la conséquence de la non dépendance des paramètres Y_{ij} vis à vis de la tension de grille en régime de "fort" niveau.

Dans ces deux dernières courbes, il faut noter en toute rigueur, que le gain en puissance considéré est le gain en puissance maximal (MAC) relevé sur une maquette d'amplificateur, représenté sur les figures III. 15 et III. 16.

III. 4. PREMIERE APPLICATION DU MODELE DYNAMIQUE : SIMULATION D'UN AMPLIFICATEUR LARGE BANDE

Grâce d'une part à la linéarité de sa caractéristique statique de transfert et d'autre part à l'indépendance des paramètres dynamiques de la tension de grille, le V.MOS est particulièrement indiqué pour la réalisation d'amplificateurs linéaires. Ainsi nous pouvons le trouver dans des montages amplificateurs en basses fréquences car il présente une transconductance constante et donc une faible distorsion dans une large gamme de fréquences [69]. Par ailleurs, dans le domaine de l'amplification linéaire dans la gamme des radio-fréquences, son gain élevé et sa capacité à supporter n'importe quel taux d'ondes stationnaires rendent son utilisation plus simple que celle des transistors bipolaires.

Dans ce paragraphe et en tant qu'application des résultats théoriques précédents, nous nous proposons de réaliser et de caractériser un amplificateur à large bande, classe A, représenté et

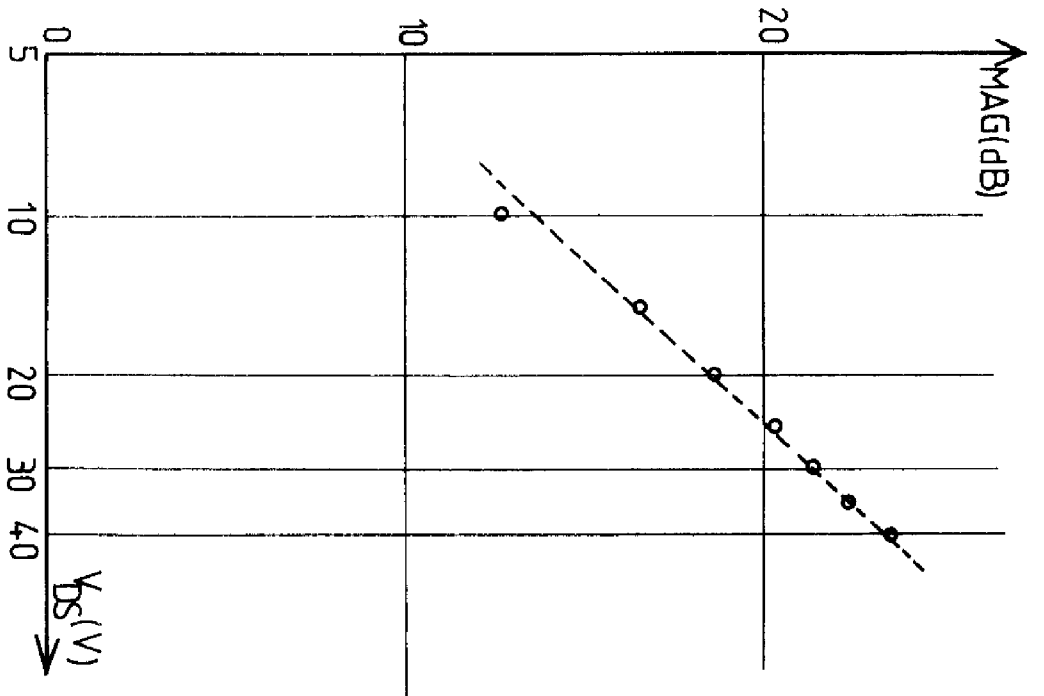


Figure III. 13 : variations expérimentales du gain en puissance maximal en fonction de la tension de drain

$I_D = 400 \text{ mA} > I_{DL}$; $F = 175 \text{ MHz}$
 $P_{IN} = 16 \text{ mW}$

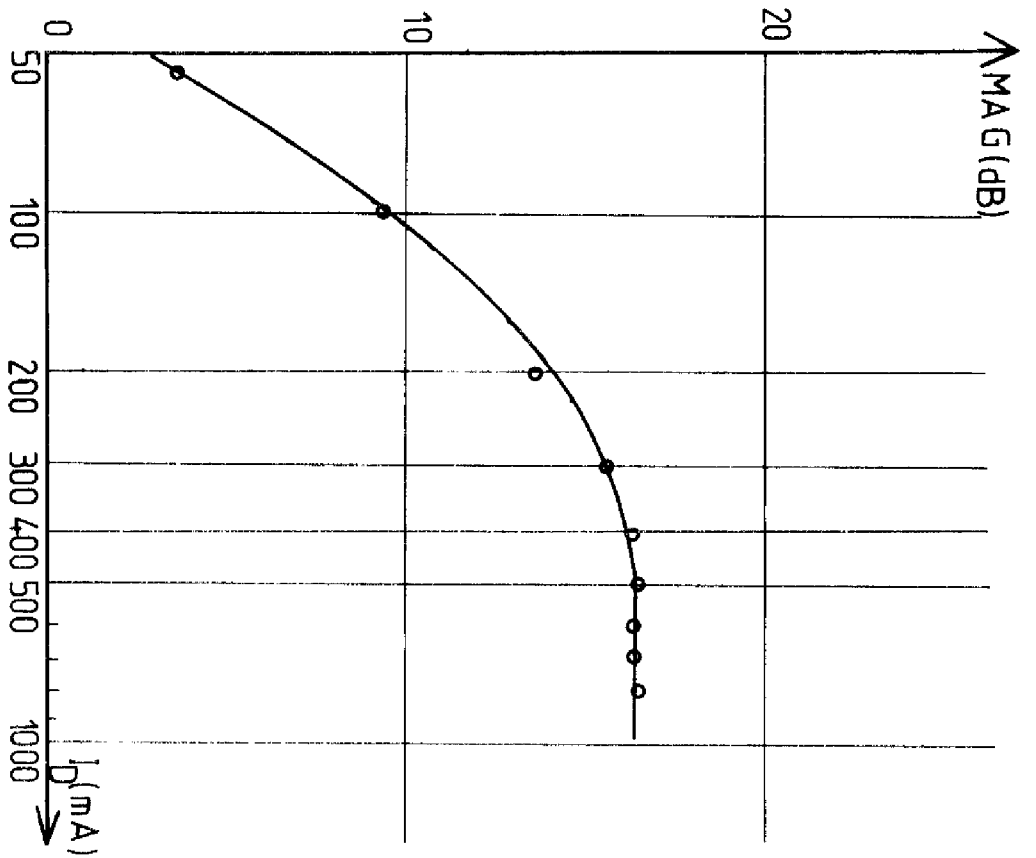


Figure III. 14 : Variations expérimentales du gain en puissance maximal en fonction du courant de drain.

$V_D = 15 \text{ V}$; $F = 175 \text{ MHz}$
 $P_{IN} = 10 \text{ mW}$

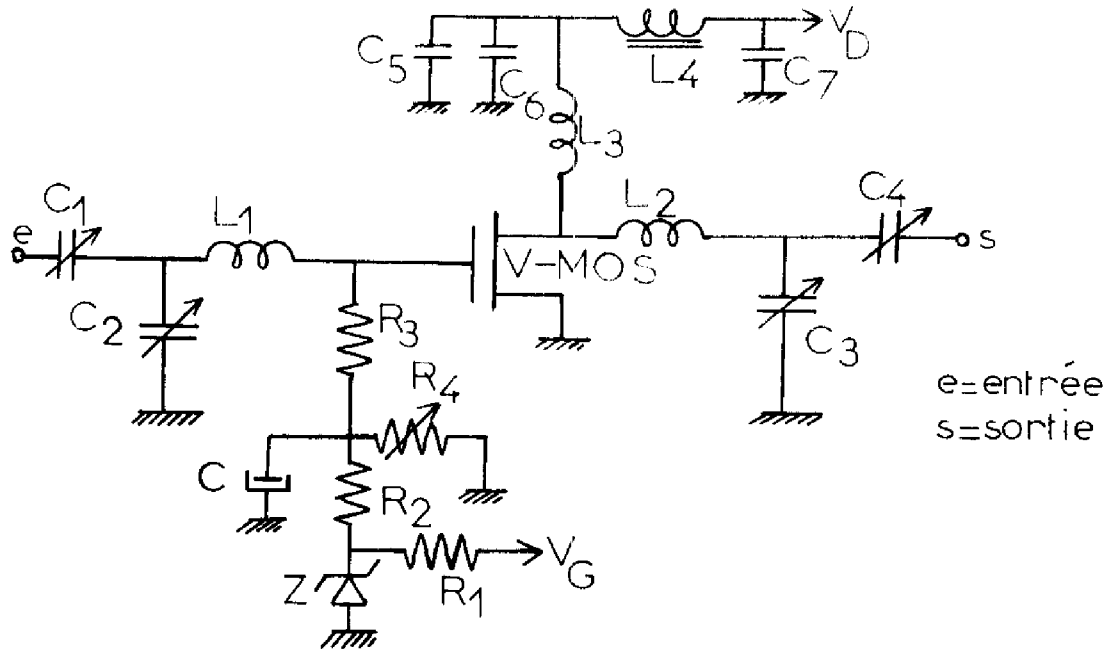


FIGURE III. 15 SCHEMA DE L'AMPLIFICATEUR DE PUISSANCE A V-MOS

C1 : Arco 423	C5 : 1000 pF	L1 : 7 Tours Ø 3 mm	R1 : 1 KΩ
C2 : Arco 423	C6 : 10 nF	L2 : 6 Tours Ø 3 mm	R2 : 2,2 KΩ
C3 : Arco 405	C7 : 4,7 nF	L3 : 10 Tours Ø 8 mm	R3 : 1 KΩ
C4 : Arco 423	C : 4,7 MF	L4 : VK 200	R4 : Ajustable 5 KΩ
		Z : Diode Zener 10 V	

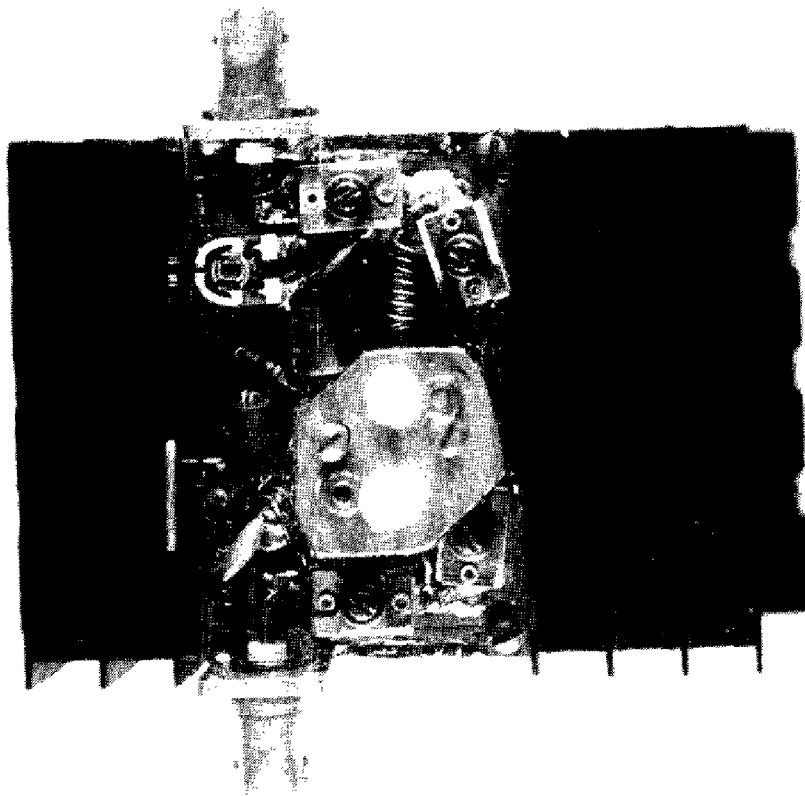


FIGURE III. 16 : Photographie de l'amplificateur réalisé

photographié respectivement sur les figures III. 17 et III. 18. Cet amplificateur, dont le schéma de principe a été proposé par Ed OXNER [70], présente un gain de l'ordre de 14 dB dans la gamme 2 MHz - 150 MHz. Nous montrerons que le modèle dynamique en régime de petits signaux et le modèle larges signaux légèrement modifié, établi avec le programme IMAG III, permettent respectivement d'étudier les problèmes d'adaptation d'impédance et de définir le point de compression de la puissance de sortie. La caractéristique gain de l'amplificateur en fonction de la fréquence pourra être simulée par les deux modèles.

III. 4. 1 - Etude de l'amplificateur en régime de petits signaux :
Gain, Bande passante et Taux d'ondes stationnaires

Le modèle théorique du transistor V. MOS en régime de petits signaux, présenté dans les paragraphes précédents, peut permettre de déterminer les paramètres tels que le gain, la bande passante et le taux d'ondes stationnaires de l'amplificateur représenté sur la figure III. 17, sans passer par un programme de simulation de circuit. Il peut servir en outre à mettre en évidence le rôle du circuit de contre-réaction entrée-sortie et du transformateur d'entrée en analysant les modifications introduites successivement sur les paramètres S_{22} et S_{11} . Dans les paragraphes qui vont suivre, nous effectuerons une étude théorique d'une part des transformations d'impédance introduites par les circuits extérieurs au V.MOS, ceci permettra de préciser les valeurs théoriques des coefficients de réflexion de l'amplificateur, et d'autre part du gain en puissance et de la bande passante. Dans cette étude théorique, le programme de simulation des paramètres Y_{ij} ou S_{ij} du V.MOS sera utilisé et modifié pour inclure l'effet des circuits extérieurs. Par ailleurs, nous vérifierons expérimentalement les résultats de cette analyse théorique en effectuant respectivement les mesures des coefficients de réflexion, du gain en puissance et de la bande passante.

Dans cette étude, le transistor utilisé est monté en boîtier tourelle dont les propriétés sont d'une part d'isoler électriquement

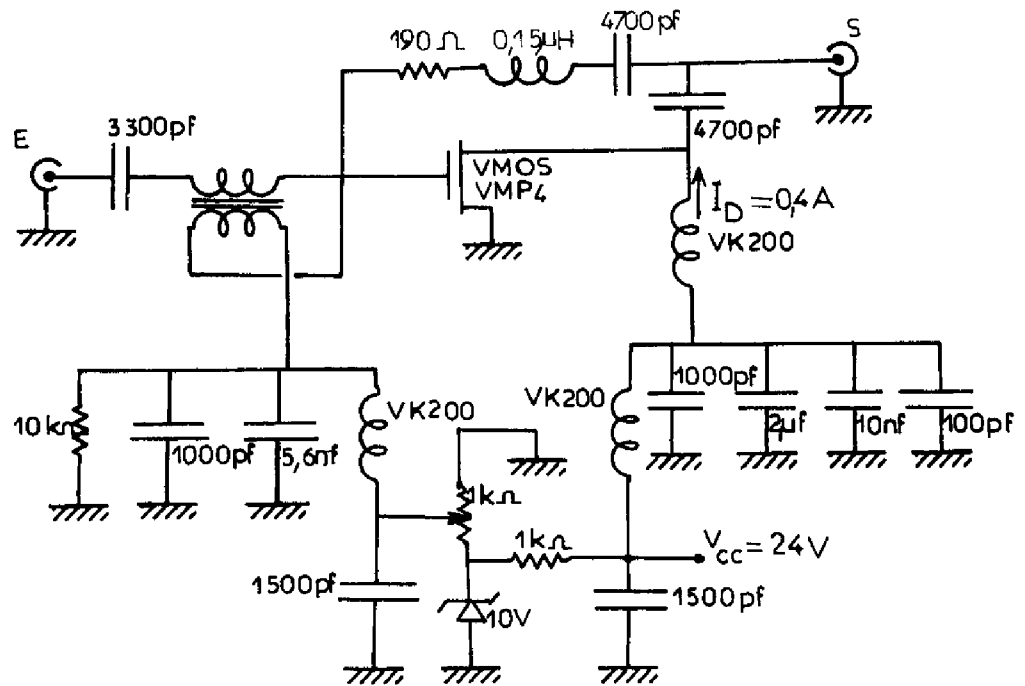


Figure III. 17 : Schéma électrique de l'amplificateur large bande

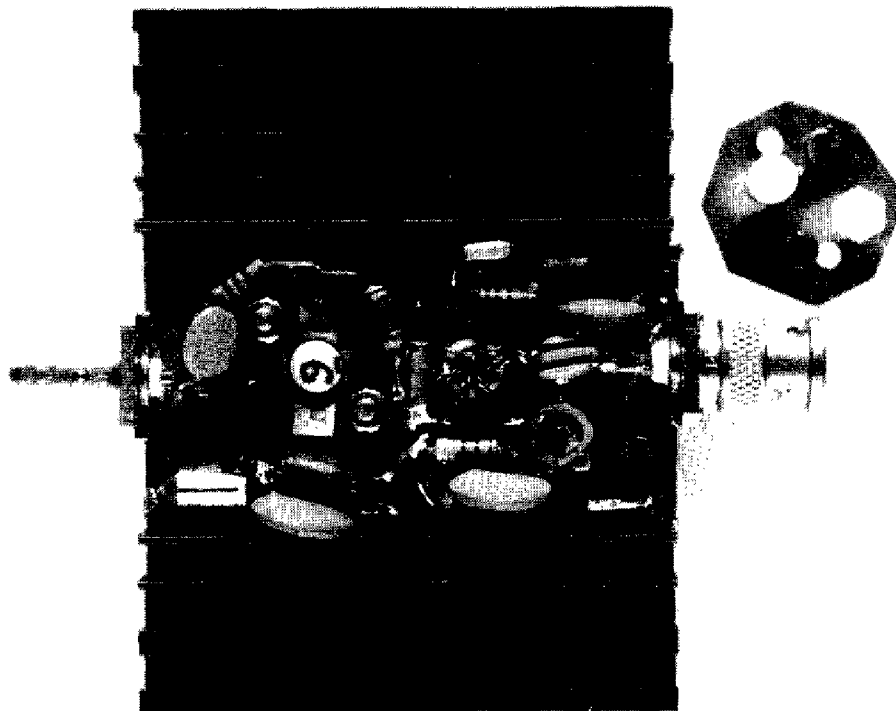


Figure III. 18 : photographie de l'amplificateur large bande
2 MHz - 150 MHz, gain = 14 dB.

les électrodes du système de refroidissement et d'autre part, de présenter des inductances parasites très réduites. Il est polarisé en régime continu par une tension de drain de 24 volts, et le courant continu qui le traverse, est réglé à 400 mA au moyen de la polarisation continue de grille.

III. 4. 1. a - Rôle du circuit de contre-réaction

Le transistor V.MOS (figure III.17) est contre-réactionné par une résistance et une inductance montées en série dont le rôle qualitatif est de rapprocher de 50Ω les impédances d'entrée et de sortie. Les effets de cette contre-réaction sont pris en compte en additionnant à la matrice admittance globale une "matrice de contre réaction" dont les coefficients sont :

$$Y_{11c} = Y_{22c} = Y_c \quad (3-93)$$

$$Y_{12c} = Y_{21c} = -Y_c \quad (3-94)$$

avec :

$$Y_c = \frac{1}{R + jL\omega} \quad (3-95)$$

où R et L représentent la résistance et l'inductance en série.

Rappelons qu'un fonctionnement correct d'un amplificateur vis à vis du transfert optimal de puissance nécessite la recherche de la meilleure adaptation d'impédance côté entrée (générateur) et côté sortie (charge) ; il en résulte que le coefficient de réflexion, représenté sur l'abaque de Smith par la longueur du vecteur reliant les points des courbes S_{11} et S_{22} au centre du diagramme, doit être le plus petit possible quelle que soit la valeur de la fréquence.

Sur les figures III. 19 et III. 20 sont reportés les paramètres S_{11}^* , Z_{11} et S_{22}^* , Z_{22} du transistor contre-réactionné.

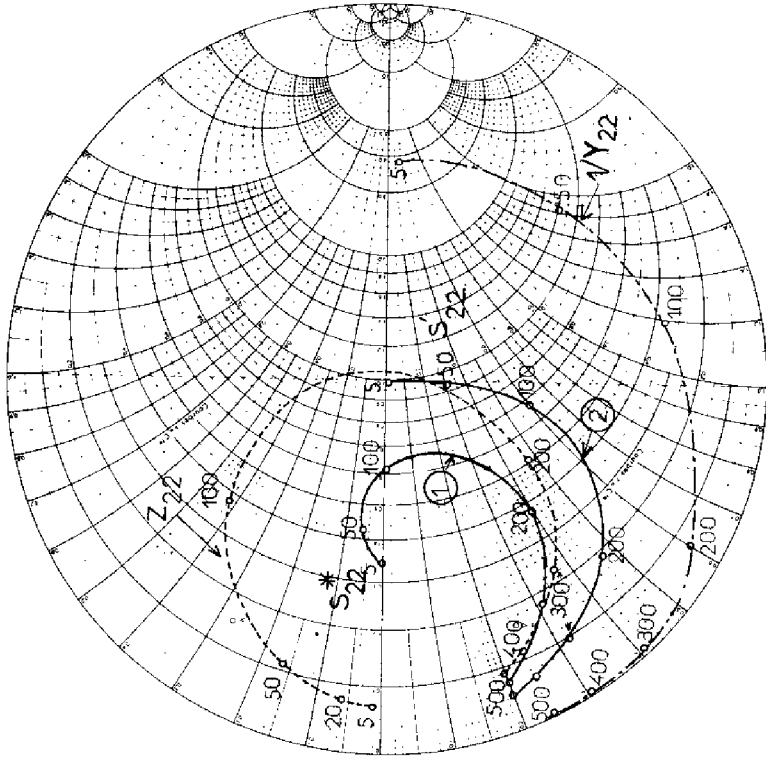


Figure III. 20 : Variations théoriques du paramètre S_{22} en fonction de la fréquence.

courbe 1 : S_{22}^* sans auto-transformateur à l'entrée et avec circuit de contre-réaction.

courbe 2 : S_{22} avec auto-transformateur à l'entrée et circuit de contre-réaction

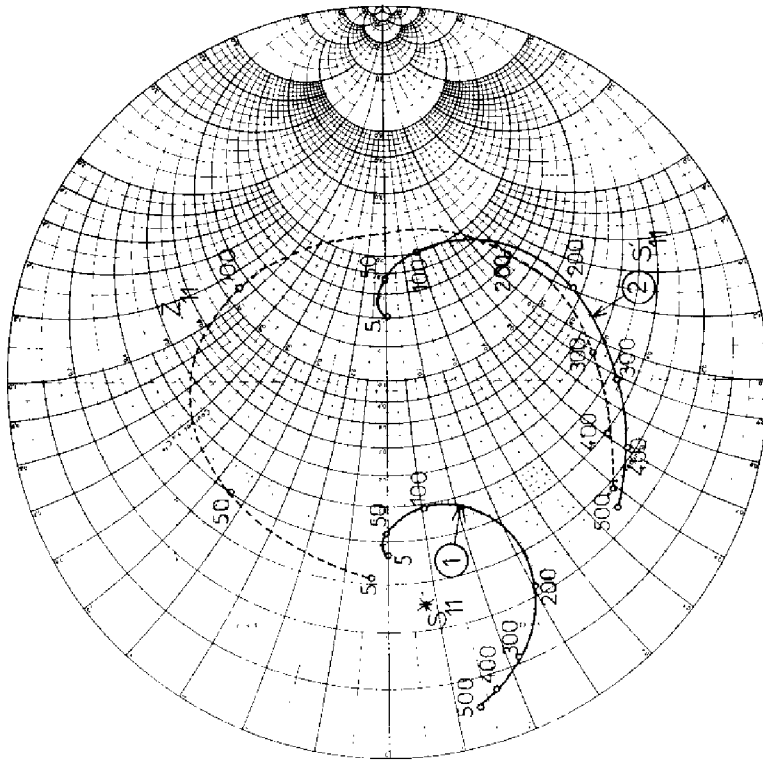


Figure III. 19 : Variations théoriques du paramètre S_{11} en fonction de la fréquence

courbe 1 : S_{11}^* sans auto-transformateur à l'entrée et avec circuit de contre-réaction.

courbe 2 : S_{11} avec auto-transformateur à l'entrée et circuit de contre-réaction.

Ces paramètres ont été calculés par transformation de la matrice admittance complète (V.MOS + réseau de contre-réaction). Nous vérifions que le rôle principal du circuit de contre-réaction est de ramener les paramètres S_{11}^* et S_{22}^* vers le centre de l'abaque (courbes 1 des figures III. 19 et III. 20), sans que toutefois l'adaptation à 50Ω devienne parfaite. En particulier, la courbe 1 de la figure III. 19 nous montre qu'il existe un très mauvais taux d'ondes stationnaires du côté entrée. Il est alors indispensable d'utiliser un auto-transformateur d'impédance pour ramener le paramètre S_{11} le plus près possible du centre de l'abaque. Dans le cas présent, on utilise un auto-transformateur large bande de rapport 2 en tension, choix qui est pratiquement imposé par les conditions de réalisation [71].

III. 4. 1. b - Détermination des coefficients de réflexion
 (S'_{ij})

La courbe 2 de la figure III. 19 nous montre le rôle d'un auto-transformateur de rapport 2 en tension. Le paramètre S'_{11} est obtenu théoriquement en multipliant par 4 les parties réelles et imaginaires de l'impédance réduite associée sur l'abaque de Smith au paramètre S_{11}^* vue de l'entrée, sachant que la sortie reste chargée par 50Ω .

Par ailleurs, le coefficient S'_{22} dépend de la présence de cet auto-transformateur, car l'impédance du générateur vue par l'entrée du transistor n'est plus 50Ω mais $12,5 \Omega$. La nouvelle expression du coefficient de réflexion côté sortie est :

$$S'_{22} = S_{22}^* - \frac{S_{12}^* S_{21}^* \Gamma_S}{1 - S_{11}^* \Gamma_S} \quad (3-96)$$

où

S_{ij}^* représente les paramètres de la matrice d'onde associés au transistor V.MOS contre-réactionné.

$$\Gamma_s = \frac{Z_s - Z_o}{Z_s + Z_o} \quad (3-97)$$

Γ_s étant le coefficient de réflexion de la source avec ici :
 $Z_s = 12,5 \Omega$.

La courbe 2 de la figure III. 20 représente les valeurs S'_{22} du coefficient de réflexion de sortie calculées par la relation 3-96. L'effet de l'auto-transformateur est de parfaire l'adaptation d'impédance à la fois à l'entrée et à la sortie.

Expérimentalement, les modules des paramètres S_{11} ou S_{22} de l'ensemble constitué par le V.MOS, le circuit de contre-réaction et l'auto-transformateur, ont été mesurés au moyen d'un système de réflectométrie dont le schéma de principe est montré sur la figure III. 21 : il comprend un générateur H.F. d'impédance interne 50Ω , un coupleur monté en réflectomètre, l'amplificateur à V.MOS chargé par une résistance de 50Ω . Le principe de détermination des coefficients de réflexion $|S_{11}|$ et $|S_{22}|$ consiste à mesurer le rapport des tensions V''_2 et V'_2 qui sont respectivement obtenues sur la voie de réflexion du coupleur, lorsque celui-ci est commuté sur le système à mesurer et sur un court-circuit [72] . Le coefficient $|S_{11}|$ est mesuré lorsque le générateur fournit de la puissance à l'entrée de l'amplificateur, la sortie étant sur 50Ω , et le coefficient $|S_{22}|$ est obtenu en inversant entrée et sortie de l'amplificateur.

Les coefficients de réflexion théoriques et expérimentaux sont représentés sur la figure III.23. On constate que dans la bande de fréquences 5 MHz - 500 MHz, les résultats de simulation rendent compte des observations expérimentales. Par contre, en dessous de 5 MHz, les résultats théoriques sont trop optimistes et ne rendent pas compte des valeurs élevées du coefficient de réflexion relevées sur l'amplificateur. Ceci est dû au fait que,

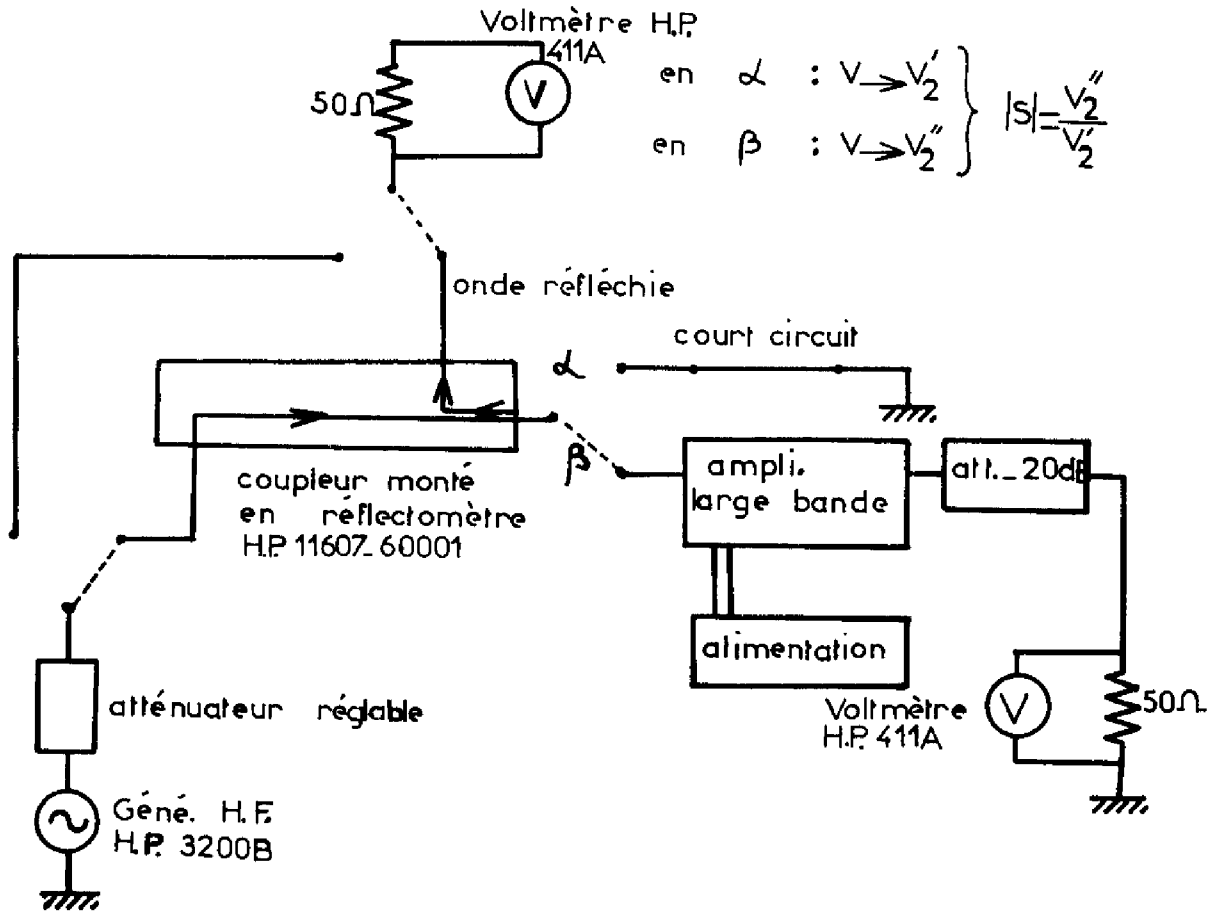


Figure III. 21 : Mesure des coefficients de réflexion en entrée et en sortie

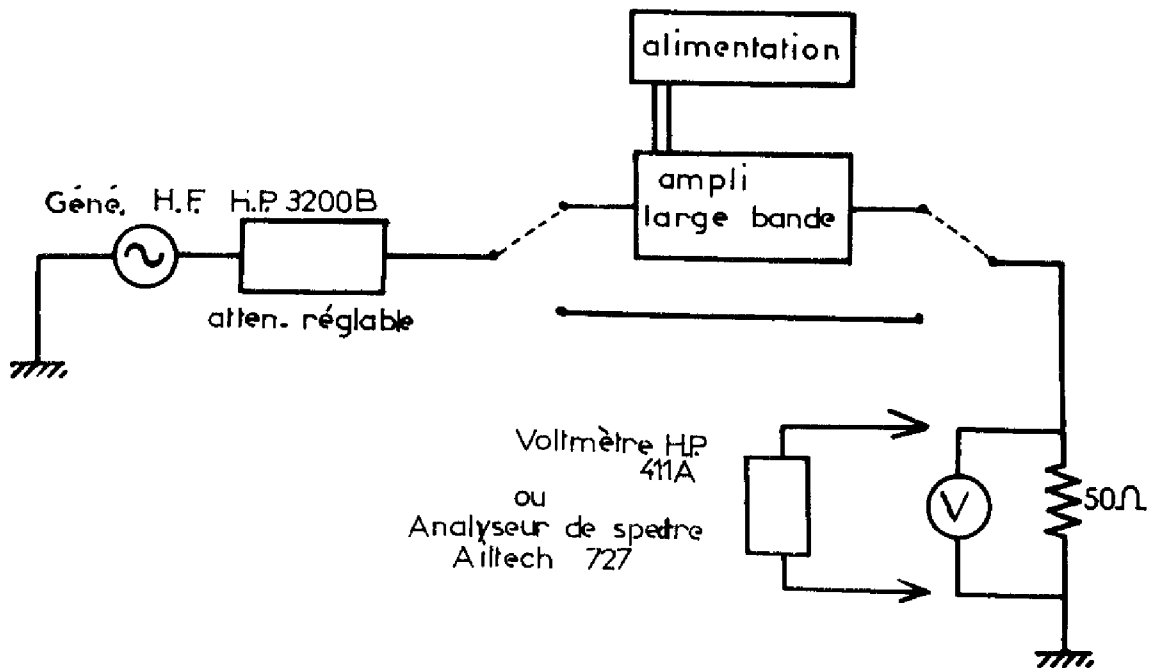


Figure III. 22 : Mesure du gain d'insertion

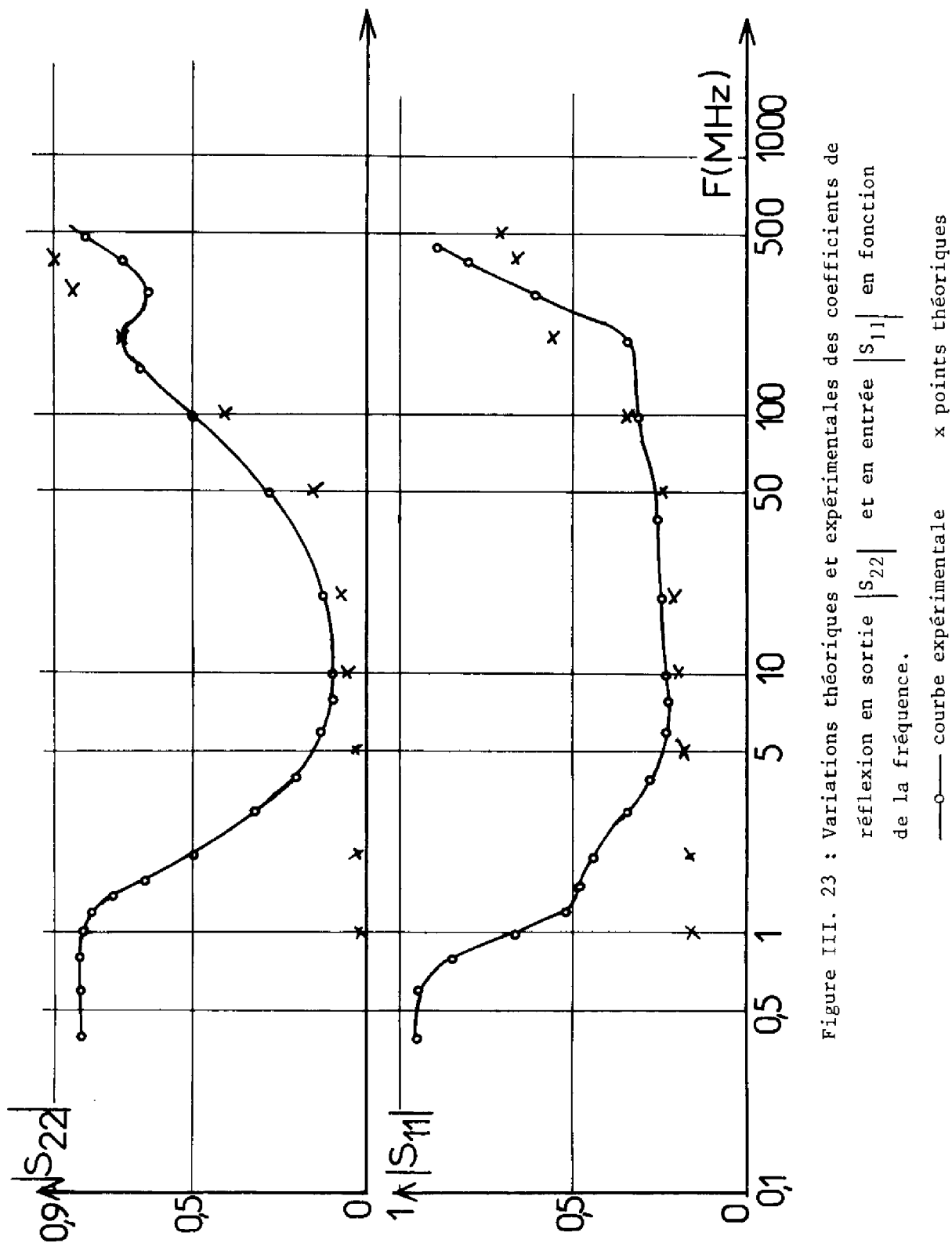


Figure III. 23 : Variations théoriques et expérimentales des coefficients de réflexion en sortie $|S_{22}|$ et en entrée $|S_{11}|$ en fonction de la fréquence.

—○— courbe expérimentale x points théoriques

pour les fréquences inférieures à 5 MHz, premièrement l'auto-transformateur que nous avons réalisé ne joue plus son rôle à cause de la dégradation de son inductance primaire et deuxièmement, les inductances "dites de choc" du circuit de drain présentent une impédance plus faible que 50Ω .

III. 4. 1. c - Gain en puissance et Bande passante

Le gain en puissance que nous considérons pour cet amplificateur est le gain d'insertion, c'est-à-dire le rapport entre la puissance fournie à la charge et la puissance que peut fournir la source sur son impédance adaptée.

Le gain ainsi défini dépend

- des paramètres du transistor
- du coefficient de réflexion de la source (Γ_s).
- du coefficient de réflexion de la charge (Γ_L).

Il s'exprime sous la forme :

$$G_T = \frac{|S_{21}|^2 [1 - |\Gamma_s|^2] [1 - |\Gamma_L|^2]}{|(1 - S_{11}\Gamma_s)(1 - S_{22}\Gamma_L) - S_{12}S_{21}\Gamma_s\Gamma_L|^2} \quad (3-98)$$

Dans notre cas où Γ_L est nul, l'amplificateur étant chargé par 50Ω , le gain est déterminé par :

$$G_T = \frac{|S_{21}|^2 [1 - |\Gamma_s|^2]}{|1 - S_{11}\Gamma_s|^2} \quad (3-99)$$

Les valeurs calculées de ce gain sont reportées sur la figure III.24 et comparées aux points expérimentaux relevés au moyen d'un ensemble de mesure de gain dont le schéma de principe est représenté sur la figure III. 22.

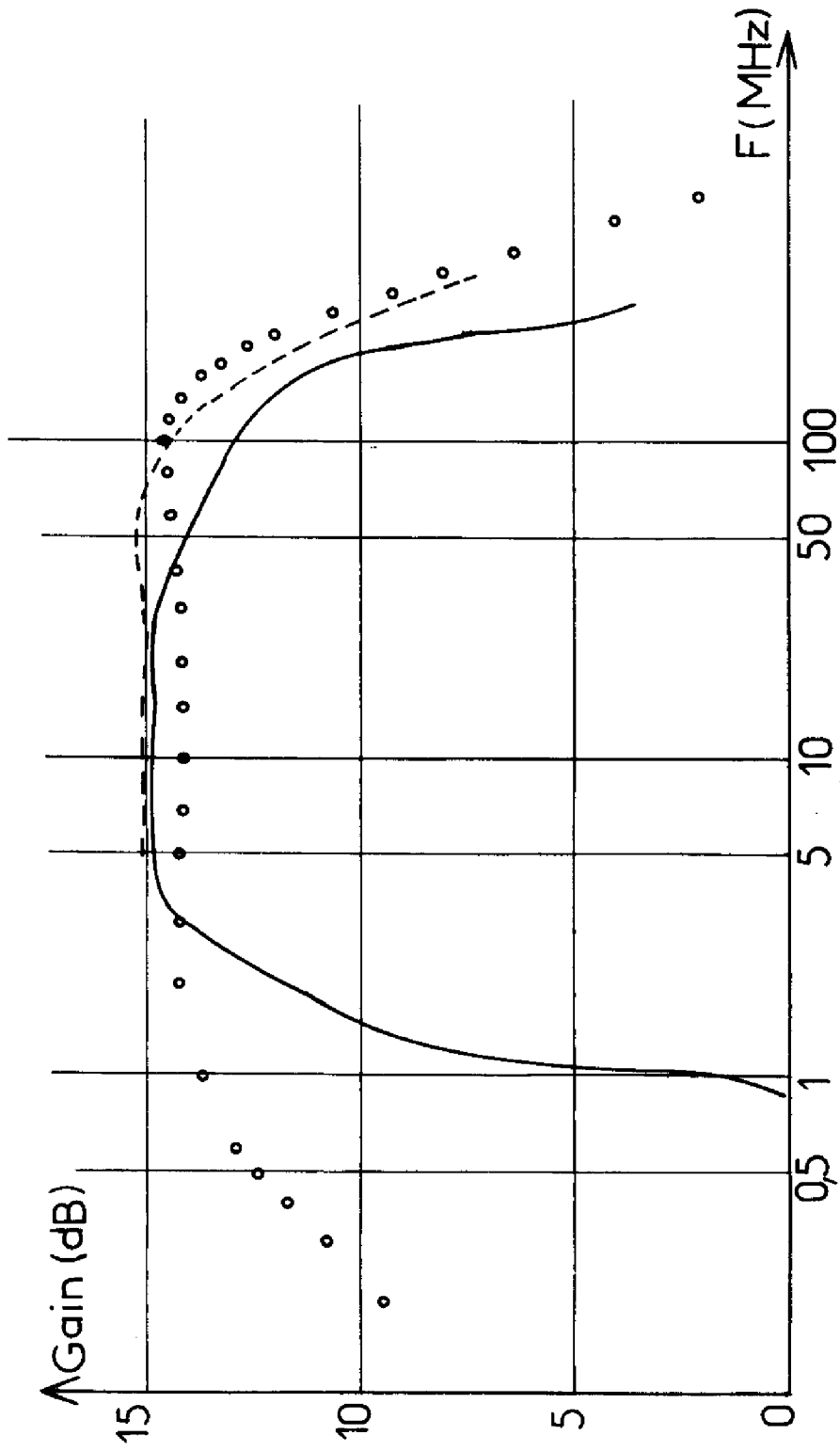


Figure III. 24 : Variations du gain de l'amplificateur large bande en fonction de la fréquence .
— courbe expérimentale
--- courbe théorique obtenue à l'aide du modèle H.F. petits signaux
oooo courbe théorique obtenue à l'aide du modèle large signal et du programme IMAG III.

Ces courbes théoriques et expérimentales montrent que l'emploi du V.MOS pour ce type d'amplificateur est tout à fait indiqué. Les variations réelles du gain en fonction de la fréquence et celles déduites du modèle dynamique en régime de petits signaux présentent sensiblement les mêmes caractéristiques : gain de l'ordre de 14 dB entre les fréquences 2 MHz et 150 MHz.

0

0

0

Ainsi nous venons de montrer comment le modèle théorique petits signaux peut être utilisé pour la détermination des caractéristiques principales d'un amplificateur : gain, bande passante, coefficients de réflexion. Cependant, un des paramètres principaux de ce type d'amplificateur, à savoir le point de compression à 1 dB de la puissance de sortie, n'a pu être obtenu car le modèle utilisé est essentiellement linéaire. Dans le paragraphe suivant, nous proposons une approche simplifiée basée sur une imbrication du modèle utilisé en commutation du chapitre 2 et du modèle théorique petits signaux développé au paragraphe III. 2, qui permettra d'évaluer le point de compression et un ordre de grandeur de la distorsion harmonique.

III. 4. 2 - Méthode de détermination du point de compression et du taux de distorsion

En régime d'amplification hautes fréquences, la simulation correcte du comportement d'un transistor ne peut être obtenue que si le schéma équivalent électrique de ce dernier rend compte des pertes de puissance dans les éléments dissipatifs. En effet, en régime de hautes fréquences, on ne s'intéresse qu'au transfert de puissance pour définir le gain d'un amplificateur. Par suite, pour représenter les propriétés du transistor V.MOS en régime de

hautes fréquences et de larges signaux, nous utiliserons le schéma équivalent mis au point lors de l'étude des régimes de commutation, auquel nous ajouterons l'effet de la résistance d'entrée liée à la zone active du canal du transistor idéal sans éléments parasites. Cette approche ne peut se justifier que si l'on travaille à des fréquences très inférieures à la fréquence de coupure du gain en puissance ; c'est-à-dire, on admet artificiellement que :

- le paramètre Y_{21} ne présente pas de rotation de phase.
- l'impédance de sortie est imposée essentiellement par l'élément parasite de la diode de drain.
- le niveau du courant continu est suffisamment élevé pour pouvoir considérer l'indépendance des éléments intrinsèques $\Re(Y_{11})$ et $\Im(Y_{11})$ des tensions continues, c'est-à-dire, admettre que le composant fonctionne dans le régime que nous avons qualifié de "fort niveau".

Ces hypothèses sont respectées dans le cas de l'amplificateur large bande que nous étudions ; cependant la généralisation des résultats qui vont suivre, à d'autres systèmes d'amplification non linéaire, ne sera pas toujours valable.

La résistance d'entrée de la zone active du canal du transistor V.MOS idéal, c'est-à-dire sans élément parasite, est représentée par la partie réelle de l'inverse du facteur admittance "intrinsèque" Y_{11} . Elle peut être déterminée par l'analyse des parties réelles et imaginaires du facteur Y_{11} étudié à l'aide du programme de simulation établi en régime dynamique petits signaux. En effet, les courbes des variations des parties réelles ($\Re(Y_{11})$) et imaginaires ($\Im(Y_{11})$) de l'admittance "intrinsèque" Y_{11} en fonction de la fréquence, représentées sur la figure III. 25, sont linéaires en échelle Log - Log et ont pour pentes respectives deux et un. Cette impédance d'entrée de la zone active peut donc être représentée par la mise en série d'une capacité C_1 et d'une résistance R_1 .

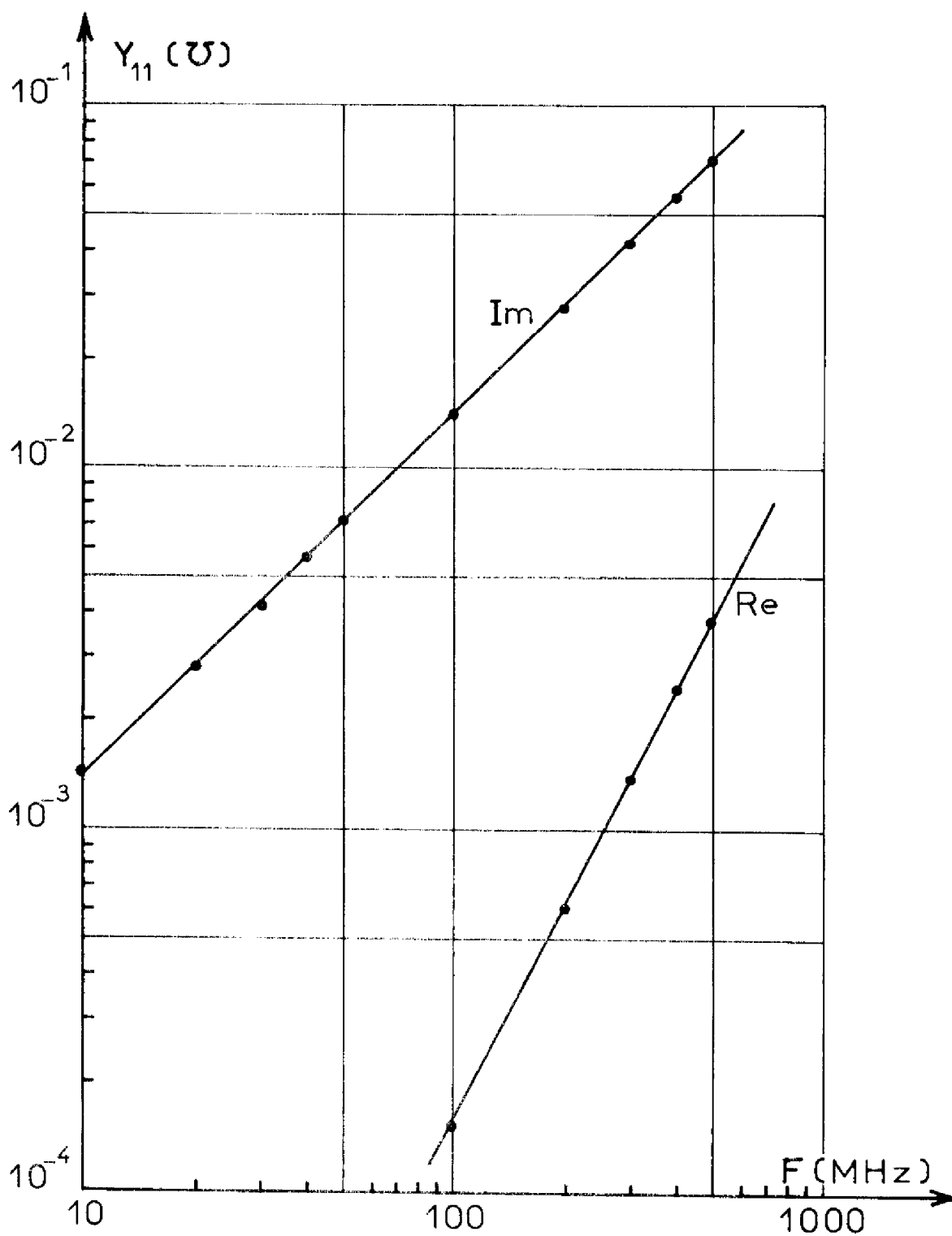


Figure III. 25 : Variations théoriques de l'admittance "intrinsèque" Y_{11} en fonction de la fréquence pour $V_D = 24$ Volts et $V_G = 4$ Volts

En effet, si l'inégalité suivante est vérifiée :

$$R_1^2 C_1^2 \omega^2 \ll 1 \quad \text{alors} \quad (3-100)$$

$$\Re(Y_{11}) = R_1 C_1^2 \omega^2$$

$$\Im(Y_{11}) = C_1 \omega \quad (3-101)$$

avec

$$\frac{1}{Y_{11}} = R_1 + \frac{1}{jC_1 \omega} \quad (3-102)$$

Les valeurs déduites de ces simulations sont :

$$R_1 = 0,85 \Omega \quad \text{et} \quad C_1 = 22,3 \text{ pF}$$

Nous vérifions numériquement qu'en régime de pincement, la valeur de la capacité C_1 figurant dans l'expression de l'impédance d'entrée est voisine de celle calculée à partir de la formule :

$$C_{gr} = C_G - C_D = \frac{2}{3} ZL \text{ Cox.}$$

Après avoir implanté cette résistance en série avec la capacité dynamique C_{gr} dans le schéma électrique du transistor de la figure II. 12, on décrit à l'aide du programme IMAG III, un circuit extérieur à ce transistor qui comprend ici :

- un réseau de polarisation permettant de fixer la tension drain à 24 Volts et le courant drain à 0,4 Ampères.

- un circuit de contre-réaction comprenant une inductance de 0,15 μH en série avec une résistance de 190 Ω et une capacité de 4700 pF.

- un générateur de signaux alternatifs en série avec une résistance de $12,5 \Omega$ correspondant à une impédance de 50Ω ramenée par l'auto-transformateur de rapport 2 en tension.

Le schéma électrique ainsi établi (figure III. 26) est celui de l'amplificateur large bande.

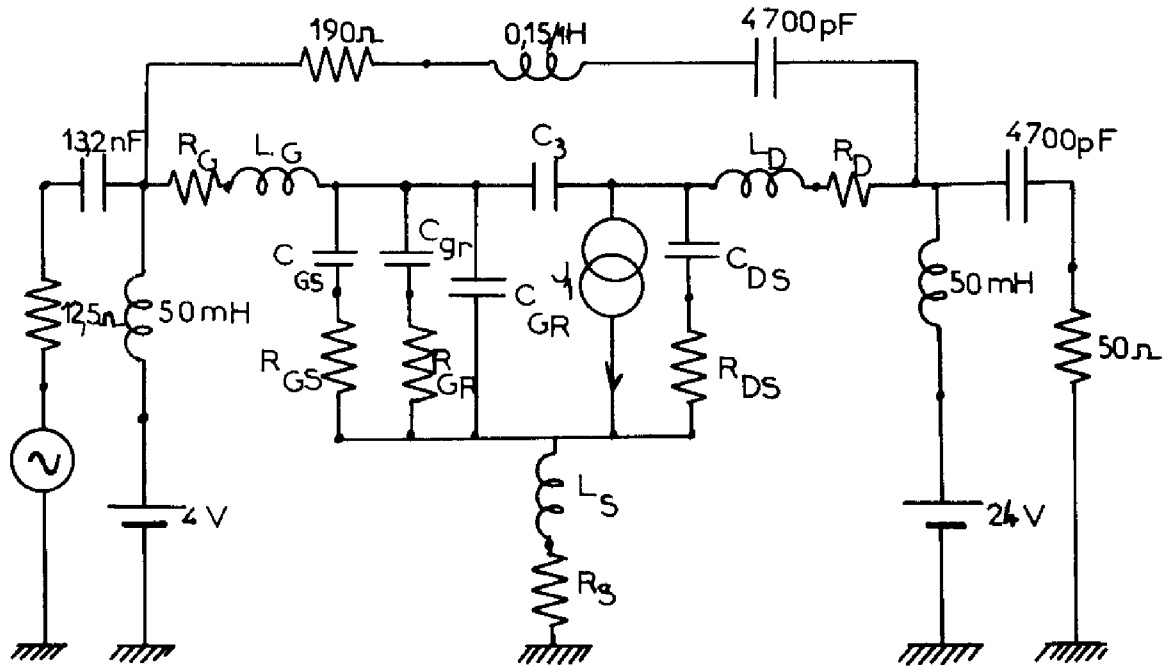


Figure III. 26 : Schéma électrique de l'amplificateur large bande implanté dans le programme IMAG III.

Au moyen du programme de simulation IMAG III, on a pu déterminer :

1) la valeur du gain en fonction de la fréquence au moyen de la commande "alternative". Un gain de l'ordre de 14 dB entre 0,6 MHz et 180 MHz a ainsi pu être obtenu (figure III. 24). Si la coupure en "hautes fréquences", due au comportement du transistor, a pu être simulée, par contre le rôle de l'auto-

transformateur responsable de la coupure en "basses fréquences" n'a pu être évalué. La fréquence de coupure basse ainsi calculée est artificielle car elle n'est liée qu'à la présence de la capacité de 13,2 nF à l'entrée du transistor. Entre 5 MHz et 300 MHz, les résultats obtenus sont voisins de ceux déterminés soit expérimentalement, soit par le modèle théorique petits signaux.

2) la caractéristique de transfert de puissance de sortie en fonction de la puissance d'entrée. Celle-ci a été déterminée pour une fréquence donnée (60 MHz) en utilisant la commande "Transitoire" et en faisant varier l'amplitude du générateur d'entrée. Avec le même point de polarisation continue et en augmentant régulièrement l'amplitude du générateur alternatif d'attaque, les courants et tensions, côté entrée et côté sortie, ont été calculés sur plusieurs périodes. Après extinction des régimes transitoires, les puissances d'entrée et de sortie ont été calculées par intégration numérique sur une période, des produits courant-tension du côté de la grille et du côté du drain.

Les variations théoriques de la puissance de sortie, référenciée par rapport à une puissance de 1 mW, exprimée en dBm, en fonction de la puissance d'entrée sont comparées aux mesures expérimentales sur la figure III. 27. Pour une fréquence de 60 MHz, les points de compression à 1 décibel ont été simulés et mesurés respectivement pour des valeurs de la puissance de sortie égales à 35,8 dBm et 35,9 dBm.

3) les taux de distorsion par harmoniques 2 et 3. Le principe de la méthode est, après établissement du régime permanent, de décomposer numériquement en série de Fourier, la tension de sortie aux bornes de la résistance de charge. On obtient ainsi les amplitudes en tension des harmoniques qui sont ensuite converties en puissance. La figure III. 27 représente les variations, en fonction de la puissance d'entrée, des puissances relatives aux harmoniques 2 et 3.

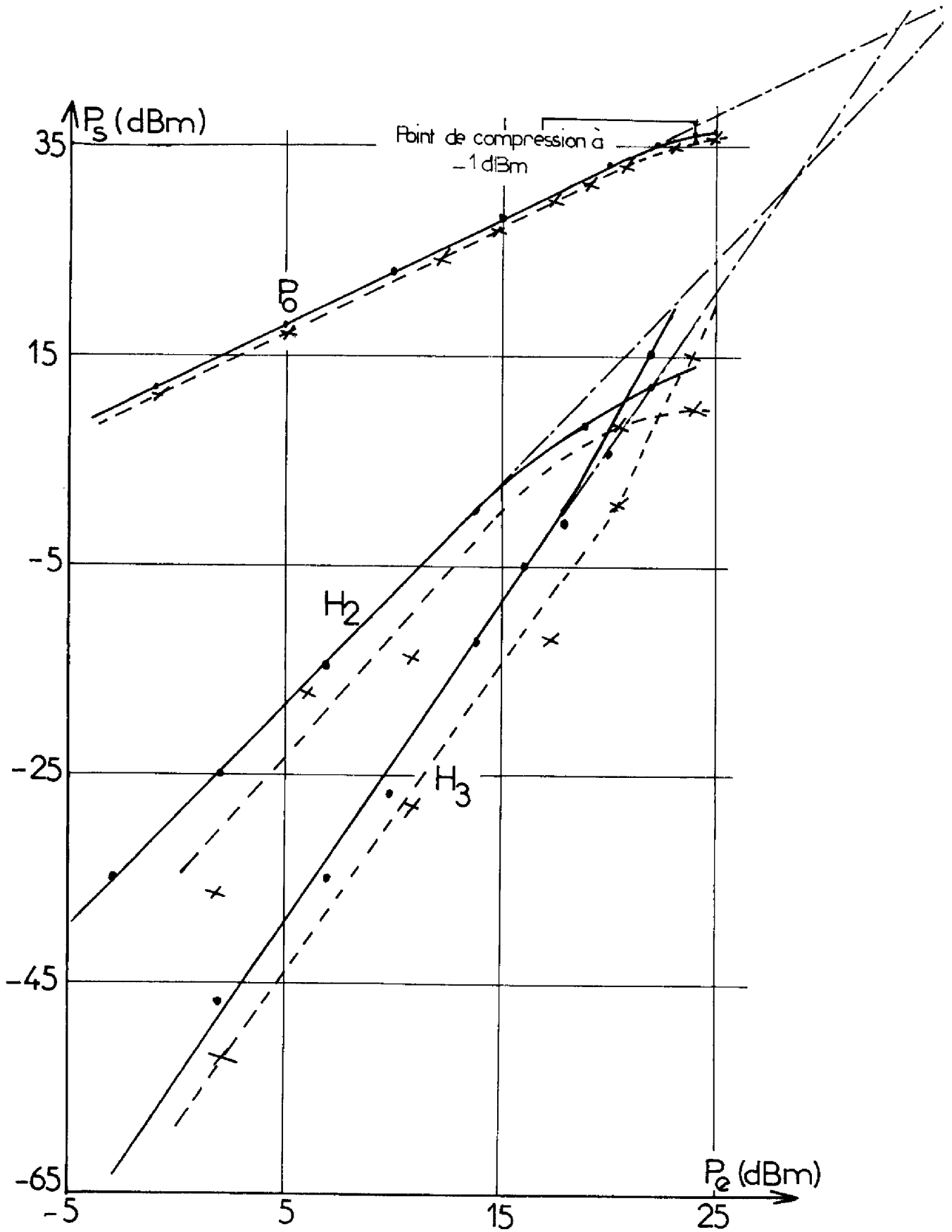


Figure III. 27 : Variations de la puissance de sortie (P_o) et des puissances relatives aux harmoniques 2 (H_2) et 3 (H_3) en fonction de la puissance d'entrée.

—•— courbes expérimentales -x- courbes théoriques
T

Par ailleurs, les courbes expérimentales, relevées par un montage identique à celui de la mesure du gain en puissance dans lequel la charge est remplacée par la résistance d'entrée d'un analyseur de spectre (figure III. 22), sont reportées sur cette figure III. 27. On peut constater que les écarts entre les courbes théoriques (H_2 et H_3) et expérimentales sont inférieurs à 5 décibels. D'autre part, le mode de croissance des harmoniques deux et trois se fait selon des lois en carré ou en cube de la puissance incidente. Enfin, les points d'interception, qui sont les intersections entre les extrapolations des droites P_0 et H_2 d'une part, et P_0 et H_3 d'autre part, sont voisins de 47 dBm de puissance de sortie.

0

0

0

Ainsi nous venons de montrer dans les deux paragraphes précédents, comment le modèle dynamique du transistor V.MOS peut être utilisé pour la simulation des amplificateurs en hautes fréquences. Le cas particulier que nous avons traité d'un amplificateur classe A large bande, a servi d'exemple pour définir les méthodes de calcul théorique du gain en puissance, du taux d'ondes stationnaires, de la largeur de la bande passante, du point de compression et des points d'interception. Ces méthodes peuvent être utilisées pour toutes les autres configurations d'amplificateurs.

III. 5 - DEUXIEME APPLICATION DU MODELE DYNAMIQUE : DETERMINATION DES FREQUENCES LIMITES DE FONCTIONNEMENT DU TRANSISTOR V.MOS

Lors de l'étude des propriétés du gain en puissance effectuée au paragraphe III. 3. 3, il est apparu que, sur les

structures que nous avons testées, les fréquences de transition du gain en puissance sont, pour une tension drain-source de 10 volts, comprises entre 350 MHz, pour un régime de fonctionnement faible tension grille, et 500 MHz pour une tension grille élevée. Ces fréquences de transition sont très nettement inférieures à celles des dispositifs D.MOS [11] à canal horizontal, qui présentent pratiquement les mêmes paramètres technologiques ou physiques - mobilité, champ critique, épaisseur d'oxyde, longueurs du canal (zone P) et de la région peu dopée de drain (zone N⁻), dopages de ces régions -. Le rapport des fréquences de transition est de l'ordre de 10, car, dans les D.MOS, ces dernières atteignent 3 à 4 GHz. Compte tenu du fait que la configuration de la partie intrinsèque, correspondant au canal du composant, est la même dans les deux dispositifs : D.MOS ou V.MOS, l'origine de la différence des fréquences de transition doit être recherchée principalement dans un effet "parasite" lié à la configuration de la structure V.MOS.

Dans ce paragraphe, notre objectif sera de définir d'une part, les techniques d'augmentation du gain en puissance et d'autre part, un ordre de grandeur des limites fréquentielles de fonctionnement de la structure V.MOS. Nous considérerons que la partie intrinsèque active du transistor est caractérisée par des paramètres physiques et technologiques figés, qui sont ceux des structures non optimisées que nous avons étudiées par ailleurs (paragraphe III. 3). Les valeurs de ces paramètres sont :

$$\mu_{\sigma I} \frac{Z}{L} \cdot C_{ox} \simeq 0,2 \text{ A/V}^2$$

$$ZL \cdot C_{ox} \simeq 30 \text{ pF}$$

$$L \simeq 2 \mu\text{m}$$

$$E_o \simeq 2,5 \text{ V}/\mu\text{m}$$

$$\psi \simeq 10 \text{ V}$$

$$V_T \simeq 1,1 \text{ V}$$

Dans ce cadre nous utiliserons le modèle numérique complet du transistor V.MOS et considérerons, en vue d'accroître le gain en puissance, les influences sur ce gain des tensions de polarisation, des inductances d'accès et de la configuration géométrique de la diode de drain.

III. 5. 1 - Choix de la tension de grille

Comme nous l'avons déjà indiqué, les variations du gain en puissance en fonction du courant de drain présentent deux modes d'évolution : une partie croissante lorsque ce courant est inférieur à la valeur I_{DL} (figures III. 12, III. 14). Par suite, la tension de grille qui fixera le gain maximal, peut être choisie arbitrairement, à la seule condition qu'elle soit supérieure à la valeur correspondant au courant I_{DL} .

III. 5. 2 - Choix de la tension drain-source

La tension drain-source n'agit sur le gain en puissance que par l'intermédiaire du terme C_{DS} . A tension de grille constante et à fréquence donnée, rappelons que le gain en puissance du transistor V.MOS est une fonction croissante linéaire de la tension drain-source (figure III.13).

Par suite, la recherche d'un gain maximal conduit à polariser le drain à la tension maximale compatible avec la tenue en tension du dispositif. Cette tension est fixée elle-même par le dopage et la longueur L' de la zone de drain peu dopée appelée dans la littérature la zone de "drift", comme l'ont montré expérimentalement T.M.S. HENG et col. [13] . La figure III. 28 montre un exemple de valeurs de tensions de claquage relevées expérimentalement par ces auteurs sur une famille de V.MOS en fonction de la longueur L' de cette zone. D'après cette figure, la tension drain-source maximale compatible avec la longueur de la zone de drift a été prise sous la forme empirique :

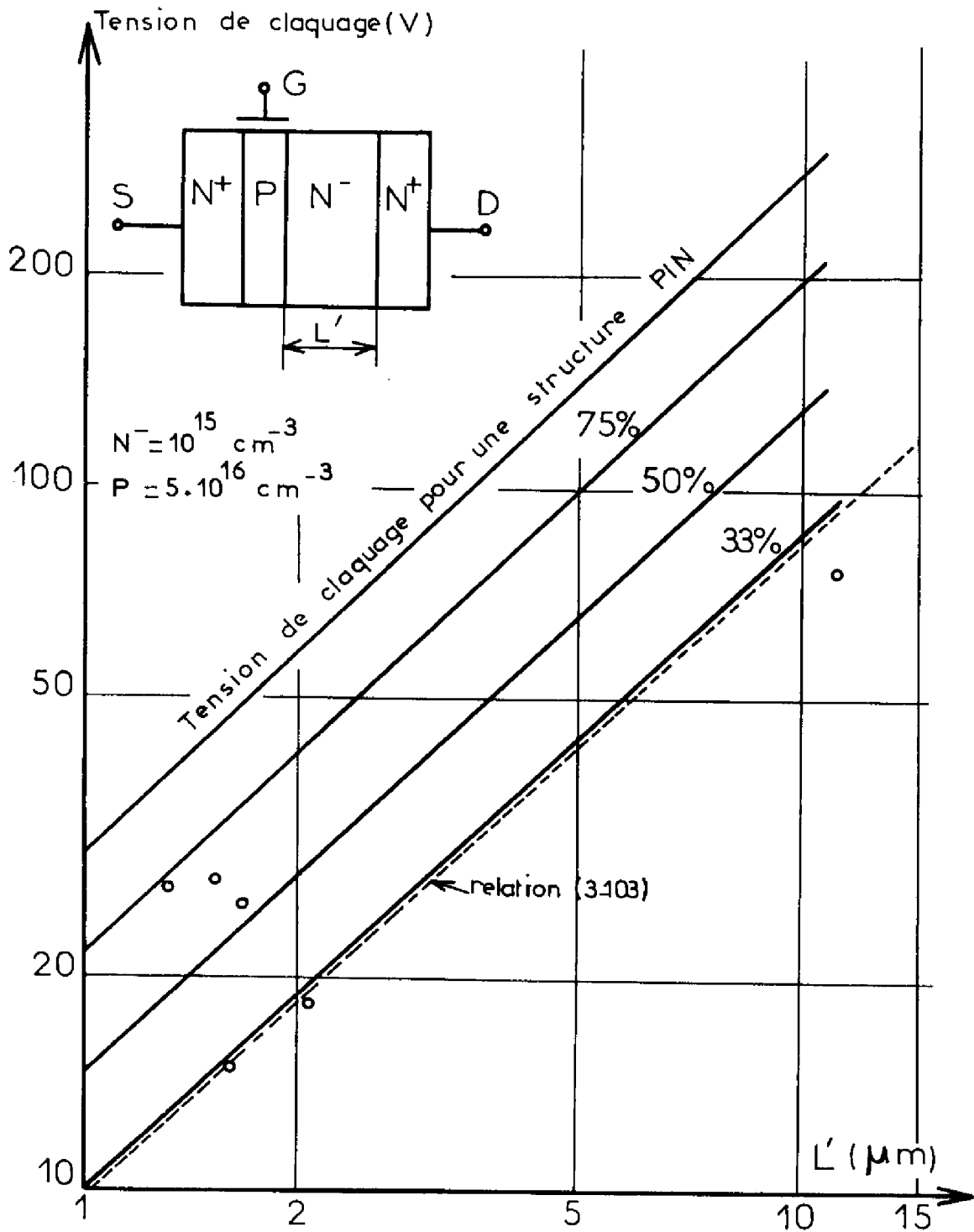


Figure III. 28 : Variations des tensions de claquage de V.MOS réalisés par attaque isotrope en fonction de la longueur de la zone de "drift" (d'après T.M.S HENG et col. [13]).
o points expérimentaux

$$V_{DS_{MAX}} = k L' + k' \quad \text{avec} \quad \begin{aligned} k &\simeq 8 \text{ V}/\mu\text{m} \\ k' &\simeq 2 \text{ V} \end{aligned} \quad (3-103)$$

où k et k' sont deux coefficients que nous déduisons de la courbe paramétrée à 33 % sur cette figure.

Afin d'évaluer les valeurs limites du gain en puissance pour ces valeurs de tension de drain $V_{DS_{MAX}}$, nous utilisons la relation 3-92 dans laquelle :

- la capacité C_{DS} est approchée, en négligeant la tension de diffusion ϕ_{DIFF} devant la tension drain, par l'expression :

$$C_{DS} = \sqrt{\frac{q \epsilon_0 \epsilon_{si} N_D}{2 V_{DS}}} S \quad (3-104)$$

- et la résistance R_{DS} est exprimée par :

$$R_{DS} \simeq \frac{1}{N_D \mu} \frac{L'}{S} \quad (3-105)$$

où N_D représente la concentration en impureté donatrice de la zone de "drift", μ la mobilité des électrons dans cette zone et S l'aire de la diode de drain N^- substrat P . Cette expression est obtenue en négligeant la résistance due à la zone de drain N^+ et à la diffusion P du substrat devant la résistance de la zone de "drift" N^- .

En négligeant le coefficient k' dans la définition de $V_{DS_{MAX}}$ (relation 3-103), le produit $R_{DS} C_{DS}^2 \omega^2$ s'écrit :

$$R_{DS} C_{DS}^2 \omega^2 = \frac{q \epsilon_0 \epsilon_{si} S \omega^2}{2 \mu k} \quad (3-106)$$

Le gain en puissance est alors, en première approximation,

indépendant de la longueur L' de la zone de "drift", à condition de fixer la tension de drain à la valeur V_{DS_MAX} qui est fonction elle-même de la longueur L' .

En toute rigueur, pour calculer les valeurs de ce gain en puissance, nous avons utilisé le programme numérique sans y introduire les hypothèses restrictives de l'analyse théorique que nous venons de développer (relations 3-103 à 3-106). Les trois exemples suivants ont été traités numériquement [68] :

L' (microns)	5	10	15
V_{DS_MAX} (volts)	45	85	125

en prenant les expressions non approchées de C_{DS} et de R_{DS} . On a considéré les cas de "faible" ($I_D = 100$ mA) et "fort" ($I_D > I_{DL}$) niveaux de courant et, dans un but d'optimisation, on a négligé l'effet des inductances d'accès. Les résultats sont reportés sur les courbes 1 ($I_D = 100$ mA) et 2 ($I_D > I_{DL}$) de la figure III. 29. Ces courbes sont en fait les moyennes des résultats très voisins obtenus respectivement pour les trois valeurs de la longueur L' citées précédemment.

Il apparaît que dans le cas le plus favorable ($I_D > I_{DL}$), le gain en puissance théorique peut atteindre 20 dB à 1 GHz. La fréquence maximale de transition correspondante se situe aux environs de 3,5 GHz.

III. 5. 3 - Influence de la surface du substrat.

Afin de diminuer l'influence de la capacité parasite C_{DS} , il serait nécessaire de réduire la surface de la diode de drain. Ainsi, la simulation montre que la réduction de cette surface, entre la région P de canal et la zone de "drift", améliore grandement le gain unilatéralisé. A titre d'exemple, nous avons traité numériquement les cas suivants :

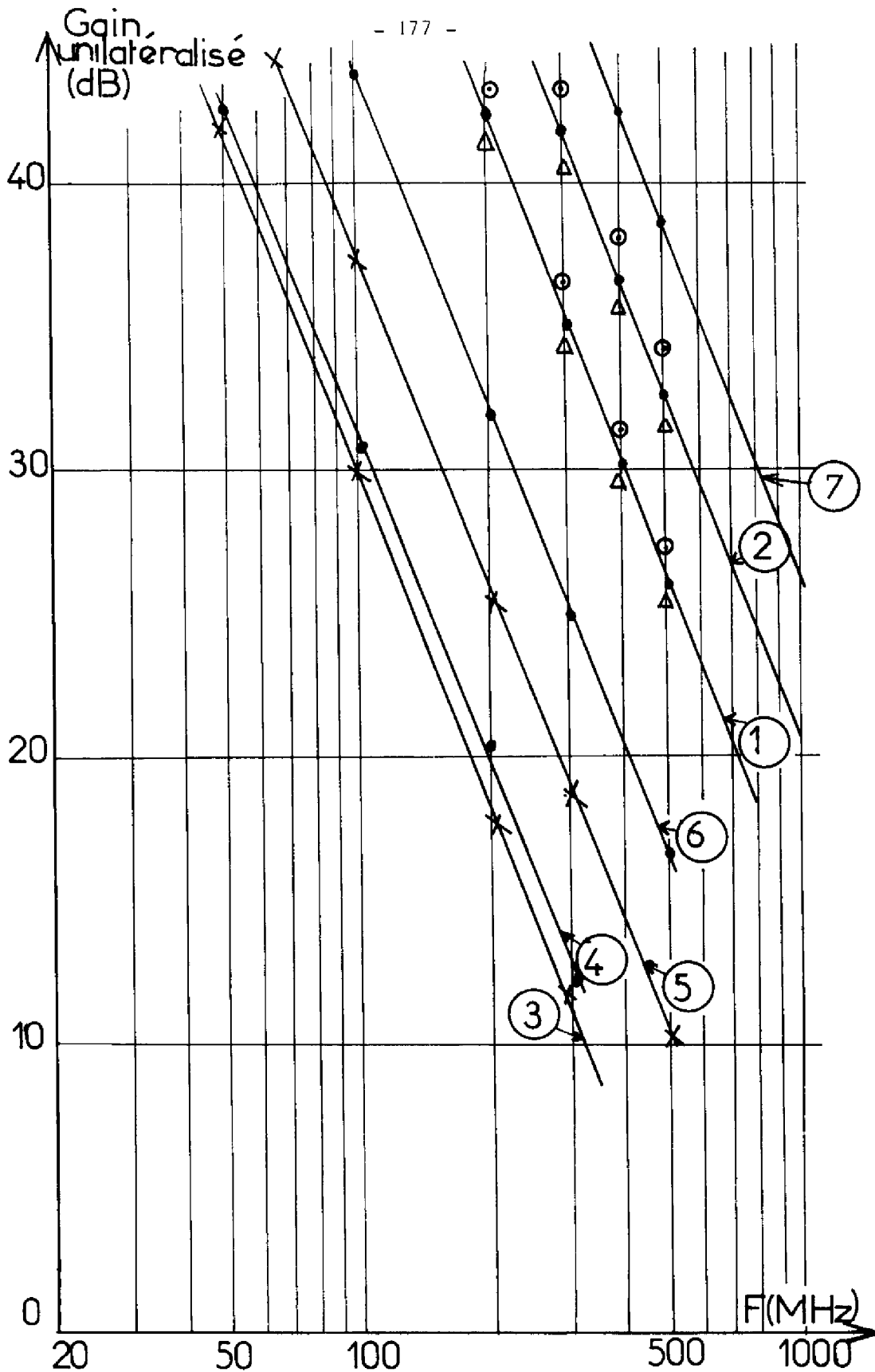


Figure III. 29 : Variations optimisées du gain en fonction de la fréquence

① $I_D = 100\text{mA}$ et ② $I_D > I_{DL}$ avec V_{DS} maximale et sans les inductances d'accès

Δ : $L' = 15 \mu\text{m}$; • : $L' = 10 \mu\text{m}$

⊙ : $L' = 5 \mu\text{m}$

③ $I_D = 100\text{mA}$ et ④ $I_D > I_{DL}$ avec $V_{DS} = 10$ Volts et les inductances d'accès

⑤ $I_D = 100\text{mA}$ et ⑥ $I_D > I_{DL}$ avec $V_{DS} = 10$ Volts et sans les inductances d'accès

⑦ $I_D > I_{DL}$ et $V_{DSMAX} = 85$ Volts et sans les inductances d'accès

} surface divisé par

1 - Transistor V.MOS complet caractérisé au paragraphe III. 3 dans lequel l'aire de la diode de drain est supposée être divisée par 4. Les résultats obtenus sont représentés sur la figure III. 29 et sont notés 3 et 4 respectivement pour les faibles ($I_D = 100 \text{ mA}$) et forts ($I_D > I_{DL}$) niveaux de courant. La tension de drain est égale à 10 Volts. Par rapport à la structure réelle, la croissance du gain est de l'ordre de 8 dB.

2 - Ce cas est identique au précédent mais l'effet des inductances d'accès est négligé. Les résultats obtenus sont notés respectivement 5 et 6. On obtient une croissance du gain par rapport aux cas précédents, voisine de 10 dB.

3 - Ce dernier cas correspond à celui du transistor idéal du paragraphe III. 5. 2, polarisé par la tension de drain $V_{DS_{MAX}}$ (85 volts) et dans lequel l'aire de la diode de drain est supposée être divisée par un facteur 4. La courbe de gain notée 7 sur la figure III. 29 se situe 6 dB au-dessus de la caractéristique 2 obtenue dans le paragraphe III. 5. 2.

Ce dernier cas est celui pour lequel le gain en puissance théorique présente les valeurs maximales, 28 dB à 1 GHz, et la fréquence de transition est la plus élevée : 4 Gigahertz. On peut considérer que ces valeurs constituent les limites de performances des V.MOS.

Elles sont toutefois optimistes car rappelons qu'elles correspondent à une structure idéalisée dans laquelle :

- l'effet de la résistance associée à la diffusion P est négligé.

- la polarisation de drain est choisie égale à la valeur maximale compatible avec la tenue en tension.

- il n'existe pas d'inductance d'accès.

- l'aire de la diode de drain doit être quatre fois plus faible que celle des structures V.MOS réalisées jusqu'à ce jour, tout en conservant des distances entre sillons identiques.

Un exemple d'une telle structure idéale est proposé sur la figure III. 30 dans laquelle des sillons à fonds plats entre les divers V peuvent être obtenus par attaque sélective [15]

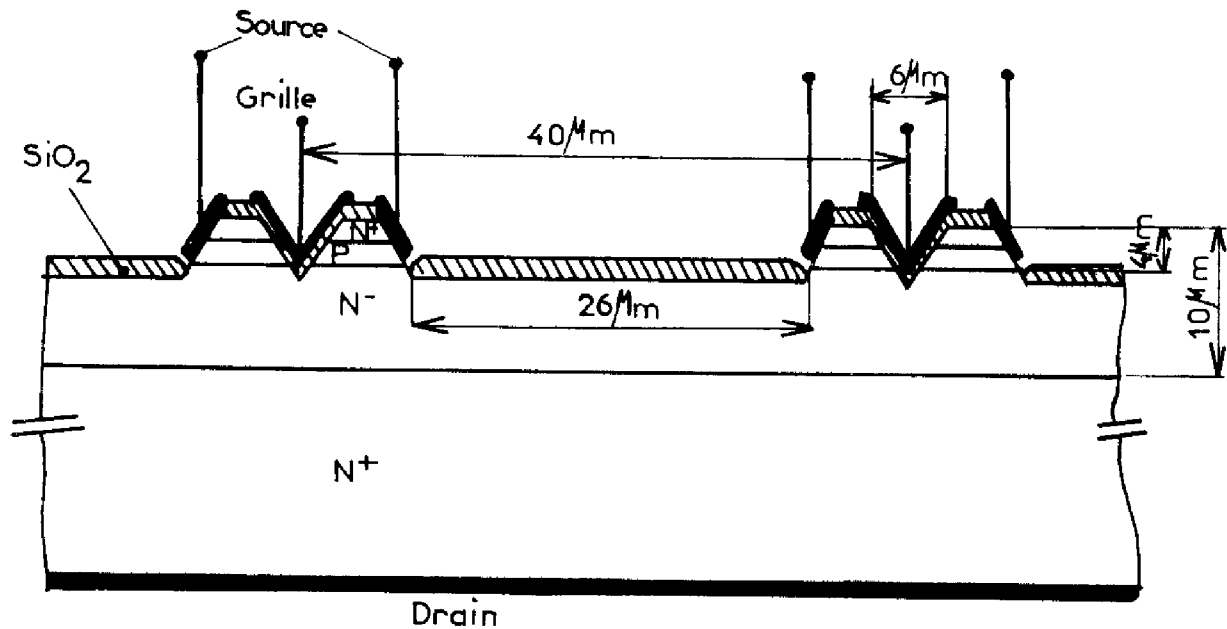


Figure III. 30 : Structure V.MOS présentant une capacité parasite C_{DS} minimale.

III. 6 - CONCLUSION

Ce chapitre a été consacré à l'analyse des propriétés en régime dynamique hautes fréquences du transistor M.O.S. à canal vertical. Le premier paragraphe traite de la détermination théorique des paramètres admittances de la zone active du transistor lorsque les effets de réduction de mobilité sont pris en compte. L'analyse mathématique proposée a permis d'explicitier les paramètres sous forme normalisée, par introduction de quatre variables réduites qui dépendent des conditions de polarisation, des dimensions géométriques et des paramètres physiques des transistors.

Les résultats obtenus peuvent être appliqués à l'analyse des propriétés de tous les transistors MOS, dits "à canal court".

Dans le deuxième paragraphe, le modèle dynamique du V.MOS a été décrit en prenant en compte les effets liés aux zones actives du canal et aux éléments parasites. Un schéma équivalent a été établi ; celui-ci a permis d'interpréter les variations fréquentielles des admittances Y_{ij} et des paramètres d'onde S_{ij} . Les propriétés du gain en puissance—évolution fréquentielle de 40 dB / décade, proportionnalité à la tension drain, saturation avec le niveau de courant—ont été analysées tant théoriquement qu'expérimentalement.

Au moyen du modèle précédent, on a déterminé dans le troisième paragraphe, les paramètres caractéristiques d'un amplificateur large bande à transistor V.MOS : gain en puissance (14 dB), bande passante (2 MHz - 150 MHz), taux d'onde stationnaire, point de compression (35,8 dBm), taux de distorsion (interception d'ordre 2 et 3 à + 47 dBm). On a montré en particulier, comment s'effectuent les diverses transformations d'impédance pour calculer les impédances d'entrée et de sortie de l'amplificateur en utilisant le programme numérique de simulation des paramètres S_{ij} du V.MOS.

Pour être complet, on a essayé de définir dans le quatrième paragraphe, les valeurs des fréquences maximales de transition qu'il sera possible d'obtenir sur des composants V.MOS. Nous avons montré que la limitation principale est liée sur les structures actuelles à la configuration de la diode de drain. Si l'on réussit d'une part, à éliminer les effets de la résistance du matériau de la zone P, des inductances en série dans les électrodes, d'autre part, à diviser par un facteur de l'ordre de quatre la surface de la diode de drain N⁻P, tout en conservant par ailleurs des paramètres physiques identiques à ceux des structures existantes—mobilité, épaisseur d'oxyde, champs critiques, profil de dopage en zone P, longueur de canal—on peut

montrer que les fréquences maximales de transition, pour le point de polarisation correspondant à la valeur la plus élevée de la tension drain, compatible avec la tenue en tension, pourraient atteindre 4 Gigahertz.

CONCLUSION GENERALE

Nous avons divisé notre mémoire en trois chapitres. Dans le premier, nous avons décrit les principales structures de transistors M.O.S. de puissance réalisées au stade de prototype de laboratoire ou fabriquées industriellement, et nous avons comparé leurs principales caractéristiques statiques et dynamiques. Le deuxième chapitre a été consacré à l'établissement d'un modèle mathématique du transistor V.MOS en régime de commutation. Les propriétés en régime dynamique hautes fréquences de ce composant ont été analysées dans le troisième chapitre. Nous rappelons ici les principaux résultats obtenus au cours de ce travail.

Dans le premier chapitre, nous avons énuméré les principaux mécanismes physiques qui limitent les performances des composants MOS pour les applications dites de puissance : claquage de la diode de drain, perçage drain-source, limitation du niveau de courant. D'autre part, nous avons mis l'accent sur les modifications des structures réalisées au cours des dernières années, en vue d'améliorer les performances par la maîtrise de nouveaux processus technologiques :

- technique de la double diffusion.

- réalisation de grilles en silicium polycristallin permettant d'obtenir d'une part, l'auto-alignement de la source et du drain par implantation ionique, et d'autre part, les interconnexions par deux niveaux superposés.

- attaque isotrope ou anisotrope pour la réalisation de structures à électrodes non coplanaires.

Enfin, nous avons comparé les performances de ces transistors de puissance et fait apparaître en particulier, que la structure V.MOS semble être l'une des plus prometteuses pour les applications dans les circuits de commutation rapides et les circuits d'amplification en très hautes fréquences.

Dans le deuxième chapitre, nous avons tout d'abord fait apparaître l'insuffisance des modèles classiques des transistors

à canaux courts, du type D.MOS ou V.MOS, à décrire correctement les propriétés expérimentales spécifiques à ces structures, à savoir :

- la linéarité de la caractéristique de transfert.
- la saturation de la transconductance.

Le modèle du V.MOS, que nous avons ensuite proposé, a pris en compte en particulier l'effet du champ transversal sur la valeur de la vitesse limite des porteurs dans la direction source-drain ; nous avons pu ainsi montrer l'influence de la longueur du canal sur les valeurs de la transconductance maximale, propriété que les modèles antérieurs ne pouvaient pas expliquer.

En régime dynamique, un modèle basé sur la théorie des charges sur les électrodes a été proposé. La formulation mathématique utilisée a tenu compte des contraintes imposées par l'implantation du modèle dans les programmes d'intégration numérique des équations des circuits électriques. De la comparaison entre la théorie et l'expérience, nous avons tout d'abord fait apparaître la nécessité de prendre en compte la non-linéarité des capacités dynamiques inter-électrodes pour analyser les propriétés en régime transitoire du composant attaqué par un générateur à impédance interne élevée ; ces propriétés ont permis de valider notre modèle dynamique. Par ailleurs, nous avons déterminé que la structure V.MOS est capable de passer de l'état bloqué à l'état passant saturé sur charge résistive, et vice-versa, en des temps de l'ordre de la nanoseconde par ampère.

Enfin, dans le troisième chapitre, un modèle dynamique du transistor V.MOS en régime de hautes fréquences a été proposé. Nous avons tenu compte des effets liés aux parties actives du canal en intégrant les équations de transport en régime dynamique, et explicité les expressions de la matrice admittance intrinsèque sous forme de développements en série en fonction de la fréquence. Par ailleurs, l'effet des éléments parasites a été inclus dans le

schéma équivalent du transistor.

On a pu ainsi interpréter les modes d'évolution, en fonction de la fréquence et des conditions de polarisation, des paramètres admittances Y_{ij} , des paramètres d'onde S_{ij} et du gain en puissance ; en particulier, les propriétés suivantes relatives au gain en puissance ont été mises en évidence :

- décroissance en puissance quatrième de la fréquence.
- variation linéaire en fonction de la tension drain-source.
- existence d'un palier de saturation lorsque le courant de drain augmente.

En tant que première application de ce modèle, nous avons montré que les principaux paramètres d'un amplificateur utilisant un transistor V.MOS - gain, bande passante, point de compression, taux d'ondes stationnaires à l'entrée et à la sortie, taux de distorsion harmonique - peuvent être déterminés.

Par ailleurs, en tant que deuxième application, nous avons pu déterminer les causes fondamentales des limitations fréquentielles du transistor V.MOS ; c'est la configuration de la diode de drain qui limite actuellement la valeur de la fréquence de transition, on peut prévoir que cette dernière ne pourra pas dépasser 4 gigahertz sur des structures optimisées.

Ainsi notre travail a permis d'analyser les propriétés du transistor V.MOS en régime dynamique et de mettre en évidence un certain nombre de limitations fondamentales présentées par ce dispositif dans ce type de fonctionnement. Pour compléter cette étude, il reste, à notre avis, à définir de façon plus précise les causes des limitations en tension et en puissance du transistor V.MOS. Ce travail sera à effectuer dans les régimes de fonctionnement statique - effets d'extension de la zone de charge d'espace dans le drain peu dopé, composantes de multiplication du courant de drain, mécanismes thermiques en régime d'avalanche -, de fonctionnement

dynamique — effet de la nature de la charge, tenue aux surcharges de tension, puissances mises en jeu en régime d'amplification non linéaire.

ANNEXE I

L'ATTAQUE ANISOTROPE
DU
SILICIUM

Certains composés chimiques [73] [74] [75] présentent la propriété d'attaquer le cristal de silicium avec une vitesse plus rapide dans la direction $\langle 100 \rangle$ que dans les autres directions. La direction $\langle 111 \rangle$ correspond au plan attaqué le plus lentement. Ainsi des structures de forme pyramidale inversée peuvent être obtenues en partant de plaquettes de silicium d'orientation $\langle 100 \rangle$, ayant été préalablement oxydées et photogravées. L'attaque se poursuit dans les ouvertures le long des plans $\langle 111 \rangle$ et cesse d'elle-même aux points d'intersection des plans $\langle 111 \rangle$.

Dans le cas particulier d'ouverture rectangulaire obtenue par photogravure, le bain d'attaque anisotrope permet de graver dans le silicium des rainures en forme de V. Les droites d'intersection des plans $\langle 111 \rangle$ avec le plan $\langle 100 \rangle$ étant parallèles à la direction $\langle 110 \rangle$, il suffit d'aligner les côtés des ouvertures rectangulaires avec cette direction $\langle 110 \rangle$ (figure A-1). L'angle défini par ces deux plans $\langle 111 \rangle$ et $\langle 100 \rangle$ est égal à $54,75^\circ$.

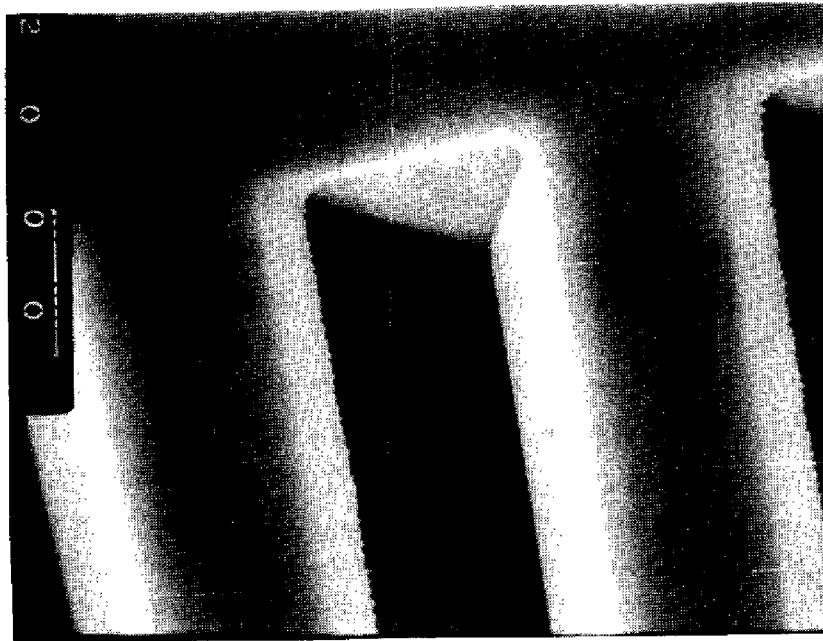


Figure A-1 : Photographie de la gravure d'un "V" dans le silicium
(grossissement 2000)

Des structures à deux niveaux peuvent également être réalisées par attaque anisotrope : une rainure à fond plat est obtenue à condition de contrôler la durée de l'attaque.

Les composés d'attaque comprennent tous, trois éléments en solution :

- un oxydant tel l'hydrazine ou l'hydroxyde de potassium.
- un agent complexe.
- de l'eau.

Le mécanisme d'attaque chimique correspond à la formation d'un silicate hydraté qui est ensuite dissout dans l'eau par action de l'agent complexe. L'hydrazine additionnée d'eau présente l'avantage d'être à la fois un agent complexe et un oxydant. L'hydroxyde de potassium possède la même propriété mais présente l'inconvénient de contaminer l'interface $\text{Si} - \text{SiO}_2$. Les vitesses d'attaque dans les différentes directions du cristal sont fonction de la température et des proportions respectives des composés chimiques. Dans le cas d'un mélange d'eau et d'hydrazine, des essais ont été effectués à la Centrale de Technologie du L.A.A.S.. Les meilleurs résultats ont été obtenus pour un mélange d'eau et d'hydrazine, dans les proportions respectives en volume de 18 % et 82 %, porté à 100° C. A une température plus faible, d'une part, le début de l'attaque n'étant pas uniforme sur toute la surface du silicium, la qualité des surfaces de la rainure en V et de l'arête n'est pas bonne, et d'autre part, les vitesses d'attaque sont trop lentes : il en résulte un élargissement trop important dans la direction $\langle 110 \rangle$. Cette vitesse d'attaque est maximale pour un mélange de 50 % d'hydrazine et d'eau mais une augmentation des qualités des surfaces attaquées est obtenue avec l'augmentation du pourcentage d'hydrazine. Pour la composition du mélange proposée, la vitesse d'attaque est de l'ordre de 0,8 microns par minute à 100° C.

L'angle des deux plans $\langle 111 \rangle$ et $\langle 100 \rangle$ étant connu, la profondeur du V est déterminée par la largeur de la fenêtre,

cependant un élargissement des rainures résultant d'une attaque dans la direction $\langle 110 \rangle$ sous l'oxyde de masquage est observé : pour une fenêtre de 5 microns de largeur, l'élargissement est de quelques dixièmes de microns.

Cette attaque anisotrope a permis de réaliser à ce jour trois types de transistors M.O.S.. Dans tous les cas, la gravure du V a été oxydée puis métallisée pour former le contact de grille.

ANNEXE II

PROGRAMME DE SIMULATION
DU TRANSISTOR V.MOS EN REGIME
DE FORTS SIGNAUX AVEC I.M.A.G. III


```
*DESCRIPTION DU MODELES
MODEL1: MV(1,2,5) MZL, PSI, AD, AS, PHIF, QSS, LEO, C2, CRO, CTOS
DFIF=2*PHIF$PHIBD=AD*AD$
RDS=3$RGR=0.85$RGS=7$
RS=0.04$RG=0.04$RD=0.001$
LG=6E-10$LS=1E-10$LD=0.1E-10$
R1(1,4)=R$SR2(2,5)=RDS$R3(1,6)=RGS$
R4(7,10)=RGS$R5(7,11)=RDS$R6(7,12)=RGR$
L1(4,7)=L$SL2(5,8)=LDS$L3(6,9)=LGS$
C2(11,8)$C3(8,9)$C4(9,12)$C5(9,10)$
C6(8,7)$0.01$PC7(9,7)$PS
*P:FACTEUR DE PONDERATIONS
P=1$
J1(8,7)$
V1(9,7)$
V2(8,7)$
AV2=SI(V2, INFER, 0) (1N) (V2)$
V1=QSS+DFIF+AS*SQRT(DFIF)$
AVV=V1-VT$
AV1=SI(AVV, INFER, 0) (1N) (AVV)$
VGP=AV1+DFIF+AS*SQRT(DFIF)$
RAC=L+(4/PHIBD)*(VGP)$
RAC1=SI(RAC, INFER, 0) (-RAC) (RAC)$
VDD=VGP-DFIF-(PHIBD/2)*(SQRT(RAC1)-1)$
AH=ABS(3*(2*VGP-AV2)*(2*VGP-AV2))+1MC$
A11=2*C2*VGP*(3*VGP-2*AV2)/AH$
A12=2*C2*(VGP-AV2)*(3*VGP-AV2)/AH$
A1=MZL*PSI/(ABS(1+(AV2/LEO))+1MC)$
A2=MZL*PSI/(ABS(1+(VDD/LEO))+1MC)$
AJ1=(PSI+VGP-AV2-DFIF)/(ABS(PSI+VGP-DFIF)+1MC)$
AJ3=SI(AJ1, INFER, 0) (1P) (AJ1)$
AJ2=(PSI+VGP-VDD-DFIF)/(ABS(PSI+VGP-DFIF)+1MC)$
AJ4=SI(AJ2, INFER, 0) (1P) (AJ2)$
B0=AV2+DFIF$
B01=SI(B0, INFER, 0) (0) (B0)$
B1=B0/(ABS(VGP+PSI)+1MC)$
B11=SI(B1, INFER, 0) (0) (B1)$
B2=SQRT(B11)$
B03=SI(ABS(1-B2), SUPER, 0) (1-B2) (1N)$
B3=(1+B2)/B03$
B13=SI(B3, INFER, 0) (1P) (B3)$
BJ1=0.5*LOG(B13)$
B4=DFIF/(ABS(VGP+PSI)+1MC)$
B14=SI(B4, INFER, 0) (0) (B4)$
B5=SQRT(B14)$
B05=SI(ABS(1-B5), SUPER, 0) (1-B5) (1N)$
B6=(1+B5)/B05$
B16=SI(B6, INFER, 0) (1P) (B6)$
BJ2=0.5*LOG(B16)$
B7=VGP+PSI$
B07=SI(B7, INFER, 0) (0) (B7)$
BPO=VDD+DFIF$
B07=SI(BPO, INFER, 0) (0) (BPO)$
BP1=BPO/(ABS(B7)+1MC)$
BL1=SI(BP1, INFER, 0) (0) (BP1)$
BP2=SQRT(BL1)$
B04=SI(ABS(1-BP2), SUPER, 0) (1-BP2) (1N)$
BP3=(1+BP2)/B04$
BL3=SI(BP3, INFER, 0) (1P) (BP3)$
BJ3=0.5*LOG(BL3)$
JA1=A1*((V2+PSI*LOG(AJ3))+2*AD*(SQRT(B01)-SQRT(DFIF)-SQRT(B07)*
(BJ1-BJ2)))$
JA2=A2*((VDD+PSI*LOG(AJ4))+2*AD*(SQRT(B02)-SQRT(DFIF)-SQRT(B07)*
(BJ3-BJ2)))$
*CALCUL PLUS PRECIS DE LA TENSION DE PINCEMENTS
FP=JA2*PS
F1=FP/(LEO*MZL)$
F2=VGP-DFIF$
F3=1+(F1+F1)/(PSI*PSI)-2*F1/PSI$
F4=-2*((F1+F1)/PSI+(F2+F1*F1)/(PSI*PSI)+F2-F1
-(2*F1*F2)/PSI+0.5*PHIBD)$
F5=(F1*F1)+(F2*F2)+2*(F1*F1+F2)/PSI-(PHIBD*PHIF)
F6=(F1*F2)-(F1*F2+F2)/PSI+(F1*F1*F2*F2)/(PSI*PSI)$
F7=(F4*F4)-(4*F5*F3)$
F8=SI(F6, INFER, 0) (0) (F6)$
VDD=1-F4-SQRT(F7)/(2*F8)$
A3=MZL*PSI/(ABS(1+(VDD/LEO))+1MC)$
AJ5=(PSI+VGP-VDD-DFIF)/(ABS(PSI+VGP-DFIF)+1MC)$
AJ6=SI(AJ5, INFER, 0) (1P) (AJ5)$
BP5=VGP+DFIF$
B09=SI(BP5, INFER, 0) (0) (BP5)$
```

```
BP6=BP5/(AB5(B7)+1)C1
BI4=SI(BP6,INFER,0)(0)(BP6)S
BP7=SI(BI4)S
BOB=SI(AB5(1-BP7),SUPER,0)(1-BP7)(1)S
BP8=(1+BP7)/BOB
BI5=SI(BP8,INFER,0)(1)(BP8)S
BJ5=0.5*LOG(BI5)S
JAS=AS*(VDP+PST*LOG(AJB))+2*AD*(SURT(BU9)-SURT(DF1P)
-SOP1(BB7)*(BJ5-BJ2))S
KB=SI(V1,INTEG,VT)(0)(1)S
KP=SI(V2,INTEG,VDP)(0)(1)S
J1=(1-KP)*JA1+KP*JAS)*KB+JIC$
C5=C2*(1-KB)+0.03L-12*KB+4P$
C4=((1-KP)*A1)+(2*C7/3)*KP)*KB+0.01E-12*(1-KB)+0.01P$
C3=C6+(KB*(1-KP)*A12+0.01E-12*(1-KB)+0.01P)S
C2=0.01P+CT0/SQRT(1+1.43*AV2)S
S
*DESCRIP1D9 DU RLSEAMS
MVI(1,2,3)*NSV$S
E1(1,5)*PULSE*JE2(1,4)20$
R2(4,2)25SK1(5,3)2700$
V1(5,1)S+2(2,1)SS
TYPE:'NSV'(HV)0.14,10,0.65,1.2,0.35,-0.30,8,39P,5P,13/P$
S
TABLE:'PULSE'2N/10,4W/0,1000H/055$
```

T

ANNEXE III

PROGRAMME DE SIMULATION
DU TRANSISTOR V. MOS EN REGIME
DE HAUTES FREQUENCES


```
ISN 0077      Y21=NY21/DY21
ISN 0078      Y31=NY1/DY21
ISN 0079      Y21=-Y21-Y23
ISN 0080      Y11=-Y21+Y31+Y32
ISN 0081      Y12=-Y22+Y32
C COEFF. DE NORMALISATION SUR ADMITTANCES E
E=K
ISN 0082      Y11=FY11
ISN 0083      Y21=FY21
ISN 0084      Y22=FY22
ISN 0085      Y23=FY23
ISN 0086      Y32=FY32
ISN 0087      Y33=FY33
ISN 0088      Y12=FY12
ISN 0090      WRITE(6,155) OMEGA,PULS,DY22,NY22,DY21,NY21,N1,N2
ISN 0091      155  FORMAT(5X,F12.8,2F12.8,2X,2F12.8,2X,2F12.8,/,5X,2F12.8,2X,
1 2F12.8,2X,2F12.8,2X,2F12.8)
      BR=B(VOL)
      BC=B(V0)
ISN 0092      WRITE(6,156) BR,BC
ISN 0093      156  FORMAT(10X,F12.8,2X,F12.8)
ISN 0094      WRITE(6,12) VO,OMEG,Y11,Y21,Y22,Y23,Y32,Y33
ISN 0095      12  FORMAT(
1 5X,'TENSION DE GRILLE VG=',2X,F12.8, 7X,'OMEGA=',2X,F12.8
2 /, /,10X,'Y11=',F12.8,2X,F12.8,5X,'Y21=',F12.8,2X,F12.8,5X,'Y22='
3 ,F12.8,2X,F12.8, /, /,10X, 'Y23=',F12.8,2X,F12.8,5X,'Y32=',F12.8,2X
4 ,F12.8,5X, 'Y33=',F12.8,2X,F12.8)
      WRITE(6,35) Y12
ISN 0096      35  FORMAT(10X,'Y12=',F12.8,2X,F12.8)
ISN 0097      Y(1,1)=Y11+1.000/(RG+1.000/(IM*CG))
ISN 0098      Y(1,2)=0.000
ISN 0099      Y(2,1)=Y21
ISN 0100      Y(2,2)=1.000/(RD+1.000/(IM*CDS))
C INTRODUCTION AD. PARASITE CGD
ISN 0101      YP(1,1)=IM*CGD
ISN 0102      YP(1,2)=-IM*CGD
ISN 0103      YP(2,1)=-IM*CGD
ISN 0104      YP(2,2)=IM*CGD
C ADMITTANCE GLOBALE
ISN 0105      YIP(1,1)=Y(1,1)+YP(1,1)
ISN 0106      YIP(1,2)=Y(1,2)+YP(1,2)
ISN 0107      YIP(2,1)=Y(2,1)+YP(2,1)
ISN 0108      YIP(2,2)=Y(2,2)+YP(2,2)
ISN 0109      DEL1=YIP(1,1)*YIP(2,2)-YIP(1,2)*YIP(2,1)
ISN 0110      C TRANSFORMATION EN MATRICE Z
ISN 0111      ZG=IM*LG
ISN 0112      ZS=IM*LS
ISN 0113      ZD=IM*LD
ISN 0114      ZI(1,1)=YIP(2,2)/DEL1
ISN 0115      ZI(1,2)=-YIP(1,2)/DEL1
ISN 0116      ZI(2,1)=-YIP(2,1)/DEL1
ISN 0117      ZI(2,2)=YIP(1,1)/DEL1
C MATRICE IMPEDANCE GLOBALE=MATRICE Z +MATRICE IMP. PARASITE
ISN 0118      Z(1,1)=ZI(1,1)+ZG+ZS
ISN 0119      Z(1,2)=ZI(1,2)+ZS
ISN 0120      Z(2,1)=ZI(2,1)+ZS
ISN 0121      Z(2,2)=ZI(2,2)+ZS+ZD
ISN 0122      DELZ=Z(1,1)*Z(2,2)-Z(1,2)*Z(2,1)
ISN 0123      ZR=IM*LR
ISN 0124      YT=1.000/(ZR+R)
C MATRICE ADMITTANCE GLOBALE
ISN 0125      YG(1,1)=(Z(2,2)/DELZ)+YT
ISN 0126      YG(1,2)=(-Z(1,2)/DELZ)-YT
ISN 0127      YG(2,1)=(-Z(2,1)/DELZ)+YT
ISN 0128      YG(2,2)=(Z(1,1)/DELZ)+YT
ISN 0129      WRITE(6,167)
ISN 0130      167  FORMAT(15X,'PARAMETRES DU QUADRIPOLE GLOBAL')
ISN 0131      DO 17 J=1,2
ISN 0132      DO 17 J=1,2
ISN 0133      17  YG(I,J)=YG(I,J)
ISN 0134      WRITE(6,3) ((YG(I,J),J=1,2),I=1,2)
ISN 0135      3  FORMAT(10X,2G20.6,10X,2G20.6/)
C CALCUL DU GAIN EN PUISSANCE UNILATERALISE
ISN 0136      BUG=CDABS(YG(2,1)-YG(1,2))*2
ISN 0137      DUG=4.000*DREAL(YG(1,1)+YG(1,2))*DREAL(YG(2,2)+YG(1,2))
ISN 0138      MUG=10.000*DLOG10(BUG/DUG)
ISN 0139      WRITE(6,168)MUG
ISN 0140      168  FORMAT(15X,'GAIN EN PUISSANCE UNILATERALISE=',G14.6)
C CALCUL DES PARAMETRES S
ISN 0141      WRITE(6,117)
ISN 0142      117  FORMAT(15X,'PARAMETRES S')
C NORMALISATION PAR RAPPORT 50 OHMS
ISN 0143      YG(1,1)=50.000*YG(1,1)
ISN 0144      YG(1,2)=50.000*YG(1,2)
ISN 0145      YG(2,1)=50.000*YG(2,1)
ISN 0146      YG(2,2)=50.000*YG(2,2)
ISN 0147      DELY=YG(1,1)+YG(2,2)-YG(1,2)*YG(2,1)
ISN 0148      DSU=YG(1,1)+YG(2,2)+DEL1+1.000
ISN 0149      S(1,1)=(1.000-YG(1,1)+YG(2,2)-DELY)/DSU
ISN 0150      S(1,2)=(-2.000*YG(1,2))/DSU
ISN 0151      S(2,1)=(-2.000*YG(2,1))/DSU
ISN 0152      S(2,2)=(1.000+YG(1,1)-YG(2,2)-DELY)/DSU
ISN 0153      DO 18 I=1,2
ISN 0154      DO 18 J=1,2
ISN 0155      18  S(I,J)=S(I,J)
ISN 0156      WRITE(6,3) ((S(I,J),I=1,2),J=1,2)
ISN 0157      GAMMA=(ZS*HBL+SD)/(ZS*GNC+SD)
ISN 0158      SP22=S(2,2)+YG(1,2)+YG(2,1)+GAMMA/(1.-S(1,1)+GAMMA)
```

```
ISN 0161      WRITE (6,121) GAMMA,SP22
ISN 0162      121 FORMAT(15X,'GAMMA=',G10.6,5X,'SP22=',P610.6)
C            CALCUL MATRICE Z GLOBALE NORMALISEE
ISN 0163      WRITE(6,118)
ISN 0164      110 FORMAT(15X,'PARAMETRES Z NORMALISEE')
ISN 0165      ZN(1,1)=YG(2,2)/OELY
ISN 0166      ZN(1,2)=-YG(1,2)/OELY
ISN 0167      ZN(2,1)=-YG(2,1)/OELY
ISN 0168      ZN(2,2)=YG(1,1)/OELY
ISN 0169      DO 19 I=1,2
ISN 0170      DO 19 J=1,2
ISN 0171      19 ZN(I,J)=ZN(I,J)
ISN 0172      WRITE (6,3) ((ZN(I,J),J=1,2),I=1,2)
C            CALCUL DU COEFF DE REFLEXION SUR CIRCUIT OUVERT
ISN 0173      WRITE(6,119)
ISN 0174      119 FORMAT(15X,'COEFF DE REFLEXION SUR C.O.')
ISN 0175      CR(1,1)=(ZN(1,1)-1.000)/(ZN(1,1)+1.000)
ISN 0176      CR(1,2)=(ZN(1,2)-1.000)/(ZN(1,2)+1.000)
ISN 0177      CR(2,1)=(ZN(2,1)-1.000)/(ZN(2,1)+1.000)
ISN 0178      CR(2,2)=(ZN(2,2)-1.000)/(ZN(2,2)+1.000)
ISN 0179      DO 20 I=1,2
ISN 0180      DO 20 J=1,2
ISN 0181      20 CR(I,J)=CR(I,J)
ISN 0182      WRITE(6,3) ((CR(I,J),J=1,2),I=1,2)
ISN 0183      1 CONTINUE
ISN 0184      VGA=VGA+1.000
ISN 0185      IF(VGA=10.000)40,40,50
ISN 0186      50 STOP
ISN 0187      END

ISN 0002      FUNCTION FON7(X)
ISN 0003      REAL*8 VG,OMEGA,LEO,VD,PSI,VR
ISN 0004      COMPLEX*16 PULS
ISN 0005      COMMON VG,OMEGA,LEO,VD,PSI,PULS,VR
ISN 0006      FON7=(1.-X+LEO/VG)/(1.+1./(X*VG/PSI))
ISN 0007      RETURN
ISN 0008      END

ISN 0002      FUNCTION FON8(X)
ISN 0003      REAL*8 VG,OMEGA,LEO,VD,PSI,VR
ISN 0004      COMPLEX*16 PULS
ISN 0005      COMMON VG,OMEGA,LEO,VD,PSI,PULS,VR
ISN 0006      FON8=1.-X+(PSI/VG)*DLOG((1.+X*VG/PSI)/(1.+VG/PSI))
ISN 0007      RETURN
ISN 0008      END

ISN 0002      SUBROUTINE ANULV(V1,VMI,VMA,COU1,COU2)
C            V1 ABSCISSE DONNANT L'EGALITE DES DEUX FONCTIONS COU
C            VMI BORNE INFERIEURE DE L'INTERVALLE DE RECHERCHE
C            VMA BORNE SUPERIEURE DE L'INTERVALLE DE RECHERCHE
C            COU1 PREMIERE FONCTION
C            COU2 DEUXIEME FONCTION
ISN 0003      VMIN=VMI
ISN 0004      VMAX=VMA
ISN 0005      5 DIF1=COU1(VMIN)-COU2(VMIN)
ISN 0006      DIF2=COU1(VMAX)-COU2(VMAX)
ISN 0007      VINT=(VMIN+VMAX)*0.5
ISN 0008      DIF3=COU1(VINT)-COU2(VINT)
ISN 0009      IF(DIF3*DIF1)1,1,2
ISN 0010      1 IF(ABS(VMI-VINT)-1.E-6)3,3,4
ISN 0011      3 GO TO 11
ISN 0012      4 VMAX=VINT
ISN 0013      GO TO 5
ISN 0014      2 IF(DIF3*DIF2)6,6,7
ISN 0015      6 IF(ABS(VMAX-VMI)-1.E-6)8,8,9
ISN 0016      8 GO TO 11
ISN 0017      9 VMIN=VINT
ISN 0018      GO TO 5
ISN 0019      7 WRITE(6,10)
ISN 0020      10 FORMAT(///,10X,'CHOISIR UNE AUTRE VALEUR DE V1 CALCUL IMPOSSIBLE
1 ')
ISN 0021      VR=VMI
ISN 0022      GO TO 12
ISN 0023      11 V1=VINT
ISN 0024      12 RETURN
ISN 0025      END

ISN 0002      FUNCTION B(X)
ISN 0003      COMPLEX*16 PULS
ISN 0004      REAL*8 B
ISN 0005      REAL*8 X
ISN 0006      REAL*8 DLOG
ISN 0007      REAL*8 LEO,VG,OMEGA,VD,PSI,VR
ISN 0008      REAL*8 A,C,E
ISN 0009      COMMON VG,OMEGA,LEO,VD,PSI,PULS,VR
ISN 0010      A=(VG**3)*(1.00+(VD-VR)/LEO)
ISN 0011      C=(PSI**2)*(VD-VR+PSI*DLOG((PSI+VG-VD)/(PSI+VG-VR)))
ISN 0012      E=(VD-VR+PSI*DLOG((PSI+VG-VD)/(PSI+VG-VR)))/(LEO+VD-VR)
ISN 0013      B=(A/C)*(1.00/(X/(PSI+X)+1))
ISN 0014      RETURN
ISN 0015      END

ISN 0002      FUNCTION A(Z,Y,Z)
ISN 0003      REAL*8 A
ISN 0004      REAL*8 X,Y,Z
ISN 0005      REAL*8 DLOG
ISN 0006      A=(1.00-X+(X/Z)*DLOG((1.00+Z)/(1.00+Z/X)))+(1.00/((1.00-X)*Y+
1 1.00))
```

```

ISN 0007          RETURN
ISN 0008          END

ISN 0002          COMPLEX FUNCTION P*16(X,N)
ISN 0003          COMPLEX*16 AN0,B
ISN 0004          COMPLEX*16 DCMLX
ISN 0005          REAL*8 X
ISN 0006          P=DCMLX(1.00,0.00)
ISN 0007          IF(N-3)10,11,11
ISN 0008          10 GO TO 2
ISN 0009          11 I=3
ISN 0010          3 B=AND(I)*(X**I)
ISN 0011          P=P+B
ISN 0012          I=I+1
ISN 0013          IF(I-N)1,1,2
ISN 0014          1 GO TO 3
ISN 0015          2 RETURN
ISN 0016          END

ISN 0002          COMPLEX FUNCTION Q*16(X,N)
ISN 0003          COMPLEX*16 AN1,B
ISN 0004          COMPLEX*16 DCMLX
ISN 0005          REAL*8 X
ISN 0006          Q=DCMLX(X,0.00)
ISN 0007          IF(N-4)10,11,11
ISN 0008          10 Q=DCMLX(1.00,0.00)
ISN 0009          GO TO 2
ISN 0010          11 I=4
ISN 0011          3 B=AN1(I)*(X**I)
ISN 0012          Q=Q+B
ISN 0013          I=I+1
ISN 0014          IF(I-N)1,1,2
ISN 0015          1 GO TO 3
ISN 0016          2 RETURN
ISN 0017          END

ISN 0002          COMPLEX FUNCTION RPR*16(X,N)
ISN 0003          COMPLEX*16 AN0,B
ISN 0004          COMPLEX*16 DCMLX
ISN 0005          REAL*8 DFLOAT
ISN 0006          REAL*8 X
ISN 0007          RPR=DCMLX(0.00,0.00)
ISN 0008          IF(N-3)10,11,11
ISN 0009          10 RPR=DCMLX(1.00,0.00)
ISN 0010          GO TO 2
ISN 0011          11 I=3
ISN 0012          3 B=DFLOAT(I)*AND(I)*(X**(I-1))
ISN 0013          RPR=RPR+B
ISN 0014          I=I+1
ISN 0015          IF(I-N)1,1,2
ISN 0016          1 GO TO 3
ISN 0017          2 RETURN
ISN 0018          END

ISN 0002          COMPLEX FUNCTION SPR*16(X,N)
ISN 0003          COMPLEX*16 AN1,B
ISN 0004          COMPLEX*16 DCMLX
ISN 0005          REAL*8 DFLOAT
ISN 0006          REAL*8 X
ISN 0007          SPR=DCMLX(1.00,0.00)
ISN 0008          IF(N-4)10,11,11
ISN 0009          10 SPR=DCMLX(1.00,0.00)
ISN 0010          GO TO 2
ISN 0011          11 I=4
ISN 0012          3 B=DFLOAT(I)*AN1(I)*(X**(I-1))
ISN 0013          SPR=SPR+B
ISN 0014          I=I+1
ISN 0015          IF(I-N)1,1,2
ISN 0016          1 GO TO 3
ISN 0017          2 RETURN
ISN 0018          END

ISN 0002          COMPLEX FUNCTION AN0*16(N)
ISN 0003          COMPLEX*16 PULS
ISN 0004          COMPLEX*16 DCMLX
ISN 0005          COMPLEX*16 CNO,BNO
ISN 0006          REAL*8 DFLOAT
ISN 0007          REAL*8 LED,VG,OMEGA,VD,PSI,VR
ISN 0008          REAL*8 Z
ISN 0009          REAL*8 SOM
ISN 0010          REAL*8 VO
ISN 0011          COMMON VG,OMEGA,LED,VD,PSI,PULS,VR
ISN 0012          VO=VG
ISN 0013          IF(N-2) 4,4,5
ISN 0014          4 AN0=DCMLX(0.00,0.00)
ISN 0015          GO TO 6
ISN 0016          5 CONTINUE
ISN 0017          M=INT(FLOAT(N)/3.)
ISN 0018          CNO=DCMLX(0.00,0.00)
ISN 0019          K=1
ISN 0020          3 Z=SOM(K,N,0)
ISN 0021          BNO= ( (-1.00)**(N-K))*(PULS**K)*(1.00/(PSI**(N-3*K)))*Z
ISN 0022          1 * (1.00/VO**(3*K))
ISN 0023          K=K+1
ISN 0024          CNO=CNO+BNO
ISN 0025          IF(K=N) 1,1,2
ISN 0026          1 GO TO 5
ISN 0027          2 AN0=CNO * (1.00/DFLOAT(N)*DFLOAT(N-1))
ISN 0028          RETURN
ISN 0029          END

```

```

ISN 0002      COMPLEX FUNCTION AN1*16(N)
ISN 0003      COMPLEX*16 PULS
ISN 0004      COMPLEX*16 BN1,CN1
ISN 0005      COMPLEX*16 DCMPLEX
ISN 0006      REAL*8 DFL0AT
ISN 0007      REAL*8 SOM
ISN 0008      REAL*8 Z 1
ISN 0009      REAL*8 LEO,VG,OMEGA,VD,PSI,VR
ISN 0010      REAL*8 VD
ISN 0011      COMMON VG,OMEGA,LEO,VD,PSI,PULS,VR
ISN 0012      VD=VG
ISN 0013      IF(N=3) 4,4,5
ISN 0014      4 AN1=DCMPLEX(0.00,0.00)
ISN 0015      GO TO 6
ISN 0016      5 CONTINUE
ISN 0017      M1=INT((FLOAT(N-1))/3.)
ISN 0018      CN1=DCMPLEX(0.00,0.00)
ISN 0019      K=1
ISN 0020      3 Z1=SOM(K,N,1)
ISN 0021      2 BN1= (((-1.00)**(N-K-1))*(PULS**K)*(1.00/(PSI**(N-3*K-1)))*Z1)
ISN 0022      1 * (1.00/VD**(3*K))
ISN 0023      K=K+1
ISN 0024      CN1=CN1+BN1
ISN 0025      IF(K=M1) 1,1,2
ISN 0026      1 GO TO 3
ISN 0027      2 AN1 = CN1 * (1.00/ (DFLOAT (N) * DFL0AT (N-1)))
ISN 0028      6 RETURN
ISN 0028      END

ISN 0002      DOUBLE PRECISION FUNCTION SOM(K,N,L)
ISN 0003      REAL*8 SOMME,PROD
ISN 0004      REAL*8 DFL0AT
ISN 0005      INTEGER VMAX(100),VMIN(100),VACT(100)
ISN 0006      IF(K.EQ.1) GO TO 190
ISN 0007      IF(K.EQ.2) GO TO 170
ISN 0008      K1=K+1
ISN 0009      SOMME=0.00
ISN 0010      PROD=1.00
ISN 0011      VMAX(1)=N-3
ISN 0012      VACT(1)=VMAX(1)
ISN 0013      DO 100 I=1,K1
ISN 0014      100 VMIN(I)=3*(K-I)+L
ISN 0015      DO 110 J=2,K1
ISN 0016      VMAX(I)=VMAX(I-1)-3
ISN 0017      110 VACT(I)=VMAX(I)
ISN 0018      130 NIV=K1
ISN 0019      DO 120 I=1,K1
ISN 0020      IPROD=VACT(I)*(VACT(I)-1)
ISN 0021      120 PROD=PROD*DFLOAT(IPROD)
ISN 0022      SOMME=SOMME+1.00/PROD
ISN 0023      PROD=1.000
ISN 0024      IF(VACT(K1).EQ.VMIN(K1)) GO TO 140
ISN 0025      VACT(K1)=VACT(K1)-1
ISN 0026      GO TO 130
ISN 0027      140 NIV=NIV-1
ISN 0028      IF(NIV.EQ.0) GO TO 150
ISN 0029      IF(VACT(NIV).EQ.VMIN(NIV)) GO TO 140
ISN 0030      VACT(NIV)=VACT(NIV)-1
ISN 0031      NIV=NIV+1
ISN 0032      DO 160 I=NIV,K1
ISN 0033      VMAX(I)=VACT(I-1)-3
ISN 0034      160 VACT(I)=VMAX(I)
ISN 0035      GO TO 130
ISN 0036      150 SOM=SOMME
ISN 0037      RETURN
ISN 0038      190 SOM=1.00
ISN 0039      RETURN
ISN 0040      170 K1=3+L
ISN 0041      K2=N-3
ISN 0042      SOMME=0.00
ISN 0043      DO 180 I=K1,K2
ISN 0044      IPROD=I*(I-1)
ISN 0045      180 SOMME=SOMME+1.00/DFLOAT(IPROD)
ISN 0046      GO TO 150
ISN 0047      END

```


BIBLIOGRAPHIE

- [1] R.H. DAWSON, N.H. DITRICK, J.D. PREISIG, B.W. RICHARDS
Transistor FET H.F. Silicon Power linear 10 MHz, 5 - Watt PEP
Research and Development Technical Report ECOM 02117 F N° DA 28043
AMCO 2117 (E) U.S. Army 1968.

- [2] D. KAHNG, M.M. ATALLA
Silicon - Silicon dioxide field induced surface devices.
IRE Solid State Device Research Conference Pittsburg-Penn-June 1960

- [3] O.J.R. LEISTIKO, A.S. GROVE
Breakdown Voltage of Planar Silicon Junctions
Solid State Electronics - 1966 - Vol 9 - p 847 - 852

- [4] A.S. GROVE, O.J.R. LEISTIKO, W.W. HOOPER
Effect of Surface Field on the Breakdown Voltage of Planar Silicon
P.N. Junction - I.E.E.E. Transactions on Electron Devices. 1967
Ed 14, N° 3, p. 157 - 162

- [5] H. MARTINOT, P. ROSSEL
Power MOS Transistors - document LAAS, 1978

- [6] R.D. JOSEPHY
MOS Transistor for Power Amplification in the H.F. Band
Philips Technical Review, Vol 31, N° 7/8/9, 1970, p. 251-258

- [7] T. OKABE, I. YOSHIDA, S. OCHI, M. NAGATA
A complementary Pair of High - Power MOSFET'S
IEDM Washington 1977 - p. 416 - 419

- [8] Y. MORITA, H. TAKAHASHI, H. MATAYOSHI, M. FUKUTA
Si U.H.F. High - Power FET
I.E.E.E. transactions on Electron Devices. Ed 21, N° 11, 1974
p. 733 - 734

- [9] I. YOSHIDA, M. KUBO, S. OCHI
A High Power MOSFET with a vertical drain electrode and a meshed gate structure
I. E.E.E. Journal of Solid State Circuits Vol SC 11, N° 4, 1976
p 472 - 477
- [10] H.W. COLLINS, B. PELLY
HEXFET, a new power technology, cuts on-resistance, boosts ratings
Electronic Design_ Juin 1979 - p. 36 - 40
- [11] H. J. SIGG, G.D. VANDELIN, T.P. GAUGE, J. KOCSIS
D.MOS Transistor for Microwave Applications
I.E.E.E. Transactions on Electron Devices, Vol Ed. 19,
n° 1, January 1972, p 45 - 53
- [12] M.D. POCHA
High Voltage D.MOS transistor for integrated circuits
Ph .D. Thesis - Stanford University - March 1976
- [13] T.M.S. HENG, J.G. OAKES, D.A. TREMERE
Vertical Channel Metal-Oxyde-Silicon Field Effect Transistor
Annual Report - Contract N 00014 - 74 - C0012
Office of Naval Research Washington D.C. 1 th November 1974
- [14] B. FARZAN, C.A.T. SALAMA
Depletion V-GROOVE MOS (V.MOS) power transistors
Solid State Electron., Vol 19, Feb. 1976, p. 297 - 306
- [15] C.A.T. SALAMA
A new short channel MOSTET Structure (UMOST)
Solid State Electron, Vol 20, 1977, p 1003 - 1010
- [16] R.L. MEEK
Electrochemically Thinned N/N⁺ Epitaxial Silicon-Method and Applications.
J. Electrochem. Soc, 118, July 1971, p 1240 - 1246.

- [17] E. OXNER
A new technology takes on H.F. Power bipolars
Microwave Systems News, Vol 6, n° 5, 1976, p 107 - 110
- [18] M.D. POCHA - R. DUTTON
A computer - Aided Design Model for high Voltage Double
Diffused MOS (D.MOS) Transistor
I.E.E.E Journal of Solid State Circuits, Vol sc 11 n° 5
1976, p 718 - 726.
- [19] F.F. FANG, A.B. FOWLER
Hot Electron Effects and Saturation Velocities in Silicon
Inversion Layers
Journal of Applied Physics, Vol 41, n° 4, March 1970,
p 1825 - 1831
- [20] D.M. GAUCHEY, R.E. THOMAS
Carrier Mobilities in Silicon empirically related to doping and field
Proc. I.E.E.E., dec. 1967, p 2192
- [21] F.N. TROFIMENKOFF
Field dependent mobility analysis of the field effect transistor
Proc. I.E.E.E., vol 53, Nov. 1965, p 1765-1766
- [22] C. CANALI, G. MAJNI, R. MINDER, G. OTTAVIANI
I.E.E.E. Transactions on Electron Devices, ED 22, 1975,
p. 1045
- [23] Y. KOMIYA et col.
Nat. Conv. IECE Japan, 1975,
- [24] R.W. COEN - R.S. MULLER
Velocity of Surface carriers in inversion layers on silicon
documentation personnelle - à paraître -

- [25] E. ARNOLD, G. ABOWITH
Effect of Surface States on Electron Mobility in Silicon
surface Inversion layer

Applied Phys. Letters, Vol. 9, Novembre 1966, p 344 - 346
- [26] E. SUN, J. MOLL
A Simple Analytical Short Channel MOS Model
documentation personnelle - à paraître -
- [27] documentation personnelle obtenue de la R.T.C.
- [28] G. VASSILIEFF
Modèle du transistor MOS - Influence des variations de la
mobilité des porteurs
Thèse 3 ème cycle, Université Paul Sabatier, Toulouse, 19 Oct. 1971
- [29] H.C. PAO
Theoretical and experimental investigations of M.O.S. transistors
Ph .D. Thesis - University of Illinois - 1966
- [30] P.O. YANG
Double Ion Implanted V.MOS technology
I.E.E.E. Journal of Solid State circuits, Vol SC 12, n° 1,
Feb. 1977, p 310
- [31] P. ROSSEL, M. GAMBOA, H. TRANDUC, H. MARTINOT
Low frequency relaxation phenomena in power MOS.T
9 th ESSDERC, Sept. 1979, Munich.
- [32] M. GAMBOA
thèse à paraître
- [33] P. ROSSEL
Propriétés statiques et dynamiques du transistor à effet de
champ à grille isolée.
Thèse de doctorat d'Etat - Université Paul Sabatier N° 529. 1973

- [34] A.S. GROVE
Physics and Technology of semiconductor devices - John Wiley
and Sons. New-York 1967
- [35] C.T. SAH, H.C. PAO
Effects of diffusion current on characteristics of M.O.S.
transistor
Solid State Electr. Vol 9, 1966, p 927 - 937
- [36] G. MERKEL, J. BOREL, N.Z. CUPCEA
An accurate large signal MOS.T model for use in computer aided
design.
I.E.E.E. Transactions on Electron Devices, Vol. ED 19,n°5, P681-690
- [37] P. ROSSEL, H. MARTINOT
Modèle phénoménologique du transistor MOS en régime de saturation
Electron. Lett. Vol 9, Sept 1973, n° 18.
- [38] M. SALVIAC
Caractérisation physique des circuits logiques élémentaires à
transistors MOS. Thèse de 3ème cycle - Université Paul Sabatier
- N° 810-Toulouse 1969
- [39] A. GOETZBERGER
Ideal M.O.S. Curves for Silicon
The Bell System Technical Journal . Sept 1966. p 1097 - 1122
- [40] C. COMBES, M. GOLOUBKOFF, B. LORIOU, G. MANSION
Influence des éléments parasites du boîtier sur les performances
d'un transistor hyperfréquence. Journées Electroniques de
Toulouse
- [41] G. SARRABAYROUSE, J. BUXO, P. ROSSEL
Comportement électrique sous rayonnement ionisant des transistors
VMOS. Rapport de contrat DAM/CEA III/N° 1405

- [42] J. SIMONNE
Propriétés physiques des interfaces Si - Si O₂ sous l'action
de contraintes électriques.
Thèse de doctorat d'Etat - Université Paul Sabatier N° 552
1973
- [43] M. ZAMORANO
Contribution à l'étude des transistors MOS. Structures à double
grille et structures de puissance à canal vertical.
Thèse de 3^{ème} cycle. Université Paul Sabatier N° 2032.
Toulouse 1977
- [44] J. R. BURNS
High frequency characteristics of the Insulated Gate Field-
Effect Transistor R.C.A Review, Sept. 1967, p. 385 - 418
- [45] J.T. WALLMARK. H. JOHNSON
Field-Effect Transistor- CHAP II (High Frequency Circuits)
Prentice Hall In. 1966
- [46] F.M. CARLSON
Application consideration for the VHF MOS FET
RCA Note AN 3193 - August 1966
- [47] R.H. DAWSON - J.O. PREISIG - D.M. STEVENSON
UHF MOS integrated circuits.
Research and Development technical report ECOM 0252F
RCA Solid State Division, Oct 1971
- [48] H. BENEKING - H. KASUGAI
Gigahertz P channel enhancement silicon MOSFET with non over
lapping gate.
I.E.E.E Journal of S.S.C. - Vol 5 - n° 6 - dec 1970
- [49] M.D. STEPHENSON
Wide Bandwidth Integrated Circuit Amplifiers using FET'S
Ph. D. Thesis- University of Southampton - 1973

- [50] S.Y. YU - P. OU.YANG
New V. Groove Double Diffused MOS (V.MOS)
Electronics Letters, Vol 12, N° 23 - Nov. 1976 p. 605
- [51] M. THOUY - P. ROSSEL
Caractérisation H.F. du Micro MOS - Note technique LETI -
CEA CENG MEA N° 1270, Janv. 1978.
- [52] R.S. RONEN - L. STRAUSS
The Silicon on Sapphire Tetrode - Some Small Signal Feature
L.F. to U.H.F. I.E.E.E. Trans. on E.D. - Vol 21 - N°1 Jan. 1974
- [53] P. ROSSEL - J.P. SUAT - H. MARTINOT - G. MORIN - M. ZAMORANO
Conception et réalisation de tétrode MOS sur isolant destinées
à l'amplification en hautes fréquences
contrat DGRST n° 75-7 0690 Nov 1976
- [54] J.G. OAKES - R.A. WICKSTROM - D.A. TREMERE - T.M.S. HENG
A power silicon microwave MOS Transistor
I.E.E.E. Trans. ON MTT Vol 24 - N° 6 - June 1976 - p 305-311
- [55] A. VAN DER ZIEL, J.W. ERO
Small signal high frequency theory of field effect transistor
I.E.E.E. Trans. on E.D. April 1964, p. 128-135
- [56] R.S.H. HOPKINS
High frequency (Y) parameters of the MOS transistor
Ph. D. Thesis, Rutgers University - June 1970
- [57] J.A. GEURST
Calculation of high frequency characteristics of thin film
transistor-Solid State Electronics, vol 8, 1965, p 88 - 90
- [58] J.A. GEURST - H.J.C.A. NUNNINK
Numerical data on the high frequency characteristics of
thin film transistors.
Solid State Electronics, Vol 8, 1965, p. 769 - 771

- [59] M.B. DAS
Generalized high frequency network theory of field effect transistors-Proc. I.EEE, Vol 114, n° 1, Jan. 1967.
- [60] M.B. DAS
High frequency network properties of MOS Transistor including the substrate resistivity effects
IEEE trans on E.D., n° ED-12, 1969, p 1049-1069
- [61] H. MARTINOT - P. ROSSEL
High frequency properties of MOS transistor
Third European Solid State Device Research Conference
ESSDERC 1973 - Munich
- [62] E.N. PRONONTARIOS - O. WING
Theory of non uniform RC lines
I.EEE Trans. on C.T. Vol 14, n°1, March 1967, p. 2-12
- [63] E.N. PRONTARIOS - O. WING
Computation of the step response of a general non uniform RC distributed network
I.EEE Trans. On C.T., Vol. 144, n° 2, June 1967, p 212-221
- [64] S.A. SHELKUNOFF
Applied mathematics for engineers and scientists
D. Van Nostrand, 1965, ch. XX, p 389-416
- [65] P. ROSSEL
Méthode de calcul des paramètres H.F des transistors MOS en régime de non pincement
Electr. Letters, Vol 8, n° 25, déc. 1972, p. 614-617
- [66] W.J. CUNNINGHAM
Introduction to non linear analysis
Mc. Graw Hill Book Company Inc. 1958, ch IX

- [67] P. ROSSEL, M. GAMBOA, H. TRANDUC, H. MARTINOT
Influence de la contre-réaction thermique sur l'impédance de sortie des transistors MOS à canaux courts.
A paraître dans la Revue de Physique Appliquée Nov. 1979
- [68] P. ROSSEL, G. GUEGAN, H. MARTINOT, M. ZAMORANO
Static and high frequency modelling of vertical channel MOS transistor (V.MOS)
Revue de Physique Appliquée, Tome 13, Déc. 1978, p 591 - 596
- [69] E. OXNER
Try MOS Power FET's in your next Broadband Driver, Technical Article TA 76-1. Siliconix. Août 1976
- [70] E. OXNER
A new technology : Application of MOS Power FET's for High Frequency communications
Technical Article TA 76-2. Siliconix Nov. 1976.
- [71] R.C.A.
Solid. State Power Circuits. Designer's Handbook
- [72] R. AMOR, M. TAHERALY
Amplification Hautes Fréquences à Transistors V.MOS
Rapport d'avant-projet. I.N.S.A. 1978
- [73] D.B. LEE
Anisotropic Etching of Silicon
Journal of Applied Physics, Vol 40, N° 11, OCT. 1969,
p 4569-4574
- [74] M.J. DECLERCQ, L. GERZBERG, J.D. MEINDL
Optimization of the hydrazine - Water solution for Anisotropic Etching of Silicon in Integrated circuit Technology.
J. Electrochem. Soc, Solid State Science and Technology,
Avril 1975, p 545-552

- [75] B.K. AHUJA
Fabrication and Modelling of V.MOS devices
Carleton University - Canada - April 1976

TABLE DES MATIERES

	page
<u>Liste des Symboles</u>	
<u>Introduction</u>	1
<u>CHAPITRE I - Les diverses structures de transistors M.O.S. de puissance</u>	
1 - Introduction	9
2 - Principaux facteurs de limitation en puissance	11
2.1 - Claquage de la diode drain	12
2.2 - Perçage source-drain	14
2.3 - Densité de courant	16
2.4 - Limitation thermique	17
3 - Les structures de puissance	18
3.1 - Structures ayant un canal horizontal et un dopage du substrat uniforme	19
3.2 - Structures à canal horizontal diffusé : D.MOS	26
3.3 - Structures à canal vertical	27
3.4 - Comparaison	34
<u>CHAPITRE II - Modèles du transistor M.O.S. à canal vertical : régime statique et fonctionnement en commutation</u>	
1 - Etudes des propriétés des zones actives du canal	39
1.1 - Propriétés statiques du canal d'inversion du V.MOS	39
1.1.1 - Le modèle classique	41
1.1.2 - Expression du courant drain	49
1.2 - Expressions théoriques des charges sur les électrodes : capacité dynamique de la zone active	64
1.2.1 - Charge de l'électrode de grille	65
1.2.2 - Capacités dynamiques grille-source et grille drain	68

2. Modèle du transistor V.MOS en régime de commutation	69
2.1 - La partie active du V.MOS	70
2.1.1 - Le courant généré par la source	70
2.1.2 - Les capacités inter-électrodes	70
2.2 - Les éléments parasites	71
2.2.1 - Les résistances en série avec les électrodes	71
2.2.2 - Les éléments parasites inter-électrodes	73
2.2.3 - Les inductances d'accès	75
2.3 - Détermination des paramètres	77
2.3.1 - Détermination de $\int_0^M z/L_{Cox}$	77
2.3.2 - Détermination de $\phi_{BD}, \phi_{BS}, \phi_F, \frac{Q_{SS}}{Cox} - \phi_{MS}$	79
2.3.3 - Détermination de R_{dr} et Υ	82
2.3.4 - Détermination de LE_o	84
2.3.5 - Détermination de C_{DS}, C_{GD}, R_{DS}	84
2.3.6 - Détermination des autres éléments	86
3 - Vérifications expérimentales du modèle	86
3.1 - Caractéristiques statiques	86
3.1.1 - Effet de la longueur du canal sur la transconductance	87
3.1.2 - Simulation des caractéristiques statiques	89
3.2 - Caractéristiques dynamiques	95
3.2.1 - Mise en évidence de la non-linéarité de la capacité dynamique d'entrée	96
3.2.2 - Temps de montée et de descente	100
4 - Conclusion	109

CHAPITRE III - Modèle en régime de hautes fréquences du transistor M.O.S, à canal vertical

1 - Introduction - Position du problème	113
1.1 - Les diverses familles de transistor MOS pour H.F.	113
1.2 - Les schémas équivalents et les paramètres H.F.	114
1.3 - Buts de l'étude	115
2 - Analyse théorique des propriétés de la zone active en régime de hautes fréquences	116
2.1 - Equations régissant le comportement dynamique du canal	116
2.2 - Méthodes de résolution des équations différentielles régissant le comportement dynamique	119
2.3 - Expression des facteurs de la matrice admittance Y_{ij} "intrinsèque"	123
2.4 - Variations des paramètres normalisés	129
3 - Modèle dynamique du V.MOS	135
3.1 - Quadripôle équivalent global	135
3.2 - Les paramètres Y_{ij} et S_{ij}	141
3.3 - Le gain en puissance	149
4 - Première application du modèle dynamique : simulation d'un amplificateur large-bande	151
4.1 - Etude de l'amplificateur en régime de petits signaux : gain, bande passante et taux d'ondes stationnaires.	154
4.2 - Méthode de détermination du point de compression et du taux de distorsion	164
5 - Deuxième application du modèle dynamique : détermination des fréquences limites de fonctionnement du V.MOS	171
5.1 - Choix de la tension de grille	173
5.2 - Choix de la tension drain-source	173
5.3 - Influence de la surface du substrat	176
6 - Conclusion	179
<u>CONCLUSION</u>	185

<u>ANNEXE I</u> . L'attaque anisotrope du silicium	191
<u>ANNEXE II</u> . Programme de simulation du transistor V.MOS en régime de forts signaux avec IMAG III	197
<u>ANNEXE III</u> . Programme de simulation du transistor V.MOS en régime de hautes fréquences	201
<u>BIBLIOGRAPHIE</u>	209