



HAL
open science

Le Transistor M.O.S. de puissance : la relaxation thermique et les effets liés à la configuration N-N+ du drain

Mariano Gamboa Zuniga

► **To cite this version:**

Mariano Gamboa Zuniga. Le Transistor M.O.S. de puissance : la relaxation thermique et les effets liés à la configuration N-N+ du drain. Micro et nanotechnologies/Microélectronique. Université Paul Sabatier - Toulouse III, 1980. Français. NNT: . tel-00178833

HAL Id: tel-00178833

<https://theses.hal.science/tel-00178833>

Submitted on 12 Oct 2007

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

présentée

DEVANT L'UNIVERSITÉ PAUL SABATIER DE TOULOUSE (Sciences)

en vue de l'obtention

du **Diplôme de DOCTEUR INGÉNIEUR**

Spécialité : E.E.A. - Option Matériaux et Composants Actifs

par

Mariano GAMBOA ZUNIGA

Ingénieur
Maestro en Ciencias } I.P.N. Mexique

LE TRANSISTOR M.O.S. DE PUISSANCE : LA RELAXATION THERMIQUE ET LES EFFETS LIES A LA CONFIGURATION $N^- N^+$ DU DRAIN

Soutenue le 30 Octobre 1980, devant la Commission d'Examen :

MM. G. REY Président

R. CASTAGNÉ
Ph. LETURCQ
H. MARTINOT
E. TONNEL
P. ROSSEL } Examineurs

AVANT - PROPOS

Le travail que nous présentons dans ce mémoire a été effectué dans le cadre de la Division "Composants Electroniques" du Laboratoire d'Automatique et d'Analyse des Systèmes (L.A.A.S.) du Centre National de la Recherche Scientifique (C.N.R.S.) de Toulouse.

Avant d'entreprendre l'exposé de nos travaux, nous tenons à remercier tous ceux qui, par leur confiance, leur enseignement, leur amitié, ont contribué à leur aboutissement.

Nous remercions Monsieur le Professeur G. GRATELOUP, Directeur du L.A.A.S. ainsi que Monsieur D. ESTEVE, Directeur de Recherche au C.N.R.S., Directeur-Adjoint du L.A.A.S. pour la confiance qu'ils nous ont accordée en nous accueillant dans ce laboratoire.

Nous remercions Monsieur le Professeur G. REY, de l'Université Paul Sabatier de Toulouse, pour l'honneur qu'il nous fait en acceptant de présider notre Jury de thèse.

Nous sommes très honorés de la présence à notre jury de thèse et nous tenons à remercier :

- Monsieur R. CASTAGNÉ, Professeur à l'Université Paris Sud-Orsay, qui a bien voulu s'intéresser à notre travail et nous a fait l'honneur d'accepter de participer à notre commission d'examen.

- Monsieur Ph. LETURCO, Professeur à l'Institut National des Sciences Appliquées de Toulouse, pour l'honneur qu'il nous fait en s'intéressant à notre travail.

- Nous remercions vivement Monsieur H. MARTINOT, Directeur de Recherche au C.N.R.S. pour ses conseils et suggestions.

- Monsieur E. TONNEL, Responsable du Service d'Etudes Division Semiconducteurs Thomson CSF. St. Egrève, pour l'honneur qu'il nous fait en acceptant, malgré ses multiples occupations, de siéger à notre Jury de thèse.

- Monsieur P. ROSSEL, Chargé de Recherche au C.N.R.S., a bien voulu assurer la direction scientifique de nos travaux et contribuer pour une très large part à leur aboutissement. Nous tenons à lui témoigner notre profonde gratitude.

Nos remerciements vont aussi :

- à Messieurs E. CAQUOT, G. GUEGAN et H. TRANDUC pour les nombreuses discussions très fructueuses que nous avons eues ensemble, pour leur aide efficace et leur amitié.

- à Messieurs G. SARRABAYROUSE et T. PHAN PHAM pour leur collaboration.

- à Monsieur J. LEBAILLY, Responsable des Etudes Avancées des Eléments Discrets à la Radiotechnique Compelec (Caen) pour la fourniture de composants de test.

- aux membres du Service de Documentation du L.A.A.S. qui ont mené à bien la réalisation matérielle de ce mémoire :

- à Messieurs ZITTEL, DAURAT et LORTAL pour l'impression de cet ouvrage,

- et Madame DEPARIS pour le soin apporté à la dactylographie.

Enfin, nous remercions tous les membres du Laboratoire pour le soutien amical qu'ils nous ont manifesté, plus particulièrement, Madame M. BENOIT, Mademoiselle C. AZIZI, et Messieurs A. MUNOZ et J. KANDEM ainsi que la "Jeunesse" de la pièce 167, Messieurs S. BACEIREDO, J. BORREIL, J. DANGLA et R. TURKMAN.

Mes remerciements vont aussi au CONACyT du MEXIQUE pour la bourse qu'il m'a accordée et qui m'a permis de mener à bon terme ce travail.

o o

o

LISTE DES PRINCIPALES NOTATIONS UTILISEES

A_n, B_n	Constantes intervenant dans l'expression du coefficient d'ionisation (cm^{-1} et V/cm)
C_{DS}	Capacité de transition de la diode de drain
C_{ox}	Capacité par unité de surface de la couche d'oxyde
C_{th}	Capacité thermique
E_c	Champ critique longitudinal
E_M	Champ maximal à la jonction p-n
E_x, E_y	Champs électriques dans les directions x, y
H	Épaisseur de la région drift
I_D	Courant drain du transistor M.O.S.
I_c	Courant critique
$\text{Im} [y(\omega)]$	Partie imaginaire de l'admittance de sortie
$\text{Im} [y(\omega)]_{\text{max}}$	Valeur maximale de la partie imaginaire de l'admittance de sortie
L	Longueur du canal du transistor M.O.S.
M_n	Facteur de multiplication pour les électrons
$N_{A,D}$	Concentration en impuretés : acceptrices, donatrices
P	Puissance
$R_e [y(\omega)]$	Partie réelle de l'admittance de sortie
R_{th}	Résistance thermique
R_{ch}	Résistance du canal
R_D	Résistance de sortie du transistor M.O.S. liée à l'effet électrostatique de la diode de drain.
R_{drift}	Résistance de la région drift
$R_e(o)$	Admittance de sortie à fréquence nulle
R_{ON}	Résistance statique drain-source à l'état passant
$R_e(L)$	Admittance de sortie en hautes fréquences
T	Température absolue

T_c	Température du cristal
T_b	Température du boîtier
V_D	Différence de potentiel drain-substrat
V_G	Différence de potentiel grille-substrat
V_P	Tension drain de pincement
V_T	Tension de seuil
$y(\omega)$	Admittance complexe de sortie
Z	Largeur total du canal
$Z_{th}(\omega)$	Impédance thermique complexe
c	Vecteur normal à la surface
g	Transconductance
g_{max}	Transconductance maximale
$n(x,y)$	Concentration volumique des électrons
n	Densité de porteurs majoritaires
$p(\omega)$	Puissance dynamique
q	Charge de l'électron
v_{sat}	Vitesse de saturation des porteurs
$\hat{v}(\omega)$	Tension alternative
x_a	Épaisseur de conduction
x,y,z	Coordonnées dans l'espace
$\partial I_D / \partial T$	Coefficient de température
α	Vitesse d'ionisation pour les électrons
β	Vitesse d'ionisation pour les trous
$\epsilon_0 \epsilon_{si}$	Permittivité du silicium
$\epsilon_0 \epsilon_{ox}$	Permittivité de la silice

Ψ	Potentiel lié à la réduction de mobilité due au champ transversal
ρ	Résistivité de la région drift
μ	Mobilité effective des porteurs
μ_0	Mobilité en surface à champ faible
$\tilde{\theta}_i$	Fonction de base
$\theta(\omega)$	Variation de température dynamique
ω	Pulsation

--:--:--:--:--:--

INTRODUCTION

Les domaines de l'amplification en moyennes et hautes fréquences et de la commutation rapide étaient réservés, pratiquement jusqu'à ce jour, aux transistors bipolaires. Le transistor M.O.S., qui présentait un certain nombre de qualités potentielles parmi lesquelles on peut citer un coefficient de température négatif, une fréquence de coupure élevée et une haute impédance d'entrée, n'avait été utilisé que dans les circuits intégrés logiques. Pour parvenir à réaliser des transistors M.O.S. compatibles avec les applications dites de puissance [1], il était nécessaire de résoudre les problèmes fondamentaux suivants : (i) augmenter le calibre en courant du transistor M.O.S. dans un facteur de l'ordre de trois décades (ii) accroître la tension de claquage de la diode de drain (iii) éviter le mécanisme dit de perçage entre drain et source.

Récemment, les progrès technologiques réalisés pour la fabrication de circuits intégrés à large échelle, à savoir la diminution des longueurs de canal des transistors M.O.S, et l'augmentation de la densité d'intégration, ont pu être utilisés pour concevoir des transistors M.O.S dits de puissance. Fondamentalement, ceux-ci sont constitués par la mise en parallèle de plusieurs transistors élémentaires : on augmente ainsi la largeur du canal du transistor M.O.S. équivalent. Par ailleurs, l'utilisation de la technique de double diffusion pour réaliser la zone de canal et l'introduction d'une région peu dopée N^- entre ce canal et le drain ont permis respectivement de diminuer la longueur de ce canal, c'est-à-dire d'accroître la densité de courant, et d'augmenter la valeur de la tension de claquage ou de perçage drain-source.

Parmi les structures M.O.S. qui utilisent ces principes, on peut distinguer actuellement deux grands types de familles, qui sont : premièrement les transistors M.O.S. élaborés autour de sillons réalisés par attaque anisotrope du silicium et deuxièmement le transistor DMOS à drain vertical.

Dans la première famille, les deux structures qui paraissent être les plus prometteuses sont le VMOS et le UMOS, dans la deuxième le composant le plus performant est appelé HEXFET. Nous allons décrire brièvement ces trois structures.

(ii) Le transistor U.MOS

Ce transistor utilise le même procédé de fabrication que le transistor V.MOS. La seule différence réside dans la forme de l'attaque chimique, c'est-à-dire que l'on arrête l'avancée du front d'attaque anisotrope avant que la pointe ne se forme. La figure 2 représente une coupe du transistor U.MOS.

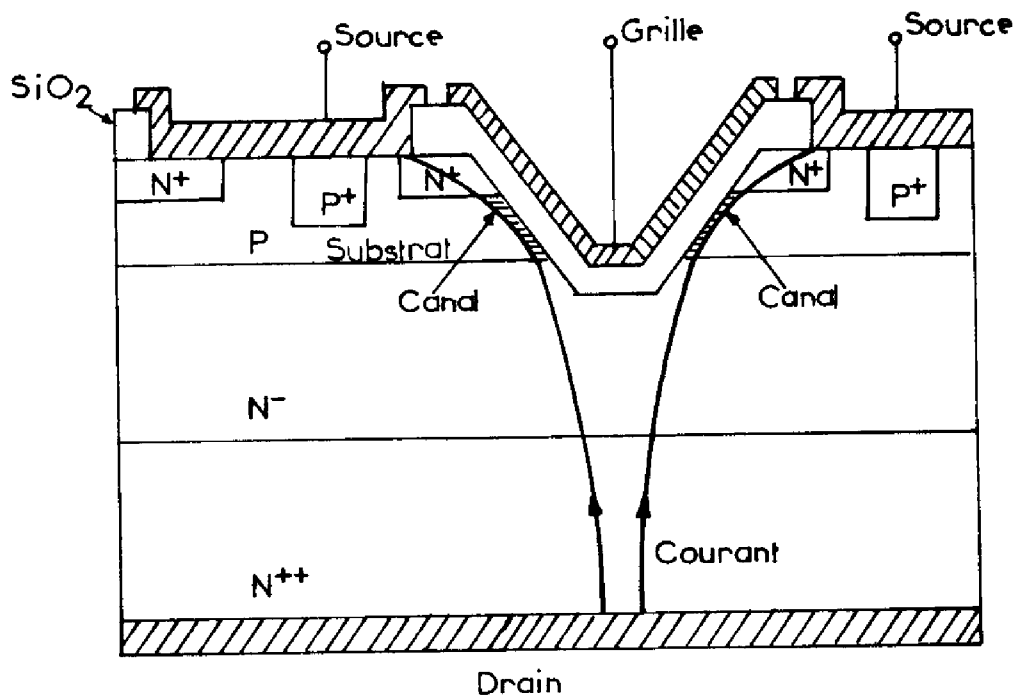


Figure 2. Coupe d'un transistor U-MOS réalisé par attaque anisotrope (Ouverture typique U de 8 microns).

(i) Le transistor V.MOS[2]:

La figure 1 représente une coupe d'un transistor V.MOS. Les zones de canal et de source sont réalisées par deux diffusions de type P et N⁺ dans une couche épitaxiée N⁻, sur un substrat N⁺⁺. Ensuite une gravure chimique anisotrope des V, selon l'axe <111>, est effectuée [2] à travers la source, la région P et une partie de la couche épitaxiée N⁻. Enfin, on fait croître un oxyde thermique, qui constitue l'oxyde de grille, sur les flancs des V. Les métallisations sont enfin réalisées : source et grille sur la face supérieure, et le drain sur la face inférieure du dispositif. Cette configuration rend possible la mise en parallèle d'un grand nombre de canaux par utilisation d'un drain commun.

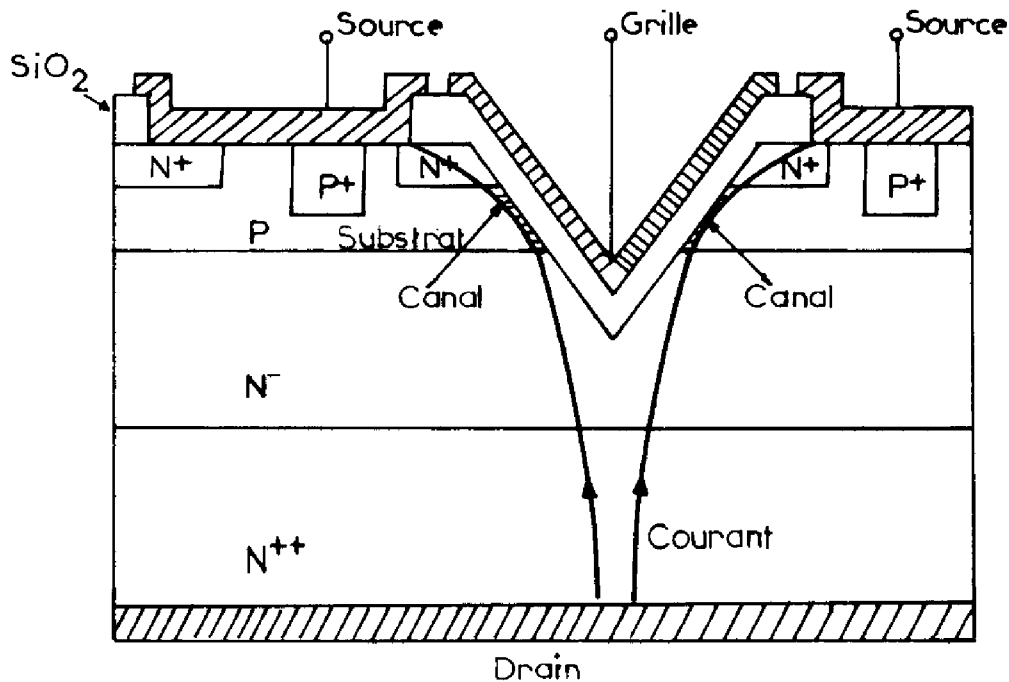


Figure 1. Coupe du transistor V-MOS réalisée par attaque anisotrope (d'après SILICONIX [2]). (ouverture typique de $V \approx 5 \mu\text{m}$).

Corrélativement aux travaux d'ordre technologique , un certain nombre d'études visant à analyser le fonctionnement en régimes statique et dynamique sont présentées dans la littérature. En effet les mécanismes qui régissent le comportement de ces transistors et les relations qui lient le courant aux tensions sont encore mal connus : le transistor M.O.S. de puissance présente en effet toutes les propriétés des transistors à canaux courts des nouvelles générations-effet de dopage de canal non uniforme, mécanismes de saturation de vitesse, multiplication de porteurs dans les zones à haut champ électrique - et de plus ses caractéristiques dépendent d'une part, des propriétés thermiques internes du composant et d'autre part, des mécanismes liés à la configuration particulière N⁻. N⁺ de la zone de drain.

Le travail, qui fait l'objet de ce mémoire, apporte une contribution à la connaissance :

(i) de l'effet de l'imbrication entre les phénomènes électriques et thermiques sur les caractéristiques de sortie des transistors M.O.S. de puissance en régimes statique et dynamique basses fréquences. Le sujet est traité dans la première partie.

(ii) du rôle de la diode de drain sur les propriétés électriques du transistor en régime ohmique (R_{ON}), en régime saturé, et en régime quasi-saturé. Cette étude est développée dans la deuxième partie.

Notre étude a porté sur les trois types de structures rappelés précédemment et reste d'une généralité suffisante pour pouvoir être appliquée à tous les types de composants à effet de champ.

(iii) Le transistor HEXFET [3]

Ce transistor se différencie principalement par rapport aux structures précédentes par l'utilisation d'un canal horizontal. Il est fabriqué sur une plaquette épitaxiée N^-N^+ . Une première diffusion de type P permet de réaliser la zone de canal. Elle est suivie d'une implantation de type N^+ qui constitue la source. L'oxyde thermique de grille recouvre la zone superficielle de drain N^- , la zone P de canal et une partie de la source N^+ . Il est lui-même recouvert d'une grille en silicium polycristallin qui se présente sous la forme d'un réseau maillé hexagonal entourant les régions de source. La partie active est constituée par les bords de la diffusion P situés sous la grille. Ce type de maillage permet d'obtenir la plus grande densité de canal pour une surface donnée.

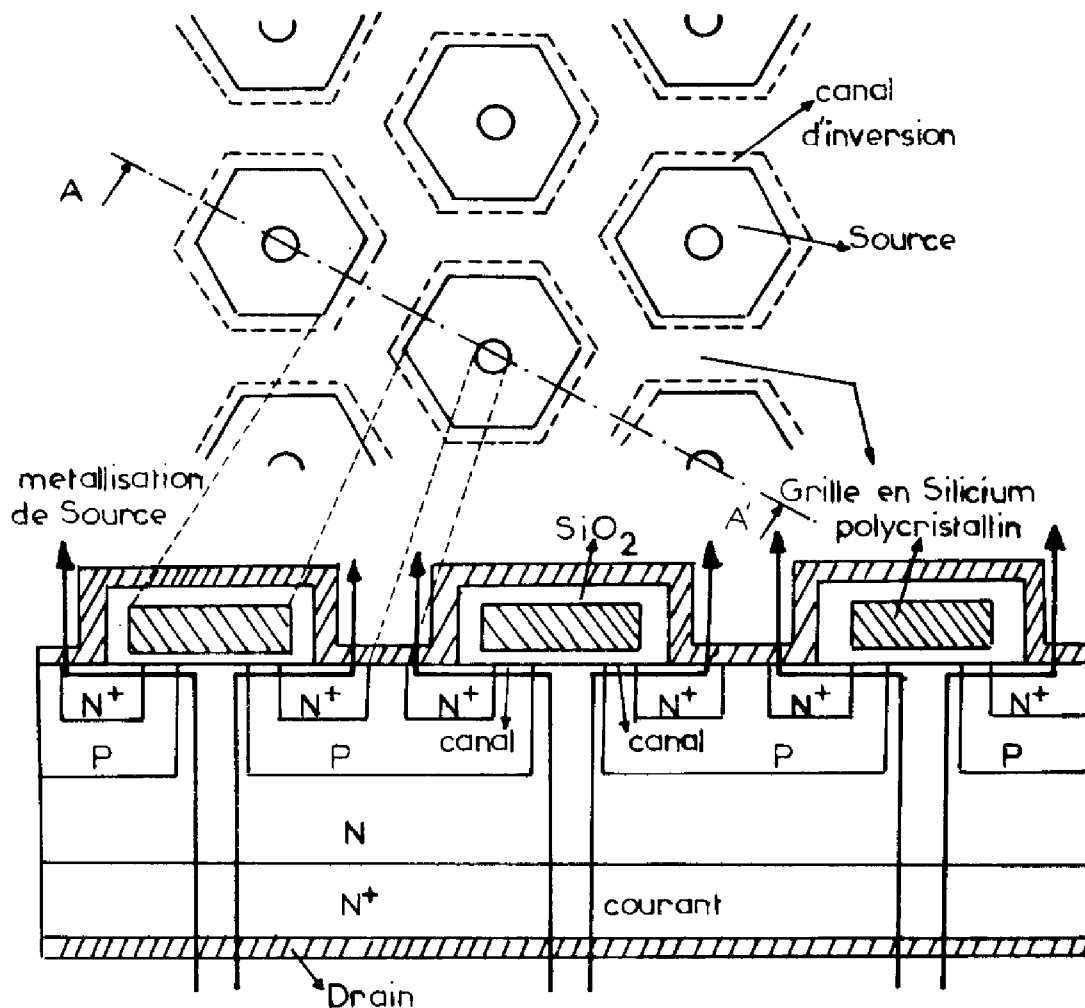


Figure 3. *Vue de dessus et coupe AA' d'un transistor HEXFET. La grille est en forme de réseau maillé hexagonal. Côté d'un hexagone typiquement ≈ 10 microns.*

PREMIERE PARTIE

ÉTUDE ET APPLICATIONS DU PHÉNOMÈNE DE
RELAXATION THERMIQUE EN BASSES FRÉQUENCES

INTRODUCTION

Il est connu que dans les transistors M.O.S. dont la distance source-drain est supérieure à dix microns environ, la conductance de sortie est toujours positive, quelles que soient les valeurs des tensions de la polarisation de grille et de drain, du courant de drain et quel que soit le régime de fonctionnement, saturé ou non saturé. Les propriétés de la conductance de sortie en régime de saturation, ou de pincement, pour cette famille des transistors M.O.S. communément appelés les transistors à canal long, on fait l'objet de nombreuses publications. L'interprétation de l'existence d'une conductance finie, dépendante des tensions de polarisation, est liée à l'existence d'une zone de charge d'espace près du drain qui entraîne par effet électrostatique une réduction de la longueur effective du canal. Les diverses analyses se différencient par la caractérisation de cette zone de charge d'espace : représentation unidimensionnelle [4] ou bidimensionnelle [5], prise en compte de la charge des porteurs mobiles [6], définition des conditions aux limites sur le champ électrique et le potentiel électrostatique [7], [8], [9].

Lorsque la distance source-drain est inférieure à dix microns environ, il apparaît que la conductance de sortie en régime statique peut présenter des valeurs négatives, quand le transistor MOS, appelé dans ce cas transistor à canal court, fonctionne à des niveaux élevés de courant de drain (figure I.1).

Ce phénomène a été interprété [10] par la diminution de la mobilité des porteurs de la couche d'inversion qui constitue le canal, sous l'effet de l'échauffement interne du transistor, dû à la puissance continue que ce dernier dissipe.

Dans cette première partie, nous étudions les propriétés de l'admittance de sortie des transistors à canal court, en régime de saturation, dans le domaine des basses fréquences.

Les propriétés expérimentales de cette admittance seront tout d'abord décrites : existence de conductances de sortie positive ou négative et de susceptances de type inductif ou capacitif. Une analyse prenant en compte l'effet de réaction entre les mécanismes thermiques et les propriétés électriques en régime dynamique de basses fréquences et de petits signaux sera ensuite développée, ce qui nous permettra d'expliquer les propriétés fonctionnelles de l'admittance de sortie. Enfin sur la base de cette analyse, nous proposerons : i) une méthode de détermination de l'impédance thermique complexe de l'ensemble transistor-boîtier, ii) le schéma équivalent électrique du transistor, iii) une technique de détermination de la vitesse limite des porteurs en fonction de la température, (iv) et une analyse de l'influence du rayonnement ionisant sur les caractéristiques des transistors MOS à canal court.

I.1 LE PHENOMENE DE RELAXATION

I.1.1. Propriétés expérimentales

Les dispositifs étudiés sont des transistors de puissance de type V.MOS, EPIFET ou HEXFET. La puce de silicium est fixée sur une embase en cuivre de type TO3 ou en oxyde de beryllium sur cuivre de type SSOE380.

Cette dernière est montée sur un radiateur infini refroidi par fluide et sa température est imposée quelles que soient les conditions de fonctionnement.

L'admittance de sortie en petits signaux est mesurée au moyen d'un système de détection synchrone (figure I.2). La structure est polarisée en continu par la tension drain V_D , la tension grille V_G , et est traversée par un courant statique I_D .

Une tension alternative de faible amplitude ($v(\omega) < 100\text{mV}$ efficaces) est superposée à la tension de drain par l'ensemble générateur de puissance-transformateur large bande-pont de résistance R_1, R_2 . La mesure des composantes en phase et en quadrature du courant alternatif $i(\omega)$ résultant de l'excitation $v(\omega)$ (figure I.3) est effectuée au moyen de l'ensemble R4 - détecteur synchrone.

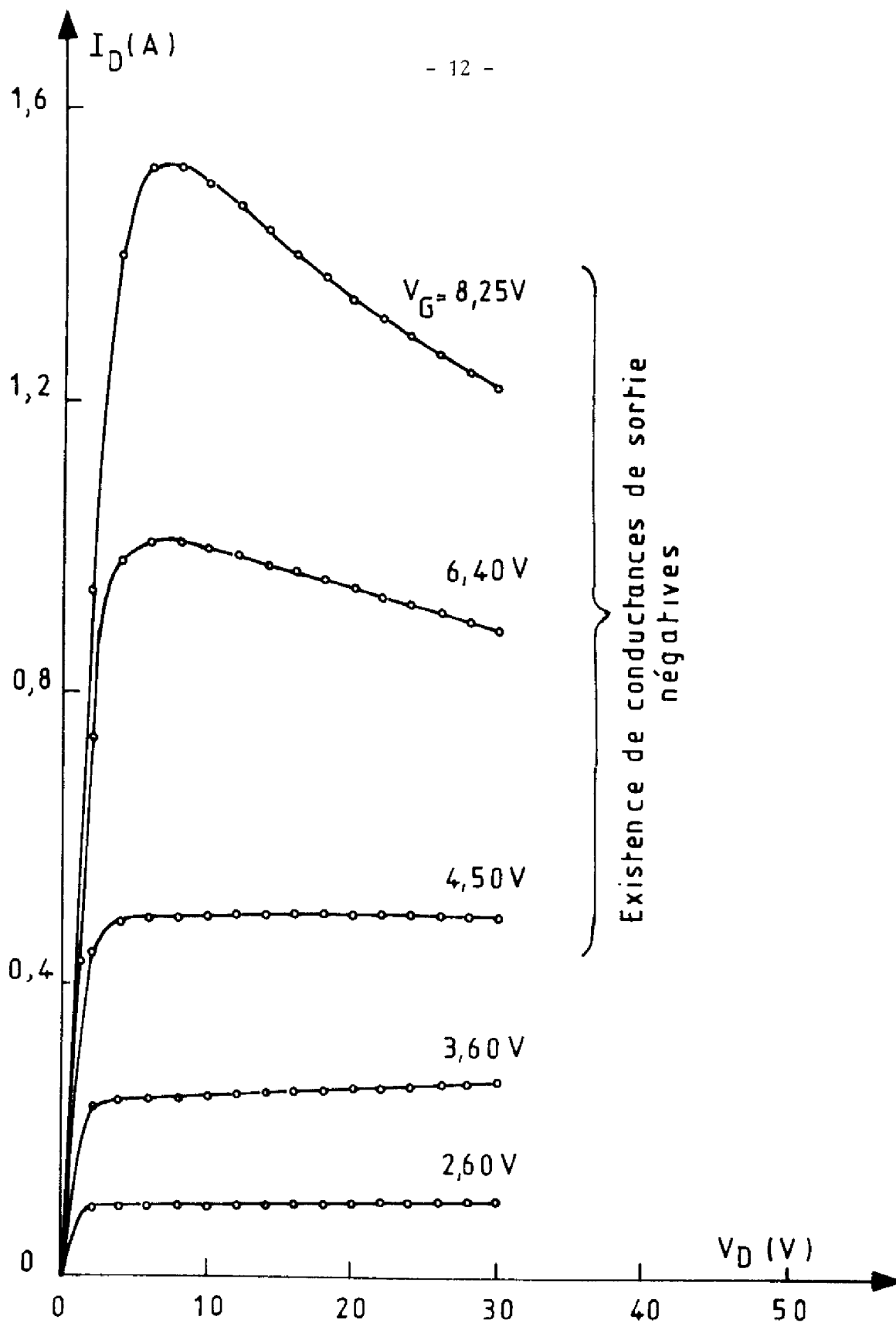


Figure I.1. Mise en évidence de l'existence de conductances de sortie positives ou négatives sur un transistor V-MOS fonctionnant en régime statique.

On obtient ainsi les parties réelle et imaginaire de l'admittance de sortie $y(\omega)$ qui est définie par le rapport $i(\omega)/v(\omega)$; ω est la pulsation des signaux d'excitation à la fréquence f .

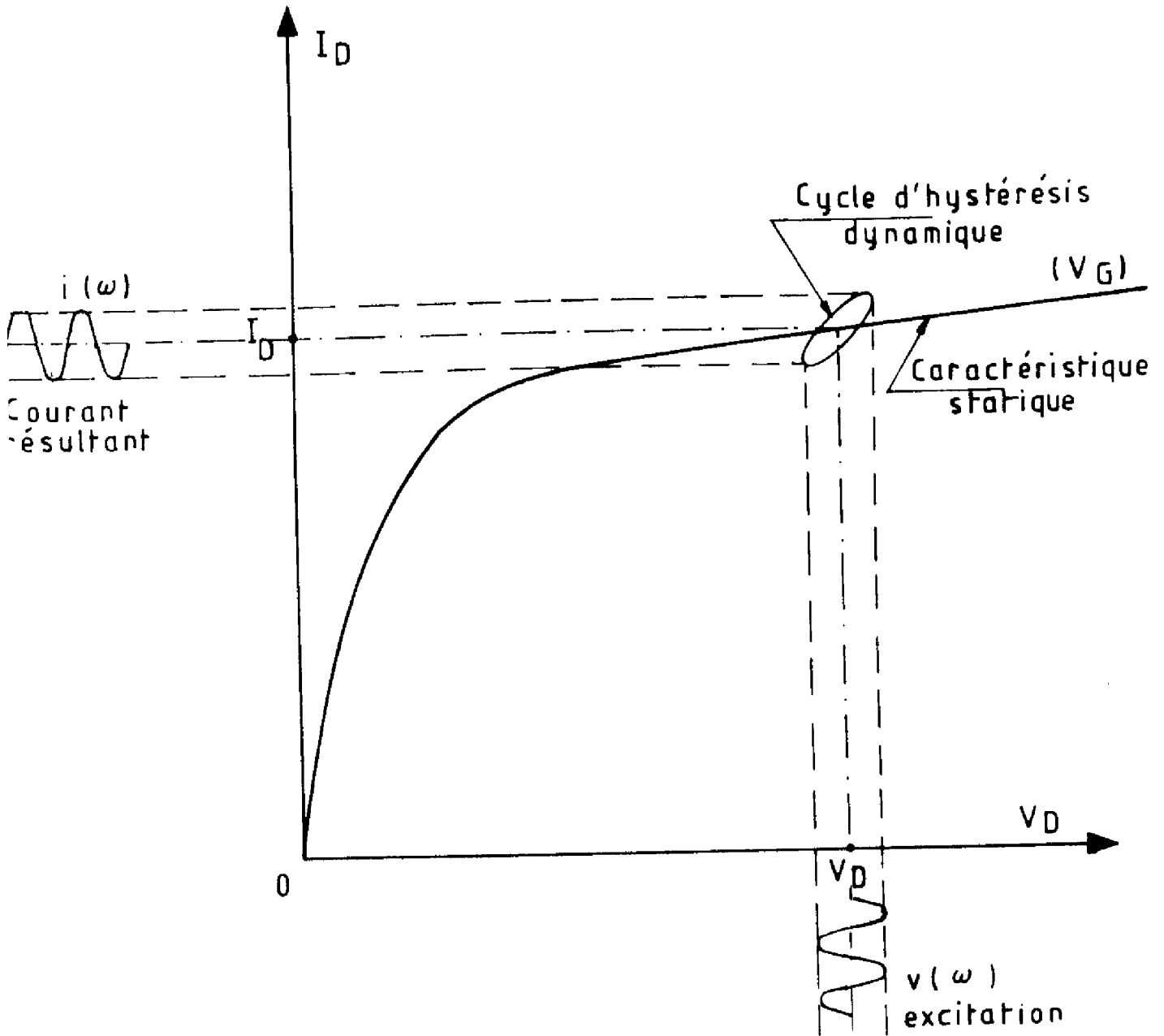


Figure I.3. Principe de mesure de l'admittance de sortie.

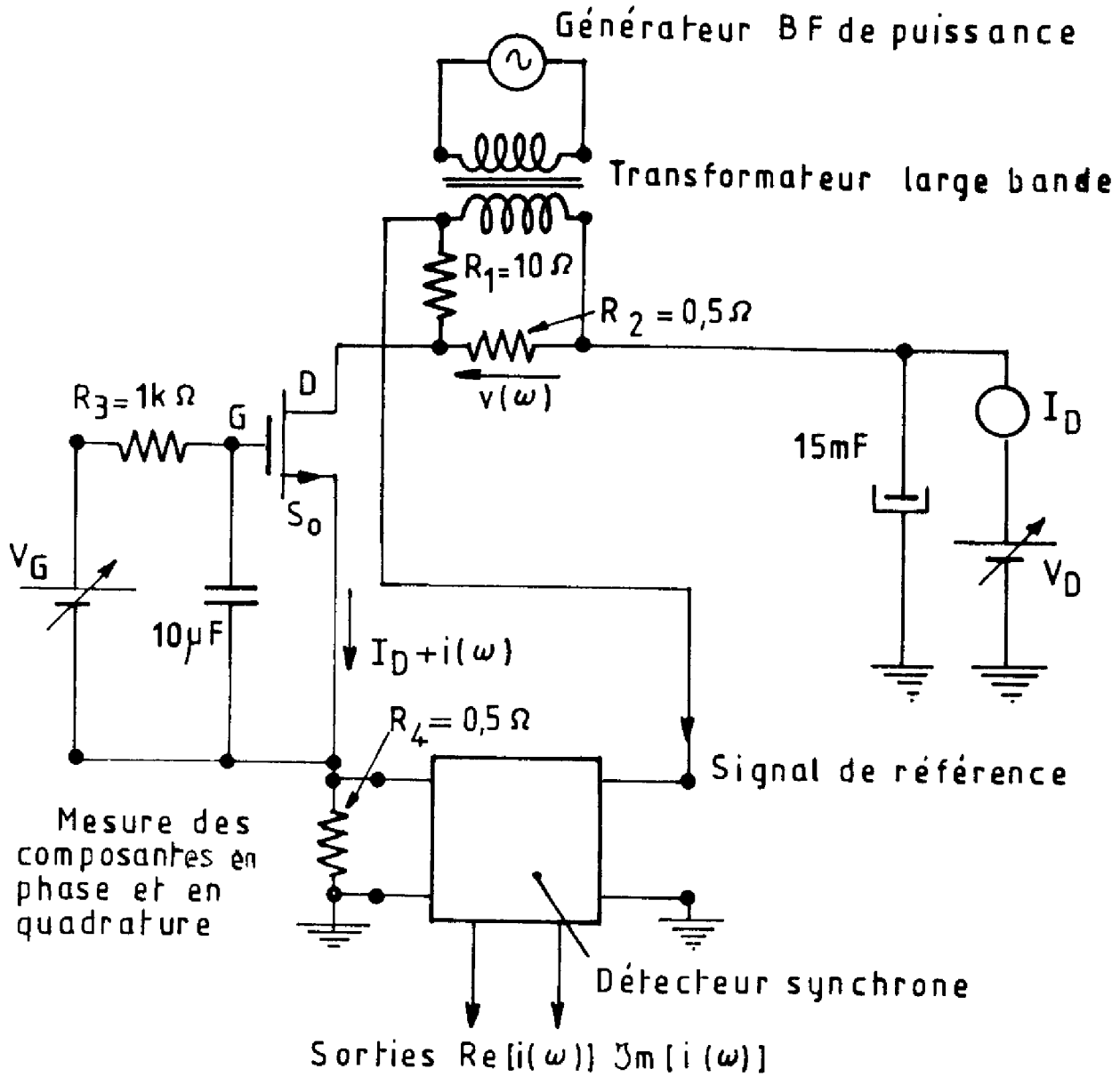


Figure I.2. Dispositif de mesure de l'admittance de sortie.

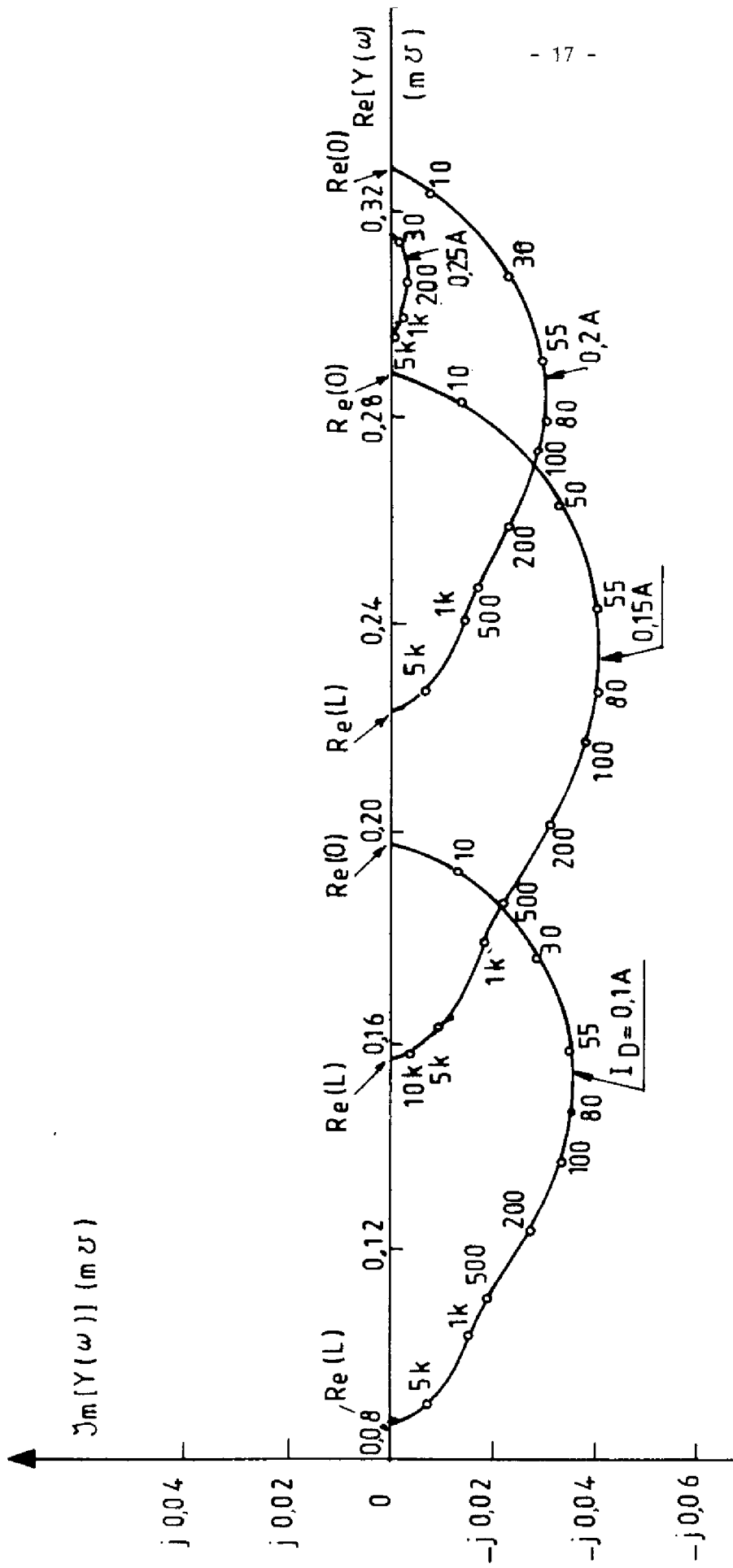


Figure I.4. Influence du courant de drain sur le diagramme complexe d'admittance de sortie ; cas des parties imaginaires négatives ($I_D < I_C$). $V_D = 20$ V ; $T_a = 20^\circ\text{C}$. La fréquence est le paramètre en hertz ou kilohertz (k). Transistor V-MOS 2N6657 SILICONIX.

Les mesures sont effectuées entre 10 Hz et 100 KHz ainsi qu'en régime statique ($f = 0$) et on trace dans le plan de Nyquist les variations de la partie imaginaire $\text{Im}(y)$ en fonction de la partie réelle $\text{Re}(y)$ pour diverses valeurs de la fréquence.

Les propriétés observées expérimentalement sont les suivantes :

i) Pour une valeur fixée de la tension de drain V_{D1} , le courant I_D étant considéré comme un paramètre, le diagramme complexe a une partie imaginaire négative (figures I.4-5-6-7-8), c'est-à-dire que l'impédance de sortie est du type inductif, pour les valeurs du courant de drain comprises entre la valeur nulle et une valeur critique que nous appellerons I_c . Cette partie imaginaire est nulle en régime statique et tend également vers une valeur nulle en hautes fréquences (supérieures à 50 KHz). Lorsque le courant de drain est supérieur à la valeur I_c , la partie imaginaire est positive, l'impédance de sortie a un comportement capacitif (figures I.9-10-11-12-13).

ii) Quelles que soient les valeurs du courant ou de la tension de drain, le maximum de la partie imaginaire qui sera noté $\text{Im}_{\max} Y(\omega)$ se produit pour la même valeur de la fréquence.

iii) La partie réelle peut être positive ou négative : aux fréquences élevées ($f > 50\text{KHz}$) elle est toujours positive et sera appelée $\text{Re}(L)$; à la puissance nulle, elle est positive pour les faibles valeurs de courant et peut devenir négative à condition que ce dernier soit très supérieur à la valeur critique I_c ; elle sera appelée $\text{Re}(0)$. La figure I.14 représente les variations de ces parties réelles $\text{Re}(0)$ et $\text{Re}(L)$ en fonction du courant de drain.

iv) Lorsque le courant de drain est maintenu constant et que la tension de drain augmente (figures I.15-16-17-18) on observe une translation du diagramme dans la direction des parties réelles négatives, la partie imaginaire restant indépendante de la tension V_D .

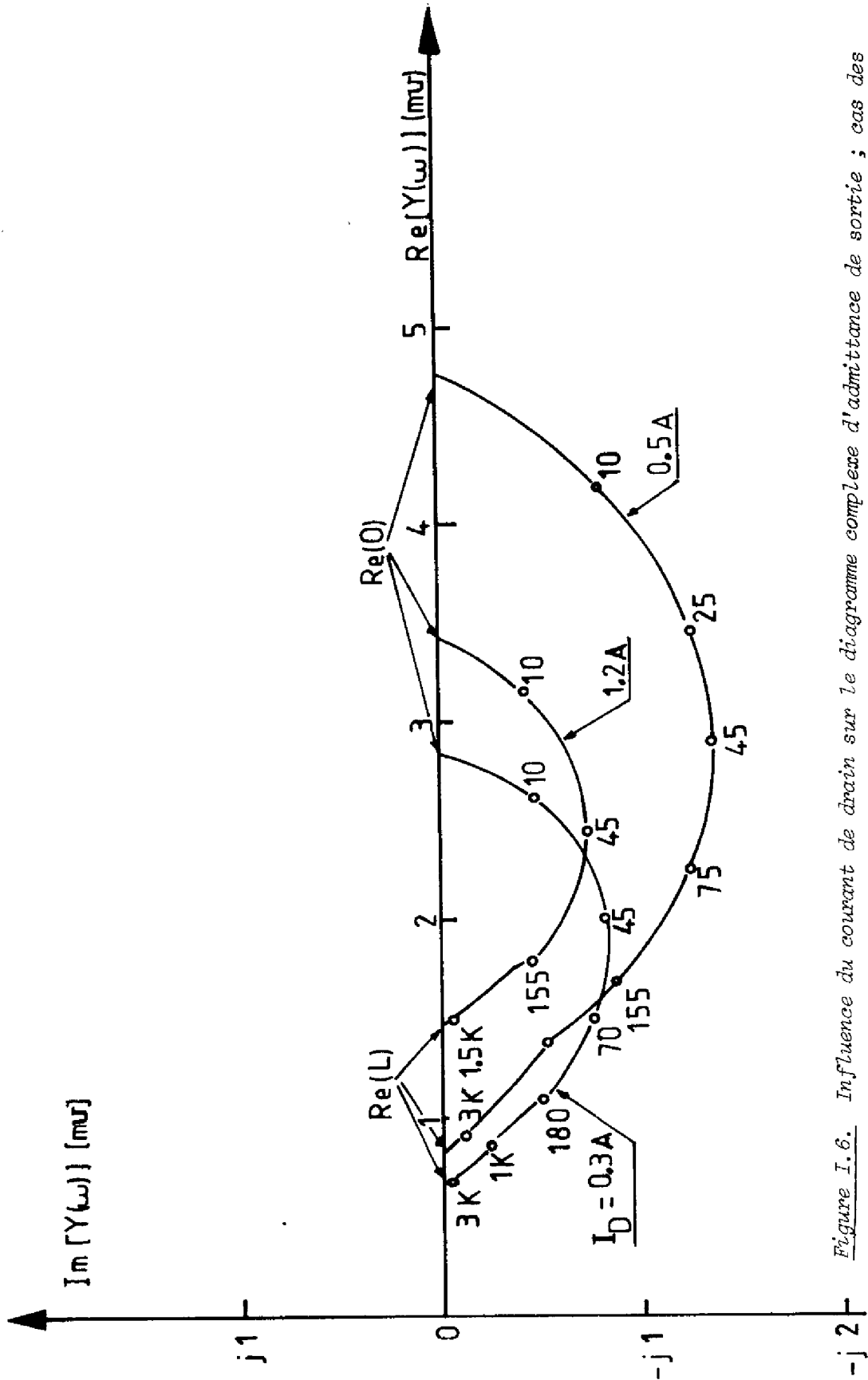


Figure I.6. Influence du courant de drain sur le diagramme complexe d'admittance de sortie ; cas des parties imaginaires négatives ($I_D < I_C$). $V_D = 20$, $T_a = 20^\circ\text{C}$. La fréquence est le paramètre en hertz ou en kilohertz (k). Transistor EPI-FET.

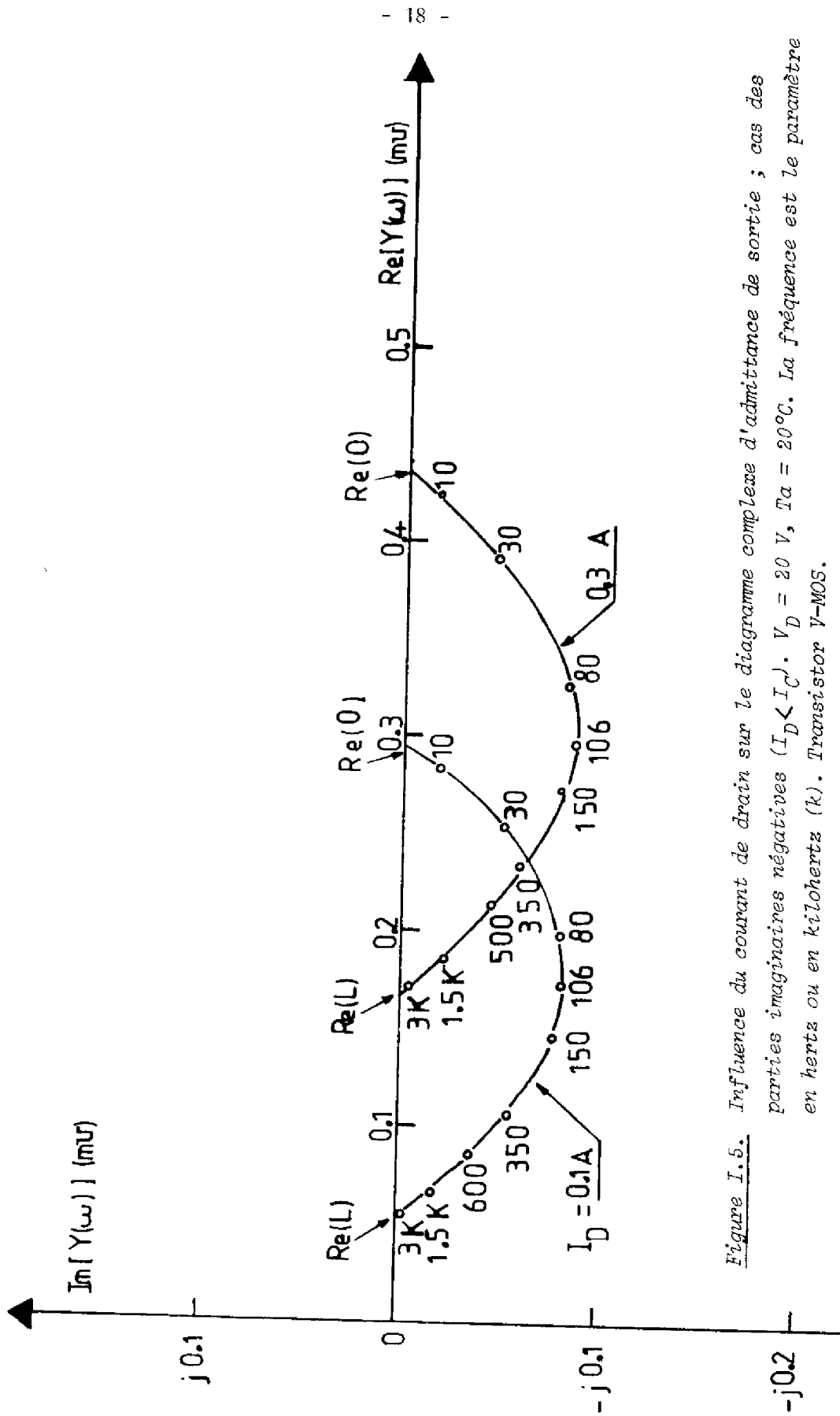


Figure I.5. Influence du courant de drain sur le diagramme complexe d'admittance de sortie ; cas des parties imaginaires négatives ($I_D < I_C$). $V_D = 20 \text{ V}$, $T_a = 20^\circ\text{C}$. La fréquence est le paramètre en hertz ou en kilohertz (k). Transistor V-MOS.

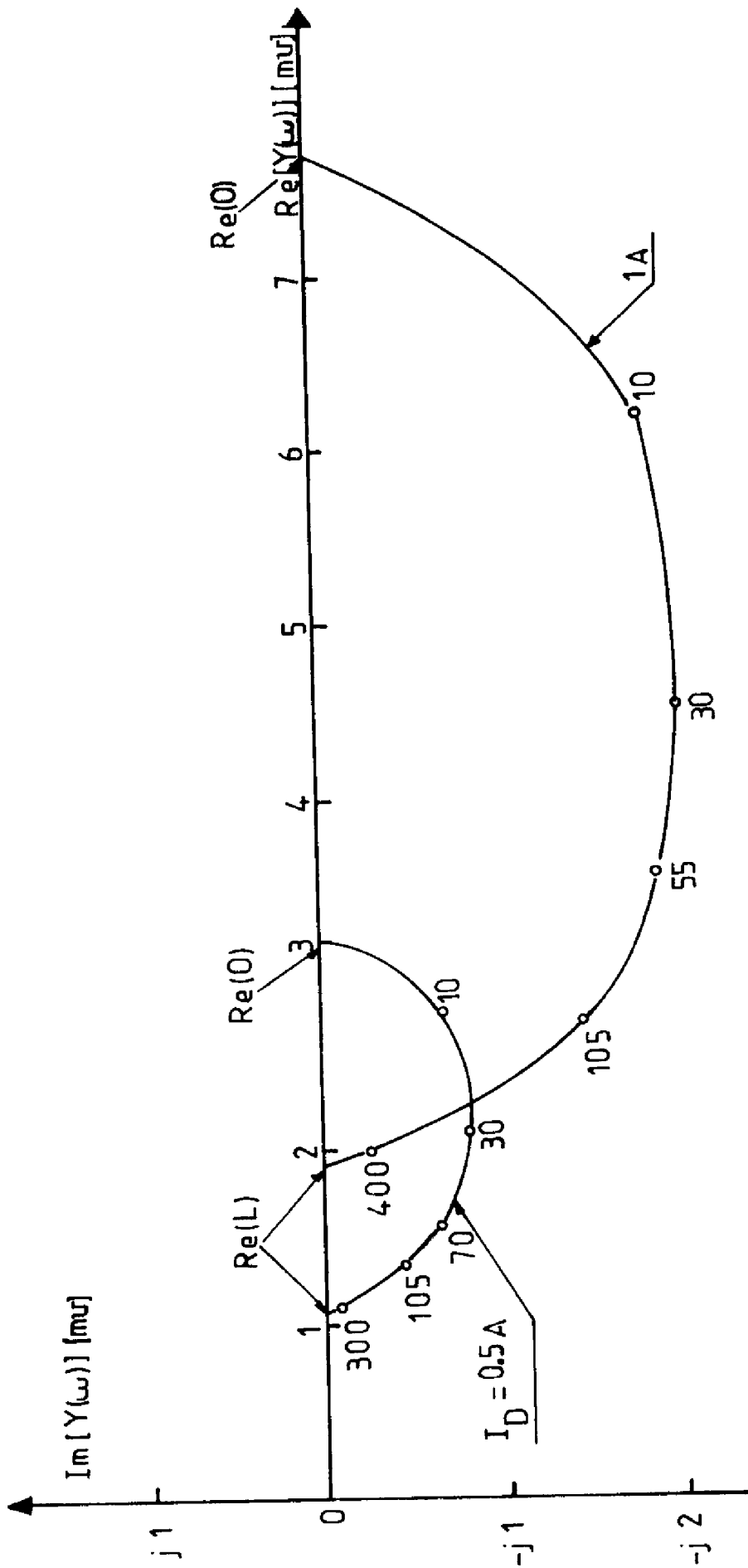


Figure I.8. Influence du courant de drain sur le diagramme complexe d'admittance de sortie ; cas des parties imaginaires négatives ($I_D < I_C$). $V_D = 20$ V, $T_a = 20^\circ\text{C}$. La fréquence est le paramètre Transistor HEXFET, I.R.F. 330.

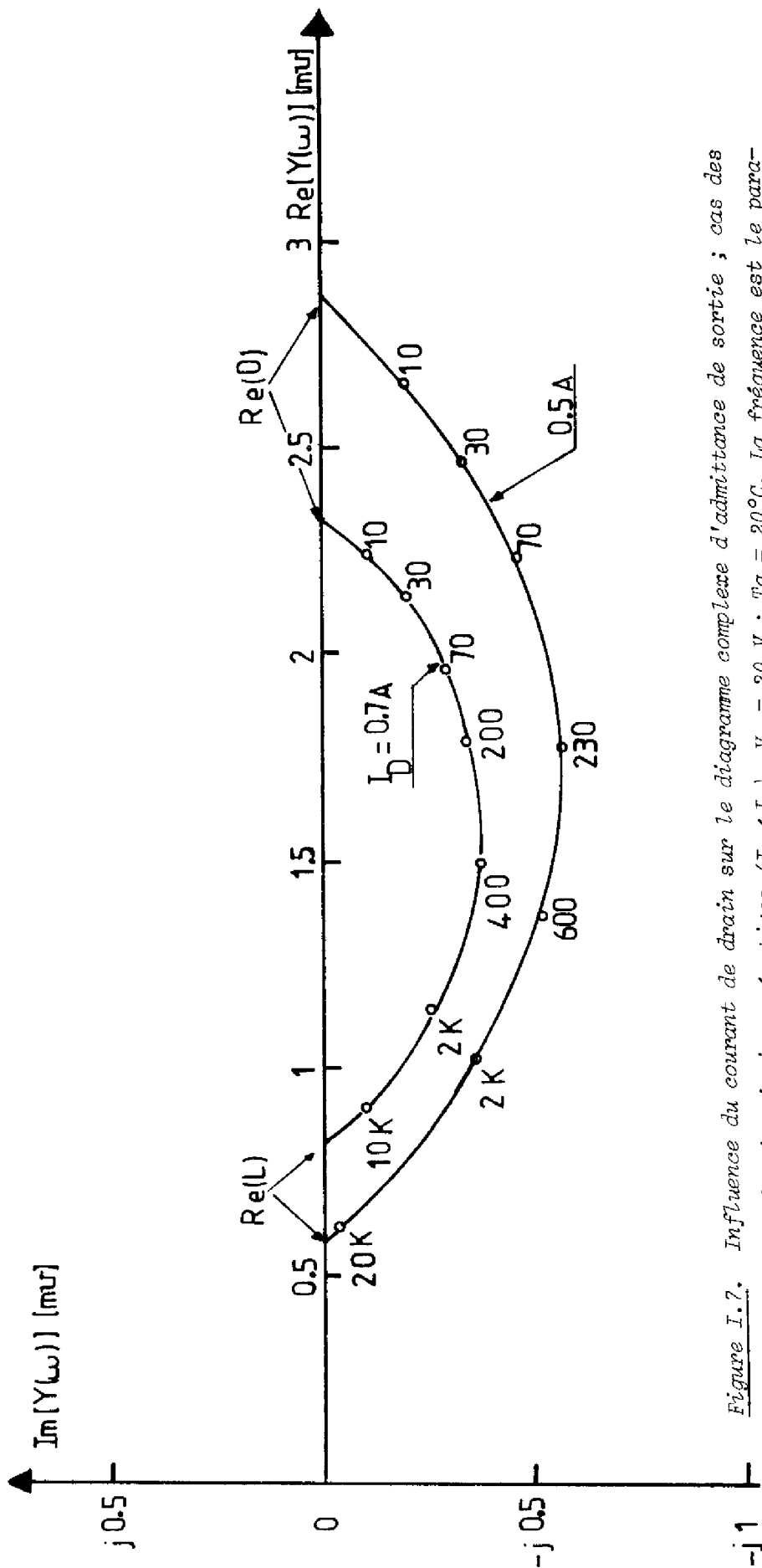


Figure I.7. Influence du courant de drain sur le diagramme complexe d'admittance de sortie ; cas des parties imaginaires négatives ($I_D < I_C$). $V_D = 20\text{ V}$; $T_a = 20^\circ\text{C}$. La fréquence est le paramètre en hertz ou en kilohertz (k). Transistor V-MOS CTC-CF4.

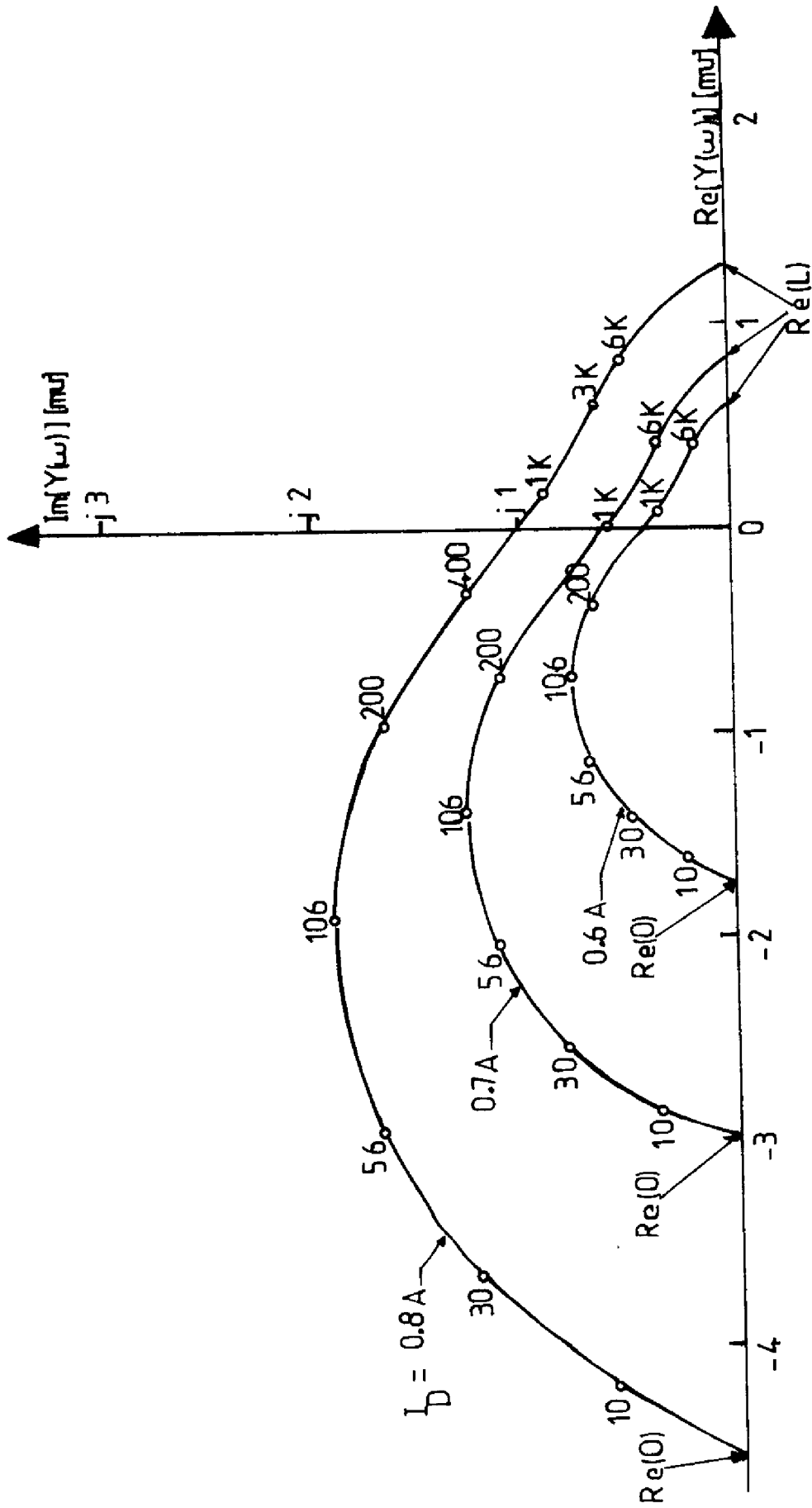


Figure I.10. Influence du courant de drain sur le diagramme complexe d'admittance de sortie ; cas des parties imaginaires positives ($I_D > I_C'$). $V_D = 20$ V ; $T_a = 20^\circ\text{C}$. La fréquence est le paramètre en hertz ou kilohertz (k). Transistor V-MOS.

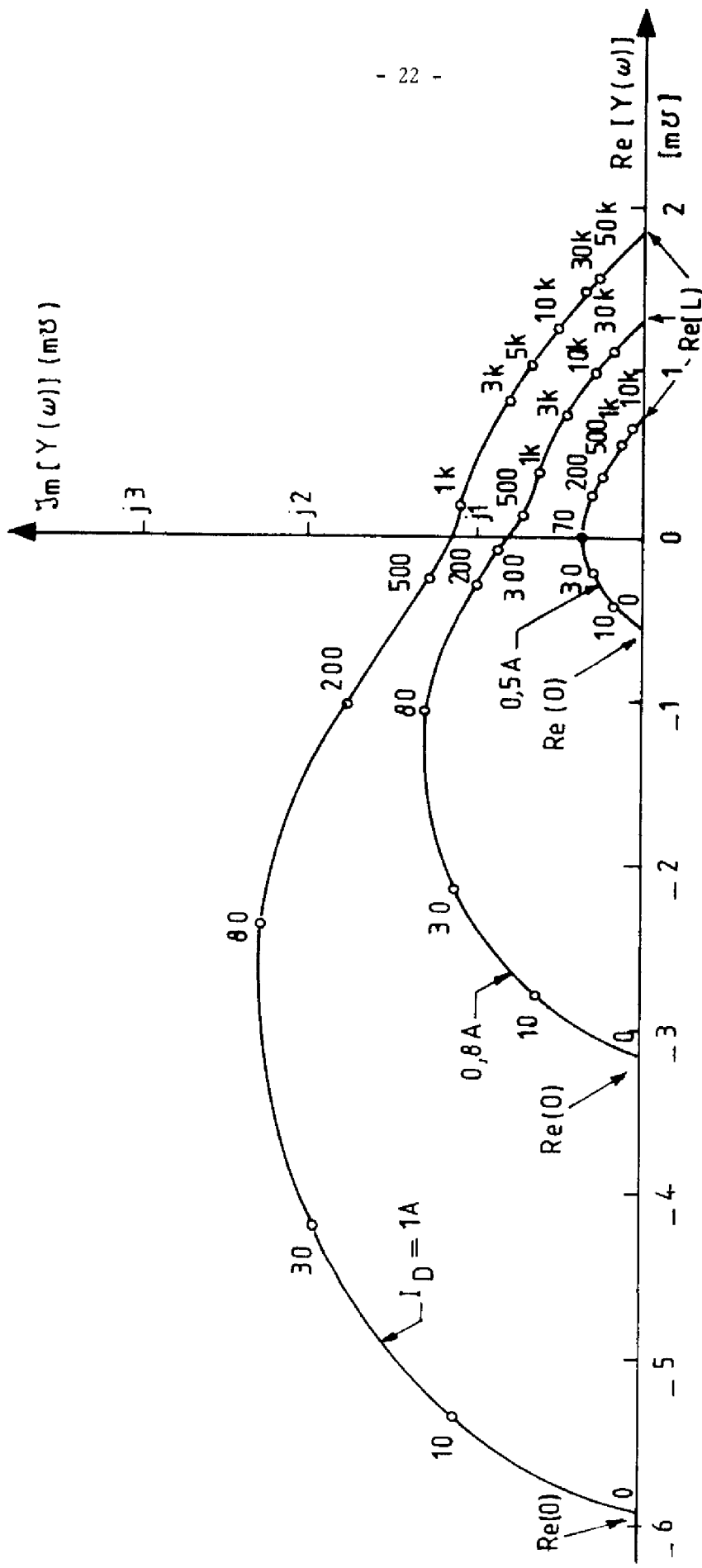


Figure I.9. Influence du courant de drain sur le diagramme complexe d'admittance de sortie ; cas des parties imaginaires positives ($I_D > I_C$). $V_D = 20\text{ V}$; $T_a = 20^\circ\text{C}$. La fréquence est le paramètre en hertz ou kilohertz (k). Transistor V-MOS 2N6657 SILICONIX.

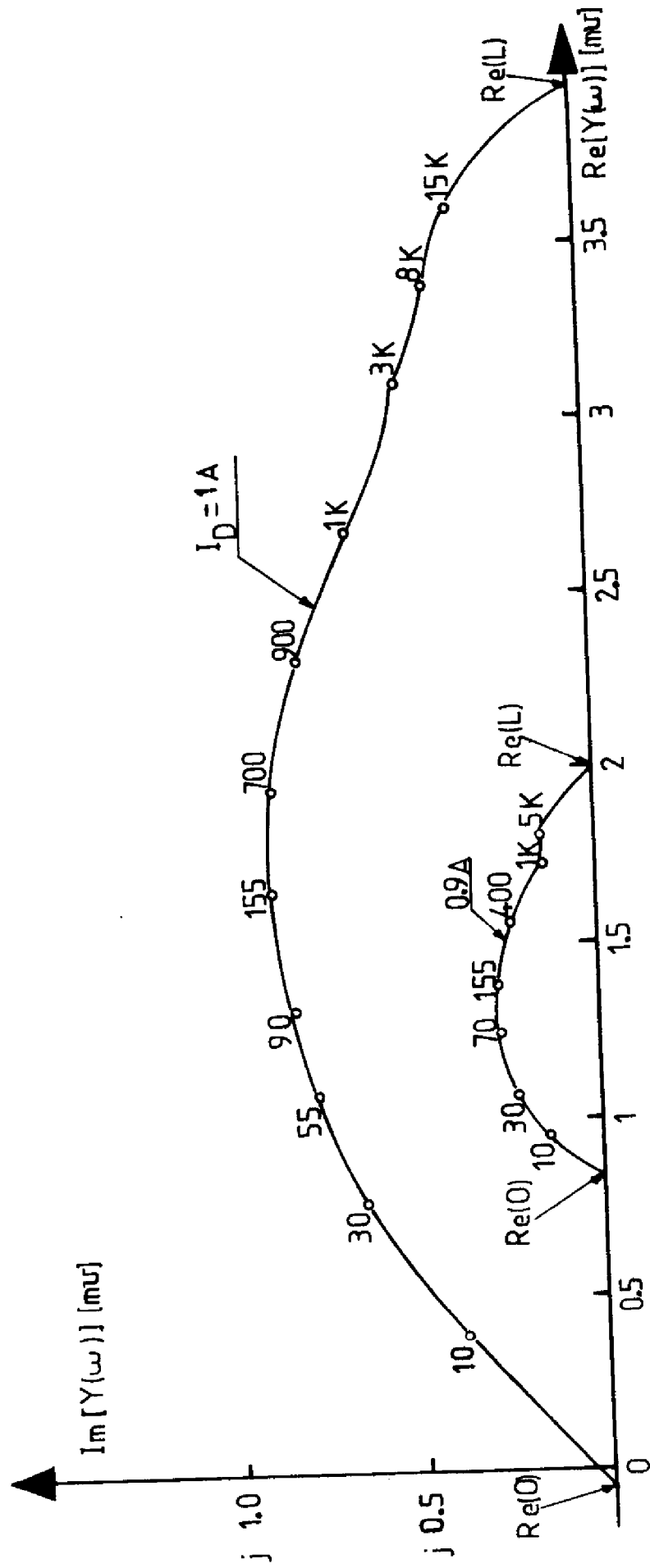


Figure I.12. Influence du courant de drain sur le diagramme complexe d'admittance de sortie ; cas des parties imaginaires positives ($I_D > I_C$). $V_D = 20$ V, $T_a = 20^\circ\text{C}$. La fréquence est le paramètre en hertz ou kilohertz (k). Transistor V-MOS, CTC - CF4, sur oxyde de béryllium.

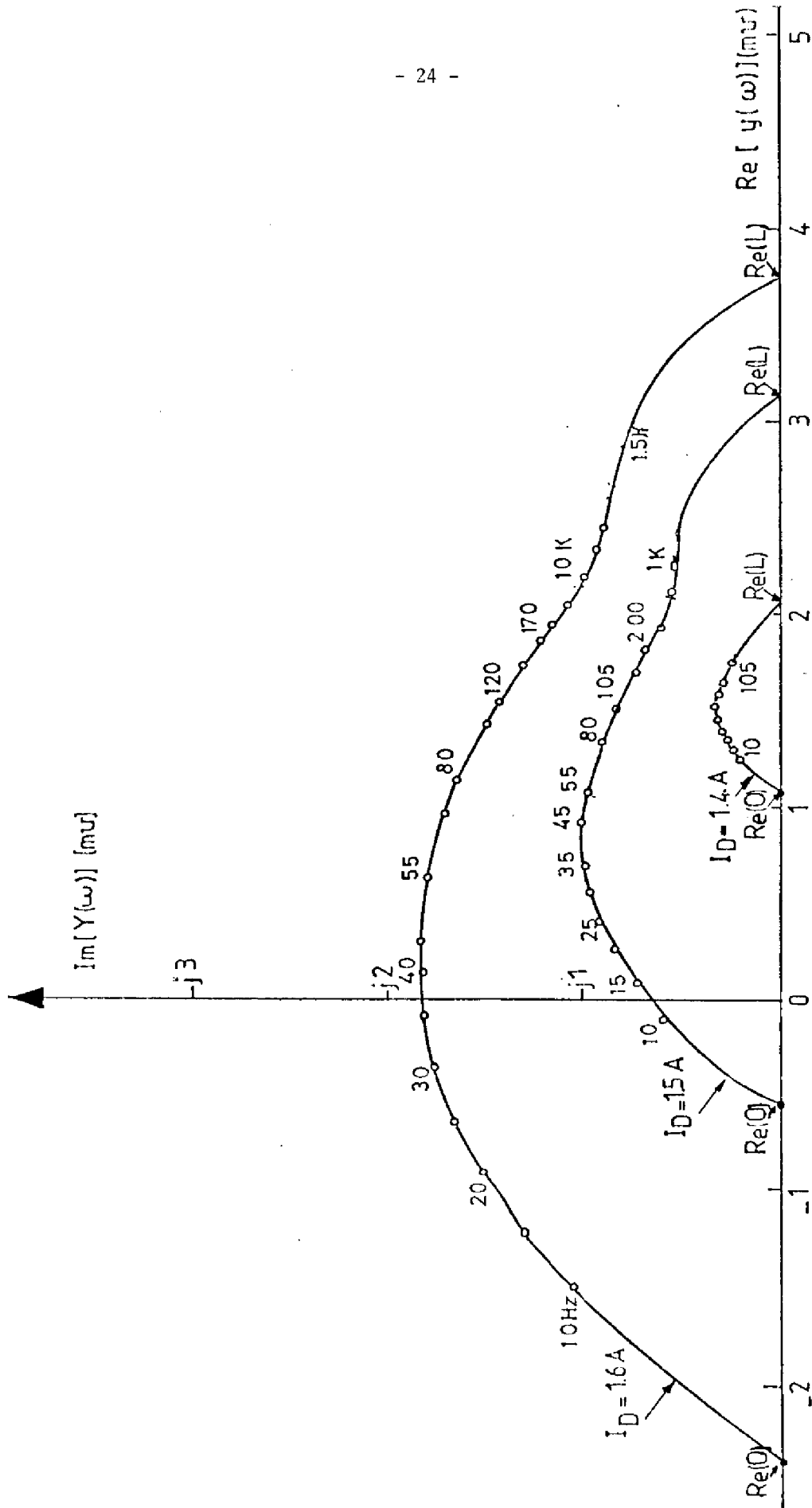


Figure I.11. Influence du courant de drain sur le diagramme complexe d'admittance de sortie ; cas des parties imaginaires positives ($I_D > I_C$). $V_D = 20 V$; $T_a = 20^\circ C$. La fréquence est le paramètre.
Transistor EPI-FET.

I.1.2. Interprétation du phénomène

L'origine des phénomènes observés doit être recherchée dans un couplage entre les mécanismes électriques et thermiques dans le canal du transistor. De façon générale, rappelons que lorsqu'on applique la théorie des dipôles ou des quadripôles pour établir le schéma équivalent d'un dispositif électronique, on suppose d'ordinaire que la température des éléments constitutifs du dipôle ou du quadripôle ne dépend pas du temps ou de la fréquence. Toutefois si les inverses des constantes de temps thermiques associées à ces éléments sont du même ordre de grandeur que la fréquence des signaux d'excitation, cette hypothèse n'est plus valable [11]. Dans ces conditions, il en résulte une interaction de type électrique-thermique ou encore une contre-réaction thermique, qui apparaît principalement en basses fréquences et qui modifie les paramètres du schéma équivalent. Cet effet ne doit pas être confondu avec l'effet classique de la dépendance en température des éléments constitutifs du dipôle ou du quadripôle.

I.1.3 Expression de l'admittance de sortie

Dans le cas du transistor MOS, que nous considérons dans le cadre de cette étude comme un dipôle dont les électrodes sont la source et le drain, l'expression de l'admittance de sortie sera obtenue en associant la relation de définition du courant de drain en régime de petits signaux à celle qui exprime l'échauffement dans le formalisme de l'impédance thermique complexe [12].

L'hypothèse de petits signaux permet la linéarisation du courant de drain, de la tension drain-source et de la température du cristal. A tension grille-source V_G constante, ces quantités s'écrivent respectivement :

$$I_D(T, V_D, \omega) = I_D + i(\omega) \quad (1.1)$$

$$V_D(\omega) = V_D + v(\omega) \quad (1.2)$$

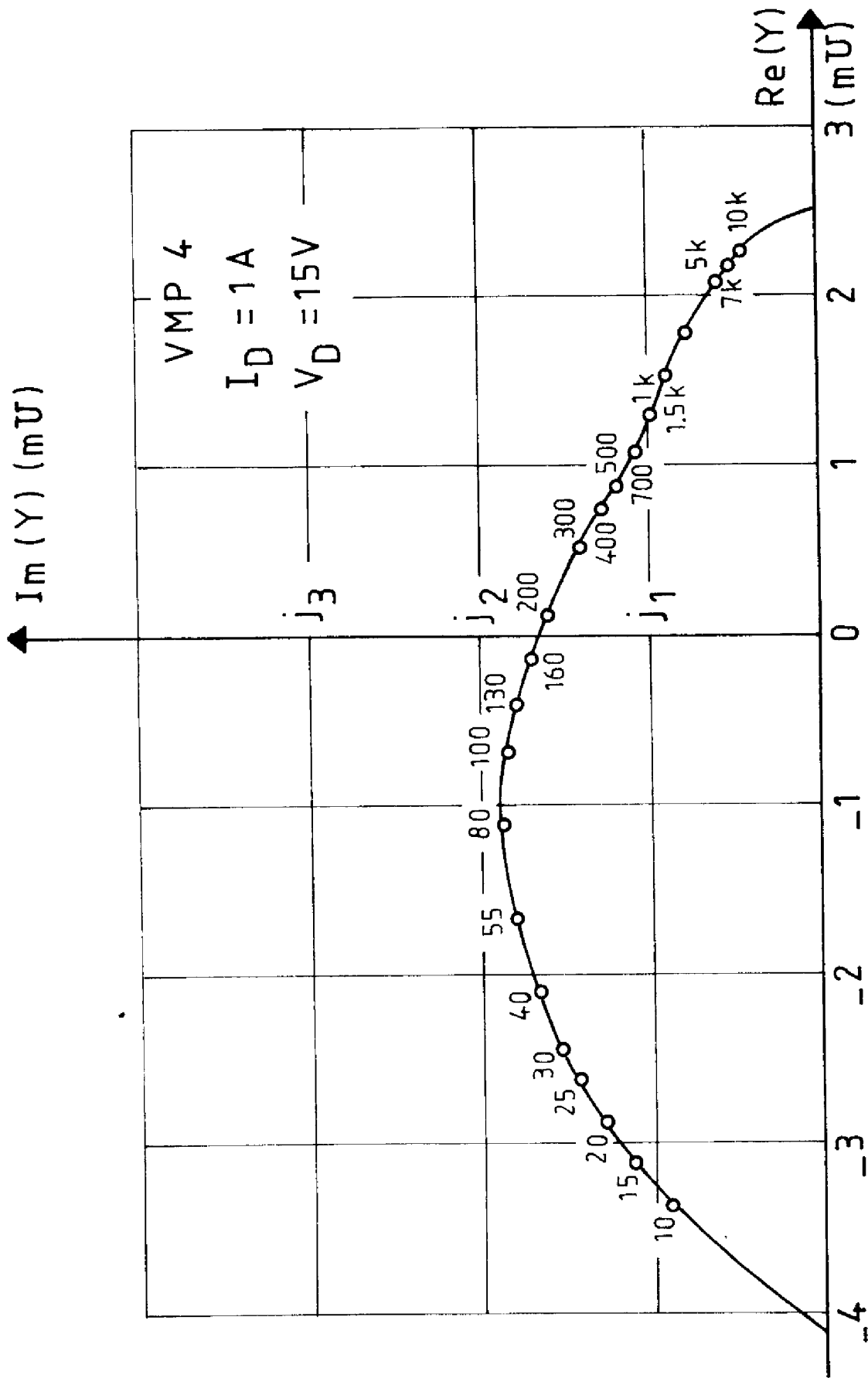


Figure I.13. Influence du courant de drain sur le diagramme complexe d'admittance de sortie ; cas des parties imaginaires positives ($I_D > I_G$). $V_D = 15 V$; $T_a = 20^\circ C$. La fréquence est le paramètre en hertz ou en kilohertz (k), Transistors V.MOS sur oxyde de béryllium.

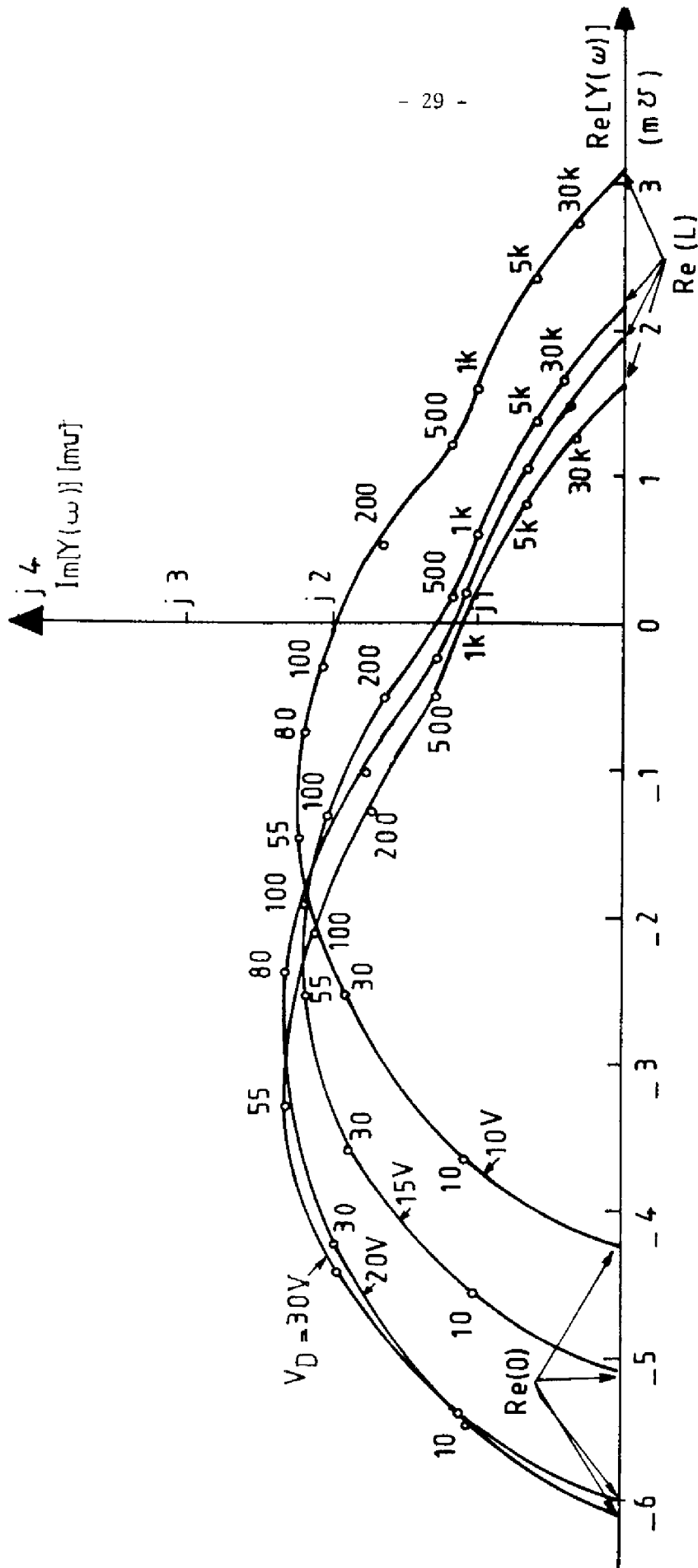


Figure I.15. Influence de la tension de drain sur le diagramme complexe d'admittance de sortie $I_D = 1$ A. La fréquence est le paramètre. Transistor V-MOS 2N6657 SILICONIX.

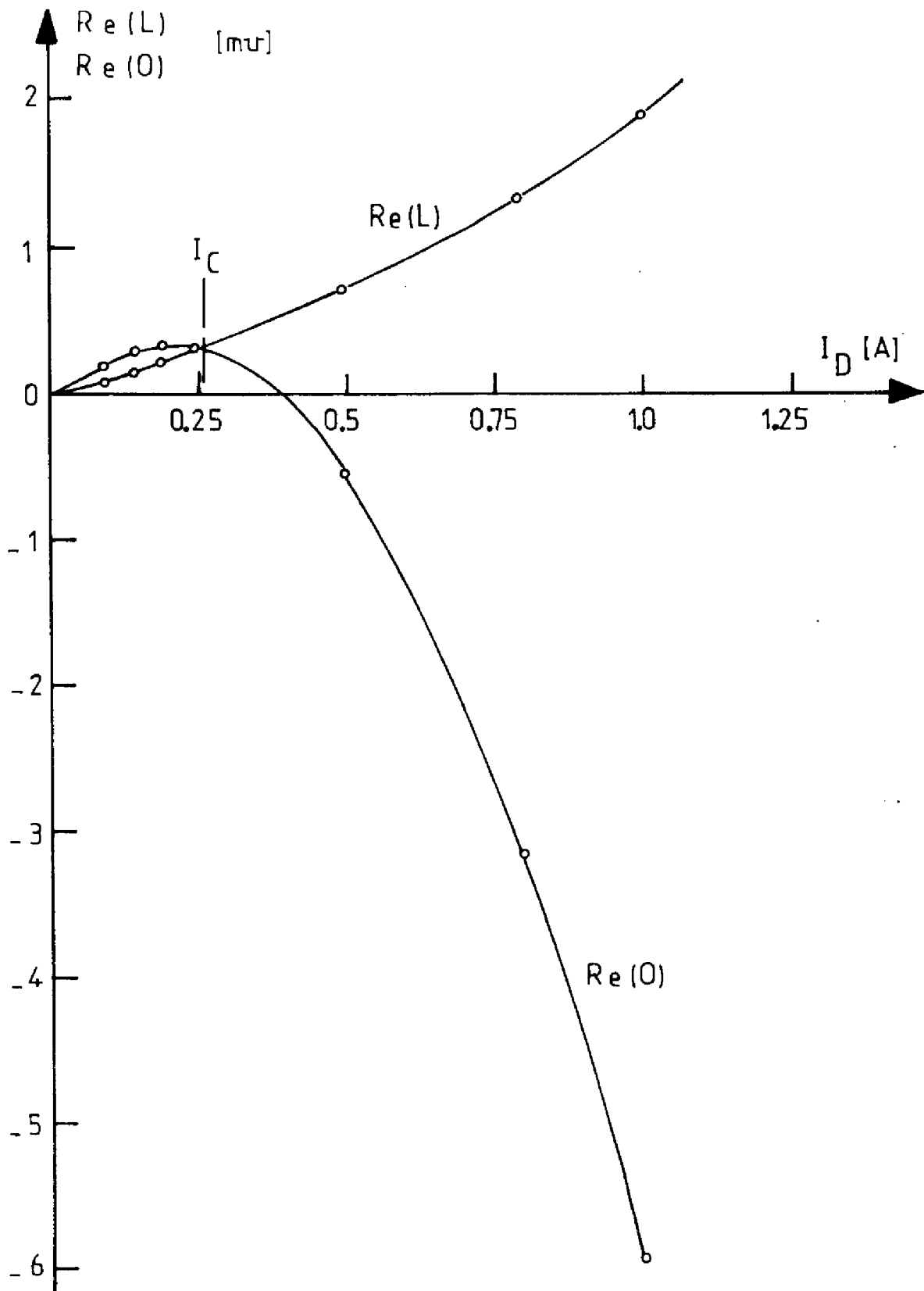


Figure I.14. Variation expérimentale de la conductance de sortie en fonction du courant de drain. Régime statique $Re(o)$ et régime de hautes fréquences $Re(L)$. $V_D = 20$ V. Transistor V-MOS 2N6657 SILICONIX.

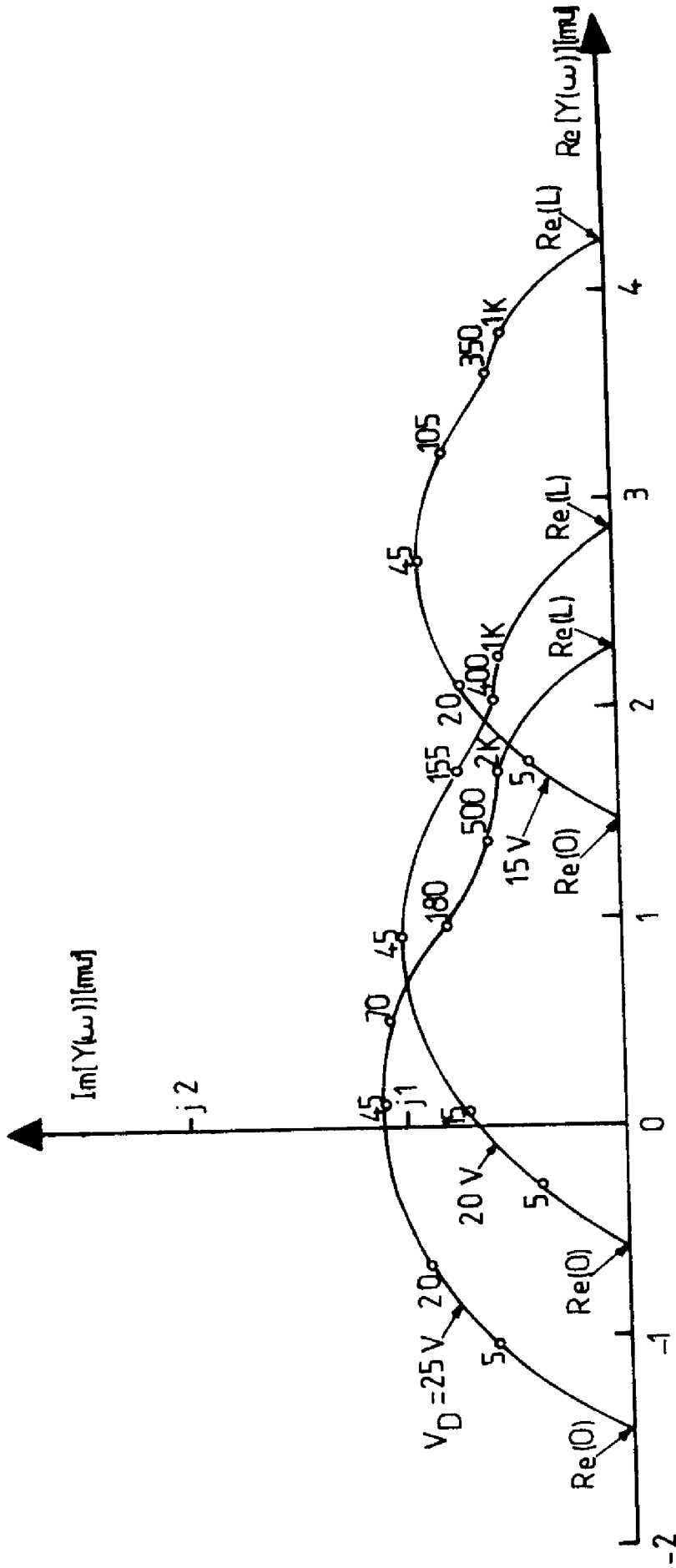


Figure I.17. Influence de la tension de drain sur le diagramme complexe d'admittance de sortie, $I_D = 1.5A$.
 La fréquence est le paramètre. Transistor EPI-FET.

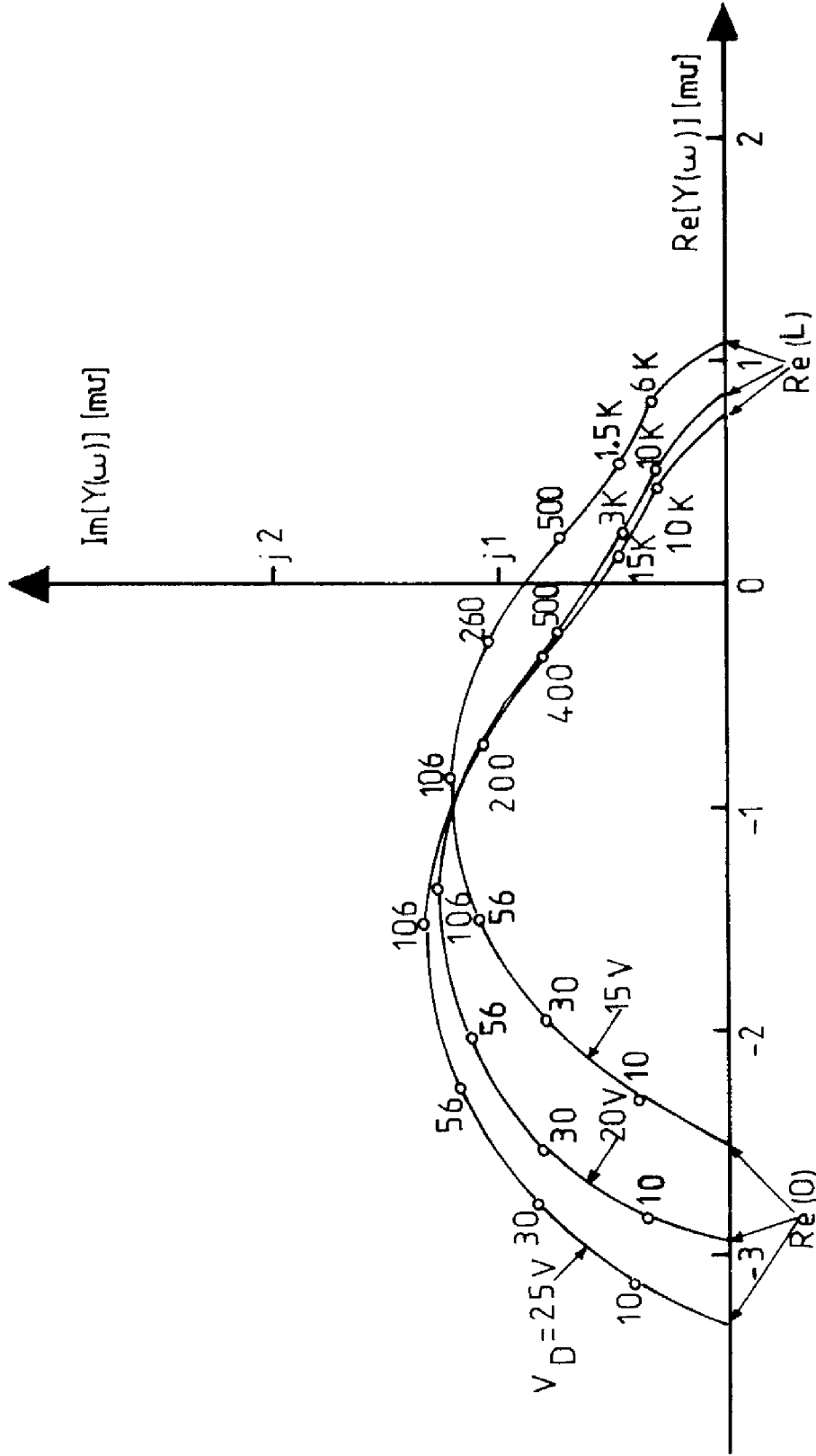


Figure I.16. Influence de la tension de drain sur le diagramme complexe d'admittance de sortie $I_D = 0.7A$. La fréquence est le paramètre. Transistor V-MOS.

$$T(\omega) = T + \Theta(\omega) \quad (1.3)$$

où I_D, V_D, T , sont les valeurs du courant, de la tension drain et de la température du canal, imposées par les conditions de polarisation statiques. $\Theta(\omega)$ est la variation de température créée par les conditions d'excitation dynamiques.

Les relations qui permettent de calculer l'admittance de sortie sont d'une part l'expression de la différentielle totale du courant de drain :

$$i(\omega) = \frac{\partial I_D}{\partial T} \cdot v(\omega) + \frac{\partial I_D}{\partial T} \cdot \Theta(\omega) \quad (1.4)$$

et d'autre part, la relation liant l'échauffement à la puissance dynamique $p(\omega)$:

$$\Theta(\omega) = Z_{th}(\omega) \cdot p(\omega) \quad (1.5)$$

dans laquelle la puissance dynamique s'exprime par :

$$p(\omega) = i(\omega) \cdot V_D + v(\omega) \cdot I_D \quad (1.6)$$

$Z_{th}(\omega)$ représente l'impédance thermique complexe entre le canal du transistor et le radiateur infini.

Compte tenu de (1.4), (1.5), (1.6), l'admittance de sortie peut s'écrire sous la forme :

$$y(\omega) = \frac{1}{1 - Z_{th}(\omega) \cdot V_D \cdot \frac{\partial I_D}{\partial T}} \times \left[\frac{\partial I_D}{\partial T} + Z_{th}(\omega) \cdot \frac{\partial I_D}{\partial T} \cdot I_D \right] \quad (1.7)$$

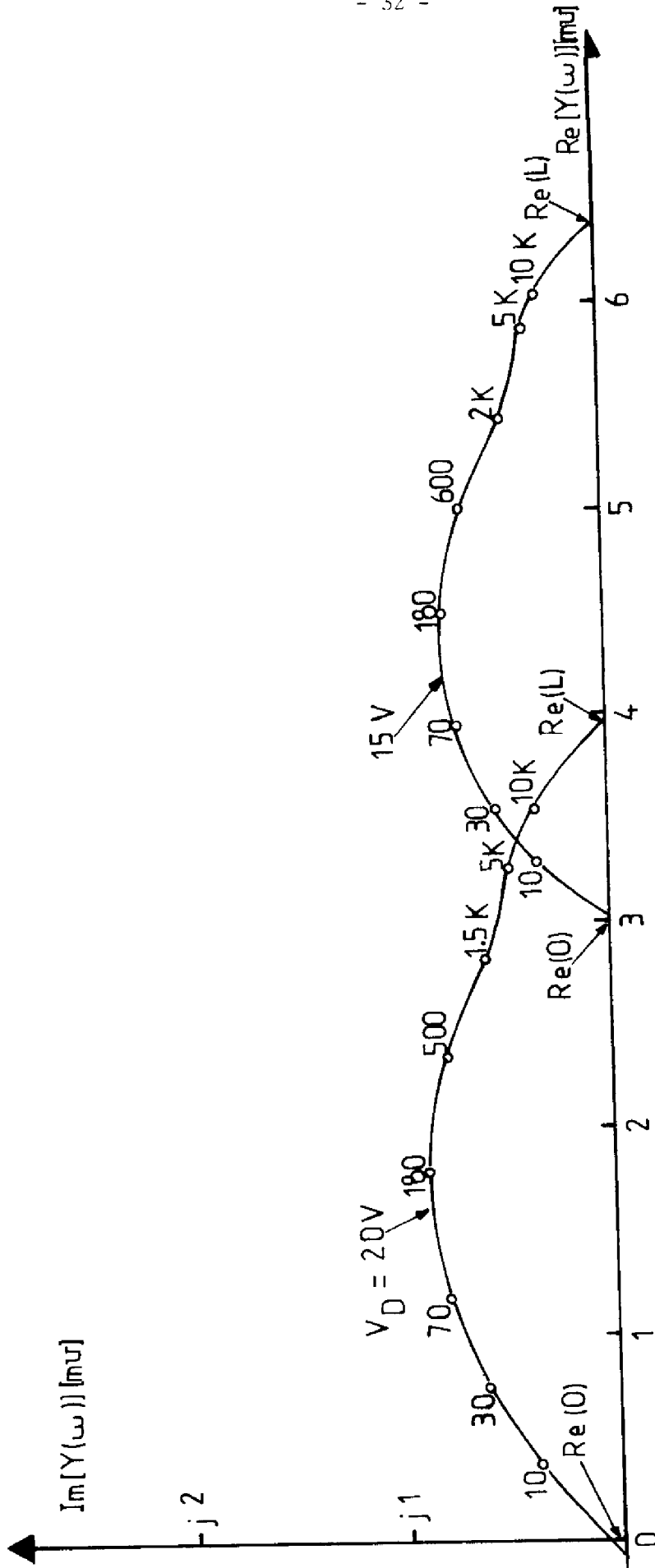


Figure I.18. Influence de la tension de drain sur le diagramme complexe d'admittance de sortie. $I_D = 1A$.
La fréquence est le paramètre. Transistor V-MOS CTC - CF4.

où R_{th} est la partie réelle de l'impédance thermique, c'est-à-dire la résistance thermique entre la région du canal et le radiateur. Ces admittances sont réelles. La deuxième $R_e(L)$ est toujours positive. Quant à la quantité $R_e(o) - R_e(L)$, elle peut être positive ou négative suivant le signe du coefficient de température [14].

Ceci explique qu'en hautes fréquences, la résistance de sortie est positive alors qu'en régime statique, celle-ci peut présenter l'un ou l'autre des signes comme nous l'avons observé expérimentalement (figure I.14).

ii) La partie imaginaire a le signe contraire de celui du coefficient thermique, la partie imaginaire de l'impédance thermique étant négative, et peut également être négative ou positive.

iii) De façon plus quantitative, le coefficient de température des transistors étudiés a été mesuré en utilisant la technique expérimentale décrite dans l'annexe I.1. La figure I.19 représente un exemple des évolutions de ce coefficient $\partial I_D / \partial T$ en fonction du courant de drain. Les variations observées sont similaires à celles régissant le comportement de tous les transistors MOS : pour les faibles valeurs du courant, le coefficient est positif, et est essentiellement contrôlé par les variations thermiques de la tension de seuil du transistor. A fort niveau de courant, le coefficient est négatif et dépend principalement de l'effet de la température sur la vitesse des porteurs du canal [6,18].

En régime de pincement et au premier ordre, il peut être approximé par la relation :

$$\frac{\partial I_D}{\partial T} = -K(I_D - I_C) \quad (1.11)$$

On peut remarquer que cette analyse est générale et applicable à d'autres composants semiconducteurs pouvant être représentés par un dipôle dont les éléments constitutifs dépendent de la température.

Dans le deuxième membre de la relation (1.7) le terme $\partial I_D / \partial V_D$ représente la conductance de sortie du transistor M.O.S. lié à l'effet électrostatique de la tension de drain, et qui est généralement étudiée pour décrire les propriétés en régime de saturation des transistors M.O.S. Par ailleurs, le terme $\partial I_D / \partial T$ est le coefficient de température du courant de drain. La quantité $Z_{th}(\omega) \cdot V_D \cdot \frac{\partial I_D}{\partial T}$ est négligeable devant l'unité pour la plupart des transistors M.O.S. Il vient :

$$Y(\omega) \simeq \frac{\partial I_D}{\partial V_D} + Z_{th}(\omega) \cdot \frac{\partial I_D}{\partial T} \cdot I_D \quad (1.8)$$

L'admittance de sortie du transistor est la somme de l'admittance du transistor idéal dans lequel les effets thermiques ne sont pas pris en compte et d'une admittance égale au produit de l'impédance thermique, du coefficient de température et du courant de drain.

1.1.4. Interprétation des résultats

L'analyse théorique précédente permet d'interpréter les propriétés expérimentales. En effet :

i) Les valeurs limites de l'admittance de sortie en régime statique et en régime de hautes fréquences s'identifient respectivement aux admittances suivantes :

$$R_e(0) = Y(\omega=0) = \frac{\partial I_D}{\partial V_D} + R_{th} \cdot \frac{\partial I_D}{\partial T} \cdot I_D \quad (1.9)$$

$$R_e(L) = Y(\omega \rightarrow \infty) = \frac{\partial I_D}{\partial V_D} \quad (1.10)$$

La signification physique de K et I_c sera précisée dans les paragraphes suivants ; ces quantités doivent être considérées pour l'instant comme deux paramètres mesurés expérimentalement.

Par suite, compte tenu de (1.9), (1.10), (1.11), d'une part et de (1.8) et (1.11) d'autre part, il apparaît que :

- l'amplitude réelle du diagramme d'admittance $Re(L) - Re(0)$ est une fonction parabolique du courant de drain :

$$Re(L) - Re(0) = K \cdot R_{th} \cdot \left[\left(I_D - \frac{I_c}{2} \right)^2 - \left(\frac{I_c}{2} \right)^2 \right] \quad (1.12)$$

- le maximum de la partie imaginaire de ce diagramme est aussi une fonction parabolique du courant de drain :

$$Im[Y(\omega)]_{max} = Im[Z_{th}(\omega)]_{max} \cdot [-K I_D (I_D - I_c)] \quad (1.13)$$

- le diagramme d'admittance translaté par la quantité $Re(L)$ est indépendant de la tension de drain :

$$Y(\omega) - Re(L) = -K \cdot Z_{th}(\omega) \cdot I_D \cdot (I_D - I_c) \quad (1.14)$$

Toutes ces propriétés sont bien celles observées expérimentalement comme le montrent les figures I.15-16-17-18, I.20, I.21-22-23-24.

I.2 APPLICATIONS

I.2.1 Détermination de l'impédance thermique et du schéma équivalent électrique de l'impédance de sortie du transistor

a) Schéma équivalent thermique

Une application immédiate de la relaxation de l'admittance de sortie est la détermination de l'impédance thermique complexe. Le principe du tracé d'impédance thermique est basé sur les mesures d'une part de $Y(\omega)$ pour des conditions de courant et tension drain fixées et d'autre part de K, I_c et $Re(L)$. La transformation géométrique suivante :

$$Z_{th}(\omega) = - \frac{Y(\omega) - Re(L)}{K \cdot I_D \cdot (I_D - I_c)} \quad (1.15)$$

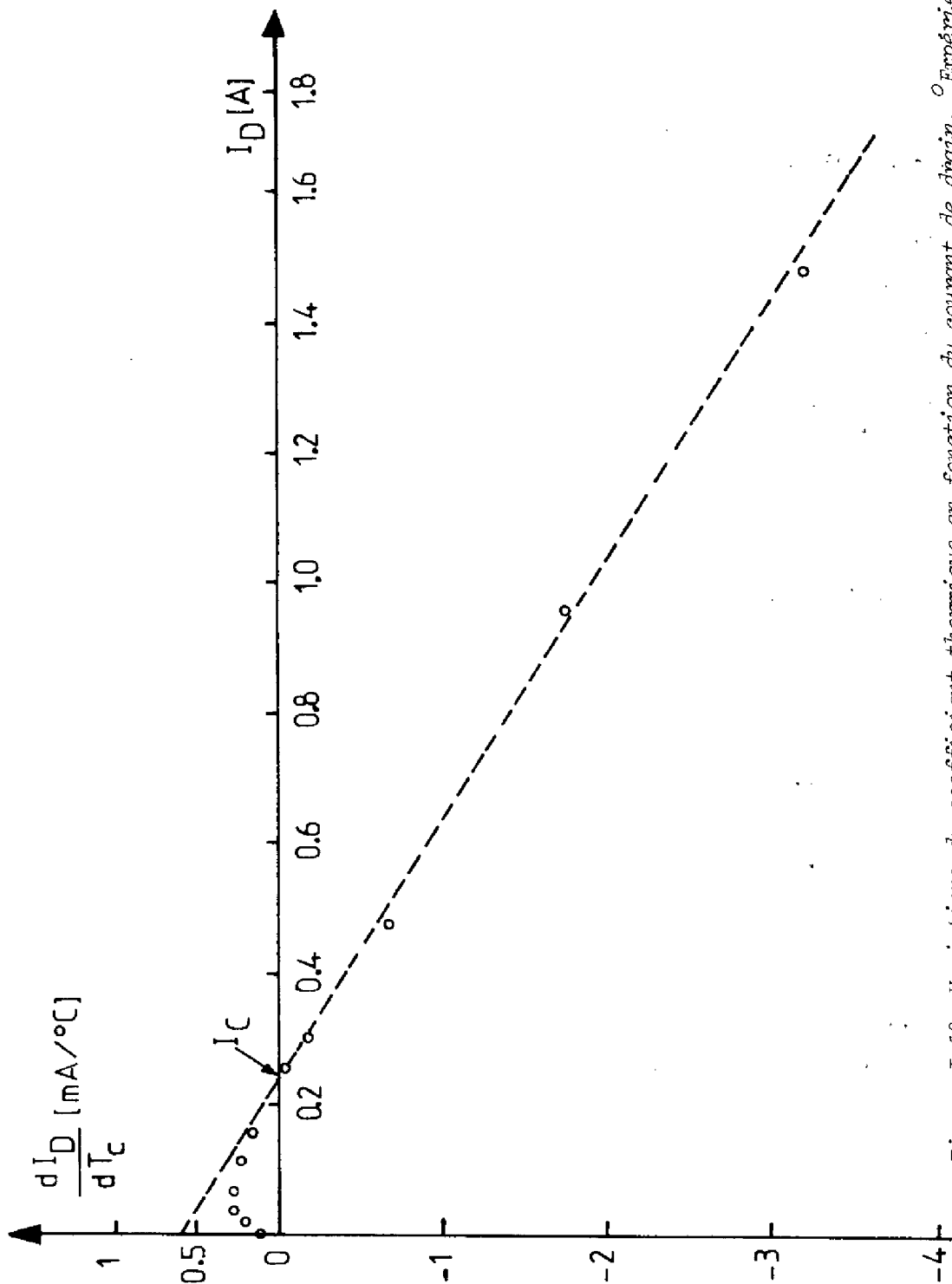


Figure I.19. Variations du coefficient thermique en fonction du courant de drain. ° Expérience
----- Approximation utilisée. Transistor V-MOS 2N6657 SILICONIX.

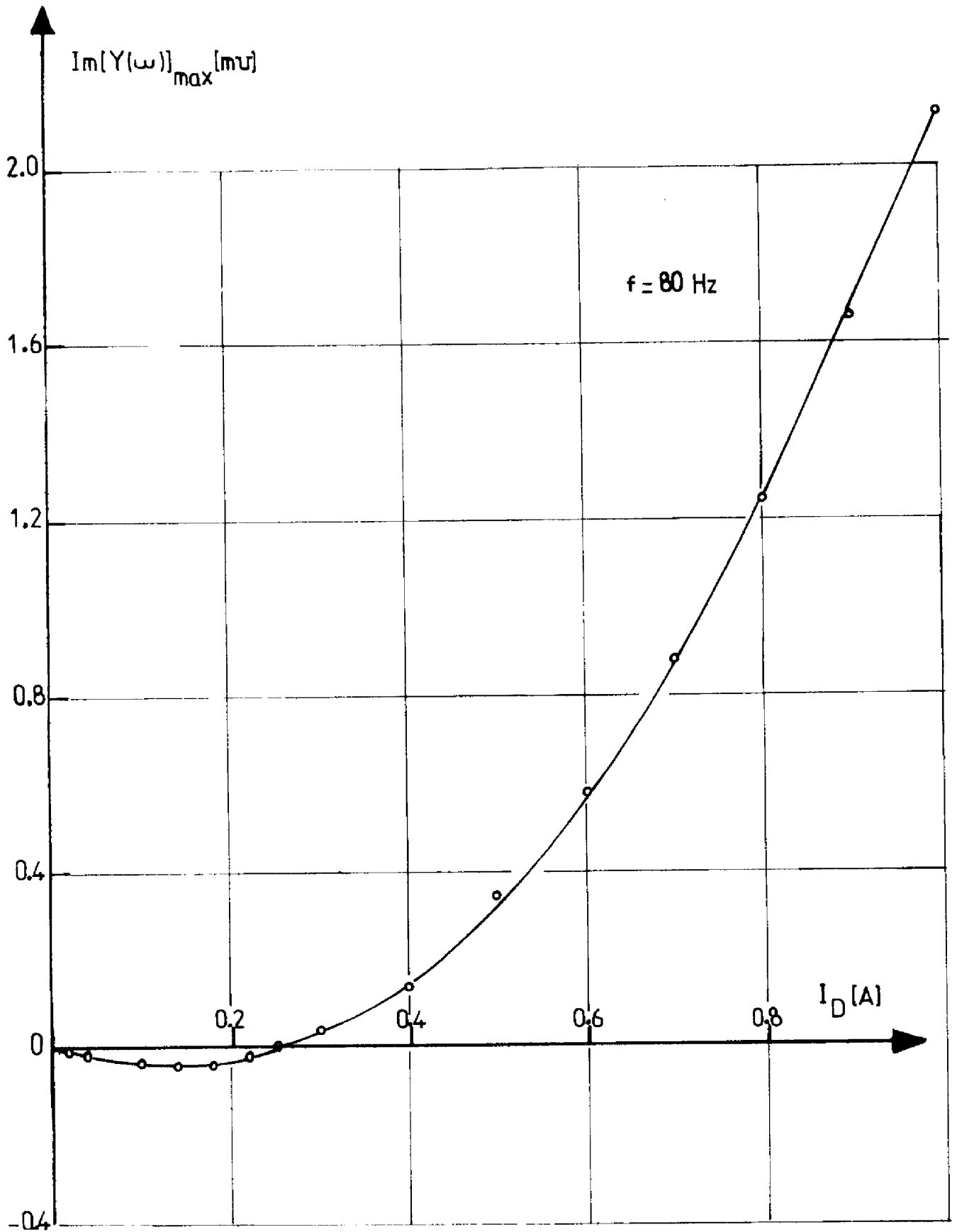


Figure I.21. Variations expérimentales de $\text{Im}[Y(\omega)]_{\text{max}}$ en fonction du courant de drain. $V_D = 20$ V. Transistor 2N6657 SILICONIX.

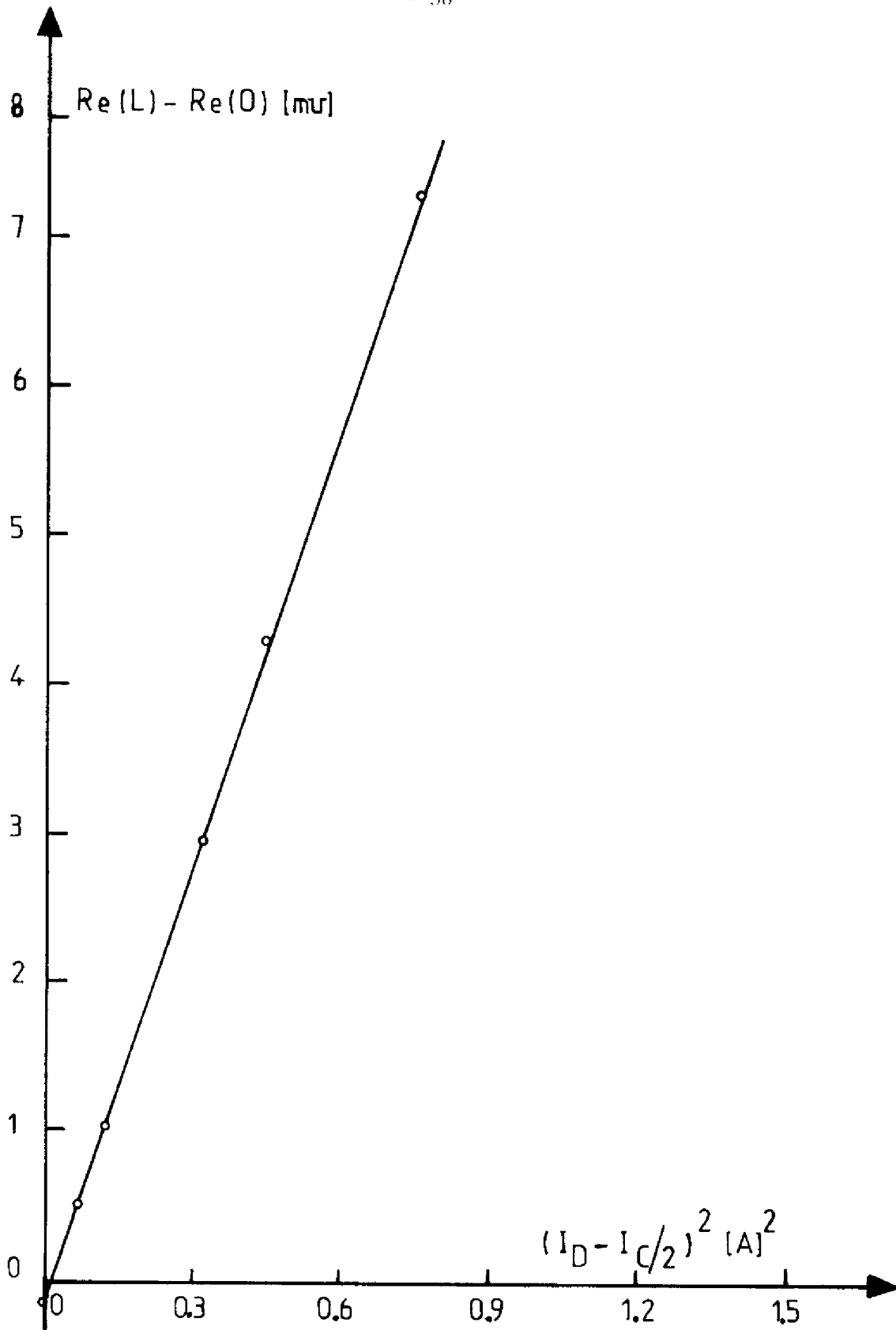


Figure I.20. Variations expérimentales de $Re(L) - Re(o)$ en fonction de $(I_D - I_C/2)^2$. Transistor V-MOS 2N6657 SILICONIX.

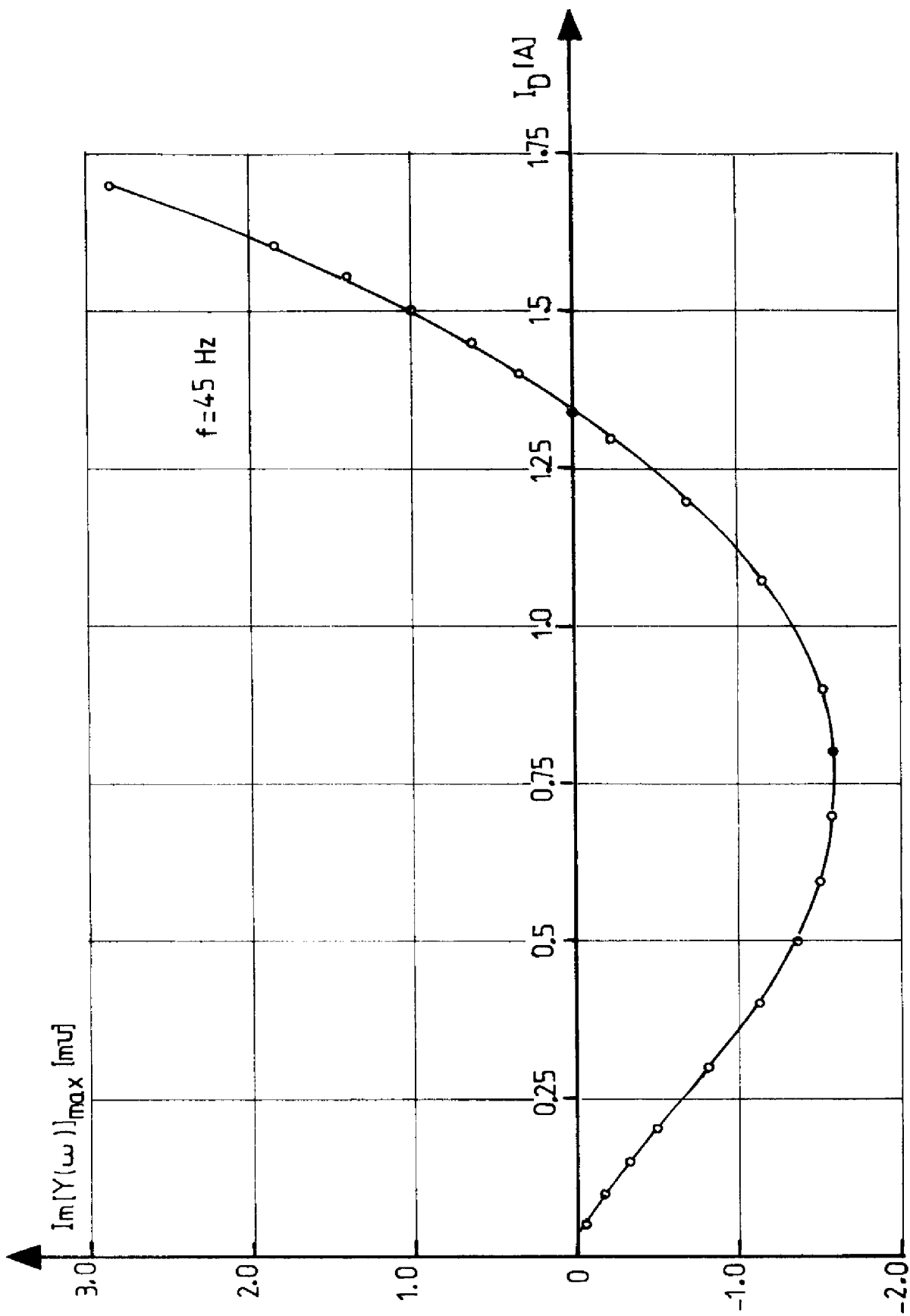


Figure I.23. Variations expérimentales de $\text{Im}[Y(\omega)]_{\text{max}}$ en fonction du courant de drain $V_D = 20 \text{ V}$.

Transistor EPI - FET.

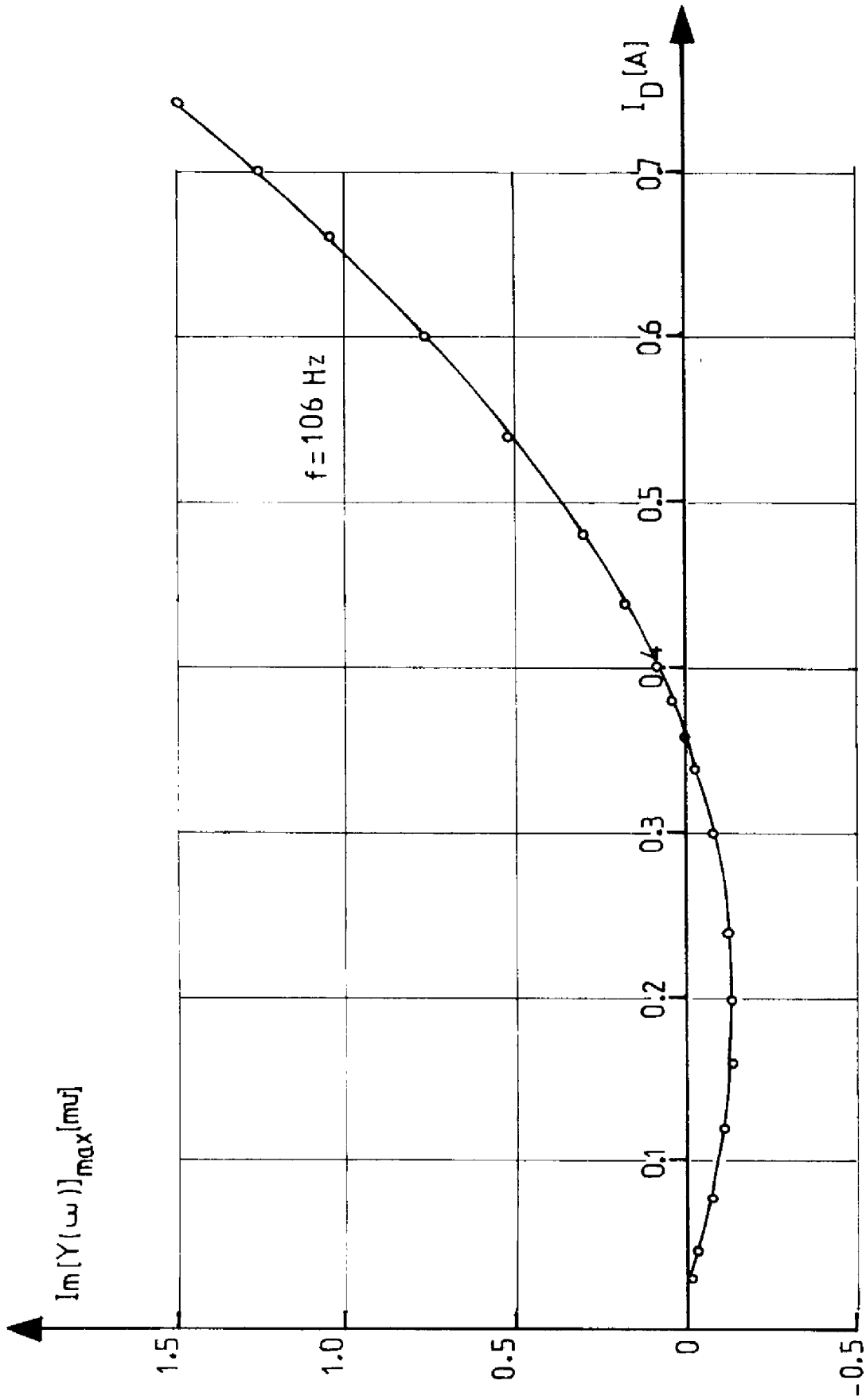


Figure I.22. Variations expérimentales de $Im [Y(\omega)]_{max}$ en fonction du courant de drain. $V_D = 20$ V.
Transistor V-MOS.

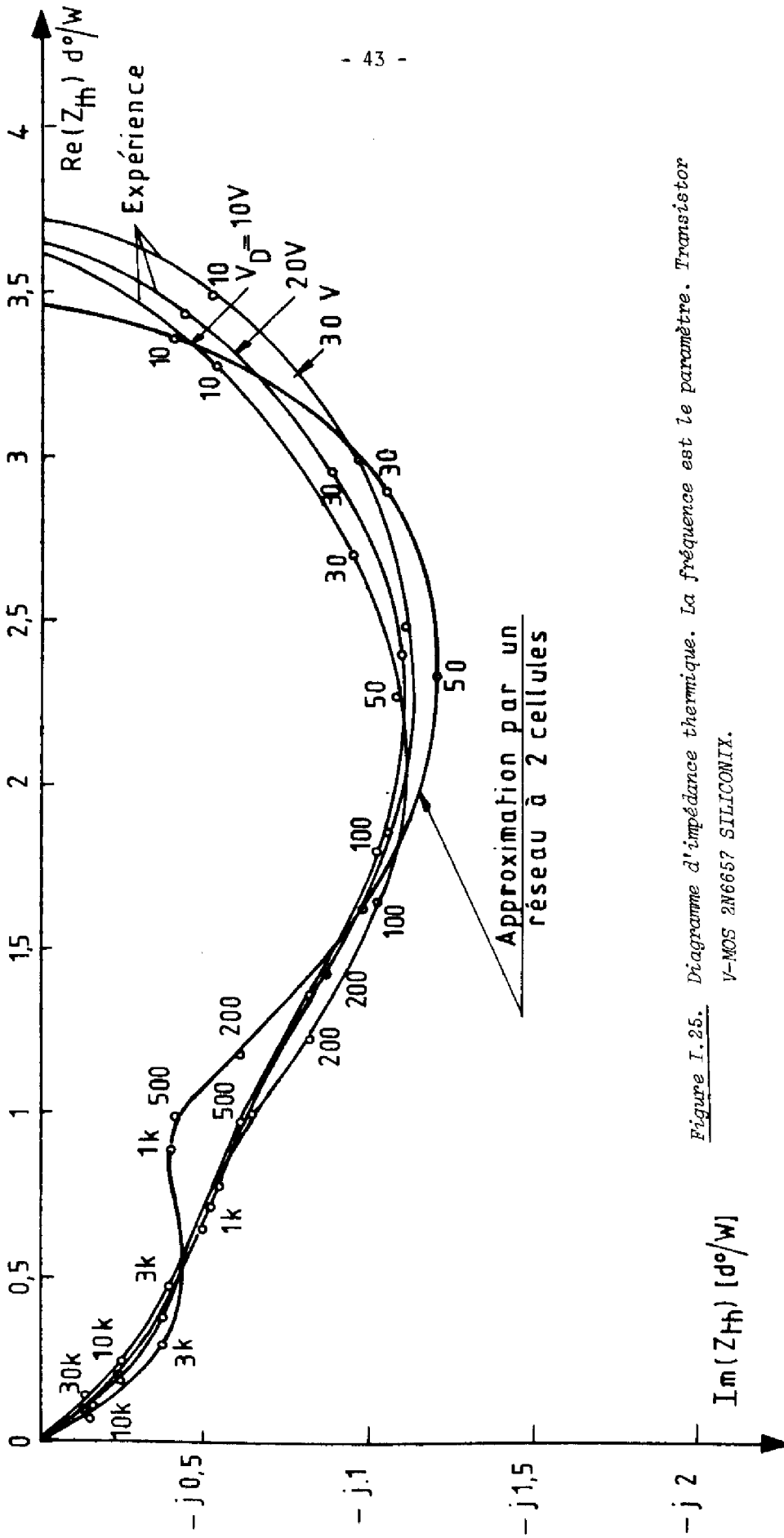


Figure I.25. Diagramme d'impédance thermique. La fréquence est le paramètre. Transistor V-MOS 2N6657 SILICONIX.

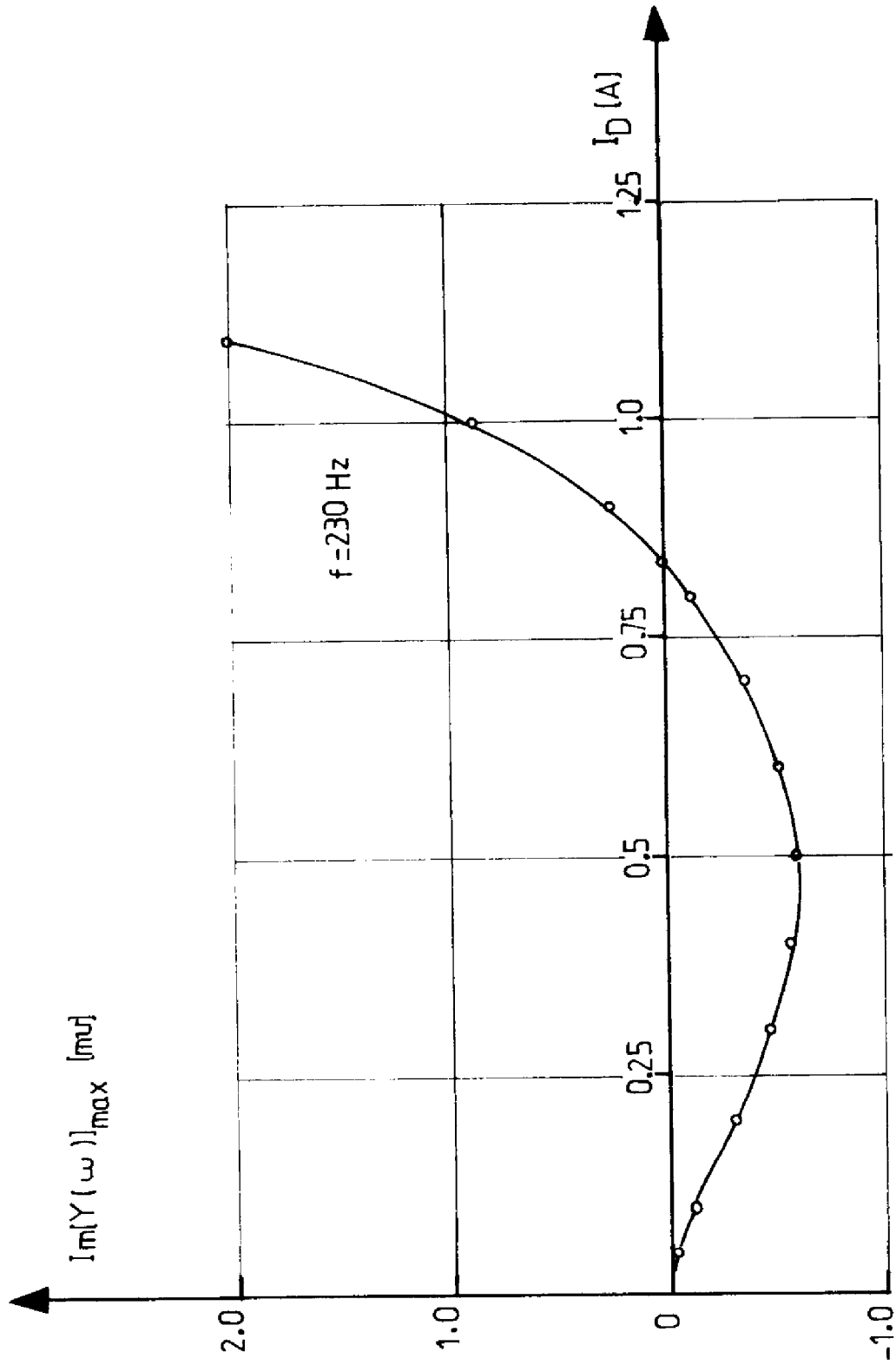


Figure I.24. Variations expérimentales de $\text{Im}[y(\omega)]_{\text{max}}$ en fonction du courant de drain. $V_D = 20 \text{ V}$
Transistor V-MOS CTC - CF4.

b) Schéma équivalent électrique

D'un point de vue électrique, en utilisant la relation (I.14), l'admittance de sortie du transistor peut se mettre sous la forme :

$$y(\omega) = \operatorname{Re}(L) + \frac{1}{Z^*} \quad (1.16)$$

où

$$Z^* = \frac{1}{I_D \cdot \frac{\partial I_D}{\partial T}} \cdot \frac{1}{Z_{th}(\omega)} = \frac{a}{Z_{th}(\omega)} \quad (1.17)$$

L'impédance de sortie du transistor est constituée par la mise en parallèle de l'impédance de sortie d'un transistor idéal dans lequel il n'y aurait pas d'effet thermique et d'une impédance égale à $(Z_{th}(\omega) \cdot I_D \cdot \frac{\partial I_D}{\partial T})^{-1}$ (figure I.27a)

Cette dernière impédance peut être représentée par la mise en parallèle de cellules "résistance-inductance", (figure I.27b)

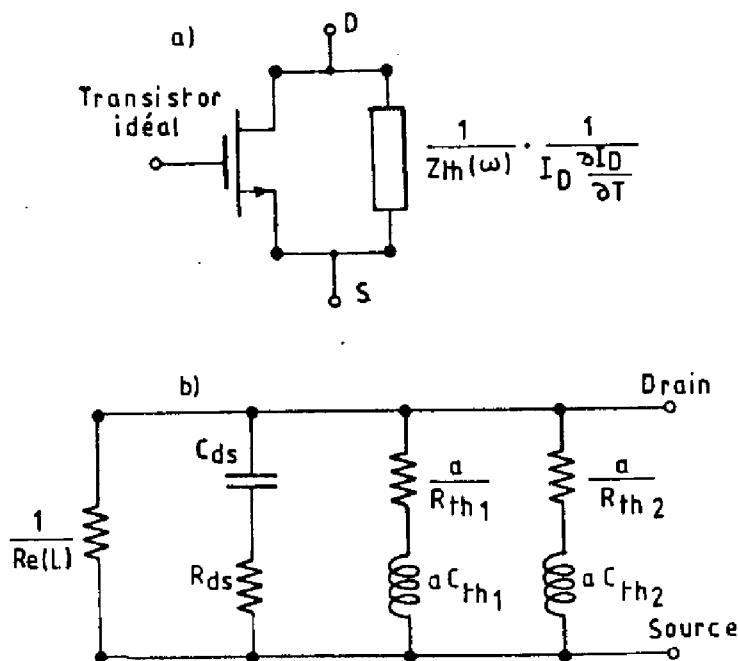


Figure I.27. Schéma équivalent électrique de l'impédance de sortie

$$a = (I_D \cdot \frac{\partial I_D}{\partial T})^{-1}$$

fournit expérimentalement, comme l'indique la figure I.25, le diagramme complexe de l'impédance thermique. L'amplitude de ce diagramme, sur l'axe réel, est égale à la résistance thermique.

Nous avons pu vérifier que les valeurs des résistances thermiques ainsi obtenues sont identiques à celles fournies par le relevé direct du profil de température à la surface du semi-conducteur (Annexe I.1) [13].

Par ailleurs, il est possible de trouver un circuit équivalent à cette impédance sous la forme d'association de cellules résistances thermiques-capacités thermiques. Dans le cas des transistors 2N6657, une représentation au 1er ordre est proposée sur la figure I.26, sous la forme d'un circuit à deux cellules $R_{th1}-C_{th1}$ et $R_{th2}-C_{th2}$. Ce circuit permet de représenter avec une précision voisine de 10 % les variations fréquentielles de l'impédance thermique comme cela est montré sur la figure I.25 où l'on a comparé l'impédance de ce circuit équivalent au diagramme d'impédance thermique relevé expérimentalement.

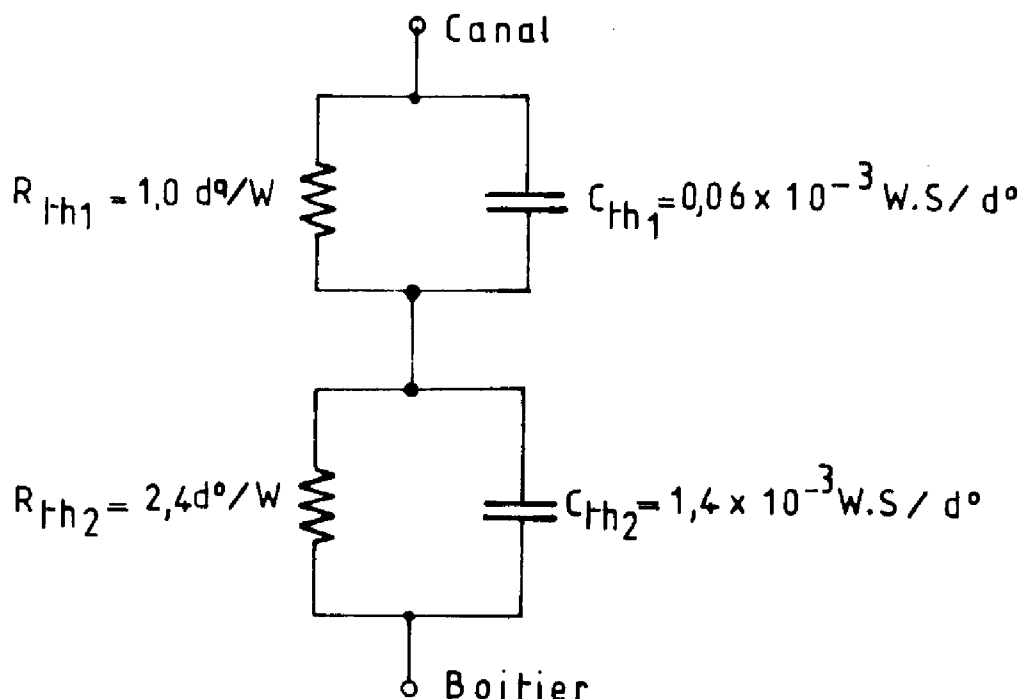


Figure I.26. Schéma équivalent thermique du transistor V-MOS 2N6657.

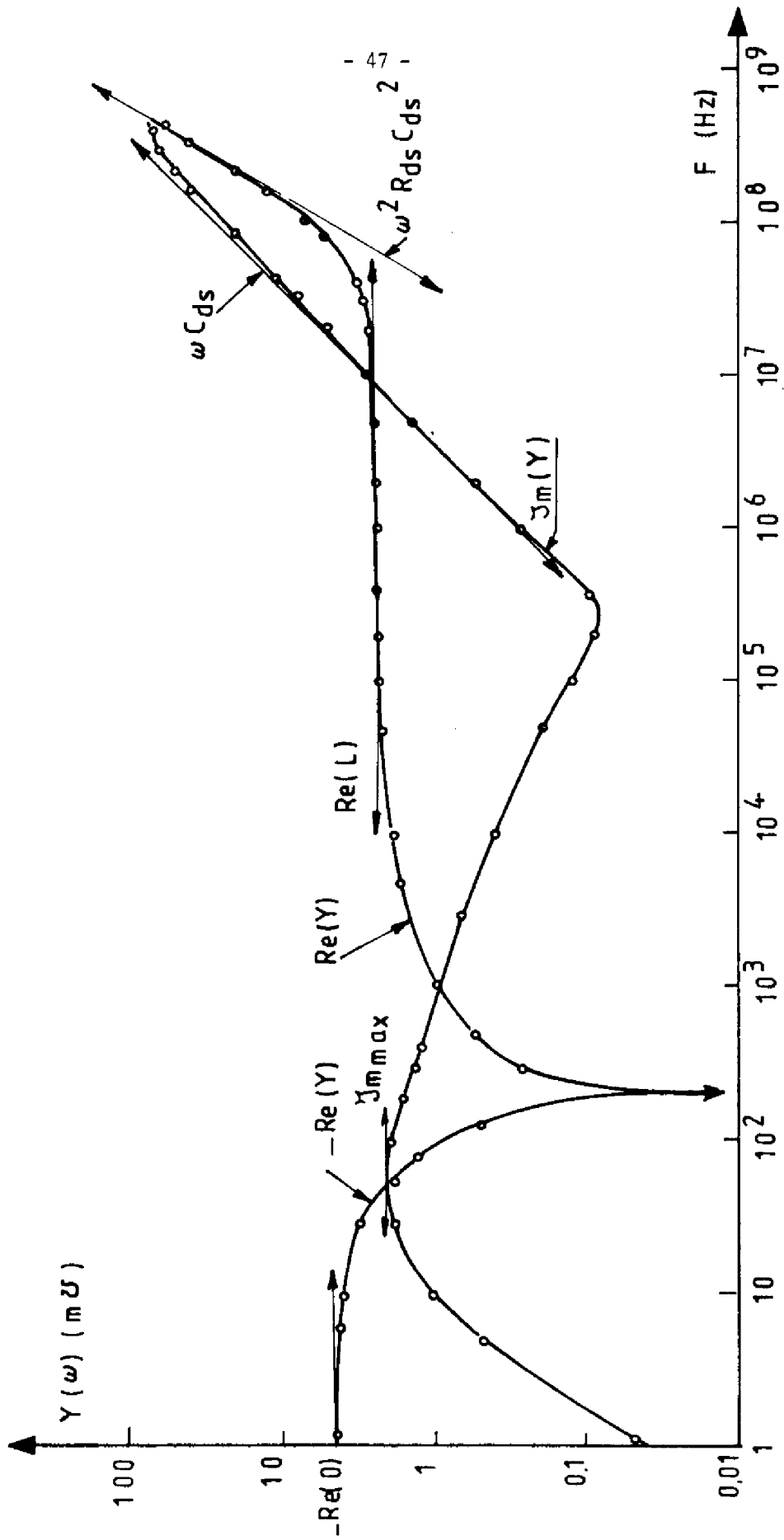


Figure I.28. Variations fréquentielles des parties réelles et imaginaires de l'admittance de sortie.
 Gamme BF, HF, VHF ($V_D = 12$ V). Transistor Y-MOS 2N6657 SILICONIX.

Ces éléments, résistances et inductances, sont positifs si le courant est inférieur au courant critique I_c et dans le cas contraire ils sont négatifs. Quant au transistor idéal, rappelons que son impédance de sortie est représentée par la mise en parallèle de la résistance $R_e(L)^{-1}$ et du circuit résistance R_{ds} - capacité C_{ds} en série. La capacité C_{ds} est la capacité de transition de la diode drain-substrat, polarisée en inverse par la tension V_D , et la résistance R_{ds} représente la somme des résistances, entre les contacts de drain et de substrat, du matériau semiconducteur constituant le drain, et le substrat [16].

Ainsi on peut expliquer les évolutions dans tout le domaine fréquentiel depuis la fréquence nulle jusqu'aux UHF de l'admittance de sortie : la figure I.28 représente dans le plan de Bode un tel type d'évolution, typique du comportement des transistors à canal court :

En régime de basses fréquences ($f < 100$ KHz), les mécanismes qui imposent la valeur de l'admittance sont les effets thermiques et les mécanismes de raccourcissement du canal ($Re(L)$) selon les lois que nous venons d'établir.

Dans la gamme des hautes fréquences :

$$100 \text{ KHz} < f < 10 \text{ MHz}$$

la partie réelle reste constante, égale à $Re(L)$, et la partie imaginaire lui est très inférieure. Seul, le mécanisme électrostatique dû au drain impose la résistance de sortie.

En régime des très hautes fréquences ($f > 10$ MHz) c'est l'élément parasite, lié à la configuration géométrique de la diode de drain, c'est-à-dire à l'existence de la capacité C_{ds} en série avec la résistance R_{ds} , qui impose le mode de croissance, proportionnel à la fréquence pour la partie imaginaire ($jC_{ds}\omega$), et proportionnel au carré de la fréquence pour la partie réelle ($R_{ds} C_{ds}^2 \omega^2$).

où le courant I_c est défini par :

$$I_c = Z_{Cox} v_{sat}^2 \left(\frac{\partial V_c}{\partial T} \right) \cdot \left(\frac{\partial v_{sat}}{\partial T} \right)^{-1} \quad (1.21)$$

En reportant ce résultat théorique, dans la relation (I.13) considérée sous la forme suivante, faisant intervenir le maximum de la partie imaginaire de $y(\omega)$:

$$I_{m} [y(\omega)]_{max} = I_{m}(Z_{th}(\omega)|_{max}) \cdot I_o \cdot \frac{\partial I_o}{\partial T} \quad (1.22)$$

nous pouvons écrire l'équation différentielle à laquelle satisfait v_{sat} :

$$I_{m} [y(\omega)]_{max} = I_{m}(Z_{th}(\omega)|_{max}) \cdot \frac{\partial \ln v_{sat}}{\partial T} \cdot I_o \cdot (I_o - I_c) \quad (1.23)$$

Afin de déterminer les différents termes de cette relation et ainsi accéder à la loi de variation de v_{sat} avec la température nous avons mesuré l'admittance de sortie $y(\omega)$ et l'impédance thermique $Z_{th}(\omega)$ dans la gamme de température comprise entre -100°C et 100°C .

I.2.2.2. Résultats Expérimentaux

Les dispositifs étudiés sont des transistors V.MOS interdigités, dont le canal de type N a une longueur de $2 \mu\text{m}$, montés sur une embase de type TO3 dont la température est fixée par un radiateur infini. La capacité de la grille Z_{Cox} par unité de longueur du canal est égale à : $10^{-7} \text{ F.cm}^{-1}$ et la surface du canal est orientée $\langle 111 \rangle$

Le diagramme d'admittance du transistor a été obtenu à l'aide du banc de mesure décrit dans le paragraphe I.1.2.

I.2.2. Influence de la température sur la vitesse limite des porteurs dans une couche inversée

Dans un transistor M.O.S à canal court, les porteurs, qui forment la couche d'inversion, transitent à vitesse limite à fort niveau de polarisation drain [20]. Cependant, peu de renseignements sont actuellement disponibles dans la littérature concernant ce paramètre qui intervient dans la définition des propriétés électriques du transistor.

Nous allons proposer une méthode de détermination du mode d'évolution de cette vitesse limite V_{sat} avec la température, basée sur l'analyse des propriétés de l'admittance de sortie du transistor.

I.2.2.1. Principe de la méthode

Nous avons montré que la partie imaginaire de l'admittance de sortie $y(\omega)$ du transistor M.O.S. est donnée par :

$$\text{Im}[y(\omega)] = \text{Im}[Z_{th}(\omega)] I_D \cdot \frac{\partial I_D}{\partial T} \quad (1.18)$$

où I_D représente le courant drain du transistor, T la température du cristal du silicium, $Z_{th}(\omega)$ l'impédance thermique de l'ensemble "transistor plus boîtier" et ω la pulsation du signal.

Afin d'exprimer cette admittance en fonction des paramètres physiques qui la contrôlent, on utilise, dans le cas du transistor M.O.S. à canal court [21], la relation approchée qui définit le courant de drain [22] :

$$I_D = Z C_{ox} v_{sat} (V_G - V_C) \quad (1.19)$$

Dans cette relation, $Z.C_{ox}$ représente la capacité de grille par unité de longueur du canal, V_G la tension de grille et V_C une tension d'autant plus voisine de la tension de seuil V_T du transistor que le canal est court [23].

En dérivant la relation (1.19) par rapport à la température, on obtient :

$$\frac{\partial I_D}{\partial T} = \frac{1}{v_{sat}} \cdot \frac{\partial v_{sat}}{\partial T} \cdot (I_D - I'_C) \quad (1.20)$$

Un exemple de diagramme d'admittance typique pour ces composants est rappelé sur la figure I.29 dans des conditions de polarisation telles que : $I_D = 1 \text{ A}$ et $V_D = 20 \text{ V}$.

Les variations de la valeur maximale de la partie imaginaire de $y(\omega)$ sont reportées sur la figure I.30 en fonction du courant drain I_D .

Les variations de $\text{Im} [y(\omega)]_{\text{max}}$ en fonction de la quantité $I_D (I_D - I'_C)$ où I'_C représente la valeur du courant qui annule $\text{Im} [y(\omega)]_{\text{max}}$ lorsque I_D est différent de zéro sont représentées sur la figure I.31. Cette figure montre une variation linéaire de $\text{Im} [y(\omega)]_{\text{max}}$ en fonction de $I_D (I_D - I'_C)$. On a pu vérifier que cette pente est indépendante de la température du boîtier lorsque celle-ci est comprise entre -100°C et 100°C .

Enfin, en ce qui concerne l'impédance thermique de la structure, sa partie réelle correspondant à la résistance thermique, est égale à $3,5(^\circ)\text{W}^{-1}$, et sa partie imaginaire maximale, indépendante de la température dans la gamme étudiée, est égale à $-1(^\circ)\text{W}^{-1}$. Ces deux quantités ont été déterminées par la méthode décrite dans la section I.2.1.

I.2.2.3. Variation de la vitesse limite avec la température

Les résultats expérimentaux représentés sur la figure I.31 peuvent être traduits par une relation de la forme :

$$\text{Im} [y(\omega)]_{\text{max}} = \alpha I_D \cdot (I_D - I'_C) \quad (1.24)$$

dans laquelle, le coefficient α qui est la pente de la droite, représentée sur cette figure, est égal à $3 \text{ } \mu\text{A}^{-2}$.

Par identification formelle des relations expérimentale (I.24) et théorique (I.23), il apparaît que la vitesse de saturation obéit à l'équation différentielle :

$$\frac{\partial \ln v_{\text{sat}}}{\partial T} = \frac{\alpha}{\text{Im} [Z_{\text{th}}(\omega)]_{\text{max}}} \quad (1.25)$$

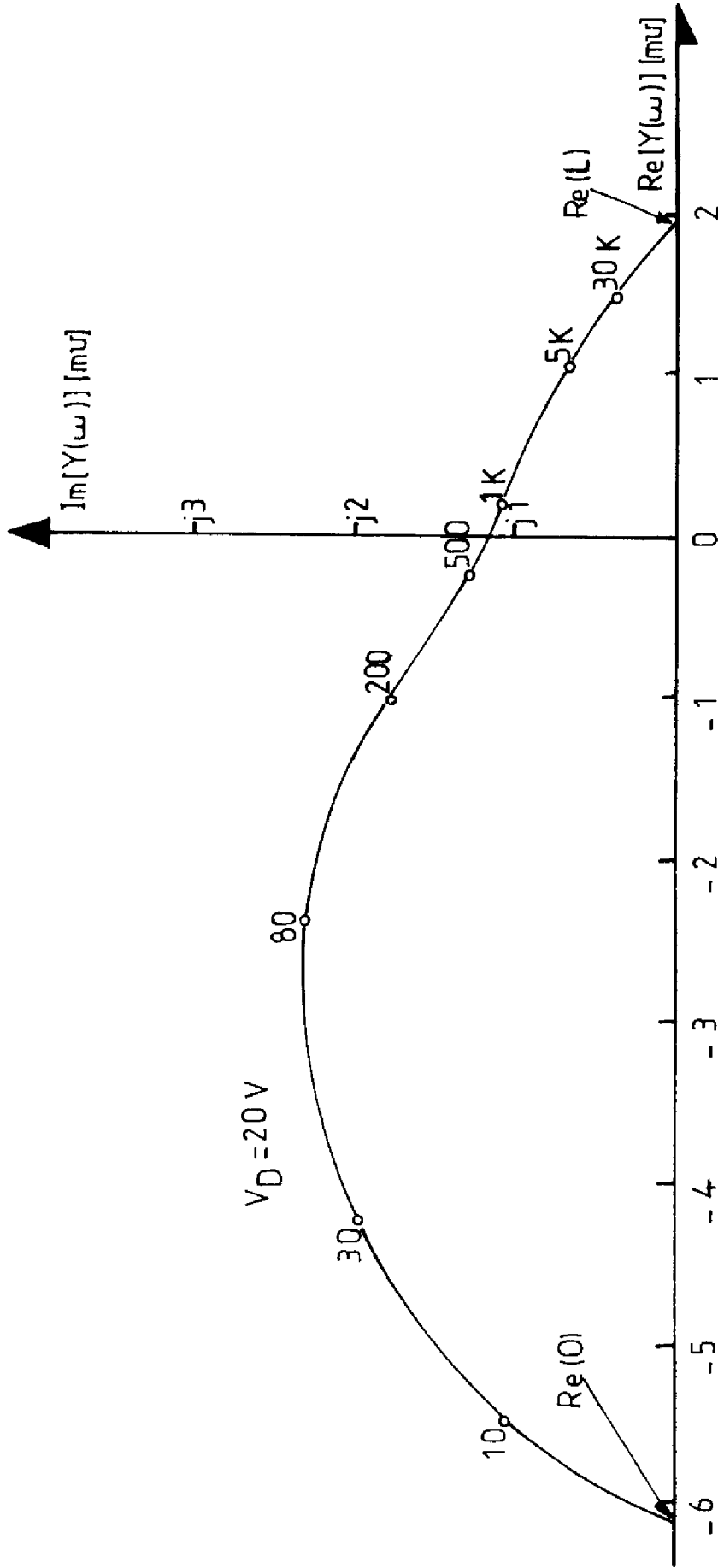


Figure I.29. Exemple de rappel de diagramme d'admittance de sortie. Le paramètre est la fréquence.
 $I_D = 1\text{A}$. Transistor V-MOS 2N6857 SILICONIX.

et que les courants I_c et I'_c sont identiques.

En intégrant la relation (I.25), nous obtenons la loi de variation de la vitesse de saturation avec la température :

$$v_{sat} = v_{sato} \cdot \exp[-\beta(T-T_0)] \quad (1.26)$$

où v_{sato} est la vitesse de saturation à la température T_0 et où la constante β est égale à $\alpha / \text{Im}[Z_{th}(\omega)]_{max}$

La valeur v_{sato} est calculée à partir de la valeur mesurée de la transconductance $g_m = \frac{\partial I_D}{\partial V_G}$ à forte polarisation drain. En effet, d'après les relations (I.19) et I.26), nous pouvons écrire :

$$v_{sato} = \frac{g_m \exp \beta(T-T_0)}{Z_{cox}} \quad (1.27)$$

Cette transconductance, dans le cas du transistor V.MOS 2N6657, est égale à 263 m A.V^{-1} pour un courant de 1A sous une tension drain de 15 V ce qui correspond à une température de cristal T de l'ordre de 75°C . D'autre part, les valeurs numériques de α et de $\text{Im}[Z_{th}(\omega)]_{max}$ sont obtenues par les techniques expérimentales mentionnées plus haut. Dans ces conditions, nous obtenons : $v_{sato} = 3,2 \times 10^6 \text{ cm.s}^{-1}$.

A titre de comparaison, nous avons porté sur la figure I.32 en coordonnées semi-logarithmiques, nos résultats ainsi que ceux obtenus par R.W.COEN et col [18], en utilisant la technique du "canal uniforme" [24] et par F.F. FANG et col. [20] en utilisant un transistor M.O.S. surdimensionné en épaisseur de grille.

Ces résultats font apparaître une dépendance exponentielle dans chacun des cas, ainsi qu'un bon accord entre nos résultats et ceux obtenus par R.W. COEN et col.

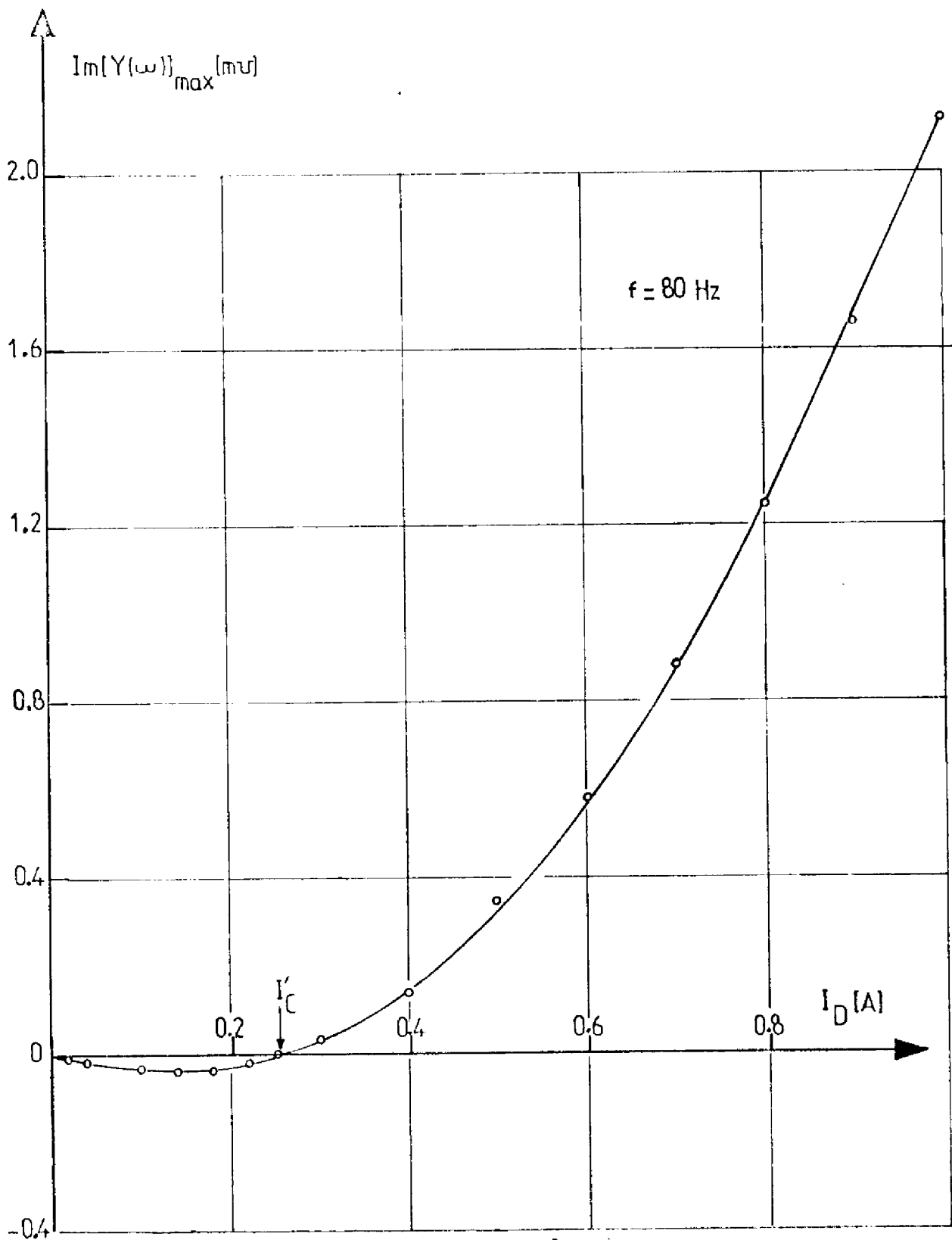


Figure I.30. Variations expérimentales de $\text{Im}[Y(\omega)]_{\text{max}}$ en fonction du courant de drain. Définition du courant I'_c . Transistor V-MOS 2N6657 SILICONIX.

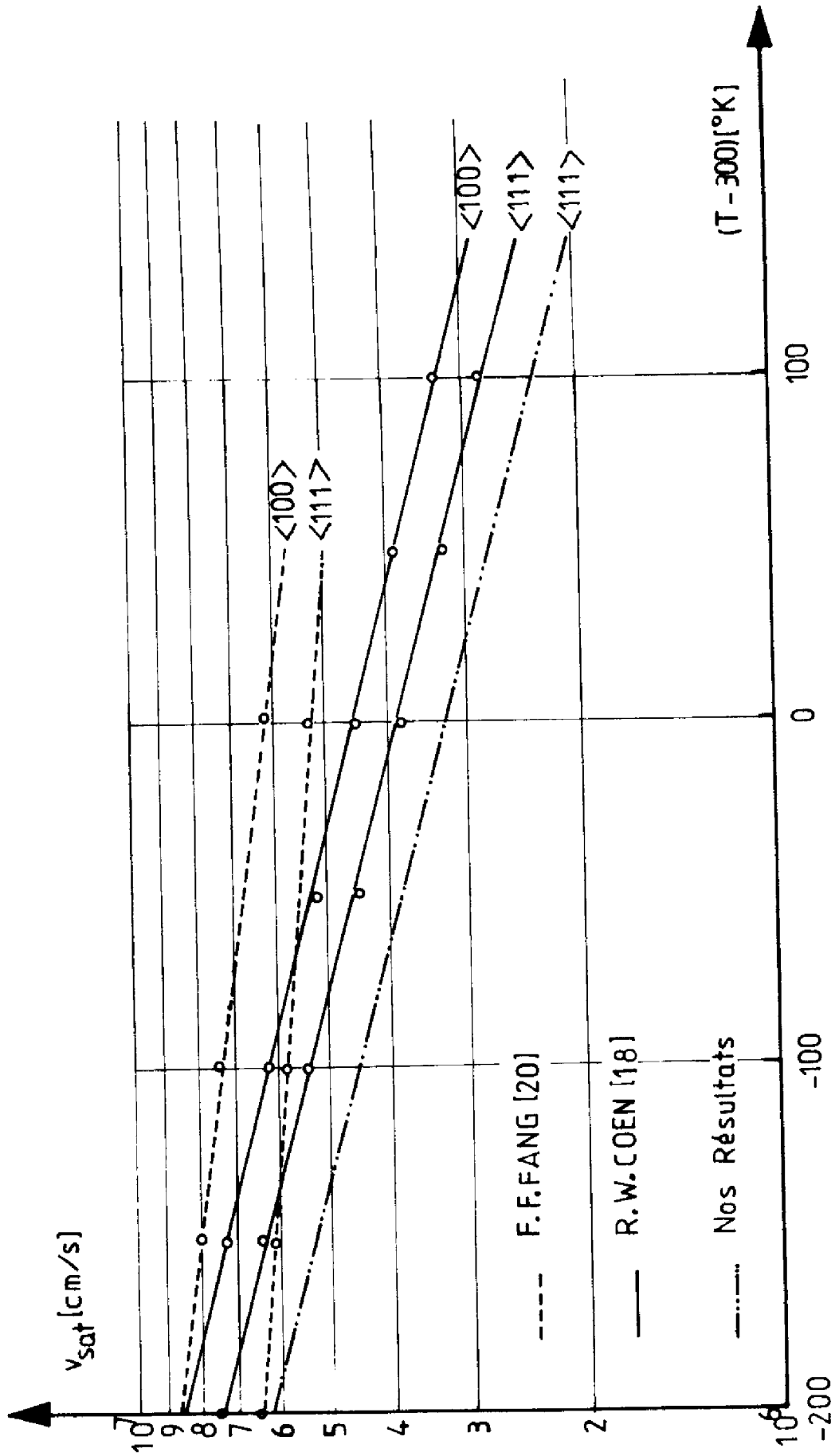


Figure I.32. Résultats expérimentaux obtenus par d'autres auteurs et nous-mêmes : vitesse limite de porteurs dans une couche inversée en fonction de la température.

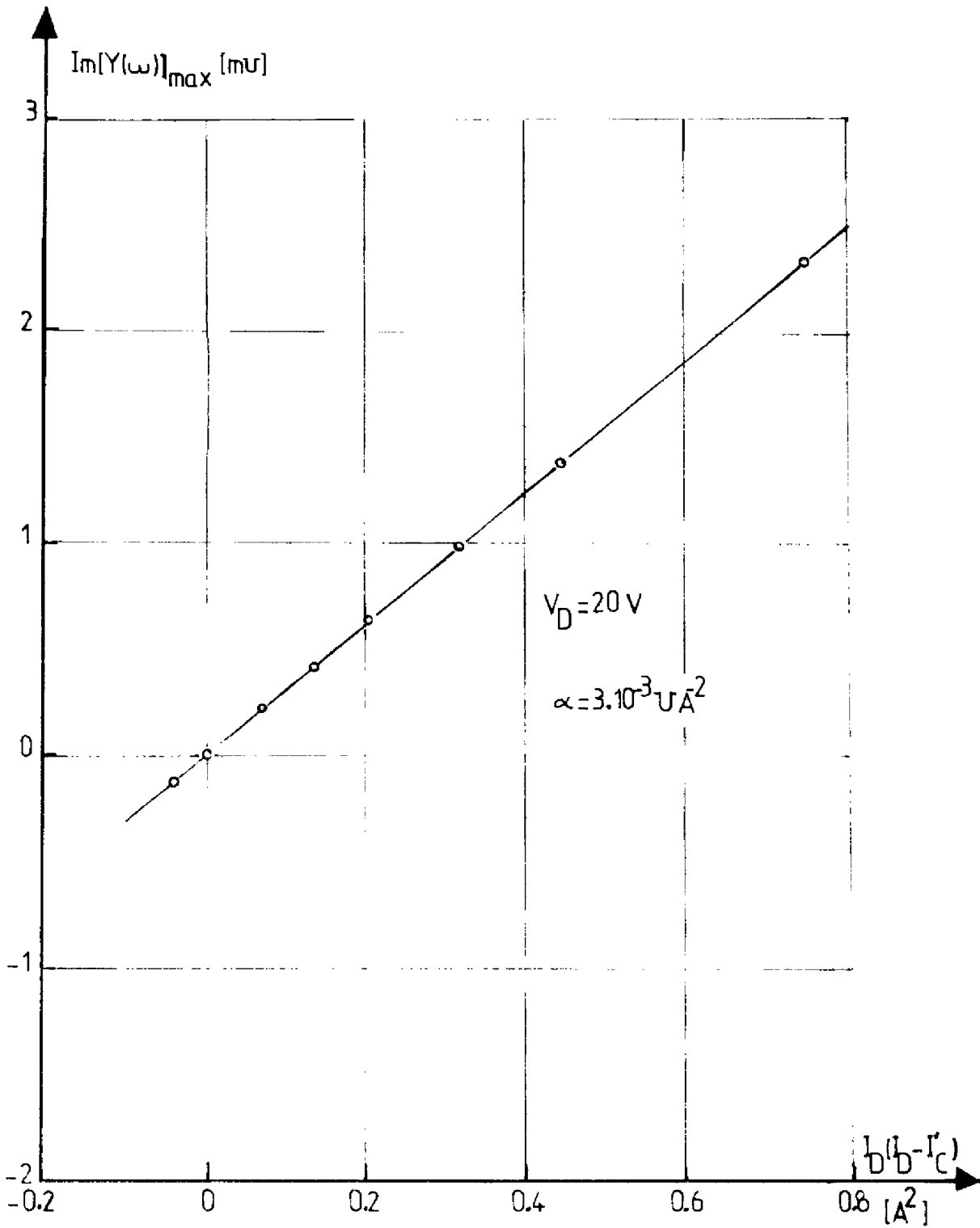


Figure I.31. Variations expérimentales de $\text{Im}[Y(\omega)]_{\text{max}}$ en fonction de $I_D(I_D - I_C)^2$. Transistor 2N6857 SILICONIX.

Où $Re(L)$ est la valeur de l'admittance en hautes fréquences et $Re(o)$ l'admittance à la fréquence nulle, R_{th} la résistance thermique, I_D le courant drain, I_C la valeur du courant de drain pour laquelle la partie imaginaire de l'admittance s'annule, et K un coefficient.

De la même façon, nous avons montré que la partie maximale de l'admittance de sortie satisfait à la relation :

$$Im [y(\omega)]_{max} = -Im [Z_{th}(\omega)]_{max} \cdot K \cdot I_D \cdot (I_D - I_C) \quad (1.13)$$

Où $Z_{th}(\omega)$ est l'impédance thermique du transistor.

Les relations (1.9) et (1.13) montrent que pour analyser l'influence du rayonnement sur l'admittance de sortie $Re(o)$, il est nécessaire d'étudier expérimentalement l'évolution des deux quantités : $Re(L)$ et $Im [y(\omega)]_{max}$.

I.2.3.3. Résultats Expérimentaux

Les dispositifs qui ont été irradiés sont des transistors V.MOS interdigités dont le canal de type N a une longueur de $1,2 \mu m$ et la capacité de la grille Z_{Cox} , par unité de longueur du canal, est égale à $8,4 \times 10^{-8} F.cm^{-1}$. La surface du canal est orientée $\langle 111 \rangle$. Les transistors ont été soumis à une dose d'irradiation de l'ordre de 10 Krad . Les diagrammes d'admittance complexe $y(\omega)$ avant et après irradiation sont représentés sur la Fig. I.33. Cette figure met en évidence la modification importante de la valeur de $y(\omega)$ sous l'effet du rayonnement. En effet, elle passe de $Re(o)_1 = -1,26 \text{ m}\Omega$ avant irradiation à $Re(o)_2 = 1,37 \text{ m}\Omega$ après irradiation. Corrélativement l'admittance en haute fréquence passe de $Re(L)_1 = 1,88 \text{ m}\Omega$ à $Re(L)_2 = 2,67 \text{ m}\Omega$. Par ailleurs, la figure I.34 représente les variations de $Im [y(\omega)]_{max}$ en fonction du courant I_D . Ces courbes font apparaître l'influence de l'irradiation sur le courant I_C qui passe de la valeur $I_{C1} = 620 \text{ mA}$ à $I_{C2} = 830 \text{ mA}$.

I.2.2 Analyse de l'influence des rayonnements ionisants sur les propriétés électriques des transistors M.O.S. à canaux courts.

En tant que dernière application des propriétés de l'admittance de sortie, nous examinerons l'influence des rayonnements ionisants sur l'admittance de sortie des transistors M.O.S. Nous montrerons que les dégradations subies sont dues à la création de nouveaux états de surface à l'interface $\text{SiO}_2\text{-Si}$ et non à une éventuelle modification de la vitesse limite des porteurs.

I.2.3.1. Introduction

Les dégradations des caractéristiques électriques des transistors M.O.S. sous l'effet des rayonnements ionisants sont généralement liées à la création, d'une part d'états de surface à l'interface $\text{SiO}_2\text{-Si}$ et d'autre part de charges fixes positives dans l'oxyde de grille [27]. Ces deux effets physiques entraînent que la mobilité et la tension de seuil V_T du transistor évoluent sous contrainte radiative.

Dans le cas des transistors M.O.S. à canaux courts, il apparaît un effet supplémentaire de dégradation électrique qui affecte notamment la valeur de l'admittance de sortie qui par exemple peut passer d'une valeur négative à une valeur positive. Dans ce paragraphe nous discuterons l'origine physique de ce phénomène et analyserons les deux éventualités : modification de la vitesse de porteurs ou de la densité d'états de surface.

I.2.3.2. Rappels théoriques

Dans le paragraphe (I.1.4), il a été montré que l'admittance de sortie, en régime statique, du transistor M.O.S. peut s'écrire :

$$R_e(o) = R_e(L) - K R_{th} \cdot I_D \cdot (I_D - I_C) \quad (1.9)$$

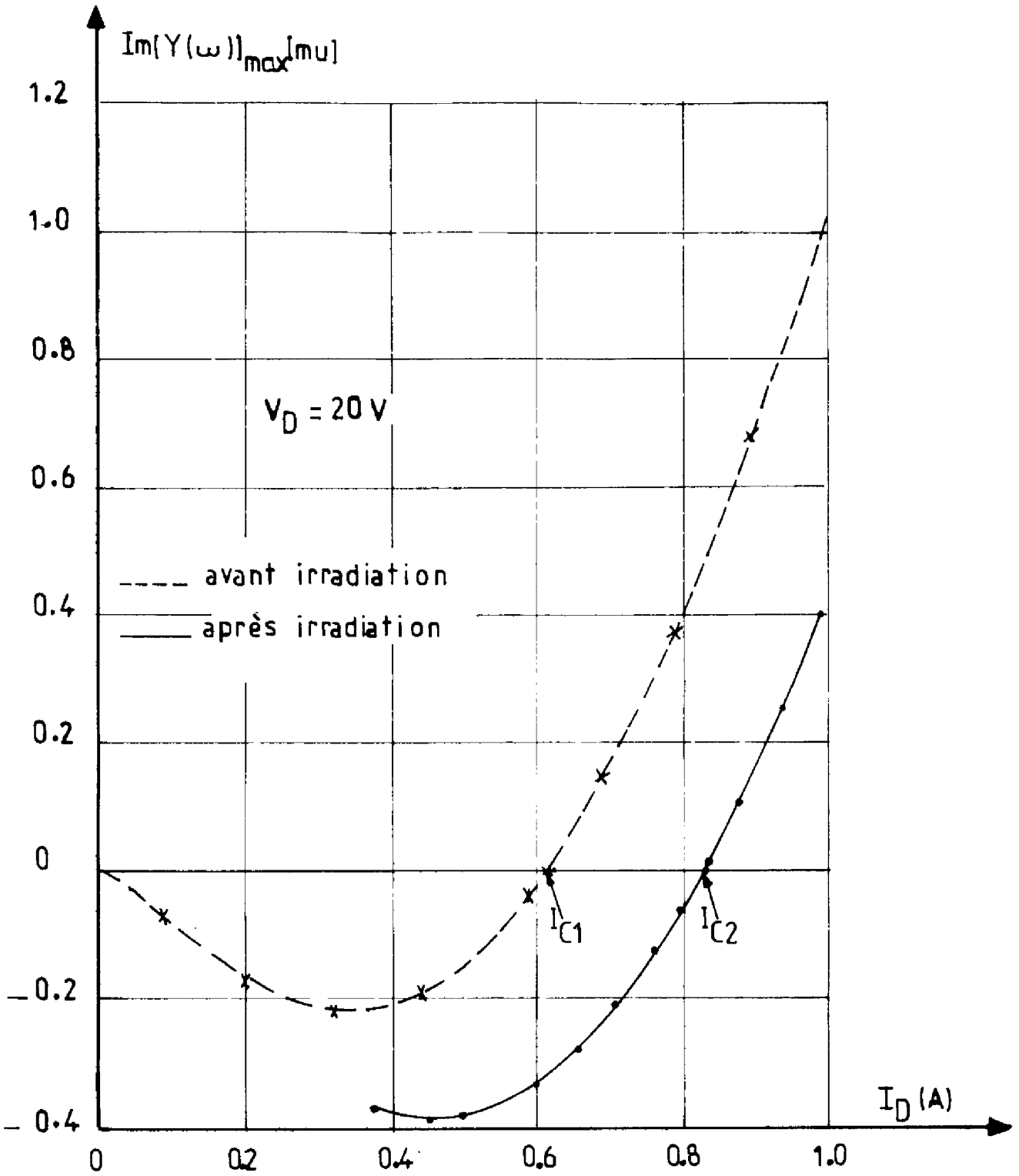


Figure I.34. Variations de $\text{Im}[Y(\omega)]_{\text{max}}$ en fonction de I_D . Avant et après irradiation. Transistor V-MOS.

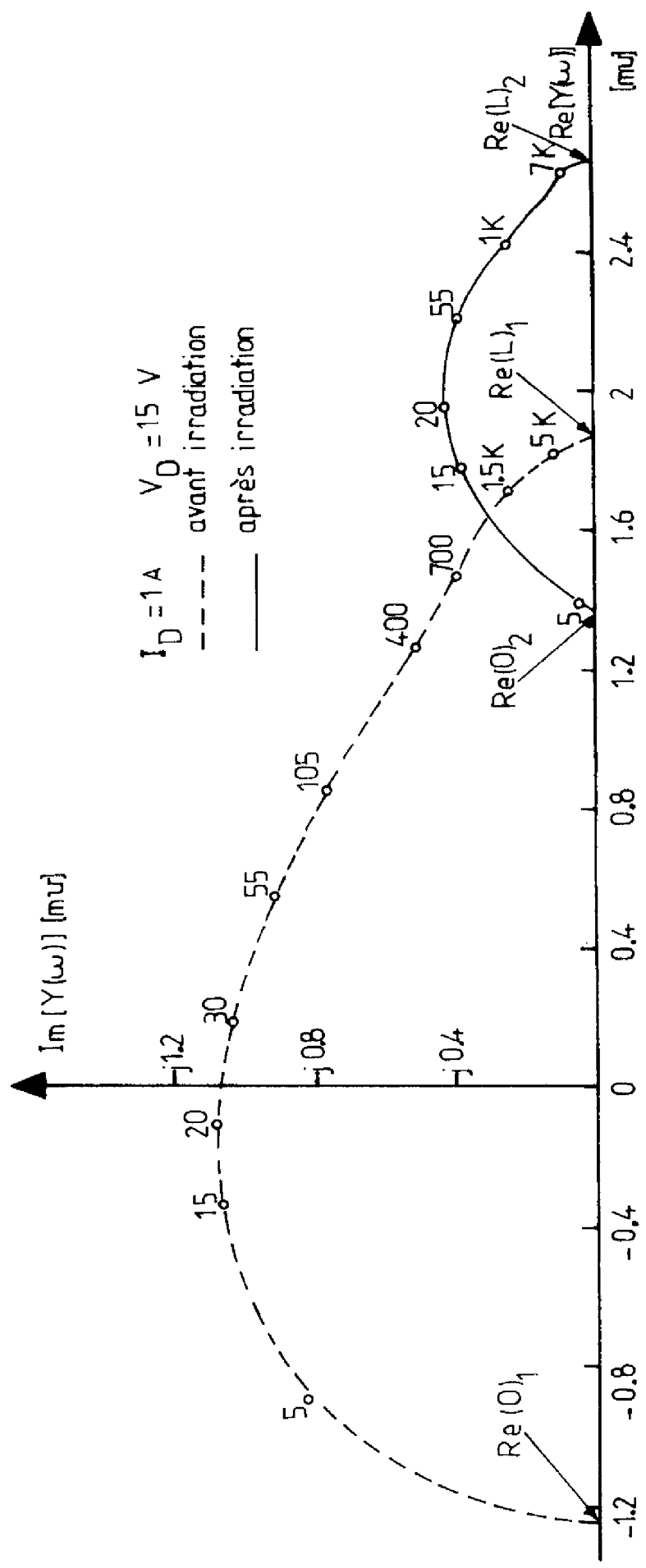


Figure I.33. Diagramme d'admittance de sortie, avant et après irradiation. Le paramètre est la fréquence. Transistor V-MOS.

Enfin, sur la figure I.35, nous avons porté les variations de $\text{Im}[y(\omega)]_{\text{max}}$ en fonction de $I_D(I_D - I_C)$. Il apparaît que les deux courbes, avant et après irradiation sont confondues, ce qui montre que K est une quantité qui est insensible au rayonnement ionisant : en effet, d'une part, rappelons que la pente des courbes $\text{Im}[y(\omega)]_{\text{max}} = f[I_D(I_D - I_C)]$ est égale à $K \cdot \text{Im}[Z_{th}(\omega)]_{\text{max}}$ et d'autre part il est raisonnable d'admettre que $K \cdot \text{Im}[Z_{th}(\omega)]_{\text{max}}$ ne dépend pas de la dose d'irradiation, car sa valeur est fixée par les propriétés de conduction thermique du semiconducteur et de l'embase.

I.2.3.4. Analyse des résultats

Les résultats précédents montrent que l'influence des irradiations sur la valeur de l'admittance de sortie est principalement associée au changement de la valeur du courant critique I_C . De fait, la faible variation de $\text{Re}(L)$, ($\text{Re}(L)_2 - \text{Re}(L)_1 = 0,7 \text{ m}\Omega$) ne suffit pas à expliquer la variation de l'admittance $y(\omega=0)$, ($\text{Re}(0)_2 - \text{Re}(0)_1 = 2,6 \text{ m}\Omega$). Afin de mettre en évidence l'origine de cette évolution, les significations physiques des quantités K et I_C doivent être précisées. Les relations qui relient K et I_C aux paramètres physiques du transistor M.O.S. à canal court sont fournies par (I.11, I.20, I.21), exprimées sous la forme :

$$K = - \frac{\partial \ln(v_{\text{sat}})}{\partial T} \quad (1.28)$$

$$I_C = Z C_{\text{ox}} v_{\text{sat}}^2 \left(\frac{\partial V_T}{\partial T} \right) \left(\frac{\partial v_{\text{sat}}}{\partial T} \right)^{-1} \quad (1.29)$$

où T est la température du silicium, v_{sat} la vitesse de saturation et V_T la tension de seuil.

En prenant en compte, d'une part les valeurs expérimentales de la quantité $\frac{\partial V_T}{\partial T}$ représentées sur la figure I.36, et mesurées avant et après irradiation, et d'autre part la valeur de I_C mesurée par les diagrammes de la figure I.34, il apparaît que la valeur numérique de v_{sat} après irradiation, calculée par la relation :

$$v_{\text{sat}} = \frac{K}{Z C_{\text{ox}}} I_C \left(\frac{\partial V_T}{\partial T} \right)^{-1} \quad (1.30)$$

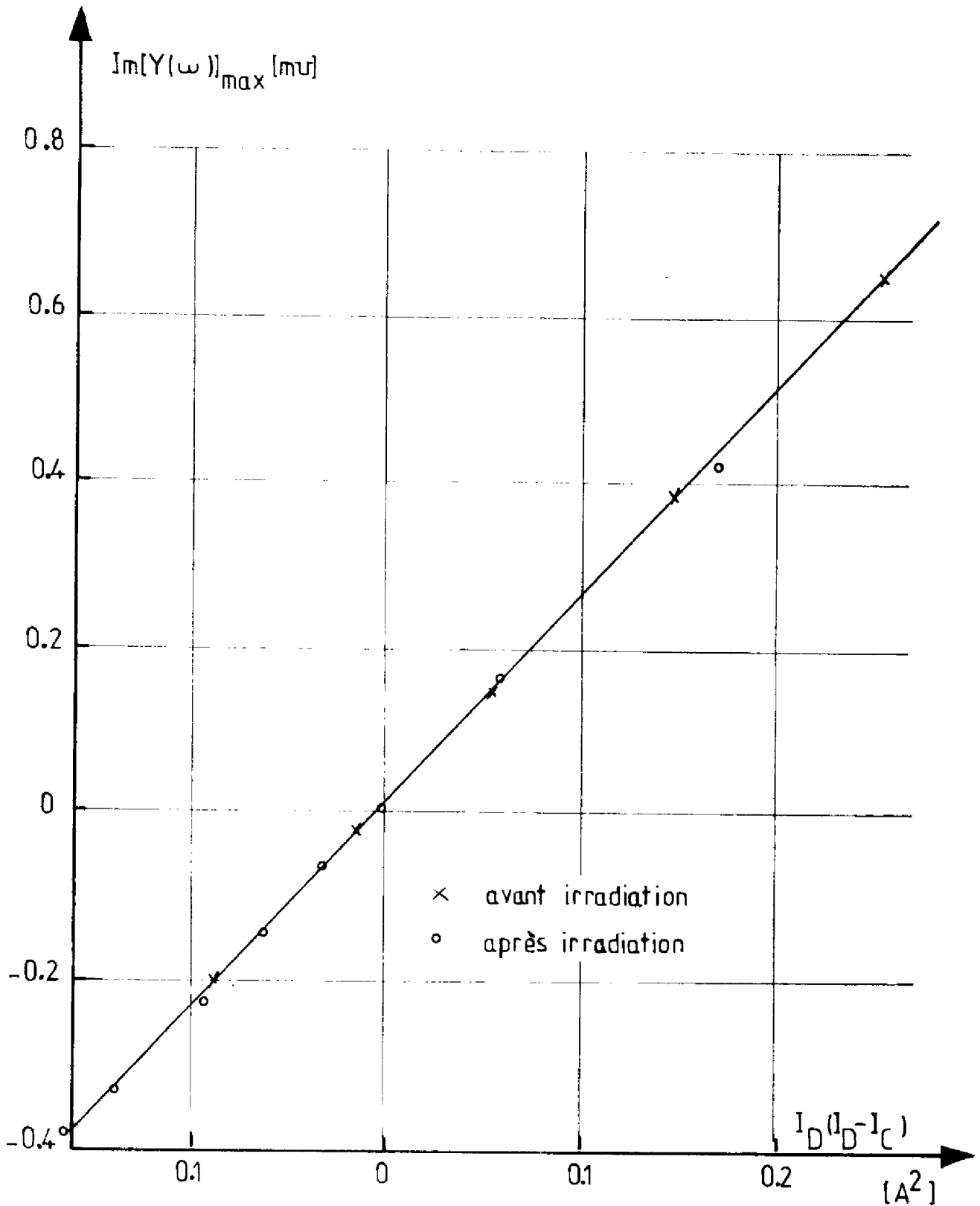


Figure I.35. Variation de $\text{Im}[Y(\omega)]_{\text{max}}$ avant et après irradiation en fonction de $I_D (I_D - I_C)$. Transistor V-MOS.

obtenue au moyen des expressions (I.28) et (I.29), est inférieure de 6 % à celle déterminée avant irradiation. Cette faible variation doit être comparée aux grandes variations au cours de l'irradiation de la valeur de la mobilité μ_0 et de la tension de seuil V_T représentées sur la figure I.37.

Ce résultat permet, d'une part, d'affirmer que les propriétés de l'interface $\text{SiO}_2\text{-Si}$ n'affectent pas la vitesse de saturation v_{sat} . Rappelons pour mémoire que les variations de la tension de seuil V_T et de la mobilité μ_0 (figure I.37), sous l'effet du même rayonnement, traduisent directement la dégradation des caractéristiques de cet interface [60]. D'autre part, les variations de la conductance de sortie sous irradiation sont principalement dues à la variation du paramètre $\frac{\partial V_T}{\partial T}$ entre les états non irradié et irradié.

Cette dernière variation est liée à l'effet électrostatique de la densité d'états de surface sur le seuil V_T .

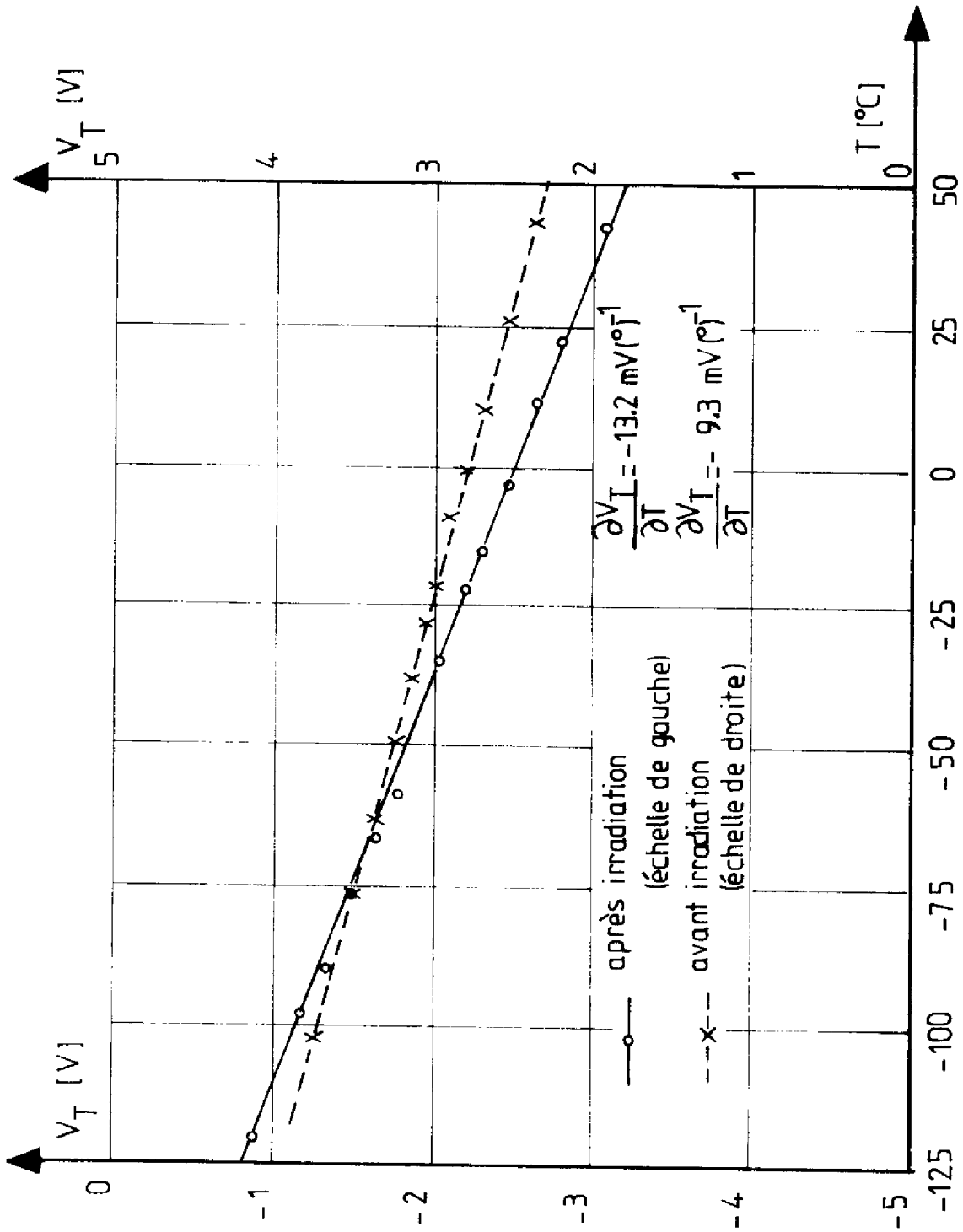


Figure I.36. Variations expérimentales de la tension de seuil V_{T0} avant et après irradiation en fonction de la température. Transistor V-MOS.

I.3 CONCLUSION

Il a été montré dans cette première partie comment l'effet de contre-réaction thermique dans le transistor M.O.S. agit sur les propriétés de l'admittance de sortie dans la gamme des basses fréquences, gamme dans laquelle se situent les inverses des constantes de temps thermiques de ces dispositifs. Expérimentalement cet effet se traduit par l'existence d'un diagramme complexe d'admittance dont les parties réelles et imaginaires peuvent être positives ou négatives et dépendent des conditions de polarisation continues.

La formulation de l'admittance a été établie et fait intervenir l'impédance thermique complexe, le coefficient de température du courant de drain et la résistance de saturation en régime de hautes fréquences. Celle-ci nous a conduit à proposer une méthode expérimentale de détermination de l'impédance thermique ainsi qu'un schéma électrique équivalent du transistor M.O.S vu de ses électrodes de drain et de source, qui comprend l'impédance de sortie du transistor idéal dans lequel l'effet de couplage électrique-thermique n'est pas pris en compte, et un ensemble de cellules résistance-inductance à valeurs positives ou négatives, qui traduisent ce couplage. Dans ce schéma électrique équivalent, le seul élément dont les propriétés restent à analyser, pour les MOST à canal court, est la résistance de sortie liée à l'effet de raccourcissement du canal au droit du drain. En effet, à cause de la configuration géométrique particulière de type $N^- N^{++}$, que présente la diode de drain dans la plupart des dispositifs DMOS ou VMOS à canal court, les analyses classiques, visant à décrire les propriétés de cette résistance, ne sont pas applicables. Les mécanismes physiques d'injection de porteurs dans la zone N^- , d'extension de charge d'espace dans le drain [15] et de multiplication par ionisation sous l'effet du champ électrique élevé [17], généralement négligés dans les transistors classiques, seront à prendre en compte : nous viserons à analyser tous ces phénomènes dans la deuxième partie de notre mémoire. L'étude que nous avons effectuée fait clairement ressortir que cette résistance de sortie ne pourra être caractérisée expérimentalement que dans un domaine très précis de fréquences, situé hors de la gamme où la relaxation BF intervient et hors de celle où l'influence de la capacité drain-substrat se manifeste.

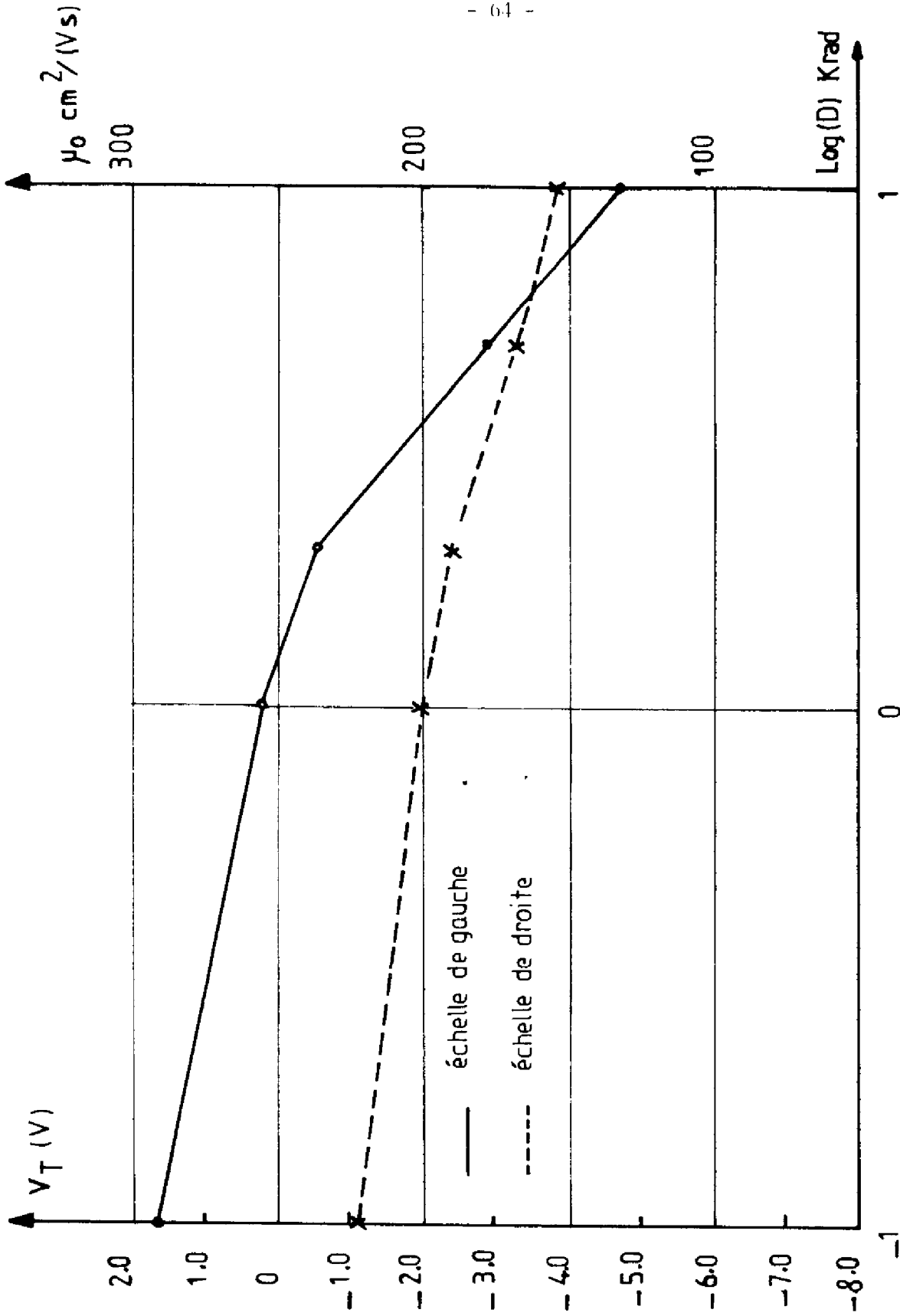


Figure I.37. Evolution de la tension de seuil V_T et de la mobilité μ_0 sous irradiation. Transistor V-MOS.

DEUXIEME PARTIE

LES EFFETS LIES A LA CONFIGURATION $N^- - N^+$ DU
DRAIN : RESISTANCE ON, PHENOMENES DE SATURATION
ET DE QUASI - SATURATION

Ensuite, en tant qu'application de l'analyse des propriétés de l'admittance de sortie du transistor, nous avons proposé une méthode originale de détermination expérimentale de la loi de variation de la vitesse limite des porteurs en zone inversée avec la température. Cette loi fait apparaître une dépendance exponentielle entre la vitesse limite et la température. Par ailleurs, un accord convenable a été observé entre nos résultats et ceux fournis par d'autres auteurs.

Enfin, nous avons montré que l'évolution de l'admittance de sortie sous irradiation est due à la création de nouveaux états de surface à l'interface Si-SiO_2 qui modifient le coefficient de température de la tension de seuil. Par ailleurs, la vitesse de saturation est apparue comme étant insensible à cette irradiation.

o o

o

L'une des différences fondamentales entre la structure du transistor M.O.S. classique et celle du transistor M.O.S. de puissance, réside dans la configuration du drain. Dans le premier cas, il s'agit d'une zone fortement dopée tandis que dans le deuxième on trouve une double couche N^-N^+ . Le rôle de la région N^- est d'augmenter la tenue en tension et d'éviter les mécanismes de perçage [29]. Cependant, elle introduit des effets supplémentaires qui peuvent, dans certaines conditions, modifier les réseaux de caractéristiques courant-tension et limiter le domaine d'utilisation en tension et en courant du transistor. Dans cette deuxième partie nous analyserons les effets de cette configuration N^-N^+ sur les propriétés électriques du composant.

Parmi ces effets on citera : i) La modification de la résistance drain-source à faible tension de drain ii) La pénétration dans le drain la zone de charge d'espace qui existe en régime de pincement au droit de la jonction métallurgique $P N^-$. Compte tenu du dopage de la région N^- , cette charge d'espace associée à la tension drain s'étend surtout à travers la région peu dopée N^- et il apparaît, en régime de saturation un phénomène de multiplication dans cette région N^- iii) La modulation de la résistance de la zone N^- par l'effet des porteurs injectés par le canal. Ce phénomène qui n'avait jamais été mis en évidence dans les transistors M.O.S. sera appelé la "quasi-saturation". Il se traduit principalement par un effet de saturation du courant de drain, aussi bien en fonction de la tension de drain que de la tension de grille.

De façon plus précise, dans cette deuxième partie, nous développerons, tout d'abord, une méthode de calcul de la résistance de la région "drift" (R_{drift}), c'est-à-dire la résistance en série avec le canal et qui est créée par la zone N^- . Les configurations que nous considérons sont des structures de puissance telles que le V.MOS, l'U.MOS et l'HEXFET. Notre approche sera basée sur la Méthode des Eléments Finis (M.E.F.). A la suite de cette étude, nous comparerons entre elles les résistances à l'état passant (R_{ON}) pour ces diverses structures, en vue de déterminer la configuration géométrique la plus favorable vis à vis de la résistance (R_{ON}) Celle-ci, sera considérée comme la somme de la résistance du canal d'un transistor M.O.S. à drain fortement dopé [21] et de la résistance de la région "drift" (R_{drift}).

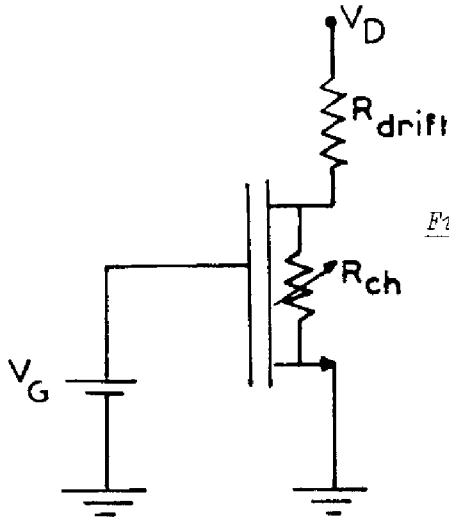


Figure II.1. Modèle équivalent du transistor M.O.S. avec une région peu dopée (N^-).

Dans le paragraphe suivant, nous exposerons, tout d'abord, les principes de base des diverses modélisations proposées dans la littérature pour la résistance "drift" en précisant leurs insuffisances et ensuite nous proposerons une modélisation rigoureuse et générale pour cette résistance, basée sur la Méthode dite des Eléments Finis (M.E.F.). Nous traiterons par cette méthode le cas des structures de type V.MOS, U.MOS et HEXFET.

II.1.1. Position du problème

Compte tenu de l'importance de l'influence électrique de la région "drift", divers travaux de recherche ont été effectués afin de calculer cette résistance et dans la mesure du possible connaître le poids des paramètres physiques qui la contrôlent. De façon générale, toutes les approches considèrent la structure comme constituée par la mise en série de deux résistances indépendantes de la tension drain, R_{ch} et R_{drift} . Seule R_{ch} est modulée par la tension de grille.

Tout d'abord W. LANE et col [30] ont proposé une méthode de calcul de R_{drift} utilisant une méthode de transformation conforme pour résoudre l'équation de Laplace. La pointe du V qui pénètre dans la zone N^- est assimilée à un demi-cercle : une relation analytique approchée est proposée, dont le domaine de validité (géométrie, dopage) n'est pas précisé. Par ailleurs, S.KAY et col [31] calculent la résistance entre deux zones dont l'une est constituée par un ensemble d'électrodes ponctuelles et l'autre par un plan. R.J. JOHNSON [32] utilise l'expression de la capacité entre deux fils parallèles, reliés et placés à une même hauteur par rapport à un plan de référence. V.A.K. TEMPLE et P.V. GRAY [33] utilisent un modèle bidimensionnel qui prend en compte d'une part le pas de répétition

Notre deuxième objectif sera l'étude des propriétés en régime de saturation. Après avoir défini la gamme fréquentielle de mesure de la résistance de sortie, uniquement liée à l'effet électrostatique de raccourcissement du canal, nous décrirons, dans le cas du V.MOS, les propriétés expérimentales de cette résistance. Nous proposerons ensuite un modèle de description des caractéristiques de cette résistance en fonction de la tension de polarisation, basé sur l'approche proposée par S.R. COMBS et col [15]. Par la suite, sur la base de ce modèle nous analyserons les mécanismes de faible multiplication dans la zone de canal du transistor MOS et la région de drain peu dopée ; nous décrirons l'incidence de cette multiplication sur la valeur, à forte tension drain, de la résistance de saturation et en tant que conséquence indirecte, nous déterminerons, pour les faibles champs, la vitesse d'ionisation des électrons.

Troisièmement, en ce qui concerne le phénomène de quasi-saturation, nous le caractériserons expérimentalement et puis nous en proposerons une analyse au premier ordre, en vue de définir les caractéristiques électriques asymptotiques du transistor M.O.S., fonctionnant à niveau de courant drain élevé.

II.1 RESISTANCE A L'ETAT PASSANT (R_{ON})

La configuration géométrique du drain de type N^-N^+ contribue à accroître d'une façon importante la résistance à l'état passant (R_{ON}) du transistor fonctionnant en régime ohmique par rapport aux dispositifs à drain N^+ . Cet effet est d'autant plus marqué que le transistor est prévu pour fonctionner en haute tension. Ceci constitue le handicap le plus sérieux des transistors M.O.S. -haute tension- vis à vis des transistors bipolaires, dans une utilisation en régime de commutation.

Dans cette étude, on considère, la résistance à faible tension drain source à l'état passant (R_{ON}) comme la somme de la résistance du canal d'un transistor M.O.S. à drain fortement dopé et de la résistance de la région "drift" (N^-) figure II.1. La résistance du canal (R_{ch}) est calculée en déterminant le rapport $\frac{V_D}{I_D} \Big|_{V_D \rightarrow 0}$ par utilisation du modèle de GUEGAN [21] pour le transistor à drain fortement dopé. Rappelons que cette résistance R_{ch} est une fonction hyperbolique de la tension de grille. A faible tension drain-source ($V_D \leq 200\text{mV}$) elle reste indépendante de la tension drain. L'évaluation de la résistance "drift" (R_{drift}) correspondant à la valeur de la résistance entre le canal d'inversion et la région N^+ pose certains problèmes géométriques (cas du V.MOS) de nature bidimensionnelle qui rendent son évaluation difficile.

2) A la triangulation T_K , on associe un espace fonctionnel $V_K(\Omega)$ de dimension fini.

3) Les éléments de la base $(\tilde{\theta}_1, \dots, \tilde{\theta}_I)$ de $V_K(\Omega)$ sont définis comme suit :

- $\tilde{\theta}_i$ est un polynôme de degré 1, 2 ou 3 dans chaque élément fini K
- α_j étant un noeud quelconque de la triangulation T_K , la valeur de $\tilde{\theta}_i$ en α_j est :

$$\tilde{\theta}_i(\alpha_j) = \begin{cases} 0 & \text{si } i \neq j \\ 1 & \text{si } i = j \end{cases} \quad (2.1)$$

La dimension de l'espace $V_K(\Omega)$ est donc égale au nombre I de noeuds de la triangulation. On a alors pour chaque fonction W de $V_K(\Omega)$

$$W = \sum_{i=1}^I W(\alpha_i) \tilde{\theta}_i \quad (2.2)$$

Les coordonnées $W(\alpha_i)$ de la solution W d'un problème linéaire, par exemple, s'obtiennent alors directement par inversion d'un système linéaire :

$$A \begin{pmatrix} W(\alpha_1) \\ \vdots \\ W(\alpha_i) \end{pmatrix} = B$$

où A est la matrice associée à l'opérateur différentiel du problème exprimé, à l'aide de la formule de GREEN, dans la base $\tilde{\theta}_i$ et B le vecteur associé au second membre de l'équation aux dérivées partielles.

II.1.3 Application de la M.E.F.

La M.E.F. est utilisée pour calculer la résistance de la région "drift" (R_{drift}) des différentes structures MOS à savoir : V.MOS, U.MOS et HEXFET. Le principe de calcul est basé sur la résolution de l'équation de Laplace ($\Delta V = 0$), dans la région N^- , par la M.E.F. On détermine les équipotentielles dans ces diverses structures en considérant que le contact de drain constitue une électrode de référence (1) et que la partie du semiconducteur située sous la grille dans la région N^- constitue l'autre électrode (2) à laquelle on applique la tension. Physiquement ceci revient à considérer un drain N^- du transistor M.O.S. pour lequel :

de la structure unitaire (V.MOS) et d'autre part le pourcentage de dépassement du métal sur l'oxyde de grille. L'effet de la pointe du V n'est pas traité. L'analyse n'est effectuée que pour des épaisseurs de zone N^- supérieures à $25 \mu\text{m}$.

Il apparaît que le fait de négliger l'effet de la pointe [30] (cas du V.MOS) et de ne pas prendre en compte l'influence de la pénétration dans la région "drift" [31] (cas du U.MOS ou du V.MOS) ou d'utiliser une distribution de charges idéalisées [32], sont des conditions trop approchées pour pouvoir traiter correctement le cas des transistors réels. A propos de la modélisation proposée par V.A.K. TEMPLE et P.V. GRAY [33], on peut noter qu'elle donne des renseignements intéressants quant aux effets du dépassement latéral de la métallisation sur l'oxyde de grille, du pas de répétition de la structure unitaire, sur la valeur de la résistance "drift" (R_{drift}). Toutefois ces résultats ne sont pas applicables aux structures de faible et moyenne tension ($50 \text{ V} < V < 300 \text{ V}$) qui présentent une longueur de région "drift" d'épaisseur inférieure à $25 \mu\text{m}$.

Pour notre part, nous allons proposer une méthode générale de calcul de la résistance de la région "drift", valable quelle que soit la configuration de la structure et qui est basée sur la résolution de l'équation de Laplace par la Méthode des Eléments Finis (M.E.F.). Les avantages introduits, par la M.E.F., par rapport aux méthodes proposées auparavant, sont d'une part, l'obtention de la solution rigoureuse de l'équation de Laplace en deux dimensions, et d'autre part, la simplicité à introduire, dans le programme, n'importe quelle géométrie. Dans les paragraphes suivants nous appliquerons cette méthode aux cas des V.MOS, U-MOS et HEXFET qui sont, de nos jours les structures MOS de puissance les plus répandues.

II.1.2. Rappels théoriques

La méthode des Eléments Finis [51] est une méthode mathématique numérique qui permet de résoudre à deux ou trois dimensions des problèmes d'équations aux dérivées partielles dépendantes ou indépendantes du temps. Dans l'annexe A5, nous détaillons les principes et les techniques d'application de cette méthode. Rappelons que sa mise en oeuvre est basée sur les trois caractéristiques suivantes :

1) On effectue une triangulation T_K du domaine Ω . Le domaine est divisé en un nombre fini de sous-domaines K appelés éléments finis.

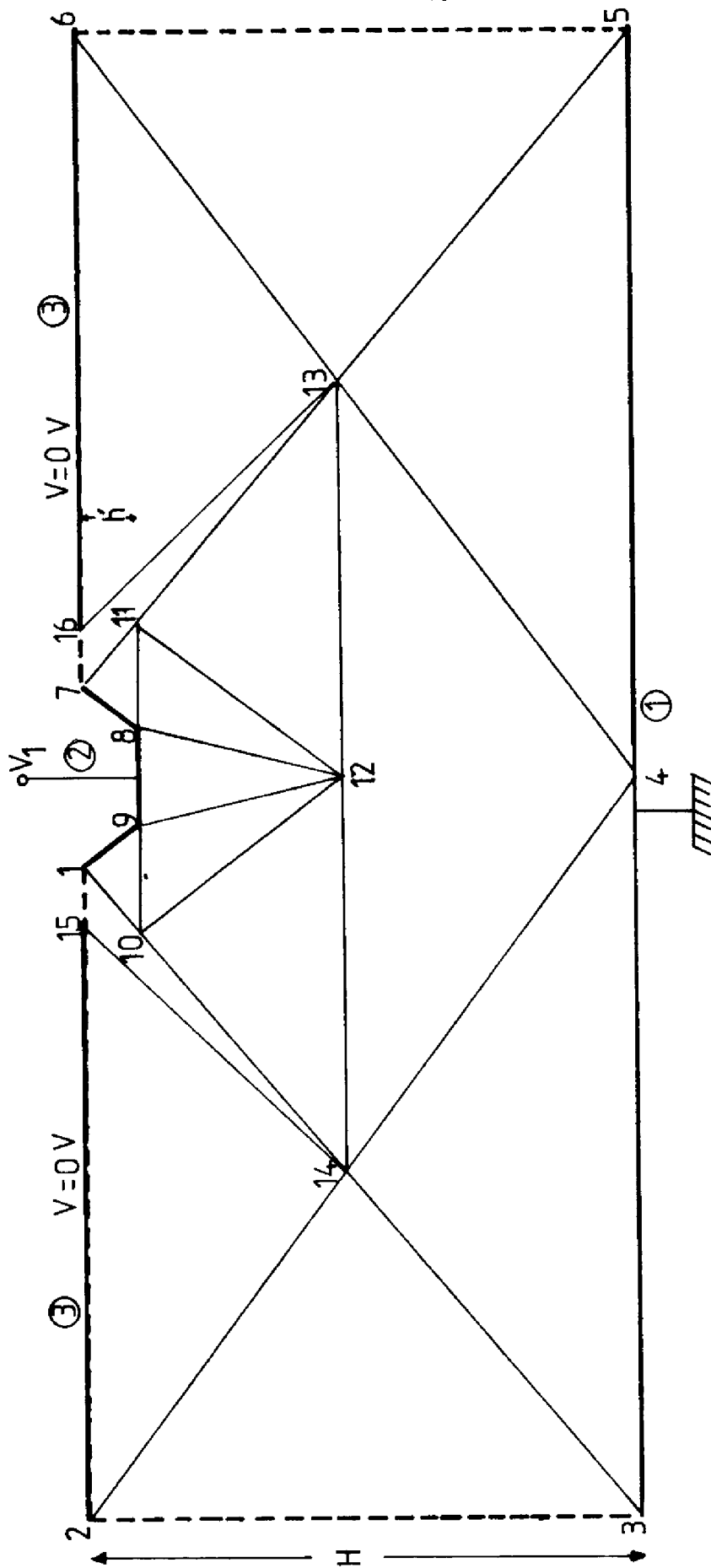


Figure II.3. Triangulation de la région "drift" : Cas du transistor U-MOS
 — Condition de Dirichlet --- Condition de Neumann

- i) la tension drain-source est faible
- ii) l'effet de porteurs injectés n'est pas pris en compte
- iii) la tension grille-source est suffisamment élevée pour entraîner l'existence d'une couche accumulée dans la partie de la surface de la zone N^- recouverte par la grille. La résistance de cette zone accumulée est négligée devant la résistance volumique. Ceci revient en toute rigueur à calculer la limite asymptotique de la résistance R_{drift} [35].

Les conditions aux frontières que nous considérons sont les suivantes :

$$\left. \begin{array}{l} V(x,y) = V_1 \quad \text{sur l'électrode } \textcircled{2} \\ V(x,y) = 0 \quad \text{sur l'électrode } \textcircled{1} \\ V(x,y) = 0 \quad \text{sur l'électrode } \textcircled{3} \\ \text{Sur le reste de la structure} \end{array} \right\} \begin{array}{l} \text{Conditions de} \\ \text{Dirichlet} \end{array}$$

$$\frac{\partial V}{\partial c} = 0 \quad \text{Condition de Neumann}$$

c étant le vecteur normal à la surface.

Par ailleurs, afin de tenir compte de la présence de l'effet de la zone dépeuplée sous la grille dans la partie P, située au dessus de la région drift, nous avons considéré que la dérivée normale du potentiel est nulle sur deux segments k que nous avons représentée sur les figures II.2 et II.3. Chacun de ces segments est placé de part et d'autre du V sur l'interface métallurgique entre les zones P et N. La distance R est évaluée par une simulation bidimensionnelle [61] de la structure et correspond à la distance de dépeuplement maximale, avec un dopage de $5 \times 10^{15} \text{ cm}^{-3}$, que l'on peut obtenir sous une grille de transistor M.O.S. fonctionnant à tension drain-source nulle.

Le programme numérique bidimensionnel que nous avons utilisé a été mis au point par International Mathematical and Statistical Library. Il est appelé TWODEPEP [36]. Dans ce programme on prend comme noeuds de la triangulation, d'une part les sommets des triangles et d'autre part les milieux des côtés du triangle. L'espace associé à la triangulation est l'ensemble des fonctions qui sont des polynômes de degré 2 dans chaque triangle.

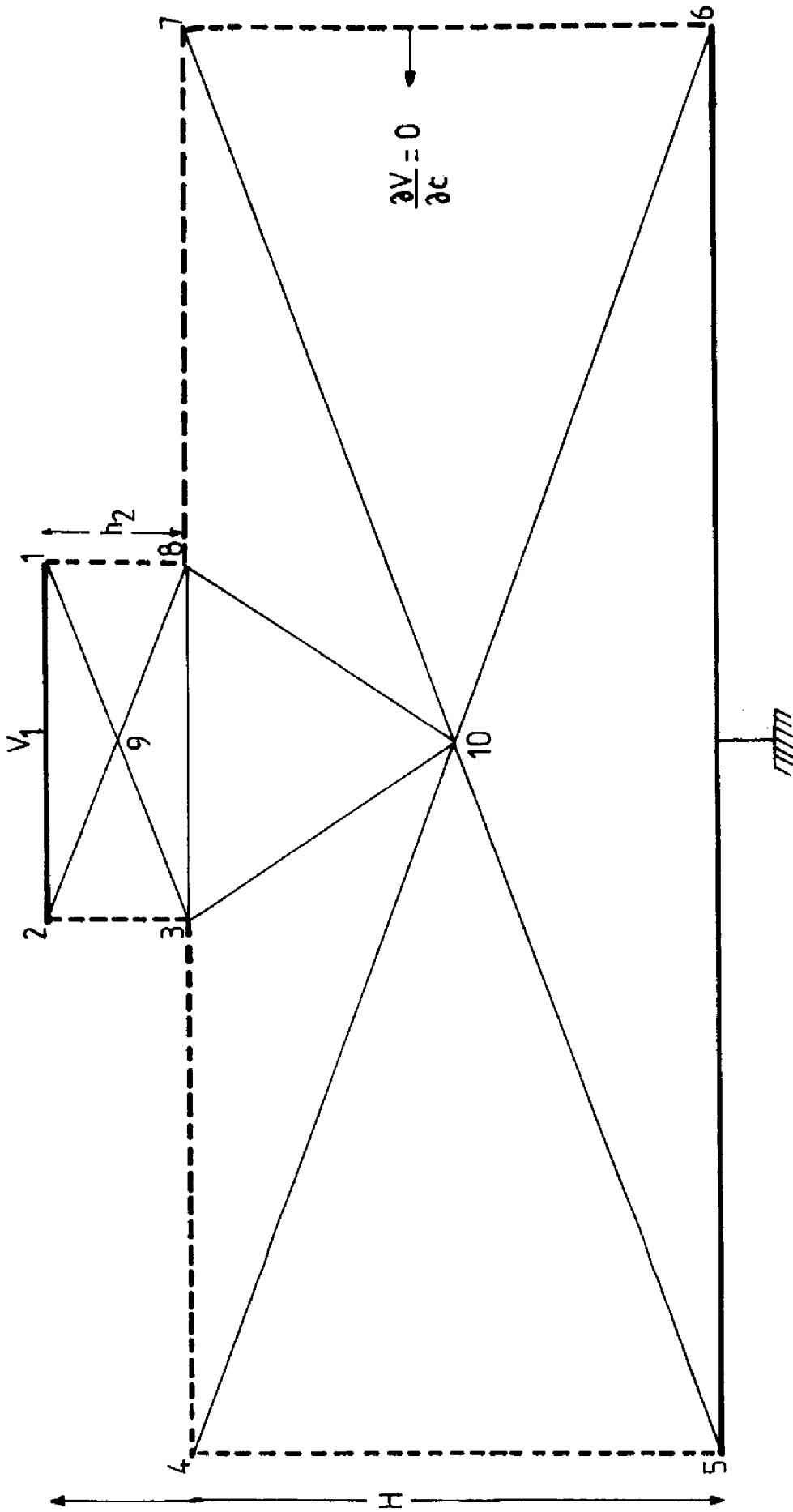


Figure II.4. Triangulation de la région "drift" : cas du transistor HEXFET.
—— Condition de Dirichlet - - - - Condition de Neumann

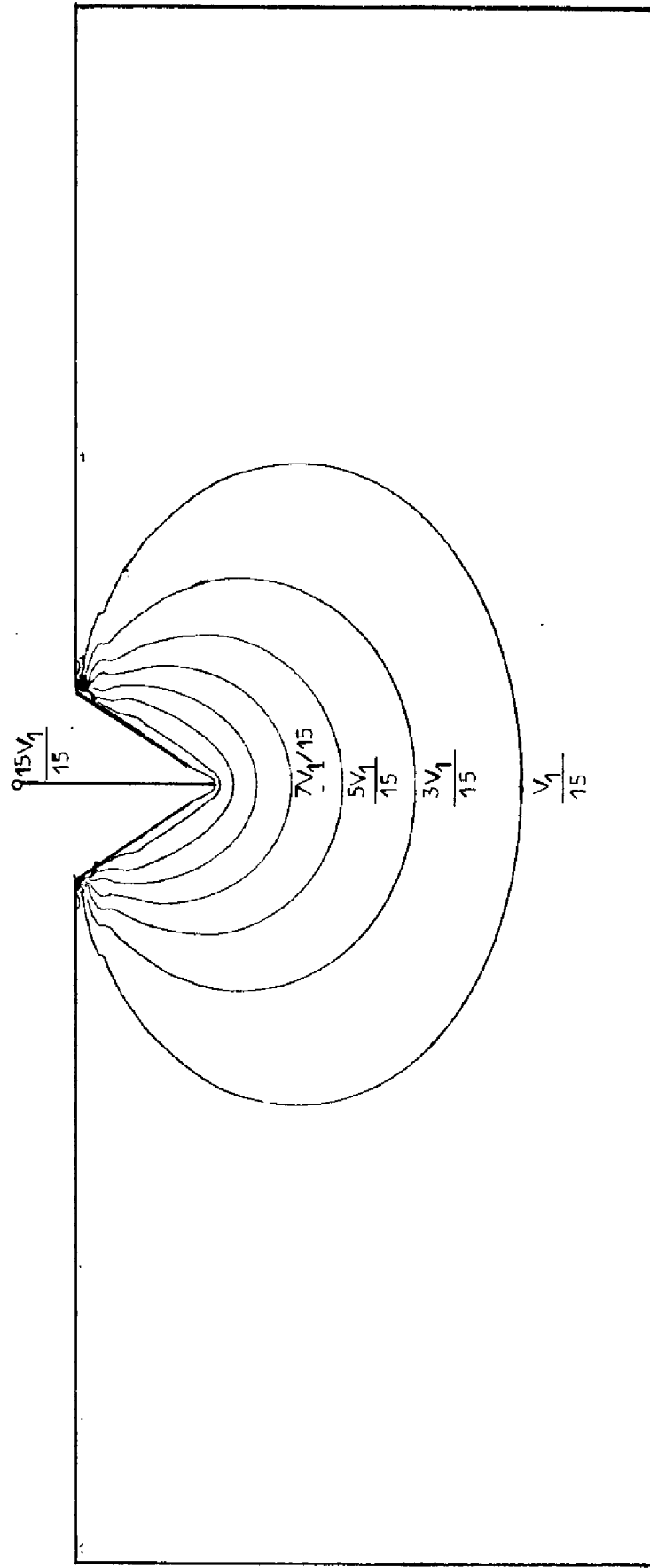


Figure II.5. Variations des équipotentielles dans un transistor V-MOS (Région N⁻).

Ce programme présente certaines facilités d'utilisation : i) il suffit d'y introduire les coordonnées de noeuds relatives à chaque triangle, dans le sens inverse des aiguilles d'une montre, ii) les conditions aux frontières sont caractérisées par un nombre négatif pour les conditions de Dirichlet et positif pour celles de Neumann, iii) il possède un sous-programme de renumérotation automatique de noeuds, iv) on peut faire générer automatiquement, dans les régions critiques, une triangulation plus fine. Dans le cas de notre étude, la triangulation de la région "drift" (domaine) pour le V.MOS, U.MOS et HEXFET est donnée sur les figures (II.2, II.3 et II.4).

Le programme permet d'évaluer la répartition des équipotentielles et des lignes de champ. Par suite la résistance est calculée en utilisant la formule :

$$R_{\text{drift}} = \frac{V_1}{I} \quad (2.3)$$

où le courant I est explicité par :

$$I = \frac{W}{\rho} \int \text{Ex dy} \quad (2.4)$$

) largeur totale de la structure

L'intégrale est calculée au voisinage de la ligne de référence au potentiel zéro où la condition d'unidimensionnalité verticale est respectée ; ρ est la résistivité du matériau et W la largeur de grille d'un transistor élémentaire.

II.1.4. Résultats

Les résultats de nos simulations pour les transistors V.MOS et U.MOS sont reportés sur les figures II.5 et II.6 qui représentent les contours des équipotentielles. On observe dans le V.MOS qu'il y a une forte concentration des lignes équipotentielles autour de la pointe, ce qui aurait tendance à augmenter la résistance "drift" tandis que cet effet n'existe pas dans le U.MOS. Par ailleurs, la figure II.7 représente la variation de la résistance "drift" normalisée $R_{\text{drift}} \cdot \frac{z}{\rho}$ en fonction du rapport H/h'. Le coefficient représentant le rapport h'/h1, est considéré comme un paramètre qui vaut 1 dans le cas du V.MOS et qui est inférieur à 1 dans celui du U.MOS. La longueur totale de la structure (ouverture du V comprise) est

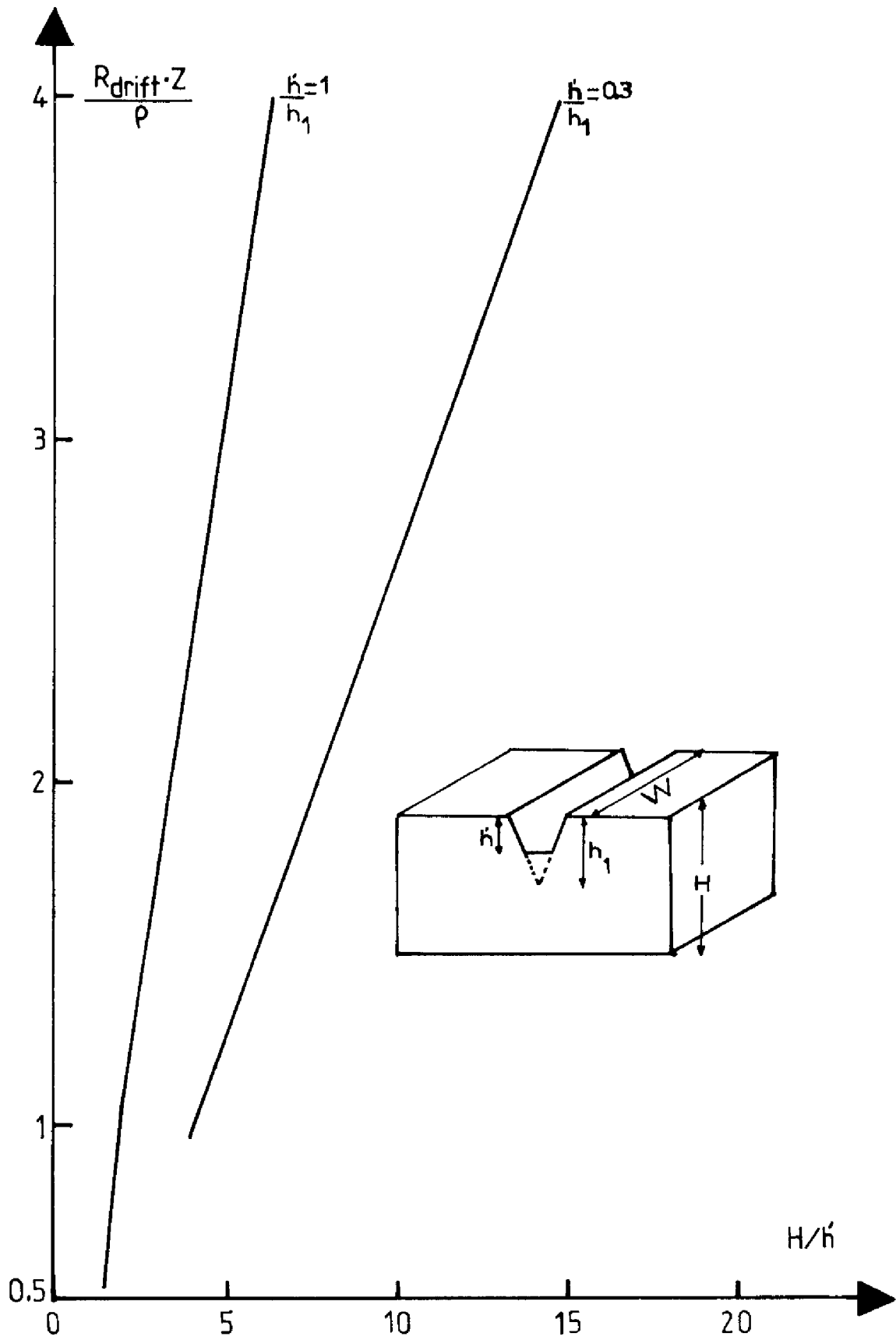


Figure II.7. Variations de la résistance drift normalisée en fonction du rapport H/h' .

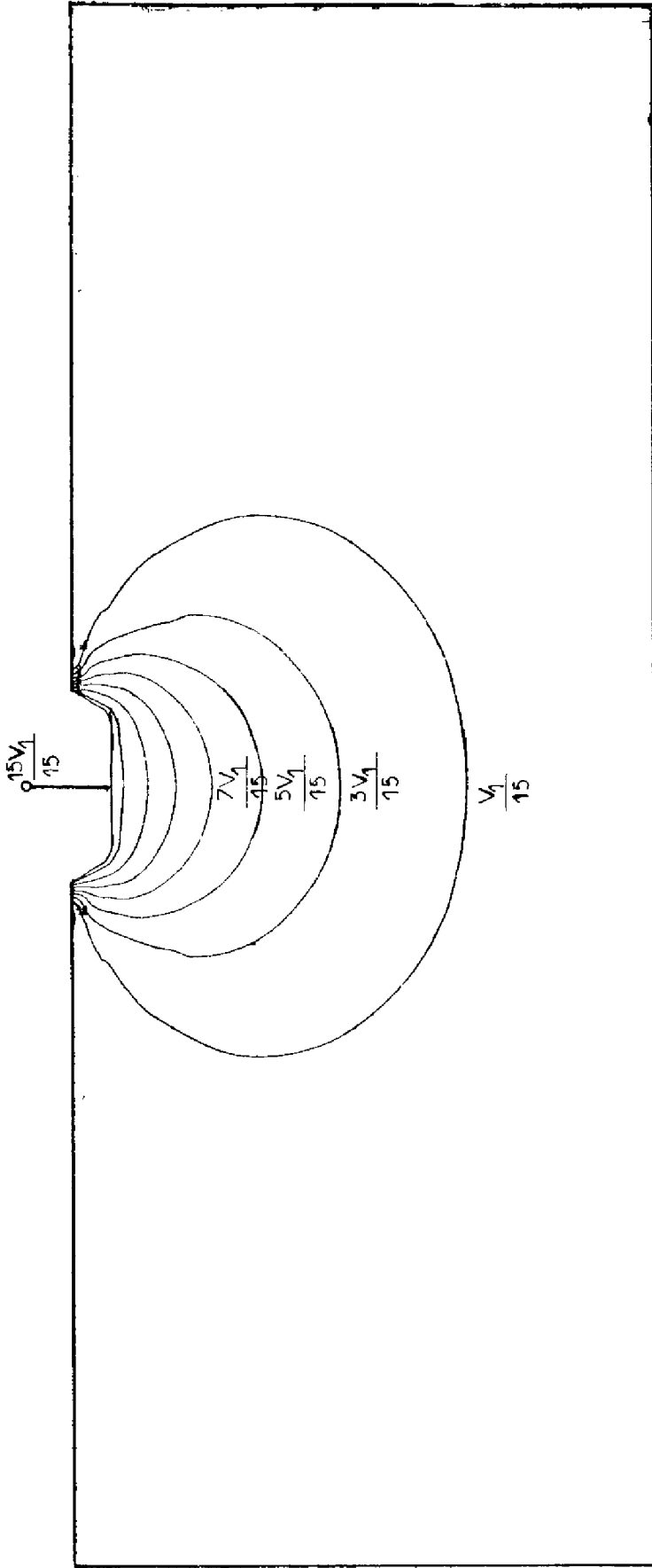


Figure II.6. Variations des équipotentielles dans un transistor U-MOS (Région N^-).

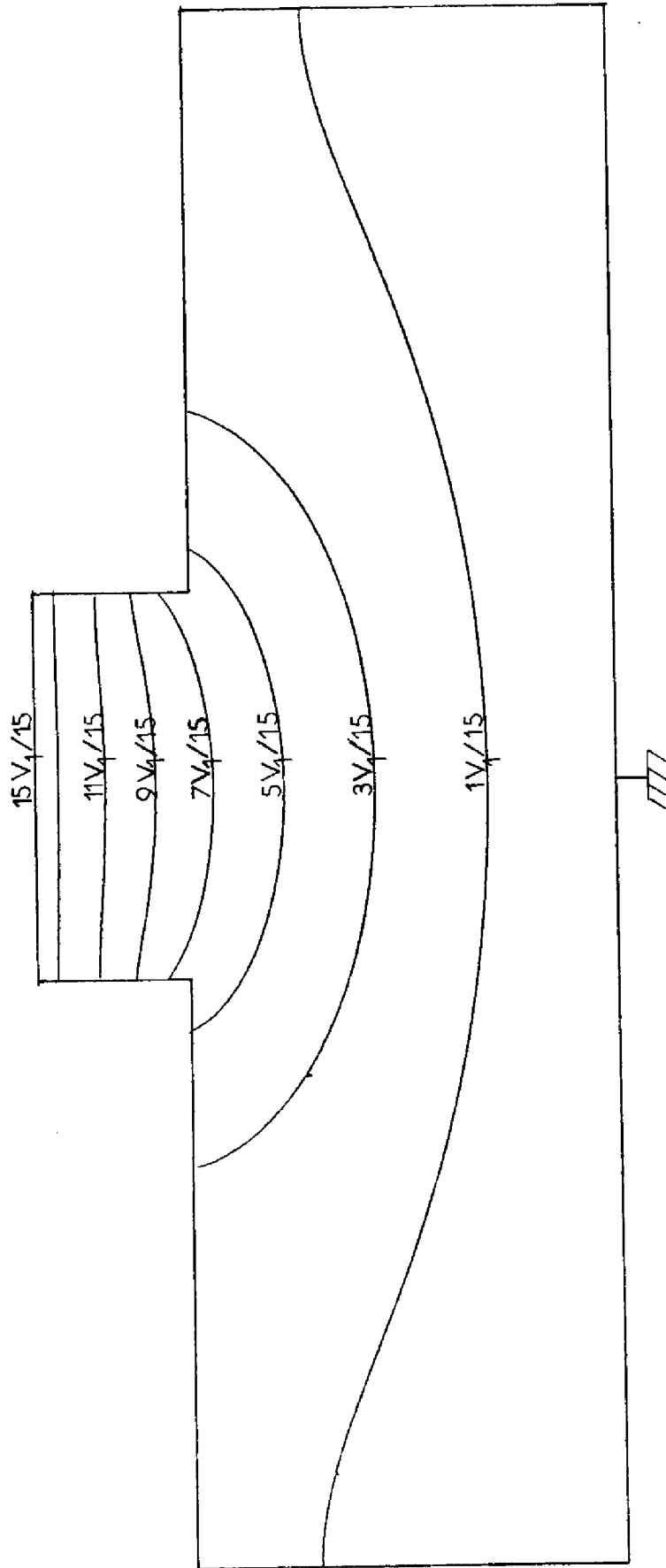


Figure II.8. Variations des équipotentielles dans un transistor HEXFET (Région N^-).

10 fois plus grande que l'ouverture du V (on n'a pas pu utiliser un rapport infini pour des considérations numériques). Z est la largeur "électrique" du canal, égale au nombre total des transistors - 2 par sillon - multiplié par la largeur du canal d'un transistor élémentaire. H est l'épaisseur de la région "drift", h' la pénétration du front d'attaque et h1 la profondeur du V défini sur la figure II.7.

Par ailleurs, si on compare la résistance "drift" (figure II.7) présentée par les structures V.MOS et U.MOS, pour la même surface de cristal et à résistivité et largeur Z égales, c'est le V.MOS qui présente la résistance "drift" la plus grande. Expérimentalement un tel sens d'évolution a été montré par S.C. SUN et col [35].

En ce qui concerne l'HEXFET, un exemple des variations des équipotentielles normalisées est représenté sur la figure II.8. D'autre part les évolutions de la résistance "drift" normalisée $R_{drift} \cdot Z/\rho$ en fonction du rapport H/h_2 , pour une valeur du rapport c/h_2 égale à 2,5 ce qui correspond aux technologies les plus classiques, sont reportées sur la figure II.9. Les dimensions c, H et h_2 sont définies sur le schéma de la figure II.9.

On notera que, à résistivité et largeur Z égales, on peut avoir pour le V-MOS des valeurs de résistance à l'état passant R_{ON} sensiblement plus élevées que les valeurs obtenues dans les cas du U-MOS et de l'HEXFET. De ce point de vue la structure V-MOS semble ne pas présenter des avantages par rapport aux autres dispositifs.

Pour terminer, il faut rappeler, comme nous l'avons déjà indiqué que la résistance totale à l'état passant R_{ON} est la somme de la résistance du canal de la zone active, de la résistance de la région "drift" et éventuellement des résistances parasites de contact et de source. Si ces dernières sont négligeables, la résistance R_{ON} est donnée par :

$$R_{ON} = \frac{V_D}{I_D} \Big|_{V_b \rightarrow 0} = R_{ch} + R_{drift} \quad (2.5)$$

Avec :

$$R_{ch} \approx \frac{1}{\mu_0 \frac{Z}{L} \text{Cox} \Psi} + \frac{1}{\mu_0 \frac{Z}{L} \text{Cox}(V_G - V_T)} \quad (2.6)$$

La résistance drift doit être évaluée par les abaques des figures (II.7) et (II.9) et la résistance de canal R_{ch} est celle proposée par GUEGAN [21] .

Dans la relation (2.6) Ψ est un paramètre qui traduit l'effet de réduction de mobilité dû au champ transversal, μ_0 la mobilité des porteurs à faible champ électrique, et L est la longueur du canal.

II.2 PROPRIETES EN REGIME DE SATURATION : RESISTANCE DE SATURATION ET EFFETS DE MULTIPLICATION

Rappelons que le régime saturé ou pincé d'un transistor MOS est défini dans la gamme des tensions de drain appliquées pour lesquelles l'hypothèse d'approximation graduelle ($\frac{\partial E_x}{\partial x} \gg \frac{\partial E_y}{\partial y}$) n'est plus vérifiée : il est impossible d'exprimer de façon simple cette condition mathématique et en toute rigueur, seule une analyse bidimensionnelle au voisinage du drain, permet de résoudre le problème du calcul des caractéristiques courant-tension dans ce régime. Cependant une approche analytique peut être proposée, si l'on admet que, d'une part, le concept du canal graduel s'applique à la couche d'inversion du côté de la source et ceci jusqu'à un point du canal appelé point de pincement, et d'autre part, qu'au delà de ce point, les conditions d'une analyse unidimensionnelle dans la direction longitudinale du canal sont respectées dans la zone pincée près du drain. C'est ainsi que tous les modèles analytiques de la littérature sont fondés sur ce formalisme de partition du canal en deux régions.

Dans le cas du transistor M.O.S. classique, à drain fortement dopé, ces modèles qui font appel à la partition du canal en deux régions, se différencient d'une part, par la prise en considération ou non des variations de mobilité de porteurs dans la zone graduelle, d'autre part, par les hypothèses émises pour caractériser les propriétés de la région voisine du drain, et enfin par les conditions de continuité entre ces deux régions.

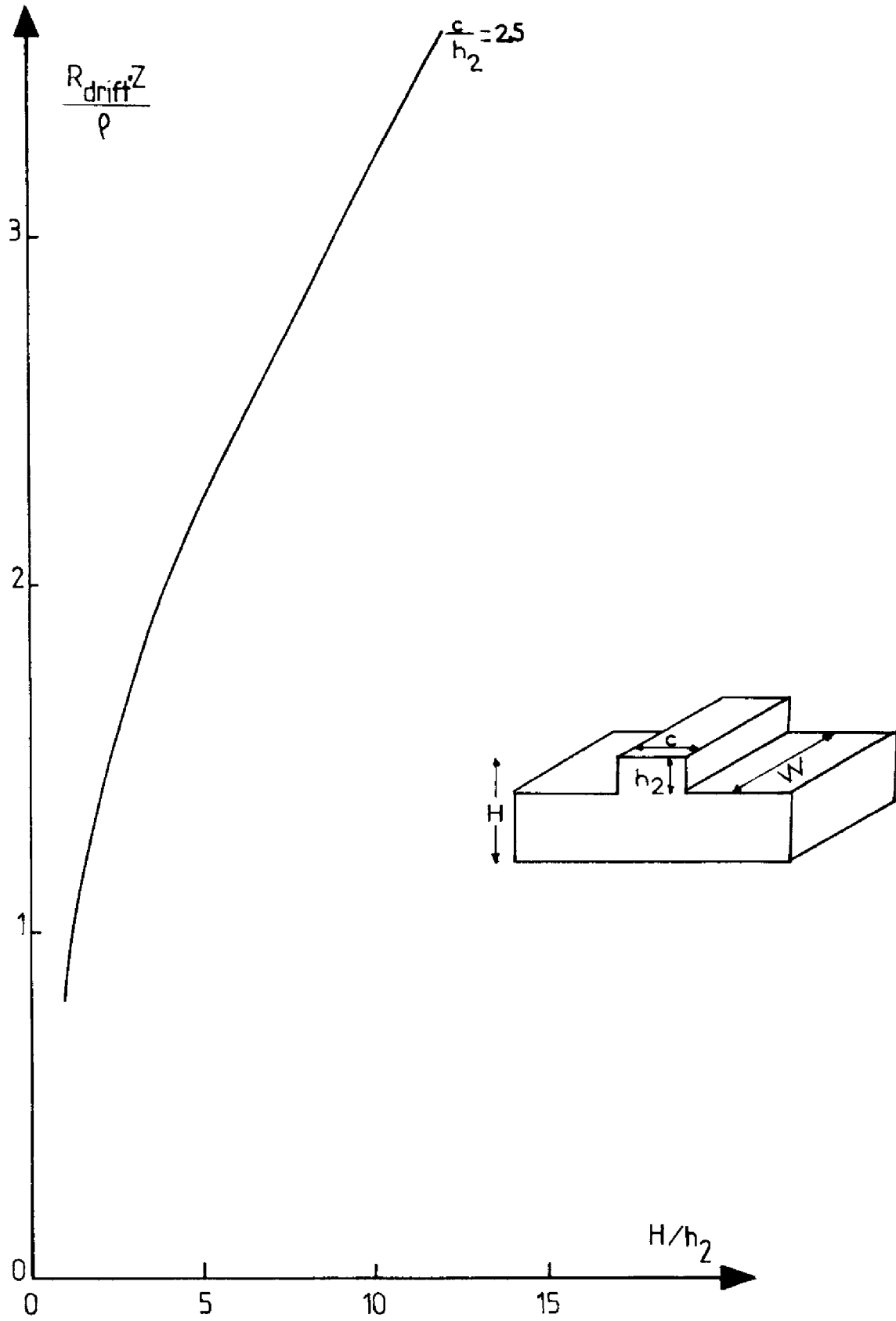


Figure II.9. Variations de la résistance drift en fonction du rapport H/h_2 .

substrat et en tant que conséquence d'en déduire la vitesse d'ionisation des électrons pour les faibles valeurs du champ électrique.

II.2.1. Propriétés expérimentales de la résistance de sortie

Nous avons montré dans la première partie que la caractérisation de la résistance de sortie du transistor M.O.S., liée à l'effet électrostatique du raccourcissement du canal doit se faire dans la gamme de fréquences où le phénomène de relaxation n'intervient pas et où les effets liés à la capacité drain-substat ne se manifestent pas : rappelons ainsi que le système expérimental représenté sur la figure (I.2) permet d'obtenir la valeur de cette résistance. Nous l'avons appelée dans la première partie $1/Re(L)$ puisque cette valeur est la partie réelle de l'admittance de sortie (figure I.10). Cette résistance s'identifie à la résistance de sortie liée aux effets électrostatiques et de multiplication communément appelée R_D dans la littérature ($R_D \equiv 1/Re(L)$). L'étude expérimentale, que nous avons effectuée, a porté sur des transistor V.MOS 2N6657 pour lesquels les variations de la résistance R_D de sortie en fonction de la tension de drain et de grille ont été mesurées à l'aide du dispositif de la figure (I.2), pour une gamme de fréquences comprises entre 15 Hz et 30 KHz. Dans cette gamme l'admittance de sortie présente une partie réelle constante (figure II.10).

Les principaux résultats observés sont les suivants :

i) Les variations de la résistance de sortie en fonction de la tension de drain, pour différentes valeurs de tension de grille, présentent un mode d'évolution similaire à celui du transistor M.O.S. classique [37] (figure II.11) : augmentation de R_D en fonction de la tension drain, suivie d'un passage par un maximum et puis diminution et décroissance de la résistance R_D avec le niveau de courant.

ii) Le produit $(R_D \cdot I_D)^2$ est une fonction linéaire de la tension de drain quelle que soit la tension de grille. Ceci pour des valeurs de tension drain inférieures à 20 Volts (figure II.12).

Cette multiplicité de modèles est due d'une part, au fait que les propriétés expérimentales de la résistance de saturation des transistors M.O.S. étaient mal connues et d'autre part à ce que la difficulté mathématique du problème avait conduit les différents auteurs à rechercher un compromis plus ou moins justifié entre la validité d'hypothèses simplificatrices et la complexité des solutions. Les travaux les plus récents dans ce domaine [9 - 29 - 37] se basent sur des méthodes expérimentales de caractérisation des propriétés de la résistance de saturation et sur une analyse basée sur une nouvelle définition du point de pincement qui permet d'assurer la continuité du champ électrique et de sa dérivée entre la zone de source et la zone de drain, et sur la prise en compte de l'effet d'injection de porteurs dans la zone pincée près du drain.

Cependant, dans les structures M.O.S. comportant une région "drift" (N^-), ces analyses ne sont plus valables ; il apparaît en effet, un mécanisme d'extension, dans la région de drain, de la charge d'espace associée à la tension de drain. Par suite, tous les modèles proposés, pour le transistor M.O.S. classique, y compris les plus sophistiqués [38, 39, 40] ne peuvent pas être appliqués pour déterminer l'effet de cette charge d'espace sur les propriétés de la résistance de sortie dans les structures D.MOS, V.MOS, HEXFET.

Les objectifs des prochains paragraphes sont les suivants : nous définirons tout d'abord les conditions de la mesure de la résistance de sortie liée à l'effet électrostatique de raccourcissement du canal ; en particulier, nous préciserons le domaine fréquentiel dans lequel doit s'effectuer cette détermination expérimentale. Nous décrirons ensuite les principales propriétés de cette résistance en fonction des tensions de polarisation et du niveau de courant. Nous proposerons enfin une méthode de calcul de la valeur de cette résistance, basée principalement sur le modèle à partition de S.R. COMBS et col [15] ; nous vérifierons indirectement la formulation proposée par une analyse critique des valeurs des coefficients qui y interviennent.

Par ailleurs, en incluant les effets de multiplication dans ce modèle, il sera possible de décrire les propriétés des courants de

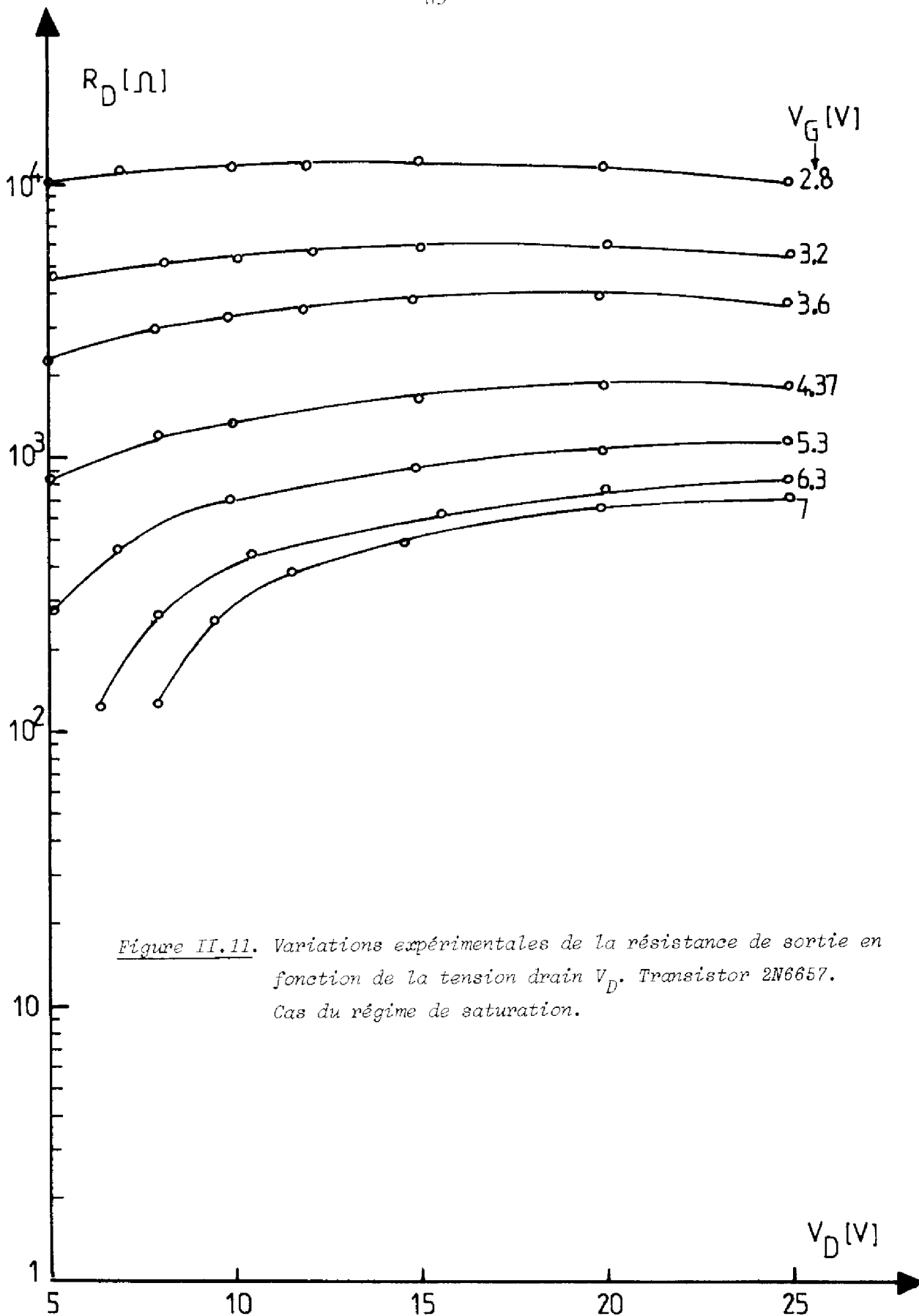


Figure II.11. Variations expérimentales de la résistance de sortie en fonction de la tension drain V_D . Transistor 2N6657. Cas du régime de saturation.

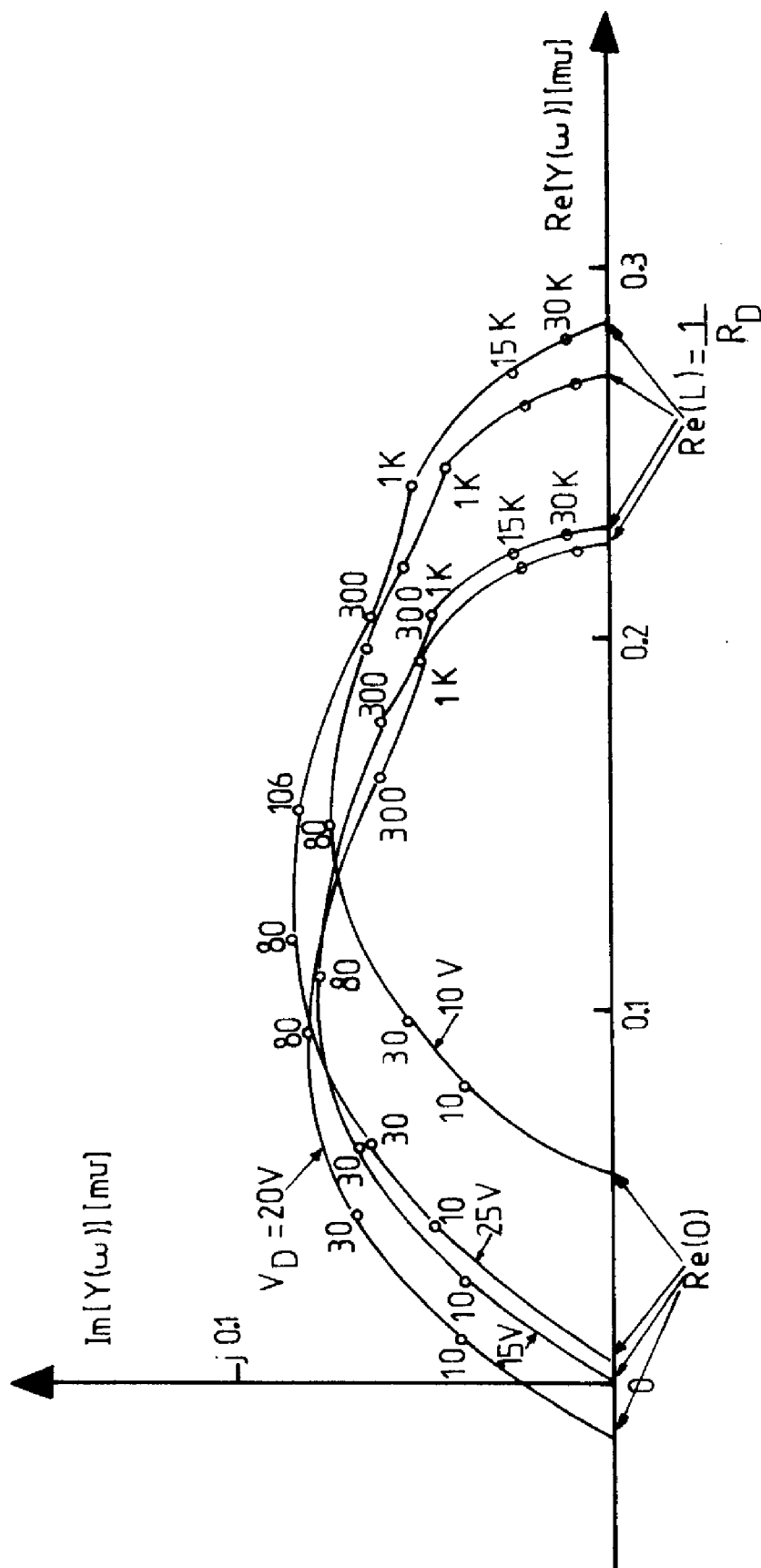


Figure II.10. Mise en évidence de la gamme de fréquences dans laquelle peut être mesurée la résistance R_D sur le diagramme d'admittance. Transistor V-MOS 2N6657. $V_G = 4.85$ V. Le paramètre est la fréquence en Hz ou en kilohertz (k).

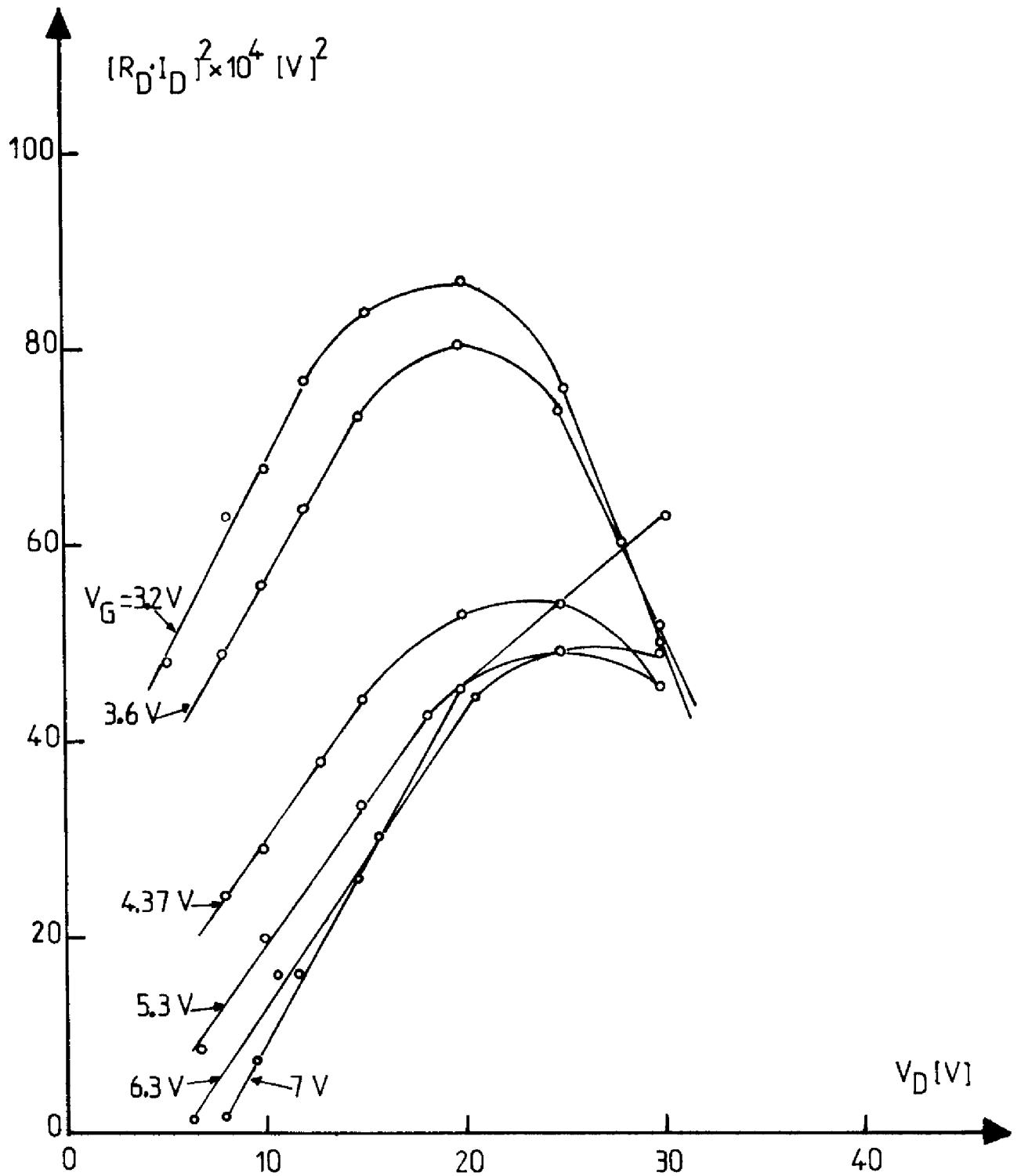


Figure II.12. Variations expérimentales du produit $(R_D \cdot I_D)^2$ en fonction de la tension de drain V_D . Transistor 2N6657.

iii) La pente de ces droites $(R_D \cdot I_D)^2$ en fonction de V_D présente la particularité d'être indépendante de la tension de grille V_G .

IV) Lorsque V_G augmente, les caractéristiques $(R_D \cdot I_D)^2$ en fonction de V_D se traduisent vers le bas.

V) Pour des niveaux de courant relativement élevés, correspondant aux fortes valeurs de la tension de grille, on peut observer une légère augmentation de la pente du produit $(R_D \cdot I_D)^2$ en fonction de V_D .

VI) Enfin, pour les fortes tensions de drain, il apparaît une diminution de la résistance R_D par rapport à la variation linéaire du produit $(R_D \cdot I_D)^2$. Celle-ci est due à un phénomène de multiplication des porteurs dans le canal, ainsi qu'il sera indiqué ultérieurement.

On remarquera que les comportements (ii), (V) et (VI) sont identiques à ceux que l'on peut relever sur tous les types de transistors M.O.S. Par contre les propriétés (iii) et (IV), sont spécifiques aux structures à drain peu dopé.

II.2.1.1. Analyse théorique

Comme nous l'avons déjà expliqué, les modèles dits "à partition" du transistor M.O.S. classique, dans lesquels la jonction canal-région drift est du type $P-N^+$, négligent l'effet d'extension de charge d'espace dans le drain. Cela conduit, si on applique ce type de modèle aux structures M.O.S comportant une région "drift" (N^-) à une sur-estimation de la longueur de la zone de pincement et il en résulte une sous-estimation de la résistance de sortie.

Afin de prendre en compte l'effet de l'extension de charge d'espace, dans la région "drift" (N^-), sur la détermination de cette longueur de pincement, S.R. COMBS et col [15] ont proposé un modèle qui considère la jonction $P-N^-$, constituée par la zone P du canal et la partie N^- peu dopée du drain, comme une jonction polarisée en inverse avec extension de charge d'espace de part et d'autre. Ce modèle consiste à intégrer l'équation de Poisson, unidimensionnelle dans la direction source-drain,

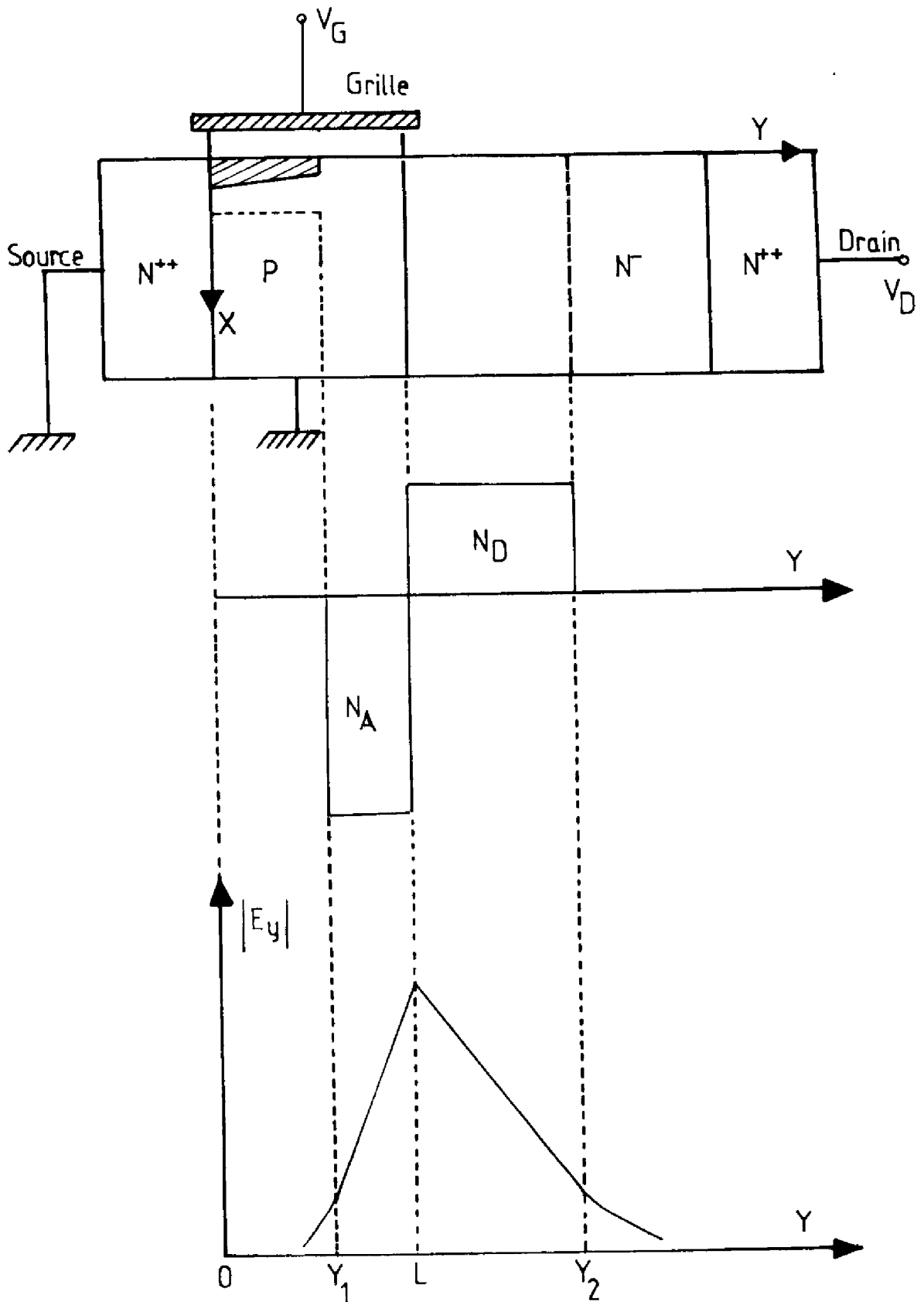


Figure II.13. Représentation schématique du modèle proposé par S.R. COMBS et col [15].

entre la fin de la couche inversée, de coordonnée Y_1 , et la fin de la charge d'espace dans la région N⁻ de drain, de coordonnée Y_2 (figure II.13) ; le point, dit "de pincement", de transition entre la région d'approximation graduelle du côté de la source et cette zone de charge d'espace de drain a pour coordonnée Y_1 .

Dans les prochains paragraphes nous utiliserons ce modèle pour expliquer la plupart des propriétés de la résistance de sortie observées expérimentalement. En particulier nous montrerons que ce modèle permet d'analyser le mode de dépendance de la quantité $(R_D \cdot I_D)^2$ en fonction des paramètres I_D , V_D et V_G .

Le modèle du V.MOS, en régime saturé, utilise tout d'abord, le principe classique de partition du canal en deux régions, ce qui conduit à exprimer le courant de drain, sous la forme approchée suivante [4]:

$$I_D \approx \frac{I_{DSS}}{1 - \frac{L - Y_1}{L}} \quad (2.7)$$

Dans cette relation, utilisée par la plupart des auteurs, I_{DSS} est la valeur de courant d'un transistor M.O.S. de longueur L ; $L - Y_1$ représente le raccourcissement de la longueur du canal dû à l'extension de la zone de charge d'espace de drain dans la zone P.

En toute rigueur, la relation (2.7) n'est valable que si l'on admet que dans la région d'approximation graduelle, la mobilité des porteurs n'est pas fonction du champ électrique longitudinal, et elle devrait être légèrement modifiée, dans le cas du transistor M.O.S. à canal court, comme l'a montré MERCKEL [29]. Pour notre part, nous avons considéré, pour des raisons de simplifications mathématiques et d'autre part, compte tenu du fait que dans la gamme des tensions de pincement (V_p) utilisées, l'inégalité $V_p < LE_0$ est satisfaite, que la relation (2.7) est une approximation suffisante.

Dans le but de parvenir à une expression analytique pour la résistance de sortie R_D et pouvoir expliquer les propriétés expérimentales, nous admettrons pour la région pincée, ($Y_1 < Y < Y_2$) que les hypothèses suivantes [15] sont satisfaites :

Le carré de la dérivée par rapport à V_2 de la relation (2.7), conduit, compte tenu de (2.8) à :

$$(R_D \cdot I_D)^2 = \frac{2q N_A (N_A + N_D) L^2}{\epsilon_0 \epsilon_{si} N_D} V_D + \frac{2q N_A (N_A + N_D) L^2}{N_D} \left[\frac{(N_A + N_D) \epsilon_0 \epsilon_{si} E_c^2}{2q N_A N_D} - V_p \right] \quad (2.12)$$

Le potentiel V_2 a été remplacé par la tension drain-source V_D , ce qui revient à ne pas prendre en compte la chute de tension $V_D - V_2$ qui se développe aux bornes de la partie neutre de la région N^-

Dans cette expression théorique, le deuxième terme du 2ème membre représente l'ordonnée à l'origine de la caractéristique linéaire $(R_D \cdot I_D)^2$ en fonction de V_D . Il peut prendre la forme suivante :

$$A = - \frac{2q N_A (N_A + N_D) L^2}{N_D} \left[V_p - \frac{(N_A + N_D) \epsilon_0 \epsilon_{si} E_c^2}{2q N_A N_D} \right] \quad (2.13)$$

Où V_p s'identifie au potentiel V_1 , potentiel de transition entre la zone graduelle et la zone pincée et qui s'appelle le potentiel de pincement.

La relation (2.12) traduit théoriquement les propriétés que nous avons pu mettre en évidence expérimentalement à savoir :

- Le produit $(R_D \cdot I_D)^2$ est une fonction linéaire de la tension drain V_D .

- La pente du produit $(R_D \cdot I_D)^2$ est indépendante de la tension de grille V_G . Elle est fixée par les valeurs des impuretés ionisées à la jonction P - N^- .

- La translation verticale vers le bas de la droite $(R_D \cdot I_D)^2$ lorsque la tension de grille augmente, est expliquée par les propriétés de l'ordonnée à l'origine explicitée dans la relation (2.13). Cette ordonnée à l'origine diminue lorsque la tension de grille augmente, c'est-à-dire lorsque le potentiel V_p augmente. Elle peut être positive ou négative selon les valeurs relatives de chacun des termes qui y interviennent. Ce résultat expérimental a été montré sur la figure II.12

- On considère la jonction P.N⁻ comme étant abrupte
- La condition unidimensionnelle est respectée dans la direction Y
- La densité de porteurs libres est négligée vis à vis de la concentration d'impuretés ionisées. Cette hypothèse est basée sur le fait que les pentes des droites $(R_D I_D)^2$ en fonction de V_D sont indépendantes de la tension de grille.
- Le champ électrique en Y_1 et Y_2 est pris égal en valeur absolue au champ critique E_c qui est le champ de saturation de la vitesse des porteurs.

Compte tenu de ces hypothèses, l'intégration de l'équation de Poisson conduit successivement aux expressions des extensions de la charge d'espace de part et d'autre de la jonction métallurgique suivantes :

$$L - Y_1 = \frac{E_c}{2a} + \sqrt{\left(\frac{E_c}{2a}\right)^2 + \frac{N_D(V_2 - V_1)}{a(N_A + N_D)}} \quad (2.8)$$

et

$$Y_2 - L = \frac{E_c}{2b} + \sqrt{\left(\frac{E_c}{2b}\right)^2 + \frac{N_A(V_2 - V_1)}{b(N_A + N_D)}} \quad (2.9)$$

Par suite la longueur totale de charge d'espace vaut :

$$Y_2 - Y_1 = \frac{N_A + N_D}{N_D} \left[\frac{E_c}{2a} + \sqrt{\left(\frac{E_c}{2a}\right)^2 + \frac{N_D(V_2 - V_1)}{a(N_A + N_D)}} \right] \quad (2.10)$$

et enfin le champ maximal à la jonction métallurgique s'écrit :

$$|E_M| = E_c + \sqrt{\frac{2qN_A N_D (V_2 - V_1)}{\epsilon_0 \epsilon_{si} (N_A + N_D)}} + E_c^2 \quad (2.11)$$

Dans ces relations V_1 et V_2 sont les tensions respectives aux points de coordonnées Y_1 et Y_2 , les paramètres a et b sont définis par $a = qN_A / 2\epsilon_0 \epsilon_{si}$, $b = qN_D / 2\epsilon_0 \epsilon_{si}$; N_A et N_D sont les concentrations d'impuretés dans les régions P et N⁻ respectivement.

Par ailleurs, ce modèle prévoit une variation linéaire de l'ordonnée à l'origine en fonction du potentiel V_p . Ce résultat peut être également validé par l'expérience : si on trace les ordonnées à l'origine de la caractéristique $(R_D I_D)^2$ en fonction de V_D de la figure II.12, en fonction du potentiel V_p , que l'on a estimé directement sur le réseau des caractéristiques de sortie, on trouve un mode d'évolution linéaire. (figure II.14)

Par suite, en utilisant l'expression (2.13) d'une part et la courbe expérimentale de la figure II.14 d'autre part, nous pouvons calculer par identification formelle de pente et d'abscisse à l'origine, les valeurs de concentration N_A et N_D dans la zone de canal et dans la région de drain. Sur la base d'une longueur du canal L de $2 \mu\text{m}$ et d'une valeur de champ critique E_c de $2,5 \text{ V}/\mu\text{m}$, on calcule ainsi :

$$\begin{aligned} N_A &= 6,2 \times 10^{16} \text{ cm}^{-3} \\ N_D &= 6 \times 10^{14} \text{ cm}^{-3} \end{aligned} \quad (2.14)$$

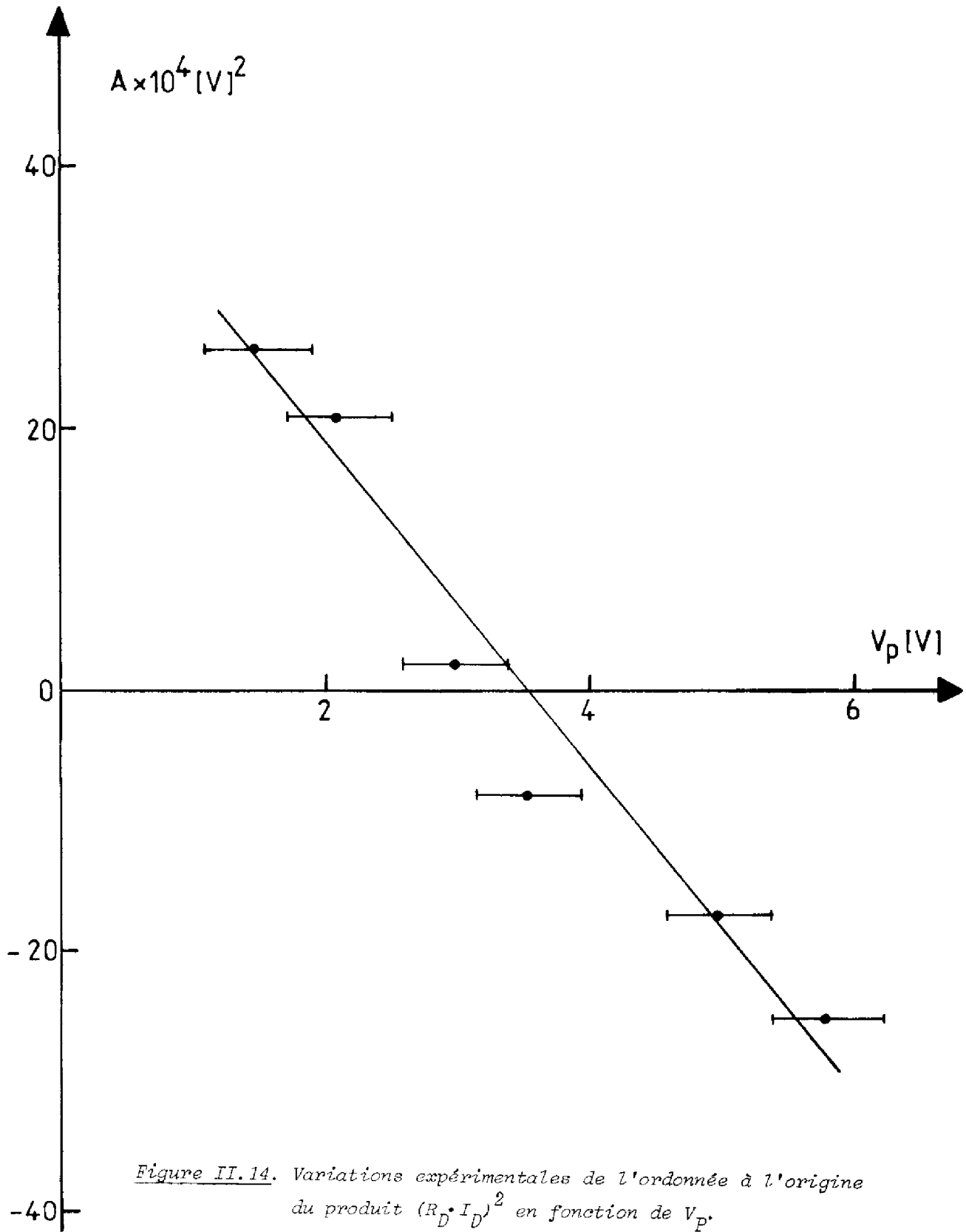
Ces valeurs de concentration sont en bon accord avec les valeurs que l'on a mesuré directement par la caractéristique capacité-tension ($N_D \simeq 10^{15} \text{ cm}^{-3}$) ou par mesure de résistivité sur le silicium qui a permis de réaliser les composants ($N_D \simeq 10^{15} \text{ cm}^{-3}$; $N_A \simeq$ quelques 10^{16} cm^{-3}).

II.2.1.2. Conséquences de l'étude de la résistance de saturation

Nous venons de proposer une formulation théorique pour l'expression de la résistance de saturation liée à l'effet électrostatique du raccourcissement du canal :

$$R_D \equiv \frac{1}{R_e(L)} = \frac{1}{I_D} \left[\frac{4\alpha (N_A + N_D)L^2 (V_D - V_p) + (N_A + N_D)^2 L^2 E_c^2}{N_D^2} \right]^{1/2} \quad (2.15)$$

le bien fondé d'une telle expression a été justifié par la vérification du mode d'évolution du produit $(R_D \cdot I_D)^2$ en fonction de la tension drain V_D et des valeurs des coefficients qui y interviennent, qui ne dépendent que des dimensions géométriques, des dopages, et du champ critique. Ainsi on peut déterminer sur la base de cette analyse, les valeurs de la résistance de saturation que présenteront les structures V.MOS.



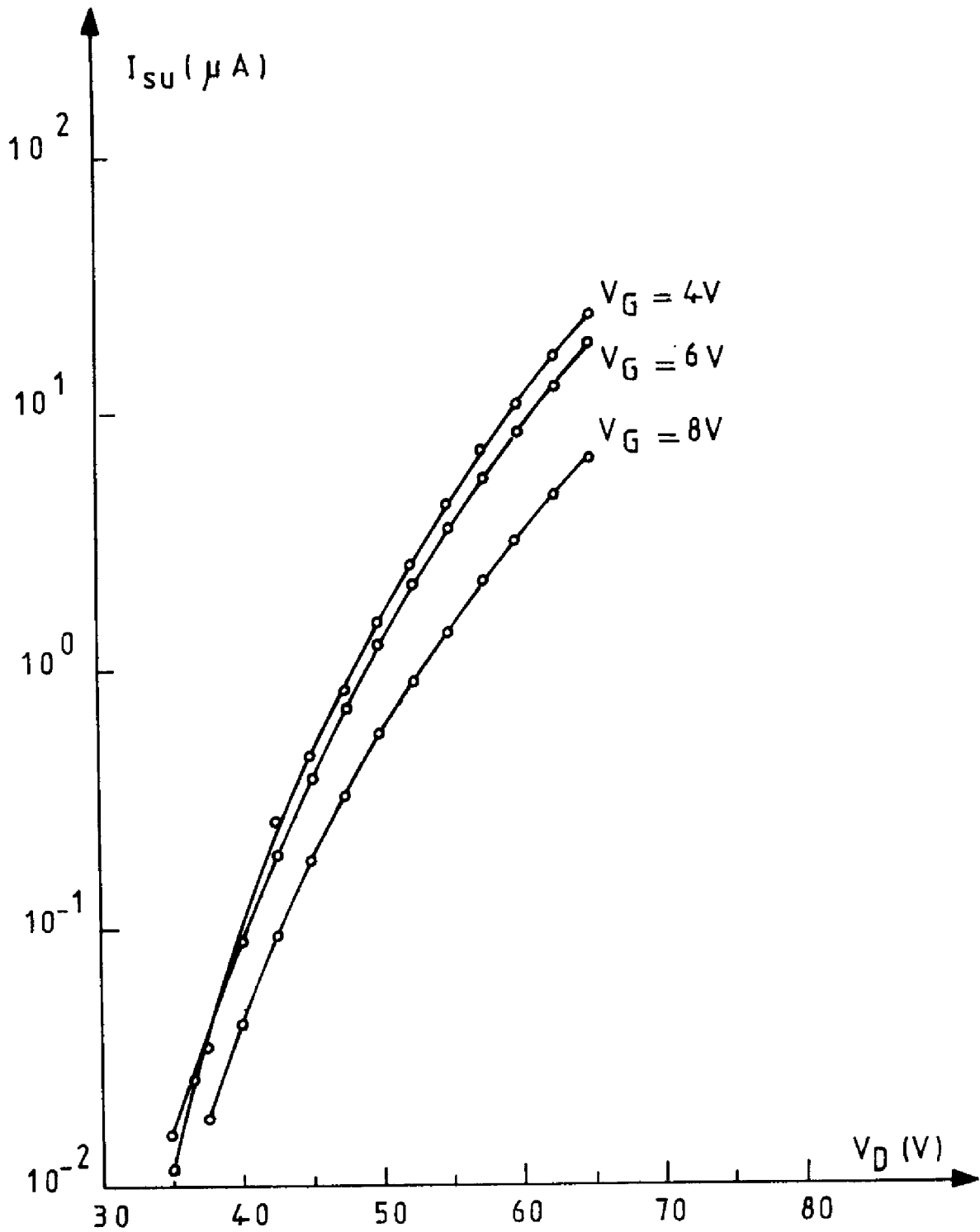


Figure II.15. Variations expérimentales du courant de substrat en fonction de la tension de drain. Transistor Mono-V-MOS.

Pour être complet, on remarquera que la détermination de R_D et par suite de la conductance $Re(L)$, permet de compléter le schéma équivalent du transistor M.O.S. de puissance qui a été proposé dans la première partie (figure I.27). L'intérêt de cette détermination est double :

- il est à présent possible de construire théoriquement pour chaque valeur de tension et courant, tout le diagramme de relaxation thermique, puisqu'on connaît la position sur l'axe horizontal du point $Im [y(\omega)] = 0$ et $Re [y(\omega)] = Re(L)$ à partir des paramètres physiques suivants : $Z_{th}(\omega)$, I_c et K .

- en régime d'amplification en hautes fréquences, on peut calculer la valeur théorique du gain en puissance unilatéralisé maximal dans lequel intervient l'expression de la résistance de sortie [21].

Pour compléter cette étude, il serait nécessaire, pour les valeurs élevées de la tension de drain, d'analyser les effets de multiplication qui peuvent modifier le mode d'évolution de la résistance de sortie en fonction de la tension de drain que nous venons d'établir. Les éléments développés dans le prochain paragraphe permettront de prendre en compte ces effets.

II.2.2. Phénomène de multiplication dans la zone pincée

NAKAHARA [41] et RYAN [42] ont les premiers mis en évidence expérimentalement l'existence d'un courant "anormal" de substrat dans les transistors M.O.S. classiques fonctionnant en régime de pincement tant à canal N qu'à canal P. Les auteurs ont attribué qualitativement l'origine de ce phénomène à une multiplication par ionisation des porteurs du courant drain dans la région pincée du canal: les paires électrons-trous ainsi créées sont collectées par le drain d'une part et par l'électrode de substrat d'autre part. Par la suite, MARTINOT et ROSSEL [17] ont proposé pour décrire ce phénomène une théorie basée sur le calcul de l'intégrale d'ionisation dans la zone pincée du canal.

Dans le cas des structures M.O.S. de puissance, il apparaît aussi un phénomène de multiplication que se traduit d'une part, par

Pour les valeurs suffisamment élevées de tensions drain, les électrons injectés dans la région de charge d'espace à haut champ électrique délimitée par les coordonnées Y_1 , Y_2 , peuvent acquérir une énergie cinétique supérieure à la hauteur de la bande interdite et créer des paires électrons-trous lors des collisions avec les atomes du réseau.

Compte tenu de la direction du champ, dans le sens drain-source, les électrons engendrés par cette ionisation par choc, sont collectés par le drain tandis que les trous sont repoussés vers la source. Cependant, la barrière de potentiel source-substrat empêche les trous d'atteindre la source et ceux-ci sont collectés par le contact de substrat. Ces trous sont à l'origine du courant de substrat appelé I_{su} . Celui-ci s'exprime par :

$$I_{su} = (M_m - 1) I_D \quad (2.16)$$

M_m étant le facteur de multiplication des électrons.

Rappelons que l'expression générale de l'intégrale d'ionisation, dans le cas d'une injection pure des électrons, est de la forme :

$$1 - \frac{1}{M_m} = \int_{Y_1}^{Y_2} \alpha \exp \left[- \int_{Y_1}^{Y_2} (\alpha - \beta) dy \right] dy \quad (2.17)$$

Les deux bornes d'intégration Y_1 et Y_2 représentent les abscisses des points entre lesquels on admet que se produit l'ionisation.

En régime de faible multiplication, on néglige l'ionisation due aux porteurs secondaires, et le terme entre parenthèse est voisin de zéro ; l'expression (2.17) devient :

$$1 - \frac{1}{M_m} \approx \int_{Y_1}^{Y_2} \alpha dy \quad (2.18)$$

En utilisant la relation du champ électrique (2.11) fournie par le modèle développé au paragraphe (II.2.1.1) :

$$|E_m| = E_c + \sqrt{E_c^2 + \frac{2qN_A N_D (V_D - V_P)}{\epsilon_0 \epsilon_{si} (N_A + N_D)}}$$

l'apparition d'un courant dans le substrat constitué par la zone P et d'autre part, par une diminution de la résistance de sortie R_D à forte tension de drain. La figure II.15 représente les variations du courant de substrat en fonction de la tension de grille et de drain qui ont été relevées expérimentalement sur un composant dont les électrodes de source et de substrat ne sont pas connectées intérieurement. Le type d'évolution observé - évolution de I_{su} d'allure exponentielle en fonction de la tension drain - est qualitativement le même que celui que l'on peut relever sur tous les transistors M.O.S. De même la figure II.16 est un exemple expérimental de la diminution de la résistance de sortie R_D aux fortes tensions de drain.

Dans ce paragraphe et en vue de décrire ce phénomène, nous proposerons une analyse basée sur l'utilisation d'une part de la répartition du champ électrique du modèle précédent utilisé dans le calcul de la résistance de sortie R_D , et d'autre part, du calcul de l'intégrale d'ionisation de la théorie proposée par MARTINOT et ROSSEL [17]. Les résultats de cette analyse, seront appliqués premièrement à la détermination de la vitesse d'ionisation α des électrons pour les faibles valeurs du champ électrique, et deuxièmement à l'établissement de l'expression de la résistance de sortie aux fortes tensions de drain.

II.2.2.1 Analyse théorique

Les trajectoires des principaux courants dans un transistor M.O.S. comportant une région drift sont montrées sur la figure II.17.

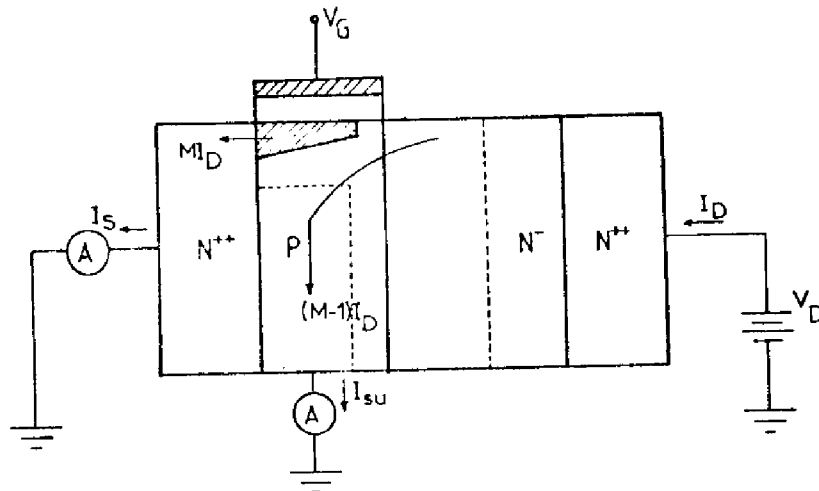


Figure II.17. Trajectoires des principaux courants dans un transistor MOS.

II.2.3. Applications et Résultats

En tant qu'applications des résultats précédents, nous utiliserons tout d'abord, la relation (2.23) pour calculer à partir de données expérimentales, les valeurs des deux coefficients A_n et B_n , et par suite la vitesse d'ionisation $\alpha(E)$. D'autre part, nous expliciterons pour terminer, la contribution, à la valeur de la résistance de sortie, de l'effet de multiplication.

1ère Application :

Sur la base des relations (2.20) et (2.23) d'une part, et de mesures du courant de substrat d'autre part, nous allons évaluer la vitesse d'ionisation $\alpha(E)$ des électrons.

Les dispositifs utilisés à cette fin sont des transistors Mono V.MOS [46] dont le contact de substrat est séparé de celui de la source. Ces structures sont caractérisées par le profil de dopage représenté sur la figure II.18. Les variations du rapport I_{su}/I_D en fonction de V_D (V_G comme paramètre) obtenues expérimentalement sont montrées sur la figure II.19.

La détermination de la vitesse d'ionisation $\alpha(E)$ comprend les étapes suivantes, que nous avons implantées sur calculateur :

i) Calcul théorique du champ maximal $|E_M|$ par la relation (2.11), dans laquelle on a pris N_A égal à la valeur moyenne du dopage dans le canal et N_D celle du dopage de la région N^- (figure II.18). V_p est évalué par la valeur $V_p \simeq V_G - V_T$ et E_c est pris égal à $2,5 \text{ V}/\mu\text{m}$.

ii) Après avoir admis que les coefficients A_n et B_n sont indépendants du champ, ils peuvent être calculés en ajustant, par la méthode des moindres carrés, les courbes expérimentales I_{su}/I_D et celles obtenues théoriquement par les relations (2.11) et (2.23). La figure II.20 est un exemple de résultats obtenus par cette méthode. L'erreur moyenne dans une telle détermination d'ajustage de deux courbes est de l'ordre de 3 %.

La relation (2.18) après un changement de variables prend la forme :

$$M_{m-1} \simeq \frac{\epsilon_0 \epsilon_{si} (N_A + N_D)}{q N_A N_D} \int_{|E_c|}^{|E_M|} \alpha(E) dE \quad (2.19)$$

En utilisant la formulation du coefficient d'ionisation proposée par T. OGAWA [43] et R. VAN OVERSTRAETEN [44] :

$$\alpha = A_m \exp\left(-\frac{B_m}{|E|}\right) \quad (2.20)$$

Où A_m et B_m sont des constantes que l'on détermine à partir des variations de α en fonction de l'inverse du champ électrique maximum ($1/E$).

Compte tenu de (2.19) et de (2.20), on obtient :

$$\frac{I_{su}}{I_D} = M_{m-1} = \frac{A_m B_m \epsilon_0 \epsilon_{si} (N_A + N_D)}{q N_A N_D} \int_{|E_c|/B_m}^{|E_M|/B_m} \exp\left(-\frac{B_m}{|E|}\right) \frac{dE}{B_m} \quad (2.21)$$

Si nous intégrons par parties et en prenant le développement limité [45] de la fonction exponentielle intégrale le résultat s'approche par :

$$M_{m-1} = \frac{E_i^2 / B_m^2}{1 + 2E_i / B_m} \exp\left(-\frac{B_m}{|E|}\right) \Bigg|_{E_i=|E_c|}^{E_i=|E_M|} \quad (2.22)$$

Comme E_c peut être négligé devant E_M , la relation prend la forme :

$$\frac{I_{su}}{I_D} = M_{m-1} = \frac{A_m \epsilon_0 \epsilon_{si} (N_A + N_D)}{q N_A N_D} \left[\frac{|E_M|^2 \exp(-B_m/|E_M|)}{B_m + 2|E_M|} \right] \quad (2.23)$$

avec :

$$|E_M| = E_c + \sqrt{E_c^2 + \frac{2q N_A N_D (V_D - V_p)}{\epsilon_0 \epsilon_{si} (N_A + N_D)}}$$

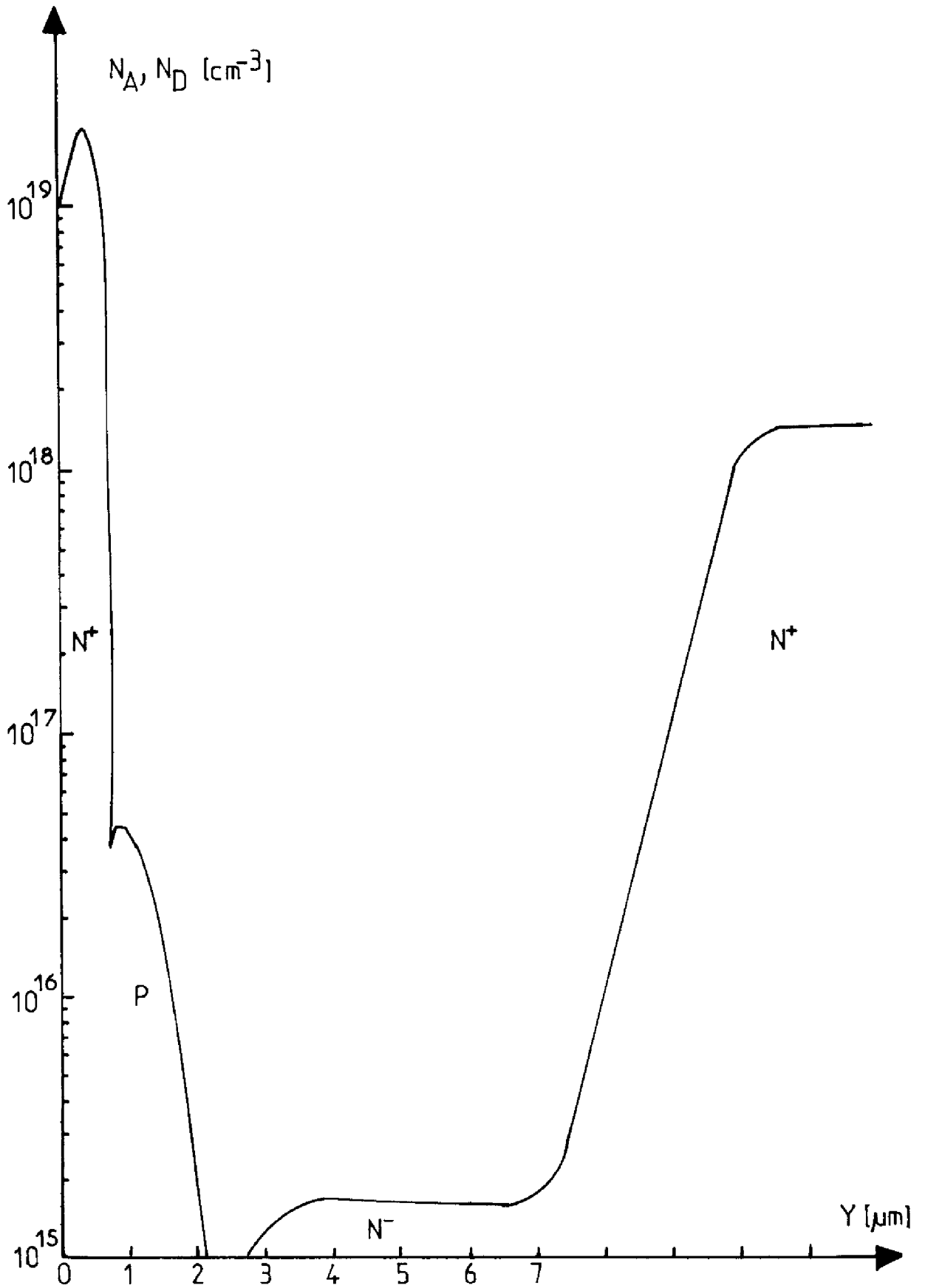


Figure II.18. Profil de dopage du transistor Mono V-MOS
(d'après la Société SESCOSEM [46])

On obtient ainsi :

$$A_m = 4,9 \times 10^8 \text{ cm}^{-1} \quad (2.24)$$

$$B_m = 3,1 \times 10^6 \text{ V} \cdot \text{cm}^{-1}$$

Par la relation (2.20), on calcule le coefficient d'ionisation $\alpha(E)$ que l'on trace dans le plan $(1/E)$. Nos résultats, et ceux que nous avons pu trouver dans la littérature [43, 44, 47, 48, 49, 50], sont reportés sur la figure II.21.

Ces résultats suggèrent les commentaires suivants :

Dans la gamme de champs supérieurs à $25 \text{ V}/\mu\text{m}$, les valeurs fournies par les divers auteurs sont très voisines. Par contre, lorsque le champ électrique diminue ($< 25 \text{ V}/\mu\text{m}$) on observe que les diverses données deviennent très dispersées. La cause principale de cette dispersion doit être recherchée dans le principe de la détermination indirecte de la loi $\alpha(E)$ en utilisant un modèle approché de champ dans une région de charge d'espace dans laquelle le profil de dopage et la répartition bidimensionnelle du potentiel sont mal connus. Toutefois, les structures à effet de champ (FET, MOS) présentent l'avantage, par rapport à la jonction P N, de pouvoir séparer les composantes de courants d'électrons et de trous et sont actuellement les structures les plus appropriées pour la détermination à faible champ du coefficient d'ionisation α [49].

2ème Application :

En utilisant la relation 2.21, on peut calculer la contribution du phénomène de faible multiplication à la résistance de sortie dans la région où les tensions de drain sont élevées. La conductance de drain s'exprime par :

$$\frac{\partial (I_D + I_{SM})}{\partial V_D} = \frac{\partial I_D}{\partial V_D} \left[1 + \frac{I_{SM}}{I_D} \right] + I_D \frac{\partial I_{SM}/I_D}{\partial V_D} \quad (2.25)$$

Soit en négligeant le rapport I_{SM}/I_D devant l'unité :

$$\frac{\partial (I_D + I_{SM})}{\partial V_D} = \frac{\partial I_D}{\partial V_D} + I_D \frac{\partial}{\partial E_M} \left(\frac{I_{SM}}{I_D} \right) \cdot \frac{\partial E_M}{\partial V_D} \quad (2.26)$$

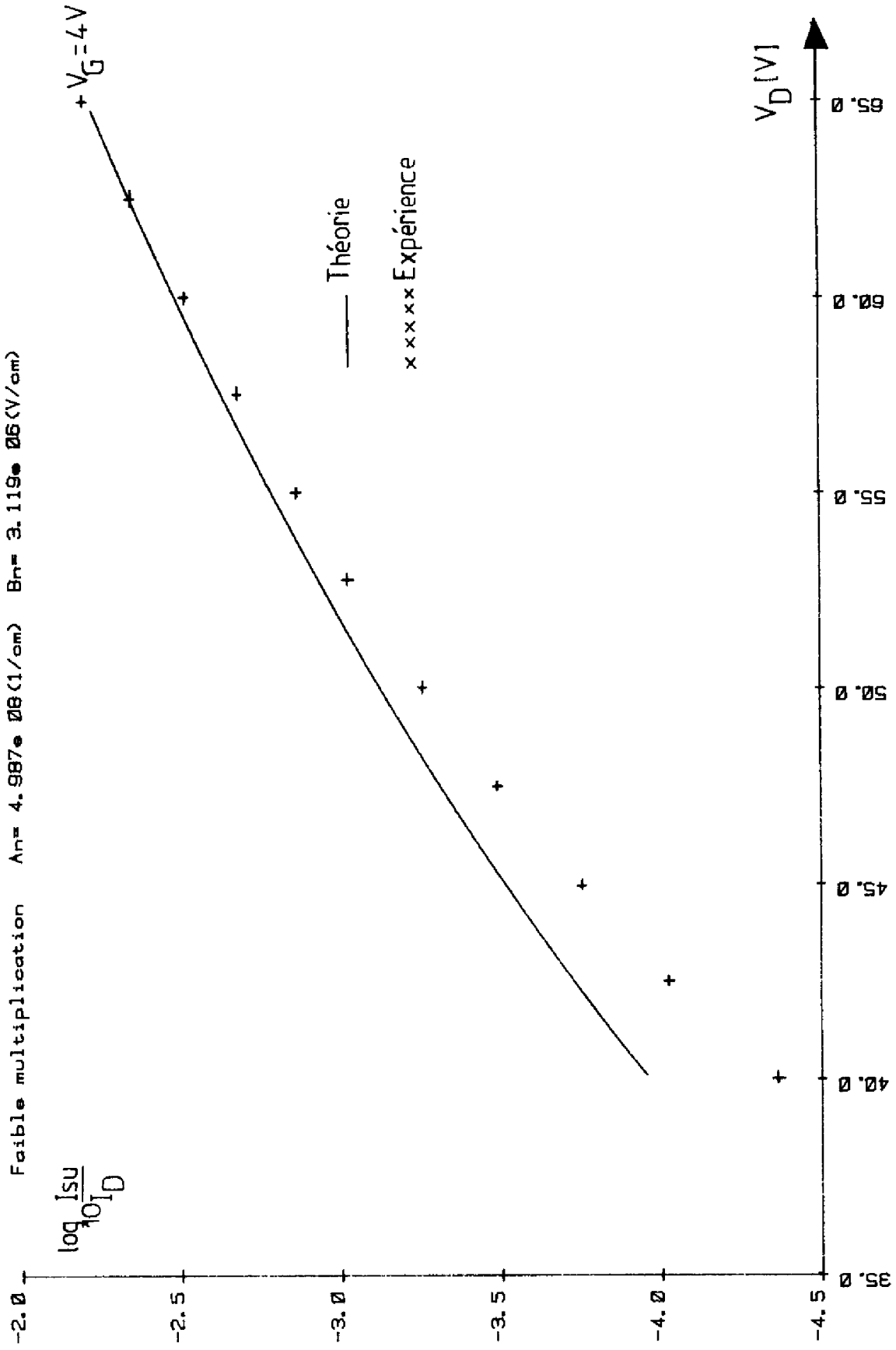


Figure II.20. Détermination des paramètres A_n et B_n .

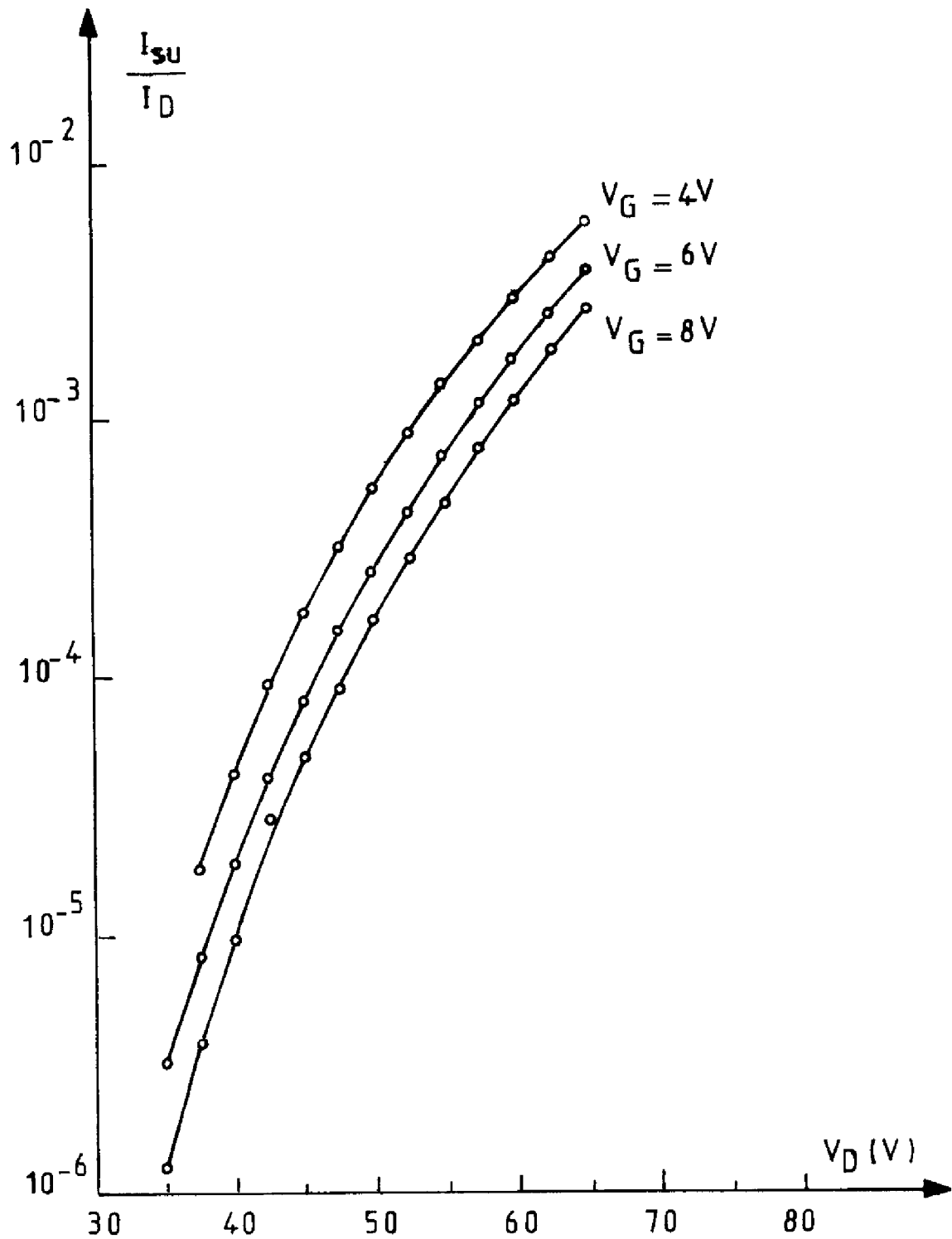


Figure II.19. Variations du rapport $\frac{I_{su}}{I_D}$ en fonction de la tension de drain.

Dans cette relation le premier terme du deuxième membre $\partial I_D / \partial V_D$ représente la conductance de sortie imposée par les effets électrostatiques d'extension de la charge d'espace et le deuxième terme représente la conductance de sortie due à la multiplication. En désignant par R_{Dav} la résistance de sortie due à cette multiplication, on obtient :

$$R_{Dav} = \left[I_D \frac{\partial}{\partial E_M} \left(\frac{I_{su}}{I_D} \right) \cdot \frac{\partial E_M}{\partial V_D} \right]^{-1} \quad (2.27)$$

soit :

$$R_{Dav} \cdot I_D = \frac{A_m}{\sqrt{E_c^2 + \gamma(V_D - V_p)}} \exp \frac{-B_m}{\sqrt{E_c^2 + \gamma(V_D - V_p)}} \quad (2.28)$$

avec :

$$\gamma = \frac{2q N_A N_D}{\epsilon_0 \epsilon_{si} (N_A + N_D)} \quad (2.29)$$

Cette expression présente une forme similaire à celle qui a été proposée antérieurement [17] pour les transistors M.O.S. à dopage de drain élevé. La différence essentielle réside dans la valeur du coefficient γ . Dans le cas du transistor M.O.S. classique, il est imposé par le dopage dans la zone du canal d'inversion tandis que dans le cas du transistor V.MOS pour lequel l'inégalité $N_D \ll N_A$ est généralement respectée, ce coefficient dépend essentiellement du dopage N_D du drain :

$$\gamma \approx \frac{2q N_D}{\epsilon_0 \epsilon_{si}} \quad (2.30)$$

Ceci explique que la diminution de la résistance de sortie causée par la multiplication, se produise dans les V.MOS pour des valeurs de tension drain plus élevées que dans le cas des transistors M.O.S. classiques. La figure II.19 est un exemple de comparaison entre la valeur mesurée dans la gamme de fréquences précédemment définie de la résistance de sortie et la valeur calculée par l'expression (2.28). Cette expression traduit correctement le comportement asymptotique de la résistance de saturation. Pour terminer, on notera que cet effet de diminution de la résistance de saturation avec la tension de drain est d'autant plus important que la

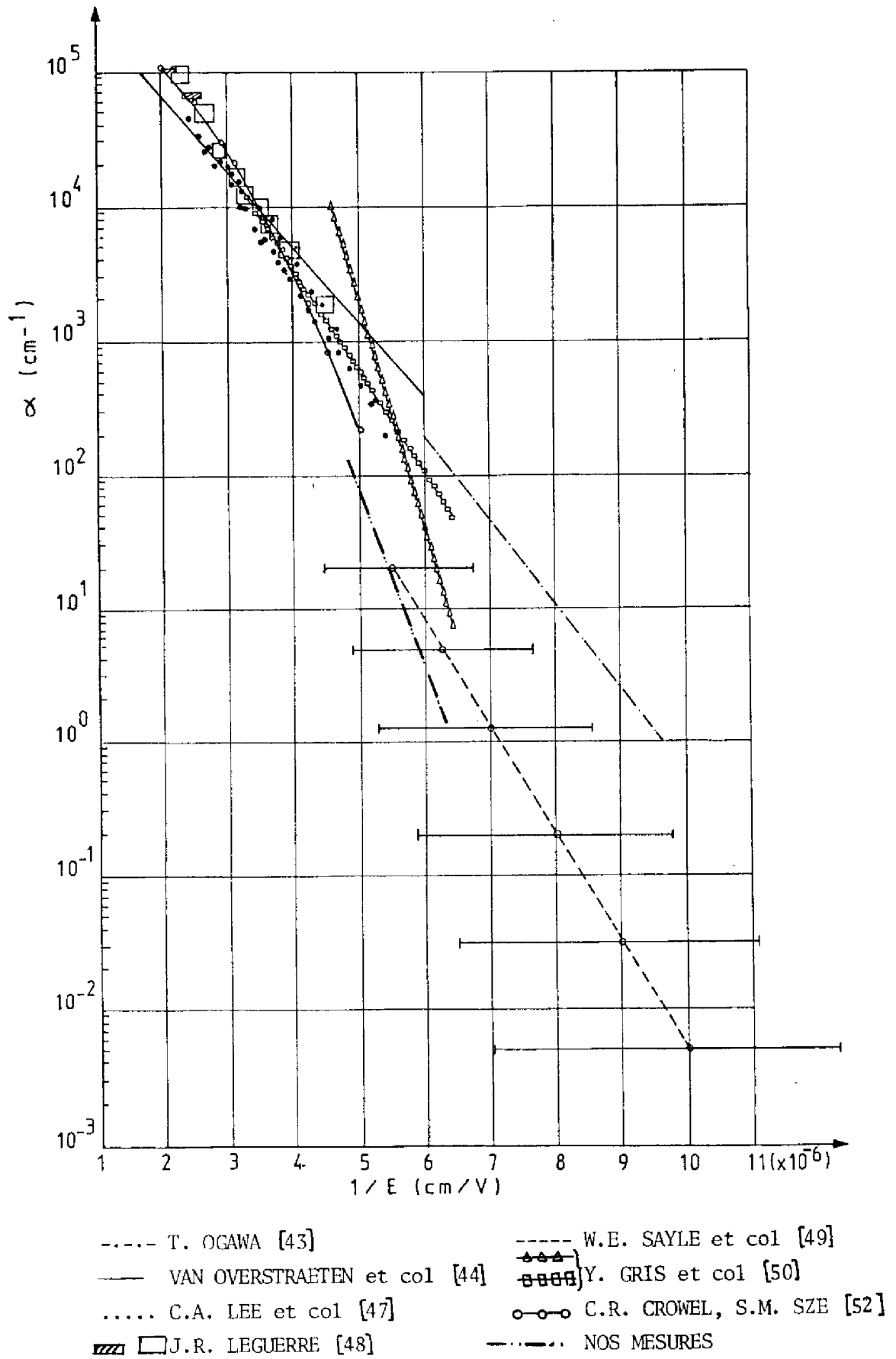


Figure II.21. Variations de la vitesse d'ionisation des électrons α en fonction de l'inverse du champ électrique $|E|$.

température du transistor est basse ; ceci est dû aux propriétés thermiques du coefficient d'ionisation des électrons [52] . La figure II.22 montre, par exemple, qu'à la température du boîtier égale à celle de l'azote liquide, c'est le phénomène de multiplication qui a plus de poids sur la valeur de la résistance de sortie, que le mécanisme de modulation de longueur de canal.

II.3 LE PHENOMENE DE "QUASI-SATURATION"

INTRODUCTION

Les études des propriétés électriques des transistors M.O.S. classiques à électrodes de source et de drain diffusées ou implantées ont montré que la nature et la configuration du drain n'avaient aucune influence sur les réseaux de caractéristiques courant-tension. Dans le cas des transistors M.O.S. étudiés dans ce mémoire, le drain est moins dopé que la région dans laquelle se forme le canal [2, 22]. Rappelons que l'existence de cette zone peu dopée, dite zone "drift", se traduit par une dégradation de la résistance à l'état passant R_{ON} [30] . En contre-partie, la présence de cette région peu dopée améliore d'une part, la tenue en tension du transistor [33] et d'autre part, la saturation des caractéristiques en régime de pincement [15] . Elle permet également d'éviter le phénomène de perçage [29] entre source et drain. Dans ce paragraphe nous montrerons que l'existence d'un drain peu dopé entraîne, en plus des effets ci-dessus, l'apparition à fort niveau de courant d'un nouveau mécanisme que nous appellerons la "quasi-saturation" dans les transistors M.O.S. Nous proposerons une approche au 1er ordre visant à décrire ce phénomène et nous montrerons que celui-ci constitue une limitation fondamentale à la capacité de transit de courant que possède le transistor M.O.S.

II.3.1. Description du phénomène

Il est bien connu que le courant de drain I_D d'un transistor M.O.S. "classique" augmente avec la tension de grille V_G en régime de pincement ou de saturation ($V_D \gg V_G$). La loi de variation du courant en

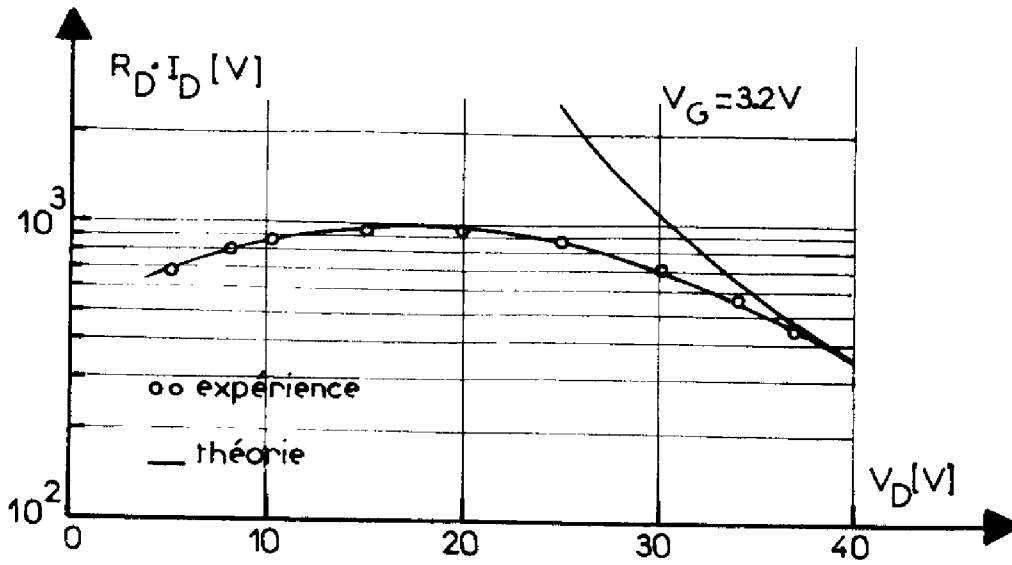


Figure II.16. Variations de la conductance de drain en fonction de la tension de drain V_D .

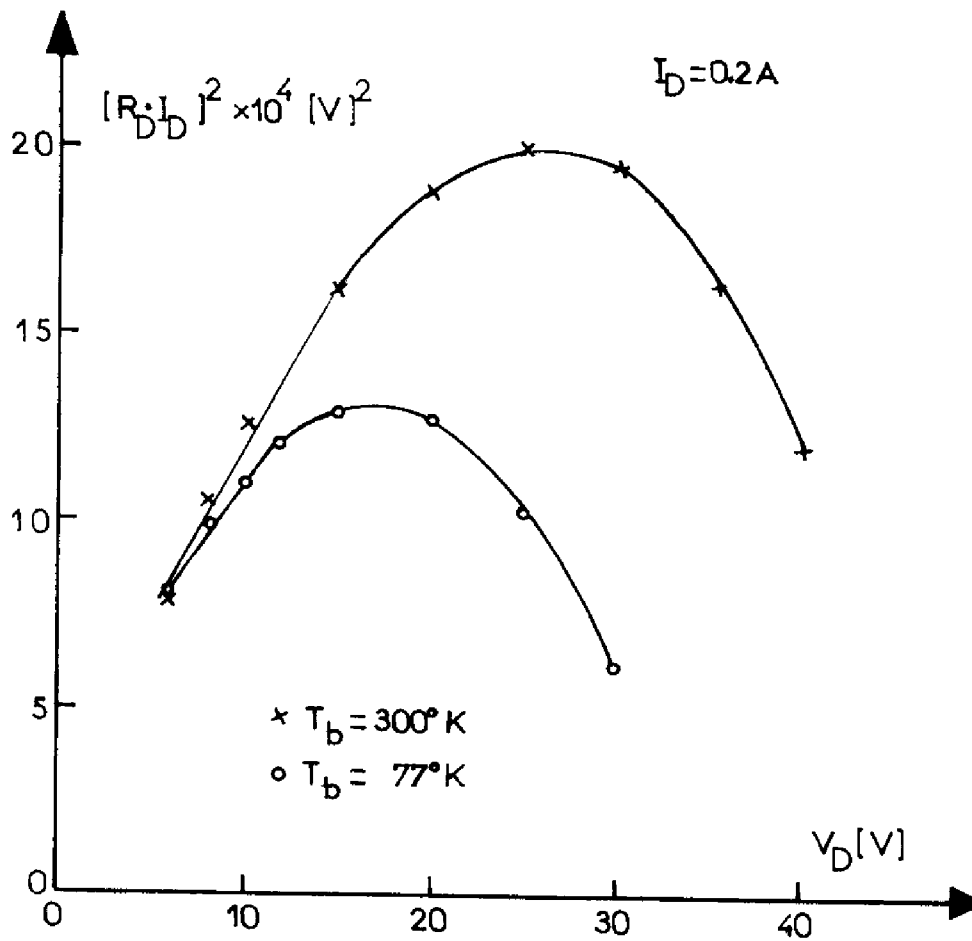


Figure II.22. Variations expérimentales du produit $(R_D \cdot I_D)^2$ en fonction de V_D .

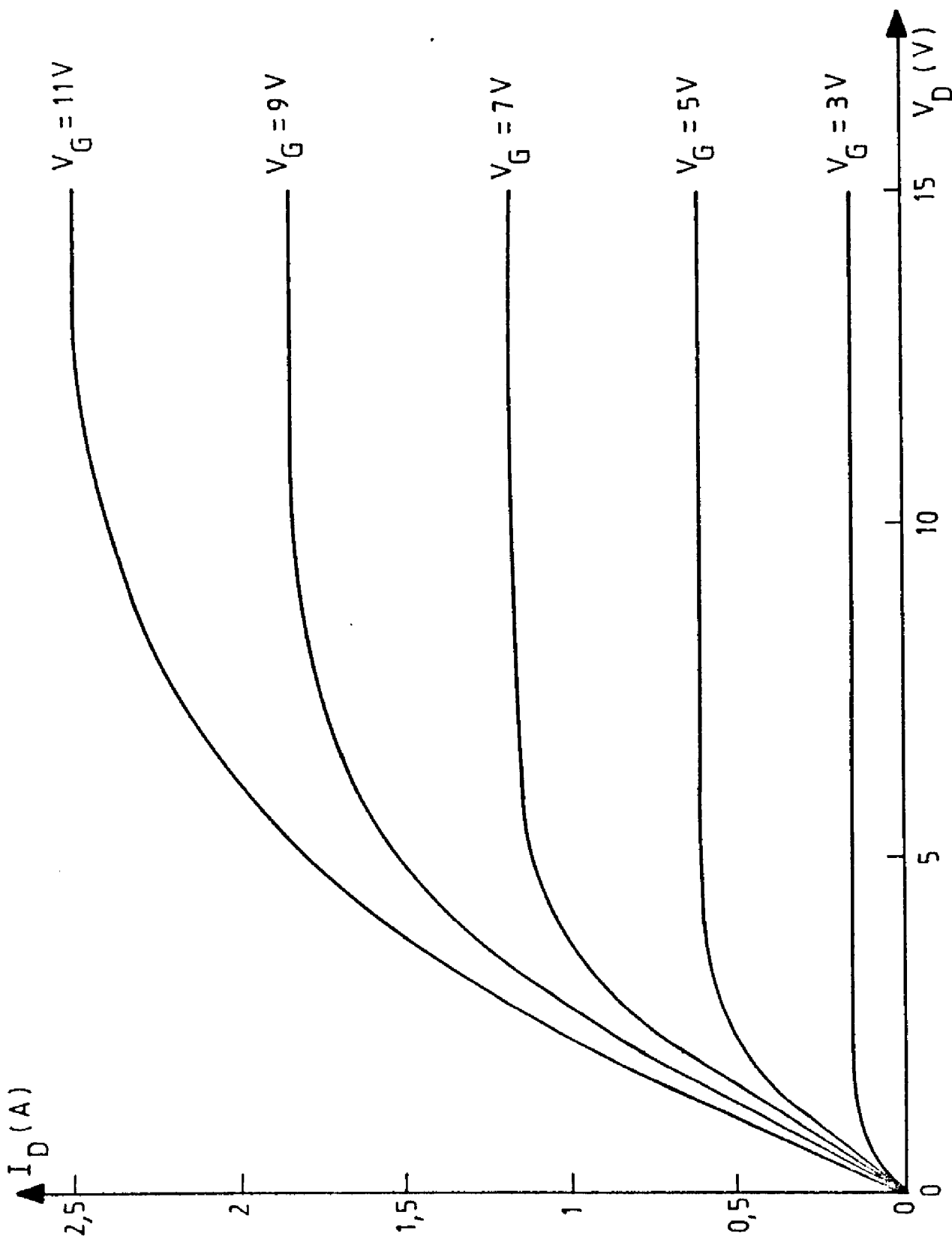


Figure II.23b. Caractéristiques expérimentales $I_D(V_D)/V_G$ d'un transistor V-MOS à canal court "normal".

fonction de la tension "effective" de grille, est de type parabolique dans le cas de transistors à canaux longs, caractérisés par une distance L entre source et drain supérieure à 10 microns environ, et de type linéaire, si le canal est court ($L \ll 10 \mu\text{m}$) [21]. L'unique limitation en niveau de courant, en dehors de toute considération thermique, est imposée par la valeur maximale de la tension V_G , applicable entre grille et source, que peut supporter l'oxyde de grille avant claquage diélectrique ($V_G \text{ max} \approx 10 \text{ V}$ pour un oxyde de 500 \AA).

Le comportement dit "classique" d'un transistor M.O.S. de type N à canal court est illustré par la figure II.23 qui représente les réseaux des caractéristiques de transfert $I_D(V_G) | V_D$ (figure II.23a) et de sortie $I_D(V_D) | V_G$ (figure II.23b) ainsi que la variation de la transconductance G_m en régime de pincement (figure II.23c) relevés expérimentalement.

Dans le cas de structures présentant une région de drain moins dopée que celle du canal, un nouveau mode d'évolution caractérise les variations du courant drain en fonction des tensions appliquées. La figure II.24 représente les réseaux de caractéristiques relevées expérimentalement sur un transistor VMOS à canal court dont le profil de dopage dans la direction source-drain est de type N^+ (source) - P (région de canal) - N^- - N^+ (drain). La coupe de ce composant est représentée sur la figure II.25.

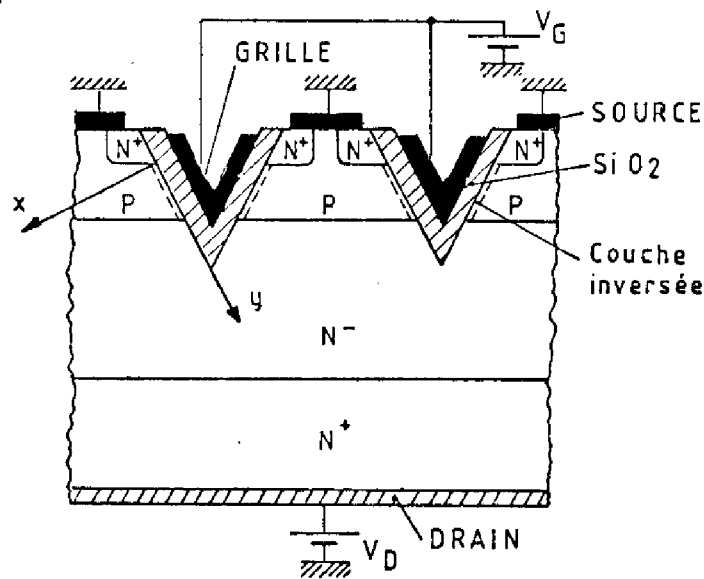


Figure II.25. Coupe du transistor V-MOS

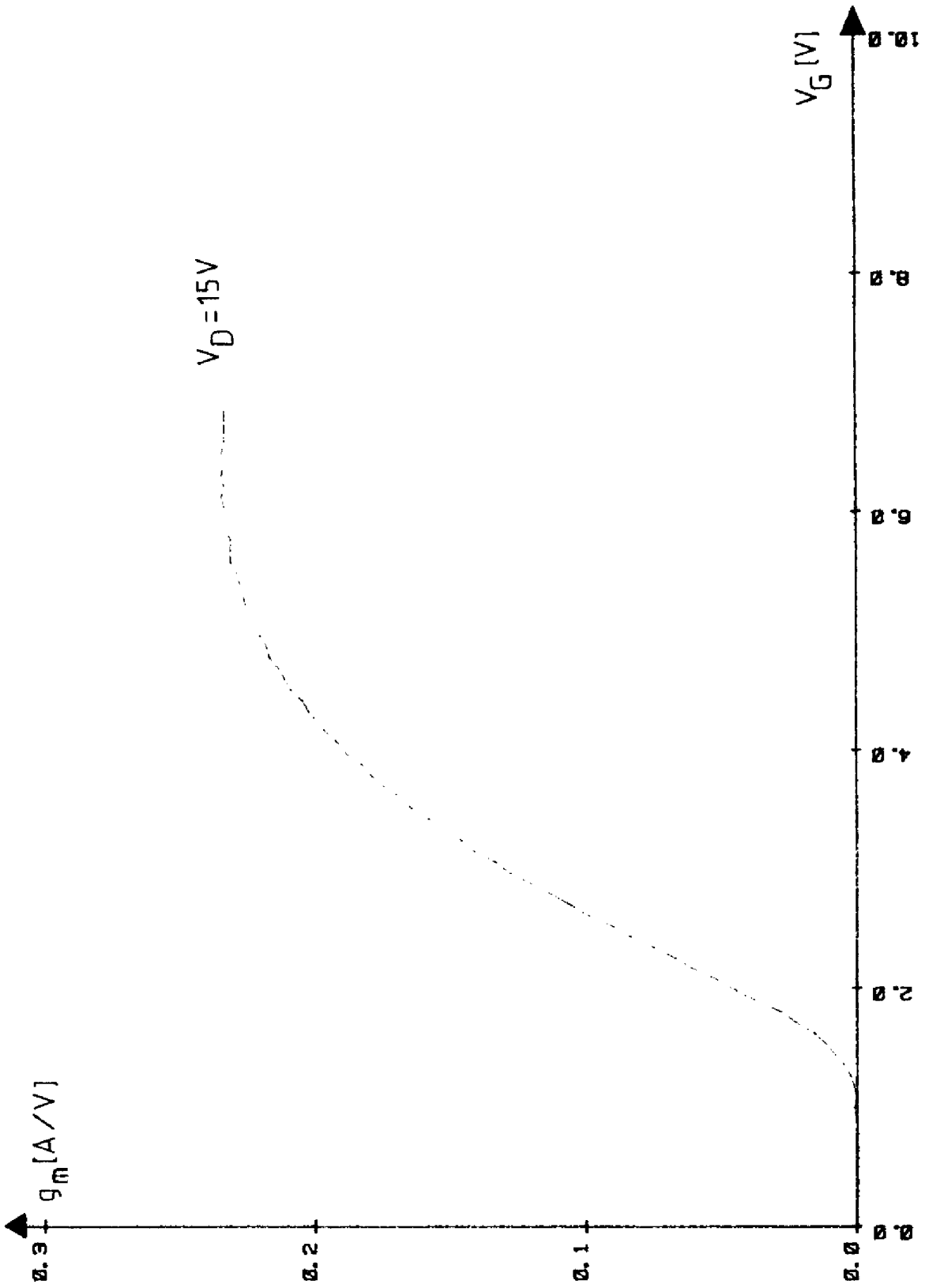


Figure II.23c. Variations expérimentales de la transconductance sur un transistor V-MOS qui ne présente pas l'effet de "quasi-saturation".

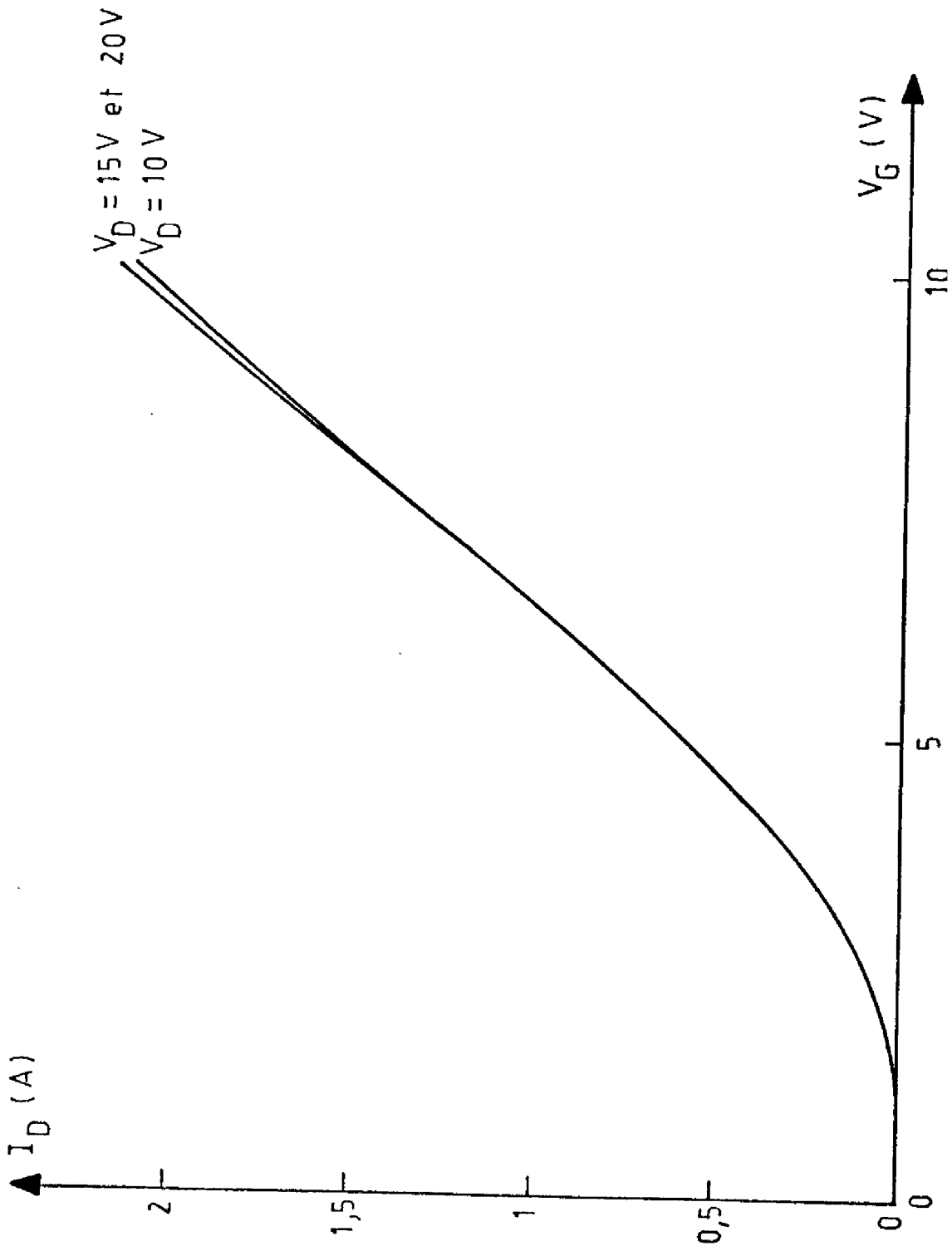


Figure II.23a. Caractéristiques de transfert $I_D(V_G)/V_D$ d'un transistor V-MOS à canal court "normal".

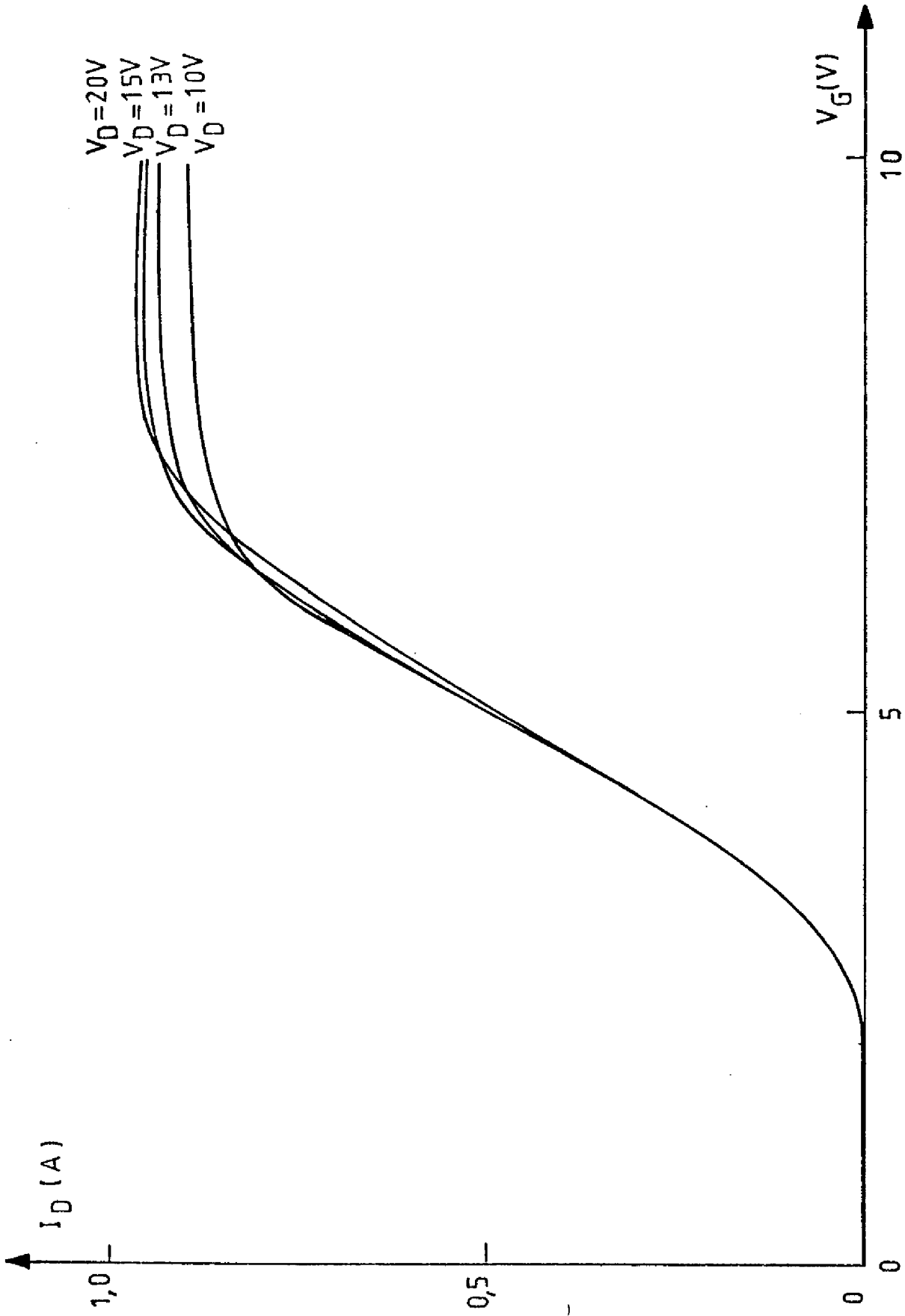


Figure II.24a. Caractéristiques expérimentales statiques de transfert $I_D(V_G)/V_D$ d'un transistor V-MOS à canal court présentant l'effet de "quasi-saturation".

Dans le plan $I_D(V_G) | V_D$ (figure II.24a), le courant, qui présente d'abord un comportement "classique" analogue à l'exemple précédent, tend, au-delà d'une certaine valeur de la tension de grille, vers un palier de saturation, et devient quasiment indépendant des tensions appliquées. Ce phénomène se traduit dans le plan $I_D(V_D) | V_G$ par un tassement des caractéristiques (figure II.24b).

De même, la transconductance g_m en régime de pincement (figure II.24c) présente tout d'abord une partie croissante avec la tension de grille, suivie d'un palier de saturation : ces modes d'évolution sont classiques [21,23] dans un transistor MOS à canal court. Le phénomène de saturation du courant se traduit, au-delà d'une valeur critique V_{Gc} de tension grille, par une chute rapide de la transconductance vers une valeur nulle : le transistor MOS ne présente plus aucun effet d'amplification.

II.3.2. Interprétation

Ces propriétés caractéristiques des structures de type N^+P, N^-N^+ dans lesquelles la conductivité de la zone N^- n'est pas modulée par le mécanisme de l'effet de champ, n'avaient jamais été observées, à notre connaissance : saturation des caractéristiques de transfert et chute rapide de la transconductance. Ce comportement sera par la suite qualifié de "régime de quasi-saturation".

Il ne doit pas être confondu avec l'effet de la modification des propriétés électriques de la région N^- par l'action électrostatique d'une grille recouvrant cette région. Rappelons que ce dernier effet a été analysé par RODGERS et col [53] pour le D.MOS en utilisant le formalisme classique de deux transistors MOS en configuration cascode, c'est-à-dire le formalisme qui permet de décrire les propriétés des transistors MOS à double grille (tétrodes MOS) [54].

Afin de déterminer les conditions d'existence du régime de quasi-saturation, nous proposerons d'abord une analyse qualitative de la forme et de la nature des charges d'espace apparaissant dans le transistor MOS, schématisé sur la figure II.26a, dans le cas d'une hypothèse d'unidimensionnalité dans la direction source-drain. Le profil de dopage est rappelé sur la figure II.26b. Quatre configurations électriques seront

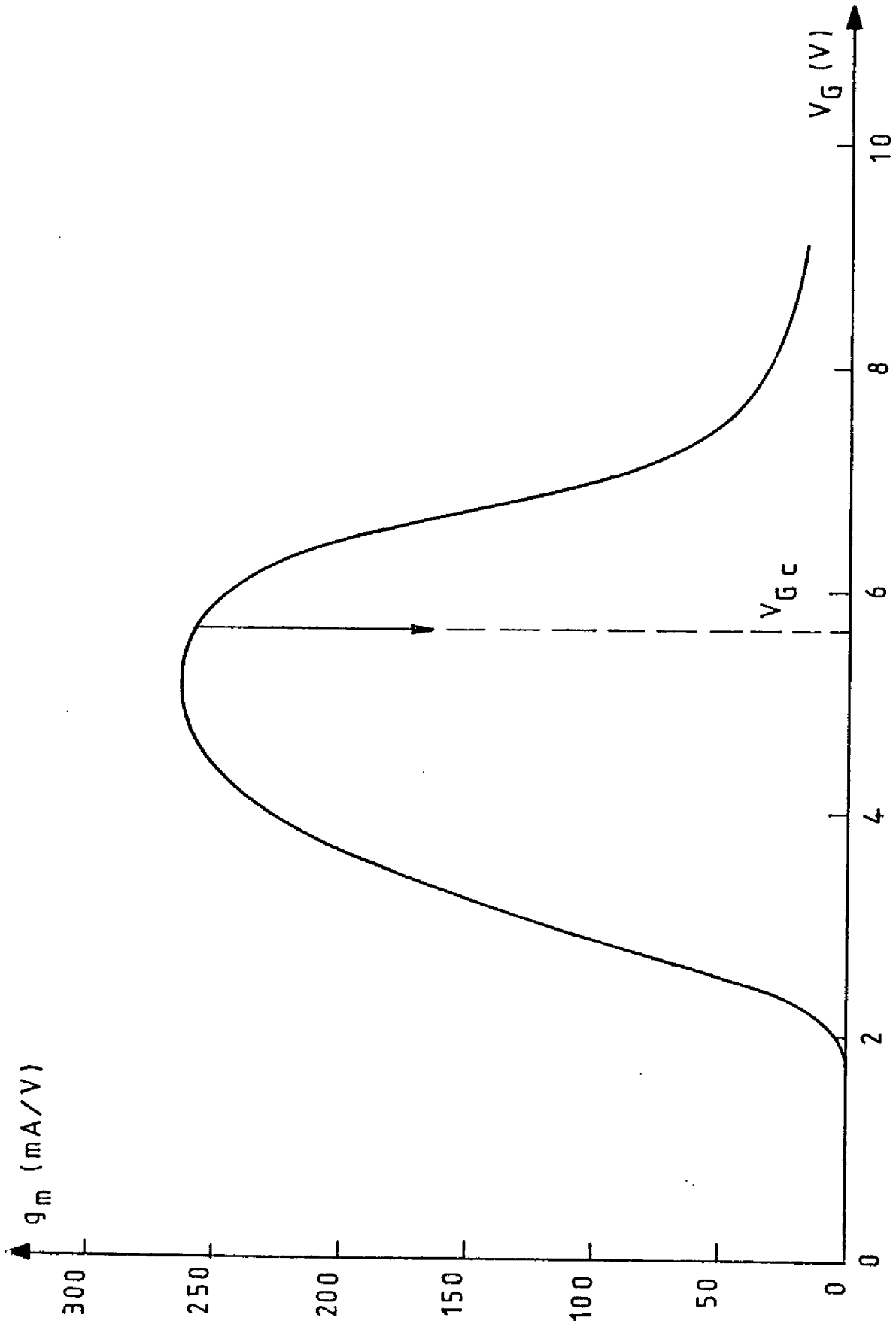


Figure II. 24c. Variations expérimentales de la transconductance g_m sur un transistor V-MOS présentant l'effet de "quasi-saturation" ($V_D = 15$ V).

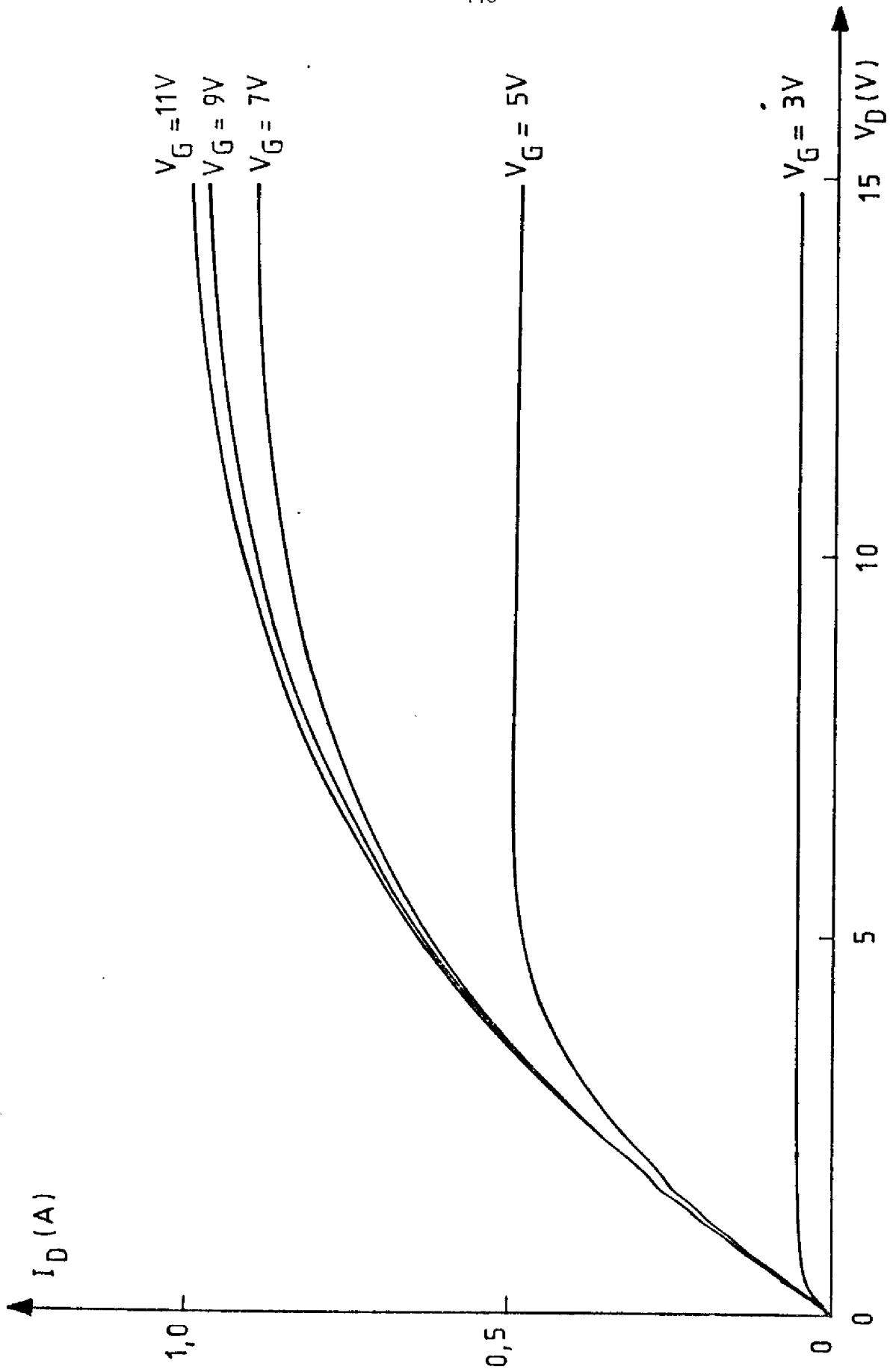


Figure II.24b. Caractéristiques expérimentales statiques de sortie $I_D(V_D)/V_G$ d'un transistor V-MOS à canal court présentant l'effet de "quasi-saturation".

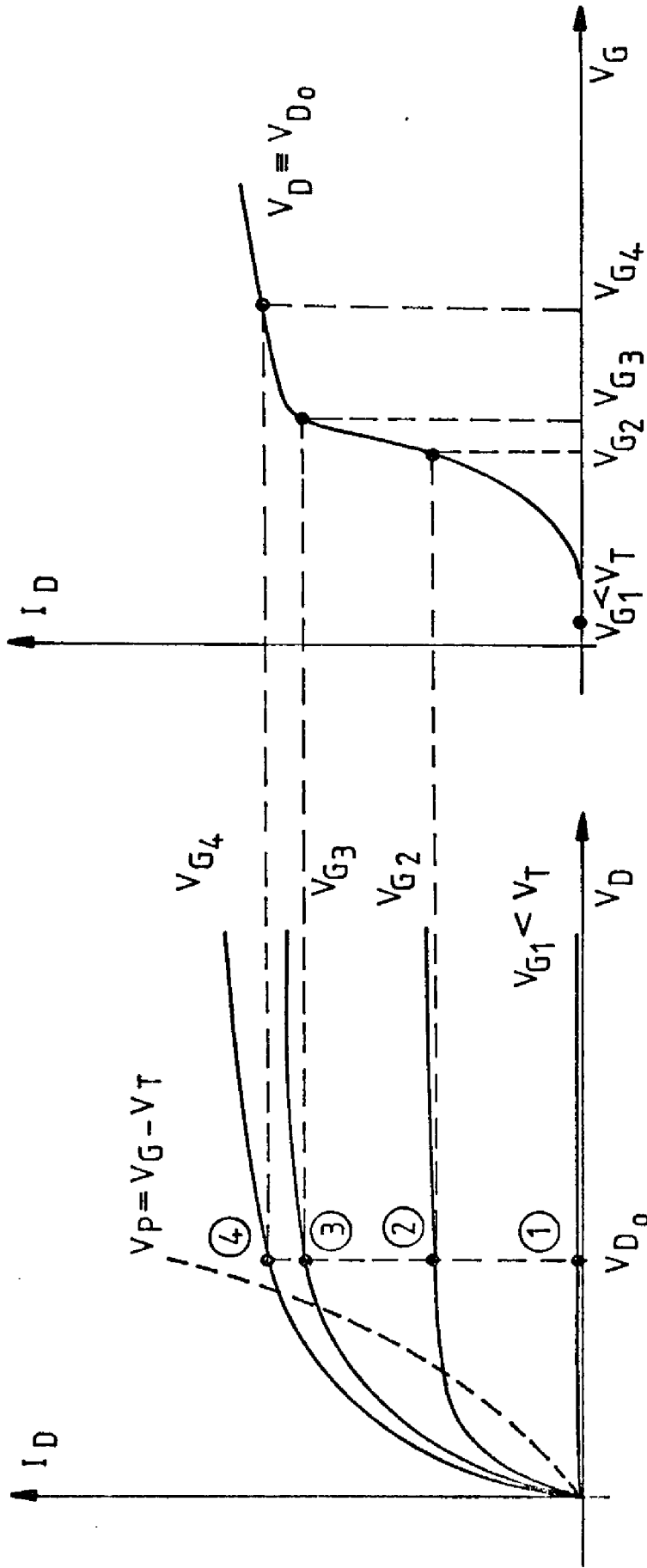


Figure II.27. Représentation des points de polarisation dans les plans $I_D(V_D)$ et $I_D(V_G)$; définition des états (1), (2), (3), (4).

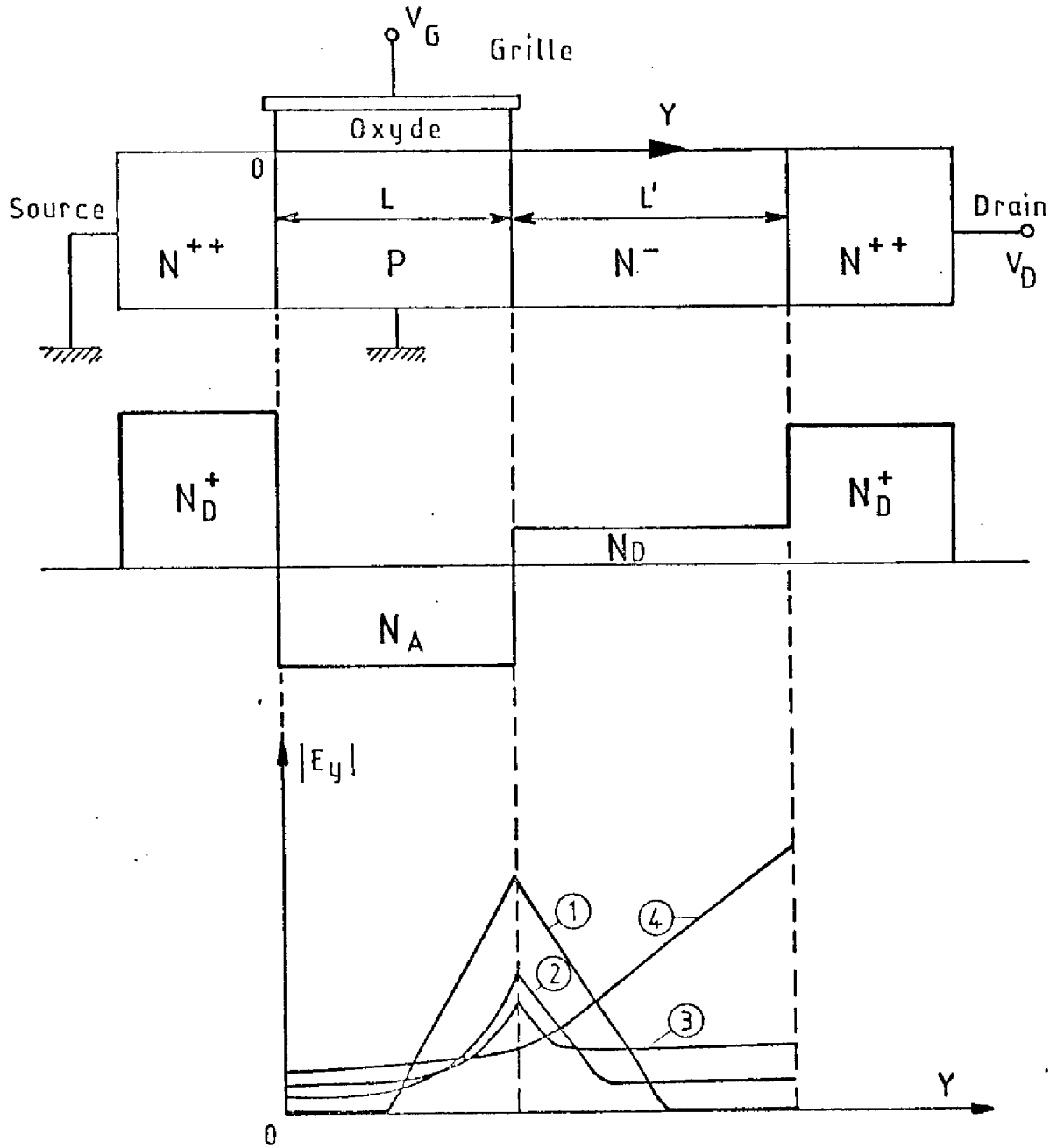


Figure II.26. Représentation unidimensionnelle d'une coupe du transistor (a), du profil de dopage (b), et de la répartition du champ électrique (c).

se déplaçant à la vitesse limite, étant insuffisant pour véhiculer ce courant. Ainsi il se produit une injection de porteurs majoritaires excédentaires depuis le canal de conduction dans la zone N^- de drain. En conséquence, une charge d'espace négative apparaît dans ce drain, le champ électrique est une fonction croissante de la distance, et la majeure partie de la tension appliquée entre les électrodes de drain et de source se trouve soutenue par la région N^- . On se trouve en présence d'un phénomène semblable à l'effet KIRK des transistors bipolaires [55] .

II.3.3. Formulation du mécanisme de quasi-saturation

Pour l'approche au premier ordre proposée, basée sur les mécanismes décrits précédemment, nous considérerons la structure suivante (figure II.28) :

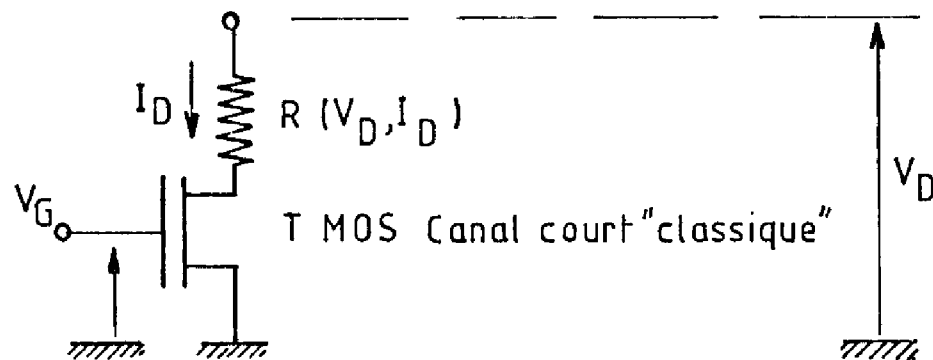


Figure II.28. Circuit électrique utilisé pour représenter le transistor MOS à drain peu dopé.

un transistor MOS à canal court "classique" sans effet de quasi-saturation en série avec une résistance R qui traduit électriquement l'existence de la région N^- de drain. Le modèle de transistor utilisé est celui mis au point par GUEGAN [21] ; sa validité est illustrée par l'exemple de la figure II.29, représentative d'un composant à drain hautement dopé. La méthode de formulation de l'effet de quasi-saturation est similaire à celle proposée par G. REY et col. [57] dans le cas du transistor bipolaire.

Les hypothèses simplificatrices sont les suivantes :

i) la caractéristique vitesse v -champ électrique $E(y)$ peut être décrite dans la zone N^- par une approximation à deux segments :

envisagées : elles correspondent, pour une tension drain-source donnée, aux régimes de fonctionnement suivants : - régime bloqué (V_{G1} inférieure à la tension de seuil V_T) - régime de saturation (V_{G2}, V_{G3}) - régime de quasi-saturation (V_{G4}). Ces différents points de polarisation sont schématisés sur les réseaux de caractéristiques électriques de la figure II.27. Les configurations de charge d'espace et de champs électriques (figure II.26b etc) sont respectivement les suivantes :

i) pour la tension de grille V_{G1} , aucun courant ne circule dans le transistor, et deux zones dépeuplées existent de part et d'autre de la jonction métallurgique $P-N^-$.

ii) pour la tension de grille V_{G2} , le canal de conduction est pincé au droit du drain : le champ électrique, en valeur absolue, croît de la source vers le drain, passe par un maximum à la jonction métallurgique, puis décroît linéairement dans la région de drain dépeuplée, pour atteindre finalement une valeur constante. Dans cette configuration qui a été étudiée au paragraphe II.2.1.1., la densité des porteurs libres injectés est inférieure à celle des impuretés ionisées ; ainsi l'état électrique de la jonction $P-N^-$ est analogue à celui d'une diode polarisée en inverse [15]. Par ailleurs, la partie volumique de la zone N^- est considérée comme une zone neutre à champ constant, qui agit comme une résistance en série avec le transistor MOS.

iii) lorsque la tension de polarisation de grille augmente $V_G \leq V_{G3}$, le transistor est toujours en régime de saturation ; la configuration du champ électrique reste qualitativement identique à la précédente. On remarquera en particulier que le champ électrique dans la région quasi-neutre augmente, en valeur absolue, avec le courant.

iv) Si la tension grille continue à augmenter (V_{G4}), ce champ électrique atteint la valeur critique E_c (1 à 3 Volts par micron) au-delà de laquelle les porteurs libres se déplacent en vitesse limite.

Pour pouvoir assurer la continuité du courant entre la zone de canal et la région N^- , la densité de porteurs libres de la zone N^- se met à croître, l'ensemble des porteurs majoritaires de cette zone N^-

$$\begin{cases} v = \mu_0 E(y) & \text{si } E(y) < E_c \\ v = v_L & \text{si } E(y) > E_c \end{cases} \quad (2.31)$$

où μ_0 est la mobilité à champ faible.

(ii) les effets bidimensionnels dans cette zone ne sont pas pris en compte : la conduction des électrons s'effectue dans une section "équivalente" d'épaisseur constante χ_a , en fonction de la coordonnée y [56]

Compte tenu des expressions générales du courant et de la charge :

$$I_D = q \cdot Z \cdot \chi_a \cdot v \cdot n(y) \quad (2.32)$$

$$\rho(y) = q [N_D' - n(y)] \quad (2.33)$$

$$n(y) = N_D' + \hat{n} \quad (2.34)$$

où Z est la largeur du transistor, n la densité de porteurs libres, et \hat{n} la densité de porteurs majoritaires en excès, injectés dans la zone N^- on obtient l'équation différentielle suivante :

$$\frac{dE(y)}{dy} = \frac{q}{\epsilon_0 \epsilon_{si}} \left[N_D' - \frac{I_D}{q \cdot Z \cdot \chi_a \cdot v} \right] \quad (2.35)$$

Dans deux cas particuliers, on peut intégrer cette équation :

i) Lorsque le courant I_D est très inférieur à la quantité $q \cdot N_D' \cdot v_L \cdot Z \cdot \chi_a$ la région N^- est neutre ($\rho(y) = 0$) sur la majeure partie de sa longueur et la tension qui apparaît aux bornes de cette région N^- a pour expression :

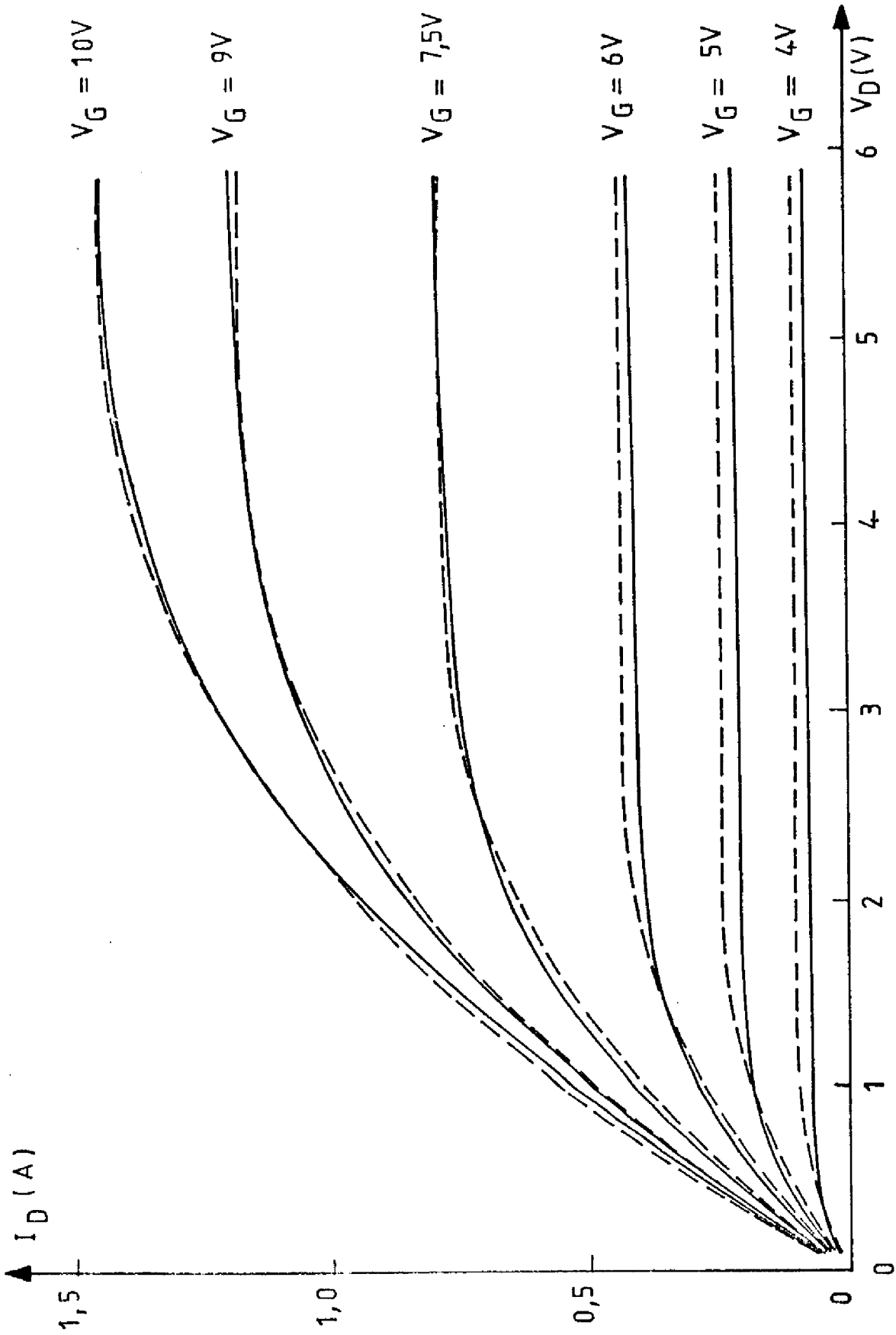


Figure II.29. Exemple de simulation des caractéristiques de sortie d'un transistor V-MOS à canal court "normal" par le modèle de G. GUEGAN [21] — : expérience, ---- théorie.

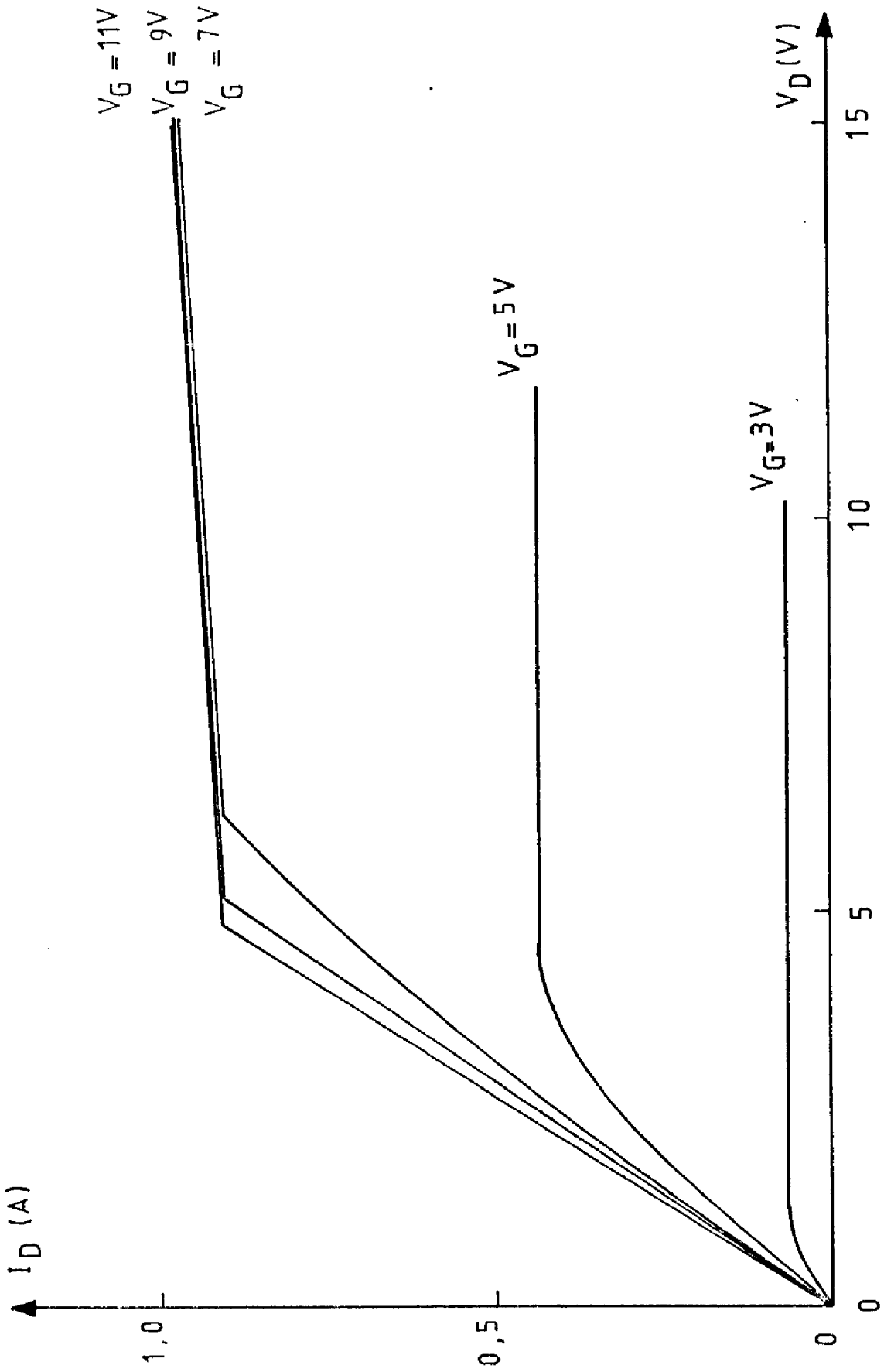


Figure II.30a. Calcul théorique des caractéristiques de sortie $I_D(V_D)/V_G$ asymptotiques d'un transistor V-MOS à canal court présentant l'effet de quasi-saturation.

$$\Delta V = \frac{I_D \cdot L'}{q \cdot Z \cdot \chi_a \cdot \mu_0 \cdot N_D'} \quad (2.36)$$

La résistance R_1 en série avec le transistor vaut :

$$R_1 = \frac{L'}{q \cdot Z \cdot \chi_a \cdot \mu_0 \cdot N_D'} \quad (2.37)$$

ii) Lorsque le courant I_D est supérieur à la quantité $q \cdot N_D' \cdot v_L \cdot Z \cdot \chi_a$ la région Nⁿ n'est plus neutre et les porteurs y transitent à la vitesse limite v_L . Par intégrations successives de l'équation 2.35, on obtient respectivement le champ électrique $E(y)$ et la tension ΔV qui apparaît aux bornes de cette zone :

$$E(y) - E(0) = \frac{q}{\epsilon_0 \epsilon_{si}} \left[N_D' - \frac{I_D}{q \cdot Z \cdot \chi_a \cdot v_L} \right] \cdot y \quad (2.38)$$

$$\Delta V = \frac{L'^2 I_D}{2 \epsilon_0 \epsilon_{si} \cdot Z \cdot \chi_a \cdot v_L} - \frac{q N_D' L'^2}{2 \epsilon_0 \epsilon_{si}} - E(0) L' \quad (2.39)$$

$E(0)$ étant le champ électrique au droit de la jonction métallurgique. Nous considérerons que ce dernier reste proche de la valeur critique E_c . Par suite, la résistance R_2 vaut :

$$R_2 = \frac{L'^2}{2 \epsilon_0 \epsilon_{si} \cdot Z \cdot \chi_a \cdot v_L} - \frac{q N_D' L'^2}{2 \epsilon_0 \epsilon_{si} I_D} - \frac{E(0) L'}{I_D} \quad (2.40)$$

Les expressions 2.37 et 2.40 traduisent le comportement asymptotique I_D tendant vers zéro ou vers l'infini de la résistance du schéma équivalent de la figure II.28. La valeur exacte de cette résistance ne peut être obtenue que par résolution numérique du système d'équations (2.31, 2.32, 2.35). Toutefois cette approche asymptotique est suffisante pour mettre en évidence que le mécanisme de quasi-saturation est bien régi par l'analyse proposée.

La figure II.30 représente le comportement asymptotique du réseau de caractéristiques $I_D(V_D)$ -figure II.30a -calculé à partir d'une part, du modèle de transistor MOS rappelé précédemment, et d'autre part, des expressions 2.37 et 2.40 de la résistance R ($L' \simeq 12 \mu\text{m}$, $N_D' = 10^{15} \text{cm}^{-3}$, $Z \simeq 3 \text{cm}$). Il apparaît que les caractéristiques théoriques traduisent correctement les principaux effets observés expérimentalement (figure II.30a) comportement "classique" jusqu'à des tensions de grille de l'ordre de 7 Volts, puis tassement du réseau de caractéristiques aussi bien en zone ohmique - effet de R_1 -qu'en régime de pincement "quasi-saturé" - effet de R_2 . Corrélativement, dans le plan $I_D(V_G)$, les courbes théoriques (*) (figure II.30b) sont d'abord une fonction croissante de la tension de grille puis saturent à une valeur indépendante de la tension de drain ; ce résultat est à rapprocher du comportement expérimental observé (figure II.24a et b).

CONCLUSION

Dans cette deuxième partie, nous avons étudié les effets de la configuration N^-N^+ de la région de drain sur les caractéristiques du transistor MOS de puissance. A faible tension drain-source, nous avons montré que l'effet de la région N^- se traduit par la mise en série

(*) Les paramètres de la simulation de la zone drift sont : $L' = 12 \mu\text{m}$; $N_D' = 10^{15} \text{cm}^{-3}$; $Z = 3 \text{cm}$; $\mu_0 = 1500 \text{cm}^2/\text{V.s}$; $E_c \simeq 0,66 \text{V}/\mu\text{m}$; $E(0) = 2 \text{V}/\mu\text{m}$, $V_L = 10^7 \text{cm}/\text{sec}$. X_a (zone ohmique) = $4,2 \mu\text{m}$; et X_a (zone quasi-saturée) = $1,5 \mu\text{m}$. Ces deux valeurs sont déduites des analyses au 1er ordre de la défocalisation du courant dans le V-MOS.

avec le transistor, d'une résistance dont la valeur a été calculée en utilisant la Méthode des Eléments Finis. Nous avons pu comparer les structures V-MOS, U-MOS, HEXFET en présentant sous forme normalisée les variations de cette résistance en fonction des dimensions géométriques et de la résistivité de la couche N^- . Il est apparu que la supériorité de la structure HEXFET est non seulement liée à la meilleure valeur de la quantité - R_{ON} par unité de surface - mais aussi est liée à la meilleure valeur de la quantité - R_{ON} par unité de largeur.

En régime de saturation, sur la base de l'analyse électrostatique proposée par S.R. COMBS et col [15], nous avons pu expliquer les propriétés de la résistance de sortie R_D et du produit $(R_D \cdot I_D)^2$ que l'on observe expérimentalement. Dans ce même régime, la prise en compte du mécanisme de multiplication de porteurs dans la zone de charge d'espace drain-canal nous a conduit à formuler les expressions du courant qui circule dans le substrat P du transistor, et de la résistance de sortie R_{Dav} associée à cette ionisation. Ainsi la détermination de R_D et R_{Dav} complète les travaux reportés dans la première partie dans laquelle la seule inconnue était la quantité $Re(L)$: cette dernière peut à présent, être calculée par :

$$Re(L) = \frac{1}{R_D} + \frac{1}{R_{Dav}}$$

Pour compléter l'étude des mécanismes liés au drain peu dopé, nous avons montré qu'il existe un phénomène nouveau, qui n'existe pas dans les transistors M.O.S. classiques et que nous avons appelé la quasi-saturation. Cet effet se traduit principalement à fort niveau de tension drain par une saturation du courant de drain aussi bien en fonction de la tension de drain que de la tension de grille. Un ordre de grandeur de la valeur limite de ce courant de saturation, pour les structures prévues pour tenir des tensions de drain de 150 Volts environ se situe à 0,4 A par cm de largeur : l'interprétation que nous avons proposée est basée sur la représentation du composant par un transistor M.O.S. idéal en série avec une résistance. La valeur de cette dernière est modulée par la valeur du courant de drain, ce qui est la conséquence d'un effet d'injection de porteurs en excès dans la région de drain.

Notre approche a permis de définir la forme asymptotique des caractéristiques électriques dans les plans $I_D(V_D)$ et $I_D(V_G)$.

Actuellement il est difficile de prévoir un moyen pour éliminer ce phénomène qui sera d'autant plus marqué que la structure sera prévue pour tenir des valeurs élevées de tension drain. Le mécanisme constitue une limite fondamentale à la capacité de transiter du courant, des transistors M.O.S. dits "à haute tension".

o o

o

CONCLUSION GENERALE



Notre mémoire a été divisé en deux parties qui traitent respectivement des mécanismes de relaxation en basses fréquences dans les transistors M.O.S. de puissance et des effets liés à la configuration N^-N^+ du drain dans ces structures. Nous ne reprendrons pas dans cette conclusion tous les points qui ont été rappelés dans les deux conclusions partielles. Nous ne ferons état que des résultats originaux obtenus au cours de ce travail.

Les principales nouveautés, qu'apporte à la connaissance générale de transistors M.O.S., l'étude des mécanismes de relaxation thermique, ont été les suivantes :

(i) d'un point de vue expérimental, nous avons montré que lorsque la fréquence des signaux d'excitation se situe dans la gamme dans laquelle se placent les inverses des constantes de temps thermiques du dispositif, il apparaît une contre-réaction électro-thermique dont l'effet principal est de modifier les parties réelles et imaginaires de l'impédance de sortie du transistor.

(ii) une analyse théorique visant à rendre compte de cet effet a été proposée. Elle a été comparée aux résultats de l'étude expérimentale. Elle a permis de déterminer une expression de l'admittance de sortie du transistor sous la forme de l'association de deux admittances : l'une est liée aux effets électrostatiques et de multiplication, l'autre dépend de l'impédance thermique et du coefficient de température du dispositif.

(iii) en tant que conséquences de cette étude de la relaxation, nous citerons :

- la mise au point d'une méthode de détermination de l'impédance thermique de l'ensemble transistor-boitier

- l'établissement du schéma équivalent de l'impédance de sortie du composant

- l'application du diagramme de relaxation à la détermination de l'évolution en température de la vitesse limite des porteurs dans le canal d'inversion

- l'application à l'analyse de l'influence de l'effet du rayonnement ionisant sur les propriétés de l'admittance de sortie.

En ce qui concerne les effets liés à la configuration particulière de type $N^- N^+$ dans les structures MOS de puissance, notre contribution a permis de clarifier les points suivants :

(i) Une étude mathématique, basée sur l'utilisation de la Méthode des Eléments Finis, a permis de déterminer rigoureusement, à faible tension drain-source, la valeur de la résistance, qui se trouve en série avec le canal, créée par la région N^- . Nous avons pu comparer les valeurs normalisées de cette résistance pour les trois structures V.MOS, U.MOS et HEXFET et nous avons montré que d'une part la structure U.MOS peut présenter pour de même largeurs de canal des valeurs de résistance à l'état passant R_{ON} deux fois plus faibles que le V.MOS, et d'autre part, que le principal avantage de l'HEXFET, à savoir la diminution du rapport R_{ON} /surface de puce est liée non seulement à l'augmentation de la densité d'intégration mais encore et surtout à la diminution du rapport R_{ON} /largeur de canal.

(ii) Après avoir défini la méthode expérimentale de mesure de la conductance de sortie, qui est imposée par les mécanismes électrostatiques R_D^{-1} , et de multiplication de porteurs R_{Dav}^{-1} , nous avons vérifié le bien fondé du modèle mathématique de S.R. COMBS et col [15]. Ce modèle a été utilisé pour rendre compte des propriétés de la quantité $(R_D I_D)^2$. Par ailleurs, en appliquant le formalisme de faible multiplication dans la zone de charge d'espace de drain, nous avons proposé d'une part, une expression du courant de trous qui circule dans le substrat P du transistor et d'autre part, une relation qui définit la conductance de sortie R_{Dav}^{-1} en régime de tensions de drain élevées.

Cette partie d'étude a permis de compléter la configuration du schéma équivalent de l'impédance de sortie valable quelle que soit la valeur de la fréquence.

(iii) En tant qu'application principale de l'étude des effets liés à la multiplication, nous avons proposé une méthode de détermination de vitesse d'ionisation en fonction du champ électrique pour les électrons et dans une gamme de champs électriques comprise entre $15 \text{ V}/\mu\text{m}$ et $21 \text{ V}/\mu\text{m}$.

(IV) Pour terminer, nous avons mis en évidence pour la première fois l'existence d'un phénomène de "quasi-saturation" qui se traduit à haut niveau de courant par une saturation de ce courant en fonction de la tension de drain et de grille. Nous avons montré que la "quasi-saturation" est due à la modulation de la conductivité de la zone N^- par les porteurs injectés par le canal.

Ainsi en synthétisant à l'extrême notre travail, on notera que nous avons résolu les problèmes liés à la détermination de la configuration de l'impédance de sortie du transistor M.O.S. de puissance dans les trois régimes suivants qui sont ceux dans lesquels le MOS de puissance est le plus classiquement utilisé :

- à faible tension drain, cette impédance s'identifie à la résistance R_{ON}

- en régime de saturation, elle est imposée par trois composantes traduisant respectivement (i) l'effet d'imbrication de mécanismes thermiques et électriques (ii) l'action du raccourcissement de canal (iii) l'effet de multiplication

- en régime quasi-saturé, elle est déterminée par la valeur du courant de drain dans un ensemble constitué d'un transistor M.O.S. idéal et d'une résistance en série dont la valeur est fonction du niveau d'injection de courant.

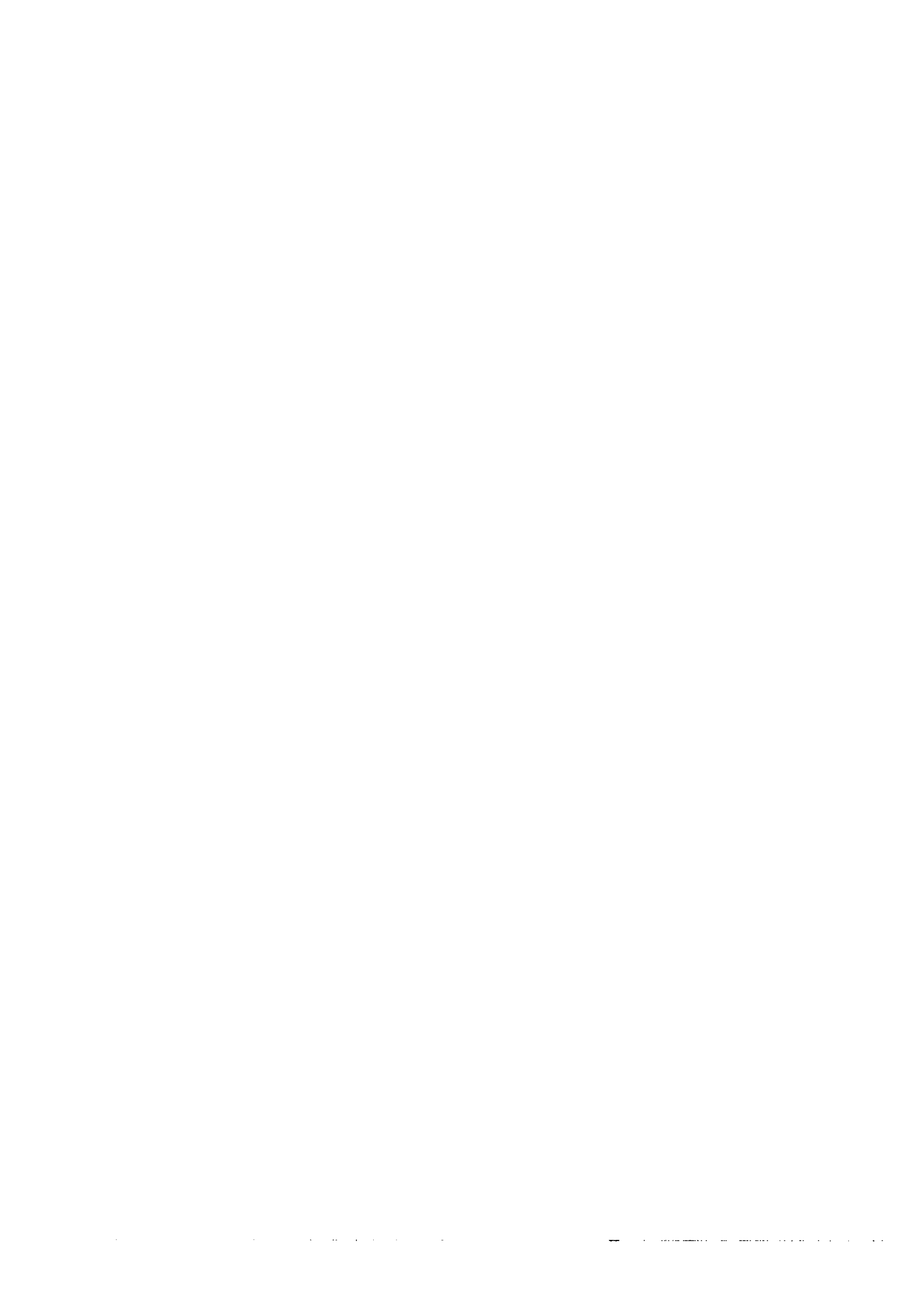
Pour achever cette étude, en atteignant les régimes de tensions drain élevées, il serait nécessaire de poursuivre et de compléter les investigations dans deux axes :

-premièrement : déterminer expérimentalement et de façon précise les propriétés de l'impédance de sortie du transistor M.O.S. lorsqu'on est à des niveaux moyens de multiplication dans le canal et notamment les propriétés de la résistance négative qui peut apparaître [54] .

-deuxièmement définir les conditions théoriques d'existence de cette résistance négative et les conditions d'instabilité thermique qui peuvent en résulter, puis définir les types de structures protégées vis à vis des instabilités en régime d'avalanche.

ANNEXE I.1

DETERMINATION DE LA RESISTANCE THERMIQUE (R_{th})
PAR MICROSCOPIE INFRAROUGE



A. I.1 INTRODUCTION

Quand un dispositif est amené à dissiper des puissances élevées, la température de sa partie active augmente et diffère alors de la température de référence. L'estimation de cette augmentation de température peut être évaluée en utilisant la notion de résistance thermique définie par la relation suivante :

$$R_{th} = \frac{\Delta T}{P} = \frac{\text{Différence de température entre deux surfaces (AI.1)}}{\text{Puissance traversant ces surfaces}}$$

Dans les cas du transistor bipolaire, M.O.S., etc, la différence de température est établie entre la surface du semiconducteur et le bas du boîtier. La température à la surface est imposée par les conditions de polarisation et celle du boîtier par le type de radiateur utilisé.

Une mesure directe de la température à la surface du semiconducteur peut être réalisée à l'aide d'un microscope infrarouge. Cette technique de microscopie infrarouge [13] permet d'évaluer la résistance thermique du dispositif (silicium-boîtier). Nous allons l'utiliser dans le cas du transistor V-MOS.

A. 2.2 RESULTATS EXPERIMENTAUX

Les relevés de températures ont été réalisés à l'aide d'un microscope infrarouge marque BARNES ayant une résolution en distance de l'ordre de $15 \mu\text{m}$. Le microscope a été étalonné en référence de température avec un corps noir, la précision sur la température est égale à $\pm 1^\circ\text{C}$. La surface est explorée par balayage et l'amplitude verticale de relevé thermique fournit l'image de la température superficielle du composant.

Les dispositifs utilisés sont des transistors V-MOS interdigités type 2N6657 SILICONIX peints au noir de carbone pour assurer une émission uniforme sur toute la surface.

Ces transistors sont montés sur une embase TO-3 et l'ensemble est fixé sur un bloc d'aluminium, refroidi à l'eau, servant à fixer la température du boîtier. Cette température de boîtier est relevée à l'aide d'un thermocouple placé entre le boîtier et le bloc d'aluminium.

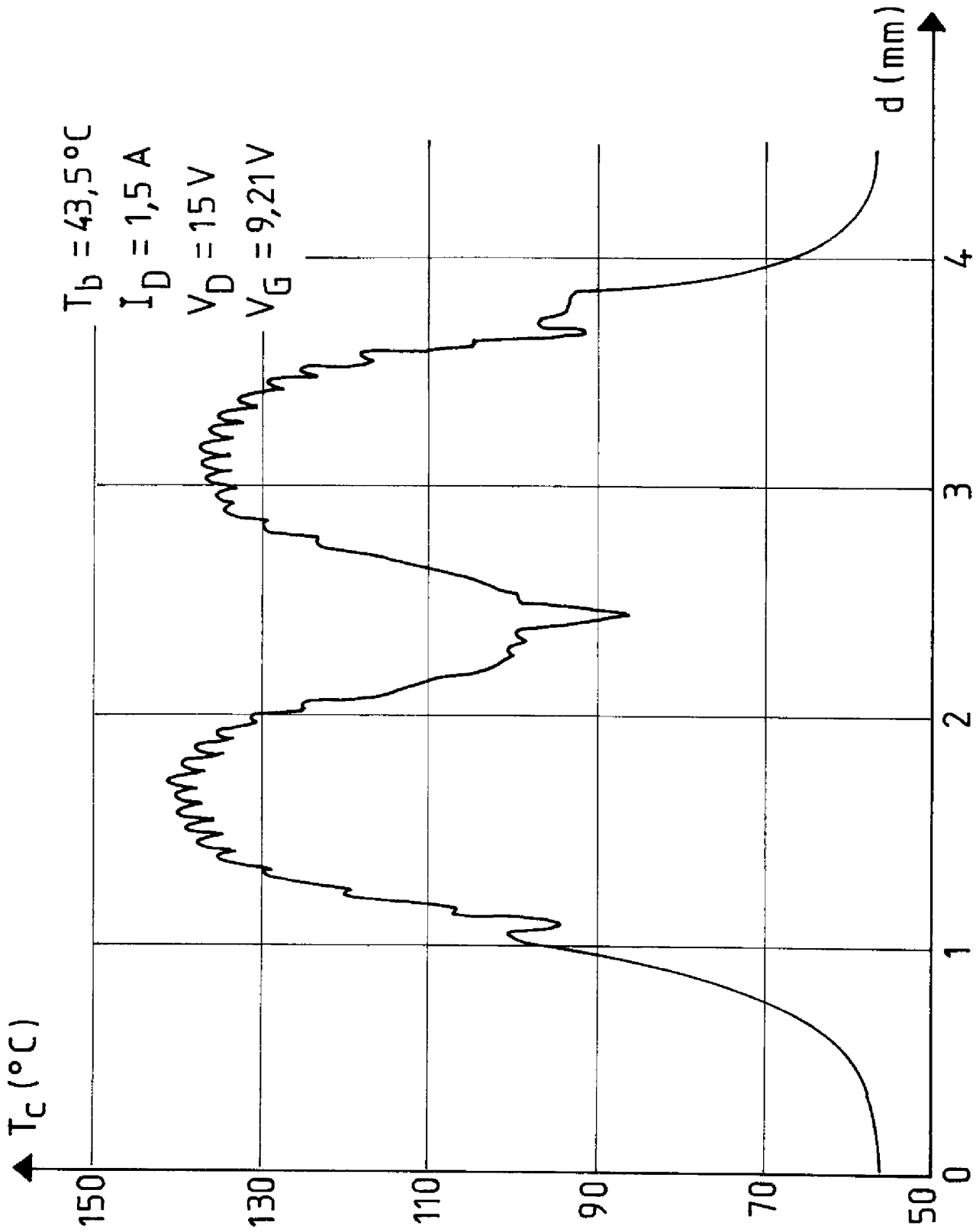


Figure A1.1. Exemple de répartition de température à la surface du dispositif.

La figure A1.1 est un exemple typique de la répartition des températures obtenues. Dans celle-ci, chacune des "dents de scie" sur les deux grands pics représente le milieu de chacun des sillons en V de la structure M.O.S. utilisée.

1. 2.3. LINEARITE DE LA DIFFERENCE DE TEMPERATURE EN FONCTION DE LA PUISSANCE DISSIPÉE.

Afin de montrer la linéarité entre la différence de température ΔT (semiconducteur-boîtier) et la puissance dissipée et de valider ainsi la notion de résistance thermique, nous avons relevé pour différentes conditions de polarisation les cartes thermiques avec le microscope infrarouge. La température à la surface du semiconducteur a été prise égale à celle des sillons les plus chauds. Ainsi, la figure A2.2 représente la variation de la différence de température ΔT en fonction de la puissance dissipée. Il apparaît que cette variation est linéaire; nous pouvons, par la suite, définir la résistance thermique du transistor V-MOS. Par ailleurs, toujours avec l'aide du microscope infrarouge, nous avons aussi vérifié la stabilité en température du transistor V-MOS. Pour cela, à valeur de puissance dissipée constante, (produit $V_D \cdot I_D$ constant), nous avons fait varier les conditions de polarisation : la distribution de température à la surface du semiconducteur reste la même pour une puissance donnée. Cela signifie que le transistor V-MOS ne présente pas de points chauds ni d'effets focalisants, du moins tant qu'on n'atteint pas le régime d'avalanche.

A. 2.4. EVALUATION DE LA RESISTANCE THERMIQUE R_{th}

La vérification de la linéarité entre la différence de température et la puissance dissipée permet d'utiliser la notion de résistance thermique telle qu'elle est définie dans la relation A1.1. Cependant, elle doit être modifiée pour prendre en compte, dans le cas des structures interdigitées, la présence des V. On peut montrer que dans ce cas, la relation A1.1 prend la forme :

$$R_{th} = \frac{\sum_{i=1}^n \Delta T_i}{n P} \quad (A1.2)$$

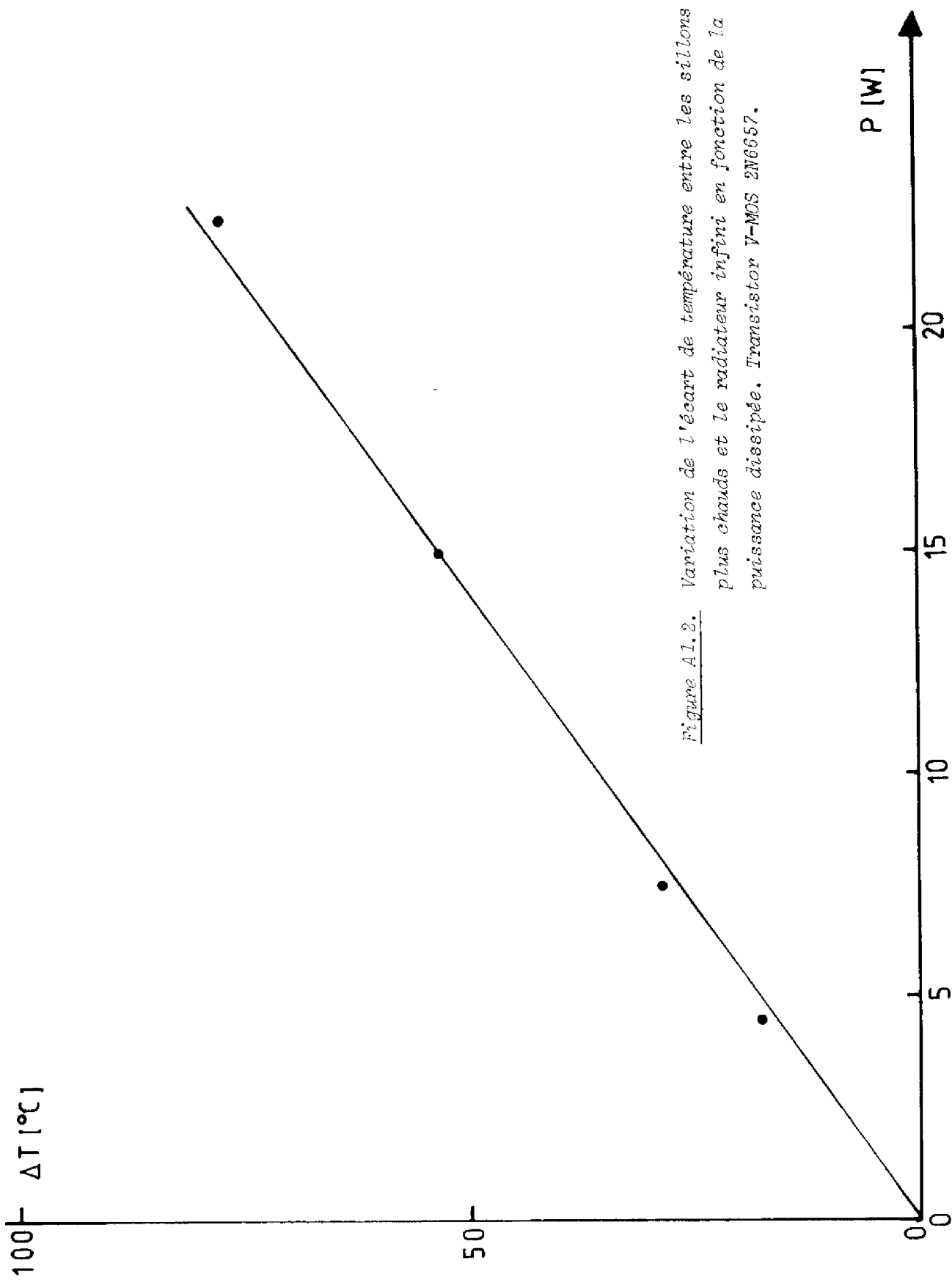


Figure A1.2. Variation de l'écart de température entre les sillons les plus chauds et le radiateur infini en fonction de la puissance dissipée. Transistor V-MOS 2N6657.

n étant égal au nombre total de V. et où $\sum_{i=1}^n \Delta T_i/n$ représente la valeur moyenne de l'échauffement de chaque V respectif sur toute la surface du semiconducteur par rapport à l'embase.

A titre d'exemple, en utilisant la figure A1.1 et cette relation, la résistance thermique pour le transistor V-MOS 2N6657 est évaluée à :

$$R_{th} = 3,6^\circ/W \quad (A1.3)$$

On constate que cette valeur est identique à celle obtenue par la méthode du diagramme de relaxation thermique.

-:-:-:-:-



ANNEXE I.2

ÉTUDE EXPERIMENTALE DE LA VARIATION DU
COURANT DE DRAIN EN FONCTION DES TEMPERATURES
DE BOITIER ET DE "CRISTAL"



Expérimentalement, on constate sur les caractéristiques $I_D(V_D)$ d'un transistor V-MOS, qu'il existe un coefficient de température qui peut être positif, nul ou négatif suivant la valeur du point de polarisation. La figure A.2.1 où sont reportées les caractéristiques $I_D(V_D, V_G)$ pour deux valeurs de température de boîtier (300°K et 77°K) traduit ce fait.

Une étude expérimentale de ce coefficient a été effectuée pour des valeurs de température de boîtier T_b comprises entre -197°C et 120°C . Le principe des mesures expérimentales est le suivant :

Le transistor est fixé sur un bloc en cuivre servant à fixer la température du boîtier. Une petite sonde au platine, plate, est placée entre le boîtier du transistor et la partie du bloc de cuivre servant d'embase, ceci permet de mesurer la température de ce boîtier.

i) Dans la gamme de températures du boîtier supérieure à la température ambiante, l'ensemble est plongé dans un bain d'huile que l'on peut chauffer et réguler par une enceinte asservie, ce qui permet de fixer la température de ce boîtier.

Les variations du courant de drain en fonction de la température du boîtier (T_b), pour une tension de drain V_D égale à 15 V, et en considérant la tension de grille V_G comme paramètre, sont montrées sur la figure A.2.2. Les variations correspondent au cas où T_b est supérieure à 20°C .

ii) Dans la gamme de températures de boîtier inférieure à 0°C , l'ensemble (transistor, bloc) est plongé directement dans des vapeurs d'azote liquide bouillant, la position du bloc en cuivre par rapport au bain permet de faire les mesures correspondantes (figure A2.3).

Par la suite, le coefficient de température $\left(\frac{\partial I_D}{\partial T_b}\right)$ est déterminé en prenant les valeurs des pentes, sur les caractéristiques A2.2 et A2.3 ; un exemple de résultat expérimental est représenté sur la figure A2.4. Par ailleurs, en prenant la valeur de la résistance thermique R_{th} , déterminée comme il est indiqué dans l'annexe précédente, on peut tracer les variations du courant de drain en fonction de la "température de cristal" telle qu'elle est définie en annexe I.1. La figure A2.5 est un exemple de ce tracé pour un transistor V-MOS dans lequel R_{th} est égale à $3,6^\circ/\text{W}$. Puis, nous

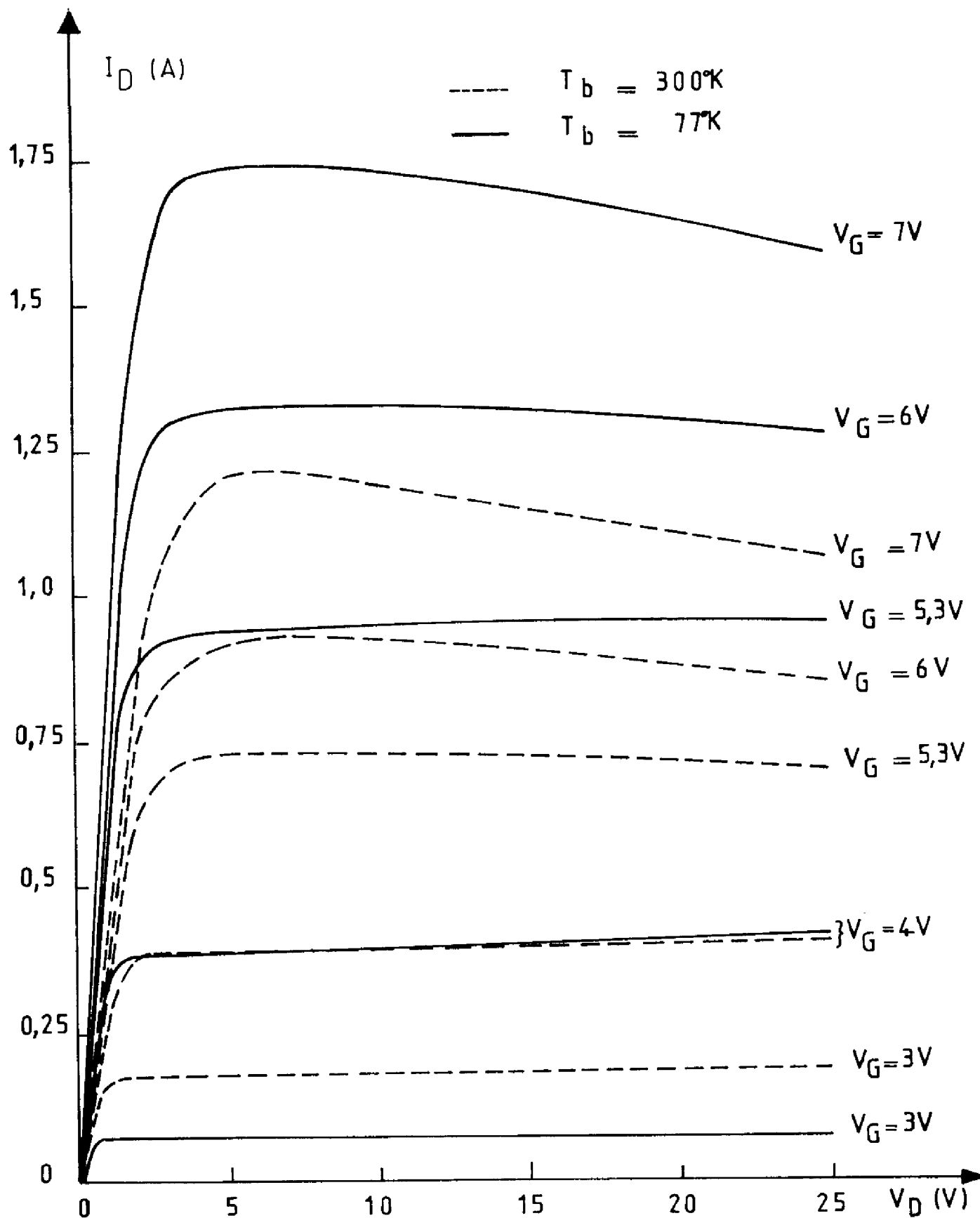


Figure A2.1. Mise en évidence du coefficient de température : positif, nul et négatif. Transistor V-MOS 2N6657 SILICONIX.

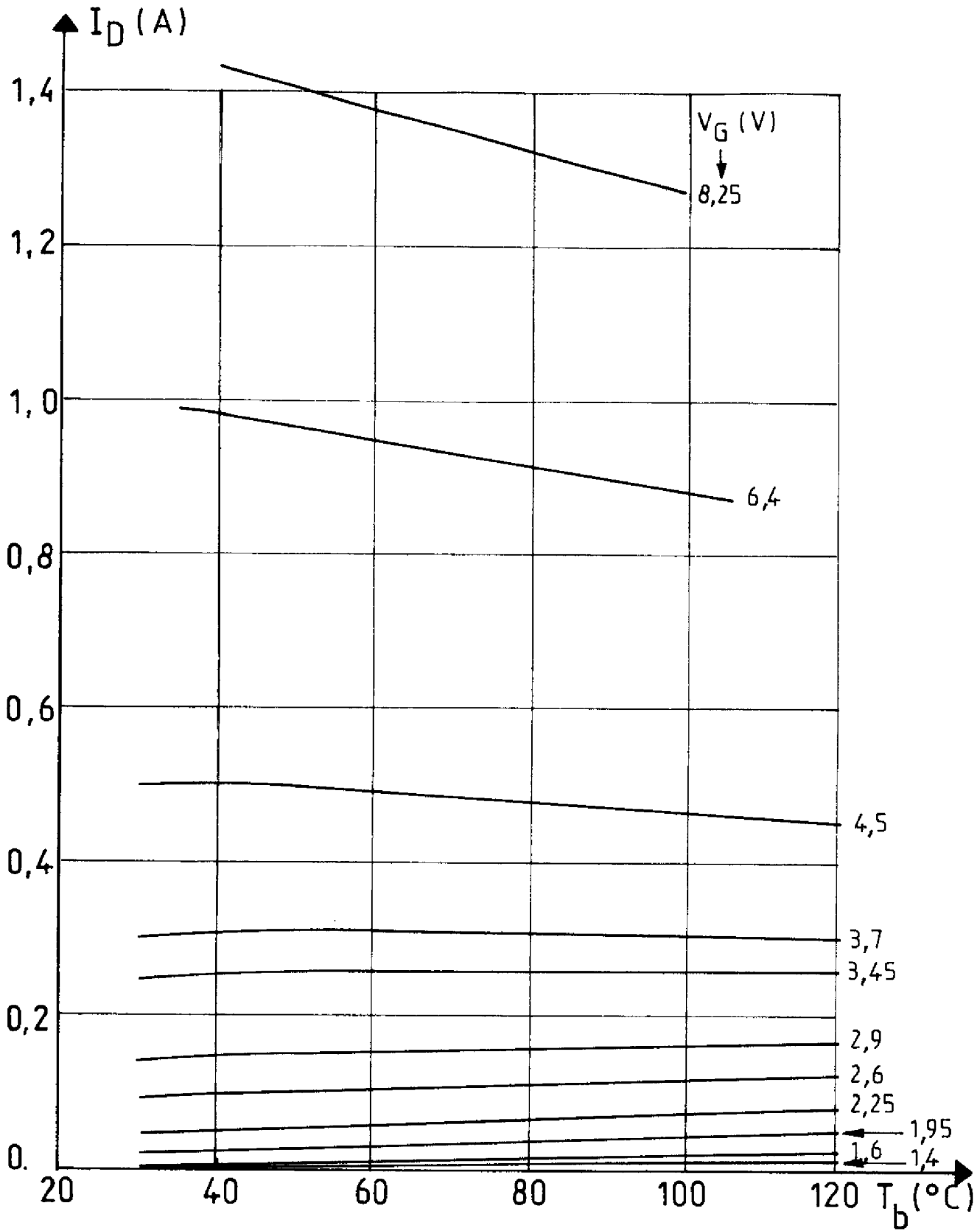


Figure A2.2. Variations du courant de drain en fonction de la température de boîtier. Transistor V-MOS 2N6657 SILICONIX.

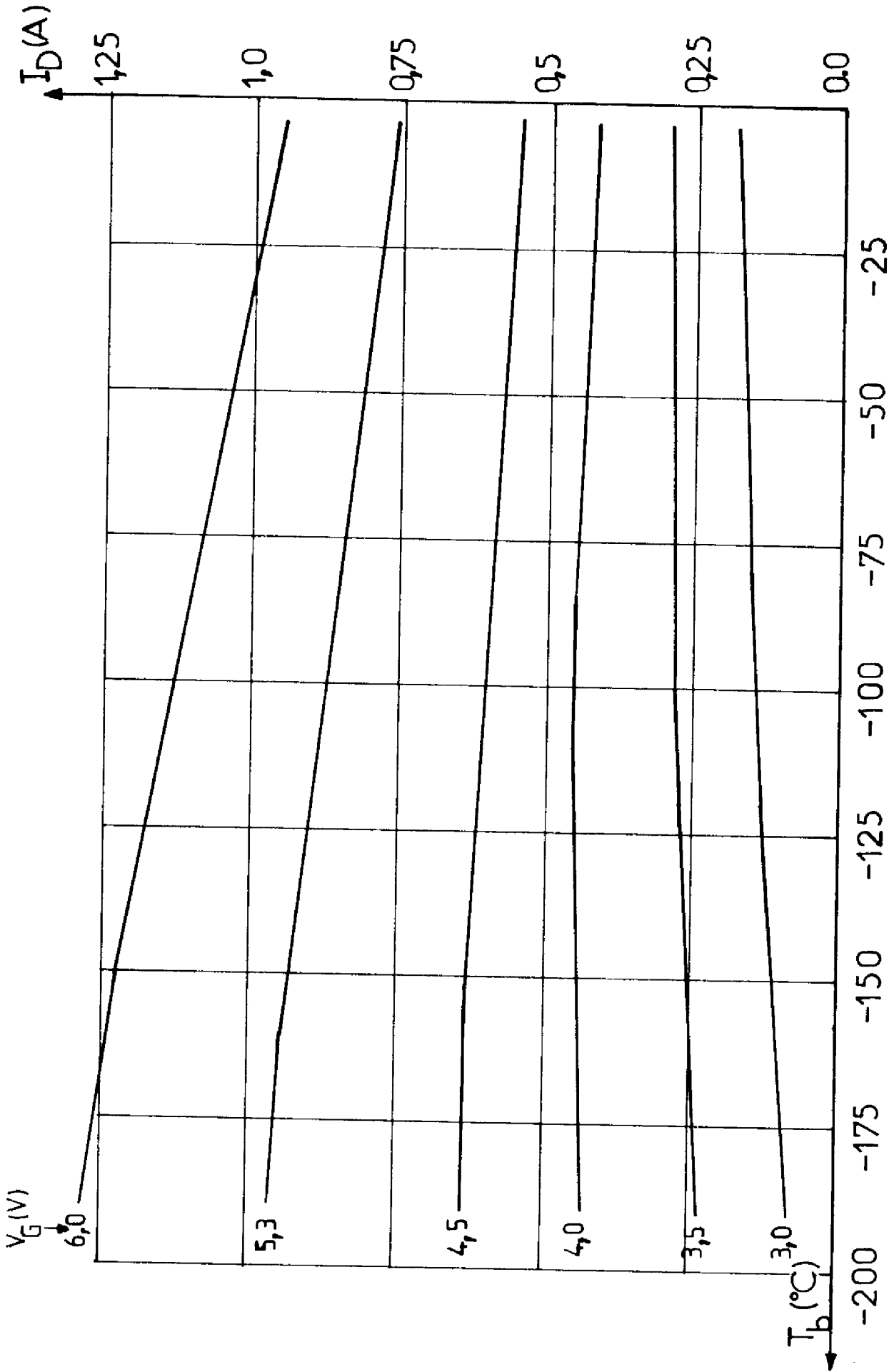


Figure A2.3. Variations du courant drain en fonction de la température de boîtier ($T_b < 0$). Transistor V-MOS 2N6657 SILICONIX.

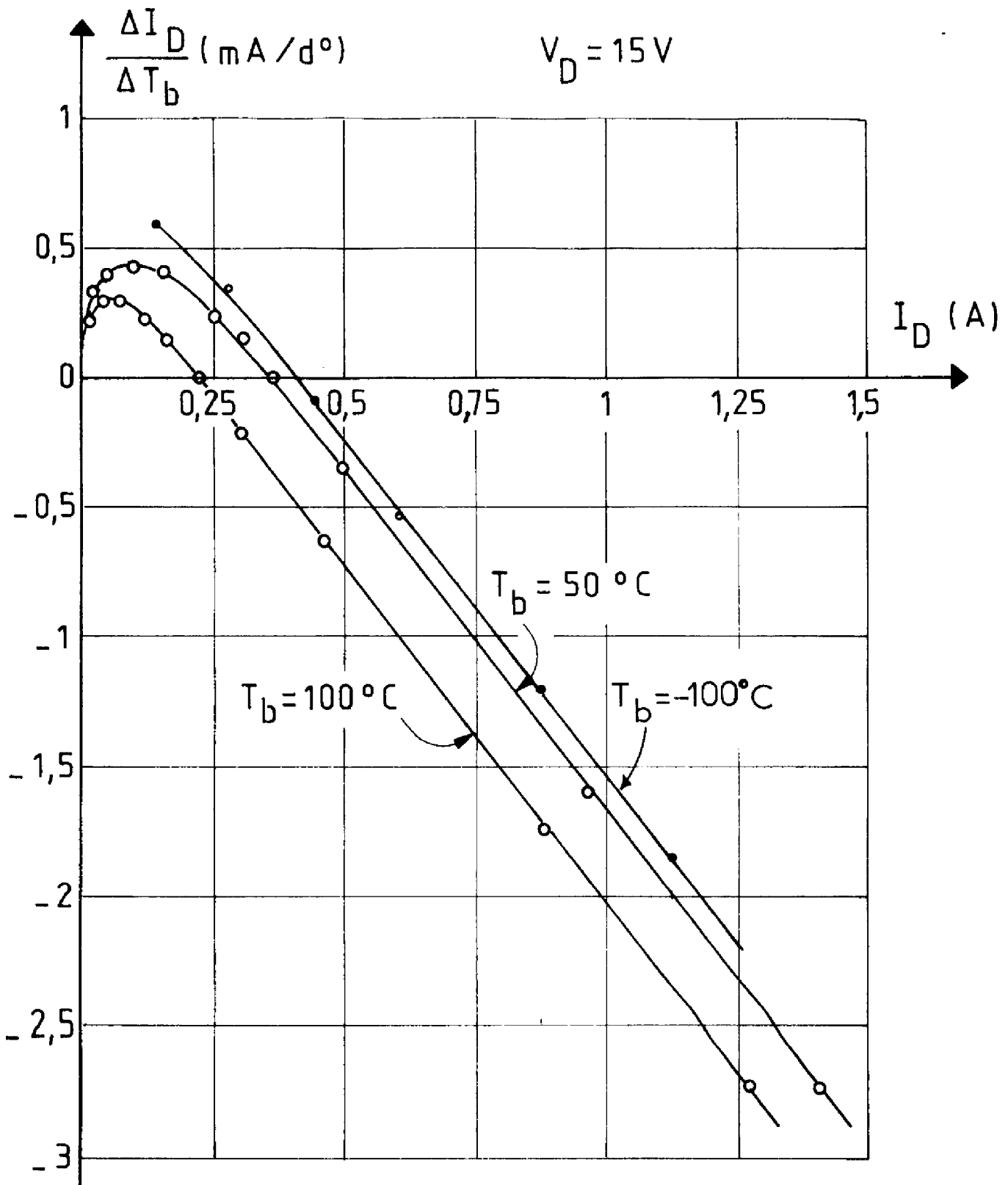


Figure A2.4. Variations du coefficient de temperature avec le courant de drain.

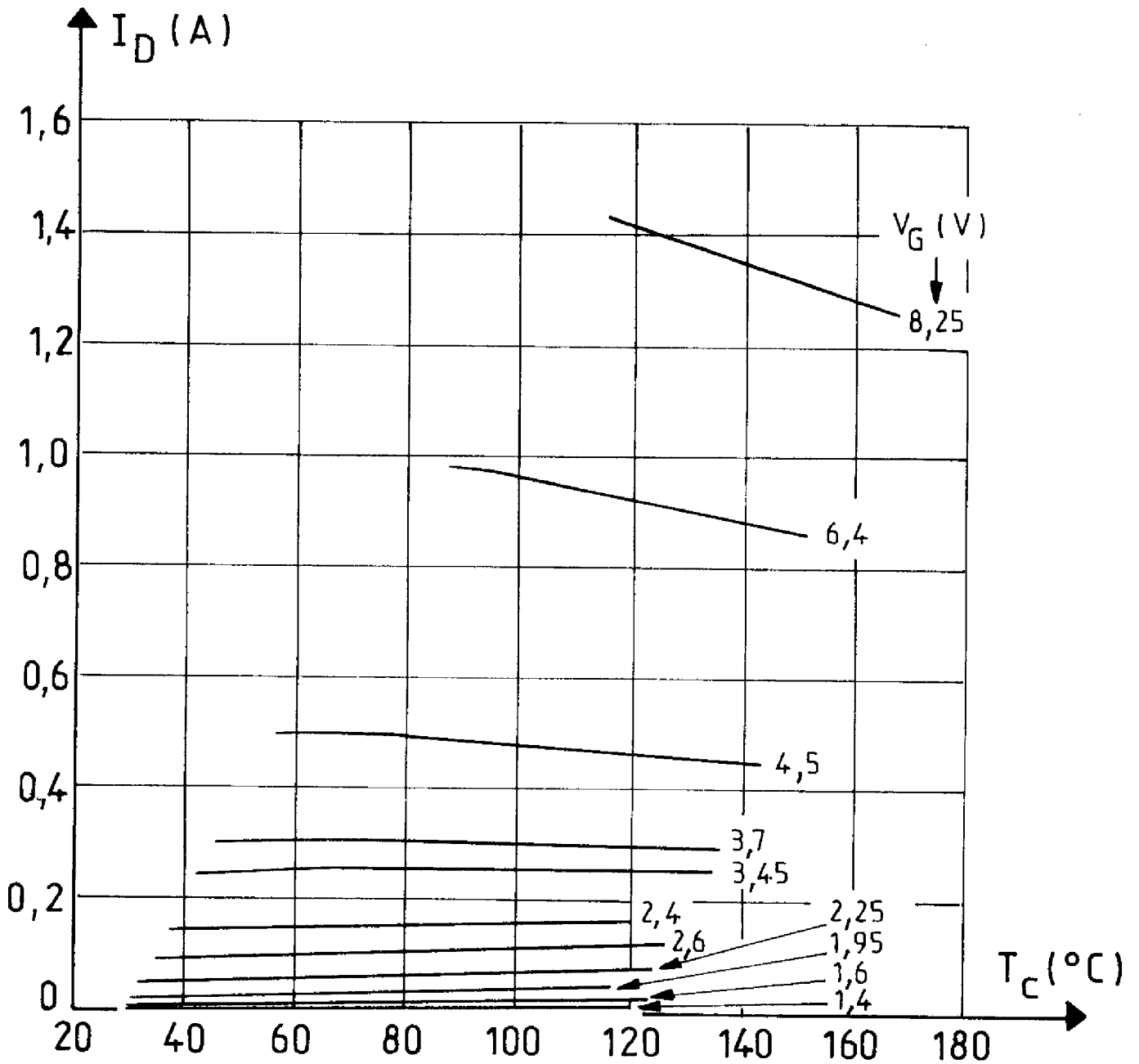


Figure A2.5. Variations du courant de drain en fonction de la température de "cristal". Transistor V-MOS 2N6657 SILICONIX.

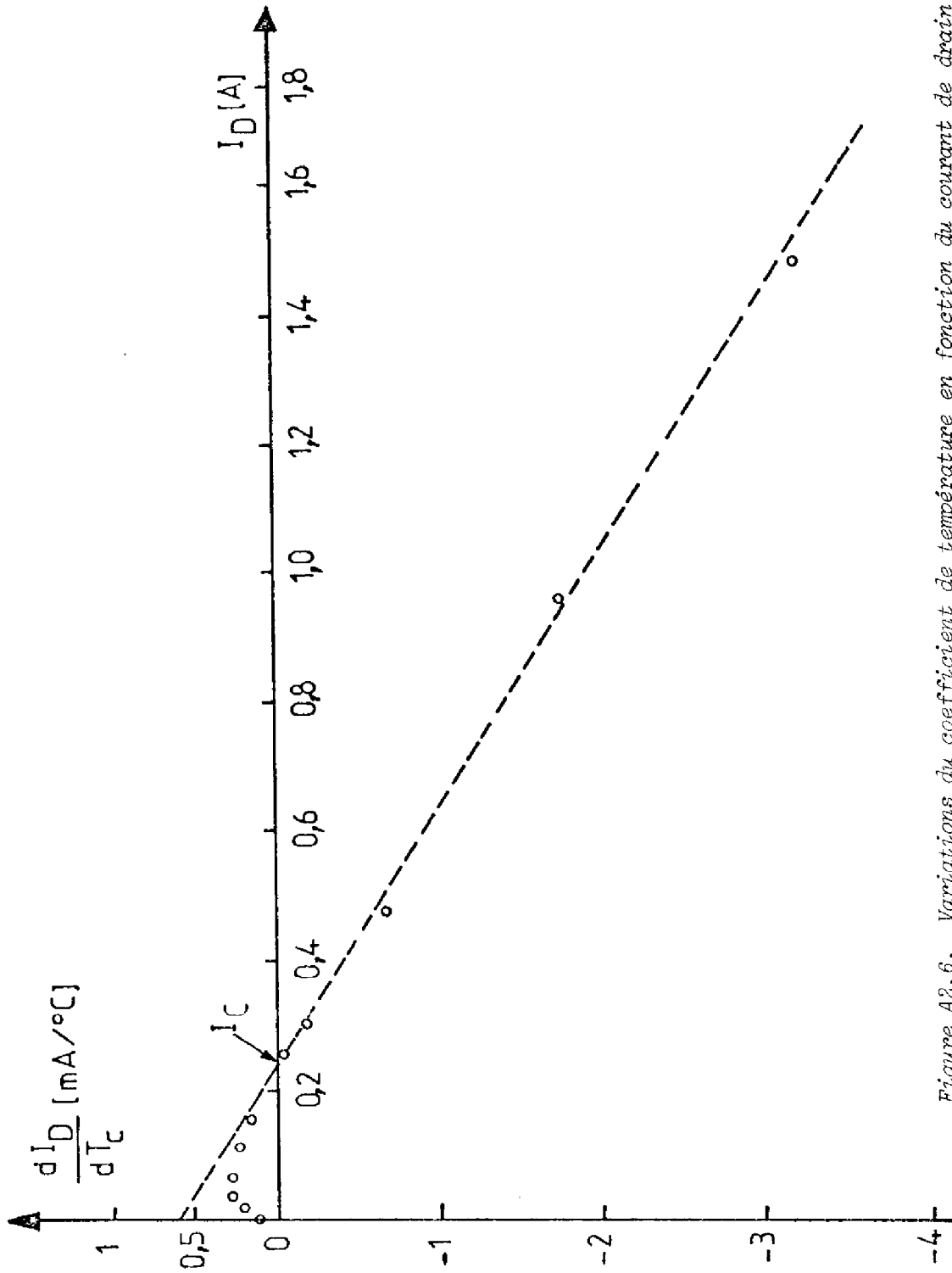


Figure A2.6. Variations du coefficient de température en fonction du courant de drain ($T_C = 100^\circ\text{C}$). Transistor V-MOS 2N6657 SILICONIX.

rapportons les variations du coefficient de température, déduit de cette dernière courbe, $\frac{\partial I_D}{\partial T_c}$ en fonction du courant de drain pour une température de cristal imposée. Un exemple, pour T_c égale à 100°C , est reporté sur la figure A2.6. On a constaté premièrement, que ce coefficient $\frac{\partial I_D}{\partial T_c}$ est, en première approximation, indépendant de la valeur de T_c ($20^\circ\text{C} < T_c < 150^\circ\text{C}$). D'autre part, ces variations sont similaires à celles qui régissent le comportement de tous les transistors MOS : pour les faibles valeurs de courant, le coefficient est positif, ce qui correspond au fait qu'il est essentiellement contrôlé par les variations thermiques de la tension de seuil du transistor ; aux forts niveaux de courant, le coefficient est négatif car il dépend principalement de l'effet de la température sur la vitesse des porteurs du canal [6] [18] .

Comme nous l'avons déjà indiqué, en régime de pincement et au premier ordre, il est indépendant de la température du cristal ($20^\circ\text{C} < T_c < 150^\circ\text{C}$). Nous approximations la caractéristique expérimentale par la relation linéaire :

$$\frac{\partial I_D}{\partial T_c} = -K (I_D - I_c) \quad (\text{A2.1})$$

Où K est un coefficient qui traduit l'effet de la dépendance thermique de la vitesse et I_c un autre coefficient qui représente la valeur du courant pour laquelle les effets antagonistes, liés à l'action de la température sur la tension de seuil et sur la vitesse se compensent, c'est à dire que le coefficient de température s'annule.

ANNEXE 1.3

LA METHODE DES ELEMENTS FINIS

A.3.1. INTRODUCTION

La Méthode des Eléments Finis (M.E.F.) est une des méthodes numériques permettant de résoudre des équations aux dérivées partielles à 2 ou 3 dimensions dans un contour de géométrie quelconque. Des conditions aux limites de nature variée, peuvent être prises en compte par cette méthode. Elle fut créée pour répondre aux besoins des mécaniciens qui désiraient connaître le mieux possible les champs de contraintes dans des structures à géométries compliquées, comme des coudes de tuyaux, etc.

La puissance et surtout la souplesse d'emploi de cette méthode font que son champ d'application a largement débordé l'étude des problèmes d'élasticité. Ainsi, on a pu traiter entièrement les équations des semi-conducteurs dans un transistor MOS par cette méthode.

A.3.2. PRINCIPE DE LA METHODE

On peut comprendre le principe de cette méthode en partant d'un exemple : Résolution d'une équation elliptique linéaire de type $Au = f(x,y)$ à l'intérieur d'un domaine bidimensionnel (Ω) aux conditions limites mixtes Dirichlet-Neumann.

Soit A un opérateur linéaire différentiel indépendant du temps (par exemple $A = \Delta$ (Laplacien)).

Définissons le problème (P) comme suit (figure A3.1).

$$\text{Problème (P) chercher la fonction } u(x, y) \text{ telle que } \left\{ \begin{array}{l} Au(x, y) = f(x, y) \text{ en tout point de } \Omega \\ u(x, y) = u_1 \quad \text{sur } \Gamma_0 \text{ (Dirichlet)} \\ \frac{\partial u}{\partial n} = 0 \quad \text{sur } \Gamma_1 \text{ (Neumann)} \end{array} \right.$$

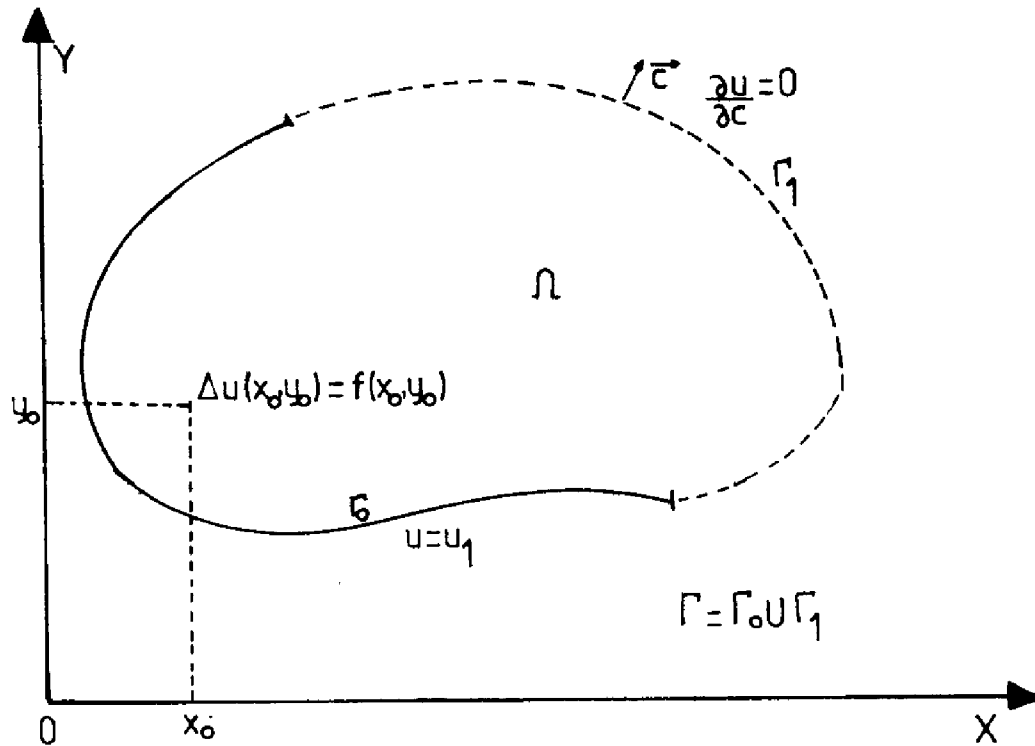


Figure A3.1. Problème (P)

- $f(x,y)$ est une fonction connue, second membre de notre équation aux dérivées partielles.
- u_1 est une constante qui est la valeur imposée de $u(x,y)$ sur la portion de frontière Γ_0 du domaine (condition de Dirichlet).
- Γ_1 où la valeur de la dérivée normale de u ($\frac{\partial u}{\partial c}$) est imposée à 0 (condition de Neumann)

On impose pour des raisons mathématiques de régularité et d'intégrabilité à la fonction \underline{u} cherchée d'appartenir à un certain espace (dit de Sobolev) $H^1(\Omega)$. On définit alors, pour tenir compte de la condition de Dirichlet un espace $V(\Omega)$.

$$V(\Omega) = \left\{ \tilde{x} ; \tilde{x} \in H^1(\Omega) ; \tilde{x} = 0 \text{ sur } \Gamma_0 \right\}$$

Posons $\hat{u}(x,y) = u(x,y) - u_1$, le problème (P) est alors équivalent à (P_1)

$$(P_1) \text{ chercher } \hat{u} \in V(\Omega) \left\{ \begin{array}{l} A\hat{u} = f(x,y) \text{ dans } \Omega \\ \frac{\partial \hat{u}}{\partial c} = 0 \text{ sur } \Gamma_1 \end{array} \right.$$

En multipliant les deux membres de l'équation aux dérivées partielles $A\hat{u} = f(x,y)$ par une fonction test \tilde{v} quelconque de $V(\Omega)$, en intégrant sur le domaine Ω et en appliquant le théorème de divergence, (P_1) est équivalent à (P_2) , si on prend $A = \Delta$

(P_2) chercher $\hat{u} \in V(\Omega)$, $(\forall \tilde{x} \in V(\Omega))$

$$\left\{ \begin{array}{l} \bullet - \int_{\Omega} \left(\frac{\partial \tilde{x}}{\partial x} \cdot \frac{\partial \hat{u}}{\partial x} + \frac{\partial \tilde{x}}{\partial y} \cdot \frac{\partial \hat{u}}{\partial y} \right) d\omega \\ \quad + \int_{\Gamma} \tilde{x} \frac{\partial \hat{u}}{\partial c} d\gamma = \int_{\Omega} f(x,y) \tilde{x} d\omega \\ \bullet \frac{\partial \hat{u}}{\partial c} = 0 \quad \text{sur } \Gamma_1 \end{array} \right.$$

$$\int_{\Gamma^0} \frac{\partial \hat{u}}{\partial c} d\gamma \text{ est nul car sur } \Gamma_0 \tilde{v} = 0 \text{ et sur } \Gamma_1 \text{ la condition de Neumann veut que } \frac{\partial \hat{u}}{\partial c} = 0$$

On a alors obtenu la formulation variationnelle (F,V) du problème (P) (dans le cas où $A = \Delta$)

Chercher $\hat{u} \in V(\Omega)$, ($\forall \tilde{v} \in V(\Omega)$)

$$- \int_{\Omega} \left(\frac{\partial \tilde{v}}{\partial x} \frac{\partial \hat{u}}{\partial x} + \frac{\partial \tilde{v}}{\partial y} \frac{\partial \hat{u}}{\partial y} \right) dw = \int_{\Omega} f(x,y) dw$$

Cette formulation variationnelle (F, V) se réduit à une condition unique en effet :

- La condition aux limites de type Dirichlet a été prise en compte en restreignant le choix de \tilde{u} à l'espace $V(\Omega)$
- La condition de Neumann ($\frac{\partial \hat{u}}{\partial c} = 0$) a été prise en compte par la nullité de l'intégrale sur Γ ($\int_{\Gamma} \tilde{v} \frac{\partial \hat{u}}{\partial c} d\gamma$) lors de l'application du théorème de divergence.

L'espace $V(\Omega)$ est a priori un espace de dimension infinie. On se limite donc à chercher une solution approchée \hat{u}_K de \hat{u} dans un sous-espace vectoriel $V_K(\Omega)$ de dimension finie J de $V(\Omega)$. Il existe alors une base $(\theta_1, \dots, \theta_J)$ de $V_K(\Omega)$ et en prenant pour fonction test \tilde{v} , successivement toutes les θ_i , on aboutit au système linéaire :

$$B X = M \text{ où } B \text{ est une matrice } J \times J \text{ dont le terme général est}$$

$$B_{ij} = - \int_{\Omega} \left(\frac{\partial \theta_i}{\partial x} \frac{\partial \theta_j}{\partial x} + \frac{\partial \theta_i}{\partial y} \frac{\partial \theta_j}{\partial y} \right) dw ; X \text{ est le vecteur des coordonnées}$$

de \hat{u}_K dans la base $(\theta_1, \dots, \theta_J)$; M le vecteur second membre

$$M_i = \int_{\Omega} f(x,y) \theta_i dw$$

La M.E.F. nous donne un sous-espace $V_K(\Omega)$ de $V(\Omega)$ et une base $(\theta_1, \theta_2, \dots, \theta_J)$ telle que :

$$\int_{\Omega} \left(\frac{\partial \theta_i}{\partial x} \frac{\partial \theta_j}{\partial x} + \frac{\partial \theta_i}{\partial y} \frac{\partial \theta_j}{\partial y} \right) dw \text{ soit facile à calculer informatiquement.}$$

Elle présente trois caractéristiques :

1°) On effectue une triangulation T_K du domaine Ω qui est divisé en un nombre fini de sous-domaines K appelés éléments finis. Ces sous-domaines peuvent être des triangles, des rectangles etc.

2°) A la triangulation T_K , on associe un espace $V_K(\Omega)$ de dimension finie. $V_K(\Omega)$ est l'espace des fonctions \tilde{v}_K continues telles que, dans chaque élément K de la triangulation, v_K soit un polynôme de degré 1, 2, ou 3... et que $\tilde{v}_K = 0$ sur Γ_0 .

3°) Les éléments de la base de $V_K(\Omega)$ sont définis comme suit :

- . $\tilde{\theta}_i$ est un polynôme de degré 1, 2 ou 3 dans chaque élément fini K .
- . a_j étant un noeud quelconque de la triangulation T_K .

$$\tilde{\theta}_i(a_j) = \delta_{ij} = \begin{cases} 0 & \text{si } i \neq j \\ 1 & \text{si } i = j \end{cases}$$

On montre que la dimension de l'espace $V_K(\Omega)$ est égale au nombre J de noeuds de la triangulation. On peut alors voir que :

$$\int_{\Omega} \left(\frac{\partial \tilde{\theta}_i}{\partial x} \frac{\partial \tilde{\theta}_j}{\partial x} + \frac{\partial \tilde{\theta}_i}{\partial y} \frac{\partial \tilde{\theta}_j}{\partial y} \right) dw = 0 \quad \text{Si } a_i \text{ et } a_j \text{ ne sont pas des noeuds appartenant au même élément fini } K.$$

$$= \int_K \left(\frac{\partial \theta_i}{\partial x} \frac{\partial \theta_j}{\partial x} + \frac{\partial \theta_i}{\partial y} \frac{\partial \theta_j}{\partial y} \right) dw \quad \text{dans le cas contraire}$$

Il est donc facile de calculer les éléments de la matrice B , du système vu plus haut, qui sont presque tous nuls sauf quelques-uns qui sont calculables, non pas par intégration sur tout Ω , mais un seul élément fini K . La matrice B est alors creuse. Sa largeur de bande est directement liée à la numérotation des noeuds. C'est un des points critiques de la méthode.

Pour calculer B_{ij} pratiquement, on se sert des coordonnées barycentriques dans le cas où, par exemple, les éléments finis sont des triangles et $V_K(\Omega)$ l'espace des fonctions polynômes de degré 1 sur chaque triangle K .

Si (a_{i1}, a_{i2}) , (a_{j1}, a_{j2}) , (a_{k1}, a_{k2}) sont les coordonnées dans un certain repère respectivement de a_i , a_j , a_k sommets d'un triangle K_i , on montre que :

$$\frac{\partial \hat{\theta}_i}{\partial x} = \frac{1}{2\Delta_i} (a_{j2} - a_{k2}); \quad \frac{\partial \hat{\theta}_i}{\partial y} = \frac{1}{2\Delta_i} (a_{k1} - a_{j1}); \quad \frac{\partial \hat{\theta}_j}{\partial x} \text{ et } \frac{\partial \hat{\theta}_j}{\partial y}$$

se déduisent des formules précédentes par permutation circulaire sur les indices, i, j, k . (Δ_i aire du triangle K_i)

$$\text{On a alors } B_{ij} = -\Delta_i \left[\frac{\partial \hat{\theta}_i}{\partial x} \frac{\partial \hat{\theta}_j}{\partial x} + \frac{\partial \hat{\theta}_i}{\partial y} \frac{\partial \hat{\theta}_j}{\partial y} \right]$$

Le second membre M de notre système linéaire peut se calculer dans le même cas par :

$$M_i = \int_{\Omega} f(x,y) \hat{\theta}_i \, dw = \sum_{K \in T_k} \int_K f(x,y) \hat{\theta}_i \, dw = \sum_{K_j \in T_i} \int_{K_j} f(x,y) \hat{\theta}_i \, dw$$

(T_i est l'ensemble des triangles K_j sur lesquels $\hat{\theta}_i$ n'est pas nul).

$$\text{On peut se servir pour calculer } \int_{K_j} f(x,y) \hat{\theta}_i \, dw \text{ de}$$

la formule approchée d'intégration sur un triangle K de sommets a_1, a_2, a_3 :

$$\int_{K_i} \Psi(x,y) \, dx dy = \frac{1}{3} \Delta_i \sum_{i=1}^3 \Psi(a_i)$$

Il ne reste plus alors qu'à inverser le système linéaire $BX = M$ pour trouver notre fonction \hat{u} cherchée.

AVANTAGES ET INCONVENIENTS

a) Avantages :

Un des premiers avantages de la méthode est la prise en compte facile de conditions aux limites de type Neumann sans faire intervenir comme dans la méthode des différences finies des "points fantômes".

D'autre part, une géométrie compliquée peut être facilement discrétisée et on peut aisément raffiner la discrétisation aux endroits critiques (en y augmentant le nombre de noeuds de la triangulation).

Les propriétés (continuité et/ou continuité des gradients) des solutions sont assurées une fois l'espace vectoriel $V_k(\Omega)$ choisi dans le problème discrétisé, alors qu'en différences finies, ces propriétés ne sont assurées que lorsque le pas de discrétisation tend vers 0.

b) Inconvénients :

Le principal inconvénient de la méthode des éléments finis est que la matrice B est mal conditionnée : contrairement aux différences finies, la largeur de bande peut devenir très grande si la numérotation des noeuds est mal faite, ce qui pose de grosses difficultés pour une inversion commode.

D'autre part, la méthode des éléments finis nécessite souvent de gros moyens informatiques.

-:--:--:--:--

BIBLIOGRAPHIE

- [1] R. SEVERNS.
MOSFET's Rise to New Levels of Power.
Electronics, May 22 1980, pp. 143-152.
- [2] E. OXNER
A new technology takes on H.F. Power bipolars .
Microwave Systems News, Vol. 6, n° 5, 1976, pp. 107-110.
- [3] H. W. COLLINS, B. DELLY
HEXFET, a new power technology, cuts on-resistance, boosts ratings
Electronic Design - Juin 1979 - pp. 36-40 .
- [4] W. G. K. REDDI - C. T. SAH
Source to drain resistance beyond pinch-off in metal oxide
semiconductor transistors.
I.E.E.E. Trans. on Electron Dev. March. 1965 - pp. 139-141 .
- [5] D. FROHMAN - BEUTCHKOWSKY - A. S. GROVE
Conductance of MOS. Transistors in saturation
I.E.E.E. Trans. on Electron Dev. Vol. ED. 16 N° 1, Janv. 1969,
pp. 108-113.
- [6] G. MERCKEL, J. BOREL, N. CUPCEA
"An accurate large-signal MOS transistor model for use in
computer-aided design".
I.E.E.E. Trans. on Electron Dev. - Vol. ED 19 n°5 -
May 1972 - pp. 681-690 .
- [7] G. BAUM
Solid State Electronics. Vol. 13, 1970, pp. 789-798 .
- [8] P. ROSSEL, H. MARTINOT, G. VASSILIEFF
"An accurate two sections model for MOS transistors in saturation"
Solid State Electronics, Vol. 19, 1976, pp. 51-56.
- [9] LUONG MD DANG
"A one dimensional theory on the effects of diffusion current and
carrier velocity saturation on E-Type IGFET current-voltage charac-
teristics"
Solid State Electronics, Vol. 20, 1977, pp. 781-788.

- [10] D. SHARMA, J. GAUTIER, G. MERCKEL
"Negative Dynamic Resistance in MOS Devices"
I.E.E.E. Journal of Solid State Circuits, Vol. SC. 13, n° 3
June 1978, pp. 378-380.

- [11] O. MULLER, J. PEST
Thermal Feedback in Power Semiconductor Devices
I.E.E.E. Trans. on Electron Dev. Vol. ED 17, n° 9, Sept. 1970
pp. 770-782.

- [12] W.E. NEWELL
Transient Thermal Analysis of Solid State Power Devices.
I.E.E.E. Power Electronics Specialists Conference Pittsburg 1975

- [13] L. G. WALSHAK, W. E. POOLE
Microwave Journal - February 1977, pp. 62-65.

- [14] F. P. HEIMAN, H. S. MILLER
I.E.E.E. Trans. on Electron Dev. March 1965, pp. 142-148.

- [15] S. R. COMBS, D. C. D'AVANZO, R. W. DUTTON
Characterisation and Modelling of Simultaneously Fabricated
D MOS and V MOS transistors. I.E.D.M. Washington 1977, pp. 569-572.

- [16] J. G. OAKES, R. A. NICKSTRON, D. A. TREMERE, T. M. S. HEUG
A power silicon microwave MOS transistor.
I.E.E.E. Trans. Microwave Theory Tech. 24 (1976), pp. 305-311.

- [17] H. MARTINOT, P. ROSSEL
"Multiplication de porteurs dans la zone de pincement des
transistors MOS"
Electronics Letters, Vol. 7, n°5-6. March 1971, pp. 118-120.

- [18] R. N. COEN, R. S. MULLER
"Velocity of Surface Carriers in Inversion Layers of Silicon"
Solid State Electronics, Vol. 23, 1980, pp. 35-40.

- [19] P. ROSSEL, M. GAMBOA, H. TRANDUC et H. MARTINOT
Influence de la contre-réaction thermique sur l'impédance
de sortie des transistors MOS à canaux courts.
Revue de Physique Appliquée, Tome 14, Novembre 1979, pp. 911.
- [20] F. F. FANG and A. B. FOWLER
Hot Electron Effects and Saturation Velocities in Silicon
Inversion Layers.
Journal of Applied Physics, Vol. 41, n°4, March 15th 1970.
- [21] G. GUEGAN
Contribution à l'étude des propriétés dynamiques du transistor
METAL-OXYDE-SEMICONDUCTEUR à canal vertical (V-MOS).
Thèse 3ème cycle, Université Paul Sabatier, Toulouse 1979.
- [22] H. J. SIGG, G.D. VANDELIN, T. P. CAUGE, J. KOCSIS
D. MOS Transistor for Microwave Applications
I.E.E.E. Transactions on Electron Devices, Vol. ED 19, n° 1
January 1972, pp. 45-53.
- [23] G. MERCKEL
Une méthode simple de détermination de la vitesse limite des
porteurs, dans un transistor MOS.
Revue de Physique Appliquée, Avril 1980, pp. 879.
- [24] R. W. COEN and R. S. MULLER
A uniform IGFET.
Memorandum n° UCB/ERL M 79/36. June 1979. Electronics
Research Lab. University of California, Berkeley.
- [25] P. ROSSEL, H. TRANDUC, J. GRAFFEUIL, C. AZIZI
Phénomènes de relaxation dans les structures planes
épitaxiales à l'arséniure de gallium.
Revue de Physique Appliquée, 12 Octobre 1977, pp. 1679.

- [26] M. GAMBOA, G. SARRABAYROUSE, H. TRANDUC et P. ROSSEL
Influence de la température sur la vitesse limite des porteurs dans un transistor MOS à canal court.
Revue de Physique Appliquée, 15 (Mai 1980), pp. 973-975.
- [27] H. L. HUGHES
I.E.E.E. Trans. on Nucl. Sci. NS16 (1969), pp. 195.
- [28] G. SARRABAYROUSE, M. GAMBOA, J. BUXO, P. ROSSEL, J. M. CHARLOT, M. ROUMEGUERE
On the influence of ionizing radiation on the electrical properties of short-channel MOS. transistors.
Revue de Physique Appliquée, 15 Mai 1980 , pp. 941-944.
- [29] G. MERCKEL
Contribution à l'Analyse Physique du transistor MOS dans son Evolution vers les Microstructures.
Thèse de Doctorat d'Etat- Université Scientifique et Médicale, I.N.P., Grenoble, 1979.
- [30] W. A. LANE, C. A. T. SALAMA, S. DMITREVSKY
ON - Resistance of V-V.M.O.S. Power Transistors.
Electronics Letters, Vol. 15, n°19, Sept. 1979, pp. 601-602.
- [31] STEEVE KAY, C. T. TRIEV and BING H. YEH.
A new V-MOS Power FET.
I.E.D.M. 1979, Washington, pp. 97-101.
- [32] R. J. JOHNSEN, HELGE GRANBERG
Design Construction, and Performance of High Power R.F. VMOS Devices
I.E.D.M. 1979, Washington, pp. 93-96.
- [33] V. AK TEMPLE and P. V. GRAY
Theoretical Comparison of D MOS and V MOS structures for Voltage and ON-Resistance.
I.E.D.M. 1979, Washington, pp. 88-92.

- [34] E. CAQUOT
Présentation de la Méthode des Eléments Finis.
Note interne n° 80.I.05, LAAS, Janvier 1980, Toulouse.

- [35] S. C. SUN and JAMES, D. PLUMMER
Modeling of the ON-Resistance of LD MOS, UD MOS and
V MOS Power Transistors.
I.E.E.E. Transactions on Electron Devices, Vol. ED-27,
n°2, February 1980. pp. 356 - 367.

- [36] TWODEPEP
I.M.S.L., Sixth Floor, GNB Building. Houston, Texas
77036. U.S.A.

- [37] P. ROSSEL
Propriétés Statiques et Dynamiques du transistor à effet
de champ à grille isolée.
Thèse de Doctorat d'Etat- Université Paul Sabatier
n°529, 1973.

- [38] D. VANDORPE
Etude bidimensionnelle du transistor M.O.S.
L'Onde Electrique - Vol. 51 - Fasc.10 - n°1971, pp.837-843.

- [39] M. HEYDEMANN
Méthode numérique d'études des structures M.O.S.T.
Electronics Letters - Vol. 6 - n°23 - 12 Nov. 1970,
pp. 735-737.

- [40] T. L. CHIU, C. T. SAH
Correlation of experiments with a two-section model theory
of the saturation drain conductance of M.O.S. transistors.
Solid state Electronics, Vol. 11, 1968. pp. 1149-1163.

- [41] M. NAKAHARA, H. IWASAWA, K. YASUTATE
Anomalous enhancement of substrate terminal current beyond
pinch off in silicon n-channel M.O.S. transistors and its
related phenomena.
Proc. of the I.E.E.E., Nov. 1968, pp. 2088-2090.

- [42] D. RYAN
Substrat current in silicon P channel M.O.S. transistors
Proc. of the I.E.E.E., August 1969, pp. 1424-1425.
- [43] T. OGAWA
"Avalanche breakdown and multiplication in Silicon pin
junctions"
Jap. J. Appl. Phys. Vol. 4, July 1965, pp. 473-484.
- [44] R. VAN OVERSTRAETEN et H. DE MAN
Measurement of the ionization rates in diffused silicon
p-n junctions.
Solid State Electron, Vol. 13, 1970, pp. 583-608.
- [45] G. MORETTI
Functions of a complex variable
ED Prentice Hall Inc. 1964, pp. 151-155.
- [46] Documentation personnelle obtenue de la Société SESCOSEM.
- [47] C. A. LEE, R. A. LOGAN, R. L. BATDORF, J. J. KLEIMACK et
W. WIEGMANN.
"Ionization Rates of Holes and Electrons in Silicon"
Phys. Rev., Vol. 134, Mai 1964, n° 3A, pp. 761-772
- [48] J.R. LEGUERRE
Etude du comportement des jonctions PN à semiconducteurs en
régime de multiplication par avalanche.
Thèse d'Etat, n° d'ordre 727, 7 Juillet 1976, Toulouse.
- [49] W.E. SAYLE, II, and P.O. LAURITZEN
Avalanche Ionization Rates Measured in Silicon and Germanium
at Low Electric Fields
I.E.E.E. Transaction on Electron Devices, Vol. ED-18, n° 1
January 1971, pp. 58-66.
- [50] Y. GRIS, G. MERCKEL et J.P. SUAT
Etude du transistor MOS à canal N sur Silicium sur Corindon :
Caractérisation Physique et Electrique.
Note Technique LETI/MEA, n° 1132, 9 Décembre 1975.

- [51] RONALD, R. TROUTMAN
Low-Level Avalanche Multiplication in IGFET's
I.E.E.E. Transactions on Electron Devices, Vol. ED-23,
n°4, April 1976, pp. 419-425.

- [52] C. R. CROWELL and S.M. SZE
Temperature Dependence of Avalanche Multiplication in
Semiconductors.
Appl. Phys. Letters, 9, 1966, page 242.

- [53] T. L. RODGERS, S. ASAI, M. D. POCHA, R. W. DUTTON, J. D. MEINDL.
An Experimental and Theoretical Analysis of Double-Diffused
MOS Transistors.
I.E.E.E. Journal of Solid State Circuits, Vol. SC 10 N° 5, 1975,
pp. 322-331

- [54] M. ZAMORANO
Contribution à l'étude des transistors MOS : Structures à
double grille et structures à canal vertical.
Thèse de 3ème cycle, n° 2032, Université Paul Sabatier de
Toulouse, 1977.

- [55] S. M. SZE
Physics of Semiconductor Devices, Chap. 6-3D, Wiley,
Intersciences, 1969.

- [56] P. ROSSEL, H. MARTINOT, G. VASSILIEFF
An accurate two sections model for MOS transistors in
saturation.
Solid State Electronics, Vol. 19, 1976, pp. 51-56.

- [57] G. REY, F. DUPUY, J. P. BAILBE
A unified Approach to the base widening mechanisms in
Bipolar Transistors.
Solid State Electronics, Vol. 18, 1975, pp. 863-866.

- [58] E. CAQUOT, G. GUEGAN, M. GAMBOA, H. TRANDUC, P. ROSSEL
Phénomène de "Quasi-saturation" dans le transistor MOS.
Revue de Physique Appliquée, Septembre 1980. pp. 1445-1450.
- [59] T. TOYABE, K. YAMAGUCHI, S. ASAI and M. S. MOCK
A Numerical Model of Avalanche Breakdown in MOSFET's
IEEE Trans. on Electron Dev., Vol. ED-25, July 1978,
pp. 825-832.
- [60] J. BUXO
Caractérisation expérimentale et analyse de l'effet du
rayonnement ionisant sur les propriétés électriques des
transistors M.O.S.
Thèse d'Etat n° 484 - Université de Toulouse, 1972.
- [61] E. CAQUOT
Résultats personnels obtenus par programme bidimensionnel
LASDEIT. (non publiés).

T A B L E S D E S M A T I E R E S

LISTE DES SYMBOLES	Page
INTRODUCTION	1
PREMIERE PARTIE : ETUDE ET APPLICATIONS DU PHENOMENE DE RELAXATION THERMIQUE EN BASSES FREQUENCES.	
INTRODUCTION	11
I.1 - LE PHENOMENE DE RELAXATION	13
I.1.1. Propriétés expérimentales	13
I.1.2. Interprétation du phénomène	27
I.1.3. Expression de l'admittance de sortie	27
I.1.4. Interprétation des résultats	34
I.2 - APPLICATIONS	37
I.2.1. Détermination de l'impédance thermique et du schéma équivalent électrique de l'impédance de sortie du transistor.	37
I.2.2. Influence de la température sur la vitesse limite des porteurs dans une couche inversée.	48
I.2.2.1. Principe de la méthode	48
I.2.2.2. Résultats expérimentaux	49
I.2.2.3. Variation de la vitesse limite avec la température	51
I.2.3. Analyse de l'influence des rayonnements ionisants sur les propriétés électriques des transistors M.O.S. à canaux courts.	56
I.2.3.1. Introduction	56
I.2.3.2. Rappels théoriques	56
I.2.3.3. Résultats expérimentaux	57
I.2.3.4. Analyse des résultats.	61
I.3 - CONCLUSION	65

	Page
DEUXIEME PARTIE : LES EFFETS LIES A LA CONFIGURATION N ⁻ N ⁺ DU DRAIN ; RESISTANCE ON, PHENOMENES DE SATURATION ET DE QUASI-SATURATION,	
II.1 - RESISTANCE A L'ETAT PASSANT (R _{ON})	70
II.1.1. Position du problème	71
II.1.2. Rappels théoriques	72
II.1.3. Application de la M.E.F.	73
II.1.4. Résultats	78
II.2 - PROPRIETES EN REGIME DE SATURATION : RESISTANCE DE SATURATION ET EFFETS DE MULTIPLICATION	85
II.2.1. Propriétés expérimentales de la résistance de sortie	87
II.2.1.1. Analyse théorique	90
II.2.1.2. Conséquences de l'étude de la résistance de saturation	97
II.2.2. Phénomène de multiplication dans la zone pincée	98
II.2.2.1. Analyse théorique	100
II.2.3. Applications et résultats	103
II.3 - LE PHENOMENE DE "QUASI-SATURATION"	111
II.3.1. Description du phénomène	111
II.3.2. Interprétation	116
II.3.3. Formulation du mécanisme de quasi-saturation	123
CONCLUSION	129

	Page
CONCLUSION GENERALE	135
ANNEXE I.1 - DETERMINATION DE LA RESISTANCE THERMIQUE (R_{th}) PAR MICROSCOPIE INFRAROUGE.	141
ANNEXE I.2 - ETUDE EXPERIMENTALE DE LA VARIATION DU COURANT DE DRAIN EN FONCTION DES TEMPERATURES DE BOITIER ET DE "CRISTAL".	149
ANNEXE I.3 - LA METHODE DES ELEMENTS FINIS	159
BIBLIOGRAPHIE	169

o o

o