HAL
open science

Étude et modélisation compacte d'un transistor MOS SOI double-grille dédié à la conception

Birahim Diagne

To cite this version:

Birahim Diagne. Étude et modélisation compacte d'un transistor MOS SOI double-grille dédié à la conception. Micro et nanotechnologies/Microélectronique. Université Louis Pasteur - Strasbourg I, 2007. Français. NNT : . tel-00206167

HAL Id: tel-00206167

https://theses.hal.science/tel-00206167v1

Submitted on 16 Jan 2008

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

N° d'ordre : 5497

École Doctorale Sciences Pour l'Ingénieur

Université Louis Pasteur

THÈSE

présentée pour obtenir le grade de

Docteur de l'Université Louis Pasteur - Strasbourg I

Discipline : Sciences pour l'Ingénieur
Spécialité : Microélectronique

Par

Birahim Diagne

Étude et modélisation compacte d'un transistor MOS SOI double-grille dédié à la conception

Soutenue publiquement le 16 novembre 2007

Membres du jury :

Directeur de thèse : Pr. Christophe Lallement, Université Louis Pasteur
Rapporteur externe : Pr. Gilbert Vincent, Université Joseph Fourier - Grenoble
Rapporteur externe : Pr. Thomas Zimmer, Université Bordeaux 1
Rapporteur interne : Pr. Luc Hebrard, Université Louis Pasteur
Examinateur : Dr. Fabien Prégaldiny, Université Louis Pasteur
Examinateur : Dr. Jean-Michel Sallese, Ecole Polytechnique Fédérale de Lausanne

Institut d'Électronique du Solide et des Systèmes

UMR 7163, Laboratoire Commun CNRS - ULP

Remerciements

Tout d'abord, je tiens à remercier le directeur du laboratoire InESS, Mr. Daniel Mathiot, et mon directeur de thèse, Mr. Christophe Lallement, pour m'avoir offert l'opportunité d'effectuer cette thèse.

Ensuite, un grand merci à Fabien Prégaldiny et à Christophe Lallement qui ont encadré mes travaux. J'ai beaucoup profité de leur rigueur scientifique et de leur sérieux. Leur expérience dans le domaine de la microélectronique, particulièrement dans le domaine de la modélisation compacte et la physique des composants, m'a permis de m'investir avec détermination dans ce travail de thèse. Leurs compétences ont été indispensables à son bon déroulement.

Je tiens à remercier Jean-Michel Sallese et François Krummenacher pour l'aide et les conseils très précieux qu'ils m'ont apportés dans le domaine de la modélisation compacte et de la physique du MOSFET double-grille.

Je remercie également messieurs Luc Hebrard, Gilbert Vincent, Thomas Zimmer, Fabien Prégaldiny et Jean-Michel Sallese d'avoir accepté de faire partie du jury.

Mes remerciements s'adressent aussi à mes collègues du laboratoire InESS, Bertrand Leriche, Mingchun Tang, Yann Leroy, Anne-sophie Cordan, Jacques Morel, Jean-Batiste Kammerer, Brice Dauchez, entre autres. Je tiens à remercier particulièrement Jacques Morel et Bertrand Leriche pour leur aide en informatique.

Avant de conclure, j'aimerais réitérer ma gratitude à Fabien Prégaldiny et à Christophe Lallement pour leur grande patience, leurs conseils et leur disponibilité à toute épreuve. Leurs remarquables compétences ont rendu ces travaux de recherche particulièrement enrichissants. Je les remercie également pour la confiance qu'ils m'ont accordée tout au long de ces années.

Table des matières

Liste des constantes, symboles et sigles — **ii**

Liste des figures et des tableaux — **iii**

Introduction — **1**

1 Le MOSFET : limites et solutions à la miniaturisation — **7**
1.1 Structure et principe de fonctionnement du MOSFET bulk — 9
1.1.1 Structure du transistor MOS bulk — 9
1.1.2 Les régimes de fonctionnement de la structure MOS — 10
1.1.3 Les régimes de fonctionnement du transistor MOS bulk — 11
1.1.3.1 La caractéristique $I_d - V_g$ — 12
1.1.3.2 La caractéristique réelle $I_d - V_d$ — 16
1.1.4 Evolution de la technologie CMOS bulk — 18
1.2 Les limites actuelles à la miniaturisation du transistor MOS bulk — 19
1.2.1 Contraintes pour les générations futures — 19
1.2.1.1 Problèmes liés aux faibles épaisseurs d'oxyde — 20
1.2.1.2 Les effets canaux courts — 20
1.2.1.3 La déplétion de grille — 22
1.2.1.4 Problèmes liés au dopage — 23
1.2.1.5 Phénomènes quantiques dans le canal — 23
1.2.1.6 Les aspects extrinsèques — 24
1.2.2 Conclusion — 27
1.3 Amélioration des propriétés du matériau — 28
1.3.1 Dopage rétrograde — 28
1.3.2 Les isolants de valeur de permittivité élevée (*high-k*) — 28
1.3.3 Les grilles métalliques — 29
1.3.4 Transistor à canal de Silicium contraint — 30
1.4 Les technologies SOI — 30
1.4.1 La technologie SOI à une grille — 30
1.4.1.1 Introduction — 30
1.4.1.2 Avantages de la technologie SOI par rapport au MOSFET bulk — 32
1.4.1.3 Conclusion — 36
1.4.2 Les transistors à grilles multiples — 37
1.5 Conclusion — 42
Bibliographie — 43

2 Le MOSFET double-grille : les effets physiques, les propriétés électriques et l'état de l'art des modèles compacts — **47**
2.1 Introduction — 49
2.2 La technologie MOSFET double-grille — 49
2.2.1 Le transistor MOS double-grille planaire — 50
2.2.2 Le transistor MOS double-grille quasi-planaire : le FinFET — 51
2.2.3 Le transistor MOS double-grille vertical — 53
2.3 Modes de fonctionnement du transistor MOS double-grille planaire — 54

2.4 Propriétés électriques du MOSFET double-grille —56
2.4.1 Nouvelles lois de réduction d'échelle —56
2.4.1.1 Définition de la longueur caractéristique —57
2.4.2 Le phénomène d'inversion volumique —60
2.4.3 Caractéristiques statiques —61
2.4.3.1 Définition de la tension de seuil —61
2.4.3.2 Etat passant —63
2.4.3.3 Etat bloqué —64
2.4.3.4 Contrôle des effets canaux courts —65
2.5 Etat de l'art des modèles compacts du MOSFET double-grille symétrique —68
2.5.1 Introduction —68
2.5.2 Les différents modèles compacts du MOSFET double-grille symétrique —70
2.5.2.1 Modèles en tension de seuil du MOSFET double-grille symétrique —71
2.5.2.2 Modèles en potentiel de surface du MOSFET double-grille symétrique —72
2.5.2.3 Modèles en charge du MOSFET double-grille symétrique —75
2.6 Bilan et intérêt d'un nouveau modèle —77
Bibliographie —79

3 Nouvelle approche basée sur le formalisme EKV —85
3.1 Introduction —87
3.2 Formulation du nouveau modèle —88
3.2.1 Formulation du modèle statique —88
3.2.2 Formulation du modèle dynamique —101
3.2.3 Modélisation du rapport transconductance de grille sur le courant de drain —104
3.3 Algorithme d'inversion numérique —106
3.3.1 Solution explicite en forte inversion —107
3.3.2 Solution explicite en faible inversion —108
3.3.3 Solution explicite générale —110
3.4 Points clés du modèle compact —114
3.5 Validation du modèle compact canal long —114
3.5.1 Le principe de fonctionnement des simulateurs numériques —114
3.5.1.1 Les contraintes de la résolution numérique —115
3.5.1.2 La simulation numérique du MOSFET double-grille —117
3.5.1.3 Choix de paramètres technologiques pour le MOSFET double-grille —117
3.5.2 Validation du modèle canal long —120
3.5.2.1 Confrontation de notre modèle compact avec celui de Y. Taur —120
3.5.2.2 Confrontation du modèle avec les simulations 2-D —121
3.6 Conclusion —124
Bibliographie —126

4 Modélisation des effets de petites géométries —129
4.1 Résolution de l'équation de Poisson à 2 dimensions —131
4.1.1 Modélisation de la dégradation de la pente sous le seuil —137
4.1.2 Modélisation de la tension de seuil d'un MOSFET double-grille canal court —139
4.1.3 Modélisation du DIBL —142
4.1.4 Modélisation de l'effet du partage de charge —144
4.1.5 Justifications des approximations faites dans l'élaboration du modèle —145
4.1.5.1 Implémentation des effets canaux courts dans le noyau du modèle canal long —145
4.1.5.2 Approximation sur le calcul de la position où le potentiel est minimal 148

4.2 Modélisation de la mobilité des porteurs —— 149
4.3 Validation du modèle —— 150
4.3.1 Caractéristiques des structures de petites géométries simulées sur Atlas —— 150
4.3.2 Confrontation du modèle avec les résultats 2-D —— 151
4.3.2.1 Validation du modèle pour un dispositif semi-court —— 151
4.3.2.2 Validation du modèle pour un dispositif à canal court —— 154
4.4 Domaine de validité du modèle —— 158
4.5 Conclusion —— 160
Bibliographie —— 161

5 Modélisation de la capacité extrinsèque du MOSFET double-grille —— 163
5.1 Définition de la capacité extrinsèque —— 165
5.2 Modélisation des composantes de la capacité extrinsèque —— 166
5.2.1 Modélisation de la capacité de bord interne —— 167
5.2.2 Modélisation de la capacité de bord externe —— 168
5.2.3 Modélisation de la capacité de recouvrement —— 169
5.2.4 Modèle complet —— 171
5.3 Validation du modèle —— 174
5.3.1 Caractéristiques des structures simulées sur Atlas —— 174
5.3.2 Influence de la polarisation du drain sur la capacité extrinsèque —— 176
5.3.3 Confrontation du modèle avec les simulations 2-D —— 177
5.4 Simulations des résistances série —— 181
5.5 Conclusion —— 184
Bibliographie —— 185

Conclusion générale et perspectives —— 187

Annexes
I Comparatif des avantages et inconvénients des dispositifs MOS avancés —— 193
Bibliographie —— 195
II Le modèle EKV —— 197
II.1 Introduction —— 197
II.2 Linéarisation de la charge d'inversion —— 197
II.3 Normalisation du courant et de la charge —— 199
Bibliographie —— 202
III Méthodologie d'extraction des paramètres du modèle —— 203
III.1 Introduction —— 203
III.2 Extraction des paramètres du modèle —— 204
III.2.1 Extraction des paramètres électriques —— 205
III.2.2 Extraction des paramètres géométriques —— 208
III.3 Synthèse de la procédure d'extraction des paramètres du modèle —— 210

Publications et communications associées à ce travail —— 213

Liste des constantes, symboles et abréviations

Significations	Constantes	Unités
Constante diélectrique du silicium	ε_{Si}	$F \cdot m^{-1}$
Constante diélectrique de l'oxyde	ε_{ox}	$F \cdot m^{-1}$
Charge élémentaire	$e = 1,6 \cdot 10^{-19}$	C
Constante de Boltzmann	$k = 1,38 \cdot 10^{-23}$	$J \cdot K^{-1}$

Significations	Symboles	Unités
Paramètres du silicium		
Niveau d'énergie de la bande de conduction	E_c	eV
Niveau d'énergie de la bande de valence	E_v	eV
Niveau de Fermi intrinsèque	E_i	eV
Niveaux de Fermi du métal	E_{fm}	eV
Niveaux de Fermi du silicium de type p	E_{fp}	eV
Concentration intrinseque des porteurs dans le silicium	n_i	cm^{-3}
Paramètres géométriques et technologiques des transistors MOS		
Longueur de la grille	L_g	m
Longueur du canal	L	m
Largeur du canal	W	m
Profondeur de jonction du MOSFET bulk	X_j	m
Epaisseur d'oxyde au dessus du film de silicium	t_{ox1}	m
Epaisseur d'oxyde en dessous du film de silicium	t_{ox2}	m
Epaisseur de la grille	t_g	m
Epaisseur du film de silicium	t_{si}	m
Longueur de diffusion latérale	L_d	m
Longueur de recouvrement	L_{ov}	m
Température	T	K
Dopage du substrat	N_A	cm^{-3}
Dopage de la source et du drain	N_D	cm^{-3}
Paramètres électriques des transistors MOS		
Tension thermodynamique	U_T	V
Tension d'alimentation	V_{DD}	V
Tension de bandes plates	V_{FB}	V
Polarisation de la grille	V_g	V
Polarisation du drain	V_d	V

Polarisation de la source	V_s	V
Polarisation du substrat pour le MOSFET bulk	V_b	V
Différence des travaux de sortie entre la grille et le silicium	$\Delta\Phi_{ms}$	V
Potentiel de Fermi	Φ_F	V
Potentiel de surface	Ψ_S	V
Potentiel au centre du film de silicium	Ψ_C	V
Tension de seuil pour un transistor canal long	V_{to}	V
Tension de seuil pour un transistor canal court	V_{th}	V
Courant de drain	I_d	A
Mobilité des porteurs à champ faible	μ_0	$cm^2 \cdot V^{-1} \cdot s^{-1}$
Mobilité effective des porteurs	μ_{eff}	$cm^2 \cdot V^{-1} \cdot s^{-1}$
Capacité de l'oxyde sur une grille	C_{ox1}	F
Capacité d'oxyde totale	C_{OX}	F
Capacité extrinsèque	C_{ext}	F
Capacité de bord interne	C_{if}	F
Capacité de bord externe	C_{of}	F
Capacité de recouvrement	C_{ov}	F
Pente sous le seuil	SS	mV / dec
Facteur de substrat	n	$-$

Paramètres électriques du modèle

Champ critique	E_0	$V \cdot cm^{-1}$
Vitesse de saturation des porteurs	v_{sat}	$cm \cdot s^{-1}$
Mobilité des porteurs à champ faible	μ_0	$cm^2 \cdot V^{-1} \cdot s^{-1}$
Paramètre d'ajustement du modèle de capacité de recouvrement	λ^*	V^{-1}
Paramètre d'ajustement du modèle pour les effets canaux courts	σ	$-$

Grandeurs électriques normalisées

Densité de charge d'inversion normalisée	q_m	$-$
Polarisation de la grille normalisée	v_g	$-$
Polarisation du drain normalisée	v_d	$-$
Polarisation de la source normalisée	v_s	$-$
Potentiel de Fermi normalisé	ϕ_f	$-$
Tension de seuil pour un transistor canal long normalisée	v_{to}	$-$
Tension de seuil pour un transistor canal court normalisée	v_{th}	$-$
Courant de drain normalisé	i	$-$
Capacité extrinsèque normalisée	c_{ext}	$-$
Capacité de bord interne normalisée	c_{if}	$-$
Capacité de bord externe normalisée	c_{of}	$-$
Capacité de recouvrement normalisée	c_{ov}	$-$

Abréviations Significations

ADG ——— Transistor MOS SOI double-grille en mode de fonctionnement asymétrique
DG ——— Transistor MOS SOI double-grille
DIBL ——— « Drain Induced Barrier Lowering » : Abaissemement de la barrière de potentiel induit par le drain
FDSOI ——— Transistor MOS SOI entièrement déplété
GAA ——— Transistor MOS SOI à grille enrobante
ITRS ——— « International Technology Roadmap of Semiconductor »: Feuille de route internationale des semi-conducteurs
MEB ——— Microscope électronique à balayage
MOS ——— Métal-Oxyde-Semiconducteur
MOSFET ——— « MOS Field Effect Transistor » : Transistor à effet de champ MOS
PDSOI ——— Transistor MOS SOI partiellement déplété
QG ——— Transistor MOS SOI quadruple-grille
Roll-off, CS. ——— « Charge sharing » : Partage de charge
SCE ——— « Short-Channel Effects » : Effect canaux courts
SDG ——— Transistor MOS SOI double-grille en mode de fonctionnement symétrique
SOI ——— « Silicon On Insulator » : Silicium sur isolant
SG ——— Transistor MOS SOI à une grille
TCAD ——— « Technology Computer-Aided Design »
TEM ——— Microscopie par transmission électronique
TG ——— Transistor MOS SOI triple-grille
TMOS ——— Transistor Métal-Oxyde-Semiconducteur

Liste des figures et des tableaux

Liste des figures

Int.1 Evolution de la technologie : de la lampe triode au MOSFET nanométrique vue en microscopie électronique à transmission — 1
Int.2 Illustration de la loi de Moore : évolution du nombre de transistors dans les microprocesseurs Intel — 2
1.1 Représentation schématique d'un transistor MOS bulk — 9
1.2 Diagrammes des bandes dans les différents modes de fonctionnement d'un transistor nMOS — 11
1.3 Caractéristiques $I_d - V_g$ du transistor nMOS avec les niveaux d'inversion — 12
1.4 Représentation schématique de la caractéristique $I_d - V_g$ nMOS en échelle logarithmique et du paramètre électrique SS — 15
1.5 Représentation schématique de la caractéristique $I_d - V_d$ du transistor nMOS avec les régimes de fonctionnement — 16
1.6 Représentation schématique de l'extension du canal d'inversion sous la grille en régime linéaire et en régime saturé. Modulation de la longueur du canal par la polarisation de drain en régime saturé — 17
1.7 Schéma électrique de principe d'un inverseur CMOS — 18
1.8 Évolution de la fréquence des microprocesseurs Intel au cours du temps et la réduction de la longueur de grille du MOSFET dans les mémoires DRAM — 19
1.9 Influence de l'effet du partage de charge sur la caractéristique du courant du transistor MOS pour $V_d = 1V$ — 21
1.10 Profil du potentiel de canal sur une structure à canal court, (a) $V_{ds} = 0V$ et (b) $V_{ds} > 0V$ — 22
1.11 Influence de l'effet du DIBL sur la caractéristique $I_d - V_g$ du transistor MOS — 22
1.12 Schéma d'une structure de transistor MOS bulk mettant en évidence les aspects extrinsèques — 25
1.13 Illustration des différentes résistances vues entre le drain et la source — 26
1.14 Schéma illustrant les différentes composantes de la capacité extrinsèque du transistor MOS bulk — 27
1.15 Structure du transistor MOS bulk avec dopage rétrograde de canal, halos autour des caissons source et drain et extension de source/drain — 28
1.16 Coupe schématique d'un PMOSFET à hétérostructures Si/SiGe/Si à canal enterré — 30
1.17 Coupe schématique de transistors MOS réalisés (a) en bulk et (b) en SOI — 31
1.18 Représentation schématique d'un transistor SOI : (a) entièrement déplété et d'un transistor SOI (b) partiellement déplété — 31
1.19 Distribution de la charge de déplétion pour le MOSFET bulk et le SOI — 33
1.20 Circuit capacitif équivalent (a) d'un MOSFET bulk et (b) d'un SOI — 33
1.21 Comparaison de la pente sous le seuil en technologie MOSFET bulk et SOI, pour une géométrie constante — 34
1.22 L'augmentation du courant de drain résultant de l'effet Kink — 35
1.23 Influence électrostatique sur le SOI à une grille — 37
1.24 Evolution (en recherche) de la technologie SOI au fil des années — 38
1.25 Les différentes structures multi-grilles : SOI double-grille (2), SOI triple-grille (3), SOI quadruple-grille/Surrounding-gate (4), et grille en forme Π ou Ω (3^+) — 38
1.26 L'extension des grilles conduisant aux structures Π et Ω SOI MOSFETs — 40
2.1 Orientation du transport électronique et effet de champ sur le MOSFET

double-grille planaire. La flèche indique l'orientation du transport et la position des grilles indique la direction de l'effet de champ par rapport au plan supérieur du substrat qui correspond au plan horizontal ——— 50
2.2 Image au MEB (microscope électronique à balayage) d'une coupe de transistor MOS double-grille non-auto-alignée et auto-alignée ——— 51
2.3 Orientation du transport électronique et effet de champ sur le MOSFET double-grille quasi-planaire. La flèche indique l'orientation du transport et la position des grilles indique la direction de l'effet de champ par rapport au plan supérieur du substrat qui correspond au plan horizontal ——— 51
2.4 Schéma d'une structure de FinFET quasi-planaire ——— 52
2.5 Images de FinFET : Image au MEB d'une vue de dessus d'un FinFET. Image au MEB d'une coupe perpendiculaire au flux des porteurs d'un FinFET. L'encart montre une image en TEM de «l'aileron» et de l'oxyde de grille ——— 53
2.6 Orientation du transport électronique et effet de champ sur le MOSFET double-grille vertical. La flèche indique l'orientation du transport et la position des grilles indique la direction de l'effet de champ par rapport au plan supérieur du substrat qui correspond au plan horizontal ——— 53
2.7 Image au MEB d'un transistor vertical à grille enrobante ($L_g = 100nm$) ——— 54
2.8 Structure générique d'un transistor MOS double-grille ——— 55
2.9 La longueur caractéristique en fonction de l'épaisseur du film de silicium pour (a) $t_{ox} = 1nm$ et (b) pour $t_{ox} = 3nm$, $L = 60nm$ ——— 59
2.10 Profil de potentiel à l'intérieur de la zone active (a) lorsque les couches d'inversion sont localisées prés des interfaces (dopage $N_A = 4 \cdot 10^{16} cm^{-3}$ et $t_{si} = 300nm$) et (b) lorsque l'inversion se fait en volume ($N_A = 3 \cdot 10^{15} cm^{-3}$ et $t_{si} = 100nm$) avec $2 \cdot \Phi_F$ correspondant au potentiel d'inversion ——— 57
2.11 Le phénomène d'inversion volumique : caractéristique $I_d - V_g$ en échelle logarithmique pour différentes épaisseurs de film de silicium ——— 61
2.12 Caractéristiques $I_d - V_d$ des multi-grilles pour $L = 15nm$, pour $t_{Si} = 5nm$ et (b) $10nm$. En tirets, le courant est divisé par le nombre de grilles ; 1 pour le MOSFET SOI à une grille (SG), 2 pour le MOSFET double-grille (DG), 3 pour le MOSFET triple-grille (TG) et 4 pour le MOSFET quadruple-grille ——— 64
2.13 Caractéristiques $I_d - V_g$ des multi-grilles pour $t_{Si} = 5nm$ et $10nm$ ——— 64
2.14 Caractéristiques $I_d - V_g$ en échelle logarithmique des SOI multi-grilles pour $L = 15nm$, (a) $t_{Si} = 5nm$ et (b) $10nm$ ——— 65
2.15 Minimisation de la dégradation de la pente sous le seuil avec l'augmentation du nombre de grilles à $W = t_{Si} = 30nm$, $t_{ox} = 3nm$, $V_d = 0,1V$ ——— 67
2.16 Coupes longitudinales de la bande de conduction sur un MOSFET SOI à une grille et sur un MOSFET double-grille, pour $V_g = 0V$ suivant la profondeur du film de silicium à V_{ds} faible et fort. $L_c = 15nm$ et $t_{Si} = 5nm$ ——— 67
2.17 Minimisation du DIBL avec l'augmentation du nombre de grille ——— 68
3.1 Structure du MOSFET double-grille servant de référence au nouveau modèle ——— 88
3.2 Diagramme des bandes d'énergies suivant la coupe verticale AB, avec $d = t_{Si}/2$ ——— 89
3.3 Comparaison entre la solution exacte issue de la nouvelle approche, la solution approximative et enfin la solution issue du modèle EKV, pour $t_{Si} = 5nm$ et pour $t_{Si} = 20nm$ et (c) pour $t_{Si} = 50nm$ ——— 100

3.4 Comparaison de notre solution approximative de $G(i)$ avec celle du MOSFET bulk à $V_{ds} = 1V$ —— 106
3.5 Simulation de l'erreur liée à l'inversion numérique —— 113
3.6 Structure du MOSFET double-grille développée sur Atlas, pour $L = 1\mu m$, $t_{Si} = 25nm$, et $t_{ox1} = 2nm$ —— 117
3.7 Structure nMOSFET double-grille : définition du dopage et définition du maillage, $L = 1\mu m$, $t_{Si} = 25nm$, $t_{ox1} = 2nm$ —— 119
3.8 Validation du modèle : comparaison de la densité de charge issue du modèle de Y. Taur (en pointillés) avec notre approche (en traits pleins), pour $t_{Si} = 20nm$ et (b) pour $t_{Si} = 50nm$ —— 121
3.9 Validation des bases physiques du modèle : mise en évidence du phénomène d'inversion volumique —— 122
3.10 Validation du modèle canal long pour différentes polarisations du drain —— 123
3.11 Validation du modèle dynamique pour un dispositif MOSFET double-grille à canal long : (a) pour $t_{Si} = 25nm$, et (b) pour $t_{Si} = 10nm$ —— 124
4.1 Influence du facteur de substrat sur la charge d'inversion —— 139
4.2 Comparaison de la solution exacte avec la solution approximative conduisant à l'expression du décalage de la tension de seuil —— 141
4.3 Influence du modèle de DIBL sur le courant de drain suivant la longueur du canal, (a) pour $L = 100nm$ (b) pour $L = 60nm$ —— 143
4.4 Influence du modèle de DIBL sur le courant de drain suivant l'épaisseur du film de silicium, (a) pour $t_{Si} = 10nm$ (b) pour $t_{Si} = 20nm$ —— 143
4.5 Influence du Roll-off sur le courant de drain suivant l'épaisseur du film de silicium, (a) pour $t_{Si} = 10nm$ (b) pour $t_{Si} = 20nm$ —— 145
4.6 Influence du DIBL et du Roll-off sur le courant de drain, pour $t_{Si} = 10nm$ et pour $t_{Si} = 20nm$ —— 147
4.7 Erreur sur la tension de seuil liée à l'approximation faite sur la solution de x_0, pour $t_{Si} = 10nm$, $t_{ox} = 1,5nm$ et $W = 1\mu m$ —— 148
4.8 Validation du modèle statique pour différentes polarisations du drain sur un MOSFET double-grille de longueur de canal de $100nm$ avec (a) $t_{Si} = 10nm$ et (b) $t_{Si} = 25nm$ —— 152
4.9 Validation du modèle dynamique pour différentes polarisations de drain C_{sg}, C_{dg} et C_{gg} en fonction de la polarisation de la grille —— 153
4.10 Validation du modèle dynamique pour différentes polarisations de drain : matrice des transcapacités en fonction de la polarisation de la grille —— 153
4.11 Validation du modèle statique pour différentes épaisseurs de film de silicium sur un dispositif MOSFET double-grille de 300, 100 et $60nm$ de longueurs de canal, pour $V_{ds} = 1V$ et (b) pour $V_{ds} = 50mV$ —— 155
4.12 Validation du modèle de pente sous le seuil : dégradation de la pente sous le seuil avec la diminution de la longueur du canal —— 155
4.13 Validation du modèle de partage de charge : évolution du CS (ou Roll-off) avec la diminution de la longueur du canal —— 156
4.14 Validation du modèle de DIBL : évolution du DIBL avec la diminution de la longueur du canal —— 157
4.15 Validation du modèle dynamique pour différentes polarisations de drain sur

un MOSFET double-grille de longueurs de canal de (a) $100nm$ et (b) $60nm$ ——158
5.1 Schéma illustrant les différentes composantes de la capacité extrinsèque ——165
5.2 Impact de la capacité de bord interne suivant la longueur du canal pour différentes épaisseurs de film de silicium, (a) $t_{Si} = 10nm$ et (b) $t_{Si} = 20nm$ ——168
5.3 Impact de la capacité de bord externe suivant la longueur du canal ——169
5.4 Dépendance de la longueur de diffusion latérale effective à V_g ——170
5.5 Dépendance de la capacité de recouvrement à la polarisation de grille pour différentes longueurs de recouvrement et différentes longueurs de canal ——171
5.6 Impacts des composantes de la capacité extrinsèque ; c_{if}, c_{of} et c_{ov} pour $L = 300$, 100 et $60nm$, $t_g = 50nm$ ——173
5.7 Impacts des composantes de la capacité extrinsèque à $V_g = -1V$, pour $L = 300nm$ et pour $L = 60nm$ ——174
5.8 Structure MOSFET double-grille simulée sur Atlas pour $t_{Si} = 10nm$, $t_{ox1} = 2nm$: profil de dopage et mise en évidence du non-alignement des grilles avec le canal ——175
5.9 Vue sur la zone autour de la région de recouvrement au niveau de la structure MOSFET double-grille simulée sur Atlas : définition des différentes régions, et définition du maillage ——176
5.10 Influence de la polarisation du drain sur la capacité extrinsèque pour différentes longueurs de canal et différentes épaisseurs de film de silicium, pour $t_{Si} = 10nm$ et (b) pour $t_{Si} = 20nm$ ——177
5.11 Validation du modèle de capacité extrinsèque : capacité extrinsèque normalisée en fonction de la tension de grille pour différentes longueurs de canal et pour différentes épaisseurs de film de silicium, pour $t_{Si} = 10nm$ et $t_{Si} = 20nm$ ——178
5.12 Validation du modèle de capacité extrinsèque : capacité extrinsèque normalisée en fonction de la tension de grille pour différentes longueurs de recouvrement et différentes longueurs de canal. Le modèle est comparé aux simulations 2-D ——179
5.13 Modélisation et simulation 2-D de la capacité C_{gg}^* pour des dispositifs de différentes longueurs de canaux, pour $L = 300mn$, $L = 100mn$, $L = 80mn$ et $L = 60mn$. Les résultats sont présentés pour toute la plage de fonctionnement du transistor MOS double-grille ——181
5.14 Simulations sur VHDM-AMS des effets des résistances série sur le courant de drain pour différentes longueurs de canal, pour $L = 1\mu m$ et $L = 60nm$ ——183
II.1 Densité de charge d'inversion en fonction du potentiel de grille ——199

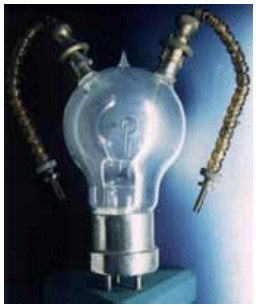
Liste des tableaux

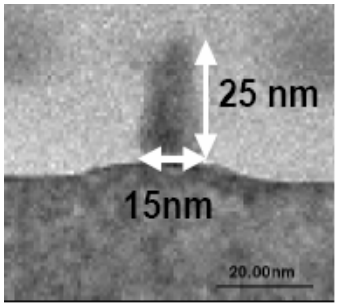
2.1 Expression de la longueur caractéristique en fonction de l'architecture : SOI à une, deux ou quatre grilles ——59
2.2 Calcul du rapport L/λ pour une longueur de canal de $15nm$ et un $t_{ox} = 1,2nm$ en fonction de l'architecture SOI. Les cases grisées correspondent aux transistors mal dimensionnés ——66
2.3 Caractéristiques des différents modèles compacts de MOSFET double-grille en mode de fonctionnement symétrique ——77
3.1 Normalisation des grandeurs électriques ——96
3.2 Paramètres technologiques et géométriques du MOSFET double-grille canal long définis lors des simulations 2-D ——120

4.1 Tableau récapitulatif du domaine de validité du modèle complet ——— 159
4.2 *Tableau récapitulatif des valeurs par défaut des paramètres électriques du modèle complet* ——— 159
5.1 Capacité extrinsèque par rapport à la capacité d'oxyde totale pour différentes longueurs de canal et différentes longueurs de recouvrement à $V_g = -0,5V$ et $V_d = 0V$ ——— 179
I-1 Comparatif des avantages et inconvénients des dispositifs MOS avancés dans la course à la miniaturisation ——— 194
III-1 Les paramètres électriques du modèle complet ——— 205
III-2 Procédure d'extraction des paramètres du modèle ——— 210

Introduction

L'électronique et l'informatique ont accompli d'énormes progrès en un temps record [1]. En moins de soixante ans, les dispositifs ont subi de profondes modifications. Ainsi, les lampes triodes originelles de dimensions macroscopiques (cf. Fig. Int.1-a) ont été remplacées par des transistors MOS ne mesurant actuellement que quelques dizaines de nanomètres de longueur de grille (cf. Fig. Int.1-b). D'autre part, l'évolution *sur le plan informatique* a suivi la même tendance : l'ENIAC[1] (*Electronic Numerical Integrator and Computer*), par exemple, avec ses 30 tonnes et ses 19000 lampes réalisant 5000 opérations arithmétiques à la seconde fait figure de dinosaure face aux microprocesseurs actuels qui fonctionnent à plus de 3 GHz avec plus de 5000 millions d'instructions traitées par seconde.





(a) *(b)*

Fig. Int.1 : Evolution de la technologie : de la lampe triode (a) au MOSFET nanométrique vue en microscopie électronique à transmission (b) [2]

De nos jours, grâce aux microordinateurs, une même opération élémentaire est effectuée un million de fois plus rapidement, consomme 100000 fois moins de puissance électrique.

Cette évolution repose sur la filière silicium avec comme figure de proue le transistor à effet de champ MOSFET (*Metal Oxide Semiconductor Field Effect Transistor*) combiné à la technologie CMOS (*Complementary Metal Oxide Semiconductor*).

Ainsi que l'illustre la Fig. Int.2, à partir du milieu des années 70, avec l'avènement des microprocesseurs et de la microinformatique personnelle, le nombre de MOSFET par puce n'a pas cessé de croître. Cette croissance s'est faite grâce à la diminution des dimensions des transistors et notamment la longueur de la grille L_g. En 1965, Gordon Moore prédit que le

[1] L'ENIAC avait une capacité de mémoire de 20 mots de 10 unités chacun. Elle ne pouvait traiter que des programmes d'instructions ne dépassant pas 300 mots.

nombre de transistors par unité de surface doublerait tous les ans. Concrètement, les progrès technologiques ne permettront un doublement de la densité d'intégration que tous les dix-huit mois. Cette évolution appelée « *loi de Moore* » régit aujourd'hui la ligne directrice des objectifs, soit plus généralement, la feuille de route – connue sous le terme *roadmap* – des différentes industries de la microélectronique [3].

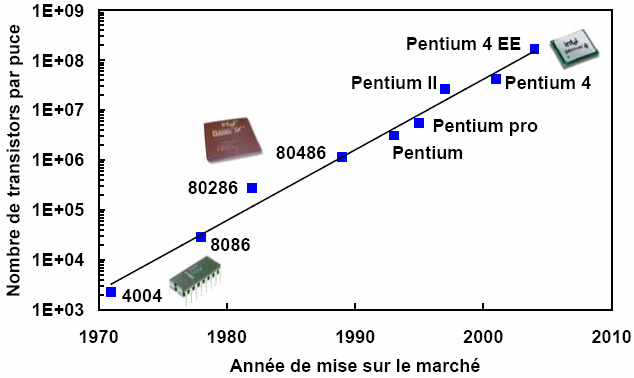


Fig. Int.2 : Illustration de la loi de Moore : évolution du nombre de transistors dans les microprocesseurs Intel

La croissance rapide de l'industrie de l'électronique [4] s'est basée sur l'évolution de la technologie des circuits intégrés en termes de performances (fréquence d'horloge notamment) et de coût par fonction.

Toutefois, après quasiment une vingtaine d'années de course effrénée à la réduction des dimensions des composants électroniques, les problèmes ne se limitent plus aux seules difficultés de réalisation. Nous voyons apparaître, à présent, des phénomènes d'ordre théorique remettant en cause les avantages qu'offrait la technologie CMOS. Parmi ces phénomènes, nous avons notamment l'abaissement de la barrière de potentiel au niveau du drain (DIBL), les effets canaux courts (SCE), les phénomènes de nature quantique, le courant tunnel de grille, la fluctuation aléatoire des dopants, etc. [5].
Ces phénomènes sont hélas devenus inévitables lorsque les dimensions des dispositifs sont réduites de manière drastique et rendent la miniaturisation difficile voire impossible.

Pour contourner ces difficultés, l'une des solutions consistant à modifier l'architecture des composants actuels, notamment l'augmentation du nombre de grilles afin d'avoir un meilleur contrôle du flux de courant, paraît une solution de choix pour l'avenir de la microélectronique [6]. Il semble acquis que les transistors intégrant une seconde grille tels que le transistor double-grille et le FinFET soient en passe de devenir des solutions

indispensables à la conception de circuits micro et nanoélectroniques [3]. Grâce à leurs structures, ces dispositifs offrent non seulement un courant plus important, mais également un meilleur contrôle du canal lorsque leurs dimensions sont fortement réduites, en comparaison avec le MOSFET bulk.
Mais ces dispositifs, pour pouvoir être utilisés par les concepteurs de circuits intégrés, ont besoin d'être modélisés sous la forme de modèles compacts interprétables par des simulateurs de circuits. Ces modèles compacts doivent être capables de décrire le plus exactement possible le comportement électrique (statique et dynamique) de ces dispositifs. Ils doivent renseigner précisément le concepteur pour qu'il élabore ensuite au mieux les circuits intégrés qu'il aura préalablement définis en CAO en utilisant un modèle compact efficace et adapté à ses besoins.

Depuis quelques années, nous voyons apparaître quelques modèles compacts de transistor MOS double-grille. Ces modèles sont plus ou moins performants, plus ou moins « lisibles » par le concepteur sur le plan technologique, et plus ou moins adaptés à la conception de circuits intégrés. Cela se traduit par une efficacité plus ou moins grande ; par efficacité, nous entendons : résultats de simulation, domaine de validité, efficacité numérique, bon modèle dynamique (s'il existe), etc.

Dans cette thèse, nous nous sommes intéressés à l'étude et à la modélisation compacte du transistor MOS double-grille symétrique, dans un but d'une utilisation du modèle en conception de circuits intégrés analogiques et mixtes.

Il va de soi que pour pouvoir définir un modèle efficace, il est indispensable de bien comprendre la physique du dispositif. Aussi, nous avons, dans un premier temps, élaboré la structure MOSFET double-grille sur le simulateur de dispositifs Atlas/SILVACO [7] afin de réaliser des études physiques de différents phénomènes perturbant son fonctionnement. Cela nous a permis, dans un second temps, de définir un modèle compact analytique proche de la physique et dédié à la conception de circuits intégrés analogiques et mixtes.
La comparaison de nos résultats issus du simulateur de circuit, avec ceux issus du simulateur de dispositif nous a permis de valider notre approche et notre modèle.

Le manuscrit de cette thèse est composé de cinq chapitres :

Dans le chapitre 1, nous présenterons brièvement le transistor MOS bulk ainsi que les problèmes engendrés par sa miniaturisation. Nous évoquerons ensuite les solutions technologiques possibles pour répondre à ces problèmes. Nous exposerons ainsi la technologie SOI à une grille, puis les solutions SOI émergentes, à savoir les technologies SOI multiple grille.

Dans le chapitre 2, nous traiterons tout d'abord des principales caractéristiques électriques du transistor MOS double-grille. Nous présenterons, ensuite, un état de l'art des travaux les plus significatifs réalisés dans le domaine de la modélisation compacte du transistor MOS double-grille symétrique.

Dans le chapitre 3, nous exposerons notre modélisation compacte du transistor MOS double-grille symétrique de grande dimension (canal long). Ce modèle est basé sur une nouvelle approche analytique qui décrit le comportement statique et dynamique du dispositif double-grille. Ensuite, le chapitre 4 sera consacré à l'étude et à la modélisation des effets de petites géométries tels que le partage de charge, le DIBL, la dégradation de la pente sous le seuil et la dégradation de la mobilité des porteurs. Enfin, dans le chapitre 5, le modèle sera complété par la prise en compte des phénomènes extrinsèques et plus spécifiquement des capacités parasites et des résistances série.

Bibliographie

[1] H. Lilen, « *Une brève histoire de l'électronique »,* ISBN 2-7117-5336-0, éditions Vuibert, 2003

[2] F. Boeuf, T. Skotnicki, S. Monfray, et al., "*16nm planar NMOSFET manufacturable within state-of-the-art CMOS process thanks to specific design and optimisation,*" IEDM'01 Tech. Digest, Washington D.C. (USA), pp 637–640, 2001

[3] Semiconductor Industry Association (SIA), "*ITRS (International Technology Roadmap for Semiconductors),*" web site: http://public.itrs.net, 2003 ed., Austin, TX. Int. SEMATECH, 2003

[4] J-P. Dauvin, J. Olliver, et D. Coulon, « *Les composants électroniques et leur industrie »* ISBN 2-13-047303-2, éditions PUF, 1ère édition, 1995

[5] N Arora, "*MOSFET models for VLSI circuit simulation: theory and practice,*" ISBN-10 0387823956, Springer-Verlag Telos, 1993

[6] J. Colinge, "*Silicon-on-insulator technology: Materials to VLSI,*" ISBN 1-4020-77734, Kluwer Academic Publishers, 3rd edition, 1997

[7] Atlas user's manual – device simulation software, SILVACO International Inc.

Chapitre 1

Le MOSFET : limites et solutions à la miniaturisation

Sommaire du chapitre 1

1 Le MOSFET : limites et solutions à la miniaturisation — 7
1.1 Structure et principe de fonctionnement du MOSFET bulk — 9
1.1.1 Structure du transistor MOS bulk — 9
1.1.2 Les régimes de fonctionnement de la structure MOS — 10
1.1.3 Les régimes de fonctionnement du transistor MOS bulk — 11
1.1.3.1 La caractéristique $I_d - V_g$ — 12
1.1.3.2 La caractéristique réelle $I_d - V_d$ — 16
1.1.4 Evolution de la technologie CMOS bulk — 18
1.2 Les limites actuelles à la miniaturisation du transistor MOS bulk — 19
1.2.1 Contraintes pour les générations futures — 19
1.2.1.1 Problèmes liés aux faibles épaisseurs d'oxyde — 20
1.2.1.2 Les effets canaux courts — 20
1.2.1.3 La déplétion de grille — 22
1.2.1.4 Problèmes liés au dopage — 23
1.2.1.5 Phénomènes quantiques dans le canal — 23
1.2.1.6 Les aspects extrinsèques — 24
1.2.2 Conclusion — 27
1.3 Amélioration des propriétés du matériau — 28
1.3.1 Dopage rétrograde — 28
1.3.2 Les isolants de valeur de permittivité élevée (*high-k*) — 28
1.3.3 Les grilles métalliques — 29
1.3.4 Transistor à canal de Silicium contraint — 30
1.4 Les technologies SOI — 30
1.4.1 La technologie SOI à une grille — 30
1.4.1.1 Introduction — 30
1.4.1.2 Avantages de la technologie SOI par rapport au MOSFET bulk — 32
1.4.1.3 Conclusion — 36
1.4.2 Les transistors à grilles multiples — 37
1.5 Conclusion — 42
Bibliographie — 43

1.1 Structure et principe de fonctionnement du MOSFET bulk

1.1.1 Structure du transistor MOS bulk

Le transistor MOS bulk (ou standard) est constitué d'un substrat semiconducteur sur lequel repose une fine couche d'oxyde isolant (S_iO_2) d'épaisseur t_{ox}. Une couche conductrice (métal ou polysilicium fortement dopé), appelée électrode de grille, est aussi déposée sur l'oxyde. Enfin, deux régions fortement dopées de profondeur X_j, appelées source et drain, sont formées dans le substrat de part et d'autre de la grille. La structure basique d'un transistor nMOS est représentée à la Fig. 1.1. En raison du procédé de fabrication, la grille – de longueur L_g – recouvre légèrement les régions de source et de drain. La région entre les jonctions de source et de drain est appelée la région du canal et est définie par sa longueur L et sa largeur W. Nous nous limiterons pour l'instant à cette description succincte du dispositif MOSFET bulk.

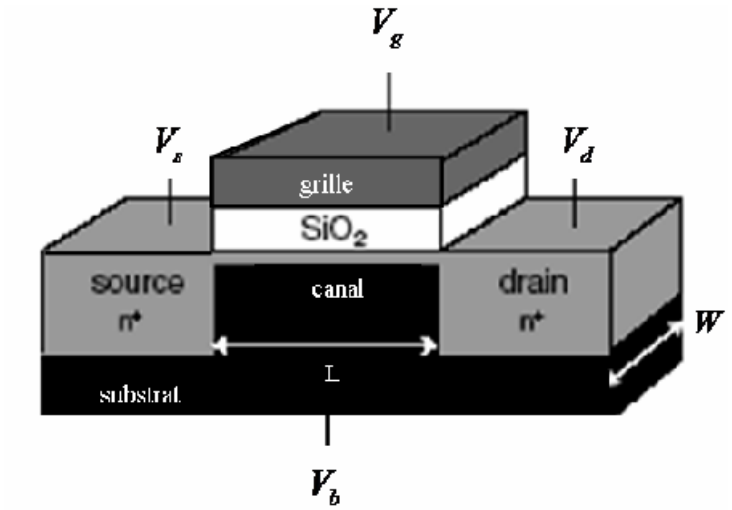


Fig. 1.1 : Représentation schématique d'un transistor MOS bulk

La zone active du transistor MOS est la région semiconductrice (substrat) située entre la source et le drain près de l'interface oxyde-semiconducteur [1]. La tension appliquée entre la grille et le substrat V_{gb} génère un champ électrique dans le substrat, et pour une tension V_{gb} suffisante, un canal de conduction est créé à l'interface oxyde-semiconducteur.

Lorsque nous polarisons le transistor par une tension V_{ds}, un courant de porteurs minoritaires circule dans le canal entre la source et le drain. Nous parlons de transistor nMOS lorsque le substrat est dopé avec des atomes de type accepteur et que les porteurs minoritaires sont les électrons. Dans ce cas, les régions de source et de drain sont fortement dopées avec des atomes de type donneur (i.e. une conduction assurée par des électrons). Le transistor pMOS possède un substrat dopé avec des atomes de type donneur et les porteurs minoritaires sont les trous. Dans tout le manuscrit, lorsque le type du substrat n'est pas précisé, nous parlons d'un transistor nMOS où les porteurs minoritaires sont les électrons.

1.1.2 Les régimes de fonctionnement de la structure MOS

Les propriétés électroniques d'un semiconducteur étant contrôlées par la position du niveau de Fermi dans le gap, nous allons donc nous intéresser à la structure de bandes du MOS. La plus simple des structures MOS est la capacité MOS qui consiste en un empilement substrat-diélectrique-grille. Lorsqu'une tension V_{gb} est appliquée entre la grille et le substrat, la structure de bande près de l'interface silicium-oxyde est modifiée. Les bandes d'énergie E_c et E_v représentent respectivement les niveaux d'énergie de la bande de conduction et de la bande de valence. E_i représente le niveau de Fermi intrinsèque. Le niveau de Fermi du métal est E_{fm}, et celui du silicium dopé p est E_{fp}. V_{FB} correspond à la tension de bandes plates. Supposons tout d'abord que la source et le drain soient à la masse ($V_{sb} = V_{db} = 0V$), dans ce cas, trois situations peuvent être distinguées (dans la région du canal) : l'*accumulation,* la *déplétion et* l'*inversion.* Les Fig. 1.2-a, b et c, représentent ces différentes régions de fonctionnement.

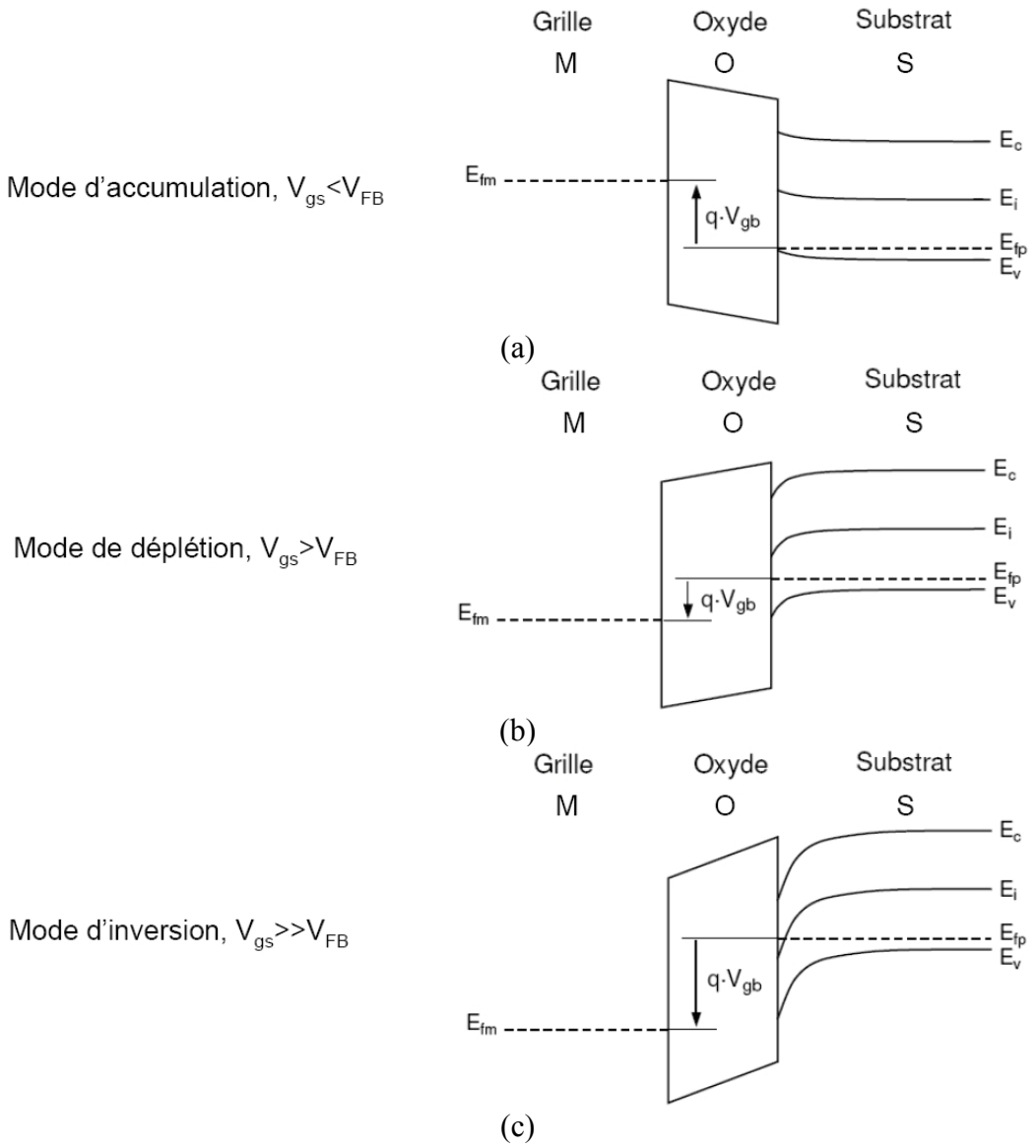


Fig. 1.2 : Diagrammes des bandes dans les différents modes de fonctionnement d'un transistor nMOS

1.1.3 Les régimes de fonctionnement du transistor MOS bulk

Une des caractéristiques essentielles du MOSFET est de présenter un comportement différent selon la valeur des tensions appliquées aux terminaux, i.e. la source, le drain, la grille et le substrat. Nous définissons ainsi différentes zones de fonctionnement à l'intérieur desquelles le transistor a un comportement particulier. Chaque zone est caractérisée par un niveau d'inversion (faible ou forte) et un régime (ohmique ou saturé).

Nous présenterons tout d'abord, de manière schématique, les caractéristiques courant-tension et ensuite nous détaillerons les différents niveaux d'inversion ainsi que les différents régimes

de fonctionnement. Ceci nous permettra de cerner l'impact des paramètres électriques et des paramètres géométriques dans le fonctionnement du transistor MOS.

1.1.3.1 La caractéristique $I_d - V_g$

Sur la caractéristique $I_d - V_g$ (cf. Fig. 1.3), nous distinguons deux niveaux d'inversion. La tension de seuil V_{th} est la tension appliquée entre la grille et le substrat pour laquelle le transistor commence à conduire. Elle sépare la région de faible inversion (ou région sous le seuil) de la région de forte inversion (ou région au delà du seuil).

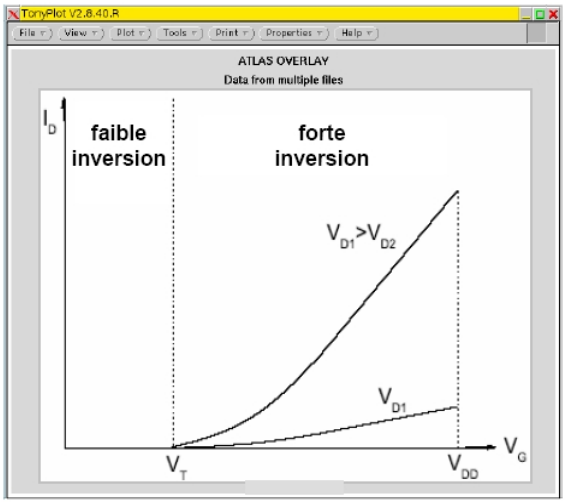


Fig. 1.3 : Caractéristiques $I_d - V_g$ du transistor nMOS avec les niveaux d'inversion

Lorsqu'une différence de potentiel V_{ds} est appliquée entre le drain et la source, un courant peut circuler dans le canal. La condition pour laquelle s'effectue l'inversion est :

$$\Psi_S > \Phi_F \tag{1.1}$$

avec Ψ_S le potentiel de surface, et Φ_F correspondant à l'écart entre le potentiel intrinsèque E_i / e et le potentiel de Fermi E_{Fp} / e du semiconducteur dopé de type accepteur. Φ_F s'exprime comme:

$$\Phi_F = \frac{k \cdot T}{e} \cdot \ln\left(\frac{N_A}{n_i}\right) \tag{1.2}$$

où N_A est le dopage du substrat et n_i est la concentration intrinsèque du silicium.

L'inversion forte à son tour apparaît lorsque :

$$\Psi_S > 2 \cdot \Phi_F \tag{1.3}$$

Dans ce cas, compte tenu que la couche conductrice d'inversion « écrante » le volume du semiconducteur, Ψ_S reste équivalent à $2 \cdot \Phi_F$ + quelques UT[2], en première approximation.

La distinction entre ces deux régions de fonctionnement, i.e. la faible inversion et la forte inversion, nous amène à définir un paramètre important qui est la tension de seuil.

La tension de seuil

La tension de seuil est l'un des paramètres essentiels[3] de fonctionnement du transistor MOS. Elle est définie comme étant la tension à appliquer à la grille pour obtenir la forte inversion, c'est-à-dire :

$$\Psi_S = 2 \cdot \Phi_F \tag{1.4}$$

Sous cette condition, la tension de seuil s'exprime comme suit :

$$V_{th} = V_{FB} + 2 \cdot \Phi_F + \frac{\sqrt{4 \cdot e \cdot N_A \cdot \varepsilon_{Si} \cdot \Phi_F}}{C_{ox1}} \tag{1.5}$$

avec

$$V_{FB} = \Phi_M - \Phi_{Si} \tag{1.6}$$

Φ_M et Φ_{Si} sont tels que $e \cdot \Phi_M$ et $e \cdot \Phi_{Si}$ représentent respectivement les travaux de sortie de la grille et du silicium, ε_{Si} est la constante diélectrique du silicium, et enfin $C_{ox1}\left(= \varepsilon_{ox} / t_{ox}\right)$ désigne la capacité de l'oxyde. Cette expression de V_{th} (1.5) est valable pour le transistor MOS bulk à canal long.

[2] UT est la tension thermodynamique.
[3] Ce paramètre est surtout utile dans le monde de la conception des circuits intégrés.

Le courant en faible inversion

En faible inversion, en première approximation, le transistor est considéré comme « bloqué », c'est-à-dire que la barrière de potentiel empêche les porteurs minoritaires de circuler entre la source et le drain. En réalité, quelques porteurs parviennent à franchir cette barrière par activation thermique et le courant sous le seuil peut s'exprimer de la manière suivante [2] :

$$I_d = \mu \cdot C_{ox1} \cdot \frac{W}{L} \cdot \left(\frac{k \cdot T}{e}\right)^2 \cdot \left(1 - e^{\frac{-e}{k \cdot T} \cdot V_{ds}}\right) \cdot e^{\frac{e \cdot (V_{gs} - V_{th})}{n \cdot k \cdot T}} \tag{1.7}$$

où e[4] désigne la charge élémentaire, k la constante de Boltzmann et T la température. μ représente la mobilité des porteurs. n, appelé facteur de substrat, traduit l'effet de la couche de déplétion sur la caractéristique de courant ; il est défini par :

$$n = 1 + \frac{C_{dep}}{C_{ox1}} \tag{1.8}$$

avec C_{dep}, la capacité de la couche déplétée.

En régime sous le seuil, le courant progresse de manière exponentielle avec la tension V_{gs} (cf. Fig. 1.4). Ainsi en considérant la caractéristique $I_d - V_g$ représentée en échelle logarithmique, nous définissons un paramètre électrique clé en faible inversion, à savoir, la pente sous le seuil SS (SS pour *"Subthreshold Swing")* qui correspond à l'inverse de la pente de la caractéristique. SS s'exprime alors :

$$SS = \frac{dV_{gs}}{dLog(I_d)} \tag{1.9}$$

Ce qui conduit une fois (1.7) considéré dans (1.9), à :

$$SS = n \cdot \frac{k \cdot T}{e} \cdot \ln(10) \tag{1.10}$$

[4] Cette notation est adoptée afin d'éviter toute confusion avec des grandeurs électriques de normalisation définies dans les chapitres suivants.

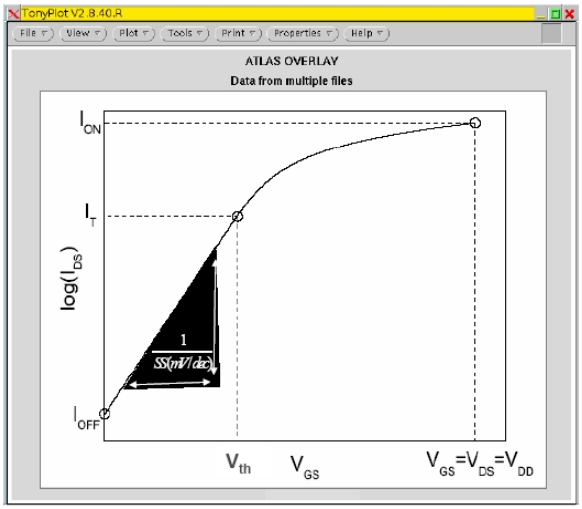


Fig. 1.4 : Représentation schématique de la caractéristique $I_d - V_g$ nMOS en échelle logarithmique et du paramètre électrique SS

La pente sous le seuil SS s'exprime en mV/dec et correspond à la variation de la tension de grille nécessaire pour augmenter le courant d'une décade [2-5]. Dans le cas idéal où $n = 1$, c'est-à-dire pour une capacité de couche déplétée très faible et pour un transistor canal long à la température ambiante, $SS = 60mV/déc$.

Le courant en forte inversion

En forte inversion, le transistor MOS devient passant. V_{gs} abaisse la barrière d'énergie et crée le canal à l'interface oxyde-semiconducteur. Nous distinguons deux régimes de conduction selon V_{ds}, le régime linéaire et le régime saturé.

En régime linéaire, et donc pour de faibles tensions V_{ds}, la charge d'inversion varie linéairement le long du canal, ce qui permet de modéliser le courant par l'expression suivante :

$$\begin{aligned} I_d &= \mu \cdot C_{ox1} \cdot \frac{W}{L} \cdot \left(V_{gs} - V_{th} - \frac{1}{2} \cdot V_{ds} \right) \cdot V_{ds} \\ &\cong \mu \cdot C_{ox1} \cdot \frac{W}{L} \cdot \left(V_{gs} - V_{th} \right) \cdot V_{ds} \quad pour\, V_{ds} \square\ 100mV \end{aligned} \tag{1.11}$$

En régime saturé, pour $V_{ds} \geq V_{gs} - V_{th}$, le courant se modélise comme suit :

$$I_d = \frac{1}{2} \cdot \mu \cdot C_{ox1} \cdot \frac{W}{L} \cdot \left(V_{gs} - V_{th}\right)^2 \tag{1.12}$$

Notons que $V_{ds} = V_{gs} - V_{th} \equiv V_{dsat}$ est appelée généralement la tension de saturation. Le courant obtenu en saturation est – dans l'idéal – indépendant de la tension V_{ds} (voir (1.12)).

Le courant à l'état passant (I_{on}) est défini quand $V_{gs} = V_{ds} = V_{DD}$, avec V_{DD} correspondant à la tension d'alimentation. Cette dernière est spécifiée pour une génération donnée de transistors et dépend de l'épaisseur d'oxyde t_{ox}. Pour les transistors de type haute performance (hp), l'intérêt est d'avoir I_{on} le plus élevé possible afin de réduire les délais intrinsèques du transistor.

1.1.3.2 La caractéristique réelle $I_d - V_d$

Pour le MOSFET à canal long, la tension de seuil est indépendante de V_{ds}. En régime saturé, l'augmentation relativement faible du courant (voir Fig. 1.5) est liée au phénomène de modulation de la longueur du canal [6].

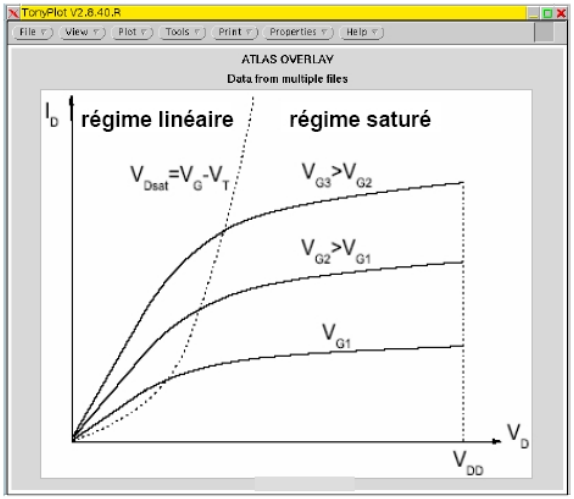
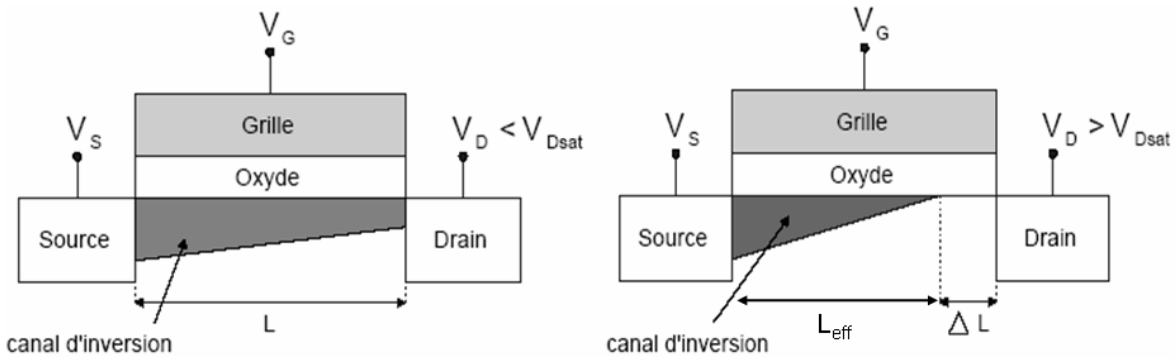


Fig. 1.5 : Représentation schématique de la caractéristique $I_d - V_d$ du transistor nMOS

La Fig. 1.6 représente de manière schématique l'extension du canal d'inversion sous la grille entre la source et le drain. Pour de faibles tensions V_{ds}, la grille contrôle totalement le canal (cf. Fig. 1.6-a). En revanche, pour des tensions de drain supérieures à V_{dsat}, la grille perd

le contrôle du canal à l'approche du drain, ainsi la charge d'inversion ne s'étend plus jusqu'au drain (cf. Fig. 1.6-b).



(a) (b)

Fig. 1.6 : Représentation schématique de l'extension du canal d'inversion sous la grille en régime linéaire (a) et en régime saturé (b). Modulation de la longueur du canal par la polarisation de drain en régime saturé

En régime saturé, la longueur ΔL correspond à l'écart entre le point de pincement (endroit du canal où la charge d'inversion est nulle) et le drain. Lorsque nous augmentons la tension V_{ds} au delà de la tension de saturation, le point de pincement se décale vers la source et la longueur du canal diminue. Nous noterons L_{eff} la longueur effective du canal résultante :

$$L_{eff}\left(V_{ds}\right) = L - \Delta L\left(V_{ds}\right) \tag{1.13}$$

Cette diminution de la longueur du canal se traduit donc par une augmentation du courant de drain. L'équation (1.12) doit être modifiée en changeant L par L_{eff} pour prendre en compte ce phénomène.

Cette modulation de la longueur du canal sur le courant n'est pas-présente en régime linéaire. Néanmoins en modélisation, et pour assurer la continuité entre les équations, l'expression du courant en régime linéaire (1.11) doit également être modifiée en changeant L par L_{eff} [5].

[5] Cela n'a pas de réelle incidence sur la solution numérique obtenue en régime linéaire.

1.1.4 Evolution de la technologie CMOS bulk

Ainsi que nous l'avons déjà évoqué dans l'historique, l'expansion de la microélectronique des circuits intégrés numériques de ces vingt dernières années a largement bénéficié des avantages qu'offrait la technologie CMOS. Cette technologie consiste à associer les transistors nMOS et pMOS en tirant parti de leur régime de fonctionnement complémentaire par rapport aux différents niveaux de tension. Son grand avantage réside en réalité dans sa consommation statique qui, théoriquement, est nulle. Ainsi, aucune énergie n'est-elle en principe nécessaire pour maintenir les différents niveaux logiques : un circuit CMOS ne consomme donc de l'énergie que lors d'un changement d'état logique.

Symbolisons la transmission de l'information par la charge et la décharge du condensateur C de la Fig. 1.7 :

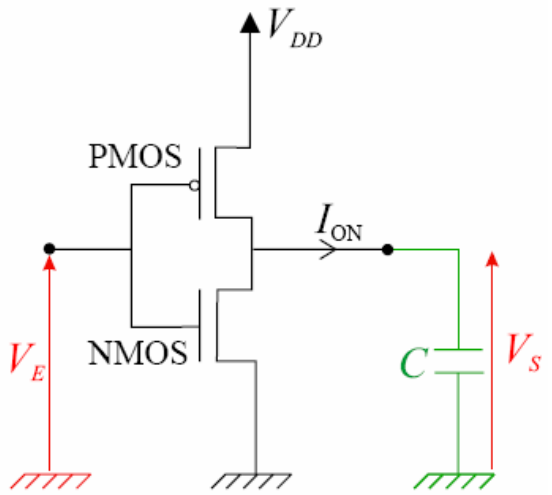
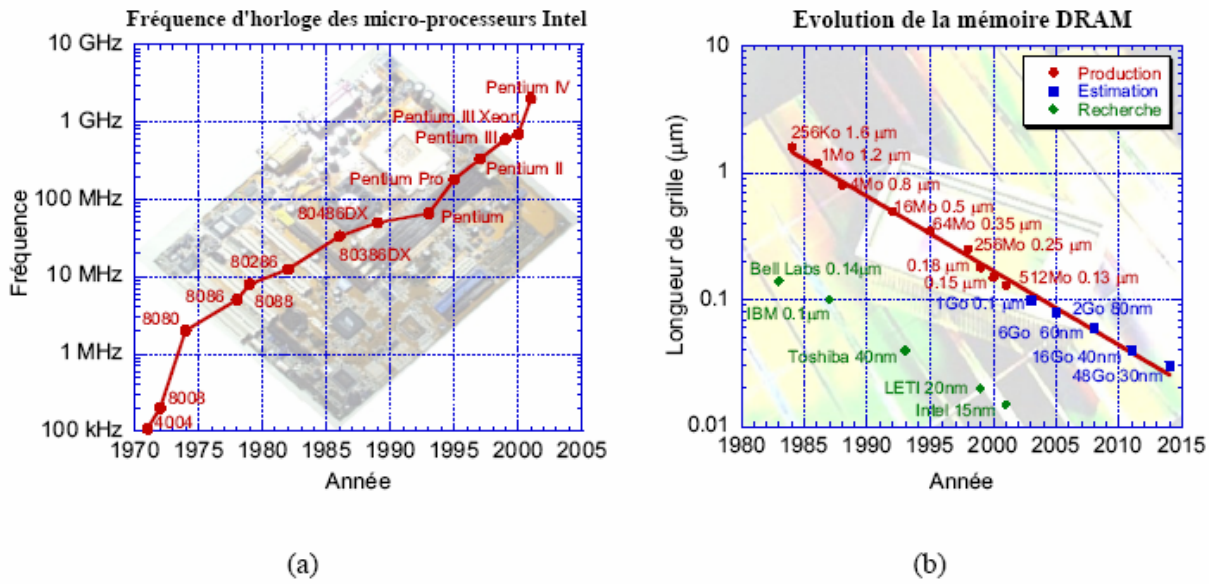


Fig. 1.7 : Schéma électrique de principe d'un inverseur CMOS

Les technologues cherchent à minimiser ces temps de charge/décharge afin d'augmenter la vitesse des circuits. De par la forme des équations régissant la valeur du courant de drain, la longueur du canal L se révèle être de nouveau un paramètre de choix afin d'augmenter la vitesse des dispositifs. Ainsi, en diminuant L, outre le fait que le courant véhiculé dans les transistors augmente, cela augmente aussi parallèlement la vitesse de transmission et la densité d'intégration ; c'est ce que nous pouvons constater en examinant par exemple l'évolution des fréquences d'horloge des micro-processeurs Intel (Fig. 1.8.a) et des longueurs

de grille des transistors dans les mémoires DRAM (*Dynamic Random Access Memory*) présentée en Fig. 1.8-b. Ce dernier graphe montre les prévisions pour les prochaines années.



(a) (b)

Fig. 1.8 : Évolution de la fréquence des microprocesseurs Intel au cours du temps [7] (a), et la réduction de la longueur de grille du MOSFET dans les mémoires DRAM (b)[8]

1.2 Les limites actuelles à la miniaturisation du transistor MOS bulk

1.2.1 Contraintes pour les générations futures

La future génération de transistor MOS atteindra des dimensions caractéristiques de l'ordre de quelques nanomètres. Au delà des difficultés de lithographie qu'il conviendra de surmonter avant d'en arriver à la réalisation industrielle, ces « NanoMOS » imposent de nouveaux défis technologiques à relever et dévoilent de nouveaux phénomènes qu'on ne peut plus négliger. Dans les paragraphes qui suivent, nous allons examiner les principales contraintes technologiques auxquelles le dispositif MOSFET bulk est confronté dans la course à la miniaturisation.

1.2.1.1 Problèmes liés aux faibles épaisseurs d'oxyde

Parallèlement à la réduction de la longueur du canal L, l'épaisseur d'oxyde de grille doit être réduite afin de pallier les effets canaux courts et d'améliorer le contrôle du canal de conduction. Pour des épaisseurs inférieures à $2nm$, la couche d'oxyde devient suffisamment fine pour permettre le passage des porteurs par effet tunnel direct. Ce passage est à l'origine d'un courant tunnel de grille d'autant plus important que l'épaisseur d'oxyde est faible. L'apparition d'un courant de grille entraîne un accroissement du courant à l'état bloqué et donc de la puissance dissipée, il perturbe aussi le bon fonctionnement du transistor à l'état passant puisque les électrons du canal peuvent s'échapper vers la grille par l'intermédiaire de l'oxyde. Ces effets ne sont pas encore critiques pour le bon fonctionnement du transistor [9], même si les applications « basse consommation » souffrent de plus en plus de l'augmentation continuelle de la puissance dissipée.

La dépendance exponentielle du courant de grille (J_g) avec l'épaisseur d'oxyde fait de la limitation du courant tunnel de grille l'un des défis majeurs des prochaines années. Parmi les solutions en cours d'étude, l'utilisation d'isolants à permittivité élevée à la place de l'oxyde de grille semble la solution la plus prometteuse. L'oxyde d'hafnium HfO2 avec sa permittivité relative (ε_r) de l'ordre de 20, son gap relativement grand de l'ordre de $5,65eV$ et enfin sa relative stabilité thermodynamique sur le silicium semble être un bon candidat pour remplacer l'oxyde [10].

1.2.1.2 Les effets canaux courts

De manière générale, les effets canaux courts – que nous noterons SCE (*Short Channel Effects*) – constituent tous des effets parasites qui influent sur V_{th}. Deux effets parasites sont prédominants lorsque l'on atteint des dimensions très faibles : le partage de charge CS (*Charge Sharing ou Roll-off*) et le DIBL (*Drain Induced Barrier Lowering*).

Le partage de charge de déplétion (CS)

L'effet de partage de charge (CS) apparaît lorsqu'une partie significative du canal n'est plus contrôlée par la grille à cause de l'influence des jonctions de source et de drain [11-13]. Quand V_{ds} augmente, la quantité de charge contrôlée par la grille diminue en dessous de

sa valeur obtenue pour $V_{ds} = 0V$ [2]. Cet effet se traduit par une diminution de la tension de seuil et par une augmentation de la pente sous le seuil SS ainsi que du courant. Ce résultat s'observe bien sur la caractéristique $I_d - V_g$ en échelle logarithmique de la Fig. 1.9.

En plus de cet effet canal court, on assiste à un effet canal étroit [2]. La région de déplétion effective créée par la tension de grille sous l'oxyde de grille s'étend latéralement. Cependant, contrairement à l'effet du canal court, cet effet dû au canal étroit conduit à une diminution de la valeur du courant et, ainsi, à une augmentation de la tension de seuil.

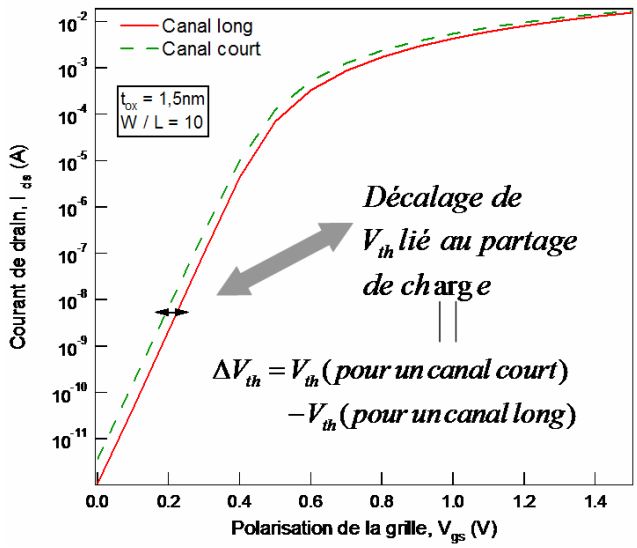
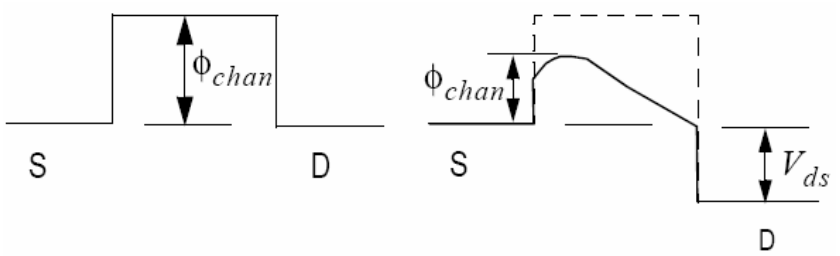


Fig. 1.9 : Influence de l'effet du partage de charge sur la caractéristique du courant du transistor MOS pour $V_d = 1V$

L'abaissement de la barrière de potentiel induit par le drain (DIBL)

Pour expliquer l'effet du DIBL, nous devons considérer un dispositif à canal court. Comme décrit dans la Fig. 1.10-a, lorsqu'aucune polarisation n'est appliquée, le profil de potentiel est le même que dans le cas du dispositif à canal long. Cependant, avec une tension de drain appliquée (cf. Fig. 1.10-b), le profil du potentiel de canal est affecté. La polarisation de drain change le profil sur toute la longueur du canal, abaissant la barrière à la jonction substrat-source. C'est effectivement un tel effet qui est référé comme étant l'abaissement de la barrière induite par le drain, ou le DIBL [11–13]. Pour une tension de drain croissante, nous assistons à une traversée du canal par les porteurs à une valeur de polarisation de grille nettement inférieure à celle que l'on aurait eu en l'absence de cet effet dit DIBL. L'injection

augmentée d'électrons par la source, par dessus la barrière de canal réduite, lorsque V_{ds} augmente, entraine une croissance du courant de drain et donc une décroissance de V_{th}.



(a) (b)

Fig. 1.10 : Profil du potentiel de canal sur une structure à canal court pour (a) $V_{ds} = 0V$ et (b) $V_{ds} > 0V$

Ce résultat s'observe bien sur la caractéristique $I_d - V_g$ en échelle logarithmique tracée à la Fig. 1.11. Nous reviendrons sur cet effet plus en détail au chapitre 4.

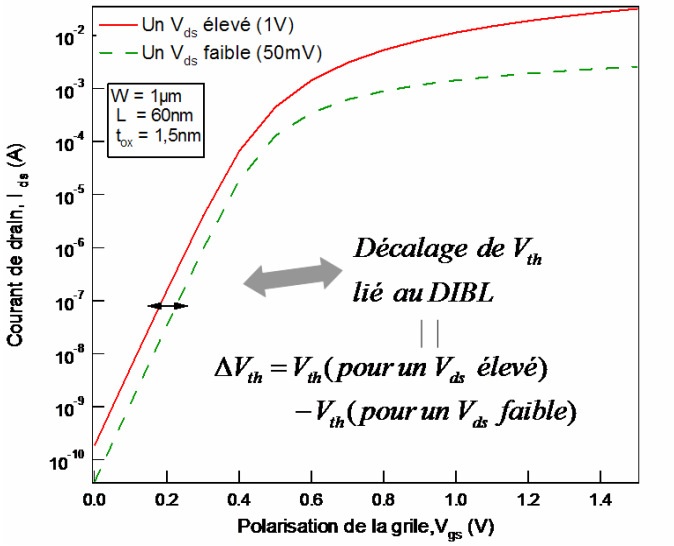


Fig. 1.11 : Influence de l'effet du DIBL sur la caractéristique $I_d - V_g$ du transistor MOS

1.2.1.3 La déplétion de grille

L'utilisation du polysilicium de grille provoque la déplétion des porteurs au sein même du polysilicium en inversion. Ce phénomène est connu sous le nom de déplétion du polysilicium de grille [14–16]. Cette déplétion entraîne la diminution du courant de saturation I_{on} et l'augmentation « effective » de l'épaisseur d'oxyde. Ceci a pour conséquence directe, une diminution du contrôle de la grille sur le potentiel dans le canal. Le phénomène de

déplétion de grille peut être éliminé par l'utilisation d'une électrode métallique, laquelle offre, en outre, la possibilité d'ajuster la tension de seuil des dispositifs. L'ajustement de la tension de seuil se fait par le biais de l'ajustement du travail de sortie de la grille métallique. Parmi les matériaux métalliques potentiellement au cœur des recherches dans ce domaine, se trouvent les matériaux de type *midgap* dont les travaux de sortie sont identiques à celui du silicium. Nous pouvons citer le CoS12 et le TiN comme exemples de matériau de ce type.

1.2.1.4 Problèmes liés au dopage

Une autre difficulté sérieuse dans la mise au point des nanoMOS réside dans la réalisation des différents dopages (canal et caissons) nécessaires pour contrer les effets canaux courts. La réalisation de profils de dopage complexes (dopage rétrograde, halos et poches, caractère abrupt du profil de dopage entre caissons source-drain fortement dopés et canal faiblement dopé) dans des dispositifs de plus en plus petits révèle technologiquement des difficultés croissantes, notamment si l'on désire une parfaite reproductibilité d'un transistor à un autre sans aucune dispersion des caractéristiques.

Le nombre d'impuretés dans le canal participant à l'élaboration du courant est de plus en plus faible de par la réduction croissante des dimensions du canal (à titre d'illustration, pour un substrat dopé à $10^{18} atomes / cm^{-3}$, un canal mesurant $20 \times 20 \times 20 nm^3$ ne comporte en moyenne que 8 impuretés). Il en résulte une distribution microscopique aléatoire des dopants ayant des effets non négligeables sur la tension de seuil. Ces fluctuations de performances de plus en plus grandes vont aboutir, à terme, à des problèmes de plus en plus difficiles à surmonter dans les technologies MOSFET bulk [17-18] et, par voie de conséquence, dans l'élaboration des circuits intégrés.

1.2.1.5 Phénomènes quantiques dans le canal

Les nanoMOS se caractérisent par l'apparition de phénomènes de nature quantique jusqu'alors inexistants ou tout du moins négligeables. Ainsi, outre le passage des électrons par effet tunnel à travers la grille [19], il existe aussi une quantification des niveaux d'énergie dans le canal de conduction [20]. De par l'augmentation du dopage de canal dans les transistors, le puits de potentiel de confinement dans lequel circulent les porteurs devient de plus en plus étroit, augmentant ainsi l'écart entre les différents niveaux d'énergie. Cet effet

modifie notamment la position du maximum de densité des porteurs qui se trouve décalée de l'interface entre l'oxyde et le semiconducteur [21]. Il en découle une capacité MOS effective plus faible que celle prévue théoriquement et par conséquent une sous-estimation de la tension de seuil V_{th} par surestimation de l'efficacité de la grille [22-24].

1.2.1.6 Les aspects extrinsèques

Jusqu'à présent, nous avons décrit le comportement intrinsèque du transistor MOS, c'est-à-dire que nous avons considéré que les électrodes de drain et de source étaient connectées directement de part et d'autre du canal. Les choix technologiques qui sont appliqués aux niveaux des diffusions de source et de drain ont en fait une incidence très forte dans le comportement électrique global du transistor MOS bulk.
Ces diffusions drain et source sont ainsi sources de dégradation de plus en plus importantes sur le comportement électrique, tant sur le plan statique (résistances), que dynamique (capacité extrinsèque notamment), et cela d'autant plus que le transistor devient petit. Ainsi, est-il indispensable de comprendre et de prendre en compte ces zones pour correctement évaluer les performances réelles du transistor.

Les principaux éléments, générés lors de la fabrication du transistor, qui dégradent les performances intrinsèques des dispositifs sont (Fig. 1.12) [25] :

- la résistance d'accès à la grille (due aux contacts, au type de grille utilisée),
- les résistances d'accès au drain et à la source (dues aux contacts, aux extensions et aux source/drain siliciurées ou non),
- les résistances d'accès au substrat,
- les capacités grille-drain et grille-source : capacités de bord (*fringe*) et de recouvrement (*overlap*),
- les capacités drain-substrat et source-substrat (capacités métalliques et de jonction),
- la capacité drain-source (capacité métallique et de proximité),
- les capacités grille-substrat.

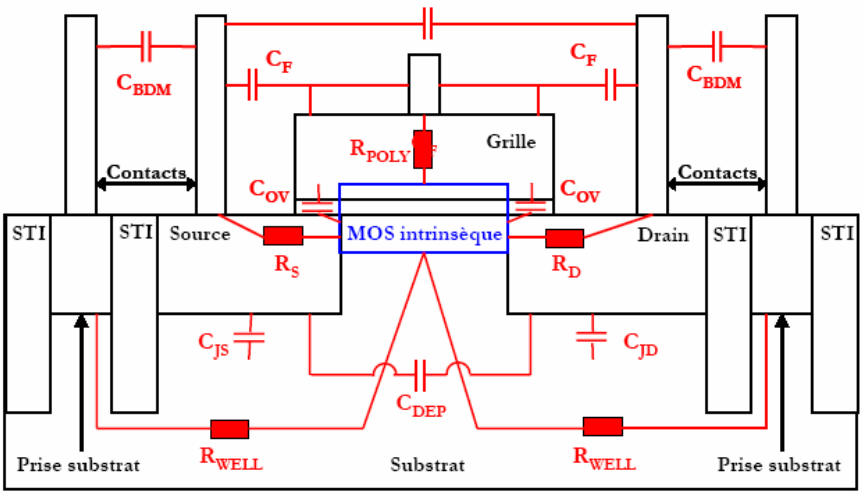


Fig. 1.12: Schéma d'une structure de transistor MOS bulk mettant en évidence les aspects extrinsèques [25]

Dans le chapitre 5 de ce manuscrit, nous nous intéresserons aux éléments qui nous semblent très « néfastes » dans le bon fonctionnement électrique du transistor MOS, à savoir les capacités extrinsèques (la capacité de recouvrement et les capacités de bord) et les résistances série (résistances d'accès au drain et à la source).

Les résistances source-drain (résistances série)

Lors du *scaling* des dispositifs, la diffusion latérale ne peut être réduite dans les mêmes proportions que la longueur de grille ; ainsi la région de recouvrement entre la grille et les diffusions de source et de drain devient-elle une fraction significative de la longueur de grille des structures fortement-submicroniques. Cela a pour conséquence directe d'augmenter le poids de la résistance extrinsèque ($R_S + R_d$), appelée également résistance série R_{sd}, au regard de la résistance canal R_{ch}.

Par ailleurs, il est nécessaire de réduire l'extension des profondeurs des jonctions (X_j) de source et de drain afin de réduire les effets canaux courts. Mais, en contrepartie, cette réduction des profondeurs des jonctions entraîne une augmentation des résistances parasites de source et de drain R_S et R_d en série avec la résistance du canal R_{ch} (montré dans la Fig. 1.13). Par conséquent, les technologues doivent trouver un compromis entre le contrôle des effets canaux courts qui dégradent le courant I_{off} et les résistances parasites qui dégradent le courant I_{on}.

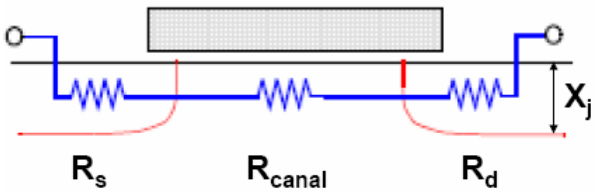


Fig. 1.13 : Illustration des différentes résistances vues entre le drain et la source

Dans les technologies submicroniques, la présence de régions peu dopées près du canal et des diffusions de drain et de source (ces régions sont désignées sous le nom de LDD ou « *Lightly Doped Drain* ») permet une meilleure répartition des zones de déplétion et donc du champ dans la structure. Les porteurs ne seront plus suffisamment accélérés pour engendrer le phénomène d'ionisation par impact.

Malheureusement ces zones sont fortement résistives, aussi elles augmentent encore la valeur de la résistance série (R_{sd}) et réduisent les tensions effectives réellement appliquées sur les électrodes de source et de drain [26] [27].

La capacité extrinsèque

Quand les transistors deviennent fortement submicroniques, la capacité extrinsèque constitue une part importante de la capacité de grille du dispositif (plus de 30% pour un MOSFET de $0,2\mu m$). Par ailleurs, de par l'importante réduction d'échelle des transistors, cette capacité est fortement dépendante des polarisations externes appliquées aux électrodes, lorsque ces transistors se trouvent dans le régime sans courant [28], [29]. La capacité extrinsèque désigne l'ensemble des trois capacités parasites du transistor MOS, à savoir la capacité de recouvrement C_{ov} [6] (ou *d'overlap*), la capacité de bord interne C_{if} et la capacité de bord externe C_{of} (cf. Fig. 1.14).

[6] L'indice ov vient de l'appellation anglaise de l'effet du recouvrement, « *overlap* ».

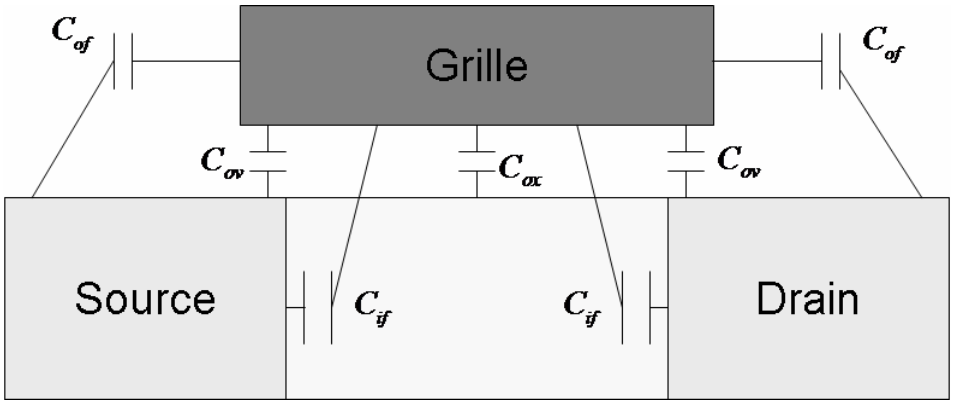


Fig. 1.14 : Schéma illustrant les différentes composantes de la capacité extrinsèque du transistor MOS bulk

1.2.2 Conclusion

Une première conclusion se dégage de cette section. Différentes voies sont déjà explorées en vue de poursuivre la miniaturisation du MOSFET.

La première consiste à trouver des solutions technologiques pour optimiser toujours davantage les performances du transistor MOS bulk. Cela se retrouve notamment aux niveaux des jonctions (poches *super halo*, etc.…), du canal (utilisation du silicium contraint, dopage rétrograde, etc...), de l'isolant de grille (utilisation du HfO2), de la grille (matériau midgap, etc…) pour continuer la réduction des dimensions du transistor MOS bulk.

Mais à mesure que les dimensions du transistor MOS deviennent de plus en plus petites ($L <$ quelques $10nm$), les solutions technologiques butent de plus en plus sur la barrière infranchissable des propriétés intrinsèques des matériaux.

La seconde voie à envisager pour contourner les problèmes actuels, et surtout à venir, auxquels le MOSFET bulk est confronté, consiste à élaborer des structures alternatives. La section suivante est consacrée aux nouveaux composants identifiés comme les solutions innovantes assurant la pérennité de la nanoélectronique sur silicium.

Nous nous limiterons ici aux solutions « classiques » trouvées dans le cadre de la réduction des dimensions du MOSFET et n'évoquerons pas les solutions trouvées en électronique moléculaire (solutions post-roadmap). Nous détaillerons en particulier les solutions les plus en lien avec cette thèse, et donc les technologies « SOI ».

1.3 Amélioration des propriétés du matériau

1.3.1 Dopage rétrograde

Pour contrer ces effets de canal court, différentes stratégies de miniaturisation sont mises en place au niveau des composants. Afin de contrôler les effets de percement volumique. Un fort dopage rétrograde est réalisé dans le substrat sous la grille [30] (cf. Fig. 1.15), Ainsi l'extension des zones de charge d'espace est limitée aux endroits critiques (sous le canal) tout en permettant un réglage de la tension de seuil par un dopage plus faible du canal. Des poches, ou des « halos » fortement dopés sont aussi réalisées autour des caissons source et drain pour lutter contre le percement surfacique.

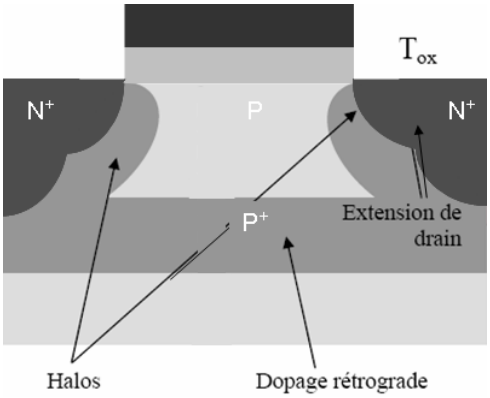


Fig. 1.15 : Structure du transistor MOS bulk avec dopage rétrograde de canal, halos autour des caissons source et drain et extension de source/drain

La réalisation de ces profils de dopage complexes (dopage rétrograde, halos et poches) dans des dispositifs de plus en plus petits se révèle technologiquement de plus en plus difficile, notamment si l'on désire une parfaite reproductibilité d'un transistor à l'autre afin d'éviter la dispersion des caractéristiques.

1.3.2 Les isolants de valeur de permittivité élevée (*high-k*)

Pour des épaisseurs d'oxyde inférieures à $2nm$, la couche d'oxyde devient suffisamment fine pour permettre le passage des porteurs par effet tunnel direct. Ce passage est à l'origine d'un courant tunnel de grille d'autant plus important que l'épaisseur d'oxyde est faible. Cet effet, d'origine quantique, modifie les caractéristiques électriques du transistor

MOSFET. En particulier, l'apparition d'un courant de grille entraîne un accroissement du courant à l'état bloqué et donc de la puissance dissipée, il perturbe aussi le bon fonctionnement du transistor à l'état passant puisque les électrons du canal peuvent s'échapper vers la grille par l'intermédiaire de l'oxyde.

Parmi les solutions en cours d'étude, l'utilisation d'isolants de valeur de permittivité élevée à la place de l'oxyde de grille semble la solution la plus prometteuse. De nombreux matériaux sont actuellement étudiés pour remplacer le SiO2 pour les longueurs de grille inférieures à $0{,}1\mu m$. Les principaux sont : TiO2, Y2O3, Ta2O5, Al2O3, La2O3, ZrO2, et le HfO2. Ils ont tous des valeurs de permittivité différentes. Leurs gaps sont généralement moins importants que celui du SiO2, ce qui se traduit par des hauteurs de barrière plus faibles pour les trous et les électrons. Ces différents diélectriques présentent tous des problèmes technologiques particuliers qui rendent difficile leur intégration dans un *process [31]*. Par exemple, le Ta2O5, et le TiO2 semblent intéressants mais présentent l'inconvénient de réagir avec le silicium. Ainsi, pour contourner ce fait, il faudrait une couche tampon de permittivité inférieure entre le diélectrique et le substrat. Ceci malheureusement diminue fortement la capacité C_{ox} associée à l'empilement des deux couches, et rend aussi le *process* plus compliqué. L'oxyde d'hafnium HfO2 avec sa permittivité relative (ε_r) de l'ordre de 20, son gap relativement grand de l'ordre de $5{,}65eV$, et enfin sa relative stabilité thermodynamique sur le silicium semble être un bon candidat pour remplacer l'oxyde [32].

1.3.3 Les grilles métalliques

L'utilisation du polysilicium de grille provoque la déplétion des porteurs au sein du polysilicium en régime d'inversion. Ainsi les porteurs dans la grille sont repoussés de l'interface grille-oxyde [33-35]. Il se crée donc une capacité parasite dans la grille qui diminue la capacité totale de la structure MOS et la rapidité des dispositifs. Ce phénomène de déplétion de grille peut être éliminé par l'utilisation d'une électrode métallique, laquelle offre également une plus grande flexibilité sur l'ajustement de la tension de seuil des dispositifs.

1.3.4 Transistors à canal de Silicium contraint

Dans le cadre de la technologie CMOS, on cherche à augmenter le courant I_{on} à l'état passant [36, 37] en utilisant par exemple un canal SiGe enterré dans le cas du pMOS à hétérostructures Si/SiGe/Si (Fig. 1.16). Il existe ainsi un certain nombre de déclinaisons de ce type de composants (à canal surfacique ou enterré, avec ou sans adjonction de d'atomes de Carbone, etc...), avec chacune ses avantages et ses inconvénients.
S'il est vrai que l'utilisation des hétérostructures semble devenir une solution de choix pour améliorer les structures conventionnelles en termes de transport [38], elle ne résout pas vraiment les difficultés engendrées (elle peut même les accentuer dans le cas d'un canal enterré) par les effets canaux courts dans des dispositifs de taille nanométrique.

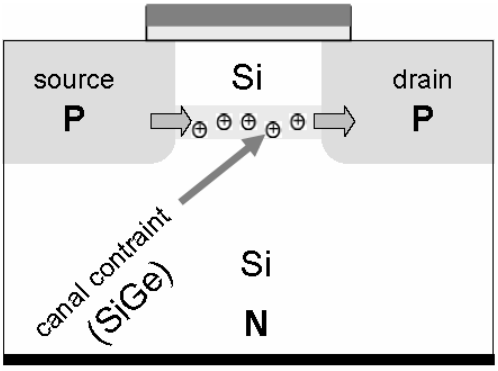


Fig. 1.16 : Coupe schématique d'un PMOSFET à hétérostructures Si/SiGe/Si à canal enterré

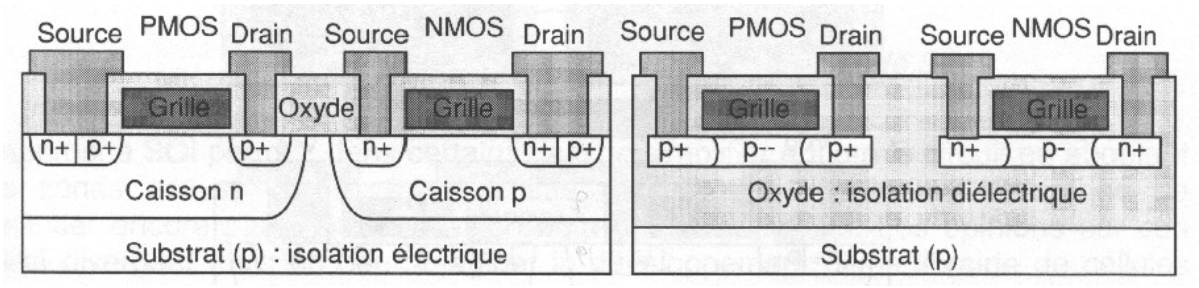
1.4 Les technologies SOI

1.4.1 La technologie SOI à une grille

1.4.1.1 Introduction

Le terme SOI (*Silicon On Insulator*) signifie littéralement silicium-sur-isolant. Contrairement au MOSFET bulk (cf. Fig. 1.17-a) où les composants sont réalisés sur un substrat de silicium – appelé parfois *bulk* – d'une épaisseur de l'ordre de $600\mu m$ dont seuls les premiers microns en surface sont réellement utiles, le SOI est réalisé sur un film de

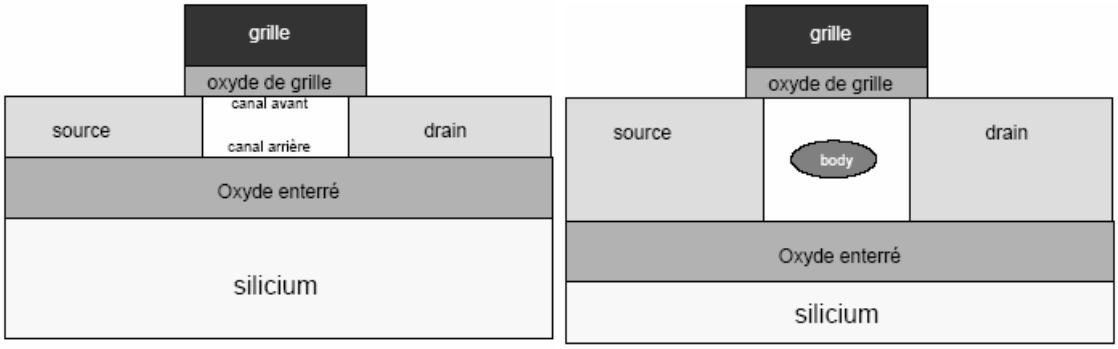
Silicium au préalable posé sur une couche d'oxyde enterrée (cf. Fig. 1.17-b). Le film de silicium a une épaisseur que nous noterons t_{Si} .



(a) *(b)*

Fig. 1.17 : Coupe schématique de transistors MOS (a) bulk et (b) SOI

Toujours à l'opposé du transistor MOS bulk où le canal d'inversion est localisé à l'interface silicium-oxyde, la structure SOI a fait naître le concept d'inversion volumique [39]. La présence de l'oxyde enterré permet un meilleur contrôle du potentiel dans le canal par la grille que dans le transistor MOS sur silicium massif. Pour des films de silicium épais, la zone de déplétion dans le film n'atteint pas l'oxyde enterré ; nous parlons alors de transistor partiellement déplété (ou PDSOI, "*Partially Depleted SOI*"). Lorsque l'épaisseur du film est réduite et que la déplétion atteint l'oxyde enterré, le film est donc complètement déserté et la grille améliore le contrôle du potentiel dans le film ; nous parlons alors de transistor entièrement déplété (ou FDSOI, "*Fully Depleted SOI*"). La Fig. 1.18 décrit ces deux structures.



(a) *(b)*

Fig. 1.18 : Représentation schématique d'un transistor SOI : (a) entièrement déplété et (b) partiellement déplété

Le fait que le SOI soit partiellement ou entièrement déplété dépend essentiellement de l'extension de la couche de désertion dans le film de silicium. La profondeur X_{Si} de la zone de désertion dans le film dépendra du dopage du film [40].

1.4.1.2 Avantages de la technologie SOI par rapport au MOSFET bulk

Les propriétés électriques de cette structure, en particulier du transistor SOI entièrement déserté (« déplété »)[7], sont dans l'ensemble bien meilleures comparées au transistor MOS bulk [41]. Il est d'ailleurs estimé que ce composant est un candidat susceptible de réussir l'intégration des dispositifs de dimensions longitudinales inférieures ou égales à $30nm$ [8], [41]. Nous allons maintenant voir les principales propriétés de la technologie SOI par rapport au MOSFET bulk.

Diminution des effets parasites

Les avantages de la technologie SOI sont multiples. Par la seule présence de l'oxyde enterré, les capacités parasites sont considérablement réduites. En effet, les capacités de jonction source-substrat et drain-substrat, lesquelles pour le MOSFET bulk correspondent à la capacité d'une jonction polarisée en inverse, ne sont en réalité pour le SOI qu'une capacité d'oxyde (i.e. la capacité d'oxyde enterré C_{Box}). Naturellement, cette capacité d'oxyde enterré est quatre, voire sept fois inférieure à la capacité de la jonction obtenue sur le silicium massif [41]. En plus de cet avantage, le transistor SOI présente, toujours par comparaison au transistor MOS bulk, un canal de conduction plus mince et isolé [41], une simplification des niveaux d'interconnexions au-dessus des transistors du fait de l'absence des caissons. Parmi les avantages, notons également que lorsque le film de silicium est faiblement dopé, voire non dopé, il peut être entièrement déplété à tension de grille nulle, ce qui est également avantageux en ce qui concerne le courant de percement en surface. Il y a aussi le *latch-up,* présent sur le MOSFET bulk, qui est éliminé sur le SOI. Le *latch-up* est un phénomène parasite dû au déclenchement du thyristor parasite lié à la proximité des zones N^+ et P^+ de transistors nMOS et pMOS voisins. Sur le SOI, ainsi que nous pouvons nous en rendre compte sur la Fig. 1.17-b*,* ces zones sont totalement isolées et, ainsi, le claquage entre ces deux zones est impossible. La faculté d'augmenter la densité d'intégration est une conséquence directe de la suppression de cet effet parasite [41].

[7] Nous utiliserons au cours de ce manuscrit le terme déplété.

Amélioration du contrôle de la grille sur la charge de déplétion

Ainsi que nous l'avons signalé dans la première section, les modèles de séparation de charge fournissent la proportion de la charge de déplétion contrôlée par la grille par rapport à celle contrôlée par la source et le drain. Si nous comparons le transistor MOS bulk au transistor SOI, avec des dimensions identiques (L, W, t_{ox}, X_j), nous constatons que le rapport entre la charge de déplétion contrôlée par la grille et le drain (ou la source) est beaucoup plus important en technologie SOI. Comme le montre la Fig. 1.19, ce phénomène est d'autant plus marqué que la longueur du canal diminue.

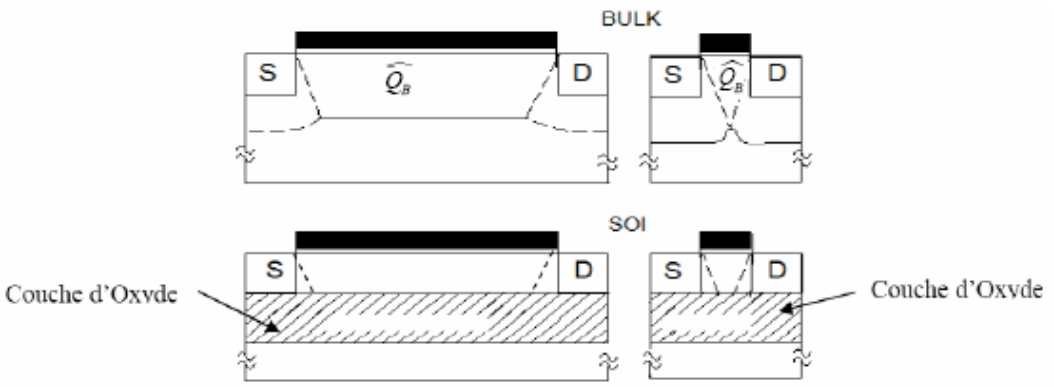


Fig. 1.19 : Distribution de la charge de déplétion pour le MOSFET bulk et le SOI [42]

Amélioration de la pente sous le seuil

Rappelons que la pente sous le seuil est définie par $SS = n \cdot \ln(10) \cdot k \cdot T / e$ avec $n\ (= 1 + C_{dep} / C_{ox})$, le facteur de substrat (cf. (1.10)).

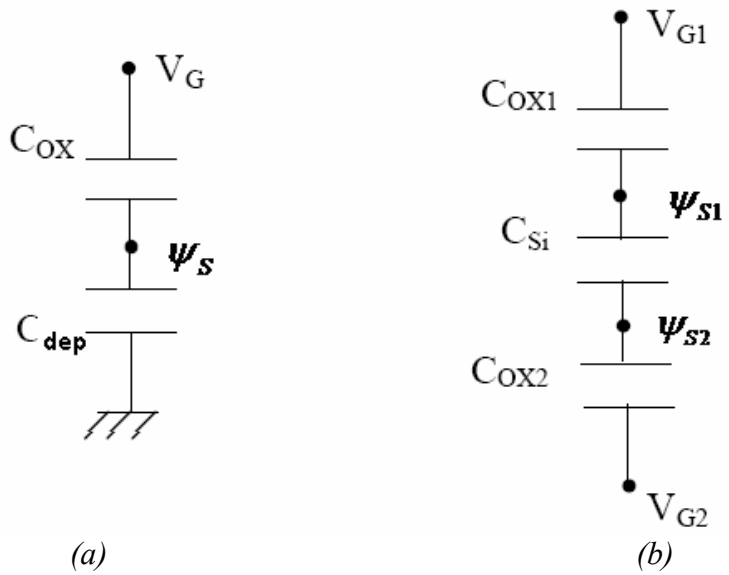


Fig. 1.20 : Circuit capacitif équivalent (a) d'un MOSFET bulk et (b) d'un SOI

Pour le transistor MOS bulk (Fig. 1.20-a), comme C_{dep} n'est pas négligeable, cela implique que $n > 1$. En revanche, pour le transistor SOI sur film mince, le film en entier est déplété avant que la tension n'atteigne la tension de seuil et donc C_{Si} est une constante, d'où :

$$SS = \frac{n \cdot k \cdot T}{e} \cdot \ln(10) \text{ où } n = \left(1 + \frac{C_{Si}}{C_{ox1}}\right) - \frac{\frac{C_{Si}}{C_{ox2}} - \frac{C_{Si}}{C_{ox1}}}{1 + \frac{C_{Si}}{C_{ox2}}} \tag{1.14}$$

C_{Si} désigne la capacité du film de silicium complètement déplété et C_{ox1} et C_{ox2}, les capacités d'oxyde situés respectivement dans la partie supérieure et la partie inférieure du film de silicium. À la Fig. 1.20-b, Ψ_{S1} et Ψ_{S2} désignent respectivement les potentiels de surface dans les régions supérieure et inférieure du film et, enfin, V_{G1} et V_{G2} correspondent aux polarisations des grilles, toujours dans la région supérieure et la région inférieure du film. Nous reviendrons plus en détail, dans le chapitre suivant, sur la définition de ces grandeurs.
Habituellement, pour des films minces, $C_{ox2} << C_{ox1}$ et $C_{ox2} << C_{Si}$, et donc nous obtenons une valeur de n proche de l'unité et la pente sous le seuil optimale. La pente sous le seuil à température ambiante est pratiquement maximale ($= 60mV/dec$ pour $n = 1$) en technologie SOI (cf. Fig. 1.21).

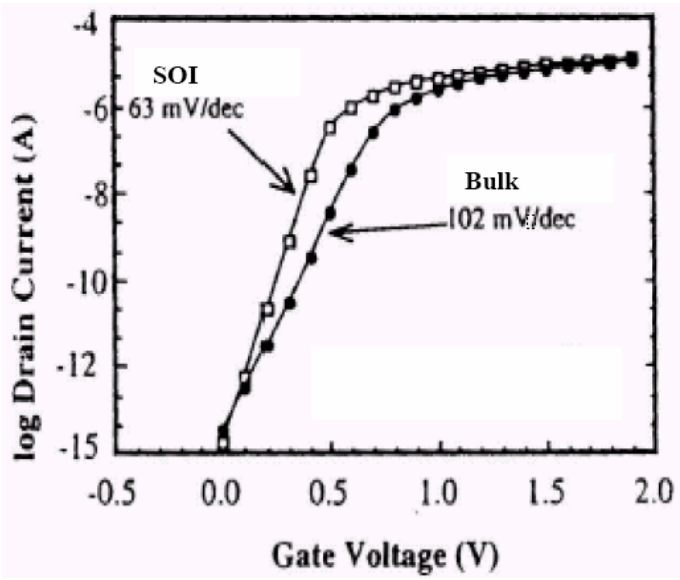


Fig. 1.21 : Comparaison de la pente sous le seuil du transistor MOS en technologies bulk et SOI, pour une géométrie constante [41]

La particularité du transistor SOI partiellement déplété

Le transistor SOI partiellement déplété est très proche du transistor MOS bulk. La similitude entre les procédés de fabrication permet la co-intégration des dispositifs sur une même puce. De plus, l'oxyde enterré isole le canal de conduction du substrat permettant d'immuniser le transistor contre les radiations [40] et d'améliorer la densité d'intégration en rapprochant les dispositifs. L'oxyde enterré limite également les capacités parasites drain-substrat et source-substrat qui sont quatre à sept fois plus faibles que sur silicium massif [41]. La réduction des capacités de jonction parasites se traduit par une amélioration des performances des transistors SOI en haute fréquence par rapport aux transistors MOS sur silicium massif (i.e. bulk). Cependant, le transistor SOI partiellement déplété ne permet pas le contrôle du potentiel dans tout le film. En plus des effets canaux courts, le transistor SOI partiellement déplété est soumis aux effets de substrat flottant qui dégradent le fonctionnement du transistor. Nous pouvons citer l'*effet Kink* qui est l'un des principaux effets du substrat flottant et déclenché par l'accumulation de charges produites par ionisation par impact dans le film de silicium.

Cet effet se traduit dans les transistors SOI partiellement déplétés par une augmentation du courant de drain (cf. Fig. 1.22) et par du bruit électrique en saturation.

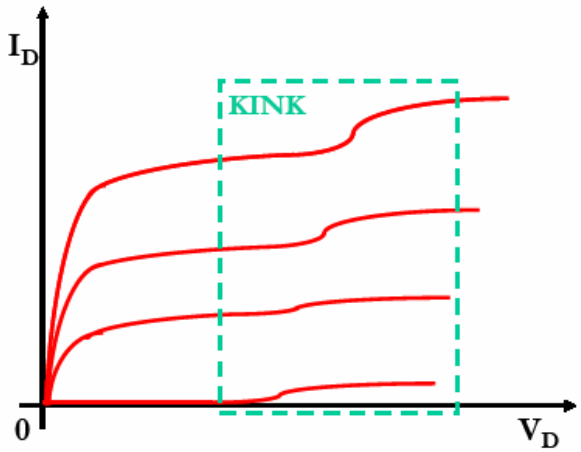


Fig. 1.22 : L'augmentation du courant de drain résultant de l'effet Kink

La particularité du transistor SOI entièrement déplété

Pour les dispositifs de taille déca-nanométrique appelés à prendre la relève du transistor MOS bulk, le contrôle des effets canaux courts nécessite une réduction importante des épaisseurs d'oxyde et du film de silicium. En plus des améliorations citées dans la description du transistor partiellement déplété, le transistor SOI entièrement déplété possède d'autres avantages par rapport au transistor MOS bulk. Tout d'abord, les jonctions ultra-

minces limitées par l'épaisseur du film t_{Si} permettent un bon contrôle des effets de canal court. La pente sous le seuil est alors améliorée par la limitation de la déplétion à l'épaisseur du film t_{Si} [43]. Le bon contrôle des effets canaux courts permet également de réduire le dopage du film. L'utilisation d'un film faiblement dopé et la réduction des champs électriques dans le SOI permettent d'améliorer la mobilité des porteurs et, par conséquent, le courant de saturation.

Cependant, la fabrication de transistors SOI à film de silicium mince présente quelques inconvénients. La réduction de l'épaisseur t_{Si} augmente les résistances parasites des contacts source et drain. Pour réduire ces résistances, les jonctions de source et de drain doivent être fortement dopées, ce qui augmente la diffusion des dopants dans le film et réduit par conséquent la longueur effective du canal. Parallèlement, plus les films sont minces, plus les fluctuations sur une même plaquette induisent des différences de comportement entre les composants, notamment en termes de tension de seuil. La tension de seuil est également modifiée par l'apparition des effets de confinement quantique des porteurs dans les films très minces. Pour finir, l'oxyde enterré s'avère être un obstacle pour l'intégration des transistors les plus avancés. Tout d'abord, il empêche l'évacuation de la chaleur par le substrat et le phénomène d'auto-échauffement en résultant dégrade le courant I_{off}, la pente sous le seuil et la mobilité des porteurs. Il a aussi été observé que l'oxyde enterré ne limite pas indéfiniment le couplage électrostatique entre la source et le drain et par conséquent les effets de canal court.

1.4.1.3 Conclusion

Les avantages de la technologie SOI sont nombreux. Cependant, leur inconvénient majeur, surtout en ce qui concerne le PDSOI, est l'importance des effets canaux courts (cf. Fig. 1.23). La polarisation du drain peut induire des effets canaux courts par influence électrostatique à travers l'oxyde enterré. Cet effet néfaste devient conséquent surtout lorsque l'épaisseur d'oxyde est importante. Naturellement, réduire l'épaisseur d'oxyde ne ferait que réduire l'influence électrostatique ; en revanche, insérer une grille en-dessous de l'oxyde constituerait un bouclier qui bloquerait complètement les lignes de champs. Ceci permettrait directement de protéger le canal et de réduire les effets canaux courts.

Cette structure est appelée double-grille et fera l'objet des chapitres suivants qui lui seront exclusivement dédiés. Le double-grille (DG) rentre dans le cadre des structures multi-grilles que nous allons présenter dans la section suivante.

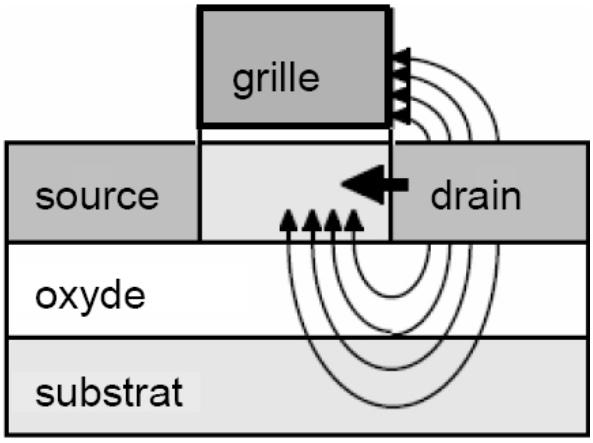


Fig. 1.23 : Influence électrostatique sur le SOI à une grille

Il existe encore une autre structure à une grille qui offre de bonnes perspectives de miniaturisation : le SON (pour "*Silicon On Nothing*") [44-46]. En comparaison avec le SOI, le SON ne présente de l'oxyde enterré qu'en dessous du canal conduction. Ceci a l'avantage de permettre l'évacuation de la chaleur par le substrat à travers les jonctions de source et de drain. Le procédé de fabrication des transistors SON offre également l'avantage de contrôler les épaisseurs de film et d'oxyde définis par épitaxie. Le terme "SON" fait référence à une étape particulière du procédé de fabrication au cours de laquelle le canal est suspendu au dessus de la zone active. Le film du transistor SON est complètement déplété et l'épaisseur du film est typiquement inférieure à 20*nm* [47]. Un autre avantage important concerne le procédé de fabrication qui permet de co-intégrer les transistors MOS bulk et les transistors SON sur une même puce.

1.4.2 Les transistors à grilles multiples

La technologie SOI à une grille ne permet pas de réduire les effets canaux courts en raison notamment de l'influence électrostatique. Cependant, l'ajout de grille autour de la couche de silicium, non seulement favorise l'isolement du canal de conduction, d'où sa protection, mais offre également un meilleur contrôle sur ce canal. En conséquence, nous voyons apparaître des structures SOI avec deux, trois, voire quatre grilles [41].

L'évolution des dispositifs SOI avec l'augmentation du nombre de grilles est illustrée en Fig. 1.24 et Fig. 1.25 :

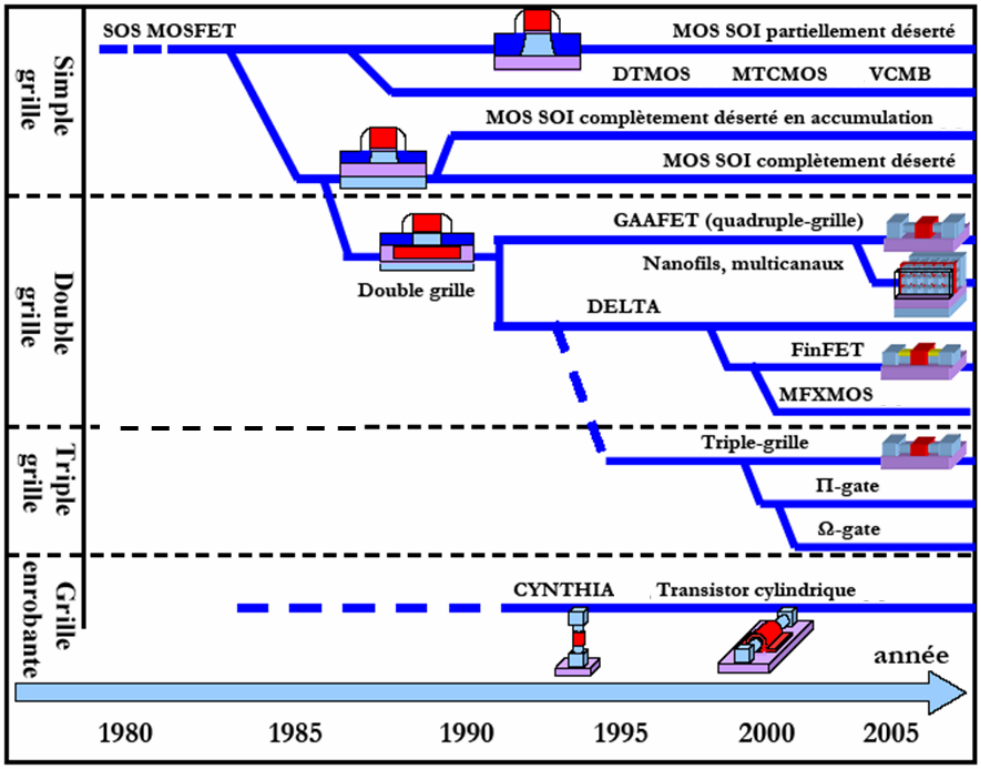


Fig. 1.24 : Evolution (en recherche) de la technologie SOI au fil des années [41], [25]

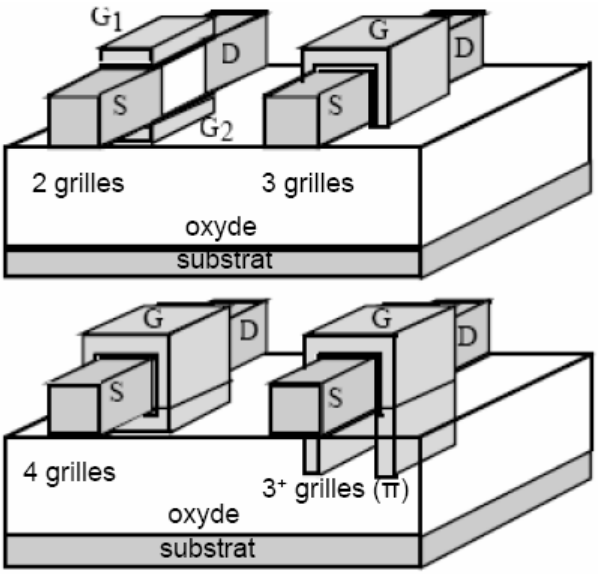


Fig. 1.25 : Les différentes structures multi-grilles : SOI double-grille (2), SOI triple-grille (3), SOI quadruple-grille/Surrounding-gate (4), et grille en forme Π ou Ω (3^+)

Suivant le nombre de grilles qui contrôle le canal et leur positionnement autour du film de silicium, la dénomination des MOSFETs SOI diffère, ainsi nous trouvons dans la littérature :

Le double-grille : Le transistor MOS double-grille (DG) est constitué de deux grilles placées sur le plan horizontal. La Fig. 1.25. en présente l'architecture. Chaque grille exerce un contrôle sur le ou les canaux.

Il existe une autre structure qui appartient à la catégorie du double-grille bien qu'elle possède trois grilles ; elle est souvent appelée dans la littérature, le FinFET. Cette structure dispose d'une « troisième grille » reliant les deux autres grilles. Par rapport à un dispositif MOSFET double-grille planaire, l'avantage d'un transistor FinFET est l'auto-alignement intrinsèque des deux grilles. La « troisième grille» se trouve sur une couche d'oxyde de grille d'une épaisseur importante. De ce fait, elle n'effectue aucun contrôle sur le canal. Ainsi, seules les deux grilles latérales créent et contrôlent un canal d'inversion.

De plus, on observera qu'au niveau de la structure MOSFET double-grille planaire, il existe deux variantes. Suivant la manière dont le dispositif est polarisé, nous assistons à des modes de fonctionnement différents. Nous avons ainsi le MOSFET double-grille en mode de fonctionnement symétrique et le MOSFET double-grille en mode de fonctionnement asymétrique. Nous reviendrons plus en détail sur ces deux types de dispositifs dans le chapitre suivant.

Le triple-grille : Cette structure dispose de trois grilles (TG), dont une au-dessus de l'oxyde et une sur chaque face latérale (cf. Fig. 1.25). Les couches d'oxyde au contact de chacune des grilles ont une épaisseur suffisamment faible pour permettre la formation de trois canaux à l'intérieur du film de silicium [41].

Le triple^{+}-grille : Ces transistors sont représentés à la Fig. 1.26. Ils sont constitués non seulement de trois grilles positionnées au-dessus de l'oxyde de grille et sur les faces latérales, mais également de deux extensions.

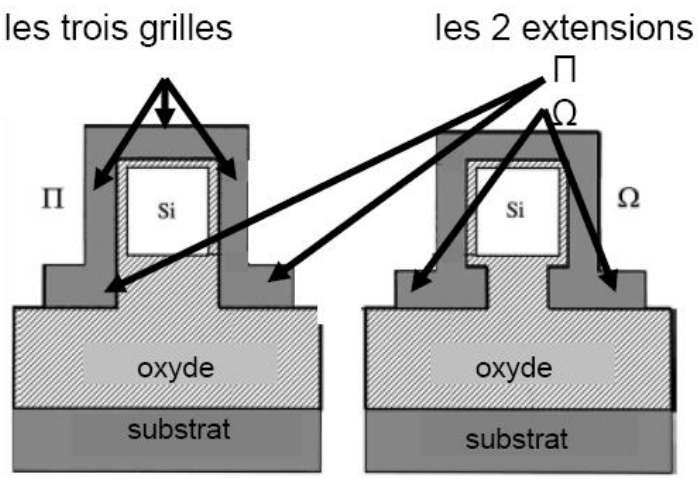


Fig. 1.26 : L'extension des grilles conduisant aux structures Π et Ω SOI MOSFETs

Suivant la forme de ces extensions, l'architecture diffère [41]. Si ces extensions se développent verticalement dans l'oxyde enterré, soit suivant la continuité des grilles latérales, nous parlons de structure ΠFET. Si ces extensions se développent horizontalement, soit perpendiculairement aux grilles latérales, nous parlons de ΩFET. Ces extensions sont généralement obtenues en surgravant l'oxyde dans la phase de définition des zones actives. Leur rôle consiste à améliorer considérablement le contrôle électrostatique de la grille.

Le quadruple-grille : Ce composant possède quatre grilles (QG). La structure est décrite à la Fig. 1.25. Le film de silicium est recouvert de grille sur les quatre faces, d'où leur autre nom : "*surrounding-gate*" [41]. Des études restent encore à mener pour déterminer tous les avantages de ce type de composant.

L'idée d'ajouter de plus en plus de grilles repose sur le fait que, si l'épaisseur du film actif de silicium entre les différentes grilles est suffisamment faible, ces grilles polarisées peuvent commander le volume global de silicium entre la source et le drain. La conduction s'effectuant alors de manière volumique et non plus surfacique [41], on s'attend à des effets avantageux pour la valeur du courant de drain. De plus, la prise de contrôle du canal se

révélant plus importante, on s'affranchit des effets canaux courts liés à l'influence de V_{ds} : la diminution drastique de l'épaisseur d'isolant devient moins cruciale. Enfin, par leurs dispositions, les grilles font enseigne de bouclier contre les lignes de champs créées par la polarisation du drain et qui influent sur la circulation des électrons. Finalement, les performances sont nettement améliorées avec de telles architectures multi-grilles. A cet effet, elles font l'objet actuellement de recherches intenses dans de nombreux laboratoires.

L'un des inconvénients de ces structures est l'accroissement des résistances des extensions source et drain. De plus, les dimensions de la zone active étant réduites à moins de quelques dizaines de nanomètres dans toutes les directions, de multiples questions se posent quant à la physique du transport dans ces dispositifs : importance du transport balistique [48] ou par effet tunnel [49] entre source et drain. Finalement, le point qui reste de loin le plus critique réside, bien entendu, dans leur fabrication qui nécessite la mise en œuvre de procédés plus que délicats.

1.5 Conclusion

La miniaturisation des transistors MOS a permis d'augmenter la densité d'intégration et la vitesse de fonctionnement des circuits. Cette réduction des dimensions a engendré des phénomènes parasites qui dégradent les caractéristiques des composants. Ainsi, une solution alternative au transistor MOS bulk devient-elle progressivement nécessaire.

Tout comme il y a soixante ans, lors de l'avènement de l'électronique sur semiconducteur au détriment des tubes à vide, de nouveaux dispositifs permettant d'améliorer, voire de remplacer la technologie MOSFET bulk, sont développés. Le chapitre suivant présente l'un de ces nouveaux composants, le MOSFET double-grille. Ce dernier s'affiche comme l'une des solutions innovantes potentielles, susceptibles d'assurer la pérennité de la nanoélectronique sur silicium.

Bibliographie

[1] T. Skotnicki, "*Transistor MOS et sa technologie de fabrication,*" Techniques de l'Ingénieur, vol. 2, no. E 2 430, 2000

[2] N Arora, "*MOSFET models for VLSI circuit simulation: theory and practice,*" ISBN-10 0387823956, Springer-Verlag Telos, 1993

[3] C. Liu, and T. Hsieh, "*Analytic modeling of the subthreshold behavior in MOSFET,*" Solid-State Electronics, vol. 44, no. 9, pp. 1707–1710, 2000

[4] E. Vandamme, P. Jansen, and L. Deferm, "*Modeling the subthreshold swing in MOSFETs,*" IEEE Electron Device Letters, vol. 18, no. 8, pp. 369–371, 1997

[5] B. Agrawal, V. De, and J. Meindl, "*Three-dimensional analytical subthreshold models for bulk MOSFETs,*" IEEE Transactions on Electron Devices, vol. 42, no. 12, pp. 2170–2180, 1995

[6] N. Chien, S. Cristoloveanu, and G. Ghibaudo, "*A three-piece model of channel length modulation in submicrometer MOSFETs,*" Solid-State Electronics, vol. 31, no. 6, pp. 1057–1063, 1988

[7] "*Intel Research web site*", http://www.intel.com/research/silicon

[8] "*ITRS (International Technology Roadmap for Semiconductors) web site*", http://public.itrs.net/

[9] S-I. Nakamura, T. Ohguro, T. Yoshitomi, et al., "*Study of the manufacturing feasibility of 1.5nm direct-tunneling gate oxide MOSFET's: Uniformity, reliability, and dopant penetration of the gate oxide,*" IEEE Transactions on Electron Devices, vol. 45, no. 3, pp. 691–700, 1998

[10] B.H. Lee, L. Kang, W. J. Qi, et al., "*Ultrathin hafnium oxide with low leakage and excellent reliability for alternative gate dielectric application,*" IEDM'99 Tech. Digest., pp. 556, 1999

[11] D. Ferry, L. Akers, and E. Greeneich, "*Ultra large scale integrated microelectronics,*" Prentice-Hall, Englewood Cliffs NJ, 1988

[12] X. Zhou, K. Lim, and D. Lim, "*A simple and unambiguous definition of threshold voltage and its implications in deep-submicron MOS device modeling,*" IEEE Transactions on Electron Devices, vol. 46, no. 4, pp. 807–809, 1999

[13] W. Henson, N. Yang, S. Kubicek, et al., "*Analysis of leakage currents and impact on off-state power consumption for CMOS technology in the 100nm regime,*" IEEE Transactions on Electron Devices, vol. 47, no. 7, pp. 1393–1400, 2000

[14] J. Pfiester, L. Parillo, and F. Baker, *"A physical model for boron penetration through thin gate oxides from p+ polysilicon gates,"* IEEE Electron Device Letters, vol. 11, no. 6, pp. 247–249, 1990

[15] M. Cao, P. Voorde, M. Cox, and W. Greene, "*Boron diffusion and penetration in ultrathin oxide with poly-Si gate,*" IEEE Electron Device Letters, vol. 19, no. 8, pp. 291–293, 1998

[16] T. Aoyama, K. Suzuki, H. Tashiro, et al., "*Flatband voltage shift in PMOS devices caused by carrier activation in p+-polycrystalline silicon and by boron penetration,*" IEEE Transactions on Electron Devices, vol. 49, no. 3, pp. 473–480, 2002

[17] A. Asenov, "*Random dopant induced threshold voltage lowering and fluctuations in sub-0.1µm MOSFET's: A 3-D (atomistic) simulation study,*" IEEE Transactions on Electron Devices, vol. 45, no. 12, pp. 2505–2513, 1998

[18] S. Barraud, P. Dollfus, S. Galdin, et al., "*Short-range and longrange Coulomb interactions for 3D Monte Carlo device simulation with discrete impurity distribution,*" Solid-State Electronics, vol. 46, no. 7, pp. 1061–1067, 2002

[19] A. Spinelli, A. Benvenutti, and A. Pacelli, "*Self-consistent 2-D models for quantum effects in NMOS transistors,*" IEEE Transactions on Electron Devices, vol. 45, no. 6, pp. 1342–1349, 1998

[20] J-L.Villanueva, P-C. Casinello, J. Banqueri, et al., "*Effects of the inversion layer centroid on MOSFET behaviour,*" IEEE Transactions on Electron Devices, vol. 44, no. 11, p. 1915, 1997

[21] B. Ip, and J. Brews, "*Quantum effects upon drain current in a biased MOSFET,*" IEEE Transactions on Electron Devices, vol. 45, no. 10, pp. 2213–2221, 1998

[22] T. Janik, and B. Majkusiak, "*Analysis of the MOSFET based on the self-consistent solution to the Schrödinger and Poisson equations and on the local mobility model,*" IEEE Transactions on Electron Devices, vol. 45, no. 6, pp. 1263–1271, 1998

[23] M. VanDort, P. Woerlee, and A. Walker, "*A simple model for quantization effects in heavily-doped silicon MOSFETs at inversion conditions,*" Solid-State Electronics, vol. 37, no. 3, pp. 411–414, 1994

[24] E. Cassan, S. Galdin, P. Hesto, et al., "*Semi-classical and wavemechanical modeling of charge control and direct tunneling leakage in MOS and H-MOS devices with ultra-thin oxides,*" IEEE Transactions on Electron Devices, vol. 48, no. 4, pp. 715–721, 2001

[25] R. Ritzenthaler, « *Architecture avancées des transistors FinFETs : Réalisation, caractérisation et modélisation* », Thèse INP Grenoble, 2006

[26] C. Lallement, F. Pêcheux, Y. Hervé, "*A VHDL-AMS case study: the incremental design of an efficient 3rd generation MOS model of deep sub micron transistor,*" SOC Design Methodologies, Editeurs: M. Robert, B. Rouzeyre, C. Piguet, M. - L. Flottes, Kluwer Academic Publishers, Boston, Hardbound (ISBN 1-4020-7148-5), pages 349 - 360, juillet 2002

[27] H. Brut, « *Contribution à la modélisation et à l'extraction des paramètres de tension de seuil, de résistance série et de réduction de longueur dans les transistors MOS submicroniques* », thèse INP Grenoble, no. 96 INPG 0192, 1996

[28] F. Prégaldiny, « *Etude et modélisation du comportement électrique des transistors MOS fortement submicroniques* », Thèse de docteur de l'université, Université Louis Pasteur, Strasbourg I, no. 4460, 2003.

[29] F. Prégaldiny, C. Lallement, D. Mathiot, "*A simple efficient model of parasitic capacitances of deep sub-micron LDD MOSFETs*," Solid-State Electronics, vol. 46, pp. 2191-2198, 2002

[30] Scott et al., "*MOS Scaling: Transistor Challenges for the 21st Century,"* Intel Technology Journal Q 398, 1998

[31] G. Lucovsky, J.C. Phillips, "*Defects and defect relaxation at internal interfaces between high-k transition metal and rare earth dielectrics and interfacial native oxides in metal oxide semiconductor (MOS) structures*," Thin Solid Films, vol. 486, pp. 200-204, 2005

[32] J. Roberson, P.W. Peacock, "*Atomic structure, band offsets, growth and defects at high-K oxide: Si interfaces*," Microelectronics Engineering, vol. 72, pp. 112-120, 2004

[33] J. Pfiester, L. Parillo, and F. Baker, "*A physical model for boron penetration through thin gate oxides from p+ polysilicon gates*," IEEE Electron Device Letters, vol. 11, no. 6, pp. 247–249, 1990

[34] M. Cao, P. Voorde, M. Cox, and W. Greene, "*Boron diffusion and penetration in ultrathin oxide with poly-Si gate,*" IEEE Electron Device Letters, vol. 19, no. 8, pp. 291–293, 1998

[35] T. Aoyama, K. Suzuki, H. Tashiro, et al., "*Flatband voltage shift in PMOS devices caused by carrier activation in p+-polycrystalline silicon and by boron penetration,*" IEEE Transactions on Electron Devices, vol. 49, no. 3, pp. 473–480, 2002

[36] N. Collaret, P. Verheyen, K. De Meyer, et al., "*High performance Si/SiGe pMOSFETs fabricated in a standard CMOS process technology*," Solid-State Electronics, vol. 47, no. 7, pp. 1173–1177, 2003

[37] M. Jurczack, T. Skotnicki, G. Ricci, et al., "*A 90nm Logic Technology Featuring 50nm Strained Silicon Channel Transistors, 7 layers of Cu Interconnects, Low k ILD, and 1µm2 SRAM Cell*," IEDM Tech. Dig, pp. 61–64, 2002

[39] Z. Ren, R. Venugopal, S. Datta, et al., "*The ballistic nanotransistor: A simulation study,*" IEDM Tech. Dig., pp. 715-718, 2000

[40] S. Cristoloveanu and S. S. Li, "*Electrical characterization of silicon-on-insulator materials and devices,*" Kluwer Academic Publishers, 1995

[41] J. Colinge, "*Silicon-on-insulator technology: Materials to VLSI,*" ISBN 1-4020-77734, Kluwer Academic Publishers, 3rd edition, 1997

[42] P. K. Bondyopadhyay, "*Moore's law governs the silicon revolution,*" Proc. IEEE, vol. 86, no. 1, pp. 78-81, 1998

[43] F. Balestra, M. Benachir, J. Brini, et al., "*Analytical models of subthreshold swing and threshold voltage for thin-film and ultra-thin-film SOI MOSFETs*," IEEE Transactions on Electron Devices, vol. 37, no. 11, pp. 2303–2311, 1990

[44] M. Jurczak, T. Skotnicki, M. Paoli, et al., "*Silicon-on-nothing (SON) an innovating process for advanced CMOS,*" IEEE Transactions on Electron Devices, vol. 47, no. 11, pp. 2179-2187, 2000

[45] S. Monfray, T. Skotnicki, Y. Morand, et al., "*First 80nm SON (Silicon-On-Nothing) MOSFETs with perfect morphology and high electrical performance,*" IEDM'01 Tech. Digest, pp. 645-648, 2001

[46] S. Harrison, P. Coronel, A. Cros, et al., "*Poly-gate replacement through contact hole (PRETCH): A new method for High-K/Metal gate and multi-oxide implementation on chip,"* IEDM'04 Tech. Digest, pp. 291-294, 2004

[47] O. Tintori, « *Modélisation et simulation des transistors Double-Grille : du dispositif au circuit intégré* », Thèse de docteur de l'université, Université de Provence, 2006

[48] J-H. Rhew, Z. Ren, and M-S. Lundstrom, "*A numerical study of ballistic transport in a nanoscale MOSFET,*" Solid-State Electronics, vol. 46, no. 11, pp. 1899–1906, 2002

[49] M. Mouis, and A. Poncet, "*Coupling between 2D and quantum confinement effects in ultra-short channel double-gate MOSFETs," ESSDERC*'2001, Germany, pp. 211–214, 2001

Chapitre 2

Le MOSFET double-grille : les effets physiques, les propriétés électriques et l'état de l'art des modèles compacts

Sommaire du chapitre 2

2 Le MOSFET double-grille : les effets physiques, les propriétés électriques et l'état de l'art des modèles compacts — 47
2.1 Introduction — 49
2.2 La technologie MOSFET double-grille — 49
2.2.1 Le transistor MOS double-grille planaire — 50
2.2.2 Le transistor MOS double-grille quasi-planaire : le FinFET — 51
2.2.3 Le transistor MOS double-grille vertical — 53
2.3 Modes de fonctionnement du transistor MOS double-grille planaire — 54
2.4 Propriétés électriques du MOSFET double-grille — 56
2.4.1 Nouvelles lois de réduction d'échelle — 56
2.4.1.1 Définition de la longueur caractéristique — 57
2.4.2 Le phénomène d'inversion volumique — 60
2.4.3 Caractéristiques statiques — 61
2.4.3.1 Définition de la tension de seuil — 61
2.4.3.2 Etat passant — 63
2.4.3.3 Etat bloqué — 64
2.4.3.4 Contrôle des effets canaux courts — 65
2.5 Etat de l'art des modèles compacts du MOSFET double-grille symétrique — 68
2.5.1 Introduction — 68
2.5.2 Les différents modèles compacts du MOSFET double-grille symétrique — 70
2.5.2.1 Modèles en tension de seuil du MOSFET double-grille symétrique — 71
2.5.2.2 Modèles en potentiel de surface du MOSFET double-grille symétrique — 72
2.5.2.3 Modèles en charge du MOSFET double-grille symétrique — 75
2.6 Bilan et intérêt d'un nouveau modèle — 77
Bibliographie — 79

2.1 Introduction

Comme nous l'avions spécifié dans le précédent chapitre, les structures SOI à une grille offrent d'intéressantes propriétés grâce à la présence de l'oxyde enterré entre le film de silicium et le substrat.

Lorsque nous portons un regard particulier sur le SOI à film entièrement déplété, nous notons que la tension de seuil peut être réduite sans altérer les performances de coupure du transistor à polarisation de grille V_g nulle. Dès lors, ces circuits peuvent fonctionner sous de faibles tensions d'alimentation V_{DD} (en dessous de $1,5V$) avec une vitesse et une consommation améliorées d'un facteur de 2, voire 3 par rapport aux circuits MOSFETs bulk. Cette voie très prometteuse est cependant difficile à industrialiser, car elle requiert un contrôle précis de l'épaisseur du film de silicium.

Il est possible d'aller plus loin dans l'amélioration des propriétés électriques du SOI, en introduisant une deuxième grille sous le film. Ceci permet non seulement de réduire davantage le couplage parasite avec le substrat mais également de doubler voire tripler (tout autre paramètre restant constant) la densité de courant par transistor et, par conséquent, les performances des circuits. Cette structure SOI avec deux grilles porte le nom de *double-grille planaire*. Le terme « planaire » rappelle la disposition des deux grilles suivant le plan horizontal par opposition à la structure verticale qui ne fait pas l'objet de cette étude. La première publication concernant le transistor double-grille date de 1984 [1]. Il y est décrit la réduction importante des effets canaux courts dans les dispositifs nommés XMOS, lorsqu'un meilleur contrôle du potentiel à l'intérieur du film de silicium est réalisé via deux grilles placées de part et d'autre de ce film.

Dans ce chapitre, nous allons détailler le dispositif MOSFET double-grille afin de mieux cerner ses particularités.

2.2 La technologie MOSFET double-grille

Les transistors MOS double-grille (DG) sont regroupés en trois catégories suivant la direction du transport électronique et la direction du champ de grille par rapport au plan du substrat qui est le plan horizontal. Ainsi, pourrons-nous distinguer :

Le double-grille planaire : où le transport électronique s'effectue parallèlement au plan de substrat et le champ de grille est perpendiculaire au substrat.

Le double-grille quasi-planaire : où le transport électronique et le champ de grille sont parallèles au plan de substrat.

Le double-grille vertical : où le transport électronique est perpendiculaire au plan de substrat et le champ de grille est parallèle au substrat.

Ces trois catégories de double-grille possèdent des particularités technologiques – telles qu'une résolution lithographique et un alignement des grilles – totalement différentes. En conséquence de ces différences du point de vue technologique, les propriétés électriques demeurent nettement modifiées lorsque nous passons d'une catégorie à une autre. Nous allons maintenant discuter des points essentiels de ces trois structures double-grille.

2.2.1 Le transistor MOS double-grille planaire

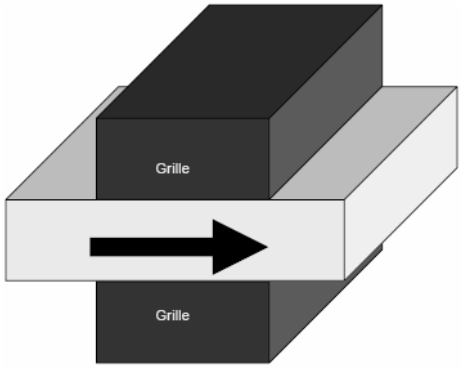
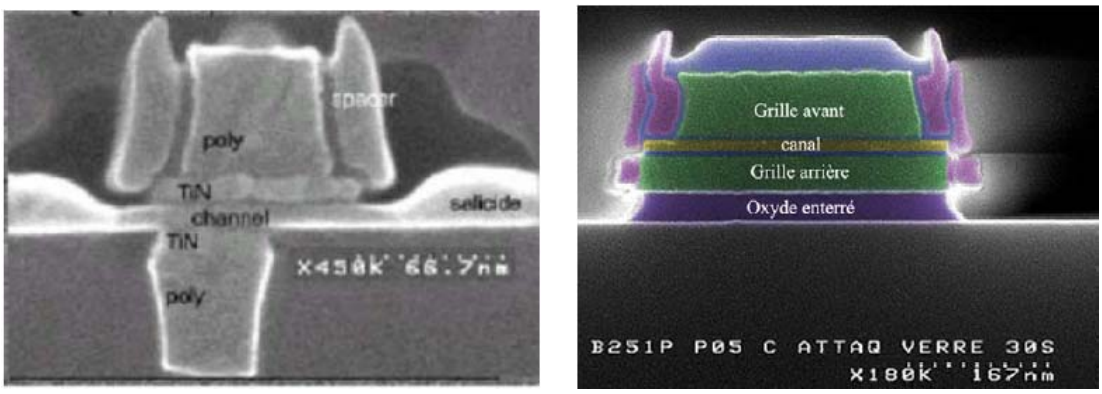


Fig. 2.1 : Orientation du transport électronique et effet de champ sur le MOSFET double-grille planaire.
(La flèche indique l'orientation du transport et la position des grilles indique la direction de l'effet de champ par rapport au plan supérieur du substrat qui correspond au plan horizontal)

L'architecture du MOSFET double-grille planaire est basée sur celle du SOI à une grille. L'oxyde enterré est placé sur un second empilement de grilles. Ces dispositifs ne nécessitent pas de résolution lithographique inférieure à la longueur de grille L_g car le procédé « *smart cut* » permet sans lithographie de réaliser des couches actives ultra-minces $(<10nm)$.

Les MOSFETs double-grille planaires réalisés à l'heure actuelle n'ont pas les grilles parfaitement alignées. Les grilles sont gravées successivement et sont alignées « optiquement ». L'imprécision tenant au non alignement des grilles génère une forte dispersion des caractéristiques des composants à canaux courts [2]. Ceci malheureusement constitue un frein à la production en grande série. Lorsque la grille inférieure recouvre un des caissons, cela génère des capacités parasites qui dégradent les performances électriques. Pire encore, lorsque le non-alignement est très important, comme il est décrit dans la Fig. 2.2-a, le dispositif se comporte comme s'il ne possédait qu'une seule grille active. Cependant et d'une manière générale, les structures présentant de faibles non-alignements des grilles (cf. La Fig. 2.2-b) restent très performantes [3], [4]. Pour fabriquer les transistors ultimes, la réalisation du MOSFET double-grille planaire auto-aligné est indispensable mais technologiquement complexe.



(a) *(b)*

Fig. 2.2 : Image au MEB (microscope électronique à balayage) d'une coupe de transistor MOS double-grille (a) non-auto-alignée et (b) auto-alignée [3]

2.2.2 Le transistor MOS double-grille quasi-planaire : le FinFET

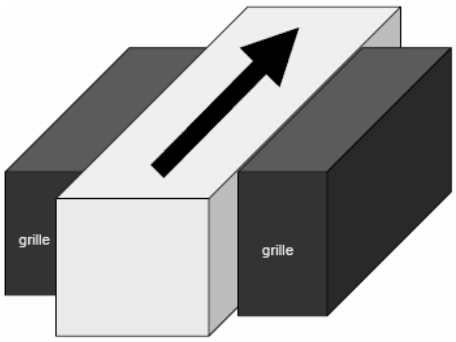


Fig. 2.3 : Orientation du transport électronique et effet de champ sur le MOSFET double-grille quasi-planaire. (La flèche indique l'orientation du transport et la position des grilles indique la direction de l'effet de champ par rapport au plan supérieur du substrat qui correspond au plan horizontal)

Le transistor MOS double-grille quasi-planaire est nommé FinFET. Il tire son nom de son canal en forme d'aileron (*Fin*). Les étapes de réalisation d'un tel dispositif sont schématisées sur la Fig. 2.4. La zone active (en forme d'aileron ou de mur) et les caissons source et drain commencent par être dessinés. L'oxyde et le contact de grille sont ensuite déposés autour de l'aileron puis gravés.

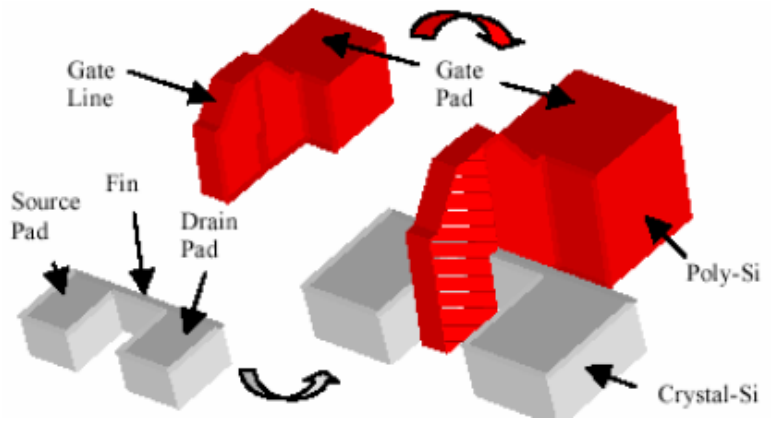


Fig. 2.4 : Schéma d'une structure de FinFET quasi-planaire [5]

Comme illustré sur la Fig. 2.5, l'auto-alignement des grilles d'un FinFET est naturel. De plus, des étapes technologiques supplémentaires permettent de séparer électriquement les grilles [6]. La zone active est déterminée par la hauteur *H* de l'aileron ; cela peut être avantageux en termes de densité d'intégration par rapport à la structure planaire. Finalement, le FinFET est très prometteur car il est relativement simple à fabriquer comparé aux autres technologies ; de plus, sa technologie est particulièrement compatible avec la technologie CMOS bulk [7]. Enfin, si l'épaisseur du film de silicium (entre les 2 grilles) est du même ordre de grandeur que la hauteur *H* de l'aileron et que l'épaisseur d'oxyde est la même sur les flancs et le dessus de l'aileron, nous obtenons alors un MOSFET triple-grille.

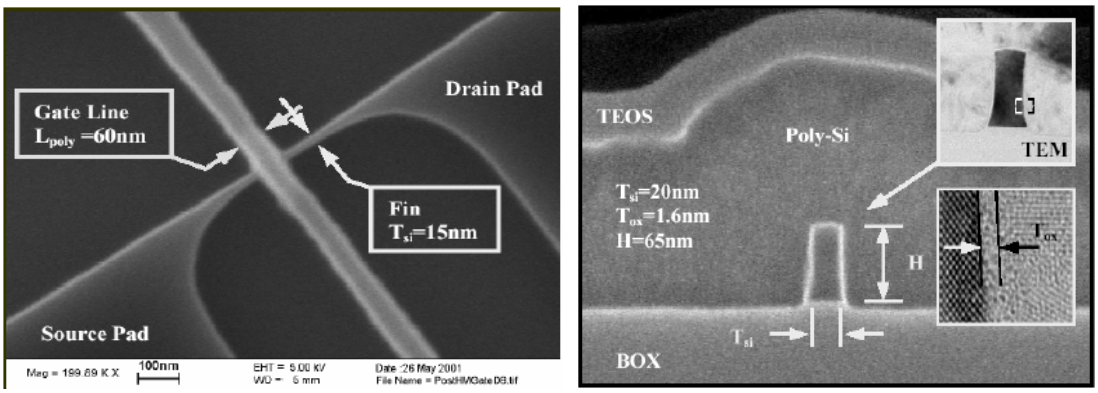


Fig. 2.5 : Images de FinFET : a) Image au MEB d'une vue de dessus d'un FinFET. b) Image au MEB d'une coupe perpendiculaire au flux des porteurs d'un FinFET. L'encart montre une image en TEM de «l'aileron» et de l'oxyde de grille [5]

Cependant, pour prévenir les effets canaux courts, ce transistor nécessite des procédés de lithographies rigoureuses [8], de résolution inférieure à L_g pour la gravure de l'aileron qui détermine l'épaisseur de la zone active. Nous reviendrons dans les sections suivantes sur l'importance de l'épaisseur de la zone active du MOSFET double-grille sur le contrôle des effets canaux courts. Outre ce besoin de précision lithographique pour minimiser les effets canaux courts, la hauteur de l'aileron et la qualité des flancs de l'aileron sont aussi des paramètres délicats à contrôler [8]. Enfin, l'alignement des caissons source et drain qui ne sont pas dessinés en même temps que la grille, pose de sérieux problèmes. Pour toutes ces raisons, le FinFET semble encore être difficilement réalisable en grande série.

2.2.3 Le transistor MOS double-grille vertical

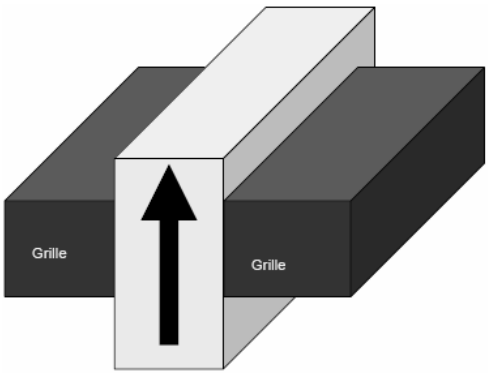


Fig. 2.6 : Orientation du transport électronique et effet de champ sur le MOSFET double-grille *vertical. (La flèche indique l'orientation du transport et la position des grilles indique la direction de l'effet de champ par rapport au plan supérieur du substrat qui correspond au plan horizontal)*

L'avantage du transistor MOS double-grille vertical, dont une image TEM (*microscopie par transmission électronique*) est présentée à la Fig. 2.7, est que la longueur de grille n'est pas définie par lithographie. Cela permet d'atteindre dans la miniaturisation des longueurs de grille ultracourtes [9]. De plus, les grilles sont naturellement auto-alignées.

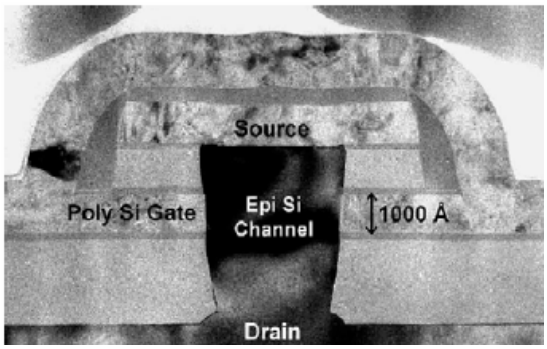


Fig. 2.7 : Image au MEB d'un transistor vertical à grille enrobante ($L_g = 100nm$) [10]

Dans la suite (paragraphes 2.3 et 2.4), nous nous focaliserons sur le transistor MOS double-grille au sens général, et nous mettrons en exergue ses propriétés en le comparant aux autres architectures SOI, telles que le MOSFET SOI à une grille (SG), le MOSFET triple-grille (TG), et enfin le MOSFET quadruple-grille (QG).

En revanche, aux termes du paragraphe 2.5 dédié à l'état de l'art des modèles compacts du transistor MOS double-grille, nous ne nous intéresserons plus qu'au dispositif MOSFET double-grille planaire à film de silicium faiblement dopé.

2.3 Modes de fonctionnement du transistor MOS double-grille planaire

Le transistor MOS double-grille planaire se scinde principalement en deux types suivant le mode de fonctionnement retenu. Ainsi, distinguons-nous le MOSFET double-grille en mode de fonctionnement symétrique (SDG) et le MOSFET double-grille en mode de fonctionnement asymétrique (ADG). Le point commun de ces deux transistors est que les deux grilles sont polarisées simultanément.

Il existe toutefois une structure double-grille où les grilles ne sont pas connectées électriquement et où leurs polarisations s'effectuent indépendamment. On parle dans ce cas, de double-grille à grilles indépendantes. Cette structure ne sera pas étudiée dans ce travail.

Par souci de clarté quant aux définitions du MOSFET double-grille symétrique et du MOSFET double-grille asymétrique, nous allons considérer la structure générique MOSFET double-grille présentée dans la Fig. 2.8. Nous notons bien sur cette figure la forme planaire, avec une partie centrale qui représente la couche de silicium et qui constitue la partie active du composant. Nous symboliserons de manière générale les épaisseurs d'oxyde par t_{oxk}, et les différences de travaux de sortie entre le silicium et les grilles par $\Delta\Phi_k$. L'indice k sera porté respectivement à 1 ou 2 lorsqu'il s'agira de décrire la partie au dessus ou en dessous du film de silicium. L'épaisseur du film de silicium sera symbolisée par t_{Si}. Nous adopterons ces notations tout au long de ce paragraphe.

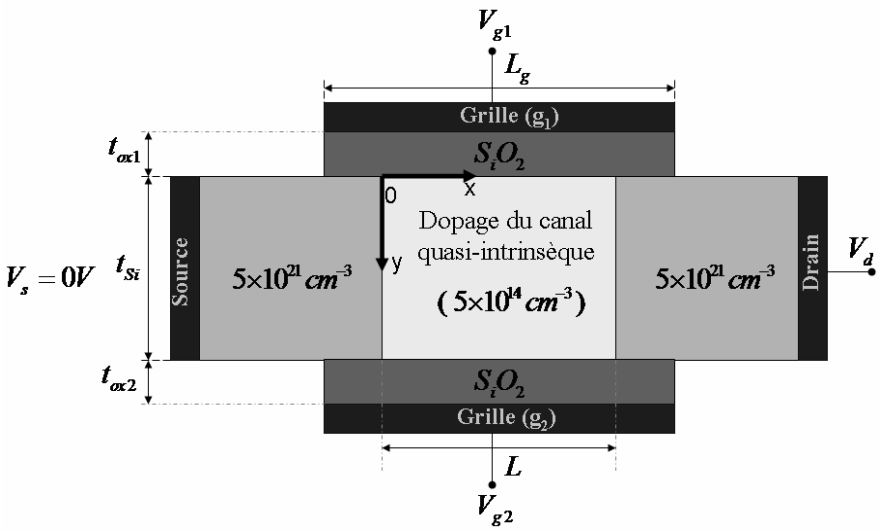


Fig. 2.8 : Structure générique d'un transistor MOS double-grille

Pour revenir à la distinction entre le transistor MOS double-grille symétrique et le transistor MOS double-grille asymétrique, il est aisé de voir que lorsqu'une polarisation identique est appliquée aux deux grilles, les tensions V_{g1} et V_{g2} chutent respectivement à travers les couches d'oxyde d'épaisseurs t_{ox1} et t_{ox2}. Outre ces réductions des polarisations des grilles liées à la présence des oxydes, nous remarquons des chutes additionnelles liées aux différences des travaux de sortie entre le silicium et les grilles (i.e. $\Delta\Phi_1$ et $\Delta\Phi_2$). Finalement, la tension au niveau d'une interface silicium-oxyde dépend aussi bien du t_{oxk} que du $\Delta\Phi_k$ correspondant. Il en résulte que si, sur une même structure, les grilles sont faites de même matériau (ce qui conduit à $\Delta\Phi_1 = \Delta\Phi_2$) et les couches d'oxyde sont de même épaisseur (i.e. $t_{ox1} = t_{ox2}$), les tensions sur les deux interfaces silicium-oxyde seront identiques. Par conséquent, au sein de la zone active, les porteurs subissent la même influence de la part des

deux grilles. Cela conduit à une symétrie des courbures de bandes dans la direction transversale au film. Dès lors, le MOSFET double-grille adopte un mode de fonctionnement symétrique. En revanche, s'il s'avère que sur la structure les épaisseurs d'oxyde sont différentes (i.e. $t_{ox1} \neq t_{ox2}$) ou que les travaux de sortie sont différents ($\Delta\Phi_1 \neq \Delta\Phi_2$), nous assistons à une asymétrie dans la répartition des porteurs dans le film. Ceci conduit à un mode de fonctionnement asymétrique.

L'aspect modélisation compacte, traité en deuxième partie de ce chapitre, ne portera que sur le dispositif MOSFET double-grille symétrique.

2.4 Propriétés électriques du MOSFET double-grille

Le transistor MOS double-grille fait donc partie des architectures innovantes les plus prometteuses pour parvenir aux objectifs fixés par l'ITRS [11] pour les nœuds technologiques ultimes. Par comparaison avec le transistor MOS bulk et le transistor MOS SOI à une grille, l'ajout d'une seconde grille permet – à épaisseur d'oxyde constante – d'améliorer le contrôle électrostatique du canal et donc de lutter efficacement contre les *effets canaux courts*. De plus, grâce au phénomène d'inversion volumique (sur lequel nous reviendrons), une amélioration de la mobilité effective des porteurs est attendue.
Nous allons, dans cette section, faire une étude comparative des propriétés électriques du MOSFET double-grille planaire avec celles des autres architectures SOI. Cette étude n'étant cependant pas exhaustive, les lecteurs sont invités à consulter la référence [12] pour des informations plus approfondies.

2.4.1 Nouvelles lois de réduction d'échelle

La diminution des dimensions des composants microélectroniques, dictée par la demande de performances toujours plus grande, ne cesse de confronter ces dispositifs à des effets parasites tels que les effets canaux courts qui dégradent leurs performances. Pour continuer à réduire les dimensions d'un dispositif sans dégrader ses caractéristiques électriques, il faudrait respecter des règles de réduction d'échelle (*scaling*). Cela consiste à

trouver le meilleur rapport entre les différentes dimensions du transistor pour conserver de bonnes performances tout en modifiant de façon adéquate les caractéristiques technologiques (dopage, épaisseur d'oxyde, etc.) du dispositif. Précisons que le facteur économique aura une incidence directe sur les choix technologiques retenus.

Dans le cas du MOSFET bulk, les règles de *scaling* sont maintenant bien connues et établies [8][13].

Dans le cas des technologies émergentes, les règles de *scaling* doivent être également définies. Ainsi, les solutions analytiques permettant de dimensionner les dispositifs MOSFETs bulk ont dû être adaptées pour décrire la structure MOSFET double-grille, voire la plupart des architectures multi-grilles. De nouvelles grandeurs telles que les facteurs de formes (L/λ) ou les longueurs caractéristiques (λ) [12] ont été définies et ajustées afin d'améliorer la résistance aux effets canaux courts et d'optimiser les caractéristiques électriques.

2.4.1.1 Définition de la longueur caractéristique

J. P. Colinge [12] a établi une solution analytique qui permet de dimensionner les dispositifs multi-grilles. La règle de dimensionnement est généralement obtenue en résolvant l'équation de Poisson suivant les deux dimensions et en faisant l'hypothèse d'un canal complètement déserté :

$$\frac{\partial^2 \Psi(x,y)}{\partial x^2} + \frac{\partial^2 \Psi(x,y)}{\partial y^2} = \frac{e \cdot N_A(x,y)}{\varepsilon_{si}} \tag{2.1}$$

où N_A est le dopage (en ions accepteurs d'électrons dans les transistors à canal n) de la zone active, Ψ est le potentiel électrostatique et ε_{si} la permittivité diélectrique du silicium.

Si nous supposons un potentiel de forme parabolique dans la direction de l'effet de champ [14] et les conditions aux limites définies dans [15], nous pouvons poser :

$$\varphi(y) = \Psi_S(y) - V_g + V_{FB} + \frac{e \cdot N_A \cdot t_{Si} \cdot t_{ox}}{2 \cdot \varepsilon_{ox}} \tag{2.2}$$

[8] H. S. P Wong, dans un excellent article publié en 1999 [13], a parfaitement expliqué le *scaling* et sa problématique dans le cas du MOSFET-bulk.

Ainsi, l'équation de Poisson peut se réécrire sous la forme :

$$\frac{\delta^2\varphi(y)}{\delta y^2} - \frac{\varphi(y)}{\lambda^2} = 0 \qquad (2.3)$$

Ceci conduit à la définition d'un paramètre essentiel à l'analyse des effets canaux courts, à savoir λ. Le paramètre λ est appelé la distance caractéristique ou longueur naturelle (*natural length*) du dispositif ; il est fortement dépendant de l'épaisseur d'oxyde t_{ox} et de l'épaisseur du film de silicium t_{Si}. Ce paramètre contrôle la répartition du potentiel dans la direction perpendiculaire au canal. Pour chaque architecture multi-grilles, la solution de λ est obtenue en adaptant les conditions aux limites – définies lors de la résolution de l'équation de Poisson – suivant la géométrie de la structure [15-18]. L'analyse des résultats de simulations [12] a montré que pour réduire les effets de canaux courts et maintenir des valeurs de la pente sous le seuil raisonnables avec la miniaturisation, cette longueur caractéristique doit être 5 voire 10 fois plus petite que la longueur effective de la grille (i.e. la longueur du canal L). Ce qui conduit à un dimensionnement précis du facteur de forme L/λ.

Afin de mieux comprendre la signification de λ, regardons ce qui se passe à l'intérieur des films des différentes architectures SOI. Lorsque la polarisation de grille est nulle et que la polarisation de drain augmente, le contour des potentiels autour de la région du drain s'étend vers la source. Ainsi, le potentiel du canal augmente et en conséquence, la différence de potentiel entre la source et le canal devient suffisamment faible pour favoriser le passage d'un courant de fuite qui dégrade les performances du dispositif [16]. Ceci est d'autant plus important que la pénétration longitudinale des contours du potentiel autour du drain est importante. Cette pénétration est matérialisée par la longueur caractéristique λ.

Dans le cas du transistor double-grille SOI MOSFET, nous avons étudié l'évolution de la longueur caractéristique en fonction des paramètres technologiques. La Fig. 2.9 décrit λ en fonction de l'épaisseur du film de silicium pour deux valeurs d'épaisseur de couche d'oxyde (t_{ox}) : 1*nm* (cf. Fig. 2.9-a) et 3*nm* (cf. Fig. 2.9-b). Les régions en dessous des courbes correspondent à des régions où les effets canaux courts sont prédominants. Les régions hachurées désignent des zones où l'on peut malgré tout s'affranchir de ces effets canaux courts par un bon choix des dimensions géométriques (L et t_{Si}) du dispositif. A titre d'exemple, pour une épaisseur d'oxyde de 3*nm*, lorsque la longueur du canal est de 60*nm*,

afin de s'affranchir des effets canaux courts (c'est-à-dire pour que λ soit 10 fois plus petit que L), il faudrait choisir une épaisseur de film de silicium maximale de 7,5*nm* (cf. Fig. 2.9-b). En revanche, lorsque l'épaisseur d'oxyde est réduite jusqu'à 1*nm*, il faudrait choisir une épaisseur de film de silicium maximale de 25*nm* (cf. Fig. 2.9-a).

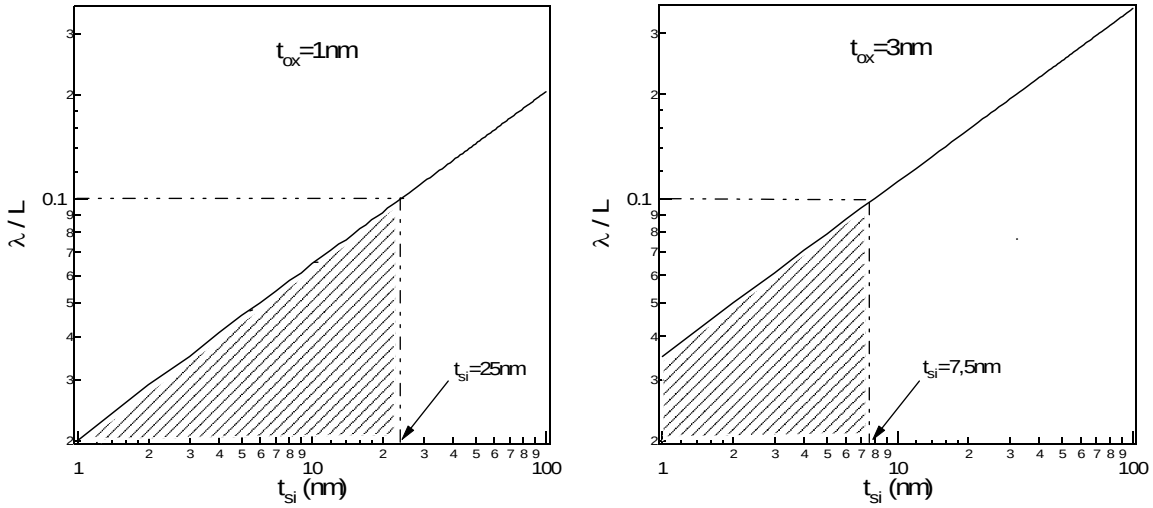


Fig. 2.9 : La longueur caractéristique en fonction de l'épaisseur du film de silicium pour (a) $t_{ox} = 1nm$ *et (b) pour* $t_{ox} = 3nm$, $L = 60nm$

Le Tableau 2.1 regroupe les différentes longueurs caractéristiques des différentes structures multi-grilles. Il convient de noter que λ diminue lorsque le nombre de grilles croît. Ceci explique l'intérêt des technologues pour ces architectures de plus en plus complexes.

	Longueur caractéristique (λ)
SOI à une grille (SG)	$\sqrt{\frac{\varepsilon_{si}}{1 \cdot \varepsilon_{ox}} \cdot t_{Si} \cdot t_{ox}}$
SOI Double-Grille (DG)	$\sqrt{\frac{\varepsilon_{si}}{2 \cdot \varepsilon_{ox}} \cdot t_{Si} \cdot t_{ox}}$
SOI Quadruple-Grille (QG)	$\sqrt{\frac{\varepsilon_{si}}{4 \cdot \varepsilon_{ox}} \cdot t_{Si} \cdot t_{ox}}$

Tableau 2.1 : Expression de la longueur caractéristique en fonction de l'architecture : SOI à une, deux ou quatre grilles [12]

2.4.2 Le phénomène d'inversion volumique

Le MOSFET double-grille permet sous certaines conditions de créer une inversion dans tout le volume de silicium (le *body*). La répartition volumique des porteurs permet d'augmenter la section traversée par le flux de courant et donc le courant total. De plus, les porteurs moins nombreux à proximité de l'oxyde de grille sont moins perturbés par la rugosité de cette interface ; cela augmente la mobilité effective et la transconductance. En outre, l'amélioration du contrôle de charge du canal par l'ajout d'une grille diminue la pente sous le seuil. Ce phénomène physique est à l'origine des performances électriques que présente le transistor MOS double-grille.

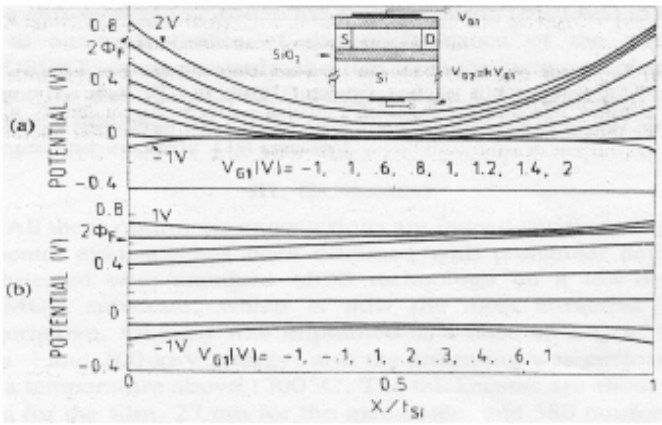


Fig. 2.10 : Profil de potentiel à l'intérieur de la zone active (a) lorsque les couches d'inversion sont localisées prés des interfaces (dopage $N_A = 4 \cdot 10^{16} cm^{-3}$ et $t_{si} = 300nm$) et (b) lorsque l'inversion se fait en volume ($N_A = 3 \cdot 10^{15} cm^{-3}$ et $t_{si} = 100nm$) avec $2 \cdot \Phi_F$ correspondant au potentiel d'inversion [19]

En résumé, le phénomène d'inversion volumique peut être interprété comme l'une des manifestations du contrôle du potentiel dans le film de silicium du MOSFET double-grille (cf. Fig. 2.10). En raison du couplage important entre les deux grilles en faible inversion, la conduction des porteurs s'effectue dans toute l'épaisseur du film de silicium. Ensuite, à mesure que la polarisation de grille augmente, les porteurs commencent à déserter le milieu du film pour se regrouper au niveau des interfaces. Ce résultat s'observe sur la caractéristique $I_d - V_g$ pour différentes épaisseurs de film de silicium (cf. Fig. 2.11).

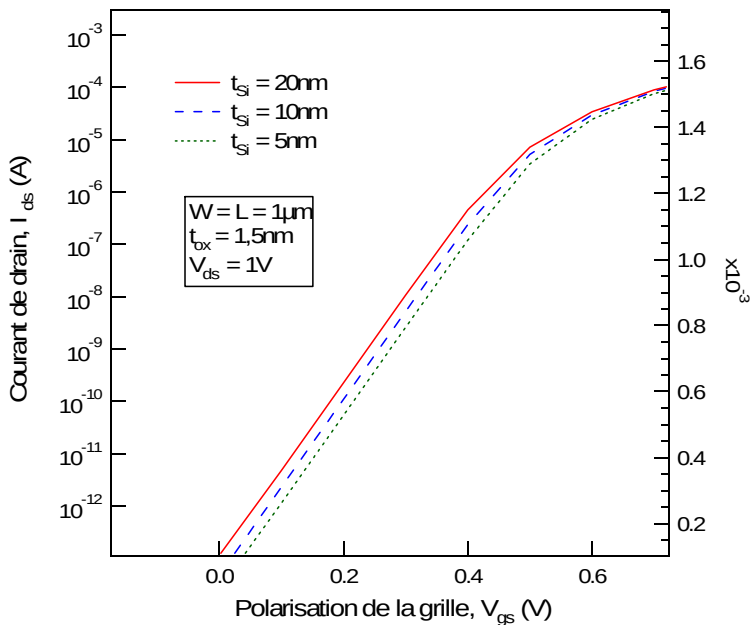


Fig. 2.11 : Le phénomène d'inversion volumique : caractéristique $I_d - V_g$ en échelle logarithmique pour différentes épaisseurs de film de silicium

2.4.3 Caractéristiques statiques

2.4.3.1 Définition de la tension de seuil

S'agissant du MOSFET bulk, la tension de seuil est communément définie comme la polarisation de la grille nécessaire pour que le potentiel de surface atteigne la valeur de $2 \cdot \Phi_F$ (le régime de forte inversion). Cette définition est une solution approchée[9]. Dans le transistor MOS double-grille, la forte inversion a lieu avant que le potentiel de surface n'atteigne la valeur de $2 \cdot \Phi_F$ [12].

P. Francis *et al.* ont développé un modèle de mode d'inversion du MOSFET double-grille à canal long où la tension de seuil est définie à partir de la caractéristique de la transconductance par la méthode dite TC « *Transconductance-Change* » [20-23]. Dans cette approche, la tension de seuil correspond à la polarisation de la grille pour laquelle la dérivée de la transconductance atteint son maximum. Concrètement, cela se traduit par :

[9] Cette valeur est approximative [24].

$$\frac{d^2 I_{ds}}{dV_{gs}^{\ 2}} = 0 \tag{2.4}$$

À cette condition, le potentiel de surface au seuil (Ψ_{S_to}) peut s'écrire :

$$\Psi_{S_to} = 2 \cdot \Phi_F + \frac{k \cdot T}{e} \cdot \ln\left(\frac{\delta_f}{1 - \exp(-\alpha_f)} \right) \tag{2.5}$$

où $\alpha_f = C_{ox} / 4 \cdot C_{Si}$ et $\delta_f = e \cdot Q_D / k \cdot T \cdot 8 \cdot C_{Si}$

Le « S » en indice sur Ψ_{S_to} est lié au fait que le potentiel est évalué à la surface, et le « to » au fait que nous considérons un dispositif à canal long. Le dernier terme dans l'expression du potentiel de surface (2.5) est négatif, ce qui conduit à ce que Ψ_{S_to} soit inférieur à $2 \cdot \Phi_F$. Ceci justifie, par conséquent, l'hypothèse selon laquelle la tension de seuil obtenue à $\Psi_{S_to} = 2 \cdot \Phi_F$ n'est pas valide au niveau du transistor MOS double-grille.

En ce qui concerne les autres structures multi-grilles comme le MOSFET triple-grille et le MOSFET quadruple-grille, en raison du développement spatial suivant les trois dimensions, nous assistons à des effets de coins. Aussi, sous l'influence de deux grilles adjacentes, les régions de coins s'avèrent favorables au passage des porteurs. Ainsi peut-il se créer un canal de coins parasites. Ces effets ont été étudiés dans la thèse de R. Ritzenthaler [25]. Des travaux réalisés dans [26-29] relatent les approches utilisées pour définir la tension de seuil de ces structures à trois ou quatre grilles.

Pour revenir au MOSFET double-grille, la tension de seuil V_{to} se présente sous la forme suivante [20-23] :

$$V_{to} = \Psi_{S_to} + V_{FB} + \frac{k \cdot T}{e} \cdot \frac{\alpha_f}{\delta_f} \cdot \sqrt{1 + \frac{\alpha_f}{\delta_f}} \tag{2.6}$$

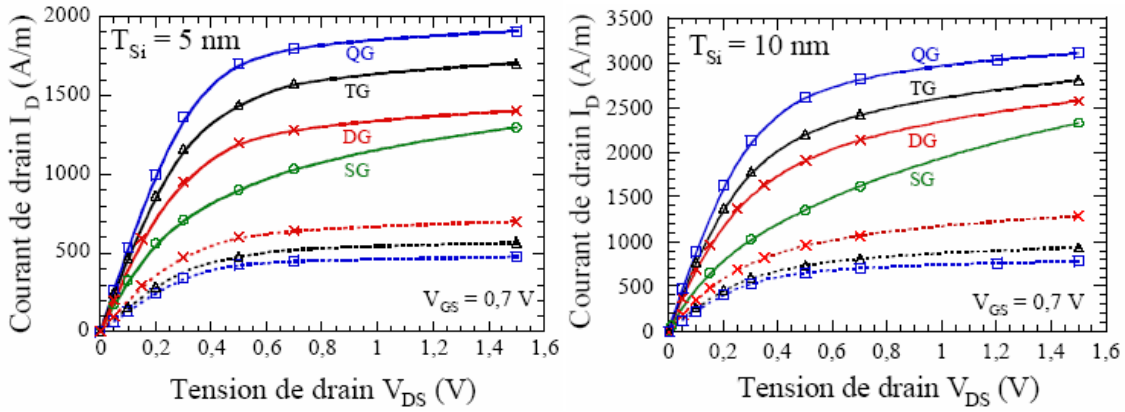
avec Ψ_{S_to} défini en (2.5)

L'analyse de cette solution nous permet de mieux comprendre les avantages que présente le transistor MOS double-grille par rapport au MOSFET bulk. La différence entre le potentiel de

surface et $2 \cdot \Phi_F$ dépend à la fois de l'épaisseur du film de silicium, de l'épaisseur d'oxyde et du dopage du canal. De plus, la tension de seuil est dépendante (comme dans le cas du MOSFET bulk) de la tension de bandes plates, laquelle est liée aux travaux de sortie des matériaux constituant les grilles. Ainsi, la tension de seuil du MOSFET double-grille est-elle liée à plusieurs paramètres que sont l'épaisseur du film, l'épaisseur d'oxyde, le dopage, et les travaux de sortie des matériaux des grilles. L'avantage de ceci est que par le biais de la dépendance de V_{to} à plusieurs paramètres technologiques, le technologue a une certaine flexibilité en ce qui concerne l'optimisation de la tension de seuil dans la course à la miniaturisation.

2.4.3.2 Etat passant

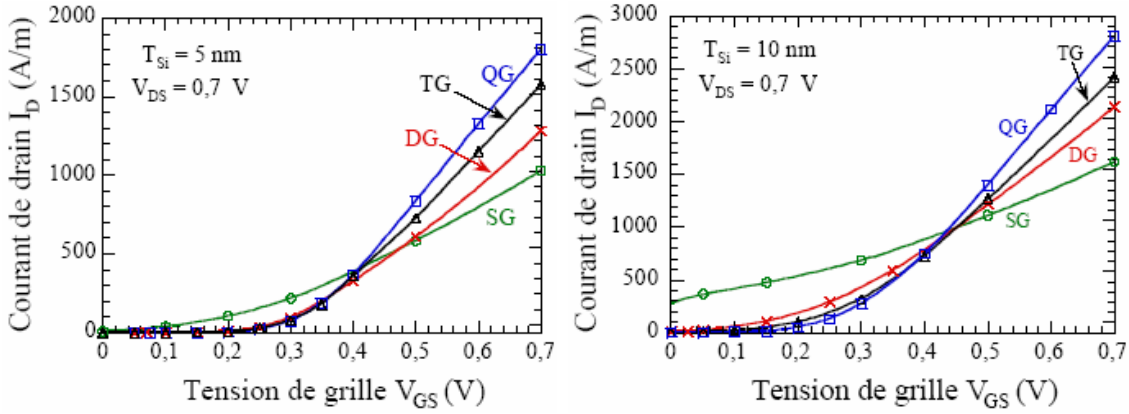
L'ajout de grille traduit un ajout de canal d'inversion en forte inversion. Ainsi, le courant à l'état passant I_{on} augmente-t-il quand le nombre de grilles augmente. Ceci se voit bien sur la Fig. 2.12 où sont tracées les caractéristiques $I_d - V_d$ pour les différentes structures SOI multi-grilles de $15nm$ de longueur de canal. Nous notons bien un courant croissant avec l'augmentation du nombre de grilles ; à titre d'illustration et pour $t_{Si} = 10nm$, I_{on} atteint $1623A/m$ sur le MOSFET SOI à une grille, $2138A/m$ sur le MOSFET double-grille, $2420A/m$ sur le MOSFET triple-grille, et enfin $2815A/m$ sur le MOSFET quadruple-grille. Cependant, cette augmentation de I_{on} n'est pas proportionnelle au nombre de grilles ; les caractéristiques normalisées par le nombre de grilles représentées en tirets sont diminuées quand le nombre de grilles augmente. Ainsi, deux MOSFETs double-grille en parallèle débitent plus de courant qu'un MOSFET quadruple-grille. De manière générale, il faut noter que, dans tous ces dispositifs SOI, le courant est supérieur au courant recommandé par l'ITRS [11], i.e. $1020A/m$. La diminution de t_{Si} réduit de façon quasi-proportionnelle le courant I_{on}, ainsi le courant du MOSFET double-grille varie-t-il de 2420 à $1280A/m$ pour t_{Si} variant de 10 à $5nm$.



(a) *(b)*

Fig. 2.12 : Caractéristiques $I_d - V_d$ des multi-grilles pour $L = 15nm$, (a) $t_{Si} = 5nm$ et (b) $10nm$. En tirets, le courant est divisé par le nombre de grilles ; 1 pour le MOSFET SOI à une grille (SG), 2 pour le MOSFET double-grille (DG), 3 pour le MOSFET triple-grille (TG) et 4 pour le MOSFET quadruple-grille [4]

La transconductance g_m est aussi améliorée avec le nombre de grilles (cf. Fig. 2.13). Pour $t_{Si} = 10nm$, g_m atteint $4170\,S/m$ sur le MOSFET double-grille, $5700\,S/m$ sur le MOSFET triple-grille et $7070\,S/m$ sur le MOSFET quadruple-grille. Cette augmentation n'est pas non plus proportionnelle au nombre de grilles. La diminution de l'épaisseur du dispositif réduit la transconductance.



(a) *(b)*

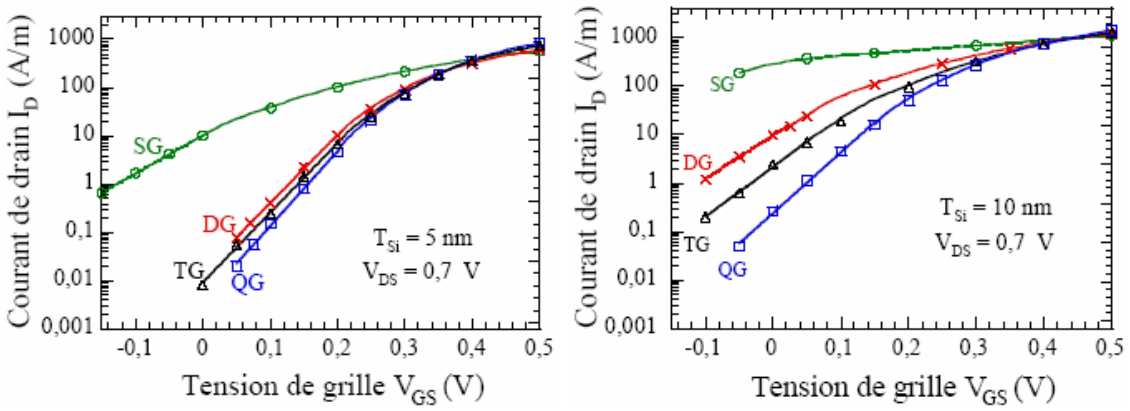
Fig. 2.13 : Caractéristiques $I_d - V_g$ des multi-grilles pour $L = 15nm$, (a) $t_{Si} = 5nm$ et (b) $10nm$ [4]

2.4.3.3 Etat bloqué

À la Fig. 2.14, nous constatons que les caractéristiques du dispositif MOSFET SOI à une grille sont fortement dégradées en raison des effets canaux courts qui sont quasiment

incontrôlés. Les structures simulées sur cette figure correspondent à des transistors MOS de $15nm$ de longueur de canal. La valeur de la pente sous le seuil SS est supérieure à $100mV/dec$. Il ressort de cette figure que le comportement sous le seuil s'améliore nettement avec le nombre de grilles croissant, et ce en raison d'une amélioration du contrôle électrostatique. Par exemple, pour une film d'épaisseur de $10nm$, SS vaut $110mV/dec$ sur le MOSFET double-grille, $96mV/dec$ sur le MOSFET triple-grille et enfin $83mV/dec$ sur le MOSFET quadruple-grille. La réduction de t_{Si} a aussi un effet bénéfique sur SS : lorsque t_{Si} passe de 10 à $5nm$, SS passe de 110 à $80mV/dec$ dans le MOSFET double-grille. L'explication de cet effet vient toujours du contrôle du canal, lequel est bien meilleur lorsque les deux grilles sont proches, c'est à dire lorsque t_{Si} est faible.

Finalement, nous pouvons conclure que le pouvoir bloquant des transistors est amélioré par la réduction de l'épaisseur de la zone active t_{Si}. A $t_{Si} = 10nm$, il faudrait quatre grilles pour garder des valeurs de SS acceptables (i.e. $SS < 80mV/dec$ pour L=15nm), tandis qu'à $t_{Si} = 5nm$, il n'en faudrait que deux.



(a) *(b)*

Fig. 2.14 : Caractéristiques $I_d - V_g$ en échelle logarithmique des SOI multi-grilles pour $L = 15nm$, (a) $t_{Si} = 5nm$ et (b) $10nm$ [4]

2.4.3.4 Contrôle des effets canaux courts

Ainsi que nous l'avons mentionné dans le premier chapitre, le canal est protégé contre les lignes de champs latéraux par la présence d'une seconde grille. Ainsi, via le couplage entre les grilles, les effets néfastes induits par les champs latéraux grandissants sont

limités. Naturellement, ce couplage est d'autant plus important que la proximité des grilles est importante et donc que l'épaisseur du film est faible.

Ce résultat devrait être cohérent avec ceux prédits par les lois d'échelles (cf. paragraphe 2.4.1).

Intéressons nous aux résultats obtenus avec le dimensionnement du facteur de forme L/λ dans les structures SOI (Tableau 2.2).

	Dimensionnement du facteur de forme (L/λ)	
	$t_{si} = 5nm$	$t_{si} = 10nm$
SOI à une grille (SG)	$3,5$	$2,5$
SOI Double-Grille (DG)	$5,0$	$3,5$
SOI Quadruple-Grille (QG)	$7,0$	$5,0$

Tableau 2.2 : Calcul du rapport L/λ pour une longueur de canal de 15nm et un $t_{ox} = 1,2nm$ en fonction de l'architecture SOI. Les cases grisées correspondent aux transistors mal dimensionnés

Pour rappel, J. P. Colinge a montré que le facteur de forme devrait être au moins égal à 5 pour éviter d'importants effets canaux courts (cf. paragraphe 2.4.1) [12]. Dans ce tableau, nous avons donc présenté les valeurs de L/λ supérieures ou égale à 5 sur un fond blanc. Il est aisé d'observer que plus le nombre de grilles augmente, meilleur est le dimensionnement, c'est-à-dire meilleur est le contrôle des effets canaux-courts, et ceci en raison de la longueur caractéristique qui est décroissante avec le nombre de grilles (cf. Tableau 2.1).

Un autre aspect intéressant dans ce tableau est l'importance que joue l'épaisseur du film dans le contrôle des effets canaux courts. Ainsi, dans le transistor MOS double-grille, outre les paramètres géométriques et physiques que l'on on a généralement l'habitude d'optimiser dans la miniaturisation du MOSFET bulk, il est crucial de tenir compte de t_{si}. Le bon contrôle des effets canaux courts obtenu avec la minceur du film de silicium et le couplage des grilles se reflète non seulement sur les valeurs de la pente sous le seuil (SS) comme illustré à la Fig. 2.15, mais également sur celles du DIBL et du partage de charges.

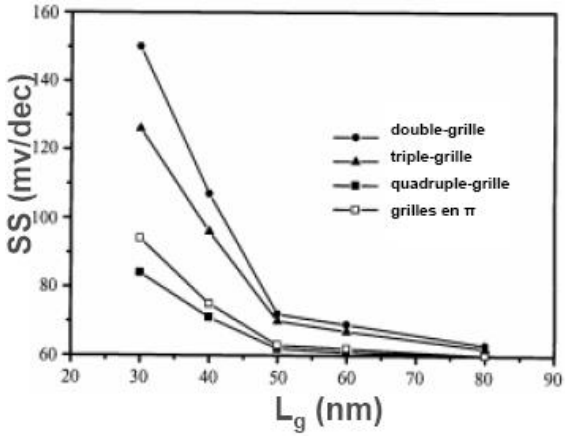


Fig. 2.15 : Minimisation de la dégradation de la pente sous le seuil avec l'augmentation du nombre de grilles à $W = t_{Si} = 30nm$, $t_{ox} = 3nm$, $V_d = 0{,}1V$ [12]

En ce qui concerne le DIBL, les résultats offerts par le MOSFET double-grille sont encore beaucoup plus satisfaisants. Comme nous l'avons signalé au chapitre 1, la mesure du DIBL donne une indication sur l'évolution de la hauteur de la barrière de potentiel en entrée de canal. Cette barrière, en entrée de canal, qui assure le blocage du transistor, a un abaissement moins important lorsque V_d augmente. La comparaison des bandes de conduction du transistor MOS SOI à une grille et du transistor MOS double-grille sur la Fig. 2.16 illustre clairement une plus faible diminution de la hauteur de barrière sur le transistor MOS double-grille que sur le transistor MOS SOI à une grille.

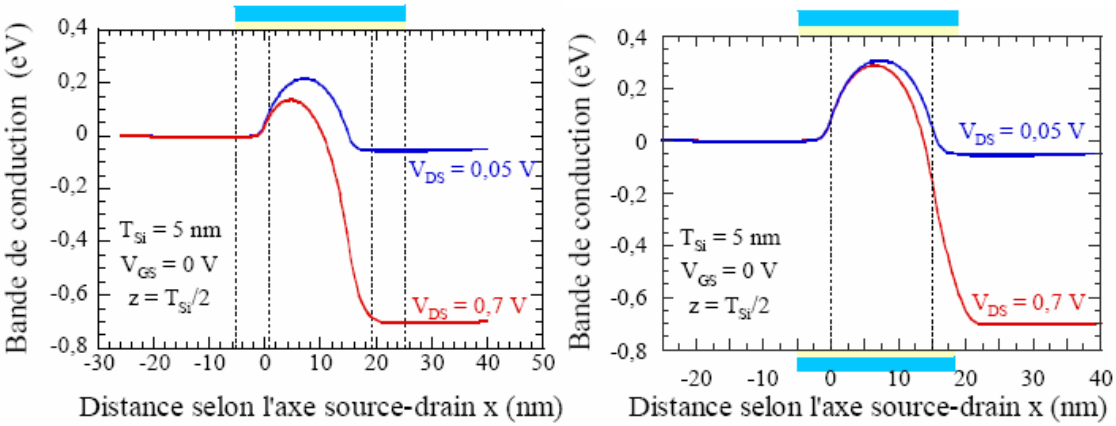


Fig. 2.16 : Coupes longitudinales de la bande de conduction sur (a) un MOSFET SOI à une grille et (b) un MOSFET double-grille, pour $V_g = 0V$ suivant la profondeur du film de silicium à V_{ds} faible et fort. $L_c = 15nm$ et $t_{Si} = 5nm$ [4]

Le contrôle est donc logiquement bien renforcé par ajout de grilles, c'est la raison pour laquelle le DIBL est plus faible sur le MOSFET quadruple-grille que sur le MOSFET triple-

grille, le MOSFET double-grille et également sur le MOSFET SOI à une grille à dimensions égales (cf. Fig. 2.17).

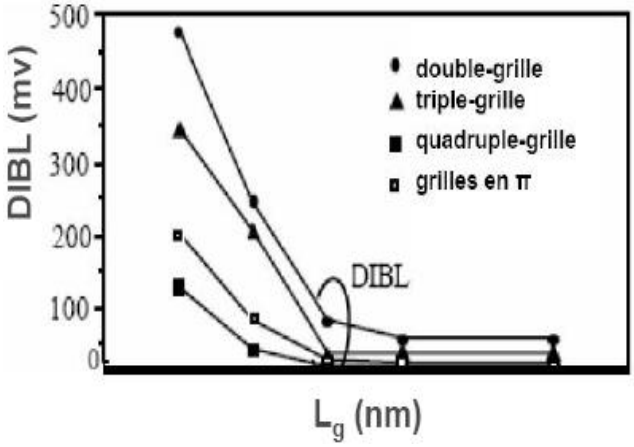


Fig. 2.17 : Minimisation du DIBL avec l'augmentation du nombre de grille pour W=Tsi=10nm [12]

Pour conclure, nous pouvons souligner que le transistor MOS double-grille est intéressant compte tenu des performances électriques qu'il offre. La difficulté majeure dans son développement se situe au niveau technologique. Plus précisément, concernant le transistor MOS double-grille planaire, la difficulté est l'alignement des deux grilles.

Pour simuler efficacement les caractéristiques électriques du dispositif MOSFET double-grille lors de la conception de circuits intégrés, il est nécessaire de disposer d'un bon modèle compact de transistor MOS double-grille. Avant d'élaborer un modèle compact performant de transistor MOS double-grille dédié à la conception de circuits intégrés, il est nécessaire de connaître l'existant. Les paragraphes qui suivent seront consacrés à l'état de l'art sur la modélisation compacte du transistor MOS double-grille planaire symétrique.

2.5 Etat de l'art des modèles compacts du MOSFET double-grille symétrique

2.5.1 Introduction

Rappelons tout d'abord que les modèles compacts sont des modèles formulés de manière analytique et utilisés le plus souvent pour aider à la conception de circuits intégrés.

Ces modèles sont disponibles dans les simulateurs de circuits. Ils sont généralement constitués, d'une part, d'expressions basées sur la physique et, d'autre part, d'un certain degré d'empirisme. Ces modèles peuvent être adaptés aux différentes technologies (CMOS, par exemple) à l'aide d'un certain nombre de paramètres (électriques, technologiques, géométriques), dans le but de décrire correctement les caractéristiques électriques du composant. Afin de rendre pratique l'utilisation d'un modèle, ce dernier doit être complété par des méthodes d'extraction de paramètres. De manière générale, un modèle compact représente un compromis entre les aspects de simplicité et de complexité, les notions physiques et empiriques, le nombre d'effets physiques inclus, le nombre de paramètres, l'adaptabilité aux diverses technologies et, enfin, l'efficacité de calcul [30-32].

Probablement la meilleure compilation sur *les problèmes de la modélisation* du MOSFET bulk, mais que l'on peut extrapoler au transistor MOS double-grille se trouve dans les travaux de Y. Tsividis [33] ; le modèle idéal de transistor MOS double-grille devrait :

1. satisfaire aux exigences habituelles dans le monde digital, à savoir des caractéristiques I-V raisonnables précises, avec éventuellement un jeu simplifié de paramètres pour la simulation des circuits digitaux non-critiques ;
2. donner des valeurs précises pour les quantités petits-signaux telles que les transconductances et la conductance de sortie et toutes les capacités (intrinsèques et extrinsèques). Tous les éléments devraient être continus pour les tensions appliquées ;
3. donner de bons résultats même quand le dispositif opère dans le mode Non-Quasi-Statique (NQS), ou tout au moins se dégrader élégamment pour de tel fonctionnement lorsque la fréquence va en augmentant (où indiquer que le dispositif opère dans le mode NQS) ;
4. donner une prédiction du bruit blanc (et si possible du bruit en 1/f) dans tous les modes d'opération ;
5. satisfaire aux exigences 1) à 4) exposées ci-dessus pour de grandes gammes de tensions dans toutes les régions d'opérations ;
6. faire tout ce qui est décrit ci-dessus, dans la gamme de température intéressante (typiquement 0°C à 70°C) ;
7. faire tout ce qui est décrit ci-dessus pour toutes les combinaisons de valeurs de longueur de canal et d'épaisseur de film de silicium pour une technologie donnée ;

8. demander à l'utilisateur de spécifier seulement les dimensions géométriques pour chacun des dispositifs et un *jeu de paramètres* de modèle valide pour tous les dispositifs du même type sans se soucier des dimensions ;
9. fournir un drapeau (*flag*) chaque fois qu'il est utilisé au-delà de ses limites de validité ;
10. avoir aussi peu de paramètres que possible, lesquels devraient être liés aussi fortement que possible à la structure du dispositif et au précédé de fabrication (*process*) pour permettre une prédiction pire-cas (*worth-case*) sérieuse ;
11. être lié à une méthode d'extraction de paramètres aussi simple que possible ;
12. être capable de prédire l'appariement (*matching*) ;
13. être efficace numériquement.

L'objet de ce paragraphe est de présenter un état de l'art actuel des modèles compacts du transistor MOS double-grille en mode de fonctionnement symétrique. Loin d'être exhaustive, la liste des approches présentées ici dévoile quelques uns des travaux les plus significatifs en modélisation compacte du MOSFET double-grille symétrique.

2.5.2 Les différents modèles compacts du MOSFET double-grille symétrique

Les modèles compacts du transistor MOS double-grille se classent en trois catégories : les modèles en tension de seuil, les modèles en potentiel de surface et les modèles en charge [38].

Préambule :

J. G. Fossum *et al*. (Université de Floride) ont développé un modèle « compact » appelé UFDG [34-37]. Ce modèle est basé sur la physique et le *process*. Il est applicable à des dispositifs MOSFETs double-grille symétrique et asymétrique, mais aussi à des transistors MOS SOI à une grille entièrement déplétés (FDSOI).

Ce modèle est basé sur une solution auto-cohérente (*self-consistent*) des équations de Poisson et de Schrodinger dans le *body* (film-Si)/canal de dispositif de type double-grille ou FD /SOI. C'est par essence un résolveur Poisson-Schrodinger implémenté dans un simulateur de circuit. Une approche variationelle, utilisant une description générale de la longueur

d'onde, est utilisée pour résoudre l'équation Schrödinger, laquelle est liée à l'équation de Poisson via une itération Newton-Raphson. Le modèle de quantification (QM) inclus des dépendances avec l'épaisseur de film de silicium, aussi bien que le champ électrique transverse. Le transport des porteurs et le courant de canal sont modélisés comme quasi-balistiques via une prise en compte de la saturation de vitesse des porteurs. UFDG est un modèle en charge, où la modélisation des charges aux terminaux est physiquement liée à la modélisation du courant. Sur le plan extrinsèque, le modèle prend en compte le phénomène d'underlap.

Ce modèle a été validé par des simulations numériques de dispositif et des données mesurées. Il est très précis et prend en compte l'essentiel des phénomènes physiques et les spécificités *process* de tout double-grille. Cependant, nous ne parlerons pas de ce modèle dans les explications qui vont suivre et ce pour deux raisons principales (qui ne concernent pas les autres modèles mentionnés par la suite) :

a) Ce modèle est un modèle propriétaire (disponible par Freescale via une licence utilisateur).
b) Ce modèle, bien que développé dans un simulateur de circuit, n'est pas vraiment adapté à la conception de circuits intégrés ULSI en raison de son temps de calcul important.

2.5.2.1 Modèles en tension de seuil du MOSFET double-grille symétrique

Modèle de M. Reyboz/T. Poiroux

Parmi les modèles appartenant à cette catégorie de modèle compacts, nous trouvons le modèle de M. Reyboz/T. Poiroux [39]. Ce modèle développé pour un transistor MOS double-grille en mode de fonctionnement asymétrique (grille indépendante) est donc capable de simuler le comportement du transistor MOS double-grille symétrique à grilles dépendantes. Dans ce modèle en tension de seuil, l'idée est de définir le potentiel au milieu du film en fonction de la couche d'inversion formée. Ainsi, des équations du courant de drain sont définies suivant que le canal du transistor est en inversion faible ou en inversion forte. Ces solutions de courant de drain doivent ensuite être « raccordées ». Cela est relativement délicat car des problèmes de continuité peuvent en découler, notamment pour les dérivées des grandeurs électriques. La tension de seuil marque la transition entre la région de faible inversion et celle de forte inversion. En faible inversion, le courant de drain est un courant de diffusion. La charge d'inversion Q_m varie exponentiellement en fonction de V_g. En revanche,

en forte inversion, le courant de diffusion est négligeable. Ainsi, le courant de drain est principalement un courant de conduction. La charge d'inversion Q_m varie linéairement avec V_g. Du fait de ces hypothèses simplificatrices, ces approches manquent de précision pour la description de l'inversion modérée.

Le modèle de M. Reyboz/T. Poiroux prend en compte les effets canaux courts [39]. En revanche, il ignore les effets quantiques ainsi que les effets dynamiques intrinsèques et extrinsèques.

2.5.2.2 Modèles en potentiel de surface du MOSFET double-grille symétrique

Parmi les modèles en potentiel de surface, nous comptons le modèle compact proposé par A. Ortiz-Conde [40], celui proposé par Y. Taur [41] et également celui proposé par G. Baccarani [42]. Dans ces approches, l'idée est d'exprimer la charge d'inversion en fonction du potentiel de surface.

Modèle de A. Ortiz-Conde

Le modèle de A. Ortiz-Conde est basé sur les travaux réalisés pour le transistor MOS bulk par Pierret et Shield [43]. Dans son modèle, A. Ortiz-Conde décrit le potentiel à l'intérieur du film de silicium en résolvant l'équation de poisson à 1-D. Sa solution du courant de drain se présente sous la forme [40] :

$$\begin{aligned} I_d = \frac{\mu \cdot W}{L} \cdot \Big\{ & 2 \cdot C_{ox1} \cdot \left[V_g \cdot \left(\Psi_{SL} - \Psi_{S0} \right) - \frac{1}{2} \cdot \left(\Psi_{SL}^2 - \Psi_{S0}^2 \right) \right] \\ & + 4 \cdot \frac{k \cdot T}{e} \cdot C_{ox1} \cdot \left(\Psi_{SL} - \Psi_{S0} \right) \\ & + t_{Si} \cdot k \cdot T \cdot n_i \cdot \left[e^{\beta \cdot (\Psi_{CL} - V_{ds})} - e^{\beta \cdot \Psi_{C0}} \right] \Big\} \end{aligned} \tag{2.7}$$

où Ψ_{S0}, Ψ_{C0}, Ψ_{SL}, et Ψ_{CL} sont des potentiels obtenus par résolutions numériques.

C'est en effet l'usage de calculs itératifs qui constitue le défaut majeur de cette approche. De plus, le modèle ne prend pas en compte le comportement dynamique, ni les effets quantiques

et les effets canaux courts. Il se limite à des épaisseurs de film de silicium comprises entre 20 et 5*nm* et des dispositifs de canal long de 1μm [40].

Modèle de Y. Taur

Y. Taur, en résolvant l'équation de Poisson à 1-D, aboutit à la solution du potentiel dans le film de silicium (Ψ) sous la forme [44-45] :

$$\Psi(x,y) = \Psi_C(x) - V_{ch} - \frac{2\cdot k\cdot T}{e}\cdot \ln\left\{\cos\left(\sqrt{\frac{e^2\cdot n_i}{2\cdot \varepsilon_{Si}\cdot k\cdot T}}\cdot e^{\frac{e\cdot(\Psi_C(x)-V_{ch})}{2\cdot k\cdot T}}\cdot y\right)\right\} \tag{2.8}$$

où Ψ_C est le minimum de potentiel dans le film de silicium.

Du fait de la symétrie de la structure, ce minimum de potentiel correspond au potentiel au centre du film de silicium, d'où l'indice « *c* » qui lui est attribué. x est suivant la direction du canal et y suivant la direction perpendiculaire au canal. V_{ch} correspond au potentiel de quasi-Fermi des électrons.

Ensuite, pour évaluer le courant de drain, Y. Taur définit une variable β_T en effectuant le changement de variable suivant [41] :

$$\beta_T(x) = \sqrt{\frac{e^2\cdot n_i\cdot t_{Si}^2}{8\cdot \varepsilon_{si}\cdot k\cdot T}}\cdot e^{\left(\frac{e\cdot(\Psi_C-V_{ch})}{2\cdot k\cdot T}\right)} \tag{2.9}$$

Ainsi, en tenant compte de (2.9) dans (2.8), Ψ se réécrit comme suit [41] :

$$\Psi(x,y) = V_{ch} - \frac{2\cdot k\cdot T}{e}\cdot \ln\left\{\sqrt{\frac{e^2\cdot n_i\cdot t_{Si}^2}{8\cdot \varepsilon_{si}\cdot k\cdot T\cdot \beta_T^2}}\cdot \cos\left(\frac{2\cdot \beta_T\cdot y}{t_{Si}}\right)\right\} \tag{2.10}$$

β_T est défini par itération à partir de la relation suivante :

$$\frac{e\cdot\left(V_g - \Delta\Phi_{ms} - \Psi_S\right)}{2\cdot k\cdot T} - \ln\left(\frac{2}{t_{Si}}\cdot\sqrt{\frac{2\cdot \varepsilon_{si}\cdot k\cdot T}{e^2\cdot n_i}}\right) = \ln\beta_T - \ln\left(\cos\beta_T\right) + \frac{2\cdot C_{Si}}{C_{ox1}}\cdot \beta_T\cdot \tan\beta_T \tag{2.11}$$

Ici, $\Delta\Phi_{ms}(=\Delta\Phi_1=\Delta\Phi_2)$ correspond à la différence des travaux de sorties entre le silicium et le matériau de grille.

En tenant compte de cette variable d'intégration (i.e. β_T), il obtient une solution du courant de drain du MOSFET double-grille symétrique sous la forme [41] :

$$I_d=\frac{16\cdot\mu\cdot W}{L}\cdot\frac{\varepsilon_{si}}{t_{Si}}\cdot\left(\frac{k\cdot T}{e}\right)^2\cdot\left\{\frac{1}{2}\cdot\left(\beta_{TL}^2-\beta_{T0}^2\right)+\beta_{T0}\cdot\tan\left(\beta_{T0}\right)-\beta_{TL}\cdot\tan\left(\beta_{TL}\right)+\frac{\varepsilon_{si}}{t_{Si}\cdot C_{ox1}}\cdot\left(\beta_{T0}^2\cdot\tan^2\left(\beta_{T0}\right)-\beta_{TL}^2\cdot\tan^2\left(\beta_{TL}\right)\right)\right\} \quad (2.12)$$

Dans cette expression, β_{T0} et β_{TL} correspondent respectivement aux valeurs de β_T évaluées du côté de la source ($V_{ch}=0$) et du côté du drain ($V_{ch}=V_{ds}$). Ces valeurs sont obtenues de manière itérative.

Ainsi, une unique équation (cf. (2.12)) est-elle utilisée pour décrire le courant dans toutes les régions de fonctionnement. Ceci constitue en effet la grande force de ce modèle. De plus, Y. Taur prend en compte le comportement dynamique intrinsèque [46] ainsi que des effets canaux courts [47]. Le modèle a été validé pour des épaisseurs de film comprises entre 25 et $5nm$ [41] et des longueurs de canaux atteignant $24nm$ [47]. Les effets quantiques sont négligés. En ce qui concerne les effets canaux courts, nous noterons cependant un manque de formulation explicite.

Modèle de G. Baccarani

Dans ce modèle [42], G. Baccarani n'utilise pas la statistique de Boltzmann mais plutôt celle de Fermi, les effets quantiques sont pris en compte. A l'image du modèle de Y. Taur et de celui de A. Ortiz-Conde, le modèle de G. Baccarani a recours à une résolution numérique. En ce qui concerne le calcul du courant de drain pour un transistor à canal long, il s'effectue par une intégrale qui ne dépend que du potentiel au milieu du film de silicium. Le modèle est validé pour des épaisseurs de film comprises entre 20 et $2nm$ et des longueurs de canaux atteignant $20nm$. Les effets canaux courts sont négligés. Le comportement dynamique intrinsèque ainsi que le comportement dynamique extrinsèque sont ignorés [42].

Ces approches en potentiel de surface sont très proches de la physique. L'inversion volumique est bien décrite car l'approximation de la feuille de charge n'est pas faite. Un des inconvénients réside dans le fait que cette approche utilise des calculs itératifs (par exemple pour déterminer β_{T0} et β_{TL} dans le modèle de Y. Taur et Ψ_{S0}, Ψ_{C0}, Ψ_{SL}, et Ψ_{CL} dans celui de A. Ortiz-Conde). Mis à part ce fait, ces modèles sont précis et prédictifs. C'est pour cette raison que, pour des soucis de validation, nous avons confronté notre approche à celle proposée par Y. Taur.

2.5.2.3 Modèles en charge du MOSFET double-grille symétrique

Dans cette approche, l'idée est d'exprimer les potentiels en fonction de la charge d'inversion. Le modèle que nous proposons (cf. chapitre 3) se situe dans cette catégorie de modèles compacts. Parmi les travaux les plus marquants, nous comptons l'approche proposée par J. He [48] et celle proposée par B. Iñíguez [49-53].

Modèle de J. He

Ce modèle est proche du modèle de Y. Taur [41]. En effet, au lieu de chercher la valeur du potentiel au milieu du film Ψ_C, les auteurs donnent une expression de la charge d'inversion [48]. Ainsi, pour trouver l'expression de la charge d'inversion en fonction du potentiel au milieu du film Ψ_C, les auteurs proposent-ils d'exprimer la concentration en électrons dans le film de silicium et de l'intégrer sur une tranche du film.

Dans un premier temps, les auteurs définissent la solution de la charge d'inversion, en faible inversion, sous la forme suivante :

$$Q_m^* = e \cdot n_C \cdot \frac{t_{Si}}{2} \tag{2.13}$$

avec n_C la concentration d'électron au milieu du film.

Ensuite, ils proposent une interpolation de la charge d'inversion en inversion faible (i.e. (2.13)) à toutes les régions de fonctionnement du dispositif. Cette interpolation se présente de la manière suivante :

$$Q_m = e \cdot n_C \cdot \frac{t_{Si}}{2} \cdot e^f \tag{2.14}$$

avec f désignant un facteur de correction qui vaut 1 en faible inversion et 0 en forte inversion [48].

Dans un second temps, ils considèrent que la charge d'inversion peut être calculée à partir de la condition aux limites suivante :

$$V_g - \Delta\Phi_{ms} + f \cdot \frac{k \cdot T}{e} \cdot \ln\left(e \cdot n_i \cdot t_{Si}\right) = \frac{Q_m}{2 \cdot C_{ox1}} + \frac{k \cdot T}{e} \cdot \ln\left(Q_m\right) \tag{2.15}$$

Pour obtenir une solution de (2.15), les auteurs utilisent la fonction de Lambert W. Ceci conduit à une expression de la charge d'inversion en fonction de W_0 qui est la branche principale de la fonction de Lambert W. Une résolution numérique permet de calculer W_0.

Finalement, le calcul du courant se fait de manière classique ; c'est la somme d'un courant de conduction et d'un courant de diffusion [48] :

$$I_d = \frac{2 \cdot \mu \cdot W}{L} \cdot C_{ox1} \cdot \left(\frac{k \cdot T}{e}\right)^2 \cdot \left[\frac{Q_{md}^2 - Q_{ms}^2}{2} + \left(Q_{md} - Q_{ms}\right)\right] \tag{2.16}$$

L'avantage de ce modèle réside dans le fait qu'une seule équation de la charge d'inversion et du courant permet de décrire toutes les régions de fonctionnement. La solution du courant de drain (cf. (2.16)) est d'ailleurs formulée de manière relativement simple. Cependant, le modèle souffre de l'absence d'expression analytique explicite de W_0. Le modèle est validé pour un MOSFET double-grille à canal long de $2\mu m$ et pour des épaisseurs de film comprises entre 50 et $10nm$. Les effets quantiques, les effets canaux courts ainsi que les effets capacitifs intrinsèques et extrinsèques sont négligés [48].

Modèle de B. Iñíguez

B. Iñíguez a développé un modèle compact de MOSFET double-grille à canal long et pour un film de silicium fortement dopé [49]. Le modèle prend en compte le phénomène d'inversion volumique. Il a modélisé les effets capacitifs extrinsèques [49] en adoptant les travaux réalisés dans [54] pour le MOSFET bulk à la structure MOSFET double-grille. Dans

ses travaux, B. Iñíguez a également repris l'approche de Y. Taur [45] – où l'on a recours à des calculs itératifs – puis a développé une approche prenant en compte les effets canaux courts [51] ainsi que le comportement à haute fréquence [50-52]. Le modèle pour les effets canaux courts est validé pour des longueurs de grille de 20*nm* et des épaisseurs de film de silicium comprises entre 20 et 5*nm* [51]. Les effets quantiques sont également pris en compte [53]. Le modèle est généralement formulé de manière simple. L'unique contrainte réside dans l'usage de processus itératif pour le calcul de la tension de seuil [51].

2.6 Bilan et intérêt d'un nouveau modèle

Modèles Compacts / Caractéristiques des modèles	Modèles en potentiel de surface			Modèles en charge		Modèles en tension de seuil
	G. Baccarani [42]	A. Ortiz-Conde [40]	Y. Taur [41], [44-47]	J. He [48]	B. Iñíguez [49-53]	M. Reyboz/T. Poiroux [39]
Simplicité du modèle	–	+	+	++	++	++
Précision/sens physique	++	++	++	+	++	–
Formulation explicite	–	–	–	–	–	+
Prise en compte des effets canaux courts	–	–	+	–	+	+
Prise en compte du comportement dynamique intrinsèque	–	–	+	–	+	–
Prise en compte du comportement dynamique extrinsèque	–	–	–	–	+	–
Prise en compte des effets quantiques	+	–	–	–	+	–
Adaptabilité à la conception de circuits intégrés*	–	+/–	+/–	+/–	+/–	+/–
* Cette caractéristique est relativement liée à la fois à la simplicité, la précision, et au fait que le modèle soit explicite						

Tableau 2.3 : Caractéristiques des différents modèles compacts de MOSFET double-grille en mode de fonctionnement symétrique

Dans ce chapitre, nous avons présenté les propriétés électriques du MOSFET double-grille. Plus précisément, nous avons constaté que grâce au contrôle du canal par les deux grilles, la pénétration des lignes de champs dans le sens latéral se réduit. Ceci explique l'aptitude intrinsèque de ces composants à suivre la tendance continuelle de miniaturisation des dispositifs.

Ensuite, nous avons dressé une liste des principaux modèles compacts du transistor MOS double-grille en mode de fonctionnement symétrique. Cette liste, ainsi que nous l'avons déjà soulignée, n'est pas exhaustive ; nous avons indiqué les modèles nous paraissant les plus intéressants.

En résumé, le Tableau 2.3 regroupe les différentes caractéristiques des modèles compacts du MOSFET double-grille symétrique.

Si nous envisageons les trois catégories de modèles compacts – les modèles en tension de seuil, les modèles en potentiel de surface et les modèles en charge –, nous remarquons, d'une part, que les modèles en tension de seuil, en raison de la définition d'un courant de drain pour chaque région de fonctionnement, souffrent de problème de précision en inversion modérée. Ceci conduit malheureusement au fait qu'ils sont généralement peu adaptés à la conception de circuits surtout si l'on travaille autour de cette région (en microélectronique analogique et mixte).

D'autre part, si nous examinons les modèles en potentiel de surface, nous remarquons que le problème de précision – noté généralement sur les modèles en tension de seuil en inversion modérée – n'est pas observé. Ces modèles décrivent avec une grande précision le comportement du dispositif MOSFET double-grille symétrique en tenant compte de nombreux effets physiques, ce qui les rend intéressants, ceci surtout pour le physicien du composant. Toutefois, aussi précis qu'ils soient, ces modèles, par leur complexité ne répondent qu'imparfaitement aux besoins des concepteurs de circuits intégrés. Outre cette complexité, ces modèles en potentiel de surface, voire également les deux modèles en charge (i.e. celui de J. He et celui de B. Iñíguez), sont bâtis sur des solutions implicites (cf. Tableau 2.3). Ceci malheureusement les rend relativement moins intéressants pour le concepteur de circuits. En effet, ce dernier souhaite utiliser des modèles simples, précis, « lisibles », et qui ne requièrent pas un temps de calcul coûteux lors des simulations de circuits à forte densité d'intégration.

C'est exactement pour combler ce manque que nous avons développé notre modèle en charge [55-59]. Il est élaboré pour un transistor MOS double-grille symétrique en mode de fonctionnement symétrique [55] et est bâti sur des solutions explicites [56], simples et précises, lesquelles ne nécessitent pas un important temps de calcul. Les chapitres qui suivent sont entièrement consacrés à la présentation de cette nouvelle approche.

Bibliographie

[1] T. Sekigawa, and Y. Hayashi, "*Calculated threshold voltage characteristics of an XMOS transistor having an additional bottom gate,*" Solid-State Electronics, vol. 27, no.2, pp. 827-828, 1984

[2] J. Widiez, et al., *«Expérimental gate misalignment analysis on double-gate SOI MOSFETs,*" Proceedings IEEE International SOI Conference, pp. 185-186, 2004

[3] M. Vinet, et al. "*Bonded planar double-metal-gate NMOS transistors down to 10nm,*" IEEE Transactions on Electron Devices, vol. 26, no. 5, pp. 317-319, 2005

[4] J. S. Martin, « *Étude par simulation Monte-Carlo d'architectures de MOSFET ultracourts à grille multiple sur SOI* », Thèse de Doctorat, Université Paris XI Orsay, 2005

[5] J. Kedzierski, et al., "*High-performance symmetric-gate and CMOS compatible Vth asymmetric-gate FinFET devices,*" Proc. IEDM, p. 437, 2001

[6] D. M. Fried, et al., "*Improved independent gate N-Type FinFET fabrication and characterization,*" IEEE Electron Device Letters, vol. 24, no. 9, pp. 592-594, 2003

[7] F. Dauge, et al. "*Coupling effects and channels separation in FinFETs,*" Solid-State Electronics, vol. 48, p. 535-542, 2004

[8] X. Wu, et al. "*Impacts of nonrectangular Fin cross section on the electrical characteristics of FinFET,*" IEEE Transactions on Electron Devices, vol. 52, no. 1, pp. 63- 68, 2005

[9] S. Hall, et al.,"*Recent developments in deca-nanometer vertical MOSFETs,*" Microelectronics Engineering, vol. 72, pp. 230-235, 2004

[10] J. M. Hergenrother, et al. "*The vertical replacement-gate (VRG) MOSFET,*" Solid-State Electronics, vol. 46, pp. 939-950, 2002

[11] ITRS "*Semiconductor Industry Association The international roadmap for semiconductors, web site,*" http: //www.semichips.org, 2005

[12] J. Colinge, "*Silicon-on-insulator technology: Materials to VLSI,*" ISBN 1-4020-77734, Kluwer Academic Publishers, 3rd edition, 1997

[13] H. S. P. Wong, D. J. Frank, P. M; Solomon, C. H. Wann, and J. J. Welser, "Nanoscale CMOS, " in Proc. IEEE, vol. 87, n° 4, pp. 537-569, 1999

[14] KK Young, "*Analysis of conduction in fully-depleted SOI MOSFETs*", IEEE Transactions on Electron Devices, vol. 36, no. 3, pp. 504-506, 1989

[15] R. H. Yan, A. Ourmazd, and K. F. Lee, "*Scaling the Si MOSFET: from bulk to SOI to bulk,*" IEEE Transactions on Electron Devices, vol. 39, pp. 1704, 1992

[16] J. P. Colinge, J. T. Park and C. A. Colinge, "*SOI Devices for Sub-0.1µm Gate Lengths,*" Proc. 23rd Int. Conf. On Microelectronics (MIEL 2002), vol. 1, NIS, Yugoslavia, 2002

[17] K. Suzuki, T. Tosaka, Y. Horie, et al., "*Scaling theory for double-gate SOI MOSFETs,*" IEEE Transactions on Electron Devices, vol. 40, pp. 2326-2329, 1993

[18] J. P. Colinge, "*Electrochemical Society Proceeding,*" vol. 09, pp. 2, 2003

[19] F. Balestra, et al., "*Double-gate Silicon-on-Insulator transistor with volume inversion: a new device with greatly enhanced performance,*" IEEE Electron Device Letters, vol. 8, no. 9, 1987

[20] P. Francis, A. Terao, D. Flandre, et al., "*Characteristics of nMOS/GAA (Gate-All-Around) transistors near threshold,*" Proc. ESSDERC'92, Microelectronics Engineering, Elsevier, vol. 19, pp. 815-818, 1992

[21] P. Francis, A. Terao, D. Flandre, et al., "*Modeling of ultrathin double-gate nMOS/SOI transistors,*" IEEE Transactions on Electron Devices, vol. 41, no. 5, pp. 715-720, 1994

[22] P. Francis, A. Terao, D. Flandre, and F. Van de Wiele, "*Weak inversion models for nMOS Gate-All-Around (GAA) devices,*" Proc. ESSDERC'93, Editions Frontières, pp.621-623, 1993

[23] P. Francis, A. Terao, D. Flandre, et al., "*Moderate inversion models for nMOS Gate-All-Around (GAA) devices,*" Solid-State Electronics, vol. 38, no. 1, pp. 171-176, 1995

[24] F. Prégaldiny, « *Étude et modélisation du comportement électrique des transistors MOS fortement submicroniques*», Thèse de Doctorat, Université Louis Pasteur, Strasbourg I, no. 4460, 2001

[25] R. Ritzenthaler, « *Architectures avancées des transistors FinFETs : Réalisation, caractérisation et modélisation »,* Thèse de Doctorat, Institut National Polytechnique de Grenoble, 2006

[26] H. S. Wong, M. H. White, T. J. Krutsck, et al., "*Modeling of transconductance degradation and threshold voltage in thin oxide MOSFETs,*" Solid-State Electronics, vol. 30, no. 9, pp. 953, 1987

[27] A.Terao, D. Flandre, and F. Van de wiele, "*Measurement of threshold voltages of thin-film accumulation-modePMOS/SOI transistors*," IEEE Electron Device Letters, vol. 12, no. 12, pp. 682- 684, 1991

[28] E. Rauly, B. Iniguez, D. Flandre, et al., "*Investigation of single and double-gate SOI MOSFETs in accumulation mode for enhanced performances and reduced technological drawbacks,*" Proc. ESSDERC'00, pp. 540-543, 2000

[29] W. Xiong, J.W. Park, and J. P. Colinge, "*Corner effect in multiple-gate SOI MOSFETs,*" Proc. of the IEEE International SOI Conference, pp. 111-113, 2003

[30] N. Arora, "*MOSFET models for VLSI circuit simulation. Theory and practice,*" New York, Springer-Verlag, ISBN 3-211-82395-6, 1993

[31] M. Bucher, "*Analytical MOS transistor modelling for analog circuit simulation,*" Ph.D. dissertation, EPFL, these no. 2114, 1999

[32] C. Lallement, « *Le transistor MOSFET : Etudes, modélisation, et applications dans les S.O.C* », habilitation à diriger des recherches, Université Louis Pasteur, Strasbourg, 2002

[33] Y. Tsividis, "*Operation and modeling of the MOS transistor,*" New York: McGraw-Hill Book Company, ISBN 0-19-517014-8, 1987

[34] K. Kim and al., "*Process/physics-based threshold voltage model for nano-scaled double-gate devices,*" Int. J. Electronics, vol. 91, no. 3, pp. 139-148, 2004

[35] L. Ge, and J. G. Fossum, "*Analytical modeling of quantization and volume Inversion in thin Si-film DG MOSFETs,*" IEEE Transactions on Electron Devices, vol. 49, no. 2, pp. 287-294, 2002

[36] J. G. Fossum, L. Ge, and M-H Chiang, "*Speed superiority of scaled double-gate CMOS,*" IEEE Transactions on Electron Devices, vol. 49, no. 5, pp. 808-811, 2002

[37] S-H. Kim, J. G. Fossum, and J-W. Yang, "*Modeling and significance of fringe capacitance in nonclassical CMOS devices with gate–source/drain underlap*," IEEE Transactions on Electron Devices, vol. 53, no. 9, pp. 2143-2150, 2006

[38] A. Ortiz-Conde, F. J. García-Sánchez, J. Muci, et al., "*A review of core compact models for undoped double-gate SOI MOSFETs,*" IEEE Transactions on Electron Devices, vol. 54, no. 1, pp. 131-140, 2007

[39] M. Reyboz, « *Modélisation analytique de transistors double grille à effet de champ en technologie sub-45nm* », Thèse de l'INP Grenoble, 2007

[40] A. Ortiz-Conde, F. J. García-Sánchez, and J. Muci, "*Rigorous analytic solution for the drain–current of undoped symmetric dual-gate MOSFETs,*" Solid-State Electronics, vol. 49, no. 4, pp. 640-647, 2005

[41] Y. Taur, X. Liang, W. Wang, et al., "*A continuous, analytic drain–current model for DG MOSFETs,*" IEEE Electron Device Letters, vol. 25, no. 2, pp. 107-109, 2004

[42] G. Baccarani, and S. Reggiani, "*A compact double–gate MOSFET model comprising quantum mechanical and nonstatic effets,*" IEEE Transactions on Electron Devices, vol. 46, no. 8, pp. 1656-1666, 1999

[43] R. F. Pierret and J. A. Shields, "*Simplified long-channel MOSFET theory,*" Solid-State Electronics, vol. 26, no. 2, pp. 143-147, 1983

[44] Y. Taur, "*An analytical solution to a double-gate MOSFET with undoped body*," IEEE Electron Device Letters, vol. 21, no. 5, pp. 245-247, 2000

[45] Y. Taur, "*Analytic solutions of charge and capacitance in symmetric and asymmetric double-gate MOSFETs,*" IEEE Transactions on Electron Devices, vol. 48, no. 12, pp. 2861-2869, 2001

[46] H. Lu, and Y. Taur, "*An Analytic Potential Model for Symmetric and Asymmetric DG MOSFETs,*" IEEE Transactions on Electron Devices, vol. 53, no. 5, pp. 1161-1168, 2006

[47] X. Liang, and Y. Taur, "*A 2-D Analytical Solution for SCEs in DG MOSFETs,*" IEEE Transactions on Electron Devices, vol. 51, no. 8, pp. 1385-1391, 2004

[48] J. He, X. Xi, C. H. Lin, et al., "*A non-charge-sheet analytic theory for undoped symmetric double-gate MOSFET from the exact solution of Poisson's equation using SSP approach,*" in Proc. Workshop Compact Model., NSTI-Nanotech, Boston, MA, pp. 124-127, 2004

[49] O. Moldovan, A. Cerdeira, D. Jimènez, et al., "*Compact model for highly-doped double-gate SOI MOSFETs targeting baseband analog applications*," Solid-State Electronics, vol. 51, pp. 655-661, 2007

[50] A. Lazaro, B. Iñiguez, "*RF and Noise Performance of Multiple-Gate SOI MOSFETs*," Proceedings of the 1st European Microwave Integrated Circuits Conference, Manchester UK, 2006

[51] H. A. E. Hamid, J. R. Guitart, and B. Iñíguez, "*Two-dimensional analytical threshold voltage and subthreshold swing models of undoped symmetric double-gate MOSFETs*," IEEE Transactions on Electron Devices, vol. 54, no. 6, pp. 1406-1408, 2007

[52] B. Iñiguez, T. A. Fjeldly, A. Lázaro, et al., "*Compact-modeling solutions for nanoscale double-gate and Gate-All-Around MOSFETs*," IEEE Transactions on Electron Devices, vol. 53, no. 9, pp. 2128-2142, 2006

[53] A. Laizaro, B. Nae, O. Moldovan, et al., "*A compact quantum model of nanoscale double-gate MOSFET for RF and noise simulations*," Journal of Applied Physics, vol.100, no. 8, pp. 355-358, 2006

[54] F. Prégaldiny, C. Lallement, and D. Mathiot, "*A simple efficient model of parasitic capacitances of deep-submicron LDD MOSFETs*," Solid-State Electronics, vol. 46, no. 12, pp. 2191.2198, 2002

[55] J-M. Sallese, F. Krummenacher, F. Prégaldiny, C. Lallement, et al., "*A design oriented charge-based current model for symmetric DG MOSFET and its correlation with the EKV formalism,*" Solid-State Electronics, vol. 49, no. 3, pp. 485-489, 2005

[56] F. Prégaldiny, F. Krummenacher, B. Diagne, F. Pêcheux, J-M. Sallese and C. Lallement, "*Explicit modelling of the double-gate MOSFET with VHDL-AMS,*" Int. Journ. of Numerical Modelling, Elec. Networks Dev. and Fields, vol. 19, no. 3, pp. 239-256, 2006

[57] F. Prégaldiny, F. Krummenacher, J-M Sallese, B. Diagne, and C. Lallement, "*An explicit quasi-static charge-based compact model for symmetric DG MOSFET,*" In NSTI-Nanotech 2006, WCM, 3:686, ISBN 0-9767985-8-1, pp. 686-691, 2006, invited paper

[58] B. Diagne., F. Prégaldiny, C. Lallement, « *Modèle compact de transistor MOS double-grille dédié à la conception* », 7ème colloque sur le Traitement Analogique de l'Information, du Signal et ses Applications (TAISA), Strasbourg, France, pp. 105-108, 2006

[59] B. Diagne, F. Prégaldiny, C. Lallement, J-M. Sallese, F. Krummenacher, "*Explicit compact model for symmetric double-gate MOSFETs including solutions for small-geometry effects,*" Solid-State Electronics, *vol. 52, pp. 99-106, 2008*

Chapitre 3

Nouvelle approche basée sur le formalisme EKV

Sommaire du chapitre 3

3 Nouvelle approche basée sur le formalisme EKV — 85
3.1 Introduction — 87
3.2 Formulation du nouveau modèle — 88
3.2.1 Formulation du modèle statique — 88
3.2.2 Formulation du modèle dynamique — 101
3.2.3 Modélisation du rapport transconductance de grille sur le courant de drain — 104
3.3 Algorithme d'inversion numérique — 106
3.3.1 Solution explicite en forte inversion — 107
3.3.2 Solution explicite en faible inversion — 108
3.3.3 Solution explicite générale — 110
3.4 Points clés du modèle compact — 114
3.5 Validation du modèle compact canal long — 114
3.5.1 Le principe de fonctionnement des simulateurs numériques — 114
3.5.1.1 Les contraintes de la résolution numérique — 115
3.5.1.2 La simulation numérique du MOSFET double-grille — 117
3.5.1.3 Choix de paramètres technologiques pour le MOSFET double-grille — 117
3.5.2 Validation du modèle canal long — 120
3.5.2.1 Confrontation de notre modèle compact avec celui de Y. Taur — 120
3.5.2.2 Confrontation du modèle avec les simulations 2-D — 121
3.6 Conclusion — 124
Bibliographie — 126

3.1 Introduction

Le modèle compact est le seul lien qui existe entre la fonderie et le designer. Il est un vecteur d'information unique et indispensable entre le *process* et le circuit. Ainsi, doit-il véhiculer toutes les informations utiles et nécessaires à la bonne réussite d'une conception de pointe. Pour cela, il doit satisfaire à certaines conditions fondamentales telles que : être proche de la physique, être réalisé de telle sorte que le concepteur ait besoin d'un minimum de connaissances en technologie, en modélisation compacte et également en physique du MOSFET. Le rôle d'un modèle est donc multiple, et est souvent caractérisé par des impératifs contradictoires. Idéalement, un modèle de TMOS devrait avoir une structure simple, être efficace en termes de temps de calcul, fournir une grande précision, et avoir un nombre minimum de paramètres. De plus, un modèle idéal devrait aussi être raisonnablement prédictif, par exemple le changement d'une quantité physique telle que l'épaisseur de l'oxyde de grille devrait résulter en une modification correcte des autres grandeurs électriques liées à cette dernière [1]. Cet exemple, qui peut au premier abord sembler trivial, est pourtant l'un des grands défis en modélisation compacte. Finalement, afin de satisfaire aux exigences du concepteur de circuits, nous avons besoin de développer des modèles compacts qui comptent toutes ces caractéristiques.

Les travaux réalisés dans les publications [2-6] en modélisation du MOSFET double-grille sont d'un intérêt particulier pour le physicien du composant. De par leur précision, ils peuvent être l'outil de validation des modèles analytiques. Cependant, ainsi que nous l'avons précédemment exposé, ces modèles, en dépit de leur précision, ne sont pas véritablement adaptés à la conception de circuits. En effet, ils sont fondés sur des solutions analytiques implicites qui engendrent un temps de calcul prohibitif [5-6].

Dans ce chapitre, nous présentons une expression analytique simple décrivant le comportement statique et dynamique du dispositif MOSFET double-grille symétrique. Cette expression est valide dans toutes les régions de fonctionnement (de la faible inversion à la forte inversion). Notre approche est basée sur le formalisme du modèle compact développé pour le dispositif MOSFET bulk, le modèle EKV (*Enz Krummenacher Vittoz*) [7]. Les points essentiels du modèle EKV sont présentés en Annexe II. Aussi, au fil de ce manuscrit, dans le but de satisfaire au mieux la notion de prédictivité, nous tenterons lors du développement du modèle de mettre en exergue le lien *équations-paramètres technologiques*. Nous avons, grâce

à un algorithme d'inversion numérique, établi des solutions explicites entre les grandeurs électriques, ce qui présente l'avantage d'éviter tout calcul itératif. Le présent chapitre est, pour les besoins de l'analyse, scindé en deux parties. En premier lieu, nous étudierons le noyau du modèle, puis nous discuterons de l'algorithme d'inversion numérique. Enfin, nous résumerons les points essentiels qui font la particularité de notre approche. En second lieu, dans le cadre de la validation du modèle compact, nous présenterons ses résultats comparés aux résultats numériques 2-D.

3.2 Formulation du nouveau modèle

3.2.1 Formulation du modèle statique

Nous allons présenter un modèle compact du transistor MOS double-grille à canal long. Nous tiendrons compte par la suite, plus précisément au chapitre 4, des différents effets de petites géométries que nous avons présentés aux chapitres 1 et 2. Ainsi, dans ce chapitre, il ne sera question que du développement du noyau du modèle pour un dispositif double-grille en mode de fonctionnement symétrique à canal long.

Nous allons considérer un dispositif MOSFET double-grille de type *n* à canal long et très peu dopé ($10^{14} cm^{-3}$) fonctionnant en mode symétrique. Nous considérerons également la mobilité des porteurs constante ($1000 cm^2 / V \cdot s$) le long du canal. Les effets quantiques ainsi que les effets de polydéplétion seront ignorés dans ce développement [8]. La Fig. 3.1 représente le transistor MOS double-grille servant de référence au modèle.

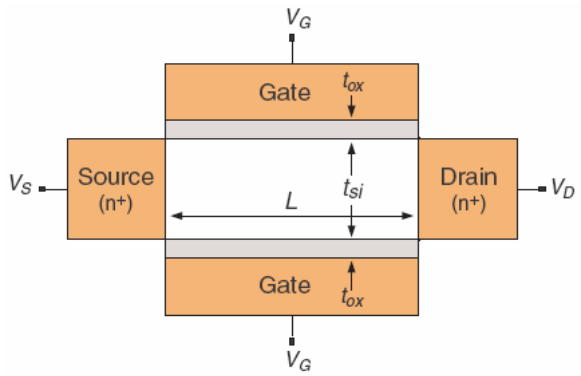


Fig. 3.1 : Structure du MOSFET double-grille servant de référence au nouveau modèle

A la différence de la structure générique du MOSFET double-grille présentée au chapitre 2, cette structure décrit exclusivement un double-grille en mode de fonctionnement symétrique. A cet effet, les épaisseurs de couches d'oxyde t_{ox1} et t_{ox2} sont identiques et valent t_{ox}, les polarisations des deux grilles sont également identiques et correspondent à V_g. De plus, en ce qui concerne les matériaux de grille, ils sont de type midgap, ainsi leurs différences de travaux de sortie avec le silicium $\Delta\Phi_1$ et $\Delta\Phi_2$ correspondent toutes les deux à $\Delta\Phi_{ms}$, laquelle a une valeur nulle.

La Fig. 3.2 décrit le diagramme des bandes d'énergie à travers le film de silicium. Les axes x et y sont toujours considérés, suivant la direction longitudinale et la direction transversale au canal, respectivement. Le potentiel $\Psi(y)$ correspond au niveau intrinsèque du silicium, il est mesuré par rapport au niveau de Fermi dans la région de source. V_{ch} correspond au potentiel du quasi-niveau de Fermi des électrons lequel, en raison de la répartition des porteurs dans le film, est constant entre $+t_{Si}/2$ et $-t_{Si}/2$.

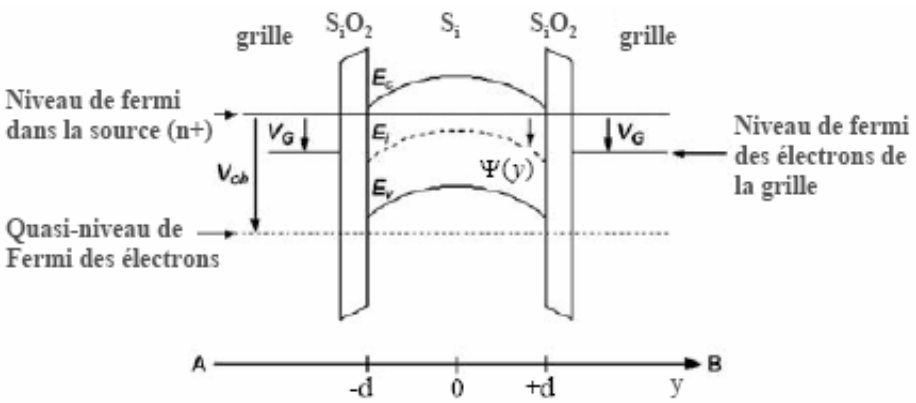


Fig. 3.2 : Diagramme des bandes d'énergies suivant la coupe verticale AB, avec $d = t_{Si}/2$

En considérant l'équation de Poisson 1-D et en négligeant la densité de charge des accepteurs, nous pouvons écrire :

$$\frac{d^2\Psi(y)}{dy^2} = \frac{d^2\left(\Psi(y) - V_{ch}\right)}{dy^2} = \frac{e \cdot n_i}{\varepsilon_{Si}} \cdot e^{\frac{\Psi(y) - V_{ch}}{U_T}} \tag{3.01}$$

avec $U_T\left(= K \cdot T/e\right)$ la tension thermodynamique.

Une première intégration de la relation (3.01), nous permet d'obtenir l'expression du champ à travers le film de silicium :

$$E(y) = -\frac{d\Psi(y)}{dy} = \pm\sqrt{\frac{2 \cdot e \cdot n_i \cdot U_T}{\varepsilon_{Si}}} \cdot \sqrt{e^{\frac{\Psi(y)-V_{ch}}{U_T}} + C_1} \tag{3.02}$$

Cette relation est semblable à la solution du champ électrique obtenue par Y. Taur [5]. Nous noterons qu'à partir de la relation (3.02) nous pouvons déterminer la densité de charges par unité de surface (Q_G) au niveau de chaque grille, c'est à dire pour $x = \pm d$, avec d correspondant à la moitié de l'épaisseur du film ($d = t_{Si}/2$). Ainsi, nous aboutissons à l'expression du potentiel au niveau des interfaces :

$$\Psi(\pm d) - V_{ch} = U_T \cdot \ln\left(\frac{Q_G{}^2}{2 \cdot \varepsilon_{Si} \cdot e \cdot n_i \cdot U_T} - C_1\right) \tag{3.03}$$

Ceci constitue la première relation du potentiel. Une seconde relation est obtenue en appliquant le théorème de Gauss à l'interface de l'oxyde de grille. Ce qui conduit à :

$$V_G^* - \Psi(\pm d) = \frac{Q_G}{C_{ox1}} \tag{3.04}$$

où V_g^* est définie par :

$$V_g^* = V_g - \Delta\Phi_{ms} \tag{3.05}$$

En combinant (3.03) et (3.04), nous obtenons une solution qui lie les charges, les potentiels et C_1. Elle se présente sous la forme :

$$V_G^* - V_{ch} = \frac{Q_G}{C_{ox1}} + U_T \cdot \ln\left(\frac{Q_G{}^2}{2 \cdot \varepsilon_{Si} \cdot e \cdot n_i \cdot U_T} - C_1\right) \tag{3.06}$$

En intégrant une seconde fois l'équation de Poisson, nous obtenons la solution du potentiel Ψ. Ensuite, à partir de cette solution, la densité de charge de grille $Q_g\left(=+\varepsilon_{Si}\cdot d\Psi(y)/dy\big|_{y=d}\right)$ s'obtient aisément. Nous allons dans un premier temps détailler les différentes étapes de calculs qui permettent d'obtenir le potentiel à l'intérieur du film, ensuite, nous montrerons comment s'obtient la charge de grille.

Reprenons la solution obtenue après la première intégration de l'équation de Poisson :

$$\frac{d\Psi(y)}{dy}=\sqrt{\frac{2\cdot e\cdot U_T\cdot n_i}{\varepsilon_{Si}}\left(e^{\frac{(\Psi(y))}{U_T}}-e^{\frac{\Psi_0}{U_T}}\right)} \tag{3.07}$$

avec $-e^{\frac{\Psi_0}{U_T}}=C_1$

Intégrons cette solution afin d'avoir le potentiel. Avant d'effectuer l'intégration, nous allons la réécrire sous la forme suivante :

$$\frac{d\Psi}{\sqrt{\frac{2\cdot e\cdot U_T\cdot n_i}{\varepsilon_{Si}}\cdot\left(e^{\frac{\Psi}{U_T}}-e^{\frac{\Psi_0}{U_T}}\right)}}=dy \tag{3.08}$$

puis en le réarrangeant, nous obtenons :

$$\frac{d\Psi}{\sqrt{\frac{2\cdot e\cdot U_T\cdot n_i}{\varepsilon_{Si}}\cdot e^{\frac{\Psi_0}{U_T}}\cdot\left(e^{\frac{(\Psi-\Psi_0)}{U_T}}-1\right)}}=dy \tag{3.09}$$

Ce qui donne finalement la forme à intégrer comme suit :

$$\frac{d\Psi}{\sqrt{\left(\left(e^{\frac{(\Psi-\Psi_0)}{2\cdot U_T}}\right)^2-1\right)}}=\sqrt{\frac{2\cdot e\cdot U_T\cdot n_i}{\varepsilon_{Si}}\cdot e^{\Psi_0}}\cdot dy \tag{3.10}$$

Ensuite, nous allons effectuer le changement de variable suivant :

$$e^{\frac{(\Psi-\Psi_0)}{2\cdot U_T}} = \frac{1}{\cos u} \tag{3.11}$$

La différentielle de (3.11) donne :

$$d\Psi = 2\cdot U_T \cdot \frac{\sin u}{\cos u}\cdot du \tag{3.12}$$

En remplaçant $d\Psi$ et $e^{\frac{(\Psi-\Psi_0)}{2\cdot U_T}}$ par leurs expressions (i.e. (3.12) et (3.11)), (3.10) devient :

$$2\cdot U_T \cdot du = \sqrt{\frac{2\cdot e\cdot U_T\cdot n_i}{\varepsilon_{Si}}\cdot e^{\frac{\Psi_0}{U_T}}}\cdot dy \tag{3.13}$$

Ce qui conduit à l'intégrale :

$$\int_{u_1}^{u_2} du = \frac{1}{2\cdot U_T}\cdot\sqrt{\frac{2\cdot e\cdot U_T\cdot n_i}{\varepsilon_{Si}}\cdot e^{\frac{\Psi_0}{U_T}}}\cdot\int_{y_1}^{y_2} dy \tag{3.14}$$

En explicitant les bornes, nous obtenons pour :

$$y = y_1 = 0\,,\ \Psi = \Psi_1 = \Psi_0 \text{ donc } \Psi - \Psi_0 = 0\text{, ainsi } u = u_1 = \arccos e^o = \arccos(1) = 0 \tag{3.15}$$

et

$$y = y_2 \in \left]0,\, d\right[\,,\ \Psi_2 = \Psi(y)\text{, donc } \Psi - \Psi_0 \neq 0\text{, ainsi } u = u_2 = \arccos e^{\frac{-(\Psi(y)-\Psi_0)}{2\cdot U_T}} \tag{3.16}$$

Nous rappelons que $d = t_{Si}/2$.

En tenant compte de (3.15) et (3.16) dans (3.14), nous obtenons comme résultat :

$$[u]_0^{\arccos e^{\frac{-(\Psi(y)-\Psi_0)}{2\cdot U_T}}} = \frac{1}{2\cdot U_T}\cdot\sqrt{\frac{2\cdot e\cdot U_T\cdot n_i}{\varepsilon_{Si}}\cdot e^{\frac{\Psi_0}{U_T}}}\cdot[y]_0^y \tag{3.17}$$

Après calcul, nous avons :

$$\arccos\left(e^{\frac{-(\Psi(y)-\Psi_0)}{2\cdot U_T}}\right) = \frac{1}{2\cdot U_T}\cdot\sqrt{\frac{2\cdot e\cdot U_T\cdot n_i}{\varepsilon_{Si}}\cdot e^{\frac{\Psi_0}{U_T}}}\cdot y \tag{3.18}$$

On en déduit :

$$e^{\frac{-(\Psi(x)-\Psi_0)}{2\cdot U_T}} = \cos\left(\frac{1}{2\cdot U_T}\cdot\sqrt{\frac{2\cdot e\cdot U_T\cdot n_i}{\varepsilon_{Si}}\cdot e^{\frac{\Psi_0}{U_T}}}\,y\right) \tag{3.19}$$

ensuite :

$$\frac{-(\Psi(x)-\Psi_0)}{2\cdot U_T} = \ln\left\{\cos\left(\frac{1}{2\cdot U_T}\cdot\sqrt{\frac{2\cdot e\cdot U_T\cdot n_i}{\varepsilon_{Si}}\cdot e^{\frac{\Psi_0}{U_T}}}\cdot y\right)\right\} \tag{3.20}$$

et finalement :

$$(\Psi(y)-\Psi_0) = -2\cdot U_T\cdot\ln\left\{\cos\left(\sqrt{\frac{n_i\cdot e}{2\cdot U_T\cdot\varepsilon_{Si}}\cdot e^{\frac{\Psi_0}{U_T}}}\cdot y\right)\right\} \tag{3.21}$$

En remplaçant $e^{\frac{\Psi_0}{U_T}}$ par $(-C_1)$, avec $C_1 < 0$, nous pouvons réécrire (3.21) comme suit :

$$(\Psi(y)-\Psi_0) = -2\cdot U_T\cdot\ln\left\{\cos\left(\sqrt{\frac{n_i\cdot e}{2\cdot U_T\cdot\varepsilon_{Si}}\cdot(-C_1)}\cdot y\right)\right\} \tag{3.22}$$

Ceci correspond à la solution de la seconde intégration de l'équation de Poisson. En la dérivant, nous obtenons la densité de charge de grille. C'est-à-dire :

$$Q_g = +\varepsilon_{Si} \cdot \left.\frac{d\Psi(y)}{dy}\right|_{y=d} \tag{3.23}$$

Ceci conduit après calcul à :

$$\begin{aligned} Q_g = \varepsilon_{Si} \cdot \left.\frac{d\Psi(y)}{dy}\right|_{y=d} &= \varepsilon_{Si} \cdot 2 \cdot U_T \cdot \frac{\left(-\sqrt{\frac{n_i \cdot e}{2 \cdot U_T \cdot \varepsilon_{Si}} \cdot (-C_1)}\right) \cdot \left(-\sin\left(\sqrt{\frac{n_i \cdot e}{2 \cdot U_T \cdot \varepsilon_{Si}} \cdot (-C_1)} \cdot d\right)\right)}{\cos\left(\sqrt{\frac{n_i \cdot e}{2 \cdot U_T \cdot \varepsilon_{Si}} \cdot (-C_1)} \cdot d\right)} \\ &= 2 \cdot \varepsilon_{Si} \cdot U_T \cdot \sqrt{\frac{n_i \cdot e}{2 \cdot U_T \cdot \varepsilon_{Si}} \cdot (-C_1)} \cdot \tan\left(\sqrt{\frac{n_i \cdot e}{2 \cdot U_T \cdot \varepsilon_{Si}} \cdot (-C_1)} \cdot d\right) \end{aligned} \tag{3.24}$$

De (3.24), nous exprimons Q_g en fonction de C_1

$$Q_g = \sqrt{2 \cdot n_i \cdot e \cdot \varepsilon_{Si} \cdot U_T \cdot (-C_1)} \cdot \tan\left(\sqrt{\frac{2 \cdot n_i \cdot e \cdot U_T}{\varepsilon_{Si}} \cdot (-C_1)} \cdot \frac{d}{2 \cdot U_T}\right) \tag{3.25}$$

Nota : Nous soulignerons que (3.25) s'obtient de manière aisée à partir de (3.02) grâce à l'outil de calcul Maple.

A ce stade, nous pouvons dégager une première constatation. L'équation (3.06) est constituée de deux termes, un terme proportionnel à Q_G et un autre sous forme logarithmique. En forte inversion, nous considérerons l'impact de la constante d'intégration négligeable par rapport à Q_G. Ceci s'explique par le fait que lorsque les deux canaux se forment au niveau de chaque interface, le couplage entre les grilles devient négligeable. En conséquence, cette constante C_1, qui en réalité illustre le couplage électrostatique entre les deux électrodes de grilles devient peu significative par rapport à Q_G. Cependant, cette situation ne se justifie plus en faible inversion où, compte tenu de la répartition des porteurs sur toute l'épaisseur du film, le couplage entre les grilles est important. Ce qui conduit ainsi à une prépondérance du second

terme logarithmique par rapport au premier terme dans (3.06). Fort de cela, en considérant (3.25) en faible inversion et en effectuant un développement limité à l'ordre 1 autour de la valeur de $C_1 = 0$, nous allons pouvoir dans un premier temps exprimer de manière plus simple C_1 en fonction de Q_G. Ceci conduit à la solution suivante :

$$C_1 \approx \frac{-Q_G}{e \cdot n_i \cdot d} \tag{3.26}$$

Ensuite, nous allons remplacer cette solution de C_1 dans (3.06), ce qui donne la première relation fondamentale de notre approche. De cette relation découle toute la suite du modèle, car elle exprime le lien entre les charges et le potentiel de grille et du canal. Elle se présente comme suit :

$$V_G^* - V_{ch} = \frac{Q_G}{C_{ox1}} + U_T \cdot \ln\left(\frac{{Q_G}^2}{2 \cdot \varepsilon_{Si} \cdot e \cdot n_i \cdot U_T} + \frac{Q_G}{e \cdot n_i \cdot d} \right) \tag{3.27}$$

Nous noterons que contrairement à Q_G qui représente la densité de charge – pour une grille – par unité de surface, Q_m représente la densité totale de charge mobile par unité de surface. Les deux grandeurs sont proportionnelles et sont liées par :

$$Q_m = -2 \cdot Q_G \tag{3.28}$$

Pour obtenir le courant de drain, nous allons considérer le modèle de transport *driff-diffusion*. La considération d'un tel modèle est justifiée puisque le canal du dispositif est long. Ceci conduit à la solution du courant le long du canal suivant :

$$I_d = -\mu \cdot \frac{W}{L} \cdot \int_{V_s}^{V_d} Q_m \cdot dV_{ch} \tag{3.29}$$

Ce qui conduit à :

$$I_d = \frac{\mu \cdot U_T \cdot W}{L} \cdot \left\{ -\frac{Q_m^2}{4 \cdot U_T \cdot C_{ox1}} + 2 \cdot Q_m + 8 \cdot C_{Si} \cdot U_T \cdot \ln\left(1 - \frac{Q_m}{8 \cdot U_T \cdot C_{Si}}\right) \right\} \Bigg|_{Q_{ms}}^{Q_{md}} \tag{3.30}$$

Cette relation constitue la seconde relation fondamentale sur laquelle se base notre approche.

A ce stade, se termine la première étape de l'élaboration du modèle. Nous allons passer à une étape supérieure qui consiste à la réécriture de ces deux relations d'une manière beaucoup plus simple et « *parlante* » pour le concepteur analogique. En effet, de manière similaire au modèle EKV développé pour le dispositif MOSFET bulk [9-10], nous allons introduire des facteurs de normalisation. Toutes les grandeurs électriques et certaines grandeurs technologiques seront normalisées (cf. Tableau 3.1). Ainsi nous définirons les facteurs de normalisation suivants : Q_0 pour les densités de charge, U_T (tension thermodynamique) pour les tensions, I_S (courant spécifique) pour le courant et finalement, comme nous le verrons par la suite, les capacités seront normalisées par la capacité d'oxyde totale. Nous définirons également une grandeur q_{int} qui correspond à la densité de charge intrinsèque normalisée. Elle est donnée par : $q_{\text{int}} = e \cdot n_i \cdot t_{Si} / Q_0$. Cette normalisation rend les équations plus simples et permettent au concepteur d'avoir directement accès aux grandeurs électriques. En comparant les facteurs de normalisation introduits pour le MOSFET double-grille et ceux introduits dans le modèle EKV pour le MOSFET bulk [9-10], nous remarquons que le facteur de normalisation du courant (I_S) ainsi que le facteur de normalisation des charges pour le transistor MOS double-grille constituent le double de ceux pour le MOSFET bulk. Le Tableau 3.1 illustre les différents facteurs de normalisation.

Grandeurs électriques	Facteurs de normalisation
Tensions	$U_T = K \cdot T / e$
Courants	$I_s = 4 \cdot \mu \cdot C_{ox1} \cdot U_T^2 \cdot W / L$
Charges	$Q_0 = 4 \cdot C_{ox1} \cdot U_T$
Capacités	$C_{OX} = 2 \cdot C_{ox1}$

Tableau 3.1 : Normalisation des grandeurs électriques

En réécrivant la relation (3.27), nous obtenons :

$$V_G^* - V_{ch} + U_T \cdot \ln\left(\frac{e \cdot n_i \cdot d}{4 \cdot C_{ox1} \cdot U_T}\right) = \frac{Q_G}{C_{ox1}} + \ln\left(\frac{Q_G}{4 \cdot U_T \cdot C_{ox1}}\right) + U_T \cdot \ln\left(1 + \frac{Q_G{}^2}{2 \cdot \varepsilon_{Si} \cdot e \cdot n_i \cdot U_T}\right) \quad (3.31)$$

En faisant apparaitre le facteur de normalisation de charges (i.e. $Q_0\left(= 4 \cdot C_{ox1} \cdot U_T\right)$) et le facteur de normalisation des tensions (i.e. U_T), nous obtenons :

$$\frac{V_G^*}{U_T} - \frac{V_{ch}}{U_T} - \frac{V_{t0}}{U_T} = 4 \cdot \frac{Q_G}{4 \cdot U_T \cdot C_{ox1}} + \ln\left(\frac{Q_G}{4 \cdot U_T \cdot C_{ox1}}\right) + \cdot \ln\left(1 + \frac{C_{ox1}}{C_{Si}} \frac{Q_G}{4 \cdot C_{ox1} \cdot U_T}\right) \quad (3.32)$$

En considérant les grandeurs normalisées du Tableau 3.1, la relation (3.32) devient :

$$v_g^* - v_{to} - v_{ch} = 4 \cdot q_g + \ln q_g + \ln\left(1 + q_g \cdot \frac{C_{ox1}}{C_{Si}}\right) \quad (3.33)$$

En posant :

$$v_p = v_g^* - v_{to} \quad (3.34)$$

(3.33) se présente sous la forme :

$$v_p - v_{ch} = 4 \cdot q_g + \ln q_g + \ln\left(1 + q_g \cdot \frac{C_{ox1}}{C_{Si}}\right) \quad (3.35)$$

avec v_p la tension de pincement et $C_{Si}\left(= \varepsilon_{Si} / t_{Si}\right)$ la capacité de la couche de silicium définie aux chapitres précédents.

A présent, effectuons la même procédure de normalisation sur le courant. En faisans ressortir les facteurs de normalisation (I_S, Q_0), (3.30) devient :

$$I_d = \frac{4 \cdot C_{ox1} \cdot U_T^2 \cdot \mu \cdot W}{L} \cdot \left\{ -\frac{Q_m^2}{\left(4 \cdot U_T \cdot C_{ox1}\right)^2} + \frac{2 \cdot Q_m}{4 \cdot U_T \cdot C_{ox1}} + \frac{8 \cdot C_{Si} \cdot U_T}{4 \cdot U_T \cdot C_{ox1}} \cdot \ln\left(1 - \frac{C_{ox1}}{2 \cdot C_{Si}} \frac{Q_m}{4 \cdot U_T \cdot C_{ox1}}\right) \right\} \Bigg|_{Q_{mS}}^{Q_{mD}} \tag{3.36}$$

Après normalisation, le courant exprimé en (3.36) se réécrit de manière plus simple

$$i = -q_m{}^2 + 2 \cdot q_m + 2 \cdot \frac{C_{Si}}{C_{ox1}} \cdot \ln\left(1 - q_m \cdot \frac{C_{ox1}}{2 \cdot C_{Si}}\right) \Bigg|_{q_{ms}}^{q_{md}} \tag{3.37}$$

Une fois le courant de drain obtenu, nous pouvons définir la tension de seuil. Nous adopterons la même définition que celle retenue pour le MOSFET bulk [8], c'est-à-dire la polarisation de la grille pour laquelle la densité de charge mobile est quasi-nulle par rapport à sa valeur en forte inversion. Ceci nous conduit, après calcul, à la solution analytique de la tension de seuil normalisée pour le MOSFET double-grille symétrique :

$$v_{to} = \Delta\phi_{ms} - \ln\left(\frac{q_{\text{int}}}{2}\right) \tag{3.38}$$

où $\Delta\phi_{ms} = \Delta\Phi_{ms} / U_T = 0$

Nous pouvons immédiatement tirer les premières conclusions quant à la nouvelle formulation du modèle. De (3.35) et (3.37), il ressort nettement le lien direct et simple entre les grandeurs électriques *potentiel-charge* et *charge-courant.* Ceci constitue un atout principal pour le concepteur qui, dès lors, a une plus grande aisance en termes d'accès aux différentes grandeurs électriques. La relation (3.37) nous permet d'avoir un des paramètres nécessaires à la conception d'un circuit qu'est le rapport – noté $G(i)$ – de la transconductance de grille avec le courant de drain évalué dans la région de saturation [10-13]. Nous reviendrons également sur cette caractéristique dans le paragraphe 3.2.3.

Un autre aspect important à noter est que la solution du courant de drain définie en (3.37) a une forme relativement similaire à celle du MOSFET bulk obtenue dans le modèle EKV [9]. L'unique différence vient du terme logarithmique, qui est inexistant dans le modèle EKV et

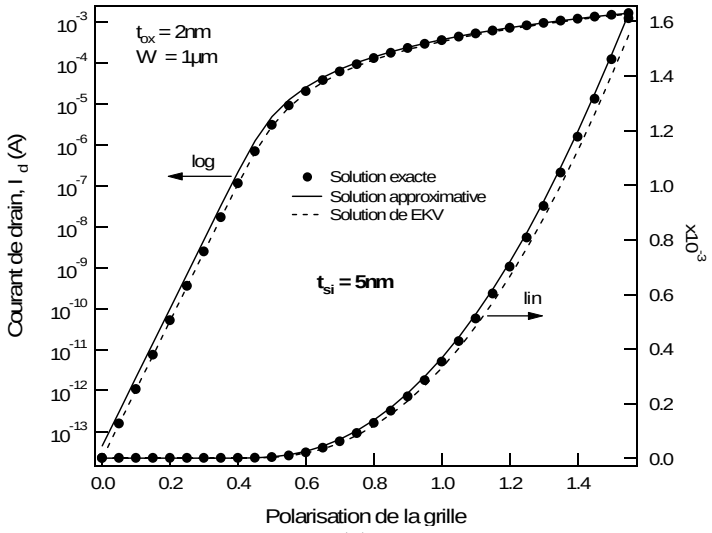
du facteur 2 devant le terme en q_m. En négligeant le terme logarithmique, nous obtenons la solution :

$$i = -q_m^{\ 2} + 2 \cdot q_m \Big|_{q_{ms}}^{q_{md}} \tag{3.39}$$

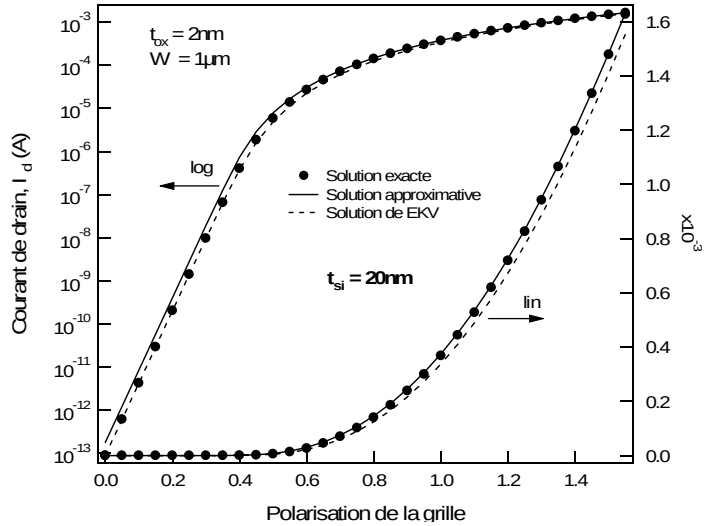
L'intégration se fait de la charge au niveau de la source (q_{ms}) à celle au niveau du drain (q_{md}). Ainsi (3.39) est proche de la solution du courant dans EKV, laquelle se présente ainsi :

$$i = -q_m^{\ 2} + q_m \Big|_{q_{ms}}^{q_{md}} \tag{3.40}$$

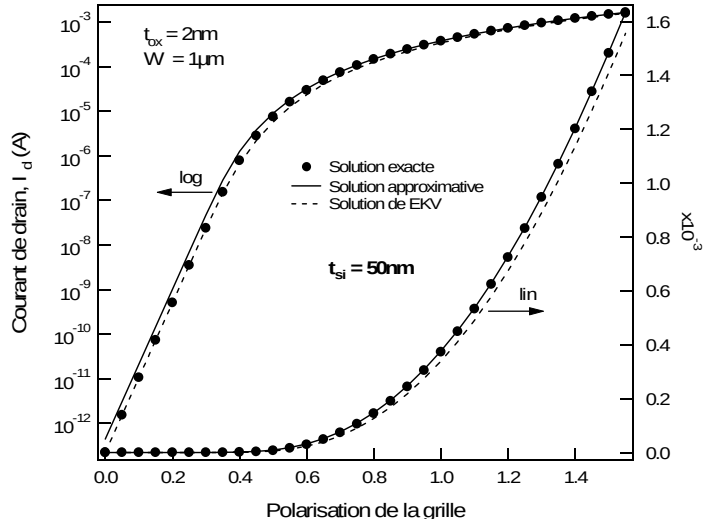
La comparaison entre les solutions (3.37), (3.39) et (3.40) est illustrée à la Fig. 3.3 où il est décrit la caractéristique du courant de drain en fonction de la polarisation de la grille. Nous remarquons que les résultats coïncident dans les deux régions de fonctionnement. Ceci est plus marquant en faible inversion où nous notons une pente sous le seuil idéale ($SS = 60mV/dec$). Nous remarquons que les résultats obtenus avec (3.39) sont inférieurs à ceux obtenus avec (3.37). La Fig. 3.3 correspond à un transistor MOS double-grille symétrique d'épaisseurs de film de silicium de 5, 20 et $50nm$ et d'épaisseur d'oxyde de grille de $2nm$. En forte inversion, nous observons que par rapport aux résultats obtenus avec (3.37) et (3.39), le courant de drain obtenu avec (3.40) est légèrement inférieur. Nous retiendrons le fait qu'en forte inversion, il demeure justifié d'approximer (3.37) par (3.39). Cette approximation s'avèrera utile lorsqu'il s'agira de décrire le comportement dynamique [14-15] du MOSFET double-grille ainsi que nous le verrons par la suite dans le paragraphe 3.2.2. Elle a également été vérifiée sur le dispositif MOSFET double-grille symétrique pour une large gamme d'épaisseurs de film de silicium, de 5 à $50nm$.



(a)



(b)



(c)

Fig. 3.3 : Comparaison entre la solution exacte issue de la nouvelle approche, la solution approximative et enfin la solution issue du modèle EKV (a) pour $t_{Si} = 5nm$, *(b) pour* $t_{Si} = 20nm$ et *(c) pour* $t_{Si} = 50nm$

Nous venons de présenter les premières étapes de l'élaboration du modèle compact. De là, on parvient à décrire le comportement statique – courant-tension – du transistor MOS double-grille en mode de fonctionnement symétrique. Ce modèle s'applique, à ce stade, à un dispositif canal long $(L = 1\mu m)$. On constate à travers les relations (3.35) et (3.37), où nous avons respectivement les liens entre charges-tensions et charges-courant, toute la simplicité du modèle.

3.2.2 Formulation du modèle dynamique

Un modèle de transistor MOS adapté à la simulation de circuits est composé de deux parties principales : un modèle statique où les tensions appliquées aux électrodes du dispositif sont constantes et un modèle dynamique où les tensions varient avec le temps. Le modèle statique est lié à la détermination du courant de drain et des charges, tandis que le modèle dynamique est lié à la détermination des capacités et des paramètres petits signaux.

Précisons déjà que le comportement dynamique du transistor MOS étant dû aux effets capacitifs, il dépend donc directement des charges stockées dans la structure. Ainsi, le modèle dynamique peut-il être obtenu de façon systématique à partir de la définition du modèle statique. En partant d'une analyse similaire réalisée pour le dispositif MOSFET bulk [16], nous sommes parvenus à modéliser le comportement dynamique du MOSFET double-grille d'une manière simple et efficace. En effet, comme nous l'avons signalé dans la section précédente, lorsque nous négligeons le terme logarithmique de (3.35), nous obtenons la relation (3.39). A partir de (3.39), posons :

$$i = -q_m{}^2 + 2 \cdot q_m \Big|_{q_{ms}}^{q_{md}} = i_f - i_r \tag{3.41}$$

avec

$$i_f = q_s{}^2 - 2 \cdot q_s \tag{3.42}$$

et

$$i_r = q_d{}^2 - 2 \cdot q_d \tag{3.43}$$

Ainsi, en normalisant les équations (3.42) et (3.43), nous définissons une nouvelle expression de la charge (i.e. $q_0 = q_m/2$) et du courant (i.e. $i_0 = i/4$). Finalement, (3.41) devient :

$$i_0 = -q_0^{\,2} + q_0\Big|_{q_{0s}}^{q_{0d}} = i_{f0} - i_{r0} \tag{3.44}$$

Ceci constitue précisément la relation établie dans le modèle EKV pour le MOSFET bulk. En conséquence, nous pouvons appliquer à la structure MOSFET double-grille symétrique l'approche de modélisation du comportement dynamique originellement établie pour le MOSFET bulk [16]. Les relations décrivant le comportement dynamique sont détaillées dans [14-15] où ont été définies les variables χ_r et χ_f que nous réécrirons, dans notre approche, de la manière suivante :

$$\chi_f = \sqrt{1/4 + i_{f0}} \tag{3.45}$$

et

$$\chi_f = \sqrt{1/4 + i_{r0}} \tag{3.46}$$

Les indices f et r sont liés de manière similaire au modèle EKV au sens direct, (« *forward* ») et inverse (« *reverse* »).

Pour définir les capacités, nous allons adopter la même définition que pour le MOSFET bulk. Ainsi, nous allons déterminer, en premier lieu, la relation entre les tensions sur chaque électrode et les différentes charges de la structure correspondant aux différents terminaux du TMOS, c'est-à-dire la charge associée à la grille (Q_g), à la source (Q_s) et au drain (Q_d). Nous symbolisons ces charges par Q_i avec $i(= g, s, d)$ désignant l'électrode de grille, de source ou de drain. Aussi, nous notons les différentes polarisations appliquées sur les terminaux par V_j avec $j = g, s, d$. Une fois la dépendance entre Q_i et V_j connue, nous pouvons immédiatement obtenir les différentes transcapacité*s* par dérivation des charges par rapport aux tensions appliquées. Ceci finalement se présente sous la forme [17-18] :

$$C_{ij} = \begin{cases} -\frac{\partial Q_i}{\partial V_j} & si \quad i \neq j \\ \frac{\partial Q_i}{\partial V_j} & si \quad i = j \end{cases} \tag{3.47}$$

Il résulte de cette définition une matrice de neuf transcapacités décrivant le comportement capacitif du TMOS. D'une manière générale, nous allons définir les transcapacités C_{sg}, C_{dg}, C_{ds} et C_{sd}. Ainsi, en se basant sur un travail qui a été effectué sur le MOSFET bulk, avons-nous pu étendre les résultats au transistor MOS double-grille symétrique afin d'obtenir la solution pour ces quatre transcapacités. Elles s'expriment donc comme suit :

$$\frac{C_{dg}}{C_{OX}} = -\frac{1}{15} \cdot \left[\frac{4 \cdot \chi_f^{\,3} + 6 \cdot \chi_r^{\,3} + 28 \cdot \chi_f^{\,2} \cdot \chi_r - 10 \cdot \chi_f^{\,2} - 15 \cdot \chi_f \cdot \chi_r + 22 \cdot \chi_f \cdot \chi_r^{\,2} - 10 \cdot \chi_r^{\,2}}{\left(\chi_f + \chi_r\right)^3} \right] \tag{3.48}$$

$$\frac{C_{sg}}{C_{OX}} = \frac{1}{15} \cdot \left[\frac{4 \cdot \chi_r^{\,3} + 6 \cdot \chi_f^{\,3} + 28 \cdot \chi_r^{\,2} \cdot \chi_f - 10 \cdot \chi_r^{\,2} - 15 \cdot \chi_f \cdot \chi_r + 22 \cdot \chi_r \cdot \chi_f^{\,2} - 10 \cdot \chi_f^{\,2}}{\left(\chi_f + \chi_r\right)^3} \right] \tag{3.49}$$

$$\frac{C_{ds}}{C_{OX}} = \frac{2}{15} \cdot \left[\frac{\left(2 \cdot \chi_f - 1\right) \cdot \left(\chi_f^{\,2} + \chi_r^{\,2} + 3 \cdot \chi_r \cdot \chi_f\right)}{\left(\chi_f + \chi_r\right)^3} \right] \tag{3.50}$$

$$\frac{C_{sd}}{C_{OX}} = -\frac{2}{15} \cdot \left[\frac{\left(2 \cdot \chi_r - 1\right) \cdot \left(\chi_f^{\,2} + \chi_r^{\,2} + 3 \cdot \chi_r \cdot \chi_f\right)}{\left(\chi_f + \chi_r\right)^3} \right] \tag{3.51}$$

Dans ces relations, C_{OX} correspond à la capacité d'oxyde totale que nous avons présentée aux chapitres précédents et également dans le Tableau 3.1. Elle prend en compte la capacité équivalente des deux couches d'oxyde de grille. Elle s'exprime par :

$$C_{OX} = 2 \cdot C_{ox1} \tag{3.52}$$

avec C_{ox1} la capacité d'oxyde correspondant à une grille.

Les autres solutions des transcapacités sont obtenues à partir de la combinaison des transcapacités C_{sg}, C_{dg}, C_{ds} et C_{sd}. Ainsi nous obtenons :

$$C_{ss} = -C_{sg} - C_{sd} \tag{3.53}$$

$$C_{dd} = -C_{dg} - C_{ds} \tag{3.54}$$

$$C_{gd} = +C_{sd} + C_{ds} + C_{dg} \tag{3.55}$$

$$C_{gs} = -C_{sd} + C_{ds} - C_{sg} \tag{3.56}$$

$$C_{gg} = +C_{sg} - C_{dg} \tag{3.57}$$

Il est important de souligner que la convergence du modèle dynamique a été obtenue pour différentes polarisation de drain (i.e. pour $V_{ds} = 0V$ et $V_{ds} \neq 0V$). Nous reviendrons sur les résultats obtenus avec le modèle dynamique dans le paragraphe 3.5. Nous allons introduire maintenant la notion importante de *paramètres petits signaux*.

3.2.3 Modélisation du rapport transconductance de grille sur le courant de drain

Un des points importants du point de vue du concepteur est le rapport de la transconductance sur le courant de drain évalué en saturation en quantité normalisée $G(i)(= g_m / I_d))$ [10]. En remarquant que la dérivée de (3.29) par rapport à la tension de source mène à $di/dv_s = q_{ms}$ (en termes de quantité normalisée), une forme analytique de $G(i)$ en saturation peut être obtenue :

$$G(i) = -\frac{1}{i} \cdot \frac{di}{dv_s} = -\frac{U_T}{I_d} \cdot \frac{dI_d}{dV_s} \tag{3.58}$$

En partant de (3.40) pour exprimer q_{ms} en fonction du courant normalisé i, nous obtenons :

$$q_{ms} = \frac{1}{2} - \sqrt{\frac{1}{4} + i} \tag{3.59}$$

En tenant compte de (3.59) dans (3.37), (3.58) devient :

$$G(i) = \frac{\frac{1}{2} - \sqrt{\frac{1}{4} + i}}{-\left(\frac{1}{2} - \sqrt{\frac{1}{4} + i}\right)^2 + 2 \cdot \left(\frac{1}{2} - \sqrt{\frac{1}{4} + i}\right) + 2 \cdot \frac{C_{Si}}{C_{ox1}} \cdot \ln\left[1 - \frac{C_{ox1}}{2 \cdot C_{Si}} \cdot \left(\frac{1}{2} - \sqrt{\frac{1}{4} + i}\right)\right]} \tag{3.60}$$

Après simplification par $\left(1/2 - \sqrt{1/4 + i}\right)$ et réarrangement des deux premiers termes au dénominateur, (3.60) conduit à :

$$G(i) = \left\{\left(\frac{1}{2} + \sqrt{\frac{1}{4} + i}\right) + 1 + \frac{2}{\alpha \cdot \left(\frac{1}{2} - \sqrt{\frac{1}{4} + i}\right)} \cdot \ln\left[1 + \frac{\alpha}{2} \cdot \left(-\frac{1}{2} + \sqrt{\frac{1}{4} + i}\right)\right]\right\}^{-1} \tag{3.61}$$

avec $\alpha = C_{ox1}/C_{Si}$

Dans cette relation, le premier terme du second membre (i.e. $1/2 + \sqrt{1/4 + i}$) correspond à l'expression de la fonction $G^{-1}(i)$ du modèle du MOSFET bulk développé dans EKV [7]. Le second terme du membre de droite de (3.61) peut alors être identifié comme la correction due au couplage des deux canaux de conduction présent dans l'architecture double-grille. Ce terme additionnel est responsable de la dépendance de $G(i)$ aux paramètres technologiques du MOSFET double-grille, et ce particulièrement en inversion modérée où $i \square 1$ [7]. Ainsi, contrairement au cas du MOSFET bulk, la fonction $G(i)$ n'est plus invariante vis-à-vis des paramètres technologiques du transistor [11-12]. Afin d'illustrer ceci, nous allons nous focaliser sur la Fig. 3.4 où est présentée la caractéristique normalisée $G(i)$ calculée en régime de saturation. Nous l'avons évaluée pour un dispositif canal long, afin de comparer notre modèle (en tirets) avec la solution correspondant au MOSFET bulk (en traits pleins +

symboles) [7]. Si nous analysons les résultats dans la Fig. 3.4, nous observons que par opposition au transistor MOS bulk, la caractéristique $G(i)$ du MOSFET double-grille dépend de l'épaisseur de la couche de silicium t_{si} pour un transistor long [19]. La comparaison est faite pour différentes épaisseurs de film (t_{Si} variant de $5nm$ à $1\mu m$). Les résultats pour $t_{Si} = 1\mu m$ ne sont pas réalistes, leur présence a uniquement pour but de mettre en évidence la dépendance de t_{Si} dans $G(i)$ au niveau du MOSFET double-grille.

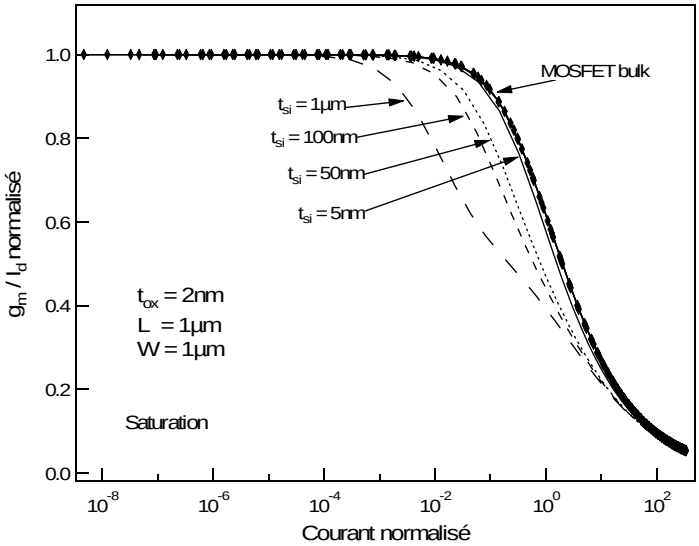


Fig. 3.4 : Comparaison de notre solution approximative de $G(i)$ avec celle du MOSFET bulk à $V_{ds} = 1V$

3.3 Algorithme d'inversion numérique

La notion d'efficacité est primordiale pour un modèle compact. Ainsi pour répondre à ce besoin d'efficacité, avons-nous élaboré un algorithme qui nous permet d'éviter un temps de calcul couteux.

Nous supposons toujours un dispositif à canal long avec un film peu dopé et une mobilité le long du canal constante [20]. Nous tiendrons également compte des normalisations introduites dans la première partie. Pour mieux mettre en évidence dans un premier temps la problématique, nous allons rappeler la relation (3.35) qui illustre le lien entre la densité de charge mobile – sachant qu'elle est le double de celle de la grille – et les polarisations aux niveaux des terminaux.

$$v_p - v_{ch} = 4 \cdot q_g + \ln q_g + \ln\left(1 + q_g \cdot \frac{C_{ox1}}{C_{Si}}\right) \tag{3.62}$$

Cette relation, présentée sous cette forme, inclut uniquement des grandeurs normalisées. Néanmoins, étant donné qu'elle lie de manière implicite les tensions aux charges, celle-ci devrait être résolue par itération, ce qui malheureusement n'est pas souhaitable pour un modèle compact dédié à la conception de circuits, en raison du temps de calcul que cela engendre. Afin de résoudre ce problème, nous avons développé un algorithme d'inversion numérique qui permet d'obtenir une solution analytique explicite des charges en fonction des tensions [20].

Tout d'abord, avant d'étudier en détail cet algorithme, nous allons réécrire la relation (3.35) en définissant de nouvelles grandeurs électriques v et q, ainsi qu'un facteur α liant les paramètres technologiques.

$$v = 4 \cdot q + \ln\left[q \cdot (1 + \alpha \cdot q)\right] \tag{3.63}$$

avec $\alpha = C_{ox1}/C_{Si}$, $v = v_p - v_{ch}$ et $q_g = q$

(3.63) constitue le point de départ du travail. Nous allons réaliser l'inversion numérique en considérant trois étapes.

3.3.1 Solution explicite en forte inversion

Dans un premier temps, nous allons considérer le cas où la charge d'inversion est importante, c'est à dire $q \gg 1$. Ensuite par un développement en série au premier ordre de l'expression $\ln\left[q \cdot (1 + \alpha \cdot q)\right]$ autour de $q = q_t$, nous obtenons :

$$\ln\left[q \cdot (1 + \alpha \cdot q)\right] = \ln\left[q_t \cdot (1 + \alpha \cdot q_t)\right] + 2 \cdot \left[\frac{q - q_t}{q + q_t} + \frac{\alpha \cdot (q - q_t)}{2 + \alpha \cdot (q + q_t)}\right] \tag{3.64}$$

Une fois ce développement effectué, remplaçons le terme $\ln\left[q\cdot\left(1+\alpha\cdot q\right)\right]$ de (3.63) par la solution (3.64). Ceci conduit, après quelques réarrangements, à la relation suivante :

$$v = 4\cdot q + \ln\left[q_t\cdot\left(1+\alpha\cdot q_t\right)\right] + 2\cdot\frac{q-q_t}{q+q_t}\cdot\left(\frac{1+2\cdot\alpha\cdot q_t}{1+\alpha\cdot q_t}\right) \tag{3.65}$$

Cette relation peut être réécrite sous la forme d'un polynôme du second degré

$$4\cdot q^2 + \left(4\cdot q_t + a + b - v\right)\cdot q + \left[q_t\cdot\left(b-a-v\right)\right] = 0 \tag{3.66}$$

dont la solution est donnée par :

$$q_0 = \frac{1}{2}\left[\left(\frac{v-a-b}{4} - q_t\right) + \sqrt{\left(\frac{v-a-b}{4} - q_t\right)^2 + 2\cdot a\cdot q_t}\right] \tag{3.67}$$

avec $a = \dfrac{2\cdot\left(1+2\cdot\alpha\cdot q_t\right)}{1+\alpha\cdot q_t}$ et $b = \ln\left[q_t\cdot\left(1+\alpha\cdot q_t\right)\right]$

Une fois cette solution q_0 obtenue, nous pouvons l'introduire dans le terme logarithmique de la relation (3.63). Ceci nous conduit à substituer q par q_0 et obtenir finalement :

$$q = \frac{1}{4}\cdot\left\{v - \ln\left[q_0\cdot\left(1+\alpha\cdot q_0\right)\right]\right\} \tag{3.68}$$

Cette relation constitue ainsi une expression explicite entre la charge et le potentiel pour $q \ll 1$.

3.3.2 Solution explicite en faible inversion

Dans une seconde étape, nous allons considérer le cas où la charge d'inversion est très faible, c'est à dire $q \ll 1$. Ceci conduit au fait que le terme logarithmique dans (3.63)

domine par rapport au terme en q. En réécrivant (3.63) et en définissant une fonction $F_w(\ln q)$, nous obtenons :

$$\begin{aligned} v &= \ln q + 4 \cdot e^{\ln q} + \ln\left(1 + \alpha \cdot e^{\ln q}\right) \\ &= \ln q + \frac{1}{F_w(\ln q)} \end{aligned} \tag{3.69}$$

où $F_w(\ln q)$ est donné par :

$$F_w(\ln q) = \frac{1}{4 \cdot q_t \cdot e^{\Delta \ln q} + \ln\left(1 + \alpha \cdot q_t \cdot e^{\Delta \ln q}\right)} \tag{3.70}$$

avec $\Delta \ln q = \ln q - \ln q_t$

Ensuite, nous allons effectuer un développement en série de $F_w(\ln q)$ au premier ordre autour de $\Delta \ln q = 0$, ce qui donne :

$$F_w(\ln q) = \frac{1}{4 \cdot q_t + \ln\left(1 + \alpha \cdot q_t\right)} \cdot \left[1 - \frac{q_t \cdot \left[4 + \alpha \cdot \left(1 + 4 \cdot q_t\right)\right]}{\left(1 + \alpha \cdot q_t\right) \cdot \left(4 \cdot q_t + \ln\left(1 + \alpha \cdot q_t\right)\right)} \cdot \Delta \ln q\right] \tag{3.71}$$

En remplaçant cette solution de $F_w(\ln q)$ dans (3.69), nous aboutissons à une expression quadratique en $\ln q$:

$$\frac{1}{b} \cdot \ln^2 q + \left(1 + \frac{\ln q_t - v}{b}\right) \cdot \ln q + \left(a - v + \frac{v \cdot \ln q_t}{b}\right) = 0 \tag{3.72}$$

avec $a = 4 \cdot q_t + \ln\left[1 + \alpha \cdot q_t\right]$ et $b = \dfrac{a \cdot \left(1 + \alpha \cdot q_t\right)}{q_t \cdot \left[4 \cdot \left(1 + \alpha \cdot q_t\right) + \alpha\right]}$

La solution de cette expression quadratique est de la forme :

$$\ln q_0 = \frac{1}{2}\cdot\left[v+\left(b+\ln q_t\right)-\sqrt{\left[v-\left(b+\ln q_t\right)\right]^2+4\cdot a\cdot b}\right] \tag{3.73}$$

Finalement, en remplacent cette solution dans la (3.63), nous obtenons la relation $v = 4\cdot q_0 + \ln\left[q\cdot\left(1+\alpha\cdot q\right)\right]$, laquelle conduit pour des valeur de $q \gg 1$ à l'expression explicite entre la charge q et le potentiel v suivante :

$$q = \frac{e^{(v-4\cdot q_0)}}{\frac{1}{2}+\sqrt{\frac{1}{4}+\alpha\cdot e^{(v-4\cdot q_0)}}} \tag{3.74}$$

3.3.3 Solution explicite générale

La troisième étape consiste en la combinaison des deux précédentes, c'est-à-dire pour $q \ll 1$ et pour $q \gg 1$. Pour y parvenir nous allons définir la tension à laquelle se fait la transition entre les deux cas (i.e. entre (3.68) et (3.74)). Nous l'appellerons la tension de transition et la noterons v_t. En réalité, cette tension correspond à la tension exigée pour que $q = q_t$, elle s'exprime de la manière suivante :

$$v_t = 4\cdot q_t + \ln\left[q_t\cdot\left(1+\alpha\cdot q_t\right)\right] \tag{3.75}$$

Ensuite, pour réaliser la linéarisation de la différence entre q et sa valeur approximée q_0, nous définissons une fonction δ sous la forme :

$$\delta = \frac{v-4\cdot q_0-\ln\left[q_0\cdot\left(1+\alpha\cdot q_0\right)\right]}{4\cdot q_0+\frac{1+2\cdot\alpha\cdot q_0}{1+\alpha\cdot q_0}} \tag{3.76}$$

De (3.76) découle :

$$q = q_0\cdot\left[1+\delta\cdot\left(1+k\delta\right)\right] \tag{3.77}$$

Avec k un paramètre empirique qui dépend de la région de fonctionnement du MOSFET double-grille, c'est-à-dire la faible inversion ($q \ll 1$) ou la forte inversion ($q \gg 1$). Des résultats très satisfaisants ont été obtenus pour les valeurs fixes de $k_w = 0.35$ et $k_s = 0.13$. Ces valeurs sont indépendantes de la technologie. Les indices w et s viennent de l'appellation anglaise de la région de faible inversion, « *weak inversion* » et de la région de forte inversion, « *strong inversion* ».

Afin de rendre plus aisé le développement de l'algorithme, nous allons définir d'abord quelques paramètres de pré-calculs dont nous tiendrons compte lors de l'implémentation. Ils se présentent ainsi :

$$\begin{aligned}
&q_t = 0{,}3; \quad p_t = 1 + \alpha \cdot q_t; \quad a_s = \frac{2 \cdot \left(1 + 2 \cdot \alpha \cdot q_t\right)}{1 + \alpha \cdot q_t}; \quad b_s = \ln q_t + \ln p_t; \quad c_s = a_s + b_s \\
&c_{s1} = c_s + 4 \cdot q_t; \quad c_{s2} = c_s - 4 \cdot q_t; \quad d_s = a_s \cdot q_t / 2; \quad a_w = 4 \cdot q_t + \ln p_t; \quad b_w = \frac{a_w \cdot p_t}{q_t \cdot \left(4 \cdot p_t + \alpha\right)} \\
&c_w = b_w + \ln q_t; \quad d_w = a_w \cdot b_w; \quad v_t = 4 \cdot q_t + b_s
\end{aligned} \tag{3.78}$$

En considérant ces paramètres, nous allons finalement définir la solution explicite de la charge de la manière suivante :

$$q\left(v, \alpha, q_t\right) = \left| \begin{array}{l}
\textit{if } v > v_t \\
\quad q_0 \leftarrow \frac{v - c_{s1}}{8} + \sqrt{\left(\frac{v - c_{s2}}{8}\right)^2 + d_s} \\
\quad q_0 \leftarrow \frac{1}{4} \cdot \left\{v - \ln\left[q_0 \left(1 + \alpha \cdot q_0\right)\right]\right\} \\
\quad \delta \leftarrow \frac{v - 4 \cdot q_0 - \ln\left[q_0 \left(1 + \alpha \cdot q_0\right)\right]}{4 \cdot q_0 + \frac{1 + 2 \cdot \alpha \cdot q_0}{1 + \alpha \cdot q_0}} \\
\quad q_0\left[1 + \delta \cdot \left(1 + k_s \cdot \delta\right)\right] \\
\textit{otherwise} \\
\quad \ln q_0 \leftarrow \frac{v - c_w}{2} + \sqrt{\left(\frac{v - c_w}{2}\right)^2 + d_w} \\
\quad q_0 \leftarrow e^{\ln q_0} \\
\quad q_0 \leftarrow \frac{e^{\left(v - 4 \cdot q_0\right)}}{\frac{1}{2} + \sqrt{\frac{1}{4} + \alpha \cdot e^{\left(v - 4 \cdot q_0\right)}}} \\
\quad \delta \leftarrow \frac{v - 4 \cdot q_0 - \ln\left[q_0 \left(1 + \alpha \cdot q_0\right)\right]}{4 \cdot q_0 + \frac{1 + 2 \cdot \alpha \cdot q_0}{1 + \alpha \cdot q_0}} \\
\quad q_0\left[1 + \delta \cdot \left(1 + k_w \cdot \delta\right)\right]
\end{array} \right. \tag{3.79}$$

Dans cette expression q dépend des deux paramètres α et q_t et également de la variable v. Le facteur α est un paramètre physique, il est lié à t_{Si} et à t_{ox1} via le rapport des capacités C_{ox1}/C_{Si}. Comme indiqué dans (3.78), q_t a été fixé à $0,3$ dans le but d'optimiser les résultats de l'inversion numérique (3.79). La variable v, introduite initialement dans (3.63), peut être remplacée par sa valeur $v_p - v_{ch}$. Finalement, la densité de charge sur chaque grille du dispositif MOSFET double-grille est obtenue par :

$$q_g\left(v_g, v_{ch}\right) = q\left(v_p - v_{ch}\right) \tag{3.80}$$

Nous définirons la grandeur normalisée q_{i1n} qui correspond à la densité de charge d'inversion sur une grille :

$$q_{i1n} = q_m / 2 = -q_g \tag{3.81}$$

Enfin, en dernier lieu, étudions la précision de cet algorithme d'inversion. Il est important de s'assurer que la solution (3.80) décrive correctement le comportement du dispositif MOSFET double-grille pour des valeurs de paramètres technologiques réalistes. En d'autres termes, nous devons garantir la précision de la relation explicite pour différentes valeurs de α, plus concrètement, pour des valeurs de α inférieures à dix. Cette limite de dix correspond au pire cas envisageable, c'est-à-dire une épaisseur de film trente fois équivalent à l'épaisseur d'oxyde (i.e. $t_{Si} = 30 \cdot t_{ox}$). Ce facteur de proportionnalité entre les deux épaisseurs est en vérité un cas extrême, car généralement il se situe entre $0,6$ et 15. Afin de vérifier la précision de l'algorithme, nous avons comparé les résultats fournis par (3.79) avec les résultats exacts issus du calcul de la charge normalisée q_k. La Fig. 3.5 illustre cette comparaison pour différentes valeurs de α.

Les résultats de q_k ont été arbitrairement définis de la manière suivante :

$$q_k = q_{\min} \cdot \left(\frac{q_{\max}}{q_{\min}}\right)^{k/N} \tag{3.82}$$

Avec $q_{\min} = 10^{-3}$, $q_{\max} = 100$, $N = 1000$ et $k = 0, \cdots, N$

Les valeurs de v_{ik} sont définies par :

$$v_{ik} = 4 \cdot q_k + \ln\left[q_k \cdot \left(1 + \alpha_i \cdot q_k\right)\right] \tag{3.83}$$

Ainsi, la solution est obtenue en posant $v = v_{ik}$, $\alpha = \alpha_i (= i)$ et $q_t = 0{,}3$ dans (3.79).

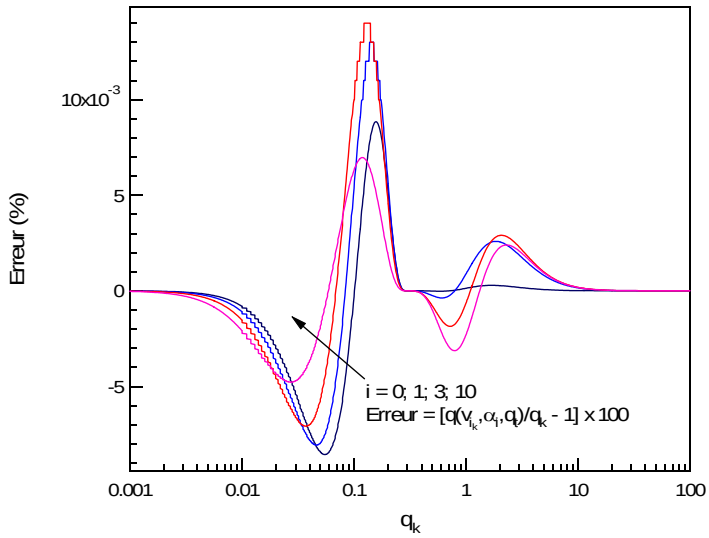


Fig. 3.5 : Simulation de l'erreur liée à l'inversion numérique

La Fig. 3.5 dresse en effet, pour différentes valeurs de α $(\alpha_i = 0, 1, 3, 10)$, l'erreur par rapport à la solution implicite de départ (i.e. (3.63)) liée à l'inversion numérique. Cette erreur notée ε est en réalité définie par :

$$\varepsilon(\%) = \left[\frac{q\left(v_{ik}, \alpha_i, 0{,}3\right)}{q_k}\right] \cdot 100 \tag{3.84}$$

Nous pouvons, à ce stade, souligner les points essentiels qui ressortent de l'observation des résultats de l'algorithme. Nous remarquons que l'erreur maximale est égale à $0{,}014\%$. Ceci montre en effet que notre solution explicite offre une bonne précision. Nous ajouterons à cela, le fait que l'usage de cet algorithme permet de réduire le temps de

simulation d'un facteur de 1000 par rapport à la solution implicite (3.62). Cette comparaison a concrètement été réalisée sur le simulateur Mathcad professionnel 2001.

3.4 Points clés du modèle compact

Nous avons développé un modèle compact de transistor MOS double-grille canal long en mode de fonctionnement symétrique.

Le modèle est continu de la faible inversion à la forte inversion, il ne souffre d'aucun problème de convergence. Il est basé sur le formalisme d'un modèle compact de troisième génération développé pour le MOSFET bulk, le modèle EKV.

Notre modèle offre aux concepteurs des relations simples qui relient directement les potentiels aux charges et le courant de drain aux charges. Cette simplicité est liée à la normalisation des grandeurs électriques. Outre ces avantages, notre approche décrit de manière naturelle, la caractéristique normalisée g_m / I_d laquelle relie la faible inversion à la forte inversion de manière continue.

Finalement, à travers l'algorithme d'inversion numérique développé et qui nous permet de s'affranchir d'un calcul itératif du potentiel en fonction des charges, nous sommes parvenus à réduire de manière drastique – d'un facteur de 1000 – le temps de simulations. Ceci révèle tout son intérêt en simulation de circuits à forte densité d'intégration.

3.5 Validation du modèle compact canal long

3.5.1 Le principe de fonctionnement des simulateurs numériques

L'un des intérêts d'un simulateur numérique est le gain de temps et les économies qu'ils permettent lors de la mise au point d'un produit. Ainsi, de nos jours, dans le but de réduire les coûts engendrés par une suite d'essais expérimentaux, les fabricants de circuits microélectroniques (ou fondeurs) simulent les procédés avant de passer à la fabrication elle-même.

Un autre intérêt des simulateurs est qu'ils sont des outils d'investigation scientifique. En effet, ils permettent d'observer des grandeurs physiques non accessible à l'expérience. En somme, à travers la précision des modèles physiques qu'ils intègrent, les simulateurs numériques fournissent une compréhension détaillée de l'aspect physique du fonctionnement des composants. Ils ont une réelle capacité à prédire les caractéristiques électriques des dispositifs futurs. Pour ces raisons, ils sont employés soit pour étudier la physique et la conception du dispositif, soit comme moyen de validation, des modèles analytiques, par exemple. C'est dans cette optique que nous présenterons, dans les sous-sections suivantes, les résultats de notre approche comparés aux résultats numériques 2-D.

3.5.1.1 Les contraintes de la résolution numérique

Le maillage

Les trois équations (l'équation de Poisson et les deux équations de continuité pour les électrons et les trous), à résoudre localement en tous points, sont des équations différentielles non linéaires couplées (n et p dépendent non linéairement du potentiel). Leur résolution ne peut se faire qu'en remplaçant les accroissements différentiels par des accroissements finis. Pour les variations spatiales, ces accroissements sont ceux définis entre les nœuds d'une grille préalablement fixée.

La précision d'un calcul dans lequel on remplace des dérivés par un rapport d'accroissements est meilleure si les accroissements sont faibles. Il est donc clair que la précision des solutions fournies par le simulateur dépend du nombre de nœuds de la grille. D'un autre côté, le nombre de nœuds est limité par la capacité mémoire du calculateur ou bien le temps de calcul que l'on peut accepter. La définition du maillage est une étape très importante de la mise au point d'une simulation. Pour un nombre de nœuds identiques, la précision sera meilleure si le maillage est resserré dans les zones de forts gradients et donc relâché dans les zones où l'on peut prévoir que les variations spatiales seront faibles. Les simulateurs offrent sur ce principe des options de remaillage basées sur la structure initiale (gradient de dopage) ou sur le résultat d'un pré-calcul (gradient de potentiel par exemple). C'est à l'utilisateur d'estimer si le calcul a atteint une précision suffisante en se basant, par exemple, sur la stabilisation du résultat lorsque l'on augmente le nombre de nœuds. Cette étape de définition du maillage lors de nos simulations a constitué une partie coûteuse en termes de temps lors de ce travail de thèse.

Stratégie de calcul

Les méthodes de calculs numériques mises en œuvre dans les simulateurs utilisent des techniques itératives dont la convergence n'est pas toujours assurée. Les plus connues sont celles de *Gummel* et de *Newton* [21, 22]. L'utilisateur est assez souvent confronté à des problèmes de convergence et doit se préoccuper de l'adéquation de la méthode mise en œuvre aux conditions particulières de sa simulation. En effet, l'efficacité des méthodes proposées varie avec le composant simulé et ses conditions de fonctionnement. Même si la convergence est obtenue, la vitesse de calcul peut être améliorée par une méthode de convergence plus performante.

Pour assurer la convergence des résultats, le pas de temps peut aisément être réduit. Généralement, ceci est réalisé de manière automatique à la suite d'un échec. La croissance du pas de temps en absence d'échec est réalisée également automatiquement, ceci afin d'accélérer le calcul d'une réponse temporelle. L'utilisateur doit cependant être attentif au paramétrage de la stratégie de gestion du pas de temps car un taux d'échec élevé est pénalisant du point de vue du temps de calcul.

Ainsi pour comprendre le choix d'une méthode de calcul plus qu'une autre, regardons la différence entre les deux méthodes citées plus haut.

La méthode de *Newton* correspond à la résolution itérative d'un système regroupant les trois équations différentielles régissant le fonctionnement de la structure (les équations de continuité pour les électrons et les trous et l'équation de Poisson).

La méthode de *Gummel*, en revanche, consiste à découpler en trois sous-systèmes le système global décrit précédemment : les trois équations sont résolues itérativement les unes après les autres jusqu'à atteindre la convergence globale des solutions. L'intérêt potentiel de cet algorithme par rapport à celui de *Newton* réside dans la réduction des dimensions des systèmes matriciels à résoudre, ce qui permet *a priori* de diminuer le temps de calcul. Dans toutes nos simulations, nous avons utilisé la méthode de *Gummel*.

Solutions initiales

De par leur principe, les méthodes d'itération demandent une solution initiale la moins éloignée possible de la solution finale. La simulation peut donc avoir comme point de départ la solution d'une autre simulation caractéristique de l'état de la structure avant la modification du paramètre ou de la grandeur objet de l'étude projetée. Le passage au nouvel état se fera autant que possible par étapes successives. Différentes stratégies sont souvent

proposées. Dans le cas d'une première simulation sur une nouvelle structure, la solution initiale sera obtenue en traitant le cas de la structure à l'équilibre pour lequel il ne faut pas résoudre les équations de continuité.

3.5.1.2 La simulation numérique du MOSFET double-grille

Nous comptons principalement deux simulateurs de composants : ISE [23], et SILVACO [24]. Tout au long de nos travaux, nous avons utilisé le simulateur SILVACO sur lequel nous avons élaboré une structure MOSFET double-grille, puis réalisé une étude approfondie de ses propriétés. Le simulateur nous a également permis de valider notre approche en modélisation compacte.

3.5.1.3 Choix de paramètres technologiques pour le MOSFET double-grille

Afin de valider le modèle, nous avons élaboré une structure MOSFET SOI double-grille sur le simulateur électrique Atlas [25] qui est un outil propriétaire de la société SILVACO. Outre son utilisation comme moyen de validation, cette structure nous a également permis de réaliser des études physiques des différents phénomènes perturbant le fonctionnement du dispositif MOSFET double-grille. La Fig. 3.6 montre la coupe transversale d'une des structures développées au cours des simulations 2-D.

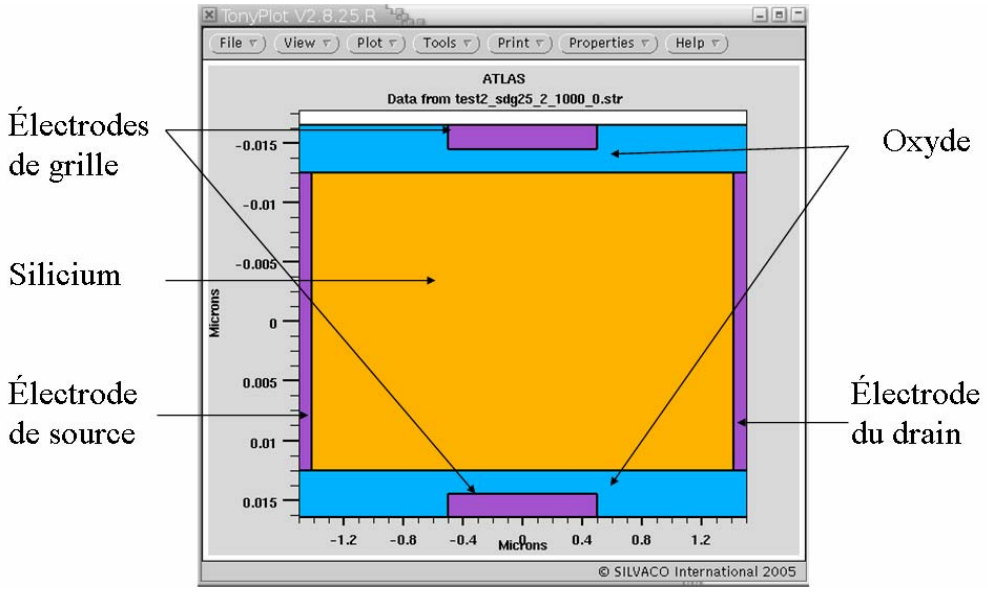
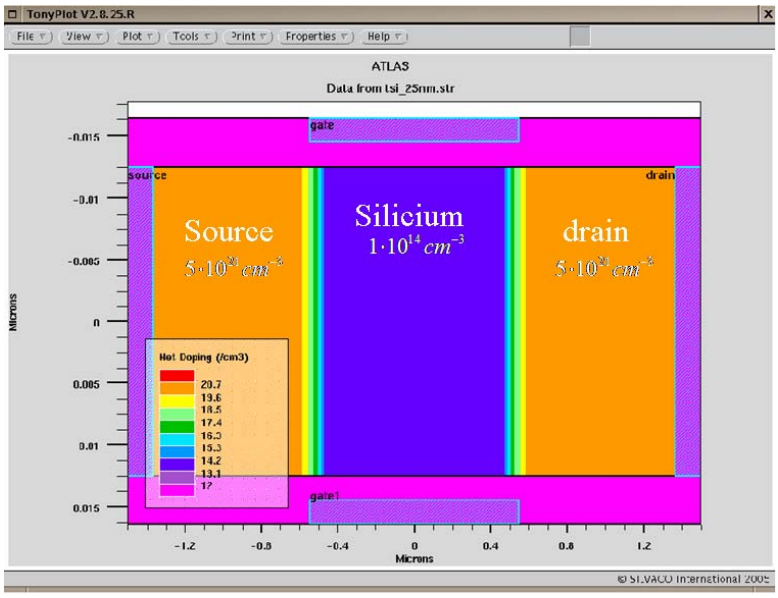


Fig. 3.6 : Structure du MOSFET double-grille développée sur Atlas, $L = 1\mu m$, $t_{Si} = 25nm$, $t_{ox1} = 2nm$

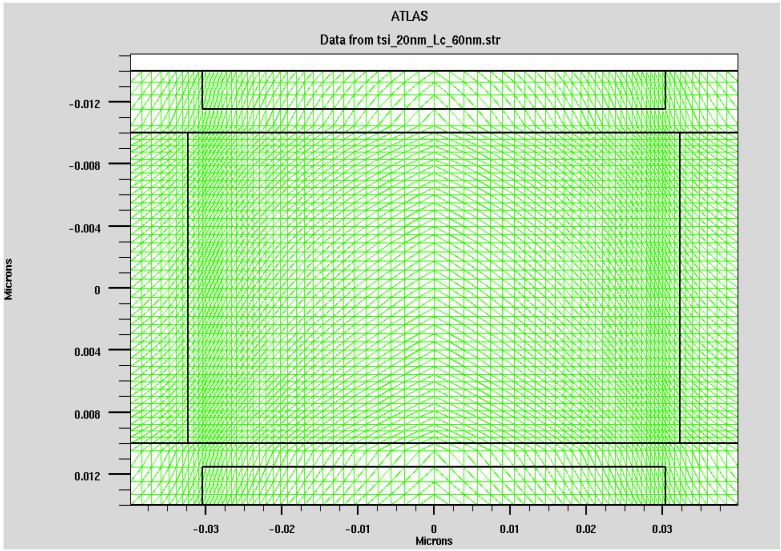
Les régions en couleur violette correspondent aux électrodes (i.e. la source, le drain et les deux grilles), les régions en couleur bleue correspondent aux couches d'oxyde et finalement la région en jaune représente le film de silicium. Le dispositif est de canal *n* avec des grilles en matériaux de type midgap.

Afin de comparer le modèle analytique de courant aux résultats de simulation numérique, nous avons considéré la mobilité effective des électrons constante et nous avons considéré les paramètres de silicium fixés par défaut dans le simulateur Atlas à la température de $300K$: l'affinité électronique $\chi_{Si} = 4,01eV$, le gap d'énergie $E_g = 1,08eV$, les densités respectives de la bande de conduction $N_C = 2,8 \cdot 10^{19} cm^{-3}$ et de la bande de valence $N_V = 1,04 \cdot 10^{19} cm^{-3}$ et enfin la densité intrinsèque de charge $n_i = 1,15 \cdot 10^{10} cm^{-3}$. Nous avons également considéré les régions de source et de drain fortement dopées $N_D = 5 \cdot 10^{21} cm^{-3}$ car le modèle de courant considère les contacts de source et de drain métalliques afin de s'affranchir des résistances parasites des régions de source et de drain. Enfin, nous avons considéré des grilles métalliques situées au midgap $\Phi_M = 4,612eV$ et ayant une différence de travaux de sortie avec le silicium intrinsèque nulle $\Delta\Phi_{ms} = \Delta\Phi = 0eV$. Le film de silicium est faiblement dopé (accepteurs) $N_A = 1 \cdot 10^{14} cm^{-3}$. Ce dopage est uniforme. Une fonction gaussienne décrit le profil de distribution des dopants au niveau des jonctions. Les différents dopages dans le film de silicium sont illustrés à la Fig. 3.7-a.

Ainsi que nous l'avons signalé dans la partie précédente, la précision est meilleure si le maillage est resserré dans les zones de forts gradients et donc relâché dans les zones où l'on peut prévoir que les variations spatiales seront faibles. La Fig. 3.7-b présente le résultat du maillage défini sur le fichier de simulation de notre structure MOSFET double-grille. Nous observons que c'est bien au niveau des deux jonctions (i.e. source-canal et drain-canal) et des deux interfaces oxyde-silicium que le maillage est plus dense.



(a)



(b)

Fig. 3.7 : Structure nMOSFET double-grille : (a) définition du dopage, (b) définition du maillage, $L = 1\mu m$, $t_{ox1} = 1,5nm$

Nous avons validé le modèle compact à canal long pour différentes gammes de valeurs technologies. Le Tableau 3.2 résume les paramètres technologiques et géométriques du transistor MOS double-grille simulé sur Atlas. Pour une longueur de grille fixée, nous avons créé plusieurs variantes d'une même structure, en modifiant l'épaisseur du film de silicium. Cela explique les variations des deux autres grandeurs t_{Si} et t_{ox1} dans le tableau.

Paramètres	Notations	Valeurs simulées
Épaisseur de la couche d'oxyde	t_{ox}	$2nm$
Épaisseur du film de silicium	t_{Si}	$25 \rightarrow 10nm$
Longueur du canal	L	$1\mu m \rightarrow 300nm$
Largeur du canal	W	$1\mu m$
Dopage du film (*type p*)	N_A	$1 \cdot 10^{14} cm^{-3}$
Dopage source/drain (*type n*)	N_D	$5 \cdot 10^{21} cm^{-3}$

Tableau 3.2 : Paramètres technologiques et géométriques du MOSFET double-grille canal long définis lors des simulations 2-D

3.5.2 Validation du modèle canal long

3.5.2.1 Confrontation de notre modèle compact avec celui de Y. Taur

Avant de comparer les résultats de notre approche avec les simulations numériques 2-D, nous allons les confronter avec la solution implicite de Y. Taur [5-6].

La Fig. 3.8 décrit l'évolution de la densité de charge normalisée du transistor MOS double-grille symétrique en fonction de la polarisation du drain pour les deux approches. Par souci de clarté, nous avons présenté les résultats suivant deux échelles : logarithmique et linéaire ; ceci en raison du fait que le comportement du dispositif fonctionnant en régime de faible inversion est plus visible en échelle logarithmique, tandis que le comportement en forte inversion l'est plus en échelle linéaire. Nous observons sur la Fig. 3.8 que les résultats de notre approche (en traits pleins) coïncident avec ceux de Y. Taur (en pointillés). Nous pouvons distinguer en effet la pente sous le seuil de 60mV/dec dans les deux approches. Ainsi, le fait que notre solution explicite soit en accord avec la solution implicite de Y. Taur, montre la précision de notre approche.

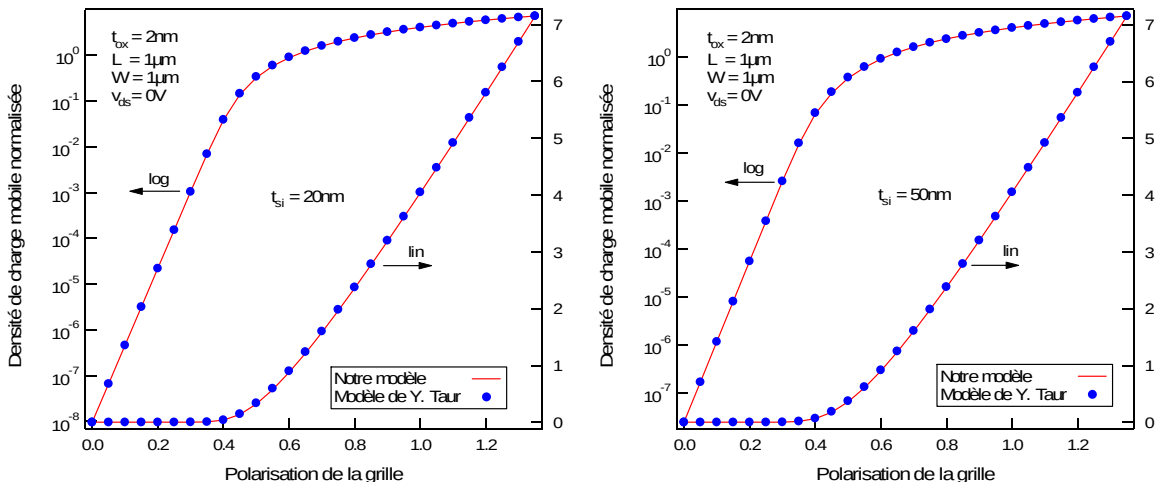


Fig. 3.8 : Validation du modèle : comparaison de la densité de charge issue du modèle de Y. Taur (en pointillés) avec notre approche (en traits pleins), (a) pour $t_{Si} = 20nm$ et (b) pour $t_{Si} = 50nm$

3.5.2.2 Confrontation du modèle avec les simulations 2-D

Validation du modèle statique

Les caractéristiques du modèle vont maintenant être comparées à celles obtenues en simulations 2-D. A partir de ce moment et pour tout le reste du manuscrit, lorsqu'il sera question de confronter les résultats du modèle avec ceux de simulations, nous présenterons les résultats du modèle par des lignes et ceux des simulations 2-D par des symboles.

La Fig. 3.9 décrit le courant de drain (I_d) pour différentes épaisseurs de film ($t_{Si} = 10$ et $25nm$) et pour $V_{ds} = 1V$. Le dispositif simulé correspond à celui d'un canal long de $1\mu m$. Nous avons fixé des valeurs de mobilité constantes aussi bien sur les simulations 2-D que dans le modèle. La valeur de la mobilité des porteurs est fixée à $1000\,cm^2/V.s$.

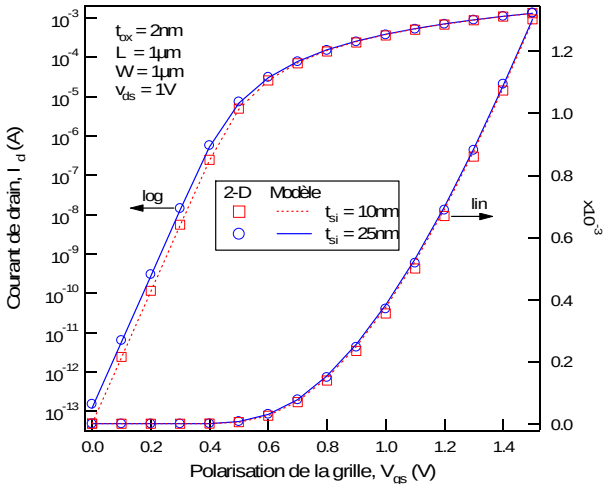


Fig. 3.9 : Validation des bases physiques du modèle : mise en évidence du phénomène d'inversion volumique

Ce graphique appelle plusieurs commentaires.

En premier lieu, il permet de se rendre compte du bon comportement du modèle dans toutes les régions de fonctionnement. En effet, la description du courant en échelles logarithmique et linéaire laisse clairement apparaître la concordance entre le modèle et les simulations numériques 2-D, aussi bien en faible inversion qu'en forte inversion. Nous ajouterons à ce point, la valeur idéale de la pente sous le seuil de $60mV/dec$ que nous observons sur le modèle ainsi que sur les résultats numériques.

Le second point mis en valeur sur la Fig. 3.9 est l'influence du paramètre technologique t_{Si} sur le courant de drain. En effet, suivant la région de fonctionnement, la dépendance en t_{Si} est différente. En faible inversion, le courant est fortement lié à t_{Si}, tandis qu'en forte inversion ce n'est pas le cas. Cet effet correspond à ce que nous avons décrit au chapitre 2, à savoir le phénomène d'inversion volumique. En guise de rappel, nous soulignerons que son explication physique est immédiate : en faible inversion, la conduction se faisant sur toute l'épaisseur du film, les électrons sont localisés non seulement au niveau des interfaces, mais également sur le reste de la couche de silicium. En conséquence, la quantité de porteurs libres emmagasinés à l'intérieur du film dépend de l'épaisseur de ce dernier. Ceci explique le fait que le courant de drain soit lié à t_{Si}. En revanche, en forte inversion, les électrons sont uniquement localisés sur les interfaces oxyde-silicium, le milieu du film est dans ce cas quasiment déserté par les porteurs libres. Ceci conduit au fait que le courant ne dépend plus de t_{Si}. Ainsi, la prise en compte de ce phénomène reflète-t-elle les bases physiques du modèle.

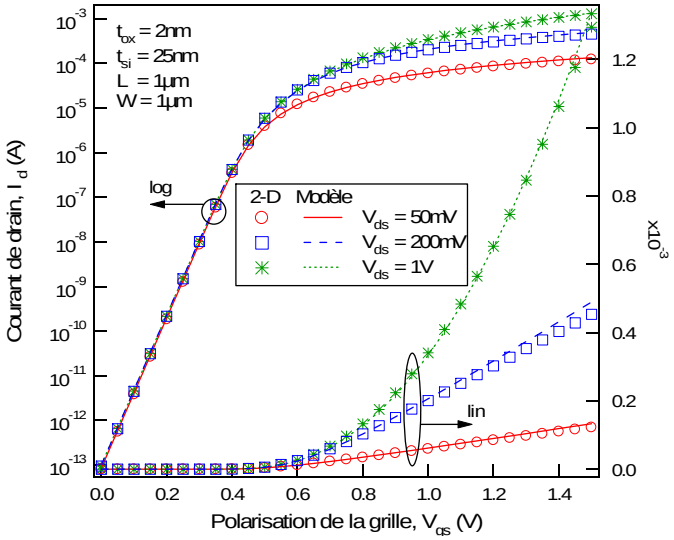
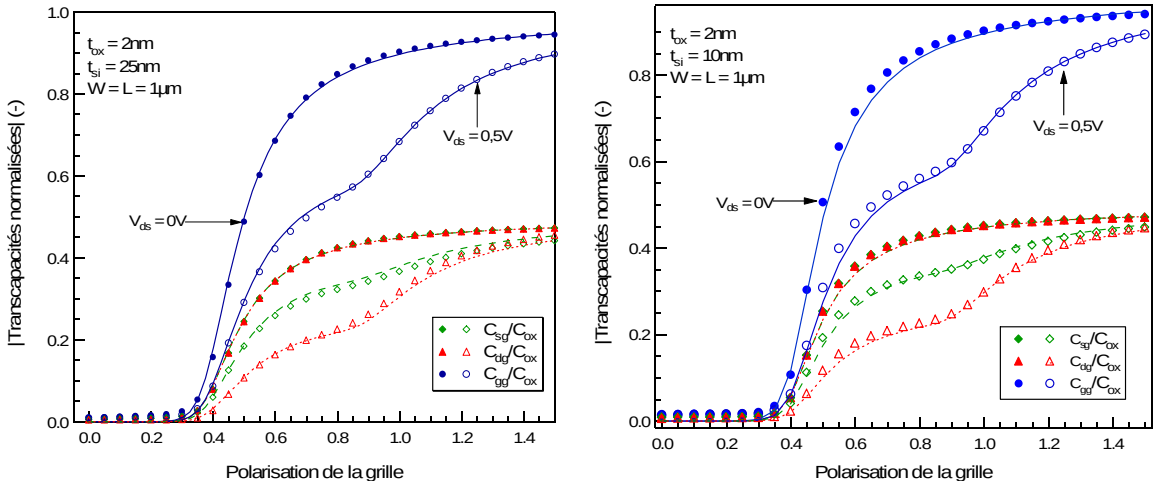


Fig. 3.10 : Validation du modèle canal long pour différentes polarisations du drain

Nous avons également validé notre approche pour différentes polarisations de drain. La Fig. 3.10 décrit le courant de drain à champ latéral fort et à champ latéral faible. Nous observons que pour différentes valeurs de V_{ds}, le modèle se comporte bien.

Validation du modèle dynamique

Nous avons également effectué une validation du modèle dynamique. A cet effet, nous avons comparé les résultats des transcapacités obtenus avec le modèle à ceux obtenus sur Atlas. La Fig. 3.11-a illustre l'évolution des transcapacités C_{gg}, C_{sg}, et C_{dg} en fonction de la polarisation de la grille pour une épaisseur de film de silicium de $25nm$. Afin de mettre en exergue la prise en compte des paramètres technologiques dans le modèle, nous avons également simulé les caractéristiques $C-V$ pour différentes dimensions du film de silicium. La Fig. 3.11-b décrit le comportement dynamique du transistor MOS double-grille à film de silicium mince. Les transcapacités présentées sur les Figs. 3.11-a et b sont en réalité des valeurs normalisées par rapport à la capacité d'oxyde totale. La prédiction du modèle pour les deux épaisseurs de film est bien mise en évidence, et ceci pour différentes polarisations de drain (i.e. $V_{ds} \neq 0V$ et $V_{ds} = 0V$). En outre, le fait que les caractéristiques du modèle correspondent à celles des simulations 2-D justifie l'approximation faite au paragraphe 3.2.1 et qui consistait à négliger le terme en logarithme dans la solution du courant de drain établie dans notre modèle (cf. relation (3.40)).



(a) *(b)*

Fig. 3.11 : Validation du modèle dynamique pour un dispositif MOSFET double-grille à canal long : (a) pour $t_{Si} = 25nm$, et (b) pour $t_{Si} = 10nm$

3.6 Conclusion

Nous avons dans un premier temps élaboré la structure MOSFET double-grille sur le simulateur de dispositifs Atlas afin de réaliser des études physiques des différents phénomènes perturbant le fonctionnement classique de ces dispositifs puis, dans un second temps, nous avons défini en collaboration avec une équipe de recherche de l'EPFL (*Ecole Polytechnique Fédérale de Lausanne*) un modèle proche de la physique prenant en compte ces différents effets. Finalement, nous avons, par comparaison avec les résultats de simulations numériques réalisées sur Atlas, validé ce modèle.

Ainsi, comme nous venons de le voir à travers ce chapitre, le comportement du modèle est en accord avec les simulations 2-D. D'un point de vue général, nous avons présenté puis validé une approche purement analytique – mais non empirique – et entièrement dédiée à la conception de circuits. Contrairement à la plupart des modèles compacts de transistors MOS double-grille existants, notre approche n'est pas bâtie sur des expressions analytiques compliquées ; en outre, elle répond complètement aux attentes des concepteurs. En somme, les caractéristiques particulières que présente le modèle et qui le rendent intéressant sont les suivantes :

- les expressions analytiques simples décrivant le comportement statique et dynamique du dispositif ;

- les relations « *directes* » aussi bien entre *charges–tensions* qu'entre *tensions–courants* ;
- la méthode de calcul numérique robuste offrant une rapidité de calcul ;
- la description complète d'une caractéristique clé pour le concepteur, le rapport g_m/I_d , grâce à laquelle une liaison continue entre les différentes régions de fonctionnement est assurée ;
- la validation du modèle par comparaison avec les résultats de simulations numériques 2-D.

Finalement, nous pouvons conclure que l'approche est réellement adaptée à la conception et la simulation de circuits. Le modèle est continu de la faible inversion à la forte inversion et ne souffre d'aucun problème de convergence. Il ne nécessite à ce stade que quatre paramètres géométriques tels que W, L, t_{Si}, et t_{ox} et qu'un seul paramètre électrique, μ_0. Le modèle décrit aussi bien les caractéristiques statiques que dynamiques.

Bibliographie

[1] C. Lallement, « *Le transistor MOSFET : Etudes, modélisation, et applications dans les S.O.C* », habilitation à diriger des recherches, ULP, Strasbourg, 2002

[2] G. Baccarani, and S. Reggiani, "*A compact double–gate MOSFET model comprising Quantum mechanical and nonstatic effets,*" IEEE Transactions on Electron Devices, vol. 46, no. 8, pp. 1656-1666, 1999

[3] L. Ge and J. G. Fossum, "*Analytical modelling of quantization and volume inversion in thin Si-film DG MOSFETs,*" IEEE Transactions on Electron Devices, vol. 49, no. 2, pp. 287–294, 2002

[4] A. Ortiz-Conde, F. J. García-Sánchez, and J. Muci, "*Rigorous analytic solution for the drain–current of undoped symmetric dual-gate MOSFETs,*" Solid-State Electronics, vol. 49, no. 4, pp. 640-647, 2005

[5] Y. Taur, "*Analytic solutions of charge and capacitance in symmetric and asymmetric double-gate MOSFETs,*" IEEE Transactions on Electron Devices, vol. 48, no. 12, pp. 2861-2869, 2001

[6] Y. Taur, X. Liang, W. Wang, et al., "*A continuous, analytic drain-current model for DG MOSFETs,*" IEEE Electron Device Letters, vol. 25, no. 2, pp. 107-109, 2004

[7] C. Enz, M. Bucher, A.S. Porret, et al. "*The foundations of the EKV MOS transistor charge-based model,*" In NSTI-Nanotech 2002, WCM, Int. Conf. Modeling and Simulation of Microsystems, San Juan, Puerto Rico, pp. 666–9, 2002. Available from: http://legwww.epfl.ch/ekv/

[8] J-M. Sallese, F. Krummenacher, F. Prégaldiny, C. Lallement, et al., "*A design oriented charge-based current model for symmetric DG MOSFET and its correlation with the EKV formalism,*" Solid-State Electronics, vol. 49, no. 3, pp. 485-489, 2005

[9] J-M. Sallese, M. Bucher, F. Krummenacher, et al., "*Inversion charge linearisation in MOSFET modelling and rigorous derivation of the EKV compact model,*" Solid-State Electronics, vol. 47, pp. 667-693, 2003

[10] M. Sylveira, D. Flandre, P. Gespers. "*A Gm/Id based methodology for the design of CMOS analog circuits and its application to the synthesis of a silicon on insulator micropower ETA,*" IEEE J. Solid-State Circ, vol. 31, 1996

[11] D-M. Binkley, M. Bucher, D. Foty, "*Design-oriented characterization of CMOS over the continuum of inversion level and channel length,*" In: Proc. 7th, IEEE Int. Conf. on Electronics, Circuits and Systems (ICECS), Kaslik, Lebanon, 2000

[12] M. Bucher, D. Kazazis, F. Krummenacher, et al., "*Analysis of transconductances at all levels of inversion in deep submicron CMOS*", 9th IEEE Int. Conf. on Electronics, Circuits and Systems (ICECS), Dubrovnik, Croatia, 2002

[13] SC. Terry, JM. Rochelle, DM. Binkley, et al., "*Comparison of a BSIM3V3 and EKV MOSFET model for a 0.5µm CMOS process and implications for analog circuit design,*" IEEE Trans. Nucl. Sci, vol. 50, pp. 915, 2003

[14] F. Prégaldiny, F. Krummenacher, J-M Sallese, B. Diagne, and C. Lallement, "*An explicit quasi-static charge-based compact model for symmetric DG MOSFET,*" In NSTI-Nanotech 2006, WCM, 3:686, ISBN 0-9767985-8-1, pp. 686-691, 2006, invited paper

[15] B. Diagne., F. Prégaldiny, C. Lallement, « *Modèle compact de transistor MOS double-grille dédié à la conception* », 7ème colloque sur le Traitement Analogique de l'Information, du Signal et ses Applications (TAISA), Strasbourg, France, pp. 105-108, 2006

[16] J-M. Sallese and A. S. Porret, "*A novel approach to charge-based non-quasi-static model of the MOS transistor valid in all modes of operation,*" Solid-State Electronics, vol. 44, pp. 887-894, 2000

[17] N. Arora, "*MOSFET models for VLSI circuit simulation. theory and practice,*" New York: Springer-Verlag, ISBN 3-211-82395-6, 1993

[18] D. Foty, "*MOSFET modeling with Spice: Principles and Practice,*" Prentice Hall, ISBN 0-13-227935-5, 1997

[19] D-M. Binkley, M. Bucher, D. Foty, "*Design-oriented characterization of CMOS over the continuum of inversion level and channel length,*" In: Proc. 7th, IEEE Int. Conf. on Electronics, Circuits and Systems (ICECS), Kaslik, Lebanon, 2000

[20] F. Prégaldiny, F. Krummenacher, B. Diagne, F. Pêcheux, J-M. Sallese and C. Lallement, "*Explicit modelling of the double-gate MOSFET with VHDL-AMS,*" Int. Journ. of Numerical Modelling, Elec. Networks Dev. and Fields, vol. 19, no. 3, pp. 239-256, 2006

[21] D.L. Scharfetter, H.K. Gummel, "*Large-signal analysis of a silicon read diode oscillator,*" IEEE Transactions on Electron Devices, vol. ED-16, pp. 64-77, 1969

[22] C.H. Price, "*Two dimensional numerical simulation of semiconductor devices,*" Ph.D. thesis, Stanford university, California 1982

[23] "*ISE (Integrated Systems Engineering) web site,*" http://www.ise.ch/appex

[24] "*SILVACO International Inc. web site,*" http://www.silvaco.com/

[25] Atlas user's manual – device simulation software, SILVACO International Inc.

Chapitre 4

Modélisation des effets de petites géométries

Sommaire du chapitre 4

4 Modélisation des effets de petites géométries —— 129
4.1 Résolution de l'équation de Poisson à 2 dimensions —— 131
4.1.1 Modélisation de la dégradation de la pente sous le seuil —— 137
4.1.2 Modélisation de la tension de seuil d'un MOSFET double-grille canal court —— 139
4.1.3 Modélisation du DIBL —— 142
4.1.4 Modélisation de l'effet du partage de charge —— 144
4.1.5 Justifications des approximations faites dans l'élaboration du modèle —— 145
4.1.5.1 Implémentation des effets canaux courts dans le noyau du modèle canal long —— 145
4.1.5.2 Approximation sur le calcul de la position où le potentiel est minimal 148
4.2 Modélisation de la mobilité des porteurs —— 149
4.3 Validation du modèle —— 150
4.3.1 Caractéristiques des structures de petites géométries simulées sur Atlas —— 150
4.3.2 Confrontation du modèle avec les résultats 2-D —— 151
4.3.2.1 Validation du modèle pour un dispositif semi-court —— 151
4.3.2.2 Validation du modèle pour un dispositif à canal court —— 154
4.4 Domaine de validité du modèle —— 158
4.5 Conclusion —— 160
Bibliographie —— 161

4.1 Résolution de l'équation de Poisson à 2 dimensions

Pour modéliser les effets canaux-courts nous allons résoudre l'équation de Poisson suivant la dimension transversale au canal et la dimension longitudinale au canal [1]. Si nous considérons $\Psi(x,y)$ le potentiel à l'intérieur du film de silicium entièrement déplété, la relation de Poisson s'écrit :

$$\frac{\partial^2\Psi(x,y)}{\partial x^2}+\frac{\partial^2\Psi(x,y)}{\partial y^2}=\frac{q\cdot N_A}{\varepsilon_{Si}} \tag{4.1}$$

De manière identique aux chapitres précédents, x correspond à la direction suivant la longueur du canal, et y correspond à celle orthogonale au canal. Ainsi, $0<x<L$ et $0<y<t_{Si}$. Pour résoudre (4.1), nous considérons le dopage du film de silicium uniforme et un profil de potentiel parabolique dans la direction de l'effet du champ, c'est à dire la direction transversale au canal [2]. Le potentiel s'écrit donc de la manière suivante [3] :

$$\psi(x,y)=C_0(x)+C_1(x)\cdot y+C_2(x)\cdot y^2 \tag{4.2}$$

avec $C_0(x)$, $C_1(x)$ et $C_2(x)$ des coefficients que nous déterminons en appliquant les conditions aux limites pour le potentiel ainsi que pour le champ électrique au niveau des interfaces silicium-oxyde [3]. Ainsi en calculant (4.2) pour $y=0$, nous obtenons $C_0(x)$ qui correspond au potentiel à l'interface silicium-oxyde $\Psi_S(x)$

$$\begin{aligned}\Psi(x,0)&=C_0(x)\\&=\Psi_S(x)\end{aligned} \tag{4.3a}$$

Ensuite, la condition aux limites pour le champ électrique nous permet d'obtenir $C_1(x)$ et $C_2(x)$. En effet, en dérivant (4.2), nous obtenons d'une part $C_1(x)$ qui correspond au champ électrique au niveau de l'interface entre le silicium et l'oxyde de dessus. Ce champ est aussi égal au champ à travers la couche d'oxyde de grille de dessus

$$\left.\frac{d\Psi(x,y)}{dy}\right|_{y=0} = C_1(x) = \frac{\varepsilon_{ox}}{\varepsilon_{Si}} \cdot \frac{\Psi_S(x) - V_g + \Delta\Phi}{t_{ox}} \tag{4.3b}$$

D'autre part, nous obtenons une combinaison de $C_2(x)$ et $C_1(x)$ correspondant au champ électrique au niveau de l'interface entre le silicium et l'oxyde de dessous, lequel est égal au champ à travers la couche d'oxyde de grille de dessous

$$\left.\frac{d\Psi(x,y)}{dy}\right|_{y=\frac{t_{Si}}{2}} = C_1(x) + t_{Si} \cdot C_2(x) = \frac{-\varepsilon_{ox}}{\varepsilon_{Si}} \cdot \frac{\Psi_S(x) - V_g + \Delta\Phi}{t_{ox}} \tag{4.3c}$$

En tenant compte de (4.3b) dans (4.3c), nous obtenons $C_2(x)$. Finalement, lorsque nous considérons les solutions de ces coefficients définies en (4.3a, b et c), (4.2) se réécrit sous la forme :

$$\Psi(x,y) = \Psi_S(x) + \frac{\varepsilon_{ox}}{\varepsilon_{Si}} \cdot \frac{\Psi_S(x) - V_g + V_{FB}}{t_{ox1}} \cdot y - \frac{\varepsilon_{ox}}{\varepsilon_{Si}} \cdot \frac{\Psi_S(x) - V_g + V_{FB}}{t_{ox1} \cdot t_{Si}} \cdot y^2 \tag{4.4}$$

(4.4) décrit le potentiel en tout point du film de silicium avec $\Psi_S(x)$ qui représente le potentiel à l'interface silicium-oxyde. Si nous réécrivons l'équation de Poisson (4.1) en tenant compte de la solution du potentiel définie en (4.4), nous obtenons :

$$\frac{d^2\Psi(x,y)}{dx^2} - 2 \cdot \frac{\varepsilon_{ox}}{\varepsilon_{Si}} \cdot \frac{\Psi_S(x) - V_g + V_{FB}}{t_{Si} \cdot t_{ox1}} = \frac{q \cdot N_A}{\varepsilon_{si}} \tag{4.5}$$

En considérant le phénomène d'inversion volumique, dans la région sous le seuil, les porteurs se regroupent principalement au milieu du film [4]. Par conséquent, nous allons évaluer, à la

profondeur du film de silicium correspondant à $t_{Si}/2$, le potentiel sur toute la longueur du canal. Ceci conduit finalement à la solution :

$$\Psi\left(x,\frac{t_{Si}}{2}\right)=\Psi_S(x)+\frac{\varepsilon_{ox}}{\varepsilon_{Si}}\cdot\frac{\Psi_S(x)-V_g+V_{FB}}{t_{ox1}}\cdot\frac{t_{Si}}{2}-\frac{\varepsilon_{ox}}{\varepsilon_{Si}}\cdot\frac{\Psi_S(x)-V_g+V_{FB}}{t_{ox1}\cdot t_{Si}}\cdot\frac{t_{Si}^{\ 2}}{4} \tag{4.6}$$

Nous noterons ce potentiel calculé à $t_{Si}/2$, $\Psi_C(x)$. Il correspond en effet au potentiel au centre du film de silicium, d'où l'indice « c » qui lui est attribué. La combinaison des deux derniers termes de (4.6) conduit à une relation plus simple entre le potentiel au centre du film et le potentiel de surface. La relation se présente ainsi :

$$\Psi_C(x)=\Psi_S(x)+\frac{\varepsilon_{ox}}{\varepsilon_{Si}}\cdot\frac{\Psi_S(x)-V_g+V_{FB}}{t_{ox1}}\cdot\frac{t_{Si}}{4} \tag{4.7}$$

En exprimant le potentiel de surface en fonction du potentiel au centre, (4.7) se réécrit :

$$\Psi_S(x)=\frac{1}{1+\frac{\varepsilon_{ox}}{4\cdot\varepsilon_{Si}}\cdot\frac{t_{Si}}{t_{ox1}}}\cdot\left(\Psi_C(x)+\frac{\varepsilon_{ox}}{4\cdot\varepsilon_{Si}}\cdot\frac{t_{Si}}{t_{ox1}}\cdot\left(V_g-V_{FB}\right)\right) \tag{4.8}$$

Nous allons inclure $\Psi_S(x)$ dans (4.6). Ceci permet d'exprimer le potentiel en tous points de la couche de silicium en fonction de $\Psi_C(x)$. Ainsi nous aurons :

$$\Psi(x,y)=\mathrm{H}(x,y)+\mathrm{K}(y) \tag{4.9}$$

avec

$$\mathrm{H}(x,y)=\left(1+\frac{\varepsilon_{ox}}{\varepsilon_{Si}\cdot t_{ox1}}\cdot y-\frac{\varepsilon_{ox}}{\varepsilon_{Si}\cdot t_{ox1}\cdot t_{Si}}\cdot y^2\right)\cdot\left(\frac{\Psi_C(x)+\frac{\varepsilon_{ox}}{4\cdot\varepsilon_{Si}}\cdot\frac{t_{Si}}{t_{ox1}}\cdot\left(V_g-V_{FB}\right)}{1+\frac{\varepsilon_{ox}}{4\cdot\varepsilon_{Si}}\cdot\frac{t_{Si}}{t_{ox1}}}\right) \tag{4.10}$$

et

$$\mathrm{K}(y)=\left(\frac{-\varepsilon_{ox}}{\varepsilon_{Si}\cdot t_{ox1}}\cdot y+\frac{\varepsilon_{ox}}{\varepsilon_{Si}\cdot t_{ox1}\cdot t_{Si}}\cdot y^2\right)\cdot\left(V_g-V_{FB}\right) \tag{4.11}$$

Finalement nous remarquons qu'à travers $\mathrm{H}(x,y)$, nous avons l'expression du potentiel à l'intérieur du film en fonction du potentiel au centre. De ce fait, en considérant (4.9) dans (4.5), nous obtenons une écriture de l'équation de Poisson en fonction de $\psi_C(x)$. Elle se présente sous la forme :

$$\frac{d^2\Psi_C(x)}{dx^2}-2\cdot\frac{\varepsilon_{ox}}{\varepsilon_{Si}}\cdot\frac{\left(\dfrac{\Psi_C(x)+\dfrac{\varepsilon_{ox}}{4\cdot\varepsilon_{Si}}\cdot\dfrac{t_{Si}}{t_{ox1}}\cdot\left(V_g-V_{FB}\right)}{1+\dfrac{\varepsilon_{ox}}{4\cdot\varepsilon_{Si}}\cdot\dfrac{t_{Si}}{t_{ox1}}}\right)-V_g+V_{FB}}{t_{Si}\cdot t_{ox1}}=\frac{q\cdot N_A}{\varepsilon_{si}} \tag{4.12}$$

Après un réarrangement, nous aboutissons à :

$$\frac{d^2\Psi_C(x)}{dx^2}-2\cdot\frac{\varepsilon_{ox}}{\varepsilon_{Si}}\cdot\frac{\Psi_C(x)-V_g+V_{FB}}{t_{Si}\cdot t_{ox1}\cdot\left(1+\dfrac{\varepsilon_{ox}}{4\cdot\varepsilon_{Si}}\cdot\dfrac{t_{Si}}{t_{ox1}}\right)}=\frac{q\cdot N_A}{\varepsilon_{si}} \tag{4.13}$$

Ensuite en remplaçons V_g-V_{FB} par V_g^* et en posant :

$$l=\sqrt{\frac{\varepsilon_{Si}\cdot t_{Si}\cdot t_{ox1}}{2\cdot\varepsilon_{ox}}\cdot\left(1+\frac{\varepsilon_{ox}\cdot t_{Si}}{4\cdot\varepsilon_{Si}\cdot t_{ox1}}\right)} \tag{4.14}$$

la relation (4.13) se présente sous la forme :

$$\frac{d^2\Psi_C(x)}{dx^2}-\frac{1}{l^2}\cdot\left(\Psi_C(x)-V_g^*\right)=\frac{q\cdot N_A}{\varepsilon_{si}} \tag{4.15}$$

En raison du fait que le film de silicium est intrinsèque, nous allons résoudre (4.15) en négligeant N_A. Ceci conduit à l'équation différentielle du second ordre suivante :

$$\frac{d^2\Psi_C(x)}{dx^2} - \frac{1}{l^2}\cdot\Psi_C(x) = \frac{-1}{l^2}\cdot V_g^* \tag{4.16}$$

La solution de cette équation se présente sous la forme :

$$\Psi_C(x) = V_g^* + C_S\cdot\sinh\left(\frac{x}{l}\right) + C_D\cdot\sinh\left(\frac{L-x}{l}\right) \tag{4.17}$$

où C_S et C_d sont des constantes définies par les conditions aux limites suivantes :

$$\Psi_C(0) = V_{bi} - \Phi_F \text{ (côté source)} \tag{4.18a}$$

et

$$\Psi_C(L) = V_{bi} - \Phi_F + V_{ds} \text{ (côté drain)} \tag{4.18b}$$

où V_{bi} représente le potentiel aux jonctions source-canal et drain-canal, qui est défini par $U_T\cdot\ln\left(N_A\cdot N_D/n_i^2\right) = U_T\cdot\ln\left(N_D/n_i\right)$.

Finalement, à partir de ces conditions aux limites (i.e. (4.18a) et (4.18b)), nous obtenons les expressions des constantes C_S et C_d sous la forme :

$$C_S = \frac{V_{bi} - \Phi_F + V_{ds} - V_g^*}{\sinh\left(\frac{L}{l}\right)} \tag{4.19}$$

et

$$C_d = \frac{V_{bi} - \Phi_F - V_g^*}{\sinh\left(\frac{L}{l}\right)} \tag{4.20}$$

Lorsque l'on prend en compte ces coefficients dans (4.17), nous aboutissons à l'expression du potentiel au centre du film de silicium. Elle est présentée de la manière suivante :

$$\Psi_C(x) = V_g^* + \left(V_{bi} - \Phi_F + V_{ds} - V_g^*\right) \cdot \frac{\sinh\left(\frac{x}{l}\right)}{\sinh\left(\frac{L}{l}\right)} + \left(V_{bi} - \Phi_F - V_g^*\right) \cdot \frac{\sinh\left(\frac{L-x}{l}\right)}{\sinh\left(\frac{L}{l}\right)} \tag{4.21}$$

Une fois $\Psi_C(x)$ obtenu, nous allons évaluer sa valeur minimale ainsi que la position à laquelle ce minimum de potentiel est atteint. Nous noterons le minimum du potentiel de canal $\psi_{C\min}$ et la position à laquelle $\psi_{C\min}$ est obtenu, x_0. Ainsi, x_0 et $\psi_{C\min}$ sont déterminés en calculant respectivement :

$$\left.\frac{d\Psi_C(x)}{dx}\right|_{x=x_0} = 0 \tag{4.22}$$

et

$$\Psi_{C\min} = \Psi_C(x_0) \tag{4.23}$$

Ceci conduit à la solution de x_0 sous la forme :

$$x_0 = \frac{L}{2} - \frac{l}{2} \cdot \ln\left(1 + \frac{V_{ds}}{V_{bi} - V_g}\right) \tag{4.24}$$

En considérant les résultats issus de l'observation des simulations numériques (cf. chapitre 2), nous pouvons considérer que le potentiel est minimal pour $x = L/2$ [4], ainsi (4.24) s'écrit de manière plus simple :

$$x_0 = \frac{L}{2} \tag{4.25}$$

Cette approximation est vérifiée, pour $V_{ds} \square V_{bi} - V_g^*$. Nous reviendrons par la suite sur les justifications d'une telle approximation. Une fois x_0 définie, $\Psi_{C\min}$ s'obtient plus aisément à partir de (4.23) en calculant $\Psi_C(L/2) = \Psi_{C\min}$. Ceci conduit finalement à :

$$\Psi_{C\min} = V_g^* + \left[2\cdot(V_{bi} - \Phi_F - V_g^*) + V_{ds}\right]\cdot\frac{\sinh\left(\frac{L}{2\cdot l}\right)}{\sinh\left(\frac{L}{l}\right)} \tag{4.26}$$

De (4.26), nous pouvons exprimer V_g^* en fonction de $\Psi_{C\min}$, ce qui donne :

$$V_g^* = \frac{\Psi_{C\min} - \left[2\cdot(V_{bi} - \Phi_F) + V_{ds}\right]\cdot\frac{\sinh\left(\frac{L}{2\cdot l}\right)}{\sinh\left(\frac{L}{l}\right)}}{1 - 2\cdot\frac{\sinh\left(\frac{L}{2\cdot l}\right)}{\sinh\left(\frac{L}{l}\right)}} \tag{4.27}$$

4.1.1 Modélisation de la dégradation de la pente sous le seuil

La pente sous le seuil (SS) est définie comme étant la variation de polarisation de grille nécessaire pour augmenter le courant d'une décade. Elle s'exprime en mV/dec et est proportionnelle à la tension thermique U_T ainsi qu'à un facteur n. Ce facteur est appelé *facteur de substrat* ou *facteur de pente*. Il est supérieur ou égal à 1. Dans le cas idéal où nous aurions une pente sous le seuil SS égale à $60\,mV/dec$ à la température ambiante, il prend la valeur de 1. Autrement, il est supérieur à 1, ce qui conduit à des valeurs de pente sous le seuil plus élevées que la valeur idéale. Ceci a pour conséquence la dégradation des performances du dispositif par suite de la dégradation de la valeur de la pente sous le seuil. Nous proposons une approche de n qui décrit le comportement sous le seuil du MOSFET double-grille. Ainsi en partant de (4.27), le facteur de substrat est défini de la manière suivante :

$$n = \frac{dV_g}{d\Psi_{C\min}} = \frac{1}{1 - 2 \cdot \frac{\sinh\left(\frac{L}{2 \cdot l}\right)}{\sinh\left(\frac{L}{l}\right)}} \tag{4.28}$$

Ensuite, nous avons pris en compte (4.28) dans la solution de la tension de pincement [5]. Rappelons que cette tension de pincement normalisée est notée v_p, et est définie par (cf. (3.34), chapitre 3) :

$$v_p = v_g^* - v_{to} \tag{4.29}$$

La tension de pincement (4.29) a été définie dans le chapitre 3 lors de l'élaboration du noyau du modèle. Afin de décrire au mieux la dégradation de la pente sous le seuil, nous l'avons redéfini en prenant en compte du facteur de substrat. Ainsi, elle est réécrite sous la forme :

$$v_p = \frac{v_g^* - v_{to}}{n} \tag{4.30}$$

Ensuite, en tenant compte de cette nouvelle solution de v_p (i.e. (4.30)) dans l'algorithme d'inversion numérique, la densité de charge mobile normalisée – définie en (3.80) – se réécrit de la manière suivante :

$$q_g\left(v_g, v_{ch}\right) = q\left(\frac{v_g^* - v_{to}}{n} - \frac{v_{ch}}{n}\right) \tag{4.31}$$

Sur la Fig. 4.1, nous avons tracé la charge d'inversion en fonction de la polarisation de la grille lorsque d'une part, le facteur de substrat est pris en compte, et d'autre part, lorsqu'il est ignoré (en fait pour n = 1). En forte inversion n vaut 1, et en faible inversion, il est supérieur à 1. Comme nous pouvons le remarquer sur cette figure (i.e. l Fig. 4.1), la façon de définir la tension de pincement (i.e. (4.30)) permet d'assurer une dépendance du facteur de substrat, par conséquent de la pente sous le seuil avec la polarisation de grille.

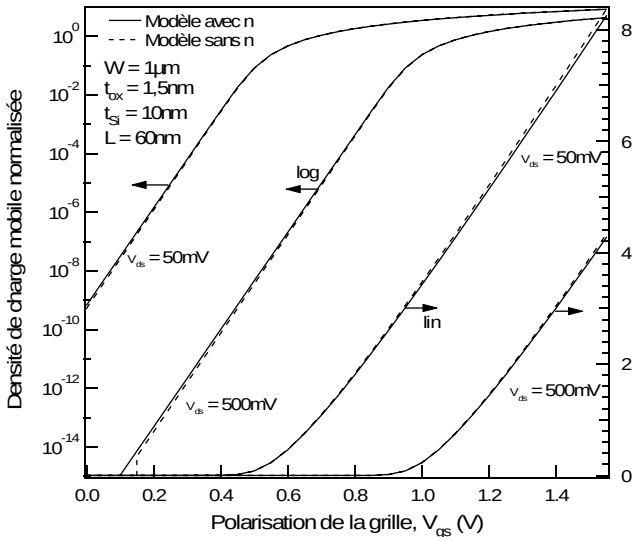


Fig. 4.1 : Influence du facteur de substrat sur la charge d'inversion

4.1.2 Modélisation de la tension de seuil d'un MOSFET double-grille canal court

Considérons la relation (4.27) entre V_g et $\Psi_{C\min}$. Ensuite, en gardant à l'esprit que le film de silicium est non dopé, appliquons la définition de la tension de seuil, c'est-à-dire la polarisation de grille pour laquelle le minimum de potentiel au centre du film atteint la valeur de $\Psi_{to} = v_{to} \cdot U_T$ [6], avec v_{to} désignant la tension de seuil pour un canal long (cf. (3.38) chapitre 3). Ceci conduit à la solution de la tension de seuil V_{th} présentée sous la forme :

$$V_{th} = \frac{\Psi_{to} - \left[2 \cdot (V_{bi} - \Phi_F) + V_{ds}\right] \cdot \dfrac{\sinh\left(\dfrac{L}{2 \cdot l}\right)}{\sinh\left(\dfrac{L}{l}\right)}}{1 - 2 \cdot \dfrac{\sinh\left(\dfrac{L}{2 \cdot l}\right)}{\sinh\left(\dfrac{L}{l}\right)}} \tag{4.32}$$

En normalisant les grandeurs électriques, nous obtenons la relation suivante :

$$v_{th} = \frac{v_{to} - \left[2\cdot(v_{bi} - \phi_f) + v_{ds}\right]\cdot\dfrac{\sinh\left(\dfrac{L}{2\cdot l}\right)}{\sinh\left(\dfrac{L}{l}\right)}}{1 - 2\cdot\dfrac{\sinh\left(\dfrac{L}{2\cdot l}\right)}{\sinh\left(\dfrac{L}{l}\right)}} \tag{4.33}$$

où $v_{bi}\ (= V_{bi}/U_T)$ représente la valeur normalisée du potentiel aux jonctions source-canal et drain-canal, et $\phi_f\ (= \Phi_F/U_T)$ désigne le potentiel de Fermi normalisé. Enfin, $v_{th}\ (= V_{th}/U_T)$ correspond à la tension de seuil normalisée pour un dispositif à canal-court. Il prend en compte les effets 2-D. Sa différence avec la tension de seuil pour un canal long (i.e. v_{to}) donne le décalage de la tension de seuil normalisée Δv_{th} :

$$\Delta v_{th} = v_{to} - v_{th} \tag{4.34}$$

En considérant (4.33) dans (4.34), ce décalage s'exprime sous la forme :

$$\Delta v_{th} = v_{to} - \frac{v_{to} - \left[2\cdot(v_{bi} - \phi_f) + v_{ds}\right]\cdot\dfrac{\sinh\left(\dfrac{L}{2\cdot l}\right)}{\sinh\left(\dfrac{L}{l}\right)}}{1 - 2\cdot\dfrac{\sinh\left(\dfrac{L}{2\cdot l}\right)}{\sinh\left(\dfrac{L}{l}\right)}} \tag{4.35}$$

Une substitution des termes en sinus hyperbolique par leurs équivalences en exponentielles conduit après réarrangement à :

$$\Delta v_{th} = \frac{\left[2\cdot(v_{bi} - \phi_f - v_{to}) + v_{ds}\right]}{2\cdot\cosh\left(\dfrac{L}{2\cdot l}\right) - 2} \tag{4.36}$$

Arrivé à ce stade, nous allons faire l'approximation suivante :

$$\frac{1}{2\cdot\cosh\left(\frac{L}{2\cdot l}\right)-2}\approx e^{\frac{-L}{2\cdot l}} \tag{4.37}$$

Cette approximation est justifiée, comme l'illustre la Fig. 4.2, où nous avons comparé la solution exacte située au premier membre de (4.37) à la solution approximative située au second membre.

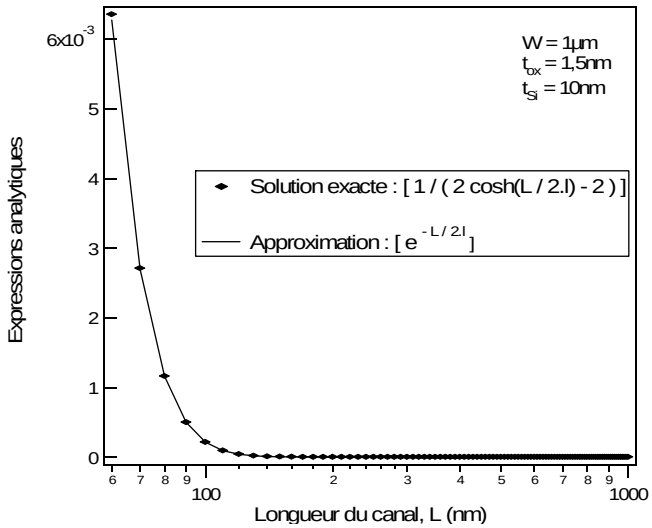


Fig. 4.2 : Comparaison de la solution exacte avec la solution approximative conduisant à l'expression du décalage de la tension de seuil

En tenant compte de cette approximation et en incluant (4.37) dans (4.36), nous pouvons écrire Δv_{th} d'une manière plus simple et plus compacte :

$$\Delta v_{th} = \gamma\cdot\left[2\cdot(v_{bi}-\phi_f-v_{to})+v_{ds}\right] \tag{4.38}$$

avec

$$\gamma = e^{\frac{-L}{2\cdot l}} \tag{4.39}$$

Pour garantir un meilleur accord avec les simulations 2-D, nous avons redéfini (4.39) en incluant un paramètre d'ajustement $\sigma\ (=0,98)$ proche de 1 et qui est constant pour toutes les valeurs des paramètres technologiques et électriques. Ainsi, (4.39) est réécrit sous la forme :

$$\gamma = e^{\frac{-\sigma \cdot L}{2 \cdot l}} \tag{4.40}$$

4.1.3 Modélisation du DIBL

Comme nous l'avons rappelé dans le chapitre 2, le DIBL est communément identifié comme une diminution de la tension de seuil relative à une augmentation de la polarisation du drain [7]. Les modèles de DIBL introduisent généralement une dépendance en tension et en longueur de canaux de la tension de seuil. Plusieurs dépendances à la tension de drain et à la longueur de canal ont été proposées [1]. Elles sont souvent basées sur une dépendance linéaire du DIBL à la polarisation de drain [1]. C'est une approche adéquate dans la plupart des cas. Cependant, concernant la dépendance à la longueur de canal, peu de modèles ont le mérite de fournir des résultats satisfaisants pour le double-grille. A cet effet, nous avons adopté une définition du DIBL qui nous permet d'obtenir aussi bien une dépendance linéaire à la polarisation de drain, mais également une dépendance à la longueur du canal et à l'épaisseur du film de silicium. Ainsi, en partant de la relation (4.38) laquelle décrit le décalage de la tension de seuil, nous définissons le DIBL comme étant le décalage de la tension de seuil obtenu lorsque la polarisation de drain est modifiée. Ainsi, nous écrirons :

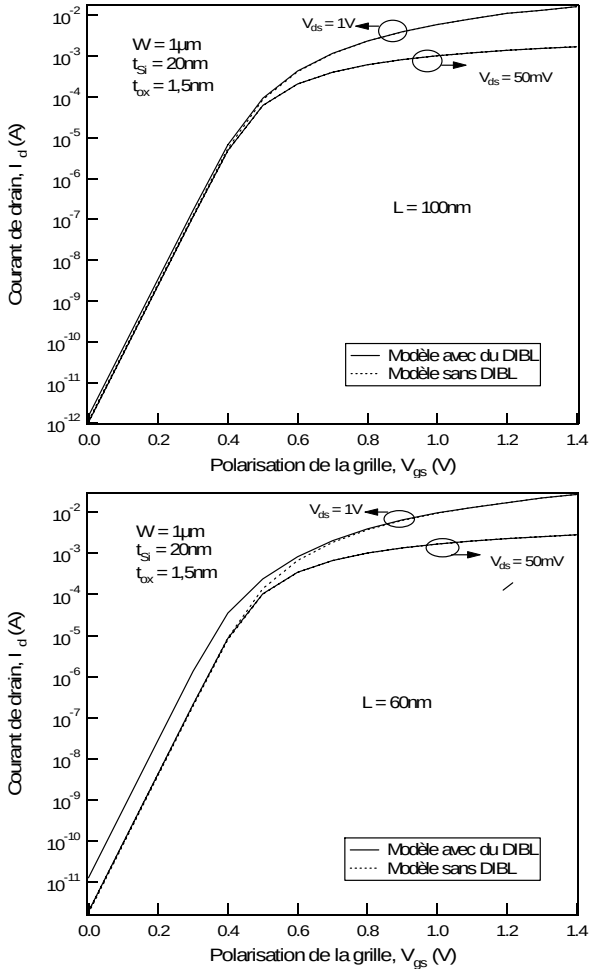
$$DIBL = \frac{d\Delta v_{th}}{dv_{ds}} \tag{4.41}$$

Pour marquer l'importance de cet effet dans le décalage de la tension de seuil nous le noterons $\Delta v_{th_{DIBL}}$. Cette grandeur constitue une valeur normalisée. En tenant compte de (4.41), $\Delta v_{th_{DIBL}}$ s'exprime :

$$\Delta v_{th_{DIBL}} = \gamma \cdot v_{ds} \tag{4.42}$$

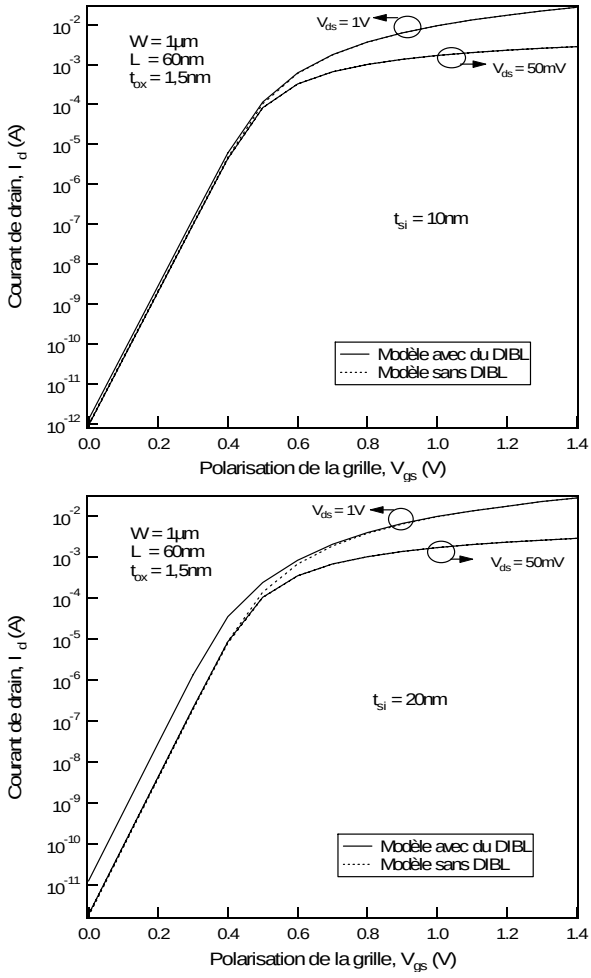
Nous voyons bien la dépendance linéaire de la polarisation de drain. Concernant la dépendance à la longueur de canal, si on se réfère à (4.42), nous voyons bien que la longueur de canal est prise en compte dans l'exponentiel au niveau de γ. De manière générale, la dépendance linéaire à V_{ds}, la dépendance à la longueur de canal, et ainsi que la dépendance à t_{ox1} et à t_{Si} à travers la longueur caractéristique l ont directement pour avantage de bien

décrire la comportement du dispositif. Les Figs. 4.3 et 4.4 décrivent le courant du drain lorsque le DIBL défini en (4.42) est soit pris en compte, soit ignoré.



(a) *(b)*

Fig. 4.3 : Influence du modèle de DIBL sur le courant de drain suivant la longueur du canal, (a) pour $L = 100nm$ *(b) pour* $L = 60nm$



(a) *(b)*

Fig. 4.4 : Influence du modèle de DIBL sur le courant de drain suivant l'épaisseur du film de silicium, (a) pour $t_{Si} = 10nm$ *(b) pour* $t_{Si} = 20nm$

Les caractéristiques du courant de drain tracées sur la Fig. 4.3 correspondent à différentes longueurs de canal, celles de la Fig. 4.4 correspondent à différentes épaisseurs de film de silicium. Nous remarquons que le DIBL est bien plus significatif sur un dispositif à canal court et sur un film de silicium épais. Ces résultats montrent que notre solution du DIBL prend bien en compte la dépendance des paramètres technologiques. Sa validation sera présentée au paragraphe 4.3.2.

4.1.4 Modélisation de l'effet du partage de charge

Le principe du calcul du partage de charge (ou le *Roll-off*) est généralement basé sur des considérations géométriques. Il consiste à évaluer la charge de déplétion effective contrôlée par la grille en tenant compte de l'influence de l'extension des régions de déplétion

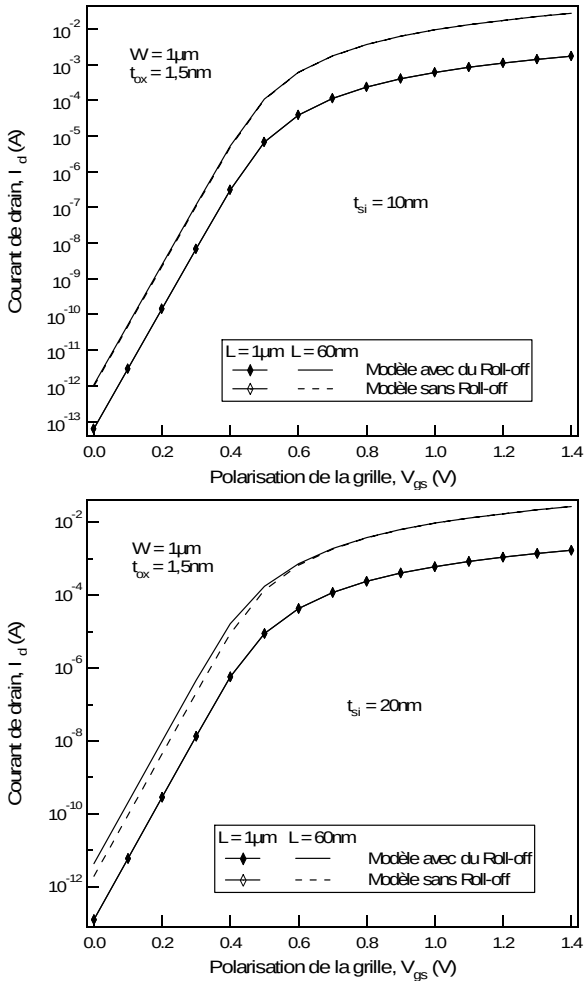
de la source et du drain. Cette influence s'avère considérable lorsque L diminue. Cette évaluation de la charge contrôlée par la grille est relativement aisée au niveau des dispositifs MOSFET bulk si on considère qu'elles sont localisées dans une région trapézoïdale. Le calcul des dimensions géométriques du trapèze nous permet d'y arriver. En effet, grâce à la présence du substrat, la charge de déplétion effective contrôlée par la grille se distingue généralement de celle contrôlée par la source et le drain. En revanche, au niveau du double-grille la déplétion entière du film de silicium rend l'estimation des régions de déplétions contrôlées par la grille par rapport à celles contrôlées par la source et le drain difficile. Ainsi, nous n'adopterons pas une approche basée sur la géométrie, mais nous définirons le partage de charge en nous fondant sur sa principale particularité : sa non dépendance à la polarisation du drain. Aussi bien pour le MOSFET bulk que pour le double-grille, le décalage de la tension de seuil lorsque l'on passe d'un dispositif à canal long à un dispositif à canal court – toutes polarisations et autres grandeurs géométriques conservées – a pour origine l'effet du partage de charge. Par conséquent, le décalage de la tension de seuil dû à l'effet du partage de charge que nous noterons $\Delta v_{th_{SCE}}$ est indépendant de V_{ds}. Sa valeur normalisée est définie par [1] :

$$\Delta v_{th_{SCE}} = \Delta v_{th|v_{ds}=0} \tag{4.43}$$

D'après (4.38) et (4.43), nous obtenons :

$$\Delta v_{th_{SCE}} = 2 \cdot \gamma \cdot (v_{bi} - \phi_f - v_{to}) \tag{4.44}$$

La Fig. 4.5 décrit le courant du drain lorsque le partage de charge (*Roll-off*) est d'une part pris en compte, et d'autre part, ignoré. Les caractéristiques du courant de drain sont tracées pour différentes longueurs de canal, et différentes épaisseurs de film de silicium. Nous remarquons, que le Roff-off est plus important sur un film de silicium épais. Ces résultats montrent encore que notre solution du Roff-off, prend bien en compte la dépendance des paramètres technologiques.



(a) *(b)*

Fig. 4.5 : Influence du Roll-off sur le courant de drain suivant l'épaisseur du film de silicium, (a) pour $t_{Si} = 10nm$ (b) pour $t_{Si} = 20nm$

4.1.5 Justifications des approximations faites dans l'élaboration du modèle

4.1.5.1 Implémentation des effets canaux courts dans le noyau du modèle canal long

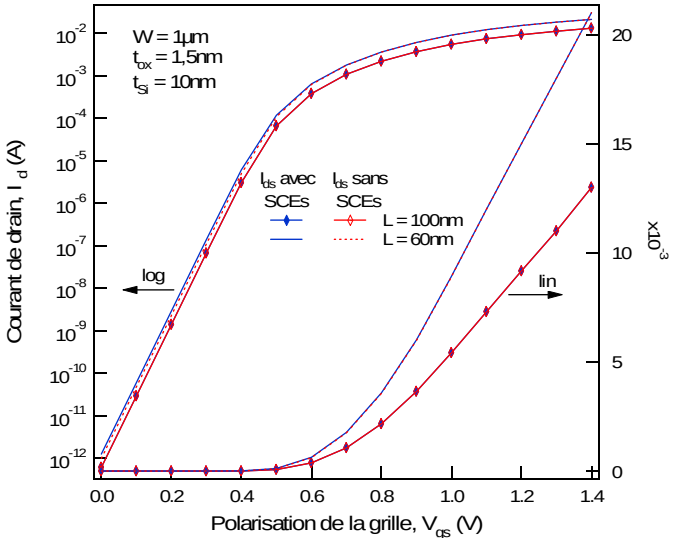
Les effets canaux courts, à savoir le DIBL et le partage de charge, comme nous l'avons signalé au chapitre 1, sont des effets parasites qui accompagnent la réduction des dimensions latérales du dispositif. En réalité, la réduction de la longueur du canal provoque une augmentation considérable du champ latéral (i.e. suivant la longueur du canal), laquelle crée la dégradation des caractéristiques du composant. Ces effets sont naturellement présents aussi bien en faible inversion qu'en forte inversion. Néanmoins, si nous considérons l'impact

du champ latéral par rapport au champ transversal (i.e. suivant la direction orthogonale au canal) dans les différentes régions de fonctionnement du dispositif, nous notons que c'est en faible inversion qu'il est plus important. En forte inversion, par rapport au champ transversal intense, l'impact du champ latéral peut être négligé. Finalement, ceci nous conduit à restreindre l'impact du DIBL et du partage de charge à la région de faible inversion. Ainsi, pour prendre en compte ces derniers, nous ne les considérerons que dans les termes de la solution du courant de drain prédominants en faible inversion. Dans la solution du courant de drain (3.37), le terme en q_m ainsi que le terme logarithmique sont prépondérants en faible inversion. Par conséquent, en incluant Δv_{th} dans ces deux termes, nous obtenons :

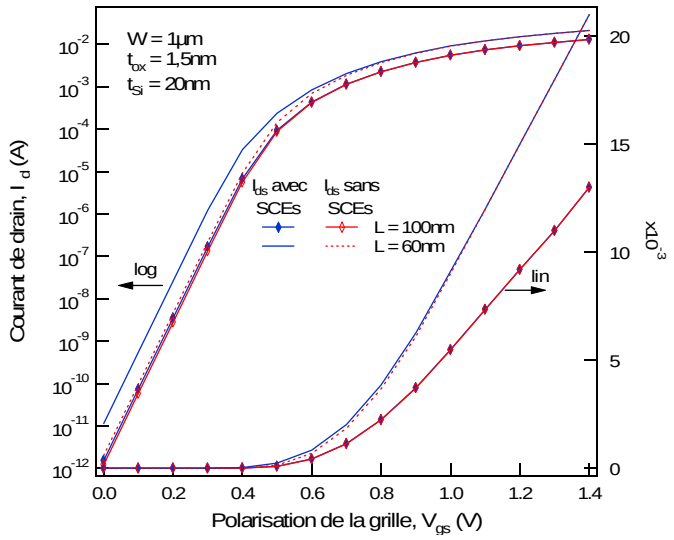
$$i = -q_m^2(v_g, v_{ch}) + 2 \cdot q_m(v_g + \Delta v_{th}, v_{ch}) + \frac{2}{\alpha} \cdot \ln\left(1 - \alpha \cdot \frac{q_m(v_g + \Delta v_{th}, v_{ch})}{2}\right)\Bigg|_{q_{mS}}^{q_{mD}} \tag{4.45}$$

avec $v_{ch} = v_s$ ou v_d

Comme nous pouvons l'observer sur la Fig. 4.6 où est décrit le courant de drain lorsque le DIBL et le Roll-off sont dans un premier temps pris en compte et dans un second temps ignorés, la transition entre la faible inversion et la forte inversion est réalisée de manière continue et lisse. Nous noterons que cette manière d'inclure les effets canaux courts dans le noyau du modèle (cf. (4.45)) permet en effet d'éviter une éventuelle solution mathématique de lissage. Elle permet également d'assurer la continuité et la précision du modèle.



(a)



(b)

Fig. 4.6 : Influence du DIBL et du Roll-off sur le courant de drain, (a) pour $t_{Si} = 10nm$ *et (b) pour* $t_{Si} = 20nm$

Concernant le domaine de validité du modèle, les résultats ne sont en fait généralement valables que pour des longueurs de canaux comprises entre $1\mu m$ et $60nm$ et des épaisseurs de film de silicium supérieures à $10nm$.

4.1.5.2 Approximation sur le calcul de la position où le potentiel est minimal

Pour calculer le minimum du potentiel au centre du film de silicium $\Psi_{C\min}$, nous avons d'abord évalué la position (x_0) à laquelle le potentiel est minimal. Cette solution de x_0 est donnée par la relation (4.24). Ensuite, nous avons approximé cette solution par $L/2$ comme décrit en (4.25). Cette approximation a permis d'avoir une approche plus simple et plus compacte. En revanche, elle engendre une légère erreur sur le décalage de la tension de seuil. Nous avons comparé la solution de v_{th}, lorsque la valeur exacte de x_0 définie en (4.24) est considérée, avec la solution (4.33) où il a été considéré l'approximation sur x_0 (4.25). La Fig. 4.7 illustre cette comparaison, où v_{th} a été tracé pour différentes polarisations de drain. Nous voyons que les deux solutions (4.24) et (4.25) donnent des résultats quasi-identiques. Pour de faibles polarisations de drain, l'erreur relative à l'approximation est inférieure à $0,023\%$ tandis que pour des polarisations de drain élevées elle est inférieure à $0,7\%$. Vu les ordres de grandeurs de ces erreurs, elles demeurent acceptables en modélisation compacte.

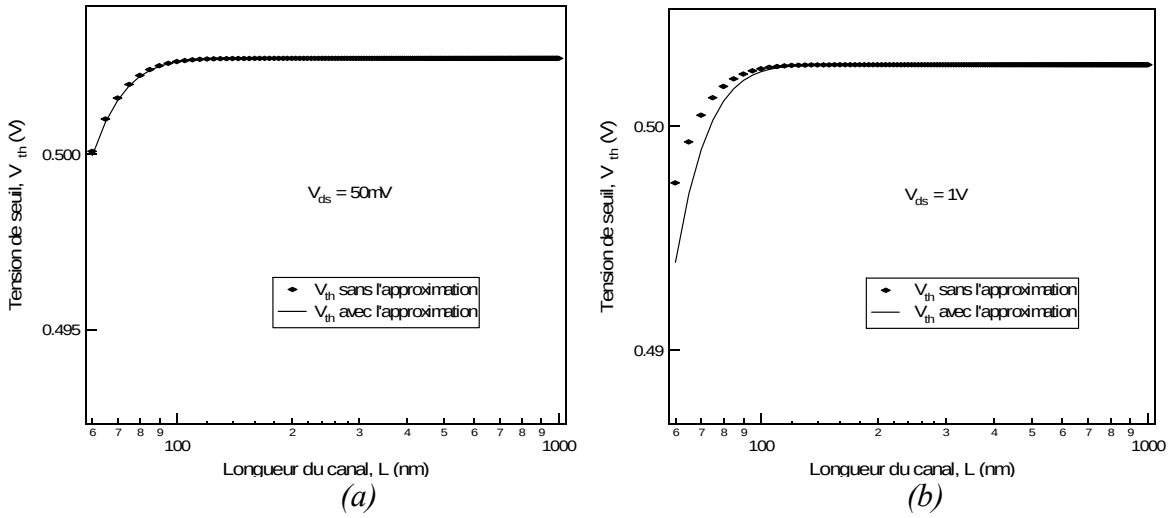


Fig. 4.7 : Erreur sur la tension de seuil liée à l'approximation faite sur la solution de x_0, pour $t_{Si} = 10nm$, $t_{ox} = 1,5nm$ et $W = 1\mu m$

4.2 Modélisation de la mobilité des porteurs

Comme nous l'avons spécifié au chapitre 1, un des problèmes majeurs lorsque l'on réduit les dimensions des dispositifs est la dégradation de la mobilité. Nous avons développé un modèle qui prend en compte aussi bien la réduction de la mobilité due au champ latéral que celle due au champ transversal [1]. Dans un premier temps nous avons défini le champ transversal effectif E_{eff} en supposant un champ latéral constant le long du canal et la charge de déplétion négligeable dans le film faiblement dopé. Il est défini sous la forme :

$$E_{eff} = \frac{q_g\left(v_g, v_{ds}/3\right)\cdot 4\cdot C_{ox1}\cdot U_T}{\varepsilon_{Si}} \tag{4.46}$$

où la potentiel du canal est évalué à $v_{ds}/3$ afin d'avoir une valeur moyenne du champ effectif dans le canal. L'intérêt majeur de cette solution est qu'elle permet d'avoir le champ effectif directement en fonction de la solution explicite de la charge normalisée issue de l'algorithme. Une fois que le champ effectif transversal est défini, nous pouvons modéliser la réduction de la mobilité des porteurs liée au champ transversal $\mu_\perp$. Ainsi nous définissons :

$$\mu_\perp = \frac{\mu_0}{1 + E_{eff}/E_0} \tag{4.47}$$

où μ_0 correspond à la mobilité à champ faible, E_0 un paramètre d'ajustement extrait à partir de la caractéristique $I-V$ en forte inversion. Pour la comparaison avec les simulations 2-D, nous avons fixé $\mu_0 = 1400\ \mathrm{cm^2\cdot V^{-1}\cdot s^{-1}}$ et $E_0 = 3.868\times10^6\ \mathrm{V\cdot cm^{-1}}$. Ensuite, nous prenons en compte l'effet du champ latéral de la manière suivante [8] :

$$\mu_{eff} = \frac{\mu_{\perp}}{1 + \frac{\mu_{\perp}}{v_{sat}} \cdot \frac{v_{ds} \cdot U_T}{L}} \tag{4.48}$$

où v_{sat} désigne la tension de saturation normalisée qui est traitée comme un paramètre d'ajustement égal à $3 \cdot 10^9 cm \cdot s^{-1}$.

Finalement pour prendre en compte cet effet de réduction de la mobilité dans le noyau de modèle, nous réécrivons le facteur de normalisation du courant de drain I_S (cf. Tableau 3.1, chapitre 3) en considérant μ_{eff} défini en (4.48) à la place de μ. Ceci conduit à :

$$I_S = 4 \cdot \mu_{eff} \cdot C_{ox1} \cdot U_T{}^2 \cdot \frac{W}{L} \tag{4.49}$$

De ce fait, le courant de drain non normalisé (en A) est simplement défini par :

$$I_d = I_S \cdot i \tag{4.50}$$

Nous discuterons des résultats du modèle dans les paragraphes suivants.

4.3 Validation du modèle

4.3.1 Caractéristiques des structures de petites géométries simulées sur Atlas

Des modifications ont été apportées sur les structures du transistor MOS double-grille canal court par rapport à celles pour le canal long. En effet, pour valider le modèle de petites géométries, les structures développées sur Atlas possèdent un film de silicium intrinsèque. Le dopage de la région de source et de drain en revanche est inchangé, il est de $5 \cdot 10^{21} cm^{-3}$. En ce qui concerne le modèle de mobilité, le modèle de mobilité constante a été

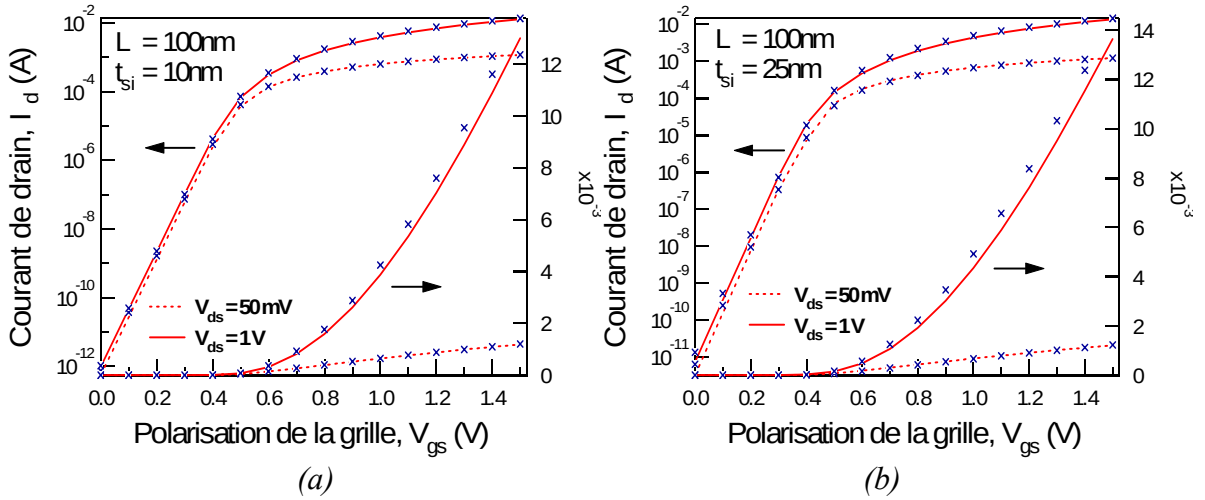
remplacé par le modèle de mobilité de Watt [9]. Le modèle de Watt a l'avantage de prendre en compte le champ transversal, ce qui est intéressant pour étudier le couplage entre les deux grilles du double-grille. En ce qui concerne le matériau de grilles, il est de type midgap (i.e. avec $\Delta\phi_{ms} = 0$). Outre ces caractéristiques des structures de petites géométries simulées, il y a un point important qui nécessite d'être souligné : c'est le non alignement des grilles avec le canal. En effet, par soucis de réalisme par rapport à la production industrielle, nous avons défini un décalage entre la longueur des grilles et celle du canal. Ce décalage est communément appelé *longueur de recouvrement* (ou *longueur d'overlap*). Sa valeur est de $16nm$ sur toutes les structures développées. Ce non alignement des grilles avec le canal a une incidence directe sur le comportement dynamique. L'étude et la modélisation de ces effets font l'objet du chapitre suivant.

Dans les parties qui suivent nous présentons les résultats obtenus en comparant notre approche avec les résultats de simulations numériques 2-D.

4.3.2 Confrontation du modèle avec les résultats 2-D

4.3.2.1 Validation du modèle pour un dispositif semi-court

Nous appelons dispositif semi-court un dispositif de longueur de canal comprise entre 300 et $100nm$. Nous avons dans un premier temps évalué notre approche sur de tels dispositifs afin de voir comment prennent place progressivement les différents effets de petites géométries modélisés. La Fig. 4.8-a décrit la caractéristique $I_d - V_g$ d'un MOSFET double-grille de longueur de canal de $100nm$ fonctionnant à champ faible ($V_{ds} = 50mV$) et à champ fort ($V_{ds} = 1V$). Sur cette figure, la structure simulée comporte un film de silicium d'épaisseur de $10nm$. De la même manière que dans le chapitre précédent, les symboles correspondent aux résultats 2-D et les traits aux résultats du modèle. Nous observons que le modèle de mobilité se comporte relativement bien dans la région de forte inversion où l'impact de la mobilité est plus significatif. Ces résultats sont obtenus pour des valeurs fixes des paramètres σ, μ_0, E_0 et v_{sat}.



(a) *(b)*

Fig. 4.8 : Validation du modèle statique pour différentes polarisations du drain sur un MOSFET double-grille de longueur de canal de $100nm$ *avec (a)* $t_{Si} = 10nm$*, et (b)* $t_{Si} = 25nm$

Nous observons également le bon comportement du modèle de mobilité pour un dispositif de film de silicium épais. La Fig. 4.8-b décrit la même caractéristique que la précédente pour un film d'épaisseur de $25nm$. Nous voyons sur cette figure que le modèle coïncide relativement bien avec les simulations numériques 2-D. Ceci est observé aussi bien en forte inversion qu'en faible inversion. Le point essentiel à retenir sur ces deux figures est l'effet de DIBL. En effet, nous pouvons remarquer en faible inversion, l'écart qu'il y a entre la caractéristique correspondant au champ faible et celle correspondant au champ fort. Comme nous l'avons indiqué au chapitre 1, cet écart n'est rien d'autre que le DIBL, et nous remarquerons qu'il est manifestement plus significatif sur la Fig. 4.8-b où l'épaisseur de film est plus importante. Ceci confirme ce que nous avions exposé au chapitre 2 concernant les propriétés électriques du transistor MOS double-grille, à savoir, les effets canaux courts prennent une ampleur importante avec augmentation de l'épaisseur du film de silicium. En effet, un film mince permet aux grilles d'exercer un meilleur contrôle du canal, d'où de moindres effets canaux courts. Ces points essentiels mis en évidence sur ces figures, confirment la précision du modèle.

Nous avons également validé le modèle dynamique pour le transistor MOS double-grille. La Fig. 4.9 décrit la caractéristique $C-V$ pour un MOSFET double-grille d'épaisseur de film de silicium de $10nm$. Les trois transcapacités C_{sg}, C_{dg} et C_{gg} sont tracées en fonction de la polarisation de la grille pour différents V_{ds}. La longueur de canal de la structure simulée est de $300nm$. Nous pouvons observer la concordance entre les résultats du modèle et ceux de simulations numériques. Ceci est visible en forte inversion. En revanche, en faible inversion,

nous observons un écart entre les résultats. Cet écart a pour origine l'impact de la *capacité de recouvrement*, laquelle est prise en compte dans les simulations numériques et que notre modèle ignore pour l'instant. Nous consacrerons le chapitre suivant à la modélisation des capacités extrinsèques.

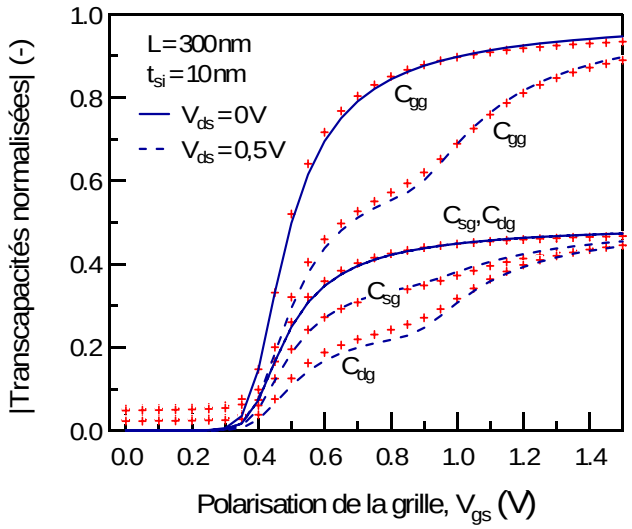


Fig. 4.9 : Validation du modèle dynamique pour différentes polarisations de drain C_{sg}, C_{dg} et C_{gg} en fonction de la polarisation de la grille

De ces trois transcapacités découle la matrice des neuf transcapacités comme nous l'avons indiqué au chapitre 3. La Fig. 4.10 montre l'évolution des neuf transcapacités normalisées en fonction de la polarisation de la grille.

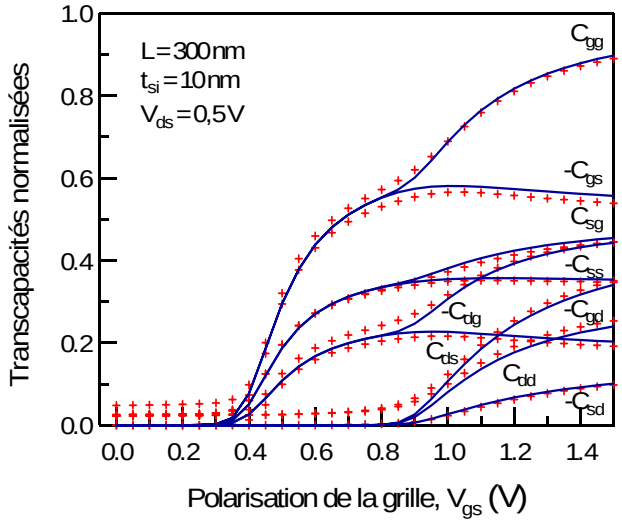


Fig. 4.10 : Validation du modèle dynamique pour différentes polarisations de drain : matrice des transcapacités en fonction de la polarisation de la grille

4.3.2.2 Validation du modèle pour un dispositif à canal court

La validation se fait toujours par comparaison des résultats du modèle avec ceux de simulations 2-D. Dans un premier temps nous allons nous intéresser aux caractéristiques statiques. Les caractéristiques $I_d - V_g$ pour différentes dimensions de canal ont été tracées pour un MOSFET double-grille d'épaisseur de film de silicium de $10nm$. La Fig. 4.11 regroupe ces caractéristiques. Il apparaît sur cette figure que le courant de drain du modèle analytique coïncide avec les résultats 2-D. On précisera que tous les résultats ont été obtenus avec un unique jeu de paramètres $(\sigma, \mu_0, E_0, v_{sat})$. Ainsi aucun ajustement de ces paramètres n'est fait lorsque nous changeons les paramètres technologiques fondamentaux (L, t_{Si}, t_{ox}). La pente sous le seuil est décrite avec précision pour différentes dimensions du canal. Sur la Fig. 4.12, la solution de la pente sous le seuil SS ou plus précisément, celle du facteur de substrat (n) défini en (4.28), laquelle est multipliée par $U_T \cdot \ln(10)$ (cf. (1.10), chapitre 1), est comparée aux simulations 2-D. En ce qui concerne les résultats de simulations, nous avons extrait la pente sous le seuil en mesurant la pente de la caractéristique $I_d - V_g$ en échelle logarithme. L'évolution de SS est étudiée suivant la longueur du canal. Ainsi, la Fig. 4.12 montre que les valeurs de la pente sous le seuil obtenues avec la solution analytique sont en accord avec celles extraites des simulations numériques 2-D. Cet accord est noté pour des longueurs allant jusqu'à $60nm$. Sur cette figure nous remarquerons que suivant l'épaisseur du film de silicium ($t_{Si} = 10nm$ ou $t_{Si} = 20nm$), il est possible de prévoir les limites pour lesquelles il est possible de réduire L sans dégrader considérablement la pente sous le seuil. Par exemple, pour faire fonctionner le composant avec une pente sous le seuil quasi-idéale de $61,3mV/dec$, nous voyons que pour un t_{Si} de 10 et de $20nm$, L doit être supérieure à $60nm$ et à $100nm$ respectivement.

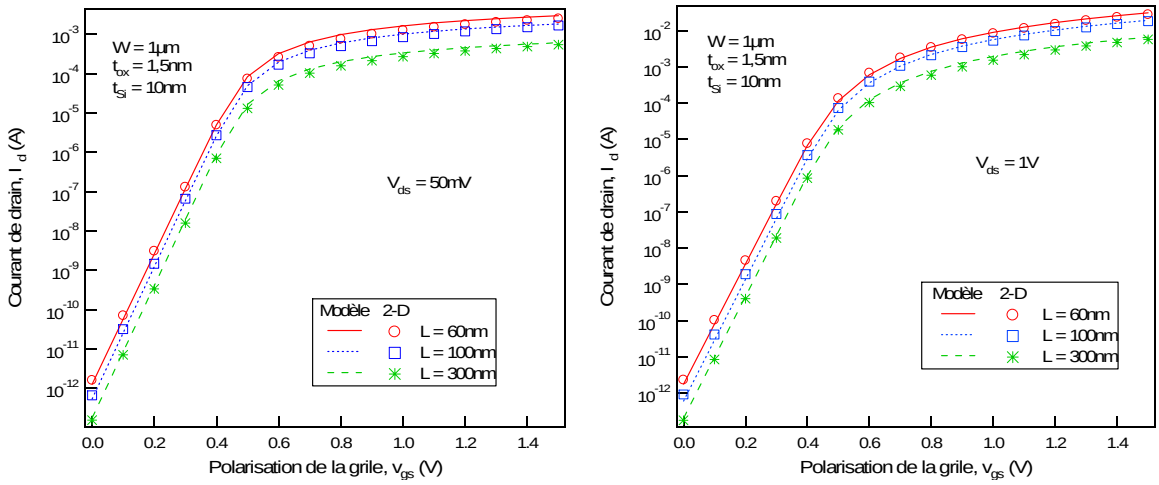


Fig. 4.11 : Validation du modèle statique pour différentes polarisations de drain sur un dispositif MOSFET double-grille de 300, 100 *et* $60nm$ *de longueurs de canal, (a) pour* $V_{ds} = 1V$ *et (b) pour* $V_{ds} = 50mV$

Nous remarquerons de manière générale que la dégradation de la pente sous le seuil est relativement faible même à une longueur de canal de $60nm$. Comme nous l'avons expliqué au chapitre 2, ceci confirme les intéressantes propriétés électriques du transistor double-grille. Pour illustrer les performances électriques du MOSFET double-grille, nous notons sur la Fig. 4.12 que pour un dispositif à canal court ($60nm$), la pente sous le seuil avoisine la valeur de $67mV/dec$ pour une épaisseur de film de $20nm$ et une pente quasi-idéale de $62mV/dec$ pour une épaisseur de film de $10nm$. En d'autres termes, le contrôle du canal est nettement meilleur lorsque les deux grilles sont plus proches, i.e. lorsque le film est moins épais.

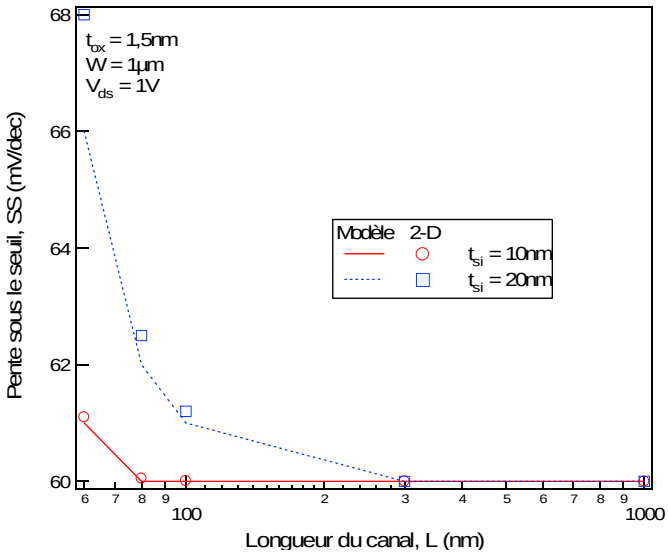


Fig. 4.12 : Validation du modèle de pente sous le seuil : dégradation de la pente sous le seuil avec la diminution de la longueur du canal

Finalement, de manière générale, le *scaling* ne saurait se faire sans la connaissance rigoureuse de l'impact de chaque paramètre géométrique sur les caractéristiques électriques du composant. En particulier, concernant le MOSFET double-grille, cela constituerait une erreur considérable de ne pas tenir compte de l'influence de l'épaisseur du film de silicium lorsque les dimensions sont réduites.

La tension de seuil est un paramètre clé en conception de circuit et également en modélisation compacte. Avec les dimensions nanométriques atteintes, il est important de bien décrire la tension de seuil et notamment ses variations liées principalement au effet du partage de charge et du DIBL. En modélisation compacte, une solution unique, simple et précise de la tension de seuil, valable pour une large gamme de dimensions de canal et de polarisations de drain est préférable. Sur la Fig. 4.13, le Roll-off est défini comme le décalage de la tension de grille nécessaire pour avoir le même courant de drain en faible inversion sur le MOSFET double-grille à canal court et sur le MOSFET double-grille à canal long. La Fig. 4.13 décrit le Roll-off pour différents t_{Si}. Le modèle est comparé aux simulations 2-D. Nous voyons que les deux résultats sont en accord et que le modèle décrit précisément le comportement du composant.

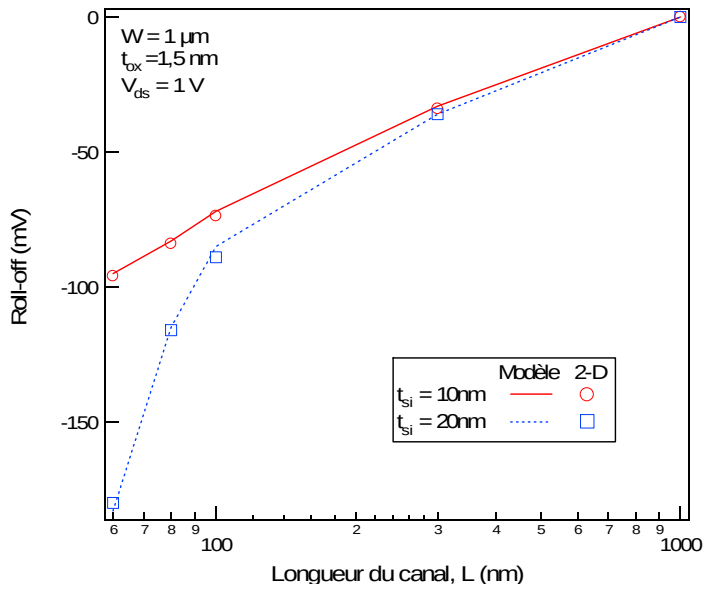


Fig. 4.13 : Validation du modèle de partage de charge : évolution du CS (ou Roll-off) avec la diminution de la longueur du canal

La Fig. 4.14 montre le DIBL en fonction de la longueur du canal. En simulation 2-D ainsi que pour le modèle, le DIBL est extrait en mesurant la différence entre la tension de

seuil correspondant à une polarisation de drain faible (i.e. $V_{ds} = 50mV$) et la tension de seuil correspondant à une polarisation de drain élevée (i.e. $V_{ds} = 1V$). Les résultats obtenus coïncident avec les simulations 2-D, une légère déviation est observée pour $t_{Si} = 10nm$. Elle est due au fait que lorsque le film est mince, les valeurs du DIBL sont si faibles que leur extraction est difficile. Nous noterons finalement sur cette figure que plus le film de silicium est épais plus le DIBL est important.

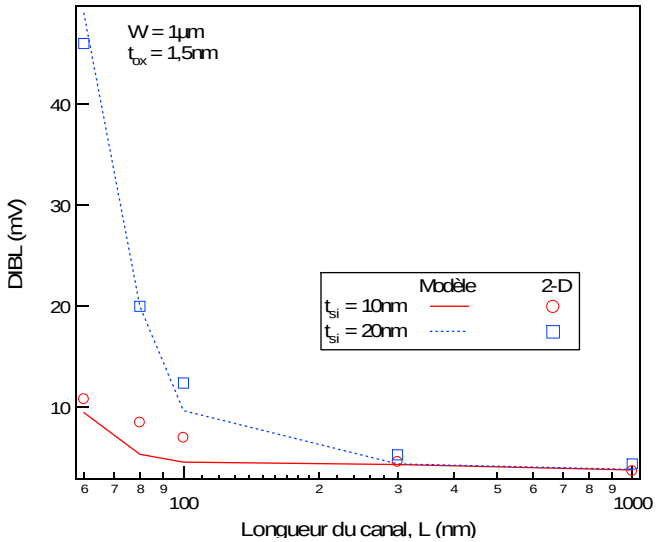
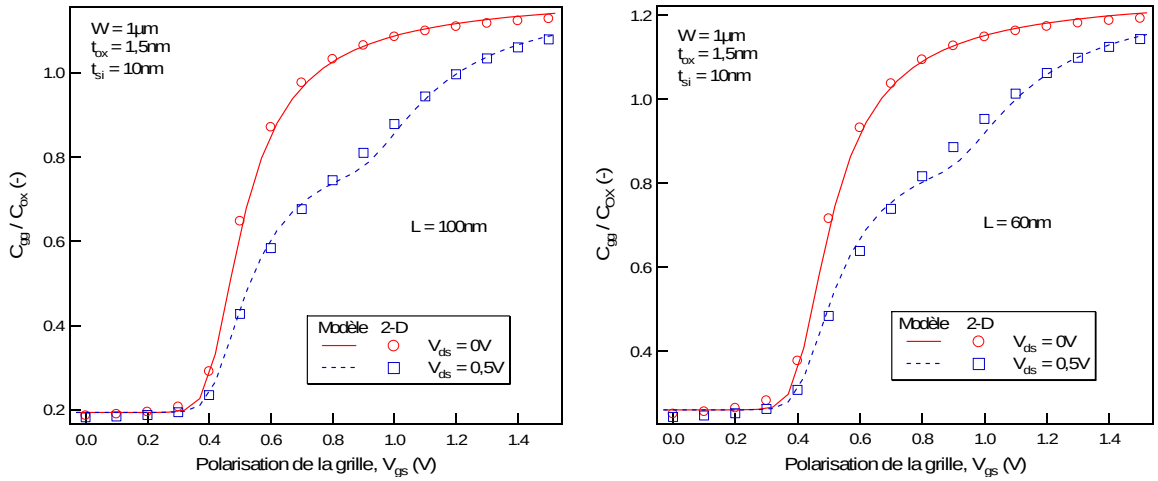


Fig. 4.14 : Validation du modèle de DIBL : évolution du DIBL avec la diminution de la longueur du canal

Les résultats du modèle dynamique ont été également étudiés. La Fig. 4.15 montre la caractéristique de la transcapacité normalisée C_{gg}/C_{OX} du modèle et celle des simulations 2-D. Nous rappellerons que toutes les transcapacités dans cette approche sont normalisées par la capacité d'oxyde totale. Dans la Fig. 4.15-a, il est tracé sur un dispositif de longueur de canal de $100nm$, l'évolution de C_{gg}/C_{OX} en fonction de v_g pour un champ latéral faible ($V_{ds} = 50mV$) et un champ latéral fort ($V_{ds} = 500mV$). La même caractéristique est décrite sur la Fig. 4.15-b., mais dans ce cas pour un dispositif de longueur de canal de $60nm$. Nous remarquons que dans les deux cas, le modèle offre des résultats satisfaisants. Les résultats du modèle sont visiblement proches de ceux des simulations 2-D. L'accord est obtenu aussi bien à champ faible qu'à champ fort. Cependant, nous observons que le dispositif à canal court est plus affecté par l'effet de la saturation de la vitesse des porteurs, lequel s'observe sur ces figures, par une transition « *plus douce* » du régime saturé au régime linéaire.



(a) *(b)*

Fig. 4.15 : Validation du modèle dynamique pour différentes polarisations de drain sur un MOSFET double-grille de longueurs de canal de (a) $100nm$ *et (b)* $60nm$

Contrairement au cas de la validation du modèle pour un canal de longueur $300nm$, nous observons pour la validation du modèle à canal court, une concordance des résultats du modèle avec ceux des simulations, en faible inversion. Ces résultats obtenus en faible inversion s'expliquent par le fait que nous avons d'abord extrait les valeurs des capacités de recouvrement des simulations 2-D à $V_{ds} = 0V$. Ensuite, nous avons ajouté ces valeurs à la solution analytique des capacités intrinsèques. Ainsi, comme nous l'avons spécifié dans le paragraphe 4.3.2, nous étudierons les capacités extrinsèques dans le chapitre suivant. D'un point de vue global, le modèle décrit bien le comportement dynamique du dispositif en forte inversion pour toutes les polarisations de drain. Outre ce point, il est important de noter que les résultats sont obtenus à partir d'une solution unique, précise et continue.

4.4 Domaine de validité modèle

Le Tableau 4.1 récapitule la gamme de paramètres géométriques et technologiques pour laquelle notre modèle complet est validé. Nous précisons qu'en ce qui concerne l'épaisseur du film de silicium, nous n'avons pas effectué de validation en dessous de la valeur de $10nm$ en raison de l'importance des effets de mécanique quantique qui deviennent importants sur des films de silicium minces. A ce stade, nous n'avons pas pris en compte les effets quantiques dans notre modèle, ni non plus dans nos simulations numériques 2-D. Pour des films de silicium épais, plus précisément pour des épaisseurs supérieures à $25nm$, les effets canaux courts deviennent importants et les performances des dispositifs se dégradent

considérablement. En conséquence, pour de telles épaisseurs, l'intérêt de recourir à l'architecture double-grille planaire afin d'atteindre les objectifs fixés pas l'ITRS n'est plus justifié. Nous présentons dans le Tableau 4.2, les valeurs par défaut des paramètres électriques du modèle. Nous soulignons que tous les résultats ont été obtenus dans la gamme de paramètres géométriques et technologiques définie dans le Tableau 4.1 sans modification des paramètres électriques. La procédure d'extraction des différents paramètres électriques est présentée en Annexes III.

Paramètres géométriques et technologiques	symboles	Domaine de validité
Longueur de canal	L	$\geq 60nm$
Epaisseur du film de silicium	t_{si}	$\geq 10nm$
Epaisseur d'oxyde	t_{ox1}	$2nm - 1,5nm$
Dopage du canal	N_a	$10^{10} cm^{-3} - 10^{16} cm^{-3}$

Tableau 4.1 : Tableau récapitulatif du domaine de validité du modèle complet

Paramètres électriques intrinsèques	Effets physiques modélisés	Valeurs par défaut
σ	DIBL + roll-off	$0,98$
μ_0	Mobilité	$1400 cm^2 \cdot V^{-1} \cdot s^{-1}$
E_0	Mobilité	$3,868 \cdot 10^6 V \cdot cm^{-1}$
v_{sat}	Mobilité	$3 \cdot 10^9 cm \cdot s^{-1}$

Tableau 4.2 : Tableau récapitulatif des valeurs par défaut des paramètres électriques du modèle complet

4.5 Conclusion

Dans ce chapitre, nous avons tout d'abord proposé une expression du potentiel électrostatique dans le film de silicium du transistor MOS double-grille à canal court. Cette expression a permis ensuite de développer des modèles analytiques de la pente sous le seuil, de l'abaissement de la barrière de potentiel induit par le drain (DIBL) et finalement du partage de charge. Nous avons également proposé un modèle de mobilité des porteurs qui prend non seulement en compte l'effet du champ latéral, mais également celui du champ transversal. Ces modèles ont été validés de manière exhaustive par les simulations numériques réalisées sur Atlas. Dans ce chapitre, les capacités de recouvrement n'ont pas été définies de manière analytique, elles ont été extraites des simulations 2-D puis ajoutées au modèle intrinsèque. Nous allons consacrer le chapitre suivant à l'étude et à la modélisation des capacités extrinsèques.

Bibliographie

[1] B. Diagne, F. Prégaldiny, C. Lallement, J-M. Sallese, F. Krummenacher, "*Explicit compact model for symmetric double-gate MOSFETs including solutions for small-geometry effects,*" Solid-State Electronics, *vol. 52, pp. 99-106, 2008*

[2] KK Young, "*Analysis of conduction in fully-depleted SOI MOSFETs,*" IEEE Transactions on Electron Devices, vol. 36, no. 3, pp. 504-506, 1989

[3] R.H. Yan, A. Ourmazd, and K. F. Lee, "*Scaling the Si MOSFET: from bulk to SOI to bulk,*" IEEE Transactions on Electron Devices, vol. 39, no. 7, pp. 1704-1710, 1992

[4] J. Colinge, "*Silicon-on-insulator technology: Materials to VLSI,*" ISBN 1-4020-77734, Kluwer Academic Publishers, 3rd edition, 1997

[5] J-M. Sallese, M. Bucher, F.Krummenacher, et al., "*Inversion charge linearization in MOSFET modeling and rigorous derivation of the EKV compact model,*" Solid-State Electronics, vol. 47, no. 4, pp. 677-683, 2003

[6] Z-H. Liu, C. Hu, J-H. Huang, et al., "*Threshold voltage model for deep-submicrometer MOSFETs,*" IEEE Transactions on Electron Devices, vol. 40, no. 1, pp. 86-95, 1993

[7] N. Arora, "*MOSFET Models for VLSI Circuit Simulation – Theory and practice,*" Computational Microelectronics, Springer Verlag, Wien New York, 1993

[8] B. Iñiguez and E. Moreno, "*An Improved C_∞, Continuous Small-Geometry MOSFET Modeling for Analog Applications,*" J. AICSP, vol. 13, no. 3, pp. 241–259, 1997

[9] Atlas user's manual – device simulation software, SILVACO International Inc.

Chapitre 5

Modélisation de la capacité extrinsèque du MOSFET double-grille

Sommaire du chapitre 5

5 Modélisation de la capacité extrinsèque du MOSFET double-grille —— 163
5.1 Définition de la capacité extrinsèque —— 165
5.2 Modélisation des composantes de la capacité extrinsèque —— 166
5.2.1 Modélisation de la capacité de bord interne —— 167
5.2.2 Modélisation de la capacité de bord externe —— 168
5.2.3 Modélisation de la capacité de recouvrement —— 169
5.2.4 Modèle complet —— 171
5.3 Validation du modèle —— 174
5.3.1 Caractéristiques des structures simulées sur Atlas —— 174
5.3.2 Influence de la polarisation du drain sur la capacité extrinsèque —— 176
5.3.3 Confrontation du modèle avec les simulations 2-D —— 177
5.4 Simulations des résistances série —— 181
5.5 Conclusion —— 184
Bibliographie —— 185

5.1 Définition de la capacité extrinsèque

Avec la diminution de la taille des composants, certains effets qui étaient négligeables sur les composants à canal long doivent maintenant être pris en compte. Parmi les nouveaux phénomènes à prendre en compte, deux types sont à distinguer : d'une part, il y a les effets liés au fonctionnement normal du dispositif, dits effets *intrinsèques*, et d'autre part les effets *extrinsèques*, qui eux perturbent le fonctionnement intrinsèque. Au cours de ce chapitre nous nous intéresserons à cette seconde catégorie, et plus exactement au cas des capacités extrinsèques ou parasites du transistor MOS double-grille.

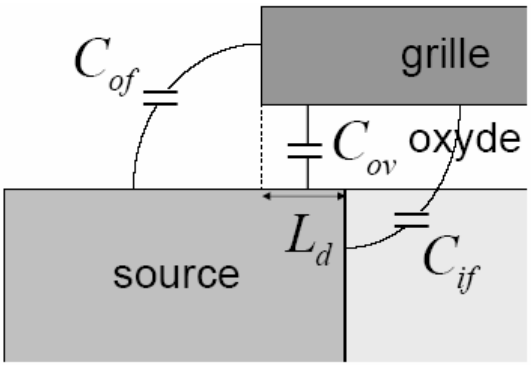


Fig. 5.1 : Schéma illustrant les différentes composantes de la capacité extrinsèque

L'estimation des capacités parasites est importante, notamment en simulation de circuits mixtes. En effet, avec la réduction des dimensions du dispositif, la capacité extrinsèque C_{ext} devient une fraction de plus en plus importante de la capacité totale de grille C_{OX} [1]. Ainsi, une modélisation précise de cette grandeur est maintenant indispensable. Dans un souci de clarté, au cours de ce manuscrit, nous avons regroupé sous le terme *capacité extrinsèque* l'ensemble des trois principales capacités parasites [2-4], à savoir, la *capacité de recouvrement* C_{ov}, la capacité de bord interne C_{if} (*inner fringing capacitance*) et la capacité de bord externe C_{of} (*outer fringing capacitance*). La Fig. 5.1 illustre ces différentes capacités. Elle montre le cas de la région de source et de la grille supérieure. Elle est symétrique d'une part pour le cas du drain et d'autre part pour la grille inférieure. Nous notons également sur cette figure le fait que la grille et la jonction source-canal ne sont pas alignées. Il existe un décalage qui correspond à la longueur de diffusion (L_d). La longueur de recouvrement (L_{ov}) est définie dans ce manuscrit comme étant la somme de la longueur de diffusion latérale sous la grille du côté de la source et de celle du côté du drain.

La distinction des différentes composantes de la capacité extrinsèque est importante, puisqu'elle est à la base d'une modélisation cohérente de C_{ext}. Il faut naturellement que chacune de ces composantes soit correctement décrites pour obtenir un modèle viable. C'est ce que nous nous proposons de faire au cours de cette étude.

5.2 Modélisation des composantes de la capacité extrinsèque

Certains travaux en modélisation du comportement dynamique extrinsèque du MOSFET double-grille existent dans la littérature [5-6]. Ces travaux sont intéressants dans la mesure où ils offrent des solutions analytiques des capacités parasites basées sur la physique des composants. Ils offrent une description précise du comportement dynamique extrinsèque du dispositif MOSFET double-grille. Nous présentons un modèle de capacité extrinsèque qui bien qu'étant relativement simplifié offre des résultats satisfaisants en termes de précision.

La capacité extrinsèque de la structure MOSFET double-grille est composée de la capacité de recouvrement, de la capacité de bord interne et de la capacité de bord externe. Comme nous l'avons signalé dans le paragraphe précédent, la structure est symétrique aussi bien suivant la direction longitudinale que suivant la direction transversale. En conséquence, C_{ext} correspond à la somme de C_{ov}, C_{if} et C_{of}, laquelle est multipliée par quatre. En normalisant C_{ov}, C_{if} et C_{of} par la capacité d'oxyde totale $C_{OX}(=2\cdot C_{ox1})$, nous obtenons la capacité extrinsèque normalisée. Elle est définie de la manière suivante :

$$c_{ext} = 4\cdot\left(c_{ov} + c_{if} + c_{of}\right) \tag{5.1}$$

avec

$$c_{ov} = \frac{C_{ov}}{2\cdot C_{ox1}}, c_{if} = \frac{C_{if}}{2\cdot C_{ox1}} \text{ et } c_{of} = \frac{C_{of}}{2\cdot C_{ox1}} \tag{5.2}$$

où C_{ox1} la capacité d'oxyde pour une grille. Ainsi, nous avons modélisé indépendamment c_{ov}, c_{if} et c_{of}.

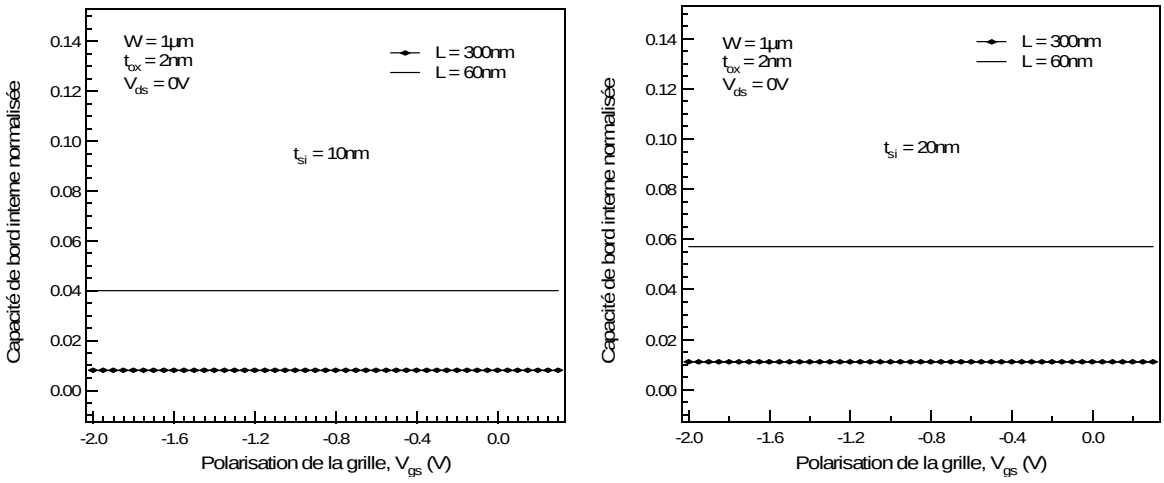
5.2.1 Modélisation de la capacité de bord interne

C_{if} est la capacité de bord interne associée au champ électrique provenant de la jonction métallurgique du drain (ou de la source) et se terminant sous la grille (cf. Fig. 5.1). L'approche originale dont s'inspire notre étude repose sur les travaux présentés par Shrivastava et Fitzpatrick [5]. En effet, ces auteurs ont défini la capacité de bord interne à partir de considérations géométriques. En se basant sur ces travaux, nous avons défini une solution de C_{if} sous la forme :

$$C_{if} = \frac{2 \cdot \varepsilon_{Si} \cdot W}{\pi} \cdot \ln\left(1 + \frac{t_{Si}}{t_{ox1}} \cdot \sin\left(\frac{\pi \cdot \varepsilon_{ox}}{2 \cdot \varepsilon_{Si}}\right)\right) \tag{5.3}$$

Nous remarquons dans (5.3) une dépendance à l'épaisseur du film de silicium. C'est en effet dans cette composante de la capacité extrinsèque que nous notons la dépendance à t_{Si}. D'après l'observation des résultats de simulations obtenus sur Atlas, les autres composantes de C_{ext}, à savoir C_{ov}, et C_{of}, sont indépendantes de t_{Si}.

La Fig. 5.2 décrit la capacité de bord interne normalisée par la capacité d'oxyde totale pour un dispositif MOSFET double-grille de $300nm$ et $60nm$ de longueurs de canal. Ces caractéristiques sont tracées pour 2 épaisseurs de film de silicium, i.e. $10nm$ et $20nm$. Nous voyons, que la capacité de bord interne normalisée est plus importante lorsque la longueur du canal diminue. De plus, si nous regardons l'influence t_{Si} sur C_{if}, nous notons qu'elle est relativement importante. Nous précisons que les caractéristiques tracées sur la Fig. 5.2 correspondent à la solution de la capacité de bord interne C_{if} définie en (5.3), laquelle a été normalisée par C_{OX}. Cette dernière décrit la capacité de bord interne formée dans la région de source et de la grille supérieure (cf. Fig. 2.1) et non la capacité C_{if} totale, i.e. $4 \cdot C_{if}$.



(a) *(b)*

Fig. 5.2 : Impact de la capacité de bord interne suivant la longueur du canal pour différentes épaisseurs de film de silicium, (a) $t_{Si} = 10nm$ *et (b)* $t_{Si} = 20nm$

5.2.2 Modélisation de la capacité de bord externe

C_{of} est la capacité de bord externe associée au champ électrique provenant du côté de la grille de polysilicium, traversant l'espaceur et allant jusqu'à la région de source ou de drain (cf. Fig. 5.1).

Elle peut être complètement définie à partir de considérations géométriques, comme cela a été expliqué dans les travaux publiés dans [5] pour le transistor MOS bulk. Dans le cadre de notre modèle extrinsèque, la capacité de bord externe C_{of} est modélisée comme suit [5] :

$$C_{of} = \frac{2 \cdot \varepsilon_{ox} \cdot W}{\pi} \cdot \ln\left(1 + \frac{t_g}{t_{ox1}}\right) \tag{5.4}$$

où t_g est l'épaisseur de la grille.

La Fig. 5.3 compare l'impact de la capacité de bord externe normalisée par la capacité d'oxyde totale sur un MOSFET double-grille de $300nm$ et $60nm$ de longueurs de canal. L'importance de cette capacité lorsque le transistor est à canal court est visible sur cette courbe. Nous précisons également que les caractéristiques tracées sur la Fig. 5.3 décrivent la capacité la capacité de bord externe normalisée dans la région de source et de la grille supérieure (cf. Fig. 2.1).

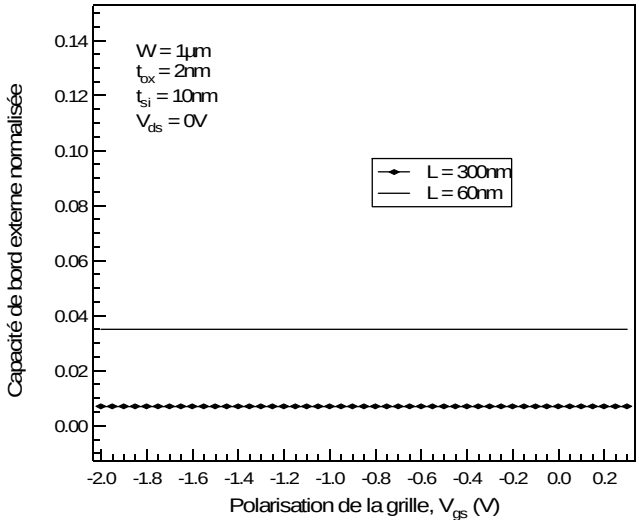


Fig. 5.3 : Impact de la capacité de bord externe suivant la longueur du canal

5.2.3 Modélisation de la capacité de recouvrement

C_{ov} est la capacité de recouvrement (ou capacité d'*overlap*) plate associée au champ électrique allant de la grille à la région de recouvrement du drain (ou de la source). L'approche utilisée pour modéliser C_{ov} dépend du régime de fonctionnement du dispositif, i.e. extrinsèque ou intrinsèque. En régime intrinsèque, de manière identique aux modèles développés pour le transistor MOS bulk [2], nous avons défini la capacité de recouvrement comme étant linéairement dépendante de la longueur de diffusion latérale. Elle est constante et égale à sa valeur maximum. Nous l'écrivons de la manière suivante :

$$C_{ov} = \frac{\varepsilon_{ox} \cdot W \cdot L_d}{t_{ox1}} \tag{5.5}$$

où $L_d (= L_{ov}/2)$ est la longueur de diffusion latérale qui correspond à la moitié de la longueur de recouvrement[10] (cf. paragraphe 5.1).

Ensuite, en régime extrinsèque, nous nous sommes basés sur les travaux réalisés dans [3-4] pour modéliser la diminution de la capacité de recouvrement C_{ov} avec la polarisation de la grille. Ainsi, une modélisation plus fine, prenant en compte la dépendance de C_{ov} à V_g est alors donnée par [3-4], [8] :

[10] Nous rappellerons que l'indice ov défini sur L_{ov} et C_{ov} vient de l'appellation anglaise de l'effet du recouvrement, c'est-à-dire « *overlap* ».

$$C_{ov} = \frac{\varepsilon_{ox} \cdot W \cdot L_{d_eff}}{t_{ox1}} \tag{5.6}$$

où L_{d_eff} représente la longueur de diffusion latérale effective, laquelle est définie en fonction de la polarisation de la grille. Elle s'exprime sous la forme :

$$L_{d_eff} = \frac{L_d}{1 - \lambda^* \cdot V_g^*} \tag{5.7}$$

avec

$$V_g^* = V_g - \frac{1}{2} \cdot \left[V_g + \sqrt{V_g^2 + 0,04} \right] \tag{5.8}$$

et λ^* un paramètre d'ajustement égal à $0,116 \cdot V^{-1}$. Cette valeur de λ^* a été testée sur des transistors MOS double-grille de $20nm$ et $10nm$ d'épaisseurs de film de silicium, $16nm$ et $8nm$ de longueurs de recouvrement et pour des longueurs de canal comprises entre $300nm$ et $60nm$.

En tenant compte de (5.8), (5.7) assure une transition lisse et continue entre le régime intrinsèque et le régime extrinsèque (cf. Fig. 5.4).

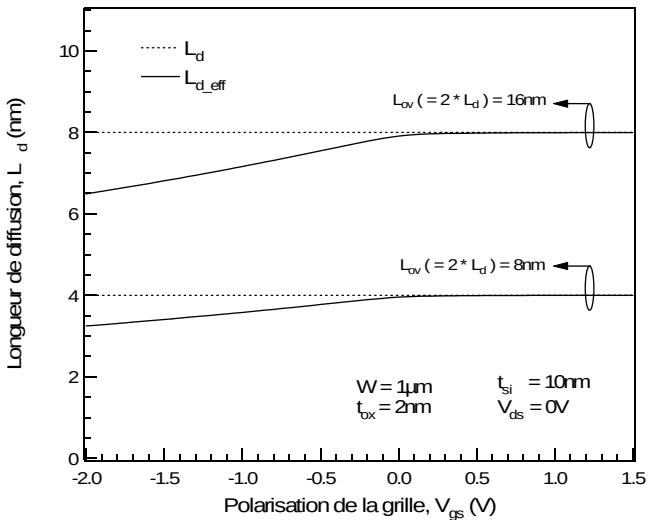


Fig. 5.4 : Dépendance de la longueur de diffusion latérale effective à la polarisation de la grille

La Fig. 5.5 décrit l'évolution de la capacité de recouvrement normalisée par la capacité d'oxyde totale en fonction de la polarisation de la grille. Elle correspond à celle formée dans la région de source et de la grille supérieure (cf. Fig. 2.1) et non à la capacité de recouvrement totale (i.e. $4 \cdot C_{ov}$). Cette caractéristique est tracée pour différentes longueurs de recouvrement sur un dispositif MOSFET double-grille de longueurs de canal de $300nm$ et $60nm$. Nous remarquons que la diminution de la capacité de recouvrement normalisée lorsque V_g diminue est plus significative sur un dispositif à canal court. Nous reviendrons sur les résultats de validation de (5.6) dans le paragraphe 5.3.

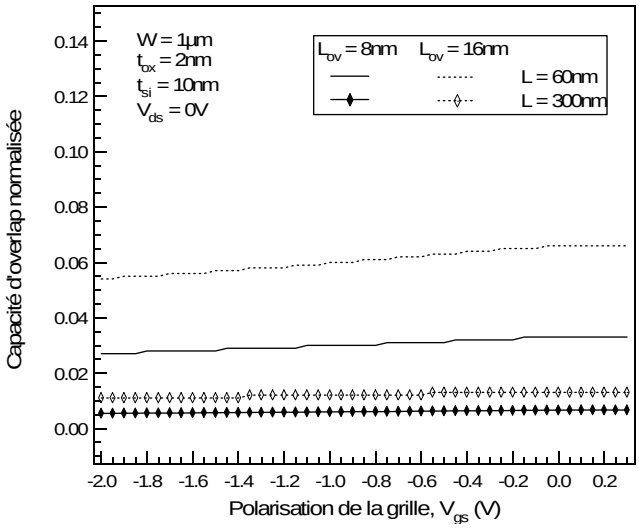


Fig. 5.5 : Dépendance de la capacité de recouvrement à la polarisation de grille pour différentes longueurs de recouvrement et différentes longueurs de canal

5.2.4 Modèle complet

La capacité extrinsèque a été définie au début de ce chapitre, elle est la somme des différentes capacités parasites du dispositif (cf. (5.1) paragraphe 5.2). Compte tenu des expressions établies pour les trois composantes de la capacité extrinsèque, nous obtenons finalement une unique équation définissant C_{ext}. Elle se présente sous la forme :

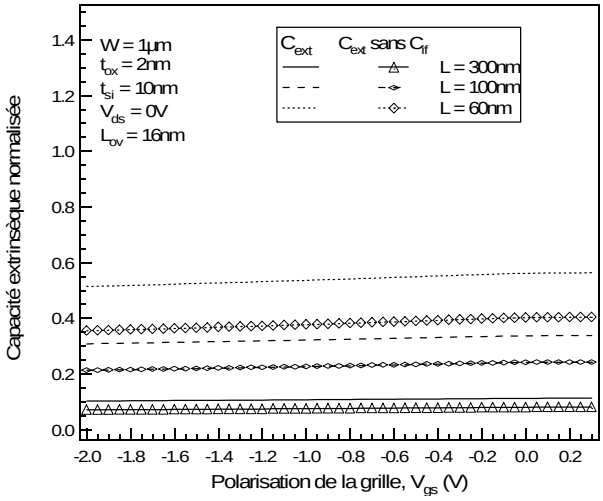
$$C_{ext} = 4 \cdot \left\{ \frac{2 \cdot \varepsilon_{ox} \cdot W}{\pi} \cdot \ln\left(1 + \frac{t_g}{t_{ox1}}\right) + \frac{2 \cdot \varepsilon_{Si} \cdot W}{\pi} \cdot \ln\left(1 + \frac{t_{Si}}{t_{ox1}} \cdot \sin\left(\frac{\pi \cdot \varepsilon_{ox}}{2 \cdot \varepsilon_{Si}}\right)\right) + \frac{\varepsilon_{ox} \cdot W \cdot L_{d_eff}}{t_{ox1}} \right\} \quad (5.9)$$

La capacité extrinsèque donnée par (5.9) est exprimée en Farad.

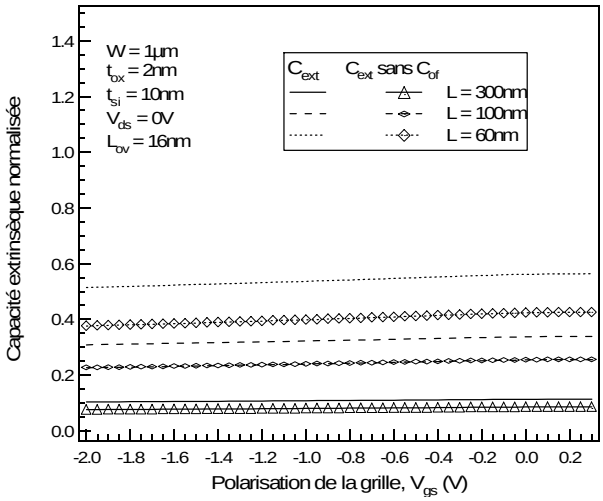
En normalisant C_{ext} par $2 \cdot C_{ox1}$, nous obtenons :

$$c_{ext} = 4 \cdot \left\{ \frac{t_{ox1}}{\pi \cdot L} \cdot \ln\left(1 + \frac{t_g}{t_{ox1}}\right) + \frac{\varepsilon_{Si} \cdot t_{ox1}}{\varepsilon_{ox} \cdot \pi \cdot L} \cdot \ln\left(1 + \frac{t_{Si}}{t_{ox1}} \cdot \sin\left(\frac{\pi \cdot \varepsilon_{ox}}{2 \cdot \varepsilon_{Si}}\right)\right) + \frac{L_{d_eff}}{2 \cdot L} \right\} \tag{5.10}$$

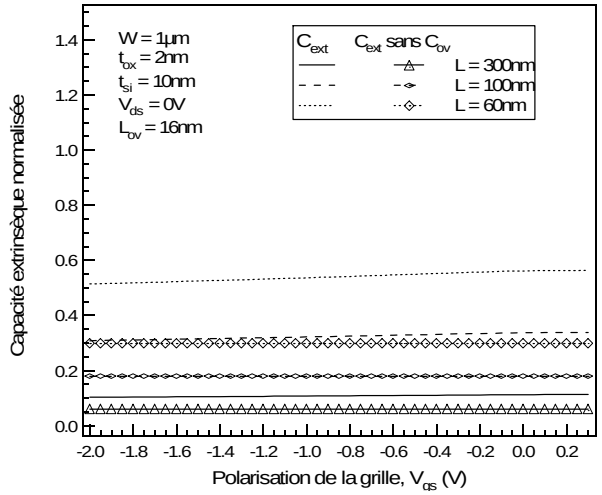
Nous allons étudier l'importance de chaque capacité parasite sur c_{ext}. Les Figs. 5.6-a, b et c décrivent pour différentes longueurs de canal c_{ext} lorsque $4 \cdot c_{if}$, $4 \cdot c_{of}$ et $4 \cdot c_{ov}$ sont ignorés successivement. Nous avons également mesuré les différentes composantes de c_{ext} en accumulation, plus précisément à $V_g = -1V$. Les résultats sons présentés à la Fig. 5.7.



(a)



(b)

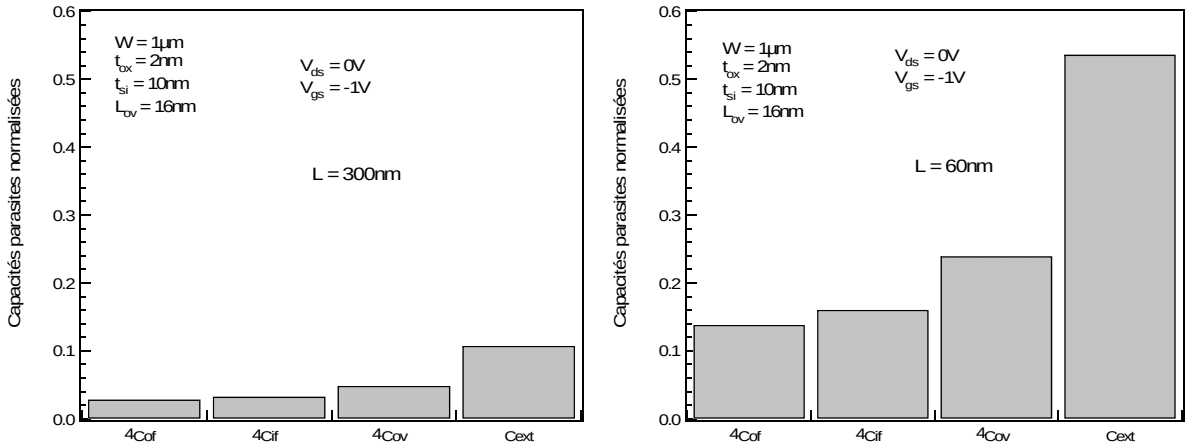


(c)

Fig. 5.6 : Impacts des composantes de la capacité extrinsèque, (a) $4 \cdot c_{if}$*, (b)* $4 \cdot c_{of}$ *et (c)* $4 \cdot c_{ov}$ *pour* $L = 300$*,* 100 *et* $60nm$*,* $t_g = 50nm$

Nous remarquons que le comportement capacitif extrinsèque global est principalement dépendant de la capacité de recouvrement. Nous notons qu'aussi bien pour un dispositif de

longueur de canal de $300nm$ que pour un dispositif de $60nm$, l'impact de la capacité de recouvrement C_{ov} sur la capacité extrinsèque C_{ext} n'est pas négligeable. A titre d'exemple, pour $L = 300nm$ et $L = 60nm$, elle représente respectivement $4,8\%$ et $24,0\%$ de C_{OX}. Concernant la capacité de bord interne C_{if} et la capacité de bord externe C_{of}, leurs contributions respectives sur C_{ext} sont moins importantes que celle de C_{ov}. Pour $L = 300nm$ et $L = 60nm$ respectivement, C_{if} représente $3,2\%$ et $16,0\%$ de C_{OX} et C_{of} représente $2,8\%$ et $13,8\%$ de C_{OX}. Ces dernières (i.e. C_{if} et C_{of}) étant indépendantes des tensions appliquées au dispositif, elles dépendent donc uniquement des paramètres technologiques du dispositif.



(a) *(b)*

Fig. 5.7 : Impacts des composantes de la capacité extrinsèque à $V_g = -1V$, (a) pour $L = 300nm$ et (b) pour $L = 60nm$

5.3 Validation du modèle

5.3.1 Caractéristiques des structures simulées sur Atlas

Nous avons réalisé différentes structures types lors de nos simulations du dispositif MOSFET double-grille sur Atlas [9]. Les structures sont définies avec des régions de source et de drain fortement dopées $N_D = 5 \cdot 10^{21} cm^{-3}$. Nous avons considéré des grilles métalliques situées au midgap et un film de silicium faiblement dopé (accepteurs) avec $N_A = 10^{14} cm^{-3}$. Une fonction gaussienne décrit le profil de distribution des dopants au niveau des jonctions. Sur la Fig. 5.8, il est mis en évidence le non-alignement des grilles avec le canal. Ceci en effet

conduit dans le cas où $L_g > L$ à une longueur de recouvrement, laquelle résulte de la différence entre la longueur de grille (région en bleu indigo) et celle du canal (région en bleu). Nous rappellerons que la longueur de la grille L_g correspond à ($L + L_{ov}$).

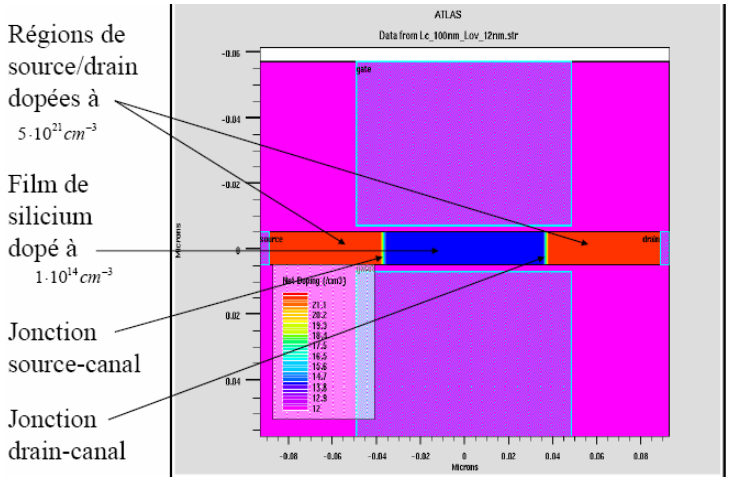
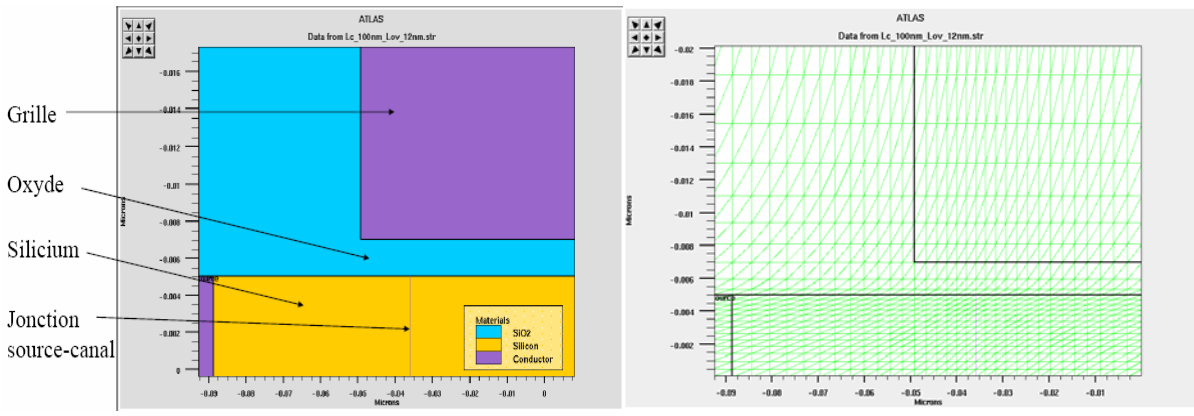


Fig. 5.8 : Structure MOSFET double-grille simulée sur Atlas pour $t_{Si} = 10nm$, $t_{ox1} = 2nm$: profil de dopage et mise en évidence du non-alignement des grilles avec le canal

Par souci de cohérence avec le schéma illustré à la Fig. 5.1, nous avons représenté sur la Fig. 5.9 la zone autour de la région de recouvrement dans la partie supérieure du film de silicium et du côté de la source. La région en jaune correspond au film de silicium, la couche d'oxyde est représentée en bleu et la grille en violet (cf. Fig. 5.9-a). La jonction délimitant le canal du côté de la source est décrite par la ligne verticale au niveau du film de silicium. Le maillage défini dans la zone décrite à la Fig. 5.9-a est présenté à la Fig. 5.9-b. Il est plus dense dans la région correspondant à la longueur de diffusion latérale, afin d'avoir une meilleure précision dans les résultats.



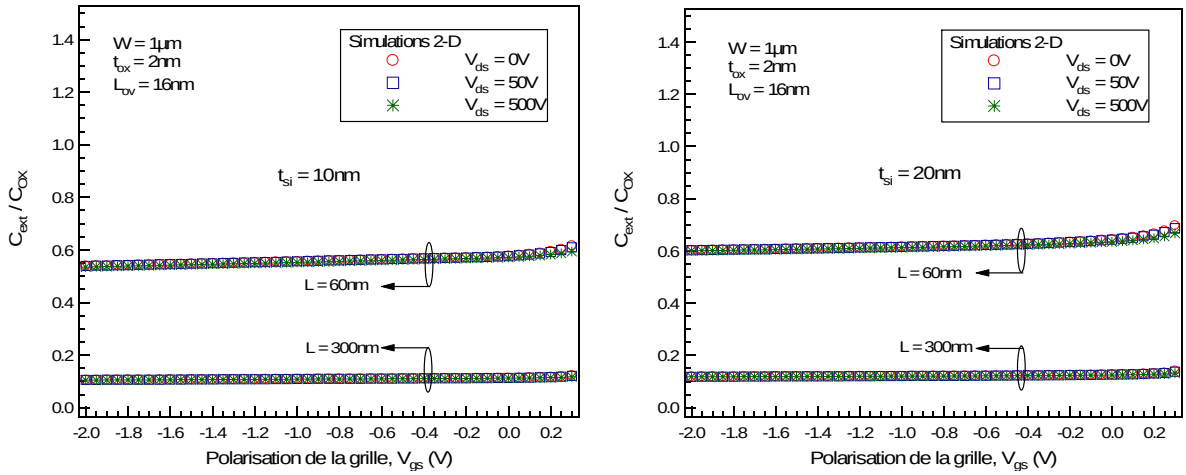
(a) *(b)*

Fig. 5.9 : Vue sur la zone autour de la région de recouvrement au niveau de la structure MOSFET double-grille simulée sur Atlas : (a) définition des différentes régions, (b) définition du maillage

Concernant les caractéristiques électriques, nous décrirons la capacité extrinsèque par C_{gg} à $V_{ds} = 0V$ et $V_{gs} < V_{th}$. Pour décrire les capacités extrinsèques et intrinsèques, nous tracerons dans toutes les régions de fonctionnement (i.e. de l'accumulation à la forte inversion) la caractéristique de la capacité de grille complète C_{gg}^{*} à $V_{ds} = 0V$. Nous précisons que C_{gg}^{*} correspond à la résultante de C_{ext} et de C_{gg}. Nous reviendrons sur sa définition dans le paragraphe 5.33. Avant de montrer les résultats obtenus en comparant notre modèle de C_{ext} avec les simulations 2-D, nous allons étudier l'influence de la polarisation du drain sur la capacité extrinsèque.

5.3.2 Influence de la polarisation du drain sur la capacité extrinsèque

Jusqu'à présent, lors du développement de notre approche sur les capacités parasites, nous avons ignoré l'influence de la polarisation de drain V_{ds} sur C_{ext}. Cette approximation est en effet justifiée si on se base sur les résultats observés lors de nos compagnes de simulations numériques 2-D. Comme nous pouvons nous en rendre compte sur la Fig. 5.10, pour différentes dimensions de canal, la caractéristique de la capacité extrinsèque est inchangée lorsque nous faisons varier V_{ds} (i.e. de 0 à $500mV$). Cette constance de C_{ext} par rapport à V_{ds} est observée pour 2 épaisseurs de film de silicium, à savoir pour $t_{Si} = 10nm$ (cf. Fig. 5.10-a) et pour $t_{Si} = 20nm$ (cf. Fig. 5.10-b).



(a) *(b)*

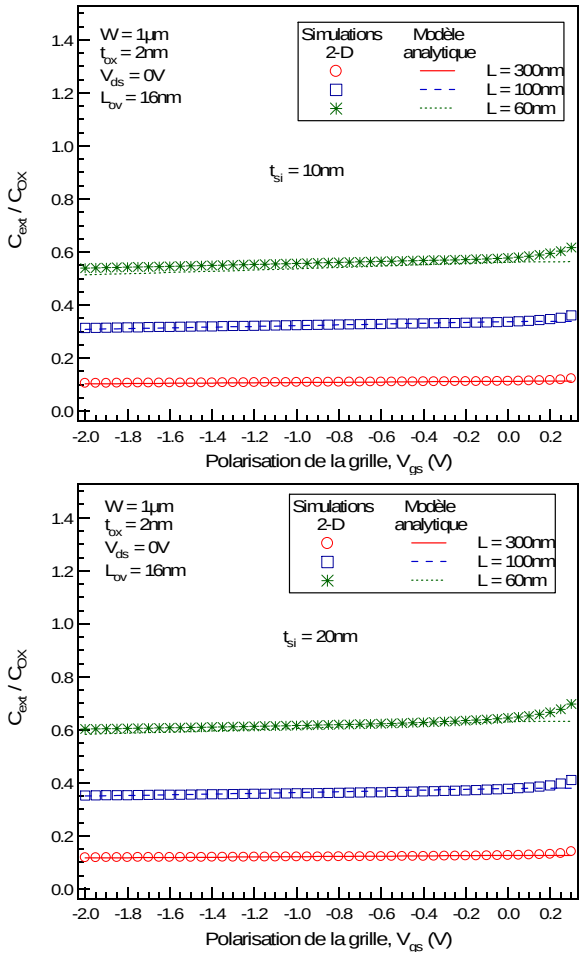
Fig. 5.10 : Influence de la polarisation du drain sur la capacité extrinsèque pour différentes longueurs de canal et différentes épaisseurs de film de silicium, (a) pour $t_{Si} = 10nm$ et (b) pour $t_{Si} = 20nm$

Ainsi, dans tous nos calculs, nous n'avons pas tenu compte de la dépendance à V_{ds} sur C_{ext}. Ceci est en accord avec les résultats obtenus sur le transistor MOS bulk où également C_{ext} est quasiment indépendant de V_{ds} [3-4].

5.3.3 Confrontation du modèle avec les simulations 2-D

Les résultats du modèle extrinsèque complet vont maintenant être comparés à ceux des simulations 2-D. Comme pour les chapitres précédents, sur les figures, les lignes représentent les résultats obtenus avec le modèle et les symboles ceux des simulations numériques 2-D. Les résultats que nous allons présenter ont été obtenus en ne prenant en compte ni le phénomène de polydéplétion, ni les effets de mécanique quantique.

La Fig. 5.11 présente un ensemble de comparaisons illustrant le comportement du modèle complet de capacité extrinsèque présenté en (5.10), et cela pour un dispositif MOSFET double-grille de 60, 100, et $300nm$ de longueurs de canal. La caractéristique de la capacité extrinsèque en fonction de la polarisation de grille est tracée pour 2 épaisseurs de film de silicium, i.e. $t_{Si} = 10nm$ et $t_{Si} = 20nm$.



(a) *(b)*

Fig. 5.11 : Validation du modèle de capacité extrinsèque : capacité extrinsèque normalisée en fonction de la tension de grille pour différentes longueurs de canal et pour différentes épaisseurs de film de silicium, (a) $t_{Si} = 10nm$ *et (b)* $t_{Si} = 20nm$*. Le modèle (lignes) est comparé aux simulations 2-D (symboles)*

Nous remarquons que les résultats du modèle sont en accord avec les résultats de simulations pour $L = 60$, 100 et $300nm$. Pour $L = 60nm$ par exemple, on voit que la capacité extrinsèque est plus importante. Elle représente quasiment $55,0\%$ de la capacité totale d'oxyde, ce qui constitue environ 5 fois la valeur obtenue pour une longueur de canal de $L = 300nm$ et $1,7$ fois celle obtenue pour $L = 100nm$. Ces résultats ont été obtenus pour la même longueur de recouvrement, soit $L_{ov} = 16nm$. En ce qui concerne l'impact de t_{Si}, comme nous l'avons signalée au paragraphe 5.2.1, l'influence de l'épaisseur du film de silicium sur la capacité extrinsèque est relativement faible. Par exemple, sur un MOSFET double-grille de $60nm$ de longueur de canal et $16nm$ de longueur de recouvrement, pour t_{Si} variant de $10nm$ à $20nm$, la capacité extrinsèque varie de $55,0\%$ de C_{OX} (cf. Fig. 5.11-a) à $61,7\%$ de C_{OX} (cf. Fig. 5.11-b).

La Fig. 5.12 décrit l'évolution de la capacité extrinsèque sur un MOSFET double-grille de longueurs de canal de $60nm$ et $100nm$ lorsque la longueur de recouvrement varie. Nous voyons que pour une longueur de recouvrement de $16nm$, plus exactement pour un L_{ov} représentant $26,7\%$ de la longueur du canal relativement court (i.e. $L = 60nm$), les capacités parasites deviennent une fraction importante de la capacité d'oxyde totale – soit $55,0\%$ – par opposition à la valeur de $42,4\%$ obtenue pour un L_{ov} d'environ $13,3\%$ de L (i.e. $L_{ov} = 8nm$). Cette tendance de C_{ext} suivant L_{ov} est aussi notée sur un MOSFET double-grille de $100nm$ de longueur de canal. Les résultats sont regroupés dans le Tableau 5.1. Ainsi nous notons pour une telle dimension de canal que lorsque les grilles du MOSFET double-grille sont décalées par rapport au canal au point de conduire à un L_{ov} de l'ordre 16% de L, les capacités parasites représentent quasiment $33,0\%$ de C_{OX}, contre $25,4\%$ pour une longueur de recouvrement atteignant 8% de L. Comme nous pouvons le voir sur la Fig. 5.12 et sur le Tableau 5.1, il existe un écart entre les résultats du modèle et les résultats de simulations 2-D. L'erreur est maximale (i.e. $11,6\%$) sur le MOSFET double-grille de $60nm$ de longueur de canal et $8nm$ de longueur de recouvrement.

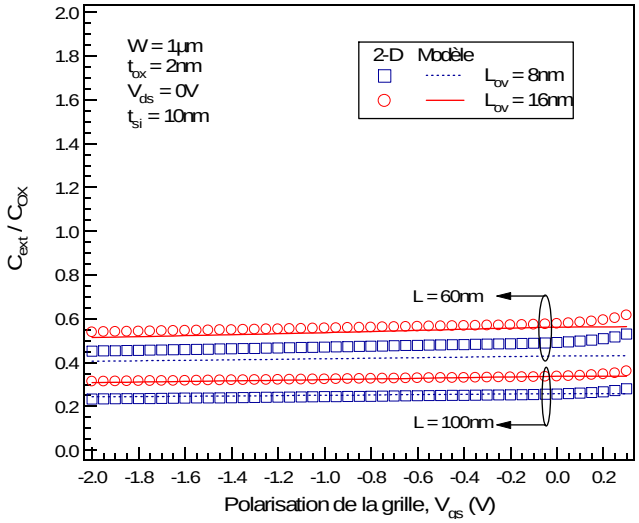


Fig. 5.12 : Validation du modèle de capacité extrinsèque : capacité extrinsèque normalisée en fonction de la tension de grille pour différentes longueurs de recouvrement et différentes longueurs de canal. Le modèle (lignes) est comparé aux simulations 2-D (symboles)

Dimensions / C_{ext}/C_{OX}	$L=100nm$		$L=60nm$	
	$L_{ov}=16nm$	$L_{ov}=8nm$	$L_{ov}=16nm$	$L_{ov}=8nm$
Modèle	33,0%	25,4%	55,0%	42,4%
Simulations 2-D	33,0%	25,0%	56,6%	48,0%

Tableau 5.1 : Capacité extrinsèque par rapport à la capacité d'oxyde totale pour différentes longueurs de canal et différentes longueurs de recouvrement à $V_g=-0,5V$ et $V_d=0V$

Dans le but de vérifier que le modèle capacitif extrinsèque s'adapte à notre modèle dynamique intrinsèque de MOSFET double-grille, nous avons inclus la solution de C_{ext} définie en (5.9) dans (3.48) et (3.49) (cf. chapitre 3). Ainsi, nous définissons la capacité de grille complète C_{gg}^{*} incluant le comportement dynamique extrinsèque et le comportement dynamique intrinsèque. Elle se présente sous la forme :

$$C_{gg}^{*}=C_{ext}+\alpha_n C_{gg} \tag{5.11}$$

où C_{gg} représente la capacité de grille définie au chapitre 3 et α_n est un facteur de normalisation dépendant de L et défini de manière empirique sous la forme :

$$\alpha_n(L)=1-\frac{14227}{(L+157)^2+9864} \tag{5.12}$$

Le modèle de capacité extrinsèque étant continu de l'accumulation à l'inversion, aucun problème de convergence ne s'est posé. Finalement, nous disposons d'un modèle capacitif complet, continu sur toute la gamme de fonctionnement du MOSFET double-grille. Une comparaison entre les résultats de simulations 2-D et le modèle capacitif complet (extrinsèque + intrinsèque) est montrée à la Fig. 5.13. Des transistors avec différentes longueurs de canaux (i.e. $L=300$, 100, 80 et $60nm$) ont été simulés et les résultats des capacités sont exprimés en Farad. Nous remarquons que de l'accumulation à l'inversion le modèle est en accord avec les simulations 2-D. Ce résultat est noté aussi bien sur un MOSFET double-grille de $300nm$ de longueur de canal que sur un MOSFET double-grille de 100, 80 et $60nm$ de longueurs de canal. Concernant le modèle dynamique intrinsèque, le modèle de petites géométries présenté au chapitre 4 a été pris en compte.

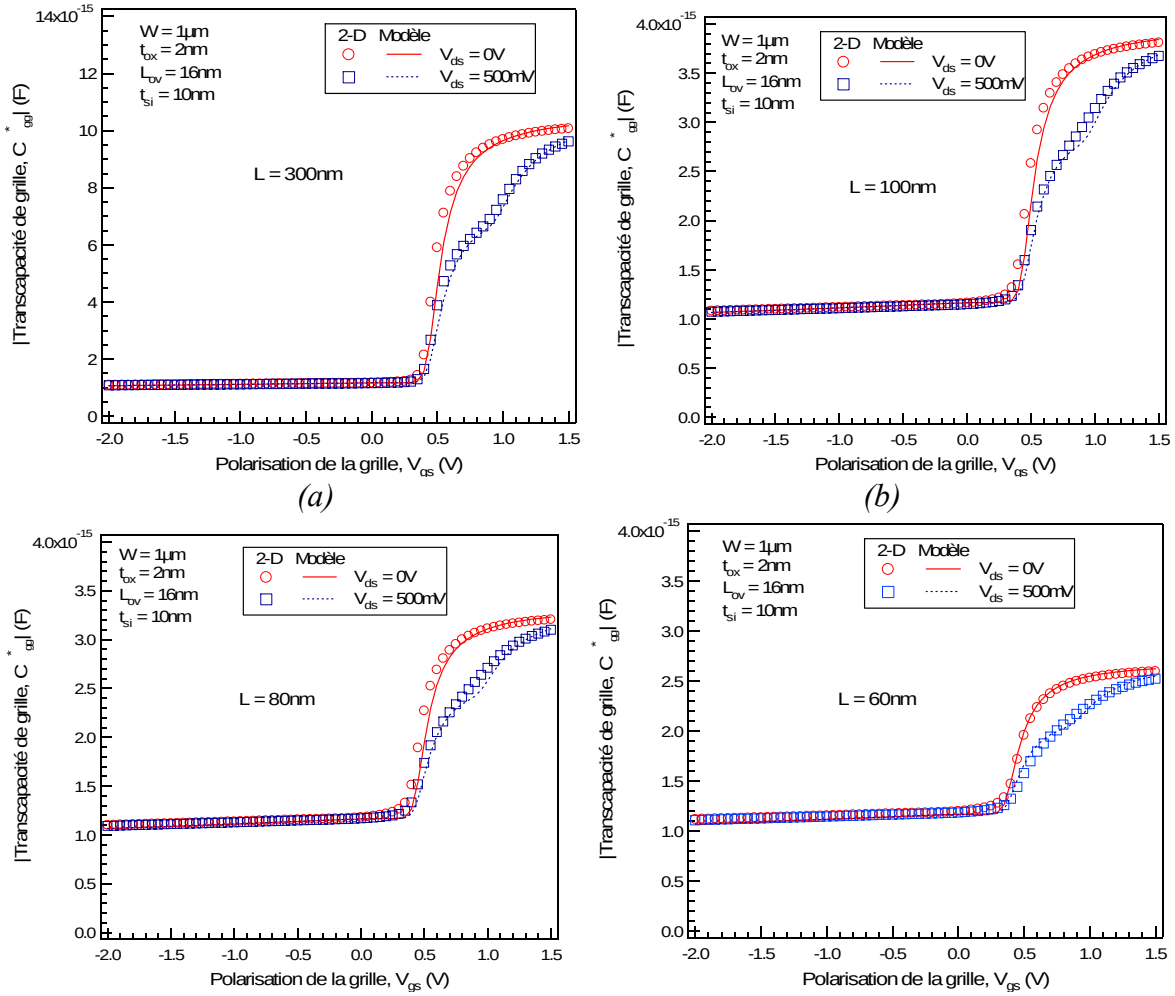


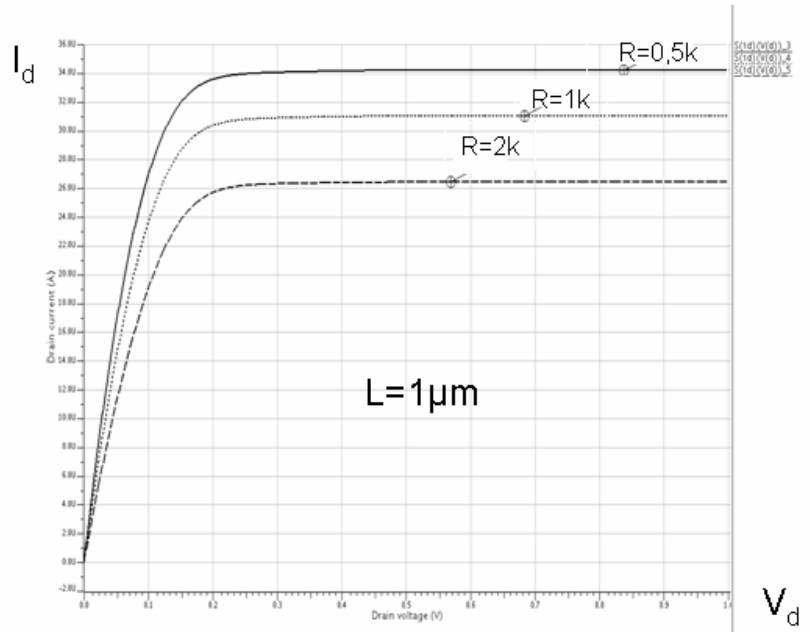
Fig. 5.13 : Modélisation et simulation 2-D de la capacité C^*_{gg} pour des dispositifs de différentes longueurs de canaux, (a) pour $L = 300mn$, (b) pour $L = 100mn$, (c) pour $L = 80mn$ et (d) pour $L = 60mn$. Les résultats sont présentés pour toute la plage de fonctionnement du transistor MOS double-grille

5.4 Simulations des résistances série

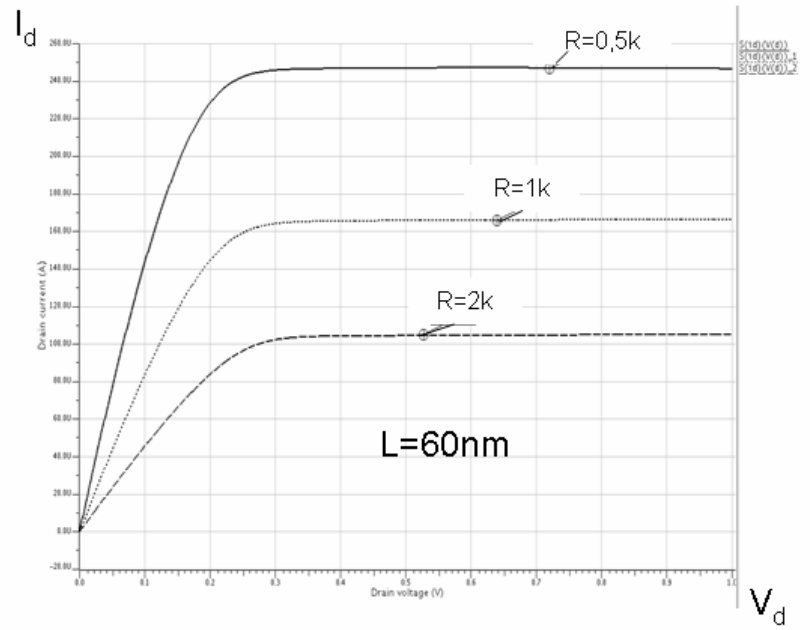
Notre modèle a été implémenté dans le langage familier aux concepteurs de circuits, VHDL-AMS. Les résultats que nous allons présenter dans ce paragraphe sont issus de nos simulations du MOSFET double-grille symétrique dans ce langage. Ils illustrent l'effet des résistances série sur le transistor MOS double-grille.

Les résistances série ne peuvent plus être négligées lorsque la longueur du canal est réduite. Leur influence modifie fortement les caractéristiques $I-V$ du transistor. En effet, les chutes de potentiel dans les caissons diminuent les tension*s* effectivement appliquées aux

bornes du canal. Cela réduit le courant I_{on}. Sur la Fig. 5.14, nous avons simulé l'impact de ces résistances série sur un transistor MOS double-grille de $1\mu m$ et $60nm$ de longueurs de canal. Comme nous pouvons le constater, la réduction du courant de drain est plus visible sur le MOSFET double-grille à canal court. Les simulations on été effectuées pour une polarisation de grille de $0,6V$. En régime ohmique, pour une même polarisation de drain, sur le composant à canal long, l'écart entre les courbes est moins important que sur ceux du composant à canal court où le courant est quasiment réduit de moitié lorsque la résistance série double. En régime saturé, nous avons également la même tendance, à savoir, la réduction du courant – sous forme de plateau – avec l'augmentation de la résistance série. A polarisation de drain constante, l'écart entre les plateaux est plus important sur le composant MOSFET double-grille à canal court que sur celui à canal long.



(a)



(b)

Fig. 5.14 : Simulations sur VHDM-AMS des effets des résistances série sur le courant de drain pour différentes longueurs de canal, (a) pour $L = 1\mu m$ *et (b) pour* $L = 60nm$

5.5 Conclusion

Nous avons présenté dans ce chapitre un modèle décrivant le comportement extrinsèque capacitif du transistor MOS double-grille. La formulation du modèle complet est relativement simple et mène à des résultats en accord avec ceux des simulations 2-D.

L'une des caractéristiques essentielles du modèle capacitif extrinsèque repose sur le fait que les composantes de la capacité extrinsèque sont exprimées comme une fonction des paramètres technologiques du MOSFET double-grille ; cela permet au modèle d'avoir un caractère prédictif. Un autre intérêt de ce modèle réside dans sa capacité d'implémentation au sein de notre modèle capacitif intrinsèque du MOSFET double-grille. Le modèle étant continu de l'accumulation à l'inversion, il ne souffre d'aucun problème de convergence. Néanmoins, le modèle est limité à ce stade à des transistors MOS double-grille de longueurs de canaux de $60nm$, il serait important de l'améliorer afin de prédire le comportement des dispositifs à canaux plus courts. Une autre des perspectives de nos travaux sur les capacités extrinsèques est de prendre en compte la *capacité underlap*, laquelle est liée à un écart entre la longueur de grille et la longueur de canal tel que $L_g < L$.

Bibliographie

[1] P. Yang, and P-K. Chatterjee, "*SPICE modeling for small geometry MOSFET circuits,*" IEEE Trans. Computer-Aided Design Integr. Circuits Syst., vol. CAD-1, 1982

[2] N Arora, "*MOSFET models for VLSI circuit simulation: theory and practice,*" ISBN-10 0387823956, Springer-Verlag Telos, 1993

[3] F. Prégaldiny, « *Étude et modélisation du comportement électrique des transistors MOS fortement submicroniques »*, Thèse de Doctorat, Université Louis Pasteur, Strasbourg I, no. 4460, 2001

[4] F. Prégaldiny, C. Lallement, and D. Mathiot, "*A simple efficient model of parasitic capacitances of deep-submicron LDD MOSFETs*," Solid-State Electronics, vol. 46, no. 12, pp. 2191.2198, 2002

[5] A. Bansal, B. Paul, and K. Roy, "*Modeling and optimization of fringe capacitance of nanoscale DGMOS devices*," IEEE Transactions on Electron Devices, vol. 52, no. 2, pp. 256–262, 2005

[6] A. S. Roy, C. C. Enz, and J. M. Sallese, "*Compact modeling of gate sidewall capacitance of DG-MOSFET*," IEEE Transactions on Electron Devices, vol. 53, no. 10, pp. 2655–2657, 2006

[7] R. Shrivastava, K. Fitzpatrick, "*A simple model for the overlap capacitance of a VLSI MOS device*," IEEE Transactions on Electron Devices, vol. 29, no. 12, pp. 1870–1875, 1982

[8] O. Moldovan, A. Cerdeira, D. Jimènez, et al., "*Compact model for highly-doped double-gate SOI MOSFETs targeting baseband analog applications*," Solid-State Electronics, vol. 51, pp. 655-661, 2007

[9] Atlas user's manual – device simulation software, SILVACO International Inc.

Conclusion générale

Le nombre de défis à relever actuellement pour lutter contre les effets canaux courts dans les prochaines générations de transistors MOS bulk est particulièrement impressionnant. Comme il a été détaillé dans le premier chapitre 1 de ce manuscrit, il devient nécessaire de réaliser, d'une part, l'intégration de nouveaux matériaux et d'autre part, d'envisager le développement d'architectures à grille multiples. Dans ce contexte, le travail présenté est consacré à l'étude et la modélisation du transistor MOS SOI double-grille symétrique.

En premier lieu, dans le chapitre 2, nous avons présenté les propriétés électriques et physiques des transistors MOS SOI multi-grilles. Nous avons vu que ces composants sont commandés par la même tension de grille sur deux, trois, voire quatre côtés. Ainsi, l'idée repose sur le fait que, si l'épaisseur du film actif de silicium entre les différentes grilles est suffisamment faible, la tension de grille peut commander le volume global de silicium entre la source et le drain. La conduction s'effectuant alors de manière volumique – et non plus surfacique –, on s'attend à des effets avantageux pour la valeur du courant I_{on}. De plus, la prise de contrôle du canal se révélant plus importante, on s'affranchit des effets canaux courts liés à l'influence de la polarisation importante du drain.
Ensuite, dans une seconde partie du chapitre 2, nous avons présenté les travaux pionniers en modélisation compacte du transistor MOS SOI double-grille en mode de fonctionnement symétrique. Dans cet état de l'art, il ressort que la plupart des approches qui existent sont soit bâties sur des solutions analytiques complexes, soit formulées de manière implicite. Ces deux points constituent leurs principaux défauts en ce qui concerne leurs applications en conception de circuits de forte densité d'intégration. A cet effet, nous avons présenté une nouvelle approche basée sur le formalisme EKV qui a la particularité d'être dédié à la conception de circuits analogiques et mixtes. Le chapitre 3 a été consacré à la formulation de cette nouvelle approche.

Nous avons développé en partenariat avec une équipe de recherche de l'École Polytechnique Fédérale de Lausanne (EPFL), un nouveau modèle compact de transistor MOS SOI double-grille en mode de fonctionnement symétrique offrant d'une part des expressions analytiques simples qui décrivent le comportement statique et dynamique du dispositif. Les

relations entre *charge – tensions* et *tensions – courant* sont formulées de manière directe, ce qui les rend plus maniables aux yeux du *designer*. D'autre part, nous avons élaboré une méthode de calcul numérique, qui offre une excellente rapidité de calcul. Ce point constitue en effet un intérêt pour le concepteur dans le sens où cela lui permet d'éviter des temps de calcul prohibitifs lors des simulations de circuits. Ensuite, une autre caractéristique inhérente à notre approche est la description complète du rapport entre la transconductance de la grille et le courant de drain (g_m/I_d). Finalement, la validation du modèle a été réalisée par comparaison avec les simulations 2-D effectuées avec Atlas.

Afin de décrire le comportement du transistor double-grille de longueurs de canal plus faibles, la prise en compte des effets de petites géométries est impérative. En ce sens, les effets parasites tels que : la dégradation de la mobilité des porteurs, l'abaissement de la barrière de potentiel induit par le drain ainsi que le partage de charge ont été modélisés. Le modèle a été validé pour des longueurs de canal de $60nm$. Le chapitre 4 a traité la modélisation et à la validation de ces effets.

Outres les effets de petites géométries, nous avons modélisé le comportement dynamique extrinsèque. Ce modèle a été présenté dans le chapitre 5. Ce modèle s'inspire des travaux effectués pour le transistor MOS bulk, lesquels ont été adaptés au transistor MOS SOI double-grille. Ainsi, nous avons modélisé indépendamment les différentes composantes de la capacité extrinsèque. Des résultats satisfaisants ont été obtenus et le modèle a été validé pour des longueurs de canal de $60nm$. Pour s'assurer que notre approche est bien appropriée à la conception de circuits, une implémentation du modèle dans un langage de haut niveau tel que VHDL-AMS a été réalisée. Ceci a permis une simulation rapide et précise des caractéristiques électriques.

Perspectives

Nos perspectives à la suite de ces résultats consistent à prendre en compte davantage d'effets prédominants lors de la réduction des dimensions du dispositif MOSFET SOI double-grille. Parmi ces effets, nous comptons la saturation de la vitesse des porteurs ainsi que les effets quantiques. De plus, comme nous l'avons déjà spécifié au chapitre 5, il est important

d'améliorer notre approche pour les capacités extrinsèques et de prendre en compte la capacité d'*underlap*.

Annexes

I Comparatif des avantages et inconvénients des dispositifs MOS avancés — 193
Bibliographie — 195
II Le modèle EKV — 197
II.1 Introduction — 197
II.2 Linéarisation de la charge d'inversion — 197
II.3 Normalisation du courant et de la charge — 199
Bibliographie — 202
III Méthodologie d'extraction des paramètres du modèle — 203
III.1 Introduction — 203
III.2 Extraction des paramètres du modèle — 204
III.2.1 Extraction des paramètres électriques — 205
III.2.2 Extraction des paramètres géométriques — 208
III.3 Synthèse de la procédure d'extraction des paramètres du modèle — 210

Annexe I

Comparatif des avantages et inconvénients des dispositifs MOS avancés dans la course à la miniaturisation

		Avancement	Avantages principaux	Inconvénients principaux	Potentiel pour les nœuds ≤ 30 nm
Simple grille bulk		Production	. Procédés bien maîtrisés	. Contrôle des effets de canaux courts	NON
Simple grille contraint		Développement	. Mobilité améliorée	. Relaxation des couches contraintes pour les petites dimensions	OUI
Simple grille PDSOI		Développement / Production	. Technologie pragmatique	. Effets de *body* flottant	PEUT- ETRE
Simple grille FDSOI		Développement	. Pas d'effet de *body* flottant	. Faibles épaisseurs (bien contrôlées) de film nécessaires. . Champs dans l'oxyde enterré.	OUI
SON		Recherche	. Technologie innovante . Quasi SOI	. Fortes capacités de recouvrement	OUI
Double Grille planaires		Recherche	. Deux canaux de conduction . Bon contrôle des effets de canaux courts	. Faibles épaisseurs de canal nécessaire . Auto alignement des grilles	OUI

FinFET		Recherche	. Auto-alignement des grilles . Procédé assez proche du silicium massif	. Espacement lithographique . Dopage des extensions . Faibles largeurs d'aileron nécessaires . Les flancs doivent être bien verticaux . Dispersion des résultats . Mobilité sur les flancs	OUI
Triple-Grille		Recherche	. Trois canaux de conduction . Auto-alignement des grilles	. Espacement lithographique . Dopage des extensions . Contrôle des flancs et des coins . Dispersion des résultats . Mobilité sur les flancs	OUI
Grille enrobée		Recherche	. Excellent contrôle électrostatique	. Dopage des extensions . Epaisseurs faibles nécessaires	OUI
Multicanaux		Recherche	. Bonne densité d'intégration . Excellent contrôle électrostatique	. Procédé difficile à maîtriser à l'heure actuelle . Dopage des extensions	OUI
Nanofils		Recherche	. Très forte densité d'intégration . Excellent contrôle électrostatique	. Procédé difficile à maîtriser à l'heure actuelle . Dopage des extensions . Contrôle des petites dimensions	OUI

Tableau I.1 : Comparatif des avantages et inconvénients des dispositifs MOS avancés dans la course à la miniaturisation [1]

Bibliographie

[1] R. Ritzenthaler, « *Architecture avancées des transistors FinFETs : Réalisation, caractérisation et modélisation* », Thèse INP Grenoble, 2006

Annexe II

Le modèle EKV

II.1 Introduction

Le modèle EKV est un modèle compact élaboré pour le transistor MOS bulk [1-3]. C'est un modèle en charge dédié à la conception de circuits intégrés analogiques et mixtes. Il est lié à la géométrie du transistor MOS et est bâti sur les propriétés fondamentales de la physique du semiconducteur. Il exploite la symétrie de la structure du MOSFET en prenant le substrat comme référence des polarisations de grille, de source et de drain. Le modèle introduit entre autres le concept de normalisation de grandeurs électriques [1-3] ; ceci permet alors au concepteur de dispositif de disposer d'une part d'un modèle « plus parlant », comparé à la majorité des autres modèles (BSIM3v3, PSP …), dans le sens où cela l'aide à faire du « dimensionnement à la main », et d'autre part cette normalisation permet d'obtenir un modèle où les relations fondamentales du semiconducteur sont décrites de manière invariante à la technologie. Le modèle a été validé dans toutes les régions de fonctionnement. Nous allons voir dans les paragraphes suivants comment le modèle est bâti. Grâce au concept de linéarisation de la charge d'inversion en fonction du potentiel de surface, les paramètres clés du MOSFET tels que la tension de pincement, le facteur de substrat, sont obtenus de manière simple.

II.2 Linéarisation de la charge d'inversion

Dans le but de formuler plus simplement le modèle, une linéarisation de la charge d'inversion en fonction du potentiel de surface est réalisée [3]. A partir de la relation entre la charge d'inversion et les potentiels, nous obtenons :

$$V_g - V_{FB} = \Psi_S + \Gamma \cdot \sqrt{\Psi_S} - \frac{Q_m}{C_{ox}} \qquad \text{(II.1)}$$

$$Q_m = -\Gamma \cdot C_{ox} \cdot \sqrt{U_T} \cdot \left[\sqrt{\frac{\Psi_S}{U_T} + \exp\left(\frac{\Psi_S - 2 \cdot \Phi_F - V_{ch}}{U_T} \right)} - \sqrt{\frac{\Psi_S}{U_T}} \right] \tag{II.2}$$

où V_{FB} est la tension de bandes-plates, Γ le facteur d'effet de substrat, Q_m représente la densité de charge mobile d'inversion. Ψ_S et V_{ch} représentent respectivement le potentiel de surface et le potentiel de canal, V_g est la tension de grille. Pour une polarisation de grille constante, la charge d'inversion évolue de manière quasiment linéaire avec le potentiel de surface. Ainsi, en définissant la tension de pincement Ψ_p comme étant le potentiel de surface pour lequel la charge d'inversion est nulle, nous obtenons [3] :

$$\Psi_p = V_g - V_{FB} - \gamma^2 \left(\sqrt{\frac{V_g - V_{FB}}{\gamma^2} + \frac{1}{4}} - \frac{1}{2} \right) \tag{II.3}$$

En tenant compte de (II.3), la solution linéaire peut être écrite de la manière suivante :

$$\frac{Q_m}{C_{ox}} = n_q \cdot \left(\Psi_S - \Psi_p \right) \tag{II.4}$$

avec n_q le facteur de linéarisation de la charge d'inversion. Il est défini par :

$$n_q = 1 + \frac{\Gamma}{\sqrt{2 \cdot \Phi_F} + \sqrt{\Psi_p}} \tag{II.5}$$

En utilisant (II.2) (II.4) et (II.5), nous pouvons établir une relation entre le potentiel du canal, la densité de charge d'inversion ainsi que la tension de pincement [3] :

$$\begin{aligned} &\ln\left[\frac{-Q_m}{\Gamma \cdot C_{ox} \cdot \sqrt{U_T}} \cdot \left(\frac{-Q_m}{\Gamma \cdot C_{ox} \cdot \sqrt{U_T}} + 2 \cdot \sqrt{\frac{Q_m}{n_q \cdot C_{ox} \cdot \sqrt{U_T}} + \frac{\Psi_p}{U_T}} \right) \right] \\ &- \frac{Q_m}{n \cdot C_{ox} \cdot \sqrt{U_T}} = \frac{\Psi_p - 2 \cdot \Phi_F}{U_T} - \frac{V_{ch}}{U_T} \end{aligned} \tag{II.6}$$

Cette relation constitue la relation essentielle au modèle, elle lie la densité de charge d'inversion avec les tensions au niveau des terminaux. La Fig. II.1, décrit l'évolution de la densité de charge d'inversion en fonction de la polarisation de la grille. Le modèle (i.e. (II.6)) est comparé aux résultats de simulations numériques. La précision du modèle est mise en évidence, de la faible inversion à la forte inversion.

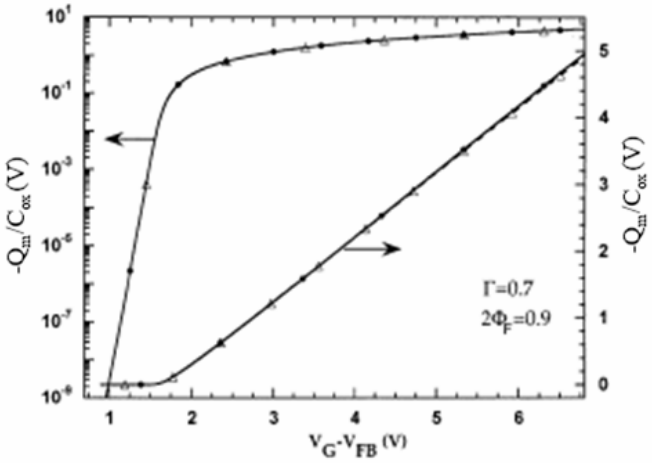


Fig. II.1 : Densité de charge d'inversion en fonction du potentiel de grille [3]

II.3 Normalisation du courant et de la charge

Le courant peut se réécrire de la manière suivante :

$$I_d = \mu W \left(-Q_m \frac{d\Psi_S}{dx} + U_T \frac{dQ_m}{dx} \right) \tag{II.8}$$

où μ est la mobilité des porteurs, W la largeur du canal. En remplaçant la densité de charge d'inversion par sa solution définie en (II.3) et en intégrant de la source ($x = 0$) au drain ($x = L$), nous définissons un courant de drain normalisé i et une densité de charge d'inversion normalisée q_m, comme suit :

$$i = \frac{I_d}{I_0} = \left(q_s^2 - q_s\right) - \left(q_d^2 - q_d\right) \tag{II.9}$$

$$q_m = \frac{Q_m}{Q_0} \tag{II.10}$$

où I_0 est le courant spécifique et Q_0 est la charge spécifique. I_0 et Q_0 s'expriment de la manière suivante :

$$I_0 = 2 \cdot n_q \cdot \mu \cdot C_{ox} \cdot U_T^2 \cdot W / L \tag{II.11}$$

$$Q_0 = 2 \cdot n_q \cdot C_{ox} \cdot U_T \tag{II.12}$$

En normalisant les tensions et en définissant :

$$\gamma^* = \frac{\gamma'}{\sqrt{U_T}} \tag{II.13}$$

(II.7) peut se réécrire :

$$\begin{aligned} &\ln(q_m) + \ln\left[\frac{2 \cdot n}{\gamma^*}\left(q_m \cdot \frac{2 \cdot n}{\gamma^*} + 2 \cdot \sqrt{\varphi_p - 2 \cdot q_m}\right)\right] + 2 \cdot q_m \\ &\quad = \varphi_p - 2 \cdot \phi_f - v_{ch} \end{aligned} \tag{II.14}$$

en forte inversion, c'est-à-dire pour $q_m >> 1$, (II.14) peut être approximée par :

$$q_m \approx \frac{\varphi_p - 2 \cdot \phi_f - v_{ch}}{2} \tag{II.15}$$

et en faible inversion, c'est-à-dire pour $q_m << 1$, (II.14) peut être approximée par :

$$q_m \approx \frac{\gamma^*}{4 \cdot n \cdot \sqrt{v_p}} \cdot \exp\left(\varphi_p - 2 \cdot \phi_f - v_{ch}\right) \tag{II.16}$$

Le modèle présenté est simple et précis. Il est obtenu en considérant l'approximation linéaire de la charge d'inversion en fonction du potentiel de surface [3]. Le modèle est valide dans toutes les régions de fonctionnement du transistor MOSFET.

Bibliographie

[1] C. C. Enz, F. Krummenacher, and E. Vittoz, "A*n analytical MOS transistor model valid in all regions of operation and dedicated to low-voltage and low-current applications,*" J. Analog Integrated Circuits and Signal Processing, no. 8, pages 83-114, juillet 1995

[2] Site web officiel pour le modèle EKV: The EKV MOSFET compact model: *http://legwww.epfl.ch/ekv/*

[3] J.-M. Sallese, M. Bucher, F. Krummenacher, et al., "*Inversion charge linearization in MOSFET modeling and rigorous derivation of the EKV compact model,*" Solid-State Electronics, vol. 47, no. 4, pages 677-683, avril 2003

Annexe III

Méthodologie d'extraction des paramètres du modèle

III.1 Introduction

Un modèle compact n'est réellement complet que s'il est couplé à une méthodologie d'extraction de paramètres associée.

Certains paramètres du modèle MOSFET double-grille symétrique développé dans le cadre de cette thèse sont supposés connus ou fixés par le concepteur, et d'autres devront être extraits au travers de caractéristiques électriques issues de mesures, ou de résultats de simulations 2-D provenant d'un simulateur de dispositifs (Atlas de Silvaco par exemple).

Typiquement, les mesures nécessaires à l'extraction de paramètres sont les caractéristiques courant-tension :

- I_d vs V_{gs}, pour des valeurs de tensions V_{ds} et de longueurs de grille bien spécifiques
- I_d vs V_{ds}, pour des valeurs de tensions V_{gs} et de longueurs de grille bien spécifiques

et la caractéristique capacitive :

C_{gg} vs. V_{gs} pour des valeurs de tensions V_{ds} et de longueurs de grille bien spécifiques.

La majorité de ces paramètres ne pourra être extraite directement sur ces caractéristiques électriques, mais avec l'aide d'un optimiseur en comparant le résultat de la simulation électrique de la caractéristique considérée obtenue avec le simulateur de circuit AdvanceMS (dans lequel nous avons implémenté notre modèle compact) et la même caractéristique provenant cette fois de la mesure (ou d'un simulateur de dispositif). La raison est simple ; dans une zone de fonctionnement du transistor, plusieurs effets physiques (et donc

paramètres du modèle) sont concernés, et il n'est pas possible de complètement séparer chacun de ces effets. Néanmoins, il est possible de réduire l'influence de certains effets physiques (sans complètement les annuler), pour mettre plus en évidence un effet physique spécifique. Alors, l'utilisation d'un optimiseur permettra de trouver au plus juste les valeurs des paramètres à extraire influant dans la zone de fonctionnement considérée.

L'extracteur de paramètres IC-CAP de Agilent est typiquement un outil adapté à cette extraction de paramètres. Ce type d'outil est initialement programmé par l'utilisateur pour effectuer diverses taches bien identifiées :

- Il intègre la méthodologie d'extraction des paramètres à extraire pour ce modèle. Nous avons défini la méthodologie avec un ordre d'extraction de paramètre bien établi. Cette méthodologie sera explicitée juste après.
- Il commande les appareils de mesures permettant de réaliser les mesures, ou à défaut il a en mémoire les caractéristiques simulées par le simulateur de dispositifs.
- Il converse avec le simulateur de circuit contenant le modèle avec un jeu de paramètres du modèle de départ. Notons que des valeurs estimées de ces paramètres auront été enregistrés préalablement dans le modèle compact pour permettre à l'optimiseur d'affiner sa recherche en partant de valeurs proches de la physique.

Puis l'outil compare les résultats de caractéristiques électriques simulées avec le modèle compact (pour un jeu de paramètres déterminés), avec les caractéristiques de références (provenant de mesures ou simulations 2D).

- il ajuste ensuite la valeur des paramètres électriques du modèle compact pour à la finale avoir des caractéristiques électriques simulées avec notre modèle compact (et issues du simulateur de circuit) avec les caractéristiques de références.

III.2 Extraction des paramètres du modèle

Rappelons que les paramètres géométriques du modèle considérés comme connus sont :

- l'épaisseur d'oxyde de grille (t_{ox})
- l'épaisseur du film de silicium (t_{si})
- l'épaisseur de la grille (t_g)

D'autres paramètres géométriques comme la largeur *W* et la longueur *L* de la grille sont fixés par le concepteur de circuit lors de l'élaboration du circuit intégré qu'il aura à concevoir.

III.2.1 Extraction des paramètres électriques

A partir des simulations numériques réalisées à l'aide du logiciel Atlas ou de mesures, nous sommes en mesure d'extraire les paramètres électriques du modèle. Le Tableau III.1 résume les différents paramètres électriques de notre modèle compact de double-grille SOI MOSFET en mode de fonctionnement symétrique, que nous devons extraire.

Paramètres électriques	Effets physiques modélisés	Unités
σ	DIBL + roll-off	–
λ^*	Capacité d'overlap	V^{-1}
μ_0	Mobilité	$cm^2 \cdot V^{-1} \cdot s^{-1}$
E_0	Mobilité	$V \cdot cm^{-1}$
v_{sat}	Mobilité	$cm \cdot s^{-1}$

Tableau III.1 Les paramètres électriques du modèle complet

III.2.1.1 Extraction du paramètre électrique σ

La procédure d'extraction du paramètre électrique σ est la suivante : en faible inversion, pour une longueur de canal donnée, $L = 60nm$ par exemple, nous avons besoin de la valeur du *DIBL* issues des simulations numériques 2-D (ou de mesures). Cette valeur est extraite à partir de deux caractéristiques $I_d - V_g$ correspondant respectivement à une polarisation de drain faible ($V_d = 5mV$ par exemple) et à une polarisation de drain élevée ($V_d = 1V$ par exemple). Nous mesurerons sur ces deux caractéristiques, pour une valeur de

courant de drain donnée, la variation de V_g correspondante. Appelons cette valeur de *DIBL*, $DIBL(L = 60nm) = D$. La longueur caractéristique l est connue puisque l'épaisseur du film de silicium ainsi que l'épaisseur d'oxyde sont connues. En guise de rappel, notre solution du *DIBL* se présente comme suit :

$$DIBL = e^{\left(\frac{-\sigma \cdot L}{2 \cdot l}\right)} \cdot V_{ds}$$

Ainsi, D s'écrit :

$$DIBL_2D = e^{\left(\frac{-\sigma \cdot (60nm)}{2 \cdot l}\right)}(1V) \qquad \text{(III.3)}$$

Ainsi, à partir de (III.3), le paramètre σ s'écrit de la manière suivante :

$$\sigma = -\,2 \cdot l\left(\frac{\ln(D/1V)}{(60nm)}\right) \qquad \text{(III.4)}$$

III.2.1.2 Extraction du paramètre électrique λ^*

La procédure d'extraction de λ^* est la suivante : en accumulation, pour une tension de grille de $V_g = -1V$, nous avons besoin d'une valeur de la capacité extrinsèque C_{ext} issue de la caractéristique $C_{gg} - V_g$ des simulations 2-D (ou de msesures). Nous appellerons cette valeur $C_{ext}\left(V_g = -1V\right) = M$. D'une part, en régime d'accumulation, la capacité de bord interne ainsi que la capacité de bord externe sont connues. Ainsi, nous obtenons :

$$M = 4\left(C_{if} + C_{of} + C_{ov}(-1V)\right) \qquad \text{(III.5)}$$

D'autre part, en considérant toujours la région d'accumulation, plus exactement à $V_g = -1V$, la capacité de recouvrement (ou d'overlap) s´écrit comme suit :

$$C_{ov}(-1V) = \frac{\varepsilon_{ox} \cdot W}{t_{ox1}} \cdot \frac{L_d}{1+\lambda^*} \qquad \text{(III.6)}$$

En combinant (III.5) et (III.6), nous obtenons la valeur du paramètre λ^* qui est :

$$\lambda^* = \frac{1}{\left[\frac{M}{4} - \left(C_{if} + C_{of}\right)\right] \cdot \frac{t_{ox1}}{L_d \cdot \varepsilon_{ox} \cdot W}} - 1 \qquad \text{(III.7)}$$

III.2.1.3 Extraction des paramètres électriques μ_0, E_0, v_{sat}

L'extraction des paramètres électriques du modèle de mobilité des porteurs (i.e. μ_0, E_0 et v_{sat}) s'effectue de manière identique que sur le transistor MOS bulk.

L'extraction de ces paramètres, sera dans un ordre bien déterminé, grâce à un optimiseur.

Nous commencerons par extraire le paramètre μ_0. De manière identique au transistor MOS bulk, nous utiliserons pour cela la caractéristique $I_d - V_g$ en régime linéaire et pour un champ latéral faible (par exemple $V_{ds} = 50mV$). Nous considérerons un transistor à canal long (par exemple $1\mu m$). Le principe consiste à faire varier le paramètre μ_0 (par le bias de l'optimiseur) afin de faire correspondre les résultats du modèle avec les résultats expérimentaux. De cette manière, nous pouvons connaître la valeur de μ_0.

Une fois μ_0 connu, nous pouvons extraire le paramètre E_0. Ceci s'effectue également grâce à un optimiseur. Nous considérerons la caractéristique $g_m - V_g$ en forte inversion et à polarisation de drain faible ($V_{ds} = 50mV$) d'un transistor à canal long ($1\mu m$). Différentes valeurs serons attribuées à E_0 jusqu'à ce que les résultats du modèle et les résultats expérimentaux correspondent. De là, nous en déduisons E_0.

Le principe d'extraction de v_{sat} est quasiment identique à celui de E_0, c'est-à-dire au travers de la caractéristique $I_d - V_g$ en régime linéaire. La différence réside dans le fait que contrairement à l'extraction de E_0 qui s'effectue à champ latéral faible ($V_{ds} = 50mV$), l'extraction de v_{sat} se fait à champ latéral fort ($V_{ds} = 1,5V$).

III.2.2 Extraction des paramètres géométriques

En considérant que les paramètres tels que la longueur du canal L, l'épaisseur du film de silicium t_{Si}, l'épaisseur d'oxyde t_{ox1} et l'épaisseur de la grille t_g sont connus, nous n'avons plus qu'à extraire la longueur de recouvrement L_{ov}. Pour cela, nous nous situerons en région de faible inversion pour $V_d = 0V$. Nous nous focaliserons sur la caractéristique $C_{gg} - V_g$ d'un transistor double-grille à canal court. Considérons une valeur de C_{gg} en faible inversion, soit celle correspondant à $V_g = 0,1V$. Appelons cette valeur N_1 :

$$\begin{aligned} C_{gg}\left(V_g = 0,1V\right) &= C_{ext}\left(V_g = 0,1V\right) \\ &= N_1 \end{aligned} \tag{III.8}$$

A partir de notre solution analytique de C_{ext}, nous pouvons écrire N_1 en fonction de C_{ov} comme suit :

$$N_1 = 4 \cdot \left(C_{if} + C_{of} + C_{ov}(V_g = 0,1V)\right) \tag{III.9}$$

Exprimons C_{ov} en fonction de N_1 et posons $C_{ov}\left(V_g = 0,1V\right) = N_2$. Ainsi, (III.9) donne :

$$\begin{aligned} C_{ov}\left(V_g = 0,1V\right) &= N_2 \\ &= \frac{N_1}{4} - \left(C_{if} + C_{of}\right) \end{aligned} \tag{III.10}$$

En tenant compte de notre solution analytique de capacité de recouvrement, nous pouvons exprimer N_2 en fonction de la longueur de diffusion. Ce qui conduit au résultat suivant :

$$N_2 = \frac{\varepsilon_{ox} \cdot W}{t_{ox1}} \cdot \frac{L_d}{1 - \lambda^* \cdot \left(0,1V\right)} \tag{III.11}$$

Ecrivons la longueur de diffusion en fonction de N_2 :

$$L_d = \frac{t_{ox1}}{\varepsilon_{ox} \cdot W} \cdot \left(1 - \lambda^* \cdot (0{,}1V)\right) \cdot N_2 \qquad \text{(III.12)}$$

En remplaçant N_2 par sa valeur définie en (III.10), (III.12) se réécrit :

$$L_d = \frac{t_{ox1} \cdot \left(1 - \lambda^* \cdot (0{,}1V)\right)}{\varepsilon_{ox} \cdot W} \cdot \left[\frac{N_1}{4} - \left(C_{if} + C_{of}\right)\right] \qquad \text{(III.13)}$$

Finalement, la longueur de recouvrement s'écrit :

$$L_{ov} = 2 \cdot L_d \qquad \text{(III.14)}$$

soit :

$$L_{ov} = 2 \cdot \frac{t_{ox1} \cdot \left(1 - \lambda^* \cdot (0{,}1V)\right)}{\varepsilon_{ox} \cdot W} \cdot \left[\frac{N_1}{4} - \left(C_{if} + C_{of}\right)\right] \qquad \text{(III.15)}$$

Les résistances source et drain seront fixées à $R_s = R_d = 80\,\Omega \cdot \mu m$.

III.3 Synthèse de la procédure d'extraction des paramètres du modèle

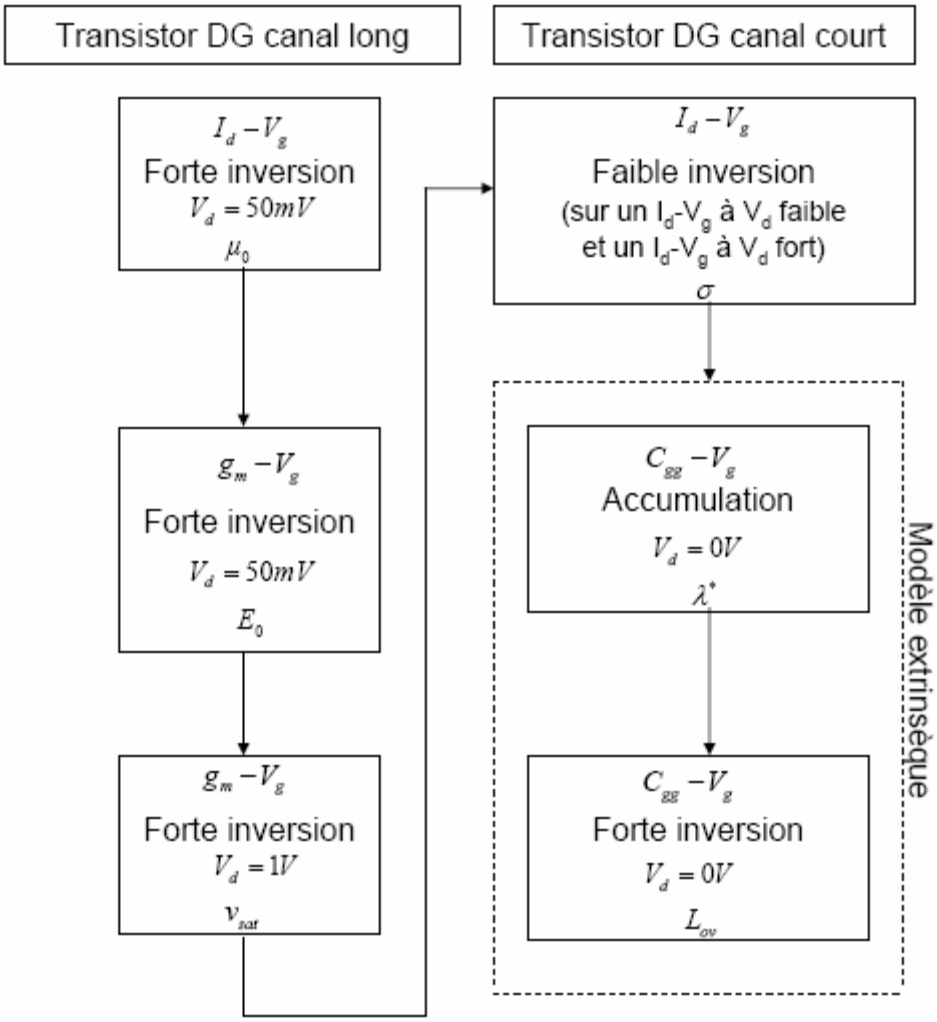


Tableau III.2 : Procédure d'extraction des paramètres du modèle

Publications et communications associées à ce travail

Livre

F. Prégaldiny, C. Lallement, B. Diagne, J-M. Sallèse and F. Frummenacher, "*Compact Modeling of Emerging Technologies with VHDL-AMS*", Book, Chap 1, pp. 5-21, in "Advances in Design and Specification Languages for Embedded Systems," Editor: S. A. Huss. Springer Netherlands, **ISBN: 978-1-4020-6147-9**, 2007

Revues internationales

B. Diagne, F. Prégaldiny, C. Lallement, J-M. Sallese, F. Krummenacher, "*Explicit Compact model for symmetric double-gate MOSFETs including solutions for small-geometry effects,*" **Solid-State Electronics**, *vol. 52, pp. 99-106, 2008*

F. Prégaldiny, F. Krummenacher, B. Diagne, F. Pêcheux, J-M. Sallese, C. Lallement, "*Explicit modelling of the double-gate MOSFET with VHDL-AMS,*" **Int. J. Numer. Model: Electron. Netw. Devices Fields**, vol. 19, pp. 239-256, 2006

Conférences internationales avec actes

F. Prégaldiny, F. Krummenacher, J-M. Sallese, B. Diagne, C. Lallement, "*An explicit quasi-static charge-based compact model for symmetric DG MOSFET,*" Workshop on Compact Modeling," **NSTI Nanotech 2006**, Boston (USA), Proc. pp. 686-691, ISBN 0-9767985-8-1, May 7-11, 2006, **papier invité**

F. Prégaldiny, C. Lallement, B. Diagne, J-M. Sallese, F. Krummenacher, "*Compact modeling of emerging technologies with VHDL-AMS,*" Forum on specification & Design Languages (**FDL'06**), Darmstadt (Germany), Proc. pp. 23-30, September 19-22, 2006

Conférence francophone et nationale avec actes

B. Diagne, F. Prégaldiny, C. Lallement, "*Modèle compact de transistor MOS double-grille dédié à la conception,*" 7ème colloque sur le Traitement Analogique de l'Information, du Signal et ses Applications (**TAISA'06)**, Strasbourg, pp. 105-108, Octobre 19-20, 2006

B. Diagne, F. Prégaldiny, C. Lallement, "*Modèle compact de transistor MOS double-grille pour la simulation de circuits,*" IXèmes Journées Nationales du Réseau Doctoral de Microélectronique (**JNRDM'2006**), Rennes, May 10-12, 2006

Séminaires internationaux

B. Diagne, F. Prégaldiny, F. Krummenacher, F. Pêcheux, J-M. Sallese, C. Lallement, "*Design oriented model for symmetrical DG-MOSFET,*" **MOS-AK Meeting**, Strasbourg, April 8, 2005

F. Prégaldiny, F. Krummenacher, B. Diagne, A. Roy, J-M. Sallese, C. Lallement, "*A closed-form compact model for symmetric Double-Gate (DG) MOSFETs,*" **MOS-AK Meeting**, Grenoble, September 16, 20

Étude et modélisation compacte d'un transistor MOS SOI double-grille dédié à la conception

Nous proposons un modèle compact du transistor MOS double-grille silicium sur isolant (*SOI*) en mode de fonctionnement symétrique. Le modèle est basé sur le formalisme EKV et offre les caractéristiques suivantes : une expression analytique simple décrivant le comportement statique et dynamique du dispositif, des relations « directes » entre *charges–tensions* et *tensions–courant*, une méthode de calcul numérique robuste et rapide, une implémentation aisée du modèle dans un langage de haut niveau tel que VHDL-AMS permettant ainsi une simulation rapide et précise des caractéristiques électriques.
Le modèle prend en compte non seulement les effets de petites géométries tels que l'abaissement de la barrière de potentiel induit par le drain, le partage de charge, la dégradation de la pente sous le seuil ainsi que la réduction de la mobilité des porteurs, mais également les effets dynamiques extrinsèques.
Il a été validé pour des dispositifs de longueur de canal de 60*nm*. Sa validation a été effectuée par comparaison de ses résultats avec ceux obtenus sur le simulateur de composants Atlas/SILVACO.

Mots clés : MOSFET double-grille, modélisation compacte, modèle EKV, inversion numérique, effets canaux courts, mobilité des porteurs, capacités extrinsèques, VHDL-AMS, MOSFET double-grille en mode symétrique.

Investigations and compact modeling of a MOS SOI double-gate transistor for the circuit designer

We propose a compact model for symmetric MOS silicon on insulator (SOI) double-gate transistor. Our approach relies on the EKV formalism and offers the following characteristics: simple analytical solutions which describe dynamic and static behaviours, direct links between *charges-voltages* and *voltages-current*, a robust and accurate numerical inversion algorithm which allows for a great reduction in the computation time, easy implementation in the VHDL-AMS language demonstrating that the model insures fast and accurate simulations of the electrical characteristics.
The model takes into account the small geometry effects such as: the drain-induced barrier lowering, the charge sharing effects, subthreshold slope degradation and the carrier mobility degradation. Besides these effects, we have modeled the extrinsic capacitances.
The model is valid for devices with a channel length of 60*nm*. The validity is verified by comparing the results of the model with those of the numerical simulations performed with the Atlas device simulator from Silvaco.

Keywords: MOSFET double-gate, compact modeling, EKV model, numerical inversion, short-channel effects, carrier mobility, extrinsic capacitances, VHDL-AMS, symmetric MOSFET double-gate.