



HAL
open science

Dispositif radiofréquence millimétrique pour objets communicants de type Smart Dust

Julien Moussa Barakat

► **To cite this version:**

Julien Moussa Barakat. Dispositif radiofréquence millimétrique pour objets communicants de type Smart Dust. Micro et nanotechnologies/Microélectronique. Université Joseph-Fourier - Grenoble I, 2008. Français. NNT: . tel-00258878v2

HAL Id: tel-00258878

<https://theses.hal.science/tel-00258878v2>

Submitted on 17 Oct 2008

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

UNIVERSITE JOSEPH FOURIER- GRENOBLE I

T H E S E

Pour obtenir le grade de

DOCTEUR DE L'UNIVERSITE JOSEPH FOURIER

Spécialité : Optique et Radiofréquence

Présentée et soutenue publiquement le
18 janvier 2008

Par

Moussa Hassan BARAKAT

Ingénieur en Télécoms et Electronique de l'Université Arabe de Beyrouth

Préparée à la *Commissariat à l'Energie Atomique, CEA/LETI, MINATEC*
Et à l'*Institut de Microélectronique, Electromagnétisme et Photonique, INPG, MINATEC*

Ecole Doctorale Electronique, Electrotechnique, Automatisme et Traitement du Signal

**Dispositif Radiofréquence Millimétrique Pour Objets
Communicants de Type Smart Dust**

Directeur de Thèse : Prof. Fabien NDAGIJIMANA
Encadrant CEA: Dr. Christophe DELAVEAUD

Composition du JURY :

Pr. Pierre SAGUET	Président	INP de Grenoble
Pr. Thierry MONEDIERE	Rapporteur	Université de Limoges
Pr. Robert STARAJ	Rapporteur	Université de Nice
Pr. Mhamed DRISSI	Examineur	INSA Rennes
Pr. Fabien NDAGIJIMANA	Directeur de thèse	Université Joseph Fourier
Dr. Christophe DELAVEAUD	Co-encadrant	CEA/LETI

Remerciements

Ce document est la synthèse de travaux qui se sont déroulés conjointement au Laboratoire d'Electronique et de Technologie de l'Information (LETI) de CEA Grenoble et à l'Institut de Microélectronique, Electromagnétisme et Photonique (IMEP) Grenoble, les deux sont présents sur le site MINATEC.

Je remercie M. Roland Blanpain chef de service Microsystèmes et Objets communicants SMOC, ainsi que Jean Michel Léger chef de laboratoire CARE et Elisabeth Crochon chef de laboratoire LADESS de SMOC et les directeurs successifs de L'IMEP Messieurs Francis Balestra et Gérard Ghibaudo de m'avoir accueilli durant ces trois années de thèse et de m'avoir soutenu en mettant à ma disposition les moyens nécessaires au bon déroulement de ma thèse.

Je tiens tout d'abord à remercier mon directeur de thèse le professeur Fabien Ndagijimana d'avoir accepté de diriger mes recherches. Sa participation active, son soutien, l'intérêt particulier qu'il a porté envers mon projet de thèse et la confiance qu'il m'a accordée ont été primordiaux durant cette étude.

J'exprime toute ma reconnaissance à mon co-encadrant, docteur Christophe Delaveaud, pour son soutien continu et sa disponibilité. Ses conseils m'ont permis de mieux appréhender les notions d'antennes et accroître mon autonomie pour prendre les décisions.

J'exprime ma profonde gratitude à Mrs. Robert Staraj et Thierry Monédière qui ont bien voulu accepter de rapporter sur mon travail. Je suis également reconnaissant à Mr. Mhamad Drissi qui a accepté d'examiner mon travail et tout particulièrement à Mr. Pierre Saguet qui en assure la présidence.

Je souhaite par ailleurs remercier très chaleureusement mes collègues du LETI notamment Raffi Bourtoutian, Laurent Petit, Serge Bories, Julien Keignart, Lionel Rudant, Pascal Ciais, l'équipe des antennistes du laboratoire LADESS et l'équipe système de L'ACR notamment Christopher Mounet et Alexandre Siligaris.

Je souhaite également remercier mes collègues de l'IMEP Luiz Poffo, Franck Mbango, Guillaumes Bacles-Min, Anna Triantafyllou, Jalal Jomaah, Laurence Babour, Khalil Merzouk, Cécilia Dupré, Oussama Ghoobar, et Darine Kadour. Et un grand merci aux adorables secrétaires Chahla Domenget, Valérie Miscioscia, Dalhila Alouani et à Anne Marie Roux, à notre service informatique notamment Brigitte Rasolofoniaina et Serge Bas et au service technique notamment Nicolas Corrao.

Je souhaite remercier tous mes amis qui m'ont soutenu pendant cette thèse Maha Hanna, Raffi Bourtoutian, Chadi abou Rjeily, Maher Rafei, Abbas Hodroj, Zeinab Elsaghir ...

Enfin je remercie tout particulièrement ma famille, loin des yeux mais proche du coeur. C'est à elle et à la mémoire des proches qui sont morts que je dédie ce travail. Que mes frères Rabih et Mohamad, et mes sœurs Rouba et ma belle Maysaa, acceptent ma gratitude. J'espère que je serais toujours à la hauteur des attentes de mon père Hassan, mon guide, et ma mère Souhaila ma source de tendresse.

Moussa Hassan BARAKAT

*Rien ne réussira à qui n'a ces trois choses:
La patience, pour supporter les sots,
La crainte de Dieu, pour éviter les vices,
Le calme d'esprit, pour persuader les hommes...*

Proverbe Arabe

« ... Tous les jours je découvre des choses toujours plus belles ; c'est à en devenir fou, tellement j'ai envie de tout faire : la Tête m'en pète !... Je suis assez content de mon séjour ici, quoique mes études soient bien loin de ce que je voudrais ; c'est décidément affreusement difficile de faire une chose complète sous tous les rapports... Eh bien, mon cher, je veux lutter, gratter, recommencer, car on peut faire ce que l'on voit et ce que l'on comprend... C'est à force d'observation et de réflexion que l'on trouve... »

Claude Monet à Frédéric Bazille
Peintres Impressionnistes français

Introduction Générale.....	1
Chapitre I.....	5
Etat de l'art de Smart Dust, et de la technologie SOI	5
I. Introduction	7
I.1. Systèmes Intelligents.....	8
I.1.1. Smart Dust.....	9
I.1.2. Objectifs	9
I.1.3. Architecture d'un Smart Dust	9
I.1.4. Fonctionnement d'un Smart Dust	10
I.2. Comparaison des performances d'un frontal radiofréquence à l'état de l'art.....	11
I.2.1. Comparaison de performances d'amplificateurs faible bruit (LNA) pour différentes technologies.....	12
I.2.2. Comparaison de performances des Mélangeurs pour différentes technologies	14
I.2.3. Comparaison de performance des oscillateurs contrôlés en tension (VCO) pour différentes technologies.....	16
I.2.4. Comparaison de performance des amplificateurs pour différentes technologies	20
I.2.5. Conclusion générale sur les performances des composants pour différentes technologies.....	21
I.3. Applications potentielles de la bande 60 GHz	23
I.4. Bilan de liaison d'une chaîne hétérodyne à 60 GHz	24
I.4.1. Bilan de liaison à 60 GHz	25
I.5. Technologie CMOS et CMOS SOI.....	27
I.5.1. Introduction	27
I.5.1.1. Pourquoi le CMOS	27
I.5.1.2. CMOS pour les applications numériques.....	27
I.5.1.3. CMOS pour les applications radiofréquences.....	28
I.5.2. Technologie Silicium sur isolant.....	29
I.5.3. Avantages de la technologie CMOS/SOI.....	29
I.5.3.1. Compatibilité de procédé avec les technologies CMOS	29
I.5.3.2. Densité d'intégration	29
I.5.3.3. Les Composants passifs sur SOI	30
I.5.4. Conclusion sur la Technologie SOI	33
I.6. Conclusion du chapitre I	33
Chapitre II	47
Etudes de structures d'interconnexions radiofréquences intégrées sur SOI	47
II. Introduction	49
II.1. Empilement technologique de substrat Silicium sur isolant (SOI) utilisé	50
II.1.1. Importance des interconnexions dans la conception de systèmes électroniques	50
II.1.2. Structure des couches d'interconnexions	50
II.2. Ligne de transmission sur SOI	51
II.2.1. Ligne de transmission guide d'onde coplanaire CPW	52
II.2.2. Ligne de transmission de type ruban planaire (Coplanar strip CPS)	53
II.2.3. Modes de propagation	54
II.3. Dimensionnement des lignes de transmission.....	55

II.3.1.	Guide d'onde coplanaire CPW.....	55
II.3.2.	Ruban coplanaire CPS.....	58
II.4.	Validation expérimentale pour une étude de ligne coplanaire CPW sur 0.13 μm ...	60
II.4.1.	Méthode de calibrage choisie.....	61
II.4.2.	Méthode d'épluchage ("De-Embedding")	61
II.4.3.	Caractérisation des lignes de transmission.....	62
II.4.4.	Conception des lignes CPW sur SOI.....	62
II.4.5.	Etude des performances de la ligne CPW intégrée sur différents substrats	62
II.4.6.	Validation expérimentale de la technologie CMOS.....	65
II.5.	Etude de la permittivité effective dans une configuration d'antenne intégrée sur substrat	66
II.5.1.	Détermination de la permittivité effective par méthode directe.....	68
II.5.2.	Détermination de la permittivité effective par méthode de rapport de résonance	70
II.5.2.1.	Variation de la permittivité relative	71
II.5.2.2.	Variation de l'épaisseur de substrat	72
II.5.2.3.	Validation numérique.....	74
II.5.2.4.	Evaluation de la permittivité effective de substrat SOI.....	74
II.6.	Conclusion du Chapitre II	76
Chapitre III		83
Etudes des Antennes Intégrées sur SOI.....		83
III.	Introduction.....	85
III.1.	Définition des Paramètres Principaux des Antennes.....	85
III.1.1.	Impédance d'Entrée.....	86
III.1.2.	Directivité, Efficacité et Gain [III.3]	86
III.2.	Antenne Intégrée Sur Silicium	87
III.2.1.	Modélisation des Antennes sur Silicium.....	87
III.2.1.1.	Théorie des Antennes sur Substrat	88
III.2.2.	Etude paramétrique des dipôles intégrés en technologie SOI	90
III.2.2.1.	Conception de la structure d'antenne	90
III.2.2.1.1.	Antenne dipôle sur différents substrats	91
III.2.2.1.2.	Variation de la conductivité de silicium.....	93
III.2.2.1.3.	Effet de la couche de silicium active et d'oxyde.....	96
III.2.2.1.4.	Variation de l'épaisseur de silicium hautement résistive	97
III.2.2.1.5.	Influence de la métallisation en face arrière.....	99
III.2.2.2.	Etude de la problématique de l'efficacité de rayonnement des antennes sur SOI	100
III.2.2.2.1.	Etude d'un dipôle horizontal	100
III.2.2.2.2.	Etude de l'intégration de dipôle sur SOI.....	101
III.2.2.2.3.	Etude de cas des Antennes Pastilles intégrées sur SOI.....	103
III.3.	Modélisation des îlots métalliques de la technologie SOI	106
III.3.1.	Contexte global de l'étude[III.24][III.25]	107
III.3.2.	Modèle des îlots métalliques dans la technologie SOI.....	108
III.3.2.1.	Impédance de grille [III.32]	109
III.3.2.2.	Impédance de surface équivalent	111
III.3.3.	Effets des îlots métalliques sur SOI	112
III.3.3.1.	Etude de coefficient de réflexion	113
III.4.	Conclusion.....	115

Chapitre IV	119
Réalisation et Etude des Antennes dans la Bande Millimétrique (60 GHz)	119
IV. Introduction	121
IV.1. Antenne Dipôle avec Structure Interdigitée	122
IV.1.1. Capacité Interdigitée	123
IV.1.2. Effet de la Structure Interdigitée	124
IV.1.3. Effets de variation de largeurs de doigts de la structure interdigitée	126
IV.1.4. Etude et Fonctionnement du Balun	127
IV.1.5. Principe du Balun	128
IV.1.6. Mesure du balun	129
IV.1.7. Effet du balun sur le rayonnement de l'antenne	130
IV.1.8. Antenne interdigitée avec balun, simulation et mesure	133
IV.2. Procédure de mesure de diagramme de rayonnement des antennes à 60 GHz. .	134
IV.2.1. Conception de dispositif de test	135
IV.2.2. Etude des différents composants de dispositif de test	136
IV.2.3. Procédure de mesure pour le dispositif de test	139
IV.2.4. Méthode de caractérisation	139
IV.2.4.1. Méthode de trois charges pour l'extraction des paramètres S de l'adaptateur	140
IV.2.4.2. Caractérisation de Dispositif de Test	142
IV.2.4.3. Techniques d'épluchage pour l'antenne	143
IV.3. Mesure de digramme de rayonnement	145
IV.3.1. Description de montage de banc de test	145
IV.3.2. Méthode utilisée pour mesurer le gain de l'antenne interdigitée	146
IV.3.3. Comparaison de diagramme de gain de l'antenne interdigitée « Grand et petit support »	147
IV.3.4. Extraction de Gain au niveau de la puce	150
IV.4. Antenne IFA inversée	152
IV.4.1. Conception de l'antenne IFA	153
IV.4.2. Antenne IFA Intégrée sur SOI	156
IV.4.3. Etude de rayonnement de l'antenne IFA	157
IV.5. Antenne fente	160
IV.5.1. Etude paramétrique de l'antenne fente simple	160
IV.5.2. Antenne Double Fente	163
IV.5.3. Antenne double fente en technologie SOI	164
IV.5.4. Etude de rayonnement de l'antenne fente	166
IV.6. Antenne Spirale	168
IV.6.1. Théorie de l'antenne spirale[IV.43]	169
IV.6.2. Paramètres de l'antenne spirale	170
IV.6.3. Alimentation de l'antenne spirale	172
IV.6.4. Technologie Utilisée pour l'intégration	175
IV.6.5. Diagramme de Rayonnement	176
IV.7. Conception conjointe de l'amplificateur faible bruit et l'antenne	177
IV.7.1. Caractéristiques de l'amplificateur Faible bruit	178
IV.7.1.1. Technologie Utilisé	178
IV.7.1.2. Le bruit dans les quadripôles : éléments de théorie	178
IV.7.2. Conception conjointe de l'amplificateur de bruit et de l'antenne	179
IV.7.2.1. Intérêt de la co-conception	179
IV.7.2.2. Stratégie de la co-conception	180

IV.7.2.2.1.	Notion de gain transducique	180
IV.7.2.2.2.	Adaptation de puissance en conception conjointe	181
IV.7.2.2.3.	Facteur de bruit en conception conjointe	181
IV.7.2.3.	Réalisation d'antenne intégrée sur SOI à 60 GHz pour la conception conjointe	182
IV.7.2.4.	Conception conjointe.....	186
IV.7.2.5.	Résultats de la conception conjointe	188
IV.8.	Conclusion.....	189
Conclusion Générale		195

Introduction Générale

Les systèmes de télécommunications apportent aujourd'hui une dimension nouvelle à notre société avec des enjeux technologiques, économiques et sociologiques. Les réseaux de communication et leurs applications historiques font désormais l'objet de nombreuses initiatives tant au niveau de la recherche que des acteurs industriels.

La réalisation d'objets intelligents de la taille du millimètre capables de communiquer de façon autonome constitue une opportunité unique pour repenser l'interaction entre l'homme et son milieu environnant, qu'il soit naturel ou artificiel. Les systèmes émergents de « Smart Dust » sont réalisés en associant massivement en réseaux distribués des centaines d'objets miniatures intelligents intégrant un système d'alimentation autonome, un ou plusieurs capteurs (lumière, température, vibration, acoustique, pression, champ magnétique, ...), des circuits analogiques et numériques pour réaliser des traitements de données et un système pour recevoir et transmettre des données.

L'intégration de ces fonctionnalités sur un objet de taille réduite constitue un sérieux challenge et les récents progrès en matière de micro-technologie et de circuits faible consommation permettent d'envisager très rapidement la réalisation de tels dispositifs. Toutefois, le système de communication entre capteurs ou avec une station de base centrale reste problématique et présente un rôle essentiel dans le bon fonctionnement du système. Différentes approches sont possibles pour réaliser des communications sans fils bien adaptés à la collecte de données issues de nombreux capteurs. Parmi celles-ci, les recherches sont principalement orientées vers les dispositifs optiques et les systèmes radiofréquences. Les systèmes optiques peu consommateurs d'énergie et de très petite taille sont les plus étudiés. Ils présentent toutefois certains inconvénients très pénalisant comme par exemple la nécessité de visibilité directe et leur grande directivité qui requiert un pointage précis.

Pour faciliter la conception des systèmes radiofréquence ou millimétriques, l'intégration des composants du système sur une même puce reste la solution souhaitée pour une miniaturisation efficace. Ces dispositifs peuvent être des amplificateurs faibles bruits, filtres, oscillateurs contrôlés en tension ou même des antennes. La réalisation des nouveaux systèmes intégrés, notamment pour des applications « system on chip », nécessite la miniaturisation des dispositifs constituant ce système, et plus particulièrement, la structure rayonnante qui est l'interface entre ce système et l'espace libre ; la miniaturisation des antennes doit dégrader le moins possible ses caractéristiques, en terme d'adaptation d'impédance et d'efficacité de rayonnement.

Les dimensions de l'antenne à une fréquence donnée sont directement proportionnelles à la longueur d'onde de fonctionnement. Classiquement, une antenne de télécommunication utilisant une résonance électromagnétique, ayant une efficacité optimale, une bande passante de 10% présente des dimensions de l'ordre de $\lambda/2$, ou λ est la longueur d'onde.

Pour diminuer la taille absolue de cette antenne, la première idée est d'augmenter la fréquence de travail ; les limites de l'utilisation de spectre de fréquence imposées par les institutions internationales de communication ex. « ICU, International Communication Union,

FCC, Federal Communications Commission», nous obligent à utiliser des bandes de fréquence libre «free licence spectrum » et précisément la bande ISM (Industrial scientific and medical band).

La bande autour de 60 GHz présentant une bande passante de 7 GHz est une des solutions possibles pour l'intégration des dispositifs radiofréquences, les chercheurs s'y intéressent pour le développement d'architecture système, la standardisation des normes (IEEE 802.15.3C qui a commencé en 2005) et la conception d'antennes à 60 GHz. Du point de vue propagation, des limites naturelles existent, l'oxygène par exemple absorbe 98% de l'énergie émis par le système. Cette atténuation limite la portée du dispositif à une dizaine de mètres.

L'objectif de la thèse est d'apporter une contribution significative à l'étude d'un système de communication radiofréquence adapté aux besoins de communication sans fil d'un réseau de micro capteurs intelligents. Les principales contraintes à prendre en compte concernent la miniaturisation, l'intégration et la faible consommation du système d'émission réception fonctionnant à des fréquences millimétriques.

Cette thèse intitulée « Dispositif radiofréquence millimétrique pour les objets communicants de type Smart Dust » se déroule conjointement à l'IMEP, MINATEC de l'INPG et au CEA-LETI, MINATEC, Grenoble.

Dans Le premier chapitre de ce manuscrit, une étude bibliographique sur les objets communicants de type Smart Dust a été réalisée. Ensuite, nous comparons les performances des réalisations récentes de différents composants d'un frontal radiofréquence en utilisant des différentes technologies afin de déterminer la technologie avantageuse pour notre démarche et d'étudier la faisabilité d'un bilan de liaison d'un système de communication intégré à 60 GHz. Finalement, nous avons exposé la technologie CMOS SOI en détaillant ses avantages.

Dans le deuxième chapitre, nous examinons les caractéristiques de deux structures de propagation, à savoir les lignes coplanaires et les rubans coplanaires, et leur implémentation dans la technologie SOI 0.13 μm de STMicroelectronics. La deuxième partie est consacrée à l'étude de la permittivité effective de ces lignes sur une structure multicouche telle que le SOI. Ensuite, nous comparons les performances des lignes coplanaires sur SOI. Finalement une étude sur la détermination de la permittivité effective des antennes intégrées sur substrat est menée.

Dans le troisième chapitre, nous étudions l'influence des paramètres technologiques de la technologie SOI sur les propriétés intrinsèques d'une antenne intégrée et sur ses propriétés de rayonnement. L'impact du substrat multicouche de SOI (silicium, diélectrique, métal) est donc étudié par la suite. Ensuite, une étude sur des cas canoniques d'antennes compactes à profil bas en vue d'une intégration sur SOI est menée. Les cas des antennes dipôle et pastille miro ruban imprimée sont notamment étudiés. En utilisant la technologie SOI, des règles de conception sont imposées (Design Rules Check, DRC). Une de ces règles concerne la limite de densité de métaux. Ces métaux sont représentés par des îlots métalliques (dummies). Une étude de comportement de ces dummies sur SOI avec des antennes dipôles est proposée.

Dans le dernier chapitre, la phase d'étude de conception, de réalisation et de mesure des antennes intégrées en SOI dans la bande millimétrique de 60 GHz est présentée. Nous évoquons la phase de simulation et de conception ainsi que les méthodes appliquées pour

résoudre les problèmes d'adaptation d'impédance et d'efficacité de rayonnement de chaque antenne. Différentes antennes sont présentées suivant l'application recherchée et les caractéristiques de rayonnement: l'antenne dipôle interdigitée, l'antenne IFA et l'antenne Fente pour une polarisation linéaire puis l'antenne spirale pour une polarisation circulaire. Dans une optique de démonstrateur intégré, une conception conjointe d'antenne avec un amplificateur faible bruit permettant de s'affranchir de la contrainte 50 Ohms est conduite. Nous évoquons alors les différentes phases de conception de l'amplificateur faible bruit, fonctionnant dans la bande millimétrique et intégré sur SOI. Une antenne est alors conçue pour réaliser la conception conjointe. L'impédance d'entrée de cette antenne est choisie afin d'optimiser l'adaptation en bruit et en puissance du LNA conçu sur SOI.

Chapitre I

Etat de l'art de Smart Dust, et de la
technologie SOI

I. Introduction

Le développement rapide des réseaux de communication sans fils conduit à un intérêt de plus en plus important vers les réseaux sans-fils ad-hoc, c'est-à-dire pour lesquels l'organisation des chemins de communications est gérée de manière distribuée, sans infrastructure spécifique. D'un autre côté, la recherche dans le domaine des capteurs subit actuellement une révolution importante, ouvrant des perspectives d'impacts significatifs dans de nombreux domaines d'applications (sécurité, santé, environnement, sécurité alimentaire, fabrication, télécommunications, robotique, ...). Les nouvelles technologies permettent de réduire l'encombrement, le coût et la consommation d'énergie et d'augmenter la précision et les performances des capteurs, des processeurs et des circuits spécifiques. Un nombre très important de capteurs peut donc être envisagé, intégré et organisé en réseau. Le développement de ces réseaux de capteurs constitue donc très certainement une prochaine étape dans l'évolution des technologies de l'information[I.3].

Par conséquent, il est important de développer des recherches permettant d'imaginer des réseaux denses, sans fils entre des nœuds hétérogènes et ayant pour rôles de collecter des données d'un environnement donné et de les diffuser au sein du réseau. Ce type de réseaux de capteurs pourrait avoir de très diverses applications. On pourrait prendre pour exemple un réseau de capteurs de température, de lumière et de présence qui serait installé dans un bâtiment et qui aurait pour rôle de contrôler les dépenses en énergie pour le chauffage et l'éclairage. Pour que de tels réseaux soient intéressants, il faut qu'ils respectent un certain nombre de contraintes. Tout d'abord, ils doivent être sans fils, ceci pour pouvoir être installés sans difficulté dans les bâtiments existants, et sans induire d'importants coûts de câblage. Ensuite les nœuds du réseau doivent être autonomes, pour les mêmes raisons de faisabilité et de rentabilité. Cela pose beaucoup de problèmes, puisque les communications sans fils consomment beaucoup plus d'énergie que les communications câblées. Les traitements des données internes vont également engendrer des consommations en énergie non négligeables dont il faut tenir compte[I.6].

Les réseaux de capteurs doivent être ad-hoc, tout d'abord dans un souci de simplicité d'installation, mais aussi et surtout dans le souci de permettre au réseau de rester opérationnel même après des défaillances ponctuelles de nœuds rendues fort probables par le problème de l'autonomie. Ils doivent pouvoir s'autogérer, en utilisant des protocoles permettant d'apprendre des éléments tels que : la topologie du réseau, le positionnement relatif des capteurs au sein du réseau, les routes possibles pour communiquer avec d'autres nœuds. Les différents problèmes sont interdépendants, puisque les protocoles de ce type de réseaux ad hoc doivent aussi consommer le moins d'énergie possible. Et puisque la topologie est aléatoire, le nombre de messages échangés pour le contrôle peut devenir très important si on ne prend pas de précautions.

Le réseau est donc constitué d'un ensemble de nœuds qui remplissent deux rôles : un rôle de source d'informations et un rôle de relais pour le reste du réseau. Les réseaux de capteurs doivent être à faible coût afin de pouvoir être déployés à grande échelle. L'objectif final est de définir une infrastructure (protocoles, architecture électronique, techniques de transmission) de réseau de capteurs innovante, à forte efficacité énergétique et à faible coût de revient.

La thématique « capteurs abandonnés » est un secteur où la recherche est actuellement en forte croissance. Elle est poussée par un contexte géopolitique extrêmement favorable, le soldat de futur devra s'approprier des gadgets super sophistiqués en gardant toujours les informations de son milieu, les réseaux de capteurs peuvent être des solutions à la volonté politique de diminuer les effectifs militaires.

D'un point de vue système l'architecture d'un nœud d'un réseau de capteurs abandonnés peut être décrite comme sur la figure suivante :

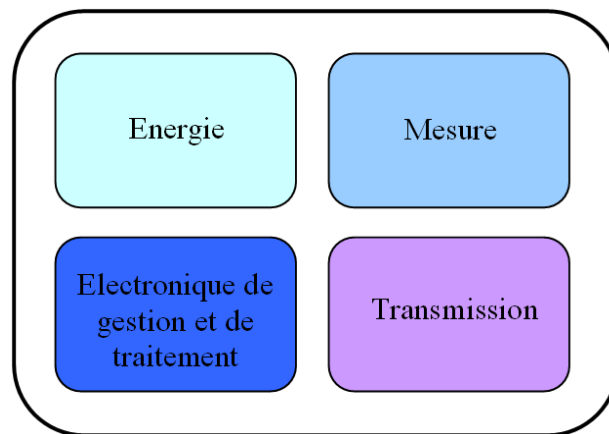


Figure I.1 Architecture d'un nœud ou capteur abandonné

Cette structure regroupe quatre sous-ensembles, respectivement un bloc énergie (piles, batteries, récupération), mesure (température, champ magnétique, accélération, etc...), électronique (gestion du cycle d'utilisation, traitement des données capteurs, protocole et algorithme pour l'interface avec le milieu extérieur et les autres nœuds du réseau) et transmission (RF, ULB, optique, etc...).

I.1. Systèmes Intelligents

La réalisation d'objets intelligents de la taille du millimètre capables d'être sensibles à leur environnement, de réaliser des calculs pour traiter les données et de communiquer de façon autonome constitue une opportunité unique pour repenser l'interaction entre l'homme et son milieu environnant, qu'il soit naturel ou artificiel. Les systèmes émergents de « Smart dust » sont réalisés en associant massivement en réseaux distribués des centaines d'objets miniatures intelligents intégrant un système d'alimentation autonome, un ou plusieurs capteurs (lumière, température, vibration, acoustique, pression, champ magnétique, ...), des circuits analogiques et numériques pour réaliser des traitements de données et un système pour recevoir et transmettre des données.

Tout d'abord, ces objets communicants « Smart Devices » en anglais marquent l'aboutissement d'une évolution tournée vers la décentralisation des capacités de traitement de l'information. Les systèmes « Smart dust » seront par la suite présentés en détaillant l'architecture et le fonctionnement des capteurs abandonnés et les réalisations microscopiques et macroscopiques.

I.1.1. Smart Dust

Le concept initial de la Smart Dust ou « poussière intelligente » a été attribué aux chercheurs de l'Université de Berkeley en Californie. Leur idée était de miniaturiser des détecteurs conventionnels et de les connecter avec la technologie de communications sans fil pour former des dispositifs de réseau auto organisant, dynamiques, qui peuvent échanger un flux de données. La combinaison de ces données produit une vision globale de l'environnement. En reconnaissant un potentiel applicatif militaire significatif, l'agence de la recherche avancée de la défense « DARPA », centre de recherche et de développement du ministère de défense américaine, a financé ce projet et autres chercheurs pour promouvoir le concept de poussière intelligente.

I.1.2. Objectifs

Depuis le début du programme « Smart Dust [I.2] » en 1997, les chercheurs ont pour but de réaliser un système d'un millimètre cube (taille d'un grain de sable) capable d'être déployé en réseau (millier de nœuds) et contenant les parties capteur, communication bidirectionnelle, électronique et traitement ainsi que la récupération et le stockage de l'énergie[I.2][I.3][I.4][I.5]. Le tout devant être réalisé par le biais des micros technologies. Chaque grain doit pouvoir assurer la surveillance d'une zone de 30 m². Leur déploiement doit être assuré depuis des drones. Les applications visées sont la surveillance de zone (détection d'intrusion, suivi de cible, ...).

I.1.3. Architecture d'un Smart Dust

Le dispositif, présenté par le Professeur Pister de l'université Berkeley en 2001 et dont l'architecture définitive est illustrée sur la Figure I.2 Architecture d'un nœud Smart Dust[I.2]Figure I.2, comprend :

- Une batterie film mince.
- Une cellule solaire capable de pourvoir à une consommation de 17μW.
- Une capacité tampon pour aider au fonctionnement hors période de récupération d'énergie.
- Une électronique de gestion comprenant notamment DSP et des entrées / sorties analogiques pour les capteurs.
- Un bloc de capteurs aux capacités multiples (le système doit pouvoir être modulable) : capteurs chimiques, de lumière, de température, de pression, de vibration, de champ magnétique et de vent).
- Un bloc de communication dont les configurations peuvent varier. La voie optique est privilégiée par rapport à la voie RF pour des raisons de consommation. Il intègre une partie détection de transmission puis des parties passives (communication par déviation d'un faisceau émis par un autre module, consommation de 1nJ/bit) ou active (communication par diode laser orientable : un scanner laser de 8mm³ a déjà été

réalisé, il comprend un laser à semi-conducteur, une lentille sphérique et un scanner bi-axe).

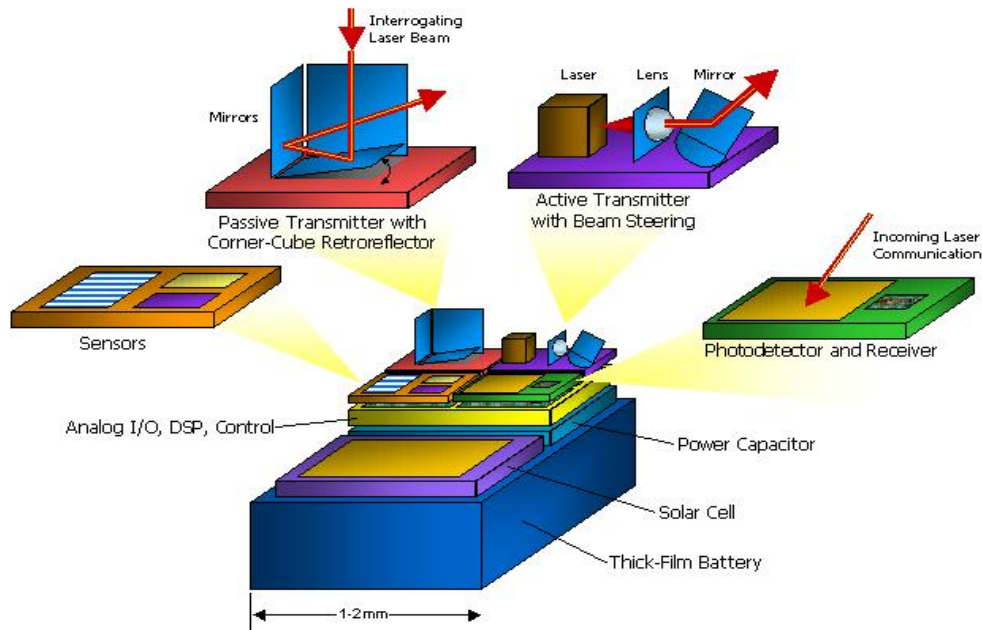


Figure I.2 Architecture d'un nœud Smart Dust[I.2]

I.1.4. Fonctionnement d'un Smart Dust

La principale contrainte pour la réalisation de ces « grains de sable » est le volume, qui influence directement l'énergie embarquée et récupérable puisque peu de place peut être allouée à la cellule solaire et à la batterie [I.2]. Ainsi, les grains doivent fonctionner efficacement et conserver l'énergie autant que possible. La plupart du temps, la majorité du grain est mise hors tension mis à part une horloge et de quelques temporisations. Quand une temporisation expire, elle réveille une partie du grain pour qu'il accomplisse sa tâche, puis le met en sommeil à nouveau. Les temporisations commandent aussi les capteurs qui mesurent un certain nombre de stimulus physiques ou chimiques tels que la température, la lumière ambiante, les vibrations, les accélérations, ou la pression atmosphérique. Quand une de ces temporisations expire, elle met le capteur correspondant sous tension. La mesure est ensuite convertie en données numériques et si ces données sont intéressantes, elles peuvent être stockées directement dans la SRAM ou alors le microcontrôleur peut être activé pour effectuer des opérations plus complexes sur celles-ci. Quand cette tâche est accomplie, tout est de nouveau mis hors tension et la temporisation commence à compter de nouveau. Une autre temporisation commande le bloc de réception optique. Quand elle expire, le récepteur se met sous tension et recherche un ordre entrant. S'il n'en reçoit pas un après une certaine durée, il est mis à nouveau hors tension. Le grain peut recevoir plusieurs types de données, y compris du nouveau code de programme qui est alors stocké dans la mémoire de programme. Ceci permet à l'utilisateur de changer le comportement du grain à distance. Les données reçues peuvent également inclure des messages de la station de base ou d'autres grains. Quand un message est reçu, le microcontrôleur est réveillé pour interpréter son contenu. Celui-ci peut indiquer au grain une tâche particulière à réaliser, ou juste demander un transfert

d'information entre grains suivant un chemin particulier. En réponse à un message ou à une autre temporisation qui expire, le microcontrôleur assemblera un paquet contenant les données des capteurs ou un message et le transmettra à l'aide du retro-rélecteur ou de la diode de laser situé au coin du cube, selon sa configuration[I.6]. Les réalisations micro et macro technologiques de « Smart Dust » illustrent l'avancement des projets dans une perspective de développement industriel.

Aujourd'hui, les dispositifs informatiques personnels ont tendance à devenir de plus en plus compacts tout en étant reliés à un réseau sans fil. Ce genre de composant requiert évidemment une petite antenne. Des résultats de recherche publiés récemment portent surtout sur la réduction de taille de l'élément rayonnant. Les moyens habituels pour miniaturiser la taille d'une antenne sont l'utilisation de substrats de haute permittivité et/ou simplement augmenter la fréquence d'opération. Ces deux pistes sont à développer afin de réduire la taille de l'antenne sans affecter ses caractéristiques intrinsèques, notamment son adaptation par rapport à une impédance d'entrée et l'efficacité de rayonnement.

Dans les paragraphes suivants, nous détaillons ces deux pistes en justifiant le choix de la fréquence et la technologie associée à des substrats à hautes permittivités. Nous montrons les caractéristiques de propagation associés à la bande de fréquence. Ainsi pour la technologie, une comparaison de caractéristiques des différents composants d'un frontal radiofréquence (RF) notamment le mélangeur (Mixer), l'amplificateur faible bruit (LNA), l'oscillateur contrôlé par la tension (VCO).

I.2. Comparaison des performances d'une frontale radiofréquence à l'état de l'art

L'autonomie d'un système sans fil dépend des sources d'énergie. Deux contraintes sont rencontrées : la première contrainte est le problème de récupération d'énergie et de la surconsommation. Les études faites au CEA-LETI ont montré que, au moins pour le moment il est un peu tôt pour parler des sources d'énergie millimétriques en surface et qui peuvent nous fournir une puissance d'énergie utilisable et durable. La deuxième contrainte est simplement la consommation d'énergie des systèmes sans fil, une contrainte que l'on peut contrôler par l'utilisation des différentes technologies faible consommation pour les différentes composantes de ce système.

Les différents composants pour le système de transmission, en outre le transmetteur, sont l'amplificateur à faible bruit (LNA), le mélangeur (Mixer), l'oscillateur local contrôlé par la tension (VCO) et l'amplificateur de puissance (PA). Nous comparons par la suite les différentes caractéristiques des ces composants pour différentes technologies. Nous avons dressé un état de l'art de ce qui est fait et réalisé pour une gamme de fréquence millimétrique et pour des différentes technologies (CMOS, Bipolaire, BJT, HBT, GaAs...)

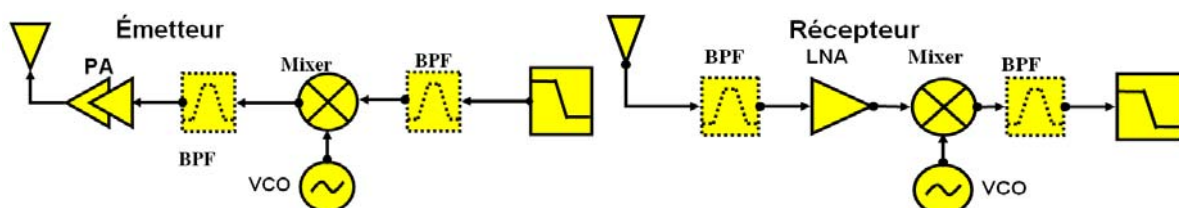


Figure I.3 Différents composants d'un émetteur/récepteur RF[I.129]

Traditionnellement, la technologie coûteuse III-V de semi-conducteurs, comme l'arséniure de gallium (GaAs) ou phosphure d'indium (InP), est utilisée dans la conception millimétrique [I.12][I.13][I.14][I.15]. Récemment, des technologies de semi-conducteurs alternatives ont été explorées [I.16][I.17][I.18][I.19][I.20][I.21]. Selon les rapports récents sur le avancés des frontaux RF à 60 GHz [I.22], les ingénieurs de IBM ont monté les premiers modules expérimentaux d'un émetteur/récepteur en utilisant un alliage de silicium et de germanium (SiGe) ; pendant ce temps, les chercheurs, du centre de Berkeley de l'université de Californie, les chercheurs de CEA-LETI à Grenoble, les chercheurs de STMicroelectronics à Crolles et d'autres instituts et universitaires ont choisi d'utiliser la technologie CMOS la moins chère pour concevoir les composants d'un transmetteur RF.

Chacune de ces technologies a des avantages et des inconvénients. Nous essayons par la suite de comparer les réalisations récentes de différents composants en utilisant différentes technologies afin de déterminer la technologie avantageuse pour notre étude. Notre objectif final est de réaliser un bilan de liaison pour un cas canonique dans lequel nous introduisons les différentes caractéristiques de différents composants pour évaluer la faisabilité d'un système de communication à 60 GHz.

I.2.1. Comparaison de performances d'amplificateurs faible bruit (LNA) pour différentes technologies

L'analyse correcte des performances nécessite l'utilisation de critères de mérite. Trois critères sont disponibles pour évaluer les performances des composants en utilisant une technologie donnée. Ces trois critères sont :

- Le facteur de bruit de LNA
- Le produit Gain Bande
- Le rapport Gain/consommation (G/Pdc)

En se plaçant en tête d'un frontal RF (après l'antenne), le LNA est le plus susceptible au bruit. Le fait d'avoir un facteur de bruit assez faible s'avère donc nécessaire. En se basant sur la formule de Friis ([I-1]), le bruit du premier étage de la chaîne est prépondérant.

$$[I-1] \quad F_G = F_1 + \frac{F_2 - 1}{G_1} + \frac{F_3 - 1}{G_1 G_2} + \dots + \frac{F_N - 1}{G_1 G_2 \dots G_{N-1}}$$

Où F_G = facteur de bruit global de la chaîne,

F_i = facteurs de bruit respectifs de chaque étage et G_i = gain en puissance de l'étage i .

Le deuxième critère est le produit Gain bande (PGB). Ce critère reflète les compromis réalisés entre gain et bande passante à la fréquence de coupure à -3 dB :

$$[I-2] \quad PGB = A_v \cdot F_{-3dB}$$

Où A_v est le gain en tension dans la bande passante et F_{-3dB} est la fréquence de coupure à -3 dB.

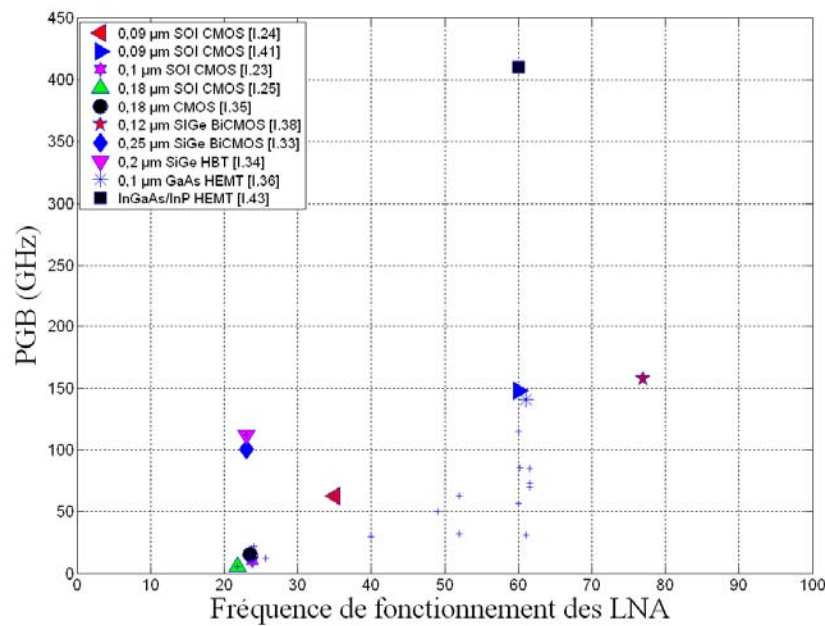


Figure I.4 Produit de gain bande passante pour des LNA en différentes technologies

La montée en fréquence des technologies CMOS, aussi bien sur substrat massif que sur SOI, permet à présent de comparer leurs performances avec celles obtenues grâce aux technologies SiGe et III-V. Actuellement, les performances des technologies III-V sont plus élevées, le produit de gain bande passante des LNA que nous avons étudiés est parfois de 400 GHz, voir plus (avec la technologie InGaAs/InP HEMT [I.43]), tandis que la meilleure performance obtenue avec du silicium est de 160 GHz (0.12 μm SiGe BiCMOS [I.38]). La meilleure performance obtenue avec de 0.09 μm CMOS SOI est 150 GHz [I.41]. La Figure I.4 montre le produit de gain bande passante par rapport à la fréquence de fonctionnement des différents amplificateurs étudiés. Les caractéristiques des différents LNA en différentes technologies sont présentées en fin du chapitre I.

Bien que la technologie CMOS soit la moins chère par rapport aux autres technologies (GaAs), sa performance selon le critère PGP demeure moyenne, des autres critères seront étudiés pour évaluer cette technologie. Il est aussi important d'observer en détail l'aspect technologie qui a permis de réaliser le circuit et plus particulièrement les paramètres suivants :

- Les fréquences de coupures des transistors F_T
- La technologie des passifs (types de ligne, pertes, etc)

Ce dernier point est très important, puisque les performances des passifs et plus précisément des lignes de transmission sont un point crucial en silicium (cf. Chapitre II) en comparaison avec les technologies III-V.

Le dernier critère étant le rapport Gain/Consommation. Ce rapport permet une évaluation directe de la performance en termes de consommation d'un dispositif.

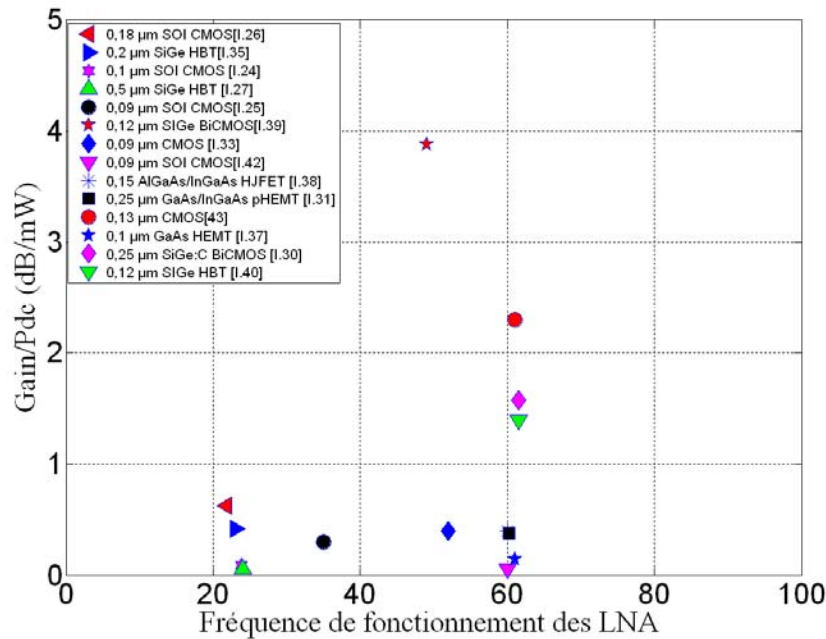


Figure I.5 Rapport de gain et de consommation pour des LNA en différentes technologies

Le rapport Gain/Consommation caractérise la performance de l'amplificateur LNA. En effet, ce rapport détermine le rendement de gain en dB par rapport à une consommation de 1mW. La Figure I.5 montre le rapport Gain/Pdc pour des différentes technologies, nous signalons que les technologies à base de silicium sont les plus performantes (4 dB/mW pour le 0.12 μm SiGe CMOS [I.38]) ; par contre pour le AsGa, ce rapport n'atteint pas plus de 1 dB/mW.

Pour conclure sur la comparaison des performances de LNA, nous constatons que les technologies à base de silicium ont des atouts par rapport à la consommation et par rapport au prix. Par contre, ces technologies ont des qualités modestes par rapport aux technologies à base de matériaux de III-V si nous considérons le critère de gain bande passante.

I.2.2. Comparaison de performances des Mélangeurs pour différentes technologies

Assurant la fonction de transposition de fréquence, le mélangeur est un composant essentiel de tous les émetteurs et récepteurs fonctionnant aux fréquences micro-ondes. Un mélangeur est un dispositif permettant de transposer en fréquence un signal sans modifier l'information dont il est porteur. Les mélangeurs sont utilisés dans la plupart des systèmes de communications (télécoms, guidage, radars, etc...).

Les mélangeurs actifs ont été l'objet de nombreuses publications. Leur potentiel en gain de conversion les rend évidemment attractifs. Cependant, aux fréquences micro-ondes et millimétriques les performances obtenues ont souvent été quelque peu décevantes, c'est pourquoi on leur préfère généralement des mélangeurs passifs. La topologie active qui paraît aujourd'hui la plus intéressante est le mélangeur à cellule de Gilbert. Ses performances sont en effet très bonnes à condition de parvenir à obtenir un gain suffisant [I.47].

Dans le cas des mélangeurs, nous prenons deux critères de mérite afin d'évaluer les performances. Ces deux critères sont :

- La perte de conversion en bande latérale unique (SSB Single Side Band)
- Le facteur de bruit F_{SSB} en bande latérale unique

Puisqu'un mélangeur convertit la puissance d'une fréquence à l'autre, les pertes de conversion (conversion loss) deviennent alors un paramètre essentiel. Ce paramètre est défini comme étant la différence en dB entre le signal entrant au port RF et la puissance de sortie du port aux fréquences intermédiaires. Par conséquent, il y a un minimum automatique de perte de conversion de 3-dB SSB (bande latérale unique). D'autres pertes sont dues au produit de signaux d'ordres supérieures, et de la désadaptation du mélangeur.

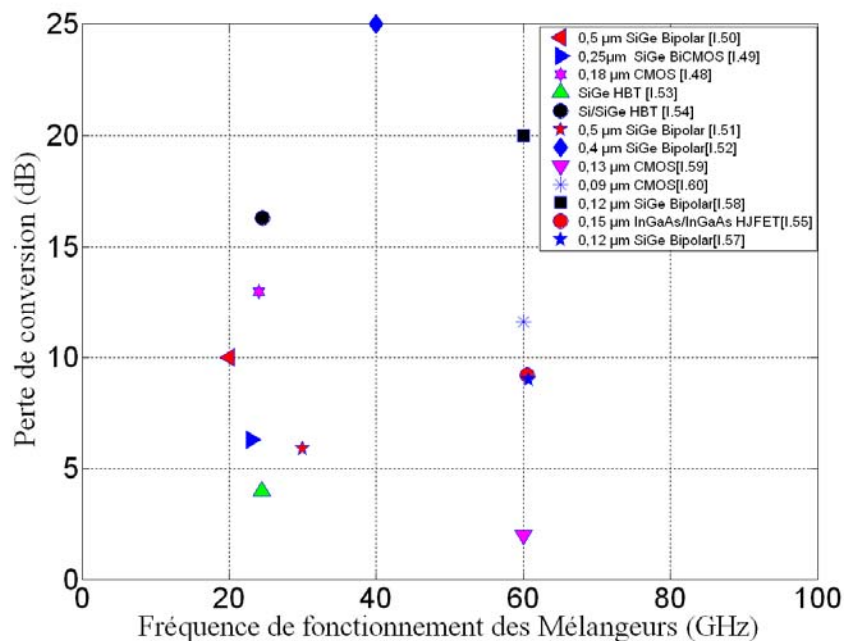


Figure I.6 Perte de conversion pour des mélangeurs en différentes technologies

A l'inverse du gain de LNA, plus le facteur « perte de conversion » est faible, plus la technologie est efficace. Le CMOS nous donne de meilleures performances par rapport au SiGe et aux matières III-V. Le mélangeur réalisé en technologie 0.13 μm CMOS [I.59] expose 3 dB de perte de conversion. (Figure I.6).

Le deuxième critère adopté est le facteur de bruit en bande latérale unique, ce facteur est la différence des rapports signal/bruit de l'entrée RF et de la sortie IF. Dans le cas d'un mélangeur à FET froid, le bruit est essentiellement thermique. Le facteur de bruit SSB est ainsi pratiquement égal aux pertes de conversion. Pour les mélangeurs à diode, le facteur de bruit est un peu supérieur aux pertes de conversion en raison du bruit de grenaille de la jonction Schottky. Pour les mélangeurs actifs, il n'existe pas de relation générale entre le gain du mélangeur et son facteur de bruit. Les valeurs de facteur de bruit obtenues en pratique sont très variables mais sont toutefois rarement inférieures à 5dB.

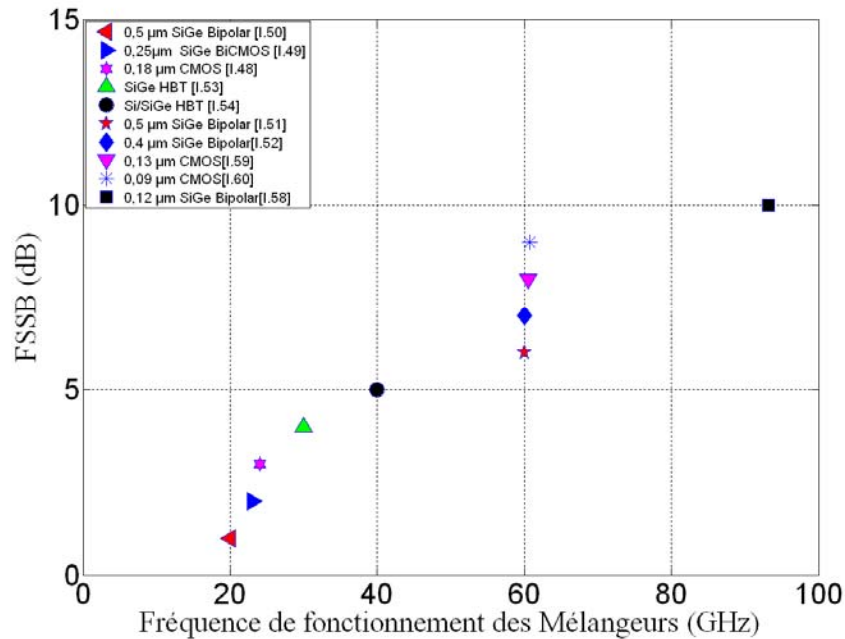


Figure I.7 Facteur de bruit de bande unique latérale pour des mélangeurs en différentes technologies

Pour ce deuxième critère, le SiGe offre de meilleures performances dans la bande de 24 GHz, par contre dans la bande de 60 GHz, le mélangeur réalisé en technologie 0.13 μm CMOS [I.59] est le plus performant en facteur de bruit de bande unique latérale. D'autre part, les matériaux III-V ont un facteur de bruit plus élevé (cas de 0.1 μm GaAs [I.56])(Figure I.7). Dans une tête de réception, le mélangeur est le deuxième étage après le LNA. D'après la formule de Friis [II-1], le facteur de bruit de mélangeur est divisé par le gain de LNA, ce qui nous laisse à conclure que ce facteur est moins prépondérant. L'intérêt principal demeure d'avoir un LNA avec un faible facteur de bruit et un gain transducique suffisant. Les différentes caractéristiques de mélangeurs publiées récemment dans la bande millimétrique sont montrées dans le tableau II de l'annexe du chapitre I pour différentes technologies.

I.2.3. Comparaison de performance des oscillateurs contrôlés en tension (VCO) pour différentes technologies

Un oscillateur est un système convertissant une puissance continue en puissance RF. Il est indispensable dans les systèmes de communication afin de générer une fréquence utilisée comme source de référence ou pour synthétiser une fréquence permettant la transposition du signal utile vers la bande de base ou la fréquence intermédiaire afin de traiter le signal en bande de base. Un oscillateur est basé sur un principe de conversion d'une puissance continue (d'alimentation) en une puissance RF. Le système est constitué d'un élément passif résonnant Q et d'un élément actif A régénérant la puissance RF dissipée formant ainsi une boucle d'oscillation [I.62].

Les conditions d'oscillation peuvent s'exprimer de manière générale par le formalisme des impédances ou des coefficients de réflexion qui se définissent par les critères d'oscillation de Barkhausen [I.63]. Les oscillateurs à fréquence variable, plus connus selon leurs

appellations d'oscillateurs contrôlés en tension sont utilisés dans la synthèse de fréquence (dans un contexte global de boucle à verrouillage de phase).

Quelle que soit la technologie, les caractéristiques principales d'un oscillateur sont :

- La fréquence d'oscillation (GHz)
- La consommation (mW)
- La puissance de sortie (dBm)
- La pureté spectrale (bruit de phase, en dBc/Hz)

L'élément le plus critique est la pureté spectrale, c'est pourquoi nous chercherons à étudier ce paramètre.

Les effets néfastes du bruit de phase des oscillateurs locaux des étages d'émission et de réception ont été mis en évidence lorsque le MTI (Moving Target Information) a été développé durant la seconde guerre mondiale pour suivre les trajectoires des cibles [I.64][I.65]. Depuis lors, les recherches se sont centrées dans la détermination et l'amélioration du bruit de phase. Ces recherches ont été publiées depuis dans de nombreux articles. En 1960, W.A. Edson fut le premier à donner une formule mathématique de la déviation du bruit FM des oscillateurs. Depuis, de nombreuses publications tentent de mieux la déterminer et la modéliser, et ainsi d'établir les moyens de conception dans le but de le réduire.

Le bruit de phase représente une instabilité en phase d'oscillation. Il se manifeste par l'étalement de la raie autour de la porteuse. Il est généralement caractérisé par le terme $L(f_m)$ où f_m représente la distance de la porteuse à laquelle on se place pour le visualiser. Le bruit de phase à 1 MHz est simplement la différence de niveaux de puissance entre la puissance de signal en fréquence centrale de VCO et la puissance de ce même signal situé à une bande de 1 MHz de la fréquence centrale (porteuse).

Le bruit de phase est alors le rapport de la densité spectrale de modulation de phase simple bande ramenée à une bande de 1 Hz P_{SSB} sur la puissance de la porteuse P_s (Figure I.8). Il est exprimé en dBc/Hz.

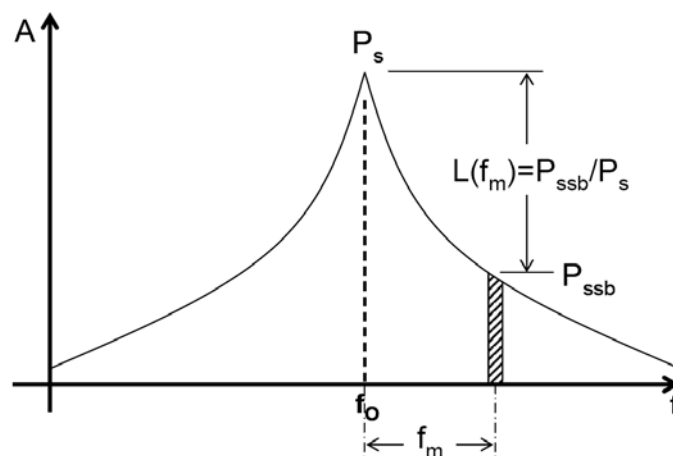


Figure I.8 Définition du bruit de phase

Pour étudier les VCO de différentes technologies, deux critères sont pris en considération :

- Bruit de phase à une distance de 1MHz par rapport à la porteuse
- Figure de Mérite pour normaliser les caractéristiques des VCO

Pour le premier critère, nous prenons en compte seulement des VCO publiés récemment en utilisant différentes technologies, et ayant une distance fixe par rapport à la porteuse (1 MHz). Le VCO est un étage essentiel de la chaîne radiofréquence, en effet si le bruit généré par le VCO est considérable, la pureté spectrale de signal se dégrade après la multiplication du signal RF par le mélangeur.

Un VCO avec une fréquence centrale millimétrique (20-60 GHz) peut être très utile dans le transmetteur. Un simple VCO, un simple commutateur et un amplificateur de puissance peuvent constituer le noyau d'un transmetteur même sans l'emploi d'un mélangeur, d'où l'intérêt de concevoir un VCO avec une très bonne pureté spectrale.

Dans l'état de l'art, des VCO fonctionnant avec des fréquences millimétriques ont été conçus. La Figure I.9 montre le bruit de phase des VCO à 1 MHz avec différentes technologies. Dans la bande de 24 GHz, les meilleures performances sont pour le SiGe (0.12 μm SiGe Bipolar [I.78]) par rapport aux autres extrêmes avec -65 dBc/Hz de 0.2 μm GaAs pHEMT [I.80]. Dans la bande de 60 GHz, cette tendance se confirme, le SiGe reste le plus favorable, loin de CMOS ou de CMOS SOI.

Le deuxième critère défini pour comparer les performances des VCO est la figure de Mérite. En effet, la distance par rapport à la porteuse n'est pas normalisée pour les VCO, chacun essaie de présenter les performances de VCO en montrant un bruit de phase plus faible. Pourtant on présente une différente distance par rapport à la porteuse, une différente puissance dissipée et une fréquence d'opération différente. Pour normaliser ces performances, un critère de mérite commun est proposé. Il devait permettre de mieux évaluer les performances des VCO. Cette figure de mérite (FoM) est définie dans l'équation [I-3] [I.71] :

$$[I-3] \text{ FoM} = L\{\text{offset}\} - 20 * \log\left(\frac{f_0}{f_{\text{offset}}}\right) + 10 * \log\left(\frac{P_{DC}}{1mW}\right)$$

Où $L\{\text{offset}\}$ est le bruit de phase à un offset donné (distance par rapport à la porteuse)

f_0 est la fréquence de la porteuse

f_{offset} est l'offset

P_{DC} est la puissance dissipée par le VCO

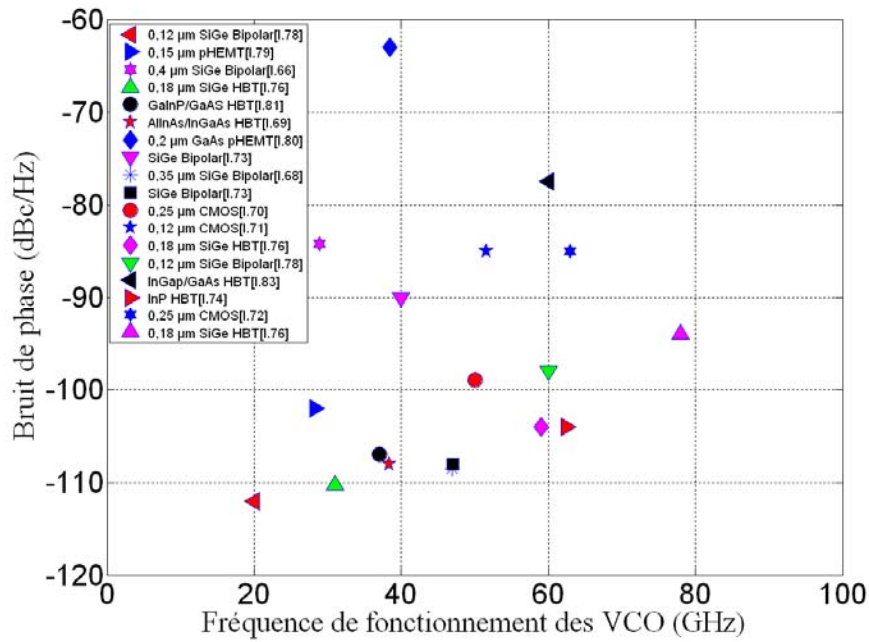


Figure I.9 Bruit de phase à 1 MHz pour des VCO en différentes technologies

La figure de mérite ainsi calculée nous permet d'évaluer les performances des VCO pour différentes technologies. Que ce soit dans la bande de 20 GHz ou de 60 GHz, La Figure I.10 montre un FoM assez élevé > 180 dBc/Hz pour le SiGe ([I.66][I.67][I.68]), le CMOS (0.25 µm CMOS [I.70]) s'approche encore avec un FoM de 180 dBc/Hz. Sans aucun doute le SiGe est le plus performant pour le VCO. Les différentes caractéristiques de VCO publiées récemment dans la bande millimétrique sont montrées dans le tableau III de l'annexe de chapitre I pour différentes technologies.

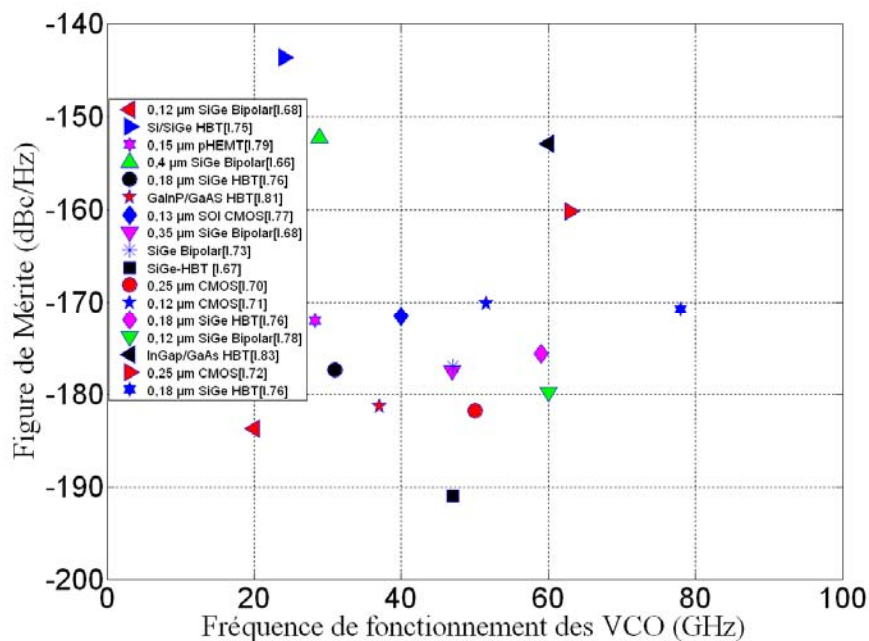


Figure I.10 Figure de Mérite pour des VCO en différentes technologies

I.2.4. Comparaison de performance des amplificateurs pour différentes technologies

Les amplificateurs de puissance RF font face au compromis linéarité, rendement en puissance. De manière simplifiée, la classe A possède une bonne linéarité mais un mauvais rendement en puissance alors que pour la classe B, l'inverse se produit. En effet, toute non linéarité engendre des produits d'inter modulation qui perturbent les canaux adjacents. Il existe donc un intérêt à maintenir le rendement en puissance d'un amplificateur de puissance (PA) RF, dit linéaire de classe A ou AB, sans compromettre ses performances de linéarité [I.84].

Le rôle d'un PA est d'élever le niveau de puissance d'un signal. Pour ce faire, il doit posséder un gain en puissance G_p qui est le quotient de la puissance sur la charge par la puissance maximum que peut délivrer la source. Plus le système doit fournir une puissance élevée, plus le rendement de l'étage final est important. Les pertes des étages finaux sont bien sûr dissipées en chaleur. Un amplificateur délivre une puissance sur la charge sous forme de signal alternatif, et consomme une puissance à l'alimentation sous forme de courant continu.

Deux critères sont définis pour évaluer les performances des PA :

- Rendement de collecteur ou de drain η_c
- Rendement global η ou (PAE)

Le rendement de collecteur ou de drain η_c d'un PA est défini par l'équation [I-4] comme étant le rapport de la puissance de sortie P_{Sortie} sur la puissance DC consommée P_{DC} .

$$[I-4] \eta_c = \frac{P_{\text{Sortie}}}{P_{\text{DC}}}$$

Le rendement de collecteur traduit l'efficacité avec laquelle l'énergie de la batterie est transformée en énergie utile à la fréquence de travail. La Figure I.11 montre le rendement η_c des amplificateurs de puissances pour différentes technologies. La technologie des matériaux III-V est la plus efficace en terme de rendement. En Effet dans la bande de 60 GHz, le 0.13 μm GaAs HEMT [I.89] offre de très bonnes performances avec 25 % de rendement loin de 0.13 μm CMOS [I.99] avec 2.25 % de rendement.

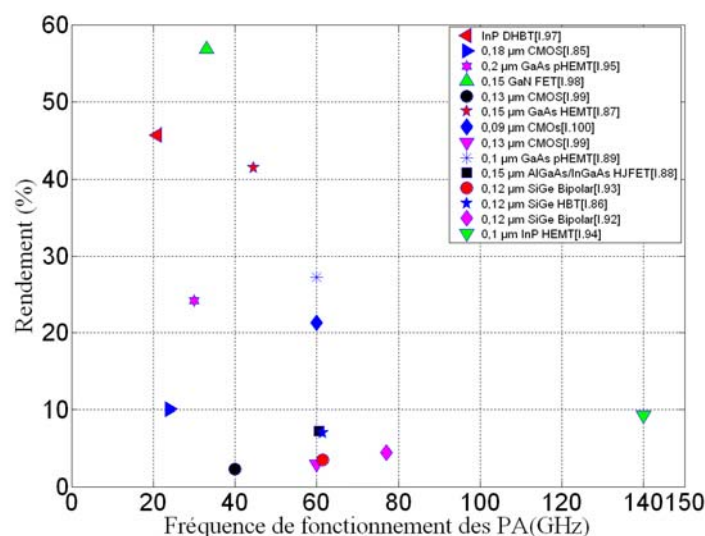


Figure I.11 Rendement des PA en différentes technologies

Le deuxième critère d'évaluation est le rendement global η ou PAE (Power Added Efficiency). Ce rendement tient compte de la puissance nécessaire à l'entrée ($P_{entrée}$), et est donné par l'équation [I.129] :

$$[I-5] \quad \eta = \frac{P_{sortie}}{P_{DC} + P_{entrée}} = \frac{1}{\frac{1}{\mu_c} + \frac{1}{G_p}}$$

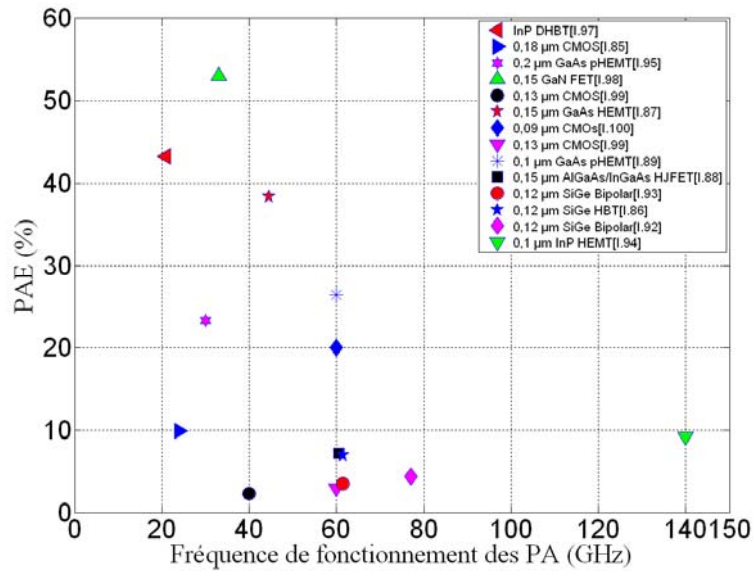


Figure I.12 Rendement globale des PA en différentes technologies

La Figure I.12 montre le rendement global des PA, ces résultats confirment nos conclusions sur les qualités de la technologie à base de matériaux de III- V. A savoir que lorsque le gain en puissance G_p du PA est élevé, le rendement de collecteur η_c et le rendement global η sont équivalents.

Le PA réalisé en technologie 0,13 μm GaAs HEMT [I.89] est le plus efficace en 60 GHz. La technologie CMOS apparaît en retard par rapport aux technologies de III-V. Les différentes caractéristiques des amplificateurs de puissance publiées récemment dans la bande millimétrique sont montrées dans le tableau IV de l'annexe de chapitre I pour des différentes technologies.

I.2.5. Conclusion générale sur les performances des composants pour différentes technologies

Les performances des différents composants sont montrées dans le Tableau I.1 ci-dessous. Pour récapituler, nous exposons les conclusions sur chaque composant :

- Pour le LNA, si nous prenons comme critère le produit Gain bande PGB, les performances des technologies III-V sont plus élevées. D'un autre côté si le critère d'évaluation est le rapport S_{21}/P_{dc} , les technologies à base de silicium sont les plus performantes. D'où le fait qu'un compromis entre ces deux critères demeure important à prendre en considération pour choisir une technologie déterminée.

- Pour le mélangeur, le CMOS est plus performant si nous prenons le critère de perte de conversion. Toutefois, la technologie à base de silicium classique (SiGe) est plus performante si nous prenons le bruit comme critère de sélection tout en sachant que le bruit de mélangeurs n'est pas le plus prépondérant dans une chaîne de réception.
- Pour le VCO, les composants à base de SiGe restent les plus favorables, loin devant le CMOS ou le CMOS SOI si nous prenons le bruit de phase comme critère. D'où l'importance d'une figure de mérite comme critère. En prenant ce critère, la technologie SiGe confirme ses performances, le CMOS et le CMOS SOI ont des progrès à faire.
- Pour le PA, les composants à base de matériaux (III-V) sont les plus performants. Les autres technologies sont en retard.

En plus des contraintes liées aux standards de communications sans fil et l'architecture des émetteurs et des récepteurs, la conception de systèmes intégrés radiofréquences doit faire face à des problèmes technologiques. La réduction des coûts exige l'intégration d'un maximum de fonctions du système radiofréquence d'émission / réception sur une seule puce. Dans ce contexte, les technologies à base de silicium sont les technologies les plus utilisées, étant donné qu'elles restent actuellement inégalées aussi bien en terme de capacité d'intégration des fonctions numériques qu'en terme de coût et de capacité de production.

Notre étude des différents composants montre bien l'intérêt du silicium dans la conception d'une chaîne radiofréquence.

Composants RF	Technologies associées	Paramètres	Valeur
Mélangeur	0.13 μm CMOS [I.59]	S11	-15 dB
		S22	-15 dB
		Perte de conversion	-5 dB
		Facteur de bruit	10 dB
LNA	0.12 μm SiGe BiCMOS [I.38]	S11	-18 dB
		S22	-19 dB
		Facteur de bruit	4.4 dB
		S21	14 dB
PA	0.12 μm SiGe Bipolar [I.92]	S11	-12 dB
		S22	-25 dB
		S21	11 dB
		NF	8.8 dB

Tableau I.1 Meilleures performances obtenues pour différents composants à 60 GHz

Pourtant, la nature du substrat en silicium provoque des pertes importantes dans les éléments passifs intégrés. C'est un problème qui ne peut pas être négligé, surtout quand il s'agit de la conception de circuits radiofréquences. Aujourd'hui, les travaux de recherche dans ce domaine de l'électronique sont orientés vers l'étude et la compréhension de tous les types de pertes qui apparaissent dans les circuits intégrés radio et hyperfréquences. D'une part, cela permet d'améliorer les caractéristiques des éléments passifs intégrés sur silicium et de développer des modèles qui décrivent de mieux en mieux leur comportement et d'autre part, d'améliorer le fonctionnement des circuits analogiques radiofréquences.

Avant de valider la technologie utilisée nous devons estimer un bilan de liaison. Ainsi dans le paragraphe suivant nous étudions un bilan de liaison d'une chaîne hétérodyne aux fréquences millimétriques. L'idée est de démontrer la faisabilité d'une liaison sur une distance donnée pour différents types de fréquence. En effet, notre but final devient alors de déterminer la sensibilité d'un récepteur millimétrique en fonction de la distance.

I.3. Applications potentielles de la bande 60 GHz

L'utilisation des hautes fréquences présente des avantages et des inconvénients. En effet, la propagation des ondes électromagnétiques à la bande 60 GHz est caractérisée par les niveaux élevés de l'absorption de l'oxygène et de l'atténuation de la pluie (en addition à l'atténuation de propagation donnée par la formule classique de Friis).

Cet effet peut limiter la portée des systèmes de communication utilisant cette bande de fréquence, cependant il permet la réutilisation de fréquence et le rend donc attirant pour une variété d'applications de communication à courte portée. D'un autre côté, il existe une offre croissante et une demande pour des applications à large bande de multimédia réclamant une capacité croissante de réseaux sans fil. Ceci entraîne une demande de capacité de transfert sans fil bien supérieur à ce qui peut être attendu dans les bandes 2.4-2.5 et 5.2-5.8 GHz actuellement utilisées[I.7]. Une solution évidente à ce problème est d'avoir recours à la bande de 60 GHz, où la largeur de bande passante est abondamment disponible[I.8].

En particulier pour les communications locales, l'intérêt de la bande de 60 GHz, dans le spectre électromagnétique, se présente par les caractéristiques spécifiques d'atténuation de 16 dB/Km due à l'oxygène (La Figure I.13 [I.9] montre que 98% de l'énergie émise est absorbée par l'oxygène à 60 GHz). Cette atténuation rend la bande de 60 GHz inappropriée pour des communications à longue portée (> 2 Km), et totalement dédié à des communications à faible portée (< 1 Km). Par contre, cette atténuation affecte moins les communications à petites distances ou dans un environnement Indoor[I.8].

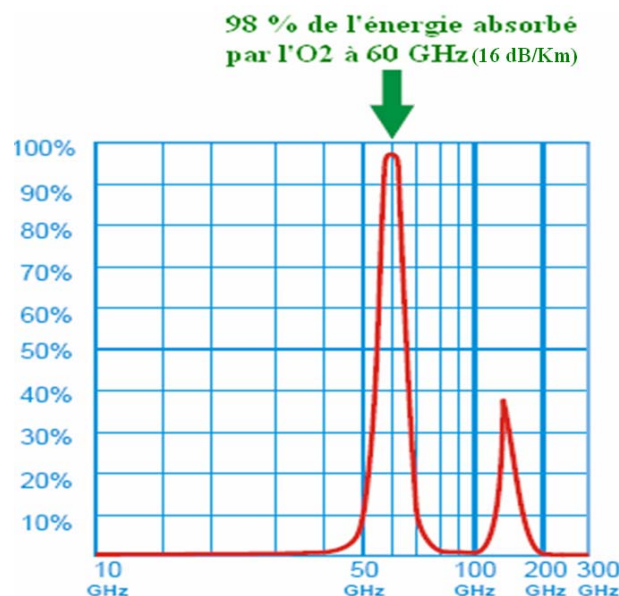


Figure I.13 Absorption atmosphérique pour des fréquences d'ondes millimétriques pour un parcours d'un Km

Similairement à l'ultra large bande (ULB), la bande radio de 60 GHz est compatible pour des applications à hauts débits et à courte portée, mais cette bande souffre moins de l'interférence entre systèmes que dans le cas de ULB[I.10]. Les applications de cette bande peuvent être divisées en catégories suivantes :

- Flux de vidéo à haute définition
- Transfère de fichiers
- Gigabit Ethernet sans fils
- Station d'amarrage sans fils et connexion de points à multipoints pour les ordinateurs de bureau
- Réseaux ad hoc sans fils

Les trois premières catégories sont considérées comme des applications majeures. Dans chaque catégorie[I.11], il y a différents cas d'utilisation basés sur :

- Le lieu d'utilisation, dans le secteur résidentiel ou le bureau
- La distance entre les émetteurs et récepteurs
- La ligne de vue (line-of-sight, LOS) ou des connexions de vue avec obstacles (NLOS)
- La position des émetteurs-récepteurs
- La mobilité des dispositifs

Le flux de la vidéo haute définition inclue le flux de vidéos non compressés pour l'utilisation résidentielle. Le flux audio/vidéo de la télévision haute définition HDTV est envoyé d'un lecteur DVD à un HDTV. La distance typique entre ces deux dispositifs est de 5 à 10 mètres avec des connexions LOS ou NLOS.

I.4. Bilan de liaison d'une chaîne hétérodyne à 60 GHz

Pour étudier un bilan de liaison à 60 GHz, nous allons montrer les paramètres qui dégradent les performances d'une liaison de transmission. Ces pertes sont dues aux :

- Pertes dues au canal de transmission
- Atténuation par les gaz atmosphériques (oxygène par exemple)
- Atténuation par la pluie
- Réfraction
- Dépolarisation de signal

Les spécificités du millimétrique portent sur deux points pour obtenir les performances attendues : la prise en compte des conditions de propagation surtout d'absorption, le compromis entre la couverture angulaire et la nécessité de gain d'antenne. Les pertes dues à l'oxygène sont de l'ordre de 16 dB/Km, un maximum 1.6 dB de pertes pour une liaison de 100 mètres est alors attendu. Les autres pertes dues aux effets ne sont pas considérables. Nous étudions par la suite les pertes d'un système de télécommunications.

D'après l'équation des télécommunications, l'affaiblissement dû à la propagation est donné par l'équation suivante :

$$[I-6] \alpha_p = \left(\frac{\lambda}{4\pi R} \right)^2$$

Où λ est la longueur d'onde
 R est la distance entre les terminaux

Une formule pratique pour exprimer l'affaiblissement en dB est donné par :

$$[I-7] \alpha_p (dB) = 92.5 + 20 \log_{10}(R)(Km) + 20 \log(f)(GHz)$$

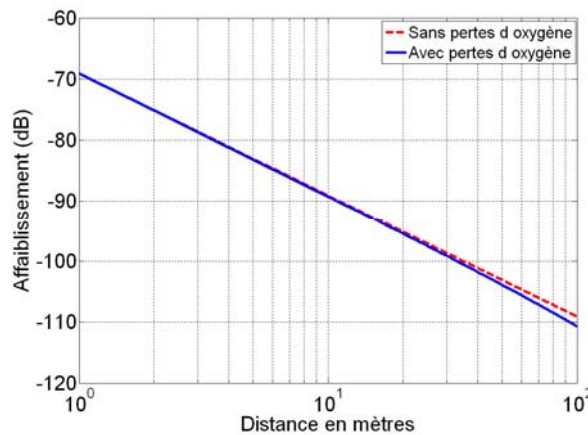


Figure I.14 Affaiblissement en propagation pour une distance de 10 mètres à 60 GHz

I.4.1. Bilan de liaison à 60 GHz

Le but de cette partie est d'étudier la faisabilité d'une liaison à 60 GHz. Dans la partie § I.3, nous avons révélé les hautes performances des composants à base de silicium que ce soit le SiGe le CMOS ou le CMOS SOI. Pour montrer la faisabilité d'une liaison radiofréquence à 60 GHz, nous prenons une étude de cas dans lequel un récepteur/transmetteur est créé à la base des composants déjà conçus récemment dans la bande millimétrique. Le Tableau I.1 décrit les performances des différents composants utilisés pour valider le bilan de liaison. C'est une étude de cas de technologie hybride, nous optons pour la faisabilité, c'est pourquoi nous prenons des composants de différentes technologies.

L'insertion de ces caractéristiques dans un simulateur système de type ADS, nous permet aussi d'étudier le bilan de liaison, c'est à dire la puissance à chaque point d'une liaison. La Figure I.15 montre une capture, extraite d'ADS, d'un bilan de liaison en introduisant les caractéristiques de différents composants.

Nous nous intéressons seulement ici à la puissance reçue après démodulation, c'est à dire après que le signal soit de nouveau en fréquence intermédiaire. Notons que les filtres utilisés sont des filtres idéaux, tout en sachant que le facteur de qualité de filtre (Unloaded Quality Factor) dépend de la bande de fréquence que nous avons spécifié. Le niveau de puissance reçue au niveau de récepteur de terminal à 60 GHz est illustré dans la Figure I.16.

En effet, nous comparons dans la Figure I.16 la puissance reçue pour deux types de bilan de liaisons à 24 GHz et à 60 GHz. Le cas de 24 GHz correspond à des composants à base de technologie de CMOS 0.18 μm (LNA[I.25], Mélangeur[I.48], et PA [I.85]). Cette différence de 25 dB vient de la différence entre l'affaiblissement de liaison entre 24 et 60 GHz (8 dB) et des meilleures performances de différentes réalisations de composants dans la bande de 24 GHz. La consommation de récepteur pour la chaîne de 24 GHz est de 94,5 mWatts, celle de 60 GHz est de 15 mWatts.

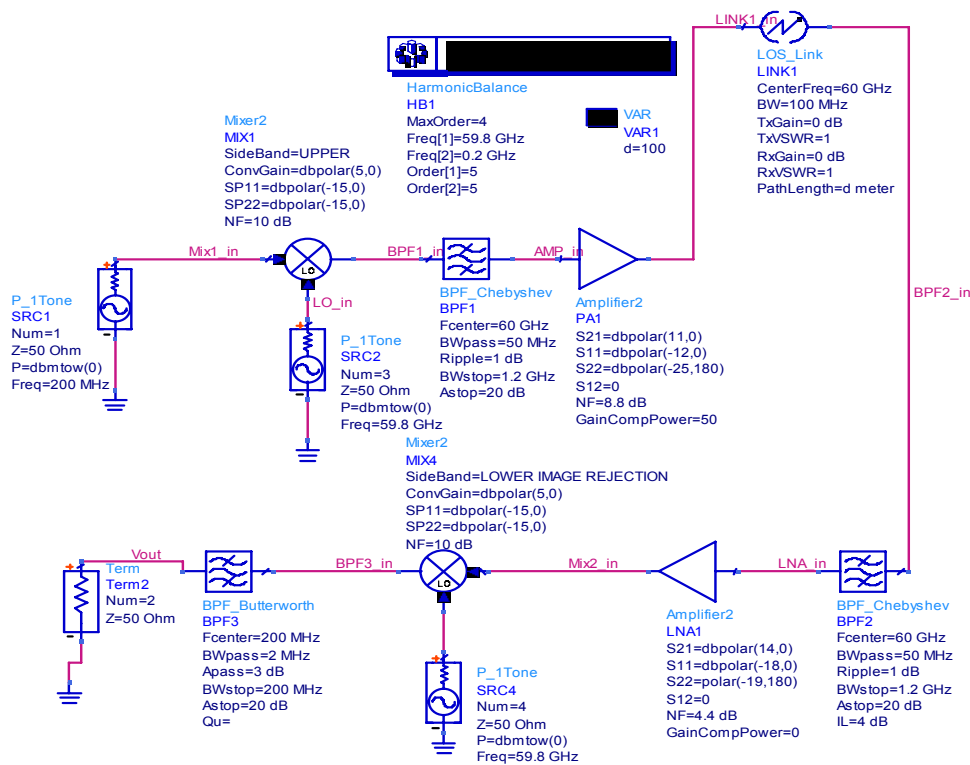


Figure I.15 Bilan de liaison d'un cas hybride de technologie à base de silicium (ADS)

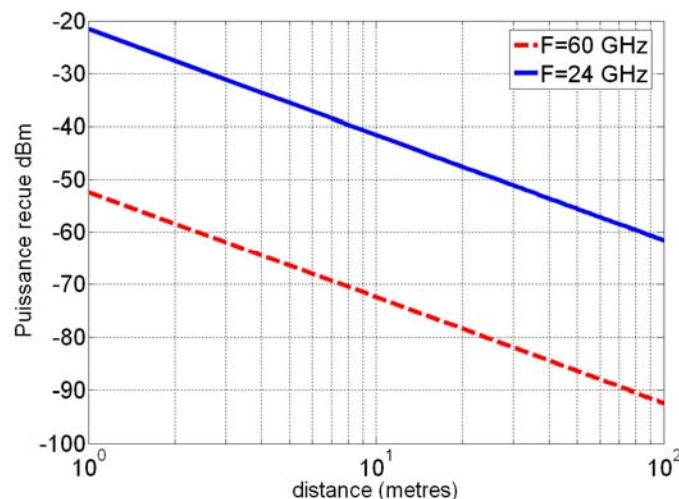


Figure I.16 Comparaison de puissance reçue après démodulation pour une liaison de 24 et 60 GHz pour une puissance à l'émission de 0 dBm

Les applications visées dans la bande de 60 GHz sont des applications à courte portée (de 10 à 100 mètres). En comparant à la sensibilité de GSM (-105 dBm), nous pouvons

conclure que la faisabilité de la bande 60 GHz dans les technologies à base de silicium est démontrée.

Par la suite nous parlons de technologies CMOS et CMOS SOI. Nous faisons une introduction sur la technologie CMOS SOI. Nous démontrons l'intérêt de cette technologie dans la conception des composants radiofréquences.

I.5. Technologie CMOS et CMOS SOI

I.5.1. Introduction

La technologie de silicium a été le support de base des systèmes de la microélectronique et de l'électronique pendant plus de trente années maintenant. En 1965, Gordon Moore, co-créateur d'Intel énonce une théorie devenue aujourd'hui la « loi de Moore », selon laquelle le nombre de transistors double sur une puce tous les deux ans environ. Or ce postulat empirique sur les semi-conducteurs et la miniaturisation des circuits imprimés, les fonderies en ont fait une réalité qui a alimenté la révolution informatique [I.104][I.22].

I.5.1.1. Pourquoi le CMOS

La technologie CMOS (Complementary Metal Oxide Semiconductor) est un principe de fabrication de composants électroniques à faible consommation électrique utilisé depuis les années 80, notamment dans la conception des processeurs. Cette technologie a succédé aux transistors « Bipolaires » qui, bien qu'étant plus rapides que leur homologue « CMOS », engendraient une consommation bien supérieure pour une méthode de fabrication plus complexe.

I.5.1.2. CMOS pour les applications numériques

La graduation CMOS a été conçue pour les applications numériques dans lesquelles les objectifs sont relativement plus simples ; Un dispositif plus petit, plus rapide, à basse consommation et à bas prix par circuit est préférable. Un exemple de ces applications est l'imageurs CMOS. Par comparaison à la technologie CCD (Charge Coupled Device), la technologie CMOS autorise l'intégration de fonctionnalités avancées de traitement d'images au plus près du capteur, et permet de concentrer l'action sur les zones d'intérêt de l'image, grâce à un adressage direct des pixels. Enfin, la technologie CMOS consomme beaucoup moins d'énergie et est beaucoup moins difficile à alimenter que son aînée. Les capteurs CCD présentent deux défauts majeurs. D'une part ils consomment beaucoup plus d'énergie que les CMOS, et d'autre part ils nécessitent la mise en œuvre d'une électronique complexe. Par opposition, les capteurs CMOS présentent des avantages architecturaux permettant la réalisation de caméras on chip, et l'intégration de fonctionnalités de traitements au niveau du capteur. Ils contribuent ainsi à la diminution globale de la consommation et à la miniaturisation des systèmes de vision [I.110].

I.5.1.3. CMOS pour les applications radiofréquences

Un dispositif CMOS avec 25 nm de longueur de canal est prévu pour être trois fois plus rapide qu'un dispositif de 100 nm de longueur, avec une fréquence de transition F_T (la fréquence de coupure ou le gain de courant est égal à l'unité) de plus de 250 GHz. Ce dispositif est excellent pour des circuits numériques à haute vitesse. Cette très haute fréquence de transition F_T suppose notamment que des circuits radiofréquence RF peuvent encore atteindre de hautes fréquences. Par contre, les résistances séries associées avec la base, l'émetteur et le collecteur, les caractéristiques reliés à l'effet de canal court associés avec des dispositifs CMOS ayant des canaux très court, limitent la fréquence maximale F_{\max} . Ceci peut être vu de l'expression de F_{\max} la fréquence d'oscillation maximale ou le gain de puissance est égal à l'unité.

$$[I-8] \quad f_{\max} = \frac{1}{2} \frac{f_T}{\sqrt{\frac{(r_g + r_s)}{r_0} + 2\pi f_T r_g C_{gd}}}$$

Où r_g est la résistance série de l'électrode de la grille

r_s est la résistance série de l'électrode de source,

r_0 est la résistance de sortie de transistor, C_{gd} est la capacité entre la grille et le drain (collecteur).

Actuellement, nous assistons à un intérêt croissant pour le développement de la technologie CMOS avec une réduction de la résistance parasite. Avec une grille métallique et un layout optimisé pour diminuer les résistances parasites, la fréquence maximale F_{\max} peut atteindre 100 GHz [I.109]. Pour les circuits analogiques à faible bruit, le niveau de courant de fuite de la grille ne doit pas être plus petit que 10^{-8} A/cm². Ainsi, les dispositifs CMOS près de limite de graduation ne sont pas appropriés pour l'utilisation des circuits analogiques à faible bruit.

Une haute résistance de sortie est souhaitée pour de nombreux circuits analogiques [I.108][I.109]. La faible résistance de sortie est un résultat direct parce que les dispositifs à court canal ont un large effet sur l'affaiblissement de barrière induite par le drain, qui fait augmenter le courant de drain avec la tension de drain [I.110]. Une faible résistance de sortie diminue la fréquence F_{\max} . Lorsqu'une grande résistance de sortie est nécessaire, les concepteurs utilisent souvent des longueurs de canaux de dispositif plus grand d'une manière significative que le minimum disposée pour la technologie. Ainsi, il y a un compromis entre la vitesse et la résistance de sortie dans les dispositifs CMOS, rendant les dispositifs à grande vitesse de CMOS indésirables pour plusieurs circuits analogiques.

Les technologies III-V (comme l'AsGa par exemple) sont relativement coûteuses et surtout ne permettent pas d'intégrer les fonctions de traitement numériques qui peuvent constituer une partie importante de ces puces communicantes. Si l'on veut s'approcher d'un idéal d'intégration maximale sur la même puce, il faut donc se tourner vers les technologies Silicium.

Il est acquis que les technologies d'intégration autour du Silicium sont moins chères. Les technologies sur Silicium BiCMOS ou SOI semblent être une solution adaptée à une

conception monolithique du frontal RF, y compris les passifs, dans la mesure où la recherche technologique permet aujourd'hui de disposer de dispositifs actifs (par exemple les transistors bipolaires SiGe) autorisant des montées en fréquences de plus en plus importantes.

I.5.2. Technologie Silicium sur isolant

Cette technologie est une alternative prometteuse au silicium brut dans la réalisation de transistors micro-ondes. En effet, malgré son coût de développement supérieur de 10 % par rapport aux technologies classiques sur substrat massif, le gain en performance est évalué entre 20 et 35 %. Les fréquences de coupure sont supérieures à 150 GHz pour la technologie 130 nm. Avec l'utilisation de substrats fortement résistifs, les pertes sont diminuées et les performances accrues notamment au niveau du bruit micro-onde.

L'intérêt de la technologie CMOS est le développement des systèmes de signaux mixtes. Pour ces derniers, l'isolation du bruit généré par leurs parties numériques et du bruit généré par leurs parties RF est critique. La majorité de couplage du bruit est dans les wafers du substrat[I.115]. En utilisant le SOI, et plus particulièrement du SOI avec une couche relativement épais d'isolant, souvent de silice (SiO₂), le bruit du couplage due au substrat est réduit[I.111] (Figure I.17).

Avec les substrats SOI, les transistors sur la puce peuvent être isolés les uns des autres par des régions latérales d'oxyde, ce qui facilite l'intégration des transistors npn et pnp (bipolaire complémentaire) et dispositifs CMOS sur une même puce[I.116].

I.5.3. Avantages de la technologie CMOS/SOI

La technologie SOI offre deux avantages : la haute vitesse et la faible consommation. Ces deux facteurs entraînent le développement de SOI dans différents domaines. Pourtant, ces avantages ne sont pas les seuls.

I.5.3.1. Compatibilité de procédé avec les technologies CMOS

Les équipements de production sont les mêmes que ceux utilisés pour la fabrication de circuits CMOS/BULK. Les étapes de fabrication sont même simplifiées. En effet, la réalisation de caissons est désormais rendue inutile par la présence de l'oxyde enterré et par l'utilisation d'une technique d'isolation entre les transistors, décrite dans le paragraphe suivant.

De plus, les règles de dessin du CMOS/BULK peuvent s'appliquer à la réalisation de circuits en CMOS/SOI. Toutefois, pour tirer le meilleur parti du CMOS/SOI, certaines règles sont modifiées et donnent lieu à l'établissement d'un DRM (Design Rule manual) spécifique. Elles restent cependant suffisamment proches pour que le concepteur CMOS puisse se familiariser aisément avec elles.

I.5.3.2. Densité d'intégration

En technologie CMOS/BULK, le phénomène de latch-up limite la densité d'intégration des circuits. Ce phénomène parasite fait apparaître des chemins de conduction entre

l'alimentation et la masse, provoquant un échauffement du circuit et une augmentation de la consommation. La nature bouclée de ce phénomène peut conduire à la destruction du dispositif [I.115].

Pour limiter cet effet, des distances minimales doivent être respectées entre les sources des transistors de type N et de type P. Pour augmenter la densité d'intégration, tous les transistors d'un même type sont regroupés dans un même caisson (well). Un anneau de polarisation du substrat permet aussi de limiter le latch-up mais réduit considérablement la densité d'intégration.

Le SOI permet de réaliser des circuits plus denses qu'en CMOS/BULK. En effet, les transistors CMOS/SOI sont totalement isolés. L'oxyde enterré assure l'isolation verticale et permet ainsi d'éviter le latch-up. La technique STI (Shallow trench isolation) permet en outre d'isoler latéralement les transistors (Figure I.17). Cette technique est aussi utilisée en technologie CMOS/BULK. Cette isolation bidimensionnelle permet de mettre côte à côte des transistors PMOS et NMOS sans anneau de polarisation du substrat (car le body est indépendant du substrat).

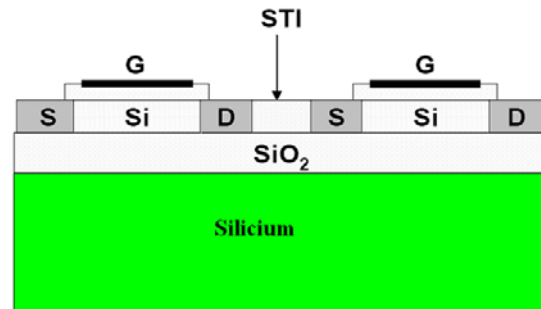


Figure I.17 Isolation diélectrique totale entre les transistors.

De plus, le SOI est moins sensible aux effets d'antenne. En effet, pendant le procédé de fabrication, le potentiel de body « suit » le potentiel de grille, évitant ainsi le claquage de l'oxyde de grille. Ainsi, dans la plupart des cas, les diodes d'antenne ne sont pas nécessaires. Le bénéfice global en termes de réduction de surface peut être chiffré entre 10 et 30% [I.114].

La compacité du layout permet de réduire la longueur des interconnexions, ce qui constitue un avantage pour la réduction des capacités parasites nuisibles, surtout à haute fréquence. En outre, l'isolation diélectrique permet de réduire considérablement l'influence des bruits du substrat sur un transistor et les couplages parasites entre transistors voisins. Ces avantages conduisent naturellement à privilégier l'utilisation du SOI pour la réalisation de dispositifs intégrés sur une même puce (System On Chip). Dans les récepteurs des liens haut débit, des modules haute fréquence, analogiques et digitaux peuvent ainsi trouver plus facilement leur place sur une même puce.

I.5.3.3. Les Composants passifs sur SOI

Dans un environnement analogique ou mixte, les performances des circuits peuvent être fortement influencées par la qualité des composants passifs disponibles [I.119]. En effet, les inductances, résistances et capacités sont largement utilisées pour ajuster, filtrer, transformer des impédances et contrôler le gain dans les circuits (filtres, convertisseurs A/N et N/A, amplificateurs, VCO etc...). Pour garantir une bonne intégration, il est donc

indispensable de pouvoir disposer d'une technologie permettant d'intégrer des composants passifs avec des facteurs de qualité¹ > 10 aux fréquences de fonctionnement des circuits.

Pendant ces dernières années, beaucoup d'efforts ont été consacrés au développement d'options technologiques capables de répondre à ces besoins. L'introduction de diélectriques à forte permittivité a permis par exemple de passer des capacités à double polysilicium des premiers procédés analogiques à des capacités MIM (métal isolant métal) dont le facteur de qualité n'est pas dégradé par la forte résistivité du polysilicium ou par les capacités parasites importantes vers le substrat, tout en gardant une forte densité ($\sim 1 - 5\text{fF}/\mu\text{m}^2$) [I.120]. Cette solution rajoute bien sur un coût supplémentaire (comme d'ailleurs la solution avec double polysilicium), mais elle peut aussi profiter de certaines avancées technologiques nécessaires aux applications numériques comme l'introduction du cuivre pour les interconnexions et des oxydes à faible permittivité pour l'isolation inter métallisations.

Toutefois, par rapport au « design » analogique à faible et moyenne fréquence, la conception de circuits radiofréquences nécessite aussi l'intégration d'inductances de bonne qualité. Ce point représente une des principales limitations des technologies silicium pour l'intégration complète de fonctions RF. Cela est d'ailleurs démontré par la forte production bibliographique de ces dernières années dans le domaine de la modélisation et de l'optimisation des inductances intégrées [I.121][I.122]. En effet, si pour les autres passifs, on arrive à avoir des facteurs de qualité > 20 à des fréquences de quelque GHz, pour les inductances, cette condition n'est pas toujours vérifiée. Pour les inductances intégrées sur silicium, dans le domaine du GHz, le facteur de qualité maximal reste bien inférieur à 15, (Figure I.18). Les pertes d'une inductance intégrée sur silicium peuvent être essentiellement classées en deux catégories :

- Les pertes ohmiques dans le conducteur qui augmentent à haute fréquence par l'effet de peau
- Les pertes dans le substrat, dues d'une part aux courants de déplacement (pénétration du champ électrique dans le substrat) et d'autre part aux courants de Foucault (pénétration du champ magnétique dans le substrat) [I.123].

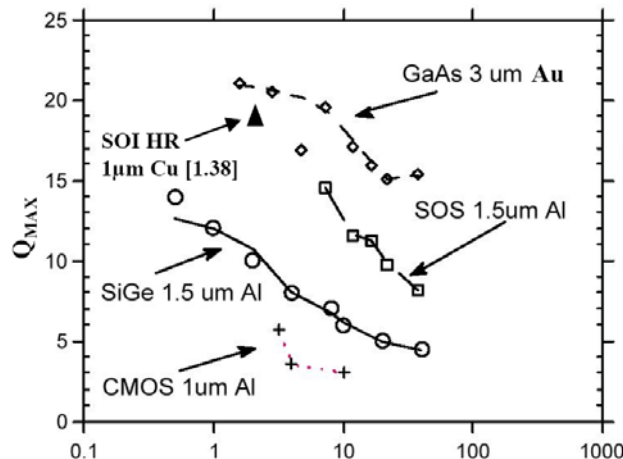


Figure I.18 Facteur de qualité maximal en fonction de la valeur d'inductance (nH) pour différentes technologies [I.124][I.125]

¹ Par facteur de qualité d'un composant réactif, on entend le rapport entre l'énergie réactive emmagasinée et celle dissipée dans une période du signal de test. Vice versa pour une résistance

Comme pour les capacités MIM, les avancées technologiques ont amélioré le facteur de qualité des inductances en réduisant les pertes ohmiques (introduction du cuivre) et celles dans le substrat (oxydes à faible permittivité et utilisation de substrats à moyenne résistivité ($15 \Omega \cdot \text{cm}$). De plus, l'optimisation du dessin des inductances a elle aussi permis de réduire les pertes avec des structures à largeur de conducteur variable [I.126] ou avec l'introduction d'un écran conducteur grillagé. Toutefois, l'utilisation de substrats silicium à haute résistivité ($>1 \text{ K}\Omega \cdot \text{cm}$) est la seule solution pour disposer d'inductances avec des facteurs de qualité proches de ceux obtenus avec des technologies plus onéreuses comme le GaAs ou le SOS (silicium sur saphir), (). C'est une des prérogatives des technologies SOI de disposer de tels substrats, sans pour cela augmenter fortement la complexité du procédé CMOS.

L'amélioration de facteur de qualité Q pour une inductance intégrée sur CMOS et CMOS SOI se traduit par un doublement de Q . En effet, Une étude concernant une inductance spirale sur CMOS et CMOS SOI a été reportée dans [I.127]. L'objectif est de maximiser le facteur de qualité de l'inductance à une fréquence donnée. Le dessin de boucle est important pour optimiser les performances. L'idée est de prendre avantage de la réduction de la capacité parasite de substrat SOI pour augmenter la largeur des brins de conducteurs afin de diminuer la résistance DC. La Figure I.19 montre le dessin de ces deux inductances de 3.4 nH sur le CMOS massif et sur le CMOS SOI. En optimisant le dessin, l'étude a montrée une amélioration du facteur de qualité de 50% [I.127] (Figure I.20).

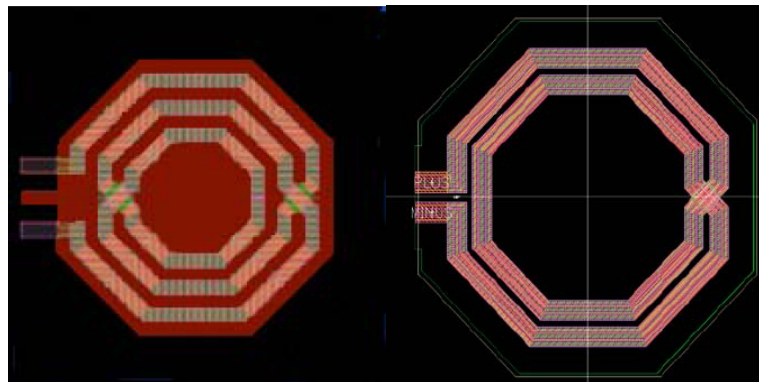


Figure I.19 Inductance spirale intégrée de 3.4 nH sur CMOS [I.127]
a) CMOS massif b) CMOS SOI

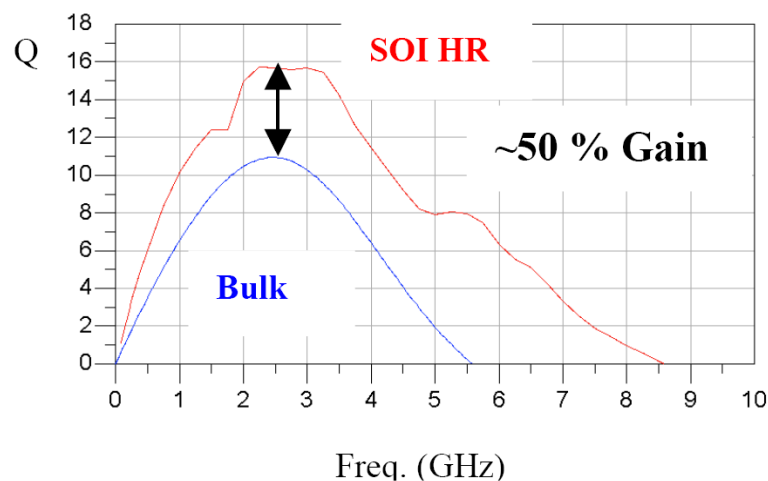


Figure I.20 Comparaison de facteur de qualité d'une inductance intégrée dans le CMOS et CMOS SOI [I.127]

Il est évident que les facteurs de qualité des résonateurs intégrés seront toujours trop faibles pour envisager l'intégration des filtres RF. Cependant, l'augmentation des facteurs de qualité est un élément non négligeable pour la réduction de la consommation de circuits comme les LNA ou les VCO.

I.5.4. Conclusion sur la Technologie SOI

Longtemps, le développement des technologies SOI a été freiné par le coût trop important des plaquettes SOI. Aujourd'hui, la mise en place du procédé Smart Cut TM et les coûts de fabrication très importants associés aux dernières générations CMOS ont sensiblement réduit l'écart initial entre CMOS bulk et CMOS SOI. Récemment, une réalisation bluetooth CMOS bulk fortement intégrée a été présentée [I.128]. Dans cette réalisation, 25 % de la surface du circuit est consacrée aux inductances de protection la partie analogique RF de la partie numérique. Si une technologie SOI avec un substrat haute résistivité (procurant un meilleur isolement) permettait de réduire de moitié cette surface supplémentaire, le surcoût initial du SOI serait, dans ce cas, totalement résorbé!

Dans ce contexte, nous croyons que les avantages du SOI, tant pour les systèmes numériques que pour les systèmes analogiques radiofréquences et surtout en ce qui concerne leur cohabitation sur un même substrat (cf chapitre 4), représentent une grande opportunité pour élargir le domaine du CMOS RF et en améliorer les performances. Quant au coût, si nous savons cibler les bons marchés, comme nous l'avons montré pour le BiCMOS, l'amélioration des performances des systèmes intégrés en SOI peut compenser largement le coût supplémentaire associé à cette technologie.

I.6. Conclusion du chapitre I

Ce chapitre est un état de l'art sur les performances des différents composants d'un récepteur émetteur en fréquence millimétriques pour différentes technologies.

Une étude des performances des différents composants des dispositifs millimétriques a été menée suivant des multicritères d'évaluation pour choisir la technologie présentant les meilleures performances. Une étude de faisabilité d'un bilan de liaison à 60 GHz en technologie CMOS SOI a été présentée pour évaluer cette bande.

Finalement, nous avons exposé la technologie CMOS SOI en se concentrant sur ses différentes caractéristiques et sa différence par rapport à la technologie CMOS massif.

Tableau I : Amplificateurs faibles bruit (LNA) pour des différentes technologies

Réf.	Technologie	F _T	F _{CENTRE}	S ₂₁	NF	OIP3 TOI	V _{DC}	I _{DC}	P _{DC}	Bande passante	GAIN	PGB	S ₂₁ /P _{DC}	Surface
CMOS														
[25]	0.18 μm SOI CMOS	54 GHz	21.8 GHz	15 dB	6 dB	n.a.	1.5 V	16 mA	24 mW	1 GHz	5.62	5.62 GHz	0.625 dB/mW	0.2 x 0.25 mm ²
[24]	0.09 μm SOI CMOS	149 GHz	35 GHz	11.9 dB	3.6 dB	n.a.	2.4 V	17 mA	40.9 mW	16 GHz	3.93	62.9 GHz	0.3 dB/mW	0.6 x 0.3 mm ²
			40 GHz	9.5 dB	4 dB	n.a.				10 GHz	2.98	29.8 GHz	0.23 dB/mW	
[23]	0.1 μm SOI CMOS	100 GHz	23.8 GHz	7.3 dB	10 dB	-7.8 dBm	1.5 V	53 mA	79.5 mW	4.5 GHz	2.3	10.35 GHz	0.092 dB/mW	0.44 x 0.51 mm ²
[41]	0.09 μm SOI CMOS	160 GHz	60 GHz	8 dB	3.2 dB	13.3 dBm	2 V	66 mA	132 mW	59 GHz	2.51	148.09 GHz	0.06dB/mW	0.89*0.33mm ²
[40]	0.13 μm CMOS	135 GHz	60 GHz	11 dB	n.a.	n.a.	1.5 V	36 mA	54 mW	16 GHz	3.54	56.7 GHz	0.2 dB/mW	60 μm x 60 μm (w/o connexion)
[42]	0.13 μm CMOS	75 GHZ	61 GHz	13 dB	6.5 dB	n.a.	1.2 V	4 mA	4.8 mA	7 GHz	4.46	31.2 GHz	2.29 dB/mw	n.a.
[32]	0.09 μm CMOS	n.a.	52 GHz	3 dB	n.a.	n.a.	1.5 V	5 mA	7.5 mW	23 GHz	1.41	32.4 GHz	0.4 dB/mW	n.a.
[25]	0.18 μm CMOS	45 GHz	23.5 GHz	12.86 dB	5.6 dB	+2.4 dBm	1.8 V	30 mA	54 mW	3.5 GHz	4.395	15.38 GHz	0.23 dB/mW	1.05 x 0.7 mm ²
			25.7 GHz	8.9 dB	6.93 dB	+2.8 dBm	1.8 V	30 mA	54 mW	4.5 GHz	2.786	12.5 GHz	0.164 dB/mW	1.05 x 0.7 mm ²
SiGe BICMOS														
[38]	0.12 μm SiGe BiCMOS	200 GHz	49 GHz	14 dB	5.2 dB	-11 dBm	1.8 V	2 mA	3.6 mW	10 GHz	5.01	50.1 GHz	3.88 dB/mW	1.8 x 1.1 mm ²
			61.5 GHz	14 dB	4.4 dB	-9 dBm	1.8 V	6 mA	10.8 mW	14 GHz	5.01	70.14 GHz	1.296 dB/mW	
			77 GHz	15 dB	5.6 dB	n.a.	1.8 V	8 mA	14.4 mW	28 GHz	5.62	157.4 GHz	1.04 dB/mW	

Réf.	Technologie	F _T	F _{CENTRE}	S ₂₁	NF	OIP3 ; TOI	V _{DC}	I _{DC}	P _{DC}	Bande passante	GAIN	PGB	S ₂₁ /P _{DC}	Surface
[31]	0.18 μm SiGe BiCMOS	160 GHz	52 GHz	22 dB	7.5 dB	n.a.	3.3 V	11.4 mA	37.6 mW	5 GHz	12.5	62.9 GHz	0.585 dB/mW	0.35 x 0.45 mm ²
[29]	0.25 μm SiGe:C BiCMOS	200 GHz	61.5 GHz	17 dB	4.2 dB	-8.5 dBm	1.8 V	6 mA	10.8 mW	12 GHz	7.07	84.95 GHz	1.57 dB/mW	1.32 x 0.58 mm ²
[33]	0.25 μm SiGe BiCMOS	70 GHz	23 GHz	22 dB	4.3 dB	-6.2 dBm	2.5 V	26 mA	65 mW	8 GHz	12.58	100.71 GHz	0.33 dB/mW	0.7 x 0.6 mm ²
SiGe HBT														
[39]	0.12 μm SiGe HBT	200 GHz	61.5 GHz	15 dB	4.5 dB	-8.5 dBm	1.8 V	6 mA	10.8 mW	13 GHz	5.6	73.1 GHz	1.388 dB/mW	0.9 x 0.6 mm ²
[34]	0.2 μm SiGe/HBT	90 GHz	23 GHz	21 dB	4.1 dB	n.a.	2.5 V	20 mA	50 mW	10 GHz	11.2	112.2 GHz	0.42 dB/mW	n.a.
[26]	0.5 μm SiGe/HBT	80 GHz	24 GHz	10 dB	9 dB	n.a.	3.6 V	45 mA	162 mW	7 GHz	3.16	22.13 GHz	0.06 dB/mW	0.21x0.48 mm ² W/O connexion
III/V														
[36]	0.1 μm GaAs HEMT	110 GHz	61 GHz	23 dB	3.2 dB	n.a.	2.5 V	64 mA	160 mW	10 GHz	14.1	141 GHz	0.14375 dB/mW	1.3 mm ²
[29]	0.15 μm GaAs pHEMT	n.a.	30 GHz	16 dB	1.4 dB	n.a.	2 V	20 mA	40 mW	n.a.	6.3	n.a.	0.4 dB/mW	1.68 x 1.2 mm ²
[37]	0.15 μm AlGaAs/InGaAs HJFET	200 GHz	60 GHz	18 dB	3.3 dB	n.a.	3 V	15 mA	45 mW	15 GHz	7.94	115 GHz	0.4 dB/mW	1.85x 1.07 mm ²
[43]	InGaAs/InP HEMT	130 GHz	60 GHz	13 dB	n.a.	n.a.	8 V	100 mA	800 mW	92 GHz	4.46	410 GHz	0.01625 dB/mW	2.5 x 1.22 mm ²
[28]	0.15 μm InP pHEMT	n.a.	26.5 GHz	14.5 dB	1.7 dB	n.a.	n.a.	n.a.	n.a.	n.a.	5.3	n.a.	n.a.	0.9 x 1 mm ²
[30]	0.25 μm GaAs/InGaAs PHEMT	n.a.	60.2 GHz	15.1 dB	4.8 dB	n.a.	2 V	20 mA	40 mW	15 GHz	5.68	85.3 GHz	0.3775 dB/mW	4x3 cm ²

Tableau II : Mixer (mélangeurs) pour des différentes technologies

Ref.	Technologie	F_T (GHz)	F_{RF} (GHz)	F_{FI} (MHz)	Conversion Loss G_C	F_{SSB} (NF)	V_{DC}	I_{DC}	P_{DC} (Conso)	G_C/P_{DC} dB/mW	Size
CMOS/BiCMOS											
[48]	0.18 μm CMOS	60	24	4900	13 dB	17.5 dB	1.5 V	27 mA	40.5 mW	0.32	n.a.
[59]	0.13 μm CMOS	85	60	2000	3 dB	11.5	1.2 V	2 mA	4.2 mW	0.47	1.6x1.7 mm ²
[60]	0.09 μm CMOS	150	60	2000	11.6	n.a.	n.a.	n.a.	n.a.	n.a.	2x2mm ²
[61]	0.09 μm CMOS	n.a.	60	4000	1.2 dB	n.a.	n.a.	n.a.	n.a.	n.a.	0.61x0.8mm ²
[49]	0.25 μm SiGe BiCMOS	70	23	1000	6.3 dB	14.1 dB	3.9 V	35.9 mA	140 mW	0.045	0.55 x 0.77 mm ²
SiGe Bipolar											
[57]	0.12 μm SiGe Bipolar	200	60.75	8750	9 dB	13dB	2.7 V	19.2 mA	51.84 mW	0.175	n.a.
[58]	0.12 μm SiGe Bipolar	200	60	500	> 16 dB	>15 dB	2.7 V	55.5 mA	150 mW	0.133	n.a.
[52]	0.4 μm SiGe Bipolar	85	40	300	25 dB	18 dB	4 V	73 mA	292 mW	0.085	0.55 x 0.45 mm ²
[50]	0.5 μm SiGe Bipolar	80	20	240	10 dB	9 dB	4.5 V	2 mA	9 mW	1.11	0.45 x 0.45 mm ²
[51]	0.5 μm SiGe Bipolar	80	30	300	5.9 dB	> 14 dB	4.9 V	2 mA	9.8 mW	0.6	0.45 x 0.45 mm ²
SiGe HBT											
[53]	SiGe HBT	n.a.	24.4	400	4 dB	n.a.	5V	8 mA	40 mW	0.1	n.a.
[54]	Si/SiGe HBT	30	24.5	800	16.3 dB	n.a.	3.6 V	10.8 mA	38.8 mW	0.42	n.a.
III/V											
[56]	0.1 μm GaAS pHEMT	n.a.	93.2	200	n.a.	12.8 dB	n.a.	n.a.	n.a.	n.a.	n.a.
[55]	0.15 μm AlGaAs/InGaAs HJFET	220 (F_{max})	60.5	500	9.2 dB	9.2 dB	2 V	195 mA	390 mW	0.02	1.07x2.22 mm ²

Tableau III : VCO pour des différentes technologies

Réf.	Technologie	Ft GHz	Fop GHz	Bruit de phase à 1MHz	Puissance de sortie	Tuning range GHz	VDC V	IDC mA	PDC conso	Surface mm ²
CMOS										
[82]	0.09 μ m CMOS	110	63.5	< -110 dBc/Hz 10 MHz	n.a.	n.a.	1	20	20 mW	n.a.
			103.8	<-110 dBc/Hz 10 MHz	n.a.	n.a.	1	30	30 mW	n.a.
[71]	0.12 μ m CMOS	100	51.6	-85dBc/Hz	-15 dBm	0.7	1.5	5.5	8.25 mW	0.5 x 0.9
[77]	0.13 SOI CMOS	148	40	-90.03 dBc/Hz	-7.9 dBm	37.1-40.6	1.5	7.5	11.25 mW	0.1x0.1 (w/o pads)
[72]	0.25 μ m CMOS	30	63	-85 dBc/Hz	-4 dBm	2.5	1.8	66	118.8 mW	0.45 x 0.7
[70]	0.25 μ m CMOS	n.a.	50	-99 dBc/Hz	n.a.	1.1	1.3	10	13 mW	0.519 x 0.39
SiGe Bipolar										
[78]	0.12 μ m SiGe Bipolar	200	20	-112 dBc/Hz	-5.5 dBm	21.2 -22.4	3	9	27 mW	n.a.
			60	-98 dBc/Hz	-8dBm	65.8 - 67.9	3	8	24 mW	n.a.
[68]	0.35 μ m SiGe Bipolar	70	46.9	-108.5 dBc/Hz	8.9 dBm	36 to 46.9	5.5	51	280.5 mW	0.5 x 1
[66]	0.4 μ m SiGe bipolar QVCO	85	28.9	-84.2 dBc/Hz	-14.7 dBm	24.8—28.9	5	25.8	129 mW	0.55 x 0.45
[73]	SiGe bipolar	70	47	-108 dBc/Hz	5.6 dBm	43.6— 47.3	5.5	51	280.5	0.4 x 0.9

Réf.	Technologie	Ft GHz	Fop GHz	Bruit de phase à 1MHz	Puissance de sortie	Tuning range GHz	VDC V	IDC mA	PDC conso	Surface mm ²
SiGe HBT										
[76]	0.18 μm SiGe HBT	155	120	n.a.	-29.6 dBm	15	4	50	200 mW	0.45 x 0.375
			78	-94 dBc/Hz	>-14dBm	14	4	32	128 mW	0.42 x 0.45
			59	-104 dBc/Hz	4 dBm	9	4	60	240 mW	0.48x 0.475
			31	-110.3 dBc/Hz	4dBm	6.6	4.5	41.8	188.1 mW	0.52 x 0.47
[67]	SiGe-HBT MMIC	70	47.02	-99.31 dBc/Hz at 100 kHz	13.1 dBm	n.a	4.6	32.59	150mW	n.a.
[75]	Si/SiGe HBT	n.a.	24	-99 dBc/Hz at 10 MHz	-2.8 dBm	1.5	3.6	55	198 mW	0.3 x0.3 (w/o pads)
III/V										
[79]	0.15 μm pHEMT	110	28.3	-102 dBc/Hz	11.8 dBm	3.8	2.5	32	80 mW	0.5
[80]	0.2 μm GaAs pHEMT	62	38.45	-63 dBc/Hz	<0	2.4	1.8	n.a.	n.a.	2x1.6
[81]	GaInP/GaAs HBT's	60	37	-107 dBc/Hz	2.3 dBm	36.2-37.3	3	17	51 mW	n.a.
[69]	2 x 5 μm AlInAS/InGaAs HBT	140	38.4	-108 dBc/Hz	10 dBm	0.85	3.5	n.a.	n.a.	1.6 x2
[74]	InP HBT	60	62.4	-104 dBc/Hz	4 dBm	0.3	2.5	n.a	n.a.	2 x 1.5
[83]	InGaP/GaAs HBT	n.a.	60	77.5 dBc/Hz	14 dBm	n.a	n.a	n.a	104 mW	2.2x1.2

Tableau IV : PA (Power Amplifier) pour des différentes technologies

Réf	Technologie	F _{Tr} GHz	F _{Op} GHz	P _{sortie} dBm	Gain dB	BP GHz	V _{DC} V	I _{DC} mA	μ rend %	P _{DC} Conso mW	Taille mm ²
CMOS/BiCMOS											
[100]	0.09 μm CMOS	140	60	9.3	5.2	13	1.5	26.5	2	40	0.35 x 0.43
[85]	0.18 μm CMOS	75 F _{max}	24	14.5	7	3.1	2.8	100	10	280	0.7 x 1.8
[99]	0.13 μm CMOS	70	40	-0.9	19	34-44	1.5	24	2.25	36	1.3 x 1.1
			60	2	12	51-65	1.5	36	2.9	54	1.3 x 1.0
SiGe											
[92]	0.12 μm SiGe Bipolar	207	77	11.6	6.1	76-78	2.5	130	4.44	325	2.1 x 0.75
[93]	0.12 μm SiGe bipolar	200	61.5	11.2	10.8	n.a.	2.5	150	3.5	375	2.1 x 0.8
[86]	0.12 μm SiGe HBT	200	61.5	10	9	4	1.1	130	6.99	143	n.a.
III/V											
[89]	0.1 μm GaAs pHEMT	n.a.	60	24.4	9.4	n.a.	n.a.	n.a.	27.2	1007	3.39x 1.61
[94]	0.1 μm InP HEMT	250	140	10	10	139-142	2	54	9.25	108	1.3 x 0.7
[87]	0.15 μm GaAs HEMT	120	44.5	28	7	n.a.	3.8	400	41.5	1520	2.5
[88]	0.15 μm AlGaAs/InGaAs HJFET	220 F _{max}	60.5	16.5	7	52.5-62.5	4	154	7.25	616	1.07 x 2.22
[90]	0.15 μm GaAs pHEMT	75	28	33.9	16	27.5-29.5	5	n.a.	n.a.	n.a.	n.a.
[96]	0.15 InGaAs pHEMT	n.a.	40	30.8	12.5	38-44	5	n.a.	n.a.	n.a.	5 x 2.6
[98]	0.15 μm GaN FET	80	33	32	9	4	12.8	218	56	2790	1.9 x 3
[95]	0.2 μm GaAs pHEMT	n.a.	30	31.6	8.1	n.a.	6	1000	24	6000	1.68 x 1.2
[91]	0.2 μm GaAs MESFETs	31	27	30	18	26.5-28	6.5	n.a.	n.a.	n.a.	3 x 4
	0.25 μm GaAs pHEMT	33	27	30	20	26.5-28	6	n.a.	n.a.	n.a.	3 x 4
[97]	InP DHBT	80	21	27.1	9	18-22	5.5	n.a.	45.7	1122	2.5 x 2.7

Références bibliographiques:

- [I.1] <http://robotics.eecs.berkeley.edu/~pister/SmartDust/>
- [I.2] <http://www-bsac.eecs.berkeley.edu/archive/users/warneke-brett/SmartDust/>
- [I.3] Kahn J. M. et al., "Mobile Networking for Smart Dust", ACM/IEEE Intl. Conf. on Mobile Computing and Networking (MobiCom 99), Seattle, WA, August 17-19, 1999.
- [I.4] Pister K. S. et al., "Smart Dust: Wireless Networks of Millimeter-Scale Sensor Nodes", Highlight Article in 1999 Electronics Research Laboratory Research Summary
- [I.5] Hsu V. et al., "Wireless Communications for Smart Dust", Electronics Research Laboratory Technical Memorandum Number M98/2, February, 1998
- [I.6] Chu, P.B. et al., "Optical Communication Using Micro Corner Cuber Reflectors", MEMS 97, Nagoya, Japan, 26-30 Jan 1997, pp. 350-5.
- [I.7] Smulders P., "Exploiting the 60 GHz Band for Local Wireless Multimedia Access: Prospects and Future directions", IEEE Comm. Mag. Vol. 2, No. 1, pp. 140-147, Jan. 2002
- [I.8] Smulders P., "60 GHz radio: prospects and future directions"; Eindhoven University of Technology, Department of Electrical Engineering, the Netherlands.
- [I.9] Koh C., "The Benefits of 60 GHz Unlicensed Wireless Communications", white papers; Terabeam Wireless.
- [I.10] Guo N. et al., "60-GHz Millimeter-Wave Radio: Principle, Technology, and New Results," EURASIP Journal on Wireless Communications and Networking, vol. 2007, Article ID 68253, 8 pages, 2007. doi:10.1155/2007/68253
- [I.11] Sadri, "802.15.3c Usage Model Document (UMD), Draft," IEEE 802.15 TG3c document: 15-06-0055-14-003c, January 2006.
- [I.12] Daembkes H. et al., "GaAs MMIC based components and front ends for millimetre wave communication and sensor systems", Proceedings of IEEE Microwave Systems Conference (NTC '95), pp. 83-86, Orlando, Fla, USA, May 1995.
- [I.13] Van Tuyl R. L., "Unlicensed millimeter wave communications a new opportunity for MMIC technology at 60 GHz", Proceedings of the 18th Annual IEEE Gallium Arsenide Integrated Circuit Symposium, pp. 3-5, Orlando, Fla, USA, November 1996.
- [I.14] Siddiqui M. et al., "GaAs components for 60 GHz wireless communication applications", Proceedings of GaAs Mantech Conference, San Diego, Calif, USA, April 2002.
- [I.15] Gunnarsson S. E., et al., "Highly integrated 60 GHz transmitter and receiver MMICs in a GaAs pHEMT technology", IEEE Journal of Solid-State Circuits, vol. 40, no. 11, pp. 2174-2185, 2005
- [I.16] Reynolds S., et al., "60 GHz transmitter circuits in SiGe bipolar technology", IEEE International Solid-State Circuits Conference. Digest of Technical Papers (ISSCC '04), vol. 1, pp. 442-538, San Francisco, Calif, USA, February 2004.
- [I.17] Doan C. H. et al., "Design of CMOS for 60 GHz applications", IEEE International Solid-State Circuits Conference. Digest of Technical Papers (ISSCC '04), vol. 1, pp. 440-538, San Francisco, Calif, USA, February 2004.
- [I.18] Winkler W. et al., "60 GHz transmitter circuits in SiGe:C BiCMOS technology", Proceedings of the 30th European Solid-State Circuits Conference (ESSCIRC '04), pp. 83-86, Leuven, Belgium, September 2004.
- [I.19] Reynolds S. K., "A 60-GHz super heterodyne down conversion mixer in Silicon-Germanium bipolar technology", IEEE Journal of Solid-State Circuits, vol. 39, no. 11, pp. 2065-2068, 2004
- [I.20] Floyd B. A. et al., "SiGe bipolar transmitter circuits operating at 60 GHz", IEEE Journal of Solid-State Circuits, vol. 40, no. 1, pp. 156-167, 2005.
- [I.21] Pinel S. et al., "Low cost 60 GHz Gb/s radio development", Progress in Electromagnetic Research Symposium, pp. 483-484, Cambridge, Mass, USA, March 2006.
- [I.22] Moore S. K., "Cheap chips for next wireless frontier", IEEE Spectrum, vol. 43, pp. 12-13, 2006.
- [I.23] Floyd B. A., et al., "A 23.8-GHz SOI CMOS Tuned Amplifier", IEEE Transactions on Microwave Theory and Techniques, Vol. 50, NO. 9, Sep. 2002
- [I.24] Ellinger F., "26-42 GHz SOI CMOS Low Noise Amplifier", IEEE Journal of Solid-State Circuits, Vol. 39, No. 3, March 2004
- [I.25] Guan X. et al., "A 24-GHz CMOS Front-End", IEEE Journal of Solid-State Circuits, Vol. 39, No. 2, Feb 2004
- [I.26] Sonmez E., et al., "A single-chip 24 GHz receiver front-end using a commercially available SiGe HBT foundry process", Dept. of Electron Devices and Circuits, University of Ulm, D-89069 Ulm, Germany
- [I.27] Ishikawa T. et al., "GAAS P-HEMT MMICS For K-to-KA Band Wireless Communication", High Frequency and Optical Semiconductor Division, Mitsubishi Electric Corporation, 4-1 Mizuhara, Itami, Hyogo 664-8641, Japan.

- [I.28] Mimino Y. et al., "High gain-density K-band P-HEMT LNA MMIC for LMDS and satellite communication", Proc. IEEE MTT-S Int. Microwave Symp., vol. 1, June 2000, pp. 17-20.
- [I.29] Winkler W. et al., "60 GHz Transmitter Circuits in SiGe:C BiCMOS Technology", Proceedings of the 30th European Solid-State Circuits Conference September 20 - September 24, 2004, Leuven, Belgium, pp. 83-86
- [I.30] Lundén O., et al., "A 60 GHz LNA using commercially available PM HEMTS for intersatellite and mobile communications", Technical research centre of Finland
- [I.31] Gordon M. et al., "An Inductor-Based 52-GHz 0.18 μm SiGe HBT Cascode LNA with 22 dB Gain", University of Toronto, Toronto, ON, Canada.
- [I.32] Voinigescu S. et al., "Comparison of Si CMOS, SiGe BiCMOS and InP HBT Technologies for High-Speed and Millimeter-Wave ICs", University of Toronto.
- [I.33] Li Y. et al., "23GHz front-end circuits in SiGe BiCMOS technology", Radio Frequency Integrated Circuits (RFIC) Symposium, 2003 IEEE , 8-10 June 2003 Pages:99 - 102
- [I.34] Schuppener G. et al., "A 23-GHz Low-Noise Amplifier in SiGe Heterojunction Bipolar technology", Radio Frequency Integrated Circuits (RFIC) Symposium, 2001. Digest of Papers. 2001 IEEE, 20-22 May 2001
- [I.35] Yu K. W. et al., "K-Band Low-Noise Amplifiers Using 0.18 μm CMOS Technology", IEEE Microwave and Wireless Components Letters, Vol. 14, No. 3, March 2004
- [I.36] Siddiqui M. et al., "GaAs Components for 60 GHz Wireless Communication Applications", Technical paper presented at GaAs Mantech Conference in San Diego, CA. on April 11, 2002
- [I.37] Maruhashi K. et al., "A 60-GHz-Band Monolithic HJFET LNA Incorporating a Diode-Regulated Self-Bias Circuit", IEEE Transactions on Microwave Theory and Techniques, Vol. 45, No. 12, December 1997
- [I.38] Floyd B., "V band and W band SiGe Bipolar Low Noise Amplifier and Voltage Controller Oscillator", IBM T. J. Watson Research Center, Yorktown Heights, NY, 10598, USA
- [I.39] Floyd B. A. et al., "Troy Beukema, and Brian Gaucher "SiGe Bipolar Transmitter Circuits Operating at 60 GHz", IEEE Journal of Solid-State Circuits, Vol. 40, No. 1, Jan. 2005
- [I.40] Doan C. H. et al., "Design of CMOS for 60GHz Applications", 2004 IEEE International Solid-State Circuits Conference, 2004. Digest of Technical Papers,
- [I.41] Ellinger F. "60-GHz SOI CMOS traveling-wave amplifier with NF below 3.8 dB from 0.1 to 40 GHz", IEEE Journal of Solid-State Circuits, Vol. 40, NO. 2, Feb. 2005.
- [I.42] Behzad R., "A 60-GHz CMOS Receiver Front-End", IEEE Journal of Solid-State Circuits, VOL. 41, No. 1, Jan. 2006.
- [I.43] Meliani C. et al., "DC-92 GHz ultra-broadband high gain InP HEMT amplifier with gain band width product", Electronics Letters, vol. 38, pp. 1175-1177, 2002.
- [I.44] Arensman R., "SiGe steps on the GaAs", EDN Magazine, 5/1/2005.
- [I.45] Razavi B., "Architectures and circuits for RF CMOS receivers", Proc. IEEE Custom Integrated Circuits Conf., May 1998, pp. 393-400.
- [I.46] Belkhiri C. et al., "Un Nouveau Mélangeur à Haute Linéarité pour les Futurs Systèmes de Télécommunication", Journées Nationales Microondes 2003, Actes de la conférence, Lille, JNM 2003.
- [I.47] Rampnoux E., "Analyse, conception et réalisation de filtres planaires millimétriques appliqués à la radiométrie spatiale", Thèse de l'Université de Limoges, Soutenue le 28 mars 2003
- [I.48] Guan X., "A 24-GHz CMOS Front-End", IEEE Journal of Solid-State Circuits, Vol. 39, No. 2, February 2004
- [I.49] YingGang Li et al. "23GHz Front-end Circuits in-SiGe BiCMOS Technology", 2003 IEEE 2003 IEEE Radio Frequency Integrated Circuits (RFIC) Symposium, pp 99-102, June 2003
- [I.50] Hackl, S et al., "Low-noise, low-power monolithically integrated active 20 GHz mixer in SiGe technology", Electronics Letters , Volume: 37 , Issue: 1 , 4 Jan. 2001
- [I.51] Wurzer, M. et al., "30 GHz active mixer in a Si/SiGe bipolar technology", Microwave Conference, 2000 Asia-Pacific , 3-6 Dec. 2000
- [I.52] Hackl, S. et al., "40 GHz monolithic integrated mixer in SiGe bipolar technology", Microwave Symposium Digest, 2002 IEEE MTT-S International , Volume: 2 , 2-7 June 2002
- [I.53] Gruson, F. et al. "24 GHz differential SiGe-MMIC oscillator with integrated mixer", Silicon Monolithic Integrated Circuits in RF Systems, 2003. Digest of Papers. 2003 Topical Meeting on , 9-11 April 2003
- [I.54] Sonmez, E. et al. "A single-chip 24 GHz receiver front-end using a commercially available SiGe HBT foundry process", Radio Frequency Integrated Circuits (RFIC) Symposium, 2002 IEEE , 2-4 June 2002
- [I.55] Ohata, K. et al., "Sixty-GHz-band ultra-miniature monolithic T/R modules for multimedia wireless communication systems", IEEE Transactions on Microwave Theory and Techniques, Volume: 44, Issue: 12, Dec. 1996

- [I.56] Chang, K.W. et al., "A W-band monolithic, singly balanced resistive mixer with low conversion loss", *Microwave and Guided Wave Letters, IEEE* [see also *IEEE Microwave and Wireless Components Letters*], Volume: 4, Issue: 9, Sept. 1994
- [I.57] Reynolds, S.K., "A 60-GHz super heterodyne down conversion mixer in silicon-germanium bipolar technology", *IEEE Journal of Solid-State Circuits*, Volume: 39, Issue: 11, Nov. 2004
- [I.58] Floyd B. A., "SiGe Bipolar Transmitter Circuits Operating at 60 GHz", *IEEE Journal of Solid-State Circuits*, Vol. 40, No. 1, Jan 2005
- [I.59] Emami S. et al., "A 60-GHz down-converting CMOS single-gate mixer", *Proc. IEEE Radio Frequency Integrated Circuits (RFIC) Symp.*, Jun. 2005, pp.163–166.
- [I.60] Motlagh B. M. et al., "Fully Integrated 60-GHz Single-Ended Resistive Mixer in 90-nm CMOS Technology", *IEEE Microwave and Wireless Components Letters*, vol. 16, issue 1, pp. 25-27, Jan. 2006.
- [I.61] Ivan C.H. et al., "60 GHz CMOS Down-conversion Mixer with Slow-Wave Matching Transmission Lines", *IEEE Solid-State Circuits Conference*, 2006 ASSCC, Nov. 2006, pp.195-198.
- [I.62] WONG Wa., "Conception de circuits MMIC BiMOS SiGe appliqués à la synthèse de fréquence fractionnaire" thèse de l'Université Paul Sabatier - Toulouse III – soutenue le 19/12/2003
- [I.63] Kipnis A. et al., "Large-signal computer-aided analysis and design of silicon bipolar MMIC oscillators and self-oscillating mixers", *IEEE Trans. Microwave Theory Tech.*, vol. 37, pp. 558-564, Mar. 1989
- [I.64] Leeson D.B., "A simple model of feedback oscillator noises spectrum", *Proc. IEEE*, Vol. 54, pp. 329-330, Fév. 1966
- [I.65] Hajimiri, T. et al. "A general theory of phase noise in electrical oscillator", *IEEE Journal of Solid-State Circuits*, Vol. 33 n°2, pp 179-193, Fév. 1998
- [I.66] Hackl S., "A 28-GHz Monolithic Integrated Quadrature Oscillator in SiGe Bipolar Technology", *IEEE Journal of Solid-State Circuits*, Vol. 38, No. 1, Jan 2003
- [I.67] Rheinfelder C.N. et al., "47 GHz SIGE-MMIC OSCILLATOR", 1999, *IEEE MTT-S Digest*
- [I.68] Li H. et al., "Millimeter-Wave VCOs With Wide Tuning Range and Low Phase Noise, Fully Integrated in a SiGe Bipolar Production Technology", *IEEE Journal of Solid-State Circuits*, Vol. 38, No. 2, Feb. 2003
- [I.69] Kurdoghlian, M. et al., "38-GHz low phase noise CPW monolithic VCOs implemented in manufacturable AlInAs-InGaAs HBT IC technology", *Proc. IEEE GaAs IC Symp.*, 2000, pp. 99–102.
- [I.70] Wang H. M., "A 50 GHz VCO in 0.25 μm CMOS", *IEEE ISSCC Dig. Tech. Papers*, pp. 372 -373, Feb. 2001.
- [I.71] Tiebout M., et al., "A 1V 51GHz Fully-Integrated VCO in 0.12 μm CMOS", *ISSCC 2002, Advanced RF Techniques*
- [I.72] Liu R.C., "A 63-GHz VCO Using a Standard 0.25 μm CMOS Process", *ISSCC 2004*
- [I.73] Li H., "47 GHz VCO With Low Phase Noise Fabricated in a SiGe Bipolar Production Technology", *IEEE Microwave and Wireless Components Letters*, Vol. 12, No. 3, March 2002
- [I.74] Wang et al., "A 62 GHz monolithic InP-based HBT VCO", *IEEE Microwave and Guided Wave Letters*, Vol 5 No.11, November 1995
- [I.75] Sönmez E. et al., "High Power Ultra Compact VCO with Active Reactance Concepts at 24 GHz » Dept. of Electron Devices and Circuits, University of Ulm, D-89069 Ulm, Germany
- [I.76] Lee et al., "SiGe BICMOS 65 GHz BPSK Transmitter and 30 to 122 GHz LC Varactor VCOs With Up to 21% Tuning Range", University of Toronto, Canada
- [I.77] Fong, N et al., "A 40 GHz VCO with 9 to 15% tuning range in 0.13 μm SOI CMOS", *Symposium on VLSI Circuits*, 13-15 June 2002 Pages:186 – 189
- [I.78] Floyd B. A. et al., "SiGe Bipolar Transmitter Circuits Operating at 60 GHz", *IEEE Journal of Solid-State Circuits*, Vol. 40, No. 1, Jan. 2005
- [I.79] Piernas B. et al., "A Compact and Low-Phase-Noise Ka-Band pHEMT-Based VCO", *IEEE Transactions on Microwave Theory and Techniques*, Vol. 51, No. 3, March 2003
- [I.80] Garner P. J. et al., "Ka-Band and MMIC pHEMT-Based VCO's with Low Phase-Noise Properties", *IEEE Transactions on Microwave Theory and Techniques*, Vol. 46, No. 10, Oct. 1998
- [I.81] Riepe K. et al., "35–40 GHz monolithic VCO's utilizing high-speed GaInP/GaAs HBT's", *IEEE Microwave Guided Wave Lett.*, vol. 4, pp. 274–276, Aug. 1994.
- [I.82] Franca-Neto L. M. et al., "Bloechel 64GHz and 100GHz VCOs in 90nm CMOS Using Optimum Pumping Method", *ISSCC 2004*
- [I.83] Lee O. et al., "A 60-GHz Push-Push InGaP HBT VCO With Dynamic Frequency Divider", *IEEE Microwave and Wireless Components Letters*, Vol. 15, No. 10, Oct. 2005
- [I.84] Schlumpf N., "Adaptation Dynamique de la Compression d'un Amplificateur RF pour des Signaux Modulés en Amplitude et en Phase", thèse de l'École polytechnique Fédérale de Lausanne soutenu en 2004.
- [I.85] Komijani, A. et al., "A 24GHz, +14.5dBm fully-integrated power amplifier in 0.18 μm CMOS" *Custom Integrated Circuits Conference*, 2004. *Proceedings of the IEEE 2004*, 3-6 Oct. 2004

- [I.86] Reynolds, S. et al., "60GHz transmitter circuits in SiGe bipolar technology", Solid-State Circuits Conference, 2004. Digest of Technical Papers. ISSCC. 2004 IEEE International, 15-19 Feb. 2004
- [I.87] Lam, F. et al., "44-GHz high-efficiency InP-HEMT MMIC power amplifier", Microwave and Guided Wave Letters, IEEE [see also IEEE Microwave and Wireless Components Letters] , Volume: 4 , Issue: 8 , Aug. 1994
- [I.88] Ohata, K. et al., "Sixty-GHz-band ultra-miniature monolithic T/R modules for multimedia wireless communication systems", IEEE Transactions on Microwave Theory and Techniques, Volume: 44 , Issue: 12 , Dec. 1996
- [I.89] Chen S.W. et al., "A 60-GHz high efficiency monolithic power amplifier using 0.1- μ m PHEMT's", IEEE Microwave and Guided Wave Letters, Volume: 5, Issue: 6, Year: Jun 1995
- [I.90] Siddiqui, M.K et al., "A high-power and high-efficiency monolithic power amplifier at 28 GHz for LMDS applications", Microwave Theory and Techniques, IEEE Transactions on , Volume: 46 , Issue: 12, Dec. 1998
- [I.91] Yarborough, R. et al., "Performance comparison of 1 watt Ka-band MMIC amplifiers using pseudomorphic HEMTs and ion-implanted MESFETs", Microwave and Millimeter-Wave Monolithic Circuits Symposium, 1996. Digest of Papers., IEEE 1996 , 16-18 June 1996
- [I.92] Pfeiffer, U.R. et al., "A 77 GHz SiGe power amplifier for potential applications in automotive radar systems", Radio Frequency Integrated Circuits (RFIC) Symposium, 2004. Digest of Papers. 2004 IEEE, 6-8 June 2004
- [I.93] Floyd, B.A. et al., "SiGe Bipolar Transmitter Circuits Operating at 60 GHz", Solid-State Circuits, IEEE Journal of , Volume: 40, Issue: 1 , Jan. 2005
- [I.94] Pobanz C. W. et al., "A High-Gain Monolithic D-Band InP HEMT Amplifier » IEEE Journal of Solid-State Circuits, Vol. 34, No. 9, Sep. 1999
- [I.95] Ishikawa, T et al., "GaAs P-HEMT MMICs for K-to-Ka band wireless communications", Wireless Communications and Systems, 1999 Emerging Technologies Symposium , 12-13 April 1999
- [I.96] Chi, J.C.L. et al., "A 1-W high-efficiency Q-band MMIC power amplifier", Microwave and Guided Wave Letters, IEEE [see also IEEE Microwave and Wireless Components Letters] , Volume: 5 , Issue: 1 , Jan. 1995
- [I.97] Kobayashi, K.W. et al., "A 0.5 watt-40% PAE InP double heterojunction bipolar transistor K-band MMIC power amplifier", 2000. Conference Proceedings. 2000 International Conference on Indium Phosphide and Related Materials, 14-18 May 2000
- [I.98] Micovic, M. et al., "Ka-band MMIC power amplifier in GaN HFET technology", Microwave Symposium Digest, 2004 IEEE MTT-S International , Volume: 3 , 6-11 June 2004
- [I.99] Doan, C.H., "Millimeter-Wave CMOS Design", IEEE Journal of Solid-State Circuits , Volume: 40, Issue: 1 , Jan. 2005
- [I.100] Yao, T. et al., "60-GHz PA and LNA in 90-nm RF-CMOS", 2006 IEEE Radio Frequency Integrated Circuits (RFIC) Symposium, 11-13 June 2006
- [I.101] Lévy G., "Le transmetteur RF évolue pour abaisser le coût du radiotéléphone", Revue d'électronique, n°175 Décembre 2006
- [I.102] Greenhouse H. M., "Design of Planar Rectangular Microelectronic Inductors", IEEE Transactions on parts, hybrids, and packaging", Vol. PHP-10, No 2, June 1974 ;
- [I.103] Niknejad A. et al., "Analysis, Design, and Optimisation of Spiral Inductors and Transformers for RF ICs", IEEE Journal of Solid-State Circuits, Vol. 33, N° 10, October 1998.
- [I.104] Hajimiri A., et al., "Design Issues in CMOS Differential LC Oscillators", IEEE Journal of Solid-State Circuits, Vol. 34, N° 5, May 1999 ;
- [I.105] John L. R., "A Low-Voltage 5,1 - 5,8- GHz Image-Reject Downconverter RF IC", IEEE Journal of Solid-State Circuits, vol. 35, n°9, pp. 1320-1328, September 2000.
- [I.106] Moore Gordon, "Progress in Digital Integrated Electronics", IEDM Tech. Digest, pp. 11–13 (1975).
- [I.107] "Perspectives de la loi de Moore : technologie et recherche chez Intel", <http://www.intel.com/cd/corporate/techtrends/emea/fra/209837.htm>
- [I.108] Taur Y. et al., "25 nm CMOS Design Considerations," IEDM Tech. Digest, pp. 789–792 (1998).
- [I.109] "Capteurs CCD/CMOS : comment choisir", <http://www.jautomatise.com/Articles/J37p7678.pdf> Jautomatise N° 37 - Novembre-Décembre 2004
- [I.110] Ning T. H., "Why BiCMOS and SOI BiCMOS?", IBM Journal of Research and Development issue Volume 46, Numbers 2/3, 2002
- [I.111] Ohguro T. et al., "High-Performance RF Characteristics of Raised Gate/Source/Drain CMOS with Co Salicide", Symposium on VLSI Technology, Digest of Technical Papers, 1998, pp. 136–137.
- [I.112] Taur Y. et al., "Fundamentals of Modern VLSI Devices", Cambridge University Press, New York, 1998.

- [I.113] Tinella C., "Etude de potentialités des technologies CMOS-SOI partiellement désertées pour les applications radiofréquences", thèse de l'INPG, soutenue le 23 septembre 2003.
- [I.114] Belleville M. et al., "Low power SOI design", PATMOS 2001- International Workshop-Power and Timing Modeling, Optimization and Simulation, Yverdon-lesbains, Switzerland, Sep. 2001.
- [I.115] Fairchild Semiconductor, "Understanding Latch-up in advanced CMOS Logic", AN-600, Revised April 1999, available through www.fairchildsemi.com.
- [I.116] Bernstein K. et al., "SOI circuit design concepts", IBM Microelectronics, Kluwer Academic Publishers, Boston / Dordrecht / London, 3rd printing, 2001.
- [I.117] Ohguro T. et al., "High-Performance Digital-Analog Mixed Devices on a Si Substrate with Resistivity beyond $1 \text{ k}\Omega\text{-cm}$ ", IEDM Tech. Digest, pp. 757-760 (2000).
- [I.118] Corson D. et al., "Why all the buzz about SOI?", www.rfdesign.com October 2003, http://images.rfdesign.com/files/4/310RF_Corson36.pdf
- [I.119] Coolbaugh, D. et al., "Advanced passive devices for enhanced integrated RF circuit performance", 2002 IEEE Radio Frequency Integrated Circuits (RFIC) Symposium, 2-4 June 2002 Page(s):341
- [I.120] Ahm Jeong-Hoon et al., "Integration of MIM capacitors with low-k/Cu process for 90 nm analog circuit applications", Proceedings of the IEEE 2003 International Interconnect Technology Conference, 2003. 2-4 June 2003 Page(s):183 - 185
- [I.121] Merrill, R.B et al. "Optimization of high Q integrated inductors for multi-level metal CMOS", International Electron Devices Meeting, 1995., 10-13 Dec. 1995 Page(s):983 - 986
- [I.122] Arcioni, P et al. "An innovative modelization of loss mechanism in silicon integrated inductors", IEEE Transactions on Analog and Digital Signal Processing, Volume 46, Issue 12, Dec. 1999 Page(s):1453 - 1460
- [I.123] Dede, E.J et al., "On the design of high frequency series resonant converters for induction heating applications", Proceedings of the International Conference on Industrial Electronics, Control, and Instrumentation, 1993. 15-19 Nov. 1993 Page(s):1303 - 1307 vol.2
- [I.124] Bourghartz J. et al., "Status and Trends of Silicon RF Technology", Microelectronics Reliability, Elsevier vol.41, n.1.
- [I.125] Burghartz J. N. et al., "High-Q inductors in standard silicon interconnect technology and its application to an integrated RF power amplifier", in IEDM'95 Tech. Dig., pp. 1015-1017
- [I.126] Bahl I. J., "Improved quality factor spiral inductor on GaAs substrates", IEEE Microwave Guided Wave Lett., vol. 9, pp. 398-400, Oct. 1999.
- [I.127] Gianesello, F. et al "Integration of ultra wide band high pass filter using high performance inductors in advanced high resistivity SOI CMOS technology", 2006 Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems, Digest of Papers. 18-20 Jan. 2006
- [I.128] Ugajin M. et al., "A 1-V CMOS SOI Bluetooth RF Transmitter Using LC-Tuned and Transistor-Current-Source Folded Circuits", IEEE Journal of Solid-State Circuits, Vol. 39, No. 4, April 2004.
- [I.129] Razavi B. "RF Microelectronics", Prentice Hall, Nov. 1997

Chapitre II

Etudes de structures d'interconnexions
radiofréquences intégrées sur SOI

II. Introduction

Les éléments passifs, tels que les inductances ou les capacités, sont nécessaires à l'adaptation d'impédance, au filtrage, à la distribution du signal, etc... Aux hyperfréquences, les éléments passifs perdent leur caractère localisé, si bien qu'il est nécessaire de les remplacer par des éléments distribués tels que les lignes de transmission micro ruban ou coplanaires, haute et basse impédance caractéristique, respectivement pour les inductances et les capacités. Celles-ci ont en plus pour avantage d'occuper moins de surface que les composants qu'elles remplacent et d'obtenir des valeurs très précises[II.36].

Néanmoins, si le développement des circuits hyperfréquences en silicium est problématique, ce n'est pas en raison des performances des transistors aux fréquences millimétriques, mais à cause de la qualité insuffisante des lignes de transmission. Le principal défi est donc actuellement la réalisation de structures de propagation à faibles pertes. Ces dernières constituent l'alimentation des antennes intégrées, d'où l'intérêt d'une conception maîtrisée de ces lignes.

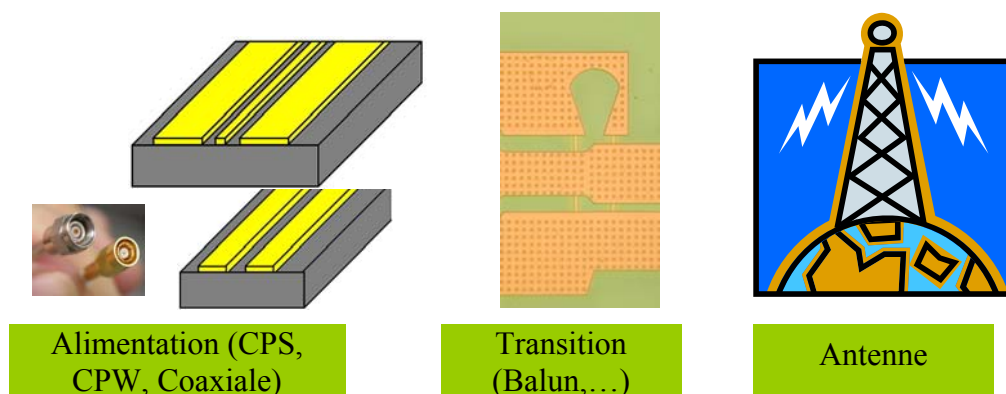


Figure II.1 Différents composants pour la conception de l'antenne

Dans la première partie de ce chapitre, nous examinerons les caractéristiques de deux des structures de propagation, à savoir les lignes coplanaires et les rubans coplanaires, ainsi que leur implémentation dans la technologie SOI 0.13 μm de STMicroelectronics [II.41]. Notre objectif est d'étudier une structure d'interconnexion pour assurer une alimentation maîtrisée pour l'antenne et pour réduire l'emploi des lignes. La deuxième partie est consacrée à l'étude de la permittivité effective de ces lignes sur une structure multicouche telle que le SOI. La performance des lignes en SOI est étudiée et une comparaison de performance de ces lignes coplanaires sur SOI est réalisée. Finalement, nous proposons une formule analytique pour déterminer la permittivité d'antenne intégrée sur substrat.

II.1. Empilement technologique de substrat Silicium sur isolant (SOI) utilisé

II.1.1. Importance des interconnexions dans la conception de systèmes électroniques

Un système électronique est constitué d'un ensemble de composants, regroupés en sous-systèmes, eux-mêmes assemblés, communiquant avec l'extérieur et recevant l'énergie nécessaire à leur fonctionnement.

Les interconnexions entre ces différents constituants jouent un rôle essentiel dans la détermination de la performance du système. Du soin apporté à leur conception dépend grandement de la qualité du produit final.

Trois paramètres de choix interviennent dans leur conception :

- La densité
- Le coût
- La performance

Pour propager des signaux de grande vitesse, l'interconnexion doit présenter une continuité d'impédance aux différentes discontinuités de support, sous peine de dégradation. Il doit y avoir continuité électrique.

Le substrat SOI est constitué d'un empilement de couches de métaux (M1 jusqu'à M6) séparées par des couches d'oxyde et de nitrure sous lesquelles il y a des couches de poly silicium et des couches d'isolation et une couche de silicium actif ou de placent généralement des transistors. Ces différentes couches sont séparées d'une couche de silicium haute résistive par une couche d'isolant (SiO_2 , Figure II.2).

II.1.2. Structure des couches d'interconnexions

La structure des couches métalliques de la technologie SOI, illustrée sur la Figure II.2, est constituée de six couches de cuivre et d'une septième couche d'aluminium optionnelle, utilisée pour les plots ou les inductances. Les couches diélectriques intermétalliques sont constituées d'oxyde (SiO_2) et de nitrure (Si_3N_4) d'épaisseurs variables. De plus, à chaque niveau métallique est associé une couche d'oxyde non représentée sur la [II.36].

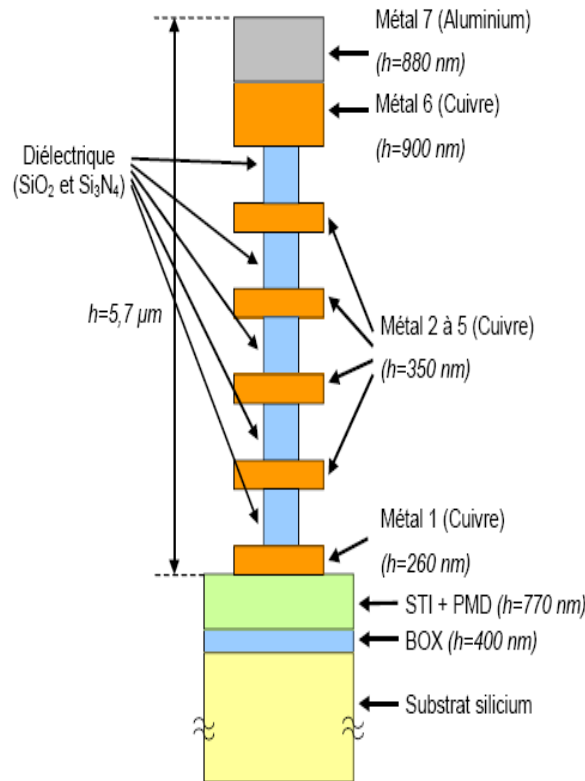


Figure II.2 Structure des couches métalliques de la technologie SOI 130 nm

A savoir que, après des simulations électromagnétiques, on a montré que l'effet de la couche de silicium active d'épaisseur de $0.15 \mu\text{m}$ peut être négligé. Cette couche existe dans la couche d'isolation (STI pour «Shallow trench isolation», Figure II.2), et dans la couche diélectrique pré métallique (PMD pour «Pre Metal dielectric»). La couche BOX est une couche d'oxyde (SiO_2). De même que lorsque nous n'utilisons pas de couches de métaux (entre M1 jusqu'à M5), on peut mettre une couche équivalente de SiO_2 de permittivité ($\epsilon_r = 4.2$) en gardant les mêmes épaisseurs.

Dans les circuits hyperfréquences, les inductances sont particulièrement critiques car le facteur de qualité est faible à cause du substrat et de la résistance de métal. L'emploi des inductances de type guide d'onde coplanaire (CPW) améliore les performances de ces inductances [II.2][II.3]. En effet, le ruban central et les deux plans de masse de la ligne CPW sont intégrés sur la couche la plus haute, qui a la résistance la plus faible. La plupart du champ électromagnétique se concentre sur les fentes de lignes, ce qui réduit les pertes de substrat. Le facteur de qualité est le plus fort pour ces inductances. L'inconvénient de ce type d'architecture est la nécessité d'utilisation des ponts ou des liaisons métalliques enterrées pour éliminer les modes parasites autre que le TEM.

II.2. Ligne de transmission sur SOI

Les interconnexions de type micro ruban sont simplement réalisées en employant les différents niveaux de métallisation disponibles, afin de maintenir les pertes à des niveaux acceptables. Le ruban de la ligne n'est ainsi séparé que de quelques microns du plan de masse placé dans le niveau M1, mais cela permet d'éviter les pertes diélectriques liées au substrat.

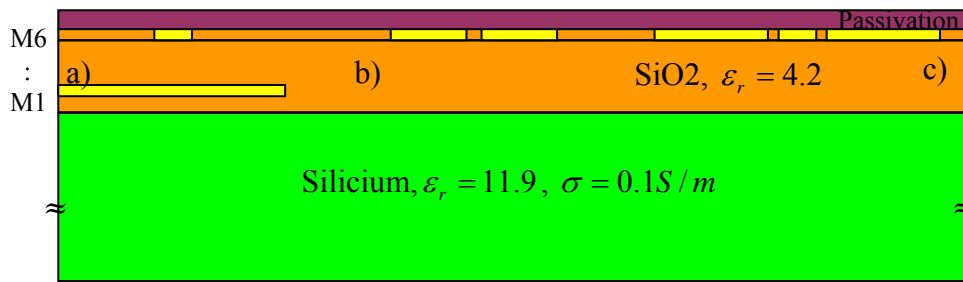


Figure II.3 Différentes structures d'interconnexion sur SOI
 a) Lignes Micro ruban b) Ruban coplanaire c) Ligne Coplanaire

L'inconvénient de ces interconnexions n'apparaît pas réellement lorsque l'on conçoit des circuits à quelques GHz. Cependant, lorsque la fréquence augmente, les ouvertures dans le plan de masse nécessaires aux accès des transistors par exemple, créent des discontinuités qui, combinées à la conductivité souvent moyenne de ce premier niveau métallique utilisé pour le plan de masse, engendrent des contre-réactions parasites qui peuvent aboutir à quelques instabilités. La modélisation de ces parasites est très difficile à réaliser puisqu'il est alors nécessaire d'employer des simulateurs électromagnétiques sur de fortes surfaces de circuit, ce qui est généralement très coûteux en temps de simulation[II.36].

Par ailleurs, la réalisation de lignes micro ruban ayant des impédances caractéristiques supérieures à 50Ω implique une diminution de la largeur du ruban qui n'est alors que de quelques microns seulement ($2-5 \mu\text{m}$). Les pertes par effet de peau deviennent très importantes. Les guides d'onde coplanaires (CPW) peuvent alors apporter une solution intéressante au problème. En effet, le ruban central de la ligne CPW peut être plus large que celui d'une ligne de type micro ruban à impédance caractéristique identique, ce qui minimise l'influence de l'effet de peau sur les pertes totales.

II.2.1. Ligne de transmission guide d'onde coplanaire CPW

La ligne coplanaire (Figure II.4) est composée de trois rubans conducteurs déposés sur un substrat diélectrique. Le ruban central de largeur W propage le signal, tandis que les deux rubans latéraux, de largeur W_g , font office de plans de masse semi-infinis (c'est-à-dire de grande dimension). Le ruban central est séparé des deux plans de masse par des fentes de largeurs S .

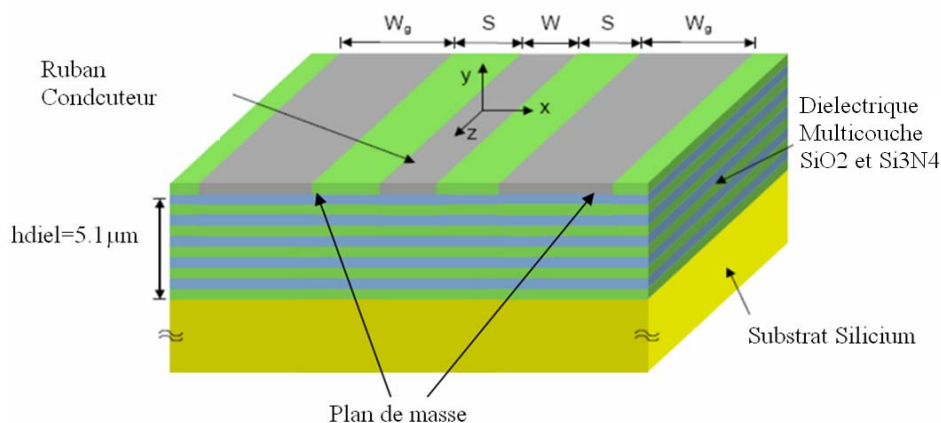


Figure II.4 Ligne de transmission Guide d'onde coplanaire CPW

La structure de la ligne coplanaire en technologie SOI 130 nm est représentée sur la Figure II.4. Le ruban conducteur et les plans de masse latéraux sont dessinés sur le niveau de cuivre M6 auquel est rajouté le niveau d'aluminium.

Le plan de masse est réalisé sur les niveaux de cuivre M1 et M2 avec une structure particulière en forme de grillage (Figure II.5). Celle-ci a été adoptée pour respecter les contraintes technologiques de planarisation qui ne permettent pas d'avoir des surfaces pleines de métallisation. En effet, la densité maximale de cuivre ne doit pas dépasser 70 à 80 % de la surface, suivant la couche impliquée et la surface de métallisation. Pour réaliser la structure grillagée, le plan de métallisation du niveau de cuivre M2 a été dessiné de manière à recouvrir les trous du premier niveau de cuivre. Finalement, les deux plans sont court-circuités par des matrices de vias métalliques. La structure est dessinée en se plaçant aux densités maximales et donne l'illusion d'une surface pleine, et n'est plus utilisable au-delà de 65 GHz[II.36].

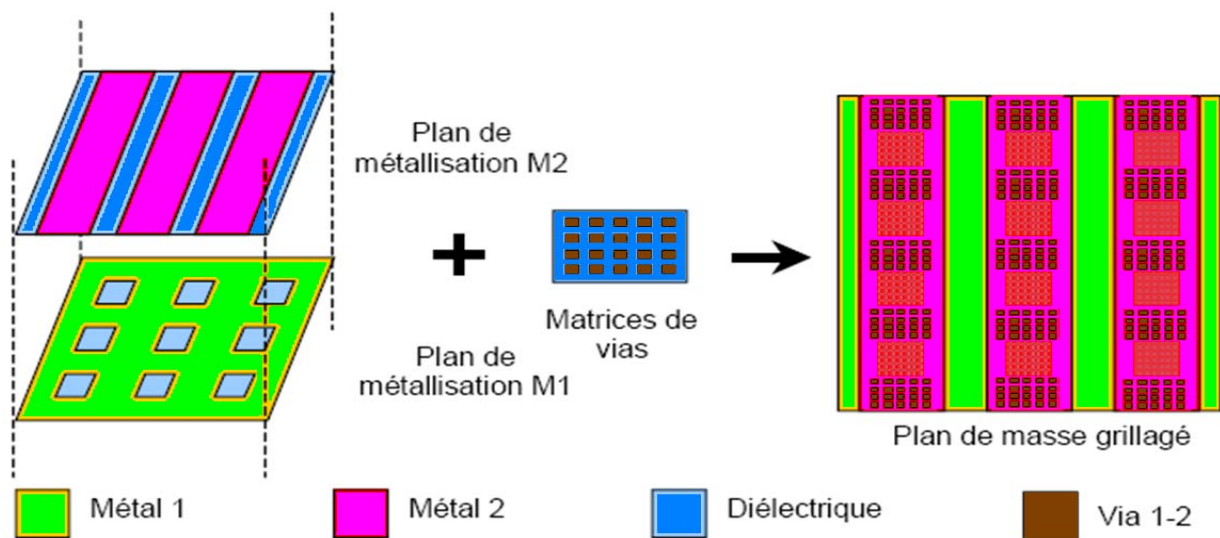


Figure II.5 Schéma du plan de masse grillagé

II.2.2. Ligne de transmission de type ruban planaire (Coplanar strip CPS)

Les interconnexions coplanaires permettent de plus une meilleure compacité du circuit, notamment lorsque des lignes de type rubans coplanaires (CPS) sont employées (Figure II.6). Ces lignes sont formées de deux rubans métalliques parallèles placés sur un même substrat entre lesquels l'onde se propage. Leur nature différentielle les prédestine donc pour la conception de circuits équilibrés tels que les antennes dipôles. La structure de ces lignes se dessine de la même manière que les lignes coplanaires CPW.

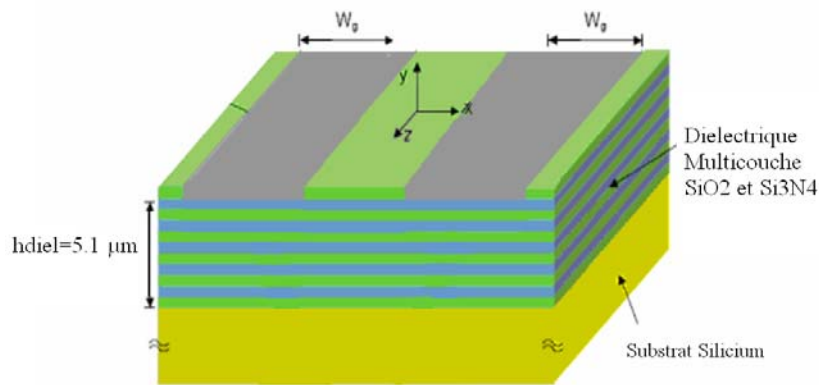


Figure II.6 Ligne de transmission de type ruban coplanaire CPS

II.2.3. Modes de propagation

De même que la ligne micro ruban, la ligne coplanaire possède une interface air diélectrique et le mode de propagation n'est donc pas purement TEM. De par sa géométrie et sa structure, cette ligne supporte deux modes de propagation [II.4][II.5] :

- Un mode impair quasi-TEM, encore appelé mode coplanaire,
- Un mode pair quasi-TE, encore appelé mode fente.

Le mode impair, qui est le mode souhaité, se propage dans le conducteur central. Les plans de masse sont alors équipotentiels. Ce mode n'est pas purement TEM, mais un choix judicieux des dimensions de la ligne permet de minimiser les composantes longitudinales E_z et H_z , si bien que l'on parle de mode quasi-TEM. Les champs électriques et magnétiques de ce mode pour les lignes CPW et CPS sont représentés schématiquement dans la Figure II.7.

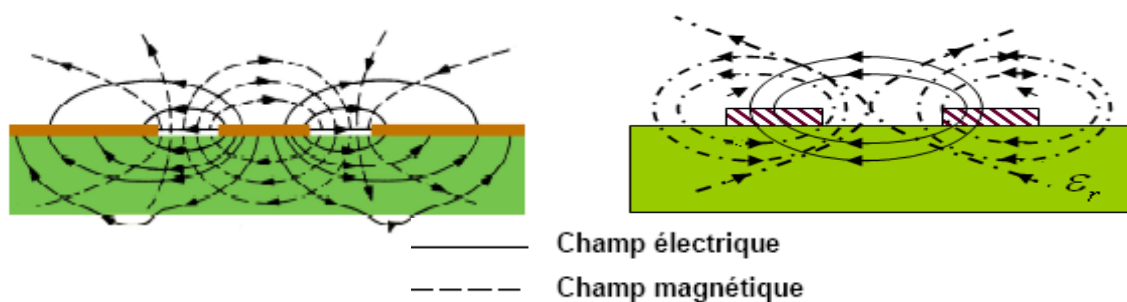


Figure II.7 Représentation schématique des champs dans les lignes CPW et CPS

Le mode pair (indésirable) peut être excité par la présence de discontinuités telles qu'une jonction ou un coude. Il se traduit par des potentiels opposés sur les deux plans de masse et un potentiel nul sur le ruban conducteur. Un ruban métallique transversal est suffisant pour filtrer ce mode et rétablir l'équipotentialité des plans de masse. Les technologies III-V disposent généralement de ponts à air alors qu'en silicium, l'équipotentielle est réalisée sur un niveau de métallisation inférieur à celui utilisé pour réaliser la structure coplanaire (underpath).

Néanmoins, alors que dans le cas des lignes micro rubans le retour de masse du mode pair est réalisé par un plan métallique. Pour les lignes CPS, ce retour se fait par le substrat : le

mode pair subit ainsi une atténuation plus forte. La présence d'un plan de masse sous le substrat réduit le couplage entre les lignes et élimine le mode de plaque guide d'onde parasite TE_0 d'une ligne CPS conventionnel.

II.3. Dimensionnement des lignes de transmission

La détermination de la permittivité effective facilite l'évaluation des performances des structures de l'interconnexion. Que ce soit des lignes de transmission (CPW, ou CPS) ou des antennes intégrées sur substrat, la permittivité effective est un coefficient influent sur leurs spécificités : longueur de résonance pour l'antenne et impédance caractéristique pour les lignes CPS et CPW.

Dans cette partie, nous décrivons les méthodes pour déterminer la permittivité effective de la ligne CPW, CPS et les antennes intégrées sur SOI avec une métallisation arrière. Ainsi, pour les lignes nous décrivons la relation entre l'impédance caractéristique et la permittivité effective pour différents paramètres des lignes.

II.3.1. Guide d'onde coplanaire CPW

Que ce soit les lignes de transmission de type ruban coplanaire ou des guides d'onde coplanaire, la méthodologie est presque la même. Nous montrons la démarche pour les lignes CPW pour la détermination de la permittivité effective $\epsilon_{re\text{ff}}$ et de l'impédance caractéristique Z_0 des lignes. Pour la ligne CPS, nous montrons seulement les expressions finales.

Les premières études sur les CPW avec plan de masse fini étaient limitées aux études de substrats avec une épaisseur infinie [II.12]. Dans un circuit pratique, l'épaisseur de substrat est toujours finie. Dans cette partie, nous présentons une expression analytique de $\epsilon_{re\text{ff}}$ et Z_0 en se basant sur des technique de la méthode de transformation conforme (Conformal map method).

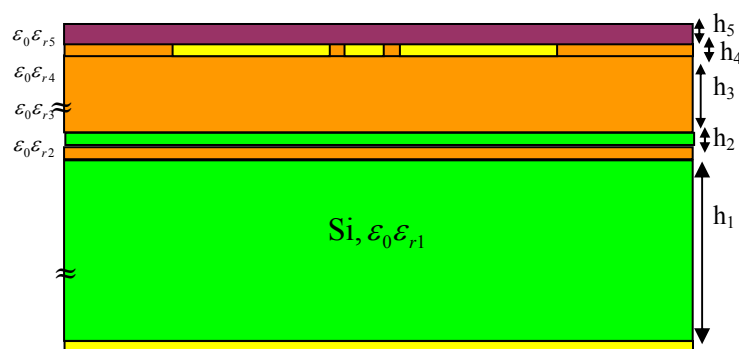


Figure II.8 Illustration schématique d'une ligne CPW sur un substrat multicouche de diélectrique avec un plan de masse

Une ligne CPW enterrée dans différentes couches de diélectriques est montrée sur la Figure II.8. Sur cette structure nous considérons une mode de propagation Quasi-statique TEM. En utilisant cette approximation ϵ_{eff} , la vitesse de phase v_{ph} , et l'impédance caractéristique Z_0 sont données par [II.13].

$$[\text{II-1}] \quad \epsilon_{\text{eff}} = C/C_0$$

$$[\text{II-2}] \quad v_{ph} = c'/\sqrt{\epsilon_{\text{eff}}}$$

$$[\text{II-3}] \quad Z_0 = 1/Cv_{ph}$$

Où c' est la vitesse de lumière dans le vide, C est la capacité par unité de longueur de la ligne, et C_0 est la capacité par unité de longueur de la ligne en absence des substrats diélectriques. Pour déterminer ϵ_{eff} et Z_0 , nous devons trouver C et C_0 . Pour trouver ces capacités, nous assumons que les conditions limites des couches diélectriques se trouvent le long des lignes des champs électriques [II.14]. En utilisant ces conditions, la capacité totale C est la superposition des capacités partielles [II.15].

$$[\text{II-4}] \quad C = C_0 + C_i$$

La configuration des capacités est montrée sur la Figure II.9.

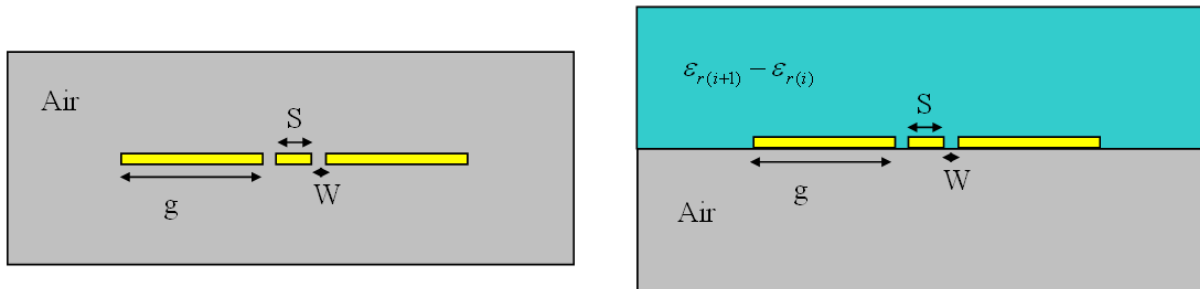


Figure II.9 Configuration pour trouver la capacité
(a) CPW dans l'air C_0 (b) CPW dans un substrat C_i

Détermination de C_0 : Comme la montre Figure II.9 (a), C_0 est la capacité de la ligne en absence de toute diélectrique. Cette capacité est donnée par [II.13].

$$[\text{II-5}] \quad C_0 = 4\epsilon_0 \frac{K(k')}{K(k)}$$

Où K est l'intégrale elliptique complète de premier ordre. Les arguments k et k' dépendent de la géométrie de la ligne et sont donnés par :

$$[\text{II-6}] \quad k = \frac{c}{b} \sqrt{\frac{b^2 - a^2}{c^2 - a^2}}$$

$$[\text{II-7}] \quad k' = \sqrt{1 - k^2} = \frac{a}{b} \sqrt{\frac{c^2 - b^2}{c^2 - a^2}}$$

$$[\text{II-8}] a = \frac{S}{2} ; \quad b = \frac{2*W + S}{2} ; \quad c = \frac{2*g + 2*W + S}{2}$$

Détermination de C_i : la configuration de C_i est montrée sur la Figure II.9. L'hypothèse est que le champ électrique existe seulement dans une couche diélectrique d'épaisseur h_i et de permittivité relative $\varepsilon_{ri} \pm \varepsilon_{ri+1}$. La capacité C_i est donnée par [II.13] :

$$[\text{II-9}] C_i = 2\varepsilon_0(\varepsilon_{ri+1} - \varepsilon_{ri}) \frac{K(k'_i)}{K(k_i)}$$

Où [II-10] [II.16][II.17]

$$k_i = \begin{cases} \frac{c}{b} \sqrt{\frac{b^2 - a^2}{c^2 - a^2}} & \text{Pour l'air} \\ \frac{\sinh(\pi/2h_i)}{\sinh(\pi b/2h_i)} \sqrt{\frac{\sinh^2(\pi b/2h_i) - \sinh^2(\pi a/2h_i)}{\sinh^2(\pi c/2h_i) - \sinh^2(\pi a/2h_i)}} & \text{Pour une couche diélectrique d'épaisseur } h \\ \frac{\tanh(\pi/2h_i)}{\tanh(\pi b/2h_i)} \sqrt{\frac{\tanh^2(\pi b/2h_i) - \tanh^2(\pi a/2h_i)}{\tanh^2(\pi c/2h_i) - \tanh^2(\pi a/2h_i)}} & \text{Pour une couche diélectrique soutenue par un conducteur} \end{cases}$$

La permittivité effective est donc :

$$[\text{II-11}] \varepsilon_{eff}^{CPW} = 1 + \frac{1}{2}(\varepsilon_r - 1) \frac{K(k)K(k'_1)}{K(k')K(k_1)} + \frac{1}{2}(\varepsilon_{r2} - \varepsilon_{r1}) \frac{K(k)K(k'_2)}{K(k')K(k_2)} + \frac{1}{2}(\varepsilon_{r3} - 1) \frac{K(k)K(k'_3)}{K(k')K(k_3)} \\ + \frac{1}{2}(\varepsilon_{r4} - \varepsilon_{r3}) \frac{K(k)K(k'_4)}{K(k')K(k_4)} + \frac{1}{2}(\varepsilon_{r5} - \varepsilon_{r4}) \frac{K(k)K(k'_5)}{K(k')K(k_5)}$$

Finalement l'impédance caractéristique de la ligne CPW est donné par :

$$[\text{II-12}] Z_0^{CPW} = \frac{30\pi}{\sqrt{\varepsilon_{eff}^{CPW}}} \frac{K(k)}{K(k')} \quad \Omega$$

Dans le cas de SOI, Les lignes se trouvent de la couche M1 à la couche M6, l'épaisseur de la couche métallique doit être pris en considération pour le calcul de la permittivité effective de SOI. Les nouvelles valeurs de paramètres S et W, après la modification par un facteur Δ sont S_e et W_e . [II.17]

$$[\text{II-13}] \Delta = (1.25t/\pi) [1 + \ln(4\pi W/t)] \\ W_e = W + \Delta \\ S_e = S - \Delta$$

Les nouvelles valeurs de a et b de [II-8] seront calculées et prises en compte pour l'obtention de la valeur de la permittivité effective. Cette dernière ainsi que l'impédance caractéristique des lignes CPW sur SOI, illustrées sur les Figure II.10 et Figure II.11,

constituent une estimation pour la détermination de ces paramètres. Elles sont validées dans les parties suivantes.

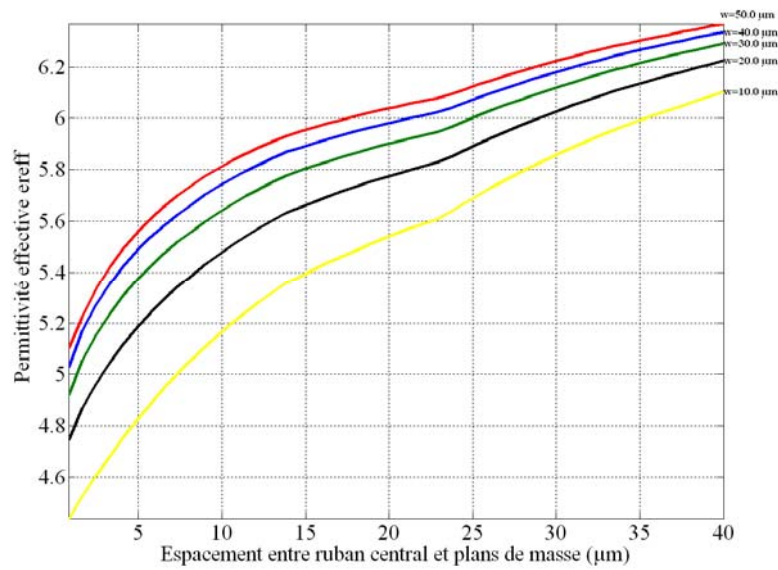


Figure II.10 Estimation de l'évolution de la permittivité effective des lignes CPW sur SOI

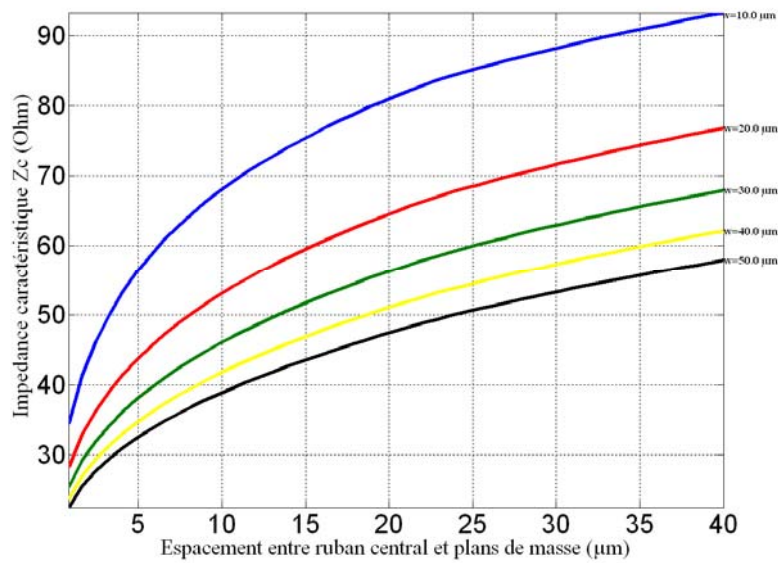


Figure II.11 Estimation de l'évolution de l'impédance caractéristique des lignes CPW sur SOI

II.3.2. Ruban coplanaire CPS

Dans le cas de ruban coplanaire (Figure II.12), le raisonnement est le même, le seul changement est pour le paramètre k : les géométries ne sont plus les mêmes. L'expression de la permittivité effective relative demeure inchangée. Par contre, nous exprimons les valeurs de a, b, k et Z_0^{CPS} .

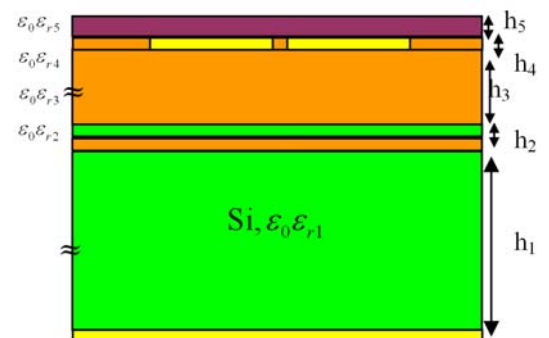


Figure II.12 Ligne CPS sur un substrat multicouche de diélectrique avec un plan de masse

$$[\text{II-14}] \quad a = S/2$$

$$[\text{II-15}] \quad b = (S + 2W)/2$$

$$\text{Où } [\text{II-16}] \quad k_i = \begin{cases} \sqrt{1 - \frac{a/b}{\sinh^2(\pi a / 2h)}} & \text{Pour l'air} \\ \sqrt{1 - \frac{a/b}{\sinh^2(\pi b / 2h)}} & \text{Pour une couche diélectrique d'épaisseur } h \\ & \text{Pour une couche diélectrique soutenue par un conducteur} \\ \sqrt{1 - \frac{a/b}{\tanh^2(\pi a / 2h)}} \\ \sqrt{1 - \frac{a/b}{\tanh^2(\pi b / 2h)}} \end{cases}$$

Finalement l'impédance caractéristique de la ligne CPS est donnée par :

$$[\text{II-17}] \quad Z_0^{CPS} = \frac{120\pi}{\sqrt{\epsilon_{eff}^{CPS}}} \frac{K(k')}{K(k)} \quad \Omega$$

La configuration de la ligne CPS est complémentaire à celle de ligne CPW. Le produit de leurs impédances caractéristiques Z_0^{CPS} et Z_0^{CPW} est constant et exprimé par [II.18].

$$[\text{II-18}] \quad Z_0^{CPS} Z_0^{CPW} = \frac{\eta^2}{4\epsilon_{eff}^{CPS}} = \frac{\eta^2}{4\epsilon_{eff}^{CPW}}$$

Où η est l'impédance intrinsèque de milieu, $\eta = 120\pi$

Les valeurs de permittivité effective et de l'impédance caractéristique des lignes CPS sur SOI, sont illustrées sur les Figure II.13 et Figure II.14 respectivement.

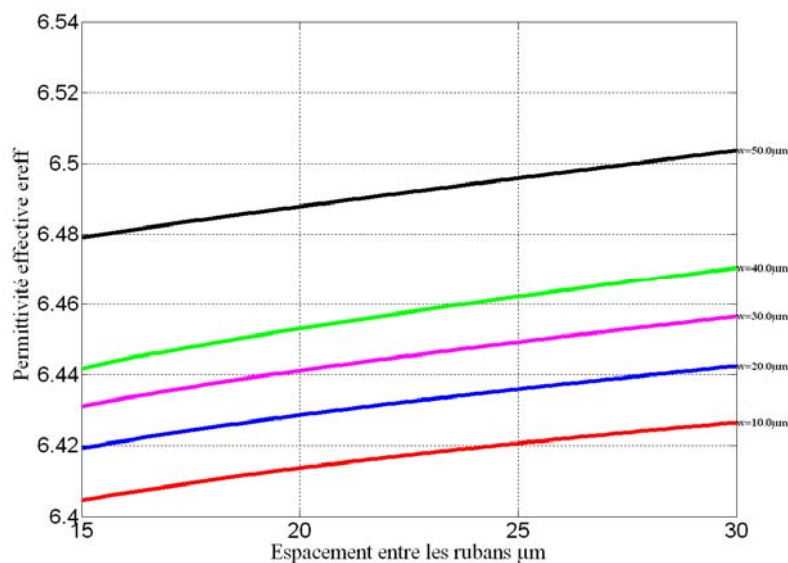


Figure II.13 Estimation de l'évolution de la permittivité effective des lignes CPS sur SOI

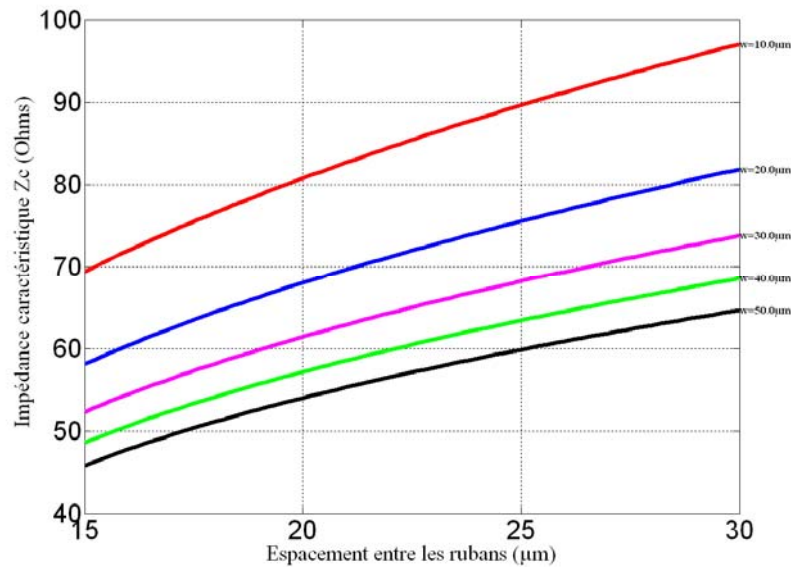


Figure II.14 Estimation de l'évolution de l'impédance caractéristique des lignes CPS sur SOI

L'étude des lignes CPS et CPW est une étude préliminaire pour l'étude de structure d'alimentation d'antennes. Ces lignes de transmission constituent la première bloque de l'alimentation des antennes planaires intégrées sur SOI. L'impédance de référence de ces dernières étant de 50 Ohms, l'impédance caractéristique de lignes coplanaires doit être proche de 50 Ohms pour assurer une adaptation d'impédance. Par exemple, Pour la ligne CPW d'impédance caractéristique de 50 Ohms, la largeur du ruban central est de 29 μm , et l'espacement entre celui-ci et les plans de masse est 10 μm .

Le but de la détermination de la permittivité effective est d'estimer l'impédance caractéristique des lignes CPW et CPS sur SOI à 60 GHz. Cette estimation forme la base de l'étude des lignes coplanaires CPW. En se focalisant sur cette estimation, nous validerons par simulation électromagnétique l'approche théorique utilisée.

II.4. Validation expérimentale pour une étude de ligne coplaire CPW sur 0.13 μm

L'objectif des parties précédentes est de déterminer les structures de propagation hyperfréquences, leur comportement dans un substrat SOI et l'estimation de leurs caractéristiques. Après la prédiction théorique de l'impédance caractéristique des lignes, nous cherchons à déterminer cette impédance dans un milieu réel.

En plus de la méthode de transformation conforme, des logiciels de conception électromagnétiques tels que ADS Momentum, CST MWS [II.28] et Ansoft HFSS [II.29] sont utilisés pour faciliter la conception des lignes. Le but final reste de concevoir une frontale radiofréquence avec une antenne intégrée. Aux fréquences millimétriques, tout devrait être pris en considération pour optimiser la diffusion de signal avec des pertes optimales. Ainsi, nous devons prendre tous les effets de propagation dans le substrat SOI non identifiable par la

théorie qui est une estimation, tous les effets des différents types de transitions, le couplage entre les différents composants.

Dans les parties suivantes, nous validerons sur un exemple concret l'étude que nous avons menée et qui nous a permis d'obtenir les résultats préliminaires du type d'alimentation des antennes intégrée sur SOI dans la bande millimétrique.

II.4.1. Méthode de calibrage choisie

De nombreuses procédures de calibrage, implémentées de manière semi-automatique sous l'analyseur vectoriel, ont été développées. Les méthodes de calibrage utilisées aujourd'hui s'appuient principalement sur deux techniques fondamentales :

- La méthode de calibrage SOLT [II.32], sans aucune doute la plus utilisée, et qui fait appel aux quatre standards, "Short", "Open", "Load", "Thru".
- La méthode de calibrage TRL [II.33] qui repose sur l'utilisation des trois standards "Thru", "Reflect", et "Line"

La technique de calibrage SOLT nécessite des impédances de références bien définies. La réalisation de motifs "court-circuit" et "charge 50 Ω " reste très délicate dans le cas de technologie SOI à cause des pertes engendrées en haute fréquence. C'est pourquoi nous utilisons la méthode TRL pour la mesure des lignes de transmission et d'antenne sous pointes. Nous avons conçu un kit de calibrage TRL sur SOI, ce qui nous a permis d'extraire les paramètres S des lignes. Dans le chapitre IV, nous ferons des mesures des antennes avec support et connecteurs coaxiaux de type V. Dans ce cas, nous utilisons la méthode de calibrage SOLT, le kit de calibrage est fournie par le constructeur et montre de bonnes performances.

II.4.2. Méthode d'épluchage ("De-Embedding")

Les méthodes de calibrage ne pourront corriger les erreurs dues aux éléments d'interconnexion tels que les plots d'accès, souvent requis pour relier le composant à caractériser avec la connectique propre à l'analyseur vectoriel (après la sonde par exemple). Il sera donc souvent nécessaire de faire suivre l'étape de calibrage réalisée avec les standards et des substrats commerciaux, d'une étape de correction des éléments parasites : on parle de méthode dite d'épluchage ou de « *Deembedding* ».

Une telle approche consiste à déterminer dans un premier temps un schéma équivalent physique représentant les éléments d'interconnexion, puis de déterminer dans un deuxième temps les valeurs des éléments de ce schéma.

Pour permettre un positionnement des pointes, on utilise généralement des plots d'accès (pads) en entrée et en sortie de dispositif (Figure II.15). Compte tenu de fréquence de travail et de la taille du dispositif par rapport à celle des plots d'accès, l'influence de ces derniers sur la mesure n'est pas négligeable.

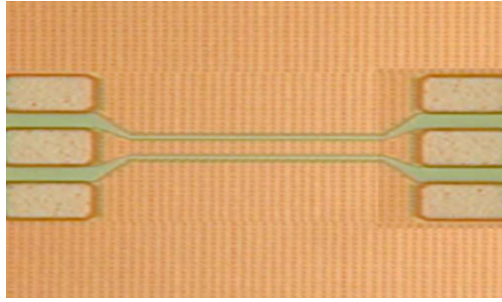


Figure II.15 Exemple de motif de test avec ses plots d'accès coplanaire GSG

La méthode des paramètres Y [II.34] permet de corriger cet effet parasite. Cette méthode est expliquée dans l'annexe (II.A.3). Cette méthode d'épluchage est utilisée pour corriger les erreurs, lors de la caractérisation des lignes que nous étudions dans les parties suivantes.

II.4.3. Caractérisation des lignes de transmission

Les lignes (CPW ou CPS) constituent l'alimentation de nos antennes intégrées. Il s'avère donc pertinent d'étudier les lignes sur SOI, d'extraire l'impédance caractéristique et de connaître les pertes engendrées par ces lignes. La méthode détaillée pour extraire l'impédance caractéristique des lignes CPW et CPS à partir des paramètres S est présentée dans l'annexe (II.A.4).

II.4.4. Conception des lignes CPW sur SOI

Dans cette partie, nous nous intéressons à la caractérisation des lignes CPW sur SOI. Dans un premier temps, nous comparons les résultats simulés par CST MWS pour des lignes CPW ayant une impédance caractéristique prédite par la Figure II.11 en technologies SOI et CMOS massif. Ensuite nous évaluons l'effet de conductivité, la couche d'isolation de silice sur les performances des lignes CPW. Finalement, nous menons une comparaison de l'impédance caractéristique et de l'atténuation d'une ligne CPW sur SOI obtenues par simulation et par mesure.

II.4.5. Etude des performances de la ligne CPW intégrée sur différents substrats

Dans les parties précédentes (§ II.3), nous avons exposé la procédure pour déterminer l'impédance caractéristique d'une ligne suivant la méthode de transformation conforme. Cette «prédiction» est à la base de cette étude. Nous prenons le cas d'une ligne d'impédance caractéristique théorique de 50 Ohms. En utilisant les équations [II-11], [II-12], [II-13], l'impédance caractéristique de la ligne Z_c est déterminée. Nous prenons le cas d'une ligne qui a les caractéristiques suivantes :

- Largeur de ruban centrale $W = 29 \mu\text{m}$
- Largeur de l'espacement entre le ruban centrale et les deux plans de masses est $10 \mu\text{m}$
- Largeur des plans de masses $200 \mu\text{m}$

Premièrement nous étudions le cas de deux lignes de transmission, de mêmes caractéristiques physiques afin déterminer l'effet de couche de SiO₂.

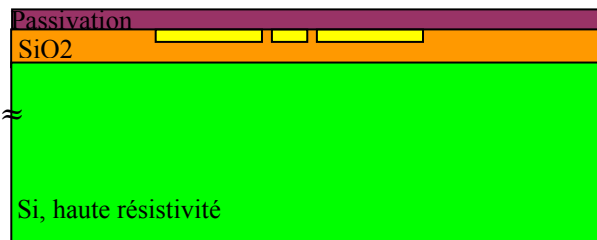


Figure II.16 Coupe équivalente de substrat CMOS SOI

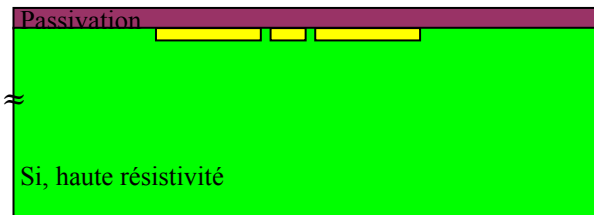


Figure II.17 Coupe équivalente de substrat Silicium

Trois cas sont pris en considération, le premier est un substrat de Silicium hautement résistive (Figure II.17), le deuxième est le cas de substrat SOI hautement résistive (Figure II.16) et le troisième un substrat CMOS massif avec de silicium de faible résistivité 10 Ohms.cm (Figure II.18).

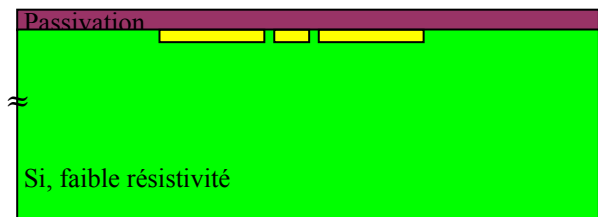


Figure II.18 Coupe équivalente de substrat CMOS

Les deux premiers cas diffèrent par l'ablation de la couche d'isolation d'oxyde d'épaisseur de 5.08 μm . La couche de Silicium est d'épaisseur de 350 μm et de permittivité relative de 11,9. Les lignes sont imprimées sur la couche M6 (0.96 μm) de substrat SOI. A savoir que cette épaisseur est suffisamment large pour dépasser l'effet de peau à 60 GHz.

$$[\text{II-19}] \delta = 1/\sqrt{\pi f \mu_0 \sigma}$$

Où f est la fréquence de fonctionnement

μ_0 est la perméabilité dans l'air $\mu_0 = 4\pi * 10^{-7}$

σ est la conductivité de cuivre $\sigma = 5.8 * 10^7$

La valeur finale de l'effet de peau est de 0.26 μm à 60 GHz.

Notre objectif est de montrer l'effet de chaque couche sur le comportement global des lignes CPW.

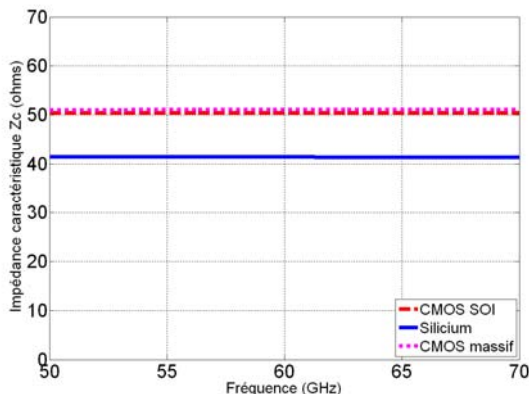


Figure II.19 Simulation de l'impédance caractéristique de ligne CPW ($w=29 \mu\text{m}$, $g=10 \mu\text{m}$)

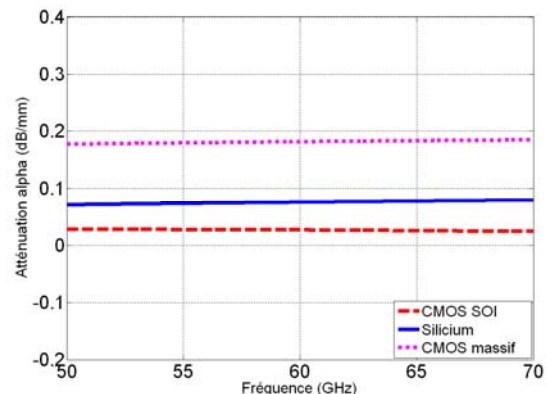


Figure II.20 Simulation de l'atténuation de ligne CPW ($w=29 \mu\text{m}$, $g=10 \mu\text{m}$)

La Figure II.19 montre les différentes impédances caractéristiques simulées par CST MWS de la ligne CPW. Dans le cas théorique (§II.3.1, Figure II.11), nous n'avons pas pris en considération l'effet de la résistivité dans l'étude.

Pour l'atténuation de la ligne coplanaire CPW sur différents substrats, ce paramètre est la partie réelle de la constante de propagation complexe ($\alpha = \text{réelle}(\gamma)$) en dB/mm. Ce facteur nous donne une idée des pertes de substrat. Dans le cas de substrat CMOS SOI, les pertes sont de 0.05 dB/mm, elles sont de 0.1 dB/mm dans le cas d'utilisation de substrat sans couche d'isolation, et 0.2 dB/mm dans le cas de CMOS massif (Figure II.20).

La couche d'oxyde est une couche d'isolation qui limite les pertes dues au contact du cuivre avec le silicium. Même si nous utilisons un substrat de Silicium hautement résistif, ces pertes d'isolation affectent la répartition des champs électromagnétiques et perturbent par la suite l'impédance caractéristique de la ligne. Dans le cas du substrat CMOS massif, la couche d'isolation protège la distribution de champ électrique ce qui nous donne une impédance caractéristique presque inchangée. Par contre, les pertes dues à la résistivité faible de silicium sont plus pénalisantes et sont plus fortes que dans le cas de CMOS SOI.

Pour mieux évaluer l'effet des différentes couches (M1-M6) de la technologie SOI sur la performance des lignes, nous étudions l'intégration des lignes sur différentes couches. Pour une même topologie de ligne, celle-ci est imprimée sur les couches de M1 jusqu'au M6 (Figure II.21).

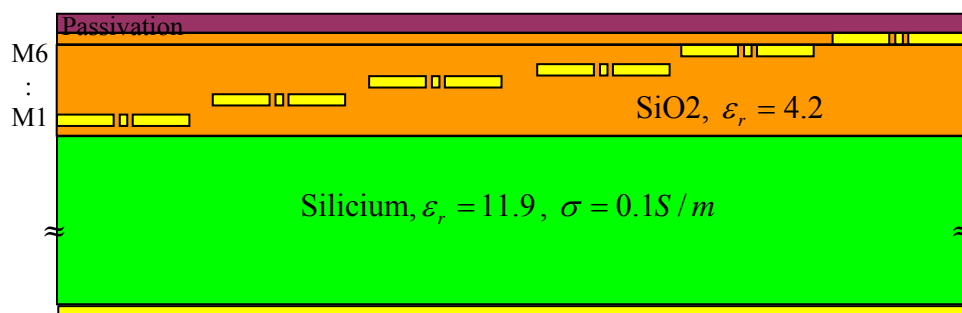


Figure II.21 Lignes CPW intégrées sur différentes couches de la technologie SOI

La Figure II.22 montre la comparaison de l'impédance caractéristique de la ligne CPW intégrée sur la couche M1 jusqu'au M6. Nous obtenons une différence d'impédance de 5 ohms pour une même ligne. La Figure II.23 montre la différence de l'atténuation de la même ligne. Pour les lignes de niveau M1 jusqu'au M5, l'atténuation est presque la même. Cette atténuation augmente de 0.025 jusqu'au 0.075 dB/mm dans le cas de la ligne intégrée sur M6. Deux effets peuvent expliquer ce changement ; le premier est que l'épaisseur de cuivre est la plus élevée pour le niveau M6 que les autres, le deuxième est le fait que la ligne sur le niveau M6 est plus isolée que les autres lignes (l'épaisseur de la couche d'oxyde est plus importante). Ce deuxième effet explique également l'évolution de l'impédance caractéristique de la ligne CPW intégrée sur différents niveaux.

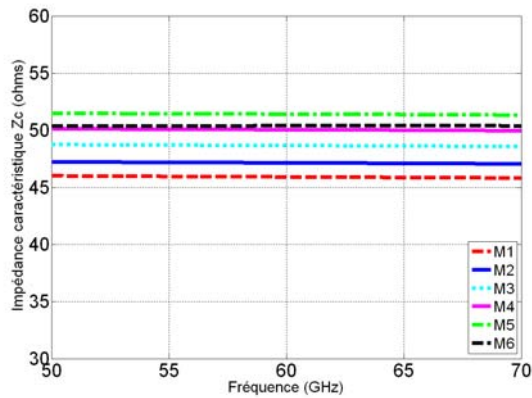


Figure II.22 Comparaison de l'impédance caractéristique de la ligne CPW imprimée sur différentes couches ($w=29 \mu\text{m}$, $g=10 \mu\text{m}$, Simulation)

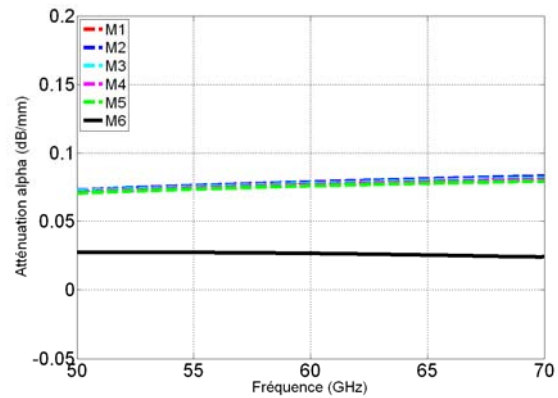


Figure II.23 Comparaison de l'atténuation de la ligne CPW imprimée sur différentes couches ($w=29 \mu\text{m}$, $g=10 \mu\text{m}$, Simulation)

II.4.6. Validation expérimentale de la technologie CMOS

Dans cette partie, les études de lignes par des équations théoriques (§II.3.1, Figure II.11) et par simulations électromagnétiques sont confrontées à des mesures expérimentales. Nous montrons les résultats de ligne CPW de caractéristiques déjà prédits et simulés par le logiciel électromagnétique ainsi que les résultats de mesure. Cette mesure est faite après calibrage (correction des erreurs dues aux câbles et aux sondes) et épiluchage (corrections des erreurs dues aux plots radiofréquences). Plus spécialement l'impédance caractéristique de ligne Z_c ohms et l'atténuation due à la ligne ($\alpha = \text{réelle}(\gamma)$) en dB/mm sont montrées. Les dimensions de la ligne sont celles de la partie précédente ($W=29 \mu\text{m}$, $g=10 \mu\text{m}$). Cette ligne à une impédance théorique estimée de 50 Ohms.

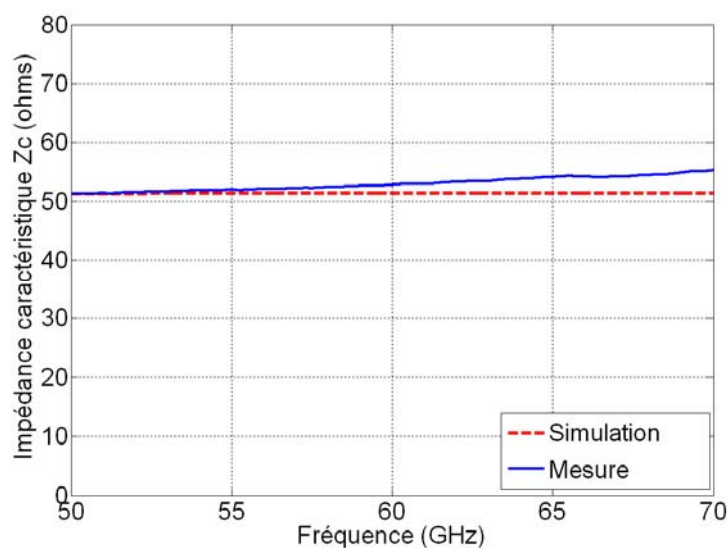


Figure II.24 Comparaison entre valeurs simulées et mesurées de l'impédance caractéristique de la ligne CPW ($w=29 \mu\text{m}$, $g=10 \mu\text{m}$)

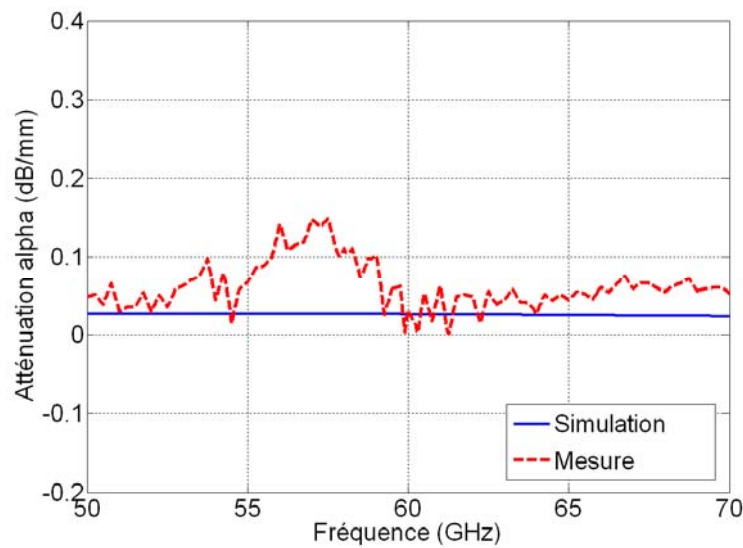


Figure II.25 Comparaison entre valeurs simulées et mesurées de l'atténuation de la ligne CPW ($w=29\ \mu\text{m}$, $g=10\ \mu\text{m}$)

En comparant l'impédance caractéristique de la ligne mesurée et simulée, nous cherchons à valider réciproquement nos simulateurs et la mesure de l'extraction faite en simulation. Après la procédure d'épluchage des plots radiofréquences, la Figure II.24 montre la comparaison de l'impédance caractéristique. Même si les valeurs simulées montrent une impédance constante par rapport à la fréquence, la mesure montre une ligne croissante. Nous pensons que cela est dû à des couplages parasites non pris en compte (effet de couplage dû à la sonde par exemple). Mais la différence reste acceptable (de 2 à 4 Ohms). La Figure II.25 montre la comparaison de l'atténuation de la ligne CPW. Les résultats entre mesure et simulation concordent, ce qui valide la démarche de d'épluchage et notre simulateur.

II.5. Etude de la permittivité effective dans une configuration d'antenne intégrée sur substrat

Dans la bande radiofréquence, les antennes imprimées sont populaires du fait de leurs nombreux avantages notamment grâce à leur conformité dans une surface définie, leur faible coût, leur volume négligeable et leur reproductibilité. L'analyse des antennes imprimées nécessite le calcul des intégrales de Sommerfeld qui est spécialement difficile à résoudre quand la source et les points de champ se trouvent sur le même substrat. Pour ces raisons, les méthodes analytiques existant pour étudier ces antennes, notamment les pastilles micro ruban [II.19] ou les dipôles imprimés [II.20], sont des méthodes de nature empirique. Même si pour les antennes imprimées aux fréquences RF, l'épaisseur de substrat est choisie pour être plus petite que la longueur d'onde, les modes fondamentaux des ondes surfaciques (TM_0) ont une fréquence de coupure zéro et par la suite, ces modes sont générés dans le substrat [II.21].

Puisque les modes surfaciques s'affaiblissent dans le substrat d'une manière inversement proportionnelle à la racine carrée de la distance (mesuré par rapport à l'antenne),

même un mode surfacique faible peut avoir des effets importants sur l'impédance d'entrée de l'antenne. La présence de plusieurs modes surfaciques provoque un renversement de phase de courant dans le dipôle, ayant pour résultat la création de faisceaux de rayonnement non désirés [II.22]. Le courant dans les dipôles imprimés est supposé avoir une distribution sinusoïdale [II.23].

Pour déterminer le courant dans le dipôle imprimé, il est nécessaire de résoudre les équations de Pocklington. Les fonctions de Green obtenues sont en fonction des intégrales de Sommerfeld [II.24][II.25]. Ces intégrales convergent lentement et leurs dérivées sont des intégrales impropres, quand la source et les points de champs sont dans le même substrat. Nous pouvons évaluer les fonctions de Green par des méthodes numériques (Méthode des moments par exemple). Ainsi les solutions pour les équations de Pocklington sont utilisées pour déterminer la distribution de courant, l'impédance d'entrée de l'antenne et la permittivité effective de substrat.

Pour les antennes doublets (dipôles), le modèle de ligne de transmission et le modèle de cavité ne peuvent pas modéliser ce champ [II.26]. Une généralisation de la méthode des moments peut calculer les paramètres de dipôle imprimé. Le prix à payer est d'avoir des solutions compliquées, dues aux intégrales de Sommerfeld impliqué dans les fonctions de Green.

Dans notre étude, et pour estimer la permittivité effective de l'antenne dipôle imprimée dans une substrat et avec un plan de masse, nous adoptons une solution analytique, basée sur des simulations électromagnétiques, afin de déterminer la permittivité effective de substrat.

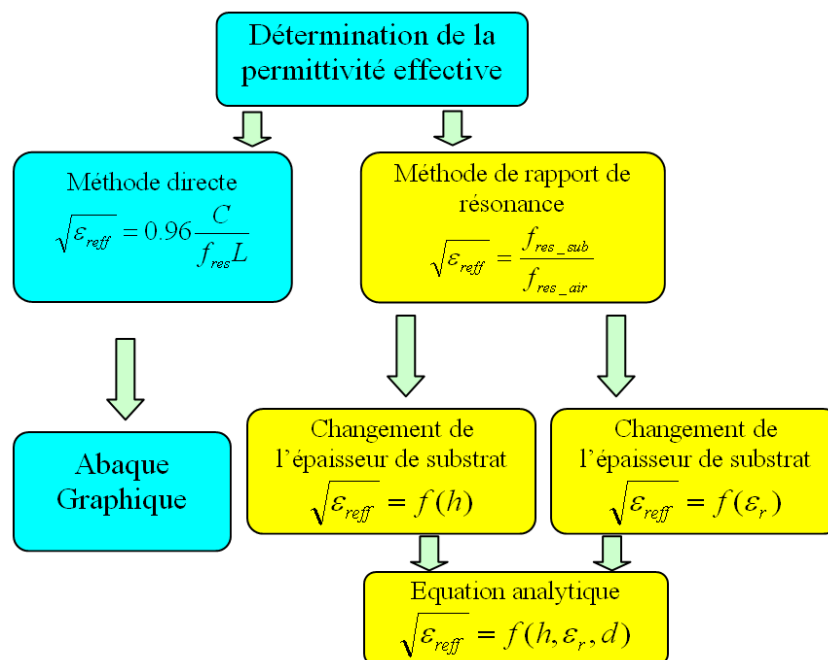


Figure II.26 Procédure d'extraction de la permittivité effective

Dans les paragraphes suivants, nous montrons l'extraction de la permittivité effective de substrat avec un matériel donné, lorsqu'une antenne y est imprimée. Deux méthodes sont présentées pour extraire la permittivité effective de substrat (Figure II.26) :

- La première méthode : «Méthode directe» est basée sur l'équation de résonance de l'antenne. Un abaque graphique est présenté pour montrer la permittivité effective pour une épaisseur et une permittivité de substrat donnée.
- La deuxième méthode : « Méthode de rapport de résonance» se base également sur la résonance, mais plus précisément sur un rapport de résonance de l'antenne sur un substrat et dans l'air. Une équation empirique est présentée pour calculer la permittivité effective à partir de permittivité relative, l'épaisseur de substrat.

II.5.1. Détermination de la permittivité effective par méthode directe

Dans ce paragraphe, nous exposons l'effet de la permittivité relative et de l'épaisseur de substrat sur la permittivité effective de substrat. Le but est de pouvoir évaluer la longueur de dipôle pour une fréquence de résonance donnée. Le dipôle est imprimé sur un substrat de permittivité relative ϵ_r (Figure II.27).

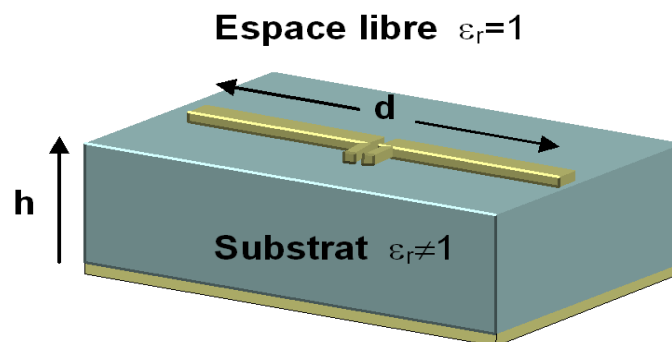


Figure II.27 Dipôle imprimé sur le substrat

Deux types de résonance sont présents pour l'antenne, la résonance série et la résonance parallèle :

Pour la résonance série, la partie imaginaire est nulle et la partie réelle de l'impédance d'entrée de l'antenne est faible. La longueur de l'antenne à la résonance série dans l'air sera donc [II.27] :

$$[\text{II-20}] L = 0.48\lambda$$

Pour la résonance parallèle, la partie imaginaire est nulle et la partie réelle de l'impédance d'entrée de l'antenne est maximum. La longueur de l'antenne à la résonance parallèle dans l'air sera donc [II.27] :

$$[\text{II-21}] L = 0.96\lambda$$

$$[\text{II-22}] \lambda = \frac{c}{f}$$

Où L est la longueur de dipôle à la résonance parallèle
 λ est la longueur d'onde
 f est la fréquence de fonctionnement
 c est la vitesse de lumière dans le vide

Par la suite, nous identifions la longueur de dipôle à la résonance parallèle, ce qui nous semble plus précis pour définir la permittivité effective.

L'équation [II-22] est valable dans le cas où le milieu qui entoure l'antenne est l'air. Si nous sommes en présence de plusieurs milieux, la notion de la permittivité effective est introduite, cette notion est illustrée dans la Figure II.28.

La longueur de dipôle deviendra alors :

$$[II-23] L = 0.96\lambda_g \quad \text{ou} \quad \lambda_g = \lambda / \sqrt{\epsilon_{\text{reff}}}$$

ϵ_{reff} est la permittivité effective du substrat

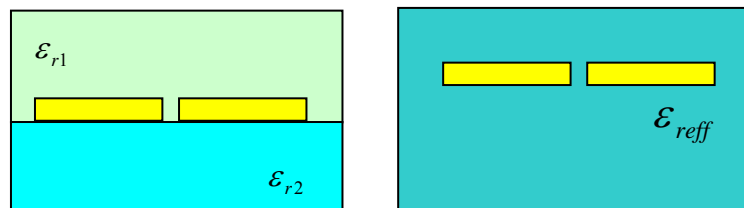


Figure II.28 Notion de la permittivité effective

Le premier objectif est d'obtenir un diagramme permettant d'avoir la longueur approximative d'un dipôle pour une fréquence de résonance donnée. Ce diagramme est une sorte d'abaque pour la permittivité effective de dipôle pour différentes épaisseurs. Nous limitons l'étude à la configuration comportant un seul substrat sous le dipôle, l'autre étant l'air.

La démarche est décrite par les étapes suivantes :

- Pour une longueur donnée de dipôle, des simulations électromagnétiques sont réalisées en changeant la permittivité relative et la hauteur h de substrat.
- A chaque épaisseur et permittivité donnée, la fréquence de résonance parallèle (f_{res}) est choisie.
- Des abaques seront tracés pour la permittivité effective.

$$[II-24] \sqrt{\epsilon_{\text{reff}}} = 0.96 \frac{c}{f_{\text{res}} L}$$

La Figure II.29 représente les valeurs de $\sqrt{\epsilon_{\text{reff}}}$, obtenues par la méthode directe. La grandeur $\sqrt{\epsilon_{\text{reff}}}$ est donnée en fonction de l'épaisseur relative du substrat par rapport à la longueur du dipôle, k défini par [II-25] et pour différentes valeurs de permittivités relatives ϵ_r .

$$[II-25] k = h/d$$

Les valeurs de la permittivité effective sont obtenues à partir de [II-28], après l'obtention de la fréquence de résonance parallèle « f_{res} » par simulation électromagnétique en utilisant le logiciel MWS de CST.

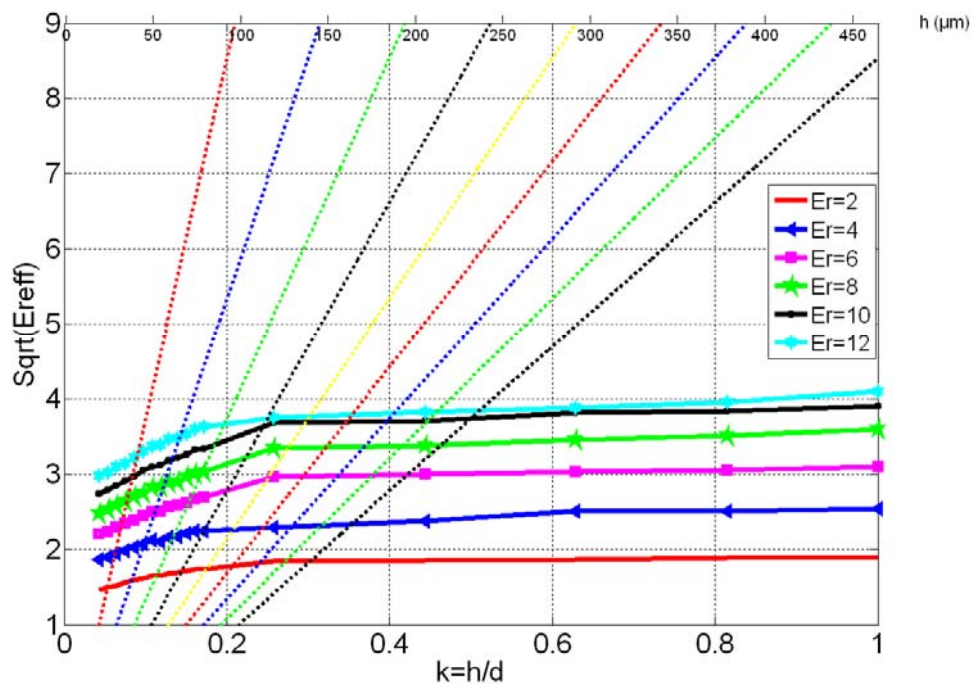


Figure II.29 Détermination de la permittivité effective par méthode graphique « Méthode directe »

Nous remarquons qu'à partir d'une certaine épaisseur de substrat, les modes supérieurs (TM_0) des ondes surfaciques apparaissent. Le choix de la fréquence de résonance à partir d'un certain rapport k est critique, Nous pensons que cet abaque graphique est valable pour des épaisseurs de substrat de l'ordre de $500 \mu\text{m}$ ce qui est $h/d < 0.5$.

L'utilité de ces courbes tracées pour une fréquence de résonance égale à 60 GHz apparaît lorsqu'il s'agira de déterminer la longueur nécessaire des brins du dipôle se trouvant à l'interface air-substrat pour qu'effectivement il résonne à cette fréquence connaissant les paramètres h et ϵ_r ; cas particulier : l'intégration sur une puce silicium. Par ailleurs on peut faire la démarche inverse, connaissant h pour un rapport k donné, à savoir quel serait donc la valeur de la permittivité effective du substrat, pour que l'antenne soit effectivement opérationnelle 60 GHz.

Avec certaines contraintes, la Figure II.29 peut être considérée comme un abaque généralisé permettant d'avoir une première idée sur la longueur d'un dipôle imprimé sur un substrat de permittivité effective et d'épaisseur donnée.

II.5.2. Détermination de la permittivité effective par méthode de rapport de résonance

Dans cette deuxième partie, l'objectif est toujours le même : déterminer la permittivité effective d'un substrat pour un dipôle donnée. En revanche, la méthode est différente. La méthode de rapport de résonance consiste à déterminer la permittivité de substrat en se référant à une autre permittivité.

La procédure est la suivante :

- Déterminer la fréquence de résonance f_{res_sub} (parallèle dans notre cas) de dipôle imprimé sur un substrat avec une permittivité donnée.
- Pour les mêmes dimensions de l'antenne, déterminer la fréquence de résonance dans le cas de l'air f_{res_air} .
- La permittivité effective sera donc le rapport de la fréquence de résonance de substrat et de la fréquence de résonance de l'air :

$$[II-27] \sqrt{\epsilon_{reff}} = \frac{f_{res_sub}}{f_{res_air}}$$

II.5.2.1. Variation de la permittivité relative

Dans cette partie, nous détaillons l'approche analytique. Les simulations électromagnétiques, réalisées par le logiciel MWS de CST [II.28], ont pour but de déterminer, selon la méthode de rapport de résonance, la permittivité effective par rapport à la permittivité relative pour une épaisseur donnée.

En se basant sur les graphiques de la permittivité, nous cherchons à modéliser des courbes de tendances reliant ϵ_{reff} et ϵ_r . De la même manière, nous cherchons à modéliser les courbes reliant ϵ_{reff} et l'épaisseur de substrat.

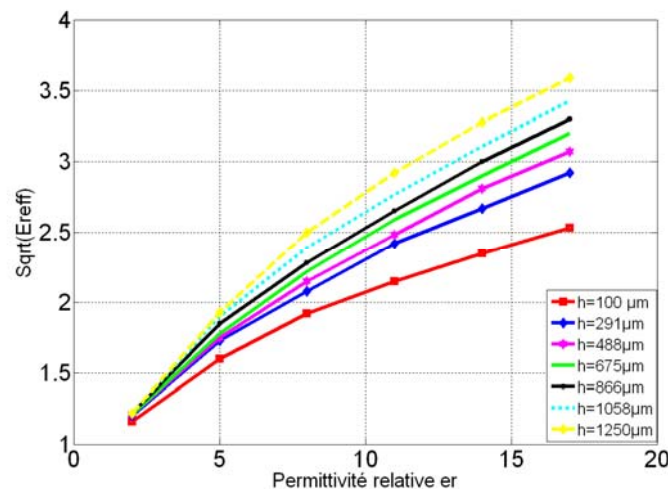


Figure II.30 Variation de la permittivité effective par rapport à la permittivité relative pour différentes épaisseurs de substrats

Les courbes de tendance de ϵ_{reff} par rapport à ϵ_r , sont illustrées dans la Figure II.30. La variation de la racine carrée de ϵ_{reff} est une fonction de puissance par rapport à ϵ_r . L'équation a la forme suivante :

$$[II-28] \sqrt{\epsilon_{reff}} = a(\epsilon_r)^b$$

Pour les différentes valeurs de permittivité effective par rapport à la permittivité relative, nous cherchons une régression avec une fonction d'ajustement donnée. Dans notre cas la fonction est une fonction de puissance. Dans le Tableau II.1, nous montrons les

différents coefficients a_h et b_h de l'équation [II-28]. Dans chaque régression, le coefficient de détermination R^2 est un indicateur qui permet de traduire la variance expliquée par le modèle choisi (modèle de puissance dans notre cas).

h (μm)	100	291.7	483.4	675	866.7	1058.3	1250
a_h	1,1726	1,2118	1,2126	1,2187	1,237	1,2491	1,252
b_h	0,4345	0,4933	0,5197	0,5413	0,5518	0,5719	0,6031
R^2	0,9984	0,9992	0,9998	0,9998	0,9998	0,9989	0,9976

Tableau II.1 Coefficients de modèles de puissance pour différentes épaisseurs de substrat

Les paramètres a et b sont déterminés par le moyennage des coefficients a_h et b_h retrouvés à partir de chaque courbe de la Figure II.30. Finalement, l'équation de régression de la permittivité effective relative est :

$$[\text{II-29}] \sqrt{\varepsilon_{\text{reff}}} = 1.222(\varepsilon_r)^{0.53}$$

L'écart type pour les coefficients a et b est de 3 %, ce qui nous permet de dire que ce moyennage est acceptable.

II.5.2.2. Variation de l'épaisseur de substrat

Après avoir trouvé la régression de la permittivité effective par rapport à la permittivité relative, la deuxième étape est de déterminer l'équation équivalente par rapport à l'épaisseur de substrat.

En se basant toujours sur des simulations électromagnétiques et sur la méthode de rapport de résonance, nous étudions la régression due à l'épaisseur de substrat. Ainsi nous déterminons les courbes de tendances de $\varepsilon_{\text{reff}}$ pour des par rapport à l'épaisseur relative de substrat h/d pour différentes permittivités effectives (Figure II.31).

Les courbes de tendance montrent une régression quadratique, d'où l'idée de déterminer les coefficients de variation quadratiques de $\varepsilon_{\text{reff}}$ par rapport à h/d . Le coefficient λ_{air} est la longueur d'onde à la résonance parallèle lorsqu'il n'y a pas de substrat.

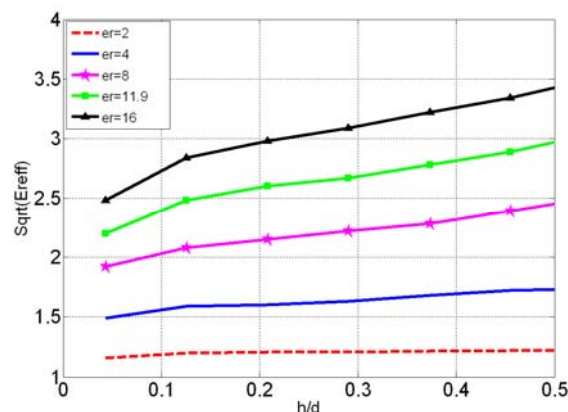


Figure II.31 Variation de la permittivité effective par rapport à l'épaisseur relative de substrat

Finalement, la forme d'une polynomiale quadratique aura l'équation suivante :

$$[\text{II-30}] \sqrt{\varepsilon_{r\text{eff}}} = a_e (h/d)^2 + b_e (h/d) + c_e$$

Suivant la même approche de régression, les coefficients a_e, b_e, c_e sont déterminés à partir des courbes de tendance avec les coefficients de détermination équivalentes à chaque permittivité relative présent dans le Tableau II.2. Le modèle choisi est le modèle d'une équation quadratique.

ε_r	a_e	b_e	c_e	R^2
2	-0,0027	0,0305	1,1384	0,9124
4	-0,0026	0,0595	1,4508	0,9631
8	-0,0003	0,0921	1,8582	0,9821
11,9	-0,0078	0,1878	2,0685	0,9727
16	-0,0129	0,2569	2,2957	0,977

Tableau II.2 Coefficients de modèles de polynomiale quadratique pour différentes permittivités

Le coefficient de détermination R^2 , étant proche de 1, montre que cette régression aboutit à une fonction polynomiale quadratique.

L'étape suivante est d'introduire la notion de la permittivité dans ces équations. D'après les équations [II-29] et [II-30], nous voulons avoir une nouvelle forme de l'équation quadratique en introduisant la fonction de permittivité relative. Les coefficients a_e, b_e et c_e seront divisés par $1.222(\varepsilon_r)^{0.53}$ pour chaque valeur de permittivité et seront a_{es}, b_{es}, c_{es} . Les nouveaux coefficients sont représentés dans le Tableau II.3.

ε_r	a_{es}	b_{es}	c_{es}
2	-0,1530195	0,17285531	0,645175376
4	-0,1020494	0,23353607	0,569435509
8	-8,15478E-3	0,25035181	0,505107197
11,9	-0,1717843	0,41360377	0,455558789
16	-0,2428482	0,48362563	0,432175693

Tableau II.3 Coefficients de modèles de polynomiale quadratique pour différentes permittivités après division par l'effet de permittivité

Finalement, nous ferons le moyennage des coefficients pour avoir les coefficients finaux. Le Tableau II.4 présente la moyenne et l'écart type de ces coefficients.

ε_r	a_{es}	b_{es}	c_{es}
Moyenne	-0,001355712	0,031079452	0,521490513
Ecart type	0,000872967	0,013142464	0,086875213

Tableau II.4 Moyenne et écart type des coefficients de modèles de polynomiale quadratique

L'équation finale de la permittivité relative par rapport à la permittivité relative, à la longueur de dipôle dans l'air et à l'épaisseur de substrat est :

$$[\text{II-31}] \sqrt{\varepsilon_{r\text{eff}}} = 1.22 * ((\varepsilon_r)^{0.53}) * [-0,1355712(h/d)^2 + 0,31079452(h/d) + 0,521490513]$$

II.5.2.3. Validation numérique

Après la détermination de l'équation reliant la permittivité, il est convenable de comparer les valeurs de la permittivité effective en utilisant l'équation analytique et les valeurs obtenues par simulation.

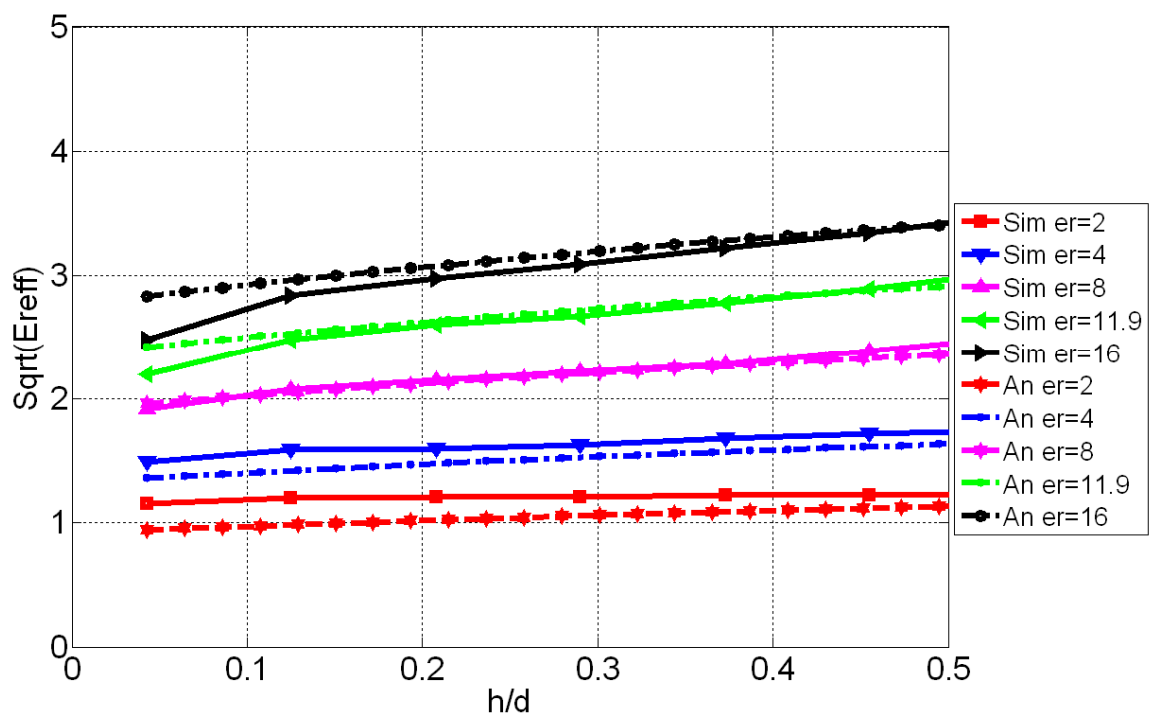


Figure II.32 Comparaison entre les résultats simulés et les valeurs analytiques de la régression de la permittivité effective

Dans la Figure II.32, nous montrons la différence entre les valeurs obtenues par simulation et les valeurs analytiques calculées par l'équation [II-31]. Pour les hautes permittivités relatives, ce qui est le cas de silicium, l'erreur est minime. Par contre pour les faibles permittivités, l'équation est valable avec une certaine erreur que nous pouvons accepter.

II.5.2.4. Evaluation de la permittivité effective de substrat SOI

Pour l'estimation de la longueur de dipôle intégré sur SOI, nous devons avoir une valeur de la permittivité effective de ce substrat. Dans les parties précédentes, nous avons présenté une méthode pour déterminer la permittivité effective d'un substrat avec une seule couche. L'étape suivante consiste à profiter de ces estimations pour déterminer la permittivité effective du substrat SOI, qui est un substrat multicouche.

La démarche à suivre est décrite sur la Figure II.33. Notre but est de déterminer une couche à permittivité et à hauteur équivalentes des différentes couches de la technologie SOI.

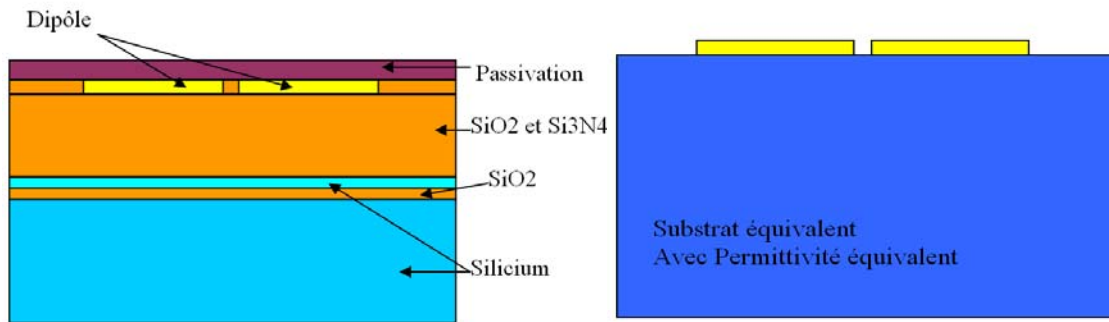


Figure II.33 Substrat Equivalent de la technologie SOI

Différentes expressions, décrivant un modèle de substrat équivalent d'une structure multicouche, existent dans la littérature, parmi lesquelles nous citons deux :

- Expression développée par Lee et Dahele [II.38]
- Expression développée par Krasweski [II.39]

L'expression développée par Lee et Dahele est basée sur un modèle de cavité. Les différentes couches, ayant différentes permittivités, sont considérés comme des capacités montées en séries [II.38] [II.39].



Figure II.34 Substrat Equivalent Lee et Dahele

Si nous avons un substrat avec deux couches, La hauteur de substrat équivalent est la somme des hauteurs des différentes couches (Figure II.34).

$$[II-32] \quad h_{eq} = h_1 + h_2$$

La permittivité relative équivalente est fonction des permittivités relative de chaque couche et de leurs hauteurs respectives. Elle est définie par

$$[II-33] \quad \epsilon_{req} = \frac{(d_1 + d_2)(\epsilon_{r1} + \epsilon_{r2})}{d_1 \epsilon_{r2} + d_2 \epsilon_{r1}}$$

La deuxième expression développée par Krasweski [II.39] est la suivante :

$$[II-34] \quad \epsilon_{multi} = \left[\epsilon_h^{1/2} + v_i (\epsilon_i^{1/2} - \epsilon_h^{1/2}) \right]^2$$

Où v_i est la fraction volumique de la couche i et où ϵ_h et ϵ_i sont les permittivités du milieu hôte et des inclusions. Cette équation est symétrique et ne fait pas intervenir la forme des structures contrairement à beaucoup de formules dans la littérature [II.36]. C'est pourquoi nous l'utilisons pour déterminer la permittivité équivalente.

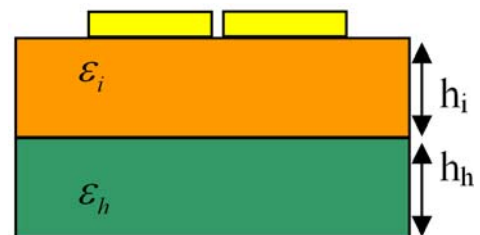


Figure II.35 Substrat Equivalent de Krasweski

La fraction volumique de la couche i est calculée en divisant le volume de la couche i sur le volume totale, S étant la surface de substrat (Figure II.35) :

$$[II-35] v_i = \frac{\text{Volume}(couche(i))}{\text{Volume Totale}} = \frac{Sh_i}{Sh_i + Sh_r} = \frac{h_i}{h_i + h_r}$$

Par la suite nous utiliserons cette expression pour déterminer les paramètres ε_{multi} et h_{eq} du substrat équivalent, présentés dans le Tableau II.5 :

Couches	$h(\mu m)$	ε_r	$h(\mu m) / \varepsilon_{req}$	$h(\mu m) / \varepsilon_{req}$	$h_{eq}(\mu m) / \varepsilon_{multi}$
Passivation	1.1	6.33	6.96/4.5077	7.51/4.6040	357.51/11.7118
SiO2	5.86	4.2			
Si	0.15	11.9	0.55/5.911		
SiO2	0.4	4.2			
Si	350	11.9	350/11.9	350/11.9	

Tableau II.5 Moyenne et écart type des coefficients de modèles de polynôme quadratique

D'après le Tableau II.5, la permittivité équivalente de substrat SOI est de 11.7118, avec une hauteur équivalente de 357.51 μm .

En appliquant l'équation [II-31], nous pouvons déterminer la permittivité effective du substrat SOI. Elle est égale à 6.44. Cette étude est une étape vers la détermination de la permittivité effective des antennes dipôles sur substrat. Une estimation de la longueur d'une antenne doublet, fonctionnant à 60 GHz, nous donne une antenne de longueur 985 μm .

Les couches proches de l'antenne sont électromagnétiquement plus influentes sur les paramètres de l'antenne, mais leurs dimensions, très faibles par rapport à la couche de silicium, conduisent à une influence limitée sur la permittivité relative équivalente. Les simulations électromagnétiques, réalisées dans le chapitre suivant, permettent de mieux prendre en compte leurs effets.

Dans le chapitre suivant, nous nous appuyons sur ces résultats pour démarrer la phase de conception des antennes dipôles. Cette étude a pour but d'avoir des valeurs préliminaires des longueurs des antennes intégrées de type dipôle, les dimensions seront optimisées par simulation en utilisant les logiciels électromagnétiques dédiés (MWS de CST)[II.28].

II.6. Conclusion du Chapitre II

Dans ce deuxième chapitre, nous avons examiné les caractéristiques des lignes coplanaires et leur implémentation dans la technologie SOI 0.13 μm de STMicroelectronics. Nous avons étudié l'effet de structure multicouche sur les lignes de transmission. Ces lignes constituent l'alimentation des antennes étudiées dans les chapitres suivantes. Une étude comparative sur l'effet de chaque couche de SOI est montrée. Ensuite, une validation par la mesure des lignes est présentée pour démontrer les performances des lignes CPW sur SOI.

Finalement, nous avons développé une méthode pour la détermination de la permittivité effective d'une antenne sur substrat par des méthodes graphiques.

Référence bibliographique:

- [II.1] Churchill, E. J. et al., "A demonstration of Lenz' law?" Am. J. Phys. 39, 285–287 (1971).
- [II.2] Reyes A. C., et al., "Coplanar waveguides and microwave inductors on silicon substrates," IEEE Transactions on Microwave Theory Tech., vol. 43, pp. 2016–2022, Sept. 1995.
- [II.3] Lu L.-H et al., "High-Q X-band and K-band micro machined spiral inductors for use in Si-based integrated circuits," in Proc. Silicon Monolithic Integrated Circuits RF.
- [II.4] Boret S., "Circuits intégrés monolithiques en technologie coplanaire pour des applications de réception jusque 110 GHz," Thèse de l'Université des Sciences et Technologies de Lille, 1999.
- [II.5] Raziat M. et al., "Propagation-Modes and Dispersion Characteristics of Coplanar Waveguides," IEEE Transactions on Microwave Theory and Techniques, vol. 38, pp. 245-251, 1990.
- [II.6] Einrich W., "Quasi-TEM Description of MMIC Coplanar Lines Including Conductor- Loss Effects," IEEE Transactions on Microwave Theory and Techniques, vol. 41, pp. 45-52, 1993.
- [II.7] Bracale A., "Caractérisation et modélisation des transistors MOS sur substrat SOI pour des applications micro-ondes," Thèse de l'Université Pierre et Marie Curie, Paris VI, spécialité électronique, 2001.
- [II.8] Hasegawa H. et al., "Analysis of Interconnection Delay on Very High-Speed LSI/VLSI Chips Using an MIS Microstrip Line Model," IEEE Transactions on Electron Devices, vol. 31, pp. 1954-1960, 1984.
- [II.9] Shibata T. et al., "Characterization of MIS Structure Coplanar Transmission Lines for Investigation of Signal Propagation in Integrated Circuits," IEEE Transactions on Microwave Theory and Techniques, vol. 38, pp. 881-890, 1990.
- [II.10] Hasegawa H. et al., "Properties of microstrip line on Si–SiO₂ system," IEEE Transaction on Microwave Theory Tech., vol. MTT-19, pp. 869–881, Nov. 1971.
- [II.11] Zaage S. et al., "Characterization of the broad-band transmission behaviour of interconnections on silicon substrates," IEEE Trans. Comp., Hybrids, Manufact. Technol., vol. 16, Nov. 1993.
- [II.12] Noguchi Y. et al., "Analysis of characteristics of the coplanar waveguide with ground planes of finite extent," Trans. IECE., Japan, Vol.58-B, N° 12, pp. 679-680. Dec. 1975.
- [II.13] Veyres C. et al., "Extensions of the application of conformal lapping techniques to coplanar lines with finite dimensions," Int. J. Electron., Vol. 48, N° 1, pp. 47-56, Jan. 1980.
- [II.14] Ghione G. et al. "Coplanar waveguide for MMIC application: Effect of upper shielding conductor backing, finite Extent Ground Plane, and Line to Line coupling" IEEE trans. Microwave theory and techniques, vol. 35, No. 3, pp.260-267, March 1987.
- [II.15] Chen li et al., "Characteristics of Coplanar Transmission Lines on Multilayer Substrates: Modelling and Experiments" IEEE Transactions on Microwave Theory and Techniques,, Vol. 45, No. 6, June 1997.
- [II.16] Simons R. N. "Coplanar waveguide circuits components and systems", 2001 John Wiley and Sons.
- [II.17] Gupta et al., "Microstrip Lines and Slotlines", Artech house; Second edition P. 375.
- [II.18] Getsinger W. J., "Circuits Duals on planar transmission media", 1983 IEEE MTT Int. Microwave symposium. Dig., pp. 154-156, 1983.
- [II.19] Munson E., "Conformal microstrip antennas and microstrip phased arrays," IEEE Trans. Antennas Propagation, vol. AP-22, pp. 74-78, Jan. 1974.
- [II.20] D. A. Huebner, "An electrically small microstrip dipole planar array," in Proc. Workshop on Printed Circuit Antenna Technology, Las Cruces, NM, Oct. 1979, pp. 17.1-17.16.
- [II.21] Rana, I. Alexopoulos, N., "Current distribution and input impedance of printed dipoles", IEEE Trans. Antennas Propagation, vol. 29, pp 99-105, Jan 1981.
- [II.22] Y. T. Lo, D. Solomon, and W. F. Richards, "Theory and experiment on microstrip antennas," IEEE Trans. Antennas Propagation, vol. AP-27, pp. 137-145, Mar. 1979.
- [II.23] G. N. Tsandoulas, "Excitation of a grounded dielectric slab by a horizontal dipole," IEEE Trans. Antennas Propagation, vol. AP-17. pp. 156-161, Mar. 1969.
- [II.24] A. Sommerfeld, "Partial Differential, Equations in Physics", New York: Academic, 1949, vol. VI.
- [II.25] P. Parhami, Y. Rahmat-Samii, and R. Mittra, "An efficient approach for evaluating the Sommerfeld integrals encountered in the current element radiating over lossy ground," IEEE Trans. Antennas Propagation, vol. AP-28, pp. 100-104, Jan. 1980.
- [II.26] Pozar D. M., "Considerations for Millimeter Wave Printed Antennas", IEEE Transactions on Antennas and Propagation, Vol. AP-31, No. 5, Sep. 1983.
- [II.27] Constantine A. BALANIS, "Antenna Theory, Analysis and Design". pp 453-455. John Wiley & Sons, INC. Second Edition. ISBN 0-471-59268-4.
- [II.28] www.cst.com
- [II.29] www.ansoft.com
- [II.30] www.anritsu.fr
- [II.31] www.cascademicrotech.com

- [II.32] Barr J. T. et al., "A generalized vector network analyser calibration technique", 34th Automatic radio frequency techniques group conference digest, winter 1989, pp51-60.
- [II.33] Engen, G.F. et al. "Thru-Reflect-Line: An Improved Technique for Calibrating the Dual Six-Port Automatic Network Analyzer", IEEE Transactions on Microwave Theory and Techniques, Vol.27, Issue: 12 on page(s): 987- 993.
- [II.34] Celi. D, "Method for accurate determination of the intrinsic Cut-off frequency of IC bipolar transistor ", IEEE proc. International conference on microelectronic test structure , Feb. 1988, pp. 200-203
- [II.35] Pozar D. M., "Microwave Engineering", third edition, John Wiley and Sons.
- [II.36] Pavageau C., "Utilisation des technologies CMOS SOI 130nm pour des applications en gamme de fréquences millimétriques", Thèse de l'Université des Sciences et Technologies de Lille.
- [II.37] Lescot J., "Modélisation et Caractérisation de Composants passifs intégrées sur Silicium pour applications Radiofréquence", Thèse de l'Institut National Polytechnique de Grenoble, 2000.
- [II.38] Lee K. F. et al., "Circular Disk Microstrip Antenna with an Air Gap", IEEE Transactions on Antennas and Propagation, Vol. AP-32, No. 8, Aug. 1984.
- [II.39] Verma A. K. et al., "Static Capacitance of Some Multilayered Microstrip Capacitors", IEEE Transactions on Microwave Theory and Techniques, Vol. 43, No. 5, May 1995.
- [II.40] Kraszewski, "Prediction of the dielectric properties of two phases mixtures," Journal of Microwave Power, vol. 12, pp. 215, 1977.
- [II.41] www.st.com

A.1. Calibrage SOLT

La méthode SOLT nécessite une résistance coplanaire 50Ω comme impédance de référence, et les standards ‘court-circuit’ et ‘circuit ouvert’ qui doivent être connus avec précision. Les imperfections inhérentes aux motifs de test correspondants à ces standards, prédominantes en hautes fréquences, sont prises en compte en introduisant des capacités et inductances parasites. Les caractéristiques de SOLT sont les suivantes :

- Les standards doivent être connus (Kit de calibrage)
 - Le circuit ouvert a une capacité (souvent négative)
 - Le court circuit et la charge ont des inductances
- Utilisent des standards off wafer (pas de pointes)
- Disponible sur chaque analyseur de réseau vectoriel virtuel
- Sensible sur le placement des sondes

A.2. Calibrage TRL

La méthode TRL (*Thru Reflect Line* : connexion directe, réflexion, ligne) utilise pratiquement deux lignes de transmission d'impédance caractéristique, l'impédance de référence, et de longueurs différentes, et un dipôle quelconque à fort facteur de réflexion en module. La connexion directe se fait par une ligne de longueur nulle (*Thru*).

Contrairement à la méthode SOLT, la connaissance préalable exacte des éléments n'est pas nécessaire (différence de longueur entre les deux lignes, facteur de réflexion). C'est pourquoi ils sont plus faciles à réaliser : le facteur de réflexion peut être une simple ligne laissée en circuit ouvert sans que l'on ait besoin de déterminer sa capacité équivalente en fonction de la fréquence si celle-ci n'est pas une véritable capacité. La difficulté réside plutôt à rendre identiques les quadripôles d'erreurs communs aux étalons et à la maquette de mesure lorsque l'on travaille sur des lignes de transmission en technologie planaire.

Par conséquent, cette méthode offre deux avantages bien distincts :

- L'analyseur ayant été calibré par cette méthode a des performances supérieures par rapport à un calibrage classique. La différence réside dans la difficulté de réaliser une charge parfaite en micro-ondes, tandis qu'une ligne à air de précision d'impédance constante est techniquement réalisable
- En tant que méthode permettant d'accéder aux paramètres S de quadripôles non mesurables, elle permet, en microélectronique, la caractérisation de composants sans boîtiers directement dans les plans d'accès du composant, en s'affranchissant par conséquent des connecteurs et lignes d'accès jusqu'au plan de référence.

En contrepartie, pour des raisons d'exactitude dans les calculs, cette méthode n'est valable que dans une certaine bande de fréquence en rapport avec la longueur de la ligne étalon TRL, alors que la méthode SOLT est valable du continu jusqu'à la fréquence maximale d'utilisation de l'analyseur.

A.3. Méthode d'épluchage Y

La méthode des paramètres Y [II.34] permet de corriger les effets parasites en introduisant un modèle à 3 admittances (Figure II.37), représentant une part les capacités et conductance des plots (Y_1 et Y_2) et le couplage éventuel entre les plots d'entrée et de sortie (Y_3).

Une première mesure en circuit ouvert (Figure II.37), c'est-à-dire sans le dispositif sous test, permet de déterminer la matrice $[Y_{OPEN}]$, des plots parasites. La matrice $[Y_M]$ du dispositif avec ses plots d'accès (Figure II.36) est alors corrigée par soustraction des matrices $[Y_M]$ et $[Y_{OPEN}]$ pour donner finalement la matrice exacte du D.S.T. seul, notée $[Y_{DST}]$ ou :

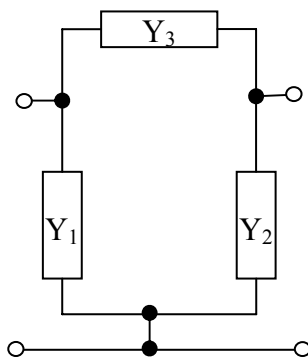


Figure II.37 Modèle du motif « Open »

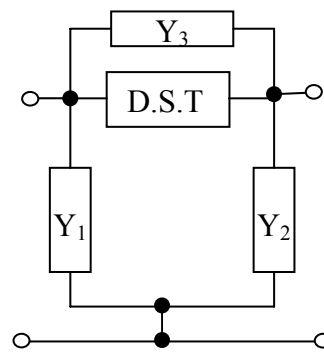


Figure II.36 Modèle de D.S.T. avec des plots d'accès

$$[\text{II-36}] Y_{DST} = Y_M - Y_{OPEN}$$

Avec

$$[\text{II-37}] Y_{OPEN} = \begin{bmatrix} Y_1 + Y_3 & -Y_3 \\ -Y_3 & Y_2 + Y_3 \end{bmatrix}$$

Cette procédure repose sur plusieurs hypothèses :

- Une représentation possible des effets parasites en éléments strictement parallèles notés Y_1 , Y_2 , Y_3
- Absence de couplage entre les plots et le composant proprement dit, ce qui suppose un éloignement suffisant des plots par rapport au D.S.T.

A.4 Extraction de l'impédance caractéristique et de la constante de propagation

La modélisation d'une ligne de transmission, par son schéma électrique équivalent passe par la connaissance de la constante de propagation complexe γ et de l'impédance caractéristique de la ligne Z_c (Figure II.38). Nous allons donc déterminer la relation entre les paramètres S mesurés de la ligne de longueur L et le couplet $\{Z_c, \gamma\}$

Pour ce faire, on calcule la matrice ABCD d'une ligne de longueur L :

$$[\text{II-48}] \begin{bmatrix} V_1 \\ I_1 \end{bmatrix} = \begin{bmatrix} A & B \\ C & D \end{bmatrix} \begin{bmatrix} V_2 \\ I_2 \end{bmatrix}$$

$$[\text{II-49}] \begin{bmatrix} A & B \\ C & D \end{bmatrix} = \begin{bmatrix} \cosh(\gamma L) & Z_c \sinh(\gamma L) \\ \sinh(\gamma L)/Z_c & \cosh(\gamma L) \end{bmatrix}$$

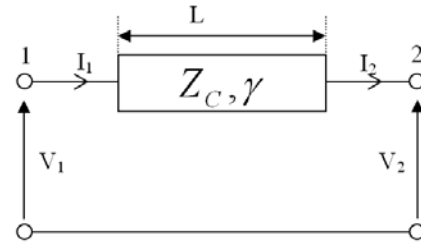


Figure II.38 Ligne de transmission

Il suffit ensuite d'exprimer les paramètres ABCD en fonctions des paramètres S [II.35] pour obtenir l'impédance caractéristique et la constante de propagation de la ligne :

$$[\text{II-50}] Z_c = \sqrt{\frac{B}{C}} = 50 \sqrt{\frac{(1+S_{11})(1-S_{22})+S_{12}S_{21}}{(1-S_{11})(1-S_{22})-S_{12}S_{21}}}$$

$$[\text{II-51}] \gamma = (\alpha + j\beta) = \frac{\cosh^{-1}(A)}{L} = \frac{1}{L} \ln\left(A \pm \sqrt{A^2 - 1}\right)$$

$$[\text{II-52}] A = \frac{(1+S_{11})(1-S_{22})+S_{12}S_{21}}{2S_{21}}$$

Pour la détermination de la constante de propagation, différentes solutions existent. On ne retient que celle présentant une signification physique, c'est-à-dire celle pour que l'atténuation α est négative.

Chapitre III

Etudes des Antennes Intégrées sur SOI

III. Introduction

Après l'étude des lignes de transmission sur SOI, la conception des antennes sur SOI constitue une étape suivante.

L'intégration d'une antenne sur silicium impose l'étude de l'influence des paramètres technologiques sur ses propriétés intrinsèques et sur les propriétés de rayonnement.

L'impact du substrat multicouche (silicium, diélectrique, métal) est donc étudié par la suite. Les paramètres du substrat tels que l'épaisseur, la permittivité et la résistivité de chaque couche sont trop souvent étudiés afin d'évaluer les performances des antennes sur SOI.

Ensuite, une étude sur des cas canoniques sur les antennes compactes à profil bas en vue d'intégration sur SOI est menée. Les cas des antennes dipôle et pastilles imprimées sont notamment étudiés.

En utilisant la technologie SOI, des règles de conception sont imposées pour respecter les règles de design (Design Rules Check, DRC). Une de ces règles concerne la limite de densité de métaux. La technologie 0.13 μm SOI de STMicroelectronics impose que la densité de métaux dans un niveau de couche doit être entre 20% et 80% par rapport à la surface globale de substrat. Ces métaux sont représentés par des îlots métalliques (dummies). Une étude de comportement de ces dummies sur SOI avec des antennes dipôles est réalisée finalement.

III.1. Définition des Paramètres Principaux des Antennes

Les antennes filaires font partie des antennes les plus anciennes, les plus simples, les plus économiques et en même temps les plus adaptées à une grande gamme d'applications. Leur modélisation analytique date du début du 20^{ème} siècle et elle est en général basée sur la résolution des équations intégrales type Pocklington (1897) ou Hallen (1938), avec un choix approprié des conditions aux limites. Des formulations analytiques sont données par plusieurs auteurs [III.1][III.2], permettant d'obtenir la distribution du courant, l'impédance d'entrée et le champ rayonné. Dans cette partie nous rappelons brièvement quelques paramètres caractéristiques des antennes que nous allons souvent évoquer au cours de ce chapitre.

III.1.1. Impédance d'Entrée

L'impédance d'entrée (Z_{in}) est définie comme le rapport de la tension sur le courant à l'entrée du dispositif :

$$[III-1] Z_{in} = \frac{V}{I} = R_{in} + j.X_{in} = R_r + R_{pertes} + j.X_{in}$$

La partie réelle est la somme de la résistance de rayonnement (R_r) et de la résistance des pertes (R_{pertes}). La partie imaginaire représente l'énergie qui est stockée dans la région du champ proche. La désadaptation de l'impédance entre l'antenne (Z_{in}) et la source (Z_0) d'excitation est dépendante de l'environnement et dégrade les performances du dispositif. Si les conditions d'adaptation ne sont pas satisfaisantes en émission, les ondes subissent des réflexions vers la source, donnant naissance à des ondes stationnaires, caractérisées par le paramètre V.S.W.R. (Voltage Standing Wave Ratio). Pour les applications pratiques un V.S.W.R. de 2 est accepté. Lorsque la longueur de l'antenne est proche de $\lambda/2$, $3\lambda/2$ etc., son impédance d'entrée (Z_{in}) est purement réelle et des situations de résonance série apparaissent [III.3].

III.1.2. Directivité, Efficacité et Gain [III.3]

La directivité d'une antenne est définie comme le rapport entre l'intensité de rayonnement ($U(\theta, \varphi)$) dans une direction donnée et l'intensité de rayonnement moyenne d'une antenne isotrope (U_0). La densité de rayonnement de cette dernière est égale à la puissance rayonnée par l'antenne (P_R) divisée par 4π .

$$[III-2] D(\theta, \varphi) = \frac{U(\theta, \varphi)}{U_0} = \frac{4\pi U(\theta, \varphi)}{P_R}$$

La directivité est une quantité qui permet de décrire le rayonnement de l'antenne par rapport à un rayonnement isotrope. Plus l'antenne est directive et plus le rayonnement est dirigé selon une seule direction.

L'efficacité totale d'une antenne est utilisée pour prendre en compte les pertes à l'entrée du dispositif et les pertes liées aux conducteurs. Elle est égale au rapport entre la puissance rayonnée (P_{Ray}) et la puissance incidente à l'entrée

de l'antenne (P_I) (Figure III.1). Ce rapport est souvent évoqué pour tenir compte des pertes de l'antenne qui regroupe la puissance perdue dans la métallisation (effet Joule) ou dans le substrat, en tenant compte des matériaux qu'ils le constituent, et la puissance réfléchie à l'entrée en raison de la désadaptation d'impédance de l'antenne. En générale, en plus de l'efficacité totale, nous parlons souvent de l'efficacité de rayonnement qui traduit le rapport entre la puissance rayonnée et la puissance transmise à l'antenne (P_T).

$$[III-3] \eta_{tot} = \frac{P_{Ray}}{P_I} = \eta_{ref} \eta_{ray}$$

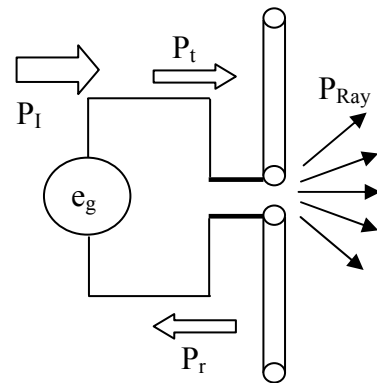


Figure III.1 Efficacité de rayonnement et efficacité de l'antenne

$$[\text{III-4}] \eta_{ray} = \frac{P_{Ray}}{P_T}$$

Dans l'expression [III-3] $\eta_{ref} = (1 - |\Gamma|^2)$ représente la désadaptation de l'impédance d'entrée de l'antenne (Z_{in}) et la source (Z_0). Γ est le coefficient de réflexion à l'entrée de l'antenne et est donné par :

$$[\text{III-5}] \Gamma = \frac{Z_{in} - Z_0}{Z_{in} + Z_0}$$

Le gain d'une antenne, dans une direction donné, est défini comme le rapport de l'intensité de rayonnement de l'antenne, par l'intensité de rayonnement d'une antenne isotrope idéale, dans cette direction. Les deux antennes sont supposées être alimentées par la même puissance. Cette expressions se résume à :

$$[\text{III-6}] G(\theta, \varphi) = \frac{4\pi U(\theta, \varphi)}{P_T}$$

Ainsi, le gain est lié à la directivité par l'intermédiaire de l'efficacité, ([III-2] et [III-6]) :

$$[\text{III-7}] G(\theta, \varphi) = \eta_{tot} \cdot D(\theta, \varphi)$$

III.2. Antenne Intégrée Sur Silicium

Pour étudier les performances des antennes intégrées sur SOI, nous commençons par étudier les performances de l'antenne dipôle sur substrat afin de déterminer les modes créés dans ce substrat. Pour commencer nous considérons le cas d'une antenne dipôle intégrée sur silicium avec un plan de masse.

Nous détaillons les modes qui se propagent (non rayonné) dans la zone intra substrat proche de l'antenne pour essayer de comprendre le comportement global des antennes dipôles sur silicium. Deux modèles des ondes sont étudiés, le modèle des ondes générées par les antennes imprimées et le modèles des ondes supportées par les guides d'ondes ouverts.

Dans un deuxième temps nous étudierons l'influence des paramètres technologiques sur le bilan de transmission entre les antennes. Nous démarrons notamment par l'épaisseur et la résistivité du silicium qui est la couche la plus épaisse. Ensuite nous étudions le diélectrique et la métallisation en face arrière. Notre objectif est ici d'obtenir des informations afin de comprendre l'influence de chaque couche sur le comportement globale de l'antenne

III.2.1. Modélisation des Antennes sur Silicium

Dans ce paragraphe nous présentons un modèle proposé dans des travaux antérieurs sur les ondes générées par des antennes imprimées [III.7][III.8][III.9] valable pour un substrat de permittivité et d'épaisseur variable. Puis un modèle des ondes supportées par un guide d'onde ouvert [III.10]. Enfin, nous abordons une application concrète sur silicium.

III.2.1.1. Théorie des Antennes sur Substrat

L'effet physique le plus important pour les antennes sur substrat épais avec une face arrière métallisée (Figure III.2) est l'apparition d'ondes de surface [III.10]. Les ondes de surface sont caractérisées par une décroissance exponentielle des champs dans l'air, loin de l'interface avec la majorité de champs confinés proche ou à l'intérieur du substrat, en général diélectrique [III.11]. Parfois elles s'appellent aussi ondes de volume puisque aux fréquences élevées elles sont confinées dans le substrat.

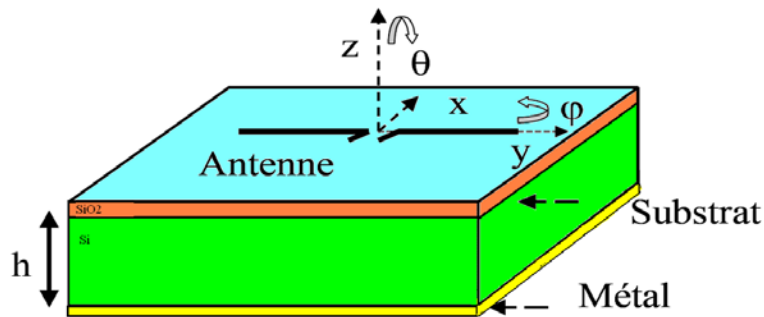


Figure III.2 Antenne sur un substrat avec une couche de métallisation en face arrière

Pour les antennes planaires qui ne se trouvent pas sur le même substrat, l'excitation de ce type d'ondes n'est pas en général souhaitée pour deux raisons :

- La puissance qu'elles transportent est considérée comme une perte puisqu'elle n'est pas rayonnée,
- Les ondes de surface excitées par une antenne peuvent subir des diffractions à cause des dimensions finies du substrat, ou se coupler à d'autres ondes et provoquer ainsi des interférences.

Dans le cas des antennes intégrées sur SOI, l'excitation des ondes de surface se révèle donc très perturbante pour le rayonnement des antennes. Ainsi, L'étude a pour but de s'assurer du bon fonctionnement des antennes en évitant une excitation parasite des ondes de surfaces.

Les travaux menés par le passé [III.7][III.8][III.9][III.12] ont conduit à une résolution analytique du problème d'une antenne sur substrat avec la méthode des Moments et ont permis d'obtenir le nombre et la nature des modes guidés, excités par une antenne linéaire sur un substrat de permittivité et d'épaisseur variable. La résolution des équations de Maxwell pour les ondes planes utilise des fonctions sinusoïdales pour représenter les ondes qui ne se propagent pas et des fonctions exponentielles pour représenter les ondes qui se propagent.

Ainsi, pour une antenne sur substrat nous distinguons principalement :

- Les ondes rayonnées en espace libre et en champ lointain, dont $1/r$ est la dépendance de l'amplitude en fonction de la distance
- Les ondes de surface ou ondes guidées pour les fréquences les plus élevées, $(1/r^{1/2})$
- Les ondes guidées d'ordre supérieur $(1/r^2)$
- Les ondes de fuite $(\exp(-\lambda r/r^{1/2}))$ qui peuvent être rayonnées ou guidées

Concernant les ondes de surface, leur nombre (N) à une fréquence donnée est strictement en fonction de l'épaisseur (h) et de la permittivité relative du substrat (ϵ_r), avec k_0 le nombre d'onde en espace libre [III.7]:

$$[\text{III-8}] N_{TM} = \{n+1\}, \quad n.\pi \leq t \leq (n+1).\pi \quad n = 0, 1, 2, \dots$$

$$[\text{III-9}] N_{TE} = \begin{cases} 0, & t \leq \pi/2 \\ n, & (n-1/2).\pi \leq t \leq (n+1/2).\pi \end{cases} \quad n = 1, 2, 3, \dots$$

$$[\text{III-10}] t = k_0.h.\sqrt{\epsilon_r - 1}$$

Le mode fondamental est toujours un mode TM avec une composante du champ électrique parallèle à la direction de propagation.

Concernant les antennes intégrées, l'épaisseur du diélectrique de silice est beaucoup plus faible que l'épaisseur de silicium. Nous pouvons donc considérer que le substrat est homogène. L'application des équations [III-8], [III-9], et [III-10] dans la bande de fréquence de 50 GHz à 80 GHz, qui est la bande envisagée pour le fonctionnement des antennes, donne les résultats présentés dans le tableau suivant (Tableau III.1) :

Épaisseur de silicium (μm)	@50 GHz	@60 GHz	@70 GHz	@80 GHz
350	TM_0	TM_0	TM_0, TE_1	TM_0, TE_1
500	TM_0, TE_1	TM_0, TE_1	TM_0, TE_1	TM_0, TE_1
650	TM_0, TE_1	TM_0, TE_1	TM_1, TE_1	TM_1, TE_1
800	TM_0, TE_1	TM_1, TE_1	TM_1, TE_1	TM_1, TE_1
950	TM_1, TE_1	TM_1, TE_1	TM_1, TE_1	TM_1, TE_2
1100	TM_1, TE_1	TM_1, TE_1	TM_1, TE_2	TM_1, TE_2

Tableau III.1 Modes d'antennes intégrées sur silicium

Nous observons que, pour seulement le substrat d'épaisseur de 350 μm , il n'y a que le mode fondamental (TM_0) qui se propage pour des fréquences inférieures à 64.9 GHz. Des autres modes d'onde surfaciques sont excités même pour des substrats à faible épaisseur mais à des fréquences peu élevées. Pour l'épaisseur de 500 μm et plus, des modes TE_1 et TE_2 sont excités à partir de 50 GHz quelle que soit l'épaisseur de substrat. Finalement, les modes TM_1 sont excités pour des substrats de plus de 850 μm à partir de 50 GHz de fréquence. De ce fait, le mode fondamental TM_0 est atténué.

Le but de l'étude des modes d'onde surfacique est de connaître leur effet sur l'impédance d'entrée d'antenne dipôle. Ainsi, le niveau d'impédance d'entrée est attribué au fait que le dipôle transmet la puissance en ondes rayonnées et engendre des ondes surfaciques dans le substrat. Cependant, ces ondes surfaciques ne contribuent qu'à la partie réelle d'impédance. Les modes propagatifs d'ordre supérieur contribuent à la partie réactive de l'impédance d'entrée. Ces modes d'ondes surfaciques d'ordre supérieur diminuent alors la puissance rayonnée des antennes, et emmagasine l'énergie qui se traduit en pertes. Ces

résultats peuvent donner une première idée des modes qui existent sur silicium d'épaisseur variable dans une large bande de fréquence.

Finalement, cette étude a pour but d'étudier l'impact de l'épaisseur de substrat sur les modes d'ondes surfaciques générés par l'antenne dipôle imprimé. L'étude de l'intégration des antennes sur silicium démarre essentiellement par l'investigation de l'influence des paramètres technologiques sur les caractéristiques des antennes et sur les caractéristiques des ondes générées.

III.2.2. Etude paramétrique des dipôles intégrés en technologie SOI

L'étude de l'intégration des antennes sur silicium est engagée en étudiant l'influence des paramètres technologiques sur les caractéristiques des antennes et sur les caractéristiques des champs générés. Dans les parties suivantes, nous poursuivons par des études paramétriques de différentes couches de la technologie SOI, notamment la couche de silicium et de silice (SiO_2), pour mieux comprendre le comportement d'une antenne canonique de type dipôle dans une intégration sur des substrats SOI. Au début, nous comparons le cas d'antenne sur plusieurs substrats. Ensuite, Nous tentons de comprendre l'impact de l'épaisseur et de la résistivité du silicium, sur les performances de l'antenne dipôle. Après, nous examinons l'impact de la couche d'isolation diélectrique et l'impact de la métallisation en face arrière des circuits intégrés.

III.2.2.1. Conception de la structure d'antenne

L'objectif de cette étude n'est pas de concevoir l'antenne la plus adaptée pour les applications millimétriques, mais plutôt la compréhension de l'influence des paramètres technologiques sur la performance des antennes intégrées.

Les paramètres qui nous intéressent sont notamment le coefficient de réflexion, la partie réelle et imaginaire de l'impédance d'entrée, l'efficacité et le gain d'une antenne intégrée.

Le choix des dipôles imprimés est motivé par le fait qu'il s'agit d'antennes simples avec des performances connues dans la littérature.

A la résonance série, l'impédance d'entrée de dipôle doublet sans l'air, de longueur $L = \lambda/2$, est de $Z_{in} = 73 + j42.5 \Omega$. Pour réduire la partie imaginaire de l'impédance d'entrée jusqu'aux valeurs nulles, l'antenne est adaptée, par la réduction de longueur [III.3]. Sa longueur à la première résonance (série) est donné par :

$$[\text{III-11}] \quad L = 0.48 * \lambda; \quad \text{ou} \quad \lambda = \frac{c}{f \sqrt{\epsilon_{\text{reff}}}}$$

- L longueur à la première résonance
- λ est la longueur d'onde
- f est la fréquence d'opération
- c est la vitesse de lumière dans le vide, $C=3 \times 10^8$ m/s
- ϵ_{reff} est la permittivité effective du substrat

Dans notre cas, nous étudions les dipôles dans la bande de 60 GHz.

III.2.2.1.1. Antenne dipôle sur différents substrats

Le but de cette partie est comparer les performances de dipôle intégré sur différents substrats. Nous prenons une antenne de longueur fixe, L . Les dimensions de substrat sont fixes pour tous les cas suivants ($2000 \mu\text{m} \times 1000 \mu\text{m}$). Et ainsi, en utilisant le logiciel CST MWS, nous simulons les antennes intégrées sur trois substrats différents

- Air, $\epsilon_r = 1$
- FR4, $\epsilon_r = 4.9$; $\tan(\delta) = 0.01$
- Silicium, $\epsilon_r = 11.9$; $\rho = 10 \text{ Ohm.cm}$

Cette étude n'est qu'une étape de base pour comprendre le comportement de dipôle dans un substrat et dans l'air. Nous avons choisi ces substrats à titre de comparaison, l'air couche de base, le FR4 le substrat le plus commercialement utilisé avec une tangente de perte $\tan(\delta) = 0.01$, et le silicium avec de faible résistivité.

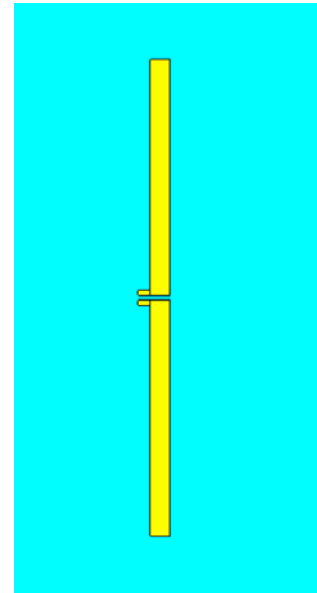


Figure III.3 Antenne dipôle

Nous avons pris comme référence la fréquence d'opération de l'antenne. Celle-ci est fixée à 60 GHz. Les longueurs de dipôles sont estimées suivant les valeurs de permittivités effectives modélisées de chapitre II et de l'équation [III-11]. Les longueurs des antennes intégrées sur Air, FR4, et Silicium sont de $2325 \mu\text{m}$, $1420 \mu\text{m}$ et $985 \mu\text{m}$ respectivement.

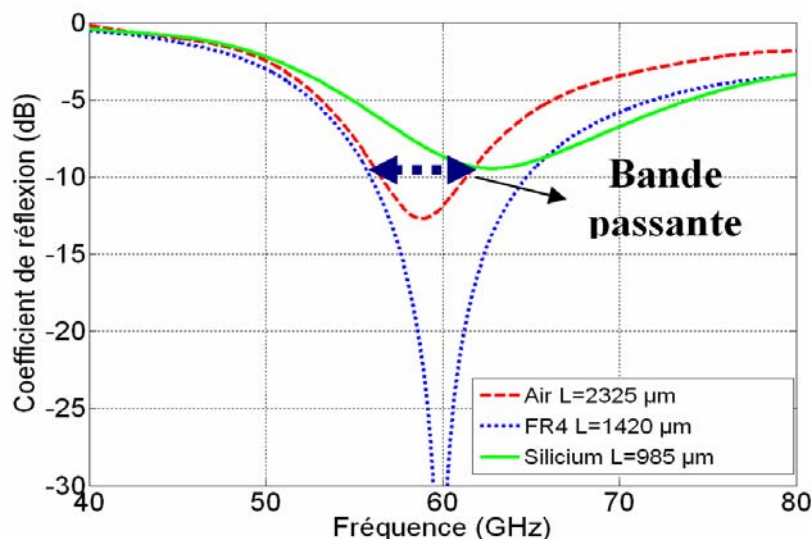


Figure III.4 Coefficient de réflexion simulé de l'antenne dipôle pour différents substrats

Le premier critère de sélection est le coefficient de réflexion de l'antenne. Ce facteur détermine le niveau d'adaptation entre l'antenne et la source d'excitation. Ainsi la bande passante de l'antenne est déterminée par ce facteur. La bande entre laquelle un coefficient de réflexion est inférieur à -9.54 dB (ou un rapport d'onde stationnaire, ROS = 2) est considérée comme la bande passante de l'antenne.

La Figure III.4 montre le coefficient de réflexion des antennes intégrées sur Air, FR4, et Silicium. Une bonne adaptation de l'antenne sur FR4 implique que l'impédance d'entrée de l'antenne est proche de 50 Ohms. Ensuite, nous présentons l'impédance d'entrée de l'antenne qui est liée au coefficient de réflexion par l'équation suivante,

$$[\text{III-12}] Z_{in} = 50 \cdot \frac{1 + S_{11}}{1 - S_{11}}$$

La partie réelle de Z_{in} détermine les caractéristiques de rayonnement de l'antenne, tandis que sa partie imaginaire détermine l'énergie emmagasiné dans le substrat. Cette énergie réactive se traduit par des pertes thermiques.

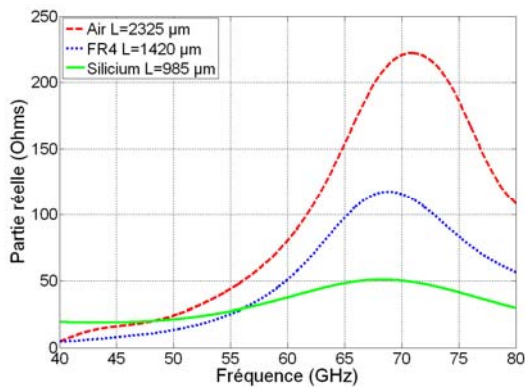


Figure III.5 Partie réelle de l'impédance d'entrée de l'antenne dipôle pour différents substrats

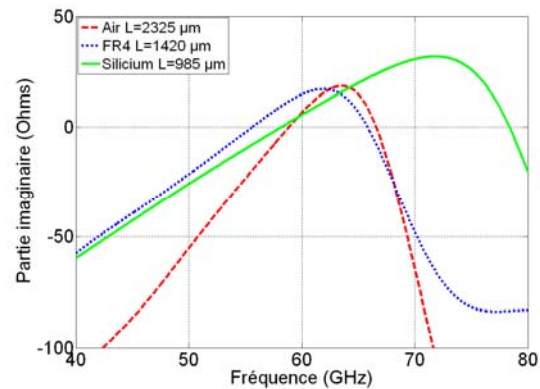


Figure III.6 Partie imaginaire de l'impédance d'entrée de l'antenne dipôle pour différents substrats

La Figure III.5 montre l'évolution de la partie réelle de l'impédance d'entrée d'une antenne intégrée sur différents substrats. Dans le cas de l'air, cette impédance est de 78 Ohms à 60 GHz, proche de l'impédance de l'antenne doublet à la résonance série ($Z_{imag}=0$). Ainsi, nous pouvons constater que cette impédance baisse en augmentant la permittivité relative des matériaux composant les substrats. Cet effet est déjà étudié par [III.8], il invoque que le fait d'augmenter le constant diélectrique diminue la résistance de rayonnement (rendement) de l'antenne imprimé. En plus, ce rendement est lié aux pertes des matériaux. La partie imaginaire de l'impédance d'entrée est illustrée dans la Figure III.6. Une impédance imaginaire nulle est souhaitée, c'est pourquoi nous travaillons un peu moins qu'une demi-longueur d'onde. Finalement, nous montrons le diagramme de gain de l'antenne. L'antenne est intégrée en direction y (Figure III.7).

Le diagramme de rayonnement de l'antenne sur le substrat de silicium (Figure III.7) est considérablement modifié en comparaison avec son diagramme de rayonnement en espace libre (air) ou dans le FR4. (Figure III.7). Son efficacité de rayonnement et son gain sont réduits en raison de la présence du substrat.

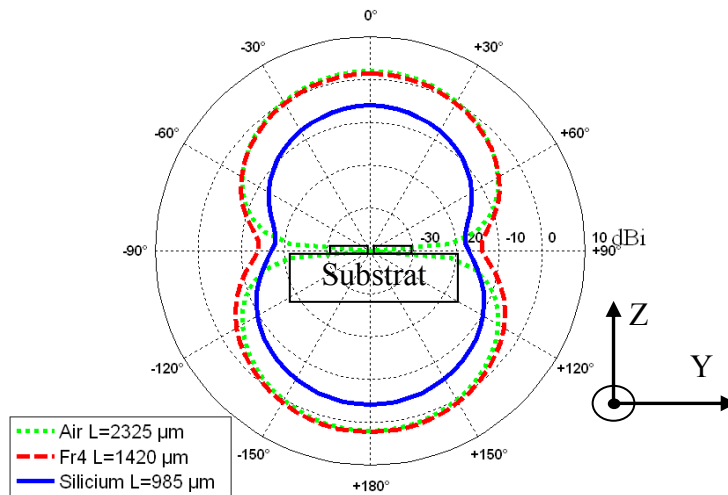


Figure III.7 Gain de l'antenne dipôle pour différents substrats

III.2.2.1.2. Variation de la conductivité de silicium

Dans cette partie, nous étudions l'influence de la résistivité de silicium de substrat SOI. Le substrat de silicium de faible résistivité engendre des pertes considérables. En variant la résistivité de silicium, nous illustrons l'effet de ce paramètre sur les caractéristiques de dipôle.

Le substrat SOI est un substrat constitué d'une couche de silicium hautement résistif (>1000 ohm.cm), d'une couche d'oxyde, d'une couche de silicium active, de la silice (SiO_2), de six couches de métaux et d'une couche de passivation (Figure III.8)[III.37].

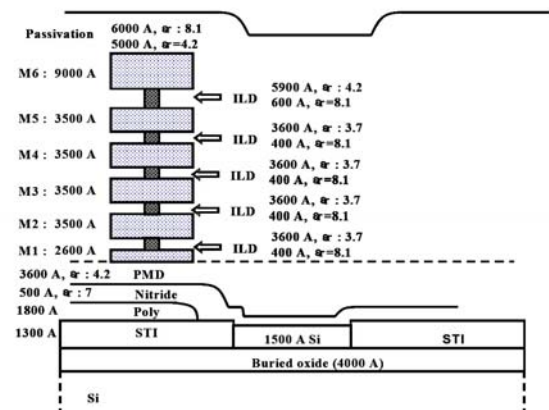


Figure III.8 Topologie de la technologie SOI

Nous allons étudier l'influence de chaque couche sous l'antenne. L'antenne est intégrée sur la couche M6 (Figure III.9). En cas de la non utilisation des métaux, ces couches sont remplacées par de la silice (oxyde).

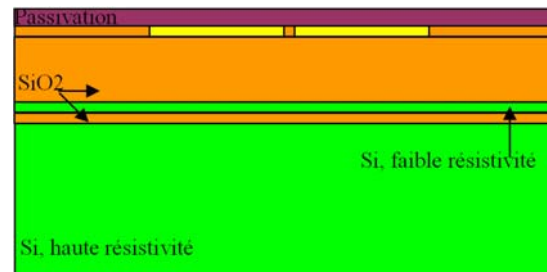


Figure III.9 Antenne dipôle intégrée sur la couche M6 de la technologie SOI

L'effet de résistivité est étudié en termes de dopage de silicium. Augmenter le dopage de silicium signifie augmenter sa conductivité et par la suite réduire sa résistivité. Un substrat à faible résistivité laisse circuler les courants induits par le champ magnétiques comme dans un mauvais métal, provoquant une augmentation significative des pertes ohmiques. La résistivité (Ohms.cm) est l'inverse de la

conductivité (S/m, pour Siemens par mètres) $\rho = 1/\sigma$, ainsi un substrat à haute résistivité de 1000 Ohms.cm équivaut à un substrat de faible conductivité de 0.1 S/m.

Pour étudier l'effet de la résistivité, le même dipôle de longueur 985 μm est imprimé sur la couche M6 de substrats SOI (épaisseur de M6 est de 0.96 μm), en variant la résistivité de la couche de silicium hautement résistive. Les dimensions de substrat sont fixes pour tous les cas suivants (2000 μm *1000 μm).

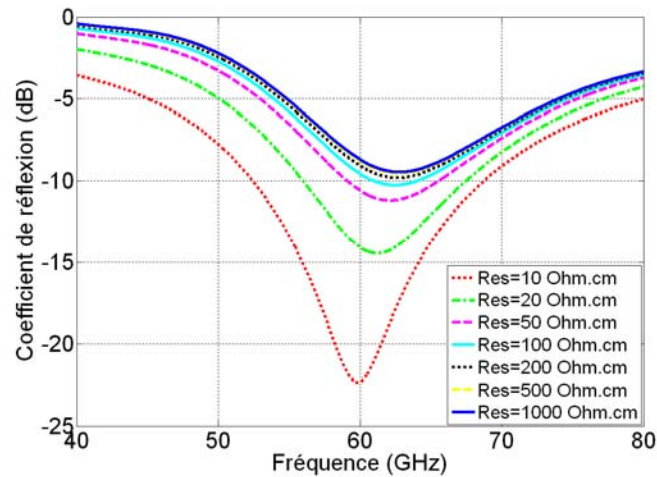


Figure III.10 Coefficient de réflexion de l'antenne dipôle intégré sur substrat de silicium pour différentes valeurs de résistivité

En augmentant la résistivité du silicium, nous perdons de l'adaptation de coefficient de réflexion de -22 dB pour le cas de silicium avec une résistivité de 10 Ohms.cm au -9 dB dans le cas de silicium avec une résistivité de 1000 Ohms.cm (Figure III.10). Une première conclusion nous amène à penser qu'avoir un substrat à faible résistivité simplifie l'adaptation d'impédance de l'antenne, et par suite la conception finale de dipôle. Pour mieux comprendre l'effet de la résistivité, nous regardons l'impédance d'entrée de dipôle.

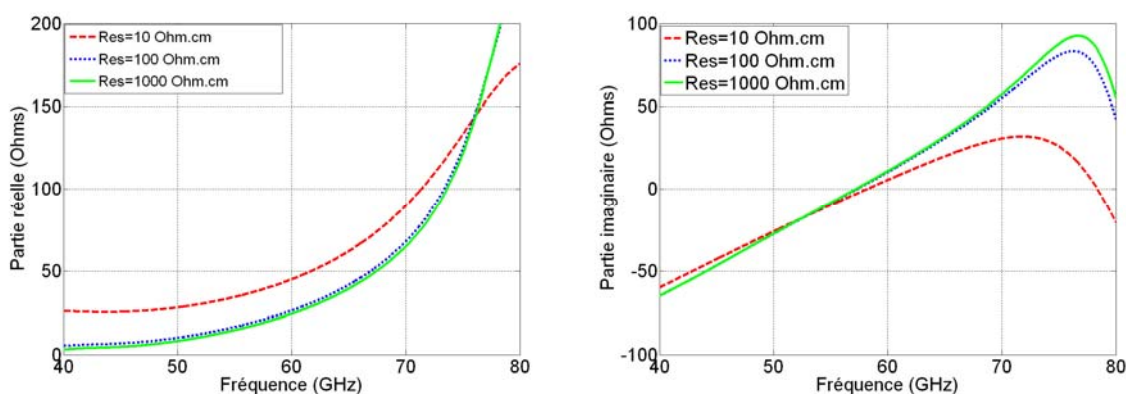


Figure III.11 Impédance d'entrée de dipôle intégré sur substrat de silicium pour différentes valeurs de résistivité

Dans le cas de substrat à résistivité faible (10 Ohms.cm), la partie réelle de l'impédance d'entrée est plus élevée que le cas de substrat hautement résistive (1000 Ohms.cm) (Figure III.11). Tandis que pour la partie réactive, ce changement se voit pour la

deuxième résonance (résonance parallèle). La résistance de rayonnement est liée à la partie réelle d'impédance d'entrée qui est plus élevée pour le substrat à faible résistivité.

Une telle conclusion est pour le moment valable, un approfondissement d'étude, sur le gain et l'efficacité de rayonnement, est nécessaire pour confirmer ou infirmer cette conclusion.

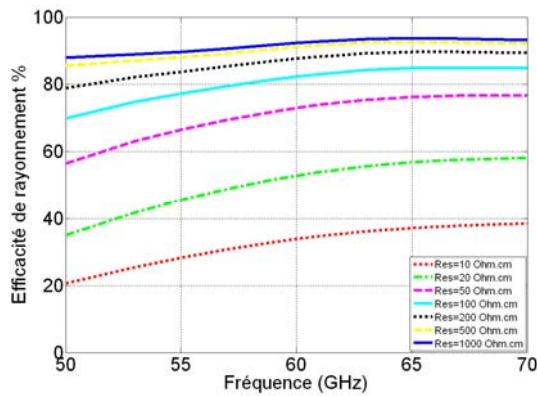


Figure III.13 Efficacité de rayonnement de dipôle intégré sur substrat de silicium pour différentes valeurs de résistivité

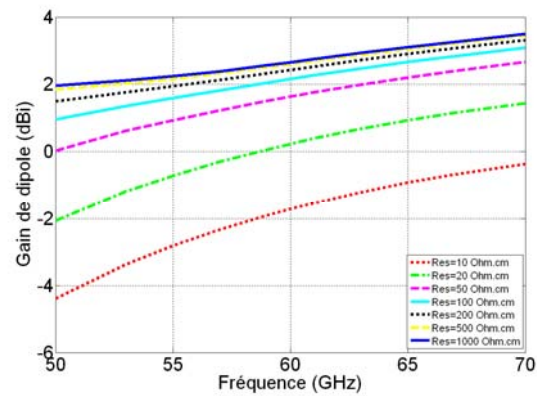


Figure III.12 Gain de dipôle intégré sur substrat de silicium pour différentes valeurs de résistivité

Contrairement à notre dernière conclusion, l'efficacité de rayonnement pour l'antenne intégrée sur silicium à faible résistivité est trop petite par rapport à celle du substrat de haute résistivité. La Figure III.13 montre la variation de l'efficacité pour de valeur de résistivité de substrat de 10 Ohms.cm jusqu'à 1000 Ohms.cm. Un changement entre 20% d'efficacité dans le cas de dipôle intégré sur des substrats à faible résistivité jusqu'à 90 % d'efficacité dans le cas de substrat hautement résistif tel le SOI. Le substrat à faible résistivité est la base de la technologie CMOS massif (ou Bulk). Cette technologie est utilisée souvent à cause de faible prix de production. Par contre, le substrat hautement résistif, qui est à la base de la technologie SOI, est plus chère à produire donc moins utilisé et exploité. La Figure III.12 montre le gain maximum de même dipôle de longueur de 985 μm . le gain augmente de 4 dBi en augmentant la résistivité de 10 jusqu'à 1000 Ohms.cm. Finalement, La Figure III.14 montre une comparaison de diagramme de gain. L'allure de diagramme ne change pas en augmentant la résistivité de 10 jusqu'à 1000 Ohms.cm, ce qui change est le niveau de gain.

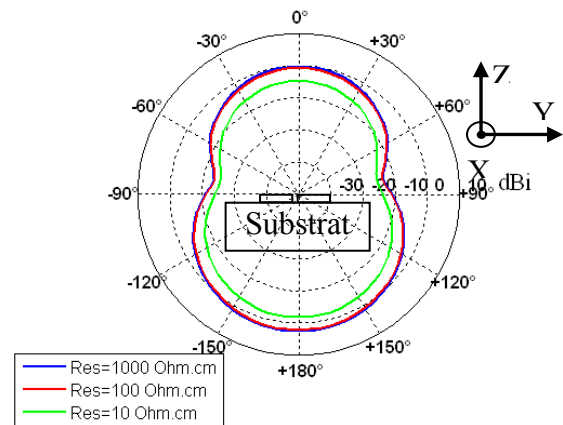


Figure III.14 Diagramme de Gain de dipôle intégré sur substrat de silicium pour différentes valeurs de résistivité

Ces derniers résultats ne laissent aucun doute sur l'importance de la résistivité de silicium dans le substrat SOI. La complexité technologique de ce substrat et le coût de la production peuvent freiner le développement de substrat SOI.

III.2.2.1.3. Effet de la couche de silicium active et d'oxyde

Le substrat SOI est constitué de couche de silicium, mais aussi d'une couche d'oxyde fine ($0.4 \mu\text{m}$) d'une couche de silicium active (de faible résistivité) et des couches d'oxyde et de nitride. Dans cette partie, nous étudions l'effet de la couche de silicium active et après l'effet de la couche d'oxyde sur le comportement de dipôle.



Figure III.15 Antenne dipôle intégrée sur la couche M6 de la technologie SOI

Tout d'abord, nous étudions l'effet de la couche de silicium actif ($0.15 \mu\text{m}$) sur l'adaptation et le gain de l'antenne dipôle. L'antenne est de $985 \mu\text{m}$, intégrée sur un substrat SOI contenant un substrat de silicium hautement résistive (1000 Ohms.cm), une couche d'oxyde de $5.08 \mu\text{m}$ dans laquelle se trouve une couche de silicium actif nécessaire pour le fonctionnement des transistors. En effet, dans un transistor à effet de champ métal oxyde semi-conducteur (MOSFET), il n'y a que la couche superficielle de silicium, d'épaisseur $0,1$ à $0,2 \mu\text{m}$ (c'est-à-dire moins de $0,1 \%$ de l'épaisseur totale de la plaquette de silicium), qui est vraiment utile pour le transport des électrons[III.14].

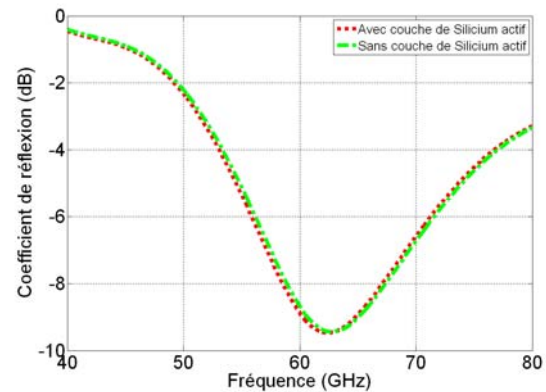


Figure III.16 Effet de la couche de silicium active sur le coefficient de réflexion de l'antenne

La Figure III.16 montre la comparaison des coefficients de réflexion entre le cas d'intégration de dipôle avec et sans cette couche de silicium actif. L'effet est quasiment négligeable, pas de changement de coefficient de réflexion. De même, l'étude de gain ne montre pas de changement considérable (0.1 dBi de changement). Cette couche de $0.15 \mu\text{m}$, nécessitent un maillage très fin de ($0.05 \mu\text{m}$) pour prendre en compte ces effets.

Dans cette étude, le temps de calcul pour le cas de présence de silicium (avec un maillage très fin) est de trois à quatre fois plus long que dans le cas de l'absence de cette couche. Compte tenu de la faible influence, nous avons décidé de ne pas utiliser cette couche dans les prochaines simulations pour réduire le temps de calcul du simulateur électromagnétique.

Dans la deuxième étape, nous étudions l'effet de la couche d'isolant (SiO_2). La présence de cette couche détermine l'appellation de la technologie. En effet, du nom de la technologie silicium sur isolant, nous retenons le mot isolant. Formé de l'oxyde enterré, l'isolant offre une parfaite isolation diélectrique entre la couche active des circuits et le substrat de silicium. Dans le cas de technologie CMOS massif, cette couche n'existe pas.

Cette couche d'oxyde (h_{ox}) constituera l'environnement direct des antennes, ce qui nous amène à l'étudier afin de comprendre son impact sur les performances de transmission

intra puce. Pour les résultats présentés ci-dessous un substrat de silicium d'épaisseur 350 μm hautement résistive a été retenu. L'épaisseur du diélectrique est changée de 0 μm (cas de CMOS massif) jusqu'à 15 μm en passant par 5 μm (cas de technologie SOI). La permittivité relative de l'isolant (SiO_2) est de 4.2.

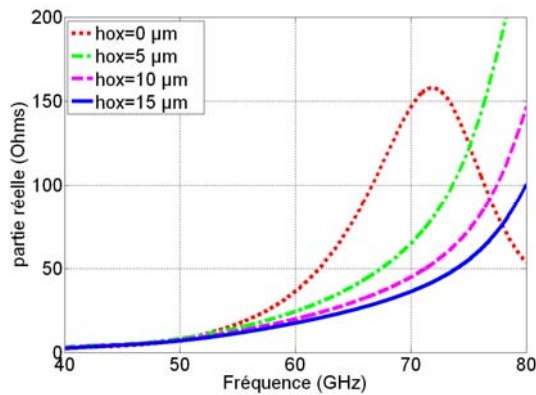


Figure III.17 Effet de la couche d'isolant sur la partie réelle de l'impédance d'entrée de l'antenne

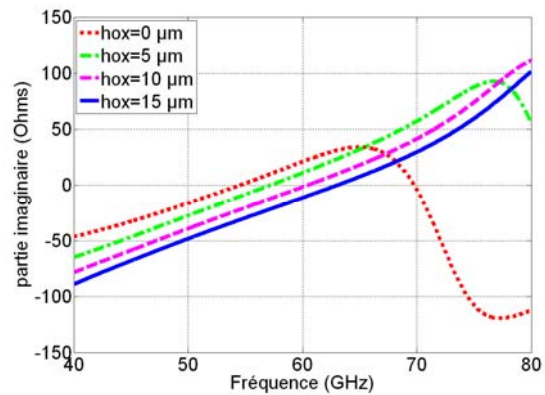


Figure III.18 Effet de la couche d'isolant sur la partie imaginaire de l'impédance d'entrée de l'antenne

Les Figure III.17 et Figure III.18 montrent que l'impédance d'entrée (réelle et imaginaire) diminue en augmentant la couche d'oxyde. Cette augmentation d'épaisseur accroît la fréquence de résonance de la même antenne. Les résultats obtenus indiquent que l'augmentation de l'épaisseur du diélectrique entraîne une augmentation des coefficients de réflexion (Figure III.19). Un décalage de fréquence de résonance en résulte aussi. Par contre, nous n'avons pas noté de changement considérable de gain et de diagramme de rayonnement en changeant l'épaisseur de Silice. Par conséquent, pour les épaisseurs de diélectrique technologiquement réalisables (quelques μm) les performances du système en termes de puissance transmise ne peuvent pas être améliorées.

En conclusion, le rôle du diélectrique vu les valeurs actuelles de son épaisseur est secondaire pour la puissance rayonnée. Son impact se révèle important pour les aspects d'adaptation et de taille de l'antenne. Pour l'application envisagée, l'épaisseur du diélectrique est beaucoup plus faible que l'épaisseur du silicium ce qui nous fait croire que son implication au niveau de vitesse de phase des ondes est négligeable.

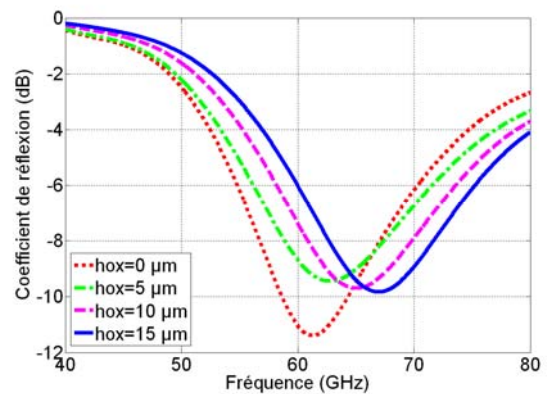


Figure III.19 Effet de la couche d'isolant sur le coefficient de réflexion de l'antenne

III.2.2.1.4. Variation de l'épaisseur de silicium hautement résistive

L'épaisseur finale du silicium varie avec le procédé de mise en boîtier et l'application envisagée. En prenant toujours le cas de technologie SOI, avec un dipôle de 985 μm intégré sur la couche M6, nous allons étudier l'effet lié à l'augmentation de l'épaisseur de silicium pour une résistivité fixe (1000 Ohms.cm)

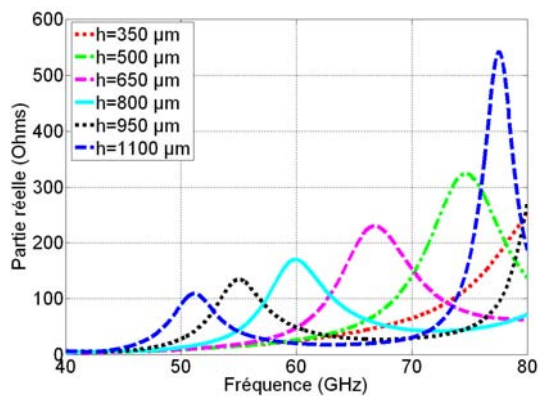


Figure III.20 Effet de l'augmentation de l'épaisseur de Silicium sur la partie réelle de l'impédance d'entrée de l'antenne

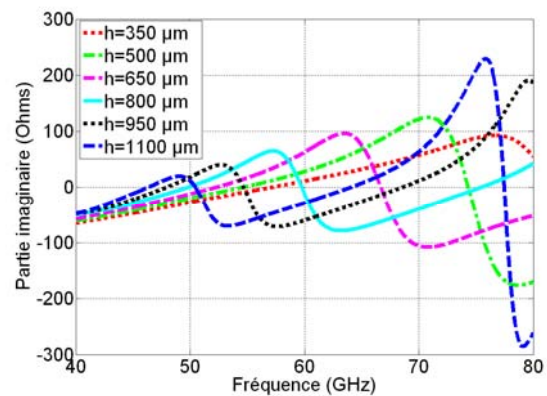


Figure III.21 Effet de l'augmentation de l'épaisseur de Silicium sur la partie imaginaire de l'impédance d'entrée de

Les Figure III.20 et Figure III.21 montrent l'impédance d'entrée (réelle et imaginaire) de l'antenne dipôle. Nous observons que l'augmentation de l'épaisseur du silicium entraîne une diminution de la fréquence de résonance. Ainsi en augmentant l'épaisseur des autres résonances apparaissent. En effet, en augmentant l'épaisseur de silicium, nous pensons que l'ensemble de l'antenne et le diélectrique se comporte comme des résonateurs diélectriques, l'antenne joue le rôle de la source d'excitation.

En plus de création de résonance, et de changement de la bande passante, le rayonnement de dipôle change continûment en augmentant l'épaisseur de substrat. Dans les Figure III.22 et Figure III.23, le gain de dipôle est illustré pour de plan de coupe différents ($\Phi=0$, et $\Phi=90$ respectivement). Nous rappelons que le dipôle est orienté en direction de l'axe Y, et l'épaisseur de substrat augmente suivant l'axe Z.

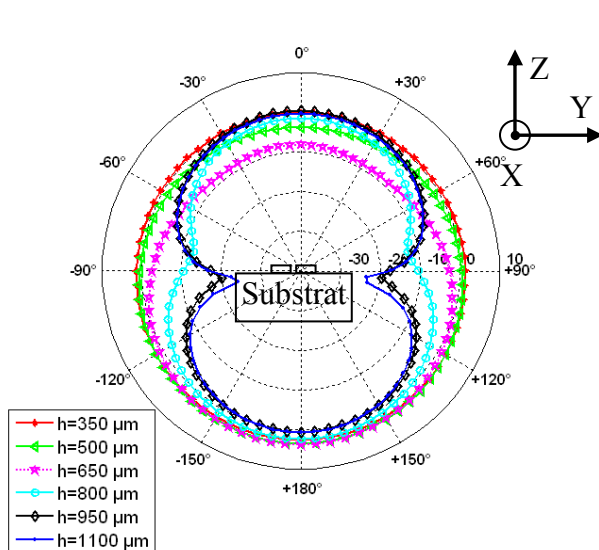


Figure III.22 Gain de l'antenne dipôle en changeant l'épaisseur de silicium, $\phi=0$

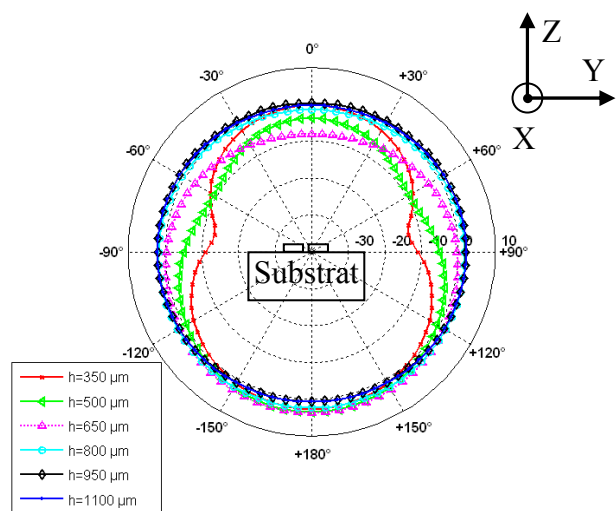


Figure III.23 Gain de l'antenne dipôle en changeant l'épaisseur de silicium, $\phi=90$

Les deux cas extrêmes sont illustrés en rouge ($h=350 \mu\text{m}$), et en bleu ($h=1100$). Dans le cas rouge ($350 \mu\text{m}$), le diagramme de gain est un diagramme normal de dipôle intégré sur substrat. Par contre, dès que nous augmentons l'épaisseur de substrat, l'allure de diagramme se transforme pour ressembler au diagramme d'antenne intégrée dans la direction de X. ce qui était le diagramme de rayonnement de l'antenne intégrée dans la direction de Y avec une épaisseur de $350 \mu\text{m}$ en direction de $\Phi=90$ deviendra le diagramme de l'antenne avec une épaisseur de 1100 en direction de $\Phi=0$.

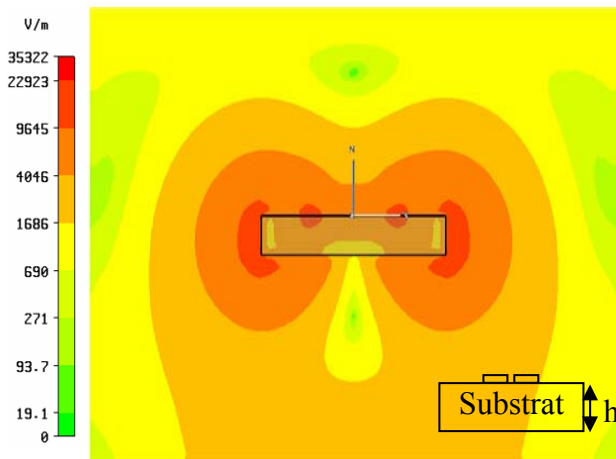


Figure III.24 Cartographie de champ électrique pour le dipôle, $h=350\mu\text{m}$, mode Omnidirectionnel

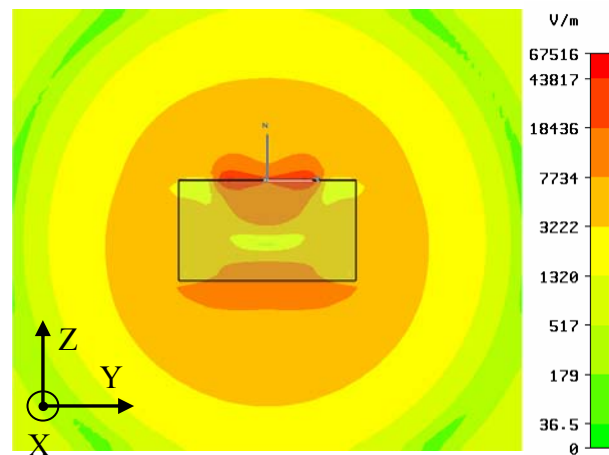


Figure III.25 Cartographie de champ électrique pour le dipôle, $h=1100\mu\text{m}$, mode HEM

Ce changement de rayonnement peut être dû à l'excitation non voulu de substrat de silicium. L'antenne deviendra donc une source d'excitation, qui engendre l'excitation des modes électromagnétiques hybrides (HEM_{11}). Ce mode, HEM_{11} , n'est pas un mode de rayonnement omnidirectionnel (Figure III.24), comme les modes (TM ou TE), mais plus tôt un mode de rayonnement transversal (broadside)(Figure III.25) ce qui explique le changement de rayonnement transverse lorsque nous augmentons l'épaisseur de substrat[III.15][III.16][III.17][III.18].

III.2.2.1.5. Influence de la métallisation en face arrière

La présence d'un plan métallique change la répartition du diagramme de rayonnement de l'antenne et améliore son gain de 3 dB. En même temps si l'antenne est très proche du plan conducteur, l'onde réfléchi est en opposition de phase ce qui entraîne des interférences destructives avec l'onde incidente. La distance entre l'antenne et le réflecteur ($\lambda_g/4 = 350\mu\text{m}$) est proche de la distance optimale afin d'avoir des interférences constructives entre les ondes directes et les ondes réfléchies sans avoir de lobes secondaires[III.3].

Nous allons considérer maintenant le même cas qu'auparavant, (antennes de $L=985 \mu\text{m}$ sur un substrat SOI d'épaisseur sur $350 \mu\text{m}$ de silicium de haute résistivité) avec et sans la métallisation en face arrière.

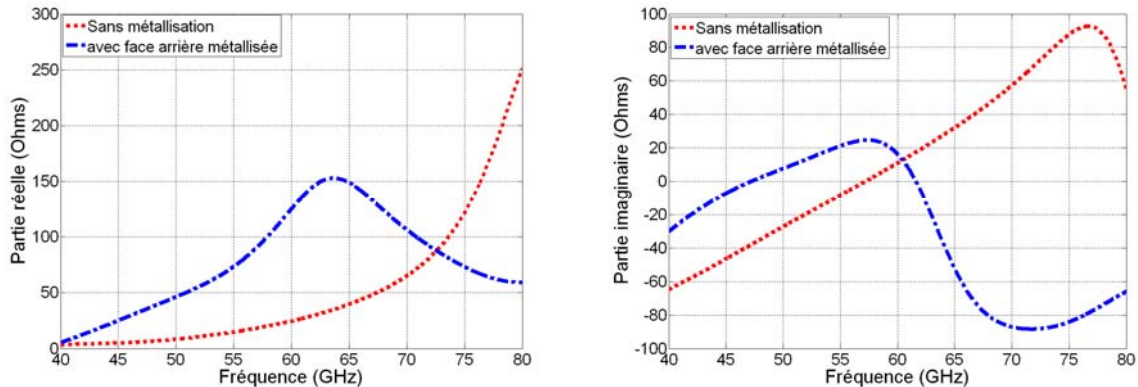


Figure III.26 Impédance d'entrée de dipôle avec et sans une face arrière métallisée

Nous observons que pour les antennes sur substrat avec la face arrière métallisée, la fréquence de résonance diminue en raison de l'augmentation de la permittivité effective (Figure III.26).

Le gain de dipôle sans métallisation est de 2.6 dBi. Ce gain est augmenté de 2 dB dans le cas de dipôle avec métallisation pour arriver à un gain de 4.6 dBi (Figure III.27).

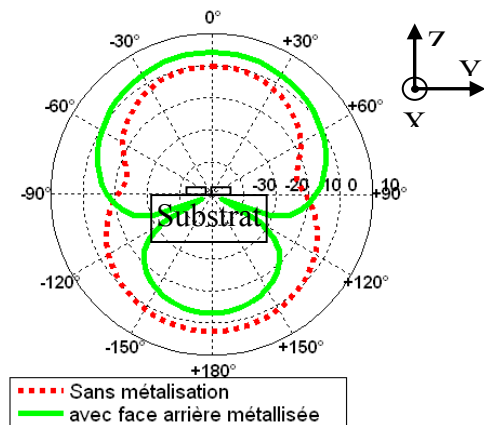


Figure III.27 Gain de l'antenne dipôle avec et sans une face arrière métallisée

III.2.2.2. Etude de la problématique de l'efficacité de rayonnement des antennes sur SOI

La présence d'une face arrière métallisée à une distance de plus que $\lambda_g/4$ augmente le gain et oriente le rayonnement vers le haut. Cette face métallisée doit être placée sous le substrat. Le procédé technique de la technologie SOI ne laisse pas la place pour une couche métallique sous le substrat. Dans la technologie SOI, les couches métalliques sont présentes dans la partie supérieure de substrat (Figure III.8). Ces couches sont nommées de M1 jusqu'au M6. Technologiquement, seulement ces couches peuvent être présentes dans la conception des circuits intégrés sur SOI. Dans les parties suivantes, nous étudions le cas d'un dipôle intégré sur la couche M6 en présence d'un plan de masse imprimé sur la couche M1. Nous étudions le cas d'un dipôle horizontal imprimé en SOI proche d'un plan de masse. Ensuite, une étude d'antenne pastille imprimée est examinée pour élaborer finalement une conclusion sur la conception des antennes sur les couches de la technologie SOI.

III.2.2.2.1. Etude d'un dipôle horizontal

Les dipôles sont souvent utilisés avec un plan réflecteur qui dirige le rayonnement dans un seul demi-espace. Le plan réfléchit le rayonnement du dipôle vers le demi-espace

supérieur. Tout se passe comme s'il existait une image symétrique par rapport au plan et en opposition de phase.

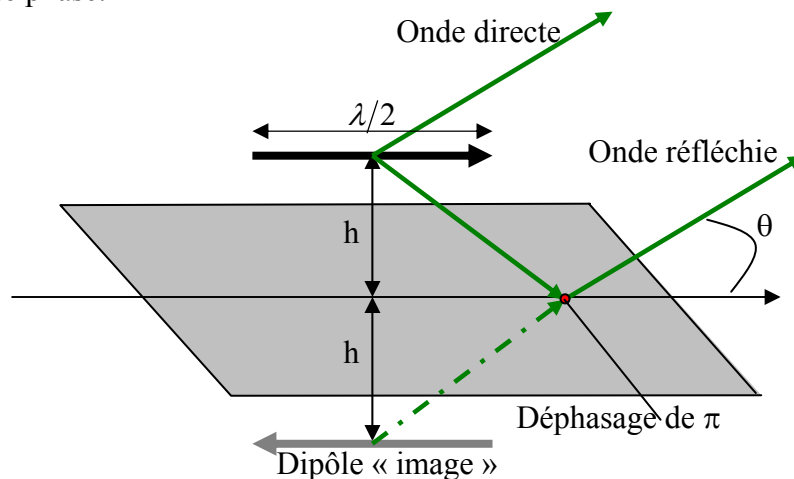


Figure III.28 Effet de plan de masse proche de l'antenne horizontale

Pour analyser les performances de l'antenne proche d'un plan de masse, une source virtuelle (image) est introduite pour prendre en effet les réflexions dues à ce plan de masse. Ces sources ne sont pas réelles mais des sources imaginaires, qui sont combinés avec la source réelle pour former le système équivalent. La quantité de réflexion est généralement déterminée par les paramètres de milieu au-dessous et au-dessus de l'interface. Ainsi pour un conducteur électrique parfait, l'onde incidente est complètement réfléchié ainsi le champ au dessous de plan réflecteur est nul. En se basant sur les conditions limites, les composants tangentiels de champ électrique doivent disparaître sur tous les points le long de l'interface. Dans le cas de dipôle horizontal (Figure III.28), la source virtuelle est placée à une distance h de l'interface (plan de masse conducteur), avec une différence de 180° de polarité par rapport à la source actuelle. Ainsi nous avons un coefficient de réflexion de -1 [III.3].

III.2.2.2.2. Etude de l'intégration de dipôle sur SOI

Pour respecter le procédé technologique, les niveaux de métaux autorisés sont seulement les niveaux de M1 à M6. De ce fait, pour intégrer les dipôles sur SOI avec un plan de masse, le choix le plus convainquant est d'utiliser un plan de masse intégrée sur la couche M1 avec un dipôle intégrée sur la couche M6 de SOI. Dans cette partie, nous essayons de savoir si un tel jugement est valide pour la conception de dipôle tout en gardant dans l'esprit que notre objectif est d'avoir une antenne efficace et adaptée à 50 Ohms.

Pour mieux décrire l'effet de plan de masse au niveau M1, nous avons étudié dans une première étape le cas de dipôle intégré sur la couche M6, de longueur de $985 \mu\text{m}$, sur un substrat de $2000 \times 1000 \mu\text{m}$. Trois cas sont pris en considération,

- Le premier est le cas d'un dipôle sans plan de masse
- Le deuxième cas est celle de dipôle avec un plan de masse en arrière métallisation
- Le troisième est le cas de dipôle intégrée sur la couche M6 avec un plan de masse intégré sur la couche M1 de la technologie SOI. Dans le troisième cas, Le substrat entre ces deux couche (M1 et M6) est la silice (SiO_2), la valeur de la permittivité relative de $\epsilon_r = 4.2$, et une valeur de permittivité effective de ~ 2.2 .

L'objectif de cette comparaison est de savoir s'il est possible d'intégrer l'antenne dipôle en SOI sans le besoin d'une face arrière métallisée.

Rana et al, a montré qu'en augmentant l'épaisseur de substrat, la partie réelle d'impédance d'entrée de l'antenne à la résonance va augmenter[III.12]. Tout en s'assurant qu'il ne faut pas augmenter l'épaisseur de substrat pour ne pas exciter les modes surfaciques supérieurs. Seulement le mode fondamental TM_0 , présent quelque soit l'épaisseur de substrat, est excité. La partie réelle d'impédance traduit donc l'efficacité de rayonnement de l'antenne. Ainsi en diminuant l'épaisseur de substrat, nous attendons une baisse de l'efficacité de rayonnement et de l'impédance d'entrée.

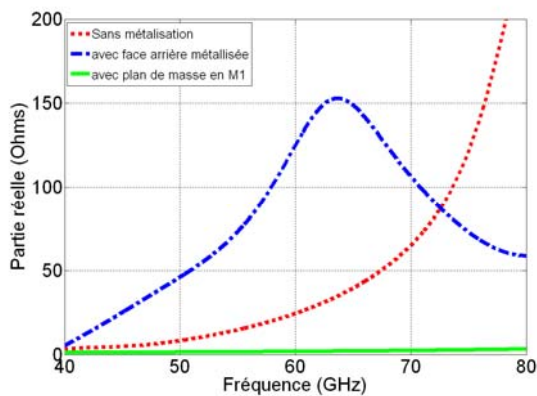


Figure III.29 Effet de plan de masse proche de l'antenne sur sa partie réelle d'impédance d'entrée

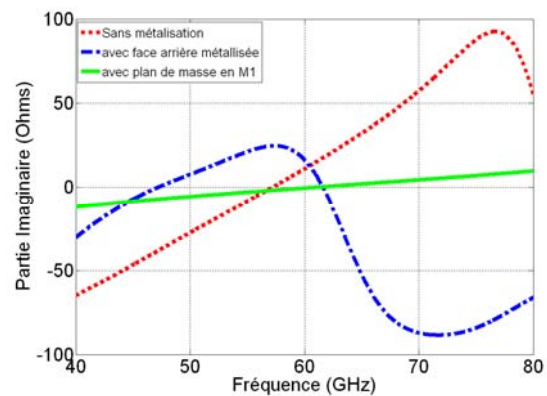


Figure III.30 Effet de plan de masse proche de l'antenne sur sa partie imaginaire d'impédance d'entrée

La comparaison des impédances d'entrée des trois cas étudiés nous montre un écart significatif entre les parties réelles dans les cas avec une face arrière métallisée et le plan de masse au niveau M1. Ainsi la partie réelle de l'antenne avec un substrat de $3.60 \mu\text{m}$ d'épaisseur (entre M1 et M6) est de 2 à 3 ohms (Figure III.29, Figure III.30). Nous attendons une chute d'efficacité de l'antenne avec plan de masse au niveau M1.

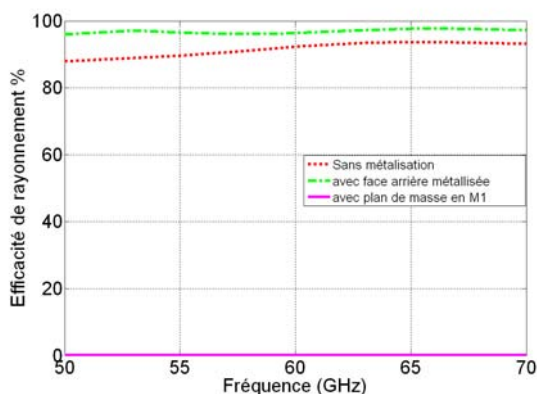


Figure III.31 Effet de plan de masse proche de l'antenne sur l'efficacité de

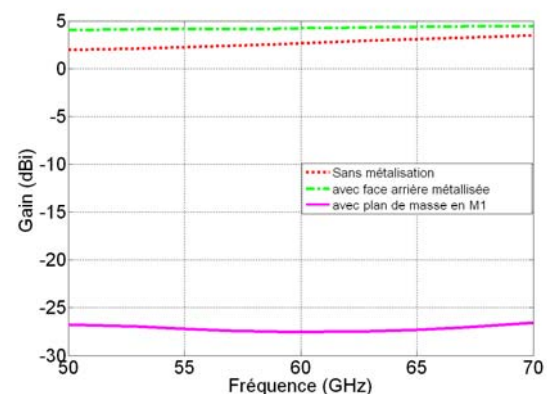


Figure III.32 Effet de plan de masse proche de l'antenne sur le gain de

La Figure III.31 montre l'efficacité de l'antenne dipôle intégrée avec un plan de masse en M1. La courbe en rose montre une efficacité très faible, (0.01%) dans la bande de 50 à 70 GHz. Ces tendances se confirment pour le gain de dipôle en utilisant une face arrière métallisée et un plan de masse. Nous observons une différence de 30 dB entre les deux cas (Figure III.32). L'antenne intégrée en M6 avec un plan de masse en M1 exhibe un gain de -27 dBi dans une bande de 20 GHz.

En effet, la présence de l'antenne proche de plan de masse augmente les ondes destructives, ce qui empêche l'antenne à rayonner correctement.

Avoir des antennes avec des faibles efficacités n'est pas souhaitable, la littérature nous montre que, dans les cas des antennes patch, une antenne intégrée sur un substrat d'épaisseur de $\lambda_g/100$ est réalisable avec une efficacité de rayonnement acceptable. Dans la partie suivante, nous étudions le cas des pastilles imprimées pour étudier l'effet de plan de masse au niveau M1 de la technologie SOI.

III.2.2.2.3. Etude de cas des Antennes Pastilles intégrées sur SOI

Une antenne pastille micro ruban est constitué d'une pastille (patch) rayonnante gravée sur une face d'un substrat diélectrique et un plan de masse dans l'autre coté [III.3]. La longueur de patch L est entre $0.46\lambda_g < L < 0.49\lambda_g$ [III.3][III.38]. L'épaisseur de substrat h est de $0.003\lambda < h < 0.05\lambda$. λ est la longueur d'onde dans l'air.

Le rayonnement de l'antenne pastille imprimée est due initialement aux effets de bord entres les cotés de la pastille imprimée et le plan de masse. Pour des bonnes performances d'antennes, un substrat diélectrique épais ayant une faible permittivité électrique est souhaitable parce qu'il engendre une meilleure efficacité de rayonnement.

Les principales avantages sont : faible masse et encombrement, structure planaire pouvant être conformée, coût réduit de fabrication par les techniques très précises des circuits imprimés. Cependant, ces antennes présentent quelques désavantages : une faible bande passante, un gain moyen et une limitation des puissances transmises et finalement l'excitation des ondes surfaciques.

L'alimentation des antennes pastilles imprimées peut se faire par des différentes méthodes. Elle peut se faire par une connexion directe (lignes microstrip, ou sonde coaxiale) ou par des méthodes indirectes par couplage électromagnétiques. [III.19][III.20][III.21][III.3].

Dans le cas de technologie SOI, l'alimentation par sonde coaxiale est écartée parce que ce n'est pas possible de faire des trous dans le substrat silicium. Les autres alimentations possibles sont l'alimentation par ligne micro ruban et l'alimentation par couplage électromagnétique ou couplage par Isis (fente). Dans les deux cas, l'utilisation de plan de masse semble imminente. Comme nous avons déjà évoqué dans la partie précédente, le choix possible pour le plan de masse est son intégration dans un des 6 couches de la technologie SOI.

Pour une antenne patch, L'épaisseur de substrat (h) nécessaire pour avoir bonne rayonnement est de $0.003\lambda < h < 0.05\lambda$. Dans le cas de bande de fréquence 60 GHz, l'épaisseur est alors $\lambda_g/178 < h < \lambda_g/10$.

Pour mieux juger l'influence de substrat sur les performances de l'antenne, nous avons pris une antenne pastille imprimée avec une alimentation micro ruban. Nous ne cherchons pas à adapter l'antenne, notre objectif est de savoir si, en diminuant l'épaisseur de substrat, nous sommes capable de concevoir une antenne efficace. Le but final est de savoir si l'intégration de l'antenne sur SOI (couche M6) avec un plan de masse au niveau M1 est faisable.

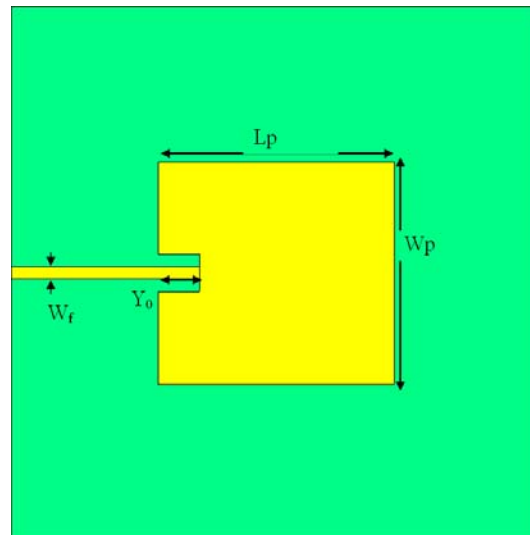


Figure III.33 Antenne patch

Les dimensions de l'antenne sont les suivantes, la longueur de patch $Lp = 1340 \mu\text{m}$ (Lp contrôle la position de résonance), la largeur de patch $Wp = 1250 \mu\text{m}$, la largeur de la ligne d'alimentation $Wf = 70 \mu\text{m}$, la distance pour l'encoche $Y_0 = 235 \mu\text{m}$. Finalement, le substrat SOI ainsi que le plan de masse à M1 ont les dimensions suivantes ($3000 \mu\text{m} \times 3000 \mu\text{m}$).

Nous étudions l'antenne pastille imprimée en changeant l'épaisseur entre le patch et le plan de masse (h_{ox}).

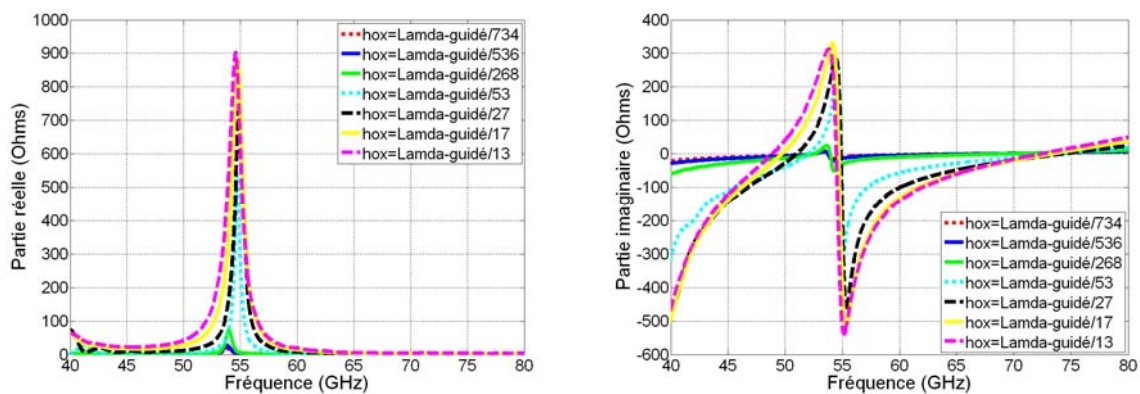


Figure III.34 Effet de l'épaisseur de la couche d'oxyde sur l'impédance d'entrée de l'antenne pastille

La Figure III.34 montre l'impédance d'entrée des antennes pastilles imprimées, pour des différentes épaisseurs d'oxyde. En diminuant l'épaisseur de substrat d'oxyde, les valeurs d'impédance réelle et imaginaire diminuent. Dans les cas de substrat SOI ($h_{ox} = 3.65 \mu m$ entre M1 et M6), cette impédance de l'ordre de $10+j2$. Nous répétons que notre objectif n'est pas l'adaptation mais plutôt l'étude du rayonnement de l'antenne.

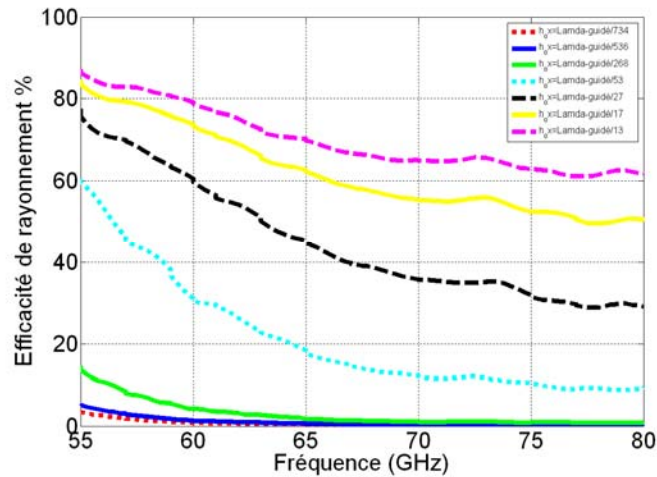


Figure III.35 Effet de l'épaisseur de la couche d'oxyde sur l'efficacité de rayonnement d'une antenne pastille imprimée

En regardant la courbe de l'efficacité de rayonnement de l'antenne pastille intégrée sur la couche M6 de SOI avec un plan de masse sur M1 (Figure III.35), nous réalisons l'intérêt d'avoir un substrat assez épais, même un substrat de faible épaisseur est nécessaire pour la pastille imprimée. Dans le cas de substrat mince (jusqu'à $10 \mu m$), l'efficacité de rayonnement est de 20% à 60 GHz. Cette efficacité double avec des substrats de $50 \mu m$ d'épaisseur. Il faut noter que dans le cas de technologie SOI, le superstrate (la partie en haut de substrat) est constitué de nitrure ($\sim 1 \mu m$), et de passivation ($\sim 1 \mu m$), une intégration de la pastille imprimée met en évidence l'influence de cette couche lorsque nous considérons le cas de substrat SOI, ainsi le substrat entre M1 et M6 ($3.65 \mu m$) ne devient que 2 fois plus l'épaisseur de superstrate ($2 \mu m$), d'où l'importance d'un bon maillage pour prendre compte l'effet de superstrate.

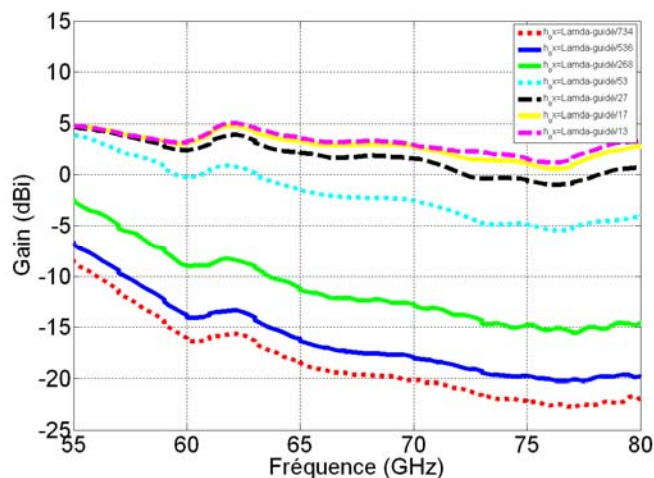


Figure III.36 Effet de l'épaisseur de la couche d'oxyde sur le gain d'une antenne patch

Les courbes de gain confirment la tendance des courbes de l'efficacité de rayonnement, en diminuant l'épaisseur de substrat (Figure III.36), le gain de l'antenne pastille imprimée chute de 5 dBi dans le cas d'une pastille imprimée avec un épaisseur de 200 μm jusqu'au -20 dBi dans le cas d'une antenne intégrée dans les conditions réelles de SOI (pastille imprimée au M6, plan de masse au M1 de SOI). Dans la littérature, on conseille d'utiliser des substrats minces pour limiter l'excitation des modes surfaciques, pour avoir bon rayonnement et pour augmenter la bande passante.

Mais pour le moment, dans tous les cas le substrat était limité à maximum $\lambda/200$ [III.3] [III.39], λ étant la longueur d'onde en espace libre. Dans notre cas, l'épaisseur de substrat est de 3.65 qui est équivalent à $\lambda_g/750$. L'antenne est très proche de substrat, ce qui augmente l'effet image et détruit le rayonnement de l'antenne. Les ondes subissent la réflexion d'un plan réflecteur, trop proche de l'antenne, les interférences deviennent donc destructives, ce qui explique cette chute brutale d'efficacité de rayonnement (§ III.2.2.2.).

La conclusion que nous pouvons retirer de ces deux derniers paragraphes est que la conception des antennes pastilles imprimées sur SOI, ayant une bonne efficacité de rayonnement, avec un plan de masse au niveau M1 et en tirant bénéfice du procédé technologique, est pour le moment non réalisable. Cette conclusion écarte la possibilité d'utiliser les techniques d'alimentation de couplage (couplage électromagnétique et couplage par Isis) dans la technologie SOI. La distance est insuffisamment petite pour qu'une hypothèse de rayonnement soit réalisée. Le seul choix disponible pour le plan de masse est la face arrière métallisée pour orienter le diagramme de rayonnement et augmenter le gain sans avoir des lobes secondaires ni des interférences destructives qui affaiblissent le rayonnement de l'antenne.

Nous avons discuté de l'influence des différentes couches métalliques de la technologie SOI, de la couche de silicium, et de la couche d'oxyde. En plus, le procédé technologique limite le pourcentage de densité de métal dans une couche. Nous détaillerons dans la partie suivante ces conditions, ainsi la répartition des métaux et leurs effets.

III.3. Modélisation des îlots métalliques de la technologie SOI

Dans le cas de la technologie CMOS SOI, la densité des métaux dans une couche métallique (M1 à M6) doit être limitée entre 20 et 80 % dans une surface d'un mm^2 [III.22] [III.23]. C'est pourquoi des îlots métalliques (Dummies) sont ajoutés pour limiter les dérogations technologiques afin de se conformer avec les règles de conception (Figure III.37) (Design check rules)

Dans certaines situations, la présence des conducteurs électriques peut avoir des conséquences qui compromettent la performance des dispositifs électromagnétiques. Les surfaces conductrices peuvent être utilisées comme des réflecteurs, mais elles changent la phase d'onde réfléchi. Elles peuvent aussi supporter des ondes surfaciques propagatrices qui ont des effets destructifs sur la performance de l'antenne.

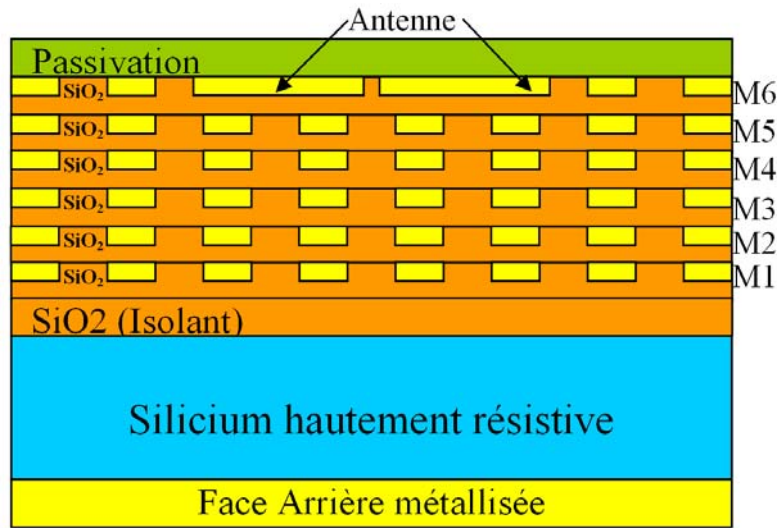


Figure III.37 Architecture des îlots métalliques dans la technologie SOI

Dans les parties suivantes, nous présentons la procédure développée pour modéliser les îlots métalliques. Cette procédure est inspirée du modèle de Tretyakov et adaptée à la technologie SOI. Au début, nous parlons de l'effet de plan de masse ainsi sa position par rapport à l'antenne sur les performances de l'antenne. Ensuite la modélisation des dummies par des surfaces capacitatives est présentée. Le comportement des dummies, en présence de plan de masse, est étudié. L'ensemble constitué par le plan de masse et les dummies est ainsi modélisé. Après une étude sur les autres modèles présentes dans la littérature, notamment le modèle de Sievenpiper et Tretyakov, Une comparaison de notre modèle est décrite

III.3.1. Contexte global de l'étude [III.24][III.25]

Alors que les surfaces conductrices électriques sont des bons réflecteurs, elles inversent la phase des ondes réfléchies. Une plaque métallique est utilisée dans différentes antennes comme un réflecteur, ou un plan de masse [III.3].

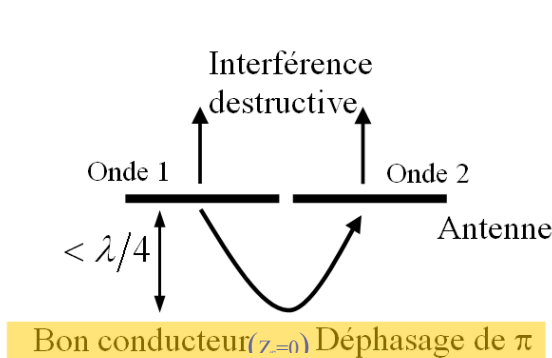


Figure III.38 Antenne proche de plan de

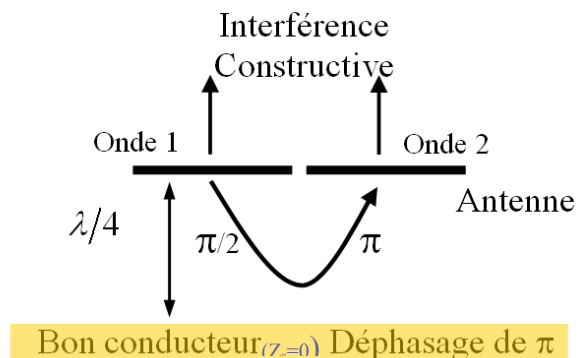


Figure III.39 Antenne à un quart de longueur d'onde de plan de masse

La présence du plan de masse redirige la moitié du rayonnement dans la direction opposée, en améliorant le gain de l'antenne de 3 dB. Malheureusement, si l'antenne est trop proche de la surface conductrice (Figure III.38), la phase de l'onde incidente est inversée après la réflexion, ce qui engendre une interférence destructive avec l'onde émise de l'autre direction. Ce problème est résolu si la distance entre l'antenne et la surface conductrice est un quart de longueur d'onde (Figure III.39). Le déphasage totale de l'antenne, à la surface, et retournant à l'antenne est de 2π , et les ondes s'ajoutent constructivement. En ajoutant une texture spécifique sur le conducteur électrique, les propriétés RF de surface peuvent être changées.

Dans le cas où un conducteur magnétique (Figure III.40) est utilisé comme plan de masse, la distance entre l'antenne et ce conducteur, nécessaire pour avoir une interférence constructive, peut être inférieure à $\lambda/4$.

Une autre propriété des surfaces métalliques, est qu'elles supportent les ondes surfaciques [III.11][III.26]. Celles-ci propagent les ondes électromagnétiques qui sont liées à l'interface entre le métal et l'espace libre. Elles s'appellent « surface plasmons » à dans la bande optique [III.24][III.26], mais pour la bande radiofréquence (RF), elles ne sont que des courants alternatifs. Si la surface conductrice est plate et lisse, les ondes surfaciques n'ont pas d'effet. Par contre elles vont rayonner si elles sont dispersées par des courbures où des discontinuités. Cet effet dégrade le rayonnement total de l'antenne.

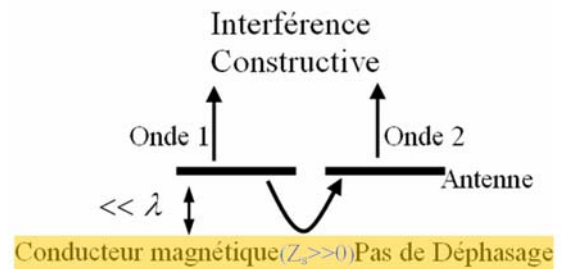


Figure III.40 Antenne placée près d'un conducteur magnétique

Dans la bande de fréquence où l'impédance de surface est haute, le champ magnétique tangentiel est faible, même avec un champ électrique élevé. Ces structures sont décrites comme des « conducteurs magnétiques ». C'est une idée mathématique qui peut être utilisée pour résoudre des problèmes électromagnétique, mais qui n'existe pas en réalité. Ayant une haute impédance et étant presque sans pertes, cette structure peut être considérée comme un conducteur magnétique sur une certaine bande de fréquence.

Ayant ces caractéristiques, les surfaces à haute impédance fonctionnent comme un nouveau type de plan de masse pour les antennes. En effet, la surface à haute impédance réfléchit toute la puissance comme une surface métallique normale, mais cette fois sans changement de phase ; ce qui permet d'avoir une interférence constructive pour que l'antenne rayonne efficacement pour des hauteurs de substrats inférieures à la longueur d'onde ($h \ll \lambda$) (Figure III.40).

III.3.2. Modèle des îlots métalliques dans la technologie SOI

Notre objectif est d'évaluer l'effet d'îlots métalliques en présence de plan de masse. Ces dummies, formant une surface capacitive, s'associent avec le plan de masse pour former une surface d'impédance artificielle dans une bande donnée. Le but est alors de savoir

comment ces dummies affectent nos antennes conçues dans la bande libre de 60 GHz (57-64 GHz).

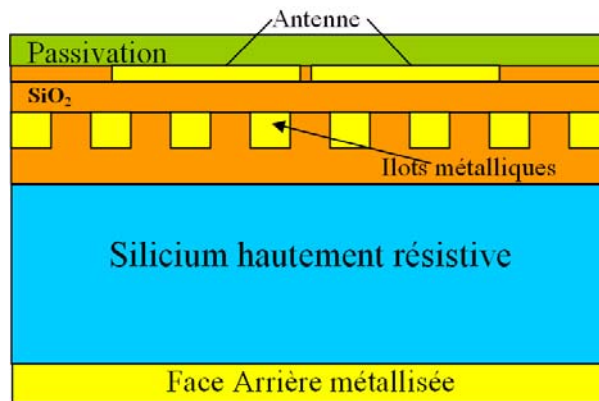


Figure III.41 Exemple d'antenne avec des îlots métalliques sur SOI

Pour commencer, nous allons présenter les surfaces réactives (capacitive et inductive) pour essayer de déterminer leur impédance en se basant sur les plans de grille (surface inductive). Ensuite, nous allons déterminer le modèle équivalent en présence d'une face arrière métallisée pour aboutir finalement à une expression de l'impédance de la surface équivalente

III.3.2.1. Impédance de grille [III.32]

Les propriétés électromagnétiques des grilles planaires peuvent être décrites en termes de l'impédance de grille Z_g , qui relie le champ électrique moyen $\langle E \rangle$ dans le plan de la grille et la densité du courant moyen $\langle J \rangle$:

$$[\text{III-13}] \langle E \rangle = Z_g \langle J \rangle$$

Dans le cas de la grille inductive (Figure III.42) composée par des bandes conductrices parallèles, l'impédance de la grille est [III.34] :

$$[\text{III-14}] Z_g = Z_{\text{bandes}} = j \frac{\eta}{2} \alpha$$

$$\text{Où [III-15] } \alpha = \frac{\kappa D}{\pi} \log \left(\frac{1}{\sin \frac{\pi d}{2D}} \right)$$

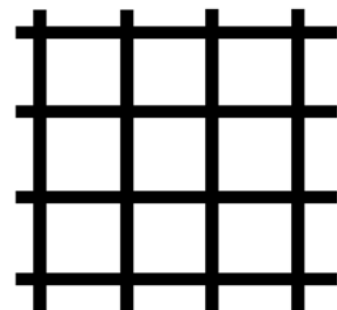


Figure III.42 Grille inductive

α est le paramètre de grille [III.32] (α est due au conditions limites moyennés), $\kappa = \omega \sqrt{\mu_0 \varepsilon_0}$ est le nombre d'onde, et l'impédance d'onde est $\eta = \sqrt{\mu_0 / \varepsilon_0}$. La procédure de moyennage et de l'homogénéisation qui nous mène vers l'équation [III-13] prend en considération les interactions dans les grilles infinies. La simplification est dans le modèle des

cellules: les dimensions de la cellule sont petites par rapport à la longueur d'onde, par conséquent la distribution locale du champ dans toute la cellule est supposée être proche de la distribution quasi statique.

La grille capacitive est la structure complémentaire de la grille inductive (Figure III.43). En effet, cette grille capacitive forme les pastilles (patches) conductrices dans l'espace. L'impédance de la grille peut être obtenue en utilisant le principe de Babinet [III.35] :

$$[\text{III-16}] Z_g = Z_{\text{patches}} = \frac{\eta^2}{4 * Z_{\text{bandes}}}$$

En terme du paramètre de la grille :

$$[\text{III-17}] Z_{\text{patches}} = -j \frac{\eta}{2\alpha}$$

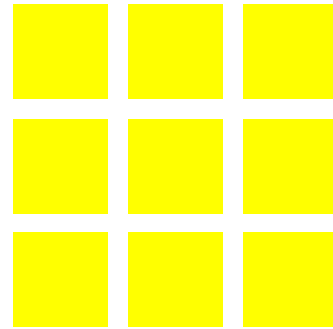


Figure III.43 Grille capacitive

Cette équation est obtenue en remplaçant α par $1/\alpha$. Ensuite, une approximation de l'équation [III-16] peut être utilisée [III.35] :

$$[\text{III-18}] Z_{\text{grille}} = Z_{\text{patches}} = \frac{\eta^2}{4Z_{\text{bandes}} \epsilon_{\text{reff}}} = -j \frac{\eta}{2} \frac{1}{\alpha \epsilon_{\text{reff}}}$$

ϵ_{reff} est la permittivité effective du substrat SOI. Cette permittivité prend en compte le silicium, la silice (SiO₂), la couche de passivation. Cette formule est précise dans le cas où la période des grilles est plus petite que la longueur d'onde ($D \ll \lambda$); ce qui est notre situation. En effet, deux patches adjacents se comportent comme deux rubans coplanaires (coplanar strips), la permittivité effective peut être donc obtenue de (§ chapitre II)[III.16][III.17].

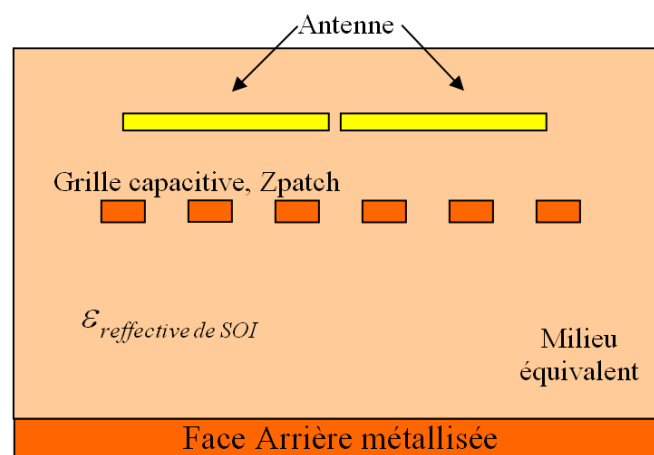


Figure III.44 Grille dans un milieu guidé (SOI)

III.3.2.2. Impédance de surface équivalent

Considérons un réseau de patches, placé parallèlement à une distance h , d'un plan de masse ; Supposons que la distance h n'est pas plus petite que la période D . dans cette situation, nous pouvons négliger les modes supérieures de Floquet générées par le maillage périodique[III.32].

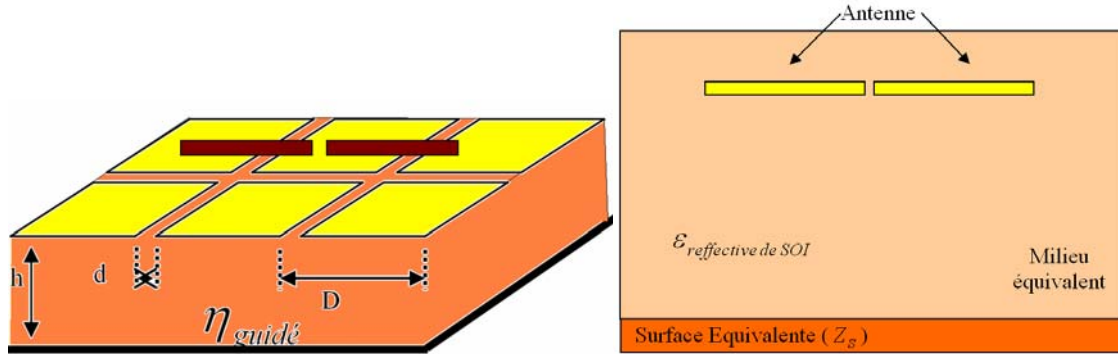


Figure III.45 Surface équivalent formé par le réseau des pastilles et la face arrière métallisée

Supposons que seulement le mode fondamental des ondes planes existe entre le réseau de pastilles et le plan de masse, l'impédance équivalente de la surface est alors l'impédance de la connexion parallèle de l'impédance de réseau de patches Z_{grille} et l'impédance d'entrée d'une section d'une ligne TEM de longueur h , ($Z = j\eta_{guidé} \tan(k_{guidé}h)$), (ou $\eta_{guidé} = \eta/\sqrt{\epsilon_{reff}}$, $k_{guidé} = k\sqrt{\epsilon_{reff}}$ sont les paramètres de milieu entre le réseau et le plan de masse).

L'impédance de la surface est alors :

$$[III-19] \frac{1}{Z_s} = \frac{1}{j\eta_{guidé} \tan(k_{guidé}h)} + \frac{1}{Z_{grille}}$$

Ce qui nous ramène à :

$$[III-20] Z_s = \frac{Z_{grille} \tan(k_{guidé}h)}{\tan(k_{guidé}h) - j \frac{Z_{grille}}{\eta_{guidé}}}$$

En terme de paramètre de la grille α , l'impédance sera :

$$[III-21] Z_s = \frac{j \frac{\eta}{\sqrt{\epsilon_{reff}}} \tan(k_{guidé}h)}{1 - 2\alpha \sqrt{\epsilon_{reff}} \tan(k_{guidé}h)}$$

Et finalement, en termes de paramètres des pastilles, l'impédance de surface sera :

$$[III-22] Z_s = \frac{j \frac{\eta}{\sqrt{\epsilon_{\text{reff}}}} \tan(kh\sqrt{\epsilon_{\text{reff}}})}{1 - \left(2\sqrt{\epsilon_{\text{reff}}} \tan(kh\sqrt{\epsilon_{\text{reff}}})\right) \frac{\kappa D}{\pi} \log \left(\frac{1}{\sin \frac{\pi d}{2D}} \right)}$$

D'autres modèles des surfaces constituées par un réseau de pastille et un plan de masse existent, notamment

- Modèle de Sievenpiper de surface à haute impédance connu sous « surface champignon ». Ce modèle se base sur des modèles locaux quasi statiques. Dans ce modèle de circuit électrique simplifié introduit par Sievenpiper, la structure est essentiellement considérée comme un réseau des cellules non inters agissants, bien qu'elles partagent le même flux magnétique.
- Modèle de Tretyakov [III.33] basé sur un modèle dynamique. Ce modèle prend en compte l'interaction des pastilles de la surface pour calculer la capacité équivalente. Notre modèle est inspiré de ce modèle dynamique et dérivé pour modéliser les dummies de la technologie SOI.

Ces deux modèles ne sont pas applicables dans notre situation. Les raisons sont les suivantes :

- Les deux modèles sont valables seulement si l'espacement (gap, d) entre les îlots métalliques est plus petit que leur période. Cette condition n'est pas valable en SOI. Dans notre cas, $d=2.3\mu\text{m}$, $D=4.3\mu\text{m}$, $d \neq \ll D$.
- En plus, Dans notre cas, l'épaisseur du substrat ($h=350\mu\text{m}$) n'est pas très petite par rapport à la longueur d'onde ($h = \lambda_g/4$, $\lambda_g \approx 1500\mu\text{m}$)

III.3.3. Effets des îlots métalliques sur SOI

L'objectif de cette étude reste de savoir si ces dummies vont perturber le fonctionnement de nos antennes à 60 GHz. Nous ne voulons pas aboutir à un comportement de plan de masse à haute impédance (surface à impédance artificiel).

Pour cela, l'équation [III-22] est à la base de cette étude. L'idée est alors d'étudier l'impédance de surface artificielle créée entre les dummies et le plan de masse.

Les hypothèses prises dans cette étude sont les suivantes :

- La période et les dimensions des dummies sont très petites par rapport à la longueur d'onde guidée. Les formules démontrées précédemment sont valables pour cette condition.
- La hauteur h entre les patches (dummies) et le plan de masse est plus grande que la période des dummies pour éliminer les modes supérieures de Floquet.

➤ Les dimensions sont les suivantes

Paramètres	Description	Valeurs
H	Hauteur	350 μm
D	Périodes des dummies	4.3 μm
d	Distance entre dummies	2.3 μm
ϵ_{reff}	Permittivité effective	5.6
η	Impédance caractéristique de l'air	120π
λ_g	Longueur d'onde guidée	2115 μm

Tableau III.2 Récapitulatif des paramètres utilisés pour modéliser l'effet de dummies.

Pour commencer, l'impédance de surface avec ces conditions est montrée dans la Figure III.46. Le schéma montre qu'il y a une résonance à 83.5 GHz, qui n'est pas assez loin de la bande qui nous intéresse (58-62 GHz). L'impédance est inductive dans cette bande, mais nous ne savons pas encore trop de détails sur l'effet des dummies sur l'impédance de l'entrée de l'antenne sur SOI.

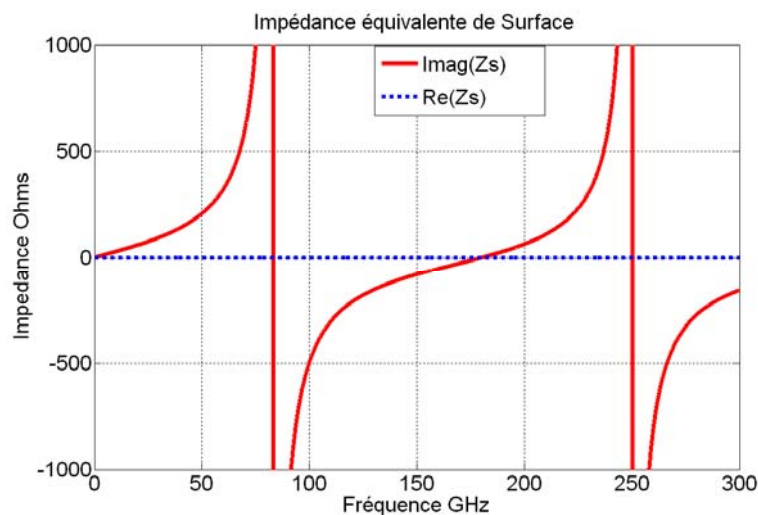


Figure III.46 Impédance de surface avec des dummies et plan de masse

La deuxième étape est de voir l'effet des dummies sur la phase de coefficient de réflexion.

III.3.3.1. Etude de coefficient de réflexion

L'impédance de surface détermine les conditions limites sur la surface pour une onde stationnaire formée par les ondes incidentes et réfléchies. Pour une surface dans le plan YZ, l'impédance de la surface vue par une onde empiétée sur cette surface de la direction X est :

$$[\text{III-23}] Z_s = \frac{E_z}{H_y}$$

Dans le cas d'une surface à haute impédance, le rapport au dessus est très grand, ainsi le champ électrique à un anti-nœud (ventre) à la surface, alors que le champ magnétique à un

nœud. Nous pouvons déterminer la phase de réflexion pour une surface arbitraire en considérant l'onde stationnaire formée par une onde en avance (forward) empâtée sur la surface et une onde en arrière (backward) réfléchi de la surface. Les champs d'une onde stationnaire ont la forme suivante :

$$\begin{aligned} \text{[III-24]} \quad E(x) &= E_f e^{-jkx} + E_b e^{jkx} \\ H(x) &= H_f e^{-jkx} + H_b e^{jkx} \end{aligned}$$

Les conditions limites à la surface, $x=0$, est donné par l'impédance de surface.

$$\text{[III-25]} \quad \frac{E_{\text{totale}}(x=0)}{H_{\text{totale}}(x=0)} = Z_S$$

Les champs électriques et magnétiques de chaque onde sont reliés par l'impédance de l'espace libre.

$$\text{[III-26]} \quad \left| \frac{E_f(x)}{H_f(x)} \right| = \left| \frac{E_b(x)}{H_b(x)} \right| = \sqrt{\frac{\mu_0}{\epsilon_0}} = \eta$$

La phase de coefficient de réflexion est la différence de phase entre les ondes en avance et en arrière (forward & backward)

$$\text{[III-27]} \quad \phi = \text{Im} \left\{ \ln \left(\frac{E_b}{H_f} \right) \right\}$$

En combinant les deux équations précédentes, la phase de coefficient de réflexion d'une surface avec impédance Z_S :

$$\text{[III-28]} \quad \phi = \text{Im} \left\{ \ln \left(\frac{Z_S - \eta}{Z_S + \eta} \right) \right\}$$

Lorsque Z_S est petit, la phase de réflexion est $\pm \pi$. Par contre si Z_S est grand la phase de réflexion est zéro. La phase passe par $\pm \pi/2$ quand Z_S et l'impédance de l'espace libre sont égaux en amplitude (Figure III.47).

Dans le cadre de la technologie SOI, et à partir de l'équation [III-22] qui définit l'impédance de la surface équivalente, nous étudions la phase du coefficient de réflexion afin de déterminer l'impact des îlots métalliques dans la bande de 60 GHz.

En étudiant la phase de coefficient de réflexion (Figure III.47), nous pourrions mieux comprendre l'effet de cette surface artificielle. Lorsque la phase passe par zéro, c'est à ce point que la surface a une résonance et normalement nous devons éviter ce point pour assurer que nous avons pas un comportement de plan de masse à haute impédance, ce qui va affecter l'impédance d'entrée de l'antenne et le diagramme de rayonnement de cette antenne.

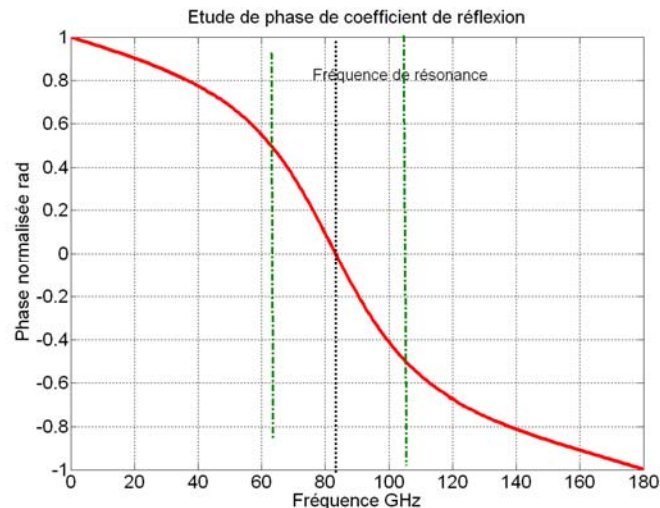


Figure III.47 Phase de coefficient de réflexion en utilisant notre modèle

A noter que l'effet de plan de masse à haute impédance est comprise dans une bande dite interdite. Dans cette bande ($-0.5\pi < \text{phase} < 0.5\pi$, en vert dans la Figure III.47), nous pensons que la perturbation des propriétés de l'antenne reste toujours considérable. Dans le cas des dummies, la limite inférieure de phase de coefficient de réflexion est à 63 GHz ce qui nous laisse une conclusion que ces dummies ne doivent pas affecter le comportement de nos antennes à 60 GHz.

Pour conclure, nous pensons que ces îlots métalliques n'affectent pas nos antennes à 60 GHz. La simulation de dummies par des simulateurs électromagnétiques 3D n'était pas possible à cause de leurs petites dimensions. Pour valider notre modèle de dummies sur SOI, nous avons réalisé des antennes dipôles intégrées sur SOI en utilisant des dummies de la technologie SOI et des pastilles avec de période et de distance inter dummies différentes. Le but de la réalisation est de valider le modèle développé. Le modèle développé a montré que les dimensions actuelles des dummies ne devaient pas perturber le fonctionnement de l'antenne à 60 GHz. Nous avons pris un cas d'étude où nous avons changé les dimensions des dummies pour s'assurer d'une perturbation à 60 GHz. Les antennes sont en réalisation, et nous n'avons pas pu montrer les résultats.

III.4. Conclusion

Dans ce troisième chapitre, nous avons examiné les caractéristiques de l'antenne intégrée. Les différentes caractéristiques de l'antenne intégrée sont expliquées. Ensuite une étude paramétrique sur le comportement d'antenne dipôle intégrée sur substrat « SOI » est exposée en comparant ses différentes performances (efficacité, gain, coefficient de réflexion).

Nous avons exploré la faisabilité de l'intégration d'un plan de masse sur les couches effectives de la technologie SOI. Deux cas d'étude sont pris en considération, le dipôle et la pastille imprimée.

Finalement, une étude a été menée pour modéliser les dummies de la technologie SOI. Cette étude a pour but de modéliser les îlots métalliques par un modèle électrique basé sur des hypothèses électromagnétiques.

Référence bibliographique:

- [III.1] King R. W.P., "The electromagnetic field of a horizontal electric dipole in the presence of a three layer region", *Journal of Applied Physics*, no. 69, June 1991.
- [III.2] Alexopoulos N. G. et al., "Mutual Impedance Computation Between Printed Dipoles", *IEEE Transactions on Antennas and Propagation*, vol. AP-29, no.1, January 1981.
- [III.3] Balanis C. A., "Antenna theory analysis and design", Third edition, John Wiley and Sons, Inc, 2005
- [III.4] www.cst.com .
- [III.5] Weiland, T. "A Discretization Method for The Solution of Maxwell's Equations for Six-Component-Fields", *Electronics and Communications (AEU)*, vol. 31, pp. 166-170 1977.
- [III.6] www.ansoft.com.
- [III.7] Alexopoulos N. G., et al., "Substrate Optimization for Integrated Circuit Antennas", *IEEE Transactions on Microwave theory and techniques*, vol. MTT-31, no. 7, July 1983.
- [III.8] Uzunoglu N. K. et al. , "Radiation Properties of Microstrip Dipoles", *IEEE Transactions on Antennas and Propagation*, vol. AP-27, no. 6, November 1979.
- [III.9] Katehi P. B et al. , "On the Effect of Substrate Thickness and Permittivity on Printed Circuit Dipole Properties", *IEEE Transactions on Antennas and Propagation*, vol. A31, no. 1, January 1983.
- [III.10] Pozar D. M., "Considerations for Millimetre wave Printed Antennas", *IEEE Transactions on Antennas and Propagation*, vol. AP-31, no. 5, September 1983.
- [III.11] Collin R. E. "Field theory of guided waves", McGraw-Hill Book Company, Inc. 1960.
- [III.12] Rana I. E. et al. , "Current Distribution and Input Impedance of Printed Dipoles", *IEEE Transactions on Antennas and Propagation*, vol. 29, no.1, January 1981.
- [III.13] Pozar D. M., "Microwave Engineering", 2nd ed. John Wiley and Sons, Inc. 1998.
- [III.14] Cristoloveanu S. et Al. , " Technologie silicium sur isolant (SOI) ", *Techniques de l'ingénieur*, E2380, 05/2002
- [III.15] Buerkle A. et al. "Compact Slot and Dielectric Resonator Antenna with Dual-Resonance, Broadband Characteristics", *IEEE Transactions on Antennas and Propagation* " , Vol. 53, No. 3, March 2005.
- [III.16] Junker, G.P et al. "Effect of aperture filling on slot-coupled dielectric resonator antennas operating in HEM11 mode" *Electronics Letters* , Volume 31, Issue 10, 11 May 1995 Page(s):774 – 775,
- [III.17] Kishk, A. A. et al., "Analysis of dielectric resonator antennas with emphasis on hemispherical structures," *IEEE Antennas and Propagation Magazine*, vol. 36, no. 2, pp. 20-31, April 1994.
- [III.18] D. Kajfez et al. , "Dielectric resonator antenna – possible candidate for adaptive antenna arrays," Tutorial on Dielectric Resonator Antenna; online <http://www.ee.olemiss.edu/darko/dra-pcfaaa.pdf>
- [III.19] CARVER K. R. et al., "Microstrip Antenna Technology" *IEEE Transactions on Antennas and Propagation*, Vol. "-29, No. 1, Jan 1981
- [III.20] Pozar DM "Microstrip antennas", *Proceedings of the IEEE*, 1992 - ieeexplore.ieee.org
- [III.21] Sullwan P. L. et al. « "Analysis of an Aperture Coupled Microstrip Antenna", *IEEE Transactions on Antennas and Propagation*, Vol. AP-34, No. 8. Aug. 1986
- [III.22] Fukuda Y. et al, "SOI-CMOS Device Technology", *OKI Technical review*, Number 4, Volume 68, March 2001
- [III.23] "International technology roadmap for semiconductors", Semiconductor Industry Association, 2003.
- [III.24] Sievenpiper D. F "High-Impedance Electromagnetic Surfaces", PHD thesis, University of California, Los Angeles 1999
- [III.25] Sievenpiper D. et al., "High-Impedance Electromagnetic Surfaces with a Forbidden Frequency Band" *IEEE Transactions on Microwave Theory and Techniques*, Vol. 47, No. 11, Nov. 1999.
- [III.26] Raether H., "Surface Plasmons on Smooth and Rough Surfaces and on Gratings". Berlin, Germany, Springer-Verlag, 1988.
- [III.27] S. Ramo, J. Whinnery, and T. Van Duzer, *Fields and Waves in Communication Electronics*, 2nd edition. New York: Wiley, 1984.
- [III.28] Simons R. N. "Coplanar waveguide circuits components and systems", 2001 John Wiley and Sons.
- [III.29] Gupta et al., "Microstrip Lines and Slotlines", Artech house; Second edition P. 375
- [III.30] Getsinger W. J., "Circuits Duals on planar transmission media", 1983 *IEEE MTT Int. Microwave symposium. Dig.*, pp. 154-156, 1983
- [III.31] Munson E., "Conformal microstrip antennas and microstrip phased arrays," *IEEE Trans. Antennas Propagation*, vol. AP-22, pp. 74-78, Jan. 1974.
- [III.32] Tretyakov S. "Analytical Modelling In Applied Electromagnetics" Artech House, Inc 2003
- [III.33] Tretyakov S. et al. "Dynamic Model of Artificial Reactive Impedance Surfaces", *J. of Electromagnetics Wave and application*, Vol. 17, N° 1, 131-145, 2003

-
- [III.34] Yatsenko V. V. et al. , “Higher order impedance boundary condition for sparse wire grid”, IEEE Transactions on Antennas and Propagation, Vol. 48, No. 5, 720-727, 2000
- [III.35] Kong, J.A., “Electromagnetic Wave Theory”, New York, John Wiley & Sons, 1986
- [III.36] Compton , R. C. et al. , “Strip gratings at a dielectric interface and application of Babinet’s principle”, Applied Optics, Vol. 23, No.18, 1984, pp.3236-3242
- [III.37] Triantafyllou A., “Etude, réalisation et caractérisation d'interconnexions radiofréquences pour les circuits intégrés silicium des générations à venir”, Thèse de L’université Joseph Fourier, France, Mai 2006
- [III.38] Combes P. F., “ Micro-ondes 2. Circuits passifs, Propagation, Antennes”, Editions Dunod, Paris, 1997.
- [III.39] Kraus J. D. et al., “Antennas, for all Applications”, Mc Graw Hill editions, 2002

Chapitre IV

Réalisation et Etude des Antennes dans la
Bande Millimétrique (60 GHz)

IV. Introduction

L'utilisation massive des guides d'onde coplanaire (CPW) et structures planaires reliées (ruban coplanaire CPS ...) comme des lignes de transmission (TL) pour des circuits intégrés monolithiques micro ondes, particulièrement à des fréquences millimétriques, nécessite une famille complète d'antennes imprimées planaires compatibles.

Les antennes alimentées par des guides d'onde coplanaires ont suscité une attention considérable récemment [IV.1][IV.2] due à des faibles pertes de rayonnement et une dispersion plus faible de ligne TL CPW par rapport au ligne TL microstrip.

Parallèlement, les progrès technologiques ont favorisé une diminution exponentielle de taille des dispositifs. L'utilisation des fréquences millimétriques permet la conception des frontaux millimétriques sans fil compacts, légers, et à prix réduits qui peuvent offrir une mobilité et une capacité à transmettre les données plus grande.

En conséquence, différentes antennes avec alimentation coplanaire sont proposées dans la littérature, que ce soient des antennes pastilles ou des fentes [IV.3][IV.2]. La conception des antennes intégrées fonctionnant à 60 GHz est une question critique lorsque un rendement élevé est exigé d'où la nécessité de trouver un substrat qui répond au besoin de rendement plus élevé associé. Les antennes imprimées intégrées sur des substrats CMOS traditionnels présentent une efficacité de rayonnement réduite qui peut être considérablement améliorée en employant un substrat fortement résistif comme le CMOS SOI[IV.4].

Dans ce chapitre, notre objectif est d'étudier, de concevoir, de réaliser et finalement de mesurer les antennes intégrées en SOI dans la bande millimétrique de 60 GHz. Pour commencer, nous discutons de la nécessité d'alimentation des antennes par des guides d'onde coplanaire. Ensuite, nous montrons différents types d'antennes intégrées et réalisées en technologie SOI pendant la thèse. Nous évoquons la phase de simulation et de conception ainsi que les méthodes appliquées pour résoudre les problèmes d'adaptation d'impédance et d'efficacité de chaque antenne. Les techniques de mesure sous pointes et coaxiales sont expliquées ainsi que la méthode d'épluchage nécessaire pour l'extraction des paramètres de l'antenne.

Différentes antennes sont présentées suivant l'application recherchée : l'antenne dipôle interdigitée, l'antenne IFA et l'antenne Fente pour une polarisation linéaire et finalement l'antenne spirale pour une polarisation circulaire. Nous détaillons la méthodologie utilisée pour mesurer le diagramme de rayonnement des antennes à 60 GHz.

Enfin, Dans une optique de démonstrateur intégré, une conception conjointe avec une antenne intégrée permettant de s'affranchir de la contrainte 50 Ohms est conduite.

Nous présentons alors les différentes phases de conception de l'amplificateur faible bruit, fonctionnant dans la bande millimétrique et intégré sur SOI. Une antenne est alors conçue pour conduire la conception conjointe. L'impédance d'entrée de cette antenne est choisie afin d'optimiser l'adaptation en bruit et en puissance du LNA conçu sur SOI.

IV.1. Antenne Dipôle avec Structure Interdigitée

L'antenne dipôle est une des structures rayonnantes les plus connues dans les applications radiofréquences. Dans le chapitre précédente (§ III), l'antenne dipôle, dans le cas où elle est intégrée dans une technologie SOI, a engendrée une efficacité de rayonnement élevée. La deuxième étape de conception est l'adaptation à une impédance d'entrée de 50 Ohms (impédance par convention des sources d'alimentation radiofréquence). Cette étape constitue la base de notre prochaine étude.

Plusieurs paramètres peuvent affecter les propriétés d'un dipôle. Le facteur le plus important est la longueur, celui-ci est inversement proportionnel à la fréquence d'opération du dipôle. Le deuxième paramètre est la largeur de brin de dipôle, celui-ci influence aussi l'impédance d'entrée.

Une approximation de la longueur (L) d'une antenne doublet (mode de résonance fondamental) est donnée par [III.3]

$$[\text{IV-1}] \quad L = 0.48 * \lambda; \text{ ou } \lambda = \frac{c}{f \sqrt{\epsilon_{\text{reff}}}}$$

- L longueur à la première résonance
- λ est la longueur d'onde
- f est la fréquence d'opération
- c est la vitesse de lumière dans le vide, $C=3*10^8$ m/s
- ϵ_{reff} est la permittivité effective du substrat

Dans notre cas, l'antenne est intégrée sur la sixième couche de la technologie (M6) dont l'épaisseur est égale à $0.96 \mu\text{m}$. Nous voulons adapter l'impédance d'entrée de dipôle à l'entrée de 50 Ohms en changeant la longueur et la largeur de dipôle pour des dimensions de substrat fixe. Les valeurs de largeur et de longueur de substrat sont de $1200 \mu\text{m}$ et de $2400 \mu\text{m}$ respectivement.

La longueur de dipôle et la largeur de ses brins agissent sur la fréquence de résonance et la résistance d'entrée (R_{in}) respectivement. Dans le cas de technologie SOI, et à cause de la faible conductivité de substrat de silicium, cette valeur (R_{in}) se dégrade pour obtenir des faibles valeurs pour les fréquences proche de la résonance série de l'antenne.

En effet, l'antenne de longueur L présente plusieurs résonance par rapport à la fréquence, ces résonances peuvent être des résonances séries ($L = n\lambda/2$, $n=1, 3\dots$) ou résonances parallèles ($L = n\lambda$, $n=1, 2, 3\dots$). La partie imaginaire de l'impédance d'entrée peut être éliminé en diminuant légèrement la longueur du dipôle L [III.3]. La longueur de dipôle sera donc

$$[\text{IV-2}] \quad \begin{cases} L = 0.48 * \lambda & \text{Résonance série} \\ L = 0.96 * \lambda & \text{Résonance parallèle} \end{cases}$$

Pour mieux étudier cet effet de résonance, et pour comprendre le comportement de dipôle en changeant la largeur de ses brins, nous avons étudié le cas de dipôle de longueur

fixe ($L=1250 \mu\text{m}$) en modifiant les largeurs des brins. Les dimensions de substrat sont de $1200 \mu\text{m} * 2400 \mu\text{m}$.

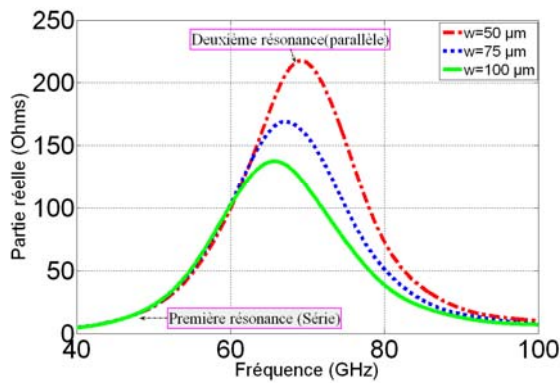


Figure IV.1 Partie réelle de l'impédance d'entrée d'une antenne doublet $L=1250 \mu\text{m}$

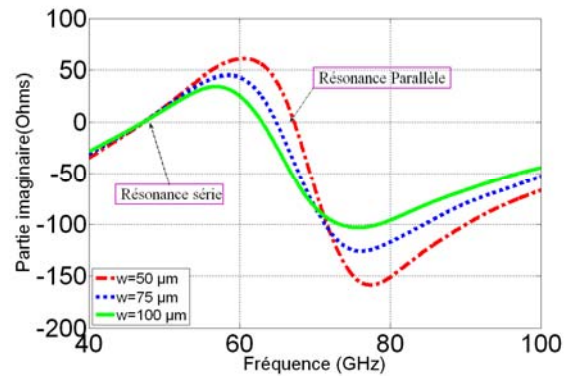


Figure IV.2 Partie imaginaire de l'impédance d'entrée d'une antenne doublet $L=1250 \mu\text{m}$

Les Figure IV.1 et Figure IV.2 montrent l'impédance d'entrée de dipôle intégré sur SOI, dont la longueur est de $1250 \mu\text{m}$. Dans la Figure IV.2, la partie imaginaire d'impédance d'entrée présente, pour chaque largeurs de brins de dipôle, deux fréquences de résonances différentes, une résonance série et une autre parallèle.

Si nous prenons le cas de dipôle avec une largeur de $50 \mu\text{m}$, la fréquence de résonance série est de 47 GHz avec une partie réelle de l'impédance d'entrée R_{in} de 15 Ohms ; par contre la fréquence de résonance parallèle est de 67 GHz avec une R_{in} de 215 Ohms . Dans les deux cas, une adaptation d'impédance avec une entrée de 50 ohms n'est pas obtenue.

Pour adapter l'antenne dipôle, deux solutions sont possible : augmenter l'épaisseur ou augmenter la largeur de dipôle. L'épaisseur de cuivre est limitée par les procédés technologiques (M1 à M6, $\sim 5 \mu\text{m}$). La deuxième solution est d'augmenter la largeur de brin de dipôle pour savoir son influence en faisant des simulations électromagnétiques via le logiciel CST MWS. La Figure IV.1 montre que le fait d'augmenter la largeur de brin de dipôle diminue la partie réelle d'impédance d'entrée et diminue sensiblement la fréquence de résonance, dans le cas d'une résonance parallèle. Nous n'observons pas d'influence significative sur l'impédance d'entrée pour la première résonance (série).

L'impédance d'entrée de dipôle peut être modélisée comme une inductance tout au long de dipôle, et une capacité résultante de l'espacement entre ses bras. Dans un deuxième temps, si nous pouvons réduire la partie imaginaire, en introduisant un effet capacitif [IV.9][IV.10], nous pouvons espérer une meilleure adaptation. L'idée est alors d'introduire une structure interdigitée pour diminuer la partie imaginaire. Nous expliquons dans la partie suivante le principe de cette capacité interdigitée.

IV.1.1. Capacité Interdigitée

La capacité interdigitée est un élément utilisé pour produire un effet capacitif en large bande en utilisant des lignes micro ruban ou coplanaire[IV.6]. La forme des conducteurs est définie par les paramètres représentés dans la Figure IV.3. Notons que les longs conducteurs « doigts » fournissent le couplage entre les ports d'entrée et de sortie à travers les lacunes[IV.7].

Typiquement, les lacunes (G , espacements) entre les doigts et la fin des doigts (G_e) sont identiques. La longueur et la largeur des doigts sont (L) et (W) respectivement.

Dans le cas de capacité intégrée, différents autres facteurs agissent sur ses performances notamment l'épaisseur de substrat, sa permittivité effective, l'épaisseur de conducteur et sa conductivité.

Généralement, L'objectif de la conception est de fournir la capacité voulue à la fréquence d'opération dans une surface raisonnable. La capacité augmente en augmentant l'espacement G . La réduction de la largeur des doigts réduit la surface requise, mais augmente l'impédance caractéristique de la ligne, et généralement affaiblit la capacité effective. De même, en augmentant la longueur des doigts, la capacité augmente ainsi que la surface totale.

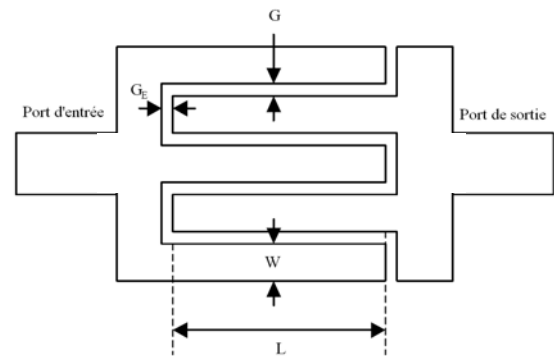


Figure IV.3 Géométrie de la capacité interdigitée en série

Les capacités inter digitées sont utilisées dans les circuits intégrés radiofréquences et pour des applications de signal mixte, comme les coupleurs, les circuits résonants et les filtres[IV.7]. Nous avons décidé d'introduire cette structure dans les bras de dipôle pour réduire sa partie imaginaire. La partie suivante montre l'effet de cette capacité dans l'objectif d'une amélioration de l'adaptation de l'antenne.

IV.1.2. Effet de la Structure Interdigitée

L'effet de la structure interdigitée peut se comprendre en sachant que la partie imaginaire de l'impédance d'entrée d'une antenne doublet à la fréquence de résonance est modélisée comme une inductance (brins du dipôle) et une capacité (due à l'espacement entre les brins de dipôle)[IV.9][IV.10]. Pour compenser les effets de substrat sur l'impédance d'entrée, notamment sur la partie réelle et imaginaire, une combinaison de techniques est directement implémentée dans la structure du dipôle.

Dans une première étape, les brins de dipôle sont élargis pour réduire le facteur de qualité de la résonance et pour obtenir une bande passante plus large. Ensuite, nous prenons avantage des brins larges de dipôle pour introduire une structure interdigitée afin de diminuer principalement la partie imaginaire de l'impédance d'entrée de l'antenne. Cette structure interdigitée se comporte comme une ligne de transmission, c'est pourquoi elle va à la fois influencer la partie réelle et imaginaire de l'impédance d'entrée.

La Figure IV.4 montre la structure de l'antenne proposée, le dipôle complet et le dipôle interdigité ont une largeur et une longueur de $100\mu\text{m}$ et $871\mu\text{m}$ respectivement. L'antenne est imprimée sur la couche M6 de la technologie SOI. La conception de ces antennes est basée sur des simulations électromagnétiques en utilisant le logiciel Microwave studio de CST[IV.11].

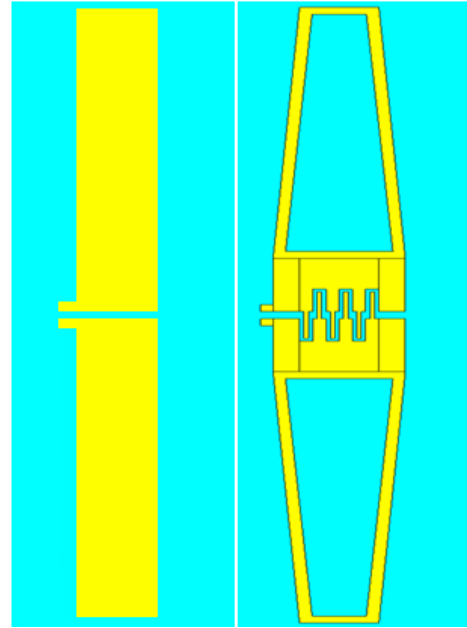


Figure IV.4 Structure de l'antenne dipôle
a) Dipôle complet b) Dipôle interdigité

Les Figure IV.5 et Figure IV.6 montrent l'effet de l'introduction de la structure interdigitée sur la partie réelle et la partie imaginaire de l'impédance d'entrée de dipôle respectivement. En introduisant cette structure interdigitée, la partie imaginaire de l'impédance d'entrée baisse de 25 Ohms à presque zéro. Tandis que la partie réelle est également modifiée avec cette introduction en baissant de 90 ohms à 50 ohms.

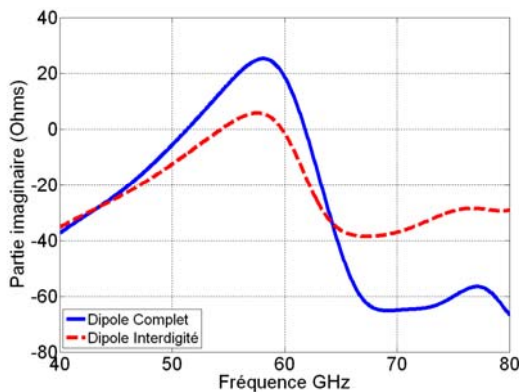


Figure IV.5 Comparaison de la partie réelle d'impédance d'entrée pour le dipôle

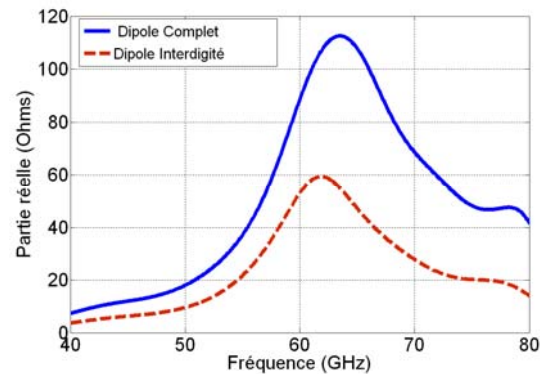


Figure IV.6 Comparaison de la partie réelle d'impédance d'entrée pour le dipôle

La Figure IV.4 illustre la topologie de l'antenne, nous observons qu'en plus de l'addition de la structure interdigitée dans les brins de dipôle, nous avons évidés ses brins. La cause de cet évidement est purement technologique [IV.18]. En effet, pour que le DRC (Design Rule Check) passe sans dérogations, une surface maximale de métal est exigée. Notamment, si une surface de largeur supérieure à $15\mu\text{m}$ est imprimée dans une couche de métal, des trous doivent être introduits tout au long de la surface imprimée.

La Figure IV.7 montre la comparaison de coefficient de réflexion dans le cas de dipôle complet, sans structure interdigitée, et dans le cas de dipôle incorporant une structure interdigitée, avec et sans évidement. Nous observons une amélioration de coefficient de réflexion de -15 dB à 60 GHz en ajoutant la structure interdigitée. Par contre, nous

n'observons aucun changement suite à l'évidement des brins de dipôle. Par la suite, seulement les antennes dipôles avec des brins évidés sont considérées.

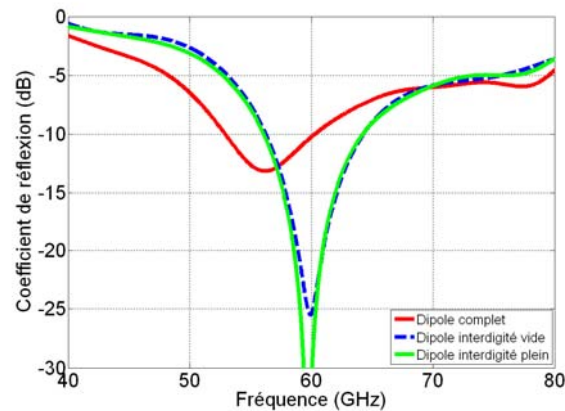


Figure IV.7 Comparaison de coefficient de réflexion de l'antenne pour différentes configurations

IV.1.3. Effets de variation de largeurs de doigts de la structure interdigitée

L'introduction de la structure interdigitée a amélioré l'adaptation de l'antenne dipôle, en approchant la partie réelle à 50 ohms tout en essayant de garder la partie imaginaire proche de zéro. Dans la conception de la structure interdigitée, la largeur des doigts et leur espacement sont pris constants. Après l'introduction de cette structure, nous avons étudié l'effet de l'élargissement des doigts sur l'impédance d'entrée de l'antenne ainsi sur son adaptation.

Trois cas sont pris en considération, des dipôles de largeurs de 80 μm , 100 μm , et de 115 μm avec de largeurs équivalents de doigts de 1.875 μm , 3.125 μm et de 4.0625 μm respectivement.

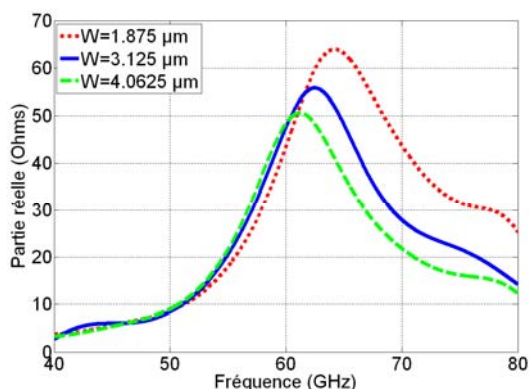


Figure IV.8 Comparaison de l'effet de largeurs des doigts sur la partie réelle de l'impédance de dipôle

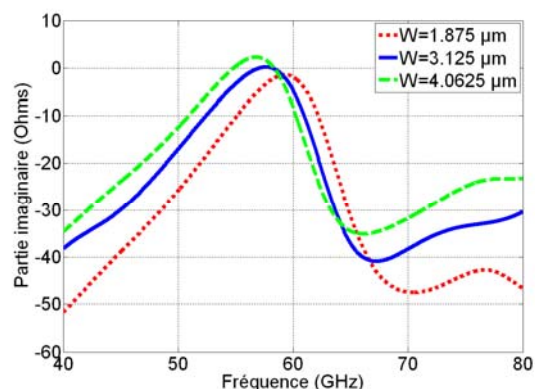


Figure IV.9 Comparaison de l'effet de largeurs des doigts sur la partie imaginaire de l'impédance de dipôle

La Figure IV.8 montre que changer la largeur de doigts de $2\ \mu\text{m}$ diminue la partie réelle d'impédance d'entrée d'au moins de 5 ohms. Une confirmation du comportement capacitif de la structure interdigitée est montrée sur la Figure IV.9. Une augmentation de la largeur entre les doigts provoque une augmentation de la capacité équivalente, et par suite une réduction de la partie imaginaire de l'impédance d'entrée

Ce changement de largeur ne modifie que légèrement le coefficient de réflexion de l'antenne dans les trois cas (Figure IV.10). Un coefficient de réflexion faible est obtenu dans les trois cas.

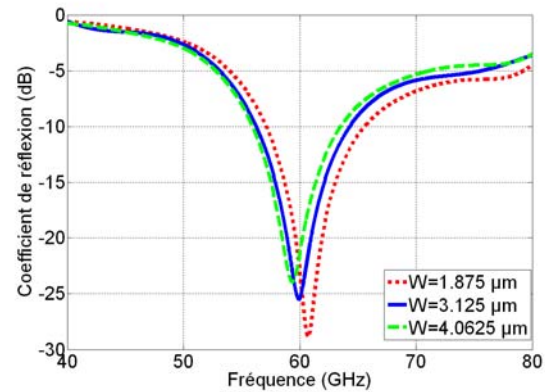


Figure IV.10 Comparaison de l'effet de largeurs des doigts sur le coefficient de réflexion de dipôle

Finalement, l'antenne choisie pour la conception est une antenne imprimée sur la couche M6 de la technologie SOI. La longueur de l'antenne est de $871\ \mu\text{m}$ avec une largeur maximale au centre de $100\ \mu\text{m}$.

Les Figure IV.11 et montrent la comparaison des diagrammes de gain de l'antenne dipôle complet et interdigité. Nous n'observons pas aucun changement significatif dans les diagrammes de gain dans le plan de coupe E et H.

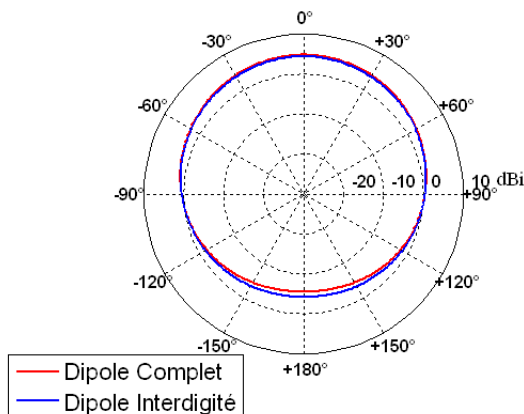


Figure IV.11 Comparaison du diagramme de rayonnement de dipôle, plan H

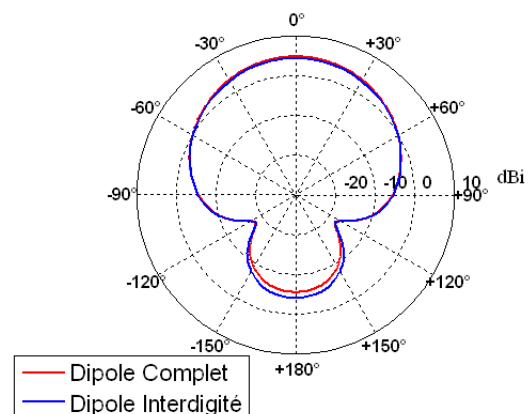


Figure IV.12 Comparaison du diagramme de rayonnement de dipôle, plan E

La nécessité d'alimenter cette antenne par une ligne coplanaire nous oblige à trouver une structure qui fait l'interface entre les plots radiofréquence et l'entrée de l'antenne. Cette interface est le balun, dont nous expliquons le fonctionnement dans la partie suivante.

IV.1.4. Etude et Fonctionnement du Balun

Chaque fois qu'une antenne équilibrée (c'est-à-dire dipôle, boucle ou spirale) est utilisée, la question de la façon d'alimenter l'antenne se pose. Puisqu'une antenne équilibrée exige une alimentation équilibrée, un transformateur symétrique (balun) est nécessaire avec une ligne d'alimentation non équilibrée[IV.12].

Une antenne équilibrée alimentée par une ligne de transmission à deux fils est un système équilibré, à condition que les deux bornes d'alimentation de l'antenne aient les mêmes orientations et placements par rapport aux lignes. Par exemple, si nous prenons le cas d'une antenne balancée (symétrique, cas d'un dipôle) connectée à une ligne de transmission coaxiale ou coplanaire, la transition de la ligne d'alimentation à l'antenne balancée est un système non équilibré (asymétrique). D'où le nom du balun qui est un transformateur électrique d'un système équilibré à un système non équilibré (Figure IV.13) (Balanced to Unbalanced).

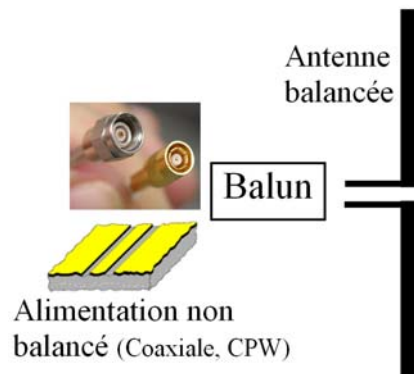


Figure IV.13 Configuration d'un système équilibré par le balun

Dans le cas où l'antenne est alimentée par des plots radiofréquences (Figure IV.14), la transition de l'alimentation à l'antenne constitue un système déséquilibré (asymétrique). Le balun est inséré entre l'antenne et l'alimentation pour assurer une transition entre la ligne coplanaire non balancée (CPW) et le ruban coplanaire balancé (CPS).

Même si le fait d'avoir une alimentation équilibrée est demandé pour les antennes, ce balun ne doit dans aucun cas perturber l'adaptation de l'antenne avec la source d'alimentation. Une bonne conception du balun est donc fortement désirable.

Dans la littérature, différents types du balun sont décrits [IV.13][IV.14]. Dans notre démarche, nous étudions le balun planaire [IV.51] grâce à des bonnes qualités en terme de faible perte d'insertion et d'une bande passante large.

IV.1.5. Principe du Balun

Le balun à large bande, reliant la ligne coplanaire (CPW) au ruban coplanaire (CPS), est conçue pour transformer l'alimentation coplanaire non balancée (CPW) des entrées radiofréquences (plots) à une alimentation balancée CPS de l'antenne dipôle.

La Figure IV.14 montre l'architecture du balun intégré en SOI. Le balun est imprimé sur la couche M6 de la technologie. Pour respecter le DRC, des trous sont pratiqués dans la structure finale (dans l'absence de métal, ces trous seront remplis par de la Silice, SiO₂) [IV.17][IV.18].

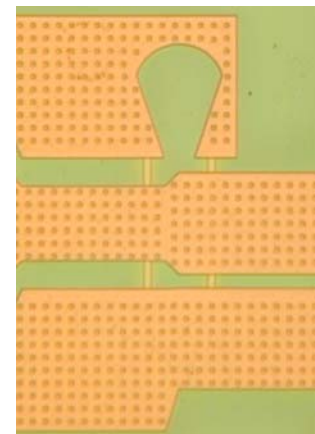


Figure IV.14 Balun intégré sur SOI

Pour caractériser ce balun, la Figure IV.15 montre ses différents composants qui sont expliqués ci-dessous[IV.15][IV.16][IV.12]

- Ligne coplanaire CPW, la ligne est conçue pour avoir une impédance caractéristique de 50 ohms, cette ligne forme une partie du balun reliée aux dispositifs RF. Les dimensions de ligne sont les suivantes (ruban centrale = 52 μm , et espacement entre ruban centrale et plan de masse est de 20 μm)
- Balun : la transformation des modes balancés et non balancés est réalisée par le balun, les lignes coplanaires (CPW) et rubans coplanaires (CPS) sont simplement des interfaces nécessaires pour réaliser l'interconnexion. Le balun est tout à fait complexe

par lui-même. L'idée est d'avoir une transition à large bande du CPW à CPS, qui est accompli par une fente radiale (radial slot). Cette fente représente un circuit ouvert à très large bande, qui force le champ électrique pour être principalement entre les deux conducteurs de CPS, comme illustré par la Figure IV.16. Les deux passages métalliques sous le substrat (Underpath) près du plan de discontinuité assurent que le niveau de potentiel sur les deux plans de masses soit égal, comme représenté par la Figure IV.16. Ces deux liaisons métalliques enterrées de largeur de $5\ \mu\text{m}$ sont intégrées sur le niveau M1 de la technologie SOI, ils relient les deux plans de masses de niveau M6 via des plots conducteurs (vias) de surface de $5\ \mu\text{m} * 5\ \mu\text{m}$.

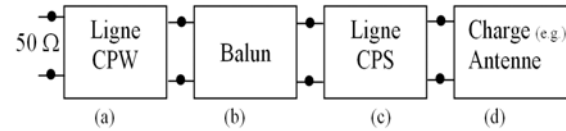


Figure IV.15 Composants du balun

- Ruban coplanaire CPS : la sortie équilibrée du balun est connectée au dipôle par l'intermédiaire d'un ruban coplanaire de dimensions suivantes (largeur de ruban est de $71\ \mu\text{m}$, espacement entre les rubans de $10\ \mu\text{m}$).

La conception des baluns prend en effet la nécessité d'avoir des lignes CPW et CPS d'impédance caractéristiques proche de $50\ \text{Ohms}$. Dans le chapitre II, nous avons expliqué la procédure de la conception des lignes CPW et CPS pour obtenir une impédance caractéristique voulue.

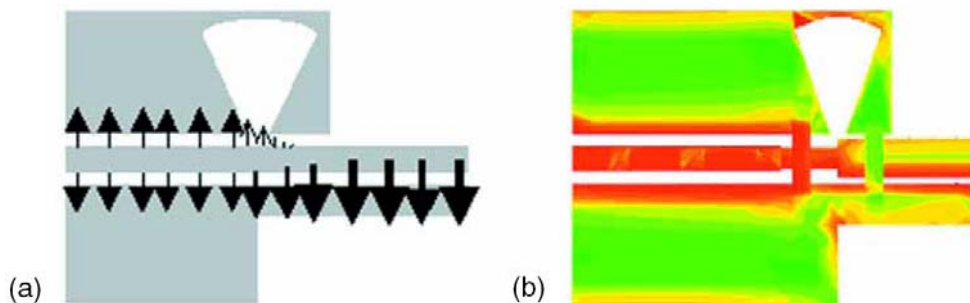


Figure IV.16 (a) Modèle de champ électrique pour le balun de CPW à CPS
La densité de courant moyenne est montrée dans (b) où la densité à chaque endroit est illustrée où le rouge indique le plus haut et le vert la plus basse densité de courant.[IV.12]

IV.1.6. Mesure du balun

Pour caractériser le balun et déterminer ses caractéristiques, nous l'avons mesuré à l'aide d'un VNA HP8510 XF et une station sous pointe cascade Microtech (Figure IV.17) [IV.19]. L'objectif est d'extraire les coefficients de réflexion et de transmission du balun.



Figure IV.17 Mesure du Balun sous pointes

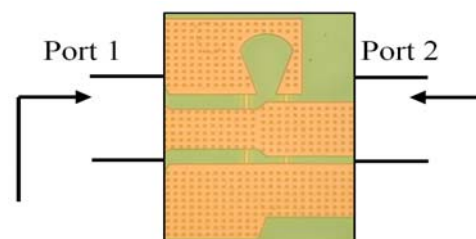


Figure IV.18 Méthodologie de Mesure du Balun

Après la procédure de calibrage (TRL), les coefficients de réflexions et de transmission sont récupérés. La Figure IV.19 montre la comparaison entre les coefficients de réflexion mesuré et simulé du balun. La notation utilisée pour la mesure des paramètres S du balun est présentée sur la Figure IV.18.

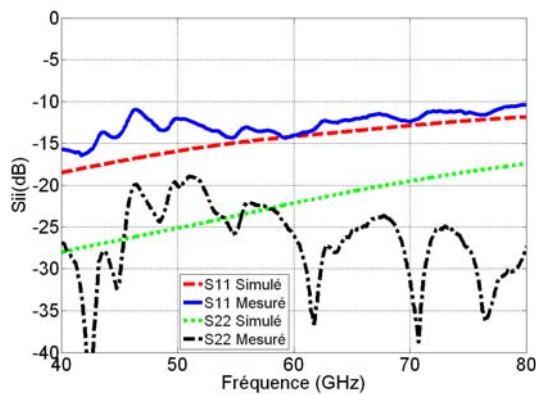


Figure IV.19 Coefficient de réflexion du balun (S11&S22)

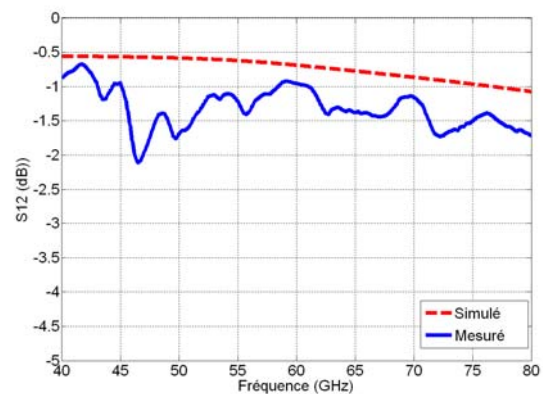


Figure IV.20 Coefficient de Transmission du balun

La Figure IV.20 montre le coefficient de transmission mesuré et simulé du balun. Une bonne concordance entre les valeurs simulées et mesurées des coefficient de réflexion et transmission est retrouvée. Même pour un balun de longueur totale 250 μm , une perte de 1 dB est retrouvée dans une large bande de fréquence. Cette perte reste acceptable, mais il est nécessaire d'en tenir compte pour caractériser le gain total de l'antenne (§ IV.2).

IV.1.7. Effet du balun sur le rayonnement de l'antenne

Dans le cas d'un système non balancé (asymétrique), en plus du rayonnement de l'antenne, l'alimentation du système peut engendrer un rayonnement parasite qui détériore les performances globales de rayonnement de l'antenne. Cette perturbation de rayonnement devient plus significative à haute fréquence, ou la longueur du balun devient proche de la longueur de l'antenne.

Le rayonnement de l'antenne, intégrée sur substrat, est majoritairement orienté vers le substrat. Une couche métallique sous le substrat peut être utilisée avantageusement comme un réflecteur. En effet, en utilisant cette couche le diagramme de rayonnement est dirigé vers le haut. La distance entre l'antenne et le réflecteur ($\lambda_g/4$) est proche de la distance optimale afin d'avoir des interférences constructives entre les ondes directes et les ondes réfléchies sans avoir de lobes secondaires [III.3]. Dans le chapitre III, nous avons étudié l'effet du plan réflecteur sur l'adaptation en impédance et sur le rayonnement de l'antenne. Par suite pour toutes les antennes étudiées, une face arrière métallisée est présente sous le substrat.

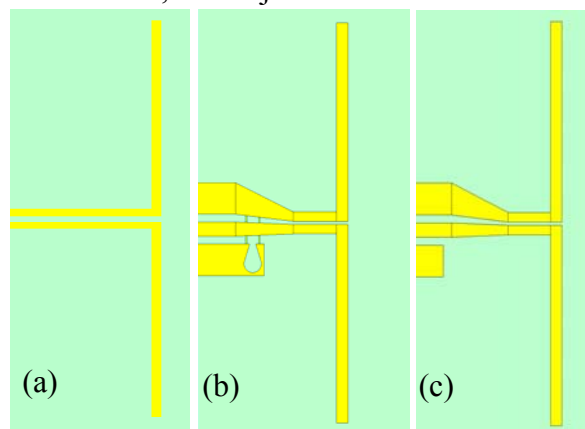


Figure IV.21 Configuration d'alimentation de dipôle

Dans cette partie, nous prenons un cas d'étude d'une antenne dipôle imprimée sur un substrat de silice, SiO₂, de permittivité relative de 4.2. Un plan de masse se trouve à une distance de 350 μm sous l'antenne.

L'objectif est d'étudier l'effet du balun sur le rayonnement de l'antenne dipôle. Pour faire cette comparaison, trois cas sont pris en considération (Figure IV.21):

- Cas de dipôle avec une alimentation balancée (sans balun)
- Cas de dipôle avec une alimentation coplanaire non balancée avec balun
- Cas de dipôle avec une alimentation coplanaire non balancée sans balun et sans passages métalliques sous le substrat (Underpath) reliant les deux plans de masses de la ligne coplanaire.

Pour comparer l'effet du balun sur les performances de l'antenne, nous étudions tout d'abord le coefficient de réflexion. La Figure IV.22 montre la comparaison de coefficient de réflexion dans les trois cas étudiés pour une antenne de longueur de 1270 μm et de largeur de 40 μm . les dimensions des lignes CPS et CPW sont choisies pour que l'impédance caractéristique soit proche de 50. Un décalage de fréquence de 1 à 2 GHz avec une meilleure adaptation est observé dans le cas (a) et (b).

L'effet du balun est considéré maintenant en regardant le gain intrinsèque de dipôle intégré dans les cas (a), (b) et (c). En effet, la longueur totale du balun (avec lignes CPW et CPS) est de 480 μm , cette longueur équivaut au demi de longueur de dipôle. Dans le cas de suppression du balun (cas (c)), cette interface rayonne pour compromettre le rayonnement total de dipôle.

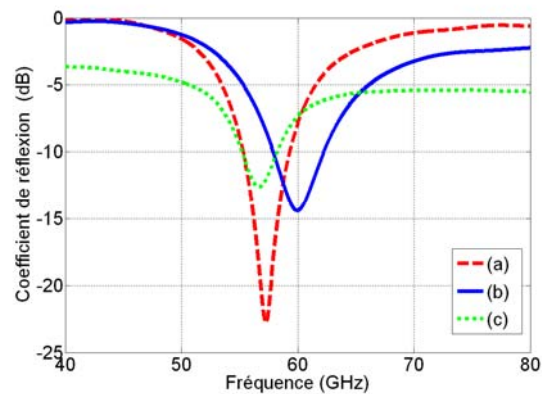


Figure IV.22 Effet du balun sur S11

Nous nous intéressons aux diagrammes de rayonnement plan E et plan H des antennes dipôles à 60 GHz pour comparer les trois cas (Figure IV.23, Figure IV.24). Nous ne remarquons pas de changement considérable sur l'allure de diagramme de rayonnement dans des configurations de même polarisation, par contre la différence de gain est de 3 à 4 dB est quelque soit l'angle de vue.

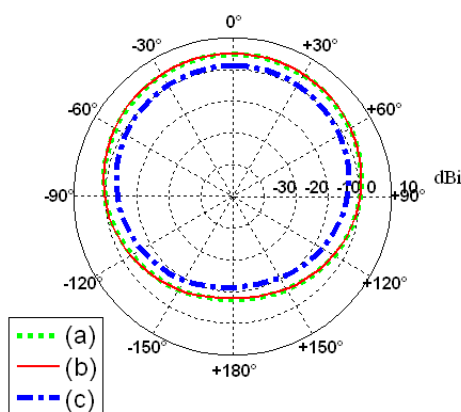


Figure IV.23 Effet du balun sur le diagramme de rayonnement de dipôle en co-polarisation, plan H

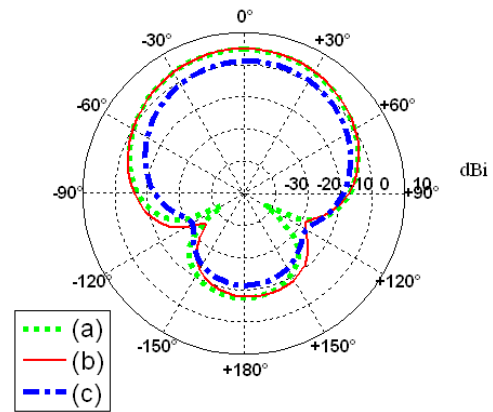


Figure IV.24 Effet du balun sur le diagramme de rayonnement de dipôle en co-polarisation, plan E

Dans le cas de polarisation croisée, les Figure IV.25 et Figure IV.26 montre que le niveau de diagramme de gain, dans le cas d'antenne avec balun, est de 2 à 5 dB plus grand que dans le cas d'antenne sans balun pour le plan H et E respectivement. Pour le cas (a), l'antenne ne dispose pas de rayonnement en polarisation croisée.

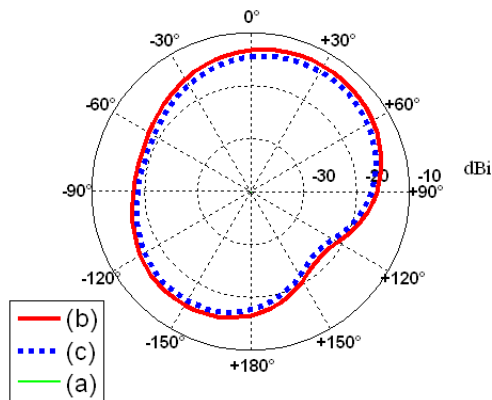


Figure IV.25 Effet du balun sur le diagramme de rayonnement de dipôle en polarisation croisée, plan H

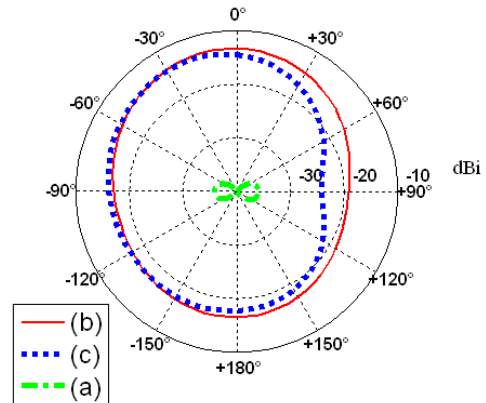


Figure IV.26 Effet du balun sur le diagramme de rayonnement de dipôle en polarisation croisée, plan E

La Figure IV.27 montre la variation de gain intrinsèque de dipôle dans les trois cas. Dans une situation avec une alimentation balancée (cas (a) ou (b)), le gain est presque constant dans une large bande passante (50 GHz-70 GHz). Par contre dans le cas d'une alimentation non balancée, ce gain chute de 5 à 2 dBd dans la bande de (55 GHz-60 GHz) à une dizaine de dBd dans les autres bandes de fréquence. Les courbes d'efficacité de rayonnement, illustrées sur la Figure IV.28, confirment cette conclusion. Cette étude démontre l'intérêt d'une alimentation adapté à la source rayonnante.

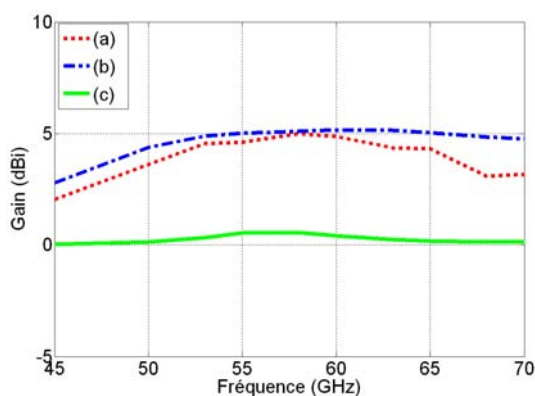


Figure IV.27 Effet du balun sur le gain intrinsèque de dipôle

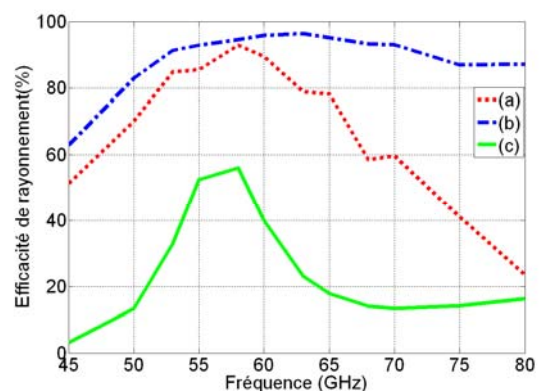


Figure IV.28 Effet du balun sur l'efficacité de rayonnement du dipôle

IV.1.8. Antenne interdigitée avec balun, simulation et mesure

La Figure IV.29 montre une copie image de l'antenne après la conception en technologie 0.13 μm SOI de STMicroelectronics. Nous remarquons les trous dans la partie métallique, ainsi que les plots radiofréquences nécessaires pour la mesure sous pointes. Ces plots RF sont imprimés sur la couche M6 ainsi que sur la couche Alucap supérieur, ils ont une période de 100 μm (espacement entre le centre de ruban central et le centre des deux plans de masse), la longueur et la largeur du ruban central sont 86 et 70 μm respectivement. Les deux plans de masses des plots RF sont connectés pour être au même potentiel.

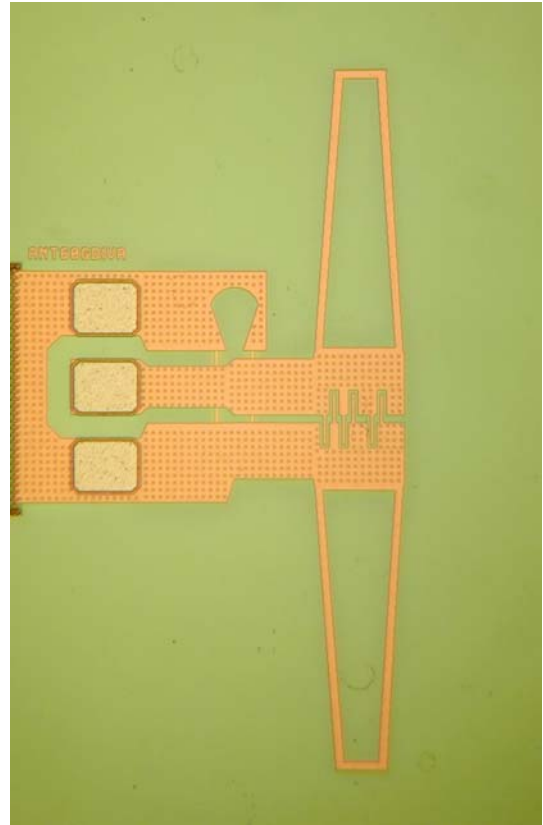


Figure IV.29 Architecture d'un dipôle avec balun intégrés sur SOI

La conception de l'antenne est basée sur des simulations électromagnétiques réalisées via le logiciel MWS de CST. L'antenne est caractérisée en utilisant un analyseur de réseau vectoriel (VNA) de 8510 HP XF. Les puces de l'antenne sont collées sur un disque d'aluminium avec une planéité de 1 %. Un traitement spécifique à base d'Alodine est réalisé pour éviter l'oxydation des surfaces d'aluminium et la détérioration de substrat SOI (Figure IV.31).

La Figure IV.30 montre la comparaison du coefficient de réflexion simulé et mesuré de l'antenne interdigitée. La courbe mesurée de S11 montre un coefficient de réflexion de -15 dB à 60 GHz avec une bande passante de 8 % à -10 dB.

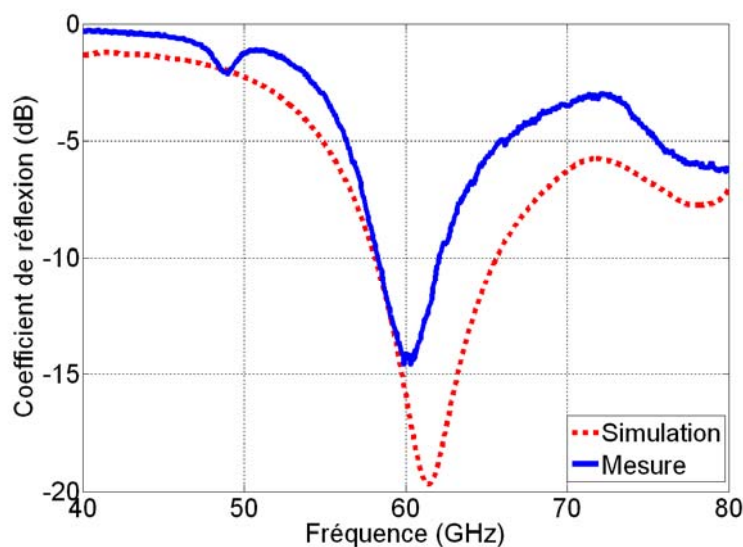


Figure IV.30 Mesure et simulation de coefficient de réflexion de l'antenne dipôle interdigité

IV.2. Procédure de mesure de diagramme de rayonnement des antennes à 60 GHz.

Les mesures sous pointes des paramètres S de l'antenne interdigitée ont été réalisées grâce au VNA en utilisant les sondes sous pointes dont les détails sont expliqués dans le deuxième chapitre.

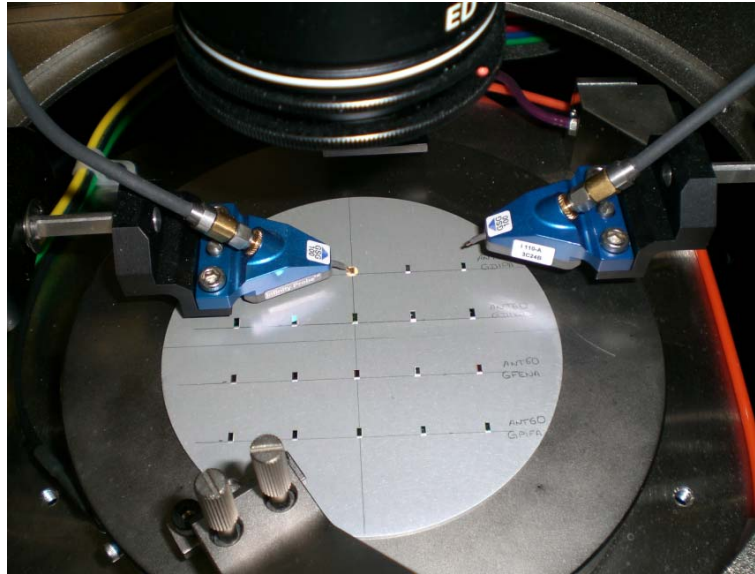


Figure IV.31 Mesure des paramètres S de l'antenne avec sonde sous pointes

La Figure IV.31 montre la mesure de l'antenne interdigitée avec des sondes coaxiales sous pointes. En effet, la grande taille de la sonde par rapport à l'antenne est susceptible de gêner la mesure du rayonnement de cette dernière.

Le rayonnement de l'antenne, intégrée sur substrat SOI ayant une face arrière métallisée, est majoritairement orienté le haut. La présence de la sonde au dessus de l'antenne détériore le rayonnement globale de l'antenne par diffraction, réflexion. Par conséquent, il est difficile d'extraire le rayonnement intrinsèque de l'antenne seul. Notre objectif alors est d'assurer une alimentation qui soit dans le champ lointain de l'antenne et ne soit placée au dessus de l'antenne. D'où l'idée de concevoir un dispositif de test de l'antenne qui perturbe le moins l'adaptation de l'antenne et qui sera employé pour toutes les antennes réalisées.

Dans les parties suivantes, nous détaillons les différentes structures de dispositif de test, ainsi que les méthodes utilisées pour le caractériser. Nous expliquons la méthode nécessaire pour caractériser les adaptateurs afin d'extraire les paramètres S mesurés de dispositif de test. Ensuite nous expliquons les techniques utilisées pour l'épluchage des paramètres S pour l'antenne. Finalement la procédure de mesure de diagramme de rayonnement de l'antenne est expliquée, ainsi que les diagrammes de gain de l'antenne interdigitée simulés et mesurés à 60 GHz.

IV.2.1. Conception de dispositif de test

L'étude que nous devons mener consiste à développer un dispositif de test destiné à mesurer le rayonnement de l'antenne à des fréquences millimétriques. L'objectif est de développer ce dispositif pour être utilisé pour toutes les antennes conçus à 60 GHz. Ce dispositif de test doit permettre d'obtenir de bonnes performances électriques en termes d'adaptation d'impédance entre les entrées et les sorties radiofréquences.

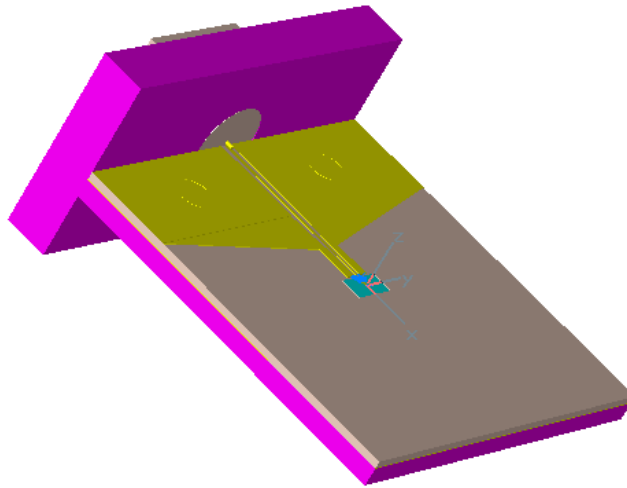


Figure IV.32 Conception de Motif de Test pour la mesure de diagramme de gain des antennes

Ce dispositif de test est composé d'un substrat diélectrique de RO4003 reporté et assemblé par des vis M1 à un support mécanique de laiton, d'un connecteur coaxiale de type V et des lignes de transmissions coplanaires (CPW) reliant le connecteur coaxiale au dispositif radiofréquences de l'antenne par l'intermédiaire des fils métallique de connexion (bonding wire).

Comme nous pouvons le distinguer sur la Figure IV.32, le dispositif de test contient une antenne (au centre de dispositif) qui est placé à l'intérieur d'une cavité creusée dans le substrat. Les lignes de transmission coplanaires sont posées et connectées au plan de masse du substrat d'accueil par l'intermédiaire de trous métallisés.

L'interconnexion de la puce supportant l'antenne est ensuite réalisée sur les lignes de transmission par l'intermédiaire de bonding (connexions filaires)

Nous venons de présenter l'allure générale du dispositif que nous allons étudier (Figure IV.33). Précisons que l'optimisation de la transition radiofréquence devra prendre en compte la désadaptation induite par le bonding et l'objectif est d'obtenir en entrée du boîtier un coefficient de réflexion inférieur à un niveau de « -10dB » dans la bande de fréquences 55-65GHz. Notre objectif est d'assurer une transmission efficace de la puissance à l'antenne et de limiter les surplus d'impédance (rayonnement parasite).

Nos travaux vont s'intéresser à plusieurs sous parties :

- Etude des connecteurs coaxiaux, de substrat RO4003 et de bonding.
- Etude complète de la transition RF prenant en compte l'effet du bonding.
- Réalisation de circuits de test avec les contraintes liées à la fabrication.

Cette conception segmentée nous permettra d'appréhender plus facilement le comportement de la transition et d'en distinguer rapidement les limitations.

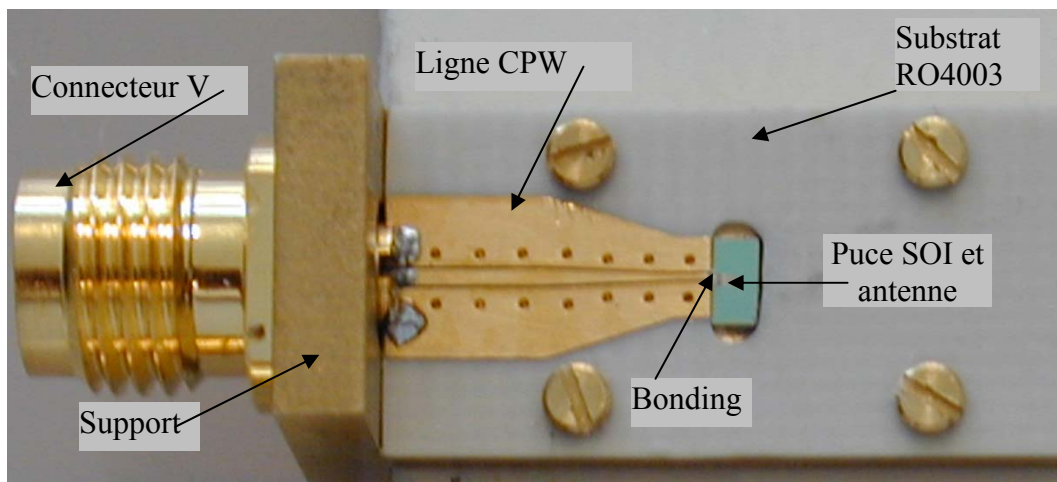


Figure IV.33 Motif de test réalisé

IV.2.2. Etude des différents composants de dispositif de test

La conception des structures de test est délicate aux fréquences millimétriques, des dispositifs adaptés doivent être utilisés pour s'assurer des performances acceptables.

Pour assurer la liaison entre le VNA et la structure de test, nous avons utilisé des connecteurs coaxiaux spécifiques. Le connecteur V115FCPW (Figure IV.34) est un connecteur femelle dans lesquels le lanceur et la perle de verre intégré se trouvent dans une seule pièce. Ainsi, l'installation de connecteur devient plus facile.



Figure IV.34 Connecteur V115FCPW d'Anritsu

L'épaisseur de la puce de SOI est de $\sim 360 \mu\text{m}$. Afin de limiter les pertes dues aux fils métalliques de connexions, nous devons avoir le même niveau entre les lignes coplanaires de dispositif de test et les plots radiofréquences, c'est pourquoi nous devons utiliser un substrat de faible épaisseur ($406 \mu\text{m}$). Nous cherchons alors des substrats à faible épaisseur, et plus spécialement à faible perte à haute fréquence. Le substrat RO4003 est un candidat à cette intégration car il fournit un substrat stable thermiquement avec des bonnes propriétés électriques et hyperfréquences. Les données fabricants de caractéristiques de substrat sont présentées dans le Tableau IV.1. Précisons que ces données sont à des fréquences jusqu'à 10 GHz. Nous n'avons pas des données à 60 GHz, nous nous attendons à un changement des caractéristiques de substrat.

Substrat RO4003	Donnée Fabricant
Permittivité relative ϵ_r	3.38 +/- 0.05 à 10 GHz
Epaisseur	406 μm
Métallisation	18 μm
$\tan(\delta)$	0.0027 à 10 GHz

Tableau IV.1 Caractérisation du substrat RO4003[®] fabriqué par la société Rogers

Le substrat RO4003 de dimension de 20*10 mm, contient un trou dans son centre afin de mettre la puce de SOI dedans. En effet, pour que le circuit intégré puisse être exploité, il doit être électriquement relié au niveau de packaging suivant qui est dans notre cas la puce de SOI. Il existe plusieurs techniques pour réaliser cette interconnexion. Le micro câblage constitue l'une d'entre elles et demeure la plus répandue. Les entrées / sorties présentes sur le circuit intégré sont reliées au support (Boîtier ou substrat) à l'aide de fils dont les dimensions sont extrêmement réduites. Deux types de micro fils sont à distinguer:

- Les fils à métallisation « wire bonding »
- Les interconnexions TAB (Tape Automated Bonding).

Même si Les interconnexions de puces, par TAB, sont plus résistantes que les fils à métallisation et exhibent des meilleures caractéristiques thermiques, nous avons choisi l'utilisation de fils à métallisation. L'installation de ces fils est plus maniable et nous pouvons utiliser ses fils avec des angles plus raides (entre les plots radiofréquences et les lignes CPW). De plus, les fils ont un diamètre plus fin que la largeur de TAB. Cette caractéristique facilite la soudure (la largeur de ruban centrale est de 70 μm).

Deux techniques de base sont utilisées: le Wedge bonding et le Ball bonding (Figure IV.35). Dans le cas de Wedge bonding un fil, le plus souvent en aluminium est amené par l'outil (appelé stylet ou aiguille), puis appliqué sur le plot à souder. La liaison entre le fil et la zone à connecter s'effectue en combinant pression et vibration ultrasonore. Il s'agit d'une soudure « à froid ». C'est l'énergie ultrasonique qui entraîne un ramollissement du fil semblable à l'effet obtenu par une élévation de température. Le fil est en suite guidé par l'outil sur le second plot et une soudure effectuée. C'est la méthode que nous avons utilisée pour l'implémentation des bonding [IV.20][IV.21] [IV.22].



Figure IV.35 Deux techniques de wire bonding

Pour des fréquences peu élevées, les interconnexions du type wire bonding, reliant des lignes microstrip, sont modélisées par des composants élémentaires (Inductance, résistance et capacité) or cette méthode devient inadaptée lorsque la fréquence du signal devient élevée (La longueur d'onde du signal est du même ordre ou plus grande que la longueur moyenne d'interconnexion). Il faut donc modéliser les interconnexions (bonding) de façon plus précise, en les assimilant à des lignes de transmission[IV.20].

Dans notre cas, nous utilisons les bonding pour relier les lignes CPW imprimés sur le substrat RO4003 aux plots radiofréquences des antennes imprimées sur SOI (Figure IV.36). Il s'avère donc indispensable d'utiliser trois fils de bonding simple pour cette procédure d'interconnexion. L'impédance caractéristique de cette ligne CPW formé par les trois fils de bonding est calculée par les équations de chapitre II.

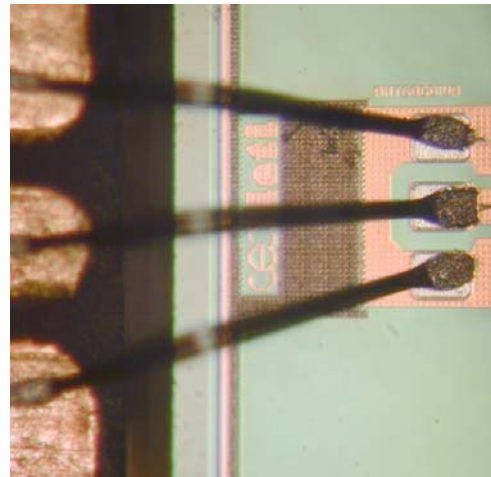


Figure IV.36 Schéma des fils à métallisation coplanaires

La conception de circuit de ligne coplanaire tapérisée, montrés dans la Figure IV.33, est extrêmement délicate[IV.23]. A cause des contraintes reliées à la fabrication de circuit imprimé sur RO4003, nous étions obligés de s'adapter aux conditions de photolithographie du concepteur de circuit. L'espace minimum entre le ruban central et les plans de masse de la ligne CPW est de $75\ \mu\text{m}$. Avec ces conditions, nous ne pouvons pas concevoir des lignes d'impédance caractéristique proche de $50\ \text{ohms}$. Le circuit est tapérisé pour essayer de s'approcher à des coefficients de réflexion inférieurs à $-10\ \text{dB}$.

En plus de l'effet de l'adaptation, un autre effet doit être pris en considération. L'excitation des modes parasites est imminente pour les lignes coplanaires de longueur physique de plusieurs longueurs d'onde. Afin d'éviter ce processus, des vias sont placés tout au long de circuit tapérisé. Ces vias relient les deux plans de masse via une arrière métallisation sous le substrat, et ainsi une équipotentialité de plan de masse est acquise. Les dimensions de la ligne à côté de la puce sont présentées dans la Figure IV.37.

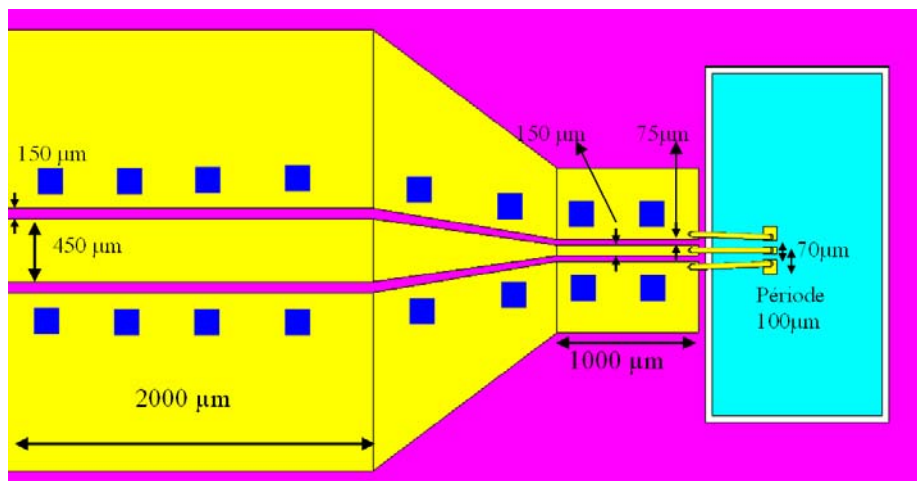


Figure IV.37 Dimension des lignes coplanaires de circuit de test

Les valeurs des paramètres S de dispositif de test simulées et mesurés sont présentées dans la partie suivante lors de caractérisation du dispositif de test

IV.2.3. Procédure de mesure pour le dispositif de test

Nous voulons étudier les paramètres S entre l'entrée coaxiale et les dispositifs radiofréquences. Cette procédure nécessite le découpage de la puce de SOI incorporant l'antenne au niveau des dispositifs RF.

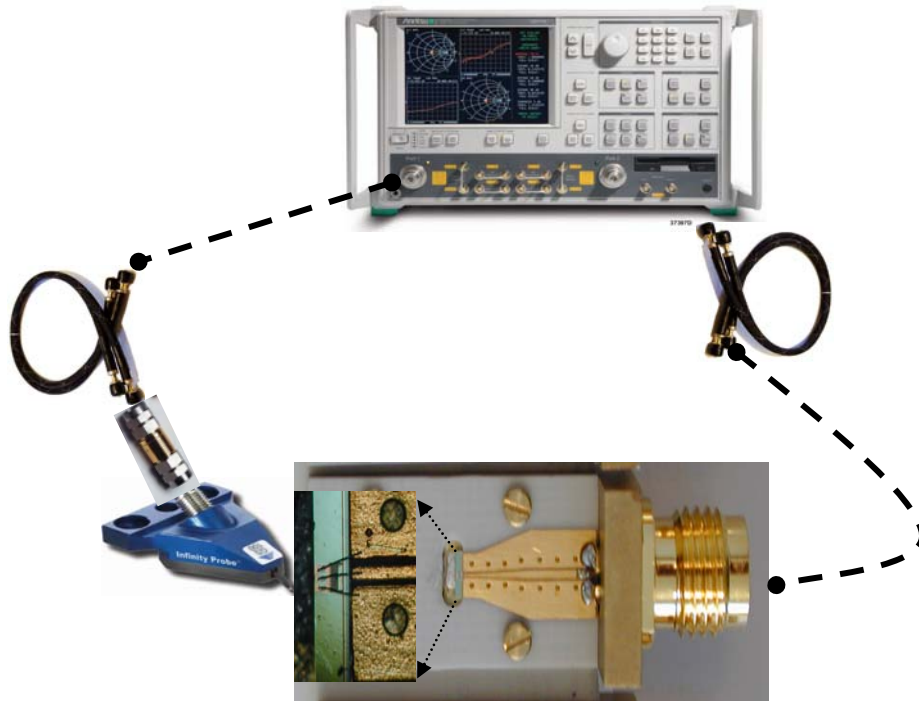


Figure IV.38 Schéma de méthode utilisé pour la caractérisation de motif de test

Cette procédure est illustrée dans la Figure IV.38. Les différents composants nécessaires à la mesure des paramètres S de dispositif de test sont les suivantes :

- L'analyseur de réseau vectoriel (VNA) pour mesurer les paramètres S.
- Des câbles coaxiaux reliant le VNA au dispositif de test.
- Une sonde utilisée pour la mesure sous pointes. Les paramètres S de cette sonde, ayant une entrée coaxiale W d'une coté et une sortie GSG de période de $100\ \mu\text{m}$ de l'autre coté, sont données par le constructeurs.
- Vu que le VNA et les câbles coaxiaux sont en configuration coaxiale V, et que la sonde dont nous disposons est en configuration coaxiale W, un adaptateur est utilisé pour assurer l'interconnexion. Les paramètres S de cet adaptateur ne sont pas donnés par le constructeur, nous les caractérisons dans la partie suivante.
- Le dispositif de test, celui-ci a une entrée coaxiale avec une configuration V, et de l'autre coté nous avons coupé la puce de SOI au niveau des dispositifs radiofréquences pour poser les pointes de la sonde sur les plots.

IV.2.4. Méthode de caractérisation

Notre objectif est de déterminer les paramètres S du dispositif de test. La solution possible est d'utiliser un calibrage SOLT au niveau des terminaux des câbles coaxiaux. Ce calibrage est réalisé avec le kit de calibrage, fourni par le constructeur Anritsu. Ainsi nous pouvons obtenir les paramètres S du système « Adaptateur + Sonde + Dispositif de Test ».

La deuxième étape est de faire la procédure d'épluchage pour déterminer les paramètres S de dispositif de Test. Même si les paramètres S, de la sonde, sont fournis par le constructeur, les paramètres S de l'adaptateur ne sont pas donnés. Dans les parties suivantes, nous détaillons les méthodes utilisées pour déterminer les paramètres S de l'adaptateur. Ensuite, nous montrons la technique utilisée pour l'épluchage pour l'antenne. Finalement les paramètres S de l'antenne interdigitée sont comparés dans le cas d'une alimentation sous pointe et dans le cas d'une alimentation coaxiale avec l'épluchage des paramètres de dispositif de test.

IV.2.4.1. Méthode de trois charges pour l'extraction des paramètres S de l'adaptateur

Pour déterminer les paramètres S de l'adaptateur, nous utilisons la méthode de trois charges qui se base sur le coefficient de réflexion retrouvé après premier calibrage de VNA. En effet, cette méthode se base sur la procédure suivante.

- Un adaptateur est équivalent à un circuit en Pi [IV.24] (Figure IV.39)
- En connectant l'adaptateur sur trois charges différentes (Court circuit, circuit ouvert, et charge adaptée (50 Ohms), nous obtiendrons trois valeurs des paramètres S.
- Ayant les valeurs Y de circuit équivalent, nous pouvons calculer les paramètres S de l'adaptateur.

Le circuit équivalent de l'adaptateur est illustré dans La Figure IV.39. En utilisant trois charges différentes, nous allons récupérer trois valeurs différentes de Y_{mes} qui sont reliés aux trois charges différentes. Notre objectif est de calculer les valeurs de Y_1, Y_2 et Y_3 afin de trouver les valeurs finales des paramètres S de connecteurs.

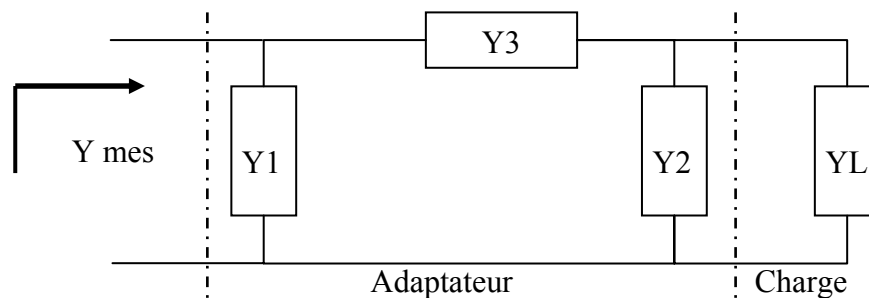


Figure IV.39 Circuit équivalent de l'adaptateur et des charges

Trois cas sont considérés pour déterminer les trois valeurs de Y_1, Y_2 et Y_3 . La première est le cas où nous avons un circuit ouvert qui est équivalent à $Y_L = 0$

$$[IV-3] Y_{mes CO} = Y_1 + \frac{Y_2 Y_3}{Y_2 + Y_3}$$

$$[IV-4] Y_1 = Y_{mes CO} - \frac{Y_2 Y_3}{Y_2 + Y_3}$$

Le deuxième cas est celui du circuit fermé qui est équivalent à $Y_L = \infty$

$$[IV-5] Y_1 = Y_{mes CF} - Y_3$$

A partir des équations [IV-4] et [IV-5]

$$[IV-6] Y_2 = \frac{Y_{mes CF} - Y_{mes CO} - Y_3^2}{Y_{mes CO} - Y_{mes CF}}$$

Le troisième cas est celui de charge qui est équivalent à $Y_L = 50 \text{ Ohms}$

$$[IV-7] Y_{mes Ch} = Y_1 + \frac{(Y_2 + Y_L)Y_3}{Y_2 + Y_L + Y_3} \quad (7)$$

D'après les équations [IV-4], [IV-6] et [IV-7]

$$[IV-8] Y_3 = \sqrt{\frac{Y_L (Y_{mes CO} - Y_{mes CF}) (Y_{mes Ch} - Y_{mes CF})}{Y_{mes Ch} - Y_{mes CO}}} \quad (8)$$

Après la mesure des coefficients de réflexion des adaptateurs avec les charges connectés, les paramètres $Y_{mes CO}$, $Y_{mes Cf}$ et $Y_{mes Ch}$ sont calculés [IV.24]. Ensuite les paramètres Y_1 , Y_2 et Y_3 sont calculés, finalement les paramètres Y de l'adaptateur sont retrouvés par l'équation suivante.

$$[IV-9] Y_{Adap} = \begin{bmatrix} Y_{11} & Y_{12} \\ Y_{21} & Y_{22} \end{bmatrix} = \begin{bmatrix} Y_1 + Y_3 & -Y_3 \\ -Y_3 & Y_2 + Y_3 \end{bmatrix}$$

Finalement les valeurs des paramètres S de l'adaptateur sont retrouvées par les formules des passages classiques. La Figure IV.40 montre ces paramètres de coefficient de réflexion et de transmission obtenus.

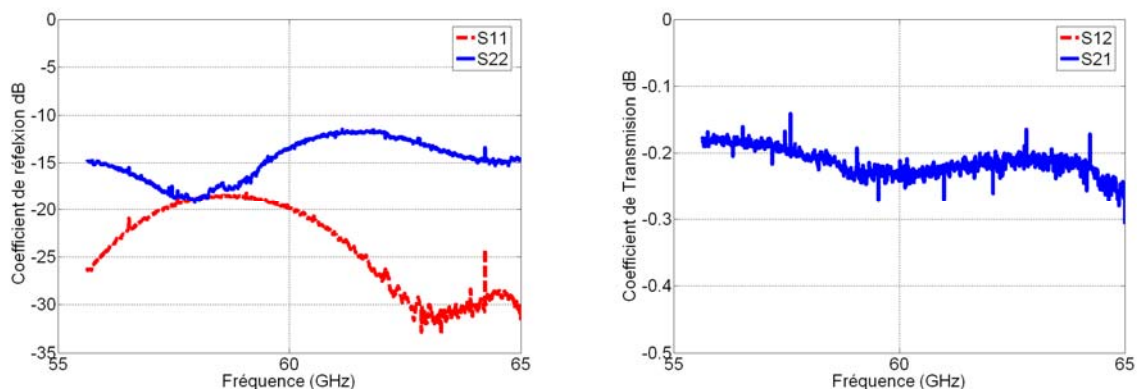


Figure IV.40 Paramètres S de l'adaptateur après calcul

La Figure IV.41 montre les paramètres S donnés par les constructeurs de la sonde GSG.

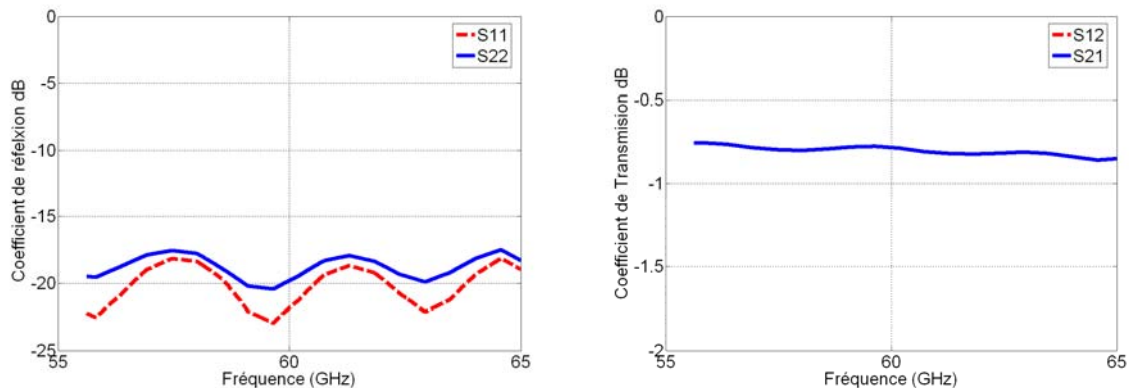


Figure IV.41 Paramètres S de la sonde : Données Constructeurs

IV.2.4.2. Caractérisation de Dispositif de Test

Après la mesure des paramètres S de l'adaptateur, la deuxième étape de mesure est les paramètres S de système complet « Adaptateur +Sonde+ Dispositif de Test ».

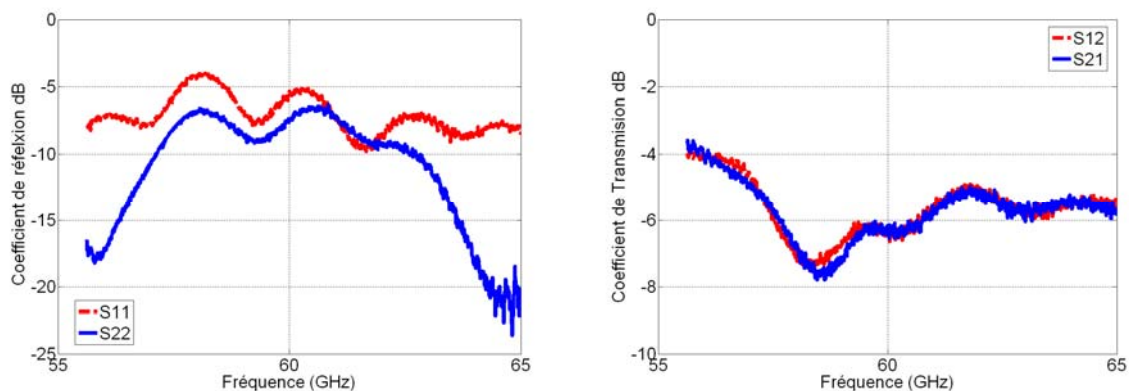


Figure IV.42 Paramètres S du système complet « Adaptateur +Sonde+ Dispositif de Test »

Le coefficient de réflexion coté sonde « S11 » est tracé sur la Figure IV.42. En effet, nous verrons bien qu'il y a une désadaptation coté sonde. La surface de contact pour les sondes sous pointes est limitée car le bonding occupe déjà la surface globale des plots RF. Précisons que le niveau de perte engendré par le dispositif n'est pas négligeable avec des valeurs de l'ordre de -6 à -7 dB à 60 GHz.

La Figure IV.42 montre les paramètres S du système « Adaptateur +Sonde+ Dispositif de Test ». Nous nous intéressons aux paramètres S du dispositif de test uniquement. Une procédure d'épluchage est donc nécessaire pour extraire les paramètres S de dispositif de test.

Ainsi nous utilisons les paramètres T (matrice de Transfert) qui permet l'inversement de matrice pour la procédure d'épluchage. Ainsi pour déterminer les paramètres T du dispositif de test, nous appliquons la matrice de chaîne suivante :

$$[IV-10] [T_{\text{Dispositif sous Test}}] = [T_{\text{Adaptateur}}]^{-1} \cdot [T_{\text{Sonde}}]^{-1} \cdot [T_{\text{Systeme Totale}}]$$

A partir de l'équation [IV-10], nous déterminons les paramètres S du dispositif de test qui sera utilisé pour la procédure d'épluchage des antennes intégrées sur SOI (Figure IV.43).

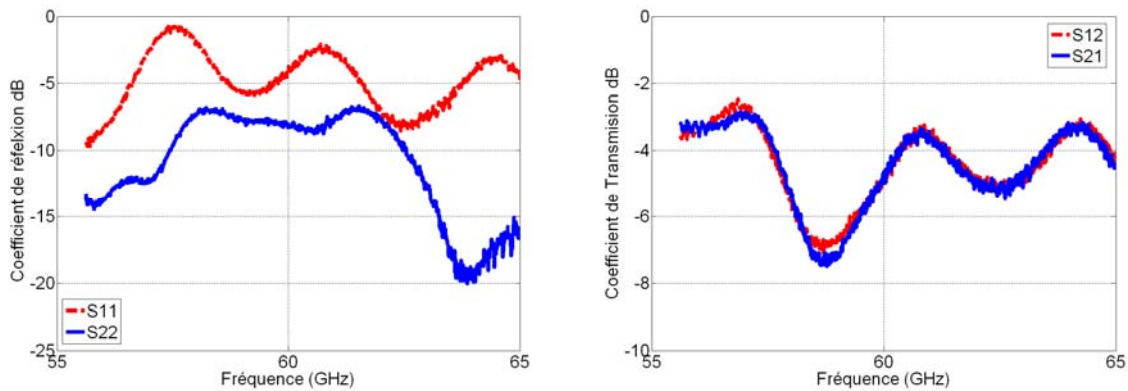


Figure IV.43 Paramètres S du Motif de Test

IV.2.4.3. Techniques d'épluchage pour l'antenne

L'objectif de la caractérisation du dispositif de test est de déterminer les paramètres de l'antenne intégrée sur SOI. Après la mesure des antennes avec le dispositif de Test intégrant une connectique coaxiale, la deuxième étape est d'extraire les paramètres S de l'antenne interdigitée et les comparer avec les mesures de l'antenne sous pointe. Les techniques d'épluchage sont réalisées classiquement entre des quadripôles. Dans notre Cas, nous avons les paramètres S d'un seul port de l'ensemble « Dispositif de test + Antenne ». Nous devons alors extraire les paramètres S de l'antenne qui sont des paramètres d'un seul port en épluchant les paramètres S de dispositif de test qui sont des paramètres de deux ports. La Figure IV.44 montre une schématique de procédure utilisée pour l'épluchage.

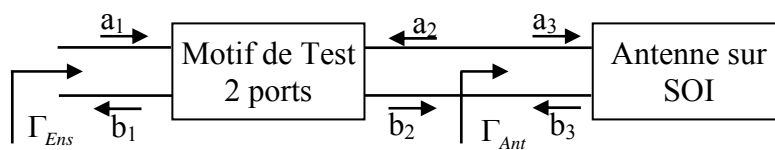


Figure IV.44 Procédure d'épluchage des paramètres de l'antenne

Les coefficients \$a_1\$ et \$a_2\$ représentent les ondes entrantes, \$b_1\$ et \$b_2\$ et représentent les ondes sortantes du quadripôle. Les paramètres T relient ces coefficients par l'équation suivante [IV.24].

$$[IV-11] \begin{bmatrix} b_1 \\ a_1 \end{bmatrix} = \begin{bmatrix} T_{11} & T_{12} \\ T_{21} & T_{22} \end{bmatrix} \begin{bmatrix} a_2 \\ b_2 \end{bmatrix}$$

Il faut noter que $\Gamma_{Ens} = \frac{b_1}{a_1}$ et que $\Gamma_{Ant} = \frac{a_2}{b_2}$ [IV-12]

En développant les équations [IV-11] et [IV-12] nous obtenons :

$$[IV-13] \quad b_1 = T_{11}a_2 + T_{12}b_2 = (T_{11}\Gamma_{Ant} + T_{12})b_2$$

$$[IV-14] \quad a_1 = T_{21}a_2 + T_{22}b_2 = (T_{21}\Gamma_{Ant} + T_{22})b_2$$

En effectuant le rapport des équations [IV-13] et [IV-14], et après quelques manipulations nous obtenons le coefficient de réflexion de l'antenne seul sur SOI.

$$[IV-15] \quad \Gamma_{Ant} = \frac{T_{12} - \Gamma_{Ens}T_{22}}{\Gamma_{Ens}T_{21} - T_{11}}$$

Ayant obtenu les paramètres de transfert de dispositif de test, nous pouvons déterminer le coefficient de réflexion de l'antenne après épluchage.

La Figure IV.45 montre les coefficients de réflexion avec les trois cas de mesure. Le premier est le cas de dipôle interdigité mesuré via les pointes de la sonde GSG (mesure sous pointes). Le deuxième est le cas de dipôle intégrée avec le dispositif de test, avec un grand support et avec une alimentation coaxiale. Et finalement le cas de mesure de l'antenne dipôle après épluchage. Sans aucun doute, nous remarquons l'écart de la mesure dans le cas de mesure sous pointes et après épluchage. Même si nous avons retrouvé un optimum d'adaptation à 60 GHz dans les deux cas, la différence reste toujours considérable.

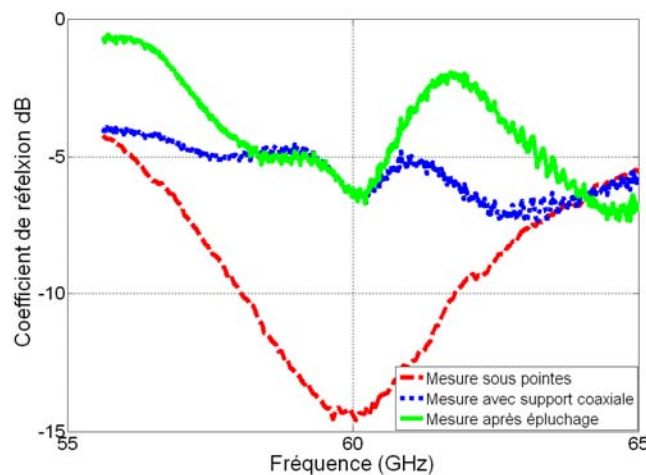


Figure IV.45 Comparaison de coefficients de réflexion de l'antenne interdigitée

Précisons que lors de la caractérisation du dispositif de test par la procédure d'épluchage, Nous avons découpé le substrat de SOI au niveau des plots. De plus, l'épaisseur finale de substrat RO4003, après fabrication des lignes coplanaires de circuit tapérisé, est passée à 500 μm au lieu de 400 μm , donnée initialement par le constructeur Rogers. Ainsi une épaisseur de substrat est ajoutée sous le silicium. Cette épaisseur est remplie par de la colle conductrice pour assurer le collage et le support mécanique. Par suite, un changement de la permittivité effective est obtenu. En plus la planéité de substrat n'est plus parfaite. Cet effet remet en cause le positionnement correct de la sonde en cas de mesure de dispositif de test. Toutes ces imperfections peuvent expliquer ce changement significatif de coefficient de réflexion de l'antenne. Notons que la mise en dispositif de test a pour but d'obtenir les caractéristiques de rayonnement, et n'est en aucun cas destinée à vérifier l'adaptation de l'antenne. De nouveaux tests seront réalisés pour confirmer ces hypothèses lors de l'analyse d'un prochain lot.

IV.3. Mesure de diagramme de rayonnement

Après la détermination des paramètres S de dispositif de test, nous poursuivons notre étude par la mesure du rayonnement de l'antenne. Dans un premier temps, nous expliquons la procédure de montage de structure de test de l'antenne, ensuite nous présentons les diagrammes de gain pour l'antenne interdigitée avec deux supports de dimensions différentes (10 et 20 mm).

IV.3.1. Description de montage de banc de test

La mesure de rayonnement de l'antenne nécessite la présence d'un générateur de signal et un autre qui reçoit ce signal afin de le mesurer. L'environnement idéale pour la mesure de rayonnement des antennes est la chambre anéchoïque électromagnétique, qui est une cage de Faraday dont les parois sont recouvertes de pyramides de mousse chargée d'un complexe à base de carbone, absorbant les ondes électromagnétiques et empêchant leur réflexion. Au CEA/LETI, nous disposons d'une telle chambre pour réaliser la mesure de diagramme de rayonnement d'antenne pour une bande de 800 MHz à 40 GHz. Par contre, nous ne disposons pas d'un équipement de type VNA adapté aux fréquences millimétriques sur la bande de mesure d'antennes. Un montage spécifique est réalisé pour mesurer le rayonnement.

Les différents composants de ce montage sont (Figure IV.46, Figure IV.47) :

- Un générateur de signaux SMIQ 06ATE de Rohde & Schwartz, capable de générer de signaux jusqu'à 5 GHz.
- Un module de transposition [IV.25], qui a pour but de transposer en fréquence le signal généré par le SMIQ jusqu'à 60 GHz en l'amplifiant. Ce module est composé d'une source de référence de 100 MHz, celui-ci est la source d'un oscillateur verrouillé en phase (Phase Locked loop, PLL) qui génère un signal de 19 GHz. Ce signal de 19 GHz est multiplié par trois par un multiplicateur pour obtenir finalement un signal de 57 GHz. Un mélangeur est utilisé pour mélanger le signal de 57 GHz par le signal générée par le SMIQ de 3 GHz. Ainsi, on obtient un signal au voisinage de 60 GHz. Les pertes de l'oscillateur sont de -20 dB, un amplificateur est utilisé entre le tripleur et l'oscillateur. Le niveau d'émission à 60 GHz est faible, une antenne cornet de grand gain est utilisée à l'émission (36 dBi).
- Pour la coté de réception, nous utilisons un analyseur de spectre pour mesurer le niveau de puissance reçu au niveau de l'antenne de réception. Dans notre cas, nous disposons d'un analyseur de spectre PSA E4448A d'Agilent. Celui-ci fonctionne jusqu'à 50 GHz. Un mélangeur millimétrique déporté est utilisé pour réaliser la mesure au dessus de 50 GHz.
- Pour mettre en rotation l'antenne sous test, le mélangeur et l'antenne de test sont positionnés sur une base tournante contrôlée par pilotage externe.

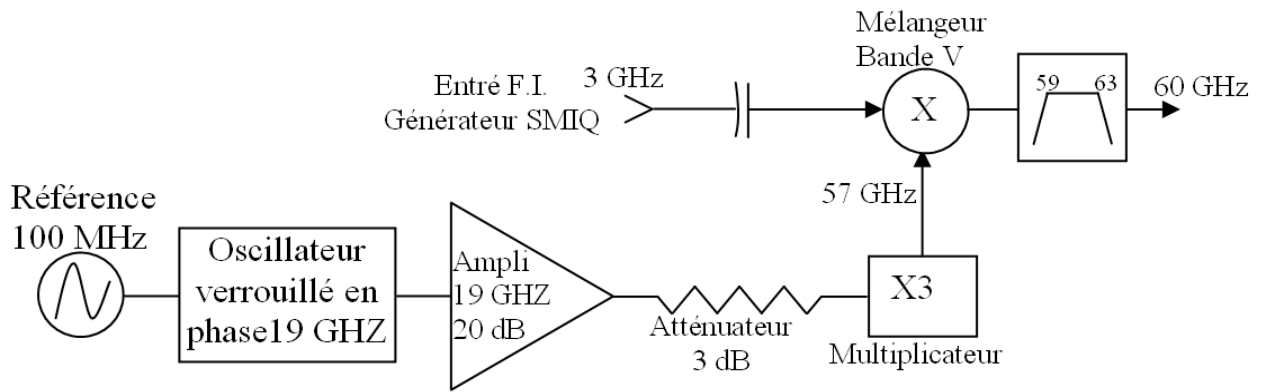


Figure IV.46 Schéma synoptique du système d'émission millimétrique [IV.25]

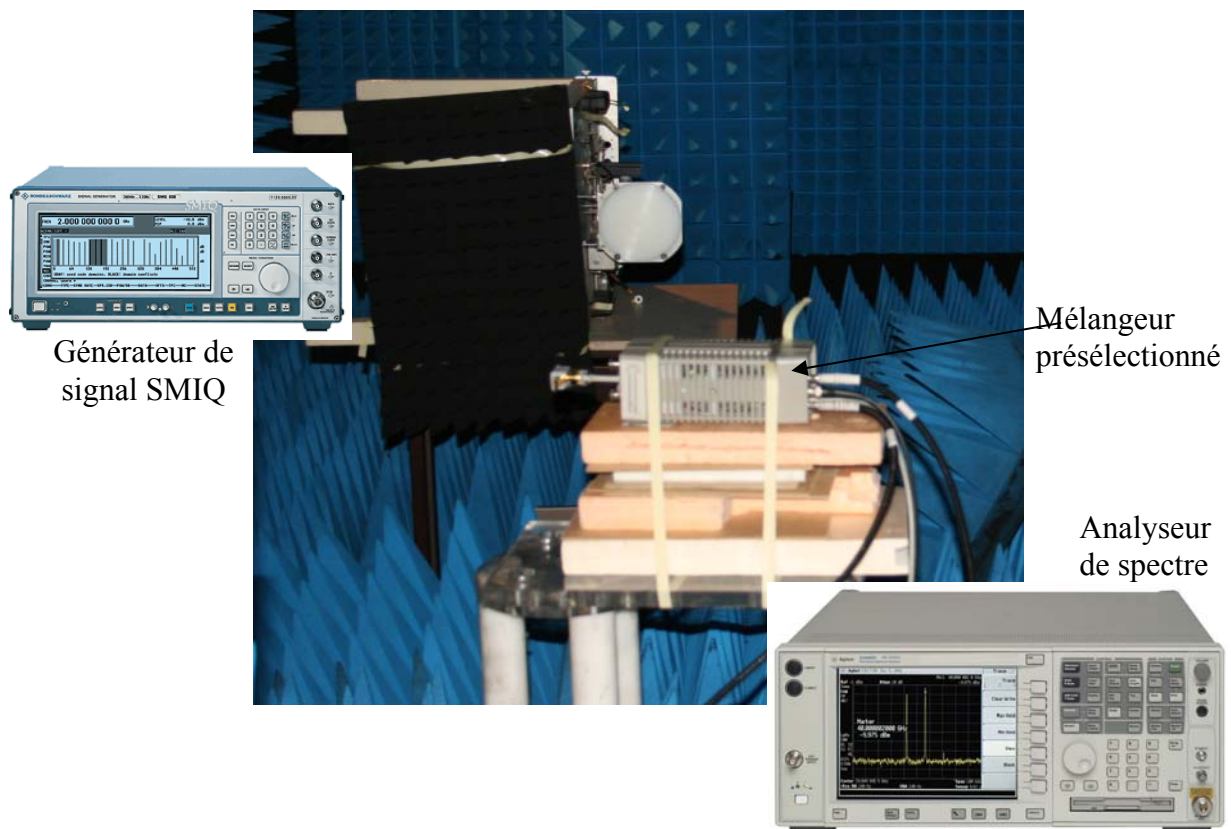


Figure IV.47 Eléments du banc de mesure

IV.3.2. Méthode utilisée pour mesurer le gain de l'antenne interdigitée

Pour déterminer le gain de l'antenne, la méthode utilisée consiste à mesurer une antenne de référence (Figure IV.48), généralement un cornet étalonné, ayant un gain G_c (dBi) de 23.8 dBi, donné par le constructeur et vérifié par mesure. La procédure de mesure consiste

à mesurer successivement, via l'analyseur de spectre, les niveaux de puissance reçus par l'antenne à mesurer et par l'antenne de référence orientée convenablement [IV.74].

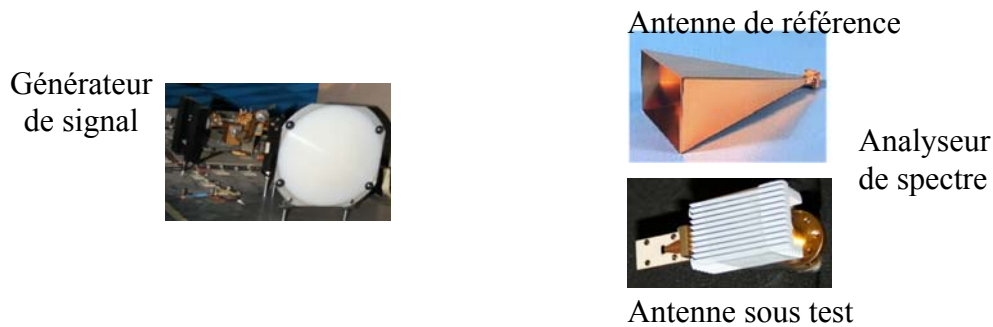


Figure IV.48 Méthode utilisée pour déterminer le gain de l'antenne

Cette procédure est détaillée par les étapes suivantes :

- Connecter l'antenne de référence et déterminer la puissance reçue due à l'antenne cornet, soit $A_c (dB)$.
- Refaire la même procédure, en remplaçant l'antenne cornet par l'antenne sous test. La puissance reçue due à l'antenne sous test est $A_{AST} (dB)$.

Finalement le gain de l'antenne sous test est donné par

$$[IV-16] G_{AST} (dBi) = G_C (dBi) + A_{AST} (dB) - A_c (dB)$$

Dans notre calcul de gain, deux plans de coupe sont considérés. Le gain se calcule sur un composant de champ dans n'importe quel plan de coupe. Les diagrammes de gain simulés et mesurés sont comparés pour évaluer la performance des antennes réalisées.

Concernant l'antenne interdigitée, nous avons considéré deux cas de supports: un de 20 mm * 10 mm, et un petit support de 10 mm * 10 mm. L'objectif est d'étudier et de caractériser l'influence de support et des circuits de dispositif de test (bonding, ligne CPW, connecteur). En plus, nous avons utilisé des absorbants millimétriques au niveau du connecteur pour limiter leur possible influence. Dans le cas de l'antenne simulée, ces connecteurs n'existent pas, donc l'utilisation des absorbants est nécessaire.

IV.3.3. Comparaison de diagramme de gain de l'antenne interdigitée « Grand et petit support »

Dans cette partie, nous comparons le gain de l'antenne dipôle interdigitée après simulation via le logiciel CST MWS et mesure par la procédure expliquée dans les parties précédentes. Pour la partie mesure, nous distinguons deux plans de coupe pour l'antenne interdigitée. Le plan H (Figure IV.49 (a)) est formé dans les conditions suivantes

- Le dipôle est en position verticale, en conséquent le champ E est vertical
- Le support de dipôle tourne de -90 à 90 suivant la description de la Figure IV.49 (a).

Pour le plan E, le dipôle est en position horizontale, et tourne de -90 à 90 suivant la description de la Figure IV.49 (b).

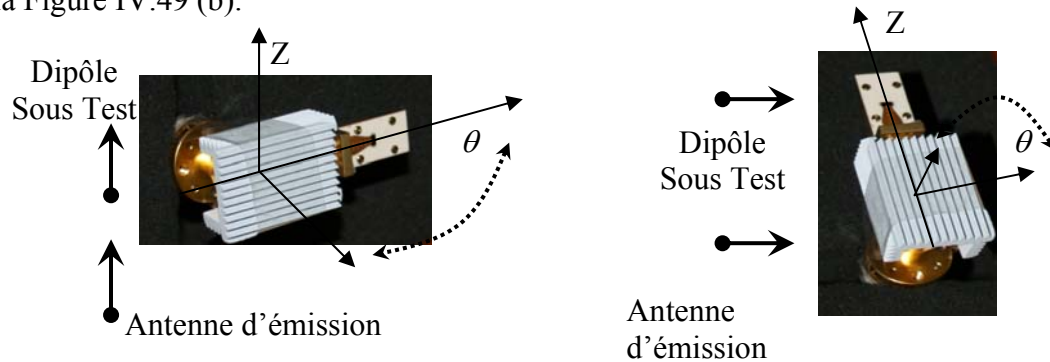


Figure IV.49 Plans de coupe de l'antenne Dipôle
(a) Plan H (b) Plan E

Dans le cas du dipôle sur un dispositif de test grand support, la comparaison des diagrammes de rayonnement mesurés et simulés dans le plan H et dans le plan E est présentée sur les Figure IV.50 et Figure IV.51 respectivement. Le plan E montre une meilleure concordance même si le diagramme n'est pas symétrique en mesure. Pour le plan H, le diagramme de gain est le plus perturbé par le support pour les angles de $-90^\circ < \theta < -60^\circ$ à cause de l'effet de masquage des absorbants en mesure. Les absorbants (en gris dans absorbent une grande partie de rayonnement, en plus l'antenne est dans la partie cachée de T. L'effet de dispositif de test est plus significatif dans le plan H.

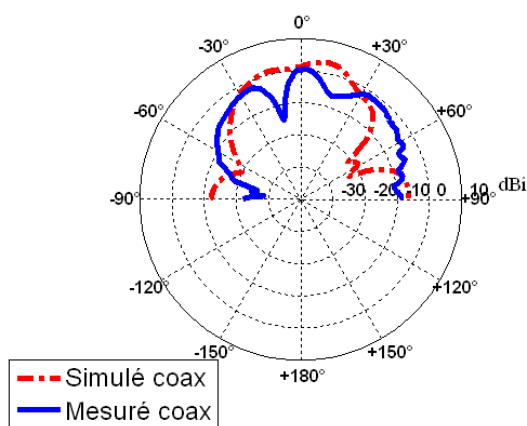


Figure IV.50 Diagramme de gain de l'antenne interdigitée Plan H

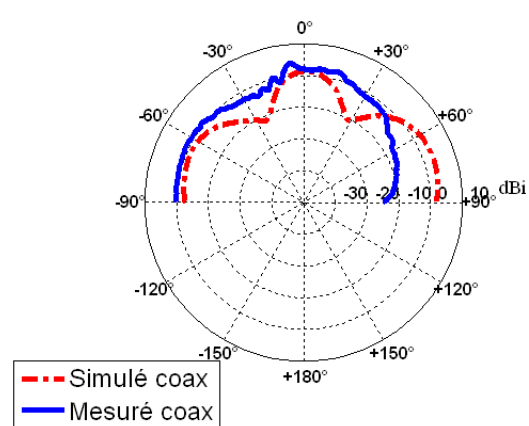


Figure IV.51 Diagramme de gain de l'antenne interdigitée Plan E

La méthodologie appliquée pour mesurer le gain de dipôle avec grand support est réitérée pour mesurer le gain de dipôle avec un petit support. Notre but est d'essayer de comprendre l'effet de la l'élargissement de support sur le diagramme de rayonnement.

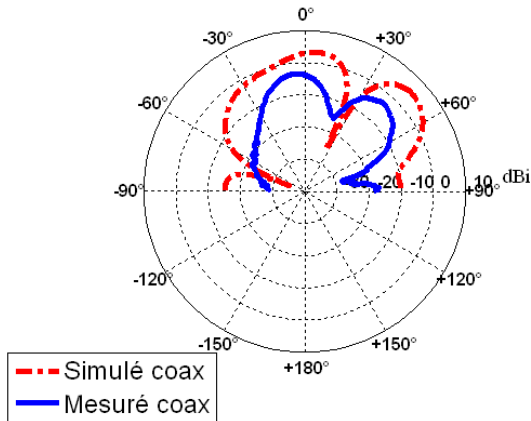


Figure IV.52 Diagramme de gain de l'antenne interdigitée avec petit support Plan H

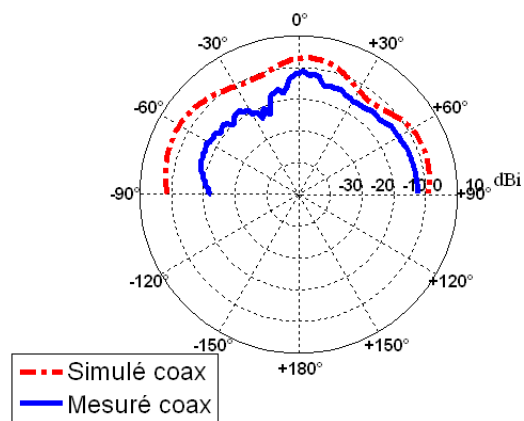


Figure IV.53 Diagramme de gain de l'antenne interdigitée avec petit support Plan E

La Figure IV.52 montre la comparaison de diagramme de rayonnement simulé et mesuré de l'antenne dipôle interdigitée avec petit support de $10 \times 10 \text{ mm}^2$. En effet, en réduisant la longueur de support de 20 à 10 mm, nous approchons l'antenne dipôle de bord verticale de support T. Pourtant, ce qui est le plus important est l'effet de bord de petit support sur le rayonnement de l'antenne. Dans le plan H, et pendant l'intervalle de -90 jusqu'au -20 le niveau de gain diminue de 10 dBi, en plus que l'antenne avec grand support. Pour le plan E, les diagrammes de rayonnement simulé et mesuré ont presque la même allure avec un facteur de forme de 2 à 3 dB. En comparant les diagrammes de plan E de dipôle interdigité, avec le petit et le grand support, nous retrouvons le même diagramme dans les deux cas, avec un facteur de forme de 3 à 4 dB (Figure IV.53).

Les diagrammes de gain en polarisation croisée sont illustrés sur les Figure IV.54 et Figure IV.55. Les fluctuations sont plus importantes pour le diagramme de gain avec un niveau qui est comparable à la polarisation principale. Précisons que l'antenne dipôle pur ne présente pas de rayonnement en polarisation croisée. Dans notre cas, la présence du balun, des circuits de ligne CPW, de bonding et de support peuvent expliquer ce niveau élevé de rayonnement en polarisation croisée.

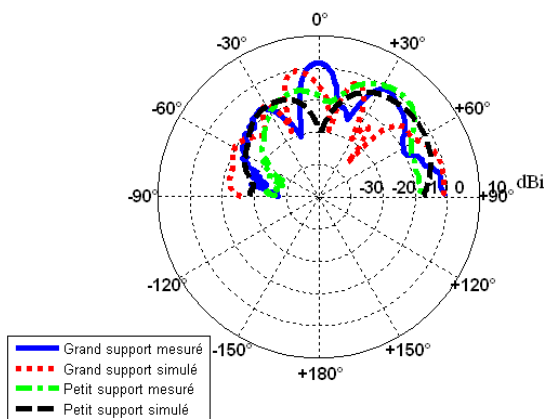


Figure IV.54 Diagramme de gain de l'antenne interdigitée Plan H « polarisation croisée »

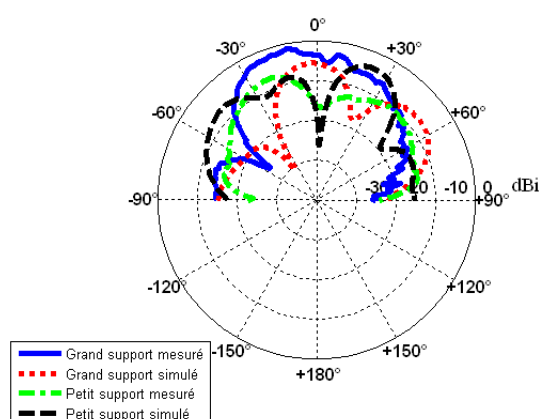


Figure IV.55 Diagramme de gain de l'antenne interdigitée Plan E « polarisation croisée »

IV.3.4. Extraction de Gain au niveau de la puce

La présence du support a pour but d'éviter la perturbation de la sonde de mesure sous pointe sur le rayonnement de l'antenne. Il apparaît clairement que celui-ci perturbe également le rayonnement de l'antenne intégrée. Notre objectif reste de comparer les diagrammes de gain mesurés et simulés au niveau de substrat SOI. Pour cela nous présentons les méthodes utilisées pour extraire le gain de l'antenne au niveau de la puce et le comparer avec le gain obtenu par simulation. Les méthodes utilisées sont les suivantes :

- Soustraction directe des pertes dues au dispositif de test. Les pertes, engendrées par le dispositif de test, sont calculées dans la partie (§ IV.2) et sont égales à -6 dB à 60 GHz. Nous ajoutons alors $+6$ dB directement aux valeurs mesurés au niveau de connecteur.
- Extraction par une fonction de transfert.

La procédure d'extraction est réalisée par la méthode suivante (Figure IV.56)

- Extraire le champ rayonné de l'antenne par simulation ($E_{\theta A}, E_{\phi A}$), l'antenne est excitée au niveau des plots RF.
- Extraire le champ rayonné de l'ensemble de l'antenne avec le support ($E_{\theta B}, E_{\phi B}$) par simulation, l'ensemble est excité au niveau du connecteur coaxiale V.
- Définition et calcul d'une fonction de transfert de transfert

$$H = \begin{bmatrix} E_{\theta B}/E_{\theta A} & 0 \\ 0 & E_{\phi B}/E_{\phi A} \end{bmatrix}$$
- Champ mesuré de l'ensemble de l'antenne avec le support ($E_{S\theta B}, E_{S\phi B}$)
- Finalement, pour obtenir le champ de l'antenne au niveau de substrat SOI, diviser le champ de l'ensemble ($E_{S\theta A}, E_{S\phi A}$) par la fonction de transfert H.

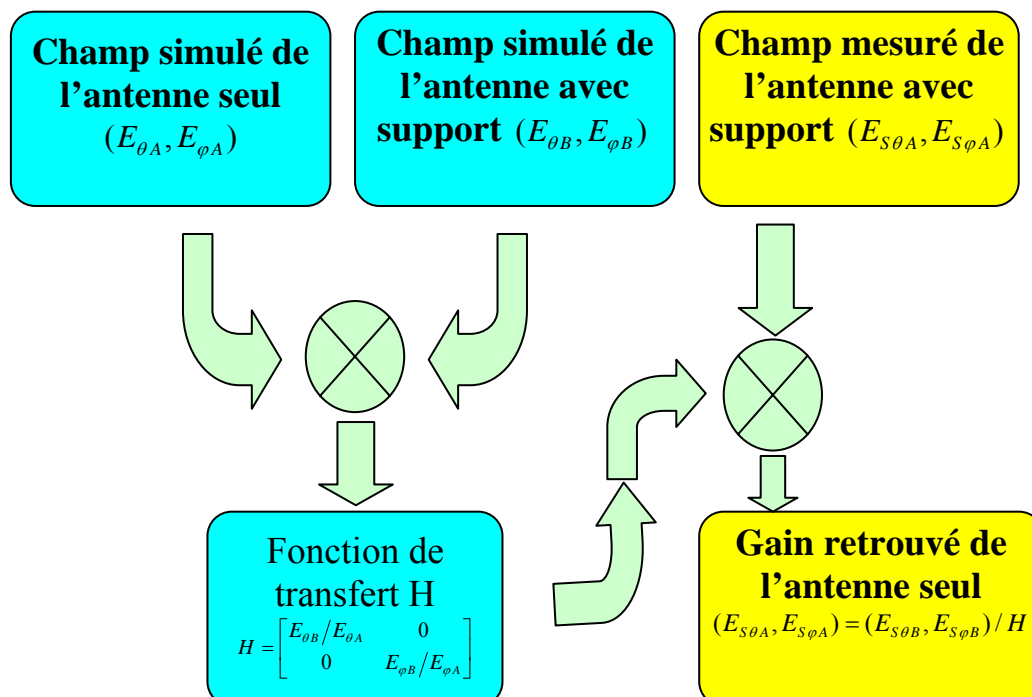


Figure IV.56 Procédure d'extraction de gain de l'antenne au niveau de substrat SOI

La Figure IV.57 présente le diagramme de gain de l'antenne dipôle interdigitée dans le plan H pour les deux méthodes d'extraction et pour un grand support. Les deux diagrammes se concordent dans un bon intervalle même si nous retrouvons des pics en cas de diagramme extrait par la fonction de transfert. En effet, lors de la mesure avec les supports (Figure IV.50, Figure IV.52), des trous sont présents dans les diagrammes de gain, En faisant la fonction de transfert, ces trous se transforment en des pics, ce qui explique les sommets retrouvés dans le plan H. Dans le cas de diagramme, extrait à partir de mesure de grand support, nous retrouvons un maximum de gain de 4 dBi dans la direction $\theta=0$. Ce qui est presque le même dans le cas de gain simulé pour le plan H (gain de 4.2 dBi).

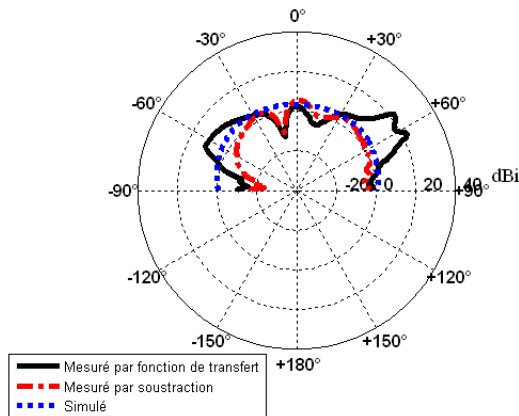


Figure IV.57 Diagramme de gain de l'antenne interdigitée au niveau de substrat SOI, Plan H

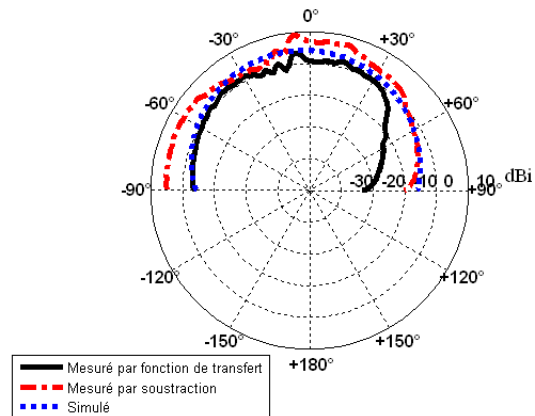


Figure IV.58 Diagramme de gain de l'antenne interdigitée au niveau de substrat SOI, Plan E

Pour le plan E, nous retrouvons la même allure de diagramme de gain simulé et extrait en ayant le grand support. La Figure IV.58 trace ce gain. Une différence de 6 à 7 dB est retrouvée dans les cas de mesure par soustraction et par fonction de transfert. Un gain maximum de 3 dBi est retrouvé à $\theta = 0$ dans le cas d'antenne placée sur un grand support. Le gain simulé est de 3.6 dB. Une différence de 1 dB entre le gain simulé et le gain extrait valide la méthode utilisée pour l'extraction de gain.

L'efficacité simulée de l'antenne dipôle interdigitée seule est de 90 %. En utilisant la méthode d'extraction par fonction de transfert, et avec cette petite différence des gains simulés et mesurés de l'antenne dans le plan E et H, nous pouvons dire que notre antenne a une efficacité de 85 %.

Deux supports sont utilisés pour déterminer le diagramme de gain. Nous utilisons la méthode d'extraction par fonction de transfert pour comparer les diagrammes issus d'un grand support ($20 \times 10 \text{ mm}^2$) et d'un petit support ($10 \times 10 \text{ mm}^2$).

Les Figure IV.59 et Figure IV.60 illustrent la comparaison des diagrammes de gain dans le plan H pour l'antenne avec petit et grand support. Le cas de diagramme extrait de grand support est plus proche au diagramme simulé. Dans le cas de petit support, un niveau de faible est extrait. Nous n'avons trouvé ce grand écart de perte.

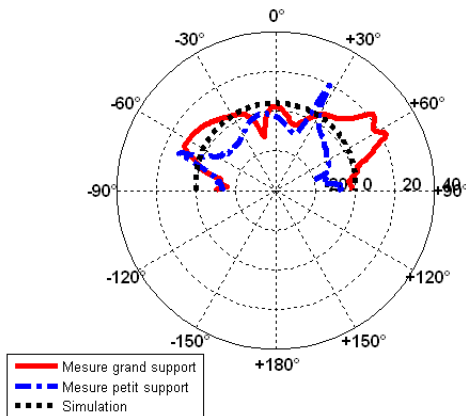


Figure IV.59 Comparaison des Diagrammes de gain de l'antenne interdigitée au niveau de substrat SOI, Plan H

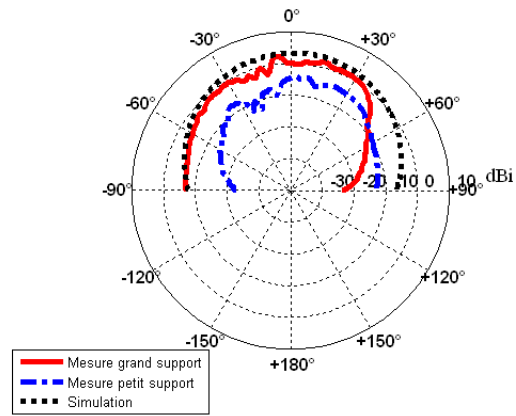


Figure IV.60 Comparaison de Diagrammes de gain de l'antenne interdigitée au niveau de substrat SOI, Plan E

La concordance entre les diagrammes de gains simulés et mesurés avec un grand support (après extraction) nous encourage à utiliser le grand support pour la mesure de diagramme de rayonnement des autres antennes conçues. La méthode d'extraction utilisée par la suite est celle de méthode par fonction de transfert. Dans la partie suivante, nous étudions précisément le cas d'une antenne IFA et d'une antenne Fente intégrées sur SOI à 60 GHz. Dans la partie suivante, nous détaillons la conception de l'antenne IFA Sur SOI

IV.4. Antenne IFA inversée

Après l'antenne dipôle alimentée par des lignes coplanaires via un Balun, la deuxième étape est de concevoir des antennes alimentées directement par des lignes coplanaires sans utiliser des dispositifs intermédiaires (Balun).

L'antenne F inversée IFA (Inverted F Antenna) est populaire pour les petits terminaux mobiles grâce certains de ses caractéristiques attrayantes, notamment sa taille réduite et ses bonnes performances [IV.26].

L'antenne IFA est une forme modifiée 2D de l'antenne micro ruban planaire 3D (PIFA), traditionnellement, une antenne PIFA est composée d'un élément planaire rectangulaire (patch), d'un plan de masse, d'une alimentation coaxial, et un mécanisme de court circuit qui connecte la pastille du haut au plan de masse. Ce mécanisme de court circuit, qui peut être accompli par un ruban ou simplement un fil, mène à un résonateur de type quart d'onde [IV.28][IV.29][IV.30][IV.31]. La longueur du patch peut être alors réduite au moins 50% en comparant au patch à demi-longueur d'onde conventionnelle.

Les conditions de base pour la conception de l'antenne IFA nécessitent deux plans métalliques superposés, un jouant le rôle de plan de masse et l'autre le rôle de la pastille rayonnante. Un court circuit est nécessaire, donc des trous dans le substrat doivent être accommodés pour laisser passer les fils ou les murs courts circuités. Dans le chapitre § III, nous avons démontré que la distance entre le plan de masse et le patch rayonnant ne doit pas

être plus petite qu'une certaine distance ($\lambda/300$) pour avoir une antenne qui rayonne efficacement. Dans le cas de la technologie SOI, la seule possibilité pour faire des trous est entre les six couches métalliques ayant un maximum distance inter couche de $5 \mu\text{m}$ ($\lambda/1200$ entre M1 et M6). Actuellement, il n'est pas possible de réaliser des trous dans le substrat de silicium.

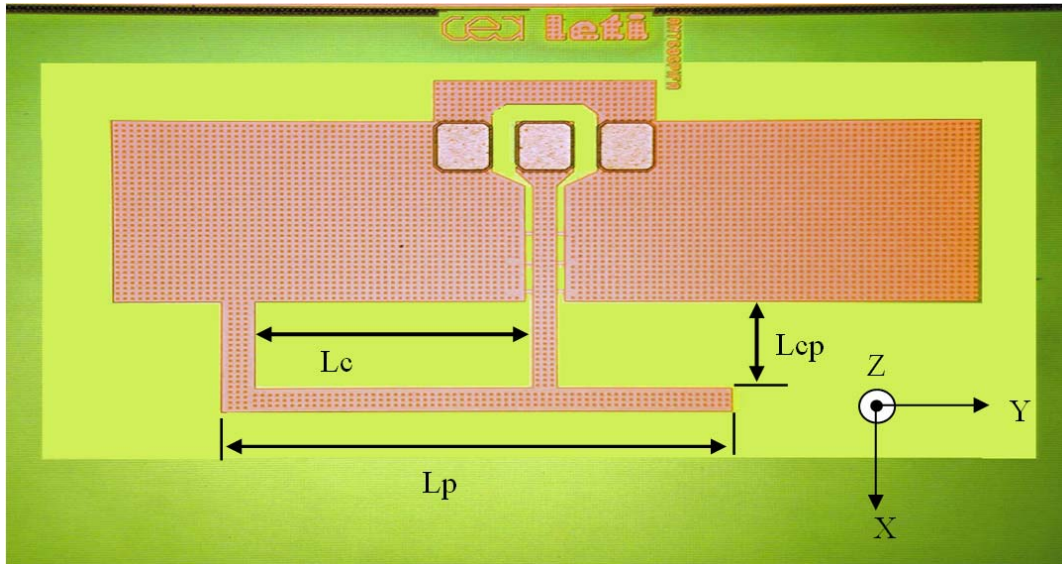


Figure IV.61 Antenne IFA intégrée Sur SOI

C'est pourquoi nous optons pour une solution d'antenne IFA plane alimentée par une ligne coplanaire (Figure IV.61) [IV.27]. La ligne d'alimentation, le brin rayonnant, et le court circuit sont dans un seul plan et intégrés sur une seule couche métallique M6. Dans les parties suivantes, nous détaillons la procédure de conception en montrant l'effet des différents paramètres de conception sur l'adaptation de l'antenne ainsi sur son rayonnement. Nous présentons aussi l'effet de la face arrière métallisée utilisée comme réflecteur.

IV.4.1. Conception de l'antenne IFA

Avant de parler de la phase de conception de l'antenne IFA, la première étape est de régler l'alimentation. Notre but est de concevoir l'antenne IFA avec une ligne coplanaire CPW qui ne perturbe pas l'adaptation de l'antenne. D'après le chapitre § II, une ligne CPW avec ruban centrale de $29 \mu\text{m}$ et d'espacement entre ruban centrale et plan de masse de $10 \mu\text{m}$ dispose d'une impédance caractéristique de 50 Ohms . C'est alors notre choix de conception pour la ligne d'alimentation. Notons que des liaisons métalliques enterrées 'underpath' relient les deux plans de masses de la ligne CPW par des vias intégrés sur la couche M1. Ces liaisons ont pour but d'éliminer les modes parasites de la ligne CPW.

La longueur de brin l'antenne IFA est définie par l'équation suivante [IV.32]

$$[\text{IV.17}] L_{CP} + L_P = \frac{\lambda_g}{4} = \frac{c}{4f \sqrt{\epsilon_{\text{reff}}}}$$

Trois paramètres se distinguent dans cette étude (Figure IV.61),

- Le paramètre L_p , qui détermine la longueur de brin rayonnant et le paramètre L_{cp} , qui détermine l'éloignement entre les plans de masse et le brin de l'antenne. Ces deux paramètres contrôlent la résonance de l'antenne IFA.
- Le paramètre L_c , qui détermine la distance entre le court circuit et l'alimentation de l'antenne.

En changeant ces paramètres nous voulons comprendre l'effet de chacun d'eux sur l'impédance d'entrée de l'antenne. Le premier paramètre étudié est L_p . Le but est d'observer l'effet de l'éloignement du brin rayonnant de plan de masse pour une longueur fixe de L_{cp} et de L_c ; $L_{cp}=150 \mu\text{m}$, et $L_c=200 \mu\text{m}$. La Figure IV.62 présente la partie réelle et imaginaire de l'impédance d'entrée de l'antenne.

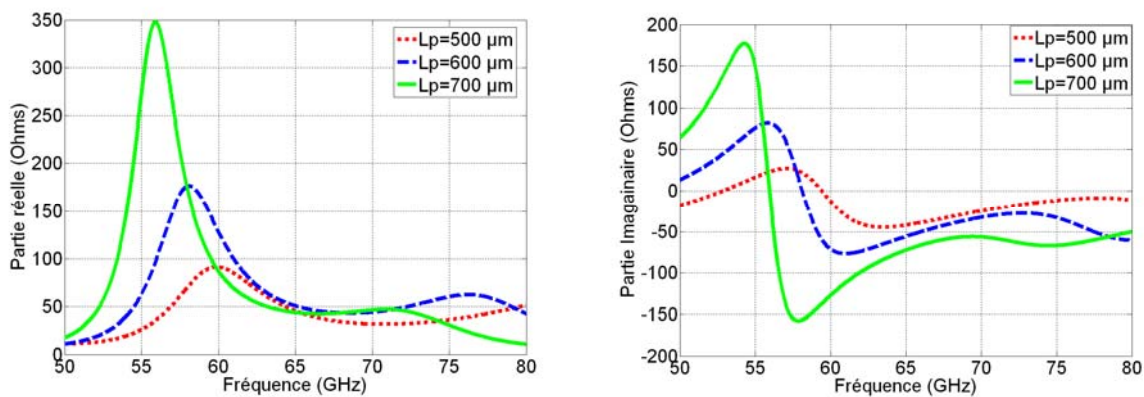


Figure IV.62 Effet de la longueur de brin L_p sur l'impédance d'entrée de l'antenne IFA

En augmentant ce paramètre L_p , la fréquence de résonance de l'antenne diminue aussi. Avec le facteur L_{cp} , il jouera un rôle important pour la détermination de la longueur d'antenne.

Nous concluons qu'après la détermination de la résonance, un changement de la distance entre les plans de masse et le brin rayonnant (L_{cp}) est utile dans le cas où un simple changement d'adaptation est demandé.

Finalement, le dernier paramètre étudié est l'espacement entre le court circuit et l'alimentation. L_c . Nous fixons les paramètres L_p ($600 \mu\text{m}$), et $L_{cp}=150 \mu\text{m}$.

La Figure IV.63 montre l'effet de ce paramètre sur l'impédance d'entrée de l'antenne IFA. Nous constatons que le fait d'augmenter L_c ne change pas la fréquence de résonance de l'antenne IFA, et modifie faiblement la partie réelle et imaginaire de l'impédance d'entrée en modulant l'amplitude de la résonance.

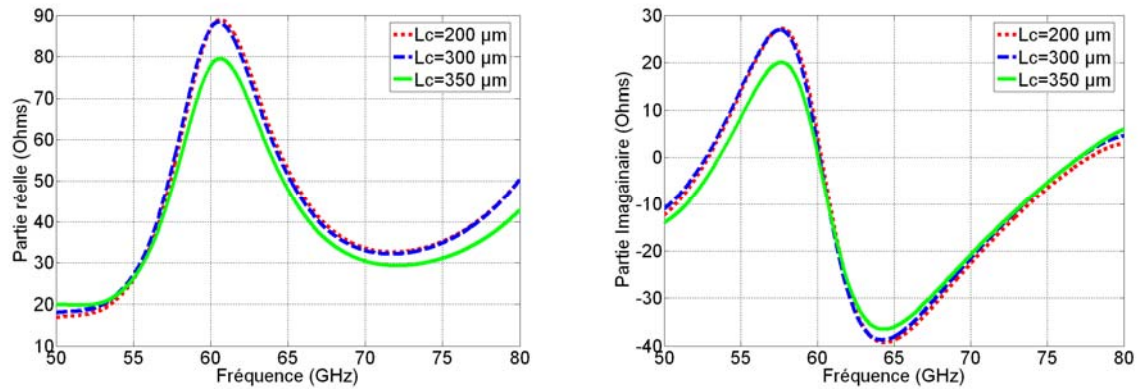


Figure IV.63 Effet de l'espace entre le court circuit et l'alimentation L_c sur l'impédance d'entrée de l'antenne IFA

Ensuite nous montrons l'effet de la face arrière métallisée sur l'impédance d'entrée de l'antenne IFA. La Figure IV.64 trace la partie réelle et imaginaire de l'impédance d'entrée de l'antenne IFA. En utilisant le réflecteur, la permittivité effective change et l'antenne subit l'effet cavité, présente dans les antennes pastilles[IV.5], ce qui affecte la résonance de l'antenne.

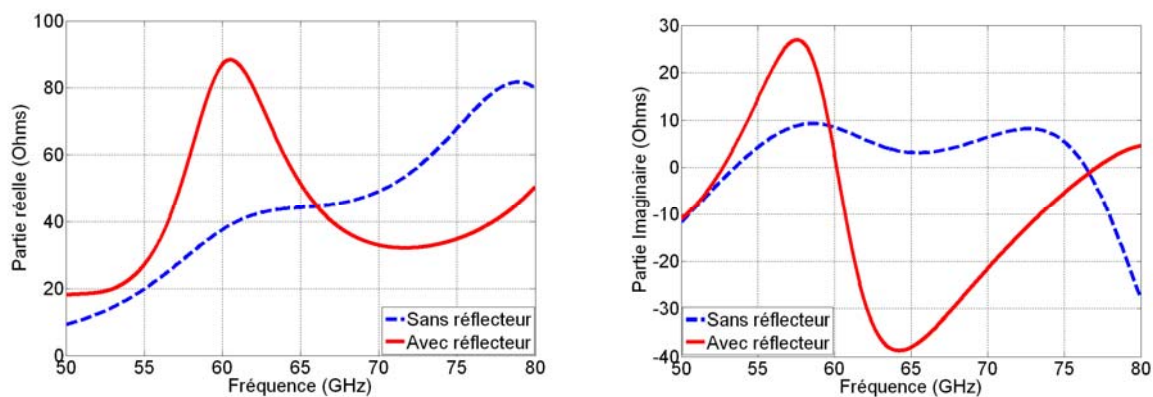


Figure IV.64 Effet de plan réflecteur sur l'impédance d'entrée de l'antenne IFA

Finalement, nous montrons le diagramme de gain simulé de l'antenne IFA sans et avec réflecteur. Le gain absolu maximum simulé de l'antenne IFA sans plan réflecteur est de 0.6 dBi avec une efficacité de rayonnement de 45 %. Avec le réflecteur, le gain absolu est de 1.5 dBi avec une efficacité de rayonnement de 55 %. Les Figure IV.65 et Figure IV.66 illustrent la comparaison de diagramme de gain de l'antenne IFA pour le plan H et E respectivement. Pour le plan H, Les composants de champs « E_ϕ » et « E_θ » sont présentés dans la .A l'inverse de plan H, les composants de champs, pour le plan E, sont « E_θ » et « E_ϕ » respectivement. Notons que les composants, « E_θ » de plan H et « E_ϕ » de plan E, présentent un niveau significatif. Celui ci est dû au montage spécifique de l'antenne IFA. La liaison métallique, connectant le brin rayonnant et les plans de masse, rayonne aussi. Dans les parties suivantes, nous présentons les résultats de mesure de l'antenne IFA, notamment le coefficient de réflexion et les diagrammes de gain.

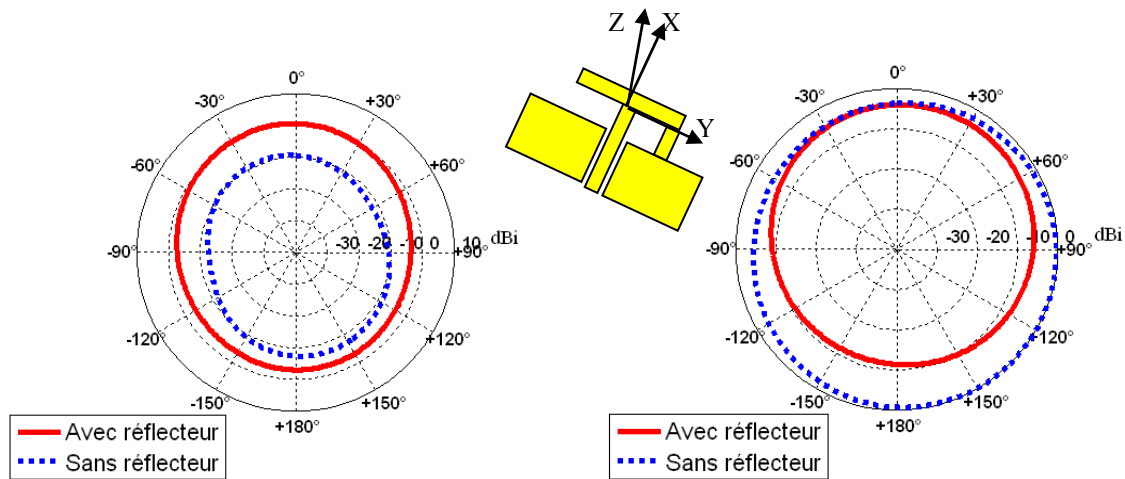


Figure IV.65 Diagramme de gain de l'antenne IFA Plan H

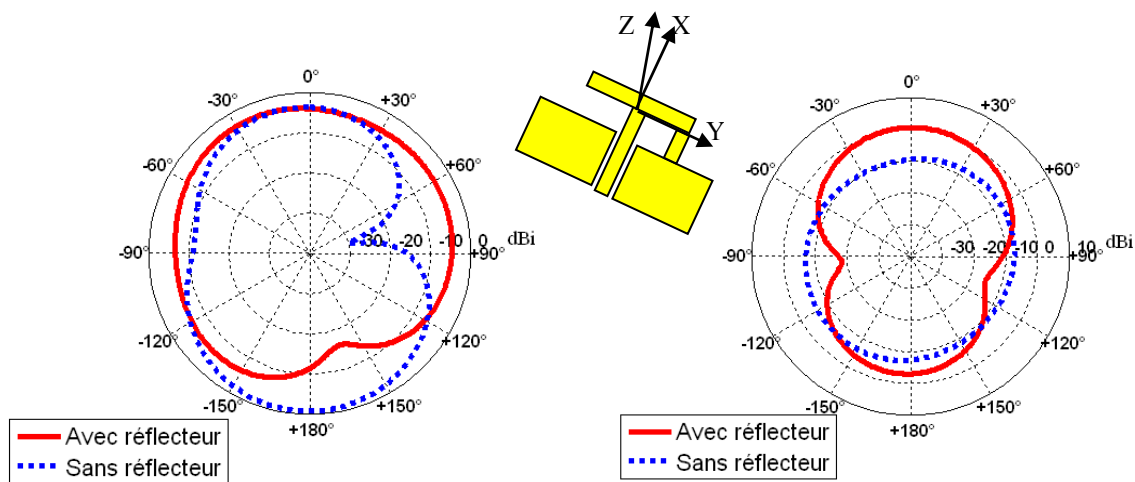
a) Composante (E_ϕ)b) Composante (E_θ)

Figure IV.66 Diagramme de gain de l'antenne IFA Plan E

a) Composante (E_θ)b) Composante (E_ϕ)

IV.4.2. Antenne IFA Intégrée sur SOI

Le fait de travailler à 60 GHz permet d'obtenir des antennes de dimensions inférieures à 2 mm, appropriées aux systèmes mono puces dont la surface de substrat est fixée à 2 mm² (1*2mm²). Dans cette étude, une antenne IFA (Figure IV.61) complètement intégrée est réalisée sur un substrat de la technologie SOI. L'antenne IFA intégrée a été conçue sur la couche supérieure M6 de SOI. Les dimensions de l'antenne IFA sont les suivantes

$$[IV.18] L_p = 0.25\lambda_g = 622\mu\text{m} \quad , \quad L_{cp} = 0.06\lambda_g \quad , \quad L_c = 0.136\lambda_g$$

Des mesures sous pointes ont permis de valider les résultats des simulations de l'antenne réalisée sur SOI. La Figure IV.67 montre les valeurs simulées du coefficient de réflexion de l'antenne ($|S_{11}|$ dB) et les valeurs mesurées de l'antenne obtenues à l'aide l'analyseur de réseau HP 8510 XF avec un système de mesure sous pointes Cascade Microtech. Un coefficient de réflexion de -18 dB avec une bande passante de 2 GHz à -10 dB est obtenu. Ces résultats montrent une bonne concordance entre les mesures et les

simulations. Un écart d'environ 2dB est observé entre la mesure et la simulation, peut être lié à la zone d'exclusion de dummies non pris en compte pendant la simulation électromagnétique.

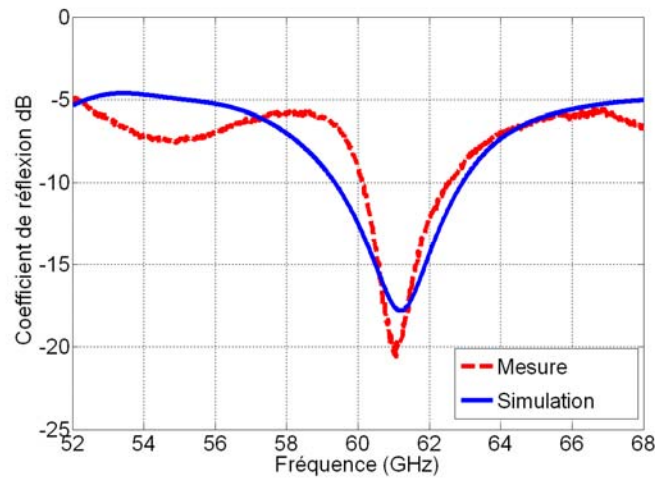


Figure IV.67 Comparaison des coefficients de réflexion simulé et mesuré de l'antenne IFA intégrée sur SOI.

IV.4.3. Etude de rayonnement de l'antenne IFA

Conformément à la méthode utilisée pour le dipôle, l'antenne IFA est montée sur un dispositif de test (Figure IV.33) afin que nous puissions mesurer le diagramme de rayonnement. Premièrement, nous mesurons les paramètres S de l'antenne IFA avec le support coaxial, nous procédons à la méthode d'épluchage expliqué dans § IV.2 pour essayer d'extraire les paramètres S de l'antenne IFA et les comparer avec les mesures sous pointes.

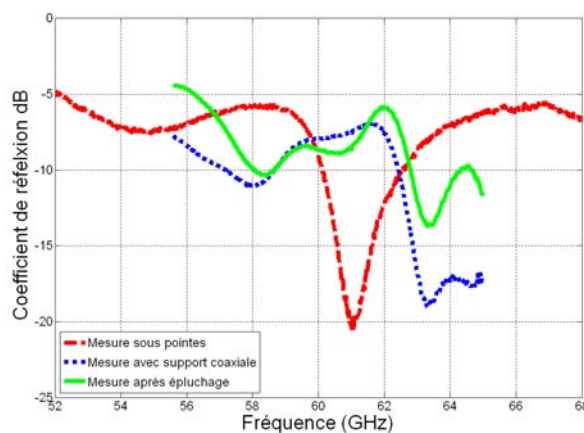


Figure IV.68 Comparaison des coefficients de réflexion de l'antenne IFA

La Figure IV.68 montre la comparaison de coefficient de réflexion de l'antenne IFA dans les trois cas de mesures différentes : La mesure sous pointes de l'antenne seul, la mesure de l'antenne avec le support coaxiale, et finalement la mesure de l'antenne seul après épluchage. Avec le support coaxial, une dégradation de coefficient de réflexion est obtenue.

Même avec la procédure d'épluchage, nous n'avons pas réussi à retrouver le coefficient de réflexion obtenue en mesure sous pointe. Cette dégradation peut être due au support de mesure, aux imprécisions de mesure de support déjà discutées dans § IV.2 où à une excitation des modes parasite qui changent les paramètres de substrat et affectent le coefficient de réflexion de l'antenne (voir § chapitre3).

Ensuite, nous continuons l'étude de rayonnement par la mesure de diagramme de gain de l'antenne IFA. La méthodologie expliquée dans § IV.3 est utilisée de nouveau. Notre générateur de signal SMIQ est limité à 5 GHz, nous avons choisi de prendre les mesures de Gain à 60 GHz.

Dans le brin rayonnant de l'antenne IFA, la distribution de champ électrique est identique à un demi bras de l'antenne dipôle. C'est pourquoi, nous proposons la même notation est utilisée pour décrire les champs électriques, et le plan de coupe E et H (Figure IV.49).

La Figure IV.69 montre le composant « E_ϕ » du diagramme de gain de l'antenne IFA pour le plan H sur le dispositif de test (Figure IV.49). Le maximum de gain mesuré est de -4 dBi, pour un maximum de gain de -1.5 dBi dans le cas de l'antenne simulé. Dans l'intervalle de -90 à -30 degrés, ce gain est plus faible que -20 dBi, cela est dû probablement à l'effet de bord vertical de support (de T).

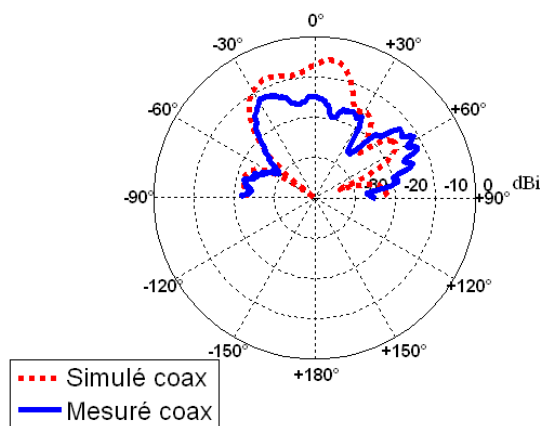


Figure IV.69 Diagramme de gain de l'antenne IFA
Plan H, « E_ϕ »

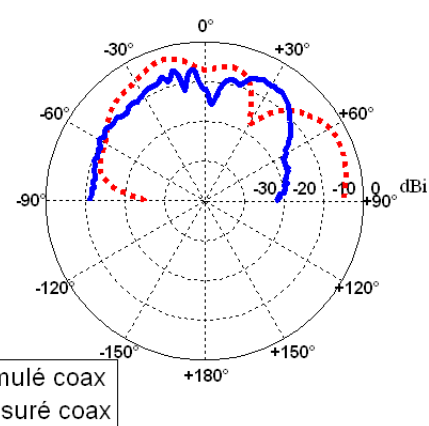


Figure IV.70 Diagramme de gain de l'antenne IFA
Plan E, « E_θ »

La Figure IV.70 montre la comparaison de composant « E_θ » du diagramme de gain simulé et mesuré de l'antenne IFA pour le plan de coupe E sur le dispositif de test. Le diagramme est moins perturbé dans ce plan de coupe, nous observons moins de fluctuations et de trous dans le diagramme de rayonnement. Le gain de l'antenne mesuré est de -2 dBi pour -0.5 dBi pour l'antenne IFA simulé.

Finalement, les composants de champs « E_θ » du plan H et « E_ϕ » du plan E sont tracés sur les Figure IV.71 et Figure IV.72.

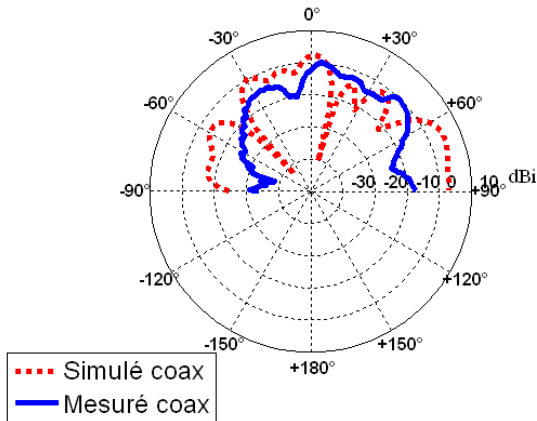


Figure IV.71 Diagramme de gain de l'antenne IFA
Plan H, « E_θ »

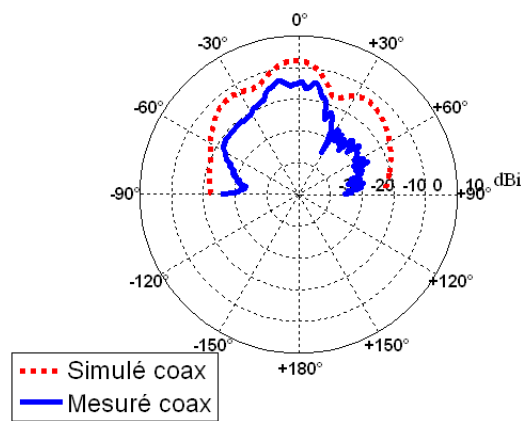


Figure IV.72 Diagramme de gain de l'antenne IFA
Plan E, « E_ϕ »

Conformément à la procédure utilisée dans IV.3.3.1 pour extraire le gain au niveau de substrat SOI, nous présentons le gain obtenu après extraction dans le plan H et E.

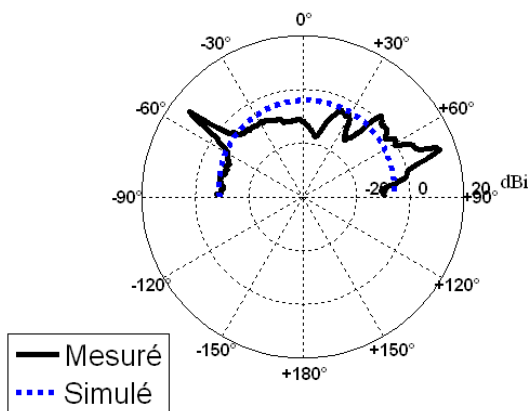


Figure IV.73 Gain de l'antenne IFA au niveau de
substrat SOI, Plan H, « E_ϕ »

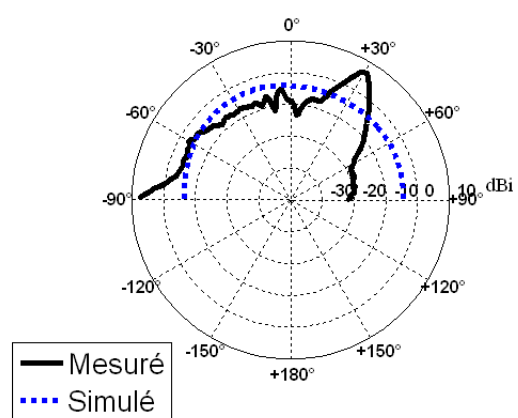


Figure IV.74 Gain de l'antenne IFA au niveau de
substrat SOI, Plan E, « E_θ »

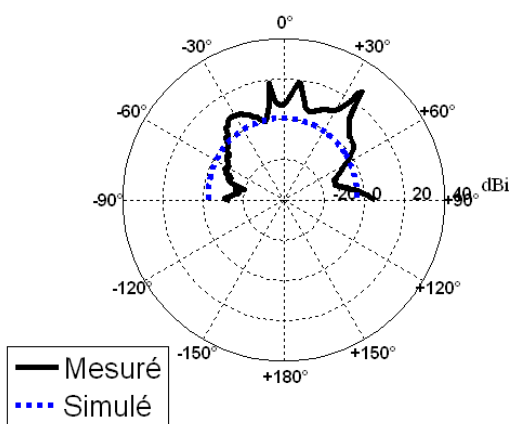


Figure IV.75 Gain de l'antenne IFA au niveau de
substrat SOI, Plan H, « E_θ »

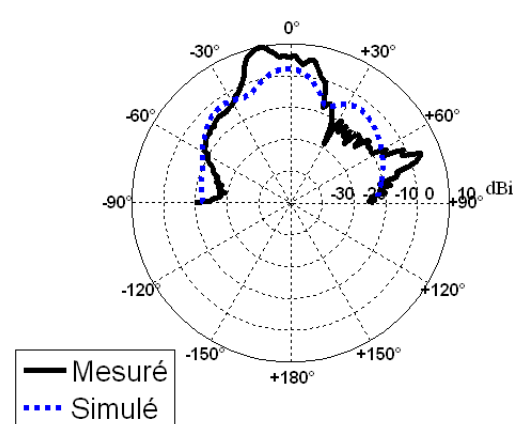


Figure IV.76 Gain de l'antenne IFA au niveau de
substrat SOI, Plan E, « E_ϕ »

La Figure IV.73 montre la comparaison entre les diagrammes de gain simulés et mesurés (après extraction) de composant « E_ϕ » du diagramme de gain de l'antenne IFA pour le plan de coupe H. A cause des faibles fluctuations (des trous et des pics) de diagramme de gain simulé (Figure IV.69) et de faibles niveaux de gain mesuré dans les intervalles extrêmes (-90 à -60 et 60 à 90 degrés), le diagramme de gain extrait comporte des pics indésirables dus aux imprécisions de la fonction de transfert. Ces pics se retrouvent aussi pour le composant « E_θ » du diagramme de gain du plan E, mais nous retrouvons une partie de l'allure de diagramme simulé (Figure IV.74). Le maximum de gain extrait retrouvé, dans le plan E, est de -5 dBi par rapport au gain de l'antenne simulée qui est -3 dBi. L'efficacité simulé de cette antenne étant de 55%. Les niveaux mesurés sont conformes à la simulation.

Dans la partie suivante, nous étudions le cas de l'antenne Fente intégrée sur SOI. Nous montrons l'effet de différents paramètres de cette antenne sur son coefficient de réflexion. Ainsi nous présentons les mesures de coefficient de réflexion et de gain de l'antenne Fente

IV.5. Antenne fente

Les antennes uni planaires comme les boucles, Bow Tie, et les fentes alimentés par ligne coplanaires CPW sont employés couramment grâce à leurs grande flexibilité d'intégration avec des dispositifs passifs ou actives. L'avantage des antennes fentes alimentées par lignes coplanaires, sujet de cette partie d'étude, est la possibilité d'avoir une large bande passante et d'avoir différents types de diagrammes de rayonnement (uni ou bi directionnel et longitudinale, ...), avec des polarisations circulaire ou linéaires. Grâce à ces particularités, ces antennes fentes témoignent d'un grand intérêt parmi des chercheurs pour leur utilisation potentielle dans des applications à haute fréquence[IV.33].

La conception de ces antennes fentes commence par la conception des lignes coplanaires. Dans le chapitre II, nous avons expliqués la procédure utilisée pour concevoir des lignes coplanaires avec une impédance caractéristique de 50 ohms, ainsi que la méthode de test et de mesure[IV.35][IV.36].

Dans les parties suivantes, nous détaillons le principe de l'antenne fente ainsi que les différentes étapes de la conception de notre antenne intégrée sur SOI pour fonctionner dans la bande de 60 GHz.

IV.5.1. Etude paramétrique de l'antenne fente simple

L'antenne fente simple est une antenne planaire très populaire qui a été utilisée dans une grande variété d'applications. Elle se compose d'une fente repliée avec une circonférence égale à une longueur d'onde guidée (λ_g) [IV.37]. Dans le cas des antennes fentes, les lignes de champ électrique ne croisent pas verticalement le substrat comme dans le cas d'une antenne micro ruban, par contre lors d'une utilisation d'un plan de masse, les antennes fentes génèrent des modes microstrip, ce qui complique la procédure de conception de l'antenne fente.

Lorsqu'il s'agit d'un substrat de silicium à faible résistivité comme le CMOS, les champs électriques dans le CPW doivent avoir une interaction minimale avec le substrat massif, c'est pourquoi une couche épaisse de Polyimide peut être déposée pour réduire au minimum le couplage [IV.38]. Dans le cas de technologie SOI, la couche d'oxyde (de silice) affaiblit ce couplage.

De même que l'antenne dipôle, la longueur de l'antenne fente détermine sa résonance, la longueur de l'antenne fente (mode de résonance fondamental) est donnée par

$$[IV.19] \quad L = 0.48 * \lambda_g; \text{ ou } \lambda_g = \frac{c}{f \sqrt{\epsilon_{\text{reff}}}}$$

- L longueur à la première résonance
- λ_g est la longueur d'onde
- f est la fréquence d'opération
- c est la vitesse de lumière dans le vide, $c = 3 * 10^8$ m/s
- ϵ_{reff} est la permittivité effective du substrat

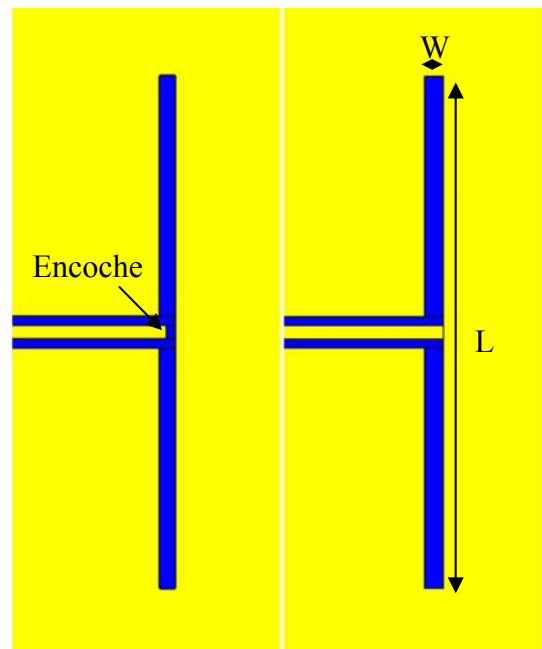


Figure IV.77 Antenne fente alimentée par ligne CPW
a) Fente capacitive b) Fente inductive

Même si la longueur de l'antenne fente détermine sa résonance, différents paramètres déterminent son impédance d'entrée. L'extrémité (encoche) du ruban central de l'alimentation de l'antenne détermine si l'antenne fente est plutôt inductive ou capacitive. La Figure IV.77 montre la géométrie de l'antenne fente. Dans la Figure IV.77 (a), nous présentons l'antenne capacitive, l'extrémité du ruban centrale n'est pas connectée au plan de masse de l'antenne. [IV.41] montre qu'en changeant la longueur de cette extrémité, l'impédance d'entrée de la fente diminue fortement en perturbant l'adaptation de l'antenne.

Pour étudier le comportement d'une fente inductive ou capacitive, nous prenons le cas d'une antenne fente intégrée en technologie SOI. L'antenne est imprimée sur la couche M6 d'épaisseur $0.96 \mu\text{m}$. La longueur prise pour l'antenne est de $1100 \mu\text{m}$ qui correspond à une demi de longueur d'onde guidée ($\lambda_g/2$). L'antenne est alimentée par une ligne coplanaire CPW ayant un ruban central de $29 \mu\text{m}$ et un espacement entre ce ruban et les deux plans de masse de $10 \mu\text{m}$.

La Figure IV.79 montre la partie imaginaire de l'impédance d'entrée de l'antenne fente simple. Les valeurs de l'impédance de l'antenne fente ayant une encoche non connectée au plan de masse sont capacitive (négative), d'où la notation antenne fente capacitive. De l'autre côté, pour le cas d'une encoche connectée, l'impédance est plutôt inductive (positive), ayant des valeurs proche de zéro. La Figure IV.78 montre la partie réelle de l'impédance d'entrée. La fente capacitive présente une forte résonance, avec des valeurs plus hautes de la partie réelle par rapport à la fente inductive.

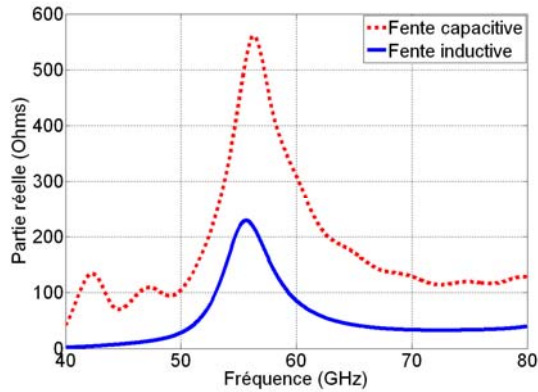


Figure IV.78 Partie réelle de l'impédance d'entrée d'une fente simple

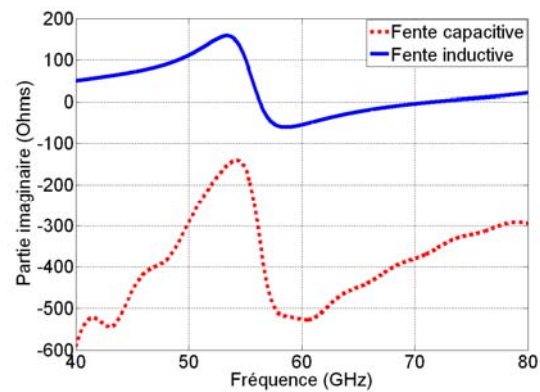


Figure IV.79 Partie imaginaire de l'impédance d'entrée d'une fente simple

L'adaptation d'impédance est difficile à trouver dans le cas de l'antenne capacitive, à cause d'une partie imaginaire trop basse. Pour cela, nous étudions seulement le cas des antennes fente inductives. Nous procédons à l'étude de l'influence de la largeur de la fente sur l'impédance d'entrée de l'antenne fente.

En augmentant la largeur de la fente de $W=25 \mu\text{m}$ à $W=45 \mu\text{m}$, les parties réelle et imaginaire de l'impédance d'entrée de l'antenne augmentent. Le problème est que, dans les trois cas, la partie réelle ait des faibles valeurs à la première résonance ce qui complique l'adaptation de la fente. Ces faibles valeurs de l'impédance d'entrée déjà présentes pour l'antenne dipôle.

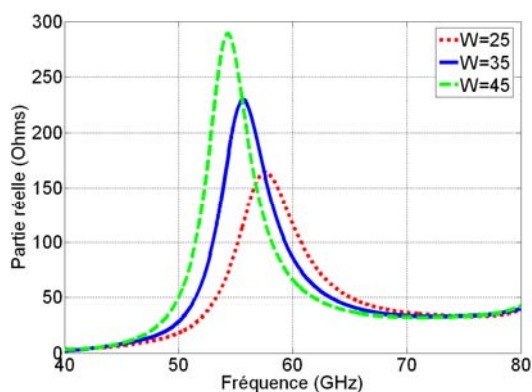


Figure IV.80 Evolution de la partie réelle d'impédance d'entrée d'une fente simple

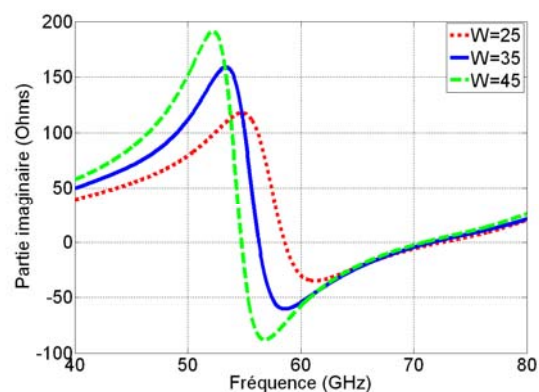


Figure IV.81 Evolution de la partie imaginaire d'impédance d'entrée d'une fente simple

La Figure IV.80 montre que la partie réelle de l'antenne fente, pour une largeur de $W=35 \mu\text{m}$, est de 4.3 ohms à la première résonance ($F=41 \text{ GHz}$). Par contre à la deuxième résonance ($F=57 \text{ GHz}$), cette impédance d'entrée est de 200 Ohms. Nous essayons de prendre avantage de cet effet pour parvenir à concevoir une antenne fente adaptée intégrée en technologie SOI dans la bande de 60 GHz.

IV.5.2. Antenne Double Fente

L'utilisation de l'antenne fente simple n'a pas aboutit à une bonne adaptation par rapport à l'impédance de 50 Ohms. Pour essayer de résoudre ce problème, nous optons pour une solution d'antenne double fente afin d'avoir une impédance d'entrée d'antenne proche de 50 Ohm.

Il est bien connu que l'impédance d'entrée de l'antenne dipôle constituée de N éléments est donnée par [IV.40].

$$[IV.20] Z_{in,N} = N^2 Z_{dipole}$$

Z_{dipole} étant l'impédance d'une antenne doublet dans l'air ($Z_{dipole} = 70 \text{ Ohms}$)

En utilisant le principe de Babinet [III.3][IV.40], une antenne fente de constituée de N éléments aurait alors une impédance d'entrée donnée par

$$[IV.21] Z_{in,N} = Z_{fente} / N^2$$

Z_{fente} étant l'impédance d'une antenne fente simple dans l'air ($Z_{fente} = 500 \text{ Ohms}$)

L'utilisation des fentes additionnelles nous permet de régler l'impédance de l'antenne sur une série étendue des fréquences de résonance, N ne doit pas être trop grand.

La Figure IV.82 montre l'architecture de l'antenne double fente.

Pour étudier l'effet des brins ajoutés et leurs connexions avec les plans de masse, nous prenons le cas d'une fente de longueur de 1100 μm et de largeur $W = 35 \mu\text{m}$. la largeur des brins ajoutés est de 10 μm et la distance entre les extrémités de brins ajoutés et le plan de masse p est de 10 μm .

Les Figure IV.83 et Figure IV.84 montrent la comparaison des impédances réelles et imaginaire de l'impédance d'entrée de l'antenne fente.

Avec une partie réelle presque divisée par 2 en comparant le cas d'une antenne fente simple et une antenne double fente court-circuitée. La conception de l'antenne finale est décrite dans la partie suivante.

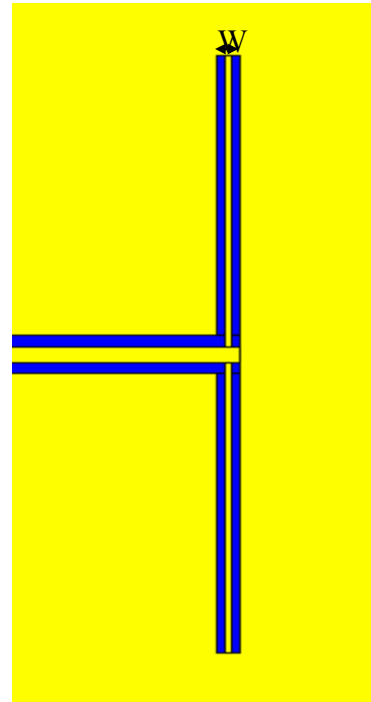


Figure IV.82 Antenne double fente inductive

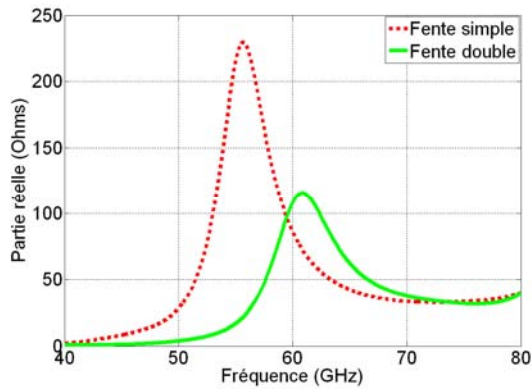


Figure IV.83 Comparaison de partie réelle d'impédance d'entrée d'une fente double

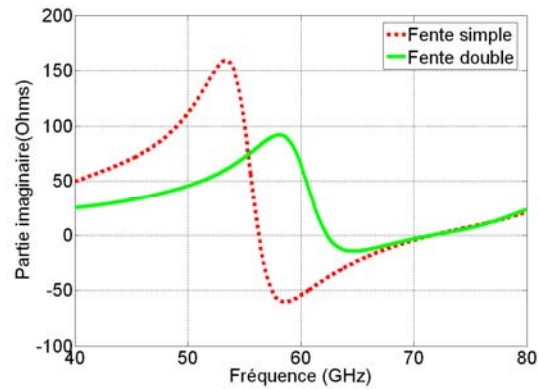


Figure IV.84 Comparaison de partie imaginaire d'impédance d'entrée d'une fente double

Finalement nous montrons l'effet de la face arrière métallisée, utilisée comme un plan réflecteur sur le rayonnement de l'antenne fente. Le gain absolu maximum simulé de l'antenne Fente sans plan réflecteur est de -3 dBi avec une efficacité de rayonnement de 15 %. Avec le réflecteur, le gain absolu est de -5.5 dBi avec une efficacité de rayonnement de 25 %.

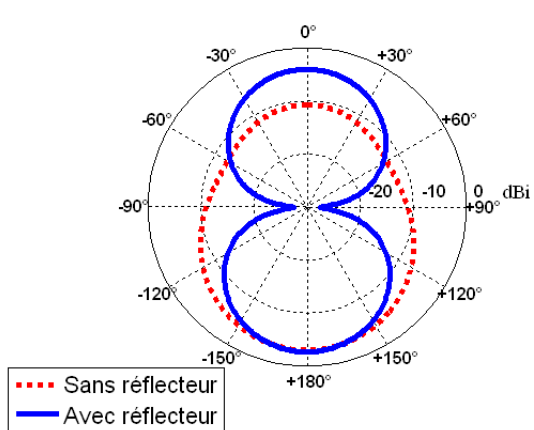


Figure IV.85 Diagramme de gain de l'antenne Fente, plan H

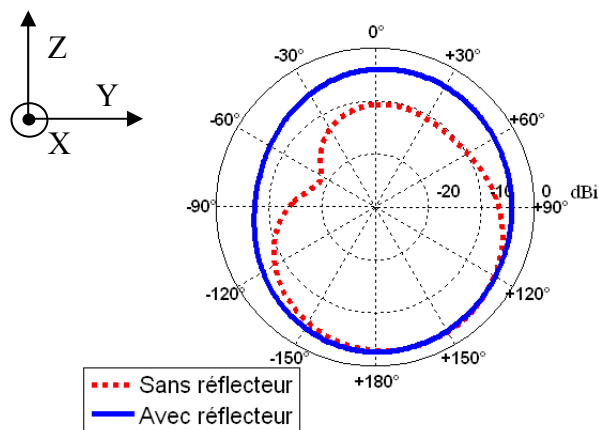


Figure IV.86 Diagramme de gain de l'antenne Fente, Plan E

IV.5.3. Antenne double fente en technologie SOI

L'étude de l'antenne double fente nous a aidés à concevoir l'antenne double fente finale sur SOI. La Figure IV.87 illustre la géométrie finale de l'antenne double fente intégrée sur la technologie 0.13 μm SOI de STMicroelectronics. Pour avoir une bonne adaptation de l'antenne, la largeur de la fente est variable ainsi le ruban central connecté au plan de masse. Le rapport de largeur est de 2:1. La longueur de l'antenne double fente finale est de 1200 μm . Sa largeur finale varie de 30 μm au centre de la fente jusqu'au 45 μm aux extrémités de la fente. Le substrat étant de 1*2 mm^2 .

La Figure IV.88 montre une comparaison du coefficient de réflexion simulé et mesuré de l'antenne double fente finale réalisée au niveau des plots RF. Une bonne adaptation est

retrouvée dans le cas simulé avec une bande passante de 5 % à 61 GHz. La concordance de coefficient de réflexion simulé et mesuré est observable avec un simple décalage de fréquence de résonance. Pour des fréquences supérieures, un faible coefficient de réflexion est retrouvé dans le cas mesuré.

Le coefficient de réflexion de l'antenne double fente est donné à l'entrée des plots radiofréquences. Pour avoir ce coefficient de réflexion à l'entrée de la fente (à la fin de la ligne coplanaire), une procédure d'épluchage (Deembedding) s'avère donc nécessaire. La procédure d'épluchage est exécutée de la manière suivante: premièrement l'antenne est mesurée au niveau des plots par le VNA ainsi les paramètres Y seront obtenues, ensuite les paramètres Y de la ligne CPW sont extraites des paramètres S (mesurés dans § Chap. II), finalement les paramètres Y au niveau de l'antenne fente sont soustraites simplement par l'équation [IV.22] pour avoir les paramètres S de l'antenne.

$$[IV.22] [Y_{Double\ Fente}] = [Y_{mesurés\ antenne+ligne\ CPW}] - [Y_{mesurés\ Ligne\ CPW}]$$

La Figure IV.89 présente la comparaison des coefficients de réflexion de l'antenne double fente avant et après épluchage. La procédure d'épluchage, dans notre cas, ne modifie pas trop le coefficient de réflexion de l'antenne. En plus lorsque nous comparons le coefficient de réflexion de l'antenne Fente simulé, après l'épluchage des paramètres Y de l'alimentation, nous retrouvons les même courbes de coefficient de réflexion mesuré obtenu après épluchage. Précisons que les lignes d'alimentation sont caractérisées dans le chapitre II. Les pertes dues à ces lignes sont de l'ordre de 1 dB.

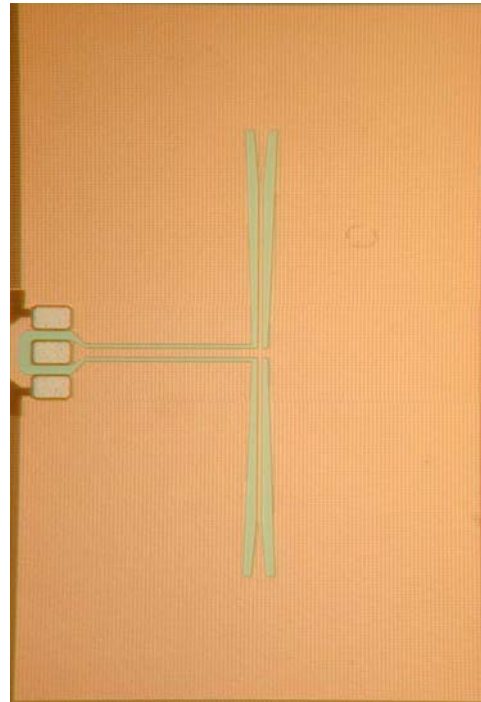


Figure IV.87 Antenne Double Fente intégrée sur SOI

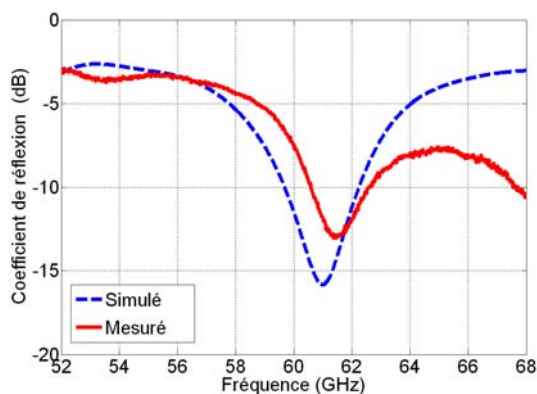


Figure IV.88 Comparaison de coefficient réflexion de l'antenne double fente

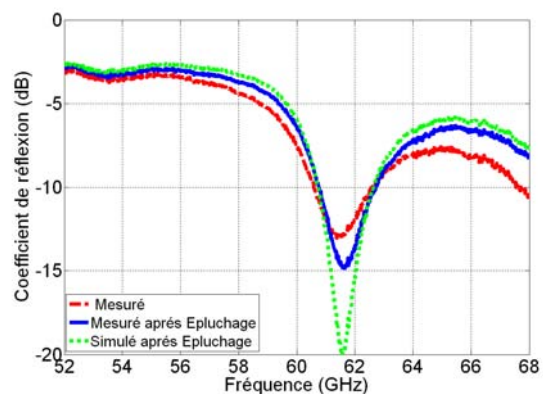


Figure IV.89 Comparaison de coefficient réflexion de l'antenne double fente avant et après épluchage

IV.5.4. Etude de rayonnement de l'antenne fente

En appliquant la même méthode de mesure utilisée dans les parties précédentes (§ IV.3) pour mesurer le diagramme de rayonnement de l'antenne dipôle interdigitée, nous allons mesurer le diagramme de rayonnement de l'antenne Fente. L'antenne Fente est montée sur un dispositif de test, Figure IV.33, afin que nous puissions mesurer le diagramme de rayonnement. Premièrement, nous mesurons les paramètres S de l'antenne Fente avec le support coaxiale, nous procédons à la méthode d'épluchage expliquée dans § IV.3 pour essayer d'extraire les paramètres S de l'antenne Fente et les comparer avec les mesures sous pointes.

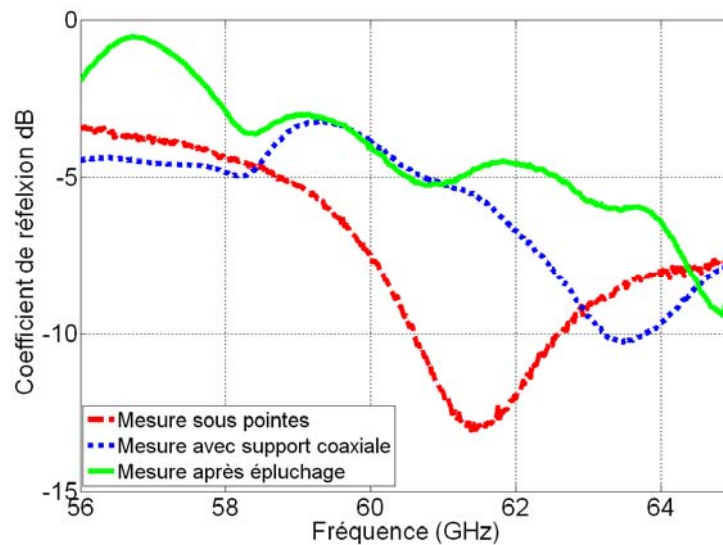


Figure IV.90 Comparaison de coefficients de réflexion de l'antenne Fente

La Figure IV.90 illustre la comparaison de coefficient de réflexion de l'antenne Fente dans les trois cas de mesures différentes : La mesure sous pointes de l'antenne seule, la mesure de l'antenne avec le support coaxiale, et finalement la mesure de l'antenne seule après épluchage. Avec le support coaxial, une dégradation de coefficient de réflexion et un décalage de fréquence de résonance sont obtenus. Même avec la procédure d'épluchage, nous n'avons pas réussi à retrouver le coefficient de réflexion obtenue en mesure sous pointe. Cette dégradation peut être due au support de mesure, aux imprécisions de mesure de support déjà discutées dans § IV.2 où à une excitation des modes parasites (§ chapitre III) qui changent les paramètres de substrat et affectent le coefficient de réflexion de l'antenne.

En suite, nous continuons l'étude de rayonnement par la mesure de diagramme de gain de l'antenne Fente. La méthodologie expliquée dans § IV.3 est utilisée de nouveau. Notre générateur de signal SMIQ est limité à 5 GHz, nous avons choisi de prendre les mesures de gain à 60 GHz, en s'autorisant d'un niveau d'adaptation faible.

Pour l'antenne Fente, la notation utilisée pour décrire les champs électriques et le plan de coupe E et H, est l'inverse de cas de dipôle (Figure IV.91). Ainsi le plan de coupe H devient le plan de coupe E, de même pour le plan E qui devient le plan H.

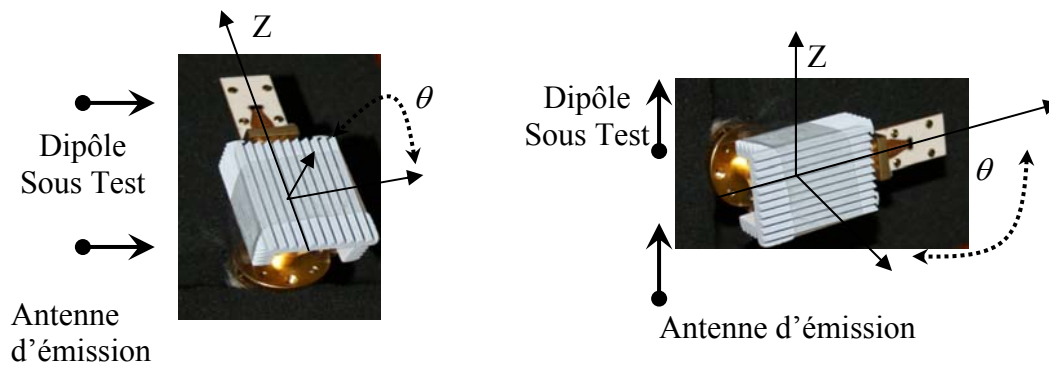


Figure IV.91 Plans de coupe de l'antenne Fente

(a) Plan H

(b) Plan E

Tout d'abord, nous présentons les diagrammes de gain mesurés au niveau du dispositif de test ; Ensuite, nous exposons les diagrammes de gain au niveau de substrat SOI obtenu après le fonction de transfert (§ IV.3.3.1).

La Figure IV.92 montre le diagramme de gain de l'antenne Fente pour le plan H. En effet, nous remarquons bien l'effet de changement de plan de coupe pour l'antenne Fente, nous disposons, dans le cas des antennes IFA et dipôle, d'un plan E presque constant avec un affaiblissement dans le diagramme de gain à un intervalle plus grand que 45 degrés. Pour l'antenne Fente, et plus spécialement pour le plan H nous retrouvons ces mêmes caractéristiques de rayonnement correspondant au plan E des antennes IFA et dipôle. La Figure IV.93 montre la comparaison de diagramme de gain simulé et mesuré de l'antenne Fente pour le plan de coupe E.

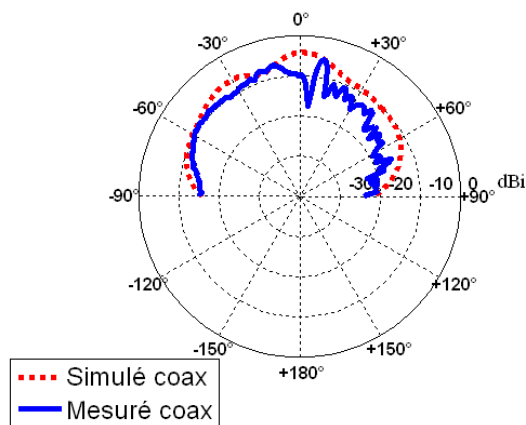


Figure IV.92 Diagramme de gain de l'antenne Fente Plan H

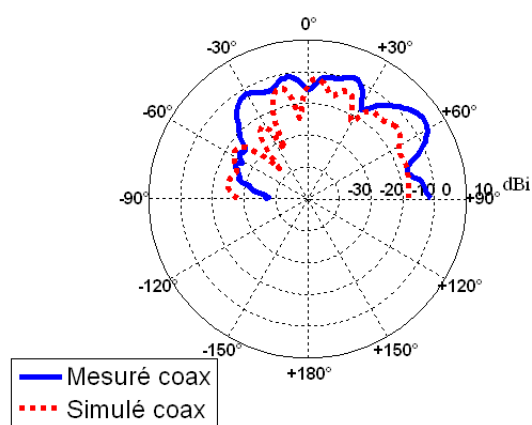


Figure IV.93 Diagramme de gain de l'antenne Fente Plan E « même polarisation »

La Figure IV.94 montre la comparaison entre les diagrammes de gain simulés et mesurés (après extraction) de l'antenne Fente pour le plan de coupe H. Nous retrouvons la même allure de diagramme de gain. Le maximum de gain mesuré est de -6 dBi pour -5 dBi pour le gain simulé. L'efficacité de rayonnement simulée à 60 GHz de cette antenne est faible, de l'ordre de 25 %, ce qui explique un gain assez faible. Par contre Pour le plan E, le diagramme de gain comporte des pics de gain (Figure IV.95). Ces pics de gain sont dus aux

fluctuations (des trous et des pics) de diagramme de gain simulé (Figure IV.93). Ces résultats montrent une nouvelle fois les limites de la technique de mesure utilisée.

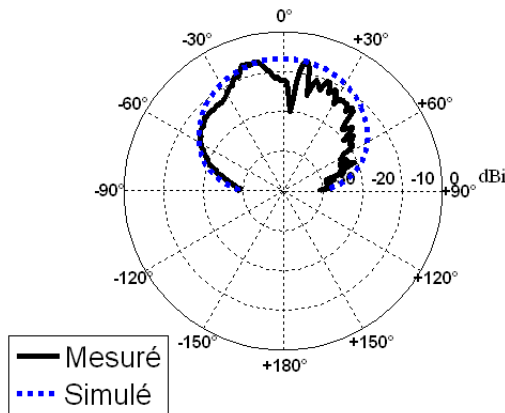


Figure IV.94 Diagramme de gain de l'antenne Fente au niveau de substrat SOI, Plan H

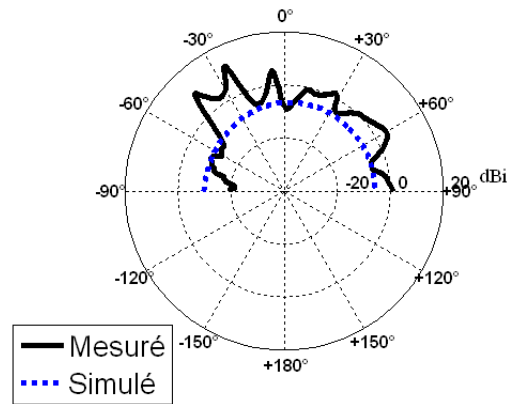


Figure IV.95 Diagramme de gain de l'antenne Fente au niveau de substrat SOI, Plan E

Dans la partie suivante, nous étudions le cas de l'antenne spirale intégrée sur SOI. Nous expliquons l'effet de différents paramètres géométriques de cette antenne sur son coefficient de réflexion. Nous détaillons les différents types d'alimentation et leurs effets sur le coefficient de réflexion de l'antenne spirale.

IV.6. Antenne Spirale

La nécessité de trouver des dispositifs qui communiquent avec des orientations quelconques et changeantes l'un par rapports à l'autre nous ramène à trouver des structures d'antenne optimisées afin de permettre la conservation d'un bilan de transmission aussi constante que possible. Ces antennes rayonnantes dans toutes les directions peuvent être désignées sous le nom d'antenne quasi isotrope où antennes à couverture large[IV.42].

Une des simplifications de ces antennes isotropes est L'antenne spirale. Sa large bande passante combiné avec son profil bas font d'elle une candidate idéale pour l'utilisation avec les sondes et les applications mobiles[IV.43].

Pour les antennes à polarisation circulaire, le rapport axial est souvent pris comme étant un critère d'évaluation de la qualité de l'antenne. Une mauvaise alimentation, des rayonnements d'ordres supérieurs ou leur combinaison contribuent à la dégradation des performances de ces antennes[IV.43].

Dans cette partie, nous présentons une implémentation d'une antenne spirale archimédienne intégrée en SOI. Premièrement, nous décrivons la théorie de l'antenne spirale nécessaire pour avoir des bonnes propriétés de rayonnement. Ensuite, les paramètres de l'antenne spirale sont décrits. L'effet des paramètres géométriques est étudié dans le cas d'une intégration en technologie SOI.

Après la présentation de l'antenne, la structure spécifique d'alimentation est étudiée. La structure d'alimentation est composée d'une transition entre l'alimentation coplanaire, un Balun, un ruban coplanaire et une structure de ruban coplanaire archimédien. Finalement, les résultats simulés de coefficient de réflexion, du rapport axial et de diagramme de gain sont proposés. L'antenne est en cours de réalisation, nous attendons la réception de ces antennes pour la mesure et la validation des résultats obtenues par simulation.

IV.6.1. Théorie de l'antenne spirale[IV.43]

Parmi les différentes configurations de l'antenne spirale, seulement trois structures ont reçu une attention soutenue : la spirale logarithmique ou équiangulaire, la spirale rectangulaire archimédienne et la spirale archimédienne ou arithmétique, sujet de notre étude. L'élément rayonnant peut être constitué d'un ou deux brins pour former des spirales simple ou double[IV.45][IV.44]. L'antenne double spirale présente des meilleures caractéristiques que l'antenne simple. En augmentant la fréquence, la taille physique de l'antenne duale diminue pour compromettre les performances globales de l'antenne. Une fois que ces antennes sont excitées par des lignes de transmissions équilibrées, ces configurations (double ou simple) exhibent des caractéristiques de large bande en termes d'impédance d'entrée, de diagramme de rayonnement et de la polarisation circulaire de champ rayonné.

Pour la détermination d'une structure d'alimentation externe de l'antenne, la distribution de courant et le mécanisme de rayonnement de la spirale, alimentée au centre, doivent être choisis avec précaution. En effet, en se basant sur la théorie de la bande[IV.43], une phase propre des lignes d'alimentation peut être dérivée. La théorie de bande affirme que le rayonnement de l'antenne spirale archimédienne se produit lorsque les distributions de courants dans des brins adjacents de spirale sont en phase. Les courants entre ces brins adjacents sont en phase, suite à leur déplacement d'une certaine longueur de bras par rapport au centre de la spirale[IV.43].

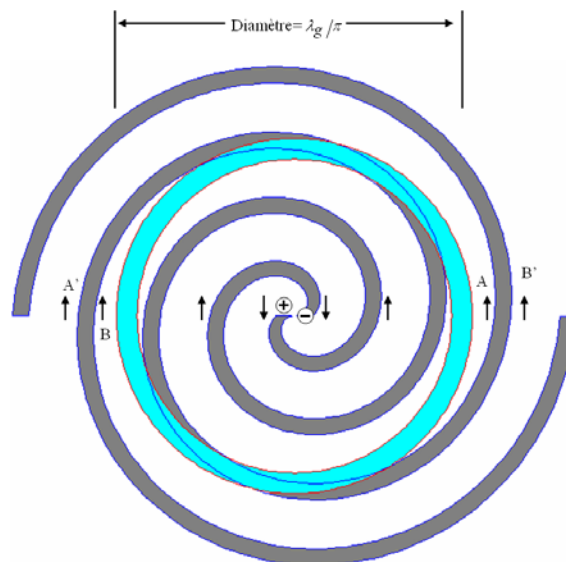


Figure IV.96 Distribution de courant dans une antenne spirale

La Figure IV.96 montre que les courants dans les brins opposés, illustrés par des flèches comme étant le vecteur courant, sont en phase grâce à l'alimentation déphasée au

centre des brins, tournant en direction opposé. Par conséquent, En position « A » et « B », les courants sont en phase. Le courant en position B' est en phase avec le courant en position B, si la longueur de brin entre A et B est une demi-longueur d'onde. En suivant ce raisonnement, nous pouvons dire qu'il y a une gamme de largeur fini, ayant un diamètre moyen de λ_g/π , dans laquelle la distribution de courant dans des conducteurs adjacents est en phase, ou presque.

Ce mode est le mode normal ou fondamental, et c'est dans ce mode que presque toutes les antennes spirales sont conçues pour être opérationnels[IV.44].

Dans chaque groupe des éléments à courant différentiel, présent à l'intérieur de la bande de rayonnement et dans un diamètre, Il existe un groupe correspondant, qui est en quadrature en temps et en espace du premier, c'est pourquoi le rayonnement est de polarisation circulaire.

En résumé la bande de fréquence d'utilisation d'une antenne spirale a sa borne supérieure liée à la dimension de la zone d'alimentation et sa borne inférieure est liée à la longueur des brins rayonnants. Si ces derniers sont courts par rapport à la longueur d'onde, le courant à l'extrémité n'aura pas été assez atténué par suite du rayonnement. Cela entraînera la formation d'un courant réfléchi donnant des interférences avec le courant incident. Le courant réfléchi donne lieu à un rayonnement à polarisation circulaire de sens inverse à celui qui correspond au courant incident. Dans ce cas, l'antenne rayonne une onde polarisée elliptiquement et les caractéristiques de rayonnement sont alors variables avec la fréquence. Le sens de la polarisation du champ rayonné par l'antenne correspond au sens d'enroulement des brins, donc au sens de parcours de l'onde le long des brins.

IV.6.2. Paramètres de l'antenne spirale

Chaque brin d'une antenne spirale archimédienne est linéairement proportionnel à l'angle θ , et est décrit par les équations suivantes

$$[\text{IV.22}] r = r_0\theta + r_i$$

Et

$$[\text{IV.23}] r = r_0(\theta + \theta_0) + r_i$$

Où r et θ sont les coordonnées polaires conventionnelles
 r_0, θ_0 et r_i sont des constantes.

La largeur de brin de spirale w est déterminé par la multiplication de r_0 et θ_0 . L'effet de ce terme est étudié dans les parties suivantes par rapport au coefficient de réflexion et au rapport axial. Généralement, le deuxième conducteur (brin) est produit en tournant le premier conducteur de 180 degrés par rapport à l'origine.

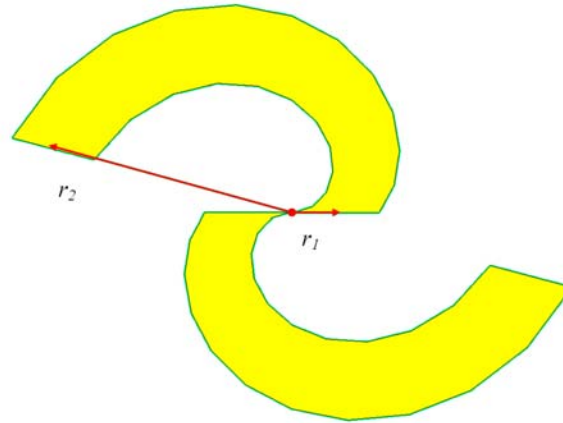


Figure IV.97 Antenne spirale sans structure d'alimentation

La bande de fréquence d'utilisation d'une antenne spirale à sa borne inférieure est déterminé théoriquement par le rayon externe r_2 (Figure IV.97) et est donné par [IV.45]

$$[IV.24] f_{Low} = \frac{c}{2\pi r_2 \sqrt{\epsilon_{reff}}} \quad (3)$$

Où c est la vitesse de lumière

ϵ_{reff} est la permittivité effective de substrat SOI

De la même façon, la borne supérieure de la fréquence d'utilisation est basée sur le rayon interne r_1 donnant [IV.45]

$$[IV.25] f_{High} = \frac{c}{2\pi r_1 \sqrt{\epsilon_{reff}}} \quad (4)$$

L'impédance d'entrée de l'antenne spirale est affaiblie à cause du substrat SOI. Pour surmonter ce problème, l'antenne est imprimée sur les six couches de cuivre, connectés par des vias métalliques, ainsi que sur la couche d'Alucap. D'où l'objectif d'optimiser les paramètres de l'antenne spirale pour assurer une bonne adaptation à une entrée de 50 Ohms.

Comme nous avons mentionné, les rayons internes et externes de l'antenne spirale contrôle sa bande passante. La largeur des brins est optimisée pour avoir une quasi adaptation à -10 dB. La Figure IV.98 montre le coefficient de réflexion simulé de l'antenne spirale archimédien. Même si nous utilisons les six couches de cuivre (M1-M6) et la couche d'Alucap pour l'intégration de l'antenne sur SOI (épaisseur totale de conducteur de $\sim 6\mu\text{m}$), l'impédance d'entrée est faible, et par conséquent le coefficient de réflexion supérieur à 7 dB dans la bande passante de spirale avec 50 μm de largeur de brins. En augmentant la largeur des bras de 50 μm à 150 μm , nous avons réussi à optimiser le coefficient de réflexion et améliorer l'adaptation. Notons que le rayon interne n'a pas changé autant, ce qui le non changement de la borne supérieure de la bande passante opérationnel.

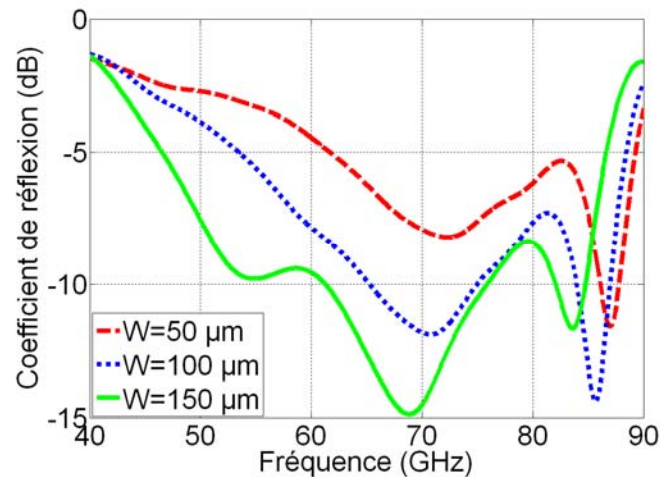


Figure IV.98 Coefficient de réflexion de l'antenne spirale : Changement de largeur de brins

Le deuxième paramètre critique, étudié soigneusement pendant la conception de l'antenne spirale, est le rapport axial. Celui-ci caractérise la polarisation circulaire de rayonnement. Un rapport axial égale à 0 est parfait ; un rapport axial de -5 dB est acceptable selon les applications.

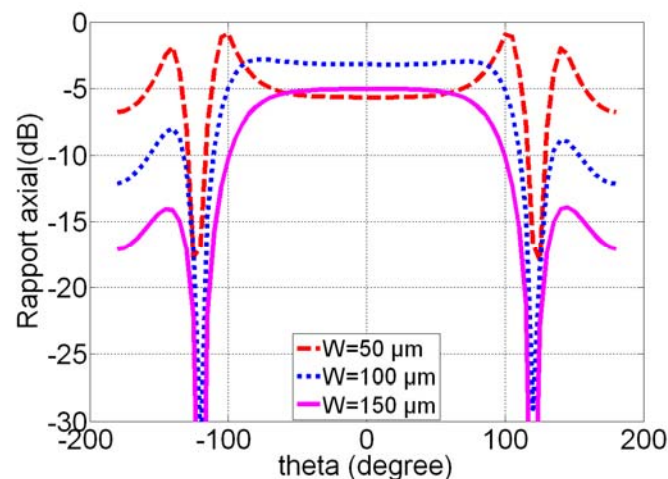


Figure IV.99 Rapport axial de l'antenne spirale : Changement de largeur de brins

L'effet du changement de largeur de brin sur le rapport axial est étudié. La Figure IV.99 présente le rapport axial à 60 GHz attribué à différentes largeurs de brins de l'antenne spirale, le même balayage de largeurs est utilisé lors de l'étude de coefficient de réflexion exposé dans la Figure IV.98. Nous observons que le rapport axial est : inférieur à -5 dB pour les trois différentes largeurs, quasi constant pour une intervalle d'angle d'élévation de 120°.

IV.6.3. Alimentation de l'antenne spirale

Le dispositif d'alimentation est un des problèmes essentiels que rencontre le concepteur des antennes spirales. Le fonctionnement de l'antenne spirale, dans son mode

fondamental, est postulé sur la base d'une structure idéale et équilibrée de deux fils d'alimentation. Plusieurs structures d'alimentation sont proposées dans la littérature, [IV.46] a utilisé une alimentation externe avec un Balun micro ruban intégré pour surmonter le problème d'alimentation centrale ; [IV.47] a utilisé un circuit du balun intégré sur un substrat perpendiculaire à la spirale pour assurer l'alimentation au centre de spirale ; [IV.48] a utilisé une cavité arrière avec une alimentation coaxiale positionné verticalement sous le plan de la spirale pour réaliser une alimentation équilibrée ; Finalement [IV.51] a utilisé un Balun radiofréquence, intégrée sur une autre substrat qui est placé au dessus de l'antenne spirale. Notons que la structure d'alimentation (Figure IV.100) est parfois aussi encombrante que l'antenne elle même.

Dans notre cas, nous prenons avantage du balun conçu par [IV.51], pour implémenter le balun intégrée sur le même substrat SOI. Il constitue le premier bloc de notre circuit d'alimentation.

Le circuit d'alimentation est composé de :

- Un plot radiofréquence, utilisé comme une interface entre la sonde de mesure sous pointes et l'antenne.
- Une Transition de ligne coplanaire CPW à ruban coplanaire CPS, contenant un balun qui a pour but d'optimiser l'alimentation et la rendre équilibrée.
- Un ruban coplanaire qui joue l'interface entre le balun et le ruban coplanaire spirale.
- Un ruban coplanaire spiral forme l'alimentation déphasée de l'antenne double spirale archimédienne

Le principe du balun, composé de la ligne coplanaire et du ruban coplanaire séparés par une fente radiale et de liaisons métalliques enterrées (underpath), est expliqué dans la première partie de ce chapitre.

La structure de ruban planaire est conçue attentivement pour garantir une alimentation équilibrée pour l'antenne, en termes d'adaptation d'impédance et en termes de géométrie. En fait, si nous utilisons le même ruban coplanaire avec les mêmes paramètres (largeur des rubans et espacement), mais avec une configuration transverse (le ruban CPS est choisi pour être perpendiculaire au ruban CPS proposé et illustré sur la Figure IV.100, c'est à dire dans la direction Y), le coefficient de réflexion est changé, et le rapport axial est fortement perturbé. Cette position est choisie suite à une série d'optimisation. Nous avons essayé d'intégrer le ruban CPS d'alimentation sous les brins de spiral, incorporé sur la première couche de la technologie SOI. Le résultat est la présence de différentes résonances, une modification de coefficient de réflexion et une forte dégradation du rapport axial de diagramme de rayonnement.

En se basant sur cette étude, nous avons choisi d'alimenter l'antenne par un ruban coplanaire spirale, placé à l'intérieur des brins de l'antenne double. Cette configuration est choisie pour limiter les modifications de rayonnement. En Effet, Pour que L'antenne rayonne correctement, son diamètre doit être plus grand que λ_g/π . Le diamètre de ruban coplanaire est choisi plus petit que λ_g/π , ainsi nous n'obtenons pas de rayonnement parasite qui s'oppose au premier mode de rayonnement de l'antenne spirale.

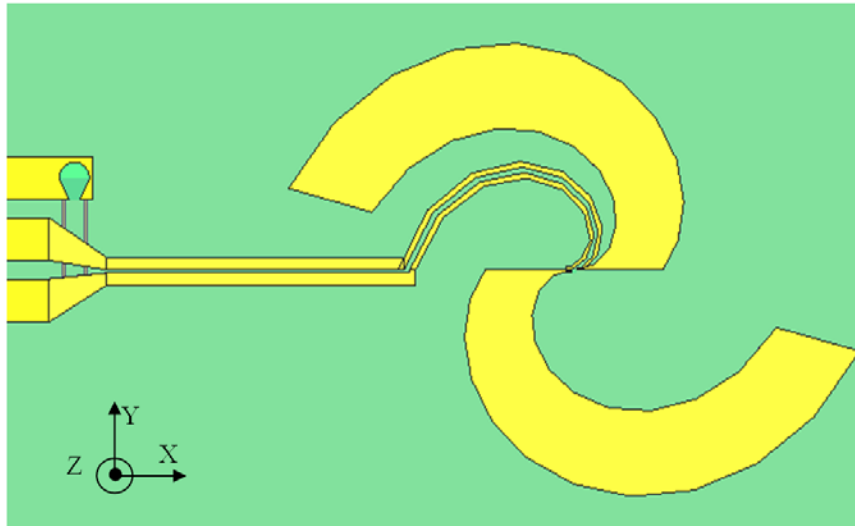


Figure IV.100 Schématisation de l'antenne spirale archimédienne double avec sa structure d'alimentation

La deuxième étape d'évaluation de l'antenne spirale est l'étude de l'effet du système d'alimentation incorporé à l'entrée de l'antenne. La Figure IV.101 présente le coefficient de réflexion de l'antenne spirale avec un système d'alimentation pour des différentes largeurs. Une bonne adaptation est trouvée pour l'antenne spirale avec des largeurs de $50\mu\text{m}$ et de $100\mu\text{m}$. L'antenne spirale avec une largeur de $150\mu\text{m}$ propose un meilleur coefficient de réflexion avec -15 dB à 60 GHz .

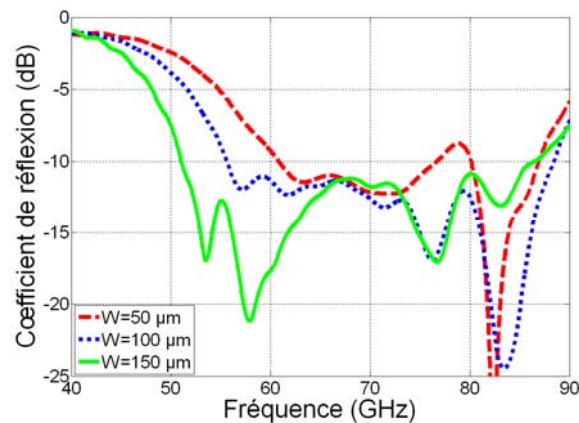


Figure IV.101 Coefficient de réflexion de l'antenne archimédienne incorporant la structure d'alimentation

D'autre part, le rapport axial n'est pas identique pour les différentes largeurs de brins de spirales. La Figure IV.102 montre la détérioration de rapport axial à 60 GHz . Avec une largeur de $50\mu\text{m}$, le rapport axial est inférieur à -15 dB dans un intervalle d'angle élévation de -120° , ce rapport diminue avec une largeur de $100\mu\text{m}$ pour arriver à presque -3 dB dans le cas d'une antenne spirale avec une largeur de $150\mu\text{m}$. A 75 GHz , le rapport axial est acceptable pour la largeur de brins de $50\mu\text{m}$. Nous avons choisis la largeur de brins de $150\mu\text{m}$ pour la conception finale de l'antenne. En plus, la performance de rapport axial de spirale de largeur de brins de spirale de $150\mu\text{m}$ est constante indépendamment de la fréquence pour la bande de 55 à 65 GHz . La Figure IV.103 montre que nous obtenons un rapport axial de l'ordre de -5 dB pour des différentes fréquences.

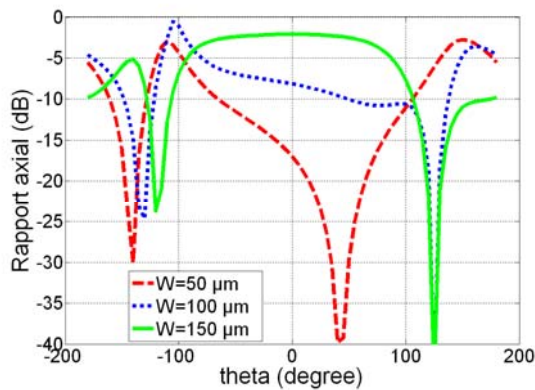


Figure IV.102 Rapport axial de l'antenne spirale avec la structure d'alimentation : Changement de largeur de brins

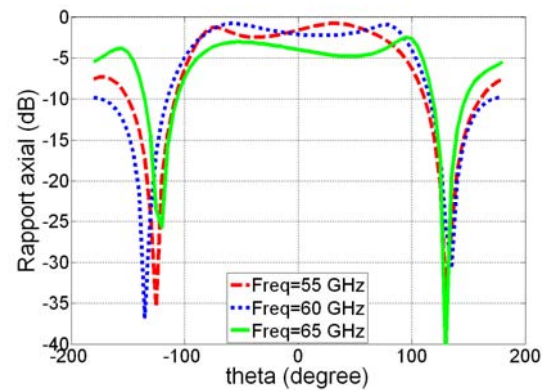


Figure IV.103 Rapport axial de l'antenne spirale avec la structure d'alimentation : Changement de fréquence

IV.6.4. Technologie Utilisée pour l'intégration

Comme nous avons expliqué dans les chapitres précédents, Le substrat SOI est constitué de six couches métalliques de couche d'oxyde enterré et finalement une couche de passivation. Lorsque ses couches métalliques ne sont pas utilisées, elles sont remplacées par de la silice. En utilisant la technologie SOI, des règles de conception sont imposées pour respecter les règles de design (Design Rules Check, DRC), Parmi ces règles, nous mentionnons les suivantes :

- Dans la technologie SOI, une couche active de silicium à faible résistivité est utilisée pour assurer le bon fonctionnement de transistors. Dans le cas de non utilisation de cette couche, elle est remplacée par des îlots actifs de silicium.
- La deuxième règle est que nous devons respecter un maximum de largeur pour des structures métalliques. Pour respecter cette condition, des trous sont créés dans les brins de spirale. Ces trous sont remplacés par de la silice.
- La troisième règle de conception est la limite de densité de métaux. La technologie SOI impose que la densité de métaux dans un niveau de couche doit être entre 20% et 80% par rapport à la surface globale de substrat. La conception des îlots passifs (métalliques) devient donc nécessaire.
- Les courbures ne sont pas tolérées par les règles de dessins. Pour cela, ces courbures sont remplacées par des petites lignes ayant des angles de valeurs de 45° et de 90°.

Dans le chapitre III, nous avons étudié l'effet des dummies en utilisant un modèle dérivé du modèle de Tretyakov pour des surfaces capacitives. Cette étude théorique a montré que les dimensions technologiques des dummies ne doivent pas perturber le fonctionnement de l'antenne spirale à 60 GHz. Précisons que cette étude est une prédiction théorique et seulement la mesure peut valider nos estimations.

Le layout de l'antenne spirale avec les dummies est présenté dans la Figure IV.104. L'antenne est conçue en utilisant le logiciel Cadence qui est compatible avec les règles de conception. Pour le dessin de spirales, nous étions obligés de respecter les conditions d'angle,

spécialement avec une antenne basée sur les angles. Les dummies sont illustrés en vert dans la Figure IV.104.

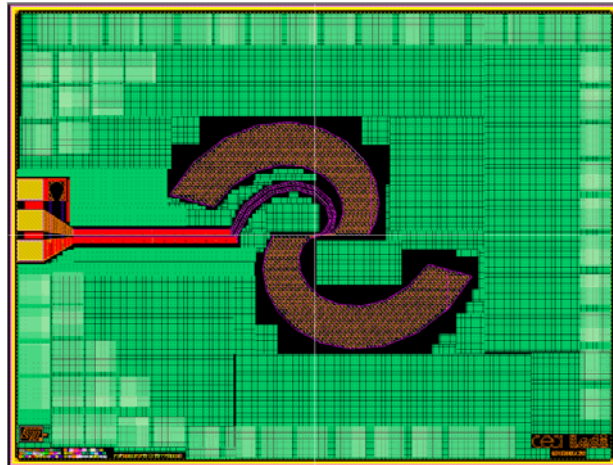


Figure IV.104 Schématisation de l'antenne double spirale avec dummies après cadence

IV.6.5. Diagramme de Rayonnement

Les antennes planaires spirales classiques, rayonne selon deux larges lobes, dont leurs directions sont perpendiculaires au plan de l'antenne. Cependant, pour notre application nous préférons un diagramme unidirectionnel. Une cavité arrière est parfois utilisée pour rediriger le rayonnement. Nous avons préféré utiliser une face arrière métallisée qui peut être utilisée comme un réflecteur pour le rayonnement. Dans le même temps, cette face arrière métallisée réduit le couplage intra ruban et élimines le mode guide d'onde parasite TE_0 . L'efficacité de rayonnement simulé est augmenté (82%) avec un gain de 4.2 dBi par rapport à une antenne spirale sans la face arrière métallisée.

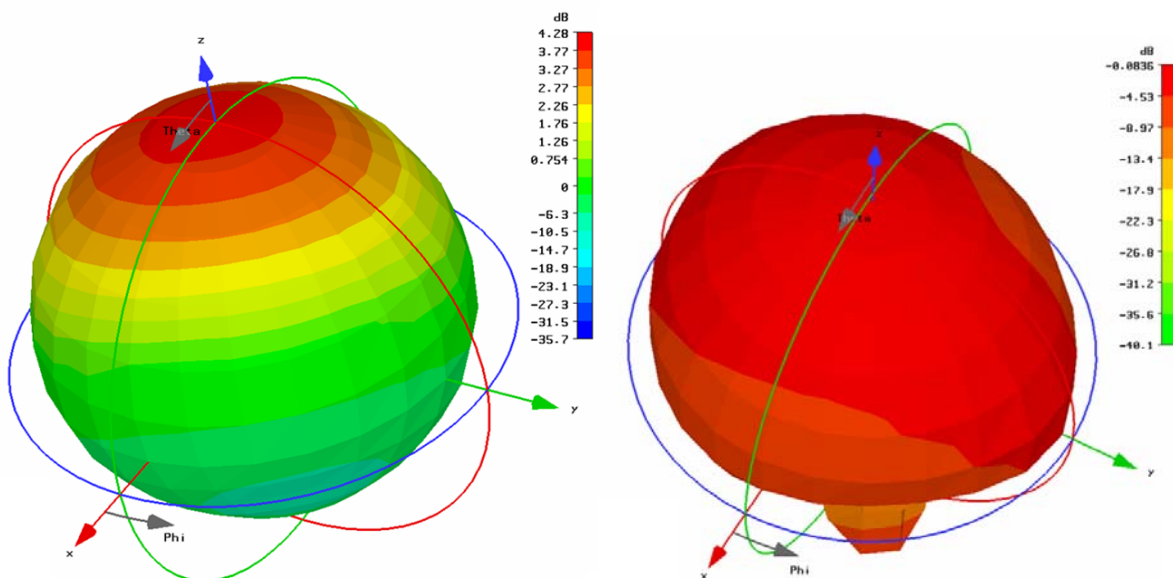


Figure IV.105 Diagramme de rayonnement de l'antenne spirale

Figure IV.106 Diagramme 3D du rapport axial de l'antenne spirale

Dans cette partie, nous avons présenté les différentes phases de conception de l'antenne archimédien double spirale intégrée sur SOI dans la bande de 60 GHz. A 60 GHz, l'antenne exhibe un coefficient de réflexion de 15 B avec une bande passante à -10 dB de 35 GHz. Une très bonne polarisation circulaire avec un rapport axial plus petit que 5 dB est retrouvée. Cette antenne est une partie de la conception monolithique de la technologie SOI qui va aboutir à la conception de cette antenne avec un amplificateur de faible bruit à 60 GHz.

Cette antenne est en réalisation. Les retards, dus à la conception, nous empêchent de présenter les résultats de mesure non réalisés.

IV.7. Conception conjointe de l'amplificateur faible bruit et l'antenne

L'amplificateur faible bruit (LNA) est le premier étage d'un récepteur radiofréquence et est situé juste après l'antenne. Son rôle est d'amplifier le signal de façon à réduire l'effet de la dégradation du rapport signal à bruit causé par les circuits qui le suivent dans la chaîne de réception et qui sont classiquement bruyants. Cette amplification doit être effectuée en rajoutant le moins de bruit possible aux très faibles signaux reçus par l'antenne.

L'élaboration des amplificateurs faible bruit (LNA) constitue un véritable défi pour les concepteurs. Pour garantir un bon fonctionnement, le LNA doit être adapté en puissance avec une impédance d'entrée stable. En plus, il est nécessaire de minimiser le bruit de l'amplificateur, tout en fournissant un niveau de gain suffisant avec une relativement bonne linéarité et tout en adaptant l'entrée de l'amplificateur à une impédance stabilisée de 50 Ω . A ces contraintes déjà difficiles à satisfaire, s'ajoute aussi la nécessité d'une basse consommation du LNA pour les systèmes embarqués. Par conséquent, Il est clair que le respect simultané de toutes ces conditions conduit à des compromis délicats à trouver.

L'adaptation par inductance de source dégénérée est très populaire pour les LNA dans de nombreuses filières (HEMT, HBT, MOS...), car elle permet d'obtenir à la fois une très bonne adaptation en bruit et en puissance [II.36]. Cependant, il est nécessaire de disposer d'inductances (ou de lignes à haute impédance) de très bonne qualité pour que cette technique soit performante[IV.54]. Dans le chapitre II, nous avons montré que les lignes coplanaires CPW intégrées sur des substrats SOI à haute résistivité présentent le moins de pertes, c'est pourquoi nous avons choisi d'utiliser ces lignes CPW. Un modèle de ligne coplanaire a été développé pour une utilisation des lignes CPW dans un environnement Cadence [IV.52]. Nous avons utilisé ce modèle pour la conception de LNA.

Dans une optique de démonstrateur intégré, une conception conjointe avec une antenne intégrée permettant de s'affranchir de la contrainte 50 Ohms est conduite.

L'objectif est de concevoir d'une manière conjointe sur une même puce un LNA et une antenne. Le but final est de supprimer le réseau d'adaptation entre l'antenne et le LNA pour supprimer le bruit ajouté par ce réseau sur le facteur de bruit globale de LNA. Une antenne est alors conçue pour réaliser la conception conjointe. L'impédance d'entrée de cette antenne est choisie afin d'optimiser l'adaptation en bruit et en puissance du LNA conçu sur SOI.

IV.7.1. Caractéristiques de l'amplificateur Faible bruit

IV.7.1.1. Technologie Utilisé

La technologie utilisée est la technologie HCMOS9 SOI de STMicroelectronics de 0.13 μ m.

IV.7.1.2. Le bruit dans les quadripôles : éléments de théorie

Le facteur de bruit d'un quadripôle est entièrement décrit par ses quatre paramètres de bruit NF_{\min} , R_n , G_{opt} , et B_{opt} qui sont liés par les relations suivantes [IV.54][IV.24][IV.24] :

$$[IV-26] Y_{Opt} = G_{Opt} + jB_{Opt}$$

$$[IV-27] NF_{(Y_G)} = NF_{\min} + R_n \frac{|Y_{Opt} - Y_G|^2}{\text{Re}(Y_G)}$$

$$[IV-28] NF_{(Y_G)} = NF_{\min} + 4.R_n \frac{|\Gamma_G - \Gamma_{Opt}|^2}{(1 - |\Gamma_G|^2)(1 + |\Gamma_{Opt}|^2)}$$

Avec $[IV-29] Y_G = \frac{1 - \Gamma_G}{1 + \Gamma_G}$ et $Y_{Opt} = \frac{1 - \Gamma_{Opt}}{1 + \Gamma_{Opt}}$

Où NF_{\min} est le facteur de bruit minimal, R_n est la résistance de bruit équivalente, Y_{Opt} est l'admittance de source correspondant à l'adaptation en bruit du quadripôle pour laquelle $NF = NF_{\min}$. Les coefficients de réflexion Γ_G et Γ_{Opt} sont associés aux admittances Y_G et Y_{Opt} . Si le quadripôle n'est pas adapté en bruit (i.e. $Y_G \neq Y_{Opt}$), la différence $NF_{(Y_G)} - NF_{\min}$ est proportionnelle à R_n . R_n est le facteur de désadaptation en bruit qui traduit la sensibilité du quadripôle par rapport à l'impédance d'entrée.

En règle général, l'adaptation des entrées des amplificateurs a été optimisée en bruit, afin d'obtenir un facteur de bruit le plus proche possible du NF_{\min} . Néanmoins, un compromis a été trouvé de sorte que l'adaptation en puissance soit aussi satisfaisante. Cette dernière remarque est importante. En effet, l'entrée des amplificateurs ne peut pas être chargée avec plusieurs lignes et stub (qui donnerait plusieurs degrés de liberté), car celui ci dégrade le facteur minimal de bruit. Par ailleurs, il est nécessaire d'éviter l'utilisation de lignes de faible impédance à l'entrée, car elles présentent des pertes très élevées.

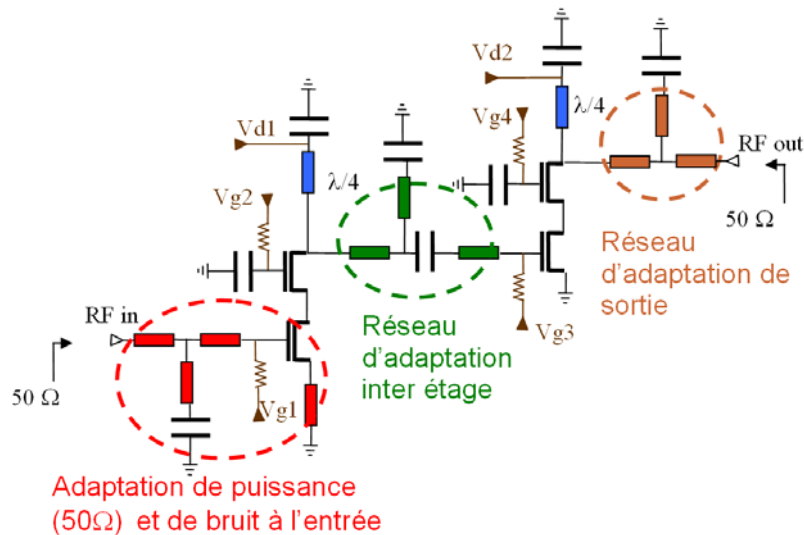


Figure IV.107 Schéma de l'architecture d'un amplificateur à deux étages

IV.7.2. Conception conjointe de l'amplificateur de bruit et de l'antenne

IV.7.2.1. Intérêt de la co-conception

Dans un frontal radiofréquence, les systèmes d'interconnexion reliant les blocs radiofréquences utilisent des lignes de propagation, de type coaxiale par exemple, d'impédance caractéristique de 50 ohms ou 75 Ohms selon l'application [IV.65]. Depuis toujours, cette valeur d'impédance est considérée comme une valeur de référence grâce à une maîtrise de caractérisation de ligne de propagation d'impédance caractéristique réelle. A des fréquences millimétriques, les effets capacitifs deviennent sensibles. Par conséquent, l'utilisation des lignes de propagation devient alors délicate. Traditionnellement, un modèle comportemental est utilisé pour relier l'antenne à l'amplificateur à faible bruit (LNA). Les deux blocs frontaux du dispositif radiofréquence, notamment l'antenne et le LNA, sont optimisés pour qu'ils présentent une impédance d'entrée constante de 50 Ohms afin de réaliser une adaptation parfaite (Figure IV.108).

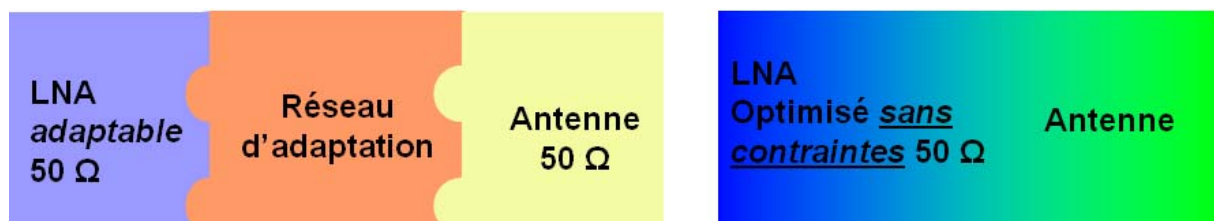


Figure IV.108 Démarche de la conception d'un frontal radiofréquence
a) Approche classique b) Conception conjointe

Cette démarche impose des contraintes sur la conception de l'antenne et de LNA. En effet, l'antenne doit fonctionner à une fréquence proche de la résonance, ce qui implique une impédance d'entrée imaginaire quasi nulle, et être optimisée pour avoir une impédance d'entrée réelle proche de 50 Ohms. Dans le cas de LNA, un réseau d'adaptation est nécessaire pour avoir une impédance d'entrée imaginaire nulle et une impédance d'entrée réelle proche

de 50 ohms. Ce réseau d'adaptation est constitué d'éléments passifs composés des lignes coplanaires intégrées qui présentent quelques inconvénients. Premièrement, ils sont coûteux puisque plus de 70% de la place sur le silicium est occupé par les passifs. En outre les pertes dues à la non idéalité du facteur de qualité, des selfs créent un bruit additionnel limitant les performances globales en bruit. Enfin, dans la conception de l'amplificateur il y a toujours un compromis à trouver entre amplification et adaptation optimale. S'affranchir de la contrainte d'adaptation 50 Ohm permet d'obtenir de ce fait une amplification plus importante

IV.7.2.2. Stratégie de la co-conception

IV.7.2.2.1. Notion de gain transducique

Pour comprendre les différentes notions de gain d'un LNA illustrées dans la Figure IV.109, nous détaillons les trois configurations de gain possible [IV.24]. En entrée de l'amplificateur l'antenne capte une puissance dans l'environnement et présente à l'amplificateur une puissance disponible P_{Avin} . Une portion de cette puissance P_{In} est acceptée par le LNA. En sortie, le LNA présente une puissance P_{Avout} à la charge Z_L qui en accepte une portion P_{Out} . Le rapport de gain entre P_{Out} et P_{Avin} correspond au gain transducique.

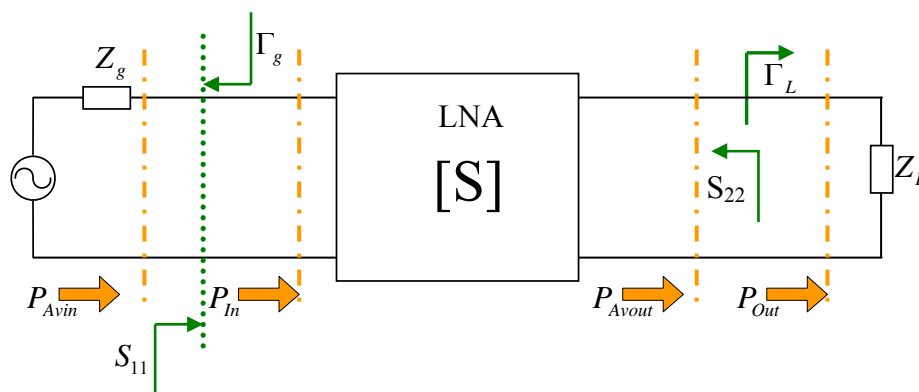


Figure IV.109 Représentation des puissances autour de l'amplificateur

Dans le cas du montage unilatéral (Figure IV.107), ce gain est donné par la relation :

$$[IV-30] G_{Tu} = \frac{P_{Out}}{P_{Avin}} = \frac{1 - |\Gamma_g|^2}{|1 - S_{11}\Gamma_g|^2} |S_{21}|^2 \frac{1 - |\Gamma_L|^2}{|1 - S_{22}\Gamma_L|^2}$$

Où Γ_g et Γ_L sont les coefficients de réflexion du générateur et de la charge.

Si on suppose une adaptation d'impédance parfaite en sortie par rapport au port de mesure, le gain transducique s'écrit :

$$[IV-31] G_{Tu} = \frac{1 - |\Gamma_g|^2}{|1 - S_{11}\Gamma_g|^2} |S_{21}|^2$$

Si on suppose que l'on a une adaptation complexe conjuguée en entrée de l'amplificateur le gain transducique est maximal et on obtient la valeur :

$$[IV-32] G_{Tu\max} = \frac{1}{1 - |S_{11}|^2} |S_{21}|^2$$

Le gain transductique maximale est obtenu si les coefficients de réflexion du générateur et de la charge sont nuls. C'est à dire une impédance d'entrée de LNA vu de l'antenne égale au conjugué de l'impédance d'entrée de l'antenne vue de LNA. En plus le LNA doit être adapté en sortie ce qui implique avoir une impédance d'entrée de LNA vu de charge égale à Z_L^* .

IV.7.2.2.2. Adaptation de puissance en conception conjointe

Dans l'optique d'une co-adaptation, à la fois les paramètres S et l'impédance d'antenne Z_g peuvent varier. En particulier les paramètres S du montage varient en fonction du réseau d'adaptation de sortie, du réseau d'adaptation inter étage et de l'impédance d'entrée du premier étage (Figure IV.107). La première étape de conception consiste donc à évaluer le gain maximum atteignable $G_{Tu\max}$ lorsqu'on fait varier ces deux réseaux composés des lignes coplanaires.

Une fois le maximum trouvé, il reste à chercher l'antenne présentant une impédance complexe conjuguée à l'impédance d'entrée du montage. La démarche est jusqu'à ce point très proche de celle d'une adaptation 50 Ohm, à la différence que les paramètres S de l'amplificateur sont calculés avec une impédance de référence complexe, celle de l'antenne.

L'objectif devient alors de déterminer cette impédance d'entrée du montage. En se basant sur cette impédance, nous obtenons une adaptation de puissance et un maximum de gain transductique.

IV.7.2.2.3. Facteur de bruit en conception conjointe

En plus de l'adaptation de puissance, nous devons prendre en compte le facteur de bruit dans une optique de conception conjointe. En se basant sur la partie précédente (§IV.7.1.2), Le facteur de bruit de l'amplificateur faible bruit dépend du coefficient de réflexion de générateur et de réseau d'entrée de l'amplificateur. En supprimant ce réseau d'adaptation, nous visons la réduction du facteur de bruit globale. Ainsi, si nous approchons l'impédance d'entrée de source, dans notre cas de l'antenne co-conçue, de l'impédance d'entrée optimale pour que le facteur de bruit de l'amplificateur NF soit proche de facteur de bruit minimum NF_{\min} .

Mounet et al.[IV.53] a conçu un amplificateur faible bruit basé sur l'architecture illustrée dans la Figure IV.107. Ce LNA est basé sur des lignes coplanaires intégrées sur SOI.

La Figure IV.107 montre la topologie de l'architecture de l'amplificateur faible bruit. En effet, l'amplificateur est composé de trois réseaux d'adaptation, d'entrée, de sortie et d'entre étages. L'objectif de la co-conception est d'éliminer le réseau d'adaptation d'entrée. Précisons que notre amplificateur doit être adapté en sortie à 50 Ohms, avoir un maximum de gain à 60 GHz (>10 dB), et être optimisé en puissance et en bruit. L'impédance de référence

pour l'entrée est l'impédance optimum pour avoir un maximum de gain de puissance et un minimum de facteur de bruit. Cette impédance optimale est obtenue auprès du simulateur électrique Cadence après une série d'optimisation de différents paramètres de LNA.

En se basant sur l'étude des lignes et des stub utilisés pour l'optimisation des performances de LNA, et après une série d'optimisation de circuit en utilisant le simulateur électrique Cadence, nous devons avoir une impédance de référence de l'ordre de $10 + j15$ Ohms pour que nous obtenions un maximum de gain. C'est pourquoi, nous essayons de concevoir une antenne avec cette impédance afin de garder les propriétés de gain de cet amplificateur.

IV.7.2.3. Réalisation d'antenne intégrée sur SOI à 60 GHz pour la conception conjointe

La deuxième étape de la conception conjointe est la réalisation d'une antenne compatible avec le LNA, et ayant une impédance d'entrée égale au conjugué de l'impédance d'entrée de LNA optimisée pour avoir une adaptation de puissance et de bruit. Comme nous avons vu dans la partie précédente, cette impédance d'entrée doit être complexe, inductive, et de faibles valeurs ($10+j15$ Ohms). Le défi est de concevoir une antenne ayant cette impédance complexe et une bonne efficacité de rayonnement.

L'étude de l'antenne dipôle s'avère très importante dans la conception des antennes. Les antennes dipôles intégrées sur SOI exhibent une meilleure efficacité de rayonnement par rapport aux autres antennes étudiées (Fente, et Pifa). Le deuxième choix était d'utiliser l'antenne spirale pour la conception conjointe, mais nous n'avons pas réussi à faire baisser l'impédance d'entrée, tout en gardant des propriétés cruciales à l'antenne spirale telle que l'efficacité de rayonnement et un rapport axial faible nécessaire pour la polarisation circulaire.

Pour commencer notre étude, nous prenons le cas d'une antenne dipôle alimentée par des rubans coplanaires (CPS) (Figure IV.110). Dans le cas de LNA, nous utilisons des lignes coplanaires (CPW), un balun sera inséré entre le LNA et l'antenne.

Pour diminuer l'impédance d'entrée de l'antenne, la solution de base est de diminuer sa longueur de résonance. Ainsi la longueur de l'antenne ne sera plus une demi longueur d'onde, mais un peu moins. Diminuer la longueur de l'antenne permet à l'antenne de fonctionner à une fréquence plus basse que la résonance et par suite l'efficacité de rayonnement diminue également. Une optimisation de l'antenne est montrée dans la partie suivante pour obtenir une meilleure efficacité de rayonnement.

La Figure IV.111 montre l'impédance d'entrée de l'antenne dipôle illustrée dans la Figure IV.110. L'antenne est intégrée sur les six couches métalliques (M1 à M6) et sur la couche d'Alucap de la technologie SOI. La longueur de l'antenne est $600 \mu\text{m}$ ($0.37 * \lambda_g$). La

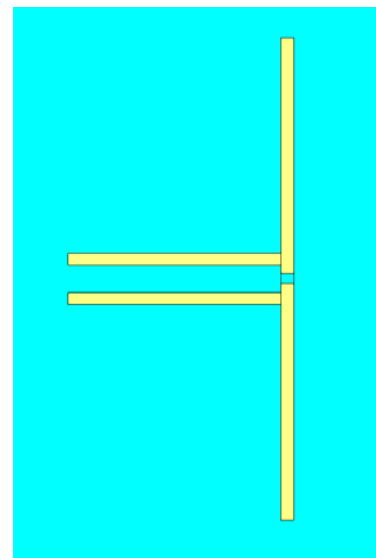


Figure IV.110 Antenne dipôle simple avec alimentation de ruban coplanaire

partie imaginaire de l'impédance d'entrée à 60 GHz est très faible et capacitive. D'une autre côté, la partie réelle est de 5 Ohms, par rapport à 10 Ohms nécessaire.

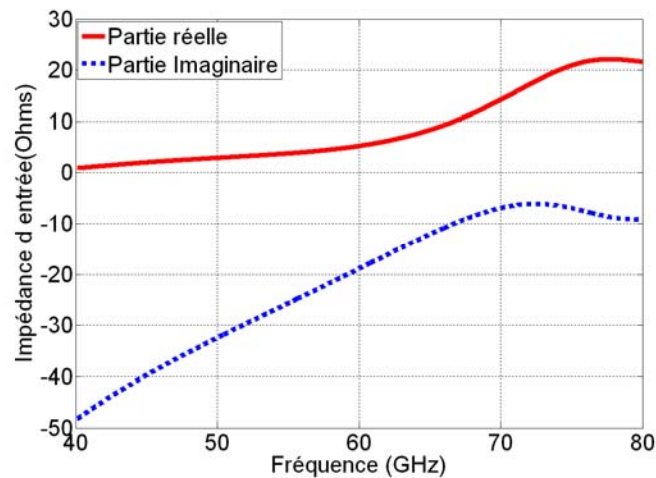


Figure IV.111 Impédance d'entrée de dipôle simple avec alimentation de ruban coplanaire

Notre objectif est alors d'augmenter les parties réelle et imaginaire de l'impédance d'entrée de l'antenne afin de s'approcher à l'impédance d'entrée conjuguée de LNA. Nous savons bien que le fait de replier l'antenne dipôle augmente son impédance d'entrée. Nous allons profiter de cette idée pour essayer d'augmenter l'impédance d'entrée de l'antenne.

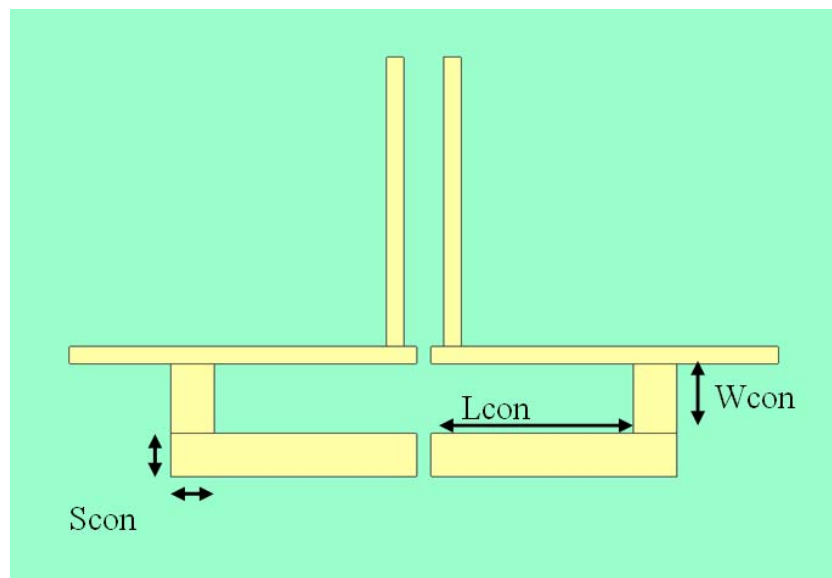


Figure IV.112 Antenne dipôle repliée pour la conception conjointe

À la différence des antennes dipôles repliées présentes dans la littérature [III.3][IV.67][IV.68][IV.69], l'antenne proposée n'est pas une antenne repliée bouclée. Nous avons choisi de garder les extrémités pliées ouvertes. Deux raisons motivent notre choix, la première est le fait que dans le cas d'une conception conjointe de LNA, un court circuit de LNA doit être évité. En effet, lors de l'alimentation DC, une antenne bouclée réalisera un court circuit et rend le LNA inutilisable. La deuxième raison est que nous avons

trouvé qu'une structure pliée, ayant des extrémités ouvertes, fournit une grande liberté pour l'ajustement d'impédance, particulièrement pour la réactance d'entrée de l'antenne.

L'impédance d'entrée est déterminée essentiellement par les paramètres géométriques de l'antenne repliée. Nous étudions l'effet de trois de ces paramètres (Figure IV.112) notamment :

- W_{con} qui est l'espace entre les brins de l'antenne
- L_{con} qui est la distance entre le centre de dipôle et le bord intérieur de la connexion des brins de dipôle
- S_{con} est la largeur des brins ajoutés

Le premier paramètre est l'espace entre les brins initiaux de dipôle et les brins ajoutés pour le repliement. Le premier intérêt pour nous est d'avoir une impédance inductive de 15 Ohms. La Figure IV.114 montre la variation de la réactance d'entrée de l'antenne repliée pour des différentes valeurs de W_{con} . Notons que dès que le brin replié s'éloigne de brin initial, cette réactance augmente. En effet, dès que W_{con} augmente, la capacité créée entre les brins initiaux et les brins repliés diminue, ce qui explique l'augmentation de la réactance de l'antenne (Figure IV.114). Nous rappelons que nous cherchons à obtenir une impédance inductive pour une bande passante étroite. Cette bande passante étroite (2 à 3 GHz) est une contrainte de l'amplificateur faible bruit.

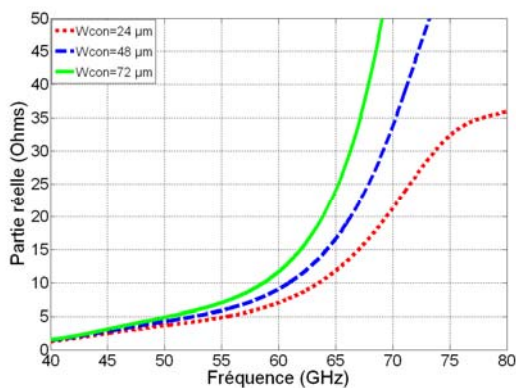


Figure IV.113 Effet de W_{con} sur la partie réelle de l'impédance d'entrée de l'antenne de conception conjointe

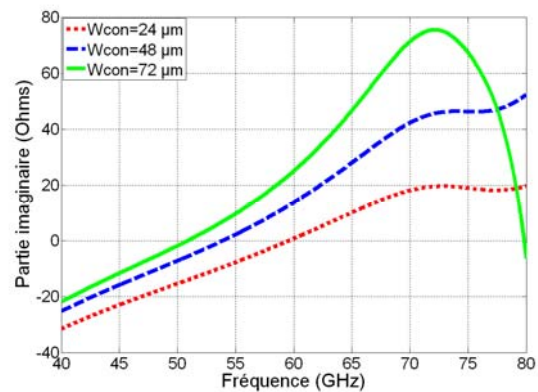


Figure IV.114 Effet de W_{con} sur la partie imaginaire de l'impédance d'entrée de l'antenne de conception conjointe

La Figure IV.113 confirme les conclusions obtenues pour la partie imaginaire. Augmenter W_{con} augmente aussi la partie réelle de l'impédance d'entrée de l'antenne. La résistance et la réactance d'entrée augmentent dans un rapport improportionnel à ce que nous voulons. C'est pourquoi nous allons étudier le cas des autres paramètres de l'antenne repliée.

Après l'étude de l'effet de W_{con} , nous étudions l'effet de l'éloignement de la connexion entre le brin initial et le brin de dipôle « L_{con} ». Ce paramètre règle aussi la longueur totale de dipôle.

La Figure IV.116 montre l'effet d'augmenter le facteur L_{con} sur la partie imaginaire de l'antenne repliée. Augmenter ce facteur va augmenter la longueur effective de l'antenne

repliée et par suite baisser sa fréquence de résonance. En effet, L_{con} et W_{con} forment un adaptateur stub en circuit ouvert. En modifiant la longueur de stub, nous pouvons mieux contrôler l'impédance d'entrée de l'antenne. En se rapprochant de la fréquence de résonance, la résistance et la réactance d'entrée de l'antenne vont augmenter. Nous ne voulons pas arriver dans cette situation, c'est pourquoi nous essayons de garder L_{con} petit pour mieux contrôler l'impédance d'entrée.

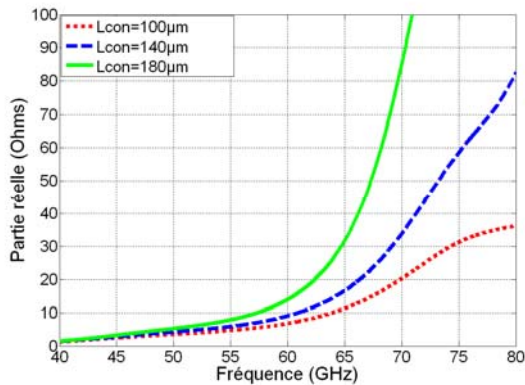


Figure IV.115 Effet de L_{con} sur la partie réelle de l'impédance d'entrée de l'antenne de conception conjointe

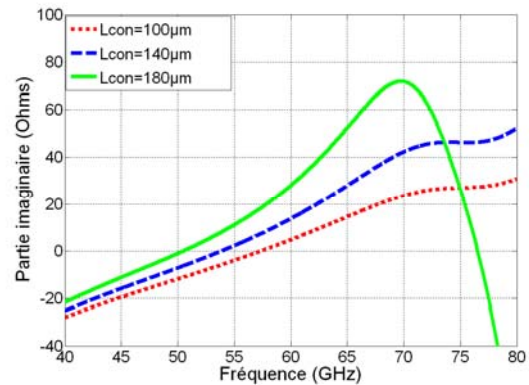


Figure IV.116 Effet de L_{con} sur la partie imaginaire de l'impédance d'entrée de l'antenne de conception conjointe

La Figure IV.115 montre la partie réelle de l'antenne lorsque nous balayons le facteur L_{con} . Dès que nous dépassons le $140 \mu\text{m}$, la résistance d'entrée va doubler et l'impédance voulue sera difficile à retrouver.

Le dernier paramètre étudié est la largeur de brin replié de l'antenne « S_{con} ». La Figure IV.117 montre que la variation de l'impédance réelle d'entrée de l'antenne en augmentant S_{con} reste toujours acceptable (1 à 2 ohms en doublant S_{con} de 20 à $40 \mu\text{m}$).

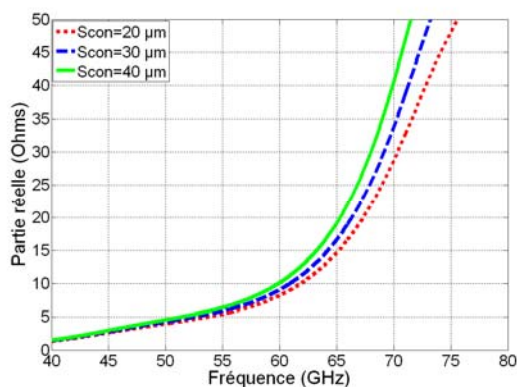


Figure IV.117 Effet de S_{con} sur la partie réelle de l'impédance d'entrée de l'antenne de conception conjointe

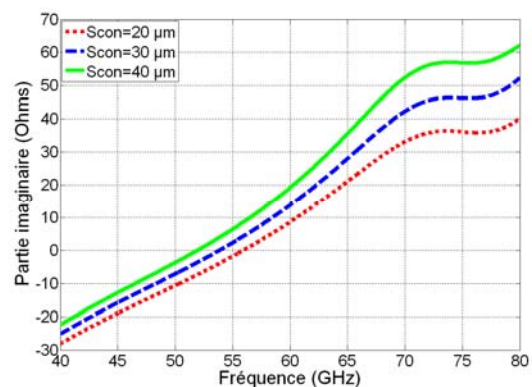


Figure IV.118 Effet de S_{con} sur la partie imaginaire de l'impédance d'entrée de l'antenne de conception conjointe

La Figure IV.118 montre l'effet de la largeur de brin replié sur la réactance d'entrée de l'antenne. Similairement aux lignes micro rubans intégrées, en augmentant la largeur, la réactance augmente aussi. Ainsi le paramètre (S_{con}) règle la réactance d'entrée sans trop

perturber la résistance d'entrée de l'antenne. Nous avons utilisé ce paramètre pour obtenir l'impédance finale. Finalement, les valeurs pris pour le réglage finale de dipôle sont $W_{con}=48 \mu\text{m}$, $L_{con}=140 \mu\text{m}$, $S_{con}=30 \mu\text{m}$. La longueur de dipôle est de $490 \mu\text{m}$.

Le rayonnement de l'antenne dipôle repliée est majoritairement orienté vers le substrat SOI ce qui réduit l'efficacité de rayonnement. Une couche métallique sous le substrat peut être utilisée avantageusement comme un réflecteur. L'efficacité de rayonnement simulée de l'antenne est alors de 67 % avec un gain maximum simulé de 2.5 dBi.

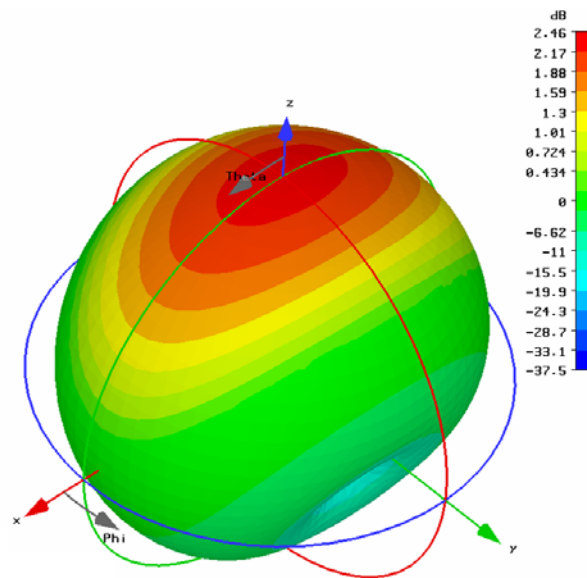


Figure IV.119 Diagramme de gain (3D) de l'antenne dipôle repliée

IV.7.2.4. Conception conjointe

En se basant sur des paramètres de LNA développé et en cours de réalisation, et sur la conception de l'antenne dipôle replié seul, l'étape suivante est à déterminer les performances globales de l'ensemble dans une optique de conception conjointe. L'optimisation de l'amplificateur en termes de gain et de bruit nous a permis d'obtenir un gain de 11 dB (S21 dB). Nous avons pris comme référence pour l'impédance d'entrée pour Le LNA une impédance complexe que nous avons retrouvée suite à la phase d'optimisation. Ce que nous voulons dire est que le LNA sera adapté en sortie, aura un gain de 11 dB et un facteur de bruit proche de NF min seulement si nous avons une impédance de référence proche d'une valeur optimisé déterminé pour le LNA.

La Figure IV.120 montre l'architecture de l'amplificateur faible bruit conçu avec une antenne dipôle replié en technologie SOI. La tension d'alimentation est de 1.8 V pour une courant de 21 mA. La consommation DC de l'amplificateur est de 38 mW.

Pour la procédure de la conception conjointe, nous nous intéressons alors de trois critères pour déterminer la qualité de cette conception. Premièrement, le gain de l'amplificateur, ensuite son facteur de bruit et finalement le plus important est l'adaptation entre l'amplificateur et l'antenne.

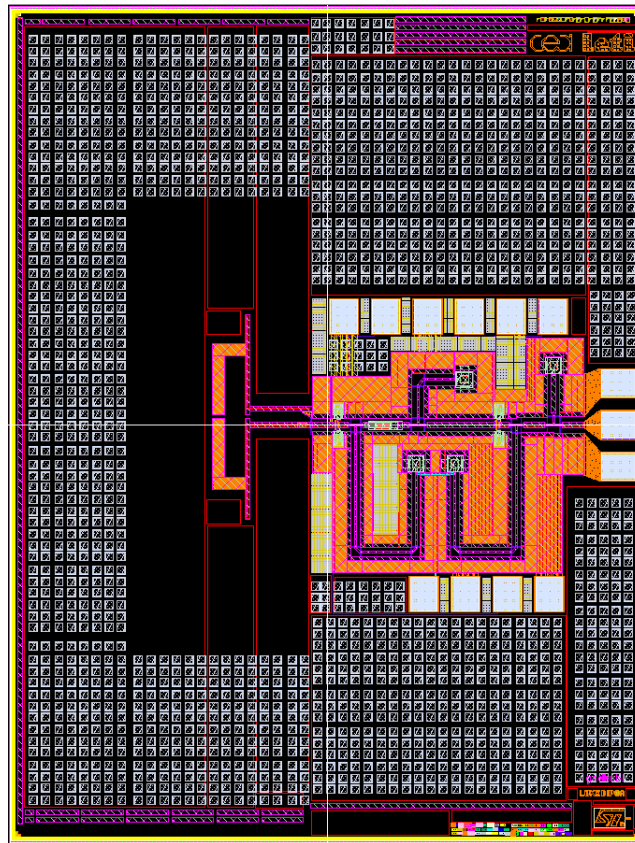


Figure IV.120 Schéma de la conception conjointe de LNA et de dipôle replié

Traditionnellement, l'impédance de référence avait toujours une valeur réelle (50 ou 75 Ohms). Dans le cas d'une impédance complexe, Kurokawa [IV.72] a proposé une forme d'équation pour déterminer le coefficient d'adaptation d'une charge par rapport à une référence complexe [IV.71][IV.73]. La forme de coefficient de réflexion est présentée dans l'équation suivante [IV-33] :

$$[IV-33] \Gamma_{adap} = \frac{Z_{inLNA} - Z_{ant}^*}{Z_{inLNA} + Z_{ant}}$$

Où Z_{inLNA} est l'impédance d'entrée de LNA, et Z_{ant} est l'impédance d'entrée de l'antenne.

Pour déterminer ce facteur d'adaptation, deux cas sont considérés. Le premier cas est où nous avons une impédance de l'antenne complexe et constante (impédance à 60 GHz), et la deuxième est le cas plus réaliste où nous considérons une impédance variable avec la fréquence. La Figure IV.121 montre la comparaison entre ces deux coefficients. En effet, nous trouvons dans les deux cas une bonne adaptation entre le LNA et l'antenne à 60 GHz. Même si dans le cas d'une impédance variable par rapport à la fréquence, nous obtenons une bande passante d'adaptation à -10 dB plus faible que dans le cas d'une impédance d'entrée d'antenne fixe. Précisons que dans les deux cas, l'amplificateur est optimisé seulement à 60 GHz. Par suite, même si nous obtenons une bonne adaptation hors de la bande proche de 60 GHz, cette adaptation reste hypothétique de fait que le LNA a une bande très étroite. Le but de cette comparaison est de montrer l'importance de l'optimisation de l'impédance de référence dans une conception conjointe sur l'adaptation d'impédance et sur la bande passante de l'ensemble.

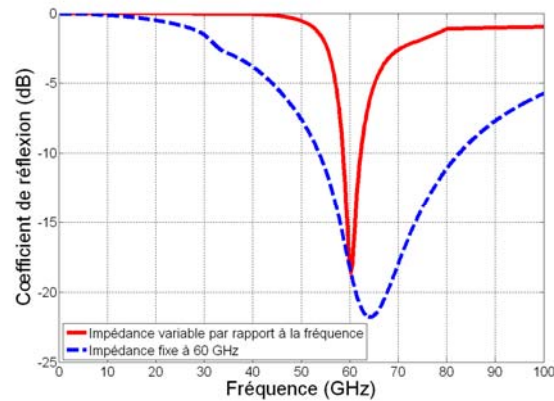


Figure IV.121 Comparaison des coefficients de réflexion S11 avec différente impédance de référence

IV.7.2.5. Résultats de la conception conjointe

Après l'étude de l'adaptation d'impédance entre le LNA et l'antenne, nous allons poursuivre l'étude en montrant les résultats simulés du gain de LNA en prenant comme référence l'impédance de l'antenne. La Figure IV.122 montre les courbes de coefficient de réflexion en entrée et en sortie pour le LNA en conception conjointe. L'impédance de référence de sortie est de 50 Ohms. Celle de l'entrée est de l'impédance de l'antenne. Une très bonne adaptation est trouvée grâce à une bonne optimisation des différents composants de cet ensemble (LNA + Antenne). Le LNA est conçu par C. Mounet du laboratoire « Architecture et conception radiofréquence » du CEA/LETI MINATEC.

La Figure IV.123 montre le coefficient de transmission « gain (S21) » pour le LNA, ayant à l'entrée l'antenne dipôle repliée. Un gain de 11 dB est trouvé pour le LNA. La courbe verte montre le gain transductique maximal $G_{Tu\max}$ obtenu à partir de l'équation [IV-32]. Les courbes de Gain (S21) et de $G_{Tu\max}$ concordent parfaitement dans une bande de 5 GHz autour de la fréquence centrale de 60 GHz. Cette concordance est due à la bonne adaptation d'impédance entre le LNA et l'antenne. De même, la courbe en rouge (S12) montre une bonne isolation de -50 dB.

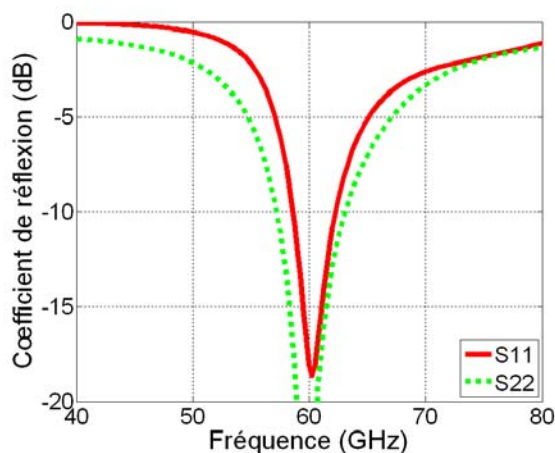


Figure IV.122 Coefficients de réflexion issus de la conception conjointe

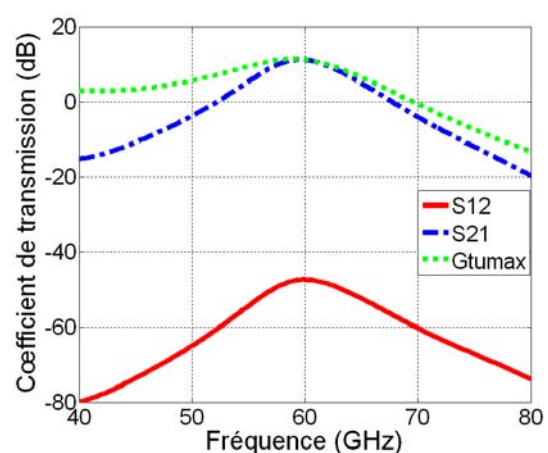


Figure IV.123 Coefficients de transmission et d'isolation issus de la conception conjointe

Finalement le facteur de bruit de LNA est illustré dans la Figure IV.124. Nous obtenons un facteur de bruit simulé un peu élevé de l'ordre de 7.75 dB. Celui-ci est du aux modèles de transistors que nous disposons pour la simulation électrique. Par contre, la comparaison entre le facteur de bruit de LNA et le facteur de bruit minimum NF_{\min} montrent bien la concordance de ces deux facteurs à 60 GHz. Précisons que tous les composants de LNA et l'impédance d'entrée de l'antenne étaient conçus pour obtenir une très bonne adaptation en puissance, mais aussi en bruit.

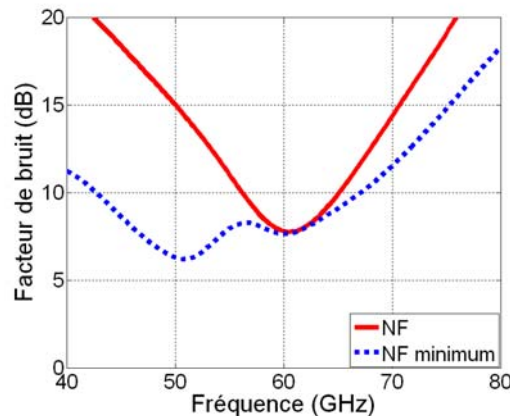


Figure IV.124 Facteur de bruit de l'amplificateur en conception conjointe

IV.8. Conclusion

Ce chapitre présente le travail effectué pour la conception des antennes intégrées sur SOI dans la bande millimétrique. Nous avons présenté la procédure de conception ainsi l'effet des différents paramètres de ces antennes sur le coefficient de réflexion et sur leur gain. Quatre types d'antennes sont présentées dans ce chapitre : l'antenne dipôle interdigitée, l'antenne IFA, l'antenne double Fente et finalement l'antenne spirale. Les trois premières antennes ont été conçues, réalisées, testées et mesurées. Pour le cas de l'antenne spirale, elle est en cours de réalisation, et les mesures devraient confirmer les résultats de simulation.

La comparaison des coefficients de réflexion mesurés et simulés des antennes réalisées présente une bonne concordance. Ce qui montre l'importance de la phase de conception et de simulation. Les différentes procédures de mesure sont présentées. La mesure de l'antenne sous pointes pour déterminer le coefficient de réflexion et la mesure de diagramme de gain avec un support en alimentation coaxiale pour mesurer le gain et tracer le diagramme de gain des antennes.

Ensuite, nous avons présenté les phases de conception de LNA et d'une antenne dipôle repliée dans une optique d'une conception conjointe. Les résultats de simulation de l'antenne et de LNA ont aidé à valider la procédure de la conception conjointe. Le LNA et l'antenne sont en cours de réalisation, nous n'avons pu les mesurer pour comparer leurs performances. En plus la procédure de mesure est délicate, parce qu'il faut utiliser la même méthode de mesure décrite en changeant le circuit, en plus il faut ajouter l'alimentation DC de LNA.

Référence bibliographique:

- [IV.1] Segura N. et al., "On-wafer radiation pattern measurements of integrated antennas on standard BiCMOS and Glass processes for 40-80 GHz application", IEEE Int. Conference on Microelectronic Test Structures, Vol.18, April 2005.
- [IV.2] Kim, Y. et al., "CPW-fed planar ultra wideband antenna having a frequency band notch function", Electronics letter, Vol. 40, Issue 7, P403-405, April 2004.
- [IV.3] Kim, K. et al., "Characteristics of integrated dipole antennas on bulk, SOI, and SOS substrates for wireless communication". IEEE International Interconnect Technology Conference, page(s): 21-23, June 1998.
- [IV.4] D. Corson et al., "Why all the buzz about SOI?" www.rfdesign.com.
- [IV.5] Balanis C. A., "Antenna theory analysis and design", Third edition, John Wiley and Sons, Inc, 2005.
- [IV.6] Esfandiari R. et al., "Design of Interdigitated Capacitors and Their Application to Gallium Arsenide Monolithic Filters", IEEE Transactions on Microwave Theory and Techniques, Volume: 83, Issue: 1, page(s):57-64, Jan1983.
- [IV.7] Application notes on "Interdigital Capacitor Analysis Models" http://www.eagleware.com/pdf/apps/0009_AccuracyProofMidcap.pdf
- [IV.8] Gouker, M.A. et al., "Measurements of strip dipole antennas on finite thickness substrates at 230 GHz", IEEE Microwave and Guided Wave Letters, Volume: 2, Issue: 2 On page(s): 79-81: Feb 1992.
- [IV.9] Hamid M. et al., "Equivalent Circuit of Dipole Antenna of Arbitrary Length", IEEE Transactions on Antennas and Propagation, Vol. 45, No. 11, Nov. 1997.
- [IV.10] Tang T. G. et al., Equivalent Circuit of a Dipole Antenna Using Frequency-Independent Lumped Elements", IEEE Transactions on Antennas and Propagation, Vol. 41, No. 1, Jan. 1993.
- [IV.11] www.cst.com
- [IV.12] Thaysen J. et al., "A Wideband Balun - How does it Work?", Applied Microwave & Wireless p.40. vol.12. no.10
- [IV.13] Shuhao H., "The Balun Family" , Microwave Journal, Technical notes, Vol. 30, pp. 227-229, 1987.
- [IV.14] Johnson R. C. et al., Antenna Engineering Handbook, Third Edition, McGraw-Hill, 1993.
- [IV.15] Li Y.M. et al., "Broadband coplanar waveguide-coplanar strip-fed spiral antenna" , Electronic Letters, Vol. 30, pp. 176-177, 1995.
- [IV.16] Thaysen J. et al., "Numerical and experimental investigation of a coplanar wave guide fed spiral antenna", IEEE the 24th QMS Antenna Symposium, London, England, April 2000.
- [IV.17] Y. Fukuda et al., "SOI-CMOS Device Technology", OKI Technical review, No 4, Vol. 68, Mar. 2001.
- [IV.18] "International technology roadmap for semiconductors", Semiconductor Industry Association, 2003.
- [IV.19] Cascade Microtech Inc. On-wafer vector network analyzer calibration and measurements.
- [IV.20] Choi S. T. et al., "60-GHz transceiver module with coplanar ribbon bonded planar millimetre wave band pass filter", IEEE Microwave and Optical Technology Letters, Volume 49, Issue 5 , Pages 1212 - 1214 Mar 2007.
- [IV.21] Cavalery R. H., "Characteristic Impedance of Integrated circuit Bond Wires", IEEE Transactions on Microwave Theory and Techniques, Vol. MTT-34, NO. 9, Sep. 1986.
- [IV.22] Petitjean O., " Etude des filières technologiques d'interconnexion entre puces et carte électriques et leur coût de fabrication", rapport de stage de DESS, Sep 1997.
- [IV.23] JuHwan L et al., "RF characterization and modelling of various wire bond transitions", IEEE Transactions on Advanced Packaging, Volume: 28, Issue: 4 On page(s): 772- 778, Nov. 2005.
- [IV.24] Pozar D. M., "Microwave Engineering", 2nd ed. John Wiley and Sons, Inc. 1998.
- [IV.25] Daniele N., " Etude d'un système de transmission radio courte portée à 60 GHz par étalement de spectre", Thèse de L'institut Nationale Polytechnique de Grenoble, 1995.
- [IV.26] Gao, Y et al., "A modified PIFA with a small ground plane", IEEE Antennas and Propagation Society International Symposium Volume: 2B, On page(s): 515- 518, July 2005.
- [IV.27] Wong K., "Planar antennas for wireless communications", John Wiley & Sons, New York, 2003.
- [IV.28] Abedin M. F., "Modifying the ground plane and its effect on planar inverted-F antennas (PIFAs) for mobile phone handsets", IEEE Antennas and Wireless Propagation Letters, vol.2, issue 15, pp. 226-229, 2003.
- [IV.29] Huynh M. et al., "Ground plane effects on planar inverted-F antenna (PIFA) performance", IEEE Proceeding of Microwave Antennas Propagation, 150, (4), pp. 209-213, 2003.
- [IV.30] Chen H.T., "PIFA with a meandered and folded patch for the dual-band mobile phone application", IEEE Transactions on Antennas and Propagation, Volume: 51, Issue: 9, On page(s): 2468- 2471, Sep 2003.
- [IV.31] Lee K. F. et al., "Theory and experiment on microstrip patch antennas with shorting walls", Proc. Inst. Elect. Eng. Microwaves Antennas and Propagation, vol. 147, no. 6, pp. 521-525, Dec. 2000.

- [IV.32] Salonen P. et al., “Single-Feed Dual-Band Planar Inverted- Antenna with U-Shaped Slot”, IEEE Transactions on Antennas and Propagation, Vol. 48, No. 8, Aug. 2000.
- [IV.33] Schwartzlow J.C et al., “A Folded Slot Antenna on Low Resistivity Si Substrate with a polyimide Interface Layer for Wireless Circuits”, Topical Meeting on Silicon Monolithic Integrated Circuits in RF systems, 2001.
- [IV.34] Montusclat S. et al., “Silicon full integrated LNA, filter and antenna system beyond 40 GHz for MMW wireless communication links in advanced CMOS technologies”, IEEE Radio Frequency Integrated Circuits (RFIC) Symposium, June 2006.
- [IV.35] Hoer, C.A., “Performance of a Dual Six-Port Automatic Network Analyzer”, Microwave Theory and Techniques, IEEE Transactions, Volume: 27, Issue: 12, page(s): 993- 998, Dec. 1979.
- [IV.36] Marks, R. B et al., “Characteristic impedance determination using propagation constant measurement”, IEEE Microwave Guided Wave Let., vol. 1, pp. 141–143, June 1991.
- [IV.37] Weller, T. et al., “Single and double folded-slot antennas on semi-infinite substrates”, IEEE Trans. on Antennas and Propagation, vol. 43, no. 12, pp. 1423-1428, Dec. 1995.
- [IV.38] Papapolymerou, J. et al., “A folded-slot antenna on low resistivity Si substrate with a polyimide interface layer for wireless circuits”, Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems, Digest of Papers. Pp.215-218, Sep. 2001.
- [IV.39] [Tsai, H.S. et al., “Multi-slot 50 I antennas for quasi-optical circuits”, IEEE Microwave Guided Wave Letters vol. 4, no. 6: June 1995.
- [IV.40] Huff, G. H. et al., “Frequency reconfigurable CPW-fed hybrid folded slot/slot dipole antenna”, IEEE/ACES International Conference on Wireless Communications and Applied Computational Electromagnetic, Digest of Papers, pp. 574-577, April 2005.
- [IV.41] Plothi, S. K., “Computer-aided design of a CPW-fed slot antenna for MM-wave applications”, International Journal of RF and Microwave Computer-Aided Engineering Volume 14, Issue 1 , Pages 4 – 14, Dec 2003.
- [IV.42] Huchard M., “Caractérisation et conception d’antennes Isotropes miniatures pour objets communicants”, Thèse de L’institut Nationale Polytechnique de Grenoble, 2007.
- [IV.43] Bawer R. et al., “The spiral Antenna”, IRE International Convention Record, PI. T, pp. 84-95, May, 1960.
- [IV.44] Bell. J.M. et al., “A low-profile Archimedean spiral antenna using an EBG ground plane”, Antennas and Wireless Propagation Letters, Volume 3, Issue 1, Page(s):223 – 226 (2004).
- [IV.45] Caswell E. D., “Design and Analysis of Star Spiral with Application to Wideband Arrays with Variable Element Sizes”, PHD thesis of the Virginia Polytechnic Institute and State University, December 2001.
- [IV.46] Gschwendtner E. et al., “Spiral antenna with external feeding for planar applications”, The 1999 IEEE AFRICON, Volume 2, and 28 Sept.-1 Oct. 1999 Page: 1011 - 1014 vol.2
- [IV.47] Gschwendtner E. et al. “Low-cost spiral antenna with dual-mode radiation pattern for integrated radio services”, Millennium Conference on Antennas & Propagation AP2000, Davos, Switzerland, April, 9- 14, 2000, CD-ROM
- [IV.48] Afsar M.N. et al., “A new wideband cavity- backed spiral antenna”, 2001 IEEE Antennas and Propagation Society International Symposium, Volume: 4, On page(s): 124-127 vol.4, July 2001.
- [IV.49] Larson L., “Silicon technology tradeoffs for radio- frequency/mixed-signal systems-on-a-chip”, IEEE Transactions on Electron Devices, Volume 50, Issue 3, March 2003 Page(s): 683 – 699.
- [IV.50] Kaiser J.A., “The Archimedean two-wire spiral antenna”, IRE Trans. on Antennas and Propagation, vol. 8, May, pp. 312-323, 1960.
- [IV.51] Thaysen J. et al., “Characterization and Optimization of a Coplanar Waveguide Fed Logarithmic Spiral Antenna” IEEE AP-S Conference on Antennas and Propagation for Wireless Communications, pp 25-28 Nov. 2000.
- [IV.52] Siligaris A. et al., “CPW and discontinuities modelling for circuit design up to 110 GHz in SOI CMOS technology”, IEEE Radio Frequency Integrated Circuits Symposium (RFIC - 2007) Honolulu USA.
- [IV.53] Mounet C. et al., “Design and modelling of mm-wave building blocks on SOI 65 nm”, Workshop on Integrated Systems for mm-Wave Application, Pavia, Nov 20-21, 2006.
- [IV.54] Tinella C., “Etude des potentialités des technologies CMOS-SOI partiellement désertées pour les applications radiofréquences ”, Thèse de l’Institut Polytechnique de Grenoble, Septembre 2003.
- [IV.55] Petit G., “Etude de structures radiofréquence en bande X sur technologies CMOS-SOS”, Thèse de L’université Paris XI, Orsay.
- [IV.56] Pavageau C., “Utilisation des technologies CMOS SOI 130nm pour des applications en gamme de fréquences millimétriques”, Thèse de l’Université des Sciences et Technologies de Lille.
- [IV.57] Yacouba C., “Conception et fabrication de circuits intégrées monolithiques micro ondes pour radiocommunications”, Mémoire de Maîtrise de l’Ecole polytechnique de Montréal, 1998.

- [IV.58] Coustou A., "Conception et caractérisation de circuits intégrés en technologie BICMOS SiGe pour application de Télécommunications en bande X", Thèse de l'Université Paul Sabatier de Toulouse.
- [IV.59] Ellinger F., "26–42 GHz SOI CMOS Low Noise Amplifier", IEEE Journal of Solid State Circuits, Vol. 39, No. 3 March 2004.
- [IV.60] Guan X. et al., "A 24-GHz CMOS Front-End" IEEE Journal of Solid State Circuits, Vol. 39, No. 2, Feb 2004.
- [IV.61] Sonmez E. et al., "A single-chip 24 GHz receiver front-end using a commercially available SiGe HBT foundry process", Dept. of Electron Devices and Circuits, University of Ulm, D-89069 Ulm, Germany.
- [IV.62] Doan C.H. et al., "Millimeter-Wave CMOS Design," IEEE JSSC, vol.40, no 1, pp. 144-155, Jan. 2005.
- [IV.63] Yao T. et al., "60-GHz PA and LNA in 90-nm RF-CMOS," IEEE RFIC Symposium, June 2006.
- [IV.64] Yang X. et al. "Design of LNA at 2.4 GHz using 0.25 μm CMOS technology" Microwave and Optical Technology Letters Volume 36, Issue 4 , Pages 270 – 275.
- [IV.65] Pelissier M., "Développement d'architecture et de fonctions RF avancées pour la réception de signaux Ultra Large Bande dans les applications à basse consommation", Thèse de l'Institut Polytechnique de Grenoble, 2006.
- [IV.66] Pelissier M. et al. "LNA-Antenna codesign for UWB systems", 2006 IEEE International Symposium on Circuits and Systems 2006.
- [IV.67] Xianming Q. et al., "A folded dipole antenna for RFID", 2004 IEEE Antennas and Propagation Society International Symposium, June 2004 Volume: 1, on page(s): 97- 100 Vol.1.
- [IV.68] King R., "The rectangular loop antenna as a dipole," IRE Trans. Antennas Propagation, vol. AP-7 pp. 53-61 Jan 1959.
- [IV.69] Harrison C.W., et al., "Folded dipole and loops", IRE Trans. Antennas Propagation, Vol.AP-9. pp. 171-187. Mar. 1961.
- [IV.70] Buxton C et al., "The folded dipole: A self-balancing antenna", Microwave and Optical Technology Letters, Volume 29, Issue 3, Pages 155 – 160.
- [IV.71] Nikitin P. V. et al., "Power Reflection Coefficient Analysis for Complex Impedances in RFID Tag Design", IEEE Transactions on Microwave Theory and Techniques, Vol. 53, No. 9, Sep. 2005.
- [IV.72] Kurokawa, K., "Power Waves and the Scattering Matrix", IEEE Transactions on Microwave Theory and Techniques, Mar 1965.
- [IV.73] Karthaus U. et al., "Fully Integrated Passive UHF RFID Transponder IC with 16.7 μW Minimum RF Input Power", IEEE Journal of Solid State Circuits, Vol. 38, No. 10, Oct. 2003.
- [IV.74] Kraus J. D. et al., "Antennas for all application", Third edition, New York: McGraw-Hill, 2002

Conclusion Générale

L'objectif du travail exposé dans ce manuscrit a été l'étude de la faisabilité d'utilisation de la technologie 0.13 μm SOI de STMicroelectronics dans la conception des composants d'un frontal millimétrique.

Nous avons choisi d'utiliser la technologie SOI, destinée au développement des systèmes à très haute échelle d'intégration (VLSI), grâce aux propriétés des transistors MOS complémentaires, et à sa capacité de réaliser des circuits à faible coût et à basse consommation. Cet avantage lui a permis d'être reconnue comme la technologie de pointe la plus avancée et la plus maîtrisée dans le domaine de la micro électronique. D'où l'intérêt d'étudier sa faisabilité pour la conception des structures d'interconnexion telle que les lignes coplanaires et les antennes.

Tout d'abord, la notion de « Smart Dust » était présentée. Une comparaison des performances des différents composants d'un frontal millimétrique est menée pour étudier la faisabilité d'un bilan de liaison dans la bande de 60 GHz.

Dans un souci de miniaturisation des antennes et pour limiter la surface d'intégration, nous avons choisi de travailler dans la bande millimétrique de 60 GHz. Notre objectif est de concevoir des antennes efficaces et adaptées en impédance dans cette bande.

Afin de bien comprendre les contraintes de la technologie SOI, une étude paramétrique d'une antenne canonique de type dipôle est réalisée. L'effet des paramètres de la technologie SOI, sur les propriétés des antennes, est exposé.

En respectant les contraintes technologiques de SOI, nous avons conçu différentes antennes fonctionnant à 60 GHz. Cette procédure est détaillée par les différentes phases de simulation et de conception. Notamment, nous avons essayé de profiter de la technologie SOI pour améliorer l'efficacité de rayonnement des antennes développées. Pour cela différentes structures rayonnantes sont présentées, notamment l'antenne IFA, l'antenne Fente et l'antenne dipôle interdigitée. Pour mesurer le rayonnement de ces antennes, un dispositif spécifique de test est proposé. Enfin, une réalisation d'antenne spirale à couverture quasi isotrope avec une polarisation circulaire est décrite.

Finalement, pour assurer une intégration complète du frontal millimétrique, notamment en mode de réception, une conception conjointe entre un amplificateur faible bruit et une antenne spécifique est menée. Les résultats de simulation de l'antenne et de LNA ont aidé à valider la procédure de la conception conjointe. Le LNA et l'antenne sont en cours de réalisation, nous n'avons pu les mesurer pour comparer leurs performances.

Même si ces réalisations peuvent démontrer la faisabilité de l'utilisation de la technologie SOI pour la conception d'un frontal millimétrique, il est intéressant de savoir si une évolution de ces réalisations vers un dispositif radiofréquence pour les objets communicants de types Smart Dust est possible.

Pour assurer un rayonnement unidirectionnel et pour augmenter le gain des antennes, une face arrière métallisée est utilisée avantageusement comme un réflecteur. Le problème est que cette couche n'est pas totalement intégrée dans la technologie SOI. Nous avons montré que le fait d'utiliser la couche inférieure de SOI (M1) détériore l'efficacité de rayonnement de l'antenne. Il est clair qu'une intégration complète nécessite l'utilisation unique des couches technologique. Pour essayer de profiter de ces couches, deux approches sont possibles :

- Utiliser ces différentes couches de la technologie SOI dans une structure de plan de masse à haute impédance, nous pouvons alors nous passer de la face arrière métallisée.
- Profiter des nouveaux avancements de la technologie SOI, notamment les connexions métalliques tris dimensionnelles «Through Silicon vias», pour réaliser des nouvelles configurations d'antennes et spécialement celles qui nécessitent une alimentation par couplage électromagnétique.

A cause des retards dans la réalisation, les antennes spirales et la conception conjointe ne sont pas validées par mesure. Ces mesures sont achevées dans la continuité des travaux. Une conception conjointe de l'antenne à l'émission avec un amplificateur de puissance sera encore conduite.

Publications Pendant la thèse

Conférences internationales et nationales

- M. H. Barakat, “Smart Dust : La nouvelle technologie”, JNRDM 2005, 8eme journée du réseau doctoral en microélectronique, Paris, France.
- M. H. Barakat et al., “60GHz Interdigitated SOI integrated dipole antenna with a CPW balun”, Mediterranean Microwave Symposium, 19-21 September 2000, Genoa, Italy.
- M. Barakat et al., “Performance of a 0.13 m SOI integrated 60 GHz dipole antenna”, IEEE 2007 International Symposium on Antennas and Propagation, pp. 2526- 2529, 9-15 June 2007 Honolulu, Hawai'i, USA.
- M. Barakat et al., “60 GHz Slot antenna integrated on SOI”, Mobile Optical Wireless Week, 14-16 May, 2007 Budapest, Hungary.
- M. Barakat et al., “Antenne F inversée (IFA) millimétrique en technologie SOI”, Journées nationale en Microondes JNM 2007, Toulouse, France
- M. Barakat et al., “Circularly Polarized Antenna on SOI for the 60 GHz Band”, the Second European Conference on Antennas and Propagation EuCAP 2007. 11-16 Nov. 2007 Page(s):1 - 6,” Edinburgh, United Kingdom.
- M. Barakat et al. “ On the design of 60 GHz integrated antennas on 0.13 μm SOI technology”, the IEEE SOI conference 2007 pp. 117-118, Indian Wells, California, USA

Revue Internationale

- ✓ M. H. Barakat et al., “Design and Performance of 60 GHz Dipole Antenna Integrated on Silicon on Insulator”, Submitted to the Antenna and Wireless Propagation letters.
- ✓ M. H. Barakat et al., “Performance of 60 GHz double Slot Antenna integrated on SOI”, Submitted to the Antenna and Wireless Propagation letters.

Workshop:

- M. Barakat, “60 GHz Interdigitated SOI integrated dipole antenna with a CPW balun”, Integrated Systems for mm-wave Applications, 20-21, 2006 Pavia, Italy.
- M. H. Barakat, “Conception des Antennes intégrées à 60 GHz en technologie 0.13 μm SOI », GDR Ondes, 21-23 novembre 2007, Bordeaux, France

« Dispositif radiofréquence millimétrique pour objets communicants de type Smart Dust »

La réalisation d'objets intelligents de la taille du millimètre capables d'être sensibles à leur environnement, de réaliser des calculs pour traiter les données et de communiquer de façon autonome constitue une opportunité unique pour repenser l'interaction entre l'homme et son milieu environnant. Les systèmes émergents de « Smart Dust » sont réalisés en associant massivement en réseaux distribués des centaines d'objets miniatures intelligents intégrant un système d'alimentation autonome, un ou plusieurs capteurs (lumière, température, vibration, acoustique, pression, champ magnétique, ...), des circuits analogiques et numériques pour réaliser des traitements de données et un système pour recevoir et transmettre des données. Pour faciliter la conception des systèmes radiofréquence RF ou millimétriques, l'intégration des dispositifs de système sur une même puce reste la solution souhaitée.

Dans ce contexte, la première partie de ce manuscrit propose un état de l'art des différents composants d'un émetteur récepteur RF opérant à des fréquences millimétriques et intégré sur différentes technologies, ainsi l'étude de la faisabilité de la technologie CMOS SOI en réalisant un bilan de liaison à 60 GHz. Une étude sur les actifs et passifs de la technologie CMOS SOI montre les avantages du SOI et aussi les phénomènes spécifiques qu'il faut prendre en compte dans la phase de conception. La deuxième partie est consacrée à l'étude des structures d'interconnexion de la technologie SOI, notamment les lignes et les rubans coplanaires. Ainsi nous présentons les méthodes utilisées pour déterminer la permittivité effective et l'impédance caractéristique de ces lignes et un modèle analytique de la permittivité effective de l'antenne.

La troisième partie traite le cas d'une antenne canonique de type dipôle intégré sur SOI et fonctionnant dans la bande millimétrique. Cette étude est basée sur les différents paramètres de la technologie SOI comme la permittivité, la résistivité et l'épaisseur de silicium. Ensuite, une étude de problématique de rayonnement des antennes intégrées en technologie SOI est présentée. Finalement un modèle des îlots métalliques « dummies » de la technologie SOI, basé sur le modèle dynamique de Tretyakov, est proposé.

La dernière partie est consacrée à la conception, la réalisation, le test et la mesure de antennes intégrées sur SOI et fonctionnant dans la bande de 60 GHz. Quatre types d'antennes sont présentés notamment une antenne dipôle interdigitée, une antenne IFA, une antenne double fente et finalement une antenne spirale. Les paramètres électriques des antennes dipôles, IFA, et fente sont mesurés et sont conformes aux paramètres simulés. En plus, Nous avons présenté un dispositif de test pour mesurer le diagramme de gain de ses antennes. La procédure de caractérisation a permis la validation expérimentale de ce dispositif et la récupération des diagrammes de gain des antennes au niveau de substrat SOI. Dans une optique de démonstrateur intégré, une conception conjointe d'un amplificateur faible bruit intégrée sur SOI avec une antenne intégrée, les deux fonctionnant à 60 GHz, permettant de s'affranchir de la contrainte 50 Ohms est conduite.

Mots Clés : Smart Dust, intégration sur silicium, CMOS SOI, ligne de transmission coplanaire, antennes millimétriques intégrées sur SOI, 60 GHz, dipôle, fente, IFA, spirale, conception conjointe.

“Millimetre-length radiofrequency device for “Smart Dust””

The emergent systems of “Smart dust” use networks of several hundreds of millimetre scaled devices. Each device integrates sensor and communication functions in order to be consulted by one or more transmitters. Regular progress in micro-technology and circuit's design accelerate the realization of compact devices containing one or more sensors, analogical and numerical circuits, communication systems and power source. One of the critical points of the system, object of many research tasks, is the communication system of the network of sensors. The objective of the thesis is to study a radio frequency communication system adapted to the needs of smart dust network. More precisely, it is a question of studying the feasibility of Emission-Reception devices functioning at the millimetre-length frequencies with principal constraints the reduced size and low power consumption of the system.

The first part provides a state of the art of the various components of a radiofrequency transceiver operating at millimetric frequencies. The second part is devoted to the study of SOI based interconnection structures, including coplanar strip and coplanar waveguide transmission lines. The third part deals with the case of a dipole integrated on SOI and operating at 60 GHz. This last study is based on the parameters of the SOI technology as permittivity, the resistivity and thickness of silicon. A model of the dummies of the SOI technology, based on the dynamic model of Tretyakov is proposed.

The final part is devoted to the design, implementation, and measurement of antennas integrated on SOI and operating in the 60 GHz band. Four types of antennas are presented including an interdigitated dipole, an IFA antenna, a double slot antenna and in the end a spiral antenna. These antennas were characterized and the comparison of the S parameters shows good correspondence between the measured and simulated results. In addition, a device test is presented to measure the gain pattern of these antennas. Finally, in an objective of a front end receiver, a codesign of a Low noise amplifier and an integrated antenna, both operating at 60 GHz, is proceed to eliminate the need of 50 ohms constraint.

Keywords: Smart Dust, Integration on silicon, CMOS SOI, Coplanar Waveguide, Integrated antenna on SOI, 60 GHz, dipole, Slot, IFA, Spiral, Codesign.