



**HAL**  
open science

# Methodologie de conception des protections des circuits intégrés contre les décharges électostatiques

Nicolas Nolhier

► **To cite this version:**

Nicolas Nolhier. Methodologie de conception des protections des circuits intégrés contre les décharges électostatiques. Micro et nanotechnologies/Microélectronique. Université Paul Sabatier - Toulouse III, 2005. tel-00265344

**HAL Id: tel-00265344**

**<https://theses.hal.science/tel-00265344>**

Submitted on 19 Mar 2008

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

# Synthèse de travaux

Préparée au :

**Laboratoire d'Analyse et d'Architectures des Systèmes du CNRS**

En vue de l'obtention de l'**Habilitation à Diriger des Recherches** de  
**l'Université Paul Sabatier de Toulouse**

Spécialité : **Electronique, Optronique et Systèmes**

Par :

**Nicolas NOLHIER**

Docteur de l'INSA de Toulouse

Maître de Conférences

---

## **Méthodologie de conception des protections des circuits intégrés contre les décharges électrostatiques**

---

Soutenue le 30 Novembre 2005 au LAAS/CNRS

Composition du jury :

Président	L.ESCOTTE	Professeur à l'Université de Toulouse III
Rapporteurs	O.BONNAUD	Professeur à l'Université de Rennes I
	D.LEWIS	Professeur à l'Université de Bordeaux I
	R.VELAZCO	Directeur de Recherche au CNRS
Directrice	M.BAFLEUR	Directrice de Recherche au CNRS
Examineur	C.HUET	Ingénieur Airbus
	G. MENEGHESSO	Professeur à l'Université de Padova, Italie
Invité	P. RENAUD	Ingénieur Freescale

### Résumé :

La problématique des agressions par décharges électrostatiques (ESD) est un facteur critique dans la fiabilité des circuits intégrés. Ce document effectue la synthèse des travaux menés au LAAS-CNRS dans ce domaine. Les points suivants seront plus particulièrement abordés :

- L'étude des mécanismes physiques qui gèrent le comportement d'un composant lors d'une décharge ESD
- La mise en place d'une méthodologie de conception de structures de protection
- Son application au développement de solutions de protection innovantes

La dernière partie de ce document propose les perspectives de cet axe de recherche qui sont principalement motivés par les progrès technologiques des circuits intégrés, l'évolution des normes de robustesse et l'extension de nos travaux au niveau du système.

### Mots-clés :

Décharges électrostatiques, ESD, protections ESD, TLP, Régimes fortes injections.

---

### Abstract :

Electrostatic Discharge (ESD) stresses strongly impact on integrated circuits reliability. The research work led in LAAS-CNRS laboratory on this field is synthesized in this document. The following topics are detailed :

- physical mechanisms study of device behavior during an ESD stress
- design methodology for ESD protection devices
- novelty ESD protections development

The final part of this report presents an outlook which is closely tied to integrated circuits technology advance, ESD standard development and system level approach.

### Keywords :

ElectroStatic Discharges, ESD, ESD protections, TLP, very high current injection.

*A Isabelle,  
Adrien et Raphaël*



# Table des Matières

Lexique _____	iii
Introduction générale _____	1
I. La susceptibilité des circuits intégrés aux décharges électrostatiques _____	3
I.1 Problématique _____	3
I.2 Normes et modèles ESD _____	4
I.3 Dispositifs intégrés de protection _____	7
II. Méthodologie de conception de protections ESD _____	13
II.1 Définition des structures élémentaires : la simulation physique _____	13
II.2 Caractérisation des protections élémentaires _____	27
II.3 Simulation des circuits intégrés et de leurs protections _____	34
III. Exemples de solutions de protection contre les ESD _____	45
III.1 Transistor bipolaire autopolarisé (TBA) _____	45
III.2 Thyristor symétrique, MILSCR _____	51
III.3 Protections agiles _____	54
III.4 Autoprotection d'un transistor LDMOS de puissance _____	56
IV. Nouveaux défis _____	59
IV.1 Effet des nouvelles technologies sur la robustesse ESD _____	59
IV.2 Le CDM _____	65
IV.3 Nouvelles techniques de caractérisation _____	68
IV.4 Approche système _____	72
Conclusion générale _____	75
Bibliographie _____	77
Liste des publications _____	85



# Lexique

Bulk : Substrat massif en silicium

BV : Breakdown Voltage : tension de claquage statique

$BV_{CB}$  : tension de claquage de la jonction collecteur/base

$BV_{CEO}$  : tension de claquage collecteur/émetteur du transistor en configuration base flottante

Cantilevered Diode : réseau de diode suspendu utilisé comme protection ESD

CDM : Charge Device Model : modèle de décharge électrostatique du composant chargé

CPU : Central Processing Unit: unité de contrôle et de calcul d'un ordinateur

DUT : Device Under Test : structure à caractériser

EMI : ElectroMagnetic Interference : interférence électromagnétique

EMMI : Emission Microscopy : microscopie à émission de lumière ou photoémission

EOS : Electrical Over Stress : stress en surtension d'une durée généralement supérieur à  $1\mu s$

ESD : ElectroStatic Discharge : décharge électrostatique

FIB : Focused Ion Beam :

FLIMOS : Floating Islands MOS : transistor MOS de puissance dont la tenue en tension en régime bloqué est augmentée avec l'utilisation d'ilots flottants

GGnMOS : Grounded Gate nMOS : transistor nMOS dont la grille est à la masse

GCnMOS : Gate Coupling nMOS : transistor nMOS avec un couplage capacitif sur la grille

$G_I$  : taux de génération des porteurs par ionisation par impact

HBM : Human Body Model : modèle de décharge électrostatique du corps humain

ILD : Inter-Layer Dielectric : couche de diélectrique entre les niveaux de connection métallique.

$I_{T1}$  : niveau de courant du point de déclenchement d'une structure de protection ESD

$I_{T2}$  : niveau de courant du point de défaillance d'une structure de protection ESD

Latchup : dans les technologies CMOS verrouillage d'une structure thyristor parasite qui mène à la destruction du circuit

LDMOS : Lateral Double Diffused MOS : transistor MOS à canal latéral à double diffusion

LVTSCR : Low Voltage Threshold Silicon Controlled Rectifier: protection ESD à base de thyristor et à faible tension de déclenchement

MILSCR : Mirrored Lateral Silicon Controlled Rectifier : protection ESD comportant deux thyristors latéraux symétriques

MM : Machine Model : modèle de décharge électrostatique d'un équipement d'assemblage

$N_i$  : concentration intrinsèque des porteurs libres

OBIC : Optical Beam Induced Current : technique de détection de défauts d'un circuit intégré basée sur la variation du courant d'alimentation lié à la stimulation photoélectrique laser

OBIRCH : Optical Beam Induced Resistance Change : technique de détection de défauts d'un circuit intégré basée sur la variation de résistivité lié à la stimulation thermique laser

PDE : Partial Differential Equation : équation aux dérivées partielles

Pogo pin: pour le test CDM, pointe reliée à la masse qui vient au contact de la broche du circuit

Power Clamp : protection centrale dans le circuit d'alimentation d'un circuit intégré

$R_{SRH}$  : recombinaisons

SCR : Silicon Controlled Rectifier : thyristor

SEI (Seebeck Effect Imagery) : reprend la technique OBIRCH sans polarisation du composant testé

SIMS : Secondary Ion Mass Spectrometry : méthode de mesure des profils de dopage basée sur le bombardement ionique (faisceau primaire) de la surface à analyser suivie par l'analyse par un spectromètre de masse des ions secondaires émis

SmartPower : circuits intégrés de puissance intelligente : circuits de puissance possédant une partie de commande et/ou contrôle intégrée sur la même puce

SOI : Silicon on Insulator : technologie sur laquelle la zone active est isolé verticalement du substrat silicium par une couche d'oxyde

TBA : Transistor Bipolaire Autopolarisé : structure de protection ESD dont la base et l'émetteur du transistor bipolaire utilisé sont reliés à la masse.

TDR : Time Domain Reflectometry : méthode de mesure d'impédance de ligne par réflectométrie temporelle

TLP : Transmission Line Pulsing : méthode de génération d'un signal impulsionnel utilisant une ligne de transmission. Par extension, caractéristique courant/tension quasi-statique d'un composant ESD.

TLS : Thermal Laser Stimulation : stimulation thermique laser

USB : Universal Serial Bus : interface série haut débit

VF-TLP : Very Fast Transmission Line Pulsing : extension du TLP à un domaine de temps plus court

VH : Holding Voltage : tension de maintien : paramètre extrait de la caractéristique TLP d'un composant. Elle est aussi appelée tension de repliement ou "snapback" voltage

Voltage Clamp : circuit limitant la tension

$V_{T1}$  : Triggering Voltage : niveau de tension du point de déclenchement d'une structure de protection ESD

$V_{T2}$  : niveau de courant du point de défaillance d'une structure de protection ESD

# Introduction générale

Mes travaux de thèse ont porté sur les procédés thermiques rapides pour la technologie des circuits intégrés en silicium, et plus particulièrement sur la modélisation d'un modèle de four de recuit rapide en vue de son optimisation, l'amélioration de sa métrologie, et la mise en place d'une procédure de calibrage qui a fait l'objet d'un brevet. Lors de mon recrutement en tant qu'enseignant-chercheur, j'ai changé d'axe de recherche pour me tourner vers des thématiques liées aux composants de puissance. La première thématique a porté sur l'analyse du comportement électrique des composants de puissance par des outils de simulations physiques bidimensionnelles. Le second thème a été l'étude des non-linéarités dans les transistors MOS de puissance radiofréquences qui a fait l'objet d'une thèse que j'ai co-encadrée. C'est en 1997, que j'ai abordé la problématique des décharges électrostatiques (ESD) dans les circuits intégrés en étudiant par la simulation physique bidimensionnelle le comportement de structures de protection. Le démarrage de cette nouvelle activité au laboratoire, a donné lieu à une thèse que j'ai co-encadrée. Comme il a fallu rapidement disposer de moyens de caractérisation, le développement d'un banc de caractérisations impulsionnelles a été lancé. Le retour d'une période de mise en disponibilité de Marise Bafleur, directrice de recherche au CNRS, a permis de former une équipe autour de la thématique des décharges électrostatiques et développer nos activités. A ce jour, quatre doctorants ont soutenu leur thèse sur ce thème, et cinq autres thèses sont en cours.

La problématique des décharges électrostatiques dans les circuits intégrés est un sujet très préoccupant pour le monde industriel. Les défaillances que ces agressions sont susceptibles d'engendrer sur les composants électroniques, poussent les concepteurs à rajouter des protections internes. La conception de ces protections, et la stratégie de leur implantation sur le circuit utilisent des méthodes empiriques dont l'efficacité atteint ses limites et dont l'impact sur le temps de développement est croissant.

Ce document présente la méthodologie de conception que nous avons développée, les résultats significatifs obtenus en l'appliquant, et les perspectives de recherche sur lesquels allons nous focaliser. Il se décompose en quatre parties.

Le premier chapitre pose les bases qui permettent d'aborder la problématique des décharges électrostatiques dans les circuits intégrés. Les origines des décharges ainsi que les dégradations qu'elles entraînent dans les composants électroniques, sont présentées. Afin de pouvoir évaluer la robustesse des circuits intégrés face aux décharges électrostatiques, des normes ont été mises en place. Nous présentons les caractéristiques des différents modèles de décharges qui en découlent. Malgré les nombreuses précautions qui sont prises lors des étapes de fabrication et d'assemblage, des protections actives au niveau du composant sont nécessaires pour assurer la fiabilité du circuit intégré. Les structures de protection ESD classiques à base de diode, de transistor bipolaire ou de MOS, ou encore de thyristor sont détaillées ainsi que leurs caractéristiques.

La deuxième partie décrit la méthodologie mise en place pour étudier et optimiser les performances de protections ESD. Cette méthode s'appuie sur l'utilisation d'outils de simulations physiques qui analysent le comportement électrique des dispositifs. L'accès aux différentes valeurs physiques en chaque point du composant comme le potentiel, le champ électrique, les densités de courant des porteurs ou encore la température, permet de mieux appréhender les mécanismes de fonctionnement de la protection. Le simulateur nécessite une description précise de la structure à étudier. Deux méthodes, l'une basée sur la définition analytique des dopages, et l'autre sur la simulation du procédé technologique, sont comparées. D'autre part, le calibrage du simulateur physique doit être soigné en choisissant les modèles adaptés et en réglant leurs paramètres. Des tests de sensibilité sur les différents modèles de génération par avalanche, de mobilité et de durée de vie des porteurs, sont réalisés et comparés à des caractérisations électriques expérimentales.

Si les paramètres de déclenchement d'une structure de protection ESD peuvent être alors précisément évalués, la prédiction de son point de défaillance est beaucoup plus délicate. En effet, les critères expérimentaux de défaillance ne peuvent pas être utilisés en simulation. Une nouvelle méthode de prédiction est présentée.

Les résultats de nos simulations ont dû être validés expérimentalement. Nous avons développé un banc de mesures en impulsions dédié à la caractérisation de structures de protection ESD. L'intérêt du couplage de ce banc avec une caméra de photoémission pour la détection de problèmes d'homogénéité de conduction du composant est expliqué.

Enfin, si l'outil de simulation physique est efficace pour étudier le comportement d'une protection ESD, la simulation d'un circuit intégré complet est impossible par la complexité de description et les temps de calcul excessifs. Une méthode utilisant un simulateur de circuit électrique de type SPICE peut être utilisée. Elle nécessite la conception de modèles électriques spécifiques des composants de protection. Nous présentons les modèles que nous avons développés, ainsi qu'un exemple d'application de la méthode au niveau d'un circuit intégré. Une corrélation avec une observation du circuit en photoémission est effectuée.

Le troisième chapitre est consacré à l'application de notre méthodologie de conception. Des exemples d'optimisation de protection ESD à base de transistors bipolaires sont donnés. L'accent est aussi mis sur la compréhension des mécanismes physiques qui gèrent le comportement de ces structures en régime ESD. Le développement d'une protection symétrique à base de thyristors est aussi présenté. Avec la généralisation des circuits analogiques à plusieurs tensions d'alimentation, il est intéressant d'avoir une structure à paramètre électrique ajustable. Pour répondre à ce besoin, une protection novatrice est étudiée. Enfin des résultats sur l'étude de la sensibilité d'un transistor MOS de puissance vis-à-vis des décharges électrostatiques sont présentés. Plusieurs méthodes pour assurer sa protection sont proposées.

Dans la dernière partie, nous avons identifié les nouveaux défis qui orientent nos perspectives de travaux de recherche dans le cadre des décharges électrostatiques.

L'augmentation de la densité d'intégration, l'introduction de nouvelles étapes technologiques ou encore la migration vers de nouveaux substrats sont des évolutions qui peuvent avoir un impact important sur la susceptibilité des nouveaux circuits face aux ESD.

L'émergence de nouvelles normes ESD remettent en question l'efficacité des protections actuelles et posent un problème complexe de simulation.

Les contraintes en termes de fiabilité des nouvelles applications demandent des circuits intégrés de mieux en mieux protégés et exempts de défauts latents. Les méthodes expérimentales permettant de révéler ces défauts devront être plus performantes. L'analyse en bruit basse fréquence du composant et l'observation par de nouvelles méthodes de localisation sont avancés.

Le niveau de robustesse exigé par les évolutions des applications peuvent remettre en question la protection d'un circuit par des structures intégrées. Le report de nouvelles protections actives ou passives sur la puce, ou l'implantation de circuit de protection sur la carte de l'application est envisageable. Il devient alors nécessaire d'adopter une approche système et de développer une méthode de simulation adaptée. Cette approche peut aussi amener à considérer la susceptibilité du système vis-à-vis de la compatibilité électromagnétique et étudier les interactions entre les deux types d'agressions.

# I. La susceptibilité des circuits intégrés aux décharges électrostatiques

## I.1 Problématique

Il existe deux grandes familles de décharges électrostatiques (ESD) dans l'air. La foudre qui se propage sur plusieurs centaines de mètres, et met en jeu des tensions de plusieurs centaines de kilovolts, et les plus petites décharges, qui sont générées sur moins d'un centimètre avec des tensions de l'ordre du kilovolt. Ce sont ces dernières qui intéressent la plus grande majorité des concepteurs de circuits intégrés et de systèmes électroniques, la foudre étant plus spécifiquement traitée dans le domaine aéronautique.

Une décharge électrostatique est la remise à l'équilibre des charges d'un système initialement déséquilibré. Il existe deux processus pour créer le déséquilibre de charges : la triboélectricité et l'induction. Appliqué au circuit intégré, cela revient généralement à deux types de configuration. Dans le premier cas, le circuit intégré se trouve dans le chemin de décharge, entre un générateur externe et un plan de masse. Dans le second cas, le composant initialement isolé, subit un champ électrique et se charge, pour ensuite se décharger dès qu'il a un contact externe. Nous verrons plus loin qu'il existe plusieurs normes pour répondre à ces différentes configurations.

Une décharge électrostatique peut avoir deux effets néfastes sur un circuit intégré. Elle génère un courant important qui, au passage dans le circuit, peut élever sa température jusqu'à atteindre la destruction thermique. Elle provoque aussi dans le circuit une surtension qui peut mener à la rupture d'un diélectrique ou la mise en conduction par avalanche d'une jonction dans le silicium. Dans ce dernier cas, si la jonction n'a pas un calibre en courant suffisant, il y a encore destruction thermique.

Les défaillances peuvent intervenir à plusieurs endroits dans le circuit intégré. Dans le semiconducteur, sous l'effet d'un fort courant et d'un champ électrique important, les jonctions peuvent atteindre localement la température de fusion du silicium, ce qui entraîne une diffusion des dopants, et une modification des caractéristiques. Une jonction qui, avant le stress EDS, était bloquée à la tension d'alimentation du circuit, devient maintenant passante, entraînant un dysfonctionnement du circuit. Les oxydes de grille des technologies MOS sont aussi menacés par la décharge sous l'effet d'un champ électrique élevé. Plusieurs comportements sont observés. Il peut y avoir disparition d'une partie de l'oxyde ou encore création de pièges. Dans ce dernier cas, il y a soit une modification de la tension de seuil de la grille, soit une conduction par percolation qui forme un court-circuit. Enfin le courant de décharge qui circule dans un métal peut provoquer sa fusion. La métallisation peut s'évaporer et créer un circuit ouvert. Ou alors, au cours du refroidissement du métal, un court-circuit peut se former entre des lignes adjacentes. Un contact métallique peut aussi diffuser dans le silicium et atteindre une jonction. Il y a alors court-circuit de cette dernière<sup>1</sup>.

Historiquement, ce sont les technologies MOS qui étaient les plus susceptibles aux décharges ESD, de par la grande sensibilité de leurs oxydes de grille. Cette tendance s'est ensuite généralisée aux autres technologies avec la réduction de leurs dimensions. Les jonctions moins profondes, les oxydes plus fins et les métallisations et vias moins larges, sont autant de progrès technologiques qui rendent les circuits intégrés de plus en plus sensibles aux ESD.

Actuellement, l'analyse des causes de retours clients des circuits intégrés, montre que les surcharges électriques (Electrical Over Stress), qui incluent les décharges électrostatiques, sont à l'origine de 42% des défaillances [VINS98]. 40% des ces défaillances sont identifiées comme provenant de stress ESD, mais comme souvent une défaillance ESD provoque ensuite un événement EOS, cette tendance peut être revue à la hausse. Ces défaillances entraînent un coût important dans le développement des systèmes électroniques et peuvent également poser dans les secteurs de

---

<sup>1</sup> Appelé aussi "contact spiking"

l'automobile ou de l'aviation de graves problèmes de sécurité. De même, lors du développement des circuits intégrés, la non-conformité aux spécifications ESD constitue une des principales causes du nombre d'itérations de conception. Ces itérations ralentissent le temps de développement et augmentent les coûts de conception.

Un circuit intégré est traditionnellement exposé à des décharges électrostatiques dans les trois phases que sont l'assemblage du composant, son montage sur le circuit imprimé, et les opérations de maintenance sur le système électronique final. De nombreuses mesures ont été adoptées pour réduire le risque de décharge. En salle blanche, l'environnement contrôlé permet d'utiliser des ioniseurs pour neutraliser les charges dans l'air, et des matériaux adaptés pour réduire la génération de charges. Les phases de manipulations des composants par les humains ou les machines sont particulièrement critiques et de nombreuses précautions sont prises pour limiter les décharges. Ces mesures sont aussi appliquées à l'assemblage et au montage du circuit intégré. Un conditionnement antistatique adapté est généralement choisi pour diminuer les risques de génération de charges durant le transport ou le stockage. Ces protections passives, autour du circuit intégré, ne permettent pas de totalement éliminer le risque de décharge, et il est donc nécessaire que le composant soit doté de protections intégrées. Ces dernières sont d'autant plus indispensables, que le risque de décharges électrostatiques devient de plus en plus grand. En effet, le grand nombre d'applications nomades, les nouvelles fonctionnalités qui banalisent le branchement en cours d'utilisation des systèmes (USB, Ethernet), ou encore l'explosion de l'électronique dans les véhicules, multiplient les environnements non contrôlables dans lesquels le risque de décharge électrostatique est important. Il est devenu nécessaire de quantifier la sensibilité des circuits intégrés aux ESD, et pour cela il a fallu définir des normes de protection.

## ***1.2 Normes et modèles ESD***

La forme d'onde d'une décharge électrostatique est complexe car fonction de nombreux paramètres comme le nombre de charge initialement stockées dans le générateur, la distance sur laquelle s'établit l'arc électrique, le taux d'humidité de l'air ambiant, ou encore la résistance du plan de masse. Plusieurs modèles de décharges électrostatiques ont été développés afin d'établir des normes de robustesse. Ce sont généralement des topologies de circuits électriques auxquels sont associées des formes d'onde en courant. Les équipements de test s'efforcent de les reproduire. La robustesse ESD d'un composant est définie par le modèle utilisé et la tension maximale de précharge du circuit de décharge du testeur qui a pu être appliquée sans défaillance du composant.

### Le modèle HBM

C'est le modèle le plus répandu, qui rend compte de la décharge électrique que peut générer un opérateur en touchant un circuit intégré (Human Body Model)[ESDA99][ANSI01]. La Figure I.1 représente le circuit équivalent du modèle, et la forme d'onde en courant de la décharge. Le condensateur est préalablement chargé à la tension de test, puis le contacteur S1 est fermé. Le courant maximal dans le composant testé ou DUT (Device Under Test) est atteint après 10ns, pour suivre ensuite une décroissance exponentielle, la durée totale du stress est de 500 ns. L'énergie du stress est de l'ordre de la dizaine de microjoules. La forme d'onde réelle est souvent dégradée par les nombreux éléments parasites du testeur, mais la norme JEDEC [JEDEC00] fixe un gabarit. Elle prévoit aussi un interrupteur en parallèle, S2, avec le composant testé qui doit éliminer après la décharge toute charge résiduelle sur le composant avant le test suivant.

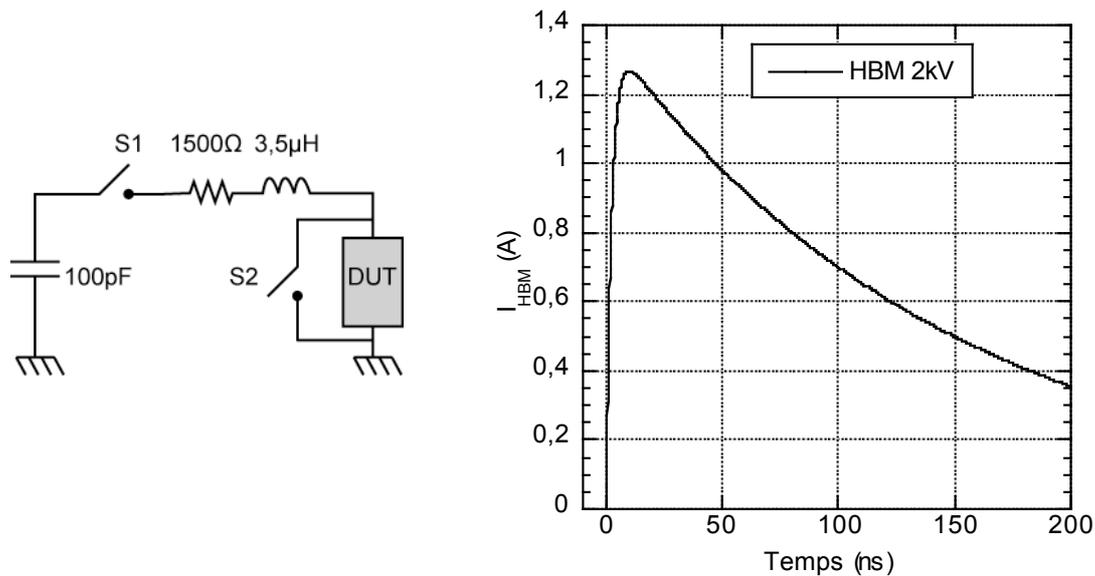


Figure I.1 : Circuit électrique équivalent et forme d'onde d'un stress HBM

### Le modèle MM

Le modèle MM (Machine Model) est dérivé du modèle HBM, en reprenant une résistance série beaucoup plus faible [ESDA99][ANSI00]. Il veut ainsi rendre compte de la décharge que peut générer un équipement sur un circuit intégré (outils de placement, fer à souder). Le temps de montée en courant est comparable au modèle HBM (15 à 20ns) mais le phénomène est oscillatoire, comme présenté sur la Figure I.2. Il présente aussi la particularité d'agresser le composant pour une polarité successivement positive et négative.

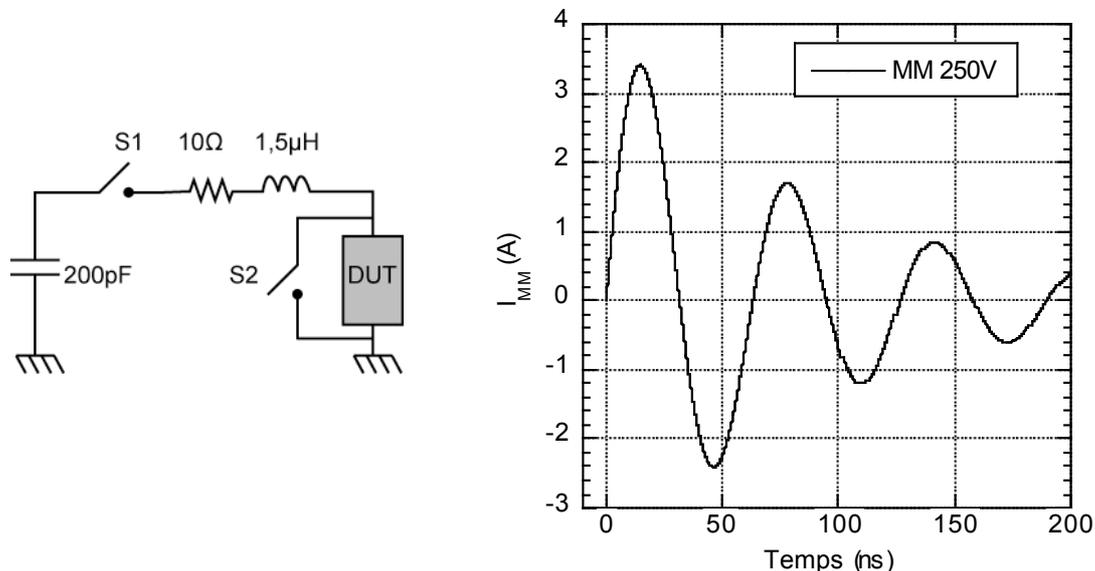


Figure I.2 : Circuit électrique équivalent et forme d'onde d'un stress MM

L'origine de ce modèle vient du Japon, et il est principalement utilisé dans l'industrie automobile. Les outils de test utilisés sont les mêmes que ceux du modèle HBM, seule la partie générateur change. La forme d'onde résultante est très dépendante de l'équipement, rendant la qualification assez difficile.

## Le modèle CDM

Ce modèle (Charged Device Model) est radicalement différent des deux premiers. Il veut simuler la décharge du circuit intégré, préalablement chargé par induction électrique, dans un plan de masse. Par rapport à un opérateur ou une machine, la capacité de charge du composant est plus faible, ainsi que les impédances qui se retrouvent dans le circuit de décharge. La forme d'onde en courant résultant est oscillante, mais montre un fort amortissement. Le stress est beaucoup plus rapide que les stress HBM ou MM, avec un temps de montée inférieur à la nanoseconde, mais le phénomène est moins énergétique (inférieur au microjoule).

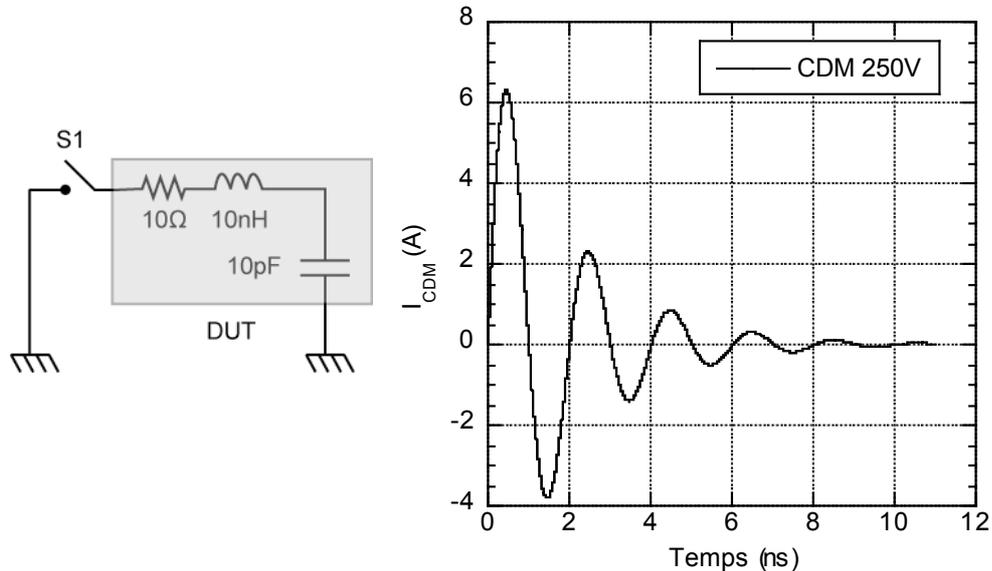


Figure I.3 : Circuit électrique équivalent et forme d'onde d'un stress CDM

Nous présenterons plus loin (cf. IV.2) la problématique spécifique qui est liée à ce modèle.

## Le modèle ESD système

Les modèles présentés ci-dessus et les équipements de tests associés sont plus particulièrement adaptés à la qualification de circuits intégrés où les formes d'ondes peuvent être directement appliqués sur le composant dans un environnement confiné. Le test de systèmes électroniques (cartes, modules, ...) est effectué avec un équipement différent. Il s'agit d'un pistolet autonome comportant un générateur haute tension, une pointe de géométrie calibrée sur laquelle la décharge est appliquée, et une prise de masse. Le test peut avoir lieu sans contact, en contact avec le boîtier du module ou encore en contact sur un connecteur ou une piste. La forme d'onde particulière [IEC01], tracée sur la Figure I.4, s'approche du stress HBM, mais avec un transitoire beaucoup plus rapide ( $< 1\text{ns}$ ). Les niveaux de courant sont plus importants ( $>10\text{A}$ ) et font de ce modèle un stress beaucoup plus énergétique (centaine de microjoules).

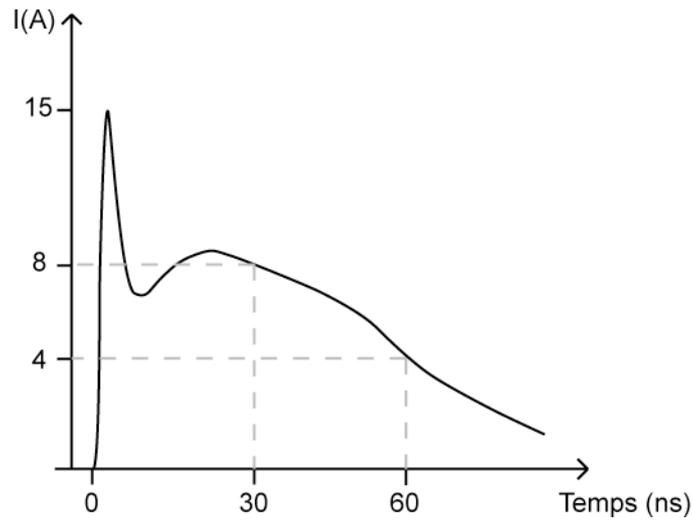


Figure I.4 : Forme d'onde d'un stress IEC (classe2, 4kV)

Des protections rapportées au niveau de la carte électronique sont généralement utilisées pour compléter les protections internes aux circuits intégrés et permettre d'absorber ce type de stress. Nous allons par la suite nous focaliser sur les seules protections internes.

### ***1.3 Dispositifs intégrés de protection***

Une décharge électrostatique peut engendrer deux types de dommage dans un circuit intégré : une destruction thermique à cause du fort courant de la décharge, et le claquage des diélectriques qui sont dus aux surtensions. La fonction électrique d'une protection ESD est idéalement celle d'un interrupteur commandé. A la détection du stress ESD, la structure doit conduire tout le courant et présenter à ses bornes une faible tension. Par contre en utilisation normale, la structure doit être transparente pour l'application, en présentant alors une forte impédance.

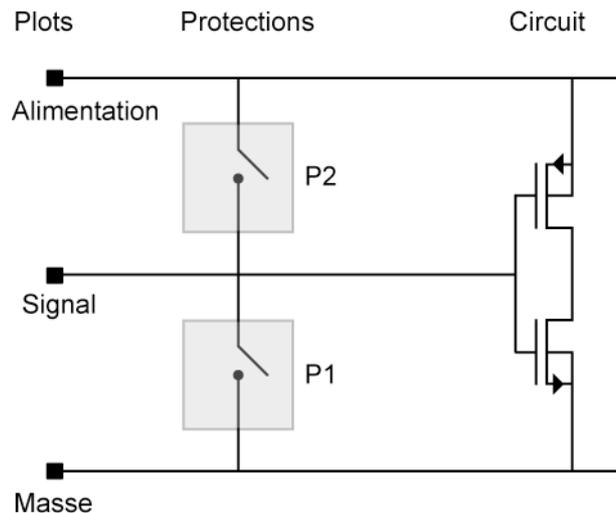


Figure I.5 : Exemple d'implantation de protections ESD

La Figure I.5 montre un exemple d'implantation de structures de protection sur une entrée de type CMOS. L'application d'un stress ESD entre le plot de signal et le plot de masse, déclenche la structure P1 qui absorbe la décharge. La structure P2 sera active pour un stress appliqué entre le plot de signal et le plot d'alimentation. Les structures de protection doivent fonctionner pour les deux polarités de stress, et elles sont localisées au plus près des plots afin d'éviter la destruction des

connexions métalliques internes au circuit. Il existe des configurations de protection plus complexes qui sont détaillées plus loin (cf. II.3.2).

Les structures de protection ESD présentent généralement deux types différents de caractéristiques dynamiques courant/tension. Ces caractéristiques sont expérimentalement obtenues avec un équipement de test dédié ou TLP (Transmission Line Pulsing) qui est présenté dans le chapitre suivant (cf. II.2.1). La première caractéristique de la Figure I.6 possède un régime de forte impédance pour des faibles niveaux de courant, et un régime de faible impédance pour des tensions supérieures à la tension de déclenchement  $V_{T1}$ . Le couple courant/tension  $(I_{T2}, V_{T2})$  correspond au point de défaillance de la structure. La seconde caractéristique est singulière des structures à retournement. A son déclenchement, la protection entre dans son régime de conduction et soutient une tension plus faible que la tension de déclenchement. Cette tension de maintien  $V_H$  est intéressante pour la protection car elle permet de supporter, à puissance équivalente, un plus fort niveau de courant par rapport à un comportement sans retournement.

Les paramètres des caractéristiques dynamiques que nous venons d'explicitier doivent rentrer dans une fenêtre de conception afin de garantir l'efficacité de la protection. La tension de déclenchement  $V_{T1}$  doit avoir une valeur plus grande que la tension d'alimentation du circuit afin d'éviter le déclenchement intempestif de la structure en utilisation normale. Par contre, cette tension doit bien sûr être plus faible que la tension maximum  $V_{MAX}$  que peut supporter le circuit sans destruction. La tension  $V_{T2}$  doit aussi être plus faible que  $V_{MAX}$ , ce paramètre est fortement dépendant de la résistance à l'état passant du composant. Pour le cas des structures à retournement, la tension  $V_H$  est généralement prise supérieure à la tension d'alimentation. Cette précaution garantit au concepteur que la structure ne puisse pas rester verrouillée en cours d'utilisation par un déclenchement intempestif de la protection ou une décharge électrostatique. Dans certains cas, la tension  $V_H$  peut être prise inférieure à la tension d'alimentation, mais alors le courant de maintien  $I_H$  devra être supérieur au courant maximum que peut fournir l'alimentation.

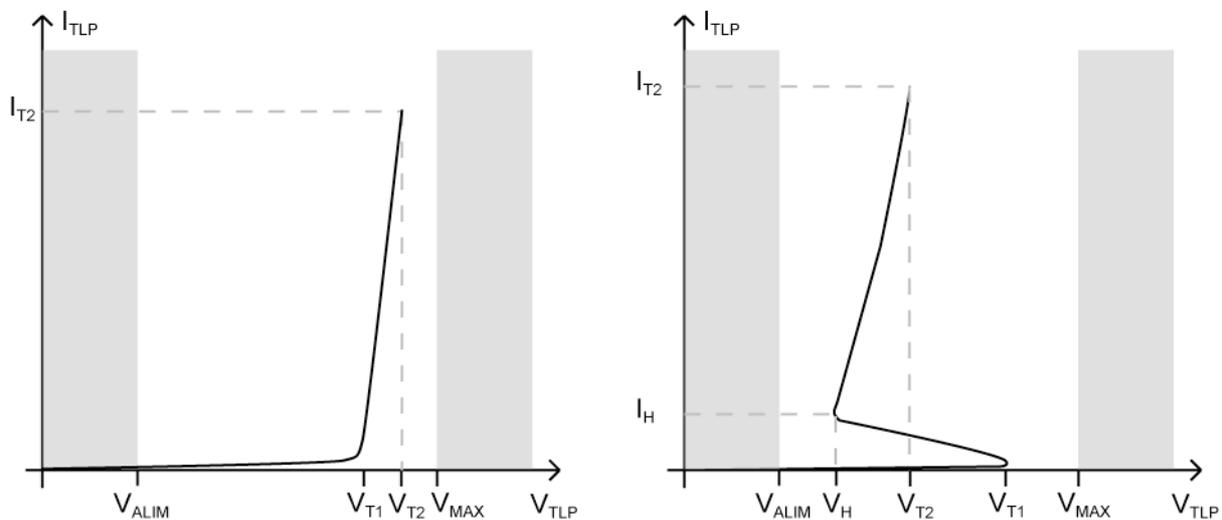


Figure I.6 : Caractéristiques typiques dynamiques de protections ESD sans et avec retournement

Nous allons présenter les différentes structures élémentaires qui sont utilisées comme protections ESD.

### La diode :

La diode a été longtemps utilisée comme unique protection ESD. La Figure I.7 montre un exemple d'implantation entre deux plots. En utilisation normale le signal voit des tensions positives

par rapport à la masse. En mode ESD, la décharge est appliquée sur la broche de signal. Deux polarités sont possibles. Dans le cas d'une polarité négative, la diode est polarisée en direct et elle évacue facilement la décharge. Pour une polarité positive, la diode conduit quand elle atteint sa tension d'avalanche. La résistance à l'état passant dans ce mode est plus élevée. La diode doit avoir une surface suffisante pour atteindre le niveau de robustesse désiré.

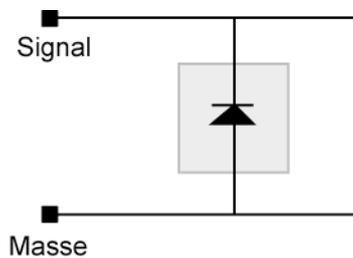


Figure I.7 : Protection à base de diode

Il est possible d'utiliser plusieurs diodes en série afin d'augmenter les tensions de déclenchement au détriment de la place occupée.

Une diode Zener peut aussi être utilisée. A surface comparable, elle présente une résistance à l'état passant plus faible que la diode à avalanche, mais son courant de fuite élevé limite souvent son utilisation.

Les diodes restent à ce jour les protections privilégiées du domaine des hautes fréquences. Elles ont une capacité parasite plus faible que les autres composants, ce qui est un facteur déterminant pour satisfaire aux contraintes fréquentielles de ces applications [DOUK03] [LERO02].

#### Le transistor bipolaire :

Le transistor bipolaire utilisé comme protection ESD voit sa base et son émetteur court-circuité, Figure I.8. Lors d'une décharge négative par rapport à la masse, la jonction collecteur/base est polarisée en direct, et comme la tension de mise en conduction est très basse, la structure est généralement robuste. Pour une décharge positive, ce transistor bipolaire autopolarisé (TBA) possède une caractéristique dynamique courant/tension à repliement. Le composant est bloqué jusqu'à atteindre la tension d'avalanche de la jonction collecteur/base. Le courant de trous dans la base augmente alors localement le potentiel de cette dernière. Pour un courant d'avalanche suffisant, la jonction base/émetteur est polarisée en direct, et le transistor se déclenche, entraînant un repliement de la tension. Ce mécanisme est approfondi dans le chapitre III (cf. III.1).

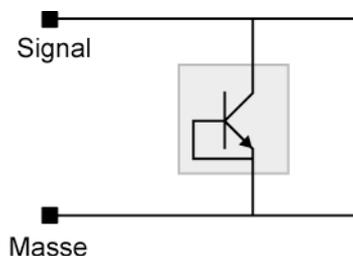


Figure I.8 : Protection à base de transistor bipolaire NPN

La faible résistance à l'état passant du transistor, et le repliement de la tension, font de cette structure un protection plus robuste que la diode. Les tensions de déclenchement sont habituellement dans la gamme des moyennes aux fortes tensions (10 à 80V). Une résistance externe peut être ajoutée entre la base et l'émetteur pour réduire la tension de déclenchement.

Ce sont classiquement des transistors NPN qui sont utilisés. Les transistors PNP ont un gain plus faible, ce qui se traduit par un retournement beaucoup plus faible (cf. eq II.2).

### Le transistor MOS :

Ce transistor est surtout déployé comme protection ESD dans les technologies CMOS où les TBA ne sont pas disponibles. Les deux configurations classiques sont représentées sur la Figure I.9

Le GGnMOS est un transistor nMOS dont la grille, la source et le substrat sont connectés à la masse (Gate Grounded). Dans cette configuration, le transistor bipolaire parasite, formé par le drain, le substrat et la source, est exploité comme un TBA. La protection présente une caractéristique courant/tension à retournement sur un stress positif, et un comportement de diode polarisée en direct, la jonction drain/substrat, pour une décharge négative.

La deuxième configuration rajoute une résistance entre la grille et la source pour former un GCnMOS (Gate Coupled). La valeur de cette résistance est choisie en fonction de la tension de seuil du transistor, et de la valeur de sa capacité drain/grille. Une capacité externe entre le drain et la grille peut aussi être ajoutée. Au début d'un stress positif sur le drain du composant, la capacité drain/grille conduit le courant transitoire qui traverse la résistance. La tension sur la grille augmente jusqu'à mettre en conduction le transistor MOS. En fonction de la configuration de la structure deux comportements sont alors possibles. Soit le transistor est suffisamment dimensionné pour évacuer toute la décharge par conduction MOS. Soit son canal conduit une partie du stress avant que le transistor bipolaire parasite ne se déclenche et évacue le reste de la décharge. Le couplage capacitif permet alors de diminuer la tension de déclenchement de la protection.

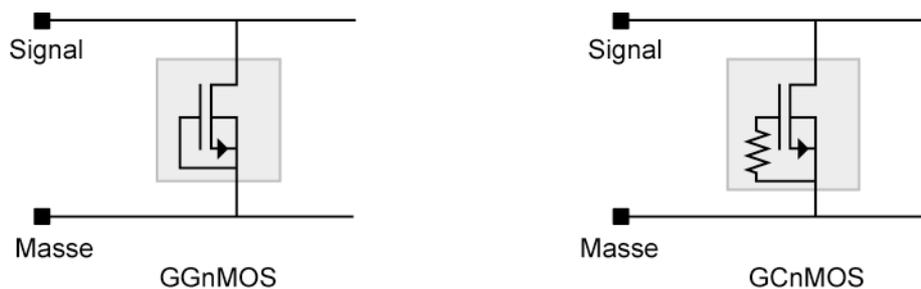


Figure I.9 : Protections à base de transistor nMOS

Les surtensions sur la grille durant le stress doivent être limitées afin d'éviter sa destruction.

Même si le principe de fonctionnement est identique, à surface égale, la robustesse d'un GGnMOS est souvent inférieure à celle d'un TBA. En effet, le GGnMOS exploite un transistor bipolaire parasite latéral qui dissipe moins facilement la température qu'un TBA vertical.

### Le thyristor :

Le thyristor, appelé aussi SCR (Silicon Controlled Rectifier), est utilisé comme élément de commutation pour les applications de forte puissance. Ce composant est formé de l'association d'un transistor PNP imbriqué dans un transistor NPN, voir Figure I.10. Il possède une commande de déclenchement, ou gâchette, sur laquelle une impulsion de contrôle déclenche la conduction des deux transistors qui se verrouillent. La structure présente alors une très faible résistance à l'état passant. Elle repasse à l'état bloqué quand le courant qui la traverse devient inférieur à son courant de maintien.

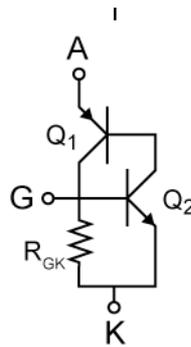


Figure I.10 : Thyristor pour la commutation

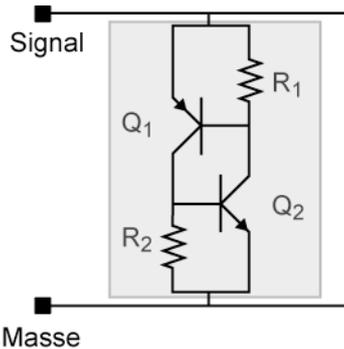


Figure I.11 : Protection utilisant une structure de thyristor

Le concept est repris pour former la protection ESD de la Figure I.11. La commande de gâchette sur la base du transistor NPN Q2 est supprimée, et une résistance R1 est ajoutée entre la base et l'émetteur du transistor PNP Q1. Dans le dessin des masques de la structure, les deux transistors ont en fait leurs contacts de base et d'émetteur court-circuités, et les résistances R1 et R2 sont en fait les résistances intrinsèques de leurs bases. Le déclenchement de Q2 se fait par le claquage de la jonction collecteur/base et la polarisation de la jonction base/émetteur. Le transistor Q1 se déclenche à son tour et le système se verrouille.

Les tensions de déclenchement sont généralement importantes. Des solutions technologiques permettent de les réduire, comme l'ajout d'une implantation localisée de type N fortement dopée sur la jonction collecteur/base du transistor NPN. Les protections ainsi modifiées sont appelées MLSCR (Modified Lateral Silicon Controlled Rectifier) [KER98].

Les thyristors ne sont pas employés comme protections sur les plots d'alimentation. Cette précaution permet d'éviter, en cas de déclenchement intempestif de la structure, le verrouillage de la protection sur le courant d'alimentation qui conduirait à la destruction inévitable du circuit. Sur des plots d'entrées/sorties, les thyristors permettent d'obtenir des structures très robustes et compactes. Ces protections présentent en principe les meilleures performances ESD.



## II. Méthodologie de conception de protections ESD

La conception des structures de protection ESD a été longtemps effectuée de manière empirique en utilisant des structures de la bibliothèque standard des technologies (diode, transistor bipolaire ou MOS). Sur ces structures étaient appliquées des règles sommaires spécifiques aux ESD (résistance de ballast, largeur des métallisations..) et leur dimensionnement était effectué par des itérations entre fabrication et tests destructifs en fonction du niveau de robustesse requis. Le positionnement des protections au sein du circuit tenait plus de l'expérience du concepteur que d'une réelle méthodologie. Nous proposons dans ce chapitre de présenter un flot de conception de protections ESD. Basée sur l'utilisation d'outils de simulation et de caractérisation dédiés, cette technique permet dès la phase de développement d'une nouvelle technologie de prendre en compte la problématique des ESD et de prédire l'efficacité des protections qui seront proposées. Les retombées sur les réductions du coût et de durée du développement de la technologie sont bien sur très intéressantes.

### ***II.1 Définition des structures élémentaires : la simulation physique***

Les outils de simulation physique sont aujourd'hui assez souvent utilisés pour appréhender le comportement d'un composant. Très gourmands en termes de mémoire et temps de calcul, ces outils ont profité de la montée en puissance des moyens de calculs numériques. Ils permettent de rendre compte du comportement électrique d'un ou quelques composants en utilisant une description bidimensionnelle de ces derniers. Pour des cas simples et quand cela est vraiment nécessaire, une simulation tridimensionnelle peut être menée mais au détriment d'un temps de calcul nettement plus long, d'une description de la structure et d'une exploitation des résultats plus complexes, et d'une limitation de la finesse du maillage. Par contre, la simulation globale d'un circuit intégré est à ce jour impossible avec ces outils, elle est réservée à des simulateurs purement électriques de type SPICE [NAGE75].

Le recours aux outils de simulation physique a débuté dans le milieu universitaire. Un des premiers simulateurs fut le logiciel PISCESII de l'université de Berkeley [PINT84]. Uniquement dédié au silicium, avec un choix limité de modèles et aucun environnement de description, ce simulateur bidimensionnel est resté longtemps le noyau de simulateurs commerciaux plus récents. Des outils ont aussi été développés au sein du LAAS. Des premiers travaux dirigés par Georges Charitat ont mené à la mise au point du simulateur BIDIM2 [GAR87]. Dans la continuité, le passage au laboratoire d'Eugène Stefanov, a permis le développement de l'outil POWER2D [NOLH94]. Ces outils bidimensionnels sont limités à la seule résolution de l'équation de Poisson, mais sont particulièrement bien adaptés à la simulation de composants de puissance à l'état bloqué. Le développement en interne de tels outils offre de plus la possibilité d'intégrer des algorithmes spécifiques à nos besoins.

Depuis le début des années 90, des outils commerciaux sont apparus tels que S-PICES (Silvaco), MEDICI(2D) et DAVINCI(3D) (TMA puis Avant puis Synopsys) et DESSIS (ISE puis Synopsys). Ces outils sont généralement tridimensionnels, proposent un large choix de modèles, et sont étendus à d'autres matériaux que le silicium comme les composés III\_V ou le SiGe. Ils sont capables de tenir compte des interactions optiques, de la température du réseau cristallin, ou de celles des porteurs (équations hydrodynamiques). Ces simulateurs sont intégrés dans des environnements où l'on retrouve des simulateurs de procédés technologiques, de couplage électromagnétique pour les interconnexions, des outils de description et de visualisation. La gestion de simulations paramétriques est facilitée en gérant l'arborescence des fichiers de résultats. Il existe aussi des optimiseurs permettant, par exemple, de trouver la valeur optimale d'un paramètre de la simulation de procédé technologique d'un composant pour une valeur fixée de sa réponse électrique issue de

la simulation physique. Enfin, un couplage entre simulation physique et simulateur de circuits électrique est le plus souvent disponible. Cette option est intéressante pour la simulation ESD car elle permet de modéliser finement le générateur de décharges en incluant ses éléments parasites par un circuit électrique équivalent.

Nous évaluons depuis 1992 ces outils commerciaux, et les progrès effectués et les possibilités actuels nous ont poussé à abandonner nos travaux sur le développement de solutions internes. Deux offres logicielles ont plus particulièrement attiré notre attention. Les outils de Silvaco, par leur bonne ergonomie et leur facilité d'accès sont généralement utilisés pour la formation. Les outils ISE plus complexes mais beaucoup plus suivis, sont plutôt utilisés en recherche.

Quelque soit la version de l'outil utilisé, universitaire ou commerciale, ces simulateurs physiques reposent sur le même principe. La structure est décrite à l'aide d'un maillage bi ou tridimensionnel. Les informations critiques sont la géométrie, la composition des différentes régions, le dopage des régions semiconductrices et la position des électrodes. Les équations des semiconducteurs, que l'on peut exprimer sous forme d'équations aux dérivées, sont discrétisées sur ce maillage et résolues en utilisant une méthode numérique adaptée. Des conditions en tension ou en courant sont fixées sur les électrodes, et les solutions sont trouvées par itérations lorsque le critère de convergence est atteint. L'utilisateur a le choix entre plusieurs méthodes numériques et peut intervenir sur leurs paramétrages afin d'adapter la méthode au composant simulé. Plusieurs régimes de fonctionnement sont disponibles comme le régime statique ou quasi-statique, le régime temporel ou encore le régime de fonctionnement sinusoïdal petit signal. C'est le régime transitoire qui est essentiellement utilisé pour les ESD, il correspond malheureusement souvent au temps de simulation le plus long.

La résolution de l'équation de la chaleur au niveau du cristal est aussi utilisée. La diffusion de la température dans le silicium n'est pas réellement critique par rapport à la durée d'une décharge électrostatique. En effet, la constante de diffusion thermique dans le silicium est de l'ordre de la microseconde pour des dimensions dans la gamme du micromètre. Or le temps pour atteindre le maximum de courant lors d'une décharge ESD est plutôt d'une dizaine de nanosecondes (cas de l'HBM), voire la nanoseconde (cas du CDM). L'échauffement de la puce est donc très localisé. Mais cette augmentation locale de la température a un effet très important sur les paramètres physiques des modèles utilisés. Nous montrerons d'ailleurs plus loin que ceci pose un problème au niveau de leur validité.

Il existe un grand choix de modèles dont la sélection et les principaux paramètres sont laissés à la discrétion de l'utilisateur en fonction du composant simulé. Les équations des modèles ne sont généralement pas modifiables, mais pour certains, il existe des modules externes dans lesquels le modèle peut être réécrit en langage évolué. Le nouveau modèle est alors interprété, ce qui est très pénalisant en termes de temps de simulation, ou compilé et lié au noyau de simulation, solution qui est plus efficace.

Deux types de résultats sont obtenus après la simulation. Soit les caractéristiques courant/tension sur chaque électrode du composant peuvent être comparés aux mesures expérimentales, soit des coupes internes donnent la répartition des différentes grandeurs physiques dans le composant. Ces distributions ne sont généralement pas mesurables directement par l'expérience, mais dans certains cas peuvent être comparés à des analyses de défaillances (points chauds dans le volume) ou à des mesures optiques (cf. II.3.3).

Comme nous l'avons déjà souligné, les simulations physiques demandent des ressources informatiques importantes, en termes de mémoire et de performances. Un problème bidimensionnel demande entre 100Mo et 500Mo de mémoire vive, et une simulation tridimensionnelle peut requérir jusqu'à 3 Go de mémoire. Les systèmes d'exploitation des stations de travail savent fournir plus de mémoire aux applications que la mémoire physique qui est réellement implantée sur la machine en utilisant le concept de mémoire virtuelle. Mais cette méthode qui se base sur la segmentation de la mémoire sur disque dur est très pénalisante en temps de simulation. Nos moyens de calculs actuels tiennent compte de ces besoins et reposent sur un serveur de calcul possédant 16 Go de mémoire physique et 8 processeurs. Tous les processeurs ne sont pas utilisés pour la même simulation, favorisant ainsi le travail en équipe ou les simulations paramétriques. Mais pour certains problèmes

où le temps de calcul est vraiment prohibitif, certaines méthodes numériques proposent l'option de calcul parallèle. Suivant les outils, la stratégie de parallélisation et son efficacité peuvent varier.

Pour le simulateur Atlas le domaine de simulation est divisé en nombre égal au nombre de processeurs désirés pour la simulation. Chaque processeur calcule le sous-domaine qui lui est dédié. Entre deux itérations, les processeurs échangent leurs solutions, et un test sur la convergence globale est alors effectué. Ce test ne peut être effectué que par un seul processeur. Le procédé a été testé pour des simulations 2D. Il apparaît efficace pour des maillages moyens (1000 à 5000 points) ou importants (>5000 points). La Figure II.1 présente les coefficients d'accélération du temps de simulation en fonction du nombre de processeurs utilisés pour deux simulations 2D. Le premier cas correspond à une simulation temporelle sur 6400 points dont le temps de référence sur un processeur est de 1h59mn. Le second cas porte sur une simulation de 3600 points dont la durée de référence est de 50min (processeurs 225MHz sur station o2000 Silicon Graphics). Ces paramètres tendent vers une saturation quand un grand nombre de processeur est utilisé. Nous utilisons généralement 4 processeurs pour nos simulations, ce qui correspond à un gain entre 2,5 et 2,7 et permet de ne pas réserver toutes les ressources du serveur de calcul.

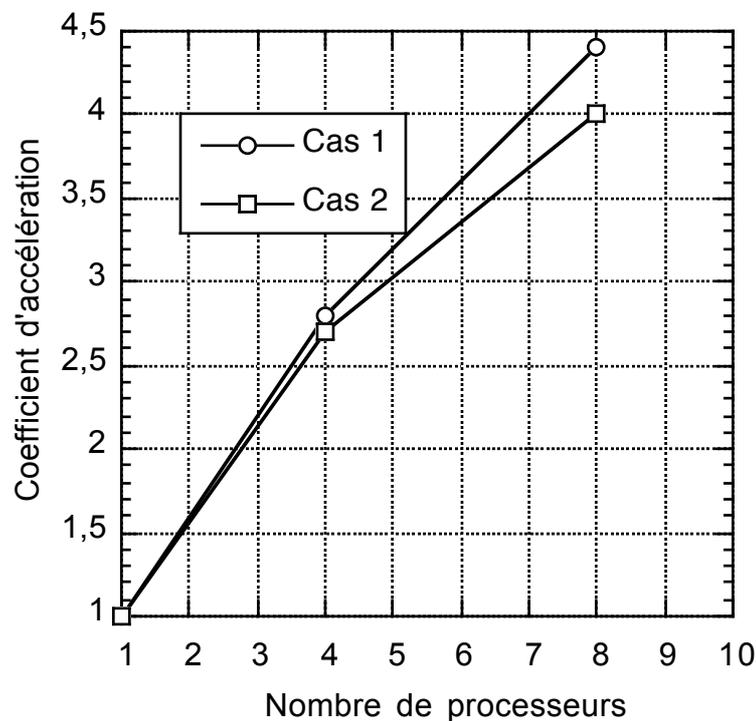


Figure II.1 : Efficacité de parallélisation sur les outils Silvaco

Le cas du simulateur Dessis est différent. Deux niveaux de parallélisation peuvent être utilisés.

Le premier, qui n'est disponible que pour la méthode numérique utilisant le solveur Pardiso, effectue réellement le calcul parallèle de la structure. Il s'appuie sur un algorithme qui analyse la structure et identifie les zones actives du composant. Chaque zone est alors traitée par un processeur qui cherche localement une solution. Pour être efficace, la simulation doit porter sur un problème comportant un grand nombre de nœuds, et plusieurs zones actives. Dans le cas contraire, le système passe la plupart du temps à contrôler la convergence générale du système et ceci dégrade fortement les performances du simulateur. La méthode a l'avantage de s'appliquer aussi aux problèmes 3D où elle est particulièrement plus efficace. La Figure II.2 montre le gain de temps pour une simulation 3D assez lourde (41000 points) dont la durée totale pour un seul processeur est de 26h50mn. On observe une très bonne efficacité de parallélisation avec un coefficient d'accélération de 3,4 pour 4 processeurs. Par contre le gain est négligeable dans le cas 2D (4800 points) puisque inférieur à 1,2 pour 4 processeurs. L'utilisation en mode multiprocesseur devient alors injustifiée, car elle réserve trop de ressources du système pour un gain limité. Les simulations présentées ont été exécutées sur un serveur Sun V880 possédant 8 processeurs à 900MHz.

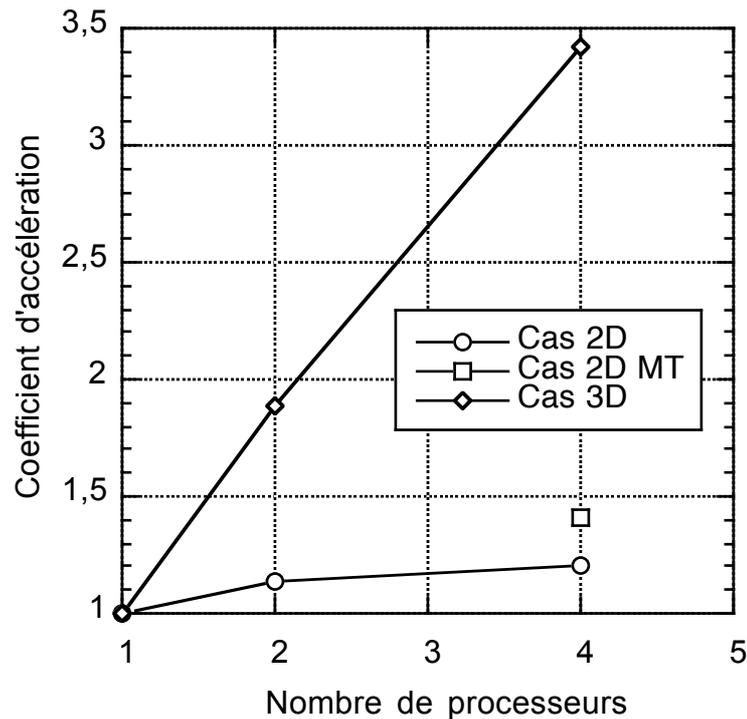


Figure II.2 : Efficacité de parallélisation sur les outils ISE

La seconde méthode n'effectue en parallèle que le calcul de certaines grandeurs physiques (mobilités, génération par avalanche, densité de courant). Le reste est géré par un seul processeur. Il en ressort un gain limité sur le temps de calcul (40% pour 4 processeurs), ce résultat est présenté sur la Figure II.2 par le cas 2D MT. Cette valeur est faible car la phase de calcul parallélisée des grandeurs physiques représente une petite partie du temps de calcul total. L'utilisation de cette méthode sur un serveur multiprocesseur reste intéressante car, contrairement à la première méthode, l'allocation des 4 processeurs ne s'effectue que dans la phase de calcul parallèle, libérant ainsi le reste du temps les ressources à la simulation d'autres problèmes.

Enfin, l'utilisation conjointe des deux méthodes n'est pas du tout optimisée et aboutit généralement à une baisse significative de performances.

### II.1.1 Description analytique ou simulation du procédé technologique

Il existe deux méthodes pour définir le composant à simuler : une description analytique ou le résultat d'une simulation de procédés technologiques. La première méthode consiste à définir la géométrie de la structure à l'aide de segments de droite, de définir les zones de dopages par des équations analytiques et de générer le maillage. Les paramètres de ces équations sont choisis pour approcher au mieux les valeurs des profils de dopage obtenus à l'aide d'analyse par sonde ionique ou SIMS (Secondary Ion Mass Spectrometry). Il est aussi possible de reporter directement les SIMS sur la structure, les valeurs de dopages sont alors interpolées sur le maillage. Cette option n'est applicable que pour la direction verticale. La seconde solution s'appuie sur la simulation préalable du procédé technologique de fabrication. Pour cela, il est nécessaire d'avoir accès à un simulateur technologique (Athéna pour Silvaco ou Dios pour ISE) et de connaître les différentes étapes technologiques et les paramètres nécessaires à leur bonne description. Dans le cas de filières technologiques récentes, le nombre d'étapes technologiques est important (>20 niveaux de masque), rendant ces simulations très lourdes (cf. Table II.1). Mais quand elles sont bien calibrées elles rendent compte fidèlement de la géométrie et des dopages dans la structure. L'intérêt de cette méthode est d'obtenir un maillage sur lequel les profils latéraux de dopages sont plus réalistes que

dans l'approche analytique. En effet, dans cette dernière, les profils verticaux, qu'ils soient obtenus analytiquement ou par lecture d'un SIMS, sont reportés dans la dimension latérale en utilisant un facteur d'extension (généralement choisi empiriquement entre 0,3 et 0,8). La Figure II.3.a montre un exemple de profil SIMS mesuré, le même profil vertical généré par l'outil de description analytique de ISE et le résultat de la simulation de procédé technologique. Pour les profils verticaux, il y a un très bon accord entre les trois courbes. La Figure II.3.b montre un autre exemple de profils latéraux de bore et de phosphore en utilisant les deux méthodes décrites.

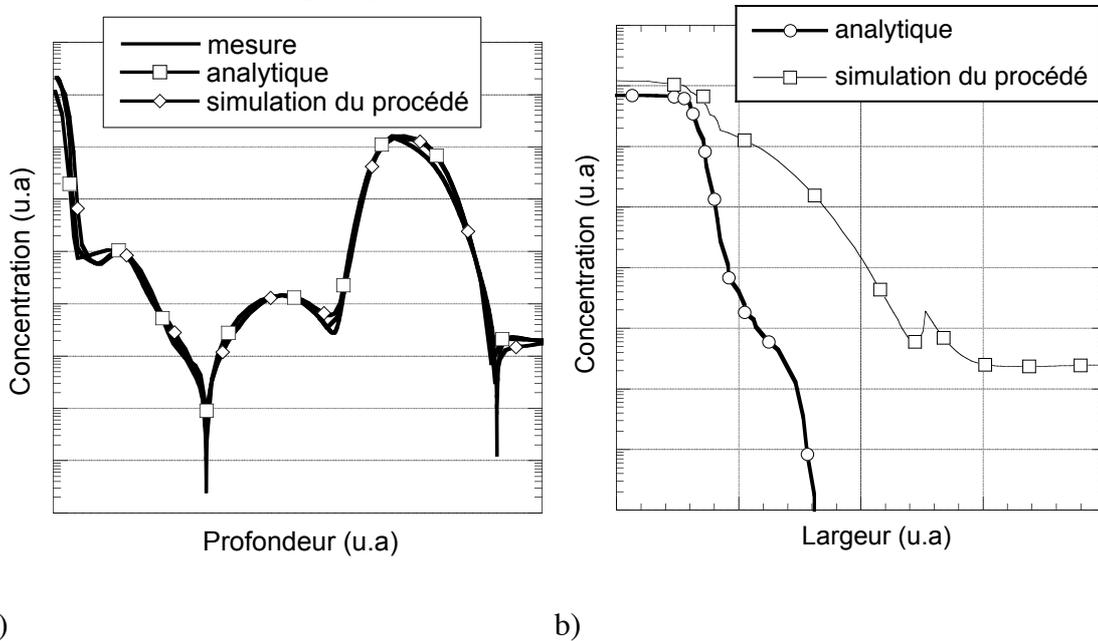


Figure II.3 : Différences de profils verticaux (a) et latéraux (b) entre la simulation de procédé technologique et la description analytique

Longueur	50 $\mu\text{m}$
Profondeur	15 $\mu\text{m}$
Maillage initial	600 points
Maillage final	50 000 points
Nombre de masques simulés	10
Temps de simulation	3 jours, 8 heures
Machine	Linux, Xéon 3.2GHz

Table II.1 : Exemple de simulation de procédé technologique sur une structure de protection ESD bipolaire en technologie de puissance intelligente avancée.

C'est la diffusion de phosphore qui définit la position de la jonction et sa gradualité. Il y a une différence importante entre les deux profils, l'extension latérale a été prise ici à 0,8. Ceci a un effet important lorsque le composant à un processus de déclenchement latéral. Des différences de plus de 20 % ont été trouvées sur la tension de déclenchement de structures bipolaires [SALA05].

L'utilisation du résultat de la simulation de procédé technologique n'est pas directement exploitable. En effet, le nombre de points générés est très important, et de fortes densités de points sont souvent dans des régions qui offrent peu d'intérêt pour la simulation physique comme la description détaillée des zones d'oxydes ou de métallisations. Par contre, il est fréquent que des endroits stratégiques (jonctions, canal de MOS, zone de drift) soient décrits sur un maillage trop relâché. Il est donc nécessaire de passer par une étape d'optimisation du maillage avec un outil dédié

qui est généralement le même que celui utilisé pour la description analytique. On peut profiter de cette étape pour ajouter artificiellement des dopages dans la structure et adopter une stratégie de description mixte. Cette méthode est particulièrement efficace lorsque le composant comporte des étapes technologiques qui induisent des temps de simulations importants mais dont les propriétés en descriptions latérales ne sont pas critiques. C'est le cas des couches enterrées.

Enfin, si le travail porte sur la conception de structures de protection sur des technologies non figées ou prospectives, seule l'approche simulation de procédé technologique peut être abordée.

## II.1.2 Le calibrage du simulateur

Les simulateurs physiques disposent de beaucoup de modèles, souvent redondants, et de plusieurs jeux de paramètres associés. Dans le cas du silicium, et pour des tailles de composants bien plus grandes que des nanostructures, ces dernières nécessitant des simulations quantiques, les principaux modèles portent sur les grandeurs physiques suivantes : la largeur de la bande interdite, l'affinité électronique, la densité intrinsèque des porteurs, l'ionisation partielle des dopants, la mobilité des porteurs ou encore les mécanismes de génération / recombinaison. Ces modèles sont fonctions de différents paramètres liés à la structure et son état : la concentration des dopants, la température du réseau cristallin, le champ électrique interne, ou la densité des porteurs libres.

Le choix des modèles doit se faire en fonction du composant étudié. Généralement, on différencie les modèles utilisés pour un composant MOS d'un composant bipolaire. En effet, les mécanismes qui gèrent leur fonctionnement sont différents et chaque type doit avoir un jeu de modèles bien appropriés. Dans le cas de structures de protection ESD, ceci est différent. En effet, si c'est un transistor nMOS qui est utilisé en configuration grille et source connectées à la masse (GGnMOS), c'est le transistor bipolaire parasite qui est activé, inhibant l'effet de champ. Dans la majorité des cas, les modèles seront choisis pour rendre compte d'un comportement bipolaire. Seul, le cas de la protection utilisant un MOS et un couplage capacitif par la grille (GCnMOS) déroge à cette règle. Dans cette configuration, l'effet de champ est utilisé pour déclencher la structure, l'effet bipolaire venant ensuite participer à la conduction. Le choix des modèles est encore plus difficile. Ce type de configuration se retrouve aussi sur les composants de puissance MOS qui s'auto-protègent contre les ESD [BESS02].

Si la sélection des modèles s'effectue en principe en fonction du type de composant à simuler, leurs paramètres peuvent varier en fonction de la technologie utilisée. Il est donc nécessaire de passer par une phase de calibrage de ces paramètres.

Le calibrage s'effectue dans un premier temps sur des composants standards de la technologie. Dans le cas d'un transistor bipolaire, deux caractéristiques statiques sont intéressantes car elles sont en relation étroite avec les paramètres dynamiques de la protection ESD. La première caractéristique est la tension  $BV_{CB}$  de claquage entre le collecteur et la base qui rend compte du phénomène d'avalanche. Lorsque la protection ESD est correctement dessinée, la tension  $V_{TI}$  de déclenchement de la structure se rapproche de cette tension  $BV_{CB}$ . Si on veut retarder le déclenchement à des tensions plus hautes, il est possible de jouer sur la résistance interne de base, responsable de la mise en conduction de la jonction base/émetteur et donc du transistor bipolaire. Quoi qu'il en soit, la tension  $BV_{CB}$  doit être correctement évaluée en statique. Le modèle de génération par avalanche est unique :

$$G = \alpha_n \cdot n \cdot v_n + \alpha_p \cdot p \cdot v_p \quad (\text{II.1})$$

Il est fonction des densités de porteurs libres, leurs vitesses de déplacement, et deux coefficients d'ionisation. Ce sont pour ces derniers que différentes expressions sont disponibles. Deux modèles [OVER70, LACK91] sont dérivés du modèle de la loi de Chynoweth et un autre modèle est purement empirique [OKUT75]. La gamme de températures de ces modèles est assez limitée (de 300 à 400K). Des travaux plus récents ont permis l'implantation d'un nouveau modèle dont la gamme de validité en température a été étendue à 700K [VALD99]. La Table II.2 montre la tension de claquage

statique mesurée et simulée sur un composant bipolaire. Dans ce cas c'est le modèle d'Okuto/Crowell qui donne la meilleure valeur mais ce n'est pas à généraliser à tous les cas, d'autant plus que dans ce composant la dispersion des résultats n'est pas grande (<6%).

	BV <sub>CB</sub> (V)
<i>Mesure</i>	42
Modèle VanOverstaeten	44
Modèle Lackner	44,7
Modèle Okuto/Crowell	43,8
Modèle de Bologne	44,6

Table II.2 : Exemple de simulation d'une tension de claquage pour différents modèles de coefficients d'ionisation

La seconde caractéristique statique qui est intéressante pour calibrer le simulateur est le gain direct en courant du transistor bipolaire de la protection. Ce paramètre a un effet direct sur la tension de maintien  $V_H$  de la structure de protection lorsque que le transistor bipolaire est déclenché. Cette tension peut être approximée par la relation analytique suivante [MILL57][JANG93] :

$$V_H = \frac{BV_{CB}}{(1 + \beta)^{1/m}} \quad (\text{II.2})$$

où  $\beta$  est le gain direct, et  $m$  un facteur compris en 2 et 6.

On voit donc l'intérêt de bien estimer ce gain, la tension de claquage  $BV_{CB}$  ayant déjà été calibrée. Plusieurs grandeurs physiques ont un effet sur le calcul du gain, et chacune possède généralement plusieurs modèles dans le simulateur.

La mobilité des porteurs libres possède un nombre important de modèles. La température du réseau cristallin est prise en compte pour rendre compte de son agitation et donc de la réduction de la mobilité des porteurs qui subissent plus de chocs [LOMB88]. Des dégradations de la mobilité peuvent aussi apparaître par la diffusion<sup>1</sup> des porteurs sur les impuretés [MASS83][AROR82], donc fonction des niveaux de dopages, ou même par diffusion entre porteurs (carrier-carrier-scattering)[CHOO87][FLEC57]. Enfin des modèles de mobilité se focalisent plus sur les états de surface ou les effets du champ électrique, mais sont plutôt applicables aux structures à conduction MOS. Le modèle unifié de Philips [KLAS92] prend en compte un certain nombre de ces dégradations et est souvent cité dans la littérature comme bien optimisé pour les transistors bipolaires. De nos expériences, nous n'avons pas trouvé une réelle concordance entre mesure et simulations en n'ajustant que les modèles de mobilités [SALA05] mais il apparaît que le modèle de Philips s'en approche le mieux. Striker [STRI01] recommande fortement l'utilisation de ce modèle en le justifiant par une corrélation avec des mesures de résistance par carrée de ses couches en fonction de la température (cf. Figure II.4). On peut noter la faible gamme de températures utilisées (Tmax=150°C) et se demander si la corrélation reste si bonne pour des températures plus élevées.

<sup>1</sup> Diffusion est ici prise au sens du terme anglais scattering

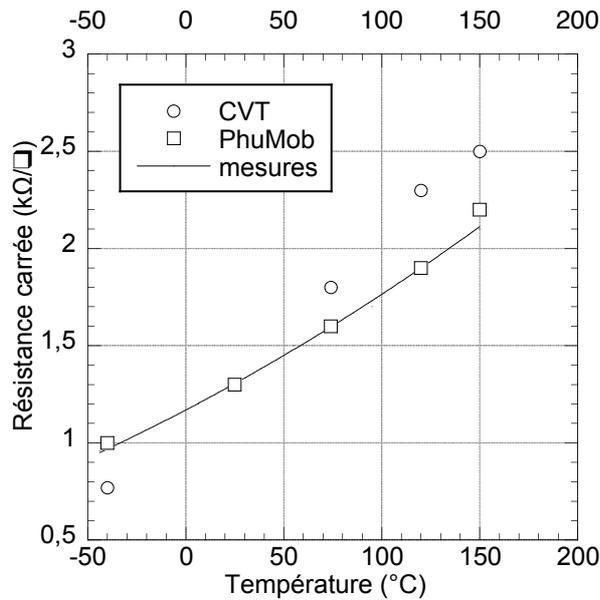


Figure II.4 : Mesures et simulations de résistance par carrée en fonction de la température [STR101]

De la même manière, les effets de variation de la densité intrinsèque effective peut avoir un effet sur le calcul du gain du transistor. Plusieurs modèles existent dans le simulateur ISE mais aucun de permet de corrélérer la mesure. Celui qui s'en écarte le moins est le modèle de Slotboom [SLOT77].

Il apparaît finalement que c'est la valeur de la durée de vie des porteurs qui permet d'ajuster au mieux la courbe de gain simulée. Cette dernière, qui rentre au niveau du simulateur dans le calcul des recombinaisons, a un effet sur le facteur de transport dans la base  $\alpha_T$  et donc dans le gain du transistor. Analytiquement, cette interaction est donnée par l'équation empirique suivante [BALI96] :

$$\alpha_T = \frac{1}{\cosh(W_B/L_n)} \text{ avec } L_n = \sqrt{D_n \cdot \tau_n} \quad (\text{II.3})$$

avec  $W_B$  largeur de la base,  $D_n$  coefficient de diffusion et  $\tau_n$  durée de vie.

La Figure II.5 donne un exemple de calibrage du gain statique d'un transistor bipolaire. Les niveaux de courant collecteur peuvent sembler avoir des valeurs faibles, bien inférieurs au milliampère, par rapport aux niveaux de courant  $I_H$  (une dizaine de mA) atteints lors d'un stress TLP. Il devient alors évident de se poser des questions sur la pertinence de ce calibrage. Mais il ne faut pas oublier que le composant est alors en mode autopolarisé et en régime d'avalanche. Le courant interne est donc fortement multiplié à la jonction collecteur-base pour atteindre de tels niveaux de courant [TREM04a]. Il est vrai par contre, que la valeur de ce gain n'a plus trop d'intérêt à plus fort niveaux de courant (quelques ampères) car dans ce régime de forte injection la valeur de ce gain chute avec l'augmentation du courant [SZE81]. Mais comme nous verrons plus loin, la simulation d'une protection ESD dans ce régime, où la température augmente rapidement, devient vite contestable.

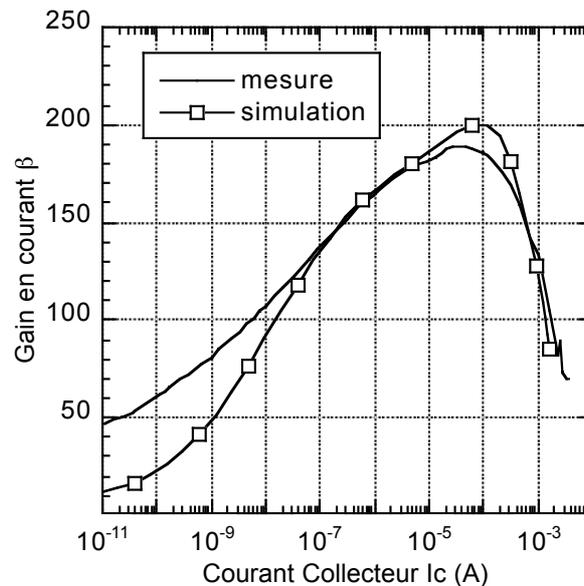


Figure II.5 : Exemple de mesure et simulation calibrée du gain en courant d'un transistor bipolaire

### II.1.3 Prédiction de la robustesse : critère de défaillance

Sur les testeurs de qualification en robustesse ESD, des tests de fonctionnalité sont effectués entre chaque stress pour vérifier l'état du circuit. Le plus simple et aussi le plus couramment employé en milieu industriel est la mesure du courant de fuite de circuit pour une tension donnée. Ce test rapide cache souvent l'apparition de défauts latents et il est plus efficace de faire la mesure de la totalité de la caractéristique courant-tension de la structure entre chaque stress. La Figure II.6 [DELA99a] montre l'évolution de ces caractéristiques statiques pour des stress HBM croissants appliqués sur le composant. Jusqu'à 6,4 kV appliqués, la courbe courant/tension ne varie pas (courbe1). Les courbes 2, 3 et 4 correspondent respectivement à un stress de 6,6kV, 6,8kV et 8kV. On observe à partir de la courbe 2 une évolution de la caractéristique qui peut amener à l'apparition d'un défaut latent. Ce défaut ne serait pas détecté avec un critère classique (1mA à 12V par exemple).

Le critère de défaillance est beaucoup plus difficile à trouver pour la simulation. Il n'est déjà pas possible de voir après une simulation d'un stress ESD une éventuelle évolution sur la caractéristique statique. En effet, le simulateur ne peut pas changer les propriétés de la structure et rendre compte de l'apparition de dégradations (fusion, redistribution de dopants, filamentation...). Pour la même raison, les effets cumulatifs de stress ne sont pas simulables. Il reste donc à observer, lors de la simulation d'un stress ESD sur la structure, les différents paramètres physiques et trouver un critère sur leurs valeurs.

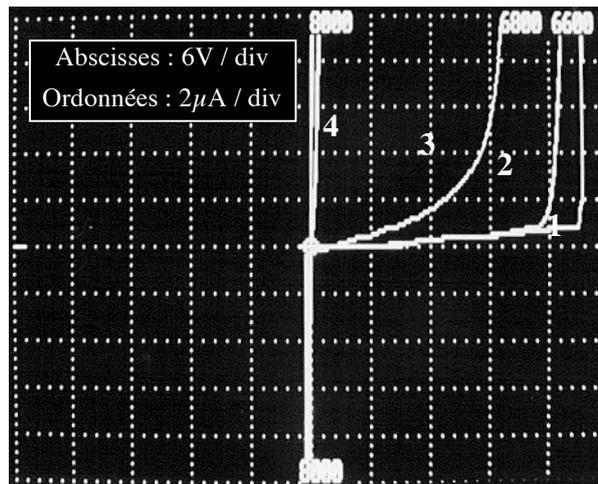


Figure II.6 : Evolution de la caractéristique statique d'une protection ESD lors d'un test HBM

Le critère le plus immédiat porte sur la température du réseau cristallin. Plusieurs auteurs [HONG93][GALY02] surveillent sa valeur maximum et quand elle dépasse la température de fusion du silicium (1685K), considèrent avoir atteint la défaillance. Ce critère n'est pas correct car la plupart des modèles implantés dans les simulateurs ne sont pas validés pour des températures supérieures à 600K. L'augmentation de température étant le résultat d'un fort couplage électro-thermique, des erreurs importantes sont probables en utilisant cette méthode. Par contre, la température peut être utilisée en première approximation pour l'optimisation de structures de protection. En identifiant les points chauds dans le volume, il est possible de trouver des solutions pour réduire leurs valeurs, ou les déplacer, ce qui se traduit généralement par une augmentation de la robustesse face aux ESD [TREM02]

D'autres auteurs se focalisent sur les simulations TLP pour extraire la valeur du courant de défaillance  $I_{t2}$ . En effet, il est parfois possible en simulation si on se place à très fort courant d'observer sur les courbes TLP un second retournement<sup>1</sup> que l'on pourrait interpréter comme la destruction du composant [STRI00][ESMA01]. Mais le niveau de courant trouvé ne correspond pas forcément à la mesure. Dans d'autres exemples, le simulateur diverge avant ce niveau de courant ou encore il ne se produit pas de retournement. Dans tous les cas, le composant est sujet à de très fortes densités de courant ( $> 10^5$  A/cm<sup>2</sup>) et il montre des points chauds dont la température est très élevée. On peut encore suspecter la validité des modèles et il est donc très hasardeux de regarder qualitativement le comportement électrique des composants dans cette configuration.

C'est pour essayer combler cette lacune que nous avons lancé une activité dans cette thématique qui entre dans le cadre la thèse de Christophe Salaméro. Les résultats actuels sur ces travaux montre que la méthode mise en place donne de bons résultats de prédiction. Elle s'appuie sur des simulations TLP à faible et moyens courants, au dessous de la température de validité des modèles. Lors de ces simulations, les points chauds de la structure sont identifiés, et à leur position, les valeurs des taux d'ionisation par impact  $G_i$  et des taux de recombinaison  $R_{SRH}$  sont relevés.  $G_i$  rend compte du phénomène d'avalanche que l'on connaît prépondérante dans la structure jusqu'à

<sup>1</sup> Les auteurs cités appellent ce phénomène second claquage (2<sup>nd</sup> breakdown). Ceci n'est pas très précis et il serait plus judicieux de parler de claquage thermique (Thermal breakdown) ou second claquage thermique. Si le premier claquage (purement électrique) ne fait pas de doute et correspond à l'entrée en avalanche d'un composant à l'état bloqué, le second claquage électrique est plus ambigu. Dans le cas des transistors bipolaires, on a l'habitude de désigner le second claquage électrique comme un point de focalisation à très fort courant dans le composant. Vu les fortes températures siégeant dans la partie focalisée, les porteurs sont générés thermiquement réduisant de ce fait la part de génération par avalanche, et diminuant la tension supportée par la structure. L'emballage thermique est irrémédiable et conduit au claquage thermique. La communauté du MOS considère par contre le fonctionnement du transistor en second claquage à partir du point de retournement de la caractéristique électrique. Quoi qu'il advienne, le terme second claquage reste une source d'ambiguïté dans la littérature.

l'instabilité thermique. A partir de ce régime, la concentration intrinsèque effective des porteurs  $n_{i,eff}$  est très élevée par l'augmentation de la température et devient la source de génération des porteurs. Le terme  $R_{SRH} \propto np - n_{i,eff}^2$  est donc fortement négatif. Une loi interpole ces valeurs obtenues à faibles courants à des niveaux plus élevés et lorsque les deux taux sont trouvés égaux, le point de claquage thermique est considéré comme atteint. Cette méthode a été essayée avec succès sur plusieurs structures de protection, le niveau de robustesse a été prédit à 10%, et le lieu de destruction a pu être corrélé avec des analyses de défaillances sur une structure de test. Cette méthode a aussi l'intérêt d'être relativement rapide car les calculs bidimensionnels ne sont effectués qu'à faible courant garantissant par ailleurs une bonne convergence du simulateur. Les simulations sont généralement deux fois plus rapides avec cette méthode. La Figure II.7 [SALA05] illustre cette méthode appliquée à une protection ESD à base de transistor bipolaire autopolarisé. Le courant de destruction prédit à 1,52A corrèle parfaitement avec la valeur mesurée de 1,5A. Le temps total de simulation passe de 3 jours pour cette méthode, à 7 jours pour une prédiction basée sur la détection du second claquage thermique qui donne de plus une erreur de plus de 20% sur la valeur trouvée. Cette nouvelle méthode a pour l'instant des restrictions. Elle s'applique à des structures déjà optimisées en termes d'homogénéité de déclenchement (voir paragraphe suivant). Il serait intéressant de la faire évoluer à des structures plus complexes et vers la prédiction de la robustesse HBM.

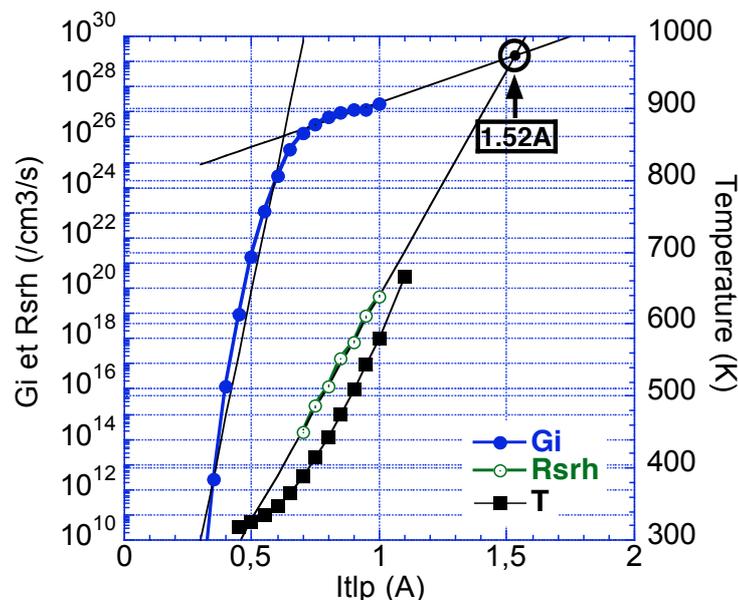


Figure II.7 : Exemple de prédiction du courant de destruction d'une structure ESD soumise à un test TLP

#### II.1.4 Phénomènes de focalisation

L'outil de simulation utilise une description bidimensionnelle du composant. Comme les formes d'onde ESD sont généralement des courants, le simulateur transpose ces valeurs en densité de courant en utilisant un facteur qui rend compte de la profondeur du composant. Il convient d'ajuster ce facteur aux dimensions du composant sous peine de surestimer ces densités de courant. La largeur cumulée du composant est normalement choisie, mais cela implique que le composant ne dispose que d'un doigt, ou alors que le comportement est le même sur tous les doigts, et que le courant circule uniformément sur la largeur du doigt.

### Focalisation sur un doigt :

Si dans l'état statique, un composant multi-digité peut voir tous ses doigts contribuer de la même façon au passage du courant, il est en autrement dans les structures ESD et plus particulièrement celles qui présentent un retournement. Si la structure est mal optimisée, lors de la montée en courant provoquée par la décharge électrostatique, on peut assister au déclenchement d'un seul doigt. Comme la tension de repliement  $V_H$  est plus faible que la tension de déclenchement  $V_{T1}$ , tout le courant passe dans ce doigt, les autres n'étant plus en régime d'avalanche, et la structure sera peu robuste. Pour limiter ce problème, les structures de protection ont des résistances de ballast dans le collecteur, et/ou dans l'émetteur, qui participent aux déclenchements successifs des doigts comme illustré sur la Figure II.8.

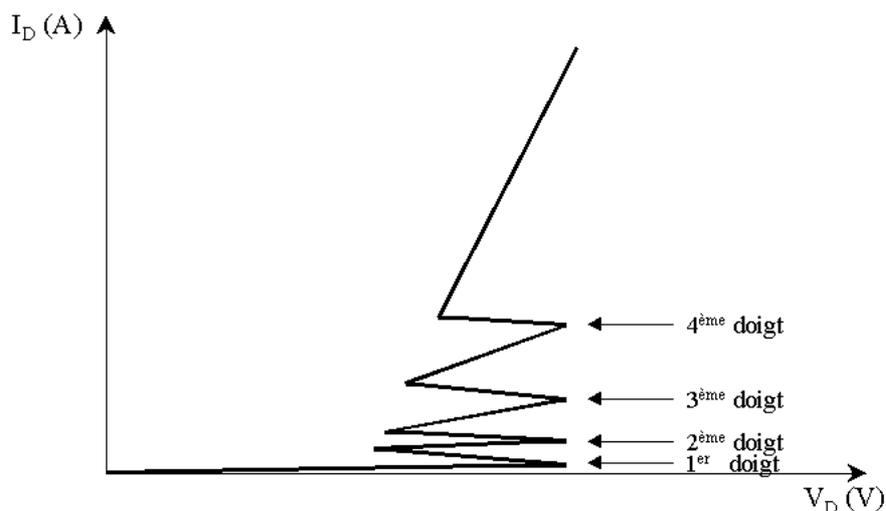


Figure II.8 : Déclenchement successif des 4 doigts d'une structure de protection ESD

Pour optimiser ces structures, des simulations plus complexes doivent être effectuées. Le nombre de doigts est généralement faible (de 1 à 4) car la surface occupée par la protection doit être réduite. Une première solution est de décrire sur le même maillage tous les doigts, supposant qu'ils ont tous la même largeur. Cette solution a l'avantage de pouvoir montrer d'éventuelles interactions entre les doigts, mais la description de la structure est lourde et le nombre de points générés est important. On lui préfère une autre configuration en couplant plusieurs doigts par un circuit électrique externe [NOLH02]. Cette simulation mixte, déjà utilisée pour décrire le générateur d'impulsions ESD et ses éléments parasites, permet ici de rajouter artificiellement des résistances de faibles valeurs ( $m\Omega$ ) sur les accès aux différents doigts. Sans aucune différence de valeur sur ces résistances, il n'y a aucune raison pour que pendant la simulation tous les doigts ne se déclenchent pas en même temps. Il ne faut pas confondre cette résistance avec celle du ballast que l'on introduit en utilisant une zone de contact moins dopée ou en éloignant la métallisation du contact.

Un compromis doit être trouvé pour la résistance de ballast entre une valeur assez grande pour permettre le déclenchement des autres doigts, et une valeur pas trop forte pour garantir la tension de protection à forts courants et procurer une faible impédance à la structure. Cette méthode permet d'effectuer cette optimisation.

### Focalisation sur une zone du doigt :

Il existe aussi des phénomènes de focalisation sur la largeur du doigt ou la troisième dimension que le simulateur bidimensionnel considère comme uniforme.

Lorsque le composant atteint le régime d'avalanche, le passage du courant s'initie sur les bords de la jonction collecteur/base du fait de la présence d'une jonction sphérique qui est le siège d'un

plus grand champ électrique. Le courant d'avalanche s'étend ensuite sur toute la largeur du doigt, mais les densités de courant restent plus élevées en périphérie. C'est donc aussi à cet endroit que la structure bipolaire va se déclencher en premier. Si aucune précaution n'est prise, cette forte concentration localisée de courant mènerait très rapidement le composant à la destruction, mais comme les structures possèdent une résistance de ballast, cette issue est repoussée pour des niveaux de courants plus élevés [ESMA03][RUSS99]. En effet, comme cette résistance est distribuée sur la longueur du doigt, elle vient limiter le courant à l'endroit critique et permet l'étalement du courant sur tout le doigt.

Un autre phénomène peut intervenir à des niveaux de courant beaucoup plus élevés. Ce n'est pas vraiment une focalisation mais une fluctuation de la densité de courant qui pourrait créer un point chaud sur lequel s'initierait le claquage thermique. Généralement la destruction est retardée grâce à la contre-réaction bénéfique de la température sur la multiplication par avalanche. Moins de porteurs sont générés au point chaud et le maximum de densité de courant se déplace vers une zone plus froide. Pour illustrer ce phénomène, une simulation sur la largeur d'un doigt a été effectuée. Pour rendre ce problème bidimensionnel, plusieurs simplifications ont été faites, notamment sur la base qui a été laissée flottante, et les résultats seront pris qualitativement. La Figure II.9 illustre pour une structure bipolaire verticale le déplacement rapide du pic de densité de courant à la jonction collecteur/base sous l'émetteur [TREM02].

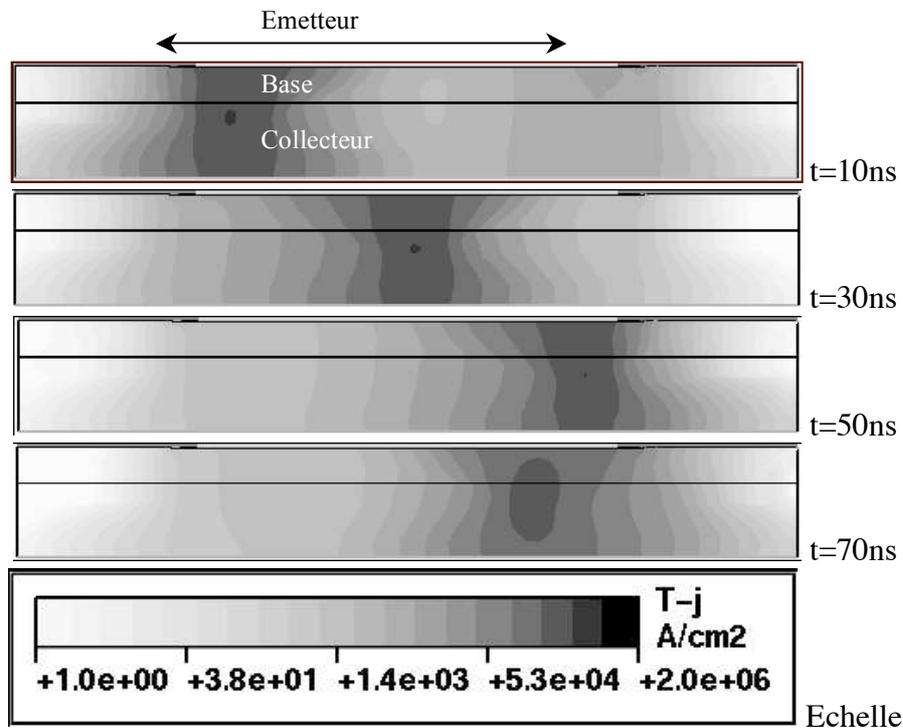


Figure II.9 : Mise en évidence par la simulation du déplacement du maximum de densité en courant le long du doigt d'un transistor bipolaire autopolarisé soumis à un HBM.

Ce phénomène a aussi été observé expérimentalement par Pogany en utilisant un banc d'interférométrie laser [POGA03]. Les constantes de temps sont aussi trouvées très rapides.

Il n'existe pas vraiment de solutions bidimensionnelles pour rendre compte des phénomènes de focalisation sur la largeur du doigt. L'approche mixte utilisée pour les structures multi-digitées n'est pas raisonnablement applicable ici. En effet, les structures de protection ont habituellement une longueur de doigt d'une centaine de micromètres, et si une première évaluation montre que la focalisation s'effectue sur 3 à 4  $\mu m$ , cela représente près d'une trentaine de cellules à mettre en parallèle. La description d'une telle structure est fastidieuse, car il n'existe pas d'outils de

schématique pour décrire le circuit électrique, et l'issue de la simulation, par la taille du problème, est incertaine.

Cependant, les problèmes de focalisation sur la longueur du doigt restent moins critiques que la simulation de structures multi-digitées. Comme la structure est dédiée à la protection, les résistances de ballast limitent ces phénomènes. Une sous-estimation de la densité de courant peut apparaître au déclenchement et pourrait engendrer une mauvaise prédiction de la tension de maintien. Les simulations bidimensionnelles que nous avons menées n'ont jamais trouvé une grande erreur sur l'estimation de ce paramètre. Les fluctuations à plus forts niveaux de courant pourraient être pénalisants, mais l'erreur résultante doit être pondérée par le fait que la structure est tout de même déclenchée sur toute la longueur du doigt, et que nous avons déjà émis des réserves sur la validité des modèles lorsqu'on approche les hautes températures.

Il reste des cas où la simulation bidimensionnelle atteint ses limites si l'on veut quantitativement évaluer le comportement de la structure face aux ESD. C'est, par exemple, le cas du transistor LDMOS de puissance (cf. III.4) auto-protégé sur lequel toutes les règles ESD ne peuvent pas être appliquées, notamment l'introduction d'un ballast du drain qui est incompatible avec la nécessité d'avoir une faible résistance à l'état passant. Nous avons pu observer que ces structures, dont les doigts sont très longs, présentent un fort phénomène de focalisation que la simulation ne nous a pas permis de mettre en exergue.

### *II.1.5 Apport de la simulation tridimensionnelle*

Comme nous venons de l'expliquer, il existe des phénomènes de focalisation lors d'un stress ESD dans la longueur de la zone active du composant mais aussi dans sa largeur. Le premier effet est pris en compte dans une simulation 2D mais une simulation 3D serait rigoureusement requise pour montrer le second. Mais comme ce type de simulation est très complexe à mettre en œuvre et demande des temps de calcul prohibitifs, il faut préciser les cas critiques où elles sont nécessaires, ou au moins évaluer l'effet des erreurs générées par une simulation 2D. S'il apparaît évident que sur des structures non optimisées pour les ESD, les effets tridimensionnels ont un impact non négligeable, le cas de protections ESD bien ballastées est moins critique. Esmark [ESMA03] montre que pour des structures GGnMOS (technologie CMOS 0,35 $\mu$ m) et pour des courants TLP supérieurs à 500mA, il n'y avait aucune différence entre une simulation 2D et 3D. Par contre pour des courants inférieurs il existe des différences. C'est surtout sur la tension de retournement,  $V_H$ , que l'erreur peut être importante. En effet, le déclenchement de la structure a lieu préférentiellement aux jonctions cylindriques du drain (ou collecteur)[GALY02]. Une conduction localisée à cet endroit augmente la résistance de la structure, ce que la simulation 2D ne peut pas rendre compte. Cette dernière voit donc une conduction sur toute la longueur du doigt, et sous-estime donc la tension  $V_H$ . Ce cas n'est pas très critique pour l'utilisation finale de la structure car les marges de conception sont telles que  $V_H$  doit être supérieur à la tension d'alimentation du circuit à protéger pour éviter un verrouillage de la structure. La simulation 2D amène donc dans ce cas une plus grosse contrainte au niveau de la conception. Mais l'écart tend à se réduire lorsque le ballast est plus important.

Par contre, dans le cas de faibles résistances de ballast, il existe aussi des différences à fort courant entre la simulation 2D et 3D. La simulation 2D surestime de 20 à 30% le niveau du courant de défaillance  $I_{T2}$  en stress TLP [ESMA01]. Il faut toutefois être prudent sur les résultats de ces simulations car le critère de défaillance est souvent fixé comme étant la température de fusion du silicium, et nous avons déjà émis des réserves sur la validité de ces résultats obtenus à des températures bien supérieures à la limite de validité des modèles.

Il apparaît donc que la simulation 3D peut apporter une explication sur un point particulier de la structure étudiée, mais son utilisation systématique n'est pas justifiée [VASH03]. L'approche bidimensionnelle reste dans la plupart des cas valide, surtout si la structure étudiée possède des règles de dessin ESD.

## II.2 Caractérisation des protections élémentaires

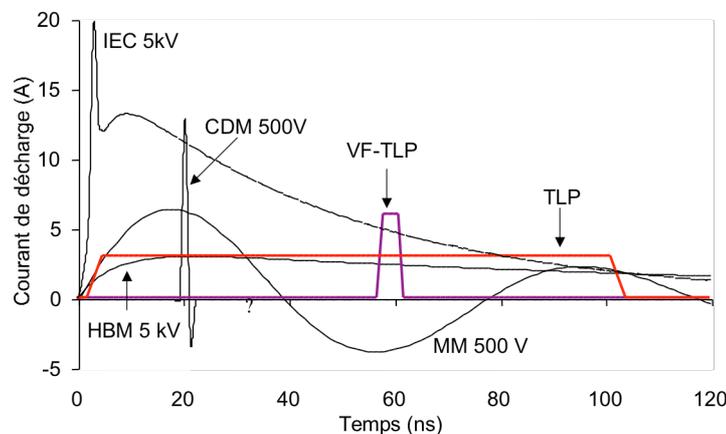
Nous avons présenté dans la partie précédente une méthodologie de simulation qui permet d'optimiser et de prédire le comportement des structures de protections subissant une décharge électrostatique. Nous allons maintenant détailler les outils expérimentaux qui peuvent valider cette méthode ou apporter un complément d'informations. Ne pouvant pas directement accéder aux paramètres physiques du composant, comme la simulation le permet, les seules grandeurs mesurables sont le courant traversant le composant et la tension à ses bornes. En complément, des mesures optiques peuvent renseigner sur les problèmes de focalisation détaillés dans le chapitre II.1.4.

### II.2.1 Mesures impulsionnelles TLP/VF-TLP

Les testeurs ESD sont utilisés pour trouver le niveau de robustesse des structures, mais ils ne rendent pas compte de leur comportement dynamique. La mesure de la réponse de la structure à la décharge ESD est rendue très difficile par de nombreuses sources de bruit (relais, couplage entre ligne, etc.) et par la difficulté de placer le point de test au plus près du composant. D'autre part, pour des décharges très courtes, type CDM, l'ajout des sondes nécessaires à la métrologie, peut ramener des impédances parasites et influencer sur la forme d'onde de la décharge. Enfin, il est difficile de trouver des sondes avec des caractéristiques de bande passante, de tenue en tension et de calibre en courant, compatibles avec la mesure. C'est pour cela que nous préférons étudier la réponse impulsionnelle du composant.

La mesure statique courant/tension de la structure ne peut se faire qu'à faible courant (qq mA). Des courants statiques plus forts détruisent systématiquement le composant par effet thermique. Pour étudier le comportement de la structure à plus fort courant il faut lui appliquer une impulsion en courant<sup>1</sup> de courte durée et quand la structure se stabilise en tension, un couple courant/tension est extrait. En augmentant la valeur de l'impulsion, il est décrit ainsi une caractéristique courant/tension quasi-statique.

L'énergie dissipée dans le composant est comparable à celle d'une décharge électrostatique. Nous avons deux types de générateur impulsionnel en fonction du modèle de décharge étudié. Le TLP, pour Transmission Line Pulsing, génère des impulsions d'une durée de 100ns, d'amplitude de quelques ampères et s'apparente aux décharges de type HBM. Le VeryFast-TLP, reprend le principe du TLP mais est adapté à des durées d'impulsions beaucoup plus courtes, de 2 à 5ns, et dont les niveaux de courants peuvent dépasser 10A. Le VF-TLP est utilisé pour étudier le comportement des structures par rapport à un stress CDM. La Figure II.10 présente les formes d'ondes de ces différents tests.



<sup>1</sup> Le générateur utilisé est censé fournir des impulsions en courant, mais de par sa conception, et parce que la structure présente de forte variation d'impédance, ce générateur se comporte dans les premières nanosecondes comme une source de tension.

Figure II.10 : Différentes formes d'ondes des stress ESD

Les deux bancs reprennent le même principe de la ligne de transmission, dont le montage est donné sur la Figure II.11. Un câble coaxial d'une certaine longueur est chargé à un potentiel  $V_{\text{CHARGE}}$  par une alimentation statique haute tension à travers une résistance de très forte valeur. Puis la ligne jouant le rôle de source en tension, est déchargée dans le composant à travers une impédance élevée, transformant le générateur en tension en générateur de courant. En appliquant les méthodes de propagation sur les lignes [MAUR03], nous obtenons ainsi une impulsion de largeur  $\tau$  telle que :

$$\tau = \frac{2L}{v} \quad (\text{II.4})$$

avec  $L$  la longueur de la ligne, et  $v$  la vitesse de propagation dans cette ligne<sup>1</sup>. En réglant  $L$ , on obtient soit des impulsions de 100ns et 4ns pour respectivement, le TLP et le VF-TLP. Les temps de montée du système sont réglés en utilisant des filtres calibrés. L'intérêt d'utiliser une ligne, par rapport à un générateur solide, est qu'il est beaucoup plus tolérant face aux changements d'impédance que subit le composant durant une impulsion. D'autre part, il permet d'obtenir des calibres en courant difficiles à trouver dans les générateurs commerciaux, vu les faibles constantes de temps. Par contre le générateur ne peut avoir un réglage continu de la largeur d'impulsion, mais ce n'est pas critique dans notre application, et une simple commutation sur plusieurs lignes peut couvrir le domaine de mesure. Les problèmes cruciaux dans les générateurs TLP sont la qualité de la connectique et la métrologie associée. En fonction du choix de stratégie de cette dernière nous obtenons plusieurs versions de banc.

Le TLP basique [MALO85, MAUR03] utilise une sonde en courant et une sonde en tension pour mesurer les formes d'ondes. La sonde en courant est généralement non intrusive et la sonde en tension est active ce qui permet de ramener une très faible capacité au point de mesure. Sur le banc TLP que nous avons développé au LAAS, les bandes passantes de ces sondes sont respectivement 750MHz (P6205, Textronix) et 1 GHz (CT1, Textronix) ce qui permet de mesurer des temps de montée de l'ordre de la nanoseconde<sup>2</sup>. Ces performances sont suffisantes pour mesurer une impulsion TLP puisque la norme [ESDA04] fixe une durée de 100ns et un temps de montée entre 200ps et 10ns. Afin de s'assurer que la chaîne de mesure garantit l'intégrité du signal, un filtre passe-bas limite le temps de montée à quelques nanosecondes. Il existe maintenant plusieurs générateurs TLP proposés par des sociétés, mais à l'époque de nos premières mesures, aucun système commercial n'était sur le marché. C'est pour cela que nous avons décidé de développer au laboratoire notre propre banc. Ce dernier a reçu plusieurs évolutions et a été en partie dupliqué chez nos partenaires industriels. Ces développements ont donné lieu au mémoire CNAM de Nicolas Mauraan [MAUR03].

<sup>1</sup> Pour du câble RG-58 (diélectrique en polyéthylène PE),  $v=0,66.c$

<sup>2</sup> En première approximation  $t_m \approx \frac{0,35}{\Delta f}$

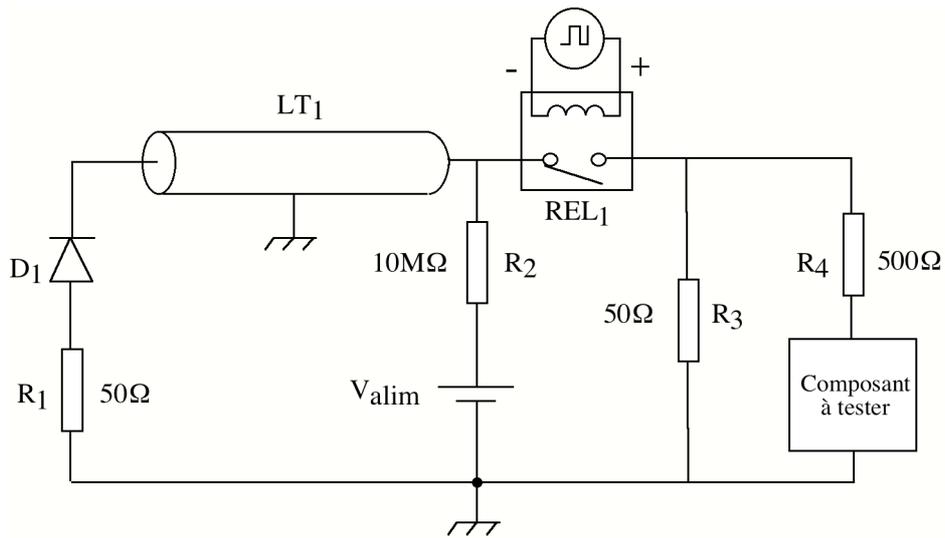


Figure II.11 : Structure du banc TLP du LAAS

Pour le VF-TLP qui est dédié à la mesure de structures en évaluation face aux décharges CDM, le problème est plus délicat. Aucune "norme" n'existe à ce jour pour définir l'impulsion, mais des durées de l'ordre de la nanoseconde et des temps de montée de la centaine de picosecondes sont visés. Aucune sonde en courant n'est disponible dans la bande passante (3,5GHz) correspondante à ces constantes de temps. D'autre part, il faut limiter tous les éléments parasites et éviter les ruptures d'impédances pour préserver l'intégrité du signal. Pour cela, le banc doit être adapté 50Ω jusqu'aux bornes du composant à tester et la méthode de réflectométrie temporelle (Time Domain Reflectometry) est utilisée pour évaluer le courant et la tension [JULI01][GIES98]. La méthode TDR utilise une seule voie d'un oscilloscope rapide qui doit lui aussi présenter une impédance de 50Ω. Une ligne coaxiale est insérée entre le point de mesure et le composant, assez longue pour permettre de séparer l'impulsion incidente de l'impulsion réfléchi par ce dernier. Le schéma de principe du montage est donné sur la Figure II.12.

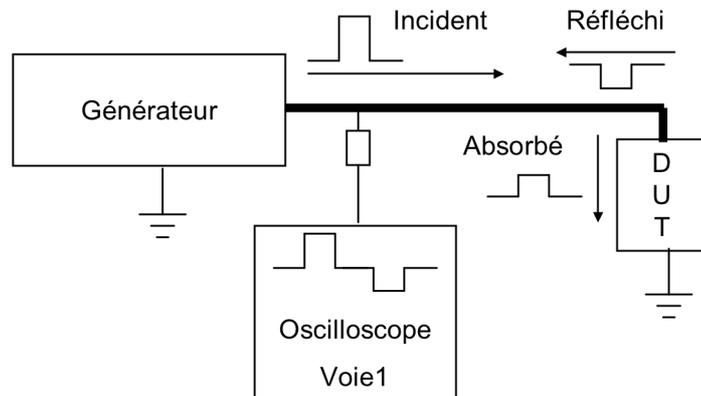


Figure II.12 : Schéma de principe d'un banc VF-TLP TDR

La totalité du signal est enregistrée et un traitement est effectué pour reconstituer les formes d'onde en tension et en courant au niveau du composant par les relations :

$$V_{DUT} = V_{INC} + V_{REFL} \quad (II.5) \quad \text{et} \quad I_{DUT} = \frac{V_{INC} - V_{REFL}}{50} \quad (II.6)$$

L'intérêt de ce système est la génération d'une impulsion propre. La limitation fréquentielle du système vient principalement de la bande passante de l'oscilloscope. Une attention particulière devra être portée à la qualité des atténuateurs utilisés et une procédure de calibrage fiable doit être appliquée.

Des premiers tests sur un système de base montrent une gamme d'impédances mesurées limitée entre une dizaine d'Ohms et le kilo Ohms. Cette faible gamme peut être expliquée par des erreurs non négligeables de la mesure du courant dues à la résolution au niveau de la numérisation de l'oscilloscope. D'autre part la méthode exige de pouvoir mesurer des tensions positives et négatives<sup>1</sup>, réduisant ainsi encore la résolution. Il existe aussi un problème induit par l'utilisation d'un atténuateur pour présenter à l'entrée de l'oscilloscope un niveau de tension raisonnable. Cet atténuateur provoque une erreur systématique, et introduit une rupture d'impédance dans le circuit [JULI01].

Il existe des schémas un peu plus complexes comme le TDR-T qui permettent d'améliorer les performances du VF-TLP. Cette configuration [GRUN04] utilise une voie supplémentaire de l'oscilloscope pour ramener la masse de la structure à tester, comme le montre la Figure II.13. Ceci transforme l'impédance du système à  $100\Omega$ , mais apporte plusieurs avantages:

- la mesure du courant transmis est directement obtenue
- la mesure de la tension aux bornes du composant est différentielle, améliorant la sensibilité
- les impulsions mesurées sont toujours positives, permettant ainsi une plus grande résolution

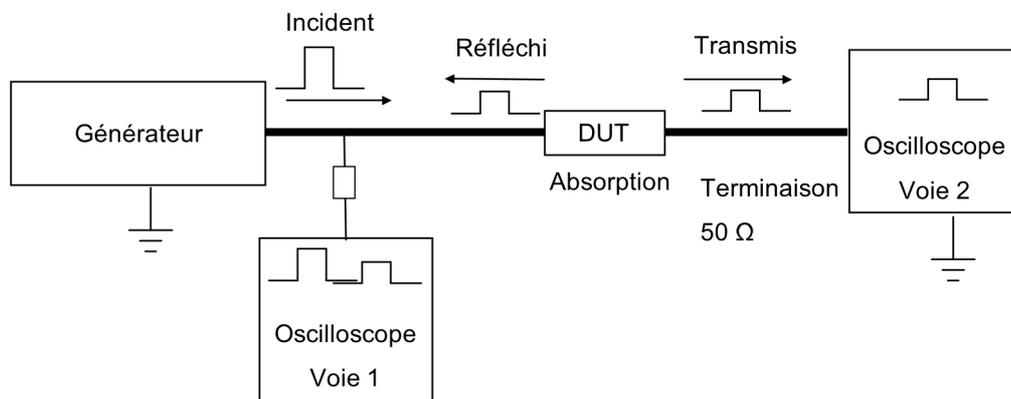


Figure II.13 : Schéma de principe du VF-TLP TDR-T

Par contre, le TDR-T doit utiliser deux atténuateurs (un sur chaque voie) dont les rapports d'atténuation doivent être changés en cours de mesure afin d'éviter la saturation des voies de l'oscilloscope, tout en garantissant la meilleure sensibilité. Une procédure de calibrage complexe et fiable doit être utilisée pour tenir compte de ces commutations d'atténuateurs.

Des auteurs ont tenté [MUSH96][STAD97] d'établir une corrélation entre le niveau de robustesse HBM et le courant de destruction  $I_{T2}$  mesuré sur un banc TLP. Ceci afin de montrer le bien fondé du TLP et éventuellement le substituer au testeur HBM. Il apparaît que si cette corrélation existe, elle est adaptée à un type de composant. Le facteur de corrélation peut changer en fonction de la technologie, voir même de la géométrie du composant. Ceci s'explique en grande partie par les différences de temps de montée entre une machine HBM et un banc TLP, ou même entre deux machines HBM.

Le testeur HBM doit rester un outil d'évaluation de robustesse et sa fonction première est la certification des composants dans le milieu industriel. Le banc TLP doit être pris comme un moyen d'analyse électrique fine du composant aidant à la compréhension des mécanismes qui gèrent son fonctionnement en régime ESD. Il permet ainsi l'optimisation des protections, et aussi l'extraction de leurs paramètres électriques en fort courant en vue d'une éventuelle modélisation électrique.

Les bancs VF-TLP sont récents [GRUN04] et beaucoup de travaux sont en cours afin d'optimiser leur utilisation. Mais en première approche, il apparaît que la corrélation avec le test CDM sera encore plus difficile. D'abord par le fait que par sa construction, le banc VF-TLP est bien adapté à

<sup>1</sup> En effet si l'impédance de la structure est inférieure à  $50\Omega$ , la tension réfléchie devient négative

des mesures sous pointes sur puce, où les impédances parasites du montage sont minimisées. Par contre des mesures sur des échantillons en boîtier est plus critique, par les parasites ramenés par les supports de test. Or nous savons que la robustesse CDM est fortement dépendante du boîtier et montage de la puce dans ce dernier. D'autre part, dans la méthode de test CDM, le composant dans son boîtier est chargé par un champ électrique, puis déchargé à la masse à travers une patte. Tout le circuit participe à la circulation des charges vers la masse. Le VF-TLP lui applique directement une impulsion à l'entrée du circuit. Des études sont menées pour essayer de créer par induction une impulsion TLP au composant [WOLF05], mais aucun matériel n'est à ce jour disponible. Le banc de mesure VF-TLP est plus adapté à étudier le comportement des structures de protection, en termes de vitesse de déclenchement, calibre en courant et gabarit en tension, que la robustesse CDM du circuit dans son ensemble.

### II.2.2 Couplage détection Optique

Notre banc TLP est équipé d'une caméra CCD qui vise la surface du composant à travers un microscope aux optiques adaptées. Le but de cet équipement est de rendre compte des phénomènes de focalisation du courant qui traverse la structure de protection [HANN90]. En effet, le composant génère des photons lors des chocs entre porteurs, ou lors des recombinaisons radiatives. Suivant le mécanisme physique mis en cause, la longueur d'onde et le nombre de photons émis peuvent varier, comme le montre la Figure II.14 [KOLZE92]. Le spectre d'utilisation de la caméra est centré dans le visible (400-700nm) mais s'étend au début du proche infrarouge (700nm-5 $\mu$ m), Figure II.15. Il permet donc de détecter les différents mécanismes. Dans nos structures, qui sont en régime de forte avalanche, c'est principalement la collision entre porteurs qui est détectée.

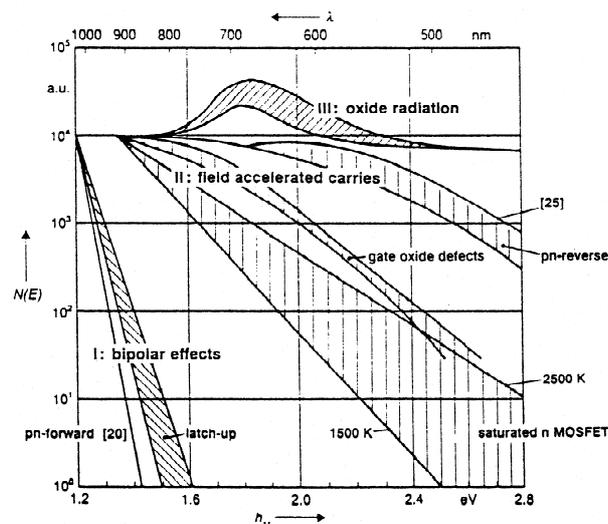


Figure II.14 : Spectre d'émission des photons en fonction des mécanismes physiques [KOLZE92]

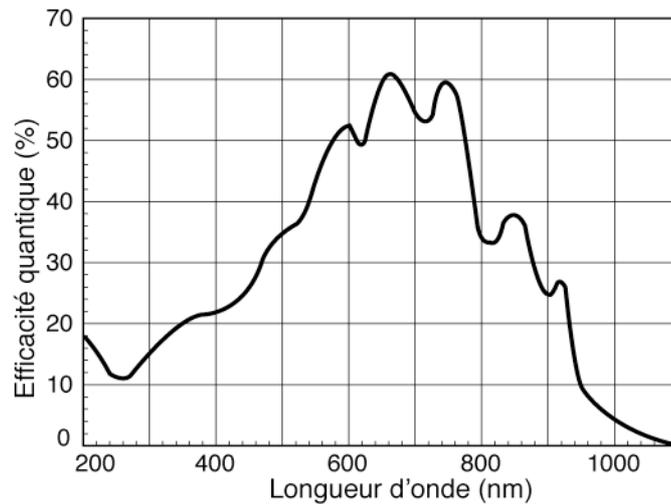


Figure II.15 : Réponse du capteur de la caméra

Si la détection par émission optique est relativement facile en statique, elle est plus délicate pour des impulsions d'une centaine de nanosecondes. Les nombres de photons générés lors d'une seule impulsion n'est pas assez grand pour être détectable. L'impulsion est donc répétée (10Hz) et le temps d'ouverture du diaphragme atteint souvent plusieurs minutes. Afin d'abaisser le bruit du capteur CCD pour des temps d'expositions aussi longs, ce dernier est refroidi (213K) par deux étages à effet Peltier. Il faut bien sûr s'affranchir aussi de la lumière ambiante, et pour cela toute la manipulation est confinée dans une chambre noire.

L'analyse des composants n'est pas toujours facile. Si l'accès optique aux composants sur plaquette est direct, pour les composants en boîtiers, ces derniers doivent posséder une ouverture optique. D'autre part suivant le dessin des masques du composant, des zones sont optiquement inaccessibles si elle se trouvent sous une métallisation. Dans ce cas, le phénomène d'émission est caché ou, si le nombre photons émis est important, on peut observer un halot au bord de la métallisation qui déplace ainsi artificiellement la localisation du point lumineux.

Si la détection n'est pas possible, l'appel à une technique de visualisation face arrière peut être envisagée. Mais la préparation de l'échantillon est beaucoup plus lourde. En effet l'absorption du silicium dans le proche infrarouge n'est pas négligeable, et les 300µm d'épaisseur d'une plaquette deviennent un mur optique à la détection des photons. Une technique d'amincissement doit être utilisée pour ramener l'échantillon à une épaisseur de 50µm, ce qui offre un bon compromis entre la tenue mécanique et niveau d'absorption. Par contre l'analyse optique nécessite de retourner le composant, et l'application au niveau wafer devient beaucoup plus délicate.

La Figure II.16 illustre cette méthode d'analyse en présentant la courbe TLP d'une protection GGnMOS, et des images prises par la caméra. L'image visible de la surface du composant est superposée pour permettre de se repérer. Au déclenchement du composant (a) le courant est focalisé dans une partie du doigt de droite, pour rapidement s'étaler sur toute sa longueur (b). A plus fort niveau de courant (c), les deux doigts de la protection participent à la conduction.

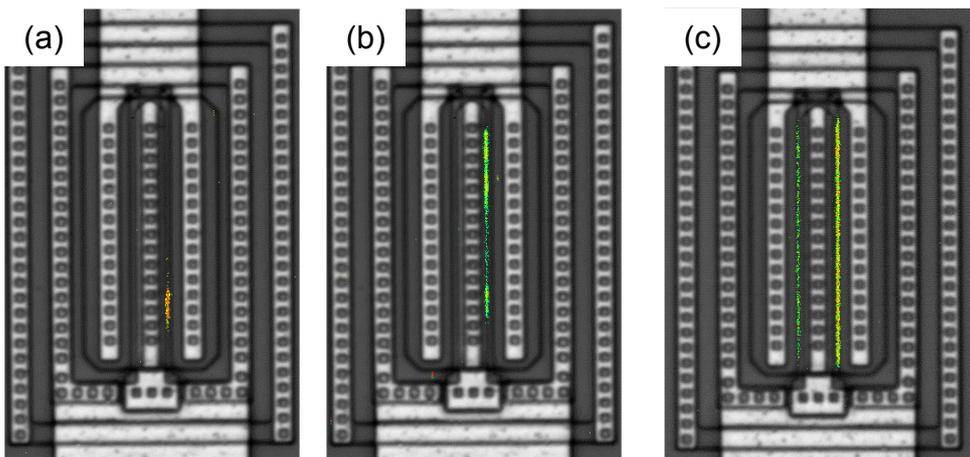
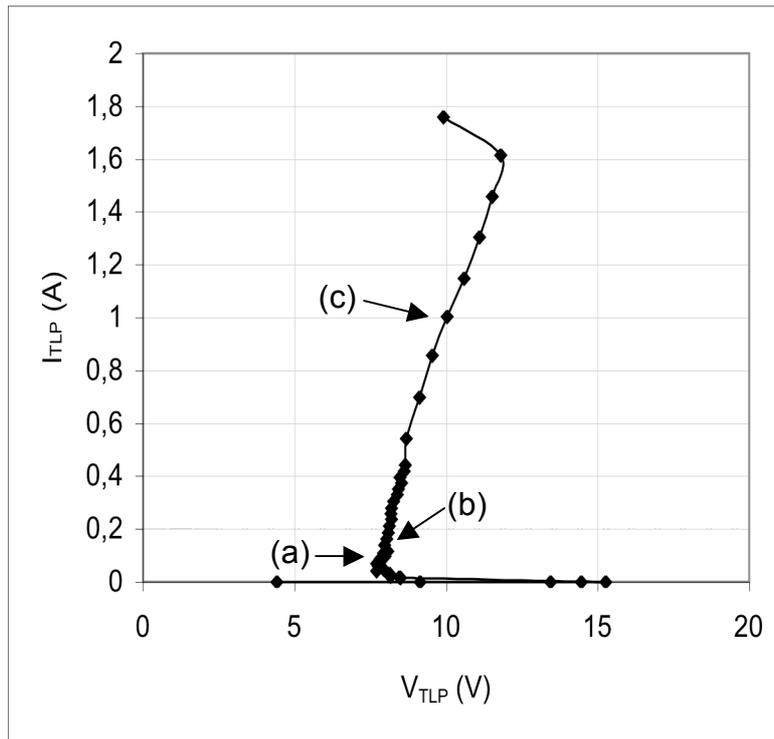


Figure II.16 : Observations EMMI pour différents niveaux de courants TLP et courbe TLP correspondante

## ***II.3 Simulation des circuits intégrés et de leurs protections***

Nous avons présenté dans les paragraphes précédents une méthodologie pour l'étude du comportement d'une structure de protection isolée. Il faut aussi avoir la possibilité de simuler la protection avec les autres éléments du circuit intégré afin de confirmer son efficacité de protection et de vérifier sa transparence en fonctionnement normal du circuit. Pour ce type d'étude, la simulation physique du circuit entier est rédhibitoire par la complexité de description et les temps de calcul associés. Le mode mixte peut être avantageusement utilisé en utilisant une description physique de la protection, et une description électrique du reste des éléments du circuit. Mais cette solution implique la simulation d'un circuit relativement simple ayant un nombre limité d'entrées.

Une description intégrale du circuit et de ses protections dans un simulateur électrique apparaît comme la solution la plus viable, mais elle nécessite un modèle électrique équivalent des protections. Ce modèle peut être relativement simple pour voir l'effet des protections sur le fonctionnement normal du circuit. En effet dans ce mode, la protection est bloquée, et ce sont principalement ses capacités parasites qui jouent un rôle significatif. Dans un environnement industriel de conception, pour une technologie donnée, les modèles des composants actifs utilisés dans les protections sont disponibles ainsi que l'extraction des éléments parasites. Par contre, si on désire pouvoir appliquer une décharge ESD comme stimuli aux bornes du circuit, et effectuer une simulation du circuit, il faut un modèle fort courant de la protection qui n'existe pas.

### ***II.3.1 Modèles électriques spécifiques des protections***

Il existe deux types de modèles pour décrire le comportement d'une protection ESD dans un simulateur de type SPICE : le modèle comportemental et le modèle physique.

Le modèle comportemental s'appuie uniquement sur la caractérisation TLP. Cette dernière fournit les paramètres de la structure comme la tension de déclenchement,  $V_{TI}$ , la résistance à l'état passant,  $R_{ON}$ , et pour le cas des structures à repliement la tension de maintien  $V_H$ . A partir de ces valeurs la courbe de réponse TLP de la protection est ajustée par une formulation mathématique qui est ensuite traduite dans un langage comportemental (VHDL-AMS, VerilogA, MAST). Le composant peut être alors simulé avec le reste du circuit dans un environnement Spice. Cette formulation sous forme de boîtes noires à l'avantage d'être rapide à mettre en œuvre mais par contre elle est limitée à la modélisation de structures déjà existantes et ne permet pas de rendre compte de la dynamique de la structure. Aucune étude paramétrique ou optimisation des éléments de la structure vis-à-vis du comportement du stress ne peut être effectuée. Cette approche sera retenue pour des simulations orientées "système" ou, dans le monde industriel, pour la distribution finale d'une bibliothèque de protections aux caractéristiques figées.

L'approche du modèle "physique" est radicalement différente. Il s'agit ici de rajouter au modèle faible courant existant de la structure, des éléments supplémentaires qui rendent compte du fonctionnement lors d'un stress ESD. Il est entendu dans ce cas que la structure de protection est dérivée d'une structure standard dont le modèle SPICE existe déjà. Si ce n'est pas le cas, ce modèle faible courant peut être extrait de mesures ou de simulations physiques. Les éléments supplémentaires sont des éléments électriques (résistances variables, capacités, sources de courant commandées) qui ne rentrent en fonctionnement que lors d'un stress ESD. Leurs valeurs sont souvent ajustées à partir de mesures ou simulations TLP, mais ces dernières peuvent être modifiées afin d'étudier leur impact sur les performances du circuit et d'optimiser la structure de protection. Nous allons donner deux exemples de modélisation électrique des structures de protection les plus répandues, à base de transistor bipolaire ou de transistor MOS.

## Modèle d'un transistor bipolaire NPN autopolarisé (TBA)

Ce premier modèle a été développé au laboratoire par Géraldine Bertrand dans le cadre de sa thèse [BERT01a][BERT01b]. L'étude a porté sur la modélisation d'une structure de protection à base de transistor TBA déjà étudiée [DELA99a]. Le composant a été réalisé dans une technologie Smart Power (1,7 $\mu$ m) dédiée aux applications automobiles. Le modèle Figure II.17 est composé du modèle standard qui reprend la topologie du modèle de Gummel-Poon auquel est associé plusieurs éléments externes :

- une source de courant modélisant le courant d'avalanche  $I_{AV}$  dont la formulation reprend les équations de coefficients d'ionisation [CHAR90]
- une résistance de base qui comporte deux composantes  $R_{BC}$  et  $R_{BASE}$ . En effet, le TBA fonctionne en avalanche en mode latéral avant d'atteindre le retournement pour ensuite fonctionner en mode bipolaire vertical. Les deux résistances variables permettent de prendre ces changements de régime de fonctionnement.
- les capacités des jonctions qui sont fortement non linéaires et dont les éléments sont modélisés par des diodes.

La Figure II.18 montre, après ajustement du modèle, la comparaison entre la mesure TLP de la structure et une simulation SPICE utilisant le modèle. Une très bonne corrélation est trouvée.

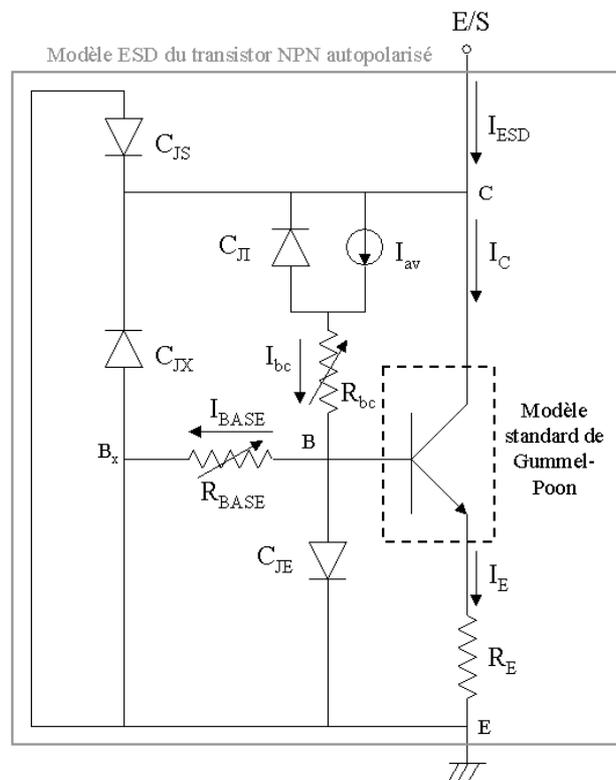


Figure II.17 : Macromodèle d'une protection ESD à base de TBA

Par rapport à un modèle purement comportemental, ce macromodèle permet de modifier des paramètres de la protection comme la longueur, et de vérifier son effet sur l'efficacité de protection. Cette variation n'est pertinente que si la structure est déjà bien optimisée et que les phénomènes de focalisation sont bien maîtrisés.

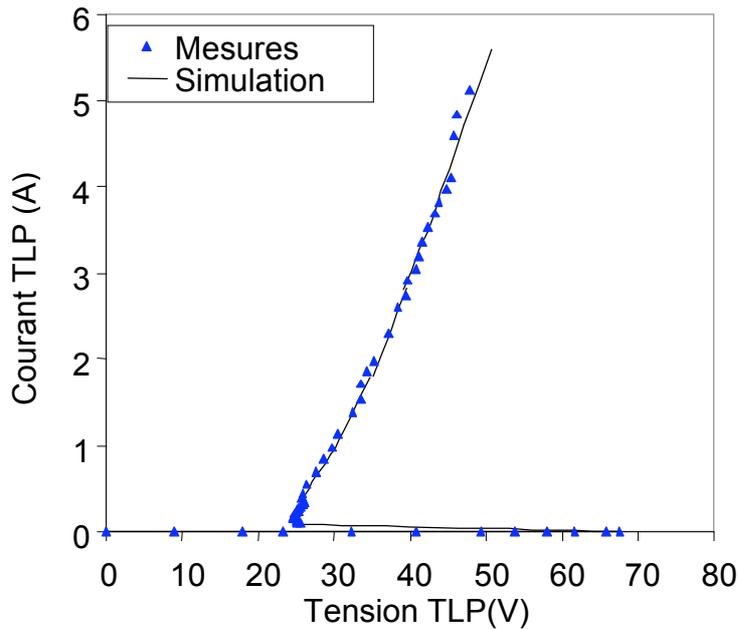


Figure II.18 : Comparaison mesures TLP / simulation SPICE

#### Modèle d'un transistor MOS utilisé comme protection ESD

L'utilisation d'un transistor MOS comme protection contre les ESD s'effectue le plus souvent en mode grille connectée à la masse, GGNMOS. Dans ce cas, c'est le transistor bipolaire parasite qui se déclenche et évacue la décharge ESD. Contrairement au cas précédent, le déclenchement et la conduction s'effectuent latéralement. Le modèle fort courant, présenté sur la Figure II.19, est donc plus simple au niveau des résistances de base. Par contre la partie MOS est conservée car ce modèle peut aussi être utilisé pour une protection GCMOS, en rajoutant une résistance entre grille et source. Le déclenchement de la structure est dans ce dernier cas, assisté par la mise en conduction du MOS, puis du transistor bipolaire parasite.

Les paramètres du modèle existant du transistor MOS est donc utilisé dans ce macromodèle, mais il faut caractériser le transistor bipolaire parasite.

Comme dans le cas du TBA, ce macromodèle rend bien compte du comportement de la protection lors d'une agression ESD. Sa topologie permet aussi de rajouter une résistance entre la grille et la source de la structure et de voir l'effet du déclenchement du transistor MOS sur son efficacité de protection.

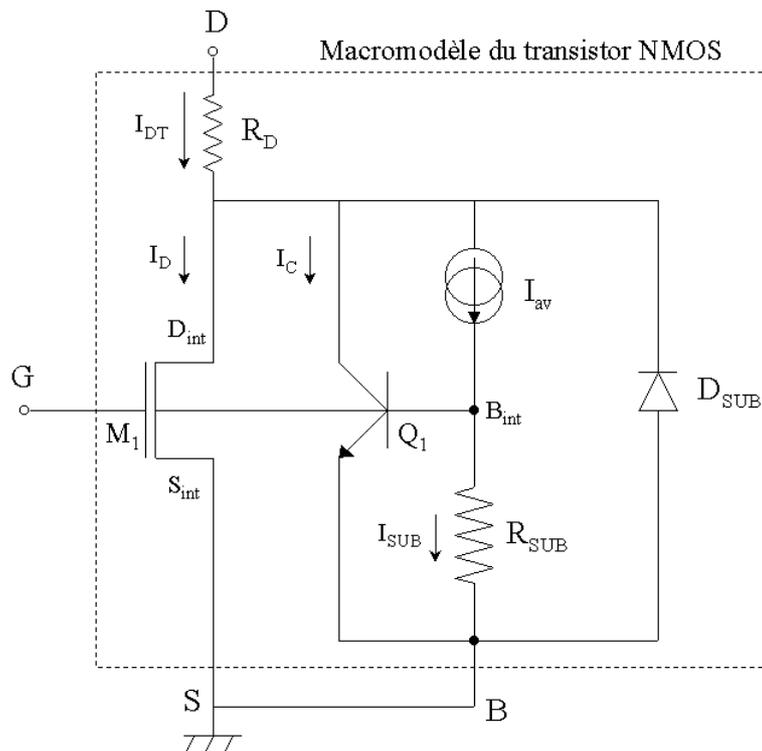


Figure II.19 : Macromodèle d'une protection ESD à base de transistor MOS

Jusqu'à présent nous avons surtout insisté sur l'intérêt de simuler le couplage de la structure de protection sur l'entrée ou la sortie qu'elle protège. Or dans le cas d'un circuit intégré complet, il n'est pas rare que, malgré une protection efficace sur une patte, le circuit subisse une défaillance dans un autre endroit après un stress ESD.

Comme nous allons le montrer dans le paragraphe suivant, la simulation SPICE, si le circuit est correctement décrit, permet de détecter tous les chemins de décharges, prévus ou non, et de vérifier que la ou les protections sont efficaces.

### II.3.2 Stratégies de protection

Typiquement un circuit intégré possède des plots d'entrées, de sorties et une ou des alimentations. Le type et la fonction de la broche à protéger fixe la configuration et le niveau de robustesse de la structure de protection à implanter. D'autre part, comme ces protections sont implantées entre la broche à protéger et la masse ou l'alimentation, il existe donc des chemins de décharge parallèles qu'il faut prendre en compte tant au niveau des résistances des bus d'alimentation, qu'au niveau des structures de protection de cette dernière.

Les étages d'entrée sont particulièrement délicats à protéger. Dans le cas d'une technologie bipolaire, le signal d'entrée est souvent appliqué sur la base d'un transistor dont le calibre en courant est très limité, alors que dans les technologies MOS (nMOS, CMOS) c'est la tension maximale admissible par les grilles des transistors d'entrée qui est très faible par rapport au fort stress en tension amené par un ESD. C'est d'ailleurs sur cette dernière technologie que les premières protections ESD ont été appliquées. D'autre part, les fonctions des entrées apportent de grandes contraintes sur le choix des protections, ou de leur topologie. En effet, les signaux appliqués au circuit intégré en utilisation normale, ont des niveaux faibles et/ou des fréquences élevées. Le réseau de protection utilisé doit alors posséder un très faible niveau de fuite et une faible capacité. Enfin, il est courant d'avoir dans un circuit intégré un grand nombre d'entrées/sorties, la surface occupée par les protections peut être critique sur le coût final de la puce, et des solutions distribuées peuvent apparaître comme plus économiques.

Traditionnellement, les entrées des circuits bipolaires sont protégées par un étage de protection implanté entre l'entrée et la masse mais aussi entre l'alimentation et l'entrée. Les composants sont généralement des transistors bipolaires autopolarisés, des thyristors ou de simples diodes. Le thyristor très compact, peut être utilisé pour des demandes de fortes robustesse, alors que la diode se retrouve dans les circuits haute fréquence.

Les circuits CMOS adoptent pour leur entrée une topologie de protection légèrement différente. La grande susceptibilité des grilles d'oxyde aux surtensions, impose deux étages de protections reliés par une résistance. Le premier étage situé au plus près du plot d'entrée est composé de diodes ou de GGNMOS de taille raisonnable pour évacuer la principale partie de la décharge ESD (P1 et P3 dans la Figure II.20). Le second étage est composé d'éléments moins robustes et de petite taille (P2 et P4 dans la Figure II.20), mais dont la tension de déclenchement est choisie en dessous de la tension de claquage de l'oxyde, ce qui n'est pas critique pour les protections du premier étage. La résistance permet de limiter le courant de la décharge dans le second étage.

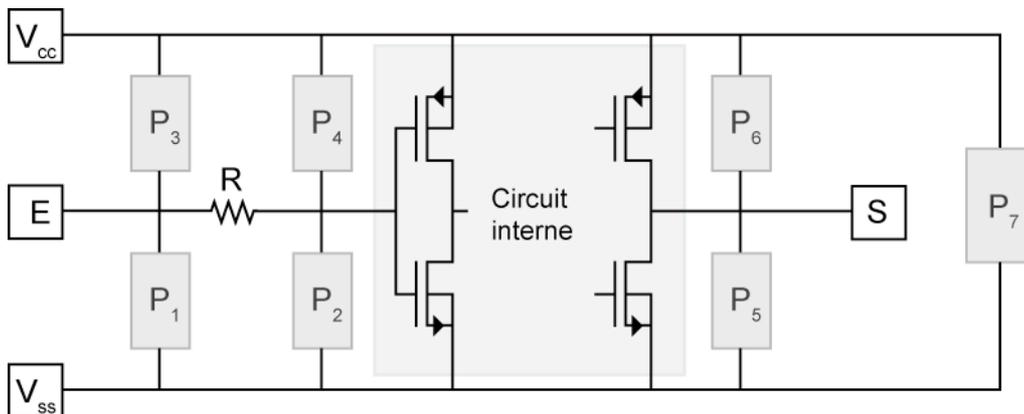


Figure II.20 : Exemple de schéma de protection ESD d'un circuit intégré CMOS.

Les étages de sortie sont plus simples à protéger. Ils sont formés de transistors de sortie de bonnes dimensions qui sont moins sensibles que les entrées. C'est pour cela qu'un seul étage de protection est généralement utilisé et que les tensions de déclenchement sont moins critiques. Suivant la fonction de la sortie et l'application visée, il est parfois possible de s'affranchir d'une protection supplémentaire, le transistor de sortie étant alors auto-protégé (voir cas LDMOS chapitre3). C'est le cas de stress négatifs sur le drain d'un transistor NMOS où la diode drain/substrat se retrouve polarisée en directe. Le même transistor peut aussi s'auto-protéger sur un stress positif soit en favorisant sa mise en conduction par couplage capacitif si son calibre en courant est suffisant évacuer la décharge, soit en déclenchant son transistor bipolaire parasite. Il faut bien sur dans ce cas appliquer des règles de dessin ESD au transistor qui soient compatibles avec les caractéristiques demandées par l'application ce qui n'est pas toujours possible. Il est par exemple courant d'ajouter une résistance de ballast dans collecteur du transistor bipolaire parasite afin d'homogénéiser son déclenchement, ce qui peut être rédhibitoire pour le cas d'une application qui demande une faible résistance à l'état passant.

Les bus d'alimentation sont larges pour mieux distribuer l'alimentation dans tout le circuit ce qui permet d'implanter une seule protection centrale pour le circuit (P7 sur la Figure II.20). Cette protection, souvent appelée Power Clamp, n'a pas les contraintes de faible capacité des protections de plots d'entrées/sorties imposées par la vitesse des signaux appliqués. La taille de la protection peut donc être bien dimensionnée pour permettre une faible résistance à l'état passant. Cette caractéristique est importante car la protection centrale est souvent mise à contribution dans les différents chemins de décharge du circuit, il convient donc de privilégier sa robustesse. Il existe même des configurations où les protections des différents plots ne sont que de simples diodes utilisées en mode direct qui redirigent systématiquement la décharge vers la protection centrale [DABR98].

La protection centrale est constituée de TBA, GGNMOS ou GCNMOS. Par contre, vu le calibre en courant important que peut débiter l'alimentation, l'utilisation de thyristors est inadaptée. Il existe d'autres types de protections spécifiques aux circuits d'alimentation comme le réseau de diodes en série ou le clamp actif.

Le clamp actif est constitué d'un gros transistor MOS commandé par un réseau RC mis en forme par des inverseurs, comme le montre la Figure II.21. Quand un stress ESD est appliqué le transistor PMOS P1 est passant et évacue la décharge. Par contre, lorsque l'alimentation est appliquée, le réseau RC bloque le transistor. Cette configuration impose que le stress ESD soit appliqué au circuit non alimenté, ce qui est la majorité des configurations de test.

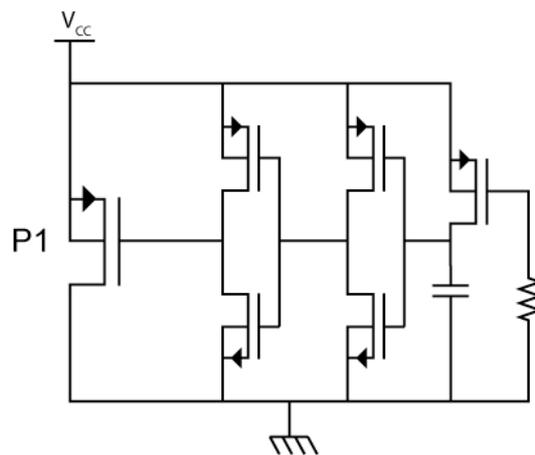


Figure II.21 : Exemple d'implantation du clamp actif

Le réseau de diode est une association de diodes en série, Figure II.22, dont le nombre est choisi de façon à ce que la tension de mise en conduction des diodes soit supérieure à celle de l'alimentation et des bruits qui peuvent être ajoutés. Suivant la technologie utilisée, la tension de déclenchement n'est pas forcément linéaire par rapport au nombre de diodes [DABR98]. Il peut exister en effet un collecteur parasite, qui fait apparaître une structure de transistors PNP associés en montage Darlington. Le passage du courant dans les diodes n'est donc pas équilibré. Ce réseau comporte deux inconvénients, le courant de fuite augmente beaucoup avec la température et la tension de déclenchement est élevée, comparativement à la solution du clamp actif.

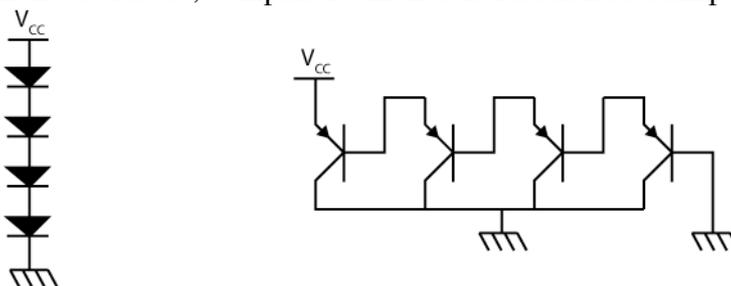


Figure II.22 : Réseau de diodes utilisé comme protection centrale

La structure suspendue, ou Cantilevered Diode [MALO95], permet de réduire ces problèmes. Il s'agit d'un réseau de diode auquel a été ajouté en série un clamp actif comme illustré sur la Figure II.23. Le nombre de diodes peut être dans ce cas réduit car lorsque l'alimentation continue est active, le circuit série des diodes est isolé de la masse. Une plus faible tension de déclenchement est ainsi obtenue. Sous alimentation continue, un circuit diviseur de tension injecte du courant au milieu de l'association de diodes, permettant ainsi de réduire significativement le courant de fuite généré thermiquement. Enfin la taille du circuit actif est réduite au minimum car la majorité du courant passe dans les derniers étages du montage Darlington coté  $V_{DD}$ .

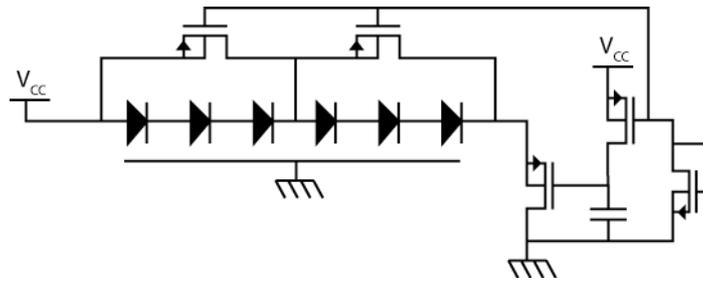


Figure II.23 : Réseau de diode suspendu (Cantilevered Diode)

Nous allons voir comment une stratégie de protection peut être simulée au niveau du circuit intégré et confronter les résultats à une caractérisation expérimentale

### II.3.3 Exemple de simulation / Validation expérimentale

Afin de valider les modèles électriques des protections ESD développées, un circuit de test [GUIT03] a été réalisé sur une technologie CMOS analogique (1,2 $\mu$ m sur substrat P). Son schéma électrique est décrit sur la Figure II.24. Le cœur du circuit est formé de deux inverseurs CMOS en série, le signal résultant est appliqué à un étage de sortie inverseur dont les transistors (N3 et P2) sont correctement dimensionnés et ballastés pour s'auto-protéger face à un stress ESD. L'entrée du circuit possède une protection ESD à deux étages (N1, D1, N2, R et P1). Cette stratégie de protection distribuée est complétée par une protection centrale à base de GCNMOS (N4).

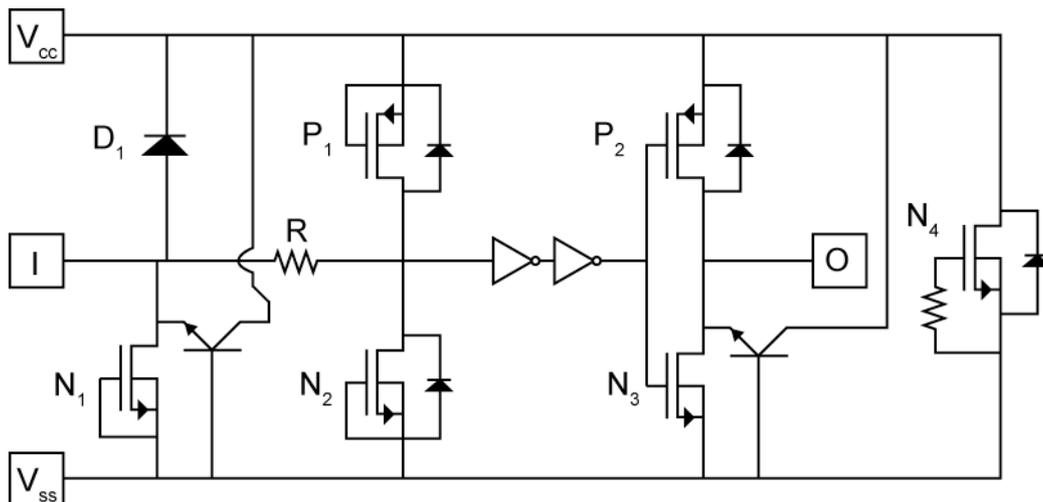


Figure II.24 Schéma électrique du circuit test

Les transistors composants bipolaires représentent des composants parasites liés à des anneaux de latchup dont le comportement sera précisé plus loin.

Les structures de protection ont été initialement optimisées pour une robustesse HBM supérieure à 6kV. Des stress HBM sont appliqués entre les différentes combinaisons de plots, et le circuit est analysé au pic de courant ESD<sup>1</sup>. La Figure II.25 montre un exemple de résultats de simulation pour un stress HBM de 4kV appliqué entre l'alimentation et l'entrée. Les potentiels aux différents nœuds permettent de vérifier que le potentiel appliqué sur la grille et le drain des transistors du cœur est bien en dessous des tensions de claquage<sup>2</sup> des composants à protéger. La valeur des courants dans les branches permet de vérifier que les niveaux sont compatibles avec les protections et de suivre les chemins de la décharge. Dans ce cas, le stress traverse le clamp central pour ensuite passer majoritairement par la protection N1. Une partie de la décharge traverse aussi la protection N2 et la

<sup>1</sup> le pic de courant est à 10ns pour un stress HBM

<sup>2</sup> c'est la tension de claquage statique qui est considérée ici. La tension maximale admissible en transitoire rapide est généralement plus importante mais peut aussi être génératrice de défauts latents.

résistance de transition entre les 2 étages de protection. La robustesse du circuit dans cette configuration de stress a été mesurée à 13kV.

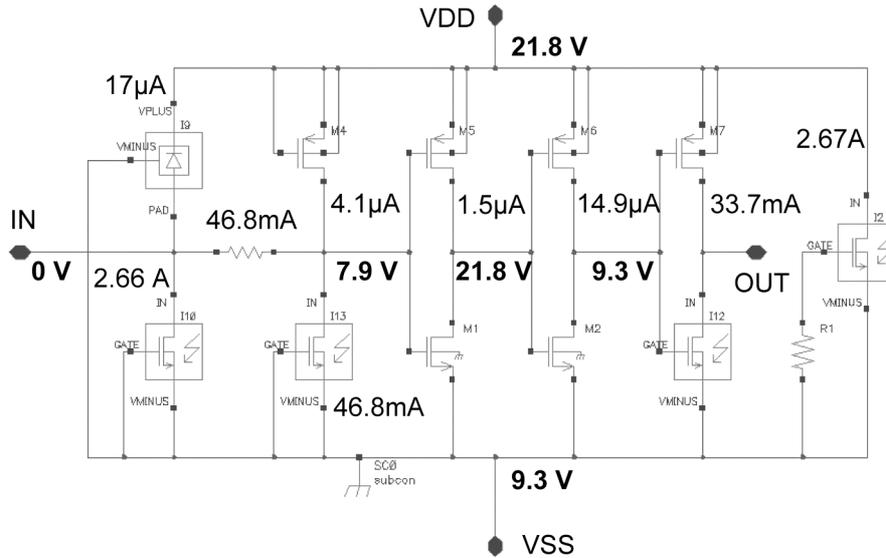


Figure II.25 : Résultat d'une simulation circuit d'un stress HBM de 4kV entre l'alimentation et l'entrée du circuit.

Pour une configuration de stress entre l'entrée et la sortie, la robustesse du circuit est nettement moins bonne puisqu'elle a été mesurée à 3kV HBM. Pourtant les simulations électriques initiales ne permettaient pas de prévoir cette faiblesse. Une analyse OBIRCH (cf. IV.3), Figure II.26, a permis de localiser un défaut dans un anneau de latchup du transistor NMOS N3.

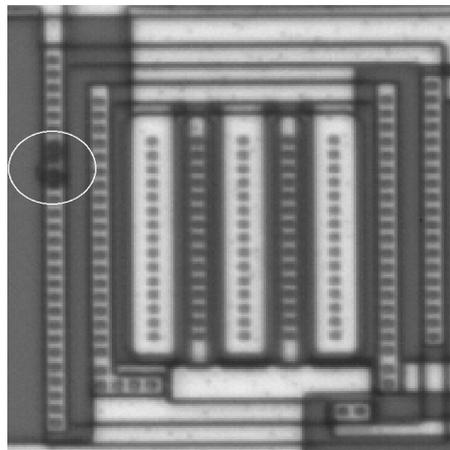


Figure II.26 : Localisation de la défaillance du circuit

Les anneaux de latchup permettent de protéger le circuit intégré du verrouillage d'un thyristor parasite du circuit qui mènerait à sa destruction. Ce sont des diffusions qui entourent les composants actifs et qui sont reliées soit à l'alimentation, soit à la masse. En fonctionnement normal, elles sont donc polarisées et collectent les éventuels porteurs injectés par le composant actif dans le substrat. Par contre dans le cas d'un test ESD, suivant la configuration de pattes choisie, ces anneaux peuvent se retrouver dans le chemin de la décharge. C'est le cas de ce circuit où deux transistors parasites sont formés, voir Figure II.24.

Des simulations ont été effectuées en rajoutant ces transistors et les résultats ont été confrontés à des observations EMMI afin de valider le phénomène.

Pour un courant TLP de 370mA, Figure II.27, le courant passe majoritairement dans la protection de clamp N4. Le chemin actif traverse donc D1, N4 et la diode drain/substrat de N3. L'émission des deux diodes polarisées en direct n'est pas visible sur la figure car elle est très faible

par rapport au transistor N4 qui fonctionne en bipolaire avec sa jonction collecteur base polarisée en inverse. Il faut atteindre un courant TLP de 480 mA avant de voir la protection N1 conduire, voir Figure II.28. Le courant ne passe plus par le clamp N4. Pour un courant plus important de 2,3A, le courant passe toujours par la protection en entrée N1, mais il y a de l'émission au niveau de l'anneau de latchup, ce qui est aussi montré par la simulation, voir Figure II.29. Il existe donc un autre chemin de décharge à travers D1 et le transistor parasite formé par l'anneau de latchup. Comme ce dernier n'est pas optimisé pour conduire un niveau de courant important, la destruction du circuit est annoncé pour un niveau de courant bien inférieur à celui que peut dissiper la protection N1.

Des règles de dessin adaptées sur cet anneau de latchup ont permis de réduire sa sensibilité au déclenchement et donc d'améliorer la robustesse du circuit face aux ESD.

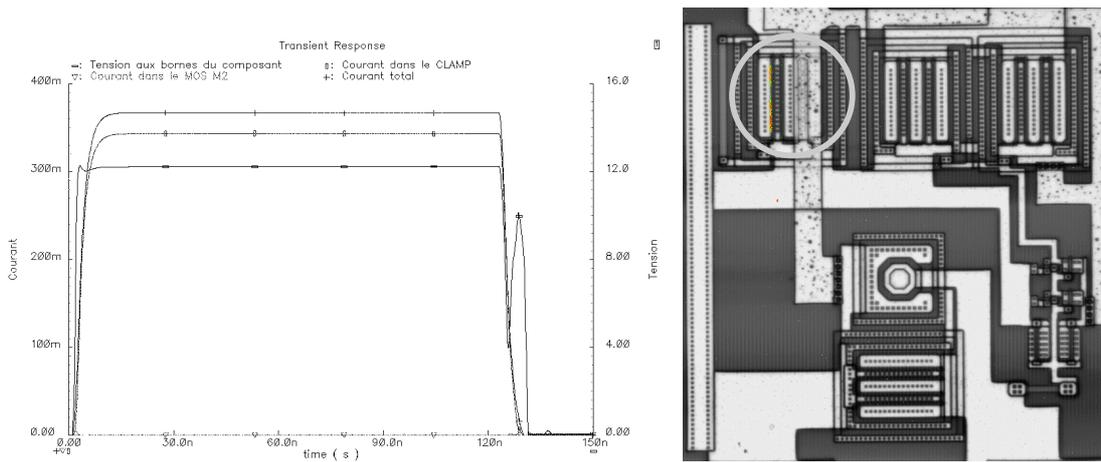


Figure II.27 : Simulation et observation EMMI pour un courant TLP de 370mA

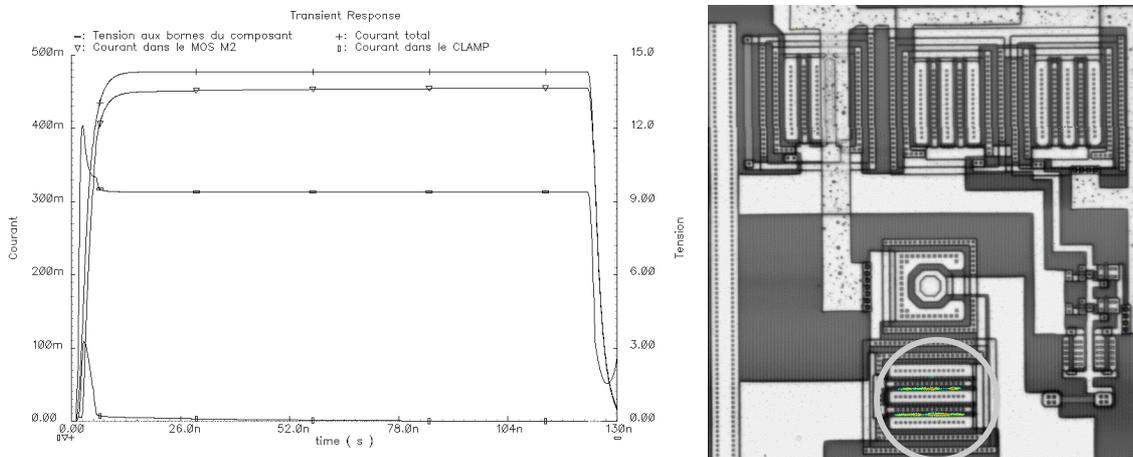


Figure II.28 : Simulation et observation EMMI pour un courant TLP de 480mA

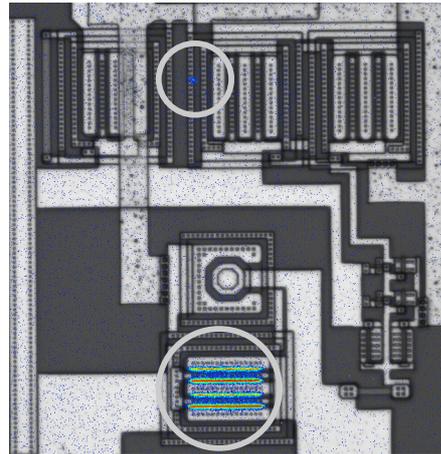
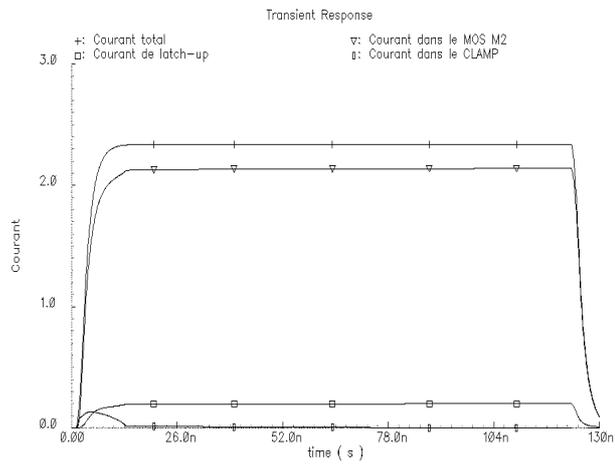


Figure II.29 : Simulation et observation EMMI pour un courant TLP de 2.3 A

La simulation circuit permet donc de vérifier le bon fonctionnement des structures de protection implantées dans le circuit intégré en vérifiant les niveaux de tensions aux nœuds du cœur du circuit mais aussi d'optimiser la stratégie de protection. Elle doit s'appuyer sur une description des protections ESD en régime fort courant, et peut être expérimentalement corrélée par des observations EMMI.



### III. Exemples de solutions de protection contre les ESD

Le but de ce chapitre n'est pas de donner une liste exhaustive de structures de protection ESD citées dans la littérature, mais de montrer des exemples sur lesquels notre méthodologie de conception, décrite au chapitre précédent, a été appliquée. Nous ne rentrerons pas non plus en détail dans la description des différentes structures car elles sont issues des travaux de thèse des étudiants que nous avons encadrés. Des études exhaustives sont présentées dans leurs mémoires. Nous essaierons plutôt de donner une vision globale des problématiques rencontrés et de préciser les performances de chaque structure.

#### III.1 Transistor bipolaire autopolarisé (TBA)

Ce composant a été étudié et optimisé dans la plupart des thèses sur les ESD que nous avons encadrées. Il a été initialement abordé dans la thèse de Christelle Delage [DELA99a] pour ensuite en extraire un modèle électrique à fort niveau de courant dans la thèse de Géraldine Bertrand [BERT01a]. Cette même protection a été utilisée comme structure complémentaire par Patrice Besse [BESS04] pour protéger des composants LDMOS de puissance en y apportant des solutions originales pour régler son niveau de déclenchement. Enfin le comportement de la structure a été exhaustivement étudié dans la thèse de David Trémouilles [TREM04a] en s'appuyant sur un modèle analytique unidimensionnel original. Ces derniers travaux ont été complétés par une phase d'optimisation menée à travers des simulations bidimensionnelles. Enfin ce composant est encore un démonstrateur pour la méthodologie de prédiction de la robustesse ESD que met en place Christophe Salaméro dans le cadre de sa thèse.

La redondance de ces études s'explique d'une part par le fait que le TBA est un candidat particulièrement bien adapté pour la protection des circuits intégrés dédiés à l'automobile, secteur dans lequel nos travaux sont bien développés. Son aptitude à pouvoir se déclencher et se replier à des tensions bien supérieures aux tensions de batterie est un gage de sécurité de fonctionnement pour le concepteur de circuit intégré. Cette protection s'applique aussi bien à la technologie bipolaire qu'à la technologie MOS. Dans ce dernier cas, c'est un GGNMOS qui est utilisé, dans lequel le transistor bipolaire parasite est déclenché. Contrairement à la technologie bipolaire, il n'est possible ici de ne faire que des transistors latéraux, car il n'existe généralement pas de couche enterrée dans le procédé technologique.

Deux phases sont nécessaires pour concevoir une protection ESD à base de TBA et répondre ainsi aux spécifications demandées. La première consiste à fixer les bonnes conditions de déclenchement de la structure (réglages de  $V_{TI}$  et  $V_H$ ). La seconde est d'optimiser la résistance à l'état passant de la structure et son homogénéité de conduction, afin d'obtenir la robustesse ESD désirée.

La Figure III.1 montre deux exemples de courbes TLP de structures TBA. Par rapport à leurs tensions de claquage statiques ( $BV_{CEO}$  et  $BV_{CB}$ ), qui sont considérées constantes dans les deux exemples, les tensions de déclenchement  $V_{TI}$  et de maintien  $V_H$  peuvent avoir plusieurs comportements. La courbe 1 montre une tension de déclenchement  $V_{TI}$  correspondant à la tension de claquage de la jonction collecteur/base  $BV_{CB}$ . Ce qui sous-entend qu'une fois le courant d'avalanche atteint, le transistor bipolaire se déclenche. Son mode de fonctionnement se rapproche alors du mode en base flottante, la tension de repliement  $V_{TI}$  de la caractéristique TLP correspond donc à la valeur de claquage statique dans ce mode  $BV_{CEO}$ . En pratique cette correspondance est rarement vérifiée parce que les paramètres statiques sont extraits de mesures à très faible courant (dizaine de microampères) par rapport au fonctionnement ESD (quelques dizaines de milliampères au déclenchement). Les forts niveaux de courant et la méthode de déclenchement peuvent induire des différences significatives comme le montre la courbe 2.

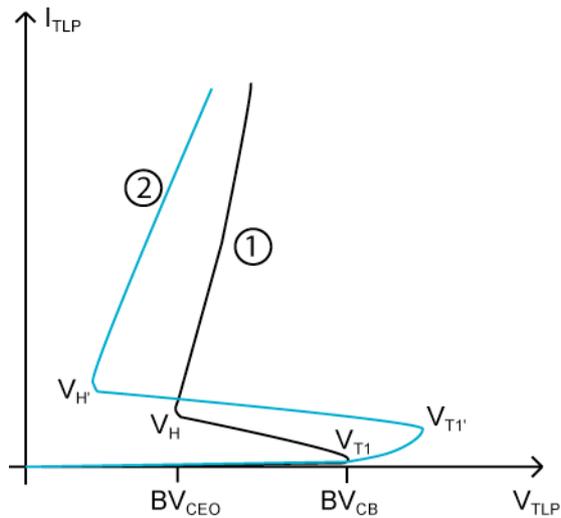


Figure III.1 : exemples de courbes TLP de structures TBA (faible courant)

La tension de déclenchement est ici plus grande que  $BV_{CB}$ . Ceci vient généralement d'une valeur de résistance intrinsèque trop faible dans la base, demandant un plus fort niveau de courant pour polariser en direct la jonction base/émetteur de la structure. Il peut aussi exister des cas où le transistor est déclenché mais le repliement sur une tension plus faible se fait à plus fort niveau de courant [TREM04a] en suivant le mécanisme ci-après. Cet effet peut notamment intervenir s'il existe une jonction en parallèle à la jonction principale collecteur/base, qui a une tension de claquage en inverse inférieure à cette dernière mais dont la résistance à l'état passant est importante.

La courbe 2 de la Figure III.1 montre aussi une tension de maintien  $V_H$  bien inférieure à la tension de claquage statique  $BV_{CEO}$ . Cet effet est généralement dû aux fortes densités de courant dans le composant qui participe au déplacement de la jonction collecteur/base. Ce phénomène est dominant dans les transistors bipolaires dont le collecteur est formé d'une épitaxie faiblement dopée et d'une couche enterrée très dopée, de façon à diminuer la résistance passante du composant. La Figure III.2 illustre ce phénomène en reportant le profil du champ électrique autour de la jonction collecteur/base pour des densités de courant d'électrons croissantes de la partie (a) à la partie (f). Nous retrouvons à gauche une diffusion  $N^{++}$  d'émetteur, puis la diffusion de base  $P$ , et enfin le collecteur formé d'une région épitaxiée  $N^-$  puis d'une diffusion  $N^{++}$ . L'augmentation de la densité de courant provoque l'élargissement de zone de charge d'espace du côté du collecteur (a)(b) jusqu'à ce que cette extension se retrouve limitée par la zone plus fortement dopée (c). La densité de courant d'électrons devient tellement grande, que la densité de charges négatives qui traversent la zone de charge d'espace neutralise les charges positives dues au dopage de l'épitaxie. Une partie du collecteur devient donc une région quasi-intrinsèque (d). Une augmentation supplémentaire du courant d'électrons rend la densité de charge dans cette partie du collecteur négative, déplaçant ainsi la jonction effective collecteur/base, de la jonction métallurgique à la région de transition entre l'épitaxie et la diffusion  $N^{++}$  (e) et (f).

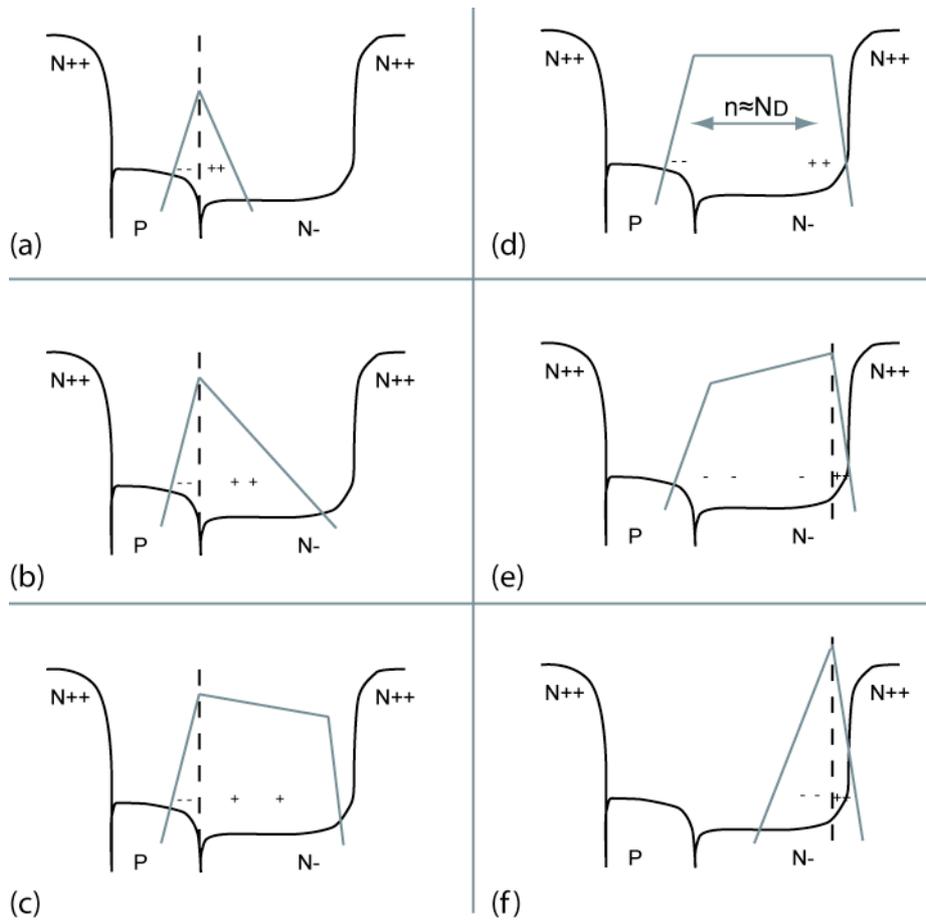


Figure III.2 : déplacement de la jonction collecteur/base dans un TBA

C'est un mécanisme similaire, appelé effet Kirk, qui limite l'utilisation des transistors bipolaires d'amplification radiofréquence à fort courant [KIRK62]. Mais, dans notre cas, ce phénomène est favorable, car il permet d'avoir une tension de repliement plus faible que la valeur statique, et donc de pouvoir dissiper plus d'énergie. Il faut bien sûr que cette valeur de tension reste dans les marges de conception. La simulation illustrée sur la Figure III.3 donne la répartition du champ électrique dans un TBA au pic de courant de la décharge HBM qui lui est appliquée. Le maximum de champ électrique se retrouve dans le collecteur [BERT01b] sur la frontière entre l'épitaixie et une couche enterrée à fort dopage. C'est, dans ce cas, le lieu de destruction du composant pour des niveaux de courant plus importants, comme le montre l'analyse de défaillance de la Figure III.4 (Analyse au microscope à faisceau d'ions FIB).

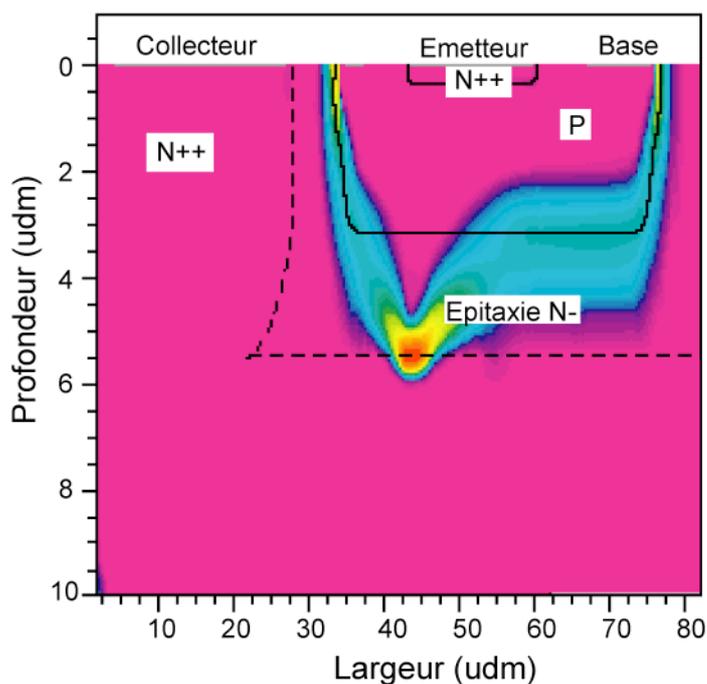


Figure III.3 : Répartition du champ électrique dans un TBA (Stress HBM 2kV, t=10ns)

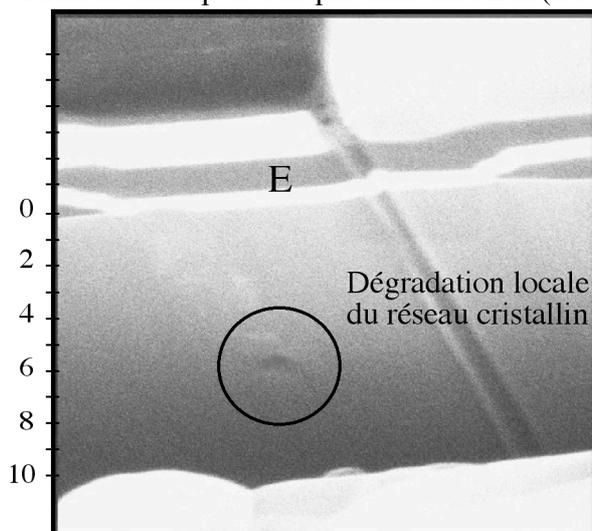


Figure III.4 : Analyse de défaillance sur un TBA

La deuxième phase de conception d'une protection ESD à base de TBA porte sur l'optimisation de son comportement à très fort courant afin d'améliorer sa robustesse. Le paramètre le plus simple à modifier porte sur la taille du composant. En mode statique, le calibre en courant d'un transistor peut être ajusté en jouant sur sa longueur, en choisissant une configuration mono ou multi-doigts, en fonction des impératifs de dessin des masques. Ce n'est pas forcément le cas en régime ESD car la conduction sur le doigt d'un transistor peut être inhomogène (cf. II.1.4). Dans ce cas, une configuration multi-digitée est souvent préférée si le déclenchement séquentiel de tous les doigts peut se faire (cf. II.1). A partir d'une structure de base, qui reprend la configuration de la Figure III.3, une mise en parallèle a été étudiée [DELA99a] et les résultats sont présentés dans la Table III.1. La technologie utilisée est une technologie SmartPower 1,8µm (Freescale) et la dimension de la structure élémentaire est 180µm \* 126µm. La mise en parallèle de deux structures augmente la robustesse ESD que ce soit en test HBM ou en mesure TLP ( $I_{T2}$ ). Par contre les niveaux de

défaillance ne sont pas deux fois plus grands. Ce comportement peut s'expliquer par un déséquilibre de conduction entre les deux structures. Une structure se déclenche toujours avant l'autre, et conduit seule pendant un temps la décharge ESD. Une fois les deux structures déclenchées, leur état thermique est différent, la répartition du courant sur chacun des doigts aussi, menant ainsi à des inhomogénéités. Ce phénomène corroboré par les valeurs de résistance dynamique extraites par mesure TLP. Le cas de quatre structures associées est donné pour illustrer cette tendance. Le niveau de robustesse ESD de cette dernière configuration n'a pas pu être précisément évalué, car à l'époque de ces mesures, les équipements de test HBM ou ESD n'ont pu mettre en défaut cette structure.

Nombre de structures	Tenue HBM (kV)	Courant $I_{T2}$ (A)	$R_{ON}$ dynamique ( $\Omega$ )	Performance HBM ( $V/\mu m^2$ )
1	7	3,5	3,5	0,3
2	10	6,3	2,3	0,22
4	>10	>7,5	1,7	-----

Table III.1 : Performances ESD de TBA mis en parallèle.

Nous ne l'avons pas encore précisé, mais les TBA que nous avons étudiés sont généralement formés de deux transistors bipolaires en parallèle, un latéral et un vertical. Le transistor latéral est généralement utilisé pour déclencher la protection, car la tension de claquage de sa jonction collecteur/base est compatible avec les applications visées, mais il est fortement conseillé d'utiliser le transistor vertical pour évacuer la plus grande partie de la décharge. Si ce n'est pas le cas, le fort courant qui passe dans le transistor latéral, crée un point chaud près de la surface du silicium qui mène rapidement à la destruction du dispositif.

La Figure III.5 montre [BESS04] qu'en ajustant la résistance de ballast de l'émetteur, par le réglage de la distance latérale entre la jonction base/émetteur et le contact d'émetteur, il est possible de diminuer la conduction du transistor latéral et de déplacer le point chaud en profondeur. Les paramètres de déclenchement de la protection restent sensiblement identiques, ainsi que sa surface, mais la robustesse HBM passe de 3kV à 7kV.

Il est possible d'optimiser encore plus les performances de la protection décrite ci-dessus. Nous avons montré par simulation [TREM02] qu'il peut exister un point de focalisation du courant qui se déplace sur la longueur de l'émetteur (cf. II.1.4). Ce phénomène peut être reproduit sur la largeur de l'émetteur. Or les simulations de la structure précédente montre qu'il y a focalisation du courant, sous le bord du contact d'émetteur, du côté collecteur, sur toute la durée du stress. La contre-réaction bénéfique déjà évoquée de la température sur la génération des porteurs n'a pas lieu et l'augmentation de la température à ce seul endroit conduit à une destruction thermique prématurée de la protection. Le blocage du point chaud sur le bord de l'émetteur peut s'expliquer par une résistance de base à cet endroit la plus élevée, et donc localement la polarisation de la jonction base/émetteur la plus forte. Cet effet peut être diminué par l'ajout d'une résistance externe, dont la valeur doit être correctement choisie pour garantir des conditions comparables de déclenchement.

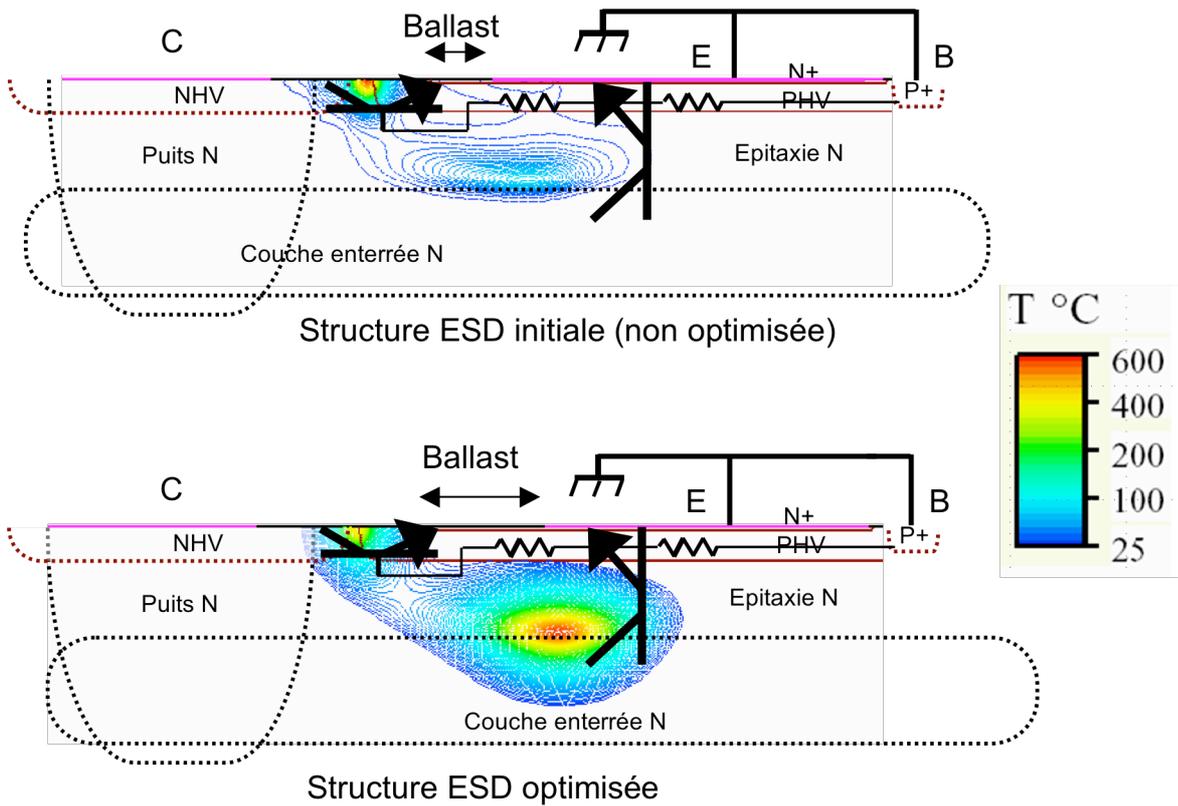


Figure III.5 : Effet du ballast de l'émetteur sur la répartition thermique dans TBA (Stress HBM 4kV,  $t=100\text{ns}$ )

La Figure III.6 montre les résultats de simulation d'un stress HBM de 4kV appliqué sur une structure possédant une résistance externe. Les répartitions de la densité de courant d'électron et de la température sont représentées à différents temps de la simulation. Les points de focalisation de courant et de température se déplacent dans ce cas sous la largeur de l'émetteur. Il faut préciser que tout l'émetteur participe à la conduction, mais les échelles sont choisies pour appuyer l'effet de focalisation.

Les tests HBM des structures réalisées ont montré que cette optimisation permet d'augmenter de façon significative la robustesse ESD. L'apport conjoint du ballast d'émetteur et de la résistance externe a amené une amélioration jusqu'à 500% de la tenue HBM. La meilleure performance HBM obtenue sur une protection TBA avec cette technologie est de  $2,6\text{V}/\mu\text{m}^2$ .

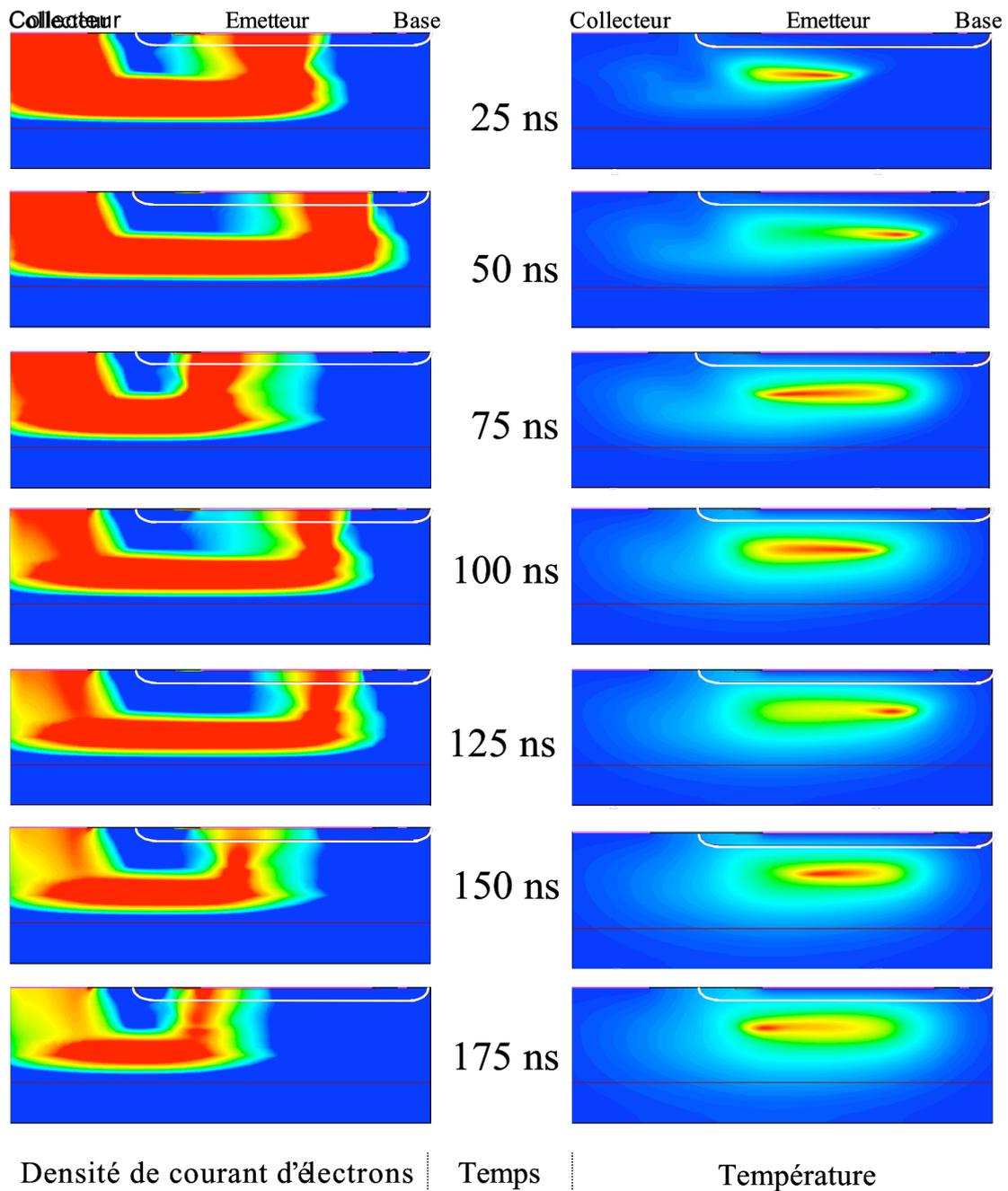


Figure III.6 : Simulation de la répartition du courant et de la température dans un TBA (Stress HBM 4kV). La coupe est effectuée sur la largeur du doigt.

### III.2 Thyristor symétrique, MILSCR

L'étude de ce composant a été menée dans une partie de la thèse de Christelle Delage [DELA99a][DELA99b]. Il doit protéger l'entrée d'un circuit destiné à une application automobile avec une grande robustesse et ne doit se déclencher que pour des tensions appliquées de plus ou moins 40V. La spécificité de ne déclencher qu'à de très grandes tensions négatives, proscrit l'utilisation d'une structure conventionnelle car c'est généralement une diode interne qui conduit sous polarisation négative. C'est par exemple le cas de la diode collecteur/base pour le TBA.

Nous avons donc choisi une solution à base de thyristor, permettant d'avoir une grande robustesse, grâce notamment à une très faible résistance à l'état passant, tout en limitant la surface occupée car ces structures sont très compactes. En contrepartie, ces structures sont délicates à utiliser comme protection car leurs tensions de maintien sont généralement inférieures aux tensions d'alimentation, un déclenchement intempestif peut générer un dysfonctionnement ou la destruction du circuit intégré. Pour éviter ce problème, il faut optimiser le courant de maintien de la protection en le situant bien plus haut que le niveau de courant maximum de l'alimentation du système. Le verrouillage de la structure lors d'une décharge ESD avec le circuit intégré sous tension est ainsi évité.

La structure proposée avait été déjà brevetée pour des applications faibles tensions en technologie CMOS [CHUN92]. Sa coupe technologique est donnée sur la Figure III.7. C'est le dessin d'un thyristor latéral auquel une symétrie autour de son anode a été appliquée, d'où le nom de Mirrored Lateral SCR. Le schéma électrique équivalent est donné sur la Figure III.8. Lors d'un stress ESD positif, c'est le thyristor SCR2 qui est actif, l'émetteur de Q3 se trouvant du côté de RB1 (1), et le transistor Q1 voit sa jonction base/collecteur polarisée en direct. Lors d'un stress négatif, c'est le second thyristor SCR1 qui fait office de protection, l'émetteur de Q3 se trouvant maintenant du côté de RB2 (2).

La Figure III.9 montre la courbe TLP mesurée de la protection. Une dissymétrie des tensions de déclenchement peut être observée. Le déclenchement en mode négatif se produit à plus faible niveau que dans le mode positif. Ce problème vient de la mise en conduction du transistor PNP parasite formé par l'anode, l'épitaixie et le substrat.

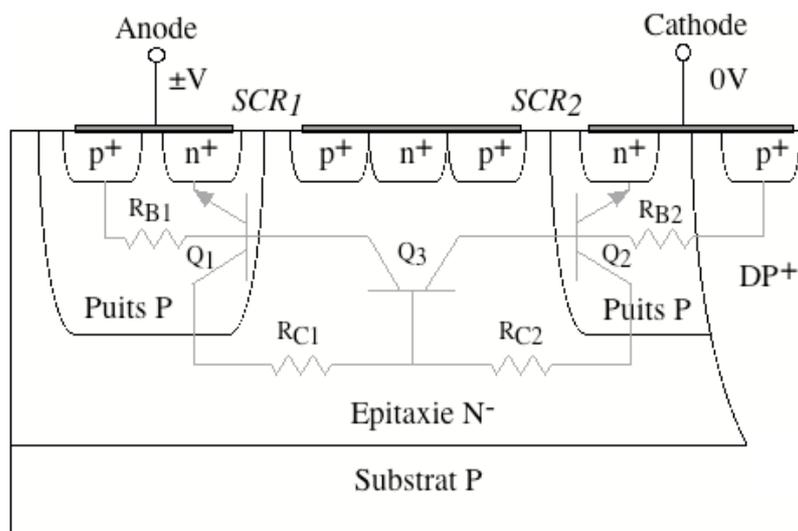


Figure III.7 : Coupe technologique du MILSCR

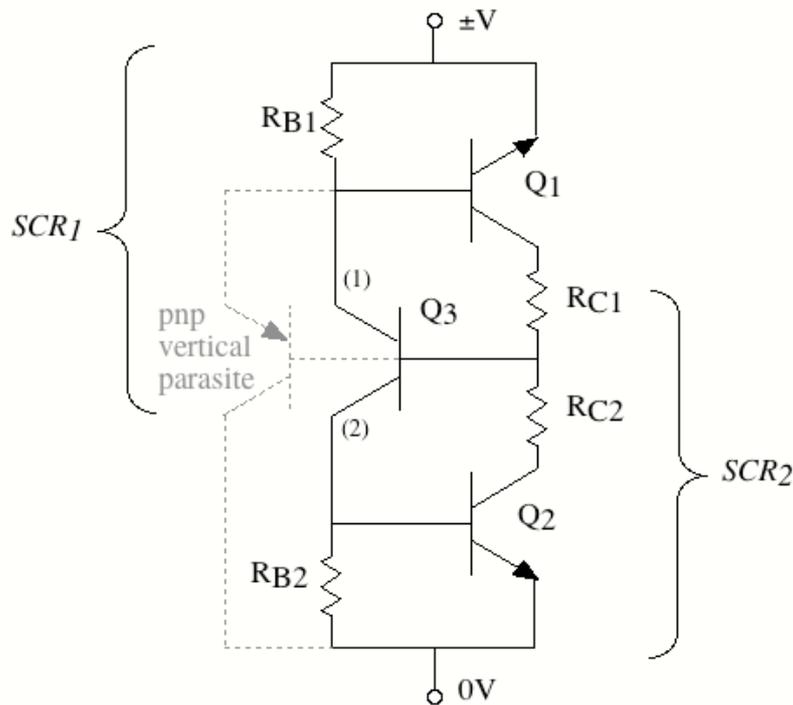


Figure III.8 : Schéma électrique du MILSCR

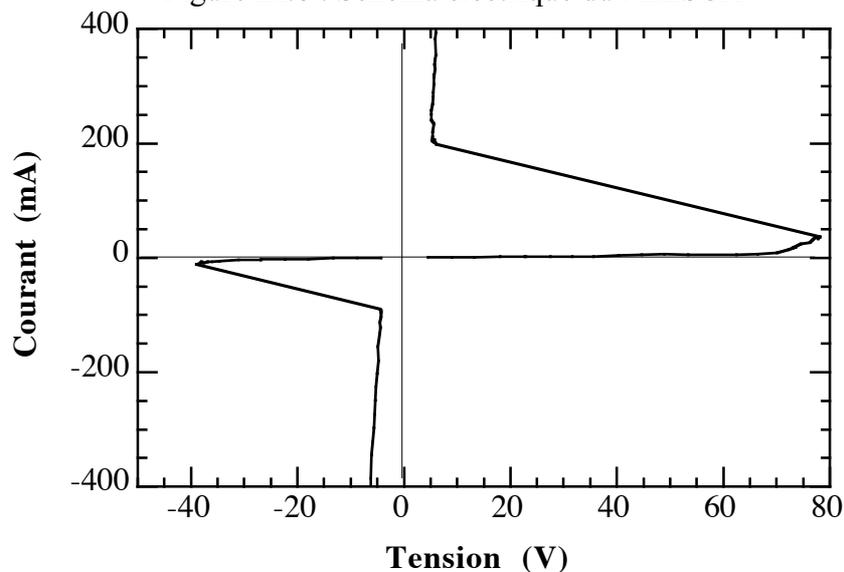


Figure III.9 : Caractéristique TLP du MILSCR

La structure a été optimisée par les outils de TCAD afin d'augmenter la valeur des tensions de déclenchement et diminuer la dissymétrie. La structure finale présente des tensions  $V_{T1}$  de +90V et -61V, pour des courants de maintien statiques supérieurs à 100mA. La structure est compacte ( $70\mu\text{m} \times 100\mu\text{m}$ ) et robuste ( $V_{\text{HBM}} > 10\text{kV}$ ), ce qui lui donne une performance HBM de  $1,43\text{V}/\mu\text{m}^2$ . Il faut souligner que les deux polarités de stress sont considérées. La performance HBM par structure approche donc  $3\text{V}/\mu\text{m}^2$ .

Ce type de structure est donc très efficace pour répondre à ce type de problème, mais il existe encore de nombreuses réticences de la part des concepteurs de circuits intégrés à les utiliser. Cette crainte vient probablement des nombreux problèmes de latchup que ces concepteurs ont pu rencontrer, et qui font du thyristor plus un danger qu'un allié dans la protection ESD.

### III.3 Protections agiles

La structure de protection ESD universelle n'existe pas car une bonne protection n'est pas transposable d'une filière technologique à une autre, et l'application visée, voir la fonction de la broche à protéger, fait varier les marges de conception de la structure. C'est le cas des circuits intégrés analogiques qui possèdent plusieurs tensions d'alimentation et des signaux ayant des niveaux électriques très différents. Si nous considérons que les structures à repliement offrent, à surface équivalente, une meilleure robustesse, il faut par contre ajuster leur tension de déclenchement statique et dynamique en fonction des tensions à considérer sur les plots [VASH05]. Dans le cas d'un TBA, c'est la jonction collecteur/base qui définit ce déclenchement lorsqu'elle entre en mode d'avalanche. Pour une technologie figée, il y a peu de liberté au niveau des dopages disponibles pour régler cette tension.

Nous avons conçu une structure agile innovante pour la protection ESD dans le cadre de la thèse de Patrice Besse [BESS05], que nous avons breveté [ZECR02]. Pour avoir une tension de déclenchement réglable, cette structure reprend le principe des anneaux flottants [KAO67] dont le concept a largement été étudié par Georges Charitat [CHAR90] au laboratoire comme technique de garde sur les terminaisons de jonctions des composants de puissance haute tension. Elle a ensuite été utilisée dans notre groupe pour mettre au point un nouveau concept de transistor MOS de puissance, le FLIMOS [MORA01].

Le principe repose sur l'utilisation d'un anneau flottant de type P dans le collecteur d'un transistor NPN. Lorsque la jonction principale collecteur/base est polarisée en inverse, la zone de charge d'espace créée s'étend vers l'anneau flottant. En faisant croître la tension de polarisation, la zone de charge d'espace touche l'anneau flottant et le polarise. Le champ électrique se retrouve alors réparti sur la jonction principale et sur l'anneau flottant, comme le montre la Figure III.10. Ainsi la tension de claquage par avalanche de la jonction principale se retrouve repoussée à des tensions supérieures à celle de la configuration sans anneau.

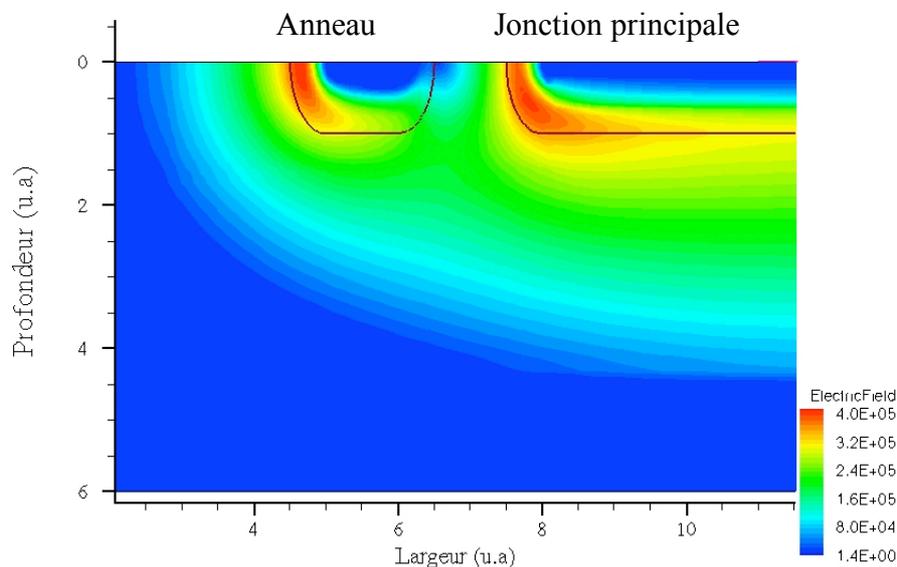


Figure III.10 : Simulation montrant la répartition du champ électrique entre la jonction principale et l'anneau flottant.

La distance entre l'anneau flottant et la jonction principale permet de moduler la répartition du champ électrique et donc de régler la tension de claquage par avalanche de la structure. Il existe une distance optimale permettant d'avoir une tension de claquage maximum. Plusieurs anneaux peuvent être ajoutés pour augmenter cette tension. Cette solution n'a pas été retenue dans notre application car cela se fait en augmentant sensiblement la taille de la structure, ce qui n'est pas compatible avec la compacité demandée à une structure de protection.

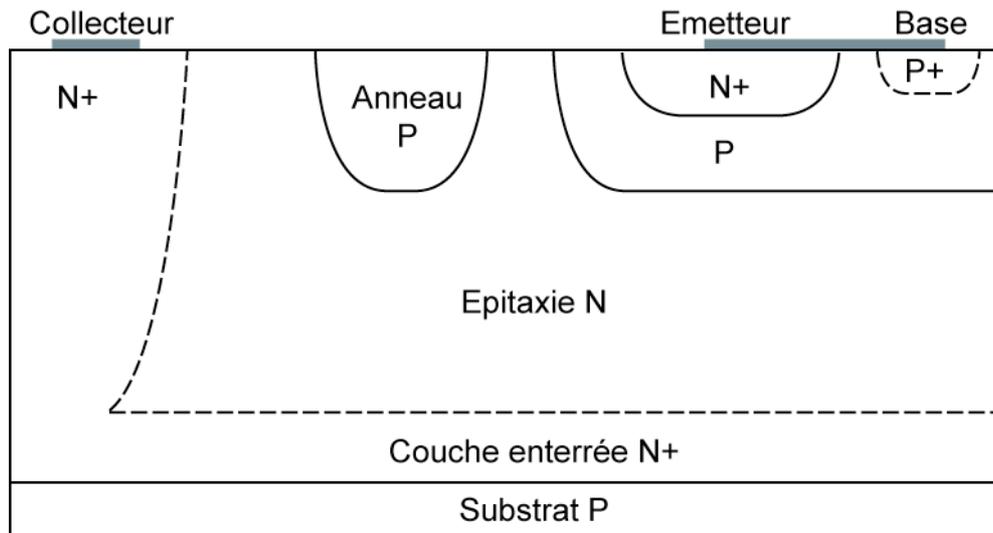


Figure III.11 : Coupe technologique de la structure de protection agile.

La structure du composant de protection que nous avons réalisé est présentée en coupe sur la Figure III.11. C'est un TBA dans lequel un puits flottant a été ajouté dans l'extension du collecteur. Le déclenchement de la structure est effectué dans la partie latérale du collecteur. Le courant passe ensuite majoritairement par la couche enterrée dans le transistor vertical situé sous l'émetteur.

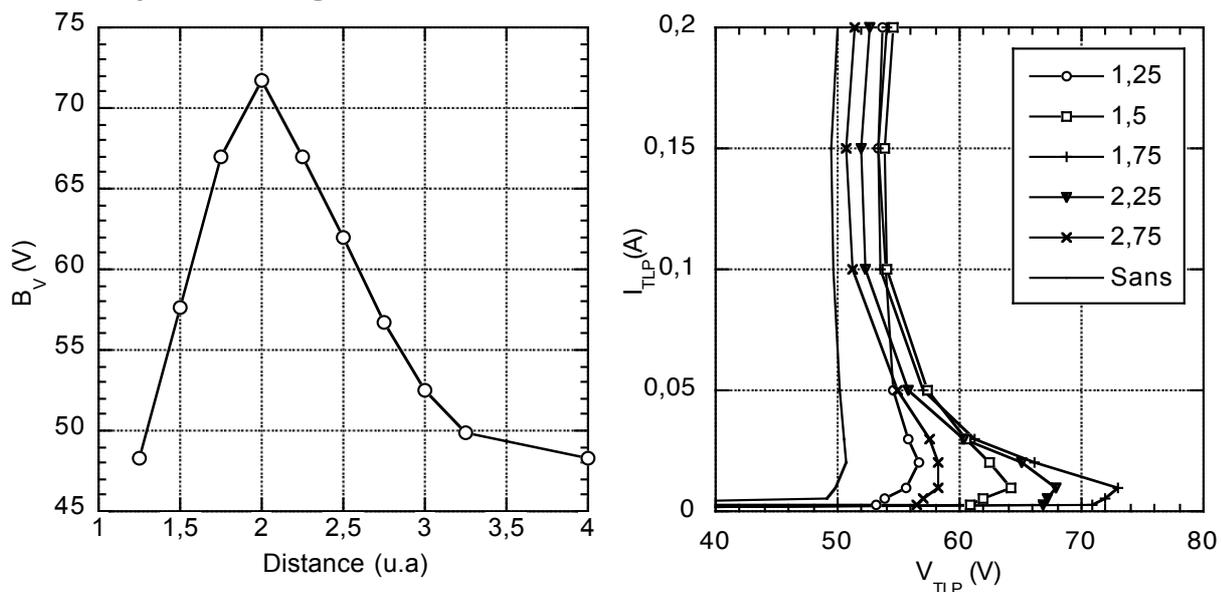


Figure III.12 : Tension de claquage statique et courbes TLP en fonction de la position de l'anneau. Les distances sont en unités arbitraires (u.a)

La Figure III.12 montre les résultats de simulation de la structure pour différentes valeurs de l'espacement entre la jonction principale base/collecteur et le puits flottant. Comme prévu, la tension de claquage statique subit des variations. Quand le puits flottant est très près de la jonction principale, c'est lui qui soutient le maximum de champ électrique, et la tension de claquage est de 48V. Pour une distance de 2 u.a, la tension maximale de claquage de 72V est atteinte. Pour des distances plus grandes, la tension de claquage diminue pour atteindre 48V qui correspond à la tenue en tension de la seule jonction base/collecteur. Les courbes TLP montrent le même comportement pour la tension de déclenchement dynamique  $V_{T1}$ . La tension de maintien  $V_H$  est par contre la même dans tous les cas. En effet, cette dernière est fixée par la mise en conduction du transistor

vertical et, dans cette configuration, le courant ne passe plus par l'anneau flottant. Des études se poursuivent pour l'optimisation de ce concept.

### III.4 Autoprotection d'un transistor LDMOS de puissance

Un transistor LDMOS de puissance utilisé comme interrupteur est conçu pour commuter plusieurs dizaines d'ampères. Sa taille peut atteindre le  $\text{mm}^2$  et sa résistance à l'état passant est de l'ordre de  $100\text{m}\Omega$ . Il est donc intrinsèquement assez robuste pour dissiper l'énergie d'une décharge électrostatique sans l'ajout d'une structure de protection dédiée. Il faut pourtant appliquer des règles de dessin adaptées si l'on veut garantir la tenue de la structure aux décharges électrostatiques. Ces règles ont été établies dans les travaux de thèse de Patrice Besse [BESS04].

Le composant étudié est réalisé dans une technologie SmartPower  $0,8\mu\text{m}$  de Freescale dont une coupe est présentée sur la Figure III.13. Cette technologie permet de regrouper sur la même puce un composant de puissance et sa logique de contrôle.

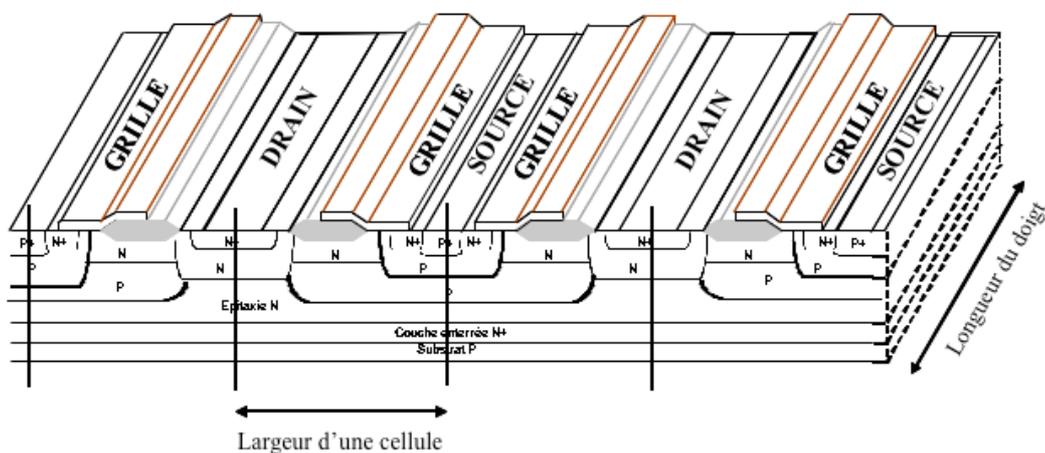


Figure III.13 : Coupe technologique d'un transistor LDMOS de puissance

Le stress ESD est appliqué sur le drain du transistor. Dans le cas d'un stress négatif entre le drain et la source, l'immense diode drain/source polarisée en direct évacue le courant et la robustesse ESD est très importante ( $>10\text{kV}$  HBM). Dans le cas d'un stress positif, le comportement de la structure dépend de la configuration de la grille.

Si le circuit de commande du transistor LDMOS ramène une résistance suffisante entre la grille et la source, connectée par construction au caisson P dans lequel le canal est formé, un stress positif peut polariser par couplage capacitif la grille à une tension supérieure à sa tension de seuil. Le transistor MOS conduit alors sur toute sa surface et absorbe facilement la décharge électrostatique. La robustesse ESD est là aussi très grande. Il faut par contre prendre des précautions vis-à-vis de la tension maximale atteinte sur la grille.

Par contre si la résistance entre la grille et la source est trop faible il n'y a pas de déclenchement de type MOS. Le pire cas est le court-circuit où la structure se comporte comme un GGnMOS. Le mode de déclenchement est alors bipolaire et de nombreux paramètres ont un effet sur la robustesse ESD. Un des plus surprenants est le facteur de forme du composant. Ce paramètre est le rapport de la largeur du composant sur sa longueur. Un facteur de forme élevé représente un nombre important de doigts de petite longueur. La Figure III.14 nous montre l'évolution de la robustesse ESD en fonction du facteur de forme, la surface du composant restant constante.

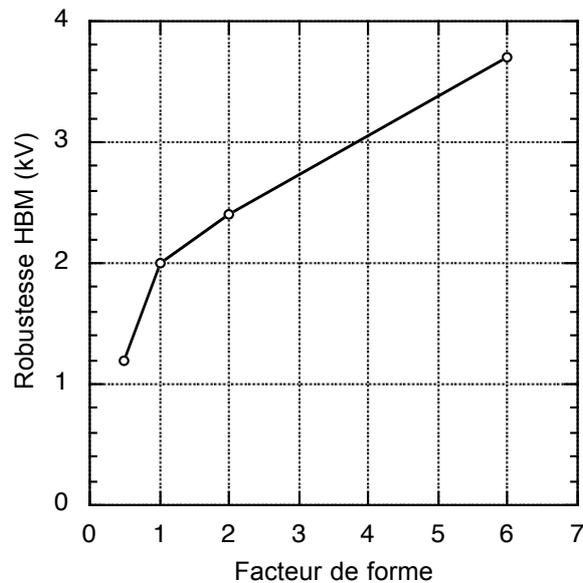


Figure III.14 : Robustesse HBM en fonction du facteur de forme du composant

Il est plus efficace d'avoir un nombre important de doigts de faible longueur. Ceci montre qu'il existe un problème d'homogénéité sur la longueur du doigt. L'analyse du dessin des masques a permis d'identifier dans le drain une résistance répartie sur la moitié de la longueur du doigt. Cette résistance crée un déséquilibre qui privilégie le passage du courant dans une seule partie de doigt. La taille importante du composant ne nous permet pas d'effectuer une simulation tridimensionnelle du problème. Mais une approche bidimensionnelle, en décrivant deux cellules extrêmes du doigt, nous permet d'appréhender qualitativement le phénomène [NOLH02]. La Figure III.15 représente la densité de courant d'électrons dans ces deux cellules pour deux références temporelles, dans le cas d'un stress HBM de 2kV. A une nanoseconde, les deux cellules sont déclenchées en mode bipolaire et la conduction est équilibrée. Par contre, au bout de cinq nanosecondes, une cellule conduit la totalité du courant, la seconde est totalement dépolarisée.

Une solution consiste à adopter uniquement des structures à fort facteur de forme, mais leur implantation au niveau du dessin des masques n'est pas optimale, engendrant une perte de place importante sur le silicium.

Notre effort s'est donc porté sur l'optimisation des structures à faible facteur de forme, sachant qu'aucune dégradation des performances statiques n'est tolérée. Une analyse des structures défailtantes a révélé que les structures étaient détruites toujours au même endroit situé sur un doigt au plus près du contact de grille. La simulation a montré que les résistances d'accès à la grille engendraient aussi des inhomogénéités de conduction entre les doigts. Pour limiter ce phénomène un nouveau dessin de l'accès aux grilles a été défini permettant de mieux répartir ces résistances.

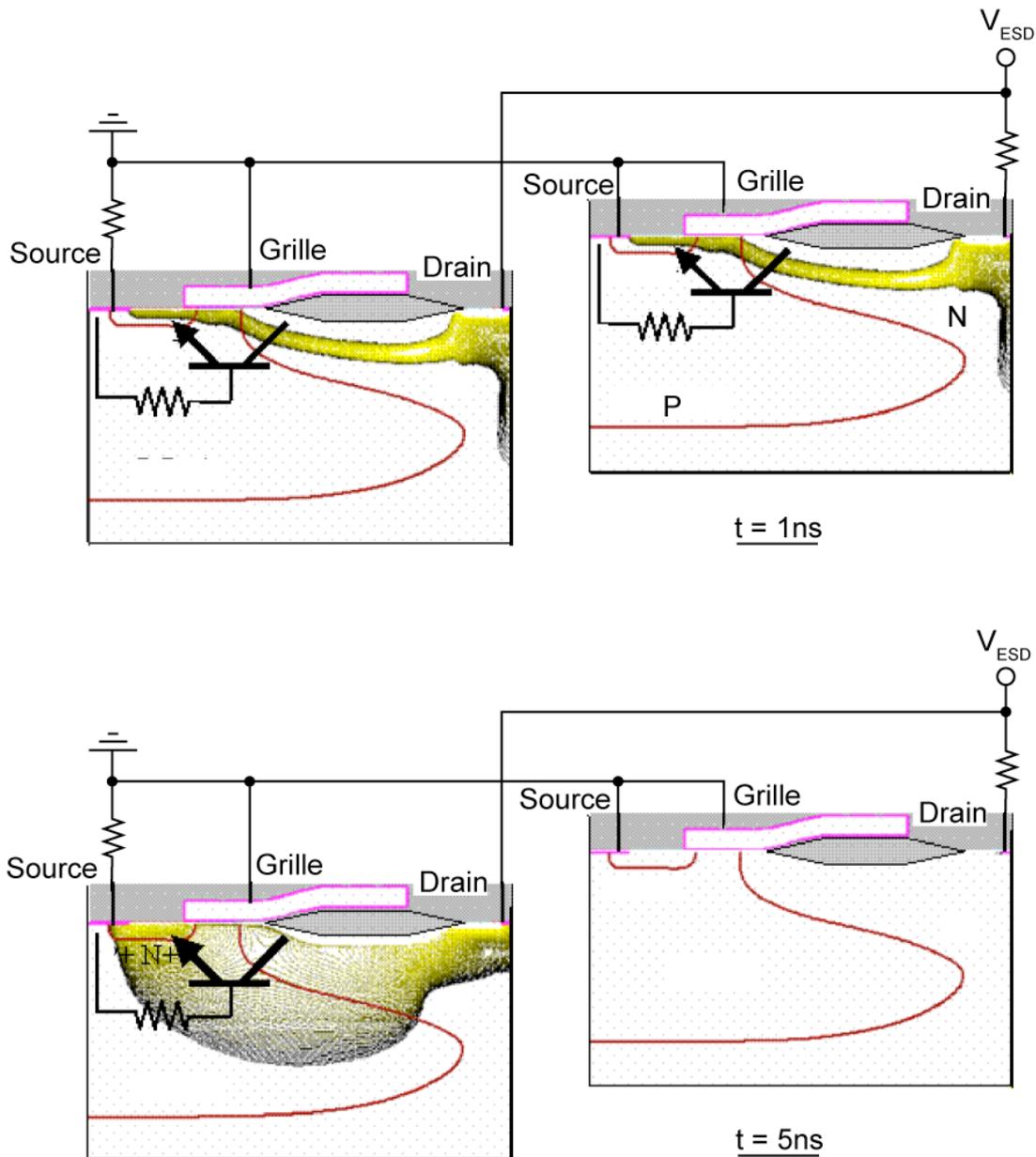


Figure III.15 : Répartition de la densité de courant dans les deux extrémités d'un doigt du transistor LDMOS à 1 et 5 ns d'une simulation HBM de 2kV.

Les règles de dessin établies après cette étude ont permis une amélioration de 25% de la robustesse ESD des composants. Deux solutions s'offrent au concepteur si la robustesse résultante est insuffisante. Soit son application lui permet de mettre une résistance entre la grille et source, facilitant ainsi le déclenchement du MOS par couplage capacitif, soit une structure de protection externe doit être rajoutée. Cela peut être le cas dans des applications automobiles qui nécessitent une très grande robustesse HBM (>8kV).

## IV. Nouveaux défis

Le but de ce chapitre est de présenter nos perspectives de recherche dans le domaine des ESD qui se dégagent des travaux effectués, des tendances actuelles des nouvelles technologies, de leurs applications et des contraintes croissantes en termes de fiabilité. Certains thèmes sont bien identifiés et nous commençons à y travailler, d'autres sont un peu plus exploratoires. Maintenant que notre méthode de conception et nos moyens de caractérisation sont éprouvés, il paraît important tout en tenant compte de l'évolution des nouvelles technologies, d'étendre nos travaux en delà de l'optimisation de structures de protection au niveau du circuit intégré. Cette approche est d'autant plus justifiée que les modèles de décharges ESD émergents, comme le CDM ou l'IEC [IEC01], sont fortement liés au boîtier d'encapsulation, et à l'implémentation du circuit imprimé final. Nous devons dans ce dernier cas, considérer une approche système du problème. D'autre part, le composant actif silicium n'est pas la seule réponse à une protection ESD. Il pourrait être remplacé ou complété par une protection ramenée sur la puce ou dans son boîtier. Ce type de protection pourrait utiliser un filtre passif, solution qui aurait l'avantage si elle est compatible avec l'application visée, de pouvoir protéger aussi contre d'autres types d'agressions comme celles qui sont liées aux problèmes de compatibilité électromagnétique. De nouveaux matériaux peuvent aussi être évalués. Enfin une veille technologique doit être menée sur les méthodes de caractérisation, et les techniques d'analyse de défaillance dues aux ESD.

Nous allons présenter un peu plus en détail chacun de ces points.

### IV.1 Effet des nouvelles technologies sur la robustesse ESD

Que ce soit la réduction des dimensions, associée à l'augmentation de la densité d'intégration, ou l'introduction de nouvelles étapes technologiques, pour améliorer les performances, l'évolution des nouvelles technologies va être un véritable défi pour le développement de protections ESD. Elles devront être de plus en plus robustes, tout en ayant une surface réduite, et leurs marges de conception seront plus serrées.

ANNEE	2001	2003	2004	2005	2006	2007	2010	2016
<b>Dimension minimum de la technologie (nm)</b>	130	100	90	80	70	65	45	22
<b>Densité de transistors logiques /cm<sup>2</sup> (10<sup>6</sup>)</b>	14	26	35	47	63	85	210	1279
<b>Tension d'alimentation (V)</b>	1,1	1	1	0,9	0,9	0,7	0,6	0,4
<b>Nombre maximum de broches du boîtier</b>	1200	1452	1600	1760	1936	2140	2782	4702
<b>Taux de défaillance par transistor (normalisé)</b>	1	0,5	0,35	0,25	0,18	0,13	0,04	0,006
<b>Taux de défaillance par m d'interconnexion (normalisé)</b>	1	0,74	0,66	0,55	0,5	0,45	0,39	0,18
<b>Robustesse HBM de la protection ESD (V/μm)</b>	10	12	12	13	13,5	14	15	20
<b>Efficacité de la protection ESD (V/μm<sup>2</sup>)</b>	3	3,5-4	3,5-4	4,4-5	4,4-5	4,4-5	5,5-6	9,5-14

Table IV.1 : Evolution des paramètres des technologies futures

La Table IV.1 regroupe la tendance des prochaines années [ITRS01] à la diminution des dimensions qui s'accompagne d'une très forte augmentation de la densité d'intégration. Les tensions d'alimentation du cœur du circuit intégré baissent aussi afin de limiter la puissance à dissiper par la puce. Cette évolution et la diminution de la tension de claquage des oxydes de grille plus minces réduisent les marges de conception des protections. Ces dernières seront aussi plus nombreuses car

le nombre d'entrées/sorties sera plus grand. L'électronique rentre dans la gestion grandissante d'applications sécuritaires (gestion de la sécurité des véhicules, commandes de vol électriques sur les avions..) et son utilisation se fait dans des environnements de plus en plus hostiles (applications nomades). La demande de fiabilité des composants sera donc plus forte. Si aujourd'hui certaines applications demandent des fiabilités de l'ordre 10 FIT<sup>1</sup>, la forte augmentation de la densité d'intégration va demander des taux de défaillance de plus en plus faibles. L'impact sur les protections ESD est immédiat. Pour un même niveau de robustesse, la surface des protections futures devra être réduite d'un facteur 4.

Pour atteindre un tel niveau de performance des structures novatrices utilisant les nouvelles étapes technologiques devront être conçues. Ce but ne peut être atteint sans prendre en compte les ESD dans le flot de conception des nouvelles technologies. Jusqu'à présent, le développement des structures de protection a lieu après que la technologie est figée. Certaines innovations technologiques dégradent les performances ESD des protections, et il faut alors de grands efforts pour développer des structures performantes, souvent au détriment de la surface occupée. Pourtant les outils utilisés dans notre méthodologie de conception permettraient au stade de développement de la technologie de détecter les effets des nouvelles étapes sur la robustesse ESD, et des compromis entre performance du circuit intégré et de sa protection pourraient être dégagés.

Paramètre électrique	Contrôle	Effet
Rapacité ( $\tau$ )	Largeur de base	Surtension au déclenchement
Tension de déclenchement ( $V_{TI}$ )	Dopages de base et collecteur	Tension de protection, déclenchement intempestif
Tension de maintien ( $V_H$ )	Dopages de base et collecteur, largeur de base	Verrouillage de la protection, puissance dissipée
Résistance à l'état passant ( $R_{ON}$ )	Résistances d'émetteur et de collecteur, gain	Tension de protection, puissance dissipée, déclenchement multi-doigts
Homogénéité du courant	Résistance de ballast	Puissance dissipée et $I_{T2}$

Table IV.2 : Paramètres critiques d'une protection GGNMOS ou TBA

La Table IV.2 regroupe les paramètres électriques critiques pour une protection à retournement de type GGNMOS ou TBA, où le composant actif est un transistor bipolaire. Pour chaque paramètre électrique sont précisés les éléments technologiques qui les conditionnent, et leur effet sur le comportement électrique de la protection. Nous allons détailler certaines évolutions technologiques qui ont un effet sur ces paramètres.

### Réduction des dimensions

En ce qui concerne les technologies CMOS, l'ère des nano-structures a commencé avec une longueur du canal du transistor maintenant inférieure à 100 nanomètres en accord avec la théorie de réduction des dimensions à champ constant du transistor MOS. Ainsi, pour maintenir le même

---

<sup>1</sup> FIT "Failure In Time" correspond aux nombres de défaillance ramenés à un composant pour 1 milliard d'heures d'utilisation.

champ électrique à travers l'oxyde de grille, son épaisseur est passée de 1000 Å à moins de 20 Å dans les générations technologiques récentes. Il en résulte une réduction de la tension de claquage du diélectrique de grille. La Figure IV.1 nous montre la variation de cette tension de claquage dynamique BV (pour des impulsions TLP de 100ns) avec la diminution des dimensions (L : longueur du canal,  $T_{ox}$  épaisseur de l'oxyde de grille) [GOSS04]. La figure montre aussi la tendance à la diminution des tensions d'alimentation du cœur du circuit. La marge de conception dans laquelle la structure de protection doit fonctionner est considérablement réduite.

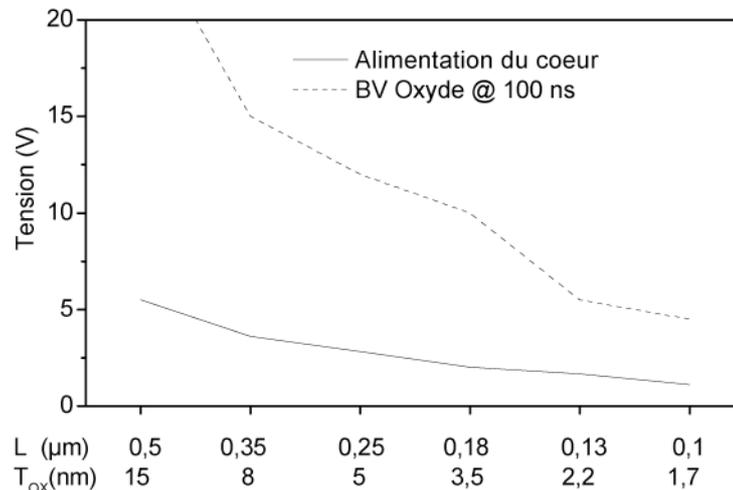


Figure IV.1 : Tensions d'alimentation et de claquage d'oxyde pour différentes tailles de technologie CMOS

L'oxyde de grille a toujours été un problème vis-à-vis des ESD mais jusqu'à présent, il a été résolu en utilisant des structures appropriées de limitation de la tension. Cependant, les oxydes ultra minces posent de sérieux problèmes à la fois de dégradations thermiques et de défauts latents, même en présence d'une structure de limitation de tension [REIN95][WU00]. Il est donc important de se tourner vers de nouvelles stratégies de protection pour limiter ce phénomène.

La longueur effective du canal détermine le gain du transistor NPN bipolaire latéral qui est aussi critique pour la valeur du courant de défaillance  $I_{T2}$ . Au départ, la réduction de cette dimension a été bénéfique car favorable à l'augmentation du gain du transistor bipolaire. En dessous de 0,3µm, cette tendance s'inverse, probablement du fait des fortes densités de courant et de l'échauffement localisé associé au faible volume de silicium dans le canal. À ces dimensions, le transistor PMOS, qui à plus forte dimension est souvent écarté pour son gain qui est plus faible que le NMOS, commence à être plus performant. Son utilisation sera à reconsidérer dans les technologies futures. Nous avons démarré dans le cadre de la thèse CIFRE d'Amaury Gendron (Freescall) une action sur ces composants.

De la même façon, la réduction de la longueur de canal du MOSFET en association avec une augmentation de la concentration des dopants dans la zone du canal ont pour conséquence l'abaissement de la tension de claquage statique par avalanche, donc de la tension déclenchement  $V_{T1}$ , et de la tension de repliement  $V_H$  de la protection. Les effets de la longueur de canal sont probablement en étroite relation avec ceux des oxydes de grille plus minces et nécessitent des études plus approfondies pour en comprendre les mécanismes. La Figure IV.2 montre les tendances à la réduction de ces valeurs de  $V_{T1}$  et  $V_H$  pour une structure GGNMOS dont les dimensions sont réduites par rapport à la technologie considérée [MERG04]. La courbe montre aussi la variation de la tension de claquage dynamique de l'oxyde de grille, et la tension  $V_{max}$ , tension maximale qui prend une marge de sécurité de 20% par rapport à cette tension de claquage. Si aucune modification profonde sur le fonctionnement de la structure de protection, ou son implémentation dans le circuit, est mise en oeuvre, l'efficacité de cette dernière est rapidement compromise. Pour des technologies inférieures à 130nm, la tension de déclenchement des structures bipolaires devient supérieure à la tension de claquage des oxydes. Ce type de protection ne peut donc plus être utilisé pour

directement protéger les grilles d'oxyde. Le seul effet positif de la réduction de la taille du canal est la réduction implicite de la base du bipolaire intrinsèque, et donc une augmentation de la vitesse de déclenchement de la protection.

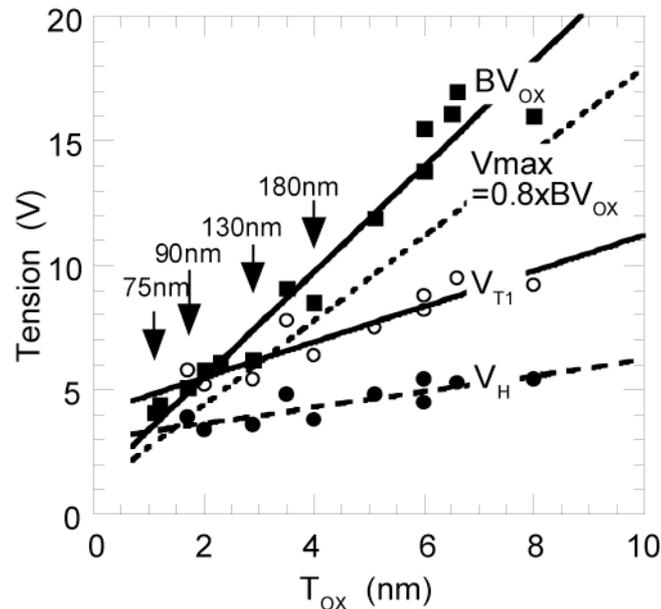


Figure IV.2 : Variations des paramètres de déclenchement d'un GGNMOS et de la tension à protéger en fonction de la dimension de la technologie

La réduction des dimensions a également un impact important sur les interconnexions. Pour augmenter la vitesse des circuits, les interconnexions, à l'origine en aluminium, sont maintenant à base de cuivre pour minimiser la résistance. Pour réduire les capacités de couplage, de nouveaux matériaux diélectriques inter-niveaux (ILD) à plus faible constante diélectrique sont à l'étude. La robustesse ESD des interconnexions métalliques et du diélectrique ILD est fortement dépendante de la température de fusion du matériau considéré, des caractéristiques mécaniques, et des dimensions. Les changements de matériau et l'architecture des systèmes d'interconnexions ont une influence significative sur la robustesse ESD des technologies avancées et plus particulièrement, des circuits avec un nombre important d'entrées/sorties.

### Introduction de siliciures

L'introduction de siliciures dans les procédés microélectroniques est un exemple flagrant des effets négatifs des nouveaux développements technologiques sur la robustesse ESD. L'utilisation de siliciures permet de réduire les résistances de contact et de diffusion dans le drain et la source du transistor MOS. Les performances en faible résistance à l'état passant et en vitesse de commutation s'en trouvent sensiblement améliorées. Mais l'effet sur la robustesse ESD est désastreux. En effet, les valeurs de résistances de ballast sont considérablement réduites, entraînant une focalisation du courant et une destruction prématurée de la structure de protection. La Figure IV.3 montre les courbes TLP de structures GGNMOS avec ou sans siliciures [NOTE99]. Les siliciures amènent bien une sensible amélioration sur la résistance à l'état passant, ou R<sub>ON</sub>, qui pourrait laisser présager une meilleure robustesse ESD. Mais la baisse associée des résistances de ballast, réduite par 3 la valeur du courant de défaillance I<sub>T2</sub> de la protection.

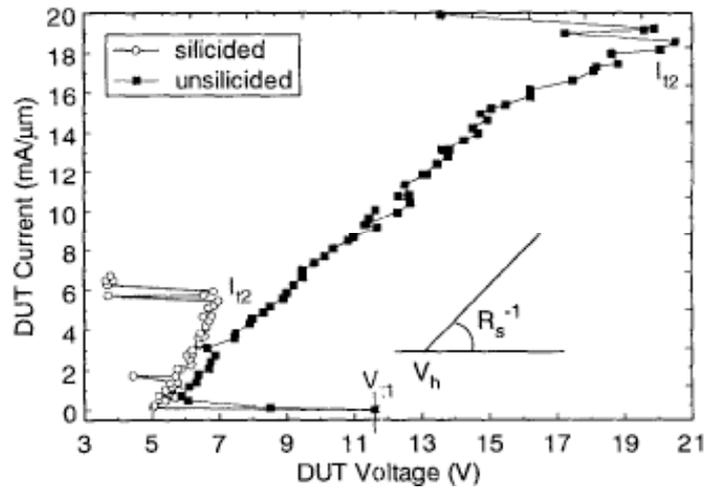


Figure IV.3 : Effet des siliciures sur la robustesse ESD

La solution actuelle la plus utilisée pour réduire cette tendance, passe par l'ajout d'un masque supplémentaire permettant de bloquer le siliciure sur les jonctions de la protection ESD. Ceci induit un surcoût non négligeable au procédé technologique.

#### Dopage du substrat

La résistivité du substrat peut aussi avoir un effet sur les performances des protections ESD. La tendance des dernières évolutions des technologies est d'utiliser des substrats fortement dopés. La faible résistivité qu'ils présentent permet de réduire sensiblement les phénomènes de latchup, les perturbations EMI intra-puce et les courants de substrat. L'exemple de la Figure IV.4 utilise une technologie CMOS 0,18μm avec une épitaxie faiblement dopée (résistivité de 10Ωcm) sur deux substrats différents: un à fort dopage (résistivité 0,01Ωcm) et l'autre à faible dopage (résistivité de 10Ωcm) [SMED02]. La figure montre les caractéristiques TLP de protections GGNMOS dans les deux configurations. Les paramètres de déclenchement sont identiques, mais la robustesse de la structure sur le substrat fortement dopé est dégradée d'un facteur deux. Le même comportement a été observé sur des structures à base de thyristors avec en plus une augmentation sensible de la tension de maintien.

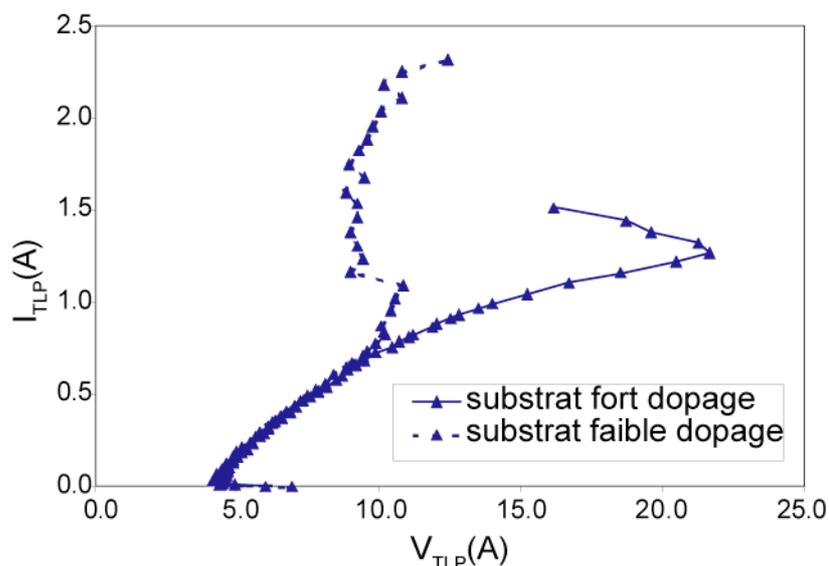


Figure IV.4 : Effet de la résistivité du substrat sur la robustesse ESD de protections GGNMOS

## Structures SOI

L'utilisation de substrats sur isolant, ou SOI (Silicon-on-Insulator), est de plus en plus généralisée (augmentation de 35% par an), grâce notamment à la baisse de ses coûts de fabrication. Ceci va représenter l'un des défis technologiques les plus difficiles à relever pour les protections ESD. Cette isolation du substrat par diélectrique augmente la résistance thermique du substrat qui résulte en une réduction significative de la robustesse ESD. La Figure IV.5 montre la répartition latérale de la température à la jonction drain/substrat d'une protection GGNMOS dans une technologie conventionnelle (Bulk) et sur une technologie SOI [Goss04]. Les deux structures de même dimension (technologie CMOS 90nm) subissent le même niveau de stress TLP.

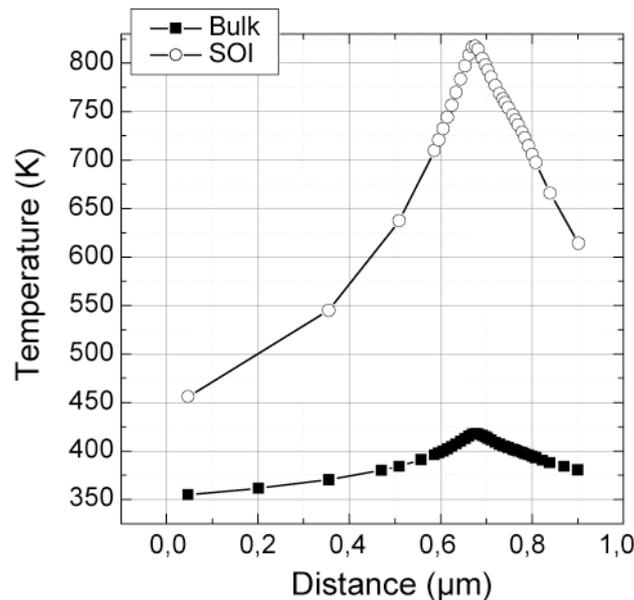


Figure IV.5 : Répartition de la température à la jonction drain/substrat dans une structure conventionnelle et dans une structure sur SOI.

Les simulations électrothermiques montrent une surchauffe de 400 degrés dans le cas du substrat SOI, ce qui confirme bien que la température, bloquée par la couche d'oxyde, ne peut pas se dissiper dans le volume. L'épaisseur de la zone active de silicium est un paramètre critique vis-à-vis de la robustesse ESD. La Figure IV.6 montre les résultats expérimentaux d'une étude [GRAF03] de la variation de la robustesse de diode Zener en fonction de l'épaisseur de cette zone. Il en ressort que la diminution de cette épaisseur s'accompagne d'une diminution fortement non linéaire du courant TLP maximal que peut dissiper la protection.

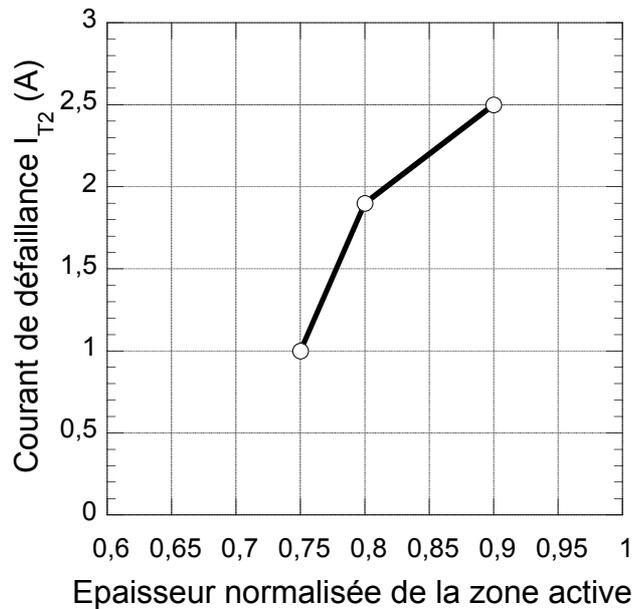


Figure IV.6 : Effet de la variation de l'épaisseur de la couche active d'une protection ESD sur SOI sur sa robustesse

Sachant que la tendance des nouvelles technologies SOI est bien la diminution de l'épaisseur de cette zone active, de nouvelles techniques vont devoir être développées afin de limiter ce phénomène.

## IV.2 Le CDM

Nous avons jusqu'à présent concentré nos efforts sur la protection des circuits intégrés vis-à-vis des décharges électrostatiques en utilisant le modèle HBM, qui jusqu'à présent est le modèle le plus utilisé dans le monde industriel pour la qualification des circuits intégrés. Or la volonté, de concevoir des systèmes de plus en plus fiables, voit l'émergence du modèle CDM dans les spécifications demandées aux fabricants de circuits intégrés. Si le modèle CDM est assez ancien dans son principe, sa normalisation, rendue difficile par la définition des conditions de test, est assez récente [ESDA00]. L'origine physique du CDM est différente de celui de l'HBM ou du MM (cf. I.2). C'est par induction électrique provenant de son environnement que le composant se charge. La décharge a lieu au contact d'une patte du composant à un plan de masse.

L'équipement de test CDM est donc radicalement différent de celui des autres modèles. C'est un matériel délicat à calibrer et les mesures sont complexes et lentes. Le testeur, Figure IV.7, possède un plan isolé sur lequel le composant dans son boîtier est posé à l'envers (broches vers le haut) puis chargé par induction. Une pointe (ou pogo pin), qui est reliée à la masse et supportée par un bras asservi en position, vient toucher une broche du composant, initiant ainsi la décharge. La forme de la pointe, ainsi que sa vitesse d'approche est normalisée.

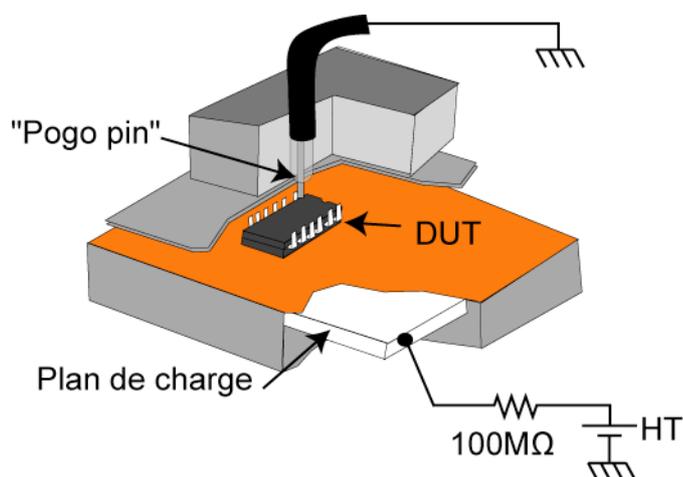


Figure IV.7 : Schéma de principe d'un testeur CDM

Pour une tension de précharge donnée, les conditions de charge du composant sont très dépendantes de son environnement proche, et les chemins de décharges dans le composant sont multiples.

Le boîtier joue un rôle important dans le processus de charge du composant [VERH95]. La quantité de charges stockées dans la puce dépend fortement du type et de la capacité du boîtier utilisé [ETHE04]. La Figure IV.8.a nous montre comment se répartissent ces capacités. Les parties métalliques susceptibles de stocker le plus de charges au niveau du boîtier sont la semelle, sur laquelle est soudée la puce, et le réseau de connexions aux broches. De plus, lors de la décharge, qui a des composantes fréquentielles de l'ordre du gigahertz, la résistance et l'inductance des fils de soudure et des broches jouent aussi un rôle non négligeable. La Figure IV.8.b représente les formes d'ondes en courant de décharge CDM pour deux types de boîtiers différents (PLCC52 ou DIL48), la tension de précharge du test étant la même.

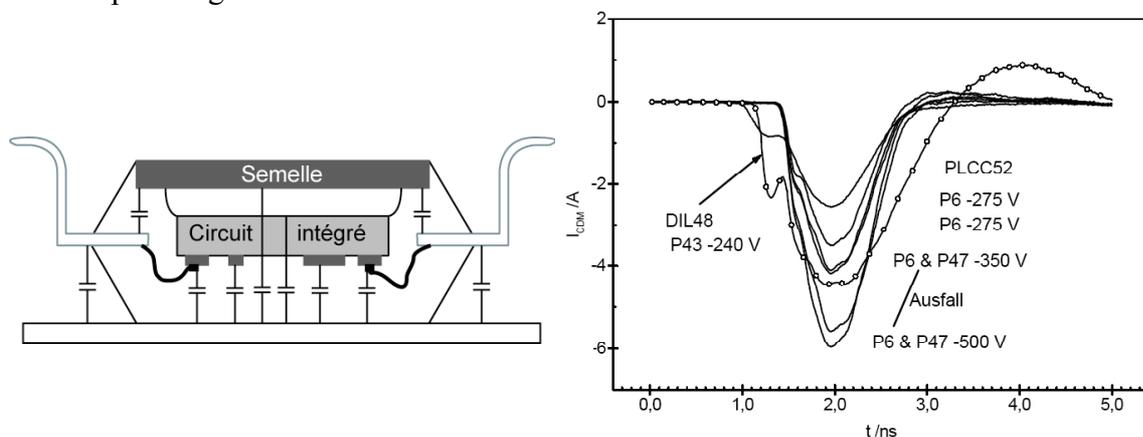


Figure IV.8 : a) Répartition des capacités dans un boîtier; b) Formes d'onde en courant pour deux types de boîtiers.

La signature d'une défaillance CDM est aussi différente d'un HBM. Le pic de courant est beaucoup plus fort et le temps de montée beaucoup plus court. Mais l'énergie à dissiper est plus faible. C'est souvent un défaut ponctuel qui est créé, comme la rupture d'un oxyde de grille. La destruction est plus souvent due à une surtension dans la puce, qu'à un effet thermique.

Les protections contre les décharges CDM ont donc des caractéristiques propres à ce type de décharge. Si la plupart des protections optimisées pour un stress HBM peuvent facilement dissiper l'énergie apportée par un stress CDM, leur temps de déclenchement doit être assez court pour espérer être efficace. L'exemple de la Figure IV.9 montre les courbes TLP et VF-TLP d'une structure de protection à base de GCNMOS [WOLF99]. Le niveau de défaillance se retrouve plus

haut dans le cas d'un stress VF-TLP, mais la structure présente une tension de déclenchement beaucoup plus forte. Elle peut alors devenir inefficace pour protéger le circuit intégré.

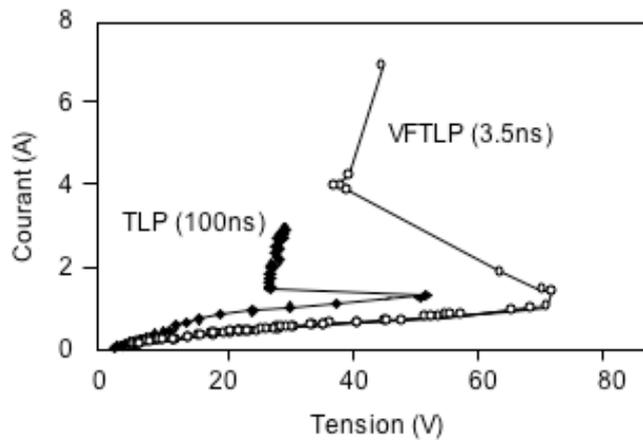


Figure IV.9 : Caractéristiques TLP et VFTLP d'une protection GCNMOS

L'optimisation d'une protection ESD contre les stress HBM et CDM est donc plus délicate, et les contraintes de rapidité élimineront certaines structures conventionnelles.

Mais au-delà de la conception de structures de protection performantes, le stress CDM apporte des difficultés supplémentaires en termes de stratégie de protection. Il est déjà vrai que dans le cas d'un stress HBM, la seule optimisation de la protection localisée entre les deux broches stressées n'est pas suffisante. Il faut aussi tenir compte de chemins parasites internes dans lesquels une partie de la décharge peut s'écouler et détruire un composant. Cette tendance est encore plus marquée dans le cas du CDM. En effet dans la puce, les charges sont majoritairement stockées dans le substrat et il existe un grand nombre de chemins par lesquels ces charges peuvent s'évacuer pour atteindre le plot de sortie relié à la masse, Figure IV.10. Les protections ESD sont traditionnellement situées près de ce plot, en parallèle avec les lignes d'alimentation du circuit intégré (VDD ou VSS). Il faut donc privilégier la collecte des charges du substrat par ces lignes d'alimentations en utilisant une implantation adaptée. La résistivité du substrat aura aussi un rôle non négligeable dans le comportement de la puce face au stress CDM.

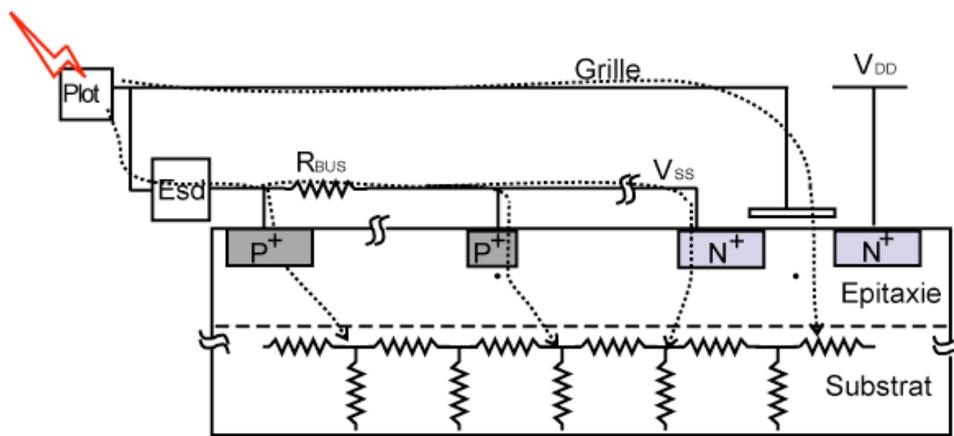


Figure IV.10 : Exemple de chemins suivis par les charges lors d'un stress CDM

La simulation d'un composant subissant un stress CDM est peut-être le défi le plus grand. S'il est maintenant possible de prédire la robustesse de la protection, en utilisant la méthodologie présentée dans le chapitre II, la simulation globale du circuit est beaucoup plus complexe.

Il est nécessaire dans un premier temps d'avoir un modèle électrique du boîtier. Cette étape peut être atteinte en effectuant des mesures hyperfréquences et des simulations électromagnétiques

[DOER03]. Il faut ensuite trouver une méthode pour simuler la puce. Une simulation mixte utilisant une description tridimensionnelle de la puce permettrait de prendre en compte la charge du substrat et les différents chemins de décharges. Mais la difficulté de description de la puce, et les temps de calculs excessifs sont rédhibitoires. Il faut donc adopter une solution de type circuit. Il n'existe aucune solution établie à ce jour. Des travaux effectués à l'université de Twente aux pays bas [SOWA05a,b] montrent qu'il est possible d'établir un modèle équivalent du substrat par un réseau de résistance, en reprenant le schéma de la Figure IV.11.a.

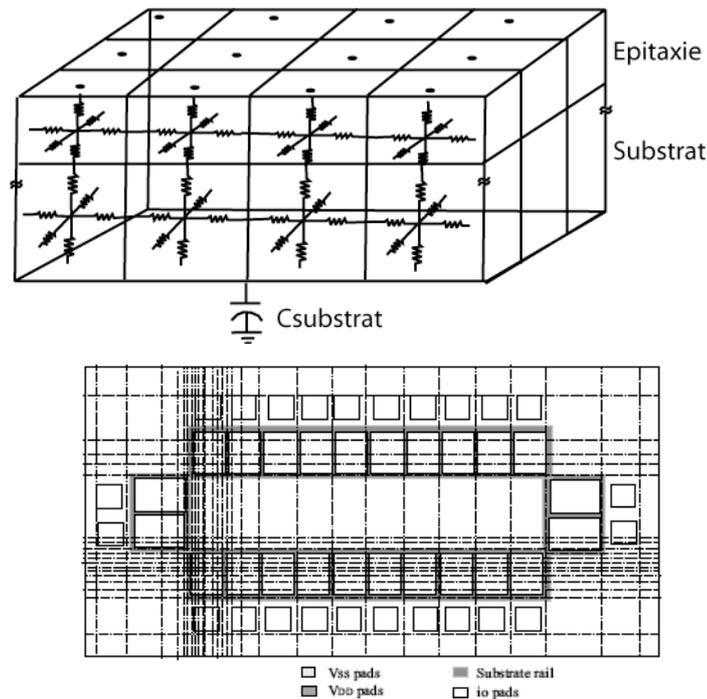


Figure IV.11 : a) Exemple de schéma équivalent du substrat de la puce b) Maillage de la partie supérieure

Il faut ensuite trouver une méthode d'identification à partir des masques des zones actives pour définir les chemins critiques, Figure IV.11.b. Il serait alors possible d'établir automatiquement un schéma électrique global à base de diodes, capacités et résistances, dans lequel serait inséré le modèle de la protection ESD. La tension en chaque nœud du système pourrait être simulée et l'efficacité de la protection serait vérifiée.

Notre approche initiale sur la thématique du CDM se focalise sur la compréhension des mécanismes physiques propres à ce modèle et le développement de structures adaptées dans le cadre de la thèse de Yuan GAO, en collaboration avec la société OnSemiconductor. Un gros investissement est aussi fait pour la mise au point de procédures de mesure avec notre banc VF-TLP.

### IV.3 Nouvelles techniques de caractérisation

Que ce soit pour montrer la défaillance du circuit, ou évaluer la robustesse de sa protection, les techniques généralement utilisées pour l'ESD reposent sur des caractéristiques courant/tension statiques ou dynamiques. De nouvelles techniques pourraient compléter ces mesures afin d'établir des critères de défaillances plus précis, qui pourraient notamment aider à mieux détecter les défauts latents, ou encore d'établir des nouveaux critères dans le choix des protections.

## Mesure de bruit Basses Fréquences

La mesure de bruit basses fréquences peut être une technique sensible pour l'étude de fiabilité des composants [VAND94]. Le bruit basses fréquences peut avoir différentes origines (bruit thermique, bruit de grenaille, génération/recombinaison) et plusieurs comportements (plancher, bruit de scintillation ou  $1/f$ , bruit de Lorentz ou  $1/f^2$ ). C'est un bon indicateur de défauts latents. La tendance des nouvelles technologies est à l'augmentation globale des courants de fuite du circuit intégré. Il sera de plus en plus difficile de détecter des défauts latents avec les méthodes actuelles<sup>1</sup> et la mesure du bruit BF pourrait venir compléter ces caractérisations. L'exemple suivant [GUIT04] montre les caractérisations effectuées sur une structure de protection ESD, ayant subi une agression ESD en dessous de son seuil de défaillance. Ce travail est mené dans le cadre de la thèse de Nicolas Guitard. La structure de protection est un GCNMOS dont la tension de claquage en statique est évaluée à 15V. Les mesures sont effectuées avant et après l'application d'un stress. La Figure IV.12 montre que la mesure de courant de fuite permet bien de détecter un défaut latent sur la structure stressée pour les faibles tensions. Par contre pour une tension de polarisation de 13V le courant de fuite est de 20nA pour les deux configurations. A un tel niveau de courant, le défaut est masqué.

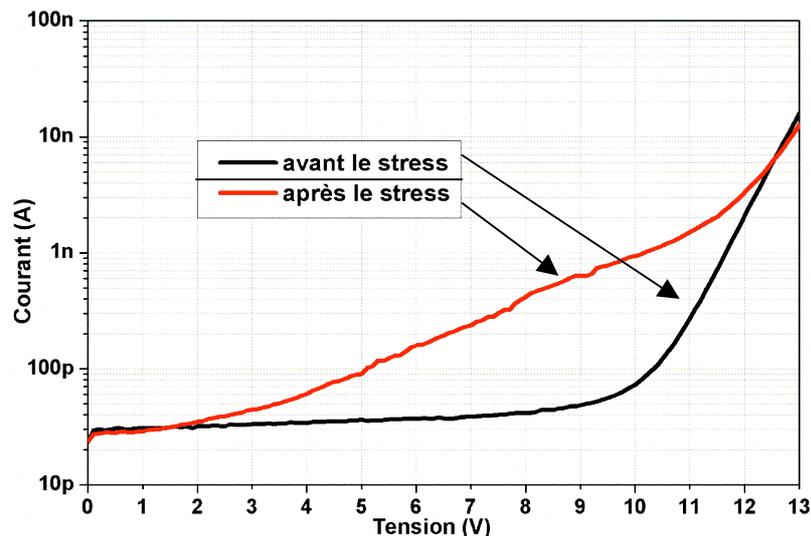


Figure IV.12 : Mesure du courant de fuite dans la protection ESD (avant et après stress)

L'analyse de la structure a été effectuée sur un banc de mesure de bruit basses fréquences. Les résultats présentés sur la Figure IV.13 montrent une augmentation de près de deux décades du spectre de bruit de la structure avant et après stress.

<sup>1</sup> la méthode la plus employée est la mesure du courant de fuite au repos,  $I_{DDQ}$

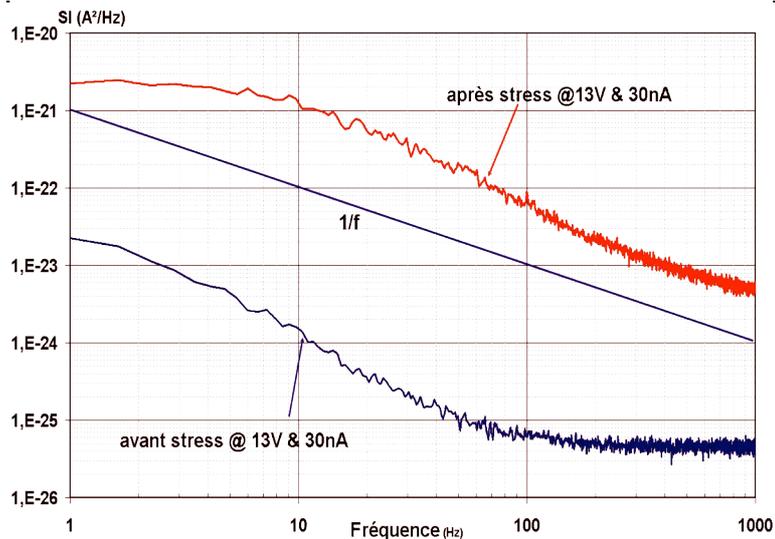


Figure IV.13 : Analyses en bruit BF

La mesure a été faite pour une tension polarisation de 13V pour laquelle la méthode de mesure de courant de fuite ne montre rien. L'inconvénient de la méthode est qu'elle nécessite une métrologie plus complexe à mettre en œuvre, notamment au niveau des connexions du circuit à l'équipement de mesure.

L'étude doit se poursuivre sur l'application à des circuits plus complexes et une analyse plus poussée des spectres en bruit. Si les résultats sont satisfaisants, elle devra alors montrer son intérêt sur des circuits intégrés issus de technologies émergentes.

#### Localisation de défauts latents par caractérisation optique

Nous avons déjà présenté la photoémission (EMMI) comme méthode optique complémentaire des caractérisations électriques spécifiques à l'ESD. Couplée au générateur de stress TLP, son utilisation nous permet de vérifier l'homogénéité de conduction d'une structure de protection ou d'identifier dans un circuit, les différents composants qui participent au chemin de la décharge. En mode statique, la photoémission permet aussi de détecter le lieu de défaillance dans le circuit après un stress ESD. Mais le niveau de détection de la méthode ne permet de détecter que des défauts macroscopiques qui ont généralement lieu à la destruction de la structure. Pour localiser des défauts plus petits, comme la création d'un filament interne, d'autres techniques doivent être utilisées. Deux centres de compétences en analyse de défaillance des circuits intégrés nous permettent d'avoir l'accès à des nouvelles méthodes.

Le CNES de Toulouse dispose d'un système de stimulation thermique par laser (TLS) basé sur le changement induit de résistance ou système OBIRCH (Optical Beam Induced Resistance Change). Un faisceau laser balaie la surface du composant qui est alimenté en tension, et les variations de courant sur l'alimentation sont enregistrées. La présence d'une filamentation sur une jonction peut être détectée, car la réponse thermique du défaut est différente du reste de la jonction, et sa résistivité aussi. Le système permet de détecter des défauts latents dus à un stress ESD comme le montre la Figure IV.14[BEAU03a].

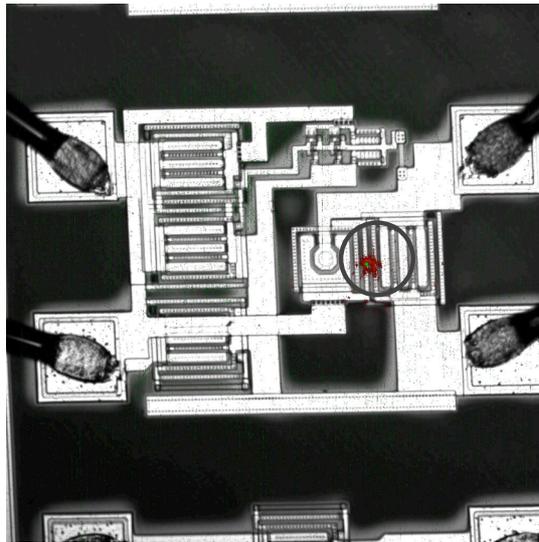


Figure IV.14 : Défaut latent détecté sur un circuit intégré CMOS par la méthode OBIRCH

Mais la polarisation appliquée au circuit et le stress thermique induit par le faisceau laser peuvent accentuer le défaut originel. Il existe une autre technique appelée SEI (Seebeck Effect Imagery) qui est dérivée de l'OBIRCH, mais dans laquelle le circuit n'est pas polarisé et la puissance du laser est réduite [BEAU03b]. Cette méthode prometteuse détecte bien le défaut ESD mais aussi un signal parasite provenant des contacts.

L'IXL de Bordeaux a développé et mis au point un banc OBIC (Optical Beam Induced Current) dont le principe repose sur la détection du photocourant généré par un faisceau laser sur une jonction PN [LEWI01]. Le laser impulsionnel est accordable en fréquence, et la métrologie associée permet une très bonne sensibilité et résolution. L'application de cette technique à l'étude de structures stressées par un ESD a montrée non seulement que la détection de défauts était possible, mais que sa bonne sensibilité permet, dans certains cas, d'observer plusieurs défauts [ESSE04]. La Figure IV.15 montre une analyse OBIC d'une protection ESD à base de TBA. Deux défauts, B1 et B2, sont mis en évidence sur la jonction collecteur/base. Pour cette structure, c'est la seule méthode qui nous a permis de localiser ces défauts. Elle peut être appliquée en mode polarisé ou non.

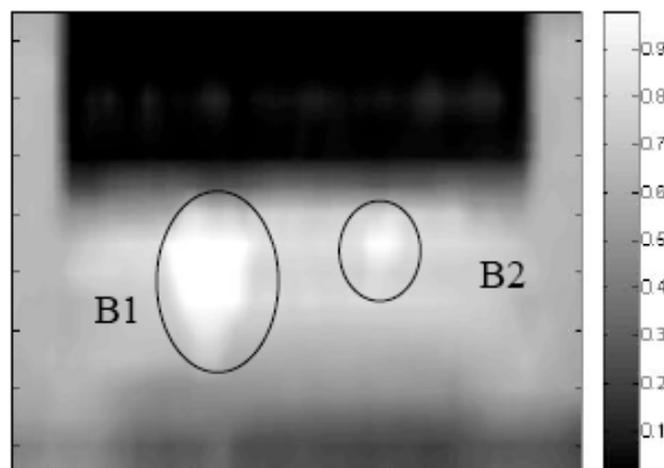


Figure IV.15 : Analyse OBIC de la jonction collecteur/base d'un TBA

Si la faisabilité des différentes méthodes a été montrée, un grand travail d'interprétation, de validations par la mesure et la simulation physique doit être effectué. Une étude de synthèse doit être menée afin de dégager la méthode la plus efficace pour l'ESD. L'application à la détection des défauts latents issus de stress CDM pourrait être aussi envisagée.

## IV.4 Approche système

Comme nous l'avons déjà évoqué, il sera de plus en plus difficile de prendre en compte les ESD seulement au niveau du composant. D'une part, car le système demande une robustesse de plus en plus grande, et la solution intégrée au niveau du composant ne suffira plus à répondre à cette contrainte. D'autre part il faut prendre en compte les interactions qu'il peut y avoir entre les ESD, que ce soit au niveau du stress ou de la protection, et d'autres problématiques comme la compatibilité électromagnétique (CEM). Les résultats de travaux menés par l'association américaine ESDA<sup>1</sup>, montrent que la robustesse ESD d'une carte électronique dépend de la robustesse de la protection intégrée mais également de la protection anti-latchup intégrée, des protections ESD rajoutées sur la carte, du type de boîtier, du placement et du routage sur le circuit intégré et la carte, ou encore du blindage CEM. Il n'existe à ce jour aucune méthode d'approche globale du problème.

L'aspect fréquentiel des ESD a rarement été étudié. La Figure IV.16 représente le spectre fréquentiel émis d'une décharge ESD de type HBM de 1kV sur un circuit intégré protégé [BESS04]. Si le spectre est riche dans la gamme de 400 à 600 MHz, les raies s'étalent jusqu'à 2 GHz. Il devient légitime de se demander si une telle agression, qui arrive au plus proche du circuit intégré, ne peut pas générer une perturbation électromagnétique susceptible de créer un dysfonctionnement dans le système malgré les protections CEM. Ce cas critique correspond au stress du circuit durant son fonctionnement, ce qui n'est pas la configuration standard des ESD, mais pourrait rapidement le devenir. La réciproque est aussi à considérer, en soulevant le problème du déclenchement parasite d'une structure de protection ESD par une perturbation CEM.

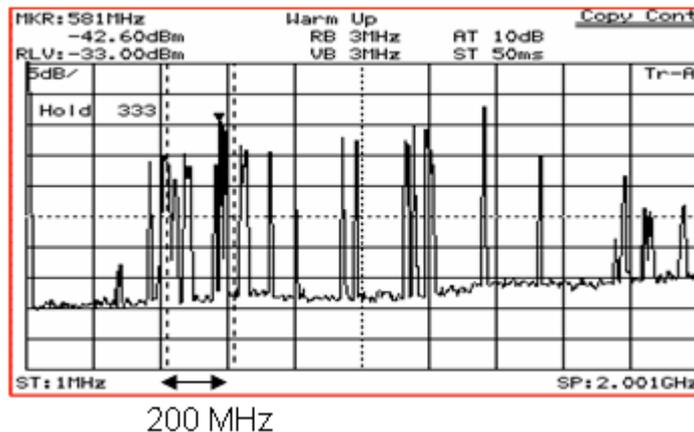


Figure IV.16 : Spectre émis par une décharge HBM

Il devient donc nécessaire d'aborder de façon globale les problèmes liés à l'ESD et la CEM au niveau du système. Une première approche peut se faire dans l'étude de protections mixtes EMI/ESD. Il existe déjà des protections discrètes au niveau des cartes qui effectuent un filtrage EMI/ESD avec des éléments passifs adaptés. Mais suivant l'application visée, ces protections ne doivent pas être utilisées sur toutes les entrées/sorties et comme leur implantation ne se fait pas au plus près du composant à protéger, leur efficacité n'est pas toujours optimale. Il est toujours nécessaire d'avoir une protection supplémentaire au niveau de la puce. L'intégration des protections dans le boîtier apparaît comme une solution mais le surcoût amené et les standards déjà existants peuvent être rédhibitoires pour une utilisation industrielle. Il reste la puce sur laquelle les protections peuvent être soit intégrées, soit rapportées.

L'intégration sur la puce de réseaux à forte capacité ou à grande inductance, nécessaires au filtrage EMI/ESD, demande des solutions technologiques innovantes. Des travaux sont effectués au laboratoire dans cadre du développement d'éléments passifs en vue de leur intégration dans des

<sup>1</sup> <http://www.esda.org>

structures de micro convertisseurs. La Figure IV.17 représente une vue d'un condensateur 3D réalisé sur silicium au laboratoire (Si/SiO<sub>2</sub>+Si<sub>3</sub>N<sub>4</sub>/PolySi) [HAKI00]. Nous comptons bien mettre à profit les résultats de ces recherches dans l'intégration de nouvelles protections.

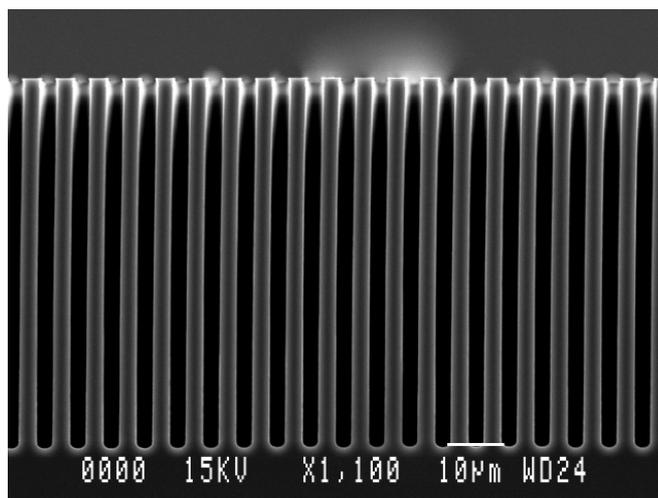


Figure IV.17 : Exemple de condensateur 3D réalisé au LAAS

Une autre solution peut être le report sur la puce des réseaux de filtrage et de nouvelles structures de protection. Il existe au laboratoire les compétences aux niveaux des techniques d'assemblage qui permettrait cette implantation. Cette option ouvre de plus l'utilisation d'autres matériaux comme élément de protection ESD. Nous prospectons des matériaux à base d'oxyde de Zinc (ZnO) ou de polymère [SHRI05] qui sont susceptibles d'offrir des propriétés électriques de type varistance.

Un gros travail est à fournir pour mettre en place une méthode de conception au niveau système qui tienne compte des problèmes ESD et, le cas échéant, de leur interaction avec la CEM. Nous voulons nous intéresser à cette partie très prospective en essayant dans un premier temps de mettre en place une méthodologie de simulation qui devra permettre de prédire la réponse d'une carte électronique aux agressions ESD. La description du système sera faite sur plusieurs niveaux hiérarchiques. Au niveau du circuit intégré, les entrées/sorties seront décrites par des modèles électriques compacts et prenant en compte l'effet du dessin de la puce et des éléments parasites associés. Au niveau du boîtier et du circuit imprimé, les éléments ayant un impact sur la robustesse du système seront identifiés, et modélisés. Enfin les générateurs d'agressions ESD seront modélisés. La méthode nécessite un simulateur très ouvert en termes de description des différents modèles. Pour cela, le choix du langage de description s'est porté sur VHDL-AMS [IEEE04][SOPP02]. La thèse DGA de Nicolas Lacrampe a démarré sur ce sujet. Les premiers efforts se focalisent sur les effets du routage des pistes d'un circuit imprimé de test sur la forme d'onde d'un stress VF-TLP de 5 ns de durée. La faible largeur de l'impulsion permet d'utiliser la méthode de réflectométrie temporelle (cf. II.2.1) pour rendre compte des effets de rupture d'impédance sur le circuit imprimé, et voir si l'outil de modélisation corrèle les résultats expérimentaux.

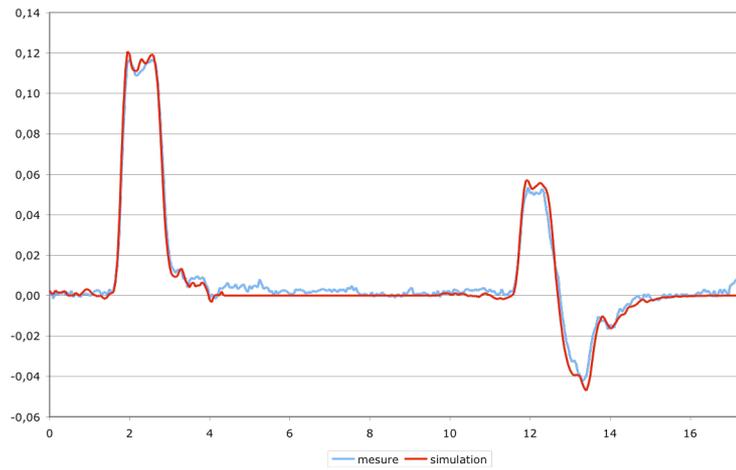


Figure IV.18 : Simulation et mesure de la réponse TDR d'une rupture d'impédance

La Figure IV.18 montre la rupture d'impédance sur la ligne de connexion, créée par une coupure du plan de masse. Une bonne corrélation est trouvée entre mesure et simulation. Il serait très intéressant d'utiliser le même outil pour rendre compte des problèmes de CEM. À ce titre, le développement de modèles calibrés de perturbations EMI est à l'étude. Ce projet doit permettre de développer notre collaboration avec l'équipe CEM du Laboratoire d'Etude des Systèmes Informatiques et Automatiques (LESIA) de l'INSA de Toulouse.

## Conclusion générale

Ce mémoire fait la synthèse de nos travaux menés au Laboratoire d'Analyse et d'Architecture des Systèmes du CNRS sur la protection des circuits intégrés contre des décharges électrostatiques. Ce travail d'équipe démarré en 1997, a été conduit dans le cadre de la direction ou co-direction de quatre thèses [DELAG99, BERT01, BESS04, TREM04], et d'un diplôme d'ingénieur CNAM [MAUR03]. Une cinquième thèse [SALA05a] est en phase finale de rédaction, et quatre autres thèses sont en cours sur le sujet.

Si certaines thèses ont reçu le support d'allocations MNRT ou DGA, une grande majorité rentre dans le cadre de conventions CIFRE en développant une forte coopération avec la société OnSemiconductor et la société Freescale. Pour ce dernier partenaire, cette collaboration s'est formalisée dans le cadre d'un laboratoire commun sur une durée de trois ans, le LCIP2 (Laboratoire Circuits Intégrés de Puissance), dans lequel six projets existaient sur le thème des composants de puissance dans le secteur automobile. Un de ces projets, dont j'ai assumé la responsabilité, portait sur l'amélioration de la tenue des composants aux décharges électrostatiques. Sept brevets ont été déposés dans le cadre du LCIP2, dont deux [ZECR02, ZECR04] spécifiques aux décharges électrostatiques. Cette expérience va se poursuivre avec la mise en place d'un nouveau laboratoire commun dans lequel un projet sur les décharges électrostatiques est avancé.

Ce thème de recherche nous a aussi permis de développer nos collaborations avec le laboratoire de fiabilité des composants du Centre National des Etudes Spatiales de Toulouse, et le laboratoire d'étude de l'intégration des composants et des systèmes électroniques (IXL) de l'Université de Bordeaux.

Il n'existe pas en France ou en Europe de réseau regroupant les compétences des laboratoires et des industriels sur la problématique des décharges électrostatiques. Nous avons essayé de fédérer les efforts de chacun par la création d'un pôle d'excellence sur le thème, mais cette action n'a pas pu aboutir. Nous organisons malgré tout un « workshop » tous les deux ans sur ce sujet où se retrouvent les chercheurs et les industriels.

Après un premier chapitre de généralités sur les décharges électrostatiques, nous avons présenté dans la deuxième partie de ce mémoire la méthodologie que nous avons mise en place pour l'étude et l'optimisation de la protection des circuits intégrés. Elle est basée sur la simulation physique des dispositifs pour l'étude des protections, et sur l'utilisation d'un simulateur électrique de type SPICE pour l'évaluation de la stratégie de protection du circuit intégré.

Les outils de simulations physiques se sont révélés comme un puissant moyen d'investigation au niveau des mécanismes qui régissent le comportement des structures de protection ESD. Mais nous avons montré que plusieurs paramètres étaient nécessaires pour atteindre des résultats précis.

La complexité des nouvelles technologies fait qu'il n'est plus possible de se contenter de descriptions analytiques pour décrire les profils de dopage des structures mais il devient nécessaire d'effectuer des simulations calibrées du procédé technologique. Cette méthode a l'avantage de pouvoir aussi être utilisée pour des technologies non figées.

Les outils de simulation possèdent un grand nombre de modèles physiques. Nous avons identifié les modèles les plus adaptés pour la simulation des protections.

Suivant la structure du composant et le niveau de courant considéré, une décharge électrostatique peut mener à de fortes inhomogénéités de conduction. Ce comportement est fortement tridimensionnel. Nous montrons qu'il est possible dans la plupart des cas de n'effectuer que des simulations bidimensionnelles en utilisant des astuces de description et en assurant certaines règles de conception au niveau de la protection. Nous garantissons ainsi une description plus facile de la structure et un temps de calcul raisonnable.

La prédiction du niveau de défaillance des structures ESD par la simulation est délicate car elle repose souvent sur un critère thermique, qui considère que la destruction est atteinte à la fusion du silicium. Mais ce critère est discutable, car les plupart des modèles ne sont pas valides pour les

hautes températures (>600K). Nous présentons une méthode qui prédit le niveau de défaillance à partir de simulations effectuées en dessous de cette limite de validité qui assure une bonne précision et un gain sensible sur le temps de calcul.

Nous avons présenté une méthode de simulation globale du circuit intégré par un simulateur de type SPICE. Pour cela, des modèles électriques de plusieurs structures de protection ont été développés. Ils permettent de rendre compte du comportement ces composants en régime de fort courant. Il est alors possible de simuler une décharge électrostatique sur le circuit intégré, de déterminer les chemins internes de conduction et de vérifier l'efficacité des protections.

Pour permettre de valider les méthodes de simulation et de nous donner des moyens d'investigation adaptées, nous avons développé des moyens de caractérisations. Le LAAS a été le premier laboratoire français à disposer d'un banc de caractérisation en impulsions (TLP) permettant le test des composants sur boîtier et sur plaquette. C'est aujourd'hui l'un des seuls laboratoires européens équipé d'un banc de mesure en impulsions ultra-courtes (VF-TLP). Ces équipements sont couplés à une méthode d'analyse en photoémission qui en font des moyens de caractérisation puissants.

Nous avons appliqué notre méthodologie de conception à plusieurs types de protections. Les résultats les plus significatifs sont regroupés dans le troisième chapitre. Le transistor bipolaire autopolarisé en régime de fonctionnement ESD a fait l'objet d'une attention particulière. La compréhension des mécanismes qui le contrôlent nous ont permis d'établir des règles de conception pour repousser ses performances HBM jusqu'à des niveaux de  $2,5V/\mu m^2$ . Une structure innovante de protection qui utilise un îlot flottant a été brevetée. Sa caractéristique originale est une tension de déclenchement ajustable.

Une structure à base de thyristors symétriques a été conçue pour protéger efficacement des entrées sur des stress positifs et négatifs en ayant des tensions de déclenchement supérieures à +/- 60V. Des très bonnes performances HBM ( $3V/\mu m^2$ ) ont été atteintes.

Enfin il est montré que le facteur de forme d'un transistor LDMOS de puissance a un impact sur son autoprotection contre les stress ESD. Pour une géométrie fixée, les études ont permis de d'établir des règles de dessin qui améliorent de plus de 30% la robustesse HBM.

Les perspectives de nos travaux ont été présentées dans le dernier chapitre. Elles sont étroitement liées à l'évolution des technologies et à l'augmentation des contraintes des applications en termes de fiabilité. Les directions identifiées sont :

- la conception de nouvelles structures intégrées de protection dans les technologies avancées,
- l'étude de la susceptibilité des protections face aux normes émergentes de stress ESD,
- le recours à de nouvelles techniques pour la détection et la localisation de défauts latents dans les circuits intégrés subissant des stress ESD,
- l'étude des interactions entre la problématique des décharges électrostatiques et celle de la compatibilité électromagnétique,
- la mise en place d'une méthodologie de conception au niveau système.

## Bibliographie

- [AMER95] E. A. Amerasekera and C. Duvvury: *ESD in silicon integrated circuits*, J. Wiley, Chichester, 1995
- [AROR84] V. K. Arora: *High-field electron mobility and temperature in bulk semiconductors*, Physical Review B Condensed Matter, vol: 30, n°12, pp 7297-8, 1984
- [BALI96] B. J. Baliga: *Power Semiconductor Devices*, PWS Publishing Co, Boston, 1996
- [BEAU03a] T. Beauchene, D. Lewis, F. Beaudoin, V. Pouget, R. Desplats, P. Fouillat, P. Perdu, M. Bafleur and D. Tremouilles: *Thermal laser stimulation and NB-OBIC techniques applied to ESD defect localization*, Microelectronics Reliability, vol: 43, n°3, pp 439-44, 2003
- [BEAU03b] T. Beauchene, D. Lewis, D. Tremouilles, F. Essely, P. Perdu and P. Fouillat: *ESD defect localization and analysis using pulsed OBIC techniques*, Symposium on Microelectronics Technology and Devices, Sao Paulo, Brazil, pp 462-72, 2003
- [BERT01a] G. Bertrand: *Conception et modélisation électrique de structures de protection contre les décharges électrostatiques en technologies BiCMOS et CMOS analogique*, Thèse de l'Institut National des Sciences Appliquées, Toulouse, 2001
- [BERT01b] G. Bertrand, C. Delage, M. Bafleur, N. Nolhier, J. M. Dorkel, Q. Nguyen, N. Mauran, D. Tremouilles and P. Perdu: *Analysis and compact modeling of a vertical grounded-base n-p-n bipolar transistor used as ESD protection in a smart power technology*, IEEE Journal of Solid State Circuits, vol: 36, n°9, pp 1373-81, 2001
- [BESS04] P. Besse: *Tenue en énergie de structures LDMOS avancées de puissance intégrée dans les domaines temporels de la nanoseconde à la milliseconde*, Thèse de l'Université Paul Sabatier, Toulouse, 2004
- [BESS02] P. Besse, M. Zecri, N. Nolhier, M. Bafleur and Y. Chung: *Investigations for a self-protected LDMOS under ESD stress through geometry and design considerations for automotive applications*, Electrical Overstress/Electrostatic Discharge Symposium, Charlotte, USA, pp 348-353, 2002
- [CHAR90] G. Charitat: *Modélisation et réalisation de composants planar haute-tension*, Thèse d'Etat de l'Université Paul Sabatier, Toulouse, 1990
- [CHOO72] S. C. Choo: *Theory of a forward-biased diffused-junction P-L-N rectifier. I. Exact numerical solutions*, IEEE Transactions on Electron Devices, vol: 19, n°8, pp 954-66, 1972
- [CHUN91] Y. W. Chung, D. K. Ming, Y. L. Chung, J. Ko and L. Lin: *A new on-chip ESD protection circuit with dual parasitic SCR structures for CMOS VLSI*, IEEE Custom Integrated Circuits Conference, San Diego, USA, pp 1991
- [DABR98] S. Dabral and T. J. Maloney: *Basic ESD and I/O design*, J. Wiley, New York, 1998
- [DELA99a] C. Delage: *Etude et conception de structures de protection contre les décharges électrostatiques en technologie BicMOS de puissance*, Thèse de l'Institut National Polytechnique de Toulouse, 1999
- [DELA99b] C. Delage, N. Nolhier, M. Bafleur, J. M. Dorkel, J. Hamid, P. Givelin and J. Lin Kwang: *Mirrored lateral SCR (MILSCR) as an ESD protection structure: design and optimization using 2-D device simulation*, IEEE Journal of Solid State Circuits, vol: 34, n°9, pp 1283-9, 1999

- [DOER03] I. Doerr, H. A. Gieser, G. Sommer, H. Wolf, W. Wilkening, J. Willemen, A. Andreini, F. Salhi, G. Fotheringham, W. John and H. Reichl: *Electrical characterisation of a power SO-package in the context of electrostatic discharge*, IEEE International Symposium on Electromagnetic Compatibility (EMC), Istanbul, Turkey, pp 1324-33, 2003
- [ESDA04] ESDA: *ANSI/ESD SP5.5.1-2004 Electrostatic Discharge Sensitivity Testing Transmission Line Pulse (TLP) Component Level*, 2004
- [ESDA99a] ESDA: *ANSI/ESD STM5.3.1 Charged Device Model (CDM)–Component Level*, 1999
- [ESDA99b] ESDA: *ANSI/ESD STM5.2-1999 Electrostatic Discharge Sensitivity Testing–Machine Model (MM) Component Level*, 1999
- [ESMA03] K. Esmark, H. Gossner and W. Stadler: *Advanced simulation methods for ESD protection development*, Elsevier, Boston, 2003
- [ESMA01] K. Esmark, W. Stadler, M. Wendel, H. Gossner, X. Guggenmos and W. Fichtner: *Advanced 2D/3D ESD device simulation - a powerful tool already used in a pre-Si phase*, Microelectronics Reliability, vol: 41, n°11, pp 1761-70, 2001
- [ESSE04] F. Essely, D. Tremouilles, N. Guitard, M. Baffleur, P. Perdu, A. Touboul and D. Lewis: *Study of the impact of multiple ESD stresses*, 2nd Workshop ESD/EMI, Toulouse, pp 35-38, 2004
- [ETHE04] M. Etherton, N. Qu, J. Willemen, W. Wilkening, S. Mettler, M. Dissegna, R. Stella, L. Zullino, A. Andreini, H. Gieser, H. Wolf and W. Fichtner: *Study of CDM Specific Effects for a Smart Power Input Protection Structure*, EOS/ESD Symposium, pp 107-16, Dallas, USA, 2004
- [FLET57] N. H. Fletcher: *The high current limit for semiconductor junction devices*, Institute of Radio Engineers, pp 862-72, 1957
- [GALY02] P. Galy, V. Berland, B. Foucher, A. Guilhaume, J. P. Chante, S. Bardy and F. Blanc: *Experimental and 3D simulation correlation of a gg-nMOS transistor under high current pulse*, Microelectronics Reliability, vol: 42, n°9-11, pp 1299-1302, 2002
- [GALY04] P. Galy, V. Berland, A. Guilhaume, F. Blanc and J. P. Chante: *Experimental measurements and 3D simulation of the parasitic lateral bipolar transistor triggering within a single finger gg-nMOS under ESD*, Microelectronics Reliability, vol: 44, n°9-11, pp 1775-80, 2004
- [GHAR87] M. Gharbi, G. Charitat, P. Labie, P. Granadel, A. Nezar and P. Rossel: *Le logiciel BIDIM2. Principe, utilisation, exemples d'application*, Rapport LAAS n°87126, 1987
- [GIES98] H. Gieser and M. Haunschild: *Very fast transmission line pulsing of integrated structures and the charged device model*, IEEE Transactions on Components, Packaging & Manufacturing Technology, vol: 21, n°4, pp 278-85, 1998
- [GOSS04] H. Gossner: *ESD protection for the deep sub micron regime - a challenge for design methodology*, International Conference on VLSI Design, Mumbai, India, pp 809-18, 2004
- [GRAF03] M. Graf, F. Zangl, K. Esmark, W. Schwencker, W. Stadler and H. Gossner: *Impact of layer thickness variations of SOI wafer on ESD robustness*, EOS/ESD

Symposium, Las Vegas, USA, pp 116-121, 2003

- [GRUN04] E. Grund and R. Gauthier: *VF-TLP Systems Using TDT and TDRT for Kelvin Wafer Measurements and Package Level Testing*, EOS/ESD Symposium, Dallas, USA, pp 338-45, 2004
- [GUIT04] N. Guitard, D. Tremouilles, M. Bafleur, L. Escotte, L. Bary, P. Perdu, G. Sarrabayrouse, N. Nolhier and R. Reyna-Rojas: *Low frequency noise measurements for ESD latent defect detection in high reliability applications*, Microelectronics Reliability, vol: 44, n°9-11, pp 1781-6, 2004
- [GUIT03] N. Guitard, D. Tremouilles, N. Mauran, M. Bafleur and N. Nolhier: *Méthodologies d'analyse des signatures de défaillance de circuits intégrés électriquement stressés*, Rapport LAAS n°03471, 2003
- [HAKI00] H. Hakim, J. P. Laur, J. L. Sanchez, E. Scheid and P. Dubreuil: *Nonlinear capacitors integration*, International Semiconductor Conference (CAS), Sinaia, Romania, pp 303-6, 2000
- [HANN91] M. Hannemann and A. Amerasekera: *Photon emission as a tool for ESD failure localization and as a technique for studying ESD phenomena [VLSI chips]*, Quality and Reliability Engineering International, vol: 7, n°4, pp 255-9, 1991
- [HONG93] S. Hong, J. Kim, K. Yoo, K. G. and T. Won: *Two-dimensional electrothermal simulations and design of electrostatic discharge protection circuit*, EOS/ESD Symposium, Orlando, USA, pp 157-163, 1993
- [HYVO05] S. Hyvonen, S. Joshi and E. Rosenbaum: *Comprehensive ESD protection for RF inputs*, Microelectronics Reliability, vol: 45, n°2, pp 245-54, 2005
- [IEC01] IEC: *Electromagnetic Compatibility (EMC) – Part 4-2: Testing and Measurement Techniques – Electrostatic Discharge Immunity Test*, 2001
- [IEC02A] IEC: *IEC 61340-3-1 Ed. 1.0 b:2002 Electrostatics - Part 3-1: Methods for simulation of electrostatic effects - Human body model (HBM) - Component testing*, 2002
- [IEC02B] IEC: *IEC 61340-3-2 Ed. 1.0 b:2002 Electrostatics - Part 3-2: Methods for simulation of electrostatic effects - Machine model (MM) - Component testing*, 2002
- [IEEE04] IEEE: *Norme 1076.1.1 VHDL Analog and Mixed-Signal Extensions*, 2004
- [ITRS01] ITRS: *Roadmap International Technology Roadmap for Semiconductors*, 2001
- [JANG93] S. L. Jang: *On the common-emitter breakdown voltage of bipolar junction transistors*, Solid State Electronics, vol: 36, n°2, pp 213-16, 1993
- [JEDE00] JEDEC: *JESD22-A114-B: Electrostatic Discharge Sensitivity Testing Human Body Model*, Juin 2000
- [JULI01] P. A. Juliano and E. Rosenbaum: *Accurate wafer-level measurement of ESD protection device turn-on using a modified very fast transmission-line pulse system*, IEEE Transactions on Device and Materials Reliability, vol: 1, n°2, pp 95-103, 2001
- [KAO67] Y. C. Kao and E. D. Wolley: *High voltage planar p-n junctions*, Proceedings of IEEE, vol: 55, n°8, pp 1409-14, 1967

- [KER03] M. D. Ker: *ESD Protection Design for Giga-Hz RF CMOS LNA with Novel Impedance-Isolation Technique*, EOS/ESD Symposium, Las Vegas, USA, pp 204-12, 2003
- [KER98] M. D. Ker and H. H. Chang: *How to safely apply the LVTSCR for CMOS whole-chip ESD protection without being accidentally triggered on* EOS/ESD Symposium, Reno, USA, pp 72-85, 1998
- [KIRK62] C. T. Kirk: *A theory of transistor cutoff frequency (ft) falloff at high current densitie*, IEEE Transactions on electron devices, vol: 9, pp 164-174, 1962
- [KLAA92] D. B. M. Klaassen, J. W. Slotboom and H. C. Graaff: *Unified apparent bandgap narrowing in n- and p-type silicon*, Solid State Electronics, vol: 35, n°2, pp 125-129, 1992
- [KOLZ92] J. Kolzer, C. Boit, A. Dallmann, G. Deboy, J. Otto and D. Weinmann: *Quantitative emission microscopy*, Journal of Applied Physics, vol: 71, n°11, pp R23-41, 1992
- [LACK91] T. Lackner: *Avalanche multiplication in semiconductors: a modification of Chynoweth's law*, Solid State Electronics, vol: 34, n°1, pp 33-42, 1991
- [LERO02] P. Leroux, M. Steyaert, V. Vassilev, and G. Groeseneken: *A 1.3dB NF CMOS LNA for GPS with 3kV HBM ESD-Protection*, European Solid-State Circuits Conference, pp 335-8, Florence, Italie, 2002
- [LEWI01] D. Lewis, V. Pouget, T. Beauchene, H. Lapuyade, P. Fouillat, A. Touboul, F. Beaudoin and P. Perdu: *Front side and backside OBIT mappings applied to single event transient testing*, Microelectronics Reliability, vol: 41, n°9-10, pp 1471-6, 2001
- [LOMBA88] C. Lombardi, S. Manzini, A. Saporito and M. Vanzi: *A physically based mobility model for numerical simulation of nonplanar devices*, IEEE Transactions on Computer Aided Design of Integrated Circuits and Systems, vol: 7, n°11, pp 1164-71, 1988
- [MALO95] T. J. Maloney and S. Dabral: *Novel Clamp Circuits for IC Power Supply Protection*, EOS/ESD Symposium, Phoenix, USA, pp 1-12, 1995
- [MALO85] T. J. Maloney and N. Khurana: *Transmission line pulsing techniques for circuit modeling of ESD phenomena*, EOS/ESD Symposium, Minneapolis, USA, pp 49-54, 1985
- [MASE83] G. Masetti, M. Severi and S. Solmi: *Modeling of carrier mobility against carrier concentration in arsenic-, phosphorus-, and boron-doped silicon*, IEEE Transactions on Electron Devices, vol: 30, n°7, pp 764-9, 1983
- [MAUR03] N. Mauran: *Conception et réalisation d'un banc de caractérisation sous pointes pour mesures impulsionsnelles haute énergie*, Thèse du Centre National des Arts et Métiers, Toulouse, 2003
- [MERG04] M. Mergens, J. Armer, P. Jozwiak, B. Keppens, F. De-Ranter, K. Verhaege and R. Kumar: *Active-source-pump (ASP) technique for ESD design window expansion and ultra-thin gate oxide protection in sub-90nm technologies*, IEEE Custom Integrated Circuits Conference, Orlando, USA, pp 251-4, 2004
- [MILL57] S. L. Miller: *Ionization rates for holes and electrons in silicon*, Physical Review B Condensed Matter, vol: 105, pp 1246-9, 1957
- [MORA01] F. Morancho, N. Cezac, A. Galadia, M. Zitouni, P. Rossel and A. Peyre Lavigne: *A*

*new generation of power lateral and vertical floating islands MOS structures*,  
Microelectronics Journal, vol: 32, n°5-6, pp 509-16, 2001

- [MUSS96] C. Musshoff, H. Wolf, H. Gieser, P. Egger and X. Guggenmos: *Risetime effects of HBM and square pulses on the failure thresholds of GGNMOS-transistors*, Microelectronics Reliability, vol: 36, n°11, pp 1743-6, 1996
- [NAGE75] T. Nagel: *SPICE: A Computer Program to Simulate Semiconductor Circuits*, Rapport de l'Université de Berkeley, n°UCB/ERL M520, 1975
- [NOLH02] N. Nolhier, M. Bafleur, P. Besse, M. Zecri and L. Bertolini: *Couplage physique/circuits pour la simulation "2D mixed mode" d'un événement ESD*, 3ème Colloque sur le Traitement Analogique de l'Information du Signal et ses Applications, Paris, France, pp 5, 2002
- [NOLH94] N. Nolhier, E. Stefanov, G. Charitat and P. Rossel: *Power 2D: dedicated tool for two-dimensional simulation of off-state power structures*, International Journal for Computation and Mathematics Electrical and Electronic Engineering, vol: 13, n°4, pp 771-783, 1994
- [NOTE99] G. Notermans, A. Heringa, M. Van-Dort, S. Jansen and F. Kuper: *The effect of silicide on ESD performance*, IEEE International Reliability Physics Symposium, San Diego, USA, pp 154-8, 1999
- [OKUT75] Y. Okuto and C. R. Crowell: *Threshold energy effects on avalanche breakdown voltage in semiconductor junction*, Solid State Electronics, vol: 18, pp 161-68, 1975
- [OVER70] R. V. Overstraeten and H. D. Man: *Measurement of the ionization rates in diffused Silicon p-n junctions*, Solid State Electronics, vol: 13, pp 583-608, 1970
- [PINT84] M. Pinto, C. Rafferty, H. Yeager and R. Dutton: *PISCES-II - Poisson and Continuity Equation Solver*, Rapport du Stanford Electronics Laboratory, 1984
- [POGA03] D. Pogany, S. Bychikhin, E. Gornik, M. Denison, N. Jensen, G. Groos and M. Stecher: *Moving current filaments in ESD protection devices and their relation to electrical characteristics*, IEEE International Reliability Physics Symposium, Dallas, USA, pp 241-8, 2003
- [REIN95] J. C. Reiner: *Latent gate oxide defects caused by CDM-ESD*, EOS/ESD Symposium, 1995, Phoenix, USA, pp 311-21, 1995
- [RUSS99] C. Russ: *ESD protection devices for CMOS technologies: processing impact, modeling and testing issues*, ISBN 3-8265-6664, 1999
- [SALA05a] C. Salamero: *Prédiction de la robustesse des structures de protections ESD*, Thèse de l'Université Paul Sabatier de Toulouse, 2005
- [SALA05b] C. Salamero, N. Nolhier, M. Bafleur and P. Besse: *Accurate prediction of the ESD robustness of semiconductor devices through physical simulation*, IEEE International Reliability Physics Symposium, San Jose, USA, pp 106-11, 2005
- [SHRI05] K. P. Shrier: *Esd protection devices and methods of making same using standard manufacturing processes*, Brevet US 2005/0083163 A1, 2005
- [SLOT77] J. W. Slotboom and G. H. C. De: *Bandgap narrowing in silicon bipolar transistors*, IEEE Transactions on Electron Devices, vol: 24, n°8, pp 1123-25, 1977
- [SMED02] T. Smedes, J. van Zwol and P. C. de Jong: *The Impact of Substrate Resistivity on ESD Protection Devices*, EOS/ESD Symposium, Charlotte, USA, pp 354-61, 2002
- [SOPP02] W. Soppa, S. Druenen, H. Wolf, W. Stadler, K. Esmark and D. Schmitt-Landsiedel: *VHDL-AMS-Modellierung von Schutzstrukturen einer 0.18-µm-CMOS-Technologie*

zur Simulation von ESD-Stress, Analog 2002, Bremen, pp 6, 2002

- [SOWA05a] M. S. B. Sowariraj: *Full Chip Modelling of ICs under CDM Stress*, Thèse de l'Université de Twente, Pays-Bas, 2005
- [SOWA05b] M. S. B. Sowariraj, P. C. de-Jong, S. M. Cora, T. Smedes, A. J. T. Mouthaan and F. G. Kuper: *Significance of including substrate capacitance in the full chip circuit model of ICs under CDM stress*, IEEE International Reliability Physics Symposium, San Jose, USA, pp 608-10, 2005
- [STAD97] W. Stadler, X. Guggenmos, P. Egger, H. Gieser and C. Musshoff: *Does the ESD-failure current obtained by transmission-line pulsing always correlate to human body model tests?* EOS/ESD Symposium, Santa Clara, USA, pp 366-72, 1997
- [STRI00] A. Stricker: *Technology Computer Aided Design of ESD Protection Devices*, Thèse de l'Institut ETH, Zurich, 2000
- [SZE81] S. M. Sze: *Physics of Semiconductor Devices*, J. Wiley, Chichester, 1981
- [TREM04a] D. Tremouilles: *Optimisation et modélisation de protection intégrées contre les décharges électrostatique, par l'analyse de la physique mise en jeu*, Thèse de l'Institut National des Sciences Appliquées de Toulouse, 2004
- [TREM04b] D. Tremouilles, M. Bafleur, G. Bertrand, N. Nolhier, N. Mauran and L. Lescouzeres: *Latch-up ring design guidelines to improve electrostatic discharge (ESD) protection scheme efficiency*, IEEE Journal of Solid State Circuits, vol: 39, n°10, pp 1778-82, 2004
- [TREM02] D. Tremouilles, G. Bertrand, M. Bafleur, N. Nolhier and L. Lescouzeres: *Design guidelines to achieve a very high ESD robustness in a self-biased NPN*, EOS/ESD Symposium, Charlotte, USA, pp 281-288, 200
- [VALD99] M. Valdinoci, D. Ventura, M. C. Vecchi, M. Rudan, G. Baccarani, F. Illien, A. Stricker and L. Zullino: *Impact ionization in silicon at large operating temperature*, International Conference on Simulation of Semiconductor Process and Devices., Kyoto, Japan, pp 27-30, 1999
- [VAND94] L. K. J. Vandamme: *Noise as a diagnostic tool for quality and reliability of electronic devices*, IEEE Transactions on Electron Devices, vol: 41, n°11, pp 2176-87, 1994
- [VASH05] V. A. Vashchenko and M. Beek: *ESD proection window targeting using LDMOS-SCR devices wil pwell-nwell super-junction*, IEEE International Reliability Physics Symposium, San Jose, USA, pp 612-4, 2005
- [VASH03] V. A. Vashchenko, A. Concannon, M. ter Beek and P. Hopper: *Quasi-3D simulation approach for comparative evaluation of triggering ESD protection structures*, Microelectronics Reliability, vol: 43, n°3, pp 427-437, 2003
- [VERH95] K. Verhaege, G. V. Groeseneken, H. E. Maes, P. Egger and H. Gieser: *Influence of tester, test method, and device type on CDM ESD testing*, IEEE Transactions on Components, Packaging, and Manufacturing Technology, Part A, vol: 18, n°2, pp 284-94, 1995
- [VINS00] J. E. Vinson and J. J. Liou: *Electrostatic discharge in semiconductor devices: overview of circuit protection techniques*, IEEE Hong Kong Electron Devices Meeting, Hong Kong, China, pp 5-8, 2000
- [VINS98] J. E. Vinson and J. J. Liou: *Electrostatic discharge in semiconductor devices: an overview*, Proceedings of the IEEE, vol: 86, n°2, pp 399-420, 1998

- [VOLD04] S. Voldman: *ESD: Physics and Devices*, J. Wiley, Chichester, 2004
- [WOLF05] H. Wolf, H. Gieser, W. Stadler and W. Wilkening: *Capacitively coupled transmission line pulsing cc-TLP - a traceable and reproducible stress method in the CDM-domain*, *Microelectronics Reliability*, vol: 45, n°2, pp 279-285, 2005
- [WOLF99] H. Wolf, H. Gieser and W. Wilkening: *Analyzing the switching behavior of ESD-protection transistors by very fast transmission line pulsing*, *EOS/ESD Symposium*, Orlando, USA, pp 28-37, 1999
- [WU00] J. Wu, P. Juliano and E. Rosenbaum: *Breakdown and latent damage of ultra-thin gate oxides under ESD stress conditions*, *EOS/ESD Symposium*, Anaheim, USA, pp 287-95, 2000
- [ZECR02] M. Zecri, P. Besse and N. Nolhier: *Arrangement and method for ESD protection*, Brevet européen N°02292111.8, extension mondiale SC097ET-US, 2002
- [ZECR04] M. Zecri, N. Nolhier and M. Bafleur: *Integrated energy clamp for Power MOS Devices*, Brevet européen N°04103726.8, extension mondiale SC12968ET PCT, 2005, 2004



# Liste des publications

## Revue scientifique

**R1:** N. Guitard, F. Essely, D. Tremouilles, M. Bafleur, N. Nolhier, P. Perdu, A. Touboul, V. Pouget and D. Lewis

*Different Failure signatures of multiple TLP and HBM Stresses in an ESD robust protection structure*  
**Microelectronics Reliability**, Vol:45,n°9-11, pp1415-20, 2005

**R2:** N. Guitard, D. Tremouilles, M. Bafleur, L. Escotte, L. Bary, P. Perdu, G. Sarrabayrouse, N. Nolhier and R. Reynarojas

*Low frequency noise measurements for ESD latent defect detection in high reliability applications*  
**Microelectronics Reliability**, Vol:44,n°9-11, pp1781-1786, 2004

**R3:** M. Zecri, P. Besse, P. Givelin, M. Nayrolles, M. Bafleur and N. Nolhier

*Determination of the ESD failure cause through its signature*  
**Microelectronics Reliability**, Vol:43,n°9-11, pp1551-1556, 2003

**R4:** D. Tremouilles, M. Bafleur, G. Bertrand, N. Nolhier, N. Mauran and L. Lescouzeres

*Latch-up ring design guidelines to improve electrostatic discharge (ESD) protection scheme efficiency*  
**IEEE Journal of Solid State Circuits**, Vol:39,n°10, pp1778-1782, 2003

**R5:** G. Bertrand, C. Delage, M. Bafleur, N. Nolhier, J. M. Dorkel, Q. Nguyen, N. Mauran, D. Tremouilles and P. Perdu

*Analysis and compact modeling of a vertical grounded-base n-p-n bipolar transistor used as ESD protection in a smart power technology*  
**IEEE Journal of Solid State Circuits**, Vol:36,n°9, pp1373-1381, 2001

**R6:** K. Kassmi, N. Nolhier, P. Rossel, H. Tranduc, P. Kouakou, P. Gola, M. El Hitmy and R. Maimouni  
*PSPICE model of the power LDMOS transistor for radio frequency applications in the 1.8-2.2 GHz Band*  
**EPJ Applied physics Print**, Vol:5,n°2, pp171-178, 1999

**R7:** C. Delage, N. Nolhier, M. Bafleur, J. M. Dorkel, J. Hamid, P. Givelin and J. Lin Kwang

*Mirrored lateral SCR (MILSCR) as an ESD protection structure: design and optimization using 2-D device simulation*  
**IEEE Journal of Solid State Circuits**, Vol:34,n°9, pp1283-1289, 1999

**R8:** J. M. Dilhac, N. Nolhier, C. Ganibal and C. Zanchi

*Thermal modeling of a wafer in a rapid thermal processor*  
**IEEE Transactions on Semiconductor Manufacturing**, Vol:8,n°4, pp432-439, 1995

**R9:** N. Nolhier, E. Stefanov, G. Charitat and P. Rossel

*Power 2D: dedicated tool for two-dimensional simulation of off-state power structures*  
**International Journal for Computation and Mathematics Electrical and Electronic Engineering**, Vol:13,n°4, pp771-783, 1994

**R10:** J. M. Dilhac, N. Nolhier and C. Ganibal

*Optical and thermal modeling of a rapid thermal processor*  
**Proceedings of the SPIE The International Society for Optical Engineering**, Vol:1804,pp13-23, 1993

**R11:** J. M. Dilhac, C. Ganibal, N. Nolhier, P. B. Moynagh, C. P. Chew and P. J. Rosser

*In-process control of silicide formation during rapid thermal processing*  
**Applied surface science**, Vol:63,n°1-4, pp131-134, 1993

**R12:** J. M. Dilhac, C. Ganibal, N. Nolhier and B. Rousset  
*Ge thin-film melting point detection for optical pyrometer calibration in a rapid thermal processor*  
**Review of scientific instruments**, Vol:63,n°1, pp188-190, 1992

**R13:** J. M. Dilhac, C. Ganibal, N. Nolhier, P. B. Moynagh, C. P. Chew and P. J. Rosser  
*In-process control of Co silicide formation by RTA*  
**Microelectronic Engineering**, Vol:19,n°1-4, pp379-82, 1992

**R14:** J. M. Dilhac, C. Ganibal, J. Bordeneuve and N. Nolhier  
*Temperature control in a rapid thermal processor*  
**IEEE Transactions on Electron Devices**, Vol:39,n°1, pp201-203, 1992

**R15:** J. M. Dilhac, C. Ganibal, N. Nolhier and L. Amat  
*In situ interferometric measurements in a rapid thermal processor*  
**Proceedings of the SPIE The International Society for Optical Engineering**, Vol:1393,pp349-53, 1991

**R16:** J. M. Dilhac, N. Nolhier and C. Ganibal  
*In situ silicon solid state regrowth kinetics measurements in a rapid thermal processor*  
**Applied surface science**, Vol:46,n°1-4, pp451-454, 1990

#### Brevets :

**B1:** M. Zecri, N. Nolhier and M. Bafleur  
*Integrated energy clamp for Power MOS Devices*  
European Patent N°04103726.8, 2004.  
Worldwide extension SC12968ET PCT, 2005, 2004

**B2:** M. Zecri, P. Besse and N. Nolhier  
*Arrangement and method for ESD protection*  
European Patent N°02292111.8  
Worldwide extension SC097ET-US, 2002

#### Conférences internationales avec actes

**C1:** C. Salamero, N. Nolhier, M. Bafleur and M. Zecri  
*Efficient TCAD methodology for ESD failure current prediction of smart power ESD protection*  
**IEEE International Symposium on Power Semiconductor Devices and Integrated Circuits**, Santa Barbara, USA, 2005

**C2:** C. Salamero, N. Nolhier, M. Bafleur and P. Besse  
*Accurate prediction of the ESD robustness of semiconductor devices through physical simulation*  
**IEEE International Reliability Physics Symposium**, San Jose, USA, pp106-11, 2005

**C3:** N. Guitard, D. Tremouilles, M. Bafleur, L. Escotte, L. Bary, P. Perdu, G. Sarrabayrouse, N. Nolhier and R. Reynarajas  
*Low frequency noise measurements for ESD latent defect detection in high reliability applications*  
**15th European Symposium on Reliability of Electron Devices, Failure Physics and Analysis**, Zurich, Suisse, 2004

**C4:** M. Zecri, P. Besse, P. Givelin, M. Nayrolles, M. Bafleur and N. Nolhier  
*Determination of the ESD failure cause through its signature*  
**14th European Symposium on Reliability of Electron Devices, Failure Physics and Analysis**, Bordeaux, France, 2003

- C5: D. Tremouilles, M. Bafleur, G. Bertrand, N. Nolhier, N. Mauran and L. Lescouzeres  
*Solving ESD protection latchup guard rings issue during electrostatic discharge (ESD) events*  
**IEEE 2003 Bipolar/BiCMOS Circuits and Technology Meeting**, Toulouse, France, pp137-40, 2003
- C6: Y. Chung, P. Besse, M. Zecri, B. Baird, R. Ida, N. Nolhier and M. Bafleur  
*Geometry effect on power and ESD capability of LDMOS power devices*  
**IEEE International Symposium on Power Semiconductor Devices and Integrated Circuits**, Cambridge, UK, pp265-68, 2003
- C7: D. Tremouilles, G. Bertrand, M. Bafleur, N. Nolhier and L. Lescouzeres  
*Design guidelines to achieve a very high ESD robustness in a self-biased NPN*  
**24th Electrical Overstress/Electrostatic Discharge Symposium**, Charlotte, USA, pp281-88, 2002
- C8: P. Besse, M. Zecri, N. Nolhier, M. Bafleur and Y. Chung  
*Investigations for a self-protected LDMOS under ESD stress through geometry and design considerations for automotive applications*  
**24th Electrical Overstress/Electrostatic Discharge Symposium**, Charlotte, USA, pp348-53, 2002
- C9: G. Bertrand, C. Delage, M. Bafleur, N. Nolhier, J. M. Dorkel, Q. Nguyen, N. Mauran and P. Perdu  
*Analysis and compact modeling of a vertical grounded-base NPN bipolar transistor used as an ESD protection in a smart power technology*  
**BIPOLAR/BiCMOS Circuits and Technology Meeting**, Minneapolis, USA, pp224-27, 2000
- C10: P. Kouakou, N. Nolhier, P. Rossel, H. Tranduc and P. Gola  
*A HDL-A model of power LDMOSFET transistor for 2 GHz RF applications*  
**International Conference on Microelectronics and Packaging**, Curitiba, Brazil, pp410-14, 1998
- C11: K. Kassmi, N. Nolhier, M. El Hitmy, P. Rossel, H. Tranduc, G. Charitat and R. Maimouni  
*New approach to the physical modelling of the power VDMOS transistor*  
**5th International Conference on Mixed Design of Integrated Circuits and Systems**, Lodz, Pologne, pp415-20, 1998
- C12: C. Delage, N. Nolhier, M. Bafleur, J. M. Dorkel, J. Hamid, P. Givelin and J. Lin-Kwang  
*The Mirrored Lateral SCR (MILSCR) as an ESD protection structure for smart power applications*  
**Bipolar/BiCMOS Circuits and Technology Meeting**, Minneapolis, USA, pp191-4, 1998
- C13: E. Stefanov, G. Charitat, N. Nolhier and P. Rossel  
*Transient behaviour of isolation architectures in smart power integrated circuits*  
**European Conference on Power Electronics and Applications**, Trondheim, Norway, pp36-41, 1997
- C14: E. Stefanov, G. Charitat, N. Nolhier and P. Spiesser  
*A fast and efficient simulation tool for the voltage handling capability of high-voltage devices*  
**Materials Research Society Symposium**, Boston (USA), pp363-68, 1997
- C15: J. M. Dilhac, L. Cornibert, G. Charitat, N. Nolhier, D. Zerrouk and C. Ganibal  
*Thick SOI films by rapid thermal processing for high voltage integrated circuits*  
**International Symposium on Silicon on Insulator Technology and Devices**, Paris, France, pp245-50, 1997
- C16: J. M. Dilhac, L. Cornibert, G. Charitat, M. Bafleur, N. Nolhier, D. Zerrouk and C. Ganibal  
*Use of rapid thermal processing for isolation and interconnect technologies applied to smart power*  
**European Conference on Power Electronics and Applications**, Trondheim, Norway, pp9-14, 1997
- C17: N. Nolhier, G. Charitat, D. Zerrouk and P. Rossel  
*Self-shielded high voltage SOI structures for HVICs*  
**International Semiconductor Conference CAS'96**, Sinaia, Romania, pp267-70, 1996

- C18:** G. Charitat, P. Rossel, N. Nolhier and D. Zerrouk  
*Self-shielding phenomenon in VDMOS transistors*  
**International Seminar on Power Semiconductors**, Prague, Czech Republic, pp113-20, 1994
- C19:** J. M. Dilhac, N. Nolhier and C. Ganibal  
*Physical modelling for uniformity control of rapid thermal processes*  
**Proceedings of IEEE Systems Man and Cybernetics Conference**, Le Touquet, France, pp7-12, 1993
- C20:** J. M. Dilhac, C. Ganibal and N. Nolhier  
*In situ wafer emissivity variation measurement in a rapid thermal processor*  
**Rapid Thermal and Integrated Processing Symposium**, Anaheim, USA, pp3-8, 1991
- C21:** J. M. Dilhac, C. Ganibal and N. Nolhier  
*In situ silicon solid state regrowth kinetics measurement in a rapid thermal processor*  
**European Material Research Society**, Strasbourg, France, pp451-4, 1990
- C22:** J. M. Dilhac, N. Nolhier and C. Ganibal  
*Reflectivity measurements in a rapid thermal processor: application to silicide formation and solid phase regrowth*  
**European Solid State Device Research Conference**, Nottingham, UK, pp65-8, 1990

### Congrès nationaux

- N1:** N. Guitard, D. Tremouilles, M. Bafleur, L. Escotte, L. Bary, P. Perdu, G. Sarrabayrouse, N. Nolhier and R. Reynarojas  
*Potentialities of low frequency noise measurement as ESD latent defect detection for high reliability applications*  
**Workshop EOS/ESD/EMI**, Toulouse, France, 3 pages, 2004
- N2:** M. Bafleur and N. Nolhier  
*Fiabilité des composants électroniques vis-à-vis des agressions électriques EOS/ESD: état de l'art et nouveaux défis*  
**2èmes Journées du RTP "Fiabilité des composants et packaging"**, Carry le Rouet, France, 9 pages, 2004
- N3:** D. Tremouilles, N. Guitard, M. Bafleur, N. Nolhier and L. Lescouzères  
*TLP and photo emission coupling, a powerful tool for study of ESD protection strategy*  
**Workshop EOS/ESD/EMI**, Toulouse, France, 3 pages, 2002
- N4:** N. Nolhier, M. Bafleur, P. Besse, M. Zecri and L. Bertolini  
*Couplage physique/circuits pour la simulation "2D mixed mode" d'un événement ESD*  
**3ème Colloque sur le Traitement Analogique de l'Information du Signal et ses Applications**, Paris, France, 5 pages, 2002
- N5:** P. Besse, N. Nolhier, M. Bafleur and M. Zecri  
*Methodology and simulation tools to understand the electrical phenomena over a smart power device and during an ESD event*  
**Workshop EOS/ESD/EMI**, Toulouse, France, 3 pages, 2002
- N6:** N. Nolhier  
*Les décharges électrostatiques dans les circuits intégrés*  
**Journées d'Electrotechnique du club EEA**, Toulouse, France, 2001
- N7:** P. Kouakou, N. Nolhier, P. Rossel, H. Tranduc, P. Gola and K. Kassmi  
*Implémentation du modèle du transistor LDMOS de puissance sous HDL-A*  
**7ème Colloque sur l'Electronique de Puissance du Futur**, Belfort, France, 4 pages, 1998

